



ปีการศึกษา 2535

ระบบการสื่อสารความเร็วสูง



อาจารย์ที่ปรึกษา

อาจารย์ สมศักดิ์ เขียวศรีกุล


ปริญญาโทปีการศึกษา 2535

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบการสื่อสารความเร็วสูง

ผู้จัดทำ

- 
1. นาย คมนธ์วัช อติสรศุภวัฒน์ 32.1044
  2. นาย ประพาส ผ่องรัตมิงค์ 32.1172
  3. นาย ปาลิส กิรตวัฒนา 32.1187

.....  
( อาจารย์ สมศักดิ์ เข็ญศิริกุล ) อาจารย์ที่ปรึกษา

## ระบบการสื่อสารความเร็วสูง

นาย คมนันต์ อดิสรคุวานันท์

นาย ประพาส ผ่องรัศมีวงศ์

นาย ปาลิส กิรตวัฒนา

อ. สมศักดิ์ เขียวศิริกุล อาจารย์ที่ปรึกษา

ปีการศึกษา 2535

### บทคัดย่อ

ในช่วงที่ผ่านมา ระบบการสื่อสารในบ้านเรามีการปรับตัว และเปลี่ยนแปลงไปในรูปแบบต่างๆ ที่ทันสมัยขึ้นมาก ระบบโทรศัพท์ในปัจจุบัน ได้ถูกพัฒนาขึ้นให้สามารถตอบสนองของความต้องการในด้านบริการ รับส่งข่าวสาร และข้อมูลทางธุรกิจด้วยคอมพิวเตอร์ มากไปกว่าการบริการพูดคุยกันเท่านั้น ดังนั้นการขยายงานบริการสื่อสารย่อมส่งผลโดยตรงกับการพัฒนาในเชิงพาณิชย์ด้วย และในอนาคต หากมีการนำระบบโทรศัพท์แบบเครือข่ายบริการสื่อสารด้วยระบบดิจิทัลที่เรียกว่า ISDN (Integrated Service Digital Network) มาใช้ด้วยแล้ว ย่อมทำให้ระบบการสื่อสารข้อมูลต่างๆ ไม่ว่าจะเป็นสัญญาณเสียง สัญญาณโทรสาร สัญญาณโทรพิมพ์ ข้อมูลทางคอมพิวเตอร์ หรือแม้กระทั่งสัญญาณภาพ ต่างก็สามารถสื่อสารร่วมกันได้ โดยใช้คู่สายโทรศัพท์เดียวกัน และการที่จะทำให้ระบบ ISDN ทำงานได้อย่างมีประสิทธิภาพมากที่สุด จำเป็นต้องใช้ไฟเบอร์ออปติก (Fiber Optic) เป็นตัวกลางนำส่งข้อมูล แทนคู่สายโทรศัพท์แบบเคเบิลที่ใช้กันอยู่ในปัจจุบัน

สำหรับปฏิญานินพนธ์ฉบับนี้ เป็นการจำลองระบบการสื่อสารสัญญาณภาพและเสียง โดยการนำเอาสัญญาณภาพและเสียง มาเปลี่ยนให้อยู่ในรูปของสัญญาณทางดิจิทัล แล้วนำมามัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplexing) ภาพแต่ละภาพจะได้รับการสแกนจำนวน 256 เส้น และแต่ละเส้นจะประกอบด้วยจุดภาพจำนวน 256 จุด โดยแต่ละจุดสามารถแสดงระดับความเข้มได้ 128 ระดับ

## HIGH SPEED COMMUNICATION SYSTEM

Mr. Komthawat Adisornsuppawat

Mr. Prapas Pongrassameewong

Mr. Palis Keeratawattana

Mr. Somsak Chearsirikul Advisor

1992

### ABSTRACT

Nowaday , communication system is adjusted and changed to modernform. Beside conversation service , telephone system is developed to response the need in business data transfer service. So communication service extension effects directly to commercial development. In the future,if the integrated service digital network (ISDN) is used , it will be possible to communicate many kinds of data such as audio signal,telegraph signal,teleprinter signal ,computer data and even video signal in the same transmission line.In order to make ISDN working more efficiently , the fiber optic is required.

This thesis presents the simulation about video and audio communication system.By converting video and audio signal to digital data and multiplexing (Time Division Multiplexing) Each picture consists of 256 lines 256 pixels in eachline. Each pixels can display 128 black-white levels.

## สารบัญ

บทนำ		
บทที่ 1	อุปกรณ์ในการสื่อสารด้วยใยแก้วนำแสง	1-1
บทที่ 2	ระบบสื่อสารด้วยใยแก้วนำแสง	2-1
บทที่ 3	ระบบเก็บภาพลงในหน่วยความจำ	3-1
บทที่ 4	ทฤษฎีสัญญาณภาพ	4-1
บทที่ 5	การออกแบบและสร้างชุดสื่อสารข้อมูล	
	ส่วนเขียนข้อมูลและอ่านข้อมูลในหน่วยความจำ	5-2
	ภาคส่ง	5-8
	ภาครับ	5-13
บทที่ 6	สรุปผลการทดลองและวิจารณ์	6-1
	ภาคผนวก	
	กิตติกรรมประกาศ	

## บทนำ

ปัจจุบันการพัฒนาทางด้านวิทยาศาสตร์และเทคโนโลยีได้ก้าวหน้าไปอย่างรวดเร็ว จะเห็นได้จากเครื่องอำนวยความสะดวกที่ใช้ในชีวิตประจำวันต่างๆ ตัวอย่างเช่น การสร้างหุ่นยนต์ที่สามารถทำงานแทนคนในโรงงานอุตสาหกรรม ระบบโทรศัพท์มือถือ ระบบโทรศัพท์ภาพ เป็นต้น ในปัจจุบันได้มีการศึกษาวิจัยกันอย่างมากมายเกี่ยวกับการสร้างตาเทียม สมองเทียม เริ่มจากการนำเอาข้อมูลภาพที่ได้จากแหล่งกำเนิดสัญญาณภาพ เช่น กล้องวิดีโอ โดยสัญญาณภาพที่ออกมาจากแหล่งกำเนิดสัญญาณภาพเหล่านี้ จะเป็นสัญญาณแอนาล็อก ต้องนำมาทำการแปลงให้เป็นข้อมูลทางดิจิทัล เพื่อนำไปประมวลผลบนคอมพิวเตอร์ต่อไป

ปฏิญานิพนธ์ฉบับนี้เป็นการออกแบบและสร้างเครื่องส่งสัญญาณภาพและเสียง โดยสัญญาณภาพมีความละเอียด 256x256 จุดภาพ และเก็บไว้ในหน่วยความจำเพื่อให้สามารถนำไปประมวลผลบนคอมพิวเตอร์ได้



## บทที่ 1

### อุปกรณ์ในการสื่อสารด้วยใยแก้วนำแสง

#### ใยแก้วนำแสง

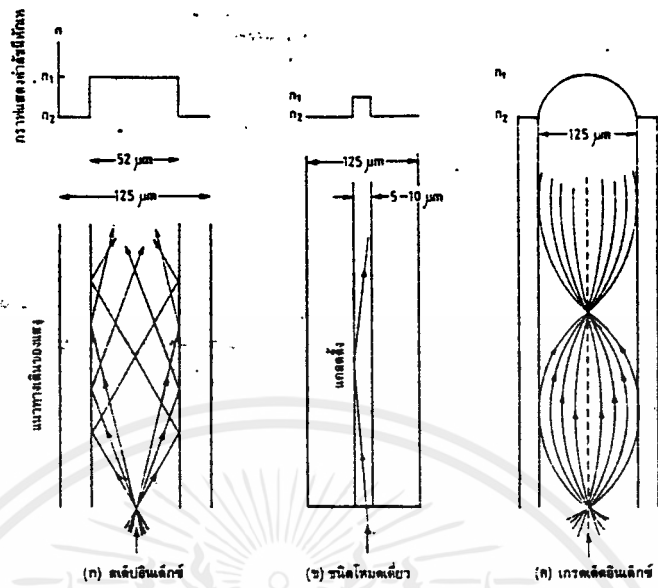
ใยแก้วนำแสงทำจากวัสดุประเภทโปร่งแสง เช่น แก้วหรือพลาสติกใส นำมาดึงให้เป็นเส้นตรงคล้ายเส้นลวด เพื่อใช้สำหรับเป็นทางเดินของข้อมูลแสง วัตถุดิบสำคัญที่ใช้ในการผลิตใยแก้วนำแสง คือ ซิลิกา ซึ่งหาได้ง่ายจากทรายทั่วไป

โครงสร้างของใยแก้วนำแสงประกอบด้วย ส่วนที่เป็นแกนหรือ "คอร์" (Core) อยู่ในแนวเส้นผ่าศูนย์กลาง ทำหน้าที่เป็นท่อนำสัญญาณแสง และส่วนที่เป็นวัสดุหุ้มแกนหรือ "แคลดดิ้ง" (Cladding) ทำหน้าที่คล้ายกับผนังกันการสูญเสียข้อมูลโดยรอบแกน อีกทั้งมีผลช่วยให้ระบบการนำแสงดีขึ้นด้วย

ชนิดของใยแก้วนำแสงที่ใช้อยู่ในปัจจุบัน พอจะแบ่งเป็นประเภทต่างๆ ได้ดังนี้

1. สเต็ปอินเด็กซ์ (step-index) หมายถึงใยแก้วนำแสงที่มีค่าดัชนีการหักเหของแสงคงที่ตลอดเนื้อสาร ทั้งในส่วนที่เป็นคอร์และแคลดดิ้ง โดยปกติค่าดัชนีหักเหที่คอร์จะมีค่ามากกว่าที่แคลดดิ้ง แนวทางของแสงที่เดินทางผ่านจะมีลักษณะเป็นเส้นตรงสะท้อนไปมาตรงบริเวณรอยต่อระหว่างแคลดดิ้งกับคอร์ตามกฎของสเนลล์

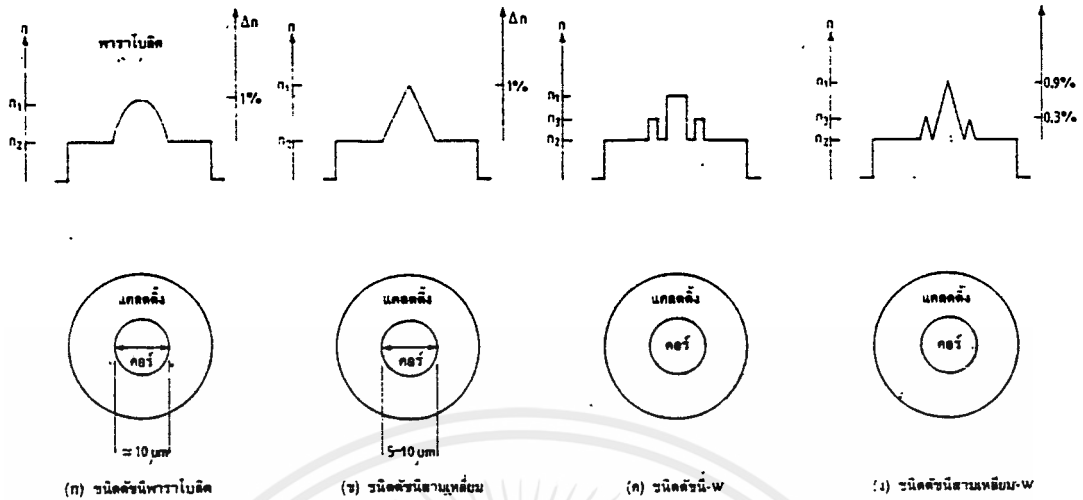
ขนาดเส้นผ่าศูนย์กลางของใยแก้วนำแสงทั้งเส้นส่วนใหญ่มีค่าเท่ากับ 125 ไมครอน โดยขนาดของคอร์ขึ้นอยู่กับการออกแบบว่าจะใช้สำหรับส่งข้อมูลในลักษณะโหมดร่วม (Multi Mode) หรือโหมดเดี่ยว (Single Mode) การส่งข้อมูลแบบโหมดร่วม หมายความว่า แสงสามารถเดินทางในใยแก้วนำแสงได้หลายแนวทาง ขึ้นกับมุมมองค่าที่แสงตกกระทบใยแก้วนำแสงขาเข้า ขนาดเส้นผ่าศูนย์กลางของคอร์แบบโหมดร่วมมีค่าประมาณ 52 ไมครอน ดังแสดงในรูปที่ 1.1 (ก) สำหรับใยแก้วนำแสงแบบโหมดเดี่ยว จะมีแนวทางเดินของข้อมูลแสงเพียงแนวเดียวเท่านั้น ทำให้ขนาดเส้นผ่าศูนย์กลางของคอร์เล็กลงมากเหลือประมาณ 5-10 ไมครอนเท่านั้น ดังรูปที่ 1.1 (ข)



รูปที่ 1.1 ใยแก้วนำแสงชนิดต่างๆ ที่เป็นพื้นฐาน

2. เกรดเด็คอินเด็คซ์ (graded-index) หมายถึงใยแก้วนำแสงที่ค่าดัชนีหักเหของคอร์เปลี่ยนแปลงไปตามแนวรัศมีของมัน โดยที่ตำแหน่งแนวศูนย์กลางของเส้นจะมีค่าดัชนีหักเหสูงสุด จากนั้น ค่าดัชนีหักเหจะค่อยๆ ลดลงไปตามระยะที่ห่างออกจากแนวศูนย์กลาง ตามลำดับ จนมีค่าเท่ากับค่าดัชนีหักเหของแคลดดิ้งในตำแหน่งที่คอร์ต่อกับแคลดดิ้งพอดี ลักษณะการเปลี่ยนแปลงค่าดัชนีหักเหของคอร์นี้ขึ้นกับสมการทางคณิตศาสตร์ที่ออกแบบ เช่น เป็นลักษณะครึ่งวงกลม หรือพาราโบลา เป็นต้น แนวทางเดินของแสงในใยแก้วนำแสงแบบนี้ จะมีลักษณะเป็นเส้นโค้งดังรูปที่ 1.1 (ค) ทั้งนี้เป็นผลมาจากค่าดัชนีหักเหที่เปลี่ยนแปลงไปจากแนวเส้นผ่าศูนย์กลาง

ในรูปที่ 1.2 แสดงถึงใยแก้วนำแสงประเภทอื่นๆ ที่มีกมไม่ค่อยได้เห็นกันบ่อยนักแต่ก็เริ่มมีใช้กันแพร่หลายมากขึ้น



รูปที่ 1.2 ใยแก้วนำแสงโหมดเดี่ยวชนิดต่างๆ

**ข้อดีของใยแก้วนำแสง**

1. **แบนด์วิธกว้าง** การที่ใยแก้วนำแสงมีแถบความถี่กว้าง ก็หมายถึงว่ามีความสามารถในการส่งข้อมูลได้มากในเวลาพร้อมๆ กัน ตัวอย่างเช่น สามารถส่งสัญญาณวิดีโอได้มากกว่า 1 ช่อง (สัญญาณวิดีโอมีแถบความถี่ระหว่าง 500 กิโลเฮิรตซ์ - 10 เมกะเฮิรตซ์), สามารถเพิ่มช่องโทรทัศน์ได้มากขึ้น และมีอัตราส่งผ่านข้อมูลสูง
2. **ขนาดเล็กและน้ำหนักเบา** ใยแก้วนำแสงมีลักษณะเป็นเส้นแกว่งไฟเบอร์ที่มีขนาดเล็กประมาณเส้นผม และมีน้ำหนักเบา
3. **การลดทอนต่ำ** นอกจากนั้นการลดทอนสัญญาณของใยแก้วนำแสงยังมีค่าคงที่ในแบนด์วิธที่กว้างกว่าสายสัญญาณทั่วไป
4. **ไม่ถูกรบกวนจากคลื่นแม่เหล็กไฟฟ้า** ใยแก้วนำแสงจะไม่ถูกรบกวนจากสัญญาณรบกวนใด ไม่ว่าจะเป็น Impulse Noise หรือ Cross Talk และใยแก้วนำแสงจะไม่เป็นตัวแผ่กระจายคลื่นแม่เหล็กไฟฟ้าสู่อุปกรณ์อื่นๆ อีกด้วย
5. **แยกระบบไฟฟ้าของภาครับและภาคส่งออกจากกัน** ทำให้เกิดความปลอดภัยกับวงจรอิเล็กทรอนิกส์และผู้ใช้
6. **ป้องกันอุบัติเหตุจากการระเบิดของอุปกรณ์** เนื่องจากปราศจากหน้าสัมผัสที่จะก่อให้เกิด

## ประกายไฟ

7. ให้ความปลอดภัยกับข้อมูลที่ส่ง เนื่องจากยากต่อการแอบเชื่อมต่อสัญญาณเพื่อขโมยข้อมูล

### ข้อเสียของใยแก้วนำแสง

1. ต้องใช้เทคนิคและเครื่องมือพิเศษ ในการติดตั้งและการเชื่อมต่อ
2. ค่าใช้จ่ายสูง เนื่องจากอุปกรณ์มีความซับซ้อนและราคาแพง

### การสูญเสียสัญญาณในใยแก้วนำแสง

เมื่อมีการบ่อนข้อมูลที่ เป็นสัญญาณแสงให้กับใยแก้วนำแสงในช่วงระยะทางหนึ่ง สัญญาณเอาต์พุตที่ได้ย่อมมีการสูญเสียหรือผิดเพี้ยนไปบ้าง เช่นเดียวกับการส่งข้อมูลด้วยสายเคเบิล ลักษณะการสูญเสียในใยแก้วนำแสงแบ่งออกได้ดังนี้

1. การสูญเสียเนื่องจากวัสดุตัวกลาง เป็นผลมาจากการดูดซับพลังงานภายในเนื้อสารที่ใช้ทำใยแก้วนำแสงในขณะที่แสงเดินทางและชนกับโมเลกุลของมัน หากการดูดซับพลังงานในเนื้อสารมีมาก จะก่อให้เกิดการสูญเสียสัญญาณมากขึ้นด้วย ทั้งนี้ขึ้นอยู่กับโครงสร้างทางโมเลกุลและความบริสุทธิ์ของเนื้อสารที่ใช้ทำใยแก้วนำแสง

2. การสูญเสียจากการกระเจิงของแสง เมื่อแสงเดินทางในใยแก้วนำแสงจะเกิดการกระเจิงของแสงอันเนื่องมาจากการชนกับโมเลกุลของเนื้อสาร ทำให้เกิดการสูญเสียสัญญาณไป โดยอัตราการสูญเสียขึ้นอยู่กับโครงสร้างที่ไม่สมบูรณ์ของเนื้อสาร อีกทั้งยังขึ้นกับความยาวคลื่นของแสงที่เดินทางในใยแก้วนำแสงด้วย

3. การสูญเสียจากท่อนำสัญญาณ เป็นการสูญเสียอันเนื่องมาจากการจัดวางของใยแก้วนำแสงที่ทำหน้าที่เป็นท่อนำสัญญาณในลักษณะที่ไม่เป็นเส้นตรง ทำให้มุมของการตกกระทบของแสงที่ผนังระหว่างคอร์กับแคลดดิ้งเปลี่ยนแปลงไป ดังนั้น สัญญาณเอาต์พุตในระบบการสื่อสารชนิดโหมตร่วมจึงเกิดการผิดเพี้ยนได้ง่าย โดยมีขนาดความกว้างของสัญญาณมากขึ้นกว่าเดิม

4. การสูญเสียจากการส่ง ในขณะที่แสงจากแหล่งกำเนิดส่องเข้าไปยังใยแก้วนำแสง จะมีแสงส่วนหนึ่งตกกระทบส่วนที่เป็นผิวหน้าและสะท้อนออกสู่ภายนอก

## แหล่งกำเนิดแสง

แหล่งกำเนิดแสงที่ใช้ในระบบใยแก้วนำแสง จำเป็นต้องมีคุณสมบัติดังต่อไปนี้คือ

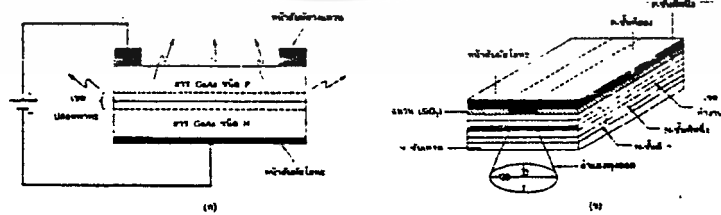
1. สามารถให้แสงที่มีพลังงาน หรือความเข้มแสงมากพอที่จะส่งสัญญาณ หรือเดินทางไ้ตลอดระยะทางของการสื่อสารได้
  2. โครงสร้างของแหล่งกำเนิดแสงต้องสามารถส่งพลังงานแสงส่วนใหญ่ หรือทั้งหมดเข้าไปในใยแก้วนำแสงที่มีเส้นผ่านศูนย์กลางขนาดเล็กได้ นั่นคือ มุมของการเกิดแสงจากแหล่งกำเนิดต้องเป็นมุมแคบๆและมีทิศทางที่แน่นอน ในกรณีที่แสงจากแหล่งกำเนิดมีลักษณะกระจายเป็นมุมกว้างสามารถใช้อุปกรณ์คัปปลิงแสง เช่น เลนส์นูน เข้ามาช่วยเพื่อรวมแสงส่วนใหญ่พุ่งเข้าสู่ใยแก้วนำแสงได้
  3. ความยาวคลื่นของแสงที่ได้ต้องมีความเหมาะสมกับใยแก้วนำแสงที่ใช้ ในระบบสื่อสารใยแก้วนำแสง ความยาวคลื่นแสงที่เหมาะสมกับใยแก้วนำแสงมากที่สุดมีค่าประมาณ 1.55 ไมครอน รองลงมา อาจได้แก่ 1.3 ไมครอน และ 0.82 ไมครอน
  4. ไลน์วิธ (Line Width ,  $\Delta\lambda$ ) ของแสงที่ได้จะต้องมีค่าน้อยๆ เพื่อให้สามารถส่งข้อมูลปริมาณมากๆ ได้
  5. ช่วงเวลาตอบสนองของแหล่งกำเนิด หรือช่วงเวลาที่แหล่งกำเนิดได้รับสัญญาณไฟฟ้าแล้วสร้างสัญญาณแสงออกมา ต้องมีค่าน้อยมากๆ อันจะมีผลทำให้ได้วงจรไดรเวอร์ที่สามารถส่งข้อมูลปริมาณมากๆ ได้ดี
  6. พลังงานแสงต้องมีค่าคงที่ต่อเนื่องตลอดเวลา และไม่มี การเปลี่ยนแปลงใดๆ อันเนื่องมาจากผลของอุณหภูมิ และสภาพแวดล้อม
- โดยทั่วไปแหล่งกำเนิดแสงที่ใช้จะขึ้นอยู่กับระบบ เช่นในระบบที่มีระยะทางสื่อสารไม่ไกลนักหรือระบบที่ใช้ในการศึกษา อาจใช้ LED เป็นแหล่งกำเนิดสัญญาณได้ ส่วนในระบบที่ต้องการประสิทธิภาพสูงๆ จะใช้แสงเลเซอร์เป็นตัวนำข้อมูล ซึ่งอาจอยู่ในลักษณะของเลเซอร์ไดโอด (LD) หรือเครื่องกำเนิดแสงเลเซอร์ชนิดต่างๆ ก็ได้

## ไดโอดเปล่งแสง (LED)

LED (Light Emitting Diode) เป็นไดโอดที่ถูกออกแบบโครงสร้างให้สามารถแปลงพลังงานแสงออกมาได้เมื่อมีการไบแอสที่ถูกต้อง ลักษณะโครงสร้างของ LED แบบพื้นฐานที่ใช้ในระบบใยแก้วนำแสงแสดงดังรูปที่ 1.3 (ก) ซึ่งประกอบไปด้วยสารชนิดแกลเลียมอาร์เซไนด์ หรือ GaAs (LED ที่ทั่วไปจะใช้สารพวกเจอร์เมเนียม หรือซิลิคอน) ถูกโด๊ปเป็นชนิด P (มีโฮลหรือประจุบวกมากกว่า) และชนิด N (มีอิเล็กตรอนอิสระมากกว่า) วางต่อกัน หลักการทำงานก็เหมือนไดโอดหรือ LED ธรรมดาทั่วไป เมื่อมีการไบแอสถูกทางด้วยค่าที่เหมาะสม จะเกิดการเคลื่อนที่ของอิเล็กตรอนไปยังโฮลในระหว่างช่วงรอยต่อของสาร P-N (ที่เรียกว่า บริเวณดีพลักชัน หรือเขตปลอดพาหะ) และมีการเปลี่ยนแปลงระดับพลังงานของชั้นอิเล็กตรอน เกิดการคายพลังงานออกมาภายนอกในรูปของแสง

บางครั้งสารที่ใช้ทำ LED อาจเป็นประเภทแกลเลียมอาร์เซไนด์ฟอสเฟออร์ (GaAsP) แกลเลียมฟอสเฟออร์ (GaP) อลูมิเนียมแกลเลียมอาร์เซไนด์ (AlGaAs) หรืออินเดียมแกลเลียมอาร์เซไนด์ฟอสเฟออร์ (InGaAsP) ก็ได้ เพื่อเปลี่ยนแปลงขนาดความยาวคลื่นแสงที่ได้

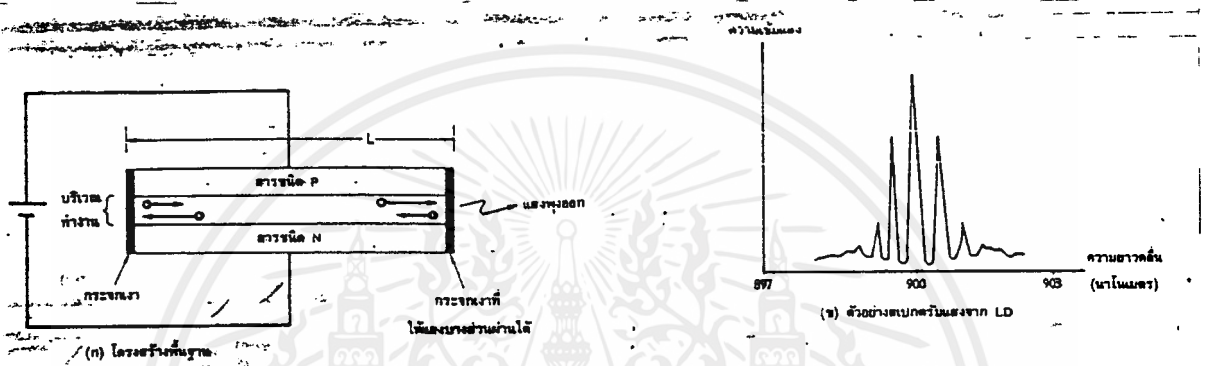
แสงที่เปล่งออกมาจาก LED ในช่วงรอยต่อ จะมีลักษณะกระจัดกระจาย และมักจะทำมุมค่อนข้างกว้าง ทำให้แสงที่ได้มีประสิทธิภาพค่อนข้างต่ำ การแก้ไขทำได้โดยปรับปรุงโครงสร้างของสารให้มีความซับซ้อนขึ้น และมีการกำหนดขอบเขตการเปล่งแสงเพื่อให้แสงมีการรวมตัวออกมาในทิศทางเดียวกัน ดังรูปที่ 1.3 (ข) ซึ่งลักษณะของแสงที่เปล่งออกมามักจะมีพื้นที่ภาคตัดขวางเป็นรูปวงรี โดยมีมุมกระจายแสงในแนวตั้ง ( $30^\circ$ ) เล็กกว่ามุมกระจายแสงในแนวนอน ( $120^\circ$ )



รูปที่ 1.3 โครงสร้างภายในของ LED

## เลเซอร์ไดโอด (LD)

เลเซอร์ไดโอดเป็นอุปกรณ์สารกึ่งตัวนำประเภทเดียวกับไดโอด แต่ถูกออกแบบให้สามารถเปล่งแสงเลเซอร์ออกมาได้ ลักษณะของแสงเลเซอร์เป็นแสงที่เป็นระเบียบ มีทิศทางการพุ่งของแสงไปในทางเดียวกัน และมีเฟสตรงกัน ทำให้มีความเข้มแสงสูงมาก ลักษณะโครงสร้างพื้นฐานของเลเซอร์ไดโอด แสดงดังรูปที่ 1.4 (ก) ซึ่งประกอบด้วยสารแบบเดียวกับที่ใช้ทำ LED ดังกล่าวมาแล้วในตอนต้น แต่ที่ปลายทั้งสองด้านถูกเคลือบด้วยสารที่ทำหน้าที่เสมือนกระจกเงา



รูปที่ 1.4 เลเซอร์ไดโอด

เมื่อมีการไบแอสที่เหมาะสมทำให้เกิดการเคลื่อนที่ของโพตอนในระหว่างเขตปลอดพาหะ เมื่อโพตอนเคลื่อนที่ไปกระทบโพตอนตัวอื่น จะมีการถ่ายเทพลังงาน ทำให้เกิดมีโพตอนตัวใหม่เพิ่มขึ้นมากมาย และสะท้อนกลับไปกลับมาบริเวณรอยต่อ อันเนื่องมาจากกระจกเงาที่ปลายทั้งสอง พฤติกรรมเช่นนี้ทำให้เกิดการสะสมพลังงานภายในมากขึ้นอย่างเป็นระเบียบ เมื่อพลังงานมีค่ามากพอจะพุ่งทะลุกระจกเงาด้านหนึ่งออกมาเป็นแสงเลเซอร์

การไบแอสเลเซอร์ไดโอดให้ทำงานจนเปล่งแสงเลเซอร์ออกมาได้ ขึ้นอยู่กับค่าของกระแสที่ป้อนให้กับตัวมัน โดยจะต้องมีค่าสูงกว่าค่ากระแสแอสเทรชโฮลด์ ( $I_{th}$ ) ที่กำหนดตามสเปกของมัน หากกระแสไบแอสมีค่าต่ำกว่ากระแสแอสเทรชโฮลด์ เลเซอร์ไดโอดจะยังคงทำงานอยู่ แต่แสงที่เปล่งออกมาจะมีลักษณะสะเปะสะปะคล้ายกับการเปล่งแสงของ LED ธรรมดา

ในอดีตกระแสแอสเทรชโฮลด์ของเลเซอร์ไดโอดมีค่าสูงมาก ทำให้การใช้งานเลเซอร์ไดโอดถูกจำกัดในวงแคบ เพราะต้องออกแบบวงจรที่ค่อนข้างยุ่งยาก แต่ในปัจจุบันเลเซอร์ไดโอดถูกออกแบบให้ใช้กระแสแอสเทรชโฮลด์เพียงไม่กี่มิลลิแอมป์ ทำให้สามารถสร้างวงจรซับซ้อนได้ง่าย

## อุปกรณ์รับสัญญาณแสง

อุปกรณ์รับสัญญาณแสงหรือโฟโตดีเท็กเตอร์ เป็นอุปกรณ์ที่ใช้เปลี่ยนสัญญาณแสงให้เป็นข้อมูลทางไฟฟ้า คุณสมบัติที่สำคัญของโฟโตดีเท็กเตอร์ในระบบสื่อสาร ได้แก่

1. ต้องมีความไวในการรับแสงได้ดีเฉพาะในช่วงที่ต้องการ เนื่องจากการส่งสัญญาณแสงจะใช้ความยาวคลื่นแสงในช่วงเฉพาะ ดังนั้นหากแสงอื่นที่มีความยาวคลื่นไม่เกี่ยวข้องกันมาตกกระทบพร้อมกันย่อมทำให้ข้อมูลมีการผิดพลาดได้

2. เวลาในการตอบสนองสัญญาณต้องสั้นมาก กล่าวคือเมื่อมีแสงตกกระทบโฟโตดีเท็กเตอร์ต้องเปลี่ยนเป็นสัญญาณไฟฟ้าด้วยเวลาที่สั้นที่สุด เพื่อที่ว่าข้อมูลจำนวนมากสามารถใช้รับส่งด้วยความเร็วสูงได้

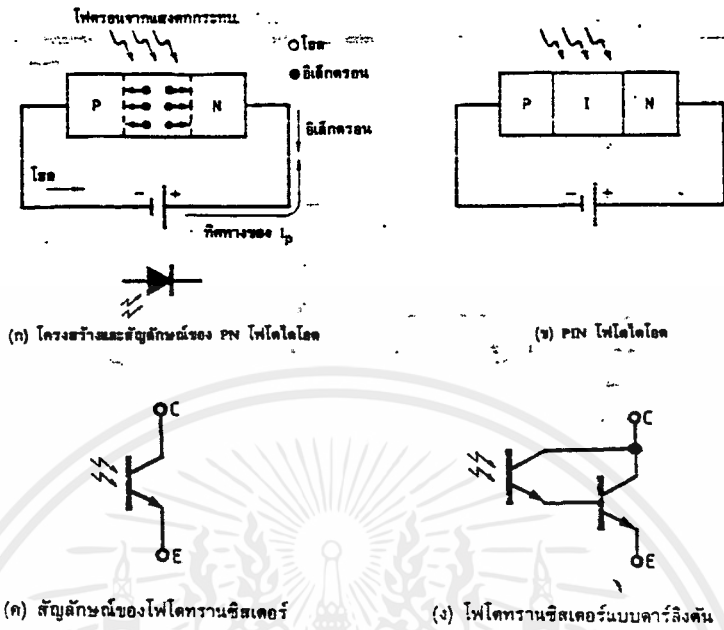
3. ในระบบสื่อสารแบบอนาลอกต้องใช้โฟโตดีเท็กเตอร์ชนิดลิเนียร์ เพื่อลดการผิดเพี้ยนของสัญญาณลงให้น้อยที่สุด

4. สัญญาณรบกวนภายในอันเนื่องมาจากสภาพแวดล้อมต้องมีค่าน้อยที่สุด

โฟโตดีเท็กเตอร์ที่ใช้ในงานในท้องตลาดมีหลายชนิด เริ่มจาก "โฟโตไดโอด" ธรรมดา ดังแสดงในรูปที่ 1.5 (ก) มีหลักการทำงานตรงข้ามกับไดโอดเปล่งแสงหรือ LED กล่าวคือ เมื่อไดโอดได้รับพลังงานแสงจากภายนอก จะทำให้เกิดโฟตอนขึ้นในบริเวณหลอดพาหะ หรือรอยต่อ P-N เกิดเป็นกระแสรั่วไหล หรือกระแสมืด (dark current) ไหล ในช่วงนี้หากมีการไบแอสกลับให้แก่ไดโอด บริเวณหลอดพาหะจะขยายกว้างขึ้น เป็นผลให้มีกระแสไหลมากขึ้น ทิศทางการไหลของกระแสเนื่องจากแสงนี้มีทิศทางเดียวกับการไบแอสกลับ คือจะไหลจากขั้วบวกของแหล่งจ่ายไฟเข้าสู่ขั้วแคโทดของไดโอด

การเพิ่มบริเวณหลอดพาหะให้กว้างขึ้น นอกจากทำได้โดยการเพิ่มค่าแรงดันไบแอสกลับของโฟโตไดโอดแล้ว อาจทำได้โดยตรงกับโครงสร้างภายในของมัน โดยแทรกสารแบบอินทรินซิก (I) ไว้ระหว่างรอยต่อ P-N ลักษณะเช่นนี้เรียกว่าเป็นโฟโตไดโอดชนิด PIN ดังแสดงในรูป 1.5 (ข) ซึ่งช่วยให้ได้กระแสไหลมากขึ้นกว่าโฟโตไดโอดแบบธรรมดาเมื่อมีแสงตกกระทบ จากผลของโครงสร้างแบบ PIN ทำให้โฟโตไดโอดชนิดนี้มีโหมดการทำงานได้สองแบบคือ "โหมดโฟโตวอลตาอิก" ซึ่งจะผลิตกระแสเมื่อแสงตกกระทบโดยไม่ต้องมีการไบแอสเลย และ "โหมดโฟโต

คอนดักทีฟ" เป็นการทำงานเมื่อมีการไบแอสกลับให้กับตัวมัน



รูปที่ 1.5 โฟโตดีเท็กเตอร์

โฟโตไดโอดแบบอะวาลานซ์ (APD) อาศัยหลักการทำงานเช่นเดียวกับอะวาลานซ์ไดโอด ทำให้มีกระแสไหลมากกว่าโฟโตไดโอดธรรมดาหลายเท่า แต่ก็มีข้อเสียตรงที่มีความไวต่ออุณหภูมิสูง และเกิดสัญญาณรบกวนมาก การใช้งานโฟโตไดโอดแบบอะวาลานซ์ จำเป็นต้องใช้แรงดันไบแอสกลับค่อนข้างสูง (ประมาณ 40-400 โวลต์) แต่ก็เป็นที่ผลดีเพราะทำให้เวลาตอบสนองสัญญาณสั้นมาก

โฟโตทรานซิสเตอร์นับเป็นโฟโตดีเท็กเตอร์อีกชนิดหนึ่งที่พวกเราคุ้นเคยกันดี หลักการทำงานของมันจะขึ้นกับขนาดความเข้มแสงที่ตกกระทบ เปรียบเสมือนกับการต่อโฟโตไดโอดเข้ากับขาเบสของทรานซิสเตอร์ เมื่อแสงที่มีความเข้มสูงตกกระทบ กระแสที่ไหลผ่านโฟโตไดโอดที่ขาเบสจะมีค่ามาก ทำให้กระแสที่ขาคอลเล็กเตอร์ ( $I_c$ ) มีค่าเพิ่มมากขึ้นด้วย ในรูปที่ 1.5 (ค) เป็นโฟโตทรานซิสเตอร์แบบธรรมดา ส่วนรูปที่ 1.5 (ง) เป็นโฟโตทรานซิสเตอร์แบบดาร์ลิงตันที่สามารถจ่ายกระแส ( $I_c$ ) ได้มากกว่าแบบธรรมดา เมื่อมีแสงตกกระทบเท่ากัน

ข้อดีของโฟโตทรานซิสเตอร์ คือสามารถดีเท็กต์สัญญาณที่มีขนาดความเข้มแสงน้อยๆได้ดี แต่มีช่วงเวลาตอบสนองสัญญาณค่อนข้างช้า คือมีช่วงเวลาขาขึ้น (Rise Time,  $t_r$ ) ประมาณ 10

ไมโครวินาที ซึ่งไม่เหมาะกับระบบข้อมูลขนาดใหญ่ ในการใช้งานกับระบบที่มีข้อมูลจำนวนมากหรือแบนด์วิดท์สูงๆ (100 เมกะเฮิรตซ์ขึ้นไป) จะใช้ชนิด PIN-FET ที่มีโครงสร้างเป็นวงจรรวมเสมือนมี PIN โฟโตไดโอดเป็นตัวดีเทกต์สัญญาณและมีวงจรถานซิสเตอร์แบบ FET เป็นตัวขยายสัญญาณอยู่ในตัวถึงเดียวกัน จากหลักการนี้ทำให้ได้โฟโตดีเทกเตอร์ที่มีความไวในการรับสัญญาณสูงและมีค่าสัญญาณรบกวนต่ำ



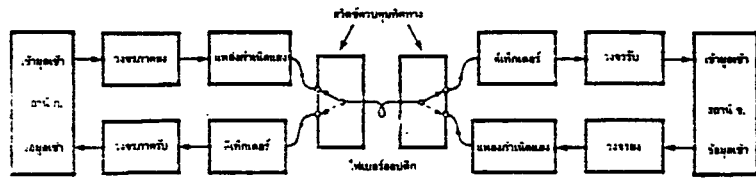
## บทที่ 2

### ระบบสื่อสารด้วยใยแก้วนำแสง

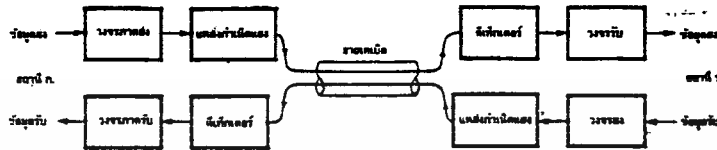
#### ระบบติดต่อสื่อสาร

ลักษณะการติดต่อสื่อสารถึงกันจากสถานีหนึ่งไปยังอีกสถานีหนึ่ง ต้องสามารถตอบโต้ข่าวสารถึงกันได้ทันทีที่ กล่าวคือ ความสามารถในการส่งและรับควรจะเป็นไปในช่วงเวลาเดียวกัน ระบบที่สถานีส่งทำหน้าที่ส่งข้อมูลเพียงด้านเดียว โดยสถานีรับไม่มีความสามารถในการส่งข้อมูลกลับ ระบบเช่นนี้เป็นระบบสื่อสารทางเดียว เรียกว่า "ระบบซิมเพล็กซ์" (Simplex) ซึ่งในทางปฏิบัติมีใช้กันอยู่น้อยมาก ระบบสื่อสารที่แต่ละสถานีสามารถทำหน้าที่ส่งและรับข้อมูลได้ เรียกว่าระบบสื่อสารสองทางหรือ "ระบบดูเพล็กซ์" (Duplex) ในการสื่อสารข้อมูลสองทางอย่างง่าย ๆ อาจใช้สวิตช์เป็นตัวติดต่อสัญญาณรับ-ส่ง และสัญญาณส่ง-รับให้มีความสัมพันธ์กันในระหว่างสองสถานี ดังรูปที่ 2.1 (ก) ระบบนี้สถานีทั้งสองยังไม่สามารถโต้ตอบข้อมูลได้ทันทีทันใด ต้องรอจังหวะช่วงเวลาทีสวิตช์ต่อสัญญาณก่อน จึงเรียกลักษณะเช่นนี้ว่าระบบกึ่งสองทางหรือ "ระบบฮาล์ฟดูเพล็กซ์" (Half Duplex)

การแก้ไขให้สถานีทั้งสองสามารถรับส่งข้อมูลได้ในช่วงเวลาเดียวกันอย่างง่าย ๆ ทำได้โดยนำระบบซิมเพล็กซ์ 2 ชุดเข้ามาใช้ เรียกว่า "ระบบสเปซมัลติเพล็กซ์" (space multiplex) ดังรูปที่ 2.1 (ข) แต่ก็ต้องเสียค่าใช้จ่ายเพิ่มขึ้นเกี่ยวกับอุปกรณ์นำสัญญาณ หรือใยแก้วนำแสงอีกเส้นหนึ่ง วิธีการแก้ปัญหาที่นิยมกันคือการนำระบบมัลติเพล็กซ์แบบ FDM หรือ TDM เข้ามาใช้ การเลือกใช้ระบบ FDM หรือ TDM นั้นขึ้นกับวัตถุประสงค์ และอุปกรณ์ใช้งานในระบบเป็นหลัก



(ก) ระบบสายคู่บิดเกลียว



(ข) ระบบตบเส้นตีเกลียว

รูปที่ 2.1 ระบบการสื่อสารแบบสองทางหรือดูเพล็กซ์

### หลักการสื่อสารด้วยใยแก้วนำแสง

ระบบการสื่อสารด้วยใยแก้วนำแสง มีโครงสร้างคล้ายกับระบบการสื่อสารด้วยสายเคเบิล เพียงแต่ใช้ตัวกลางนำข้อมูลที่ต่างกัน กล่าวคือเมื่อต้องการส่งข้อมูลที่อยู่ในรูปของสัญญาณเสียง สัญญาณภาพ หรือข้อมูลทางคอมพิวเตอร์ วงจรภาคส่งจะทำหน้าที่จัดรูปสัญญาณให้เหมาะสม ด้วยวิธีการเข้ารหัสและมอดูเลต โดยลักษณะของข้อมูลที่ใช้ในขั้นตอนนี้ส่วนใหญ่มักจัดให้อยู่ในรูปของสัญญาณดิจิทัล เพราะให้ผลลัพธ์ที่ดีกว่า จากนั้นวงจรในส่วนที่เป็นแหล่งกำเนิดแสงหรือไดโอดเปล่งแสง จะแปลงสัญญาณทางไฟฟ้าที่ได้ให้เป็นสัญญาณแสงส่งไปยังสถานีรับ โดยมีใยแก้วนำแสงทำหน้าที่เป็นท่อนำสัญญาณ ที่สถานีรับจะมีโฟโตทรานซิสเตอร์คอยเปลี่ยนสัญญาณแสงที่รับได้ให้อยู่ในรูปของสัญญาณไฟฟ้า แล้วส่งไปยังวงจรภาครับเพื่อถอดรหัสและดีมอดูเลตสัญญาณ ทำให้ได้สัญญาณที่มีลักษณะเดียวกับสัญญาณเดิมเป็นข้อมูลขาออกเพื่อนำไปใช้งานต่อไป

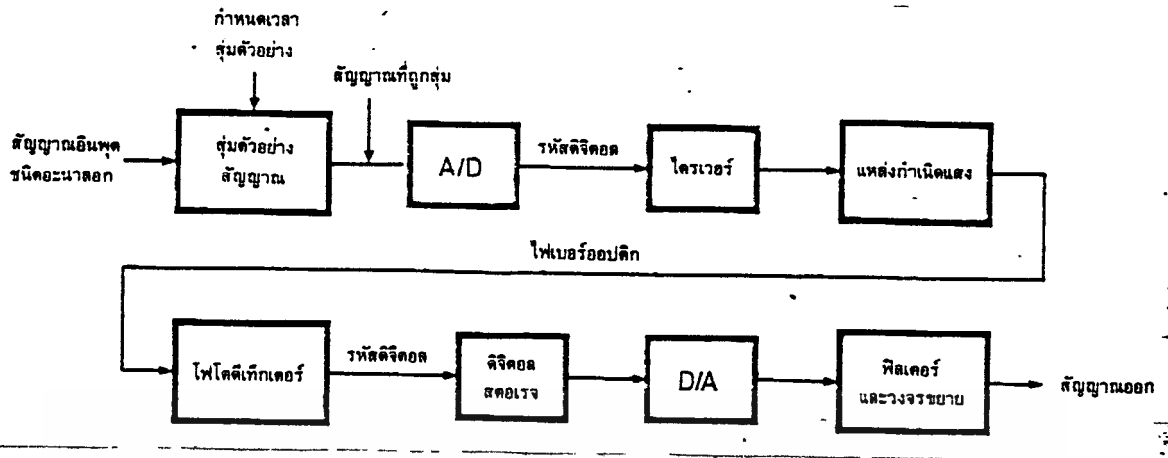
ในช่วงระหว่างสถานีส่งสัญญาณและสถานีรับสัญญาณที่เชื่อมด้วยใยแก้วนำแสง จะต้องมีส่วนทวนสัญญาณ (Repeater) ทำหน้าที่ขยายและจัดรูปสัญญาณที่เกิดการผิดเพี้ยนไปในระหว่างการเดินทาง ในการใช้งานจริง ระยะห่างระหว่างสถานีทวนสัญญาณมีค่าประมาณ 10 กิโลเมตรขึ้นไป โดยจะขึ้นกับขนาดหรือปริมาณของข้อมูลที่ใช้รับส่ง สำหรับระบบที่มีประสิทธิภาพสามารถรับส่งสัญญาณข้อมูลที่มีขนาด 2 Gb/s (สองพันล้านบิตในหนึ่งวินาที) ไปเป็นระยะทาง 2,200 กิโลเมตร โดยมีสถานีทวนสัญญาณเพียง 25 สถานี ในทุกๆ ระยะ 80 กิโลเมตร

## การมอดูเลต (MODULATE)

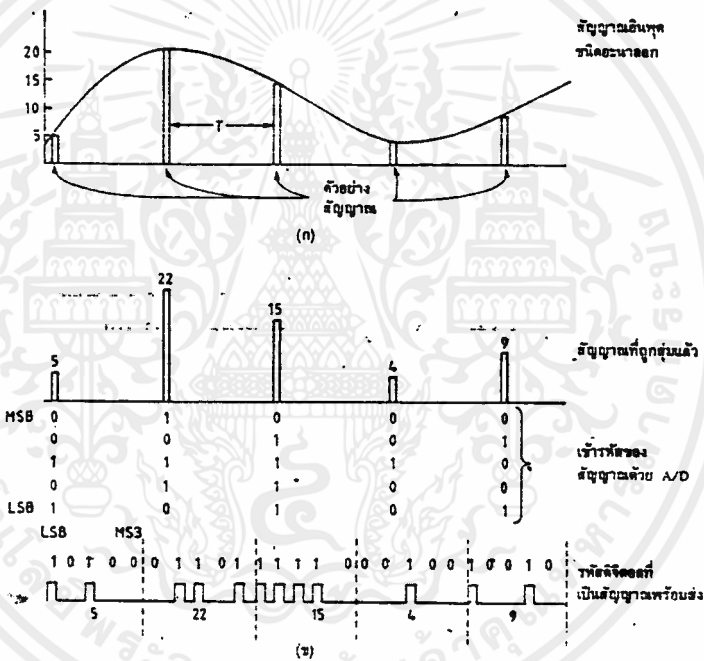
การมอดูเลต เป็นการผสมสัญญาณข้อมูลกับสัญญาณที่เป็นคลื่นพาหะเข้าด้วยกัน ในลักษณะใดลักษณะหนึ่ง เพื่อให้สามารถส่งข้อมูลนั้นไปในระยะทางไกลได้ การมอดูเลตสัญญาณที่ภาคส่งของระบบการสื่อสารแบบดิจิทัลด้วยใยแก้วนำแสง ทำได้หลายวิธี ตัวอย่างเช่น

### **พัลส์โค้ดมอดูเลชัน (PCM)**

เป็นเทคนิคการมอดูเลตที่นิยมใช้กันอย่างแพร่หลายในระบบการสื่อสาร โดยเฉพาะระบบโทรศัพท์ทางไกล ลักษณะการทำงานของระบบ PCM แสดงดังรูปที่ 2.2 และรูปที่ 2.3 ในตอนแรกสัญญาณอินพุตจะถูกสุ่มตัวอย่างหรือแซมเปิล (Sample) โดยที่ขนาดความถี่ของพัลส์ที่เป็นคลื่นพาหะต้องมีค่ามากกว่าความถี่ของสัญญาณอินพุตอย่างน้อยสองเท่า ค่าความถี่ของคลื่นพาหะนี้เรียกว่า "อัตราการแซมปลิง" (Sampling Rate) จากนั้นขนาดของสัญญาณที่ถูกสุ่มออกมาจะถูกทำการเข้ารหัสเป็นข้อมูลทางดิจิทัลด้วยระบบไบนารี ความละเอียดของระดับสัญญาณขึ้นอยู่กับจำนวนบิตที่ใช้ในการเข้ารหัส ข้อมูลดิจิทัลที่ถูกเข้ารหัสแล้ว ดังรูปที่ 2.3 (ข) จะทำหน้าที่ควบคุมแหล่งกำเนิดแสงให้ส่งข้อมูลออกไปในลักษณะของสวิตช์ปิด-เปิด ดังนั้นในระบบนี้ สัญญาณแสงที่เป็นข้อมูลจะไม่คำนึงถึงระดับความเข้มแสงเลย นอกจากการปิด-เปิดแสงในช่วงเวลาที่กำหนดในแต่ละบิตข้อมูล ทำให้ลดการเกิดสัญญาณรบกวนลงได้มาก สัญญาณดิจิทัลที่รับได้ในภาครับ จะถูกแปลงกลับสู่สัญญาณอนาล็อกอีกครั้งหนึ่ง ก่อนถูกส่งผ่านวงจรกรองความถี่เพื่อทำให้ได้สัญญาณที่มีลักษณะเดียวกับสัญญาณอินพุต ก่อนนำไปขยายสัญญาณเพื่อนำไปใช้งานต่อไป



รูปที่ 2.2 บล็อกไดอะแกรมของระบบ PCM



รูปที่ 2.3 รูปคลื่นของสัญญาณระบบมอดูเลตแบบ PCM

ประสิทธิภาพการส่งข้อมูลทางดิจิทัล สามารถกำหนดได้จากอัตราการส่งข้อมูลหรือบิตเรต (Bit Rate) ในลักษณะของจำนวนบิตต่อเวลา ตัวอย่างเช่น ระบบโทรศัพท์ที่มีค่าแบนด์วิดท์ของข้อมูล (เสียงพูด) 4 กิโลเฮิรตซ์ หากใช้อัตราการแซมปลิ่ง 4 เท่า คือใช้ค่าความถี่เท่ากับ 16 กิโลเฮิรตซ์ และให้ข้อมูลแต่ละค่าที่เกิดจากการสุ่มตัวอย่าง ถูกแปลงเป็นเลขไบนารีชนิด 8 บิต จะทำให้ได้บิตเรตของระบบมีค่าเท่ากับ 128 กิโลบิตต่อวินาที (kb/s) หรืออาจเขียนเป็นสูตรการคำนวณได้ว่า

$$\text{บิตเรต} = \text{แบนด์วิดท์} \times \text{อัตราการแซมปลิ่ง} \times \text{จำนวนบิตต่อข้อมูล}$$

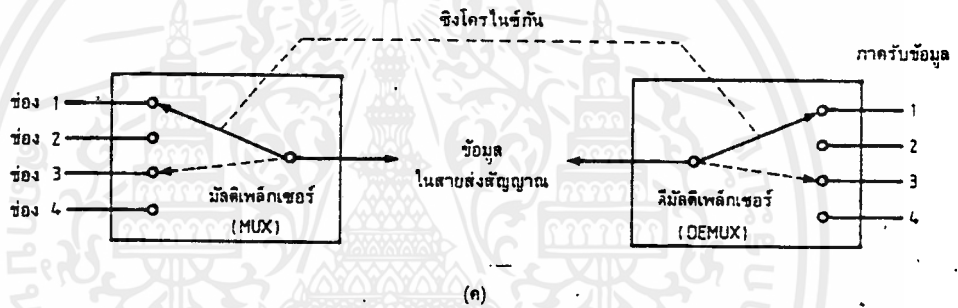
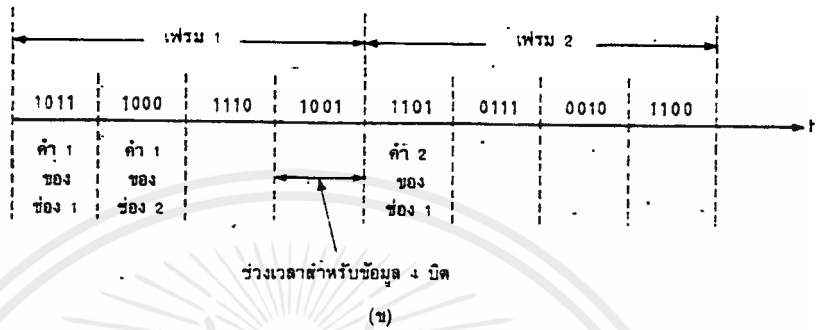
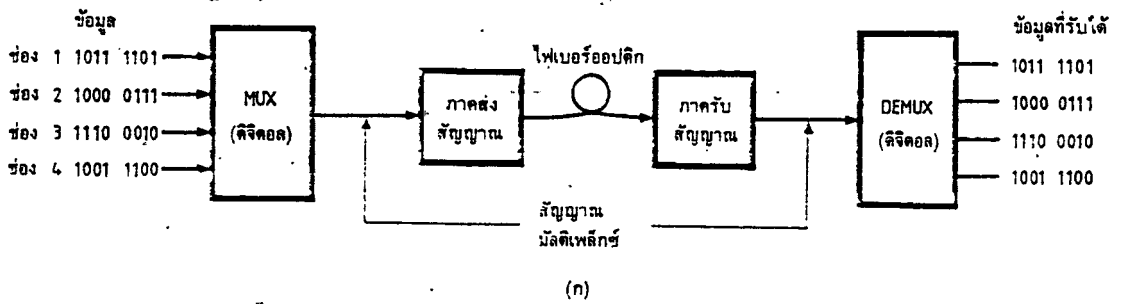
### ระบบมัลติเพล็กซ์ (MUX)

ระบบมัลติเพล็กซ์ เป็นระบบที่ทำให้สามารถส่งและรับข้อมูลจากแหล่งต่างๆ จำนวนมากได้ ในช่วงเวลาเดียวกัน โดยใช้ตัวกลางนำข้อมูลเดียวกัน ในระบบใยแก้วนำแสงนับว่ามีประโยชน์มาก เพราะเป็นระบบที่มีช่วงของแบนด์วิดท์กว้างมากอยู่แล้ว ดังนั้น หากมีการนำเอาระบบมัลติเพล็กซ์ที่มีประสิทธิภาพสูงมาใช้ร่วมกันย่อมทำให้สามารถสื่อสารข้อมูลจำนวนมากได้ภายในช่วงเวลาเดียวกัน ระบบมัลติเพล็กซ์มีอยู่หลายวิธี ตัวอย่างเช่น

#### ระบบการแบ่งเวลา (Time Division Multiplexing)

เป็นระบบที่ใช้การแบ่งเวลาเป็นช่วงๆ โดยในแต่ละช่วงใช้สำหรับการบรรจุข้อมูลที่มาจากแหล่งกำเนิดสัญญาณที่ต่างๆ เรียงกันไป

ในรูปที่ 2.4 เป็นการทำงานของระบบ TDM ที่ต้องการส่งข้อมูลจาก 4 ช่องสัญญาณพร้อมกัน โดยในแต่ละช่องสัญญาณจะส่งข้อมูลเป็นค่าๆละ 4 บิต ข้อมูลทั้ง 4 ช่องจะถูกเลือกด้วยอุปกรณ์ที่ทำหน้าที่คล้ายสวิตช์ เชื่อมระหว่างภาคส่งและภาครับอย่างสัมพันธ์กัน โดยมีสัญญาณชิงโครไนซ์คอยควบคุม ระยะเวลาที่ใช้สำหรับรับส่งข้อมูลในแต่ละช่องต้องเท่ากัน และต้องมีช่วงเวลาพอที่จะส่งทั้งค่าหรือ 4 บิตได้ เมื่อเริ่มต้นทำงาน สวิตช์เลื่อนไปครบ 1 รอบ ข้อมูลที่เป็นค่าแรกของทุกช่องสัญญาณจะถูกส่งไปยังภาครับทั้ง 4 ช่อง ชุดของข้อมูลที่ส่งไปในหนึ่งรอบนี้เรียกว่า "เฟรม" ดังแสดงด้วยไทม์มิงไดอะแกรม ดังรูปที่ 2.4 (ข) ในแต่ละเฟรมของข้อมูล ควรมีสัญญาณอื่นแทรกไว้ เพื่อบอกให้ทราบว่ามีข้อมูลหมดเฟรมแล้ว ภาครับจะได้เตรียมพร้อมสำหรับเฟรมต่อไป



รูปที่ 2.4 การทำงานของระบบ TDM

ในทางปฏิบัติ สัญญาณข้อมูลอินพุตอาจถูกมอดูเลตและเข้ารหัสด้วยวิธีดังกล่าวในข้างต้น จากนั้นสัญญาณจะถูกส่งเข้าไปเก็บในวงจร "บัฟเฟอร์" สำหรับพักข้อมูล และรอเวลาถูกอ่านในระบบมัลติเพล็กซ์ ดังนั้น ระบบ TDM จึงเหมาะสำหรับข้อมูลที่มีอัตราส่งช้า โดยจะช่วยให้สามารถส่งข้อมูลพร้อมกันได้หลายช่อง ด้วยระบบที่มีอัตราการส่งข้อมูลรวมสูงมาก อัตราการส่งข้อมูลของระบบมัลติเพล็กซ์สามารถคำนวณได้จาก

$$\text{อัตราการส่ง MUX} = \text{จำนวนช่อง} \times \text{อัตราการส่งแต่ละช่อง}$$

ตัวอย่างเช่น เราต้องการส่งข้อมูลจำนวน 8 ช่องสัญญาณพร้อมกัน โดยในแต่ละช่องสัญญาณมีอัตราการส่งข้อมูล 1,000 ไบต์ต่อวินาที หรือ 8,000 บิตต่อวินาที (1 ไบต์มี 8 บิต) สามารถใช้ระบบมัลติเพล็กซ์ชนิด TDM ที่มีอัตราการส่งข้อมูล  $8 \times 8,000 = 64$  กิโลบิตต่อวินาทีได้

## วงจรวอร์เตอร์

วงจรวอร์เตอร์หรือวงจรรีบสัญญาณ เป็นส่วนสำคัญที่จะช่วยให้แหล่งกำเนิดแสงที่เป็น LED หรือเลเซอร์ไดโอด ทำงานได้อย่างมีประสิทธิภาพ ลักษณะวงจรวอร์เตอร์สำหรับ LED ค่อนข้างแตกต่างจากวงจรวอร์เตอร์ไดโอด ทั้งนี้เนื่องจาก LED มีคุณสมบัติความเป็นเชิงเส้นในการเปล่งแสงตามค่ากระแสไบแอสโดยตรง ทำให้เหมาะสำหรับระบบสื่อสารที่ใช้ข้อมูลแบบอนาล็อก ในขณะที่พลังงานแสงที่เปล่งออกมาจากเลเซอร์ไดโอด มักมีการเปลี่ยนแปลงสูงมากอย่างรวดเร็ว ทั้งๆ ที่กระแสไบแอสที่มากกว่ากระแสเทรชโฮลด์ ( $I_{th}$ ) มีค่าเพิ่มขึ้นเพียงเล็กน้อย จึงนิยมใช้เลเซอร์ไดโอดกับวงจรรีบสัญญาณที่มีข้อมูลเป็นแบบดิจิทัล

### วงจรวอร์เตอร์ LED แบบดิจิทัล

แม้ว่า LED จะเหมาะสำหรับการส่งสัญญาณแบบอนาล็อก แต่ในระบบสื่อสารระยะใกล้อาจสามารถใช้ส่งข้อมูลที่เป็นดิจิทัลได้ ดังเช่น วงจรในรูปที่ 2.5 ซึ่งเป็นวงจรรีบงานแบบง่าย ซึ่งวงจรวอร์เตอร์ที่ 2.5 (ก) ใช้สำหรับส่งข้อมูลที่มีค่าเป็น 1 ทางดิจิทัล โดยค่าของกระแสที่ไหลผ่าน LED ( $I_F$ ) ถูกกำหนดโดยกระแสคอลเล็กเตอร์ ( $I_C$ ) ของทรานซิสเตอร์  $Q_1$  และคำนวณได้ด้วย

$$I_F = I_C = (V_{CC} - V_F) / R_1$$

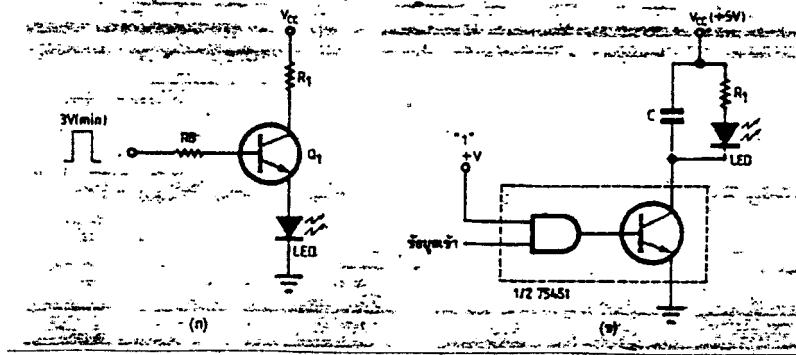
เมื่อ  $V_F$  เป็นแรงดันตกคร่อม LED ขณะไบแอสตรง มีค่าตามสเปกที่กำหนด

กระแสเบส  $I_B$  เป็นตัวควบคุมกระแส  $I_C$  อีกทีหนึ่งตามสูตรของ  $I_B = I_C / \beta$  เมื่อ  $\beta$  คือ กำลังขยายของทรานซิสเตอร์ และ  $I_B$  คำนวณได้จาก

$$I_B = (V_{i(max)} - V_{BE} - V_F) / R_B$$

เมื่อ  $V_{i(max)}$  คือ ค่าแรงดันสูงสุดของสัญญาณเข้า หรือก็คือระดับแรงดันขณะข้อมูลทางดิจิทัลเป็น "1"

วงจรวอร์เตอร์ที่ 2.5 (ข) เป็นอีกลักษณะหนึ่งของการส่งข้อมูลดิจิทัล ที่มีเสถียรภาพมากกว่าวงจรวอร์เตอร์ที่ 2.5 (ก) โดยใช้ไอซีเบอร์ 75451 หรือ 75450 เพียงบางส่วน ที่ขาหนึ่งของแอนด์เกตถูกกำหนดให้มีสภาวะทางลอจิกเป็น "1" (+5V) ขาที่เหลือใช้สำหรับส่งข้อมูลโดยขณะข้อมูลเป็น "1" LED จะไม่ทำงาน และเมื่อข้อมูลเป็น "0" LED จะส่งสัญญาณแสงออกมา ส่วนตัวเก็บประจุ (C) ใช้สำหรับลดผลของการเกิดแรงดันกระชาก ซึ่งปกติใช้ค่าประมาณ  $1 \mu F$



รูปที่ 2.5 วงจรไดรเวอร์ LED แบบดิจิทัล

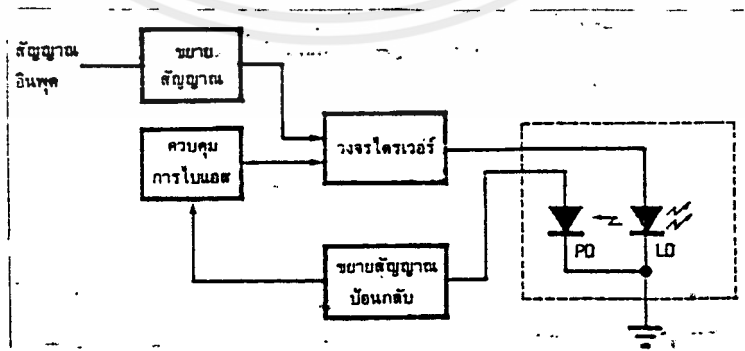
และค่าของตัวต้านทาน  $R_1$  สามารถคำนวณได้จากกระแสไบแอสตรง  $I_F$  ของ LED ที่กำหนดตามสเปกของมัน โดยใช้สูตรการคำนวณ

$$R_1 = (V_{CC} - V_F) / I_F$$

### วงจรเลเซอร์ไดโอด

การใช้งานเลเซอร์ไดโอดในระบบสื่อสาร ค่อนข้างจะยุ่งยากในการออกแบบวงจร เพราะวงจรต้องมีประสิทธิภาพและความเที่ยงตรงสูง บล็อกไดอะแกรมของวงจรใช้งานเลเซอร์ไดโอดแสดงดังรูปที่ 2.6 ซึ่งมีหลักการไม่ซับซ้อนเมื่อเทียบกับวงจร LED เพียงแต่เพิ่มส่วนป้องกันหรือฟีดแบ็คสัญญาณ เพื่อทำหน้าที่ควบคุมวงจรถ่ายโอนให้เกิดความแน่นอน

สัญญาณป้อนกลับอาจได้จากการใช้โฟโตดีเทกเตอร์ ที่มีประกอบอยู่ภายในตัวถึงเดียวกับเลเซอร์ไดโอดในระบบสื่อสาร เป็นตัวดีเทกสัญญาณแสงที่ส่งออกไป หากพลังงานแสงมีมากเกินไป สัญญาณป้อนกลับจะควบคุมให้วงจรถ่ายโอนลดกระแสขับเลเซอร์ไดโอดลง ในทางกลับกันหากความเข้มแสงที่ส่งออกมามีค่าน้อย วงจรไดรเวอร์จะช่วยเพิ่มกระแสไบแอสเลเซอร์ไดโอด ทำให้ระดับพลังงานแสงของระบบที่ส่งออกไปมีความเที่ยงตรงและแน่นอน



รูปที่ 2.6 บล็อกการทำงานของเลเซอร์



## วงจรตีเท็กเตอร์

ในตอนต้นได้กล่าวถึงโหมดการทำงานของโฟโตไดโอดไปบ้างแล้ว ลักษณะวงจรทำงานในแบบของโหมดโฟโตวอลตาอิก แสดงดังรูปที่ 2.7 (ก) โดยการต่อโฟโตไดโอดอนุกรมกับตัวต้านทานโหลด  $R_L$  เมื่อมีแสงตกกระทบบจะเกิดกระแสไหล ทำให้เกิดแรงดันตกคร่อมโหลด  $R_L$  มีค่าเท่ากับ  $I_p \times R_L$  เมื่อ  $I_p$  คือ กระแสที่ไหลในวงจรมุขซึ่งมักมีค่าไม่มาก หากต้องการให้กระแส  $I_p$  มีค่ามากขึ้น ต้องเพิ่มแรงดันไบแอสให้กับโฟโตไดโอด ดังรูปที่ 2.7 (ข) เพื่อให้เกิดการทำงานในโหมดโฟโตคอนดัคทีฟ

ในทางปฏิบัติมักจะใช้วงจรที่ทำให้ค่าแรงดันตกคร่อมโฟโตไดโอดมีค่าคงที่ตลอดเวลา เพื่อช่วยให้สามารถสร้างกระแส  $I_p$  ได้อย่างมีเสถียรภาพ ดังเช่นวงจรในรูปที่ 2.7 (ค) และรูปที่ 2.7 (ง) ที่ทำงานในโหมดต่างกัน แต่ค่าของแรงดันเอาต์พุต  $V_{out}$  ที่ต้องการมีค่าเป็นไปตามสมการเดียวกันคือ

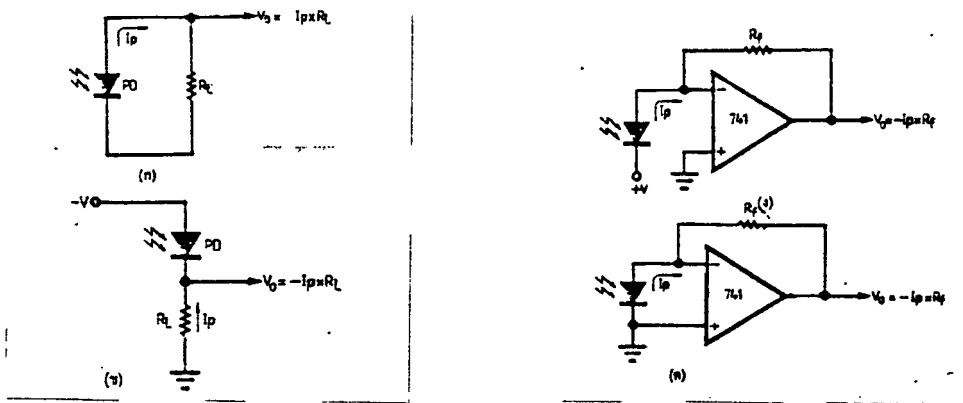
$$V_{out} = -I_p \times R_f$$

วงจรในรูปที่ 2.7 (ง) ที่มีโหมดการทำงานแบบโฟโตคอนดัคทีฟ จะทำงานได้เร็วกว่าวงจรในรูปที่ 2.7 (ค) ซึ่งเป็นชนิดโหมดโฟโตวอลตาอิก ค่าของกระแส  $I_p$  เป็นผลอันเนื่องมาจากผลของแสงตกกระทบบ และคำนวณได้จาก

$$I_p = R \times P_{in}$$

เมื่อ  $R$  เป็นค่าของกระแสต่อพลังงาน (แอมป์/วัตต์) กำหนดด้วยสเปกของมัน และ  $P_{in}$  เป็นพลังงานแสงหรือขนาดความเข้มแสงที่ตกกระทบบโฟโตไดโอด

ในการออกแบบวงจรต้องคำนึงถึงค่าของกระแสมืดที่เกิดจากตัวโฟโตไดโอด ขณะมีการไบแอสกลับรวมเข้าไปกับ  $I_p$  ด้วย จึงจะได้ค่าจริงออกมา



รูปที่ 2.7 วงจรทำงานของโฟโตไดโอด

### ตัวอย่างการออกแบบระบบโดยใช้การมัลติเพล็กซ์แบบ TDM

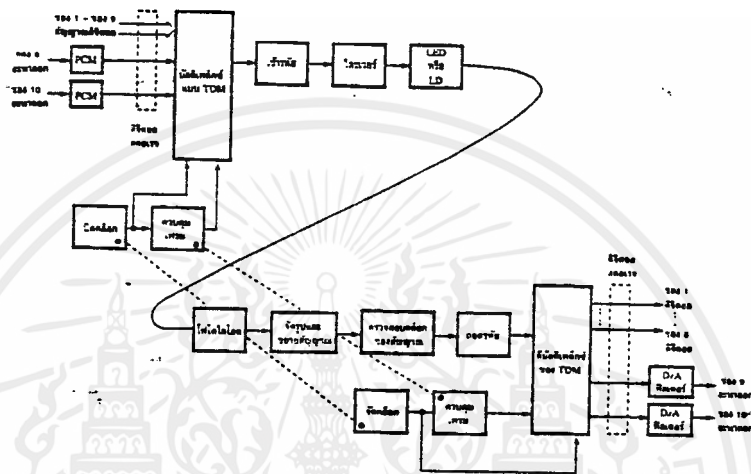
ก่อนอื่นกำหนดให้ระบบมีสเปกการดำเนินงานดังนี้

- มีสัญญาณอินพุตแบบดิจิทัล 8 ช่อง แต่ละช่องส่งข้อมูลแบบอนุกรมขนาด 1,250 คำต่อวินาที และข้อมูล 1 คำประกอบด้วยข้อมูลดิจิทัล 8 บิต
- มีสัญญาณอินพุตที่เป็นอนาล็อก 2 ช่อง แต่ละช่องมีแบนด์วิดท์ 5 กิโลเฮิรตซ์ ถ้าหากมีการเข้ารหัสให้ใช้แบบ PCM ที่มีข้อมูลดิจิทัล 6 บิตต่อหนึ่งแซมเปิล และควรมีอัตราการส่งอย่างน้อย 10,000 แซมเปิลต่อวินาทีต่อช่องสัญญาณ
- ระยะห่างระหว่างสถานีส่งและสถานีรับมีค่าเท่ากับ 5 กิโลเมตร
- ใช้ LED หรือ เลเซอร์ ไดโอด เป็นตัวส่งสัญญาณ

สัญญาณอนาล็อกสองช่องจะต้องถูกแปลงให้เป็นสัญญาณดิจิทัลแบบ PCM เสียก่อน ตามเงื่อนไขของสเปกที่กำหนด เนื่องจากสัญญาณดิจิทัล 8 ช่องมีจำนวนข้อมูล 8 บิตต่อหนึ่งคำ แต่สเปกของสัญญาณอนาล็อกที่ถูกแปลงให้เป็นดิจิทัลต้องการเพียง 6 บิตต่อแซมเปิล (หรือต่อคำ) ดังนั้นเราจะเพิ่ม 2 บิตที่ไม่มีค่าใดๆ (เหมือนกันหมดทุกค่าในตำแหน่งเดียวกัน) รวมเข้าไปเพื่อให้ดูเหมือนข้อมูลมี 8 บิตต่อหนึ่งคำ

อัตราการส่งที่กำหนดต้องการอย่างน้อย 10,000 คำต่อวินาทีต่อช่องสัญญาณ (1 คำมี 8 บิต) หรือนั่นก็คือส่ง 1 คำในทุกๆ 100 ไมโครวินาที ช่องสัญญาณทั้งหมดมี 10 ช่อง จึงต้องทำการแบ่งเวลา 100 ไมโครวินาทีออกเป็น 10 ช่อง เพื่อให้สามารถส่งข้อมูลทุกช่องได้พร้อมกันไปในทีเดียว จะได้ว่าเวลาในการส่งข้อมูลหนึ่งคำของแต่ละช่องคือ 10 ไมโครวินาที เมื่อนำมาจัดเป็น

เฟรมสำหรับระบบ TDM จะได้ดังรูปที่ 2.8 ที่นี้ย้อนกลับมาคำนวณความเร็วของระบบ หรือบิตเรต จะได้เท่ากับ 8 บิตต่อ 10 ไมโครวินาที หรือ 800 กิโลบิตต่อวินาที (ไม่รวมเวลาที่ใช้ในการซิงโครไนซ์) แต่ถ้าจะคิดบิตเรตเฉพาะช่องสัญญาณที่เป็นดิจิทัลแล้ว ตามสเปกกำหนดไว้ว่าแต่ละช่องจะส่งข้อมูล 10,000 บิตต่อวินาที (มาจาก  $1,250 \times 8$ ) หรือ 10 กิโลบิตต่อวินาที ซึ่งช้ากว่าระบบที่ออกแบบมาก ทำให้เวลาในการส่งข้อมูลสูญเสียไป



รูปที่ 2.8 ระบบ TDM ที่ถูกออกแบบ

การแก้ไขทำได้โดยการใช้งานเป็นแบบอะซิงโครนัส เพื่อให้เวลาในการรับข้อมูลในแต่ละช่องไม่ต้องถูกจำกัดด้วยเวลาที่เท่ากัน การคิดบิตเรตจริงของระบบต้องคำนวณจากค่าของบิตเรตในแต่ละช่องรวมกัน ในที่นี้ระบบที่ใช้งานมีบิตเรตเท่ากับ 240 กิโลบิตต่อวินาที

การจัดเฟรมในระบบ TDM จะถูกควบคุมด้วยสัญญาณบิตคลิก และส่วนควบคุมเฟรม เพื่อใช้เป็นสัญญาณซิงโครไนซ์ที่สถานีรับ ข้อมูลดิจิทัลที่ถูกจัดในแต่ละเฟรมอาจมีการเข้ารหัสในลักษณะของ RZ, NRZ หรือแมนเชสเตอร์ เพื่อให้สามารถส่งออกได้อย่างมีประสิทธิภาพมากขึ้น ตัวกำเนิดแสงอาจเลือกใช้ LED หรือเลเซอร์ไดโอดตามความเหมาะสม

ที่ภาครับ ข้อมูลที่รับได้จะถูกจัดรูปและตรวจสอบสัญญาณ เพื่อซิงโครไนซ์สัญญาณให้ได้ข้อมูลที่ถูกต้อง และหากมีการเข้ารหัส (เช่น RZ, NRZ) มาก่อนจะต้องถูกถอดรหัสเสียก่อน แล้วจึงทำการตีมัลติเพล็กซ์สัญญาณออกมา ขณะที่การตีมัลติเพล็กซ์ สัญญาณคลิกในสถานีส่งจะเป็นตัวกำหนดการซิงโครไนซ์ให้ถูกต้องยิ่งขึ้น สัญญาณคลิกที่มาจากสถานีส่งอาจใช้ไฟเบอร์ออปติกอีกเส้นหนึ่งส่ง

มาพร้อมกันกับข้อมูล แต่วิธีการเช่นนี้ทำให้งบประมาณการใช้จ่ายมีค่าเพิ่มขึ้น การแก้ไขสามารถทำได้โดยใช้วิธีการเข้ารหัสข้อมูลที่จะส่งเป็นแบบแมนเชสเตอร์ ซึ่งจะช่วยให้ทราบตำแหน่งเริ่มต้นและตำแหน่งสุดท้ายของข้อมูลได้ โดยการตรวจสอบด้วยตนเอง จึงไม่จำเป็นต้องใช้ไฟเบอร์ออปติกเส้นอื่นเพื่อส่งสัญญาณคลิก หรือสัญญาณซิงโครไนซ์อีกต่อไป

สัญญาณที่ถูกแยกออกมาแล้วในแต่ละช่อง จะผ่านขบวนการที่เหมาะสมของมันก่อนนำไปใช้งานต่อไป ดังเช่น สัญญาณอนาลอกที่ส่งมาแบบดิจิทัลจะต้องถูกแปลงกลับด้วยวงจรถ่ายเอคองเวอร์เตอร์ (D/A) เสียก่อน



### บทที่ 3

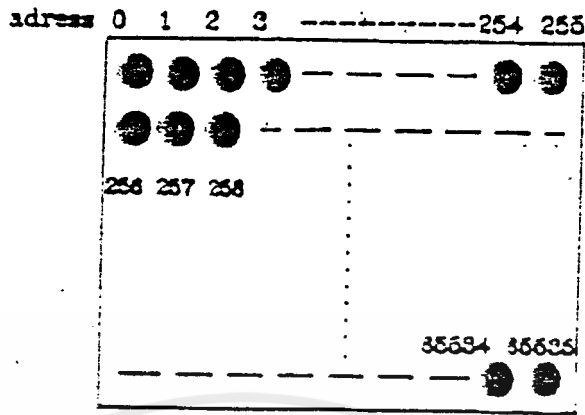
#### ระบบการเก็บภาพลงในหน่วยความจำ

เนื่องจากสัญญาณภาพที่ได้จากกล้องวิดีโอ (Video Camera) เป็นสัญญาณภาพแบบอนาล็อก ดังนั้น ถ้าเราจะทำการเก็บข้อมูลภาพที่ได้นี้ จะต้องทำการแปลงสัญญาณภาพแบบอนาล็อกให้เป็นข้อมูลภาพทางดิจิทัล (Analog to Digital Converter) เสียก่อน แล้วจึงนำไปเก็บลงในหน่วยความจำ หรือวิดีโอแรม (Video RAM) ได้ แต่เนื่องจากการสแกนของสัญญาณภาพที่ได้จากกล้องวิดีโอมีความเร็วสูงมาก เวลาที่ใช้ในการสแกนสัญญาณภาพแต่ละภาพประมาณ 40 มิลลิวินาที (ms) ในกรณีที่เรากำลังต้องการเก็บข้อมูลภาพให้ได้รายละเอียดของภาพมากจะต้องใช้สัญญาณคล็อก (Clock) ในการสุ่มข้อมูลภาพของวงจร A/D ที่ความถี่สูง แต่ก่อนอุปกรณ์พวกนี้มีแต่เฉพาะใช้กับงานความเร็วต่ำๆ แต่ปัจจุบันการพัฒนาเทคโนโลยีทางด้านการผลิตอุปกรณ์ทางอิเล็กทรอนิกส์ได้ก้าวหน้าไปอย่างรวดเร็ว ได้ผลิตอุปกรณ์ที่ใช้แปลงสัญญาณอนาล็อกเป็นข้อมูลทางดิจิทัลโดยสร้างเป็นชิปไอซี (Chip IC) สำเร็จรูปที่มีความเร็วสูงออกสู่ตลาด ในงานวิจัยนี้ได้เลือกใช้ Flash A/D เบอร์ CA3306 เป็น A/D ขนาด 6 บิต (Bits) จำนวน 2 ตัว มาต่อร่วมกัน เพื่อให้มีขนาดเพิ่มขึ้นเป็น 7 บิต ซึ่งสามารถแสดงระดับสัญญาณได้ถึง 128 ระดับ

#### ลักษณะการเก็บข้อมูลภาพทางดิจิทัลขนาด $256 \times 256$ จุดต่อภาพ

การเก็บข้อมูลภาพทางดิจิทัลขนาด  $256 \times 256$  จุดต่อภาพ ภาพที่ได้มีความละเอียดของภาพสูงพอสมควรเหมาะสำหรับการนำข้อมูลภาพที่ได้ไปทำขบวนการ (Process) ต่างๆ ที่ไม่ต้องการความละเอียดของภาพมากนัก ซึ่งใช้พื้นที่หน่วยความจำเพียง 64 กิโลไบต์ (Kbytes) มีลักษณะการเก็บข้อมูลดังรูปที่ 3.1

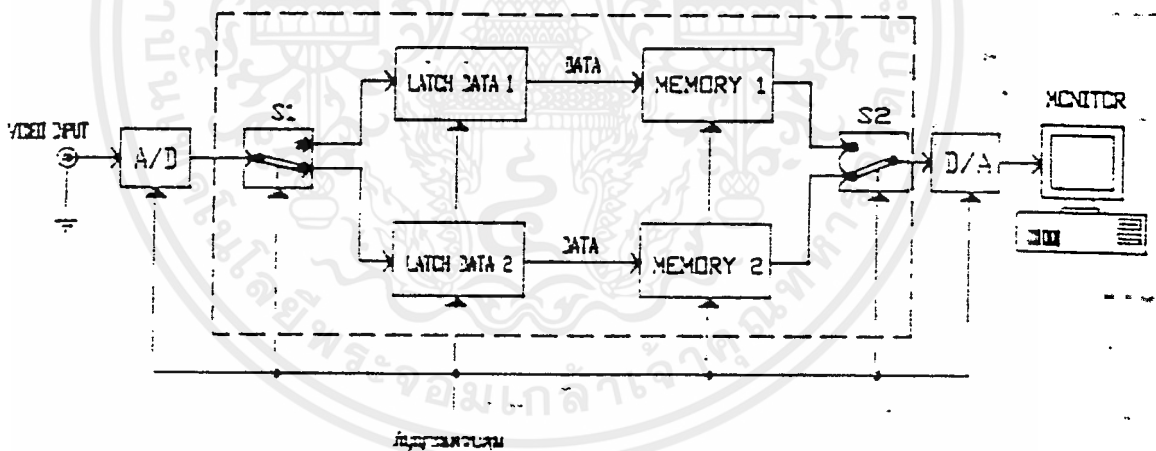
ลักษณะการเก็บข้อมูลภาพลงในหน่วยความจำโดยเริ่มจากบนซ้ายมือสุดเป็นแอดเดรส 0 ของหน่วยความจำ และนับไปทางขวามือจนถึงขวาสุด เป็นแอดเดรสที่ 255 ต่อจากนั้นจะเริ่มเก็บจุดทางซ้ายมือสุดของเส้นถัดไปเป็นแอดเดรสที่ 256 เก็บต่อไปในลักษณะนี้จนถึงจุดทางขวาล่างสุดเป็นแอดเดรสที่ 65535 รวมแล้วต้องใช้พื้นที่หน่วยความจำทั้งหมด 64 กิโลไบต์ (Kbytes)



รูปที่ 3.1 แสดงการจัดพื้นที่หน่วยความจำ

การแบ่งพื้นที่หน่วยความจำที่ใช้เก็บข้อมูลภาพออกเป็นหลายชุด

การเก็บข้อมูลภาพในลักษณะนี้ จะแบ่งพื้นที่หน่วยความจำที่ใช้เก็บข้อมูลภาพออกเป็นหลายชุด หลักการนี้แสดงดังบล็อกไดอะแกรมในรูปที่ 3.2 สมมติให้แบ่งหน่วยความจำออกเป็น 2 ชุด



รูปที่ 3.2 บล็อกไดอะแกรมการเก็บข้อมูลภาพโดยวิธีแบ่งชุดหน่วยความจำ

จากบล็อกไดอะแกรมจะเห็นว่า หลักการเก็บข้อมูลภาพในลักษณะนี้จะแบ่งหน่วยความจำออกเป็น 2 ชุด (Page) สลับชุดกันเขียนข้อมูลภาพ เพื่อให้สามารถเก็บข้อมูลภาพที่มีความเร็วสูงลงสู่หน่วยความจำความเร็วปกติ (Access Time ประมาณ 250 นาโนวินาที, ns) ได้

การทำงานของกรเก็บข้อมูลภาพในลักษณะนี้ เริ่มจากนำเอาข้อมูลภาพที่ออกจากเอาต์พุต

ของวงจรใน A/D มาผ่านวงจร สวิตช์ S1 เลือกชุดของหน่วยความจำที่จะใช้เขียนโดยเริ่มจากชุดที่ 1 (สวิตช์เลือกอยู่ตำแหน่งบน) ข้อมูลภาพที่ผ่านเข้ามาจะผ่านวงจรหน่วยข้อมูลชั่วคราว (Data Latch) ช่วยเก็บข้อมูลไว้ในขณะที่สวิตช์ S1 สับไปที่หน่วยความจำชุดที่ 2 เพื่อให้หน่วยความจำชุดแรกมีเวลาเขียนข้อมูลภาพได้ทัน ส่วนหน่วยความจำชุดที่ 2 ก็ใช้หลักการเขียนข้อมูลภาพลักษณะเดียวกัน ซึ่งจะเห็นว่าเวลาในการเขียนข้อมูลภาพลงสู่หน่วยความจำแต่ละครั้งจะมีเวลานานเป็น 2 เท่า (กรณีแบ่งพื้นที่หน่วยความจำออกเป็น 2 ชุด) ของความเร็วในการสแกนของสัญญาณภาพ จากหลักการนี้จะทำให้สามารถใช้หน่วยความจำที่มีความเร็วต่ำเก็บข้อมูลภาพที่มีการสแกนสัญญาณภาพความเร็วสูงได้ ส่วนการนำเอาข้อมูลภาพออกสู่มอนิเตอร์ (Monitor) ก็มีสวิตช์สำหรับสลับชุดของหน่วยความจำ ในรูปแสดงด้วยสวิตช์ S2 เพื่อให้ข้อมูลภาพมีลักษณะเหมือนกับตอนที่ออกมาจากวงจรในส่วน A/D

### ข้อดีข้อเสียสำหรับการเก็บข้อมูลภาพแบบแบ่งชุดหน่วยความจำ

#### **ข้อดี**

1. หน่วยความจำซึ่งเป็นหัวใจของการเก็บข้อมูลภาพ ไม่จำเป็นต้องใช้หน่วยความจำที่มีความเร็วสูง สามารถใช้หน่วยความจำที่มีความเร็วปกติทั่วไป (ประมาณ 250 นาโนวินาที, ns)
2. ทำให้สามารถหาซื้ออุปกรณ์ภายในประเทศได้
3. สามารถขยายระบบให้สามารถเก็บข้อมูลภาพได้ความละเอียดมากขึ้นได้

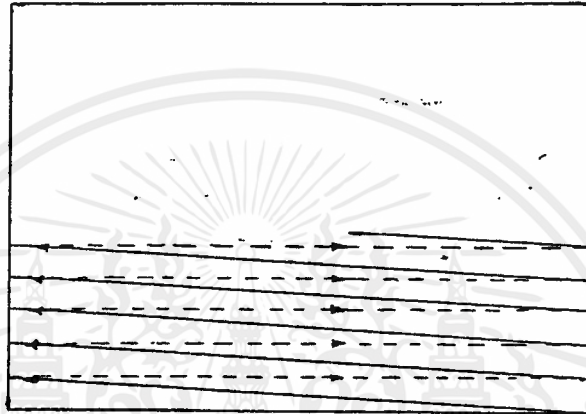
#### **ข้อเสีย**

1. ต้องมีวงจรสวิตช์เลือกชุดของหน่วยความจำหลายชุด (กรณีใช้หน่วยความจำหลายชุด)
2. การทำงานของสวิตช์แต่ละชุดต้องสัมพันธ์ต่อเนื่องกัน มิฉะนั้นแล้วทำให้ข้อมูลภาพขาดหายไป
3. เนื่องจากต้องมีการสับสวิตช์เพื่อเปลี่ยนชุดของหน่วยความจำตลอดเวลา ทำให้เกิดการผิดพลาดของข้อมูลภาพได้
4. การออกแบบวงจรยุ่งยาก เนื่องจากถ้าเป็นระบบใหญ่ๆ จะต้องใช้วงจรสวิตช์จำนวนมาก ทำให้ตัวเครื่องใหญ่ และวงจรมีความยุ่งยากซับซ้อน

## บทที่ 4

### ทฤษฎีสัญญาณภาพ

ระบบในการส่งโทรทัศน์นั้นสัญญาณที่ส่งมาเป็นสัญญาณอิเล็กทรอนิกส์ ในการส่งแต่ละภาพจะประกอบด้วยจุดจำนวนมากมายเรียงต่อเนื่องกันโดยแต่ละจุดจะมีความสว่างมืด หรืออาจเป็นระดับความเข้มของสีต่างๆ ภาพในเครื่องรับโทรทัศน์จะถูกสแกนต่อเนื่องกันไปทีละเส้นดังรูปที่ 4.1



รูปที่ 4.1 การสแกนภาพในจอโทรทัศน์

#### การสแกนภาพในโทรทัศน์

ภาพในโทรทัศน์เกิดจากการเรียงกันออกมาเป็นเส้นจากภาพหนึ่งไปอีกภาพหนึ่งคือ เริ่มจากจุดบนซ้ายไปขวา จากบนลงล่าง วิธีการนี้เรียกว่า การสแกนเชิงเส้นในแนวนอน

ลำดับการสแกนเป็นดังนี้

1. ลำแสงอิเล็กตรอนจะถูกส่งออกมาตามแนวนอน
2. ที่จุดปลายของเส้นลำแสงจะถูกลากกลับอย่างรวดเร็วมาทางซ้าย เพื่อเริ่มการสแกนใหม่ ในช่วงเวลาลากกลับนี้ เรียกว่า Retrace หรือ Flyback ในช่วงนี้จะไม่มีข้อมูลในหลอดภาพ ดังนั้น ช่วงเวลานี้จึงควรเร็วมาก

3. เมื่อลำแสงเลื่อนกลับมาทางซ้าย ตำแหน่งในแนวตั้งจะเลื่อนต่ำลงมา เกิดการสแกนเส้นใหม่ จนในที่สุดถึงขอบล่างขวาจะมีการสแกนในแนวตั้งกลับไปยังขอบบนซ้าย เพื่อสแกนภาพในแนวนอนในเฟรมใหม่

## ระบบ PAL (Phase Alternating Line)

ระบบนี้เป็นระบบที่แก้ไขข้อผิดพลาดของระบบ NTSC ซึ่งเป็นระบบที่ใช้กันอยู่ในประเทศไทย จึงขอใช้ระบบนี้อ้างอิง

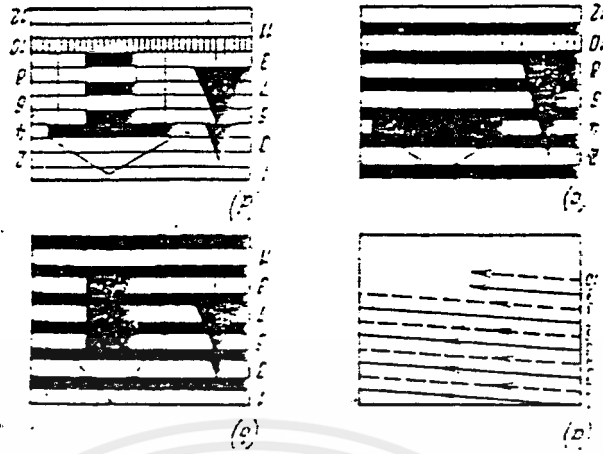
### รายละเอียดมาตรฐาน PAL

จำนวนเส้นต่อภาพ	625	เส้น
จำนวนภาพต่อวินาที	25	ภาพ
จำนวนฟิลด์ต่อวินาที	50	ฟิลด์
ความถี่การหักเหทางแวนอน	15,625	เฮิรตซ์(Hz)
ความถี่ของซิปแคเรียส	4.43361875	เมกะเฮิรตซ์(MHz)
แบนด์วิดท์สัญญาณ V	0.5	เมกะเฮิรตซ์(MHz)
แบนด์วิดท์สัญญาณ U	0.5	เมกะเฮิรตซ์(MHz)

ในระบบ 625เส้น จะมีความถี่การสแกน 25 ภาพต่อวินาที ดังนั้นจะได้ความถี่ในการสแกนในแวนอนเท่ากับ  $25 \times 625 = 15625$  Hz นั่นคือ เวลาในการสแกนแวนอนเท่ากับ 64 ไมโครวินาที การสแกนในแต่ละภาพจะใช้เวลา  $1/25 = 40$  มิลลิวินาที

### การสแกนสัญญาณภาพแบบสลับเส้น (Interlace Scanning)

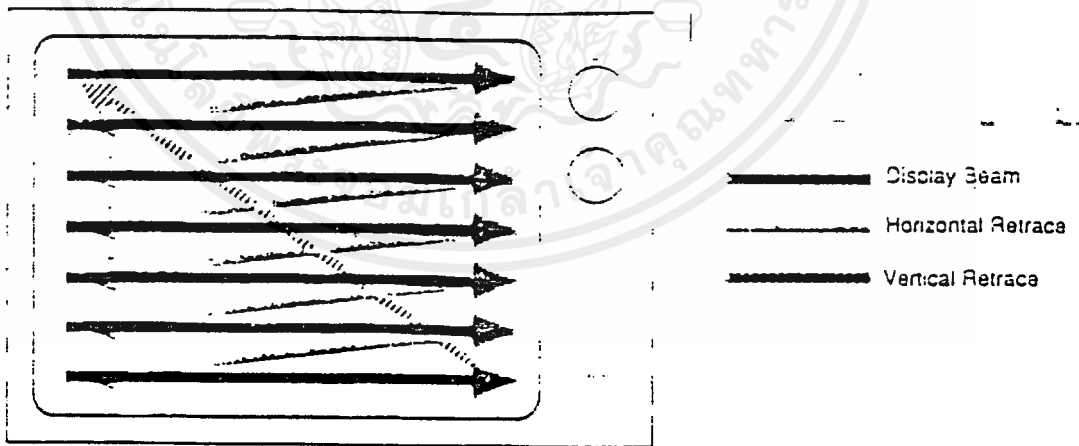
เนื่องจากการสแกนของสัญญาณบนจอเครื่องรับโทรทัศน์ จะเกิดปัญหาเรื่องการกระพริบของแสงบนหน้าจอ (Flicker) ด้วยเหตุนี้การสร้างภาพหรือสแกนสัญญาณภาพบนจอเครื่องรับโทรทัศน์ จะใช้การสแกนสัญญาณภาพเป็นแบบสลับเส้น โดยแบ่งการสแกนออกเป็น 2 ฟิลด์ คือ ฟิลด์แรกเป็นการสแกนเส้นคี่ เริ่มสแกนจากเส้นสแกนที่ 1 จากขอบบนซ้ายสุดไปขวาสุด และจากบนลงล่าง จะสิ้นสุดการสแกนในเส้นที่ 312.5 หลังจากนั้นจะสับกลับทางแนวตั้งจำนวน 50 เส้นสแกน โดยมาเริ่มต้นสแกนเส้นคี่ในเส้นที่ 313 (ฟิลด์ที่ 2) และสแกนในลักษณะเดียวกับในฟิลด์แรก ซึ่งจะเป็นการสแกนแทรกกระหว่างเส้นสแกนในครั้งแรกตั้งในรูปแบบที่ 4.2 ในการสแกนของสัญญาณภาพลักษณะนี้จะลดการกระพริบของภาพบนหน้าจอให้น้อยลงได้



รูปที่ 4.2 การสแกนสัญญาณภาพแบบสลับเส้น

**การสแกนสัญญาณภาพแบบไม่สลับเส้น (Noninterlace Scanning)**

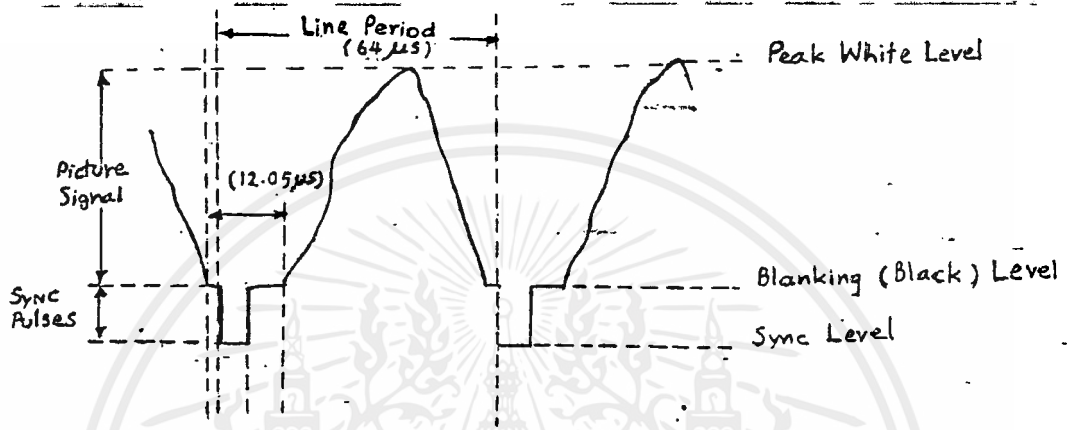
การสแกนของสัญญาณภาพในแบบนี้ จะเริ่มจากเส้นแรกด้านบนซ้ายมือสุดของจอมอนิเตอร์ ไปทางด้านขวามือสุดของเส้นถัดไป ทำเช่นนี้จนถึงเส้นสุดท้ายด้านล่างสุดของจอมอนิเตอร์ เป็นการสแกนสัญญาณภาพหมดหนึ่งภาพ หลังจากนั้นจะสลับกลับไปเริ่มสแกนในเส้นที่ 1 ใหม่ซึ่งจะทับกับเส้นเดิมที่สแกนเสร็จในครั้งแรกและจะทำเช่นนี้ตลอดเวลาที่มีการสแกนสัญญาณภาพบนจอมอนิเตอร์ ดังแสดงในรูปที่ 4.3



รูปที่ 4.3 การสแกนสัญญาณภาพแบบไม่สลับเส้น

## สัญญาณภาพ

สัญญาณภาพรวม (Composite Video Signal) จะประกอบไปด้วยสัญญาณข้อมูลภาพ สัญญาณแปลงค้ สัญญาณซิงค์ ในส่วนสัญญาณแปลงค้และสัญญาณซิงค์ ยังแบ่งออกเป็นสัญญาณแปลงค้และซิงค์ ในแนวนอน และสัญญาณแปลงค้และซิงค์ในแนวตั้ง ความสว่างหรือระดับความเข้มของแต่ละจุดภาพของสัญญาณโทรทัศน์ขึ้นกับระดับโวลเตจของสัญญาณภาพดังรูปที่ 4.4



รูปที่ 4.4 ลักษณะของสัญญาณภาพ

### สัญญาณซิงค์ในแนวนอนและแนวตั้ง

ในการสแกนภาพนั้น การสแกนจะต้องเริ่มด้วยเวลาที่แน่นอนตรงกับเครื่องส่งเพื่อให้ข้อมูลของภาพแสดงตรงตำแหน่งที่ถูกต้อง ในการที่จะให้เครื่องส่งและเครื่องรับมีการส่งและรับที่สัมพันธ์กัน จำเป็นต้องมีสัญญาณซิงค์ส่งมากับสัญญาณภาพด้วย สัญญาณซิงค์นี้จะเป็นพัลส์รูปสี่เหลี่ยม ซึ่งใช้ในการควบคุมการสแกนทั้งทางเครื่องรับและเครื่องส่ง

สัญญาณซิงค์จะถูกส่งรวมมากับสัญญาณภาพ เพื่อประกอบเป็นสัญญาณรวมสำหรับเครื่องรับ สัญญาณนี้จะเกิดในระหว่างช่วงของการแปลงค้ ซึ่งไม่มีข้อมูลของภาพในการส่ง สัญญาณซิงค์ตามแนวนอนจะเกิดขึ้นในช่วงสุดท้ายของการสแกนเส้นตามแนวนอน ซึ่งเป็นการเริ่มลากกลับตามแนวนอน สัญญาณซิงค์ตามแนวตั้งจะเกิดตอนที่ภาพสแกนถึงตำแหน่งล่างสุดของจอภาพ เมื่อเกิดการลากกลับของลำอิเล็กตรอนตามแนวตั้ง

ในการสแกนเส้นสแกนตามแนวนอนด้วยความถี่ 15625 Hz ความถี่ของสัญญาณซิงค์แนวนอนจะเท่ากับ 15625 Hz ด้วย ส่วนความถี่ของสัญญาณซิงค์ตามแนวตั้งจะเท่ากับ 50 Hz

## สัญญาณแปลงค์ในแวนอนและแนวตั้ง

ในระบบโทรทัศน์ สัญญาณแปลงค์ คือ สัญญาณที่ทำให้เป็นสีดำ ในส่วนของสัญญาณ Video โวลเตจของสัญญาณแปลงค์จะอยู่ที่ระดับของสีดำ ระดับของโวลเตจสีดำนี้จะไปทำให้กระแสที่ใช้ในการยิงลำอิเล็กตรอนหยุดไหล ทำให้ไม่มีแสงออกมาที่จอภาพ จุดประสงค์ของสัญญาณแปลงค์ก็เพื่อไม่ให้ภาพเส้นที่ลากกลับในช่วงของการสแกน

สัญญาณแปลงค์ในแวนอนมีความถี่ 15625 Hz ทำให้เกิดการแปลงค์ในช่วงของเส้นที่ลากกลับจากขวาทางซ้าย สัญญาณแปลงค์ในแนวตั้งมีความถี่ 50 Hz ทำให้เกิดการแปลงค์ในส่วนลากกลับจากส่วนล่างขึ้นส่วนบน ช่วงเวลาของสัญญาณแปลงค์ในแวนอนมีค่าประมาณ 20 % ดังนั้นสัญญาณตามแวนอนมีค่าเท่ากับ  $64 \times 0.2 = 12.8$  ไมโครวินาที ซึ่งแสดงให้เห็นว่าช่วงเวลาการลากเส้นกลับต้องสิ้นสุดภายใน 12.8  $\mu\text{s}$  สำหรับช่วงเวลาของสัญญาณแปลงค์ ตามแนวตั้งมีช่วงเวลาในหนึ่งภาพเท่ากับ 20 ms ซึ่งแสดงให้เห็นว่า การลากกลับของภาพจากจุดล่างสุดไปจุดบนสุดต้องเสร็จสิ้นภายในเวลา 1.6 ms

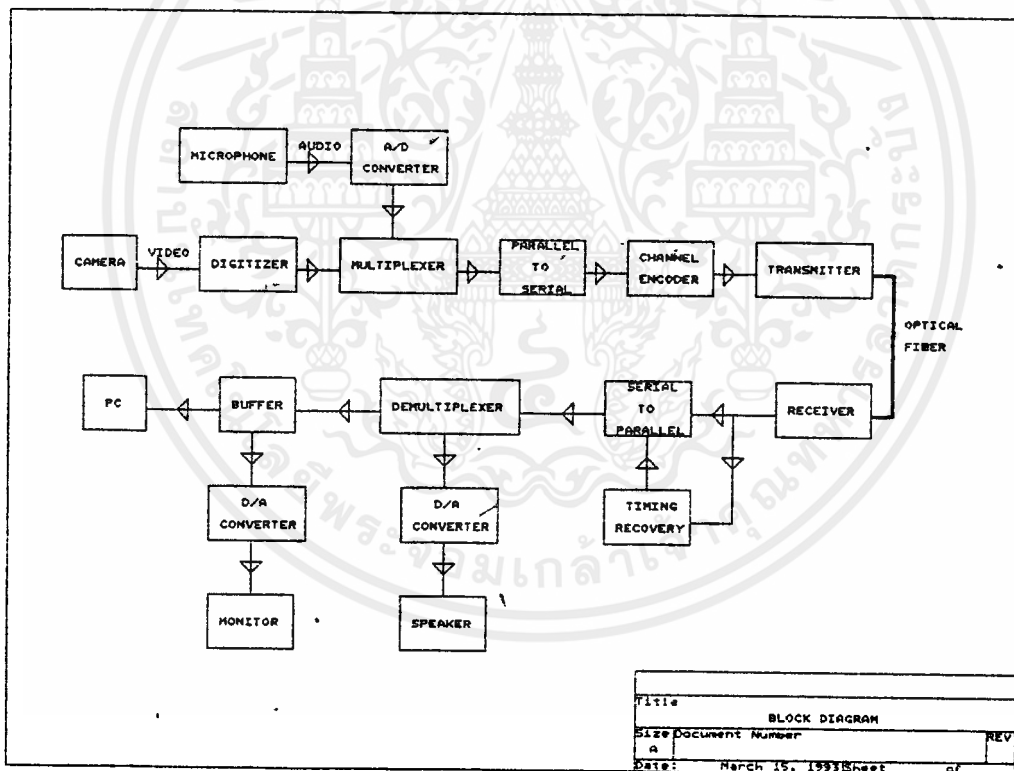
## บทที่ 5

### การออกแบบและสร้างชุดสื่อสารข้อมูล

ชุดสื่อสารข้อมูล ประกอบด้วยส่วนหลักๆ ที่สำคัญ 3 ส่วน คือ

1. ส่วนที่ทำหน้าที่เขียนและอ่านข้อมูลในหน่วยความจำ
2. ภาคส่ง ทำหน้าที่แปลงข้อมูลที่ต้องการส่งให้อยู่ในรูปแบบที่เหมาะสม แล้วทำการส่งออกไป
3. ภาครับ ทำหน้าที่รับสัญญาณเข้ามา แล้วแปลงกลับให้อยู่ในรูปแบบที่สามารถนำไปใช้งานได้

บล็อกไดอะแกรมของระบบทั้งหมด เขียนได้ดังรูป





## วงจรสร้างสัญญาณควบคุม

วงจรที่ใช้งานในส่วนนี้เป็นวงจรที่ถูกออกแบบไว้สำหรับสร้างชุดสัญญาณควบคุม เพื่อนำไปใช้ใน ส่วนอื่นต่อไป เช่น ส่วนควบคุมการ Digitize สัญญาณภาพ ส่วนควบคุมการเขียนข้อมูลลงในหน่วยความจำซึ่งพอจะอธิบายการทำงานของแต่ละส่วนต่างๆ ได้ดังนี้

### -ส่วนแยกสัญญาณซิงค์ (Sync Seperator)

ทำหน้าที่แยกสัญญาณภาพจากกล้องวิดีโอ เพื่อให้ได้สัญญาณซิงค์แนวอน และสัญญาณซิงค์ตามแนวดิ่ง โดยใช้ IC เบอร์ LM1881N

### -ส่วนการตอบสนองการร้องขอภาพ (Video Request)

เมื่อทางด้านรับต้องการสัญญาณภาพ ก็จะส่งสัญญาณ VREQ มา เมื่อวงจรตรวจพบว่ามีสัญญาณ VREQ เป็นพัลส์ "1" และมีสัญญาณ V.blank เข้ามา ระบบก็จะเริ่มการ Digitize

### -ส่วนวงจรรนับ (Counter)

แยกเป็นวงจรรนับ 2 ส่วน คือส่วนนับจุดภาพ และส่วนนับจำนวนเส้นที่ทำการสแกนว่าครบ 1 เฟรมหรือยัง ซึ่งสัญญาณที่ได้จากวงจรรนับจะทำหน้าที่กำหนดตำแหน่งของหน่วยความจำที่เราจะเก็บข้อมูลหรืออ่านข้อมูล

### -ส่วนสร้างสัญญาณเวลา (Timing Gen)

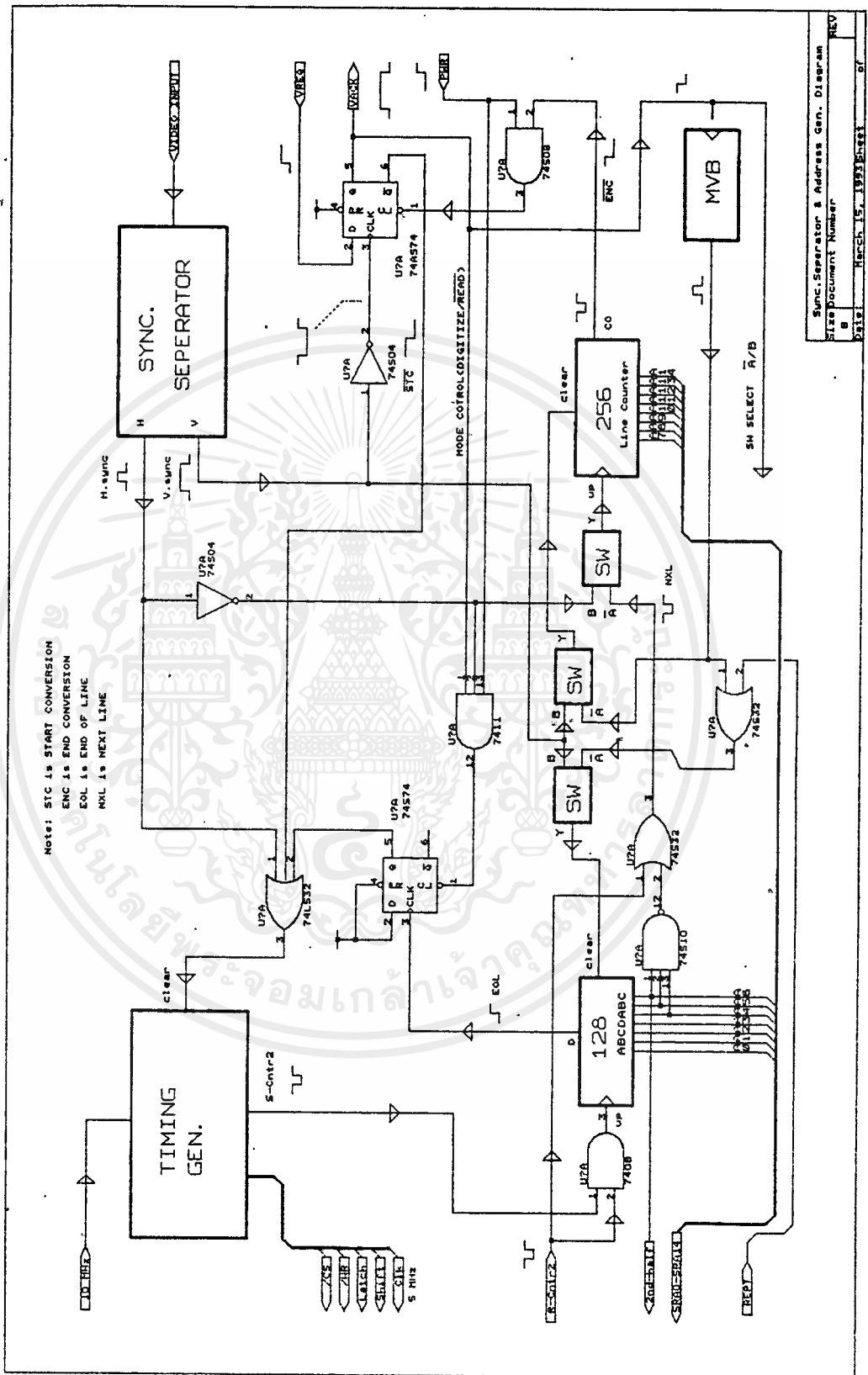
สร้างสัญญาณ Clock เพื่อกำหนดความถี่ของการ Sampling สัญญาณของวงจร A/D และสร้างสัญญาณ /CS /WR Latch และ Shift เพื่อควบคุมการเขียนข้อมูลลงในหน่วยความจำ

สำหรับการทำงานของวงจรเมื่อเริ่มเปิดเครื่อง สัญญาณ PWR จะเป็น "0" ในช่วงหนึ่งส่งผลให้เกิดการ CLEAR ค่าในส่วนต่างๆ ของวงจร ซึ่งเสมือนกับเป็นการ Reset ระบบตอนเปิดเครื่อง

เมื่อมีสัญญาณ VREQ เข้ามาพร้อมกับสัญญาณ V.blank ก็จะเริ่มมีการ Digitize ภาพในเฟรมแรกที่ตรวจจับได้ วงจรรนับจะเริ่มนับสัมพันธ์กับอัตราการ Sampling และการจัดเก็บข้อมูล ทั้งนี้เพื่อให้กำหนดตำแหน่งที่จะเก็บข้อมูลได้ถูกต้อง ในที่นี้กำหนดให้ 1 Address เก็บข้อมูล

2 ชุด (ข้อมูล 2 จุดภาพ) โดยในวงจรมีได้ออกแบบไว้ให้ส่วนวงจรมีสามารถใช้กำหนด Address ทั้งในตอนเขียนข้อมูลลงในหน่วยความจำ และอ่านข้อมูลจากหน่วยความจำ โดยใช้ IC เบอร์ 74157 เป็นตัวเลือก





Sync Separator & Address Gen. Diagram  
 SLD Document Number  
 FILE: MARSH.15.1993.BK411 REV

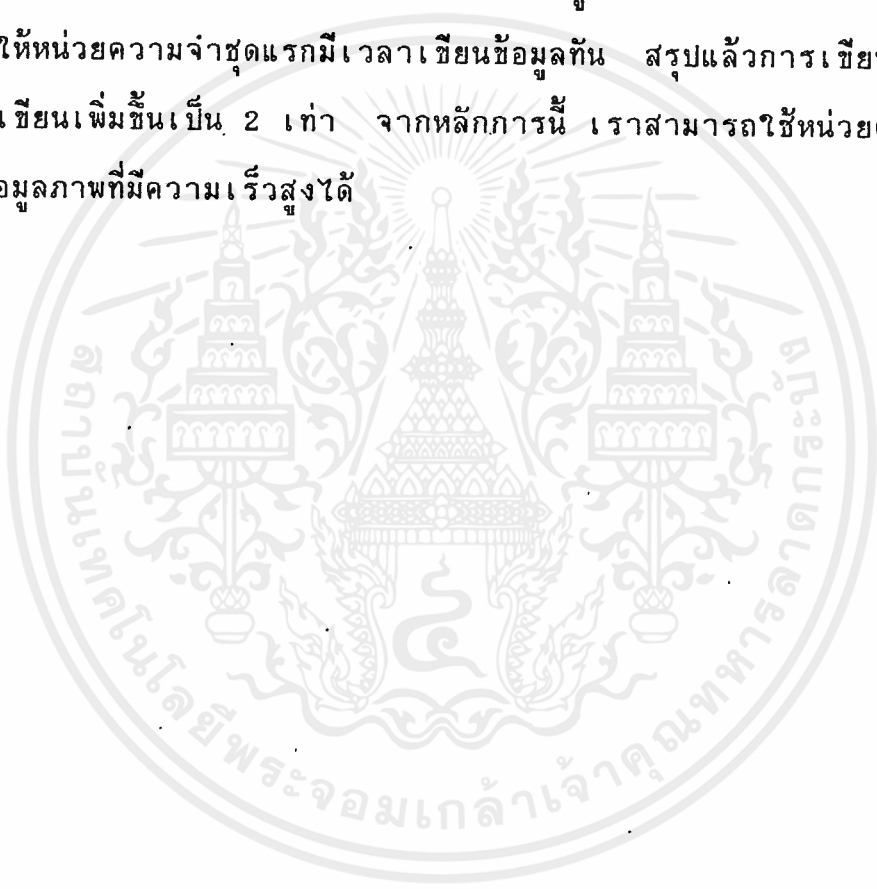
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

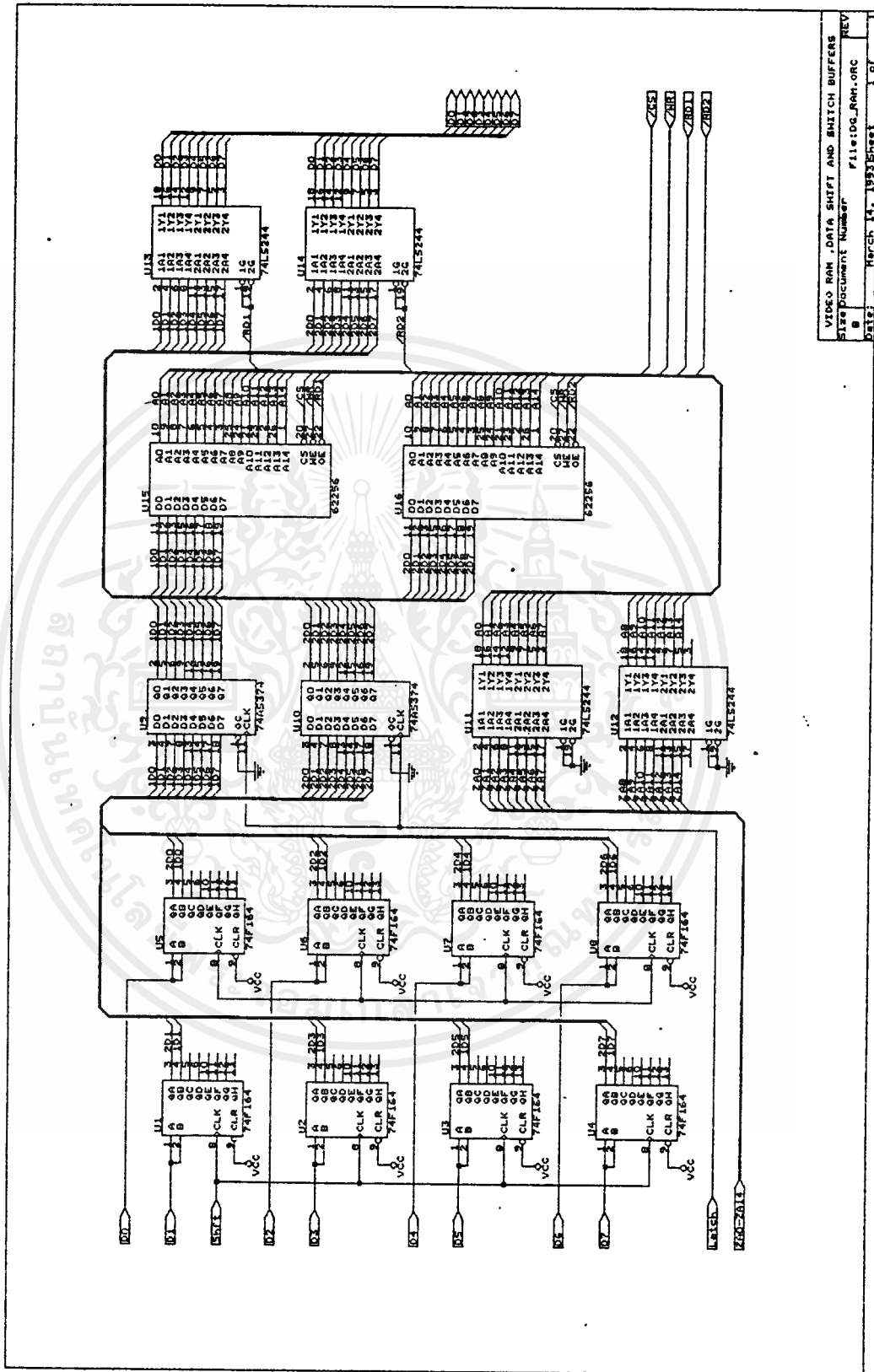


## การเก็บข้อมูลลงในหน่วยความจำ

การเก็บข้อมูลภาพในโครงการนี้จะใช้วิธีการแบ่งพื้นที่หน่วยความจำที่ใช้เก็บออกเป็น 2 ชุดสาเหตุที่ต้องทำแบบนี้ เนื่องจากข้อมูลที่แปลงมาจากวงจร A/D มีความเร็วสูงมาก ถ้าใช้วิธีเก็บข้อมูลลงหน่วยความจำเพียงชุดเดียว จะมีเวลาในการเขียน (Write) ไม่เพียงพอ

การทำงานของวงจรเก็บข้อมูลภาพในลักษณะนี้ เริ่มจากนำเอาข้อมูลภาพที่ออกจากเอาต์พุตของวงจร A/D ผ่านวงจรเพื่อเลือกชุดหน่วยความจำที่จะนำข้อมูลไปเก็บ ข้อมูลภาพที่เข้ามาจะผ่านวงจรหน่วงชั่วคราว (Data Latch) ช่วยเก็บข้อมูลไว้ ในขณะที่สวิตช์สลับไปที่หน่วยความจำชุดที่ 2 เพื่อให้หน่วยความจำชุดแรกมีเวลาเขียนข้อมูลทัน สรุปลแล้วการเขียนข้อมูลแต่ละครั้งจะมีเวลาในการเขียนเพิ่มขึ้นเป็น 2 เท่า จากหลักการนี้ เราสามารถใช้หน่วยความจำที่มีความเร็วต่ำเพื่อเก็บข้อมูลภาพที่มีความเร็วสูงได้



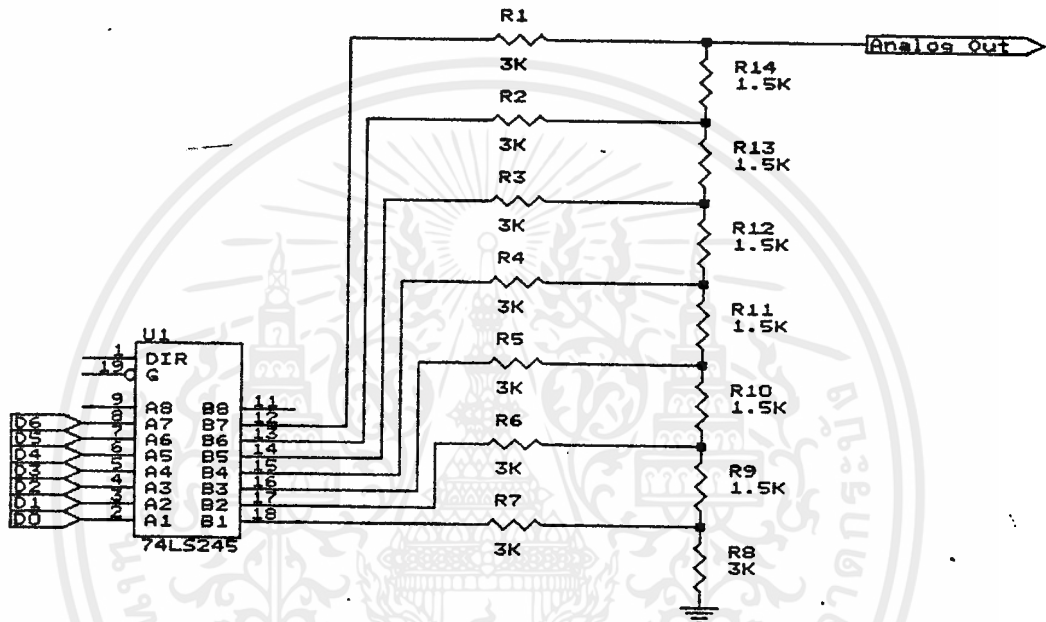


VIDEO RAM DATA SHIFT AND SWITCH BUFFERS  
 Size Document Number File:DC\_PAH.ORG  
 REV 0  
 DATE MARCH 14, 1993 EAGLE 1 07

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก (D/A)

เป็นส่วนของการแปลงสัญญาณดิจิทัลให้เป็นสัญญาณอนาลอก เพื่อนำไปแสดงผลต่อไป ใน  
โครงการนี้ใช้วงจร R-LADDER เพื่อทำการแปลงสัญญาณดังกล่าว



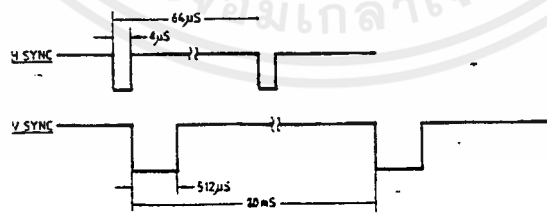
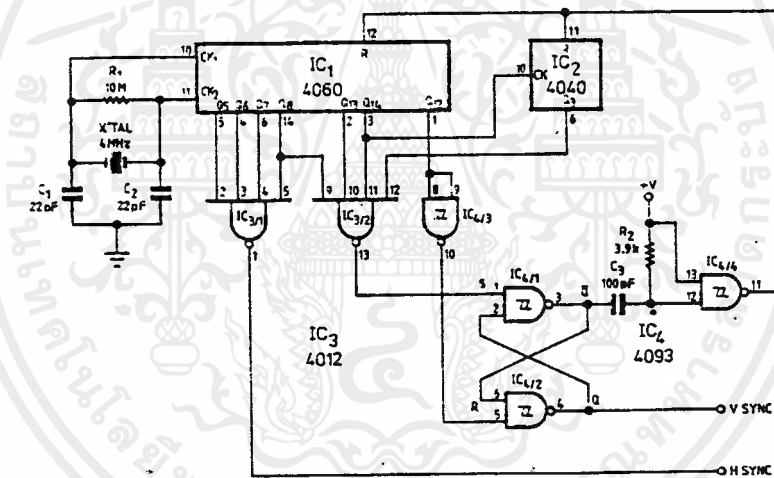
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศีกษา 5-6 เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วงจรสร้างสัญญาณซิงค์

คริสตัล X'TAL จะผลิตความถี่ 4 MHz ร่วมกับ  $C_1, C_2$  และ  $R_1$  ป้อนเข้าขาคล็อกของ  $IC_1$  เพื่อทำการหาร เมื่อนำเอาต์พุตขา  $Q_5-Q_8$  มาต่อกับอินพุตของแนนด์เกต  $IC_{3/1}$  เอาต์พุตจะเป็นสัญญาณซิงค์ทางแนวอน

สำหรับสัญญาณซิงค์ทางแนวตั้ง ได้จากการนำ  $Q_9, Q_{13}, Q_{14}$  ของ  $IC_1$  และ  $Q_9$  ของ  $IC_2$  นำมาต่อกับแนนด์เกต  $IC_{3/2}$  จากนั้นนำเอาต์พุตที่ได้จากขา 13 มาต่อเข้าขาเซตของอาร์-เอสฟลิปฟลอป  $IC_{4/1}$  และ  $IC_{4/2}$  ได้เอาต์พุตเป็นสัญญาณซิงค์ทางแนวตั้งที่ขา Q

ที่ขา  $Q_{12}$  ของ  $IC_1$  จะต่อผ่านนอตเกต  $IC_{4/3}$  ไปยังขารีเซตของอาร์-เอสฟลิปฟลอป เพื่อรีเซต  $IC_1$  และ  $IC_2$  ให้ได้ตามคาบเวลา



วงจรสร้างสัญญาณซิงค์ทีวี

## 2. ภาคส่ง

### หลักการทํางานของ Time Division Multiplexer

หลักการสำคัญของการทําทํ TDM ก็คือการแบ่งเวลาออกเป็นช่วงๆ โดยในแต่ละช่วงจะมีการรับข้อมูลจาก input ต่างกันแล้วส่งข้อมูลออกไปในลักษณะการส่งแบบอนุกรม ดังนั้นจึงมีข้อมูลจาก input ต่างๆ เรียงกันไปตามลำดับของการส่ง ซึ่งด้วยเหตุนี้ ทางด้านรับข้อมูลจะต้องสามารถแยกได้ว่าข้อมูลที่กำลังรับเข้ามานี้เป็นข้อมูลจาก input ใด ดังนั้นเราจึงต้องใส่ information ให้กับ time slot ด้วย ซึ่งเป็นที่มาของการแบ่งข้อมูลที่จะส่งออกเป็นเฟรม

ถ้าให้จำนวน channel ของการ multiplex =  $c$  ; เราต้องสร้าง information ด้วย เพื่อความสะดวก เราเรียกส่วนนี้ว่า FAW (FRAME ALIGNMENT WORD) ดังนั้นจำนวนของ time slot/frame จึงมีค่า  $c+1$  หรือ  $c+2$  เป็นต้น

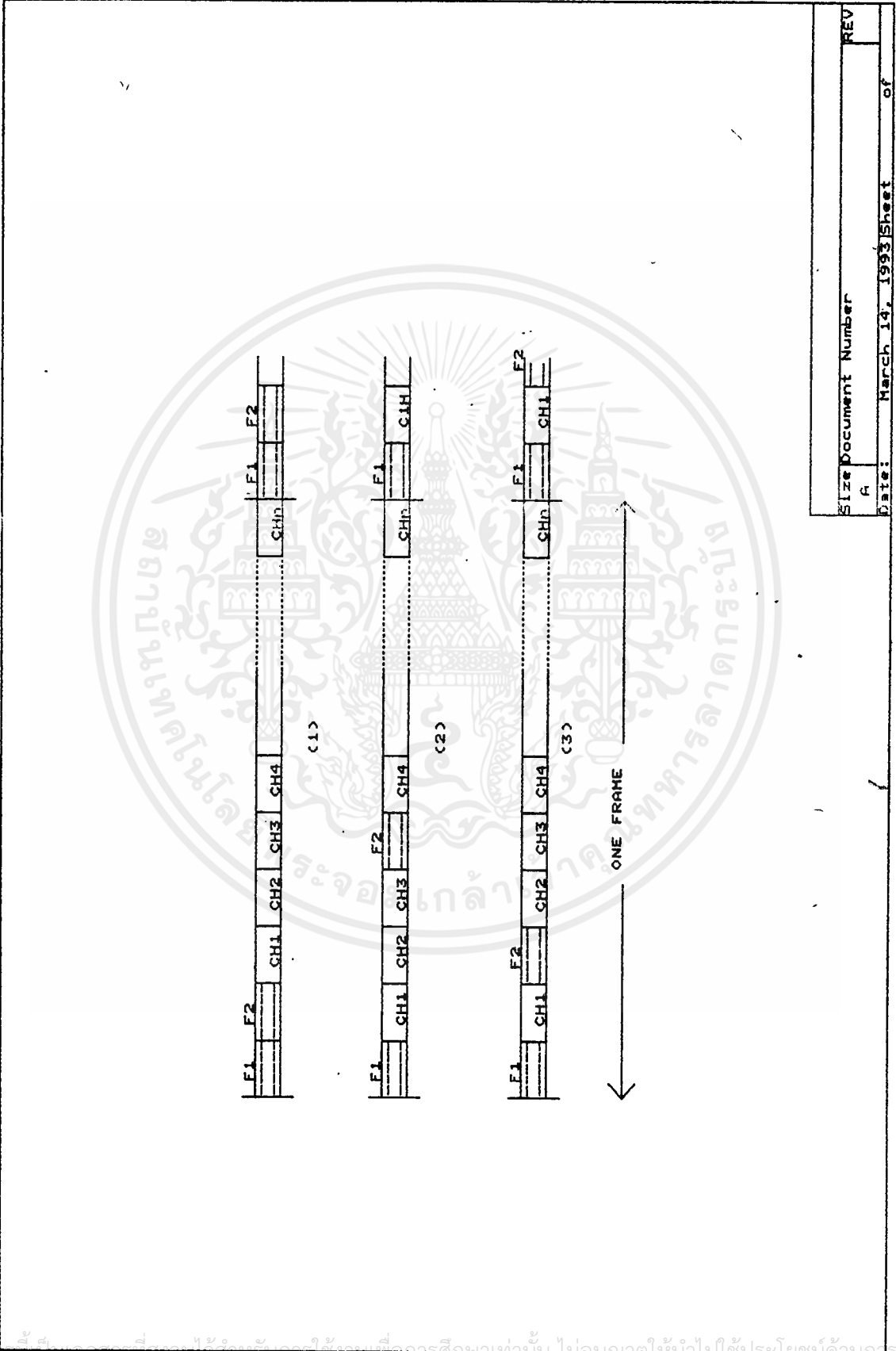
ถ้าให้  $f_o$  = จำนวน bit/frame

$f_u$  = ความถี่ของการ sampling analog

$w$  = จำนวน bit ใน 1 sampling

จะได้  $f_o = wf_u(c+2)$

ปรกติแล้ว FAW ทั้ง 2 TIME SLOT ที่เพิ่มเข้ามาจะต้องสามารถวางอยู่ในตำแหน่งใดก็ได้ ใน FRAME ดังรูปที่ 5.1



Size Document Number	REV
A	
Date: March 19, 1993	Sheet of

รูปที่ 5.1 แอ่งกรอบ FAN.

ซึ่งจากรูปเราสามารถแบ่งลักษณะการวาง FAW ได้ 2 ประเภทคือ

1) BOUNCHED FRAMING คือการวาง FAW ทั้ง 2 TIME SLOT ให้มีตำแหน่งติดกันในเฟรม ดังรูป (1)

2) DISTRIBUTED FRAMING คือการวาง FAW แยกกันในเฟรม ดังรูปที่ (2), (3)

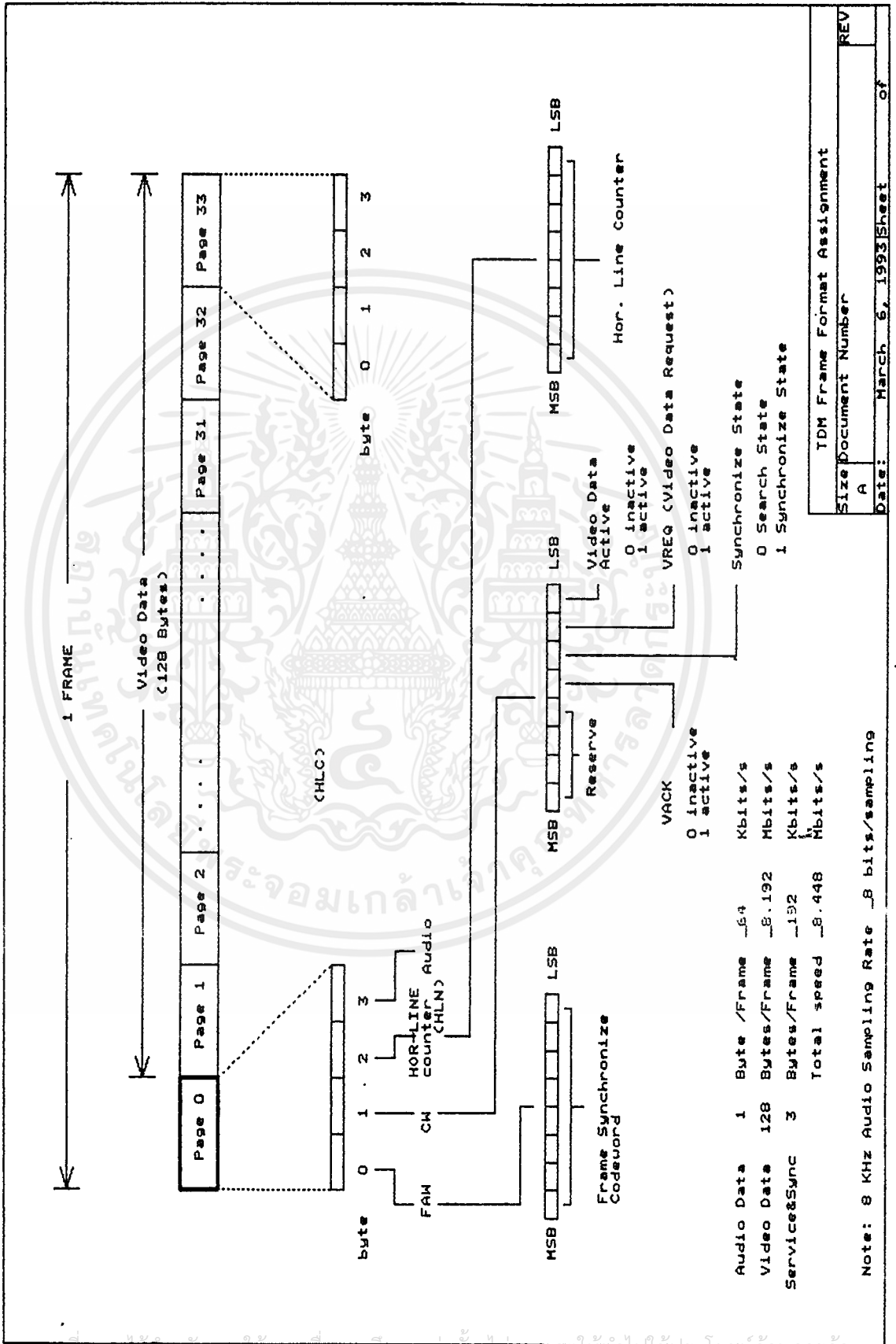
### อธิบายวงจร TDM ทางด้าน Transmitter

ในวงจรเป็น TDM แบบ synchronous คือทุกๆ channel มี clock ที่มี phase เดียวกันหมด ซึ่งมี phase เท่ากับ  $xclk$  เข้ามาในวงจร ความถี่  $xclk$  จะถูกทำการหาร 8 ก่อนเพื่อจะแบ่งช่องข้อมูลออกเป็น byte หลังจากนั้น จะนำแต่ละ byte มาหาร 4 เพื่อแบ่งให้เป็น page โดยในหนึ่ง page กำหนดให้มีข้อมูลอยู่ 4 byte (32 bits) แล้วถูกหารอีกเพื่อแบ่งช่วงข้อมูลออกเป็นเฟรม ซึ่งในหนึ่งเฟรมจะแบ่งออกเป็น 33 page ดังนั้นจำนวน bit ข้อมูลทั้งหมดใน 1 เฟรมจะมีค่าเท่ากับ  $8 \times 4 \times 33 = 1056$  bits

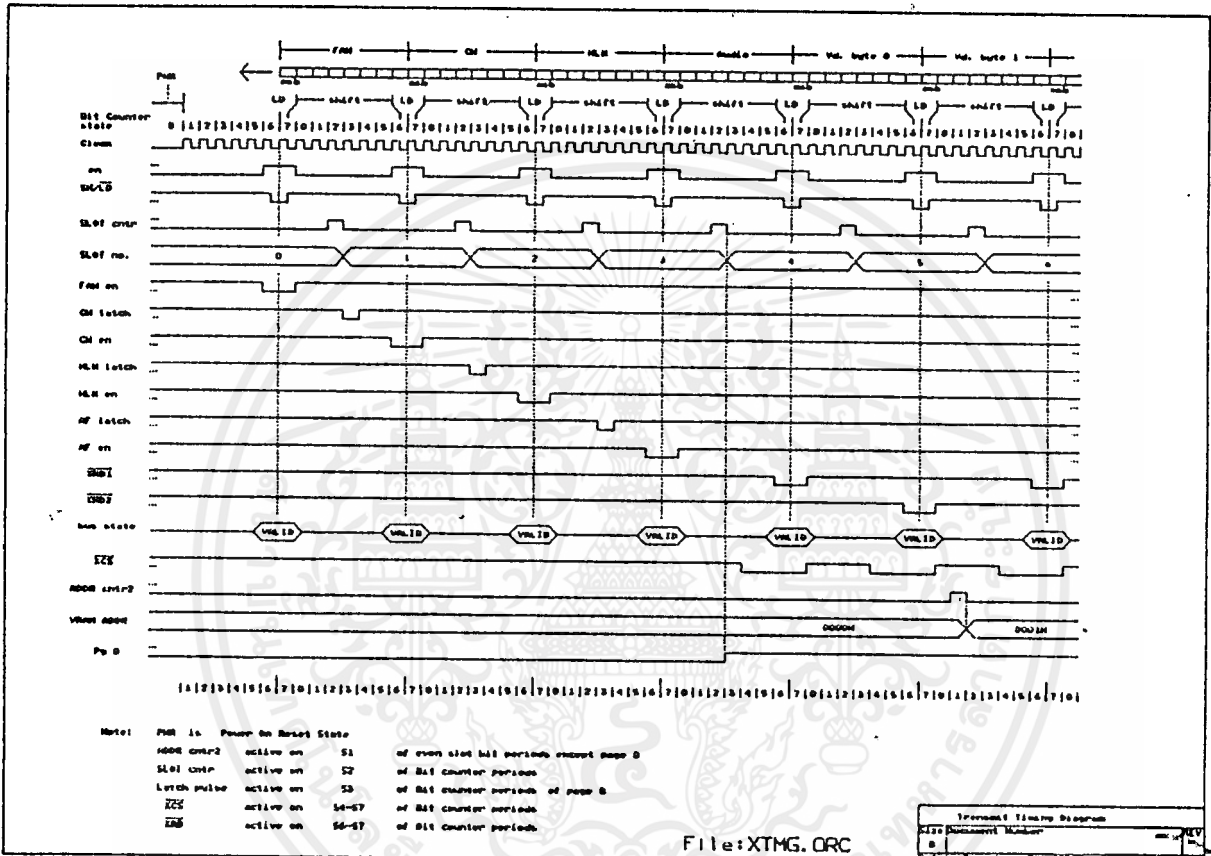
รูป 5.2 แสดงการ format ของข้อมูลที่จะส่งออกไป ซึ่งมีทั้งหมด 33 page ในหนึ่งเฟรม IC 74LS85 ทั้งสองตัวจะเป็นตัวตรวจจับ page 0 ของ information 4 byte ซึ่งในช่วงเวลาของ page 0 ที่ตรวจจับได้นี้ จะต้องมีการสร้างสัญญาณขึ้นมาทั้งหมด 7 สัญญาณ คือ

- 1) FAW en
- 2) CW en
- 3) HLN en
- 4) AF en
- 5) CW latch
- 6) HLN latch
- 7) AF latch

ซึ่ง diagram ของทั้ง 7 สัญญาณที่จะต้องสร้างนี้เป็นดังรูป 5.3



รูปที่ 5.1 แฟ้มกรักร FORMAT ของรูป



รูปที่ 5.3 แสดง TIMING ของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณทั้ง 7 นี้จะถูกสร้างมาจากการ code ของสัญญาณจาก IC 74LS155 เมื่อได้สัญญาณตามต้องการแล้ว สัญญาณเหล่านี้จะถูกนำไปเป็นตัว enable และ latch ของ IC 74LS374 ซึ่งเป็น IC latch ข้อมูล ดังนั้น IC 74LS166 ซึ่งเป็น IC แปลงข้อมูลจากแบบขนานให้เป็นข้อมูลแบบอนุกรม เพื่อส่งออกไป จะได้รับข้อมูลจาก IC 74LS374 สลับกันไป ขึ้นอยู่กับว่า IC ตัวไหนถูก enable

ส่วนข้อมูลภาพ (video data:  $D_0-D_7$ ) จะถูกส่งเข้ามาในวงจรด้วยการควบคุมของสัญญาณ /XRD1, /XRD2 ซึ่งจะต่อไปยัง RAM ทั้งสองตัวที่เก็บข้อมูลไว้

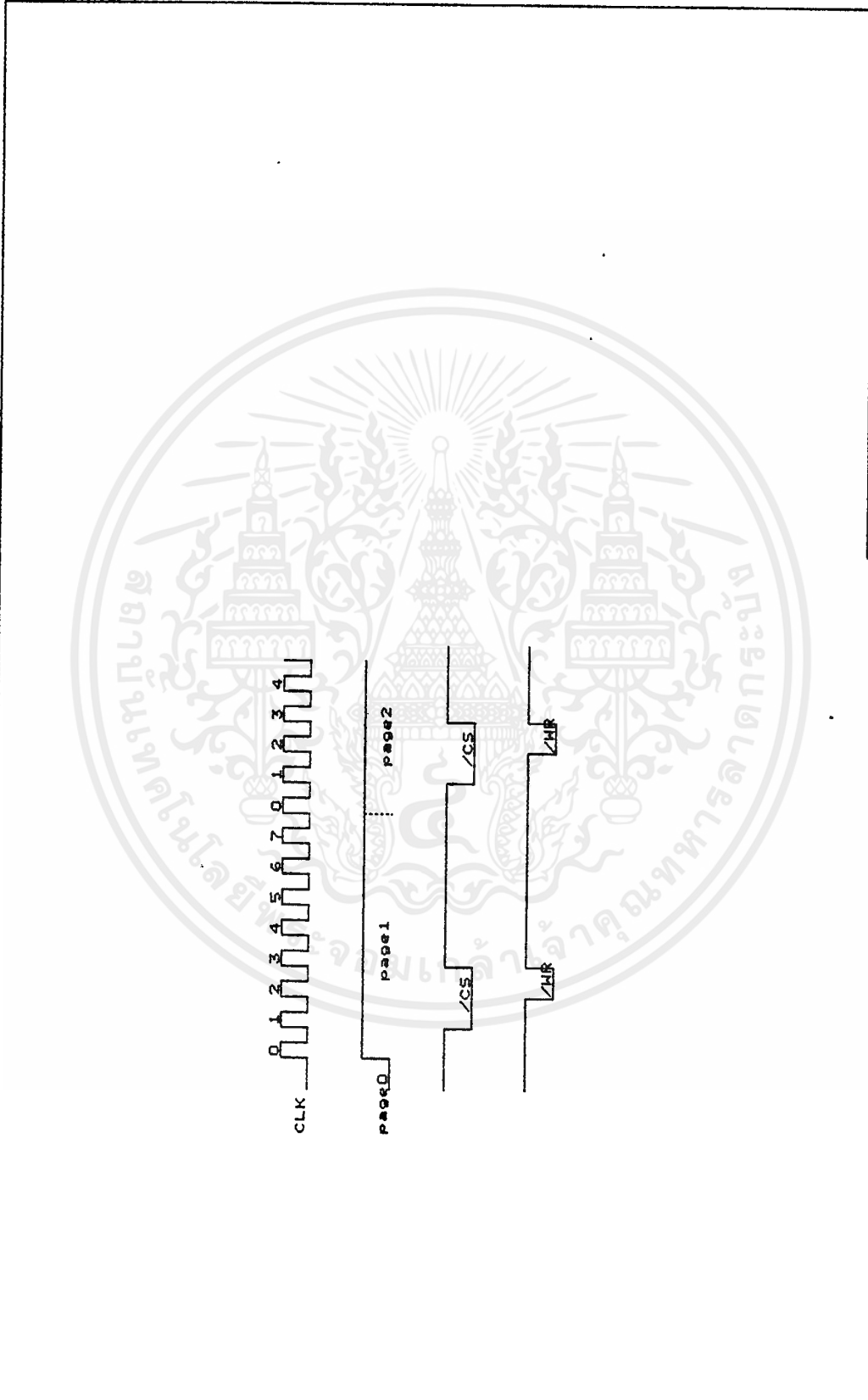


## วงจรสร้าง ADDRESS และสัญญาณ /WR ทาง ภาครับ (RAM-ADDR)

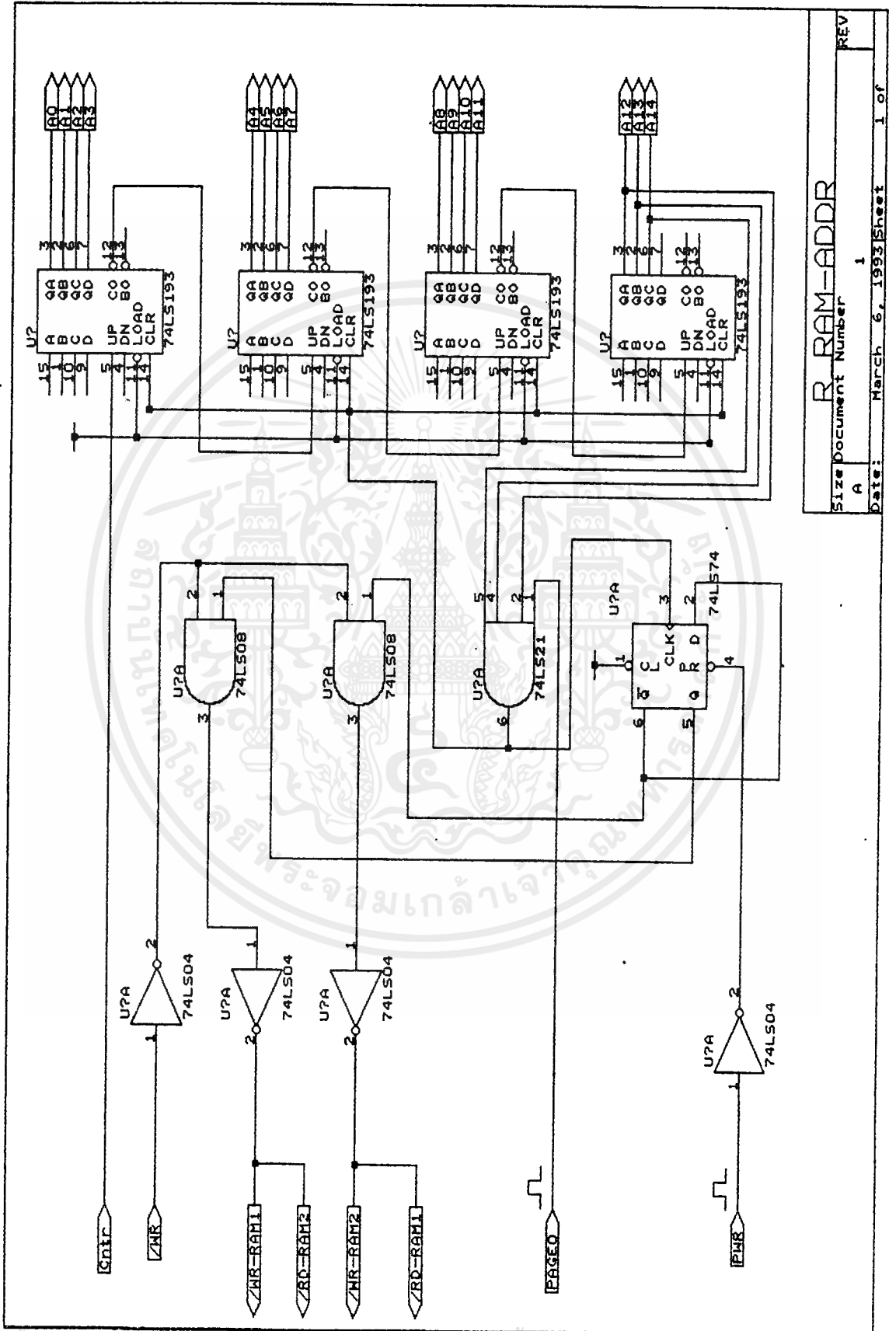
หลังจากที่มีการแปลงข้อมูลภาพจากแบบ serial ให้เป็น parallel แล้ว ข้อมูลที่ออกมา  
นี้จะเป็นข้อมูลทั้ง 33 page เรียงกันไป ดังนั้นในข้อมูลจึงมีทั้ง FAW, CW, HLN, AF และข้อมูลภาพ  
ซึ่งจากวงจร SLOT COUNTER & LATCH PULSE GEN สามารถแยกได้ว่า ข้อมูลส่วนไหนเป็นข้อ  
มูลภาพที่จะต้องเก็บลง RAM1 และ RAM2 สัญญาณที่จะเป็น i/p ของวงจร RAM\_ADDR ได้แก่สัญญาณ  
Cntr, /WR , page0 ซึ่งสามารถอธิบายหน้าที่ได้ดังนี้

สัญญาณ Cntr จะทำหน้าที่เสมือน clock ให้แก่วงจร RAM-ADDR เพื่อจะได้นำไปสร้าง  
ADDR ให้ RAM ซึ่งสัญญาณ Cntr นี้จะเกิดขึ้นทุกๆ 1 byte ใน page ที่ 1 ถึง 3 หมายถึง  
page0 จะไม่มีสัญญาณ Cntr ออกมาดังรูป





Size Document Number	REV
A	
Date: March 14, 1993	Sheet of



RAM-ADDR	
Size Document Number	1
Date:	March 6, 1993 Sheet 1 of 1
REV	

วงจรสร้าง ADDRESS ภาทรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับผูกพันให้ไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ /WR จะถูกสร้างขึ้นมาเพื่อสิ่งให้มีการเขียนข้อมูลลงใน RAM ซึ่ง /WR จะ active ที่ low

สัญญาณ page0 ถูกนำมาใช้เพื่อตรวจจับว่าขณะนี้มีการขึ้นเฟรมใหม่แล้ว

o/p จากวงจร RAM-ADDR ได้แก่  $A_0\_A_{14}$  ซึ่งจะใช้เป็น address ของ RAM และสัญญาณ /WR-RAM1, /WR-RAM2 ซึ่งหลักในการเขียนลงใน RAM จะเป็นแบบเก็บข้อมูลลงใน RAM จนเต็ม 1 ตัว (32kByte) แล้วจึงเริ่มเก็บที่เหลือนลงใน RAM ตัวที่ 2 ดังนั้นจึงต้องมีการ switch ช่วงสัญญาณ /WR ข้อมูลภายใน RAM 1 ตัว จะเกิดเป็นภาพได้ 1/2 ภาพ ดังนั้น ข้อมูลใน RAM ทั้งสองตัวจึงสามารถอ่านออกไปเป็นภาพได้ 1 ภาพพอดี





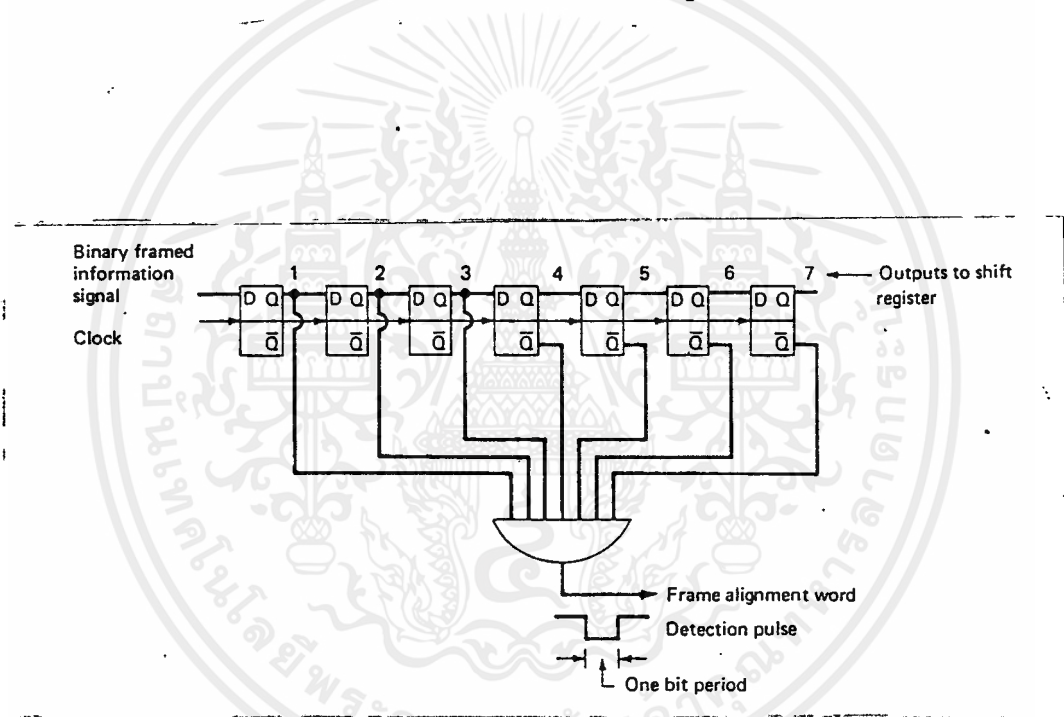
### 3.ภาครับ (Receiver)

#### ทฤษฎี FRAME ALIGNMENT

นิยาม FRAME ALIGNMENT WORD (FAW) : เป็น word กำหนดจุดเริ่มต้นFRAMEของแต่ละ FRAME ให้ตรงกัน

FAW ในที่นี้ก็คือสัญญาณที่จะเป็นตัวบอกบอกว่าขณะนี้ได้มีข้อมูล FRAME ใหม่ส่งมาแล้ว เมื่อระบบตรวจพบสัญญาณนี้ ซึ่งจะกำหนดให้อยู่ในส่วนแรกสุดของ FRAME ข้อมูล ระบบจะต้องพร้อมที่จะรับข้อมูลที่ต่อจากสัญญาณ FAW นี้

พิจารณาการทำงานของวงจรตรวจสอบ FAW ดังรูปที่ 5.4



รูปที่ 5.4 แสดงวงจรตรวจสอบ FAW

ในรูป กำหนดให้ FAW มีขนาด 7 บิต เมื่อมีข้อมูลซึ่งถูกเลื่อน(shift) เข้า register ทีละ 1 บิตต่อ 1 clock ดังนั้นเมื่อแต่ละบิตที่เลื่อนเข้ามาถึง register ตัวสุดท้ายแล้ว แสดงว่าครบ 1 word สมบูรณ์ การตรวจสอบ FAW จะเริ่มขึ้น ถ้าตรงกับ FAW ที่กำหนดไว้เมื่อไร ก็จะปล่อยให้พัลส์ 1 ออกมา มีความกว้างเท่ากับ 1 ช่วงสัญญาณ clock

การที่เราจะเลือกค่าให้ FAW ว่าควรเป็นอย่างไร ต้องพิจารณาว่าจะต้องไม่ไปซ้ำกับรหัสควบคุมอื่น และความน่าจะเป็นที่ส่วนของข้อมูลซึ่งเป็นแบบ random จะไปซ้ำกับ FAW จะต่อน้อยที่สุดด้วย

สมมติให้ค่า FAW ที่เหมาะสมมีค่า 1110000, 1111000 และ 1110100 หรือกลับกัน (inverse) กับค่าเหล่านี้ ขณะที่ 1111111 หรือ 0111111 เป็นค่าที่ควรหลีกเลี่ยง

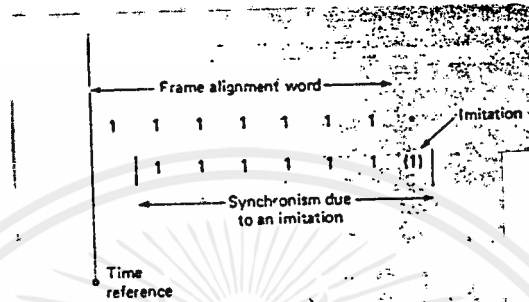
พิจารณาขั้นตอนการตรวจสอบ FAW ตั้งแต่ขั้นตอนที่ 1 (step1) ถึงขั้นตอนที่ 7 (step7) สมมติให้ค่า FAW ที่เหมาะสมที่สุด คือ 1110000 เมื่อมาถึงขั้นตอนที่ 7 ข้อมูลที่เข้ามาตรงกับรูปแบบ FAW ที่ตั้งไว้ (Pattern detected) ซึ่งระบบจะอยู่ที่ตำแหน่ง pattern เป็นระยะเวลาเท่ากับ 1 ช่องสัญญาณเวลา (one time slot) ดังรูปที่ 5.5

	Bits outside shift register				Shift register outputs							Recognition status	
	1	2	3	4	5	6	7	-					
0 step	0	0	0	0	Pattern enters shift register →								
0 step	0	0	0	0	.	.	.	.	.	.	.	.	Pattern not detected
1st step	1	0	0	0	0	.	.	.	.	.	.	.	Pattern not detected
2d step	1	1	0	0	0	0	.	.	.	.	.	.	Pattern not detected
3d step	1	1	1	0	0	0	0	.	.	.	.	.	Pattern not detected
4th step	.	1	1	1	0	0	0	0	.	.	.	.	Pattern not detected
5th step	.	.	1	1	1	0	0	0	0	.	.	.	Pattern not detected
6th step	.	.	.	1	1	1	0	0	0	0	.	.	Pattern not detected
7th step	.	.	.	.	1	1	1	0	0	0	0	.	Pattern detected
8th step	.	.	.	.	.	1	1	1	0	0	0	0	Pattern not detected

• - Represents a logical 1 or 0 (random information assumed)  
 1 - Represents a logical 1  
 0 - Represents a logical 0

รูปที่ 5.5 แสดงขั้นตอนการตรวจสอบ FAW

แต่ถ้าเราเลือกค่าให้ FAW คือ 1111111 หลังจากขั้นตอนที่ 7 (pattern detect) แล้ว ที่ขั้นตอนที่ 8 (step8) ความน่าจะเป็นที่ส่วนของข้อมูลจะเกิดซ้ำกับ FAW จะมีค่าเท่ากับ 0.5 คือจะขึ้นอยู่กับค่า input 1 บิต ที่ถูก shift เข้ามาเท่านั้น ดังรูปที่ 5.6



รูปที่ 5.6 แสดงความผิดพลาดที่เกิดจากการเลือกค่า FAW ที่ไม่เหมาะสม

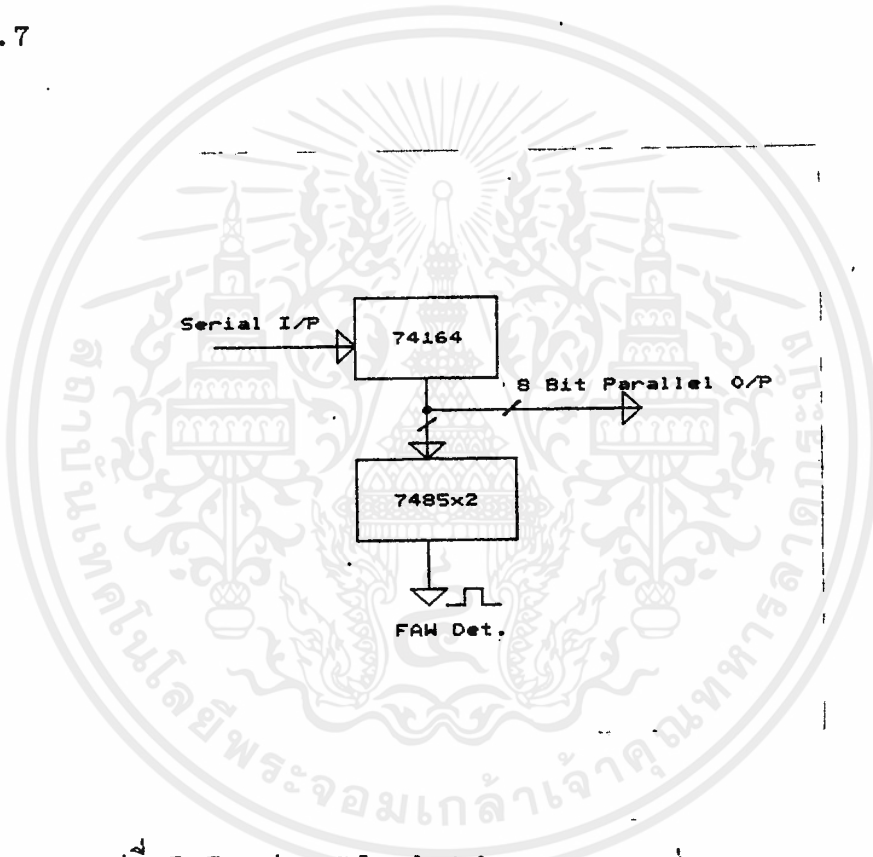
เปรียบเทียบกับ การเลือกค่า FAW(1110000) ในครั้งแรก ความน่าจะเป็นที่จะ detect FAW ได้อีก ในขั้นตอนที่ 8 (step8) ที่เกิดจากการเหลื่อมกัน(overlap) ของ FAW ที่เริ่มถูก shift ออกไปที่ละบิต กับค่า FAW ที่ตั้งไว้ มีค่าเท่ากับ  $(0.5)^F$  เมื่อเทียบกับการเลือก FAW(1111111) จะมีค่าน้อยกว่ามาก

F: จำนวนบิตของ FAW

## วงจร SIPO (Serial Input Parallel Output)

เป็นส่วนที่แปลงสัญญาณ serial input กลับมาเป็น parallel output ขนาด 8 บิต โดยใช้ IC 74LS165 (Parallel-Load Shift Register) เป็นตัวทำหน้าที่นี้

ในวงจรส่วนนี้ยังมีส่วนที่ใช้ตรวจสอบ (Detect) FAW ด้วยซึ่งประกอบด้วย IC 74LS85 ต่อร่วมกันอยู่ เพื่อใช้ตรวจสอบค่าของ FAW ขนาด 8 บิตได้ ซึ่งสามารถตั้งค่าให้กับ FAW ที่ Dip-Switch เมื่อ detect FAW ได้จะให้พัลส์ 1 ออกไป 1 ลูก มีขนาดความกว้างเท่ากับ 1 สัญญาณ clock เรียกว่า FAW Det. ออกมา ดังแสดงในรูปที่ 5.7 ซึ่งมีการทำงานตาม block diagram ดังในรูปที่ 5.7



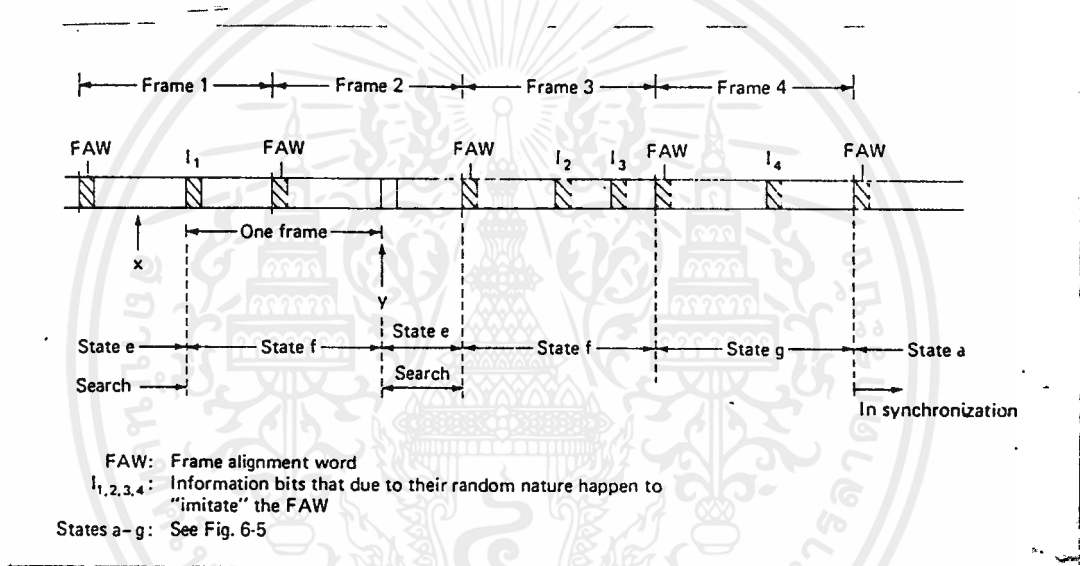
รูปที่ 5.7 แสดง Block Diagram ของส่วนวงจร SIPO



## ทฤษฎี SYNCHRONIZATION

เป็นกระบวนการที่ทำให้การสื่อสารกันระหว่างภาคส่งและภาครับได้อย่างถูกต้องและตรงตำแหน่งกัน หรือที่เรียกว่าเป็นขั้นตอนการซิงค์ (Synchronization Procedure) กันได้ระหว่างภาคส่งภาครับนั่นเอง

สำหรับเทคนิคของการ Synchronize กันมีหลายวิธีที่ต่างกัน แต่ที่เป็นแนวคิดของเรื่องการ Synchronize นั้น ตามปกติส่วนใหญ่เป็นลักษณะของ step by step หรือ Serial Frame Alignment Procedure ซึ่งสามารถอธิบายถึงหลักการของกระบวนการนี้ได้ดังนี้



รูปที่ 5.8 แสดงตัวอย่างของ Frame Synchronization

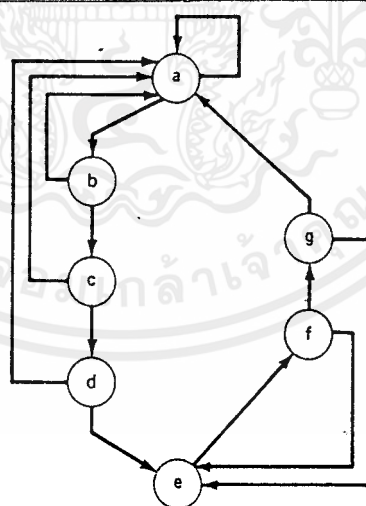
พิจารณาจากรูปบน สมมติให้ตอนเริ่มต้นระบบ Switch-on อยู่ที่จุด x (state e) ยังไม่เกิดการ synchronize ขั้นตอนการ synchronize เริ่มขึ้นโดยการตรวจสอบ F บิตหลังจากจุด x ไปแล้ว เปรียบเทียบกับค่าของ FAW ที่ตั้งไว้ ถ้าแต่ละบิตไม่ตรงกัน (match) กับ FAW ระบบก็จะเลื่อนข้อมูลเข้ามาทีละ 1 บิตเรื่อยๆ และคอยตรวจสอบ FAW ที่ลำดับต่อมา จนกระทั่งพบ ระบบก็จะเข้าสู่ State f ซึ่งขั้นตอนนี้เรียกว่า *frame searching*

จากตัวอย่างในรูปที่ 5.8 FAW ที่ตรวจพบที่ตำแหน่ง  $I_1$  เกิดมาจากการที่ส่วนข้อมูลบ่ง  
 ใญ่มาตรงกับ FAW (Imitated FAW) ระบบจะเข้าสู่ state f แสดงว่าเกิดข้อผิดพลาด (error)  
 ที่ตำแหน่งนี้ หลังจากนั้นเป็นระยะเวลาเท่ากับ 1 Frame ต่อมา ที่ตำแหน่ง y ระบบไม่สามารถ  
 ตรวจพบ FAW อีก (เพราะที่ตำแหน่ง  $I_1$  เป็น Imitated FAW) ระบบก็จะกลับสู่ภาวะเริ่มต้น  
 อีกครั้งหนึ่ง กลับสู่ state e อีกครั้งหนึ่ง

ขั้นตอน frame searching เริ่มใหม่อีกครั้ง เมื่อเข้าสู่ Frame ที่ 3 ระบบตรวจพบ  
 FAW จะเข้าสู่ State f และ State g ตามลำดับ ถ้ายังคงตรวจพบ FAW ที่ตำแหน่งเดียว  
 กันนี้ใน Frame ต่อ ๆ มา และจะเข้าสู่ State a (synchronize state) เมื่อตรวจพบ  
 FAW ติดกัน ตั้งแต่ 3 ครั้งขึ้นไป และจะอยู่ที่ State นี้ ต่อไปเรื่อย ๆ จนกว่าจะไม่สามารถ  
 detect FAW ได้

กรณีของ  $I_2$  ,  $I_3$  ,  $I_4$  จะไม่มีผลต่อระบบเพราะเป็น Imitated FAW  
 อธิบายได้เช่นเดียวกับกรณีของ  $I_2$

เราสามารถเขียนเป็น state diagram การทำงานของกระบวนการ synchronize  
 ของรูปที่ 5.9 ได้ดังนี้

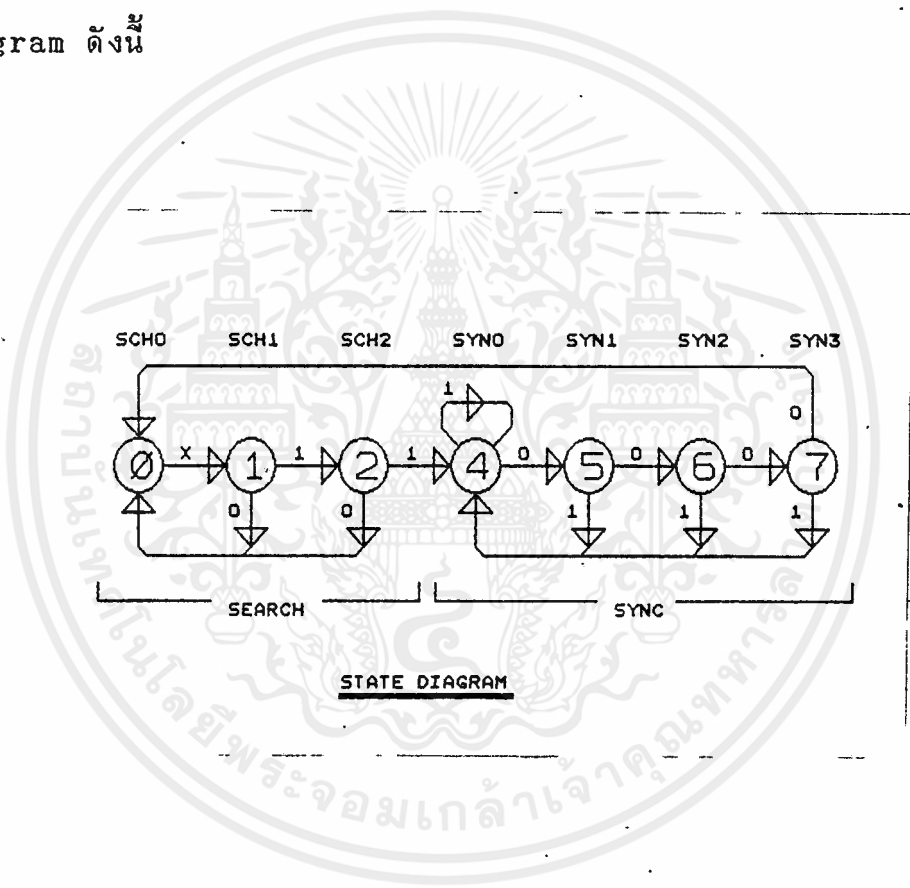


- a: In frame synchronization
- b: Frame code not detected in frame number n
- c: Frame code not detected in frame number n + 1
- d: Frame code not detected in frame number n + 2
- e: Out of frame synchronism (search mode)
- f: Frame code detected in frame number 0 (waiting state)
- g: Frame code detected in frame number 1 (waiting state)

รูปที่ 5.9 แสดง state-transition diagram ของการ synchronize

เริ่มต้นให้อยู่ที่ state e เมื่อตรวจพบ FAW ติดกัน 3 ครั้ง ขึ้นไป ระบบจะเข้าสู่ state f , state g และ state a ตามลำดับ (แต่ถ้าระหว่างนี้ไม่สามารถ detect FAW จะกลับสู่ state e) และจะวนอยู่ที่ state a นี้ จนกว่าไม่สามารถ detect FAW ได้ 3 ครั้ง ติดกันก็จะตกมาสู่ state b , state c และ state d ตามลำดับ (ถ้าระหว่างนี้ detect FAW ได้ จะเข้าสู่ synchronize state ตามเดิม) และถ้ายังคงไม่สามารถตรวจพบ FAW อีก ก็จะกลับสู่ state e อีกครั้งหนึ่ง ระบบเริ่มต้นใหม่ที่ state นี้

ในโครงการนี้ กำหนดให้ส่วน RECEIVER SYNCHRONIZE STATE CONTROL มี state diagram ดังนี้



รูปที่ 5.10 แสดง STATE DIAGRAM

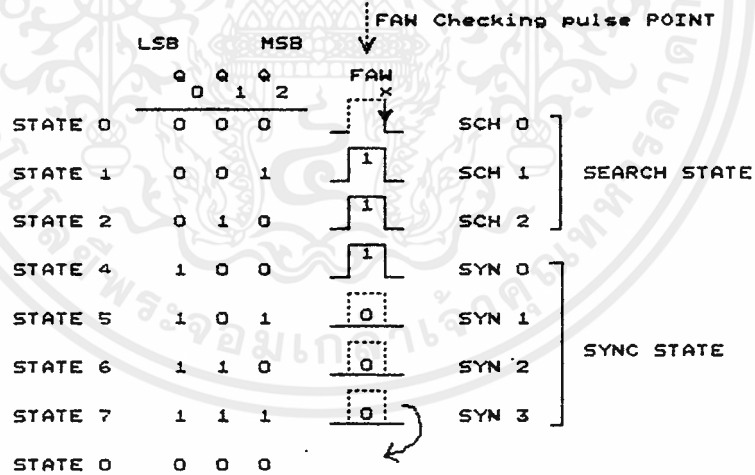
## อธิบาย STATE DIAGRAM

จาก state diagram เริ่มแรกให้อยู่ที่ state 0 (SCH0) เริ่มภาวะการ search ที่จุดนี้จะคอยตรวจสอบว่ามี สัญญาณ FAW Det. เข้ามาหรือยัง โดยยังไม่สนใจว่าเป็น 0 หรือ 1 แทนด้วย x เพราะระบบจะเช็คที่ขอบขาลงของพัลส์ที่เข้ามาเท่านั้น เมื่อตรวจพบ FAW จะเข้าสู่ state 1 (SCH1) หลังจากนั้นจะมีสัญญาณ FAW chk.p (FAW checking pulse) เข้ามาคอยเช็คที่ตำแหน่งเดียวกันนี้ เกิด FAW ที่ Frame ต่อ ๆ ไปเป็น 1 หรือไม่ ถ้าเป็น 1 ก็จะเข้าสู่ state 2 (SCH2) และ state 4 (SYNO) ระบบเข้าสู่ภาวะการ synchronize (SYNC State) แต่ถ้าระหว่างนี้เกิด FAW เป็น 0 ระบบจะให้กลับไป state 0 ทันที เพื่อเริ่มการ search ใหม่

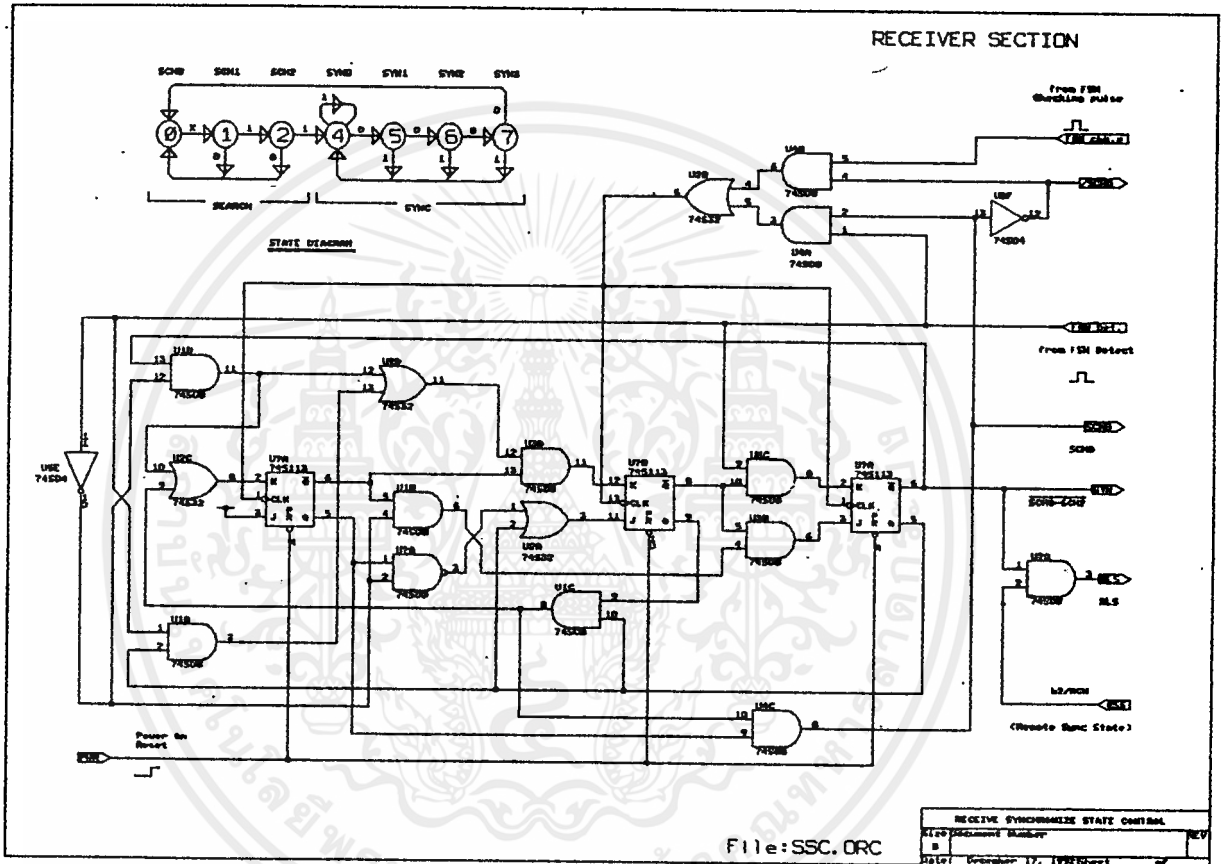
เมื่อระบบเข้าสู่ภาวะการซิงค์แล้ว และ FAW ยังคงเป็น 1 ระบบก็จะวนอยู่ที่ state 4 (SYNO) นี้ต่อไป แต่ถ้าเกิด FAW เป็น 0 เมื่อไร ระบบจะให้หลุดจากภาวะ SYNO ไปที่ state 5 (SYNC1) และถ้าเกิด FAW เป็น 0 ติดกันเกิน 3 ครั้ง ระบบจะไปที่ state 6 และ state 7 ตามลำดับ และระบบจะกลับเข้าสู่ภาวะการ Search ที่ตำแหน่ง SCH0 เหมือนเมื่อตอนเริ่มต้นระบบอีกครั้งหนึ่ง แต่ถ้าระหว่างนี้เกิด FAW เป็น 1 ระบบจะยอมให้กลับไป state 4 (SYNO) เข้าสู่ภาวะการซิงค์ (SYNC State) ตามเดิม และจะเป็นเช่นนี้เรื่อยไป จนกว่าจะสิ้นสุดการส่งข้อมูล

วงจรแสดงส่วน RECEIVER SYNCHRONIZE STATE CONTROL ในรูปที่ 5.11

JK FlipFlop (JK F-F) จะเป็นตัวนับ state เริ่มต้น ซา PWR จะ Clear FlipFlop ทุกตัว ดังนั้น ตอนเริ่มต้น FlipFlop นับ 0 เมื่อมี FAW เข้ามา FlipFlop จะ นับ 1 และถ้าตำแหน่งเดียวกันนี้ ที่ Frame ต่อไป จะมีสัญญาณ FAW chk.p (FAW Checking pulse) เป็นตัวเช็คค่า FAW เป็น 1 หรือ 0 ถ้าตรวจพบว่ายังคงเป็น 1 FlipFlop จะนับ 2 และเมื่อ FAW ยังคงเป็น 1 ติดกันเกิน 3 ครั้ง JK F-F จะนับ 4 เอาซา Q ของ JK F-F ที่เป็น MSB (Most Significant Bit) มากำหนดให้เป็นซา SYN ซึ่งเริ่มเป็น 1 เริ่มเข้าสู่ภาวะการ SYNC และยังคงอยู่ในภาวะการ SYNC (สังเกตว่า ที่ state 4 ถึง 7 ที่บิต MSB ของ JK F-F จะเป็น 1 เสมอ) แต่ถ้า FAW ต่อมาเป็น 0 เกิน 3 ครั้ง ระบบก็จะหลุดจาก state 4 โดยสังเกตที่ชุด FlipFlop จะนับ 5, 6 และ 7 ตามลำดับ และกลับไปนับ 0 อีกครั้งหนึ่ง กลับสู่ภาวะการ SEARCH ใหม่ ดังตารางข้างล่างแสดงการนับของชุด JK F-F



รูปที่ 5.11 ตารางแสดงการนับของ JK-FF



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## SLOT COUNTER&LATCH PULSE GEN

วงจรส่วนนี้ แสดงไว้ในรูปที่ 5.12 เมื่อเข้าสู่ภาวะ SCH1(search1)สังเกตจากวงจรได้ที่ขา SCHO=0 ชุด COUNTER เริ่มทำงาน ซึ่งประกอบด้วย

ชุด COUNTER นับ8 : นับจำนวนบิตใน1byte

ชุด COUNTER นับ4 : นับจำนวนbyte ใน 1 page

ชุด COUNTER นับ33: นับจำนวน page ใน 1 FRAME

เมื่อระบบเริ่ม synchronize กัน สังเกตที่ขา SYN ที่ส่งมาจากภาค RECEIVE SYNCHRONIZE STATE CONTROL จะเปลี่ยน state เป็น 1 และ COUNTER นับมาถึงตำแหน่ง byte 1 ของ page 0 ชุดเปรียบเทียบเพื่อหาตำแหน่ง page 0 (ในที่นี้ใช้ IC 74LS85 2 ตัว ต่อร่วมกัน) จะให้พัลส์ 1 ออกมา มีความกว้างเท่ากับช่วงเวลาที่เป็น page 0 ที่ขา A=B ดังรูป คือ สัญญาณPg0 และ ผ่าน inverter 1ตัว จะได้สัญญาณ/Pg0 ออกมา

สัญญาณนี้จะนำไปใช้ enable ให้กับ IC 74LS155 (Dual 2-Line-to-4-Line Decoder)ที่ขา1Gและที่ขา 1C จะถูกenableโดยO/Pจาก D-FlipFlop(ขา /Q) เพื่อสร้างสัญญาณFAW chk.p เพื่อเป็นพัลส์คอยทดสอบสัญญาณFAWว่าเป็น0หรือ1ที่ตำแหน่งจุดเริ่มต้นของFRAME

ที่ตำแหน่ง page0 จะมีการสร้างสัญญาณ

/CW-Latch ที่byte 2ของpage0: เพื่อ latch ค่า /CW เก็บไว้

/HLN-Latch ที่byte3ของpage0: เพื่อ latch ค่า Horizontal Line Number เก็บไว้

/AF-Latch ที่byte 4ของPage0: เพื่อ latch สัญญาณเสียง

ซึ่งได้จากO/Pของ74LS155 ที่ขา 1Y1,2Y2 และ2Y3 ตามลำดับ

ที่ตำแหน่ง page 1 ถึง page 33 จะมีการสร้างสัญญาณ(ช่วงนี้สัญญาณที่เกิดในช่วงเวลา page 0 จะถูก disable ทั้งหมด)

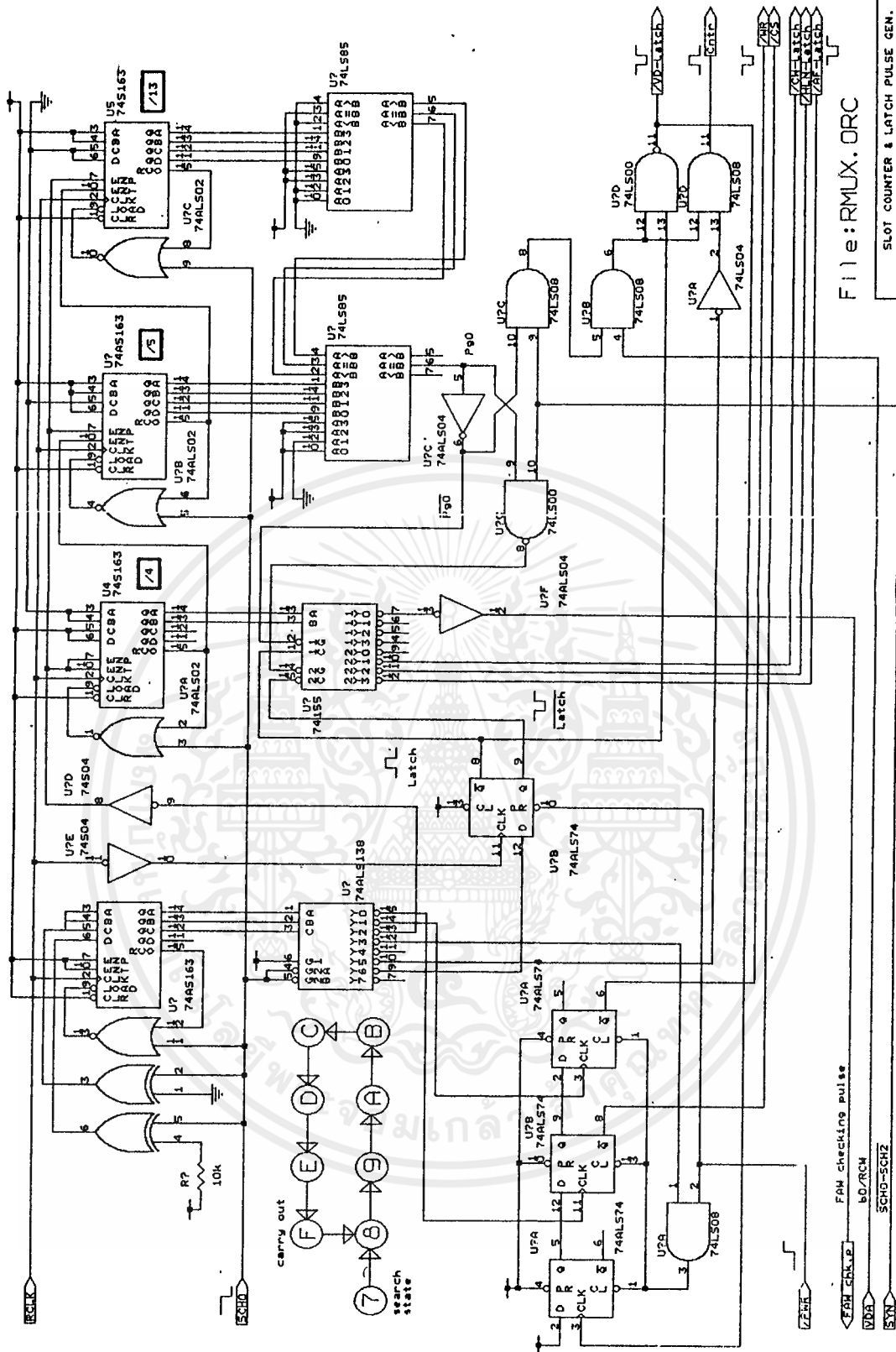
/VD-Latch: เพื่อ Latchค่าสัญญาณvideoไว้ เพื่อรอการเก็บใส่Bufferต่อไป

Cntr : เพื่อนำไปเป็นสัญญาณนับให้กับชุดสร้างAddressของBufferเก็บข้อมูลภาพ

/CS : เพื่อนำไปเป็นสัญญาณเลือกRAMที่จะเขียนข้อมูลลงไปเก็บหรือเป็นสัญญาณenable Buffer

/WR : เพื่อสร้างสัญญาณเขียน(Write)ข้อมูลลงRAMของBufferนั่นเอง

# RECEIVER SECTION



File: RMUX. ORC

SLOT COUNTER & LATCH PULSE GEN.	
Size	document Number
B	
Date: December 7, 1992 Sheet of	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าการณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

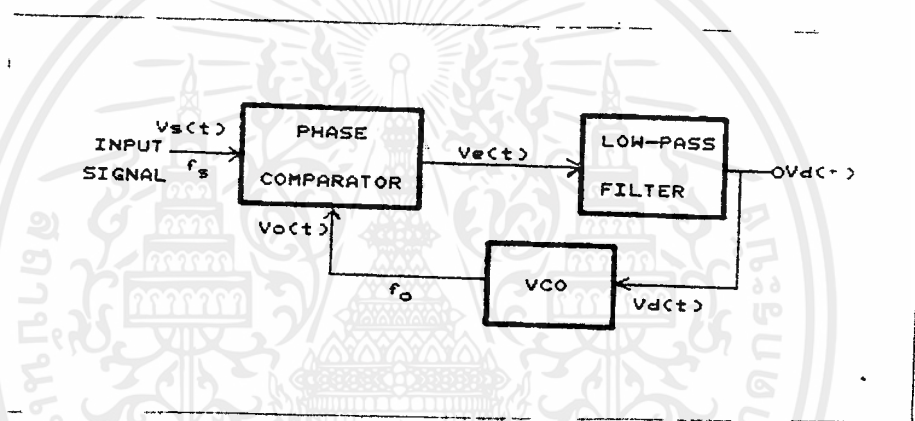
## ทฤษฎี Phase-Locked Loops

Phase-Locked Loops (PLL) เป็น กระบวนการที่อาศัยการบ้อนกลับของสัญญาณ O/P เพื่อทำการเปรียบเทียบความถี่ และเฟส กับสัญญาณ I/P แล้วสร้างสัญญาณเพื่อไปยังคัทให้ทำการกำเนิดสัญญาณที่ภาค O/P ที่มีเฟส และ ความถี่ ตรงกับภาค I/P ตามที่เราต้องการ

- PLL มีส่วนประกอบสำคัญพื้นฐาน 3 ส่วน คือ

1. Phase comparator
2. Low-pass filter
3. Voltage Controlled Oscillator (VCO)

ดังรูปที่ 5.13



รูปที่ 5.13 แสดง block diagram ของระบบ PLL

ถ้ายังไม่มีสัญญาณบ้อนเข้ามา  $V_e$  (error voltage) จะมีค่าเป็นศูนย์ ส่วน VCO จะกำเนิดสัญญาณที่ความถี่ที่ได้ตั้งค่าไว้  $f_o$  ซึ่งเรียกกันว่า free-running frequency

ถ้ามีสัญญาณบ้อนให้ระบบ phase comparator จะทำการเปรียบเทียบสัญญาณนี้กับสัญญาณที่ได้จากส่วน VCO จะได้ค่า error voltage  $V_e(t)$  ค่าหนึ่ง ซึ่งขึ้นอยู่กับค่าความต่างกันของความถี่และเฟสของ 2 สัญญาณนี้ ค่า error voltage นี้ จะถูก filter และ บ้อนเป็นสัญญาณควบคุมให้กับส่วน VCO ถ้าความถี่สัญญาณที่เข้ามา  $f_i$  มีค่าเข้าใกล้ค่า  $f_o$  เพียงพอแล้ว ระบบ PLL นี้ จะบังคับให้ส่วน VCO สร้างสัญญาณที่ synchronize หรือ lock กับสัญญาณที่บ้อนเข้ามา ในภาวะ synchronize นี้ ความถี่ของสัญญาณที่ได้จาก VCO จะเหมือนกับสัญญาณที่เข้ามา ยกเว้นเฟสที่อาจจะมีผลต่างของเฟสดังที่ได้

Lock range : เป็นย่านความถี่ที่ใกล้เคียงกับ  $f_0$  ที่ยังคงทำให้ระบบPLLยังคงLockกับสัญญาณI/P หรือที่เรียกกันว่า Tracking หรือ Holding range ก่อนที่จะหลุดจากการlock

: Lock range นี้จะเพิ่มขึ้นตามค่า gain ของ PLL ที่เพิ่มขึ้น

Capture range : ค่าของแถบความถี่ที่ใกล้เคียง  $f_0$  ซึ่งระบบPLLสามารถจับสัญญาณ I/P และเริ่มทำการลอคเฟส และความถี่ตามสัญญาณI/P

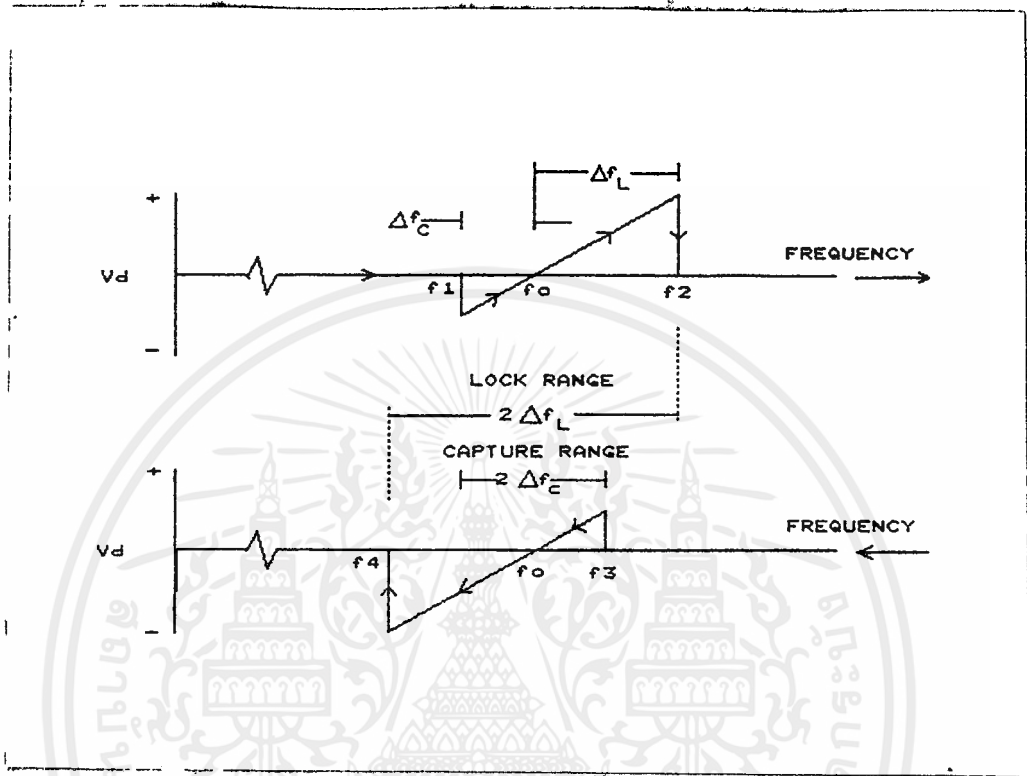
: โดยปกติค่านี้ จะอยู่ในย่าน(range)ที่แคบกว่า ซึ่งค่านี้ขึ้นอยู่กับ bandwidth ของส่วนlow-pass filter

ค่าLock range และค่าcapture rangeของส่วนPLLแสดงได้ดังรูป ซึ่งแสดง frequency-to-voltage characteristics ของ PLL จากรูป ให้I/P มีการเปลี่ยนแปลงความถี่อย่างช้า ๆ ตลอดแนวแกนความถี่ และในแนวตั้งเป็นค่าของ loop error voltage ( $V_d$ )

ในรูปบน ความถี่ของสัญญาณที่ป้อนเข้ามา มีค่าเพิ่มขึ้นอย่างต่อเนื่อง จนถึงค่าหนึ่ง  $f_1$  ซึ่งเป็นค่า lower edgeของ capture range ระบบจะlock กับสัญญาณI/P ทันที ทำให้ค่า error voltage ( $V_d$ ) ลงมาเป็นลบ ต่อมา  $V_d$  จะแปรผันตามความถี่ตามค่าความชัน (slope) ของเส้นกราฟ ซึ่งมีค่าเท่ากับค่าgainของส่วน VCO (Voltage-to-Frequency Conversion Gain)  $V_d$  จะมีค่าเป็น ศูนย์ ขณะที่  $f_2 = f_0$  ระบบPLL จะยังคงlock กับ สัญญาณ I/P จนกระทั่งความถี่I/P สูงถึงค่า  $f_2$  (upper edge ของ lock range) ระบบจะหลุดจากการlock ค่า error voltage ตกลงเป็น ศูนย์ อีกครั้งหนึ่ง

เมื่อลดความถี่ I/P ที่ป้อนเข้ามา ดังแสดงในรูปล่าง ระบบเข้าสู่ช่วง capture range ที่จุด  $f_3$  และลดลงไปเรื่อย ๆ ถึง  $f_4$  จะเห็นว่า ความถี่จะกระจายอยู่ระหว่างช่วง  $(f_1, f_3)$  และ  $(f_2, f_4)$  นั่นคือ  $f_3 - f_1 = \text{capture range}$  และ  $f_2 - f_4 = \text{lock range}$

สรุปก็คือระบบ PLL จะตอบสนอง(response) ต่อความถี่สัญญาณ I/P ที่ใกล้เคียงกับค่า VCO frequency ( $f_0$ ), ซึ่งอาจอยู่ในช่วง "Lock"หรือ "Capture" range ของระบบ ดังนั้นประสิทธิภาพของระบบก็จะดูได้จากการเลือกค่า  $f_0$  ที่ทำให้ได้ที่ทำให้ช่วงความถี่ที่ครอบคลุมช่วง capture range และ lock range มีค่าสูงนั่นเอง ดังในรูปที่ 5.14



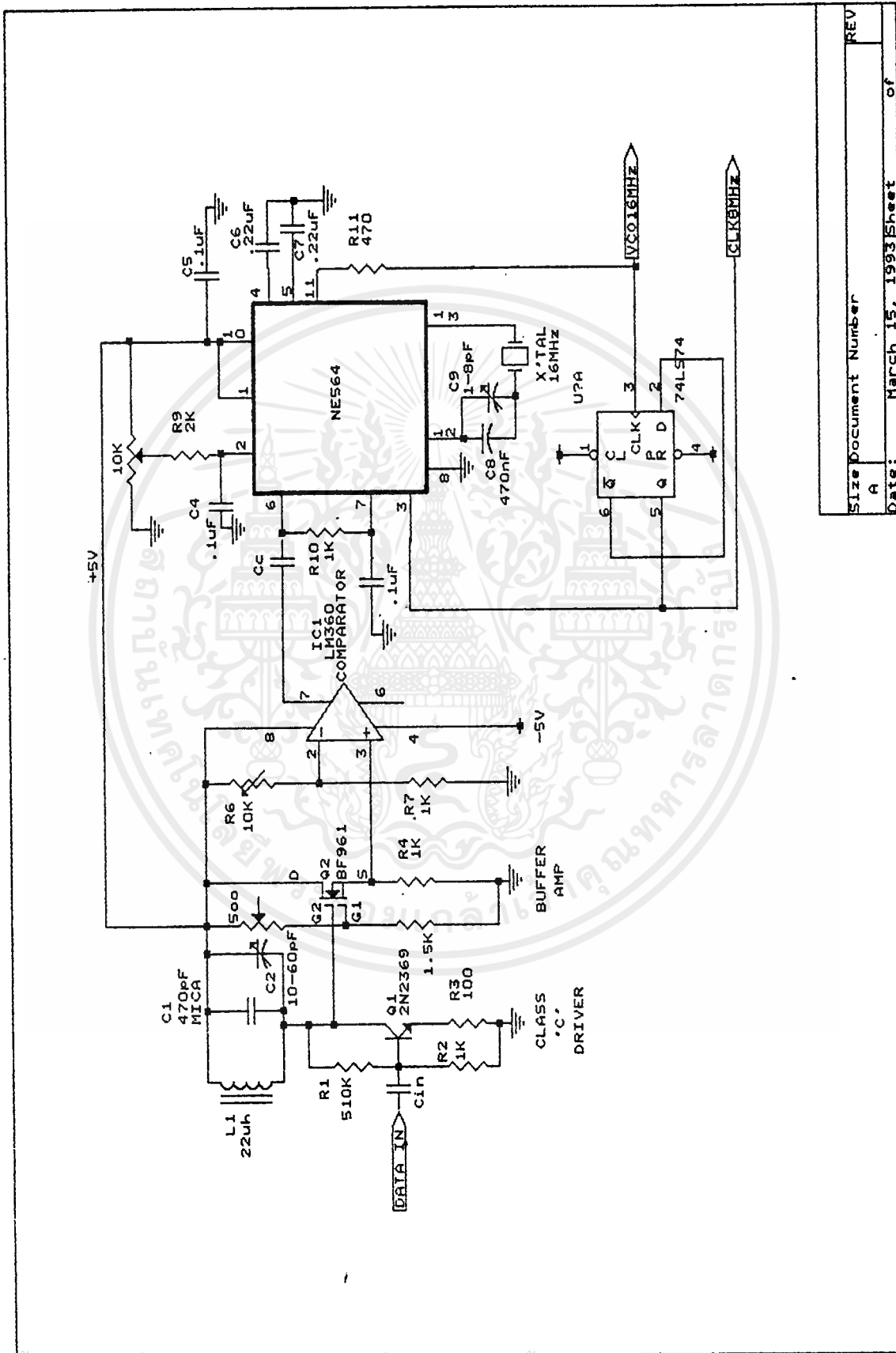
รูปที่ 5.14 แสดง frequency-to-voltage transfer characteristics

## Clock Recovery

ในส่วนนี้ เป็นส่วนที่ต้องมีการสร้างสัญญาณ clock กลับมาใหม่ จากส่วนของข้อมูลที่รับเข้ามา โดยการนำ ข้อมูลที่รับได้นี้ ไปกระตุ้น ชุด LC-Tank circuit เพื่อให้ OSCILLATE ความถี่ออกมาค่าหนึ่งตามที่เรากำลังต้องการ โดยการเลือกค่า L, C ที่เหมาะสม เพื่อเสถียรภาพของสัญญาณที่ออกมาด้วย คือ voltage ของสัญญาณที่ออกมาจะต้องไม่ลดลง (decay) เป็นศูนย์ก่อนที่จะเกิดการกระตุ้นครั้งต่อไป

จากนั้น จึงนำพัลส์ที่ได้ (จากชุด LC-Tank circuit) เข้าชุด High-Speed comparator เพื่อปรับรูปพัลส์ให้สมมาตรกัน (Symetry) สัญญาณที่ออกจากชุด comparator นี้ จะผ่านเข้าส่วน Phase-Locked Loop (PLL) เพื่อกำหนดสัญญาณ Clock มีความถี่และเฟสให้คงที่ตามต้องการ ดังแสดงไว้ในรูป





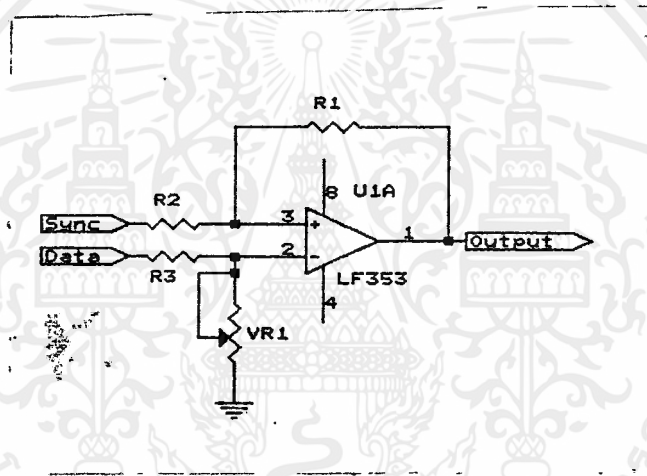
Size	Document Number
A	REV
Date:	March 15, 1993
Sheet	of

เอกสารนี้เป็นเอกสารทงสวนวสําหรับการใชงานเพื่อการศีกษาเท่านั้น ไมอนุญาตใหําไปใชประโยชน์ดานการค้า  
ไมว้การณืใดๆ ทั้งสิ้น อีกรทั้งห้ามมิใหัดัดแปลงเนื้อหาและตองอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช

## วงจร Scanning

วงจรส่วนนี้ ทำหน้าที่รวมสัญญาณภาพกับสัญญาณซิงค์ (sync) เพื่อให้ได้สัญญาณ composite video เพื่อให้ SCAN ออกจอ Monitor ต่อไป

ในวงจรนี้ใช้ IC เบอร์ LF353 (Wide Bandwidth Dual JFET Input Operational Amplifier) เพื่อใช้สร้างวงจรส่วน SCANNING ดังในรูป 5.15



รูปที่ 5.15 แสดงวงจร SCANNING



## สรุปและวิจารณ์

จากผลการทดลอง ภาพที่ scan ออกมาทางจอ monitor ยังมีสัญญาณรบกวนมากอยู่ อาจเกิดจากสาเหตุที่ระบบ ground ยังไม่ดีพอ สังเกตจากภาพที่ปรากฏจะมีลักษณะกระพริบ โดยการคำนวณจะหาได้ว่าเวลาที่ใช้ในการส่งภาพ 1 ภาพจากภาคส่งถึงภาครับหาได้จาก

$$1 \text{ ภาพมีจำนวนบิตทั้งหมด} = 33 \times 4 \times 8 \times 2 \times 256$$

$$= 540672 \text{ บิต}$$

$$\text{ความเร็ว clk} = 8.448 \text{ MHz}$$

$$\text{ดังนั้นเวลาที่ใช้} = 540672 / 8.448 \times 10^6$$

$$= 0.064 \text{ วินาที}$$

ซึ่งความเร็วในการส่งนี้ยังสามารถเพิ่มให้เร็วได้กว่านี้ โดยการเพิ่มความถี่ของ clk แต่อาจมีผลทำให้เกิดสัญญาณรบกวนมากยิ่งขึ้น

## กิตติกรรมประกาศ

ขอขอบพระคุณอย่างสูงต่อ อาจารย์สมศักดิ์ เข็ยศิริกุล ในฐานะอาจารย์ที่ปรึกษา และ พี่  
สมศักดิ์ ที่ได้ช่วยให้คำปรึกษาและคำแนะนำในระหว่างการทำโครงการและปริญาานิพนธ์ฉบับนี้ ตั้ง  
แต่ต้นจนจบการศึกษาให้สำเร็จลุล่วงไปด้วยดี รวมทั้งเพื่อนนักศึกษาคณะวิชาอิเล็กทรอนิกส์ทุกคนที่  
ให้ความช่วยเหลือด้วยดีตลอดมา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## CMOS Video Speed 6-Bit Flash Analog-to-Digital Converter

For Use in Low-Power Consumption, High-Speed  
Digitization Applications

### Features:

- CMOS low power with speed
- Parallel conversion technique
- 15-MHz sampling rate (66-ns conversion time)
- 6-bit latched 3-state output with overflow bit
- $\pm 1/2$  LSB accuracy
- Single supply voltage (3 to 10 V)
- 2 units in series allow 7-bit output
- 2 units in parallel allow 30-MHz sampling rate
- Internal  $V_{REF}$  with ext  $V_{REF}$  option
- Available with EVP processing for improved reliability

The RCA-CA3300 types are CMOS 50-mW parallel (FLASH) analog-to-digital converters designed for applications demanding both low-power consumption and high-speed digitization.

The CA3300 types operate over a wide full-scale input-voltage range of 2.4 volts up to the dc supply voltage with maximum power consumption as low as 50 to 200 mW, depending upon the clock frequency selected. When operated from a 5-volt supply at a clock frequency of 11 MHz, the power consumption of the CA3300 is less than 50 mW. When operated from an 8-volt supply at a frequency of 15 MHz, the power consumption is less than 150 mW.

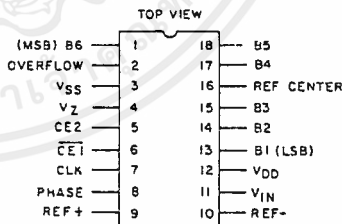
The intrinsic high conversion rate makes the CA3300 types ideally suited for digitizing high-speed signals. The overflow bit makes possible the connection of two or more CA3300's in series to increase the resolution of the conversion system. A series connection of two CA3300's may be used to produce a 7-bit high-speed converter. Operation of two CA3300's in parallel doubles the conversion speed (i.e., increases the sampling rate from 15 to 30 MHz). CA3300's in parallel may be combined with a high-speed 6-bit D/A converter, a binary adder, control logic, and an op amp to form a very-high-speed A/D converter.

Sixty-four paralleled auto-balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel-bit outputs in the CA3300. Sixty-three comparators are required to quantize all input voltage levels in this 6-bit converter, and the additional comparator is required for the overflow bit.

The CA3300 types are available as follows: Types CA3300D and CA3300DX in an 18-lead dual-in-line ceramic package (D suffix), types CA3300E and CA3300CE in an 18-lead dual-in-line plastic package (E suffix), or in chip form (H suffix). The CA3300DX offers the additional advantage of improved reliability as a result of EVP (Extra Value Program) processing. For further information on EVP, see RCA publication EVP-300B or contact your RCA representative.

### Applications:

- The CA3300 types are especially suited for high-speed conversion applications where low power is also important
- TV video digitizing (industrial/security)
- High-speed A/D conversion
- Ultrasound signature analysis
- Transient signal analysis
- High-energy physics research
- High-speed oscilloscope storage/display
- General-purpose hybrid ADC's
- Optical character recognition
- Radar pulse analysis
- Motion signature analysis



92CS-32263R1

### TERMINAL ASSIGNMENT

# CA3300

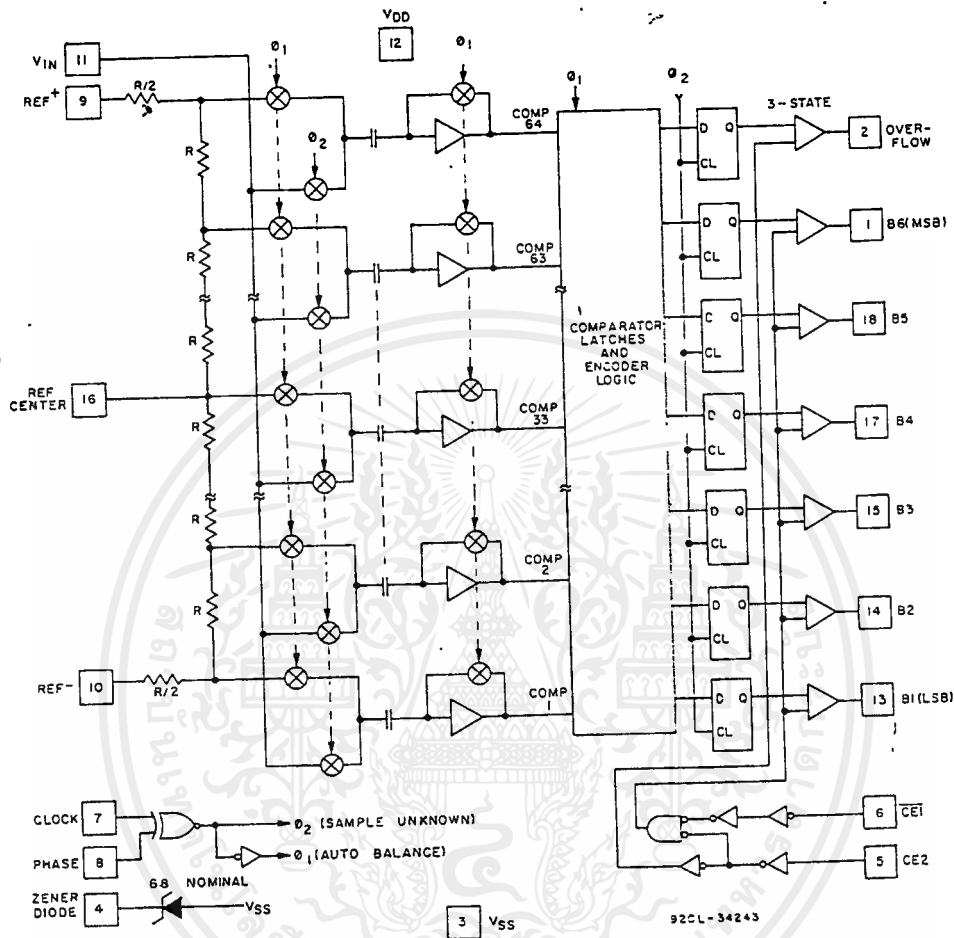


Fig. 1 - Block diagram for the CA3300.

### MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY VOLTAGE RANGE ( $V_{DD}$ ) (VOLTAGE REFERENCED TO $V_{SS}$ TERMINAL) .....	-0.5 to 10 V
INPUT VOLTAGE RANGE ALL INPUTS EXCEPT ZENER (PIN 4) .....	-0.5 to $V_{DD} + 0.5$ V
DC INPUT CURRENT CLK, PH, $\overline{CE1}$ , CE2, $V_{IN}$ .....	$\pm 10$ mA
POWER DISSIPATION PER PACKAGE ( $P_D$ ) FOR $T_A = -55$ to $+55^\circ\text{C}$ .....	315 mW
FOR $T_A = +55^\circ\text{C}$ to $+125^\circ\text{C}$ .....	Derate linearly at 3.3 mW/ $^\circ\text{C}$
TEMPERATURE RANGE OPERATING (CA3300DX, Refer to Fig. 3) .....	-55 to $+125^\circ\text{C}$
OPERATING (CA3300D, E, CE) .....	-40 to $+85^\circ\text{C}$
STORAGE .....	-65 to $+150^\circ\text{C}$
LEAD TEMPERATURE (DURING SOLDERING) At distance $1/16 \pm 1/32$ in. ( $1.59 \pm 0.79$ mm) from case for 10 s max. ....	$+265^\circ\text{C}$

# CA3300

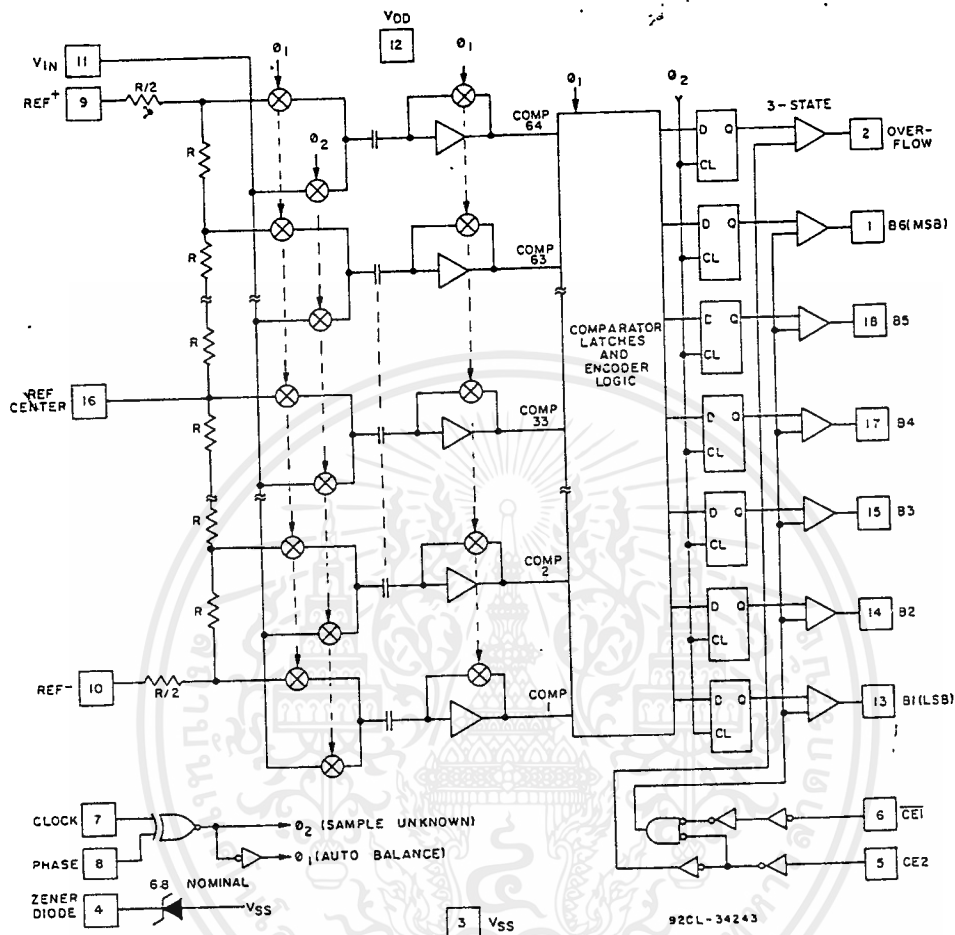


Fig. 1 - Block diagram for the CA3300.

### MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY VOLTAGE RANGE ( $V_{DD}$ ) (VOLTAGE REFERENCED TO $V_{SS}$ TERMINAL)	-0.5 to 10V
INPUT VOLTAGE RANGE ALL INPUTS EXCEPT ZENER (PIN 4)	-0.5 to $V_{DD} + 0.5V$
DC INPUT CURRENT CLK, PH, $\overline{CE1}$ , CE2, $V_{IN}$	$\pm 10 \text{ mA}$
POWER DISSIPATION PER PACKAGE ( $P_D$ ) FOR $T_A = -55 \text{ to } +55^\circ\text{C}$	315 mW
FOR $T_A = +55^\circ\text{C to } +125^\circ\text{C}$	Derate linearly at 3.3 mW/ $^\circ\text{C}$
TEMPERATURE RANGE OPERATING (CA3300DX, Refer to Fig. 3)	-55 to +125 $^\circ\text{C}$
OPERATING (CA3300D, E, CE)	-40 to +85 $^\circ\text{C}$
STORAGE	-65 to -150 $^\circ\text{C}$
LEAD TEMPERATURE (DURING SOLDERING) At distance 1/16 $\pm$ 1/32 in. (1.59 = 0.79 mm) from case for 10 s max.	+265 $^\circ\text{C}$

## ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	TEST CONDITIONS @ 25°C	LIMITS			UNITS
		CA3300D, DX, E			
		MIN.	TYP.	MAX.	
Resolution		—	—	6	Bits
Linearity Error	$V_{DD}=8\text{ V}$ , $V_{REF}=7.68\text{ V}$ CLK=15 MHz, gain adjusted	—	$\pm 0.5$	$\pm 0.8$	LSB
Differential Linearity Error	$V_{DD}=8\text{ V}$ , $V_{REF}=7.68\text{ V}$ CLK=15 MHz	—	$\pm 0.5$	$\pm 0.8$	
Quantizing Error		$-\frac{1}{2}$	—	$\frac{1}{2}$	
Analog Input:	$V_{DD}=8\text{ V}$				
Full Scale Range	CLK=15 MHz	2.4	—	$V_{DD}+0.5$	V
Input Capacitance		—	50	—	pF
Input Current		—	600	1000	$\mu\text{A}$
Gain Temperature Coefficient	$V_{DD}=8\text{ V}$ , CLK=15 MHz	—	0.016	—	LSB/°C
Maximum Conversion Speed	$V_{DD}=5\text{ V}$	—	12M	—	SPS
	$V_{DD}=8\text{ V}$	15M	19M	—	
Device Current Excludes $I_{REF}$ , $I_Z$ )	$V_{DD}=5\text{ V}$ (CLK=11 MHz)	—	7	—	mA
	$V_{DD}=8\text{ V}$ (CLK=15 MHz)	—	22	—	
	$V_{DD}=5\text{ V}$ (Auto Balance State)	—	6.4	16	
	$V_{DD}=8\text{ V}$ (Auto Balance State)	—	24	40	
Ladder Impedance		1000	1400	1800	$\Omega$
Digital Inputs:					
Low Voltage	$V_{DD}=5\text{ V}$	—	—	1.5	V
	$V_{DD}=8\text{ V}$	—	—	2.5	
High Voltage	$V_{DD}=5\text{ V}$	3.5	—	—	V
	$V_{DD}=8\text{ V}$	5.5	—	—	
Input Current	$V_{DD}=8\text{ V}$	—	$\pm 1$	—	$\mu\text{A}$
Digital Outputs:					
Output Low (Sink) Current	$V_{DD}=5\text{ V}$ , $V_O=0.4\text{ V}$	1.6	10	—	mA
	$V_{DD}=8\text{ V}$ , $V_O=0.5\text{ V}$	3.2	15	—	
Output High (Source) Current	$V_{DD}=5\text{ V}$ , $V_O=4.6\text{ V}$	-0.8	6	—	
	$V_{DD}=8\text{ V}$ , $V_O=7.5\text{ V}$	-1.6	9	—	
Zener Voltage	$I_Z=10\text{ mA}$	6.2	6.8	7.4	V
Zener Dynamic Impedance	$I_Z=10\text{ mA}$	—	10	30	$\Omega$
Zener Temperature Coefficient		—	0.5	—	mV/°C
Digital Output Delay, $t_d$	$V_{DD}=8\text{ V}$	—	20	—	ns
Aperture Time	$V_{DD}=8\text{ V}$	—	25	—	

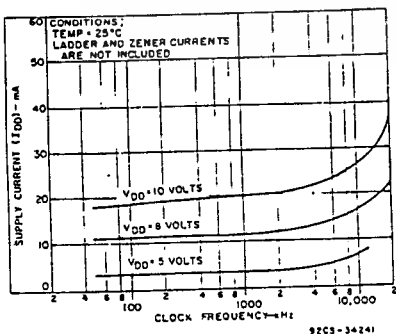


Fig. 2 - Typical current drain versus sampling rate as a function of supply voltage.

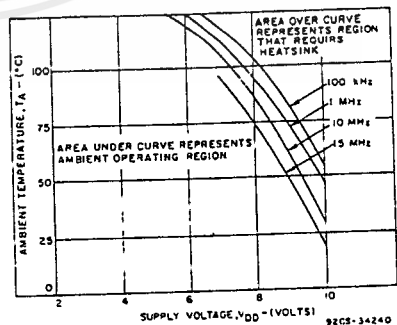


Fig. 3 - Maximum ambient temperature versus supply voltage. (Above curve includes ladder dissipation but not the zener dissipation.)

## CA3300

## ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	TEST CONDITIONS @ 25°C	LIMITS			UNITS
		CA3300CE			
		MIN.	TYP.	MAX.	
Resolution		—	—	6	Bits
Linearity Error	$V_{DD}=8\text{ V}$ , $V_{REF}=7.68\text{ V}$ CLK=9 MHz, gain adjusted	—	$\pm 0.5$	$\pm 0.8$	LSB
Differential Linearity Error	$V_{DD}=8\text{ V}$ , $V_{REF}=7.68\text{ V}$ CLK=9 MHz	—	$\pm 0.5$	$\pm 0.8$	
Quantizing Error		$-\frac{1}{2}$	—	$\frac{1}{2}$	
Analog Input:	$V_{DD}=8\text{ V}$ CLK=9 MHz			$V_{DD}+0.5$	V
Full Scale Range		2.4	—	—	pF
Input Capacitance		—	50	—	$\mu\text{A}$
Input Current		—	450	1000	
Gain Temperature Coefficient	$V_{DD}=8\text{ V}$ , CLK=9 MHz	—	0.016	—	LSB/°C
Maximum Conversion Speed	$V_{DD}=5\text{ V}$ $V_{DD}=8\text{ V}$	6M 9M	— 19M	—	SPS
Device Current (Excludes $I_{REF}$ , $I_Z$ )	$V_{DD}=5\text{ V}$ (CLK=7 MHz) $V_{DD}=8\text{ V}$ (CLK=9 MHz) $V_{DD}=5\text{ V}$ (Auto Balance State) $V_{CO}=8\text{ V}$ (Auto Balance State)	— — — —	4 12 6.4 24	— — 16 40	mA
Ladder Impedance		1000	1400	1800	$\Omega$
Digital Inputs:					
Low Voltage	$V_{DD}=5\text{ V}$ $V_{DD}=8\text{ V}$	— —	— —	1.5 2.5	V
High Voltage	$V_{DD}=5\text{ V}$ $V_{DD}=8\text{ V}$	3.5 5.5	— —	— —	V
Input Current	$V_{DD}=8\text{ V}$	—	$\pm 1$	—	$\mu\text{A}$
Digital Outputs:					
Output Low (Sink) Current	$V_{DD}=5\text{ V}$ , $V_O=0.4\text{ V}$ $V_{DD}=8\text{ V}$ , $V_O=0.5\text{ V}$	1.6 3.2	10 15	— —	mA
Output High (Source) Current	$V_{DD}=5\text{ V}$ , $V_O=4.6\text{ V}$ $V_{DD}=8\text{ V}$ , $V_O=7.5\text{ V}$	-0.8 -1.6	6 9	— —	
Zener Voltage	$I_Z=10\text{ mA}$	6.2	6.8	7.4	V
Zener Dynamic Impedance	$I_Z=10\text{ mA}$	—	10	30	$\Omega$
Zener Temperature Coefficient		—	0.5	—	mV/°C
Digital Output Delay, $t_d$	$V_{DD}=8\text{ V}$	—	20	—	ns
Aperture Time	$V_{DD}=8\text{ V}$	—	25	—	

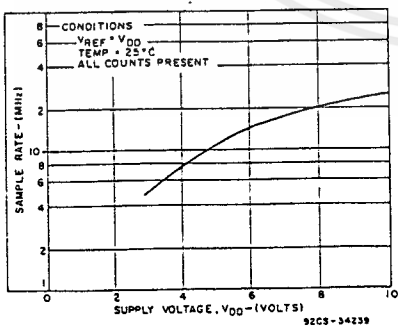


Fig. 4 - Typical maximum sample rate versus supply voltage.

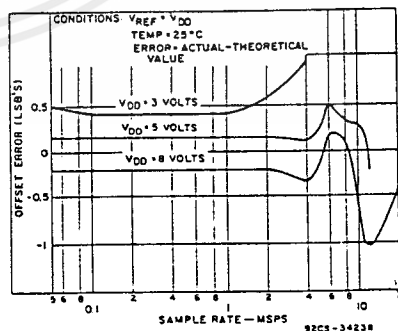


Fig. 5 - Typical offset error versus sample rate as a function of supply voltage. (See literature for offset trim.)

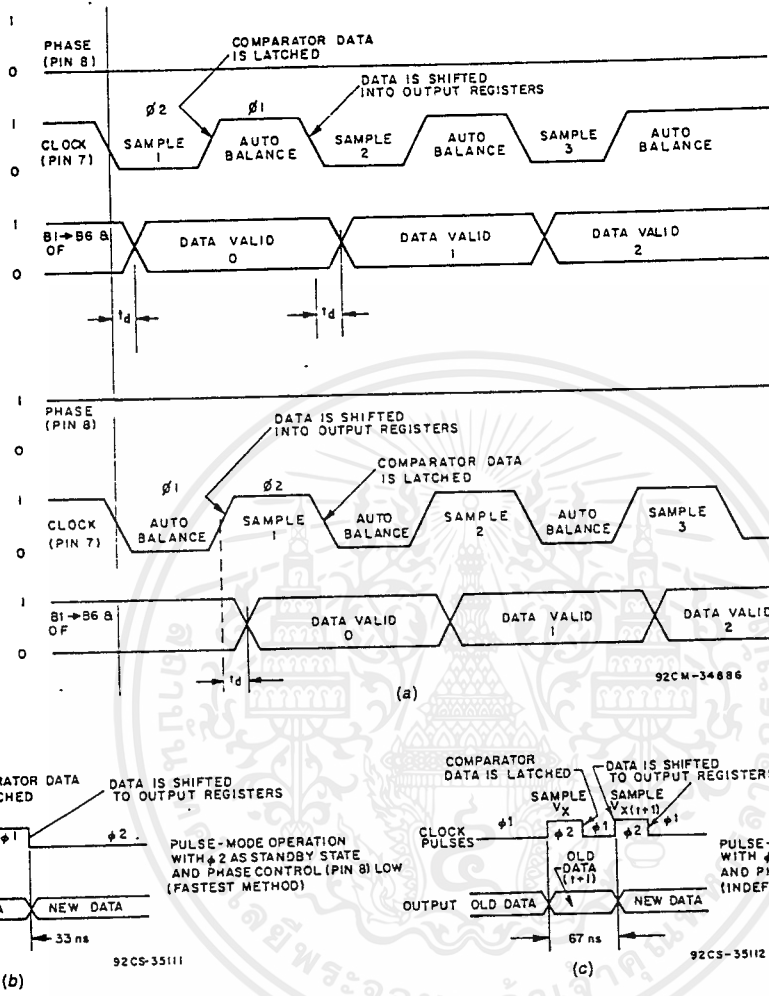


Fig. 6 - Timing diagrams for the CA3300.

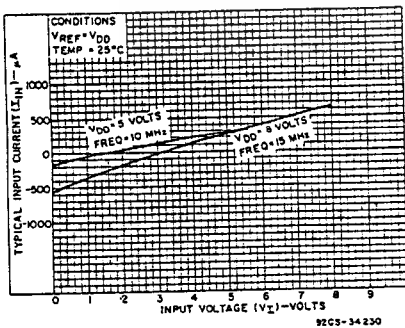


Fig. 7 - Typical input current versus input voltage as a function of supply voltage.

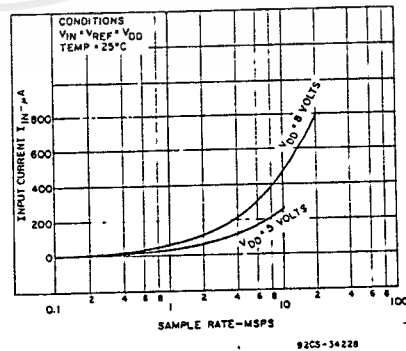


Fig. 8 - Typical input current versus sample rate as a function of supply voltage.

## CA3300

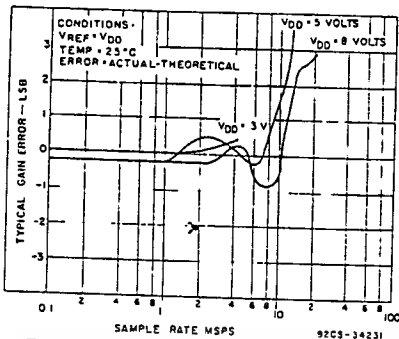


Fig. 9 - Typical gain error versus sample rate as a function of supply voltage. (See literature for gain trim.)

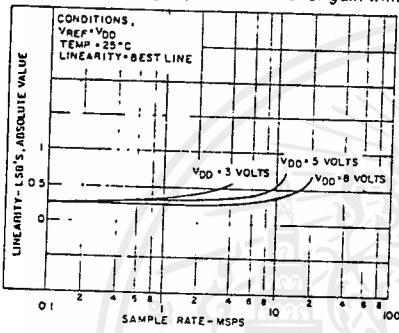


Fig. 10 - Typical linearity versus sample rate as a function of supply voltage.

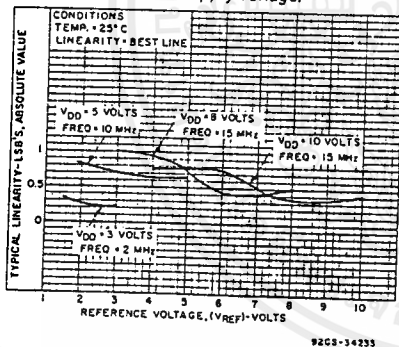


Fig. 11 - Typical linearity versus reference voltage as a function of supply voltage.

### Device Operation

A sequential parallel technique is used by the CA3300 converter to obtain its high-speed operation. The sequence consists of the "Auto Balance" phase  $\phi 1$  and the "Sample Unknown" phase  $\phi 2$ . (Refer to the circuit diagram.) Each conversion takes one clock cycle. With the phase control (pin 8) low, the "Auto Balance" ( $\phi 1$ ) occurs during the High period of the clock cycle, and the "Sample Unknown" ( $\phi 2$ ) occurs during the low period of the clock cycle.

During the "Auto Balance" phase, a transmission switch is used to connect each of 64 commutating capacitors to their

associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(V_{REF}/64) \times N] - [V_{REF}/(2 \times 64)] \\ = V_{REF}[(2N - 1)/128]$$

Where:  $V_{TAP}(n)$  = reference ladder tap voltage at point n

$V_{REF}$  = voltage across  $R^-$  to  $R^+$

N = tap number (1 through 64)

The other side of the capacitor is connected to a single stage amplifier whose output is shorted to its input by a switch. This biases the amplifier at its intrinsic trip point, which is approximately,  $(V_{DD} - V_{SS})/2$ . The capacitors now charge to their associated tap voltages, priming the circuit for the next phase.

In the "Sample Unknown" phase, all ladder tap switches are opened, the comparator amplifiers are no longer shorted, and  $V_{IN}$  is switched to all 64 capacitors. Since the other end of the capacitor is now looking into an effectively open circuit, any voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators with tap voltages greater than  $V_{IN}$  will drive the comparator outputs to a "low" state, all comparators with tap voltage lower than  $V_{IN}$  will drive the comparator outputs to a "high" state.

The status of all these comparator amplifiers are stored at the end of this phase ( $\phi 2$ ), by a secondary latching amplifier stage. Once latched, the status of the 64 comparators is decoded by a 64-to-7-bit decode array and the results are clocked into a storage register at the rising edge of the next  $\phi 2$ .

A 3-state buffer is used at the output of the 7 storage registers which are controlled by two chip-enable signals. CE1 will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B6 and the OF buffers when it is in the low state.

To facilitate usage of this device a phase-control input is provided which can effectively complement the clock as it enters the chip. Also, an on-board zener is provided for use as a reference voltage.

### Continuous Clock Operation

One complete conversion cycle can be traced through the CA3300 via the following steps. (Refer to timing diagram Fig. 6a.) With the phase control in a "High" state, the rising edge of the clock input will start a "sample" phase. During this entire "High" state of the clock, the 64 comparators will track the input voltage and the 64 latches will track the comparator outputs. At the falling edge of the clock, all 64 comparator outputs are captured by the 64 latches. This ends the "sample" phase and starts the "auto balance" phase for the comparators. During this "Low" state of the clock the output of the latches propagates through the decode array and a 7-bit code appears at the D inputs of the output registers. On the next rising edge of the clock, this 7-bit code is shifted into the output registers and appears with time delay  $t_d$  as valid data at the output of the 3-state drivers. This also marks the start of a new "sample" phase, thereby repeating the conversion process for this next cycle.

### Pulse Mode Operation

For sampling high-speed nonrecurrent or transient data, the converter may be operated in a pulse mode in one of two ways. The fastest method is to keep the converter in the Sample Unknown phase,  $\phi 2$ , during the standby state. The

This device requires only a single phase clock. The terminology of  $\phi 1$  and  $\phi 2$  refers to the High and Low periods of the same clock.

can now be pulsed through the Auto Balance phase as little as 33 ns. The analog value is captured on the rising edge of  $\phi_1$  and is transferred into the output registers on the trailing edge of  $\phi_1$ . We are now back in the standby state,  $\phi_2$ , and another conversion can be started in 33 ns, but not later than 5  $\mu$ s due to the eventual trip of the commutating capacitors. Another advantage of this method is that it has the potential of having the lowest quiescent drain. The larger the time ratio between  $\phi_2$  and  $\phi_1$ , the lower the power consumption. (See timing diagram Fig. 12.)

A second method uses the Auto Balance phase,  $\phi_1$ , as the standby state. In this state the converter can stay indefinitely waiting to start a conversion. A conversion is initiated by strobing the clock input with two  $\phi_2$  pulses. The first pulse starts a Sample Unknown phase and captures the analog value in the comparator latches on the trailing edge of  $\phi_2$ . A second  $\phi_2$  pulse is needed to transfer the data into the output registers. This occurs on the leading edge of the third pulse. The conversion now takes place in 67 ns, but the repetition rate may be as slow as desired. The advantage to this method is the higher device dissipation due to the low ratio of  $\phi_2$  to  $\phi_1$ . (See timing diagram Fig. 13.)

#### Based Accuracy

In most cases the accuracy of the CA3300 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, three adjustments can be made to obtain better accuracy; i.e., offset trim, gain trim, and midpoint trim.

#### Offset Trim

General offset correction can be done in the preamp by introducing a dc shift to  $V_{IN}$  or by the offset trim op amp. When this is not possible the  $R^-$  (pin 10) input can be adjusted to produce an offset trim. The theoretical voltage to produce the first transition is  $\frac{1}{2}$  LSB. The equation is as follows:

$$V_{IN} (0 \text{ to } 1 \text{ transition}) = \frac{1}{2} \text{ LSB} = \frac{1}{2}(V_{REF}/64) \\ = V_{REF}/128$$

If the first transition is less than the theoretical, then a 50-ohm pot connected between  $R^-$  and ground can accomplish the adjustment. Set  $V_{IN}$  to  $\frac{1}{2}$  LSB and trim until the 0 to 1 transition occurs.

If the first transition is greater than the theoretical, the 50-ohm pot should be connected between  $R^-$  and a negative voltage of about 2 LSB's. The trim procedure is as previously.

#### Gain Trim

General gain trim can also be done in the preamp by introducing a gain adjustment for the op amp. If this is not possible, then a gain adjustment circuit can be made to adjust the reference voltage. To perform the gain trim,  $V_{IN}$  should be set to the 63 to overflow transition. The voltage is  $\frac{1}{2}$  LSB less than  $V_{REF}$  and is calculated as follows:

$$V_{IN} (63 \text{ to } 64 \text{ transition}) = V_{REF} - V_{REF}/128 \\ = V_{REF} (127/128)$$

To perform the gain trim, first do the offset trim and then set the required  $V_{IN}$  for the 63 to overflow transition. Now adjust  $V_{REF}$  until that transition occurs on the outputs.

#### Reference Center Trim

The reference center (RC), pin 16, is available to the user as an approximate midpoint of the resistor ladder. The actual midpoint is brought out as count 32. To trim the midpoint,

the offset and gain trims should be done first. The theoretical transition from count 32 to 33 occurs at  $32\frac{1}{2}$  LSB's. That voltage is as follows:

$$V_{IN} (32 \text{ to } 33 \text{ transition}) = 32.5 (V_{REF}/64)$$

An adjustable voltage follower can be connected to the RC pin or a 2-K pot can be connected between  $R^+$  and  $R^-$  with the wiper connected to RC. Set  $V_{IN}$  to the 32 to 33 transition voltage, then adjust the voltage follower or the pot until the transition occurs on the output bits.

The Reference Center point can also be used to create some unique transfer functions. For example, if  $R^-$  is grounded, RC is connected to 3.25 volts, and  $R^+$  is connected to 4.8 volts then the lower order counts, 1 through 32, will have an LSB value of 100 mV while the upper order counts, 34 through Overflow, will have an LSB value of 50 mV. This effectively provides twice the sensitivity in the upper counts as compared to the lower counts.

#### 7-Bit Resolution

To obtain 7-bit resolution, two CA3300's can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enabler controls—all of which are available on the CA3300.

The first step for connecting a 7-bit circuit is to totem-pole the ladder networks, as illustrated in Fig. 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the seventh bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the  $\overline{CE1}$  control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 6) are now connected in parallel to complete the circuitry. The complete circuit for a 7-bit A/D converter is shown in Fig. 14.

#### 8-Bit to 12-Bit Conversion Techniques

To obtain 8- to 12-bit resolution and accuracy, use a feed-forward conversion technique. Two A/D converters will be needed to convert up to 11 bits; three A/D converters to convert 12 bits. The high speed of the CA3300 allows 12-bit conversions in the 500 to 900-ns range.

The circuit diagram of a high-speed 12-bit A/D converter is shown in Fig. 15. In the feed-forward conversion method two sequential conversions are made. Converter A first does a coarse conversion to 6 bits. The output is applied to a 6-bit D/A converter whose accuracy level is good to 12 bits. The D/A converter output is then subtracted from the input voltage, multiplied by 32, and then converted by a second flash A/D converter, which is connected in a 7-bit configuration. The answers from the first and second conversions are added together with bit 1 of the first conversion overlapping bit 7 of the second conversion.

When using this method, take care that:

- The linearity of the first converter is better than  $\frac{1}{2}$  LSB.
- An offset bias of 1 LSB (1/64) is subtracted from the first conversion since the second converter is unipolar.
- The D/A converter and its reference are accurate to the total number of bits desired for the final conversion (the A/D converter need only be accurate to 6 bits).

The first converter can be offset-biased by adding a 20- $\Omega$  resistor at the bottom of the ladder and increasing the reference voltage by 1 LSB. If a 6.40-voltage reference is used in the system, for example, then the first CA3300 will require a 6.5-V reference.

# CA3300

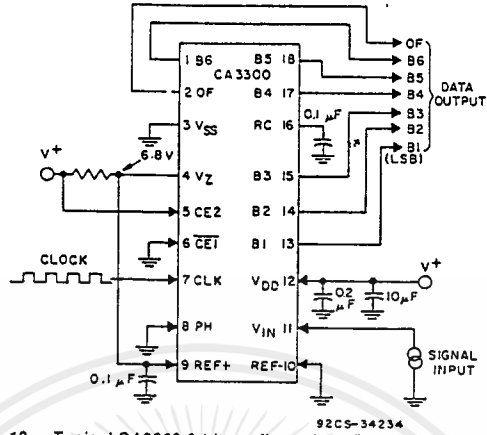


Fig. 12 - Typical CA3300 6-bit configuration 15-MHz sampling rate.

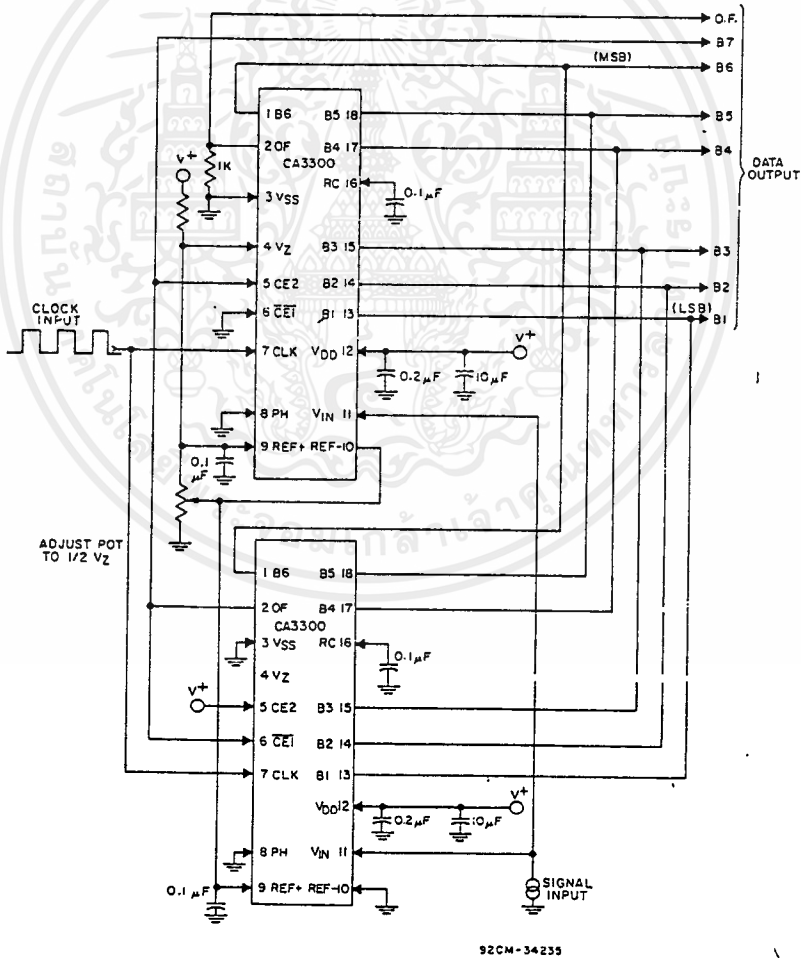


Fig. 13 - Typical CA3300 7-bit resolution configuration 15-MHz sampling rate.

# CA3300

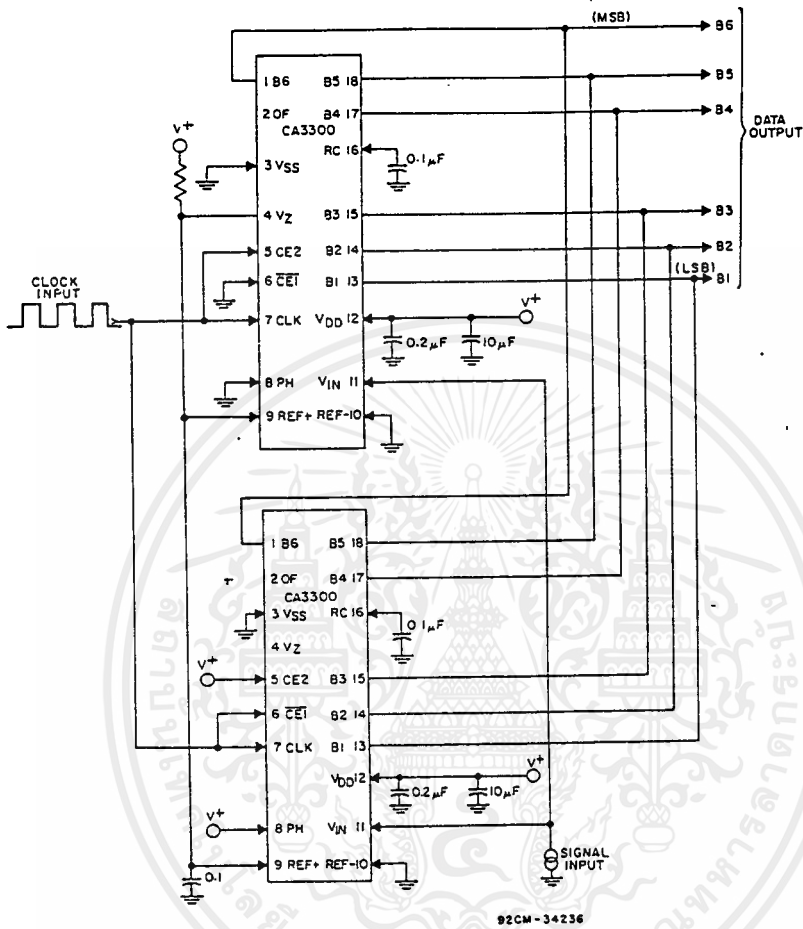


Fig. 14 - Typical CA3300 6-bit resolution configuration 30-MHz sampling rate.

## Product Preview

## CA3306, CA3306A, CA3306C

CMOS High-Speed 6-Bit  
Flash A/D Converter

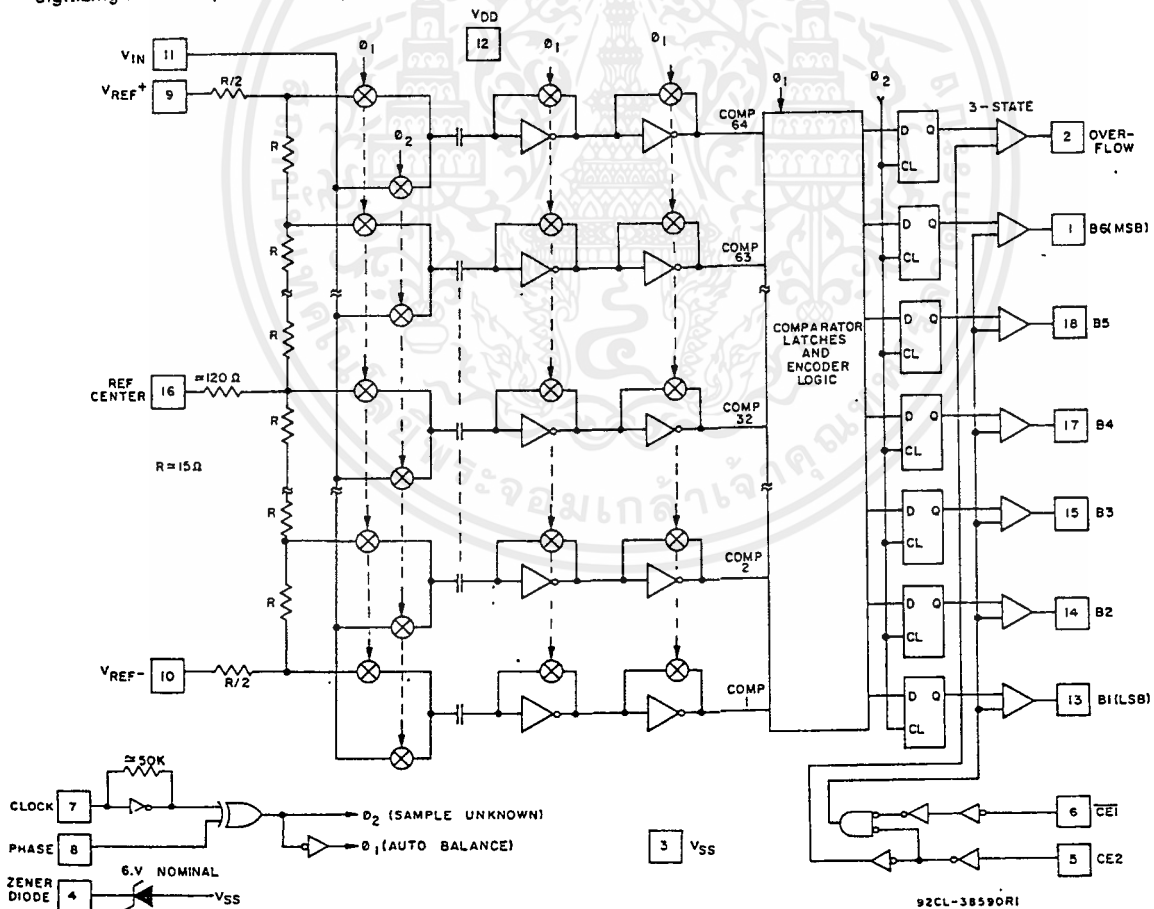
## Features:

- Improved pin-for-pin retrofits for CA3300
- CMOS/SOS low power
- Flash (Parallel) conversion technique
- 15 MSPS conversion rate at 5 V
- 1/4 LSB accuracy
- Single 3 to 6 V supply
- 6 latched-bit outputs plus overflow
- May be stacked for higher resolution
- May be parallel for double speed

The CA3306 family members are pin-for-pin retrofits for the CA3300 (File 1316), but offering improved speed and linearity. All functions of the CA3300 are carried over: the ability to stack devices for higher resolution, parallel devices for doubled speed, and the availability of a built-in zener reference. Accurate digitizing at video speeds is now possible with only a

single 5 volt supply (8 volts required for CA3300), and a tighter linearity is guaranteed at a lower reference (full scale) range.

The CA3306-series devices are supplied in 18-lead dual-in-line plastic packages (E suffix) and in 18-lead dual-in-line ceramic packages (D suffix).



Block Diagram of the CA3306

92CL-38590R1

Preview Data only

## LM1881 Video Sync Separator

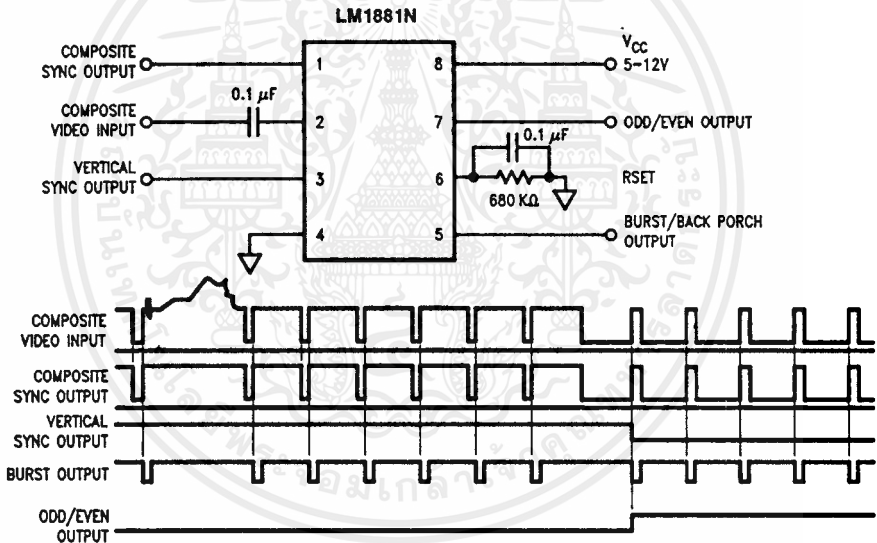
### General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from a standard negative going sync NTSC video signal with amplitude from 0.5 to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals by changing an external horizontal scan rate setting resistor. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the internally set delay period, such as might be the case for a non-standard video signal.

### Features

- AC coupled composite input signal
- > 10 k $\Omega$  input resistance
- < 10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Resistor programmable horizontal scan rate (up to 64 kHz)
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

### Connection Diagram



Order Number LM1881M or LM1881N  
See NS Package Number M08A or N08E

TL/H/0150-1

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vp-p
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C - 70°C

Storage Temperature Range	-65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

## Electrical Characteristics

$V_{CC} = 5V$ ;  $R_{SET} = 680\text{ k}\Omega$ ;  $T_A = 25^\circ\text{C}$ ; Unless otherwise specified

Parameter	Conditions	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	$V_{CC} = 5V$ ; Outputs at Logic 1	5.2	10		mAmax
	$V_{CC} = 12V$ ; Outputs at Logic 1	5.5	12		mAmax
DC Input Voltage	Pin 2	1.5	1.3		Vmin
			1.8		Vmax
Input Threshold Voltage	Note 5	70	55		mVmin
			85		mVmax
Input Discharge Current	Pin 2; $V_{IN} = 2V$	11	6 16		$\mu\text{Amin}$ $\mu\text{Amax}$
Input Clamp Charge Current	Pin 2; $V_{IN} = 1V$	0.8	0.2		mAmin
$R_{SET}$ Pin Reference Voltage	Pin 6; Note 6	1.22	1.10 1.35		Vmin Vmax
Composite Sync. & Vertical Outputs	$I_{OUT} = 40\ \mu\text{A}$ ; Logic 1	4.5	4.0		Vmin
	$I_{OUT} = 1.6\ \text{mA}$ ; Logic 1	3.6	2.4		Vmin
Burst Gate & Odd/Even Outputs	$I_{OUT} = 40\ \mu\text{A}$ ; Logic 1	4.5	4.0		Vmin
Composite Sync. Output	$I_{OUT} = -1.6\ \text{mA}$ ; Logic 0; Pin 1	0.2	0.8		Vmax
Vertical Sync. Output	$I_{OUT} = -1.6\ \text{mA}$ ; Logic 0; Pin 3	0.2	0.8		Vmax
Burst Gate Output	$I_{OUT} = -1.6\ \text{mA}$ ; Logic 0; Pin 5	0.2	0.8		Vmax
Odd/Even Output	$I_{OUT} = -1.6\ \text{mA}$ ; Logic 0; Pin 7	0.2	0.8		Vmax
Vertical Sync Width		230	190		$\mu\text{smin}$
			300		$\mu\text{smax}$
Burst Gate Width	2.7 k $\Omega$ from Pin 5 to $V_{CC}$	4	2.5		$\mu\text{smin}$
			4.7		$\mu\text{smax}$
Vertical Default Time	Note 7	65	32		$\mu\text{smin}$
			90		$\mu\text{smax}$

**Note 1:** For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

**Note 2:** ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor".

**Note 3:** These parameters are guaranteed and 100% production tested.

**Note 4:** Design Limits are guaranteed but not 100% production tested. These limits are not used to calculate outgoing quality levels.

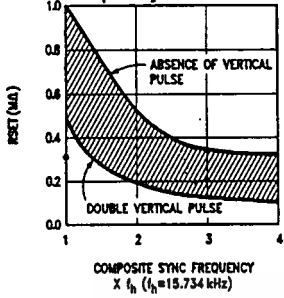
**Note 5:** Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

**Note 6:** Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the  $R_{SET}$  pin (Pin 6).

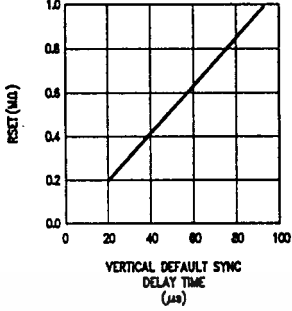
**Note 7:** Delay time between the start of vertical sync (at input) and the vertical output pulse.

# Typical Performance Characteristics

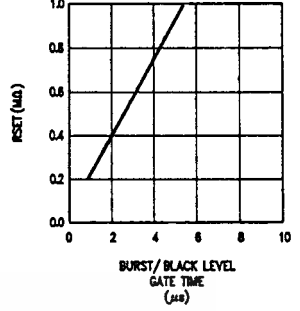
**Rset-Value Selection vs Composite Sync Frequency**



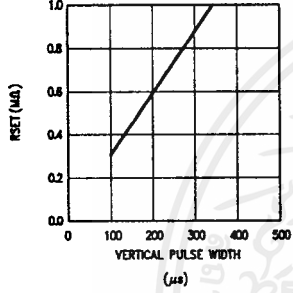
**Vertical Default Sync Delay Time vs Rset**



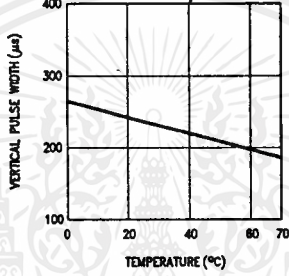
**Burst/Black Level Gate Time vs Rset**



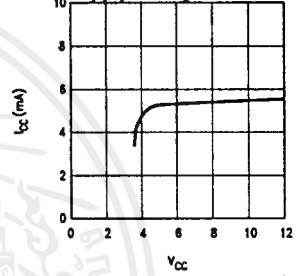
**Vertical Pulse Width vs Rset**



**Vertical Pulse Width vs Temperature**



**Supply Current vs Supply Voltage**



TL/H/9150-2

## Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

### COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11  $\mu$ A, typically. This allows relatively small capacitor values to be used—0.1  $\mu$ F is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75 $\Omega$ , a 620 $\Omega$  resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed

from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

### VERTICAL SYNC OUTPUT

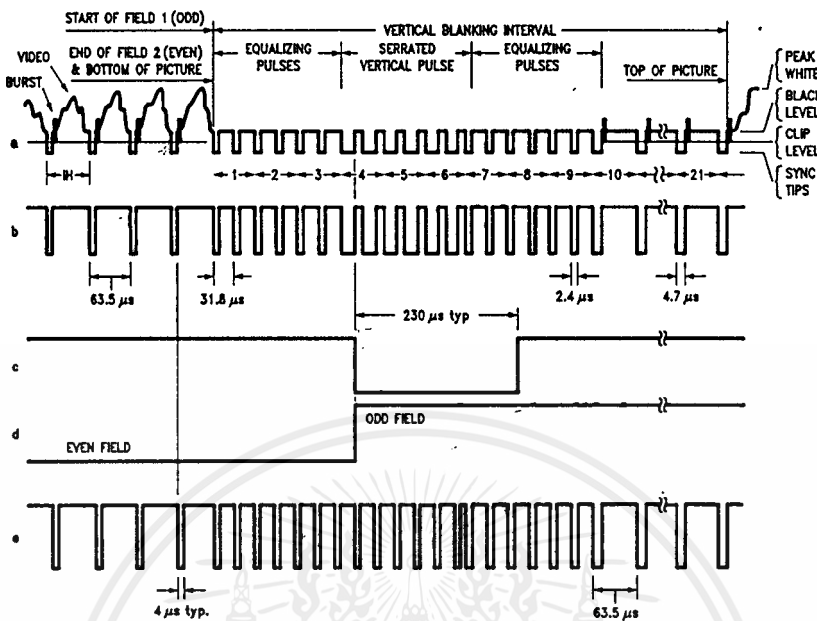
A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 3*). Horizontal sync pulses are not able to charge the integrating capacitor sufficiently because of their short duty cycle, but when the vertical retrace interval is reached, the broad serrated pulse charges the capacitor past a fixed threshold. Once the threshold is reached, the next serration in the sync waveform triggers an R-S flipflop and starts the vertical output pulse at Pin 3. Simultaneously an internal oscillator begins clocking a counter. When a count of eight is reached the vertical output pulse is terminated and the circuit resets. Both the time required to reach the integrator threshold and the period of the oscillator are programmed by an external resistor at Pin 6. For an N.T.S.C. signal with 32  $\mu$ s between serrations, a 680 k $\Omega$  resistor will ensure the vertical output pulse will start coincident with the leading edge of the first vertical serration (*Figure 2c*). If the resistor value gets too small it becomes possible for the oscillator circuit to time out before the input vertical sync period has ended. When this is the case, the sequence will repeat and a double vertical output pulse will appear. Therefore, the resistor value for a given horizontal scan rate is chosen small enough to trigger the vertical output pulse on the first serration yet not so small as to give a double pulse, rather than attempting to choose a value that gives a specific output pulse width. If the incoming vertical sync is not serrated, the integrating capacitor is allowed to charge to a second threshold which automatically initiates the vertical output pulse sequence. In this instance, the start of the vertical pulse as well as the pulse period will be dependent on the resistor value.

### ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

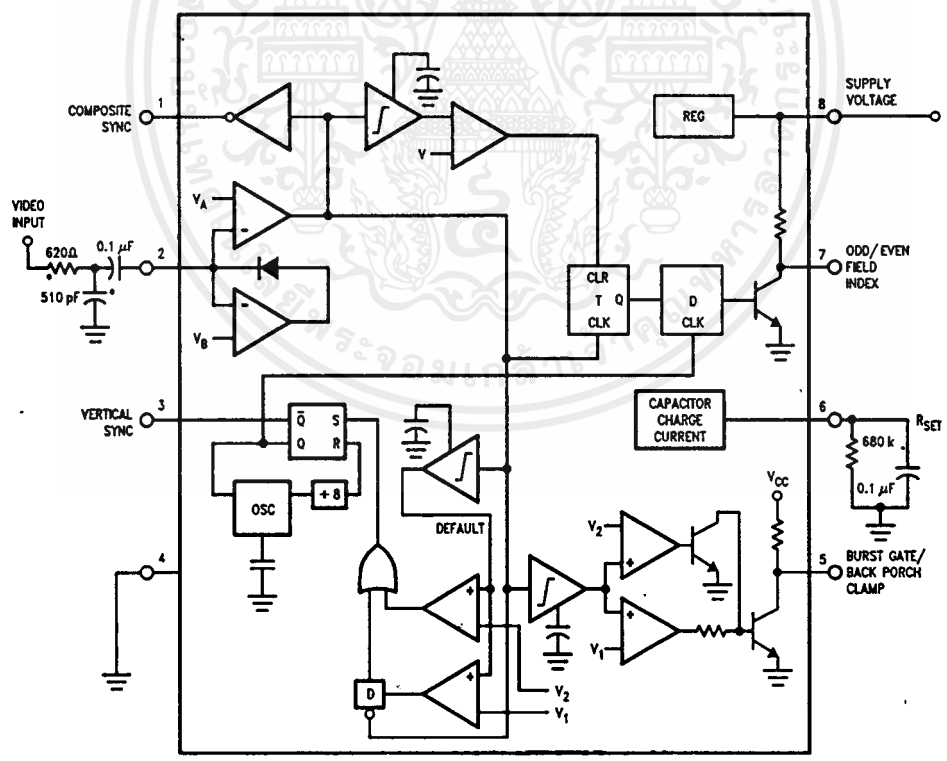
To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 3*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

# Application Notes (Continued)



**FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp**

TL/H/9150-3



\*Components Optional, See Text

TL/H/9150-4

**FIGURE 3**

## Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

### BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately  $4.8 \mu\text{s}$  long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out— $4 \mu\text{s}$  later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

### APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference

signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

### VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

### MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter ( $10 \text{ k}\Omega$ ,  $10 \mu\text{F}$ ) providing black level restoration at the video output when the output selected line(s) is not being gated through.

# Typical Applications

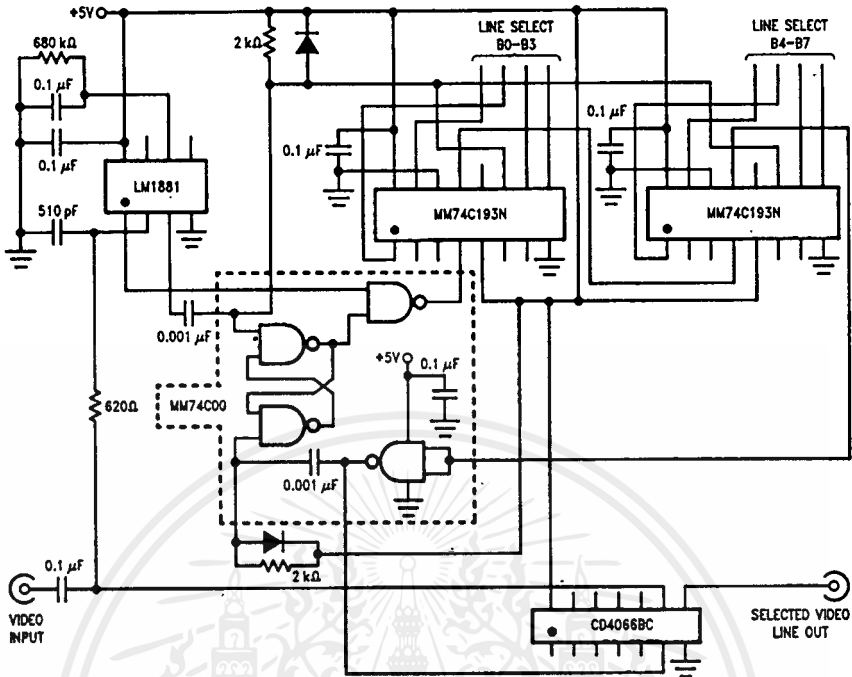


FIGURE 4. Video Line Selector

TL/H/9150-5

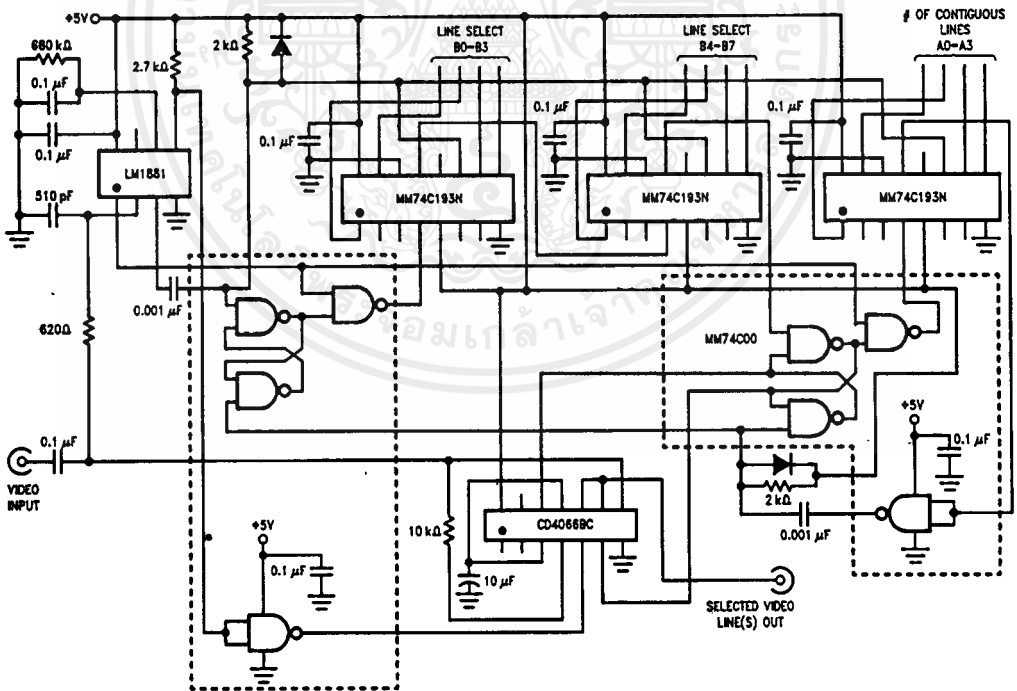


FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

TL/H/9150-6

# LM1886 TV Video Matrix D to A

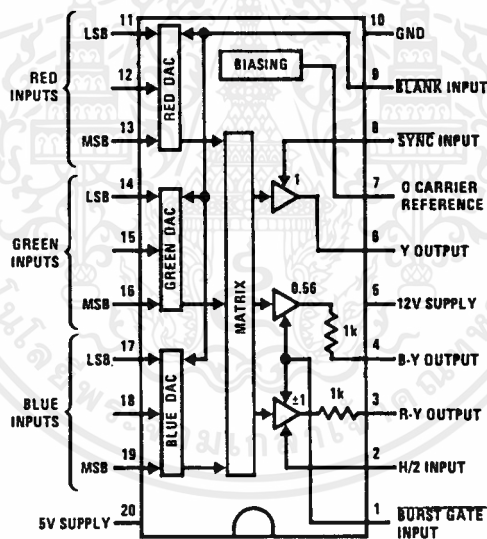
## General Description

The LM1886 is a TV video matrix D to A converter which encodes luminance and color difference signals from 3-bit red, green and blue inputs. The luminance output is encoded from the NTSC equation  $Y = 0.3R + 0.59G + 0.11B$  and the R-Y and B-Y outputs are weighted to prevent over-modulation. A built-in R-Y and burst gate polarity switch allow European PAL compatible signals to be encoded. All output levels including an RF O Carrier Bias Voltage have been referenced to 5V for direct connection to the LM1889 TV video modulator. When used in combination with the LM1889 and a suitable sync generator, 3-bit, R, G and B information may be encoded to both composite video and RF channel carrier.

## Features

- Complete digital to RF coding with LM1889
- 1-pin PAL/NTSC mode select
- True NTSC matrix
- 8 levels of grey scale
- Allows wide range of colorimetry
- Low power TTL inputs
- Wideband luminance output
- Weighted R-Y, B-Y outputs

## Connection Diagram



TL/H/7916-1

Top View

FIGURE 1

Order Number LM1886N  
See NS Package Number N20A

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

### Supply Voltage

Pin 5	15V
Pin 20	6V

Input Voltage (Pins 1, 8, 9, 11-19) -0.5V, +12V

Pin 2 Voltage Relative to Pin 20	0.8V
Output Current	5 mA
Power Dissipation, $T_A = 25^\circ\text{C}$ (Note 1)	1900 mW
Storage Temperature Range	$-55^\circ\text{C}$ to $+150^\circ\text{C}$
Operating Temperature Range	$0^\circ\text{C}$ to $+70^\circ\text{C}$
Lead Temperature (Soldering, 10 sec.)	$260^\circ$

## Electrical Characteristics $T_A = 25^\circ\text{C}$ , (Figure 2, Note 2)

Parameter	Conditions	Min	Typ	Max	Units
5V Supply Current (Pin 20)	BLANK = 0.8V	7	11	16	mA
12V Supply Current (Pin 5)	BLANK = 0.8V	9	13	17	mA
Logic "1" Input Current (Pins 1, 2, 8, 9, 11-19)	Input Voltage = 5.0V		0	10	$\mu\text{A}$
Logic "0" Input Current (Pins 1, 2, 8, 9, 11-19)	Input Voltage = 0.3V		-0.01	-0.18	mA
Output Offsets $\Delta V_Y$ $\Delta V_{R-Y}$ $\Delta V_{B-Y}$	R, G, B, = 0.8V		0	$\pm 50$	mV
R-Y Full Scale, $(\Delta V_{R-Y})_{FS}$	R = 2V; G, B = 0.8V	1.0	1.23	1.4	V
B-Y Full Scale, $(\Delta V_{B-Y})_{FS}$	B = 2V; R, G = 0.8V	0.7	0.87	1.0	V
Green Full Scale $\Delta V_{R-Y}$ $\Delta V_{B-Y}$	G = 2V; R, B = 0.8V	-0.85 -0.45	-1.03 -0.58	-1.2 -0.7	V
Y Full Scale $(\Delta V_Y)_{FS}$ $\Delta V_{R-Y}$ $\Delta V_{B-Y}$	R, G, B = 2V	1.6	1.75	1.9	V
O Carrier Reference, $\Delta V_O$		2.0	2.2	2.5	V
Blanking Level, $\Delta V_Y$	BLANK = 0.8V		0	$\pm 50$	mV
Sync Level, $\Delta V_Y$	BLANK, SYNC = 0.8V	-0.67	-0.77	-0.87	V
NTSC Burst, $\Delta V_{B-Y}$	BLANK, BURST GATE = 0.8V	-0.26	-0.35	-0.46	V
PAL Burst $\Delta V_{R-Y}$ $\Delta V_{B-Y}$	SW in PAL Position; BLANK, BURST GATE, H/2 = 0.8V	-0.2 -0.2	-0.25 -0.25	-0.32 -0.32	V
PAL Inversion Ratio $(\Delta V_{R-Y})_{PAL}/(\Delta V_{R-Y})_{FS}$	R = 2V; G, B, H/2 = 0.8V SW to PAL Position	-0.9	-1.0	-1.1	
Y Linearity Error	Figure 2b Input Connection		$\pm 1$	$\pm 6$	%FS
Y Switching Times Rise Time, $t_R$ Fall Time, $t_F$ Settling Time $\pm 1$ LSB	15 kHz Square Wave Switching R, G, B in Parallel		35 30 50		ns ns ns

Note 1: Above  $T_A = 25^\circ\text{C}$ , derate based on  $T_{J(MAX)} = 150^\circ\text{C}$  and  $\theta_{JA} = 65^\circ\text{C/W}$ .

Note 2: Unless otherwise noted, BLANK, SYNC, BURST GATE = 2V and SW is in NTSC position. All outputs are referenced to the +5V supply as shown in Figure 2a.

# Test Circuits

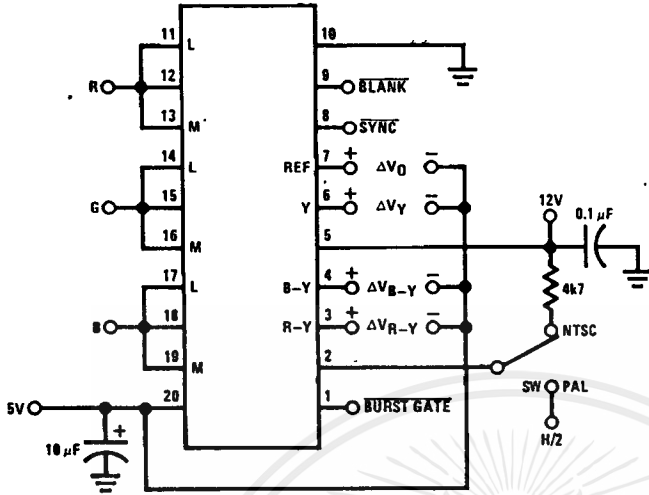


FIGURE 2a. 6-Color Input Connection

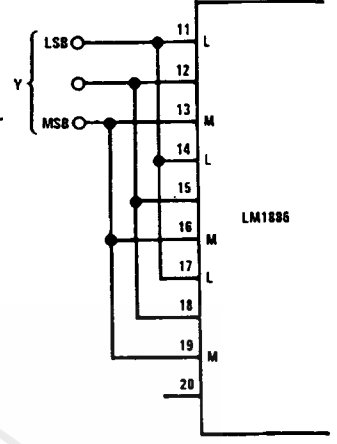


FIGURE 2b. 8-level Grey Scale Input Connection

## Application Notes (Refer to Figure 3)

SYNC, BLANK, and BURST GATE may be obtained from a sync generator IC. For PAL operation, the H/2 square wave may be obtained by a + 2 from horizontal sync.

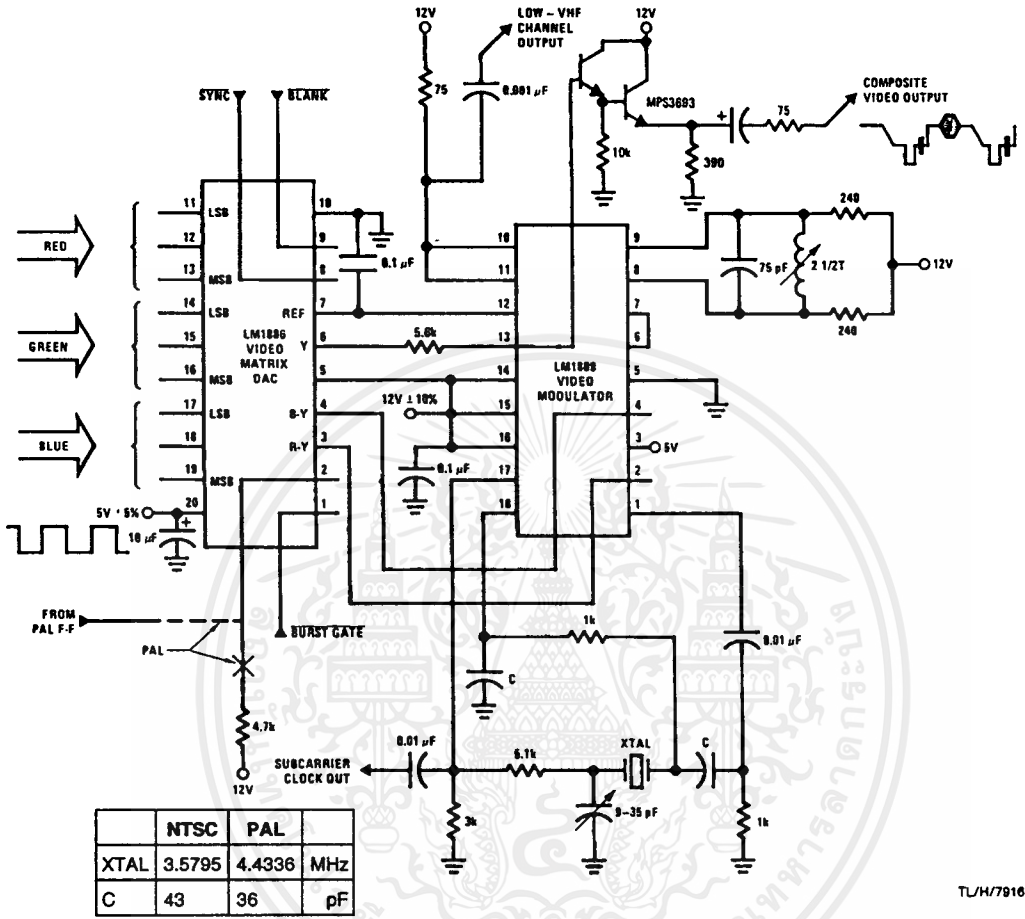
All inputs are low-power TTL compatible. Because of the very low typical input currents, the color inputs may be paralleled in various combinations. For simple color requirements, the Figure 2a input connection may be used to produce the 6 primary and complementary colors listed in Table I, along with black and white. To add complex colors such as those at the bottom of Table I, all 9 input bits may be required separately. When choosing input codes for other colors, always check the new color against both light and dark backgrounds.

All outputs are referenced to the +5V supply for direct connection to the LM1889. The resistor on the luminance output pin 6 is used to sum the chroma subcarrier from the LM1889 and must be wired as tightly as possible to preserve the video bandwidth. For the addition of sound or a second RF channel, refer to the LM1889 data sheet.

TABLE I. Input Code Examples for Common Colors

		Input Code						
		Red		Green		Blue		
Color		M	L	M	L	M	L	
Black		0	0	0	0	0	0	0
Dark Grey		0	1	0	0	1	0	0
Light Grey		1	0	1	1	0	1	0
White		1	1	1	1	1	1	1
Primary	Red	1	1	1	0	0	0	0
	Green	0	0	0	1	1	1	0
	Blue	0	0	0	0	0	0	1
Complementary	Cyan	0	0	0	1	1	1	1
	Magenta	1	1	1	0	0	0	1
	Yellow	1	1	1	1	1	1	0
Brown		0	1	1	0	1	1	0
Orange		1	1	1	1	0	0	0
Flesh Tone		1	1	1	1	1	0	1
Pink		1	1	1	1	1	0	1
Sky Blue		1	0	1	1	0	1	1

Typical Application



	NTSC	PAL	
XTAL	3.5795	4.4336	MHz
C	43	36	pF

FIGURE 3

TL/H/7916-5

## Circuit Description (Refer to Figure 4)

The 3-bit red, green, and blue inputs go to identical 3-bit current-mode digital-to-analog converters (DACs). Each DAC consists of three binary-weighted current sources controlled by diff-amp current switches. The DAC output currents are arbitrarily given a weighting factor of 0.59, which is the green coefficient in the luminance equation. Portions of the red and blue currents are split off, so that the remaining currents combined with the green current form the luminance current  $I_Y = 0.3 I_R + 0.59 I_G + 0.11 I_B$ .  $I_Y$  develops the luminance voltage  $V_Y$  across  $R_O$  in a summing amplifier referenced to the +5V supply. A current switch operated by pin 8 adds (-) sync pulses to the Y output at pin 6.

The portions of red and blue currents previously split off flow through resistors  $R_O/0.29$  and  $R_O/0.48$ , which are weighted to form the red and blue voltages respectively. Since the opposite ends of the 2 resistors are connected to  $V_Y$ , the red and blue voltages across the resistors subtract from  $V_Y$  to develop the color difference voltages  $V_{Y-R}$  and  $V_{Y-B}$ .  $V_{Y-B}$  is coupled through a X.56 gain, 5V-referenced inverting amplifier to the B-Y output at pin 4.  $V_{Y-R}$  feeds parallel inverting and non-inverting unity gain amplifiers which allow either polarity to be coupled to the R-Y output pin 3. Switching between the 2 amplifiers is controlled by a current switch activated by the H/2 pin 2. A (-) burst gate pulse on pin 1 controls current switches which add the burst pulse components to the B-Y and R-Y outputs.

The requirements for PAL and NTSC encoding differ in the areas of burst gate operation and R-Y polarity, both of which are controlled via pin 2 as follows:

**PAL**, pin 2 fed by a half-line frequency TTL square wave—in this mode a PNP switch between pin 2 and +5V is held off continuously, which results in equal burst pulse components on the B-Y and R-Y outputs. In addition, the H/2 square wave causes the R-Y output polarity to reverse every line. (When fed to the LM1889 chroma modulator this causes the phase of the R-Y subcarrier to change  $180^\circ$  as required in PAL.)

**NTSC**, pin 2 tied through an external resistor to +12V—this turns on the PNP switch continuously, which eliminates the burst pulse on the R-Y output and increases the amplitude of the B-Y pulse. Since pin 2 is being held high, the R-Y output is locked in the positive polarity.

Blanking is activated by a low on pin 9, which de-biases the left side of the DAC diff-amps, so that  $I_R = I_G = I_B = 0$  independent of the input states. When blanked, the Y, B-Y and R-Y outputs all go to +5V. An additional amplifier produces a 0 carrier reference voltage at pin 7 which is 25% above the peak white voltage on the Y output, relative to +5V.



## NE/SE564 Phase-Locked Loop

### Product Specification

#### Linear Products

#### DESCRIPTION

The NE564 is a versatile, high guaranteed frequency phase-locked loop designed for operation up to 50MHz. As shown in the Block Diagram, the NE564 consists of a VCO, limiter, phase comparator, and post detection processor.

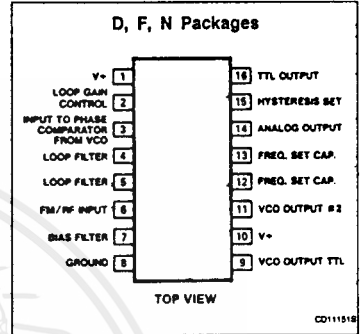
#### FEATURES

- Operation with single 5V supply
- TTL-compatible Inputs and outputs
- Guaranteed operation to 50MHz
- External loop gain control
- Reduced carrier feedthrough
- No elaborate filtering needed in FSK applications
- Can be used as a modulator
- Variable loop gain (externally controlled)

#### APPLICATIONS

- High-speed modems
- FSK receivers and transmitters
- Frequency synthesizers
- Signal generators
- Various satcom/TV systems

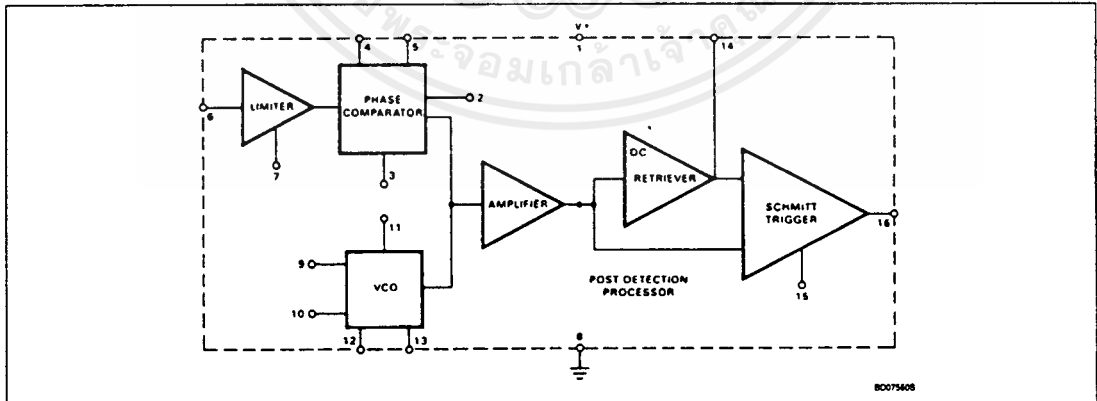
#### PIN CONFIGURATION



#### ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
16-Pin Plastic SO	0 to +70°C	NE564D
16-Pin Plastic DIP	0 to +70°C	NE564N
16-Pin Plastic DIP	-55°C to +125°C	SE564N
16-Pin Cerdip	0 to +70°C	NE564F

#### BLOCK DIAGRAM



## Phase-Locked Loop

NE/SE564

## ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V+	Supply voltage Pin 1 Pin 10	14 6	V
I <sub>OUT</sub>	(Sink) Max (Pin 9)	10	mA
P <sub>D</sub>	Power dissipation	600	mW
T <sub>A</sub>	Operating ambient temperature NE SE	0 to +70 -55 to +125	°C
T <sub>STG</sub>	Storage temperature	-65 to +150	°C

## NOTE:

Operation above 5V will require heatsinking of the case.

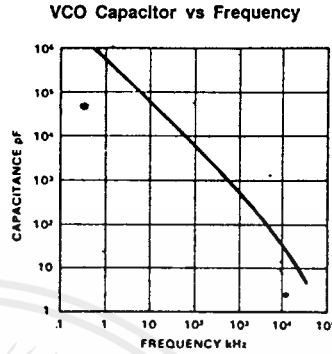
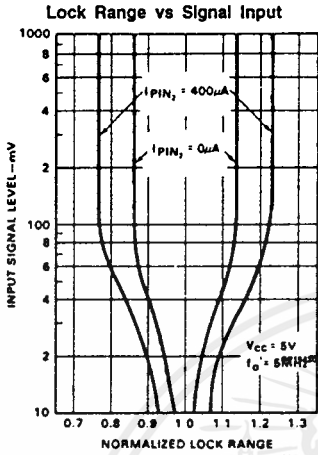
DC AND AC ELECTRICAL CHARACTERISTICS V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C, f<sub>0</sub> = 5MHz, I<sub>2</sub> = 400μA, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	SE564			NE564			UNIT
			Min	Typ	Max	Min	Typ	Max	
	Maximum VCO frequency	C <sub>1</sub> = 0 (stray)	50	65		45	60		MHz
	Lock range	Input ≥ 200mV <sub>RMS</sub> T <sub>A</sub> = 25°C T <sub>A</sub> = 125°C T <sub>A</sub> = -55°C T <sub>A</sub> = 0°C T <sub>A</sub> = 70°C	40 20 50	70 30 80		40	70 70 40		% of f <sub>0</sub>
	Capture range	Input ≥ 200mV <sub>RMS</sub> , R <sub>2</sub> = 27Ω	20	30		20	30		% of f <sub>0</sub>
	VCO frequency drift with temperature	f <sub>0</sub> = 5MHz, T <sub>A</sub> = -55°C to +125°C T <sub>A</sub> = 0 to +70°C = 0 to +70°C f <sub>0</sub> = 500kHz, T <sub>A</sub> = -55°C to +125°C T <sub>A</sub> = 0 to +70°C		500 300	1500 800		600 500		PPM/°C
	VCO free-running frequency	C <sub>1</sub> = 91pF R <sub>C</sub> = 100Ω "Internal"	4	5	6	3.5	5	6.5	MHz
	VCO frequency change with supply voltage	V <sub>CC</sub> = 4.5V to 5.5V		3	8		3	8	% of f <sub>0</sub>
	Demodulated output voltage	Modulation frequency: 1kHz f <sub>0</sub> = 5MHz, input deviation: 2%T = 25°C 1%T = 25°C 1%T = 0°C 1%T = -55°C 1%T = 70°C 1%T = 125°C	16 8 6 12	28 14 10 16		16 8 15	28 14 13 15		mV <sub>RMS</sub> mV <sub>RMS</sub> mV <sub>RMS</sub> mV <sub>RMS</sub> mV <sub>RMS</sub>
	Distortion	Deviation: 1% to 8%		1			1		%
S/N	Signal-to-noise ratio	Std. condition, 1% to 10% dev.		40			40		dB
	AM rejection	Std. condition, 30% AM		35			35		dB
	Demodulated output at operating voltage	Modulation frequency: 1kHz f <sub>0</sub> = 5MHz, input deviation: 1% V <sub>CC</sub> = 4.5V V <sub>CC</sub> = 5.5V	7 8	12 14		7 8	12 14		mV <sub>RMS</sub> mV <sub>RMS</sub>
I <sub>CC</sub>	Supply current	V <sub>CC</sub> = 5V I <sub>1</sub> , I <sub>10</sub>		45	60		45	60	mA
	Output "1" output leakage current "0" output voltage	V <sub>OUT</sub> = 5V, Pins 16, 9 I <sub>OUT</sub> = 2mA, Pins 16, 9 I <sub>OUT</sub> = 6mA, Pins 16, 9		1 0.3 0.4	20 0.6 0.8		1 0.3 0.4	20 0.6 0.8	μA V V

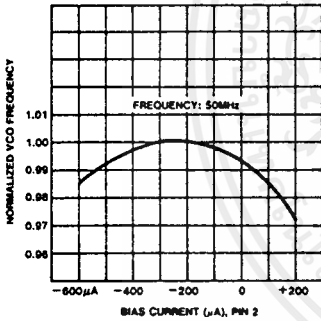
# Phase-Locked Loop

NE/SE564

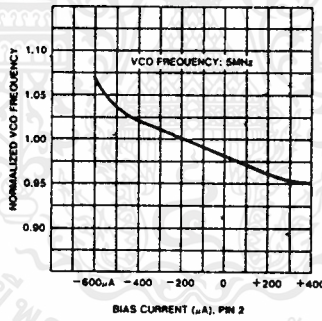
## TYPICAL PERFORMANCE CHARACTERISTICS



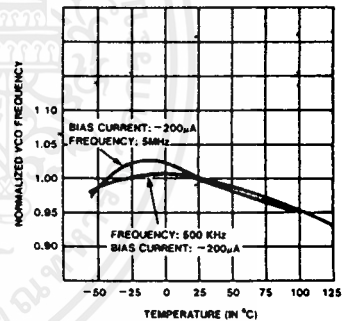
Typical Normalized VCO Frequency as a Function of Pin 2 Bias Current



Typical Normalized VCO Frequency as a Function of Pin 2 Bias Current



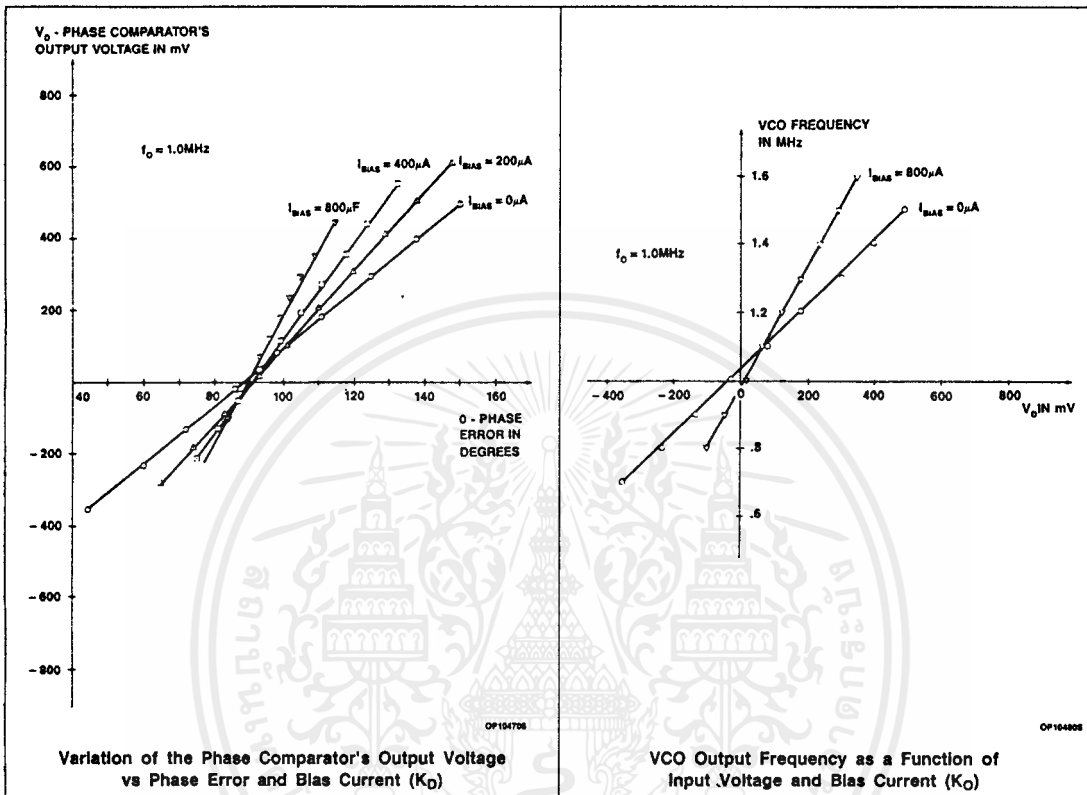
Normalized VCO Frequency as a Function of Temperature



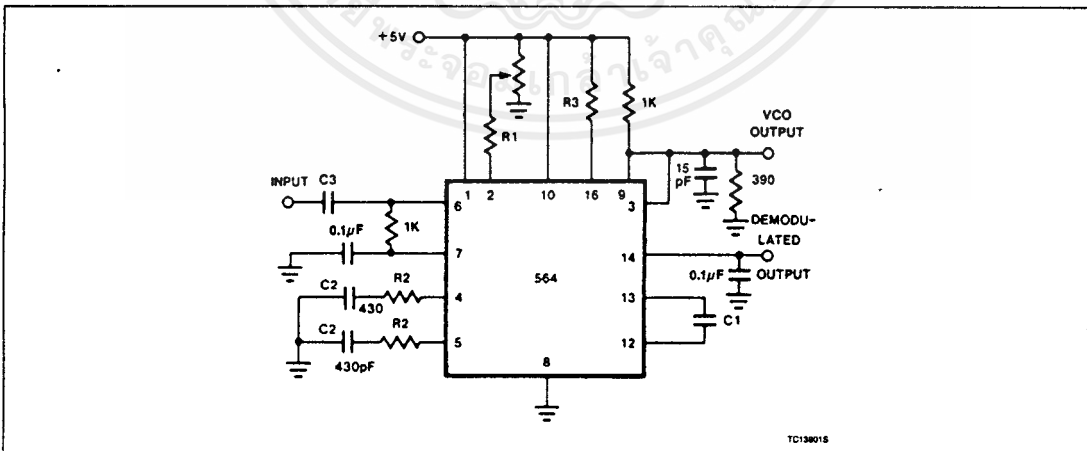
# Phase-Locked Loop

NE/SE564

## TYPICAL PERFORMANCE CHARACTERISTICS (Continued)



## TEST CIRCUIT



## Phase-Locked Loop

NE/SE564

FUNCTIONAL DESCRIPTION  
(Figure 1)

The NE564 is a monolithic phase-locked loop with a post detection processor. The use of Schottky-clamped transistors and optimized device geometries extends the frequency of operation to greater than 50MHz.

In addition to the classical PLL applications, the NE564 can be used as a modulator with a controllable frequency deviation.

The output voltage of the PLL can be written as shown in the following equation:

$$V_O = \frac{(f_{IN} - f_O)}{K_{VCO}} \quad (1)$$

$K_{VCO}$  = conversion gain of the VCO

$f_{IN}$  = frequency of the input signal

$f_O$  = free-running frequency of the VCO

The process of recovering FSK signals involves the conversion of the PLL output into logic compatible signals. For high data rates,

a considerable amount of carrier will be present at the output of the PLL due to the wideband nature of the loop filter. To avoid the use of complicated filters, a comparator with hysteresis or Schmitt trigger is required. With the conversion gain of the VCO fixed, the output voltage as given by Equation 1 varies according to the frequency deviation of  $f_{IN}$  from  $f_O$ . Since this differs from system to system, it is necessary that the hysteresis of the Schmitt trigger be capable of being changed, so that it can be optimized for a particular system. This is accomplished in the 564 by varying the voltage at Pin 15 which results in a change of the hysteresis of the Schmitt trigger.

For FSK signals, an important factor to be considered is the drift in the free-running frequency of the VCO itself. If this changes due to temperature, according to Equation 1 it will lead to a change in the DC levels of the PLL output, and consequently to errors in the digital output signal. This is especially true for narrow-band signals where the deviation in  $f_{IN}$  itself may be less than the change in  $f_O$  due

to temperature. This effect can be eliminated if the DC or average value of the signal is retrieved and used as the reference to the comparator. In this manner, variations in the DC levels of the PLL output do not affect the FSK output.

## VCO Section

Due to its inherent high-frequency performance, an emitter-coupled oscillator is used in the VCO. In the circuit, shown in the equivalent schematic, transistors  $Q_{21}$  and  $Q_{23}$  with current sources  $Q_{25}$  -  $Q_{26}$  form the basic oscillator. The approximate free-running frequency of the oscillator is shown in the following equation:

$$f_O \approx \frac{1}{22 R_C (C_1 + C_S)} \quad (2)$$

$R_C = R_{19} = R_{20} = 100\Omega$  (INTERNAL)

$C_1$  = external frequency setting capacitor

$C_S$  = stray capacitance

## EQUIVALENT SCHEMATIC

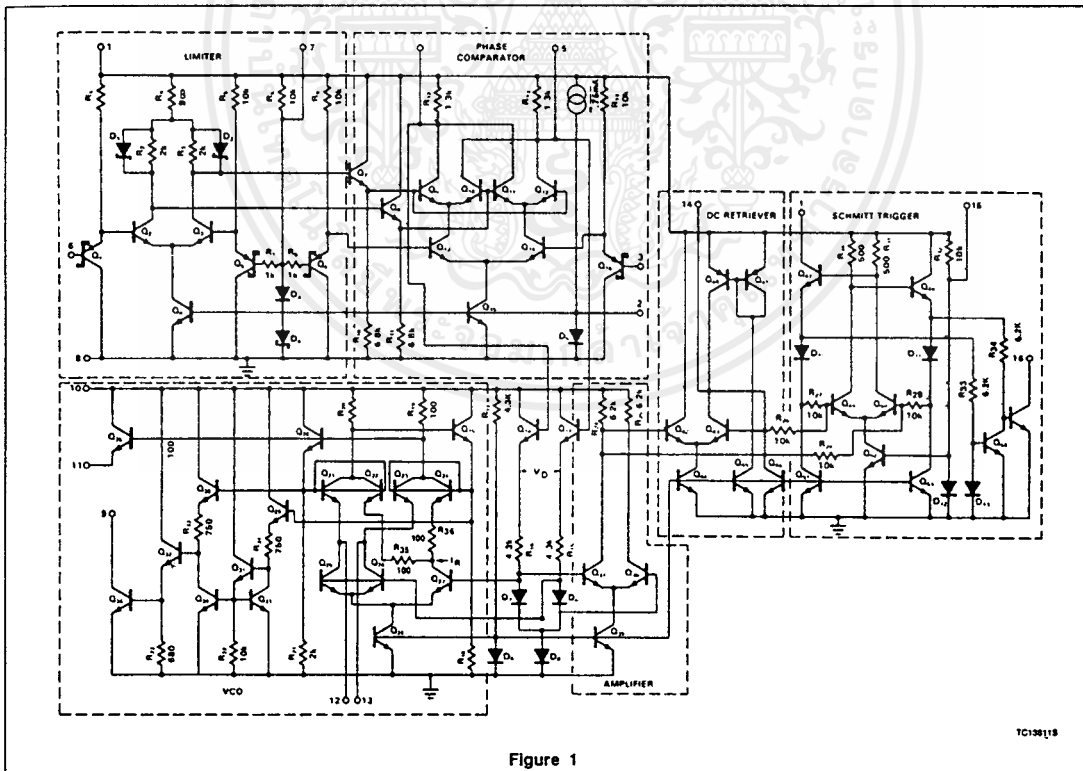


Figure 1

TC138118



## Phase-Locked Loop

NE/SE564

The loop filter diagram shown is explained by the following equation:

$$F_s = \frac{1}{1 + sRC_3} \text{ (First Order)} \quad (5)$$

$$R = R_{12} = R_{13} = 1.3k\Omega \text{ (Internal)*}$$

By adding capacitors to Pins 4 and 5, a pole is added to the loop transfer function at

$$\omega = \frac{1}{RC_3}$$

**NOTE:**

\*Refer to Figure 1.

**APPLICATIONS****FM Demodulator**

The NE564 can be used as an FM demodulator. The connections for operation at 5V and 12V are shown in Figures 2 and 3, respectively. The input signal is AC coupled with the output signal being extracted at Pin 14. Loop filtering is provided by the capacitors at Pins 4 and 5 with additional filtering being provided by the capacitor at Pin 14. Since the conversion gain of the VCO is not very high, to obtain sufficient demodulated output signal

the frequency deviation in the input signal should be 1% or higher.

**Modulation Techniques**

The NE564 phase-locked loop can be modulated at either the loop filter ports (Pins 4 and 5) or the input port (Pin 6) as shown in Figure 4. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in Figure 5. This curve will be appropriate for signals injected into Pins 4 and 5 as shown in Figure 4.

**FSK Demodulation**

The 564 PLL is particularly attractive for FSK demodulation since it contains an internal voltage comparator and VCO which have TTL compatible inputs and outputs, and it can operate from a single 5V power supply. Demodulated DC voltages associated with the mark and space frequencies are recovered with a single external capacitor in a DC retriever without utilizing extensive filtering networks. An internal comparator, acting as a Schmitt trigger with an adjustable hysteresis, shapes the demodulated voltages into compatible TTL output levels. The high-frequency design of the 564 enables it to demodulate FSK at high data rates in excess of 1.0M baud.

Figure 5 shows a high-frequency FSK decoder designed for input frequency deviations of  $\pm 1.0\text{MHz}$  centered around a free-running frequency of 10.8MHz. The value of the timing capacitance required was estimated from Figure 8 to be approximately 40pF. A trimmer capacitor was added to fine tune  $f_0'$  to 10.8MHz.

The lock range graph indicates that the  $\pm 1.0\text{MHz}$  frequency deviations will be within the lock range for input signal levels greater than approximately 50mV with zero Pin 2 bias current. (While strictly this figure is appropriate only for 5MHz, it can be used as a guide for lock range estimates at other  $f_0'$  frequencies).

The hysteresis was adjusted experimentally via the 10k $\Omega$  potentiometer and 2k $\Omega$  bias arrangement to give the waveshape shown in Figure 7 for 20k, 500k, 2M baud rates with square wave FSK modulation. Note the magnitude and phase relationships of the phase comparators' output voltages with respect to each other and to the FSK output. The high-frequency sum components of the input and VCO frequency also are visible as noise on the phase comparator's outputs.

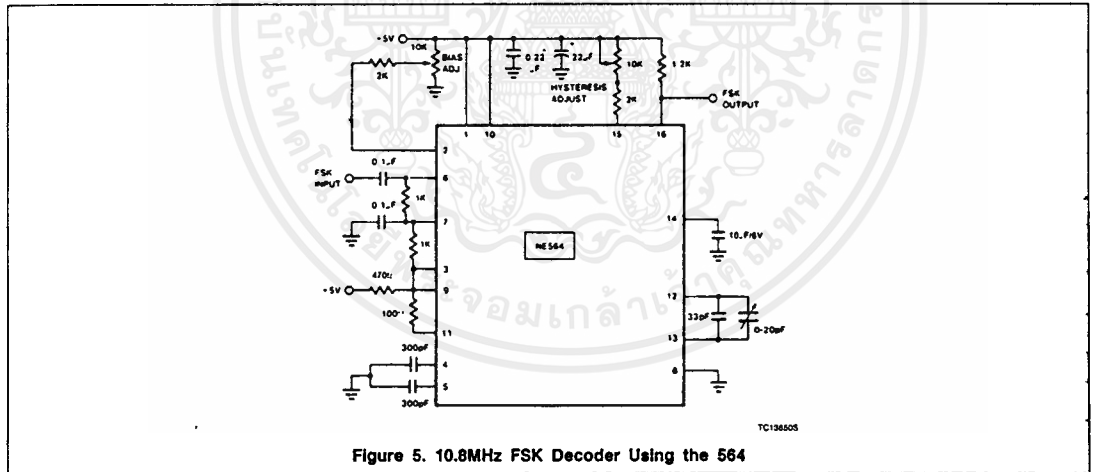
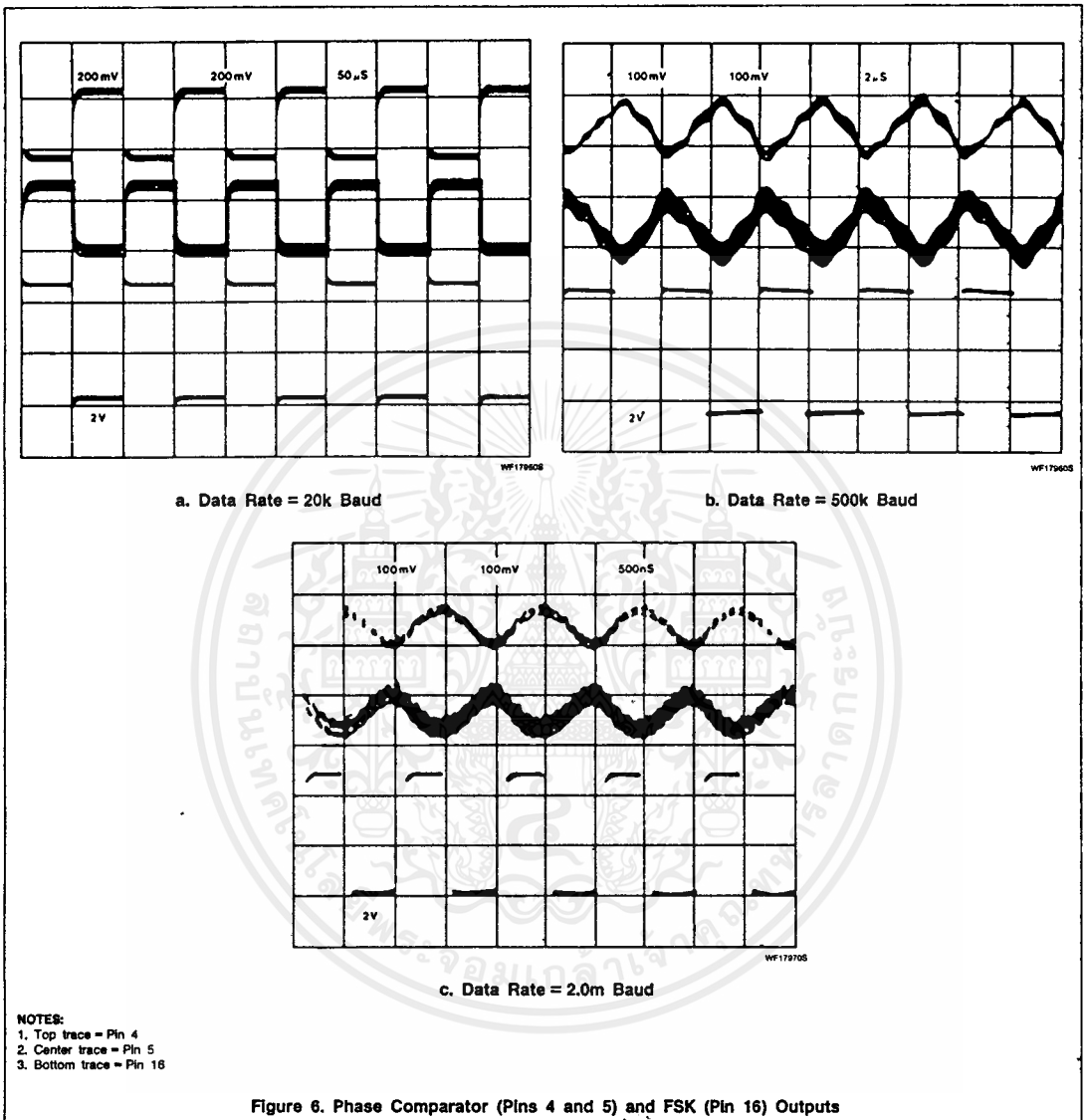


Figure 5. 10.8MHz FSK Decoder Using the 564

## Phase-Locked Loop

NE/SE564



### OUTLINE OF SETUP PROCEDURE

1. Determine operating frequency of the VCO:

If  $\div N$  in feedback loop, then  
 $f_0 = N \times f_{IN}$

2. Calculate value of the VCO frequency set capacitor:

$$C_0 \approx \frac{1}{2200 f_0}$$

3. Set  $I_2$  (current sinking into Pin 2) for  $\approx 100\mu A$ . After operation is obtained, this value may be adjusted for best dynamic behavior.
4. Check VCO output frequency with digital counter at Pin 9 of device (loop open, VCO to  $\phi$  det.). Adjust  $C_0$  trim or frequency adj. Pins 4 - 5 for exact center frequency, if needed.
5. Close loop and inject input signal to Pin 6. Monitor Pins 3 and 6 with two-channel

scope. Lock should occur with  $\Delta\phi_{3-6}$  equal to  $90^\circ$  (phase error).

6. If pulsed burst or ramp frequency is used for input signal, special loop filter design may be required in place of simple single capacitor filter on Pins 4 and 5. (See PLL application section).
7. The input signal to Pin 6 and the VCO feedback signal to Pin 3 must have a duty cycle of 50% for proper operation of the phase detector. Due to the nature of a balanced mixer if signals are not 50% in

## Phase-Locked Loop

NE/SE564

duty cycle, DC offsets will occur in the loop which tend to create an artificial or biased VCO offset.

8. For multiplier circuits where phase jitter is a problem, loop filter capacitors may be increased to a value of 10 - 50 $\mu$ F on Pins

4, 5. Also, careful supply decoupling may be necessary. This includes the counter chain  $V_{CC}$  lines:

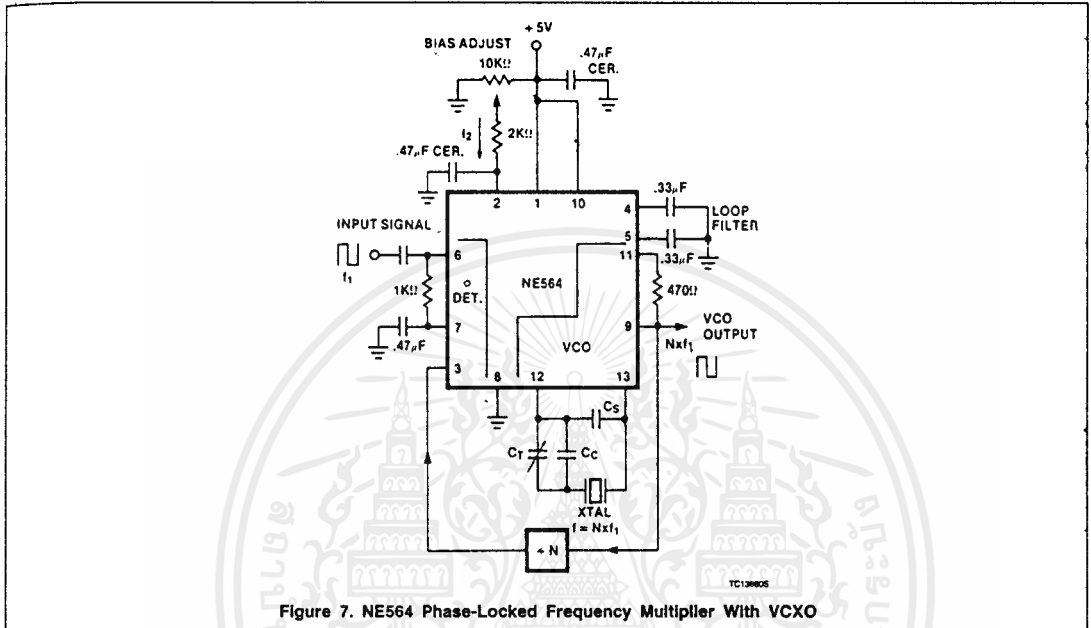


Figure 7. NE564 Phase-Locked Frequency Multiplier With VCXO

### Linear Products

### CIRCUIT DESCRIPTION OF THE NE564

The 564 contains the functional blocks shown in Figure 1. In addition to the normal PLL functions of phase comparator, VCO, amplifier and low-pass filter, the 564 has internal circuitry for an input signal limiter, a DC retriever, and a Schmitt trigger. The complete circuit for the 564 is shown in Figure 1.

#### Limiter

The input limiter functions to produce a near constant amplitude output that serves as the input for the phase comparator. Eliminating amplitude variations in the FM input signal improves the AM rejection of the PLL. Additional features of the 564's limiter are that it is capable of accepting TTL signals, operates at high frequencies up to 50MHz, and remains

functional with variable supply voltages between 5 and 12V.\*

Signal limiting is accomplished in the 564 with a differential amplifier whose output voltage is clipped by diodes  $D_1$  and  $D_2$  (see Figure 2). Schottky diodes are used because their limiting occurs between 0.3 to 0.4V instead of the 0.6 to 0.7V for regular IC diodes. This lower limiting level is helpful in biasing, especially for 5V operation. When limiting, the DC voltage across  $R_2$   $R_3$  remains at the Schottky diode voltage. Good high-frequency performance for  $Q_2$  and  $Q_3$  is achieved with current levels in the low mA range. Current-source biasing is established via the current mirror of  $D_5$  and  $Q_4$  (See Figure 1).

Base biasing for  $Q_3$  is of concern because of the nature of the input signal which can be either a TTL digital signal of 0 to 5V amplitude

or a low-level, AC coupled analog signal. Compatibility for either type is achieved by modifying the limiter of Figure 2 with the addition of the vertical Schottky PNP transistors  $Q_1$  and  $Q_5$  as shown in Figure 3. The input signal voltage appears as a collector-base voltage for  $Q_1$ , which presents no problems for either high TTL level inputs or low-level analog inputs.  $Q_5$  is in turn diode-biased by  $D_3$  and  $D_4$  (see Figure 1) which places the base voltages of  $Q_1$  and  $Q_5$  at approximately 1.0V. This same biasing network establishes a 1.3V bias at the base of  $Q_{13}$  for biasing the phase comparator section. A differential output signal from the input limiter is applied to one input of the phase comparator ( $Q_9$  through  $Q_{12}$ ) after buffering the level shifting through the  $Q_7$ - $Q_8$  emitter-followers.

\*When operating above 5V<sub>DC</sub>, a limiting resistor must be used from V<sub>CC</sub> to Pin 10 of the 564.

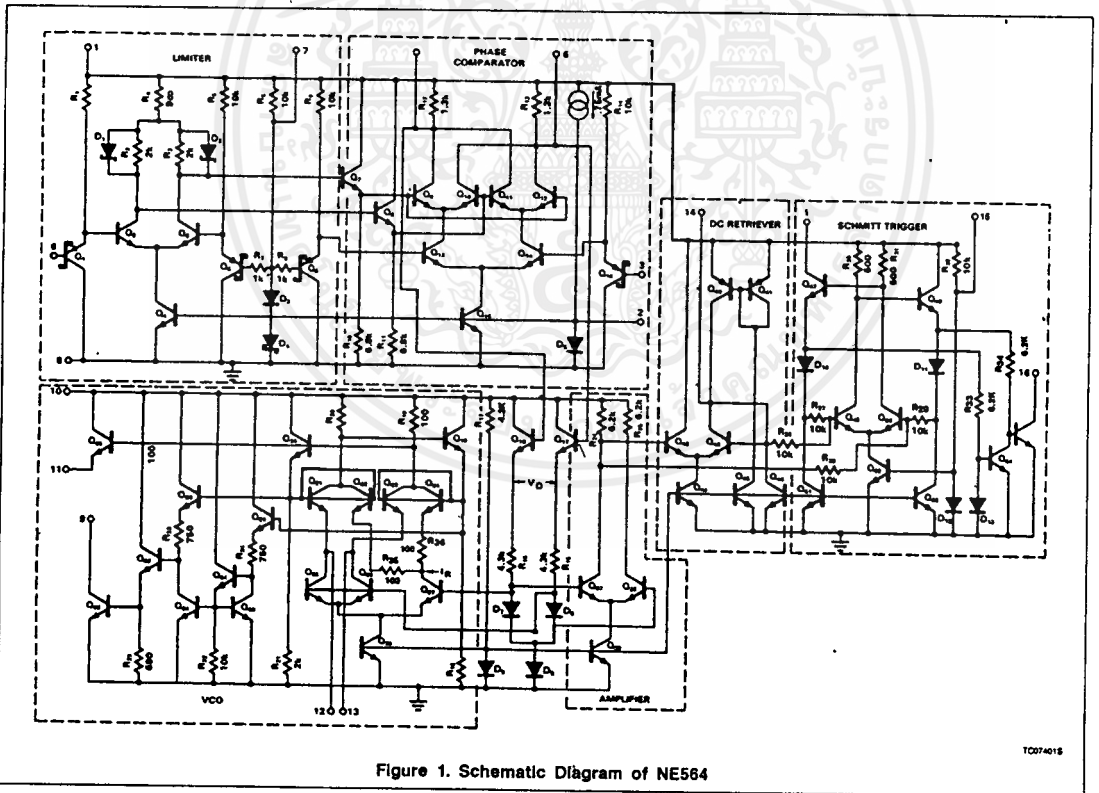


Figure 1. Schematic Diagram of NE564

TC074015

# Circuit Description of the NE564

AN179

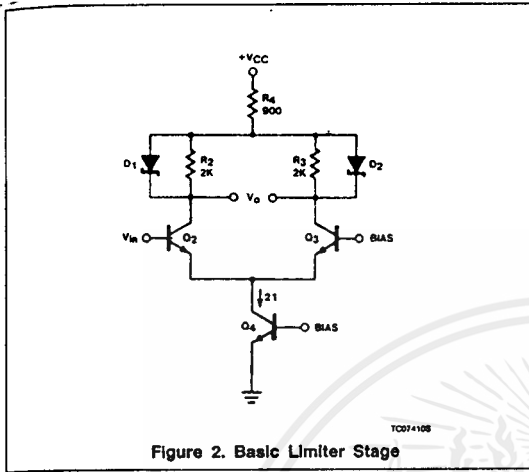


Figure 2. Basic Limiter Stage

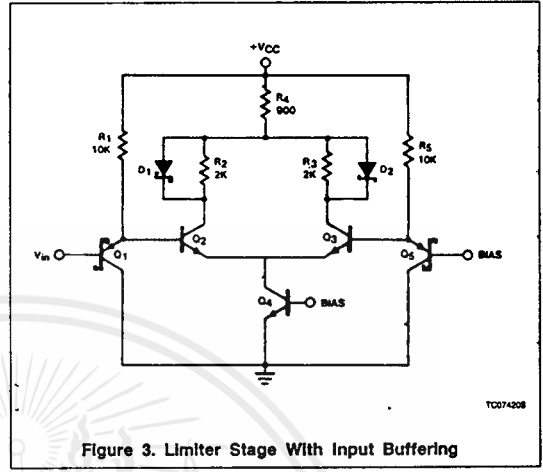


Figure 3. Limiter Stage With Input Buffering

## Phase Comparator

The phase comparator section of the 564 is shown in Figure 4. It is basically the conventional, double-balanced mixer commonly used in PLL circuits, with a few exceptions. The transconductance,  $g_M$ , for the  $Q_{13} - Q_{14}$  differential amplifier is directly proportional to the mirror current in  $Q_{15}$ . Thus, by externally sinking or sourcing current at Pin 2,  $g_M$  can be changed to alter the phase comparator's conversion gain,  $K_d$ . The nominal current injected into this node by the internal current source is 0.75mA for 5V operation. If the current is externally removed by gating, the phase comparator can be disabled and the VCO will operate at its free-running frequency.

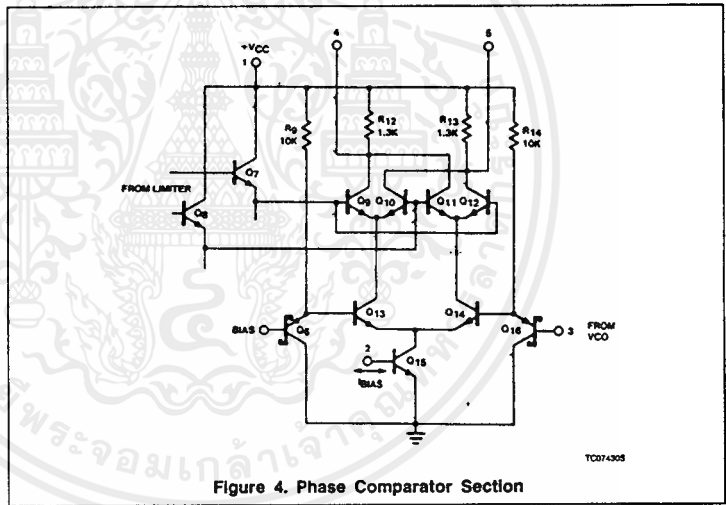


Figure 4. Phase Comparator Section

## Circuit Description of the NE564

AN179

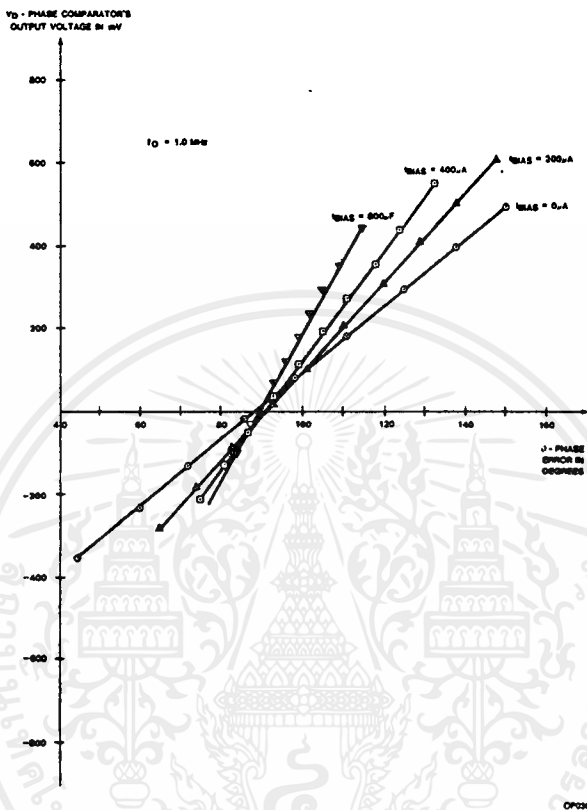


Figure 5. Variation of the Phase Comparator's Output Voltage vs Phase Error and Bias Current

## Circuit Description of the NE564

AN179

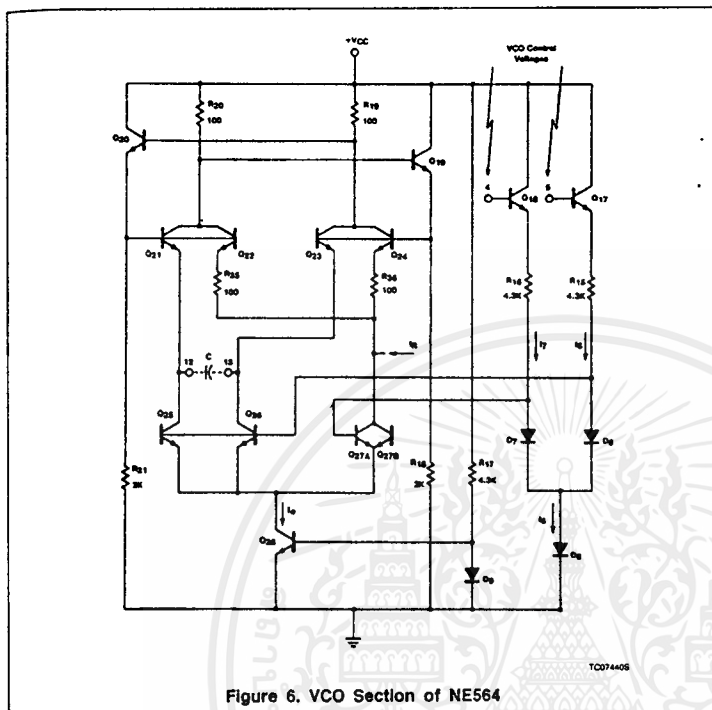


Figure 6. VCO Section of NE564

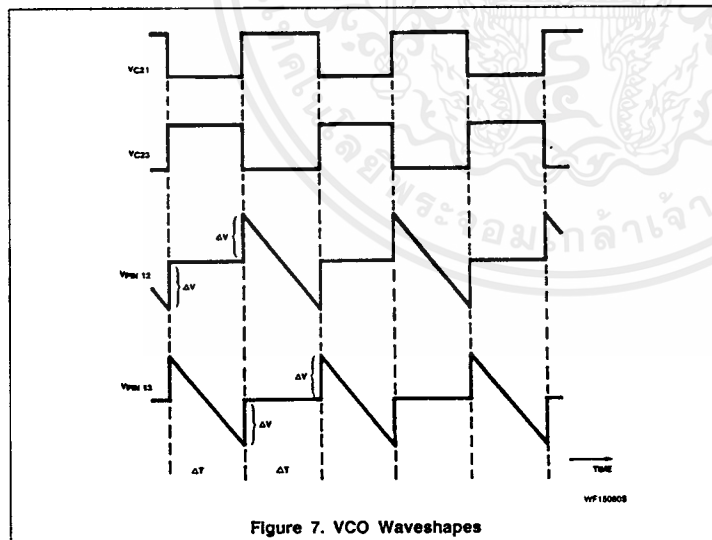


Figure 7. VCO Waveshapes

The variation of  $K_d$  with bias current at Pin 2 is shown in the experimental results of Figure 5. Note that the inherent  $90^\circ$  phase error in the loop produces an approximate zero-phase comparator output voltage. For any particular bias current, the slope of the line is the  $K_d$  conversion gain for the phase comparator. Numerically the data of Figure 5 can be expressed as

$$K_d \approx 0.46 \left( \frac{\text{volts}}{\text{rad}} \right) + 7.3 \times 10^{-4} \left( \frac{\text{volts}}{\text{rad} \times \mu\text{A}} \right) \times I_{\text{BIAS}} (\mu\text{A}) \quad (1)$$

Equation 1 is valid for bias current less than  $800\mu\text{A}$  where saturation occurs within the phase comparator.

The current level established in  $Q_{15}$  of Figure 3 determines all other quiescent currents in the phase comparator ( $Q_9$  through  $Q_{14}$ ). Currents through  $R_{12}$  and  $R_{13}$  set the common-mode output voltage from the phase comparator (Pins 4 and 5). Since this common-mode voltage is applied to the VCO to establish its quiescent currents, the VCO conversion gain ( $K_o$ ) also depends upon the bias current at Pin 2.

## VCO

The VCO is of the basic emitter-coupled astable type with several modifications included to achieve the high frequency, TTL compatible operation while maintaining low frequency drift with temperature changes. The basic oscillator in Figure 6 consists of  $Q_{19}$ ,  $Q_{20}$ ,  $Q_{21}$ , and  $Q_{23}$  with current sinks of  $Q_{25}$  and  $Q_{26}$ . The master current sink of  $Q_{28}$  keeps the total current constant by altering the ratio of currents in  $Q_{25}$ – $Q_{26}$  and the dummy current sink of  $Q_{27}$ .

The input drive voltage for the VCO is made up of common-mode and difference-mode components from the phase comparator. After buffering the level shifting through  $Q_{17}$ – $Q_{18}$  and  $R_{15}$ – $R_{16}$ , the VCO control voltage is applied differentially to the base of  $Q_{27}$  and to the common bases of  $Q_{25}$  and  $Q_{26}$ .

The VCO control voltages from the phase comparator are the Pin 4 and Pin 5 voltages or

$$V_4 = V_{C9} = V_{B18} = V_{CM} + \frac{1}{2}V_{DM} \quad (2)$$

$$V_5 = V_{C12} = V_{B17} = V_{CM} - \frac{1}{2}V_{DM} \quad (3)$$

where  $V_{CM}$  and  $V_{DM}$  are the respective common-mode and difference-mode voltages.

## Circuit Description of the NE564

AN179

Emitter-followers  $Q_{17}$  and  $Q_{18}$  convert these control voltages into control currents through  $D_6$  and  $D_7$  of the form

$$I_6 = \frac{1}{R_{15}} \left[ V_{CM} - \frac{1}{2}V_{DM} - 3V_{BE} \right] \quad (4)$$

$$I_7 = \frac{1}{R_{18}} \left[ V_{CM} + \frac{1}{2}V_{DM} - 3V_{BE} \right] \quad (5)$$

These individual currents are summed in  $D_8$  and become with  $R_{15} = R_{16} = R$ .

$$I_8 = I_6 + I_7 = \frac{2}{R}(V_{CM} - 3V_{BE}) \quad (6)$$

Writing  $I_6$  and  $I_7$  as functions of the total  $I$  current gives

$$I_6 = \frac{I}{2} \left( 1 - \frac{V_{DM}}{RI} \right) \quad (7)$$

$$I_7 = \frac{I}{2} \left( 1 + \frac{V_{DM}}{RI} \right) \quad (8)$$

Now consider variations in  $I_6$  and  $I_7$  while  $I$  remains constant.

Let 'x' indicate the current imbalance such that

$$I_6 = (1-x)I = \frac{I}{2} \left( 1 - \frac{V_{DM}}{RI} \right) \quad (9)$$

$$I_7 = xI = \frac{I}{2} \left( 1 + \frac{V_{DM}}{RI} \right) \quad (10)$$

where  $0 \leq x \leq 1$ . Thus x is defined to be

$$x = \frac{1}{2} \left( 1 + \frac{V_{DM}}{RI} \right) \quad (11)$$

Currents  $I_6$  and  $I_7$  establish proportional currents in  $Q_{25}$ ,  $Q_{26}$ , and  $Q_{27}$  in a manner similar to the analysis above since the current in  $Q_{28}$  is a constant, or

$$I_0 = I_{C28} = I_{E25} + I_{E26} + I_{E27A} + I_{E27B}$$

It can be shown that the  $D_7 - D_8$  diode pair will cause identical differential currents to be reflected in both the  $Q_{25} - Q_{26}$  and the  $Q_{27A} - Q_{27B}$  differential amplifier pairs. Consequently, the constant-current of  $I_0$ , jointly shared by the differential amplifier pairs, will divide in each pair with the same x factor imbalance as in Equation 11.

$$I_{E25} + I_{E26} = xI_0 \quad (12)$$

$$I_{E25} = I_{E26} = \frac{x}{2}I_0 \quad (13)$$

$$I_{E27A} + I_{E27B} = (1-x)I_0 \quad (14)$$

$$I_{E27A} = I_{E27B} = \left( \frac{1-x}{2} \right) I_0 \quad (15)$$

Now consider placing a capacitor between the collectors of  $Q_{25}$  and  $Q_{26}$  (Pins 12 and 13). Oscillation will occur with the capacitor alternately being charged by  $Q_{21}$  and  $Q_{23}$  and constantly discharged by  $Q_{25}$  and  $Q_{26}$ . When the  $Q_{21}$  and  $Q_{22}$  pair conducts,  $Q_{23}$  and  $Q_{24}$  will be off, causing a negative ramp voltage to appear at Pin 13 and a constant voltage at Pin 12 as shown in Figure 7. During the next half-cycle, the transistor roles and voltages are reversed. Capacitor discharge is via  $Q_{25}$  and  $Q_{26}$ , which act as constant-current sinks with current amplitudes as in Equation 13.

During each half-cycle, the capacitor voltage changes linearly by  $2\Delta V$  volts in  $\Delta T$  seconds where

$$\Delta V = 2R_{20}I_0 \left( \frac{x}{2} + \frac{1-x}{2} \right) = R_{20}I_0 \quad (16)$$

and

$$\Delta T = \frac{C2\Delta V}{I_{E25}} \quad (17)$$

Combining these two equations with Equation 13 gives a half period of

$$\Delta T = \frac{4C R_{20}}{x} \quad (18)$$

Utilizing Equation 11 with the  $\Delta T$  expression gives the desired VCO frequency expression of

$$f_0 = f_0' \left( 1 + \frac{V_{DM}}{RI} \right) = f_0' \left[ \frac{V_{DM}}{2(V_{CM} - 3V_{BE})} \right] \quad (19)$$

where  $f_0'$  is the VCO's free-running frequency given by

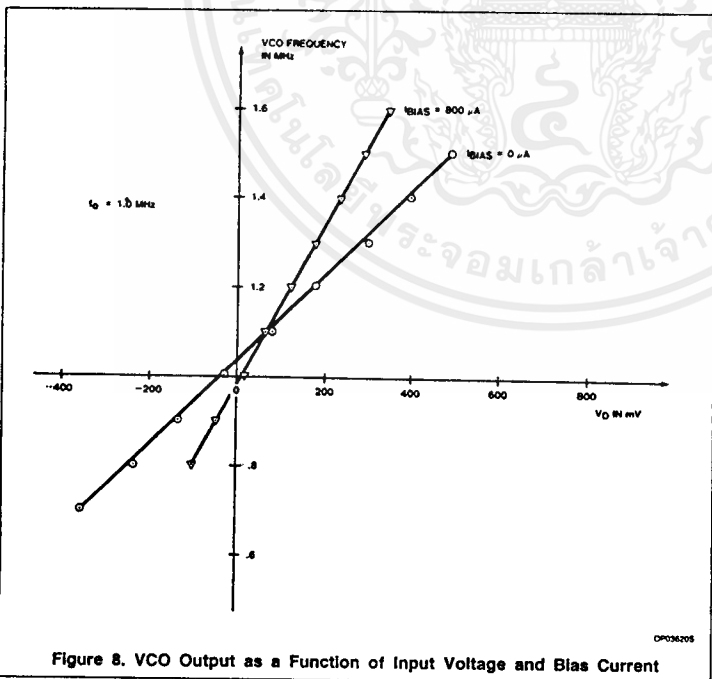
$$f_0' = \frac{1}{22 R_{20}C} \quad (20)$$

Equation 19 shows that the oscillator frequency is a linear function of the differential voltage from the phase comparator. Resistors  $R_{35}$  and  $R_{36}$  function to insure that an initial current imbalance exists between the  $Q_{25} - Q_{26}$  transistor pair and the dummy  $Q_{27}$ . This imbalance insures that the oscillator is self-starting when power is first applied to the circuit.

The VCO conversion gain is determined as

$$K_0 = \frac{\partial f_0}{\partial V_{DM}} = \frac{f_0'}{RI} \text{ Hz/V} \quad (21)$$

which is valid as long as the transistor's  $V_{BE}$  changes are small with respect to the common-mode voltage. Both  $f_0$  and  $K_0$  are in-



## Circuit Description of the NE564

AN179

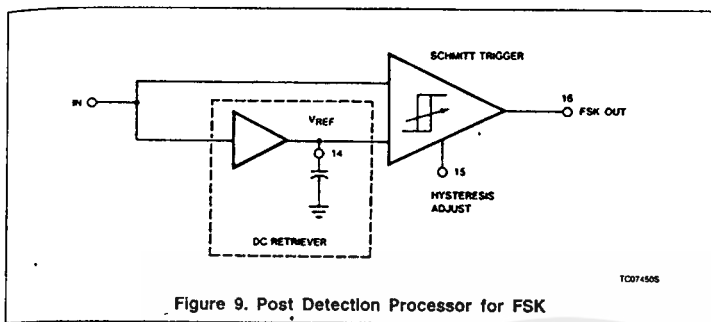


Figure 9. Post Detection Processor for FSK

versely proportional to  $R$ , which has a strong positive temperature coefficient. An internal current  $I_R$  having an equal and opposite negative temperature coefficient is inserted into the VCO as shown in Figure 6.

Experimental determination of  $K_o$  can be found from the data of Figure 8 where  $K_o$  is the slope of either line. Numerically these results are for  $I_{BIAS} = 0$ .

$$K_o = 0.95 \frac{\text{MHz}}{\text{V}} = 5.9 \times 10^6 \frac{\text{rad}}{\text{volt-sec}} \quad (22)$$

and for  $I_{BIAS} = 800 \mu\text{A}$

$$K_o = 1.7 \frac{\text{MHz}}{\text{V}} = 10.45 \times 10^6 \frac{\text{rad}}{\text{volt-sec}} \quad (23)$$

It must be noted that the specific values obtained for  $K_o$  in the manner above are valid only for the 1.0MHz free-running frequency where the data was taken. However, good estimates for  $K_o$  at other free-running frequencies can be obtained by linearly scaling  $K_o$  to the desired  $f_0'$ . Thus, it is sometimes convenient to define a normalized  $K_o$  as

$$\begin{aligned} K_{o(\text{norm})} &= \frac{K_o}{f_0'} = 5.9 \frac{\text{rad}}{\text{V}} (I_{BIAS} = 0) \\ &= 10.45 \frac{\text{rad}}{\text{V}} (I_{BIAS} = 800 \mu\text{A}) \quad (24) \end{aligned}$$

The  $K_o$  estimate for any bias then can be obtained by multiplying the normalized conversion gain by the desired free-running frequency, or

$$K_o(\text{any } f_0') = K_{o(\text{norm})} f_0' \quad (25)$$

The additional VCO circuitry of  $Q_{29}$  through  $Q_{36}$  functions to produce the TTL and ECL compatible outputs at Pins 9 and 11.

### Amplifier

The difference-mode voltage from the phase comparator is extracted and amplified by the amplifier in Figure 1. The single-ended output from this amplifier serves as input signals for both the Schmitt Trigger and a second differential amplifier. Low-pass filtering with a large capacitance at Pin 14 produces a stable DC reference level as the second input to the Schmitt Trigger. When the PLL is locked, the voltage at Pin 14 is directly proportional to the difference between the input frequency and  $f_0'$ . Thus Pin 14 provides the demodulated output for an FM input signal.

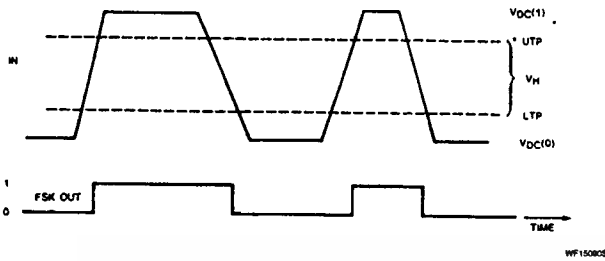
### Schmitt Trigger

In FSK applications, the Pin 14 voltage will assume two different voltage levels corresponding to the mark and space input frequencies. A voltage comparator could be used to sense and convert these two voltage levels to logic compatible levels. However, at high data rates,  $V_{DM}$  will contain a consider-

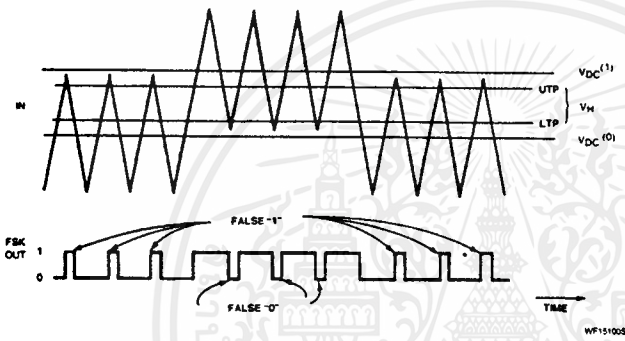
able amount of carrier signal which can be removed by extensive filtering. Normally this complex filtering requires quite a few components, most all of which are external to the monolithic PLL. Also, since the control voltage for the comparator depends upon  $K_o$  and the deviations of the mark and space frequencies from  $f_0'$ , the filtering has to be optimized for each different system utilized. However the necessary DC reference level for the comparator is present in the PLL but buried in carrier-frequency feedthrough which appears as noise in the system. A Schmitt trigger with variable hysteresis can be used successfully to decode the FSK data without the need for extensive filtering.

Consider the system shown in Figure 9 where the input signal is the single-ended output derived from the amplifier section of the 564. The DC retriever functions to establish a DC reference voltage for the Schmitt trigger. The upper and lower trigger points are adjustable externally around the reference voltage giving the variable hysteresis. For very low data rates, carrier feedthrough will be negligible and the ideal situation depicted in Figure 10 results. Increased data rate produces the carrier feedthrough shown in Figure 10b, where false FSK outputs result because the feedthrough amplitude exceeds the hysteresis voltage. Having the capability to increase the hysteresis, as in Figure 10c, produces the desired FSK output in the presence of carrier feedthrough.

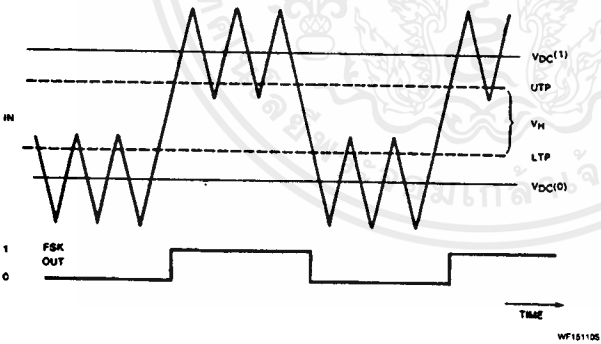
Another important factor to be considered is the temperature drift of the  $f_0'$  in the VCO. Small changes in  $f_0'$  will change the DC level of the input voltage to the Schmitt trigger. This DC voltage shift would produce errors in the FSK output in narrow-band systems where the mark and space deviations in  $f_{IN}$  are less than the  $f_0'$  change with temperature. However, this effect can be eliminated if the DC or average value of the amplifier signal is retrieved and used as the reference voltage for the Schmitt trigger. In this manner, variations in the  $f_0'$  with temperature do not affect the FSK output.



a. Low Data Rates With Negligible Carrier Feedthrough



b. False FSK Outputs Due to Feedthrough and Low Hysteresis



c. Increased Hysteresis Restores Proper FSK Output in the Presence of Feedthrough

Figure 10. Waveshapes for FSK Decoding in the Post Detection Processor

# AN182 Clock Regenerator With Crystal-Controlled Phase-Locked VCO (NE564)

Linear Products

Application Note

## INTRODUCTION

In order to obtain a local clock signal in Multiplexed Data Transmission systems, a phase and frequency coherent method of signal extraction is required. A Master-Slave system using the quartz crystal as the primary frequency determining element in a phase-lock loop VCO is used to reproduce a phase coherent clock from an asynchronous Data Stream.

The NE564, a versatile phase-locked loop (PLL) operating at frequencies of 50MHz, has inputs and outputs designed to be TTL compatible. The Signetics NE564 is used to generate the phase-locked, crystal-stabilized clock reference signal.

Its particular adaptation, for use with a crystal-controlled VCO instead of the usual RC control elements, requires a brief review of the principles of the Phase-Lock Loop design.

The NE564 Phase-Locked Loop is a fully contained system, including limiter, phase detector, VCO, DC amplifiers, DC retriever and output comparator (reference Figure 1). For the clock regeneration system to be discussed, the portions of the NE564 implemented are the input limiter, phase detector and VCO.

The signal limiter amplifies low level inputs (until saturation is reached, which is typically 60mV<sub>P-P</sub> for the NE564). The signal limiter output is fed to the phase detector, where the

"unknown" input is compared to the "known" VCO frequency of the NE564. The differential error signal that is generated is fed through a DC amplifier and a voltage-to-current converter. The change in the current generated forces the VCO frequency to vary in its frequency and/or phase relationship, such that a  $\theta$  of 90° lagging is obtained (the actual phase relationship may be somewhat less than 90° depending upon the  $K_dK_o$  (gain) product of the NE564 at the operating frequency and bias current). The external filtering incorporated at Pins 4 and 5 control the dynamic frequency response and loop stability criteria.

The NE564 is a first order system; therefore, the use of single capacitors (at Pins 4 and 5) will automatically create a "second-order" system. An RC series filter combination will cause a lead-lag condition that will permit dynamic selectivity, along with closed-loop stability.

## LOOP GAIN FUNCTIONS

The phase detector conversion gain ( $K_d$ ) and the VCO conversion gain ( $K_o$ ) determine, in large part, the lock range, capture range and linearity characteristics of the NE564. These device parameters are both dependent upon bias current and operating frequency. Some typical curves for each of the parameters are shown for the NE564 in Figures 2 and 3.

## THE CLOCK REGENERATOR CIRCUIT

The basic building blocks of the clock regenerator circuit are shown in Figure 4. The PLL is shown as a frequency multiplier incorporating a divide by "N" in the VCO phase detector feedback loop. The functions of the ringing circuit and the NE527 high-speed comparator will be discussed later.

The waveforms of Figure 5 indicate the waveforms transmitted over a T1 line. The bipolar signal transmitted has "no" DC components induced in the transmission line (reference should be made to the effect of normal mode and common effects on signal information). When transmitted over telephone wire pairs, the resultant signal (at the receive end) will have been degraded in both waveshape and signal-to-noise ratios. Typical attenuation factors for a T1 line are -30dB per 6000 feet.

In addition, pair-to-pair crosstalk can degrade signal-to-noise ratios. The energy transmitted in the bipolar system of signal transfer is centered at 772kHz (generated by the bit format).

At the receiving end the bipolar signal information is converted to a unipolar pulse train after being amplified, filtered and fed through an automatic level control circuit. Some types of PCM systems use the rectified and filtered DC (average) to control the phase of the regenerator clock; however, in newer systems, bipolar signals are preprocessed (or

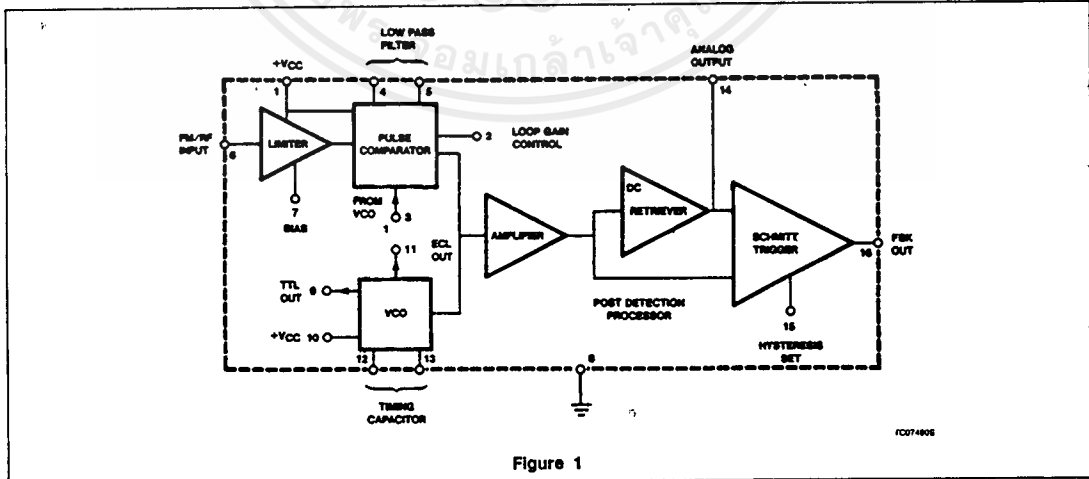


Figure 1

# Clock Regenerator With Crystal-Controlled Phase-Locked VCO (NE564)

AN182

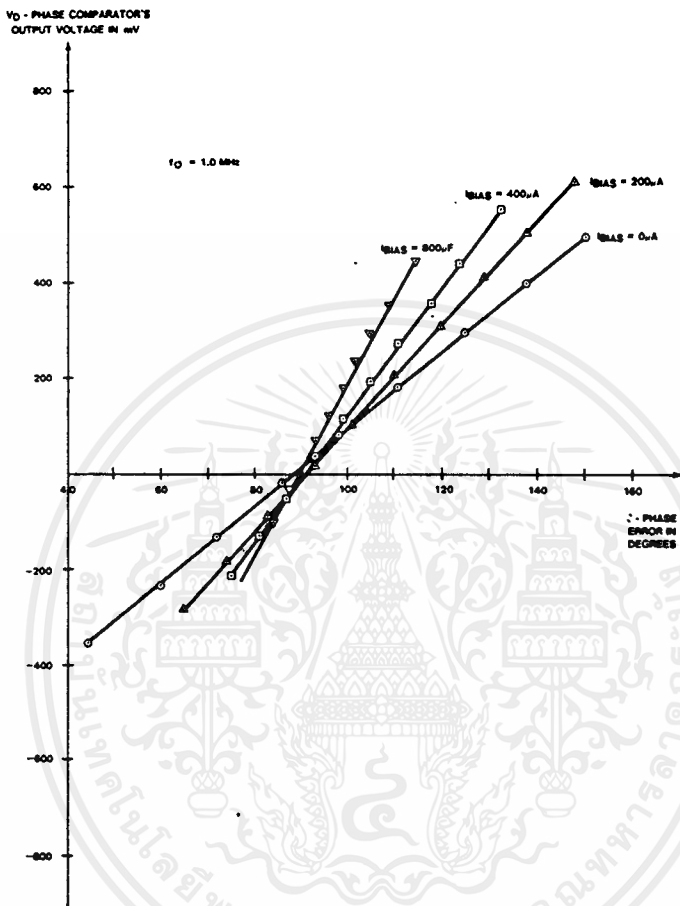


Figure 2. Variation of the Phase Comparator's Output Voltage vs Phase Error and Bias Current

# Clock Regenerator With Crystal-Controlled Phase-Locked VCO (NE564)

AN182

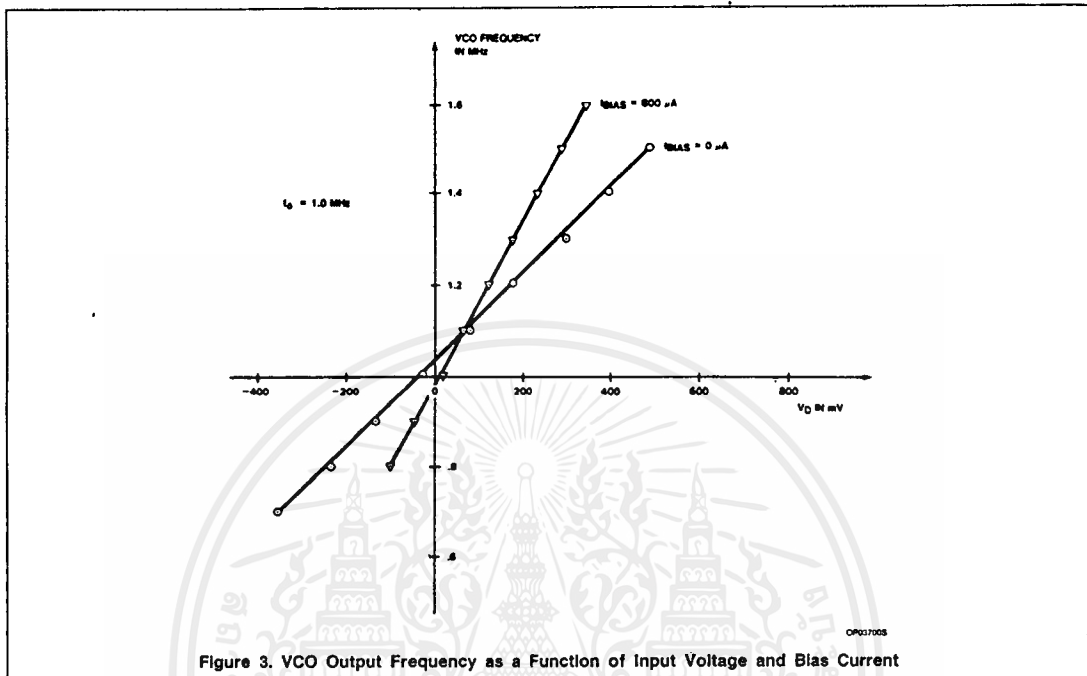


Figure 3. VCO Output Frequency as a Function of Input Voltage and Bias Current

preconditioned) by terminal common equipment resulting in unipolar information.

## T1 Data Transmission

The bipolar signal, as transmitted on a T1 line, appears below with the original binary, converted unipolar and clock waveform (reference Figure 5).

The bipolar signal, when transmitted over standard wire pairs, will be degraded both in wave shape and signal-to-noise by the time it reaches the signal repeater. This is due to the attenuation factor of the cable which is nearly -30dB for 6000 ft. In addition, pair to pair crosstalk degrades signal-to-noise. The energy in the transmitted bipolar signal is centered at 772kHz due to the particular bit format. Bipolar signals have no DC offset.

At each receiving station the bipolar signal is amplified, filtered and fed through an automatic level control circuit. A full wave rectified signal is then sent to the clock regeneration circuit. This is essentially the format followed by some of the original T1 repeater equipment. The clock regeneration circuit described here could be adapted to this system.

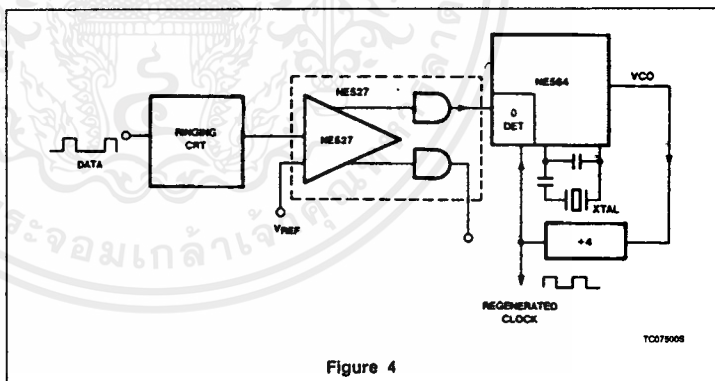


Figure 4

## THE T1 SPECTRUM

The bipolar signal is similar to NRZ data in that it does not contain carrier information. In order to give the PLL coherent frequency information sufficient to obtain "capture" and lock, carrier components must be obtained from the data stream. The time duration of the frequency information fed to the PLL is also important in order to obtain accurate and stable information to update the PLL. In order to begin the extraction of frequency information, the positive-going portions of the bipolar data signals are used to drive a class "C"

transistor tank circuit (reference Figure 4) which is sharply tuned to the basic clock frequency (1.544MHz). Each positive half cycle of data then starts a wave train of coherent information which is phase synchronous with each succeeding positive data bit. When the LC tank is optimally tuned, relatively extended periods without data bits can be tolerated with minimal loss of frequency and phase information. The combination of good short-term frequency stability of the high "Q" LC tank, coupled with the long-term stability of the crystal-controlled VCO, is the founda-

# Clock Regenerator With Crystal-Controlled Phase-Locked VCO (NE564)

AN182

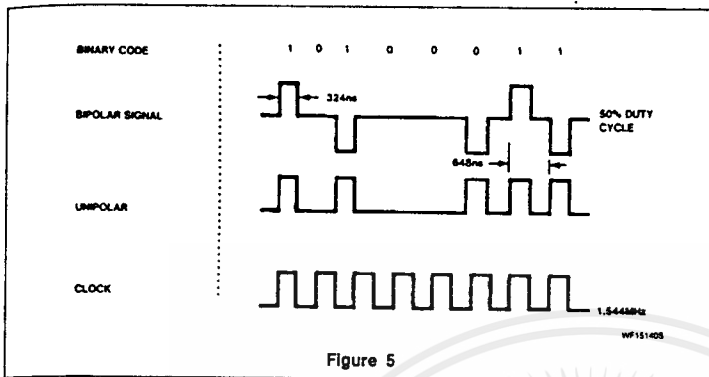


Figure 5

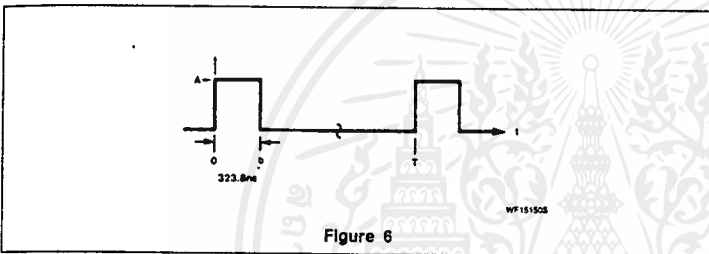


Figure 6

particular worst case condition is shown in Figure 7 below.

Solving equation 1 for the relative amplitude of the 1.544MHz spectral component with the pulse spacing shown,

$$F_{(16)} \left( \frac{Ab}{T} \right) \left| \frac{\sin\left(\frac{16\pi b}{T}\right)}{\left(\frac{16\pi b}{T}\right)} \right|$$

where  $T = 2nb$ ,  $n = 16$ .

$$= \left( \frac{Ab}{(2)(16)b} \right) \frac{\sin\left(\frac{16\pi b}{32b}\right)}{\left(\frac{16\pi b}{32b}\right)} = \frac{A}{32\pi} \\ = (0.02)A \\ = -34dB$$

It is evident that as the bit spacing increases to the point where  $f_0$  is the 16th harmonic of the fundamental, very little  $f_0$  energy is available to drive a phase-lock regeneration circuit.  $F_{(16)}$  is also ineffective since it is an even subharmonic of  $f_0$ . The PLL will not normally lock to even harmonics; in fact, an error signal is produced which tends to force the VCO out of lock. This fact further stresses the need for preprocessing in the frequency domain. The class "C" pulsed resonant tank significantly multiplies the magnitude of the  $f_0$  spectral component and filters out unwanted subharmonics.

The loop error voltage available from the phase detector for phase correction of the VCO is directly related to the product of the incoming coherent spectral energy multiplied in the balanced mixer with the reference signal derived from the VCO. Since the phase error information is integrated in the loop filters, the instantaneous magnitude of the DC error voltage is proportional to the time integral of coherent mixer products. Thus, as the magnitude and time duration of the desired frequency component is increased in the

tion of the NE564 clock regeneration system accuracy.

It must be emphasized that data pulse synchronization of the preprocessing circuit must be frequency coherent with the fundamental period of the time base to be extracted. That is, if the time period of the clock is  $\frac{1}{f_c} = T$ , where  $f_c$  is the clock frequency, then the spacing between any positive code bit sequence must be  $n \times T$  (reference Figure 6).

Looking at the spectral analysis of the relative energy available to the clock extraction circuitry (with a worst-case duty cycle of 1 of 16) will demonstrate the need for enhancing the particular desired frequency component before applying the signal to the Phase-Lock Loop. For  $f_0 = 1.544\text{MHz}$ , the period is  $T = 647.67\text{ns}$ . The pulse or bit width is  $323.8\text{ns}$ .

Here the bit duration  $323.8\text{ns} = b$ . The Fourier expansion of the discrete spectrum is related by the following equation:

$$F_{(n)} = \frac{(Ab)}{T} \left| \frac{\sin\left(\frac{n\pi b}{T}\right)}{\left(\frac{n\pi b}{T}\right)} \right| \quad n = 0, 1, 2, \dots \quad (1)$$

The basic frequency component resulting from various bit spacing factors is defined by the equation

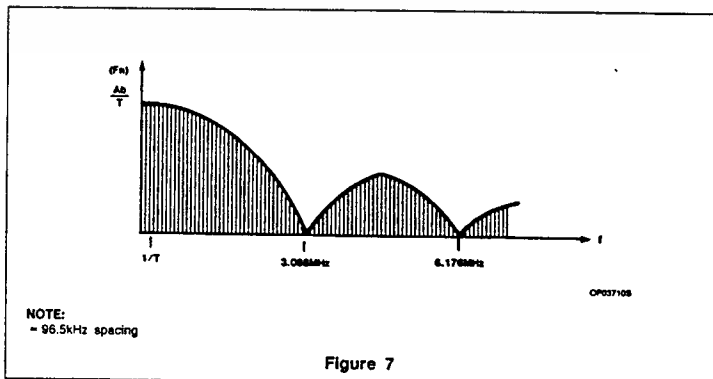
$$f = \frac{1}{T} \quad (2)$$

$$\text{where } f \leq f_0 = 1.544\text{MHz}$$

If we consider the special case of a single pulse present out of 16 bipolar or 32NRZ periods, then

$$T = 16 \text{ bipolar bit times} \\ = 16 \times 647.67\text{ns} = 10.36\mu\text{s} \\ f = 96.5\text{kHz}$$

Accordingly, the spectral lines will be spaced in multiples of 96.5kHz. The spectrum for this



NOTE:  
= 96.5kHz spacing

Figure 7

# Clock Regenerator With Crystal-Controlled Phase-Locked VCO (NE564)

AN182

preprocessing circuitry, the VCO phase accuracy is greatly improved. Capture time is obviously enhanced also.

The signal from the tuned tank is buffered by a FET follower N-channel enhancement mode device (reference Figure 12). This provides power gain with virtually no loading on the tank circuit and avoids degrading the "Q". The buffered signal is then fed to a high-speed comparator (Signetics' NE527) which allows for waveform symmetry adjustment in addition to providing a standard TTL output to drive the NE564 PLL.

In the particular circuit shown in Figure 12, the 1.544MHz information is applied to the phase detector input of the NE564 Phase-Lock Loop. The VCO, however, is operated at four (4) times this frequency in order to take advantage of economical and readily available crystals. The VCO signal is fed through a divide-by-four counter (74LS73) to provide the Phase Detector reference and final regenerated clock signal. To avoid loading, the clock signal (1.544MHz) is buffered by the 75451 peripheral driver which provides a high-speed open collector TTL output. The input signal is AC coupled in order to reduce DC bias errors in the Phase Detector caused by "0" level variations.

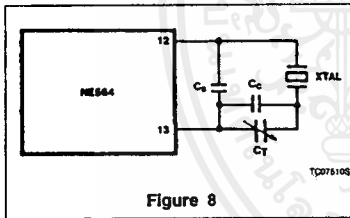


Figure 8

### The Crystal

The crystal used was chosen to match the NE564 VCO drive characteristics. It is an "AT" cut oscillator crystal which operates near the anti-resonate or "parallel" mode in this circuit. The crystal may have to be fine-tuned, as indicated in Figure 8. The pulling characteristic of the crystal is adequate to allow for 0 to 70°C operational drift plus initial and aging accuracy tolerance factors and still retain lock between master and slave station VCXOs. The average lock range at room temperature with one of sixteen data bits present is typically 1000Hz for a 6.176MHz crystal with a capture range greater than 500Hz.

For VCO operation at 6.176MHz, C<sub>s</sub> is 22pF, C<sub>0</sub> is 18pF, and C<sub>1</sub>, a 1 - 8pF trimmer capacitor (reference Figure 8).

### NE564 CRYSTAL-CONTROLLED VCO

As shown in Figure 8, the crystal is operated with a series capacitor. When properly trimmed, this allows the crystal to operate near the series resonant mode. A crystal manufactured to operate in the series resonant mode will do so only if it sees a pure resistance looking into the oscillator terminals. The circuit below shows an oscillator which looks inductive with the equivalent crystal circuit and trimmer capacitor C<sub>1</sub> (reference Figure 9).

If L<sub>0</sub> is small and the internal gain of the device high over a wide frequency range, L<sub>0</sub> may resonate with the C<sub>0</sub> of the crystal at a very high frequency. Under certain conditions the circuit may even tend to operate in the 3rd overtone mode unless measures are taken to roll-off the circuit gain. This is the purpose of C<sub>s</sub> in Figure 8. Since the gain of the VCO is a factor in spurious oscillation, the current injected into Pin 2 will also have an effect in this respect. (K<sub>0</sub> increases with I<sub>2</sub>). At higher operating frequencies this parameter may become more critical in attaining stable start ups in the desired frequency mode. Obviously the size of C<sub>s</sub> must be smaller than the value needed to cause free running near the desired frequency without the crystal connected.

### CRYSTAL SPECIFICATION

Crystals may be manufactured to operate in either the series mode with no external capacitance (purely resistive load) or in the parallel mode with a specified value of load capacitance. The 564 tends to operate at a frequency above the specified value when a series mode crystal is used. For a design frequency of 6.176000MHz and zero load capacitance. Referring to Figure 8, for C<sub>s</sub> = 10pF and C<sub>T</sub> = 10pF the average center frequency for an NE564 sample measured in the lab was 6181.192kHz. For the same C<sub>s</sub>,

but with C<sub>T</sub> equal to 60pF, f<sub>0</sub> measured 6176.565kHz. A second crystal showed a spread of 6176.600kHz to 6180.855kHz. The effect of the VCO was to pull the crystal to a frequency above its design value. This effect is then nearly tuned out by the external capacitances C<sub>s</sub> and C<sub>T</sub>. If C<sub>T</sub> is sufficiently increased, the crystal will see a purely resistive load and operate at its rated frequency.

A second approach is to specify a crystal which is to operate near the anti-resonate or parallel mode. Normally this is done with a certain value of external load capacitance specified by the customer which matches the existing circuit parameters. The maximum difference between series and parallel resonance for any crystal is 0.5% of f<sub>0</sub> (series resonant mode); for f<sub>r</sub> = 6.126MHz, 0.5% of f<sub>r</sub> = 30kHz. The usual value would be lower than this.

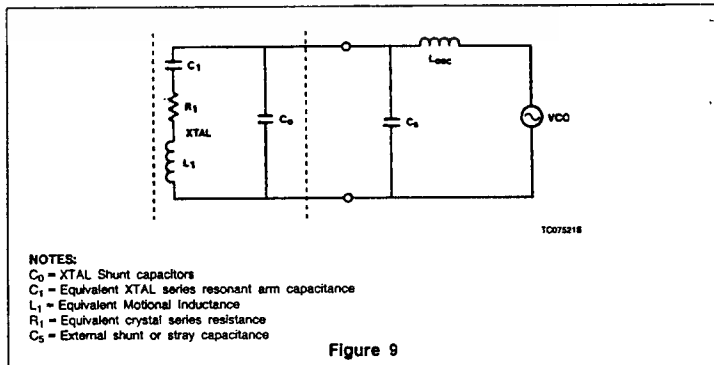
$$f_s = f_r \sqrt{1 + \frac{1}{r_0}}$$

r<sub>0</sub> = electromechanical coupling factor, f<sub>a</sub> = parallel resonant frequency). The particular cut of the crystal material determines the drift response over temperature. For oscillator applications, the AT cut offers the best overall stability over a wide frequency and temperature range. Final design uses second approach.

For a stability or total tolerance of ±15ppm over the rated operating range of -20°C to +70°C, a certain manufacturer's crystal actually performed as shown above (Refer to Figure 11).

Calibration accuracy is the allowable frequency tolerance at the reference temperature, i.e., ±10ppm @ 25°C.

Third, is a long-term drift spec which determines the customer's maximum allowable drift due to aging effects. An acceptable value in quality crystals is ±2ppm/year.



**NOTES:**

- C<sub>0</sub> = XTAL shunt capacitors
- C<sub>1</sub> = Equivalent XTAL series resonant arm capacitance
- L<sub>1</sub> = Equivalent Motional Inductance
- R<sub>1</sub> = Equivalent crystal series resistance
- C<sub>s</sub> = External shunt or stray capacitance

Figure 9

# Clock Regenerator With Crystal-Controlled Phase-Locked VCO (NE564)

AN182

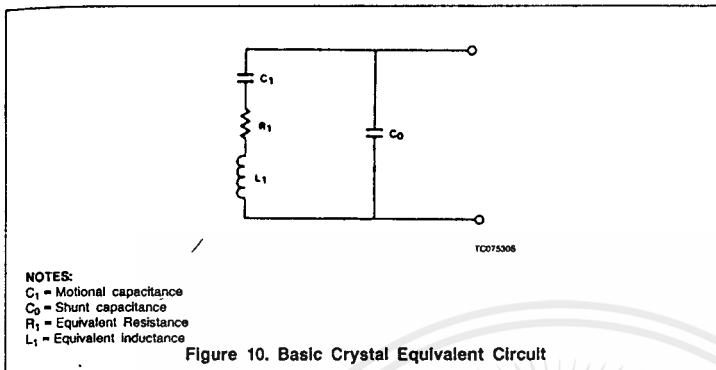


Figure 10. Basic Crystal Equivalent Circuit

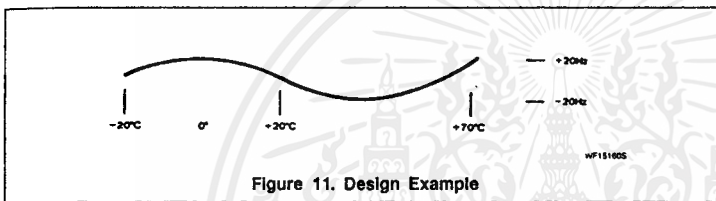


Figure 11. Design Example

Using our reference crystal of 6.176MHz and the above specifications, the crystal limits over a 1 year period would be:

Temperature stability:	$\pm 15\text{ppm} \times 6.176$ $= \pm 93\text{Hz}$
Calibration tolerance:	$\pm 10\text{ppm} \times 6.176$ $= \pm 62\text{Hz}$
@ 25°C	
Long term drift:	$\pm 2\text{ppm} \times 1 \times 6.176$ $= \pm 12\text{Hz}$
Total:	$(\pm 167\text{Hz})$

The above figure of  $\pm 167\text{Hz}$  then determines the capture and lock range over which two crystal stabilized VCOs must track under worst case conditions when the exact same crystal specifications are used for master and slave units within an operational system.

## Crystal Specifications

### 'AT' Cut Oscillator Type

Fundamental mode operation HC-33 Case (Standard)

Calibration tolerance:	$\pm 10\text{ppm} @ 25^\circ\text{C}$
Temperature stability:	$\pm 15\text{ppm}; -15^\circ\text{C} \text{ to } +65^\circ\text{C}$
Circuit operating condition:	Parallel resonance

Frequency specified: 6.176000MHz

Part designation:

Crovan #A330 DEF-32 or equivalent

### Setup Procedure

Referring to Figure 12, the following setup procedure will aid the user in establishing proper circuit operation.

Regulated supply voltage of +5V and -6V are required. Current drain on the +5V line is  $\sim 100\text{mA}$ , and 6mA for the -6V.

With proper voltage applied, (1) First check the supply currents to be sure they are in the range indicated above. (2) Check the operation of the NE564 VCXO by looking at Pin 9 with an oscilloscope (see Figure 13). A reasonably symmetric square wave should be present, having a frequency near 6.1MHz. (3) Attach a DVM across the 2k resistor which feeds Pin 2 of the NE564 and adjust for a reading of 2.00V, indicating a 1mA DC current flowing into Pin 2 (The (+) lead of the DVM should be connected to the end of the 2k resistor which ties to the wiper of the 10k pot and the (-) lead to Pin 2 of the 564; reference Figure 14). (4) The exact center frequency is set by adjusting  $C_1$ , the crystal trimmer cap, for exactly 6.176000MHz with no signal input (this sets the center frequency of the VCXO to free-run in the center of the capture range). (5) Enable strobe 'A' and 'B' with a +2.7V min. to +5V max. level. Apply a standard 1.544MBS NRZ data signal to the input terminal, terminated in 50Ω. The amplitude should be +3 to +5V (0 to peak). Set the duty cycle for 1 bit in a 16-bit period. Note the data

generator must be driven from a crystal-controlled master oscillator also adjusted for a center data rate of 1.544 000MBS. Monitor the buffered output of the ringing circuit with a scope connected to the source of the SD213 (Figure 15). The waveform should appear as in Figure 17. (6) Adjust tank trimmer cap  $C_T$  for a maximum amplitude and note that the cycle period should be 647ns. (7) Now monitor the comparator output signal at Pin 7 and adjust  $R_1$  for a 50% duty cycle. The same signal will appear at Pin 5 of the NE527 except it will be inverted. The signal on Pin 7 of the NE527 and Pin 6 of the NE564 should appear as shown in Figure 19. Now attach one lead of a dual-trace scope to Pin 7 of the NE527 and the other to Pin 3 of the NE564 as shown (Figure 16).

The two signals should be in phase-locked with an approximate 90° differential as shown in Figure 20 (data signal applied to @ 1.544MBS). If lock does not occur, a slight trimming of the crystal trimmer  $C_T$  should correct for slight differences in master-to-slave crystal tolerance. It is recommended that master and slave crystals be of the exact same design and specification to insure optimal tracking over time and temperature. A recommended manufacturer and part number appears at the end of this application note for your convenience.

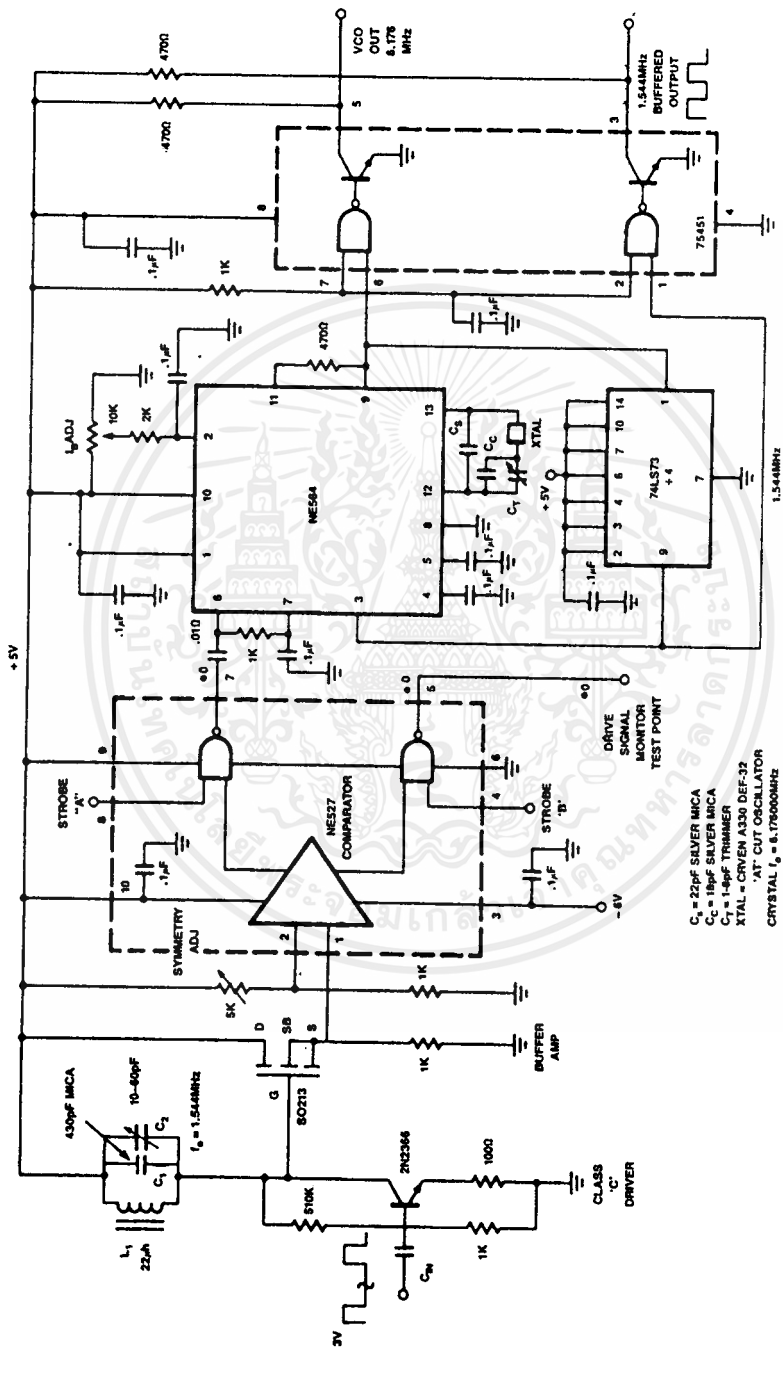
Once lock is attained, move one lead of the dual-trace scope to the buffered output of the 75451 Pin 3, leaving the other scope probe on Pin 6 of the NE564. The phase-locked waveform should appear as in Figure 25. If a data word generator is being used, you may check overall operation for various bit patterns by synchronizing the scope trigger on the "end of word" pulse, then observe the phase error effect as different combinations are fed in.

## PHASE JITTER

When operating with real-time data transmission, the PLL loop filters must be optimized to minimize regenerated clock jitter. A good grade of mylar capacitor is recommended as connected to Pins 4 and 5 of the NE564. A simple pair of shunt-connected loop filter caps of 0.33μF to 0.76μF was found to be adequate.

# Clock Regenerator With Crystal-Controlled Phase-Locked VCO (NE564)

AN182



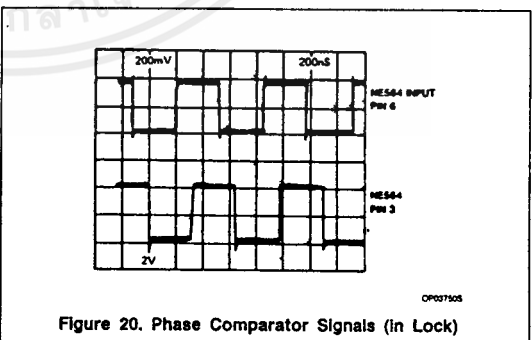
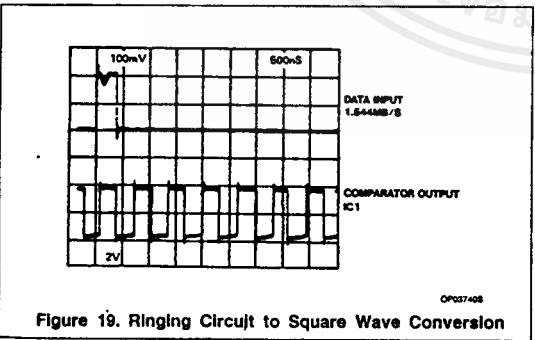
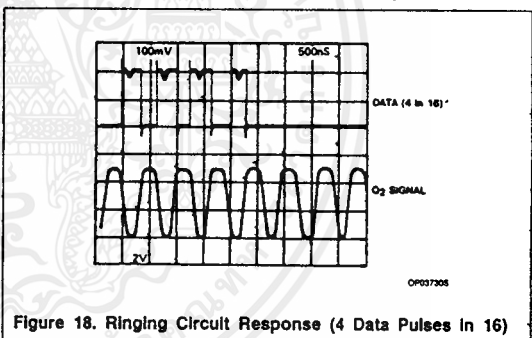
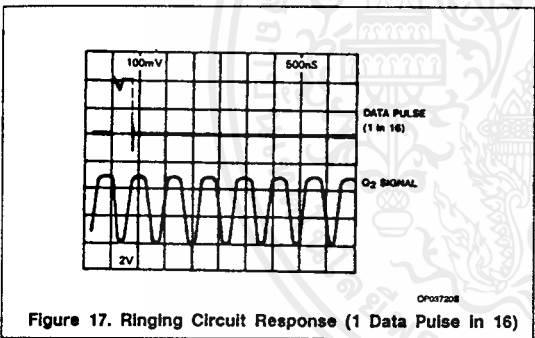
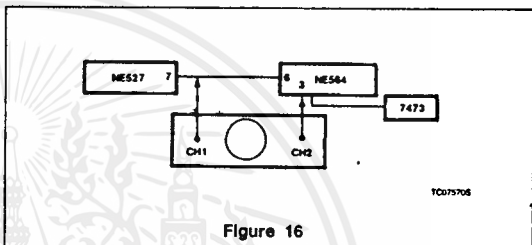
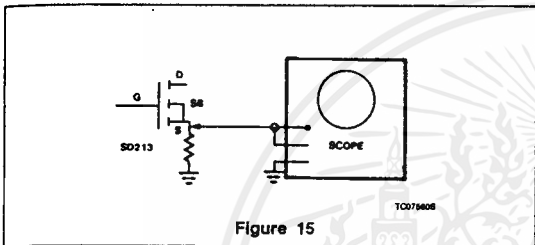
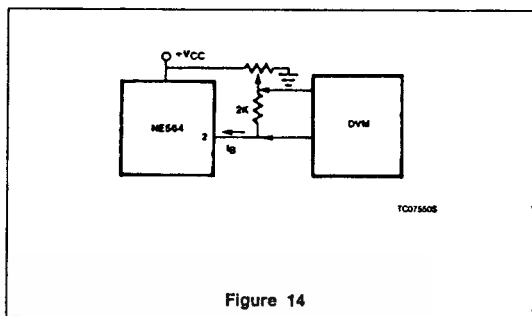
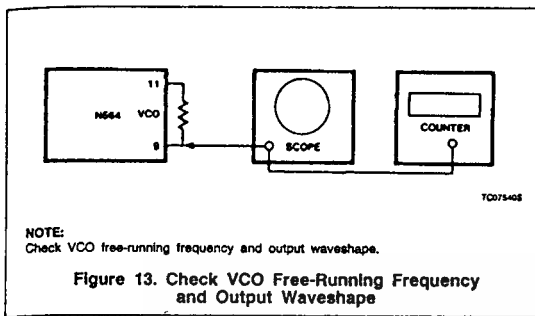
$C_1$  = 22pF silver mica  
 $C_2$  = 18pF silver mica  
 $C_3$  = 1.0pF trimmer  
 $C_4$  = 1.0pF trimmer  
 $C_5$  = CRVEN A330 DEF-32  
 XTAL = CRVEN A330  
 'AT' CUT OSCILLATOR  
 CRYSTAL  $f_0$  = 6.178000MHz

NOTES:  
 $C_3$  = 22pF silver mica  
 $C_4$  = 18pF silver mica  
 $C_5$  = 1.0pF trimmer  
 XTAL = CRVEN A330 Del-32  
 'AT' cut oscillator  
 crystal  $f_0$  = 6.178000MHz

Figure 12. Data Transmission System Clock Regenerator

# Clock Regenerator With Crystal-Controlled Phase-Locked VCO (NE564)

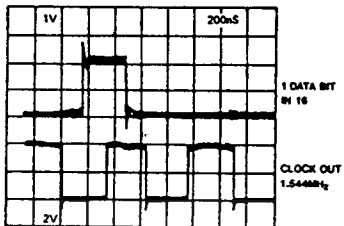
AN182



4

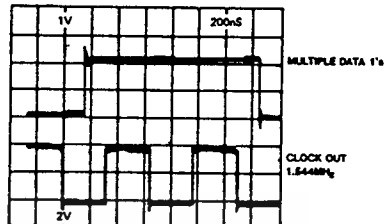
# Clock Regenerator With Crystal-Controlled Phase-Locked VCO (NE564)

AN182



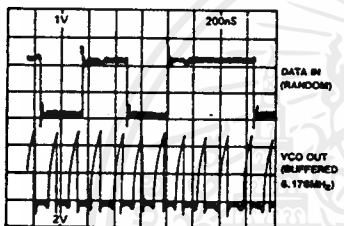
OP037808

Figure 21. Regenerated Clock Signals



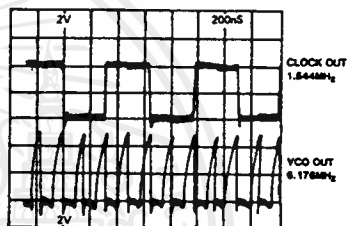
OP037705

Figure 22. Regenerated Clock Signals



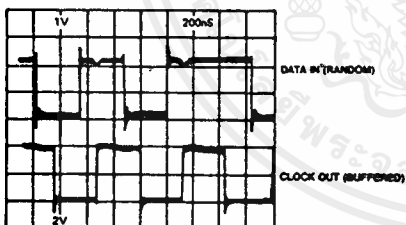
OP037805

Figure 23. Regenerated Clock Signals Relative to NE564 VCO Signal



OP037805

Figure 24. Regenerated Clock Signal Relative to NE564 VCO Signal



OP028005

Figure 25. Regenerated Clock Signal Relative to Random NRZ Data Signal

## References

1. "Fourier Analysis" by Hwei P. Hsu. Simon & Schuster Tech Outlines
2. "Pulse and Digital Circuits" by Millman and Taub McGraw Hill
3. "Phaselock Techniques" by Floyd M. Gardner Wiley, 1966