



ชุดพัฒนาไมโครคอนโทรลเลอร์ 80C535

80C535 Microcontroller Develop Kit



นายอนงค์ นานิชสรณ์ 34161238

นายอภิชาติ สืบปร 34161240

อาจารย์ที่ปรึกษา

อ.วิทยา ทิพย์สุวรรณพร

ปริญญาบัตรสำหรับปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

คณะวิศวกรรมศาสตร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032515

ปีการศึกษา 2535

ภาควิชา เทคโนโลยีการวัดคุมทางอุตสาหกรรม

สาขา เทคโนโลยีการวัดคุมทางอุตสาหกรรม

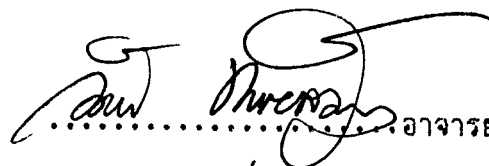
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ชุดพัฒนาไมโครคอนโทรลเลอร์ 80C535

80C535 Microcontroller Develop Kit

ผู้จัดทำ

1. นายอนุพงศ์ นานิชลรณ์ 34161238
2. นายอภิชาติ สิบปรุ 34161240



.....อาจารย์ที่ปรึกษา
(อ.วิทยา ทินย์สุวรรณพร)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

032515

บทคัดย่อ

โครงการนี้แบ่งเป็น 2 ส่วนคือ

1. ฮาร์ดแวร์ โดยการสร้างการ์ดขึ้นมาเพื่อเสียบบนสล็อตของเครื่อง ไอบีเอ็ม XT/AT ให้มีการติดต่อกับผู้ใช้โดยที่เครื่องไอบีเอ็ม จะเป็นส่วนจัดการเกี่ยวกับการรับส่งข้อมูลผ่านทางคีย์บอร์ดและจอภาพ โดยที่คีย์บอร์ดจะทำหน้าที่เป็นส่วนอินพุต และจอภาพจะทำหน้าที่เป็นส่วนเอาต์พุต การ์ดที่สร้างขึ้นนั้นจะมีหน่วยความจำสแตติกแรมขนาด 32 กิโลไบต์ 8 บิต จำนวน 2 ตัว เพื่อที่จะใช้เป็นหน่วยความจำของ SAB 80C535 ซึ่งเป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต ข้อมูลและ 16 บิต แอสเตอเรล และยังต้องมีส่วนมัลติเพลกซ์ส่วนควบคุมการทำงานของแอสเตอเรลบัส ส่วนการทำอินเทอร์เฟส ส่วนควบคุมบัสข้อมูลและบัฟเฟอร์ โดยการนำวงจรแต่ละส่วนที่ได้ออกแบบมาต่อรวมเข้าด้วยกันเป็นระบบขึ้นมา

2. ซอฟต์แวร์ โดยต้องเขียนซอฟต์แวร์ขึ้นเพื่อสนับสนุนการใช้งานของการ์ด ซึ่งมีโปรแกรมโหลดเดอร์ โปรแกรมดีบักเกอร์ ส่วนโปรแกรมแอสเซมเบลอร์นั้นจะใช้โปรแกรมที่สนับสนุนซีพียูตระกูล 8051 ที่มีอยู่ในท้องตลาดทั่วไปก็ได้ โดยที่โปรแกรมแอสเซมเบลอร์มีหน้าที่ในการแปลภาษาแอสเซมบลีของ 80C835 ให้เป็นภาษาเครื่อง โปรแกรมโหลดเดอร์ใช้สำหรับทำการโหลดข้อมูลในหน่วยความจำของเครื่องไอบีเอ็ม ไปไว้ในหน่วยความจำบนการ์ดของ 80C535 และโปรแกรมดีบักเกอร์เป็นโปรแกรมที่ช่วยอำนวยความสะดวกในการพัฒนาโปรแกรมภาษาแอสเซมบลี ให้ความง่ายและสะดวกสบายในการแก้ไขและตรวจสอบ

ไมโครคอนโทรลเลอร์ 80C535 ก็เป็นหนึ่งในจำนวนไมโครคอนโทรลเลอร์ ที่มีความสามารถและคำสั่งพื้นฐานเหมือนกับ ไมโครคอนโทรลเลอร์ตระกูล MCS-51 แต่จะมีความสามารถพิเศษที่เพิ่มขึ้นมามากมาย เช่นมีตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอล และมีตัวป้องกันไม่ให้ไมโครคอนโทรลเลอร์หยุดทำงานรวมถึงพอร์ตสองทางถึงหกชุด และสิ่งที่เพิ่มเติมนอกจากนี้จะขอก้าวไวในปฏิญญาพันธันนี้และ ได้นำความสามารถเหล่านี้มาทำเป็นชุดพัฒนาบนไมโครคอมพิวเตอร์ ในรูปแบบของไมโครคอนโทรลเลอร์ที่สามารถนำไปใช้ในงานควบคุม หรือจะใช้ทำเป็นชุดพัฒนาทางซอฟต์แวร์และฮาร์ดแวร์โดย มีทั้งซอฟต์แวร์ดีบักเกอร์และฮาร์ดแวร์ดีบักเกอร์ เพื่อไว้ใช้ในการพัฒนาซอฟต์แวร์ในงานควบคุม ซึ่งตัวไมโครคอนโทรลเลอร์นี้นั้นสามารถจะทำงานอยู่บนตัวไมโครคอมพิวเตอร์ หรือจะทำงานโดยอิสระด้วยตัวของมันเองโดยผ่านทาง RS-232 หรือจะใช้ EPROM ในการเก็บโปรแกรมที่ได้

ABSTRACT

This Project is have two parts as

1. HARDWARE

By build The 80535 Development card for working on IBM.PC slot or stand alone working. The user can communicate with this card by key board and the monitor of IBM. PC or compatable. The card's memory is have two 32 Kbyte 8 Bit static ram and have the multiplex and demultiplex of data and address parts.

2. SOFTWARE

By creat program for manage the card memory. For software it have the loader program, debugger program. The assembler procedure cad use any 8051 family utility program for convert the assembly program to machine code.

The loader program is use for down load from IBM.PC to the card memory and the debugger program is the utility of the assembly development program.

The 80C535 CPU. Is the microcontroller that have basic command as the MCS-51 family but it hame more than function by include analog to digital converter (ADC) function, watchdog timer, and 6 user ports.

The purpose of this thesis is for build and use 80535 card for use in the control processing or use for softward development. For this card able to run on IBM PC slot or stand alone working bt use RS-232 communication.

บทคัดย่อ

Abstract

บทนำ

วัตถุประสงค์ของปริญญานิพนธ์

ขอบเขตของงานวิจัย

บทที่ 1	ความรู้ทั่วไปเกี่ยวกับไมโครคอนโทรลเลอร์เบอร์ 80C535.....	1
1.1	คุณสมบัติของไมโครคอนโทรลเลอร์.....	1
1.2	การทำหนดขาสัญญาณและพอตต์ต่างๆ ของ 80C535.....	5
1.3	การจัดหน่วยความจำภายในและภายนอก.....	12
1.4	การอินเทอร์รัพต์.....	15
บทที่ 2	การสร้างฮาร์ดแวร์ของ 80C535 ไมโครคอนโทรลเลอร์.....	17
2.1	คุณสมบัติของ 80C535 ไมโครคอนโทรลเลอร์.....	17
2.2	แนวทางการออกแบบ.....	18
2.3	การสร้างระบบไมโครคอนโทรลเลอร์.....	18
2.4	การทำงานของวงจร.....	24
2.5	การติดตั้ง JUMPER.....	29
บทที่ 3	การออกแบบส่วนซอฟต์แวร์.....	31
3.1	บทนำ.....	31
3.2	ซอฟต์แวร์ตีบ๊กเกอร์.....	31
3.2.1	แนวทางการออกแบบ.....	31
3.2.2	การทำงานของโปรแกรม.....	46
3.2.3	คำสั่งการใช้งานตีบ๊กเกอร์.....	46
บทที่ 4	บทสรุป	
3.1	สรุปผลการทดลอง.....	49
3.2	ปัญหาที่เกิดขึ้น.....	49

หนังสืออ้างอิง.....	52
ภาคผนวก ก ชุดคำสั่งของ SAB 80C535.....	53
ภาคผนวก ข คู่มือลักษณะของ SAB 80C535.....	86



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

ในปัจจุบันเทคโนโลยีสมัยใหม่ที่มีความสำคัญและมีอิทธิพลต่อความเป็นอยู่ในชีวิตประจำวันอย่างหลีกเลี่ยงไม่ได้ และมีแนวโน้มว่าจะเพิ่มความสำคัญยิ่งขึ้นไปอีกในอนาคต ทั้งงานทางด้านอุตสาหกรรม ด้านการแพทย์ตลอดจนถึงงานในบ้านที่ต้องการความสะดวก รวดเร็ว เพื่อให้สอดคล้องกับความเจริญก้าวหน้าในปัจจุบัน แต่ในทางกลับกันเป็นเรื่องที่มีความยุ่งยากมากในการที่จะศึกษาและทำความเข้าใจกับสิ่งประดิษฐ์ใหม่ๆ ที่เกิดขึ้นมาในท้องตลาดโดยเฉพาะเทคโนโลยีทางด้านไมโครโพรเซสเซอร์และ ไมโครคอนโทรลเลอร์ที่เกิดขึ้นมาใหม่ๆ ซึ่งการที่จะนำตัวมันและโปรแกรมของมันมาใช้งานได้จริงๆ นั้นเป็นสิ่งที่ต้องใช้เวลาในการศึกษา บางทีอาจจะมีการแก้ไขซ้ำแล้วซ้ำอีก โดยเฉพาะทางด้านการเขียนโปรแกรมอาจจะทำเป็นสิบๆ ครั้ง จึงได้มีหลายๆฝ่ายได้สร้างเป็นชุดพัฒนาเฉพาะสำหรับไมโครโพรเซสเซอร์ตัวนั้นเลย ซึ่งส่วนมากก็จะเป็นไมโครโพรเซสเซอร์เบอร์ที่ออกมาสู่ตลาดได้พอสมควรและได้รับความนิยม แต่สำหรับไมโครโพรเซสเซอร์ที่ออกมาใหม่ๆ จึงเป็นการยากที่จะศึกษา ซึ่งสำหรับในปัญหานี้ขอเสนอการนำไมโครคอนโทรลเลอร์ใหม่ๆ มาทำเป็นชุดพัฒนาทั้งทางด้านซอฟต์แวร์ และฮาร์ดแวร์ โดยใช้ความสามารถของไมโครคอมพิวเตอร์มาช่วย ในการเพิ่มความสามารถและความคล่องตัวของชุดพัฒนา

วัตถุประสงค์ของปฏิญญาพนธ์

ตามที่ได้กล่าวมาแล้วว่าในปฏิญญาพนธ์นี้เป็นการศึกษาการทำงาน ของไมโครคอนโทรลเลอร์เบอร์ 80C535 ซึ่งพัฒนาบนไมโครคอมพิวเตอร์ เพื่อนำไปทำเป็นชุดพัฒนางานในด้านต่างๆ ได้หลายด้านและเป็นการศึกษาถึงรูปแบบต่างๆ ไปของวงจรดิจิทัลและทางด้านไมโครโปรเซสเซอร์และ เป็นการศึกษากการติดต่อกับไมโครคอมพิวเตอร์กับไมโครโปรเซสเซอร์เบอร์อื่นๆ และกับอุปกรณ์ทั้งทางด้านอนาล็อกและดิจิทัลและ ที่สำคัญนั้นคือได้ศึกษาโปรแกรมที่ช่วยในงานพัฒนาทางด้านภาษาแอสเซมบลีตามรายการต่อไปนี้ คือ โปรแกรม Cross-32 Meta-Assembler ของ Universal Cross-Assemblers ซึ่งเป็นโปรแกรมแปลภาษาแอสเซมบลีให้เป็นภาษาเครื่อง, 8051SIM ของ Hitech Equipment Corporation เป็นโปรแกรมจำลองให้เครื่องไมโครคอมพิวเตอร์ให้มี ไมโครโปรเซสเซอร์เป็นเบอร์ 8051 และโปรแกรม AvCase ของ AVOCET SYSTEMS, INC. เป็นโปรแกรมพัฒนาภาษาแอสเซมบลีจากภาษา ซี ซึ่งคิดว่าจะเป็นประโยชน์และเป็นประโยชน์แก่งานในอนาคตข้างหน้าต่อไป

ขอบเขตของงานวิจัย

ในส่วนหลักของปฏิญญาพนธ์จะเป็นการทำไมโครคอนโทรลเลอร์ บนเครื่องคอมพิวเตอร์ซึ่งเป็นวงจรที่ประกอบไปด้วยอุปกรณ์ที่มีประสิทธิภาพสูง โดยใช้เครื่องไอบีเอ็มเป็นตัวจัดการทางด้านอินพุท/เอาต์พุท ดังมีรายละเอียดดังต่อไปนี้

ในส่วนของฮาร์ดแวร์ จะเป็นไมโครคอนโทรลเลอร์บอร์ดที่ต้องทำงานโดยเสียบอยู่บนสล๊อตของเครื่องคอมพิวเตอร์ หรือจะทำงานอยู่นอกเครื่องคอมพิวเตอร์โดยผ่านทาง RS-232 และใช้แหล่งจ่ายไฟภายนอก ในส่วนของวงจรมันจะประกอบไปด้วยหน่วยความจำ (RAM) พื้นฐานที่ 8 Kbyte แต่สามารถขยายได้สูงสุด 64 Kbyte และใช้พอร์ตที่จะนำไปใช้งานควบคุมจะใช้คอนเน็คเตอร์ขนาด 37 ขา

ในส่วนของซอฟต์แวร์ จะประกอบด้วยการสร้างโปรแกรมดีบั๊กเกอร์ทางด้านซอฟต์แวร์และทางฮาร์ดแวร์ เพื่อช่วยในการเขียนโปรแกรมภาษาแอสเซมบลี ให้ง่ายและสะดวกรวดเร็วขึ้น โดยจะมีความผิดพลาดน้อยลง และโปรแกรมโหลดเดอร์ที่จะทำหน้าที่ใน

การจัดการนำข้อมูลในหน่วยความจำ บนเครื่องไอบีเอ็มลงสู่หน่วยความจำบนการ์ดของซีพียู

ประโยชน์ที่คาดว่าจะได้รับ

โครงการนี้ สามารถที่จะนำไปใช้เป็นเครื่องมือในการพัฒนาระบบที่ใช้ไมโครโปรเซสเซอร์ และไมโครคอลโทรเลอร์ในตระกูล 8051 โดย เฉพาะไมโครคอลโทรเลอร์เบอร์ 80C535 โดยถือว่าเป็นจุดเริ่มต้นในการพัฒนา และเป็นแนวทางสำหรับผู้สนใจที่จะนำความรู้และแนวความคิดต่างๆ ที่ได้จากโครงการนี้ไปสร้างการวัดที่มี SAB 80C535 เป็นชิพขึ้นมาและในโครงการนี้เราจะได้เขียนซอฟต์แวร์ขึ้นมาด้วย เพื่อเป็นการสนับสนุนการใช้งานของการวัดนั้นผู้ที่สามารถนำไปเป็นแนวทางได้ โดยผู้ที่มีเครื่องไอบีเอ็มอยู่แล้วสามารถนำการวัดที่สร้างขึ้นมาไปใช้งานได้เลย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

ความรู้ทั่วไปเกี่ยวกับไมโครคอนโทรลเลอร์เบอร์ 80C535

ไมโครคอนโทรลเลอร์เบอร์ 80C535 นี้เป็นอุปกรณ์ที่ออกแบบมาสนองตามความต้องการของผู้ใช้ ที่มีความต้องการความสามารถที่เหนือกว่าไมโครคอนโทรลเลอร์ในตระกูลเอ็มซีเอส 51 คือมีสายอินพุตและเอาต์พุตภายในตัวเอง พอร์ตของอินพุตและเอาต์พุตบัฟเฟอร์อินเตอร์เฟส และสายควบคุมอื่น ๆ ที่ใช้สำหรับแยกข้อมูลกับแอดเดรสและยังมีชุดคำสั่งเพิ่มขึ้นเป็นพิเศษ เพื่อจัดการข้อมูลทั้งทางด้านพอร์ต และพอร์ตแปลงสัญญาณอนาล็อกเป็นดิจิทัล แอมทำด้วยวงจรถ่วงเวลากับวงจรมัลติเพลกซ์ (ปกติวงจรมัลติเพลกซ์จะสามารถทำงานเป็นวงจรถ่วงเวลาได้ด้วย จึงเรียกควบคู่กันไปคือ วงจรถ่วงเวลา/วงจรมัลติเพลกซ์) ตารางที่ 1 เป็นรายการของไมโครคอนโทรลเลอร์ 80C535 ซึ่งแสดงถึง จำนวนของหน่วยความจำ วงจรถ่วงเวลา/วงจรมัลติเพลกซ์ สัญญาณอนาล็อกเป็นดิจิทัล และระดับความสำคัญของการอินเตอร์รัพต์

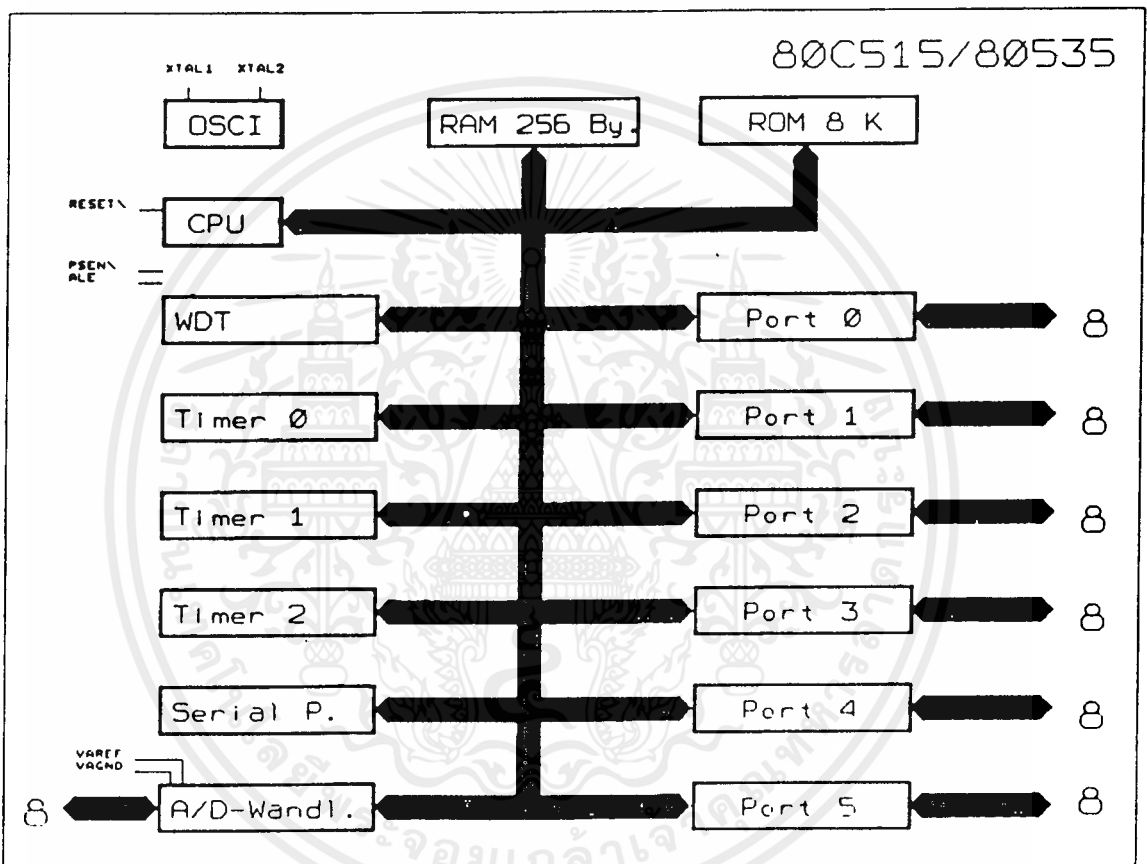
1.1 คุณสมบัติของไมโครคอนโทรลเลอร์เบอร์ 80C535

- มีความสามารถพื้นฐานเหมือนกับ (compatible) เอ็มซีเอส-51
- หนึ่งวัฏจักรคำสั่งใช้เวลา 1 ไมโครวินาที
- มีหน่วยความจำภายใน (RAM) ขนาด 256 ไบต์
- มีหน่วยความจำภายใน (ROM) ขนาด 8 กิโลไบต์ และภายนอกขนาดสามารถขยายได้ถึง 64 กิโลไบต์
- มีรีจิสเตอร์ที่ทำหน้าที่พิเศษ (SFR) 41 ตัว
- โครงสร้างอินเตอร์รัพต์ทำได้ 12 แหล่ง และการจัดระดับความสำคัญ (Priority) ได้ 4 ระดับ
- พอร์ตแบบอนุกรมสามารถที่จะโปรแกรมการรับส่งข้อมูลแบบ Full Duplex ที่ความเร็วสูง
- วงจร Watchdog-Timer ขนาด 16 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
- วงจร Timer/Counter ขนาด 16 บิต 3 ตัว
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- พอร์ตแบบ อนาล็อก/ดิจิทัล โดยที่มีความเร็วในการส่งผ่านข้อมูล 15 ไมโครวินาที
- รูปร่างเป็นแบบ PLCC 68 ขา

โครงสร้างทั่วไปของ Block Diagram ของ 80C535 แสดงให้เห็นในรูปที่ 1.1

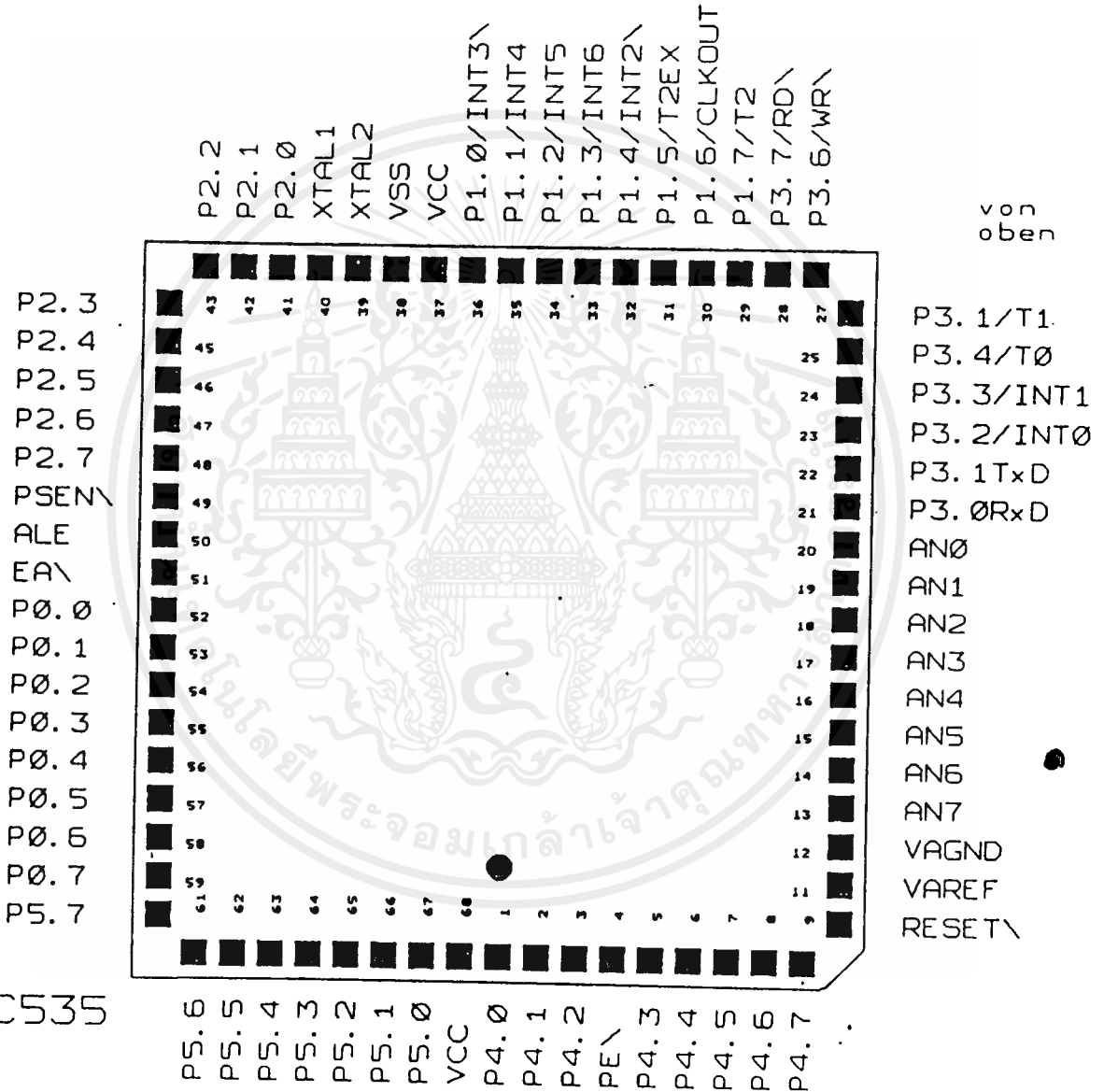


รูปที่ 1.1 แสดง Block Diagram ของ 80C535

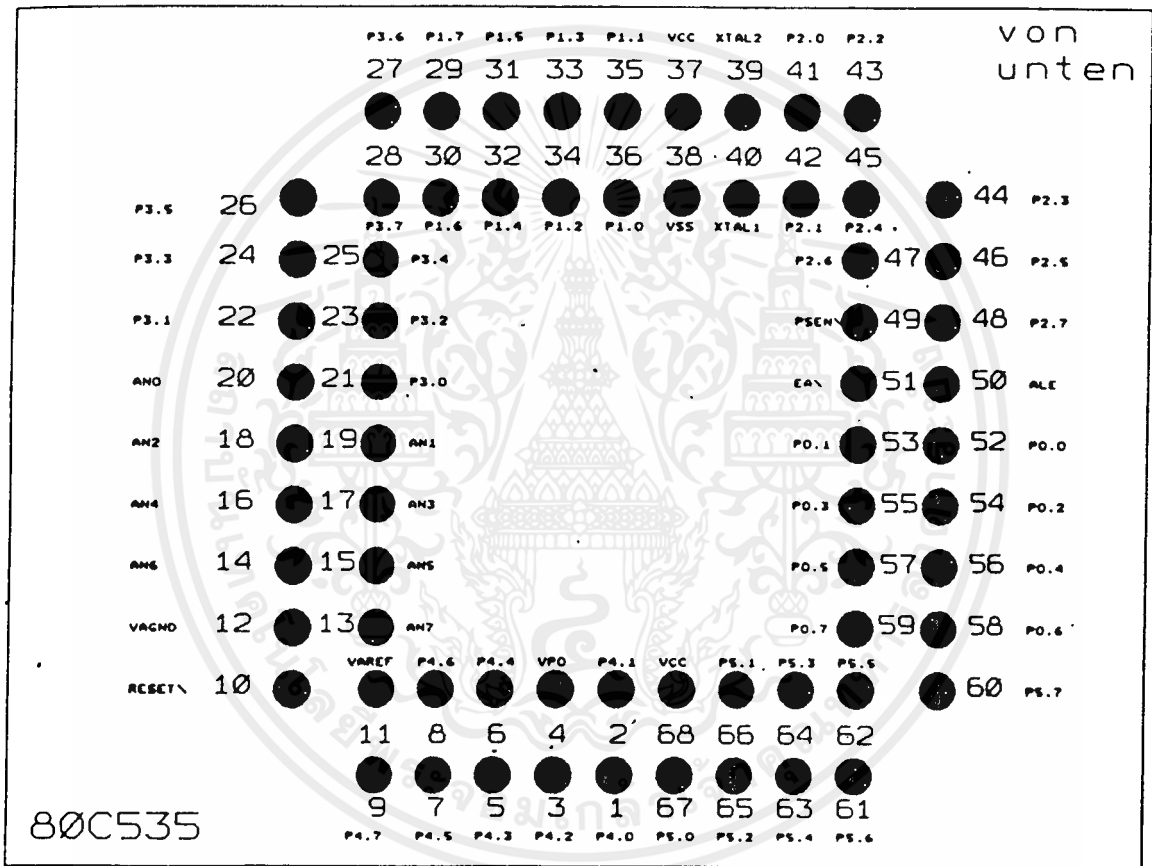
โครงสร้างทั่วไปทางด้านฟิสิกส์ได้แสดงให้เห็นในรูปที่ 1.2 และ รูปที่ 1.3

จากรูปที่ 1.2 นั้นแสดงจำนวนขาและหน้าที่ของ 80C535 ซึ่งเป็นแบบ PLCC ที่มีจำนวนขาถึง 68 ขา และมีความเหมือนกันกับ 80C515 ในตระกูลของ SEIMENS จะเห็นได้ว่าชิพเบอร์นี้มีความสามารถมากกว่าชิพในตระกูล เอ็มซีเอส 51 มากทีเดียว ตัวอย่างเช่น มีพอร์ตถึง 6 พอร์ต มีพอร์ต 8 บิต สำหรับแปลงสัญญาณอนาล็อกเป็นดิจิทัล และมีวงจรถึงเวลาและวงจรมุม 3 วงจร เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



80C535



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับควรใช้เฉพาะเพื่อการศึกษาเท่านั้น ไปปลดปล่อยให้วางไปใช้ประโยชน์ด้านการค้า
 รูปที่ 1.3 แสดงการวางขาของ SAB 80C535 ทางด้านล่าง
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 การกำหนดขาสัญญาณและพอร์ตต่างๆ ของ 80C535

ขาที่	สัญลักษณ์	อินพุต/เอาต์พุต	หน้าที่
-------	-----------	-----------------	---------

Port 0

52-59	P0.0-0.7	อินพุต/เอาต์พุต	สามารถเป็นได้ทั้ง อินพุต และเอาต์พุตขนาด 8 บิต และมีหน้าที่พิเศษ
-------	----------	-----------------	--

Port 1

29-36	P1.7-1.0	อินพุต/เอาต์พุต	สามารถเป็นได้ทั้ง อินพุต และเอาต์พุตขนาด 8 บิต
29	P1.7	อินพุต/เอาต์พุต	อินพุตของ Timer T2
30	P1.6	อินพุต/เอาต์พุต	เอาต์พุตของ CLKOUT ของระบบ
31	P1.5	อินพุต/เอาต์พุต	อินพุตภายนอกของ T2EX
32	P1.4	อินพุต/เอาต์พุต	อินพุตของ Interrupt2 INT2
33	P1.3	อินพุต/เอาต์พุต	อินพุตของ INT6/CC3 Interrupt 6
34	P1.3	อินพุต/เอาต์พุต	อินพุตของ INT6/CC3 Interrupt 5
35	P1.3	อินพุต/เอาต์พุต	อินพุตของ INT6/CC3 Interrupt 4
36	P1.3	อินพุต/เอาต์พุต	อินพุตของ INT6/CC3 Interrupt 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชาติ	สัญลักษณ์	อินพุท/เอาต์พุท	หน้าที่
Port 2			
41-48	P2.0-2.7	อินพุท/เอาต์พุท	พอร์ต 2 มี 8 บิต และ พอร์ตสองทาง ทำหน้าที่ แอสเคลรสด้านไบท์สูง

Port 3			
21-28	P1.7-1.0	อินพุท/เอาต์พุท	สามารถเป็นได้ทั้ง อินพุท และเอาต์พุทขนาด 8 บิต
21	P3.0	อินพุท/เอาต์พุท	RDX Serial Port E/A sync
22	P3.1	อินพุท/เอาต์พุท	TXD Serial Port A/D async
23	P3.2	อินพุท/เอาต์พุท	INT0\,Timer 0 เป็น อินพุท
24	P3.3	อินพุท/เอาต์พุท	INT1\,Timer 1 เป็น อินพุท
25	P3.4	อินพุท/เอาต์พุท	อินพุท Timer 0
26	P3.5	อินพุท/เอาต์พุท	อินพุท Timer 1
27	P3.6	อินพุท/เอาต์พุท	WR\ สัญญาณสำหรับเขียน RAM ภายนอก
28	P3.7	อินพุท/เอาต์พุท	RD\ สัญญาณสำหรับอ่าน RAM ภายนอก

Port 4			
1-3	P4.0-4.2	อินพุท/เอาต์พุท	สามารถเป็นได้ทั้ง อินพุท และเอาต์พุทขนาด 8 บิต
5-9	P4.3-4.7		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาที่	สัญญาณลักษณะ	อินพุท/เอาต์พุท	หน้าที่
Port 5			
60-67	P5.7-5.0	อินพุท/เอาต์พุท	สามารถเป็นได้ทั้ง อินพุท และเอาต์พุทขนาด 8 บิต

Port 6			
13-20	AN7-AN0	อินพุท	เป็นอนาล็อกอินพุท

สัญญาณควบคุม และระบบไฟ

39	XTAL2		Oscillator
40	XTAL1		Oscillator
10	RESET\	อินพุท	เป็นสัญญาณ RESET CPU Active LOW
49	PSEN\	เอาต์พุท	Program Store Enable
50	ALE	เอาต์พุท	Address Latch Enable
4	PE\	อินพุท	
51	EA	อินพุท	LOW=ext, HIGH=int
11	VAREF		5V Referent สำหรับ A/D
12	VAREF		0V Referent สำหรับ A/D
68	VCC		Supply สำหรับ CPU 5V
38	VSS		Supply สำหรับ CPU GND 0V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 สถาปัตยกรรมทางการคำนวณของ SAB 80C535

SAB 80C535 นั้นเป็นซีพียูขนาด 8 บิต ข้อมูล 16 บิต แอสเซอเรลและมีหน่วยความจำภายในตัวซีพียู (RAM) มีรีจิสเตอร์พิเศษ (SFR) ถึง 41 ตัว โดยมี 14 รีจิสเตอร์ที่เกี่ยวข้องคือ

		Adress [H]
ADCON	ควบคุมการเปลี่ยน A/D	D8*
CCEN	ควบคุม Capture Compare	C1
DAPR	โปรแกรมรีจิสเตอร์ A/D	DA
IEN0	Interrupt Enable 0	A8*
IEN1	Interrupt Enable 1	B8*
IPO	ระดับความสำคัญที่ 1 ของ Interrupt	A9
IP1	ระดับความสำคัญที่ 2 ของ Interrupt	B9
IRCON	ควบคุมความต้องการขอ Interrupt	C0*
PCON	ควบคุม Power	87
PSW	โปรแกรมแสดงสถานะค่า	D0
SCON	ควบคุมพอร์ตอนุกรม	98*
T2CON	ควบคุม Timer 2	C8
TCON	ควบคุม Timer	88*
TMOD	Timer Mode	89

* = bitaddress

โดยแสดงรายละเอียดของรีจิสเตอร์หน้าที่พิเศษ (SFR) ตามลำดับตัวอักษรตามตารางข้างนี้



สัญลักษณ์ แอสแอดเรส คำอธิบาย

ACC	E0	แอดคิวมูเลเตอร์
ADCON	D8	ควบคุมการเปลี่ยน A/D
ADDAT	D9	การเปลี่ยนรีจิสเตอร์ A/D
B	F0	รีจิสเตอร์ B
CCEN	C1	Compare Capture Enable Register
CCH1	C3	Compare Capture Register 1 (H)
CCH2	C5	Compare Capture Register 2 (H)
CCH3	C7	Compare Capture Register 3 (H)
CCL1	C2	Compare Capture Register 1 (L)
CCL2	C4	Compare Capture Register 2 (L)
CCL3	C6	Compare Capture Register 3 (L)
CRCH	C9	Compare Reload Capture Register (H)
CRCL	CA	Compare Reload Capture Register (L)
DAPR	DA	โปรแกรมการเปลี่ยน A/D
DPH	B3	Datapointer (H)
DPL	B2	Datapointer (L)
IEN0	A8	Interrupt Enable Register 0
IEN1	B8	Interrupt Enable Register 1
IPO	A9	รีจิสเตอร์ระดับความสำคัญของ Interrupt 0
IP1	B9	รีจิสเตอร์ระดับความสำคัญของ Interrupt 1
IRCON	C0	การควบคุมความต้องการขอ Interrupt
P0	80	พอร์ต 0
P1	90	พอร์ต 1
P2	A0	พอร์ต 2
P3	B0	พอร์ต 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานำไปใช้ประโยชน์ด้านการค้า
ตารางที่ 1.1 แสดงรายละเอียดของรีจิสเตอร์หน้าที่พิเศษ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	แอสเซมบลี	คำอธิบาย
P4	E8	พอร์ต 4
P5	F8	พอร์ต 5
PCON	87	Power Control Register
PSW	D0	โปรแกรมแสดงสถานะ Word Register
SBUF	99	บัฟเฟอร์รีจิสเตอร์สำหรับพอร์ตอนุกรม
SCON	98	การควบคุมรีจิสเตอร์ของพอร์ตอนุกรม
SP	81	Stackpointer
T2CON	C8	Timer 2 Control Register
T2H	CD	Timer 2 (H)
T2L	CC	Timer 2 (L)
TCON	88	Timer Control Register
TH0	8C	Timer 0 (H)
TH1	8D	Timer 1 (L)
TLO	8A	Timer 0 (L)
TL1	8B	Timer 1 (H)
TMOD	89	โหมด Timer Register

ตารางที่ 1.1 แสดงรายละเอียดของรีจิสเตอร์หน้าที่พิเศษ (ต่อ)

SFR ADR

ACC		ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
E0		E7	E6	E5	E4	E3	E2	E1	E0
ADCON		BD	CLK	-	BSY	ADM	MX2	MX1	MX0
D8		DF	DE	DD	DC	DB	DA	D9	D8
B		B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
F0		F7	F6	F5	F4	F3	F2	F1	F0
IEN0		EAL	WDT	ET2	ES	ET1	EX1	ET0	EX0
A8		AF	AE	AD	AC	AB	AA	A9	A8
IEN1		EXEN2	SWDT	EX6	EX5	EX4	EX3	EX2	EADC
B8		BF	BE	BD	BC	BB	BA	B9	B8
IRCON		EXF2	TF2	IEX6	IEX5	IEX4	IEX3	IEX2	IACD
C0		C7	C6	C5	C4	C3	C2	C1	C0
P0		P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
80		87	86	85	84	83	82	81	80
P1		P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
90		97	96	95	94	93	92	91	90
P2		P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
A0		A7	A6	A5	A4	A3	A2	A1	A0
P3		P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
B0		B7	B6	B5	B4	B3	B2	B1	B0
P4		P4.7	P4.6	P4.5	P4.4	P4.3	P4.2	P4.1	P4.0
E8		EF	EE	ED	EC	EB	EA	E9	E8
P5		P5.7	P5.6	P5.5	P5.4	P5.3	P5.2	P5.1	P5.0
F8		FF	FE	FD	FC	FB	FA	F9	F8
PSW		CY	AC	F0	RS1	RS0	OV	F1	P
D0		D7	D6	D5	D4	D3	D2	D1	D0
SCON		SM0	SM1	SM2	REN	TB8	RB8	TI	RI
98		9F	9E	9D	9C	9B	9A	99	98
T2CON		T2PS	I3FR	I2FR	T2R1	T2R0	T2CM	T2I1	T2I0
C8		CF	CE	CD	CC	CB	CA	C9	C8
TCON		TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
88		8F	8E	8D	8C	8B	8A	89	88

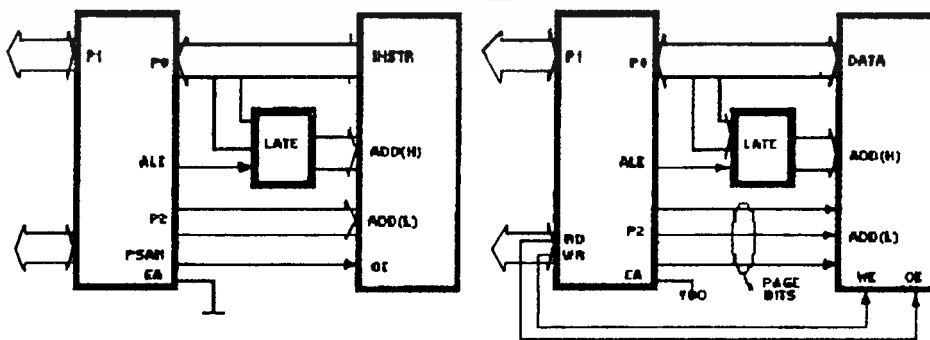
1.3 การจัดหน่วยความจำภายในและภายนอก

ไมโครคอนโทรลเลอร์ 80C535 จะแบ่งตามพื้นที่หน่วยความจำของการกำหนดเลขที่อยู่แอดเดรส ได้เป็นส่วนที่ประกอบด้วยเนื้อที่ของหน่วยความจำโปรแกรมและหน่วยความจำข้อมูล โดยจะมีการแบ่งหน่วยความจำเหมือนกับซีพียูทั่วไป คือจะแบ่งเป็น 2 ลักษณะตามชนิดของข้อมูลที่เก็บดังนี้

- หน่วยความจำข้อมูล (Data memory)
- หน่วยความจำโปรแกรม (Program memory)

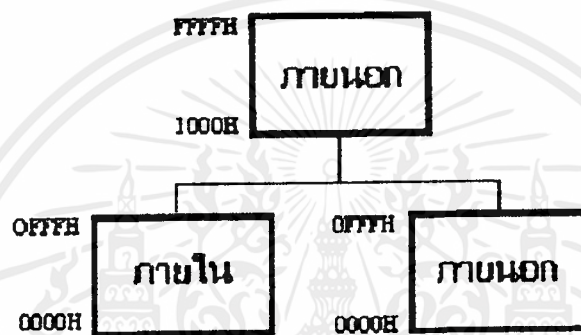
ถ้าจะพูดกันอย่างง่าย ๆ หน่วยความจำข้อมูลก็หมายถึงหน่วยความจำส่วนที่เป็นแรม (RAM) ซึ่งเราสามารถอ่านหรือเขียนข้อมูลเปลี่ยนแปลงได้ตลอดเวลา แต่ไม่สามารถรันโปรแกรมบนหน่วยความจำส่วนนี้ได้ ส่วนหน่วยความจำโปรแกรม หมายถึงหน่วยความจำที่อ่านได้อย่างเดียว (ROM) ซึ่งบรรจุโปรแกรมที่จะทำให้ SAB 80C535 ทำงาน โดยหน่วยความจำทั้ง 2 ประเภทนี้จะถูกแยกออกจากกันด้วยคำสั่งทางซอฟต์แวร์และลักษณะการติดต่อทางฮาร์ดแวร์ด้วย กล่าวคือ จะมีคำสั่งเฉพาะสำหรับการติดต่อกับหน่วยความจำชนิดใดชนิดหนึ่ง และจัดสัญญาณสวิตรปในการติดต่อกับหน่วยความจำแต่ละชนิดแยกต่างหากกันด้วย ดังรูปที่

1.5



1.3.1 หน่วยความจำโปรแกรม

หน่วยความจำโปรแกรมจะประกอบด้วย ส่วนภายในและนอกชิพ ถ้าความยาวของโปรแกรมมีความยาวไม่เกิน 8 กิโลไบต์ สำหรับหน่วยความจำโปรแกรมภายใน และสามารถใส่หน่วยความจำโปรแกรมภายนอกได้ถึง 64 กิโลไบต์ โดยอาจจะใช้ร่วมกับหน่วยความจำข้อมูลก็ได้ โดยการควบคุมที่ขา EA\ (ขาที่ 51) หรือทำการต่อลงกราวด์ ตัวแสดงในรูปที่ 1.6



รูปที่ 1.6 การจัดพื้นที่หน่วยความจำโปรแกรมภายในและภายนอก

1.3.2 หน่วยความจำข้อมูล

จากรูปที่ 1.7 เป็นการจัดหน่วยความจำภายในของ 80C535 ซึ่งจะเห็นว่าหน่วยความจำข้อมูลภายในจะแบ่งเป็นลักษณะงานดังนี้ คือ จำนวน 128 กิโลไบต์ ของบริเวณตำแหน่งล่างในเนื้อที่แรมภายใน และอีก 128 กิโลไบต์ เป็นของบริเวณตำแหน่งบนของแรมภายในและส่วนของ 128 กิโลไบต์ อีกบริเวณหนึ่งใช้เป็นรีจิสเตอร์ฟังก์ชันพิเศษ

จากรูปที่ 1.8 จะเห็นว่าพื้นที่หน่วยความจำข้อมูลภายในส่วน 128 ไบต์ล่าง (ตำแหน่ง 00H-7FH) จะถูกแบ่งเป็น 3 ส่วนคือ ส่วนของรีจิสเตอร์แบงค์ (00H-1FH) ส่วนพิเศษ ที่สามารถเข้าถึงตำแหน่งบิตได้โดยตรง (20H-2FH) และส่วนที่ใช้งานทั่วไป (30H-7FH)

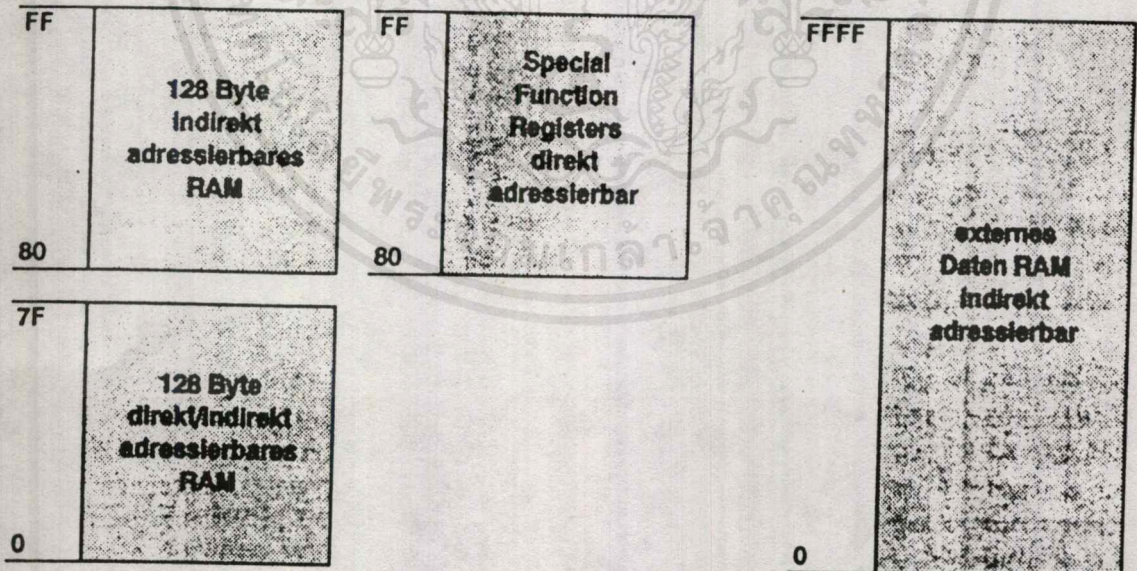
ส่วนของรีจิสเตอร์แบงค์มีทั้งหมด 4 แบงค์ แต่เราสามารถใช้ได้ครั้งละแบงค์เท่านั้น การเลือกใช้แบงค์ไหนอยู่ที่เรากำหนดค่าในรีจิสเตอร์ PSW คำสั่งที่ใช้ในการติดต่อกับหน่วยความจำข้อมูล ซึ่งจะแบ่งลักษณะการกำหนดเลขที่อยู่ของหน่วยความจำ

- โหมดการกำหนดเลขที่อยู่รีจิสเตอร์
- โหมดการกำหนดเลขที่อยู่โดยอ้อม
- โหมดการกำหนดเลขที่อยู่โดยตรง
- โหมดการกำหนดเลขที่อยู่รีจิสเตอร์โดยทันที

รูปที่ 1.8 จะแสดงถึงแผนที่ของหน่วยความจำข้อมูลโดยผ่านเป็น 4 แบนด์ ในแต่ละแบนด์มีรีจิสเตอร์ 8 ตัว มีตำแหน่งตั้งแต่ 0 ถึง 31 ในบริเวณส่วนล่างของแรม

หน่วยความจำแรมภายใน

หน่วยความจำภายนอก



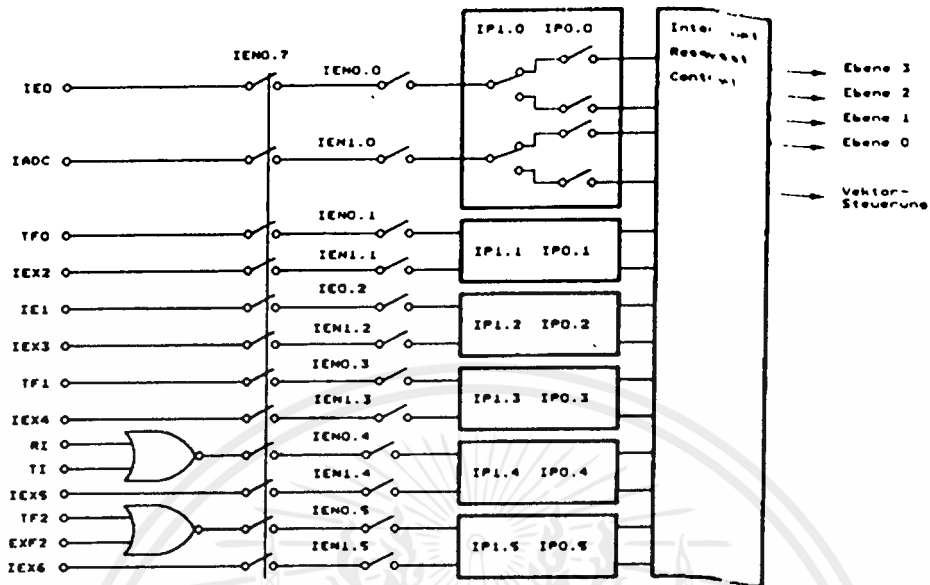
FFH	255		Indirekt adressierbar
80H	120		"
7FH	127		direkt und indirekt adr.
30H	48		"
2FH	47	7F 7E 7D 7C 7B 7A 79 78	bitadressierbar
2EH	46	77 76 75 74 73 72 71 70	"
2DH	45	6F 6E 6D 6C 6B 6A 69 68	"
2CH	44	67 66 65 64 63 62 61 60	"
2BH	43	5F 5E 5D 5C 5B 5A 59 58	"
2AH	42	57 56 55 54 53 52 51 50	"
29H	41	4F 4E 4D 4C 4B 4A 49 48	"
28H	40	47 46 45 44 43 42 41 40	"
27H	39	3F 3E 3D 3C 3B 3A 39 38	"
26H	38	37 36 35 34 33 32 31 30	"
25H	37	2F 2E 2D 2C 2B 2A 29 28	"
24H	36	27 26 25 24 23 22 21 20	"
23H	35	1F 1E 1D 1C 1B 1A 19 18	"
22H	34	17 16 15 14 13 12 11 10	"
21H	33	0F 0E 0D 0C 0B 0A 09 08	"
20H	32	07 06 05 04 03 02 01 00	"
1FH	31		Registerbank 4
18H	24	07 06 05 04 03 02 01 0	"
17H	23		Registerbank 2
10H	16	07 06 05 04 03 02 01 0	"
0FH	15		Registerbank 1
08H	8	07 06 05 04 03 02 01 0	"
07H	7		Registerbank 0
00H	0	07 06 05 04 03 02 01 0	"

รูปที่ 1.8 พื้นที่การกำหนดตำแหน่งบิตของหน่วยความจำข้อมูลภายในจากรูปที่ 1.7

1.4 การอินเทอร์รัท

ในระบบของ SAB 80C535 จะมีการอินเทอร์รัทได้จาก 6 แหล่ง โดยสามารถตั้งระดับความสำคัญได้ 4 ระดับซึ่งมีแผนภูมิทางฮาร์ดแวร์ของการอินเทอร์รัท ดังรูปที่ 1.9

การอินเทอร์รัทระดับความสำคัญต่ำ สามารถที่จะถูกอินเทอร์รัทตัวอื่นที่มีระดับความสำคัญสูงได้ แต่ไม่สามารถที่จะถูกอินเทอร์รัทจากอินเทอร์รัทตัวอื่นที่มีระดับความสำคัญต่ำกว่าได้ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.9 แผนภูมิทางฮาร์ดแวร์ของแหล่งอินเทอร์รัพต์ชนิดต่างๆ

ของการอินเทอร์รัพต์เดียวกันได้ แต่ถ้าเป็นการอินเทอร์รัพต์จากตัวที่มีความสำคัญสูงจะไม่สามารถถูกอินเทอร์รัพต์จากตัวอื่นได้เลย โดยเราสามารถตั้งระดับความสำคัญของแต่ละแหล่งอินเทอร์รัพต์ได้ที่รีจิสเตอร์ IP และถ้าในเหตุการณ์ที่มีการร้องขออินเทอร์รัพต์ในระดับความสำคัญของแต่ละแหล่ง ดังตารางที่ 1.2

อินเทอร์รัพต์ 0 จากภายนอก	+	อินเทอร์รัพต์ของ A/D
อินเทอร์รัพต์ของตัวจับเวลาตัวที่ 0	+	อินเทอร์รัพต์ 2 จากภายนอก
อินเทอร์รัพต์ 1 จากภายนอก	+	อินเทอร์รัพต์ 3 จากภายนอก
อินเทอร์รัพต์ของตัวจับเวลาตัวที่ 1	+	อินเทอร์รัพต์ 4 จากภายนอก
การรับ/ส่ง ออกรวม	+	อินเทอร์รัพต์ 5 จากภายนอก
อินเทอร์รัพต์ของตัวจับเวลาตัวที่ 2	+	อินเทอร์รัพต์ 6 จากภายนอก
อินเทอร์รัพต์ตัวที่ 2 จากภายนอก		

บทที่ 2

การสร้างฮาร์ดแวร์ของ 80C535 ไมโครคอนโทรลเลอร์

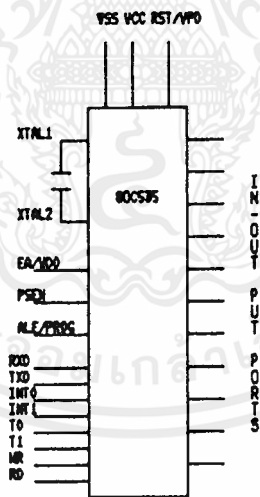
คนที่อยากจะใช้งานชิพตัวใหม่ๆ คงไม่สะดวกกับการติดต่อกับอุปกรณ์นั้น ไม่เหมือนกับชิพที่ได้รับความนิยมแล้วชิพเหล่านี้จะได้ถูกพัฒนาออกมาเป็นซิงเกิลบอร์ด และมีซอฟต์แวร์สนับสนุนมากมาย ทำให้ชิพที่ดีมีคุณภาพที่ออกมาใหม่อาจจะไม่เป็นที่รู้จักแพร่หลายโดยทั่วไป เพราะฉะนั้นในที่นี้จะจะเป็นกล่าวถึงการทำงาน และการสร้างให้ชิพเหล่านี้ทำงานบนไมโครคอมพิวเตอร์ เพื่อเป็นการสะดวกในการพัฒนาโปรแกรมและความยืดหยุ่นในการใช้งานสูง เพราะมีโปรแกรมหลายตัวที่ใช้ความสามารถเข้าช่วยเสริมการทำงานของมัน

2.1 คุณสมบัติของ 80C535 ไมโครคอนโทรลเลอร์

- ใช้ความถี่ออสซิลเลเตอร์ที่ 12 MHz
- ใช้หน่วยความจำขนาด 8 กิโลไบต์ (สามารถขยายได้ถึง 64 กิโลไบต์)
- 8 บิต อนาล็อกอินพุต (P6.0-7)
- 16 บิต ดิจิตอลอินพุต/เอาต์พุต (P1.0-7; P3.0, 1, 4 และ P4.4-7)
- 1 อนาล็อกเอาต์พุต
- วงจรตั้งเวลา/นับ 3 ตัว (Timer 0, 1 และ 2)
- พอร์ต RS-232
- มีอินเตอร์รัพ 2, 3, 4, 5, 6
- มีสัญญาณการ RESET จากภายนอก
- มีไฟเลี้ยงที่พอร์ตขนาด 0, +5, +12 และ 12

2.2 แนวทางการออกแบบ

ในการที่คิดจะทำปริณญาณินธ์เรื่องไมโครคอนโทรลเลอร์ 80C535 นี้ขึ้นมาจากความคิดที่ได้เห็นการพัฒนาซอฟต์แวร์และฮาร์ดแวร์ในชิปทั่วไปนั้นส่วนใหญ่ จะต้องพัฒนาบัตว์ของมันเองโดยการสร้างอยู่ในชุดของชุดคอนโทรลเลอร์ก็ดีหรืออยู่ในลักษณะของ Single board ก็ดีส่วนแต่ไม่มีความยืดหยุ่นในการทำงานและ ใช้งานลำบากที่จะพัฒนาโปรแกรม เพราะการพัฒนาโปรแกรมบนไมโครคอนโทรลเลอร์นั้น โดยส่วนใหญ่จำเป็นต้องเขียนเป็นภาษาแอสเซมบลี ซึ่งเป็นภาษาที่ยากแก่การพัฒนาเพราะต้องมีการแก้ไขอยู่ตลอดเวลา โดยต้องนำโปรแกรมเหล่านั้นต้องถูกนำไปโหลดลงไปสู่ EPROM ถ้ามีการแก้ไขโปรแกรมก็จะต้องมีลบ EPROM และนำไปโหลดใหม่อีกครั้ง หรือการนำ EPROM EMULATOR มาใช้ก็มีความยุ่งยากอยู่พอสมควร ด้วยเหตุนี้จึงเป็นเหตุให้เกิดปริณญาณินธ์ฉบับนี้ขึ้นมา เพราะทุกสิ่งทุกอย่างนั้นจะถูกกระทำและพัฒนาอยู่บนเครื่องไมโครคอมพิวเตอร์ทั้งหมด ดังนั้นการพัฒนาจึงมีความยืดหยุ่นสูงและทำการแก้ไขโปรแกรมได้ง่าย เพราะมีเครื่องมือในการพัฒนาที่เรียกว่า DEBUGER



รูปที่ 2.1 แสดงหน้าที่การทำงานของไมโครคอนโทรลเลอร์พื้นฐาน

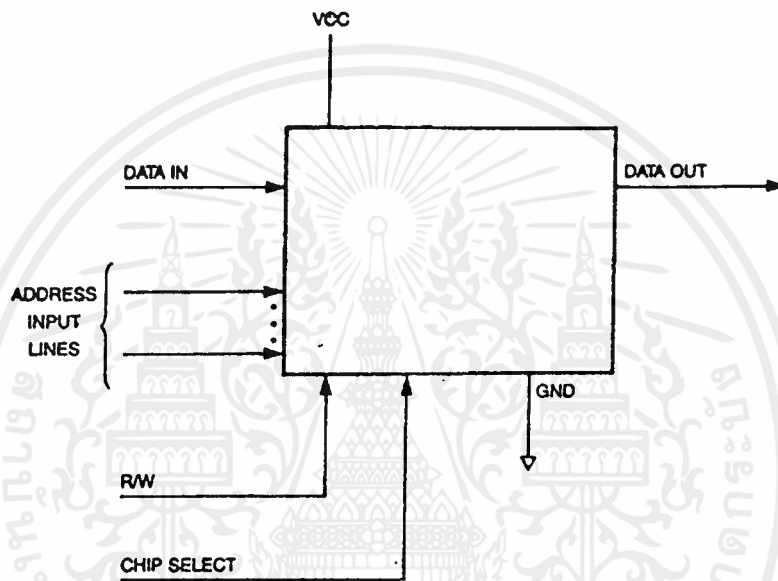
2.2 การสร้างระบบไมโครคอนโทรลเลอร์

ระบบไมโครคอนโทรลเลอร์นั้น เป็นอุปกรณ์ที่ออกแบบมาเพื่อสนองตามความต้องการของผู้ใช้คือมีสายอินพุตและเอาต์พุตที่เฟอร์อินเตอร์เฟส และสายควบคุมอื่น ๆ ที่ใช้สำหรับแยกข้อมูลกับแอดเดรสและยังมีชุดคำสั่งเพิ่มขึ้นเป็นพิเศษเพื่อจัดการข้อมูล และยังมีวงจรตั้งเวลากับวงจรรนับ (ปกติวงจรรนับจะสามารถทำงานเป็นวงจรรตั้งเวลาได้ด้วย) จึงเรียก

ควบคู่กันไปด้วย (วงจรตั้งเวลา/วงจรรนับ) และยังมี วงจรเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิทัลด้วย

- การออกแบบการใช้หน่วยความจำภายนอก

ในการออกแบบ 80C535 การ์ดนั้นในที่นี้เราจะใช้ Static RAM ในการใช้งานเพราะมีความเร็วสูงในการส่งถ่ายข้อมูล และมีความง่ายในการออกแบบโดยมีพื้นฐานในการทำงานดังรูปที่ 2.2

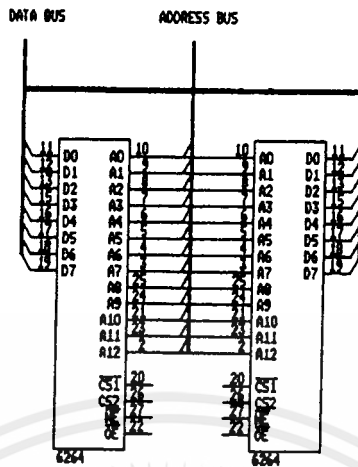


รูปที่ 2.2 แสดงสัญญาณทางไฟฟ้าที่จำเป็นในการใช้

จากรูป "DATA IN" เป็นสายที่ใช้ นำข้อมูลที่ต้องการเขียนเข้ามาในแรม ส่วน "DATA OUT" ใช้สำหรับอ่านข้อมูลที่อยู่ในแรมออกไปในแรมตัวหนึ่ง ๆ อย่างน้อยที่สุดจะต้องมี DATA IN หนึ่งสายและ DATA OUT หนึ่งสาย ซึ่งจำนวนที่แน่นอนของสายเหล่านี้จะขึ้นอยู่กับโครงสร้างภายในของแรม แต่ในโครงงานนี้เราได้กำหนดขึ้นเองจากประสบการณ์ที่เกี่ยวกับไมโครโปรเซสเซอร์ให้มีแรมขนาด 8 กิโลไบต์ สองตัวเป็นตัวสำหรับการเก็บโปรแกรมของระบบ

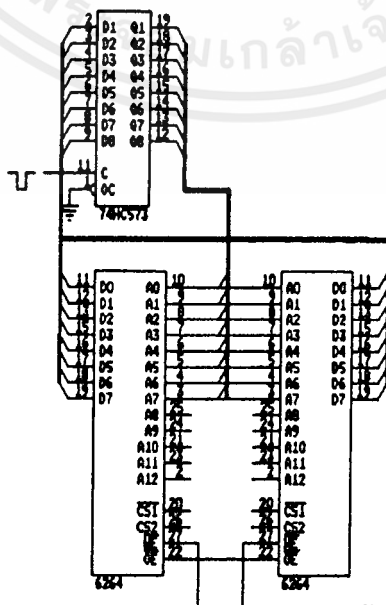
ดังนั้นในการทดลองจึงทำการต่อแรมเบอร์ 6264 เข้าด้วยกันดังรูปที่ 2.3 จะเห็นได้ว่าการนำขาของข้อมูล(D0-D9) และขาของแอสเดอเรส(A0-A16) ของทั้งสองตัวมาต่อเข้าด้วยกัน เพื่อเป็นการอ่านเขียนข้อมูลเดียวกันโดยการเลือกการอ่าน หรือเขียน

แรมตัวไหนนั้นจะทำการควบคุมโดยขา OE(Output enable) และ WE(write enable)



รูปที่ 2.3 แสดงการต่อแรม เบอร์ 6264

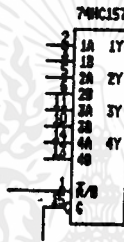
จากการต่อหน่วยความจำภายนอกของ SAB 80C535 จะเห็นได้ว่าในพอร์ท P0 ของซีพียูนั้นจะเป็นทั้งพอร์ทข้อมูลและพอร์ทแอสเคลรลอยู่ในพอร์ทเดียวกันดังนั้นจึงต้องหาวิธีแยกข้อมูลทั้งสองออกจากกัน โดยใช้วิธีการแลทซ์เอาค่าของแอสเคลรลออกไปโดยใช้ไอซีเบอร์ 74HC573 เป็นตัวแลทซ์เอาแอสเคลรลที่ไบท์สูงออกมา โดยมีการควบคุมการแลทซ์ให้มันจังหวะที่สอดคล้องกับการทำงานของซีพียู โดยส่งสัญญาณนาฬิกาในจังหวะที่ต้องการดังรูปที่ 2.4



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.4 แสดงการต่อหน่วยความจำให้กับซีพียู ที่พอร์ท P0
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตีแปลงเนื้อหา และดัดแปลงข้อมูลใดๆ ในเอกสารนี้ทุกครั้งที่มีการนำไปใช้

- การเลือกชิพของแรมที่จะทำการอินาเบิ้ล

เมื่อต่อแรมเข้าสู่ระบบ เราจะต้องหาวิธีในการเลือกชิพของแรมได้อย่างถูกต้องตามแอดเดรสที่เรากำหนดไว้ เช่น แรมตัวที่หนึ่งเรากำหนดแอดเดรสไว้ที่แอดเดรส 000 0H ถึง 07FFFH ดังนั้นเราจำเป็นต้องมีตัวถอดรหัสเพื่อเลือกแอดเดรสได้ถูกต้อง การถอดรหัสนี้เราจะใช้แอดเดรส ส่วนบนที่เหลือมาทำการถอดรหัสในที่นี้เราจะใช้ 74HC157 ทำการเลือก 2 บิตไปเป็น 4 บิตโดยอินพุต A,B วงจรการถอดรหัสนี้ แสดงได้ดังรูปที่ 2.5



รูปที่ 2.5 การใช้ 74HC157 เป็นตัวถอดรหัสเลือกแรม

- ลำดับการทำงานของสัญญาณต่าง ๆ ระหว่างไอบีเอ็ม พีซี กับ 80C535 การ์ด ในการทำงานของการส่งสัญญาณเอาต์พุตนั้น ข้อมูลจะต้องได้รับการแลตซ์ไว้กับตัวแลตซ์ข้อมูล ซึ่งก็คือ D ฟลิปฟลอปนั่นเอง ลักษณะการจัดพอร์ตจึงเสมือนการใช้แลตซ์เป็นตัวรับเอาต์พุตให้ข้อมูลค้างอยู่ ส่วนการรับอินพุตนั้นโดยทั่วไปให้หลักการของลอจิกสามสถานะ กล่าวคือข้อมูลที่อินพุตจะได้รับการอินาเบิ้ลผ่านเข้ามาถึงบัลลูนข้อมูลเพื่อให้ชิพอ่านข้อมูลมาเก็บไว้ภายในตามต้องการดังรูปที่ 2.6

1. ลำดับการเขียนเอาต์พุต

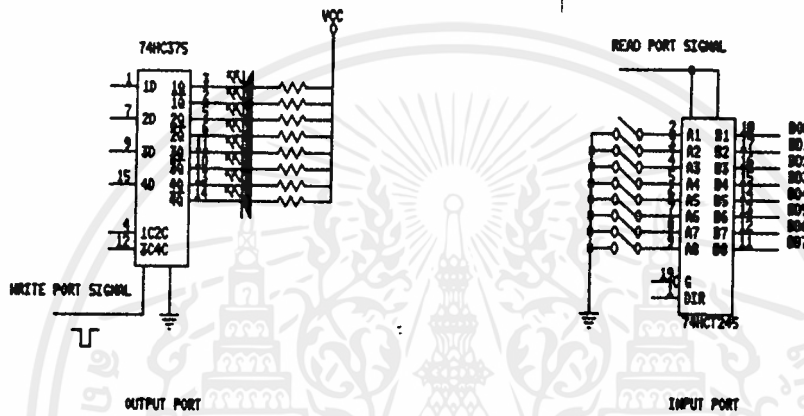
ในการส่งข้อมูลไปยังเอาต์พุตนั้น SAB 80C535 มีลำดับการทำงานดังต่อไปนี้คือเมื่อชิพส่งสัญญาณให้มีการเขียนพอร์ตออกมา จะทำให้ไอซี 74HC245 อินาเบิ้ลจึงทำการแลตซ์สัญญาณนั้นออกไปและจะเป็นอย่างนี้ต่อไปเรื่อยๆ ตามที่มันต้องการอ่านข้อมูล

2. ลำดับการอ่านข้อมูลจากอินพุต

ในการอ่านข้อมูลจากอินพุตจำเป็นต้องมีลำดับการทำงาน กล่าวคือ ชิพจะส่งสัญญาณ RD ออกมาเพื่อบอกว่าต้องการติดต่อกับอินพุต ออกข้อมูลอินพุตที่บัลลูนข้อมูล

ได้รับการอ่านเข้ามาในรีจิสเตอร์ A

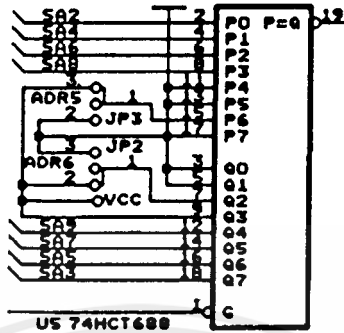
ในรูปที่ 2.6 เป็นส่วนหนึ่งของวงจรแลตช์และลอจิกสามสถานะ วงจรแลตช์ใช้ 74HC375 ซึ่งเป็น D ฟลิปฟลอป 8 ตัว ส่วนอินพุตใช้ 74HC245 เป็นเกตแบบลอจิกสามสถานะ 8 ตัวเช่นกัน ในการแลตช์ข้อมูลจะใช้สัญญาณ CK ซึ่งก็คือสัญญาณเขียนพอร์ตการเขียนนี้จะกระทำขณะเกิดการเปลี่ยนลอจิกจาก "0" ไปเป็น "1"



รูปที่ 2.6 การใช้แลตช์เป็นเอาต์พุตและลอจิกเกตสามสถานะเป็นอินพุต

- การอินเตอร์เฟส 80C535 เข้ากับไอบีเอ็ม พีซี

ในการให้ไอบีเอ็ม พีซี ทำการติดต่อกับอุปกรณ์ภายนอกนั้นต้องมีการกำหนดค่าของแอสเตอเรสให้มีค่าตรงกันกับที่เครื่องคอมพิวเตอร์ เพื่อที่จะให้มีการตอบรับและการส่งถ่ายข้อมูลได้อย่างถูกต้อง โดยใช้ 74HCT688 เป็นตัวเปรียบเทียบค่าของแอสเตอเรสจากเครื่องคอมพิวเตอร์ให้ตรงกับการ์ดที่จะทำการติดต่อกับ ในโครงงานนี้ได้กำหนดการติดต่อกับเครื่องคอมพิวเตอร์กับการ์ด 80C535 ไว้ถึง 4 ช่องทางคือ 100H, 120H, 140H และ 160H ดังรูปที่ 2.7 จะเห็นได้ว่าเราได้ตั้งค่าของแอสเตอเรสไว้ที่ค่า 160H กล่าวคือเอาต์พุตของ 74HCT688 จะเป็น "0" ก็ต่อเมื่อมีค่าแอสเตอเรสที่ 160H เท่านั้นแล้วทำการนำเอาต์พุตที่ได้ไปสร้างสัญญาณนาฬิกาสำหรับ ระบบของการ์ด 80C535 ต่อไป

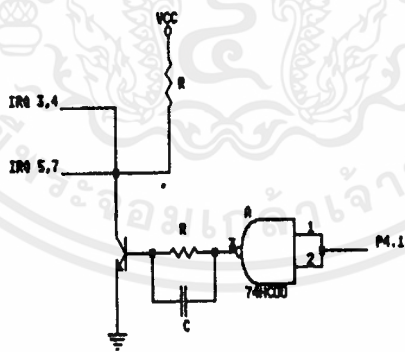


รูปที่ 2.7 แสดงการเลือกค่าแอสเตอเรลที่จะทำการติดต่อกับ

- การขอการอินเทอร์รัทระหว่างไอบีเอ็ม พซี กับ SAB 80C535

ในการขออินเทอร์รัทกับไอบีเอ็ม พซี นั้นจะใช้กับอินเทอร์รัท 3, 4, 5 และ 7 ของไอบีเอ็ม พซี เท่านั้น โดยเราได้ตั้งค่าปกติไว้ที่ อินเทอร์รัท 5 และทำได้โดยการ ใช้ NPN Transistor BC 237 ทำเป็น Open-Collector-Signal ทำเป็นสวิทซ์ในการเปิดปิดสัญญาณที่ ซีพียู 80C535 ส่งออกมาเพื่อทำการขออินเทอร์รัท ดังแสดงในรูปที่

2.8



รูปที่ 2.8 วงจร Open-Collector

จากที่กล่าวมาแล้วในการที่จะทำการสร้างระบบไมโครคอลโทรเลอร์ขึ้นมาที่มีความสมบูรณ์ มีความสามารถสูง และพร้อมที่จะนำไปใช้งานได้นั้นจะประกอบไปด้วยวงจรต่าง ๆ มากมายตามที่กล่าวไว้ข้างต้นและยังมีวงจรอื่น ๆ ที่ไม่ได้กล่าวถึงอีกมากมายเพื่อที่จะประกอบขึ้นมาเป็นระบบไมโครคอลโทรเลอร์ที่มีประสิทธิภาพในการใช้งาน โดยในการสร้างการ์ด

นี้ขึ้นมาเราจะทำการแบ่งวงจรออกเป็น 3 ส่วน ใหญ่คือ ส่วนทางด้านการอินเทอร์เฟส เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ส่วนทางด้านของระบบของไมโครคอลโทรเลอร์ และในส่วนของการต่อไปใช้งานภายนอกไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มาใช้

2.4 การทำงานของวงจร

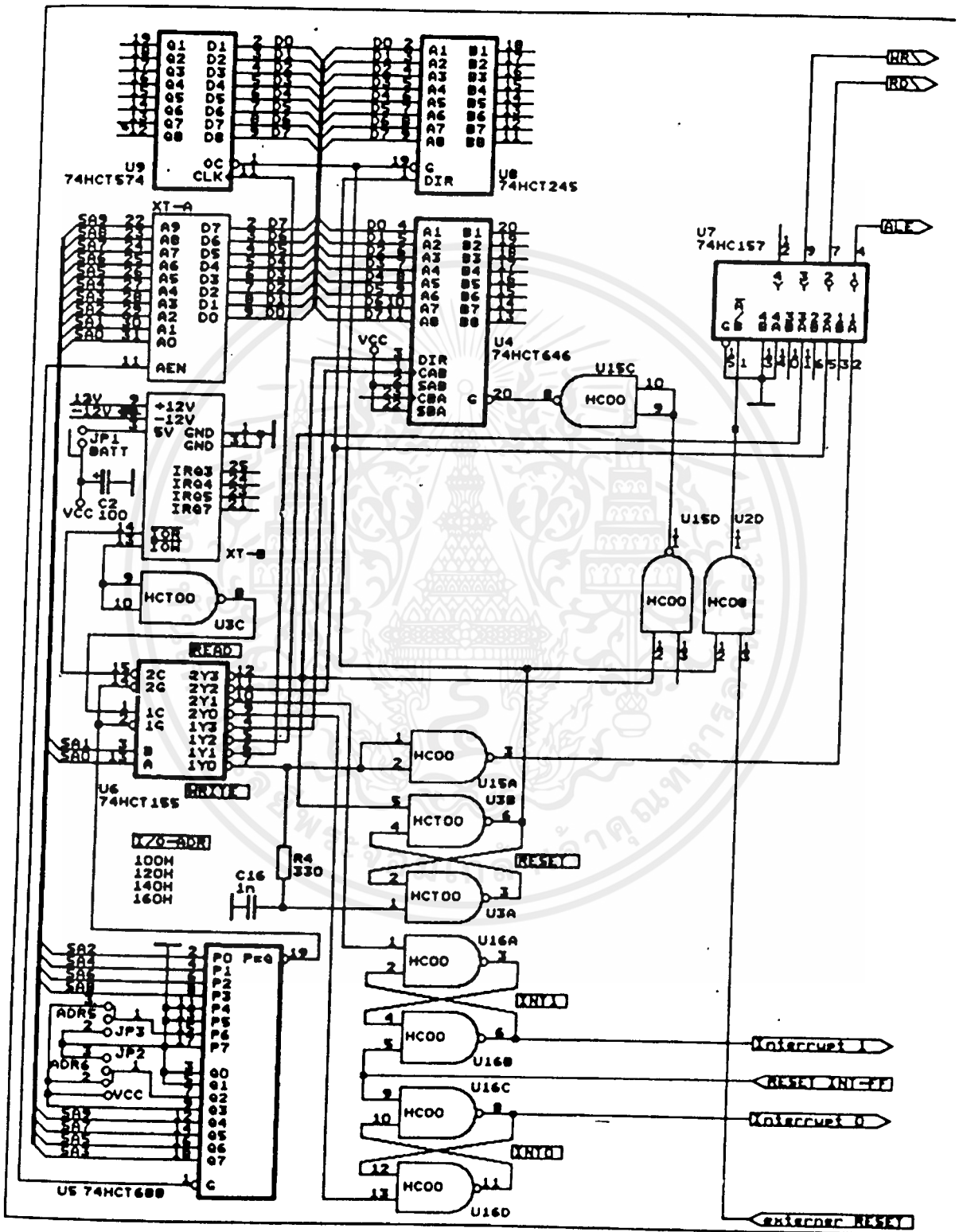
-ทางด้านการอินเตอร์เฟส และการจัดการข้อมูล

วงจรราร์ดแวร์ไมโครคอนโทรลเลอร์ 80C535 ในการอินเตอร์เฟสจะแสดงดังรูปที่ 2.9 การอินเตอร์เฟสการ์ดนี้เข้ากับเครื่องไมโครคอมพิวเตอร์ จะผ่านทางสลีตที่ว่างของเครื่องไมโครคอมพิวเตอร์ จากวงจรในรูปที่ 2.9 จะแสดงให้เห็นถึงจำนวนสัญญาณที่ต้องใช้ในการติดต่อกับไมโครคอมพิวเตอร์ คือที่ XT-A และ XT-B เป็นสลีตของเครื่องไมโครคอมพิวเตอร์ โดยในขั้นแรกของการทำงานจะเริ่มจากการ Decode ค่าของแอสเตเรสให้ตรงกับความต้องการของการ์ด 80C535 โดยใช้ไอซี 74HC688 เป็นตัวเปรียบเทียบค่าของแอสเตเรสทั้งทางด้านต่ำและทางด้านสูง เมื่อได้ค่าของแอสเตเรสที่ต้องการก็จะสั่งให้ชิพทำงานโดยการให้ลอจิก "0" ออกมาทางขา "P" ของ 74HC688 ต่อจากนั้นจะส่งค่าที่ได้ขึ้นไปให้กับไอซี 74HC155 ซึ่งทำหน้าที่เป็น Decoder/Demultiplexers ทำหน้าที่จ่ายสัญญาณนาฬิกาให้แก่อุปกรณ์ทั้งหมดที่มีในระบบ และเป็นตัวบังคับให้อุปกรณ์ตัวใดทำงานเมื่อใด โดยอยู่ภายใต้การควบคุมของสัญญาณ IOR และ IOW ของไมโครคอมพิวเตอร์ในการที่จะให้การ์ดทำการอ่านหรือเขียนข้อมูลนั้น ๆ โดยจะมีชุดของการควบคุมการอ่านและควบคุมการเขียนโดยใช้ 74HC245 และ 74HC573 ตามลำดับ และใช้ 74HC646 เป็นตัวที่จะทำการควบคุมการอ้างแอสเตเรสทางด้านไบท์สูง

- ทางด้านระบบของ SAB 80C535

ในส่วนนั้นจะมีความคล้ายคลึงกับระบบของวงจรมิโครคอนโทรลเลอร์ทั่วไป โดยสายต่างๆ ของบัสและพอร์ตจะเห็นโครงสร้างภายในของ SAB 80C535 ในรูปที่ 2.10 เราจะไม่ใช่หน่วยความจำภายในตัวของ SAB 80C535 แต่จะใช้หน่วยความจำจากภายนอกเพียงอย่างเดียว และเมื่อไม่ใช่หน่วยความจำภายใน พอร์ต 0 และ 2 จะถูกใช้เป็นบัสของข้อมูลและแอสเตเรส ดังนั้นพอร์ต 2 พอร์ต ยังคงใช้งานเป็นอินพุตและเอาต์พุต โดยที่พอร์ต 2 จะทำหน้าที่เป็นสายสัญญาณแอสเตเรส A15-A8 ส่วนพอร์ต 0 จะทำหน้าที่เป็นสายสัญญาณแอสเตเรส A7-A0 ออกจากบิตข้อมูล D7-D0

เอาต์พุตของขา RD และ WR มาจากสายเอาต์พุตของพอร์ต 3 โดยโปรแกรมภายในใช้สัญญาณ RD และ WD เพื่อการเขียนและการอ่านข้อมูลกับข้อมูลของหน่วยความจำภายนอก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.9 แสดงส่วนของการอินเทอร์รัพต์และการจัดการขอมูล
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

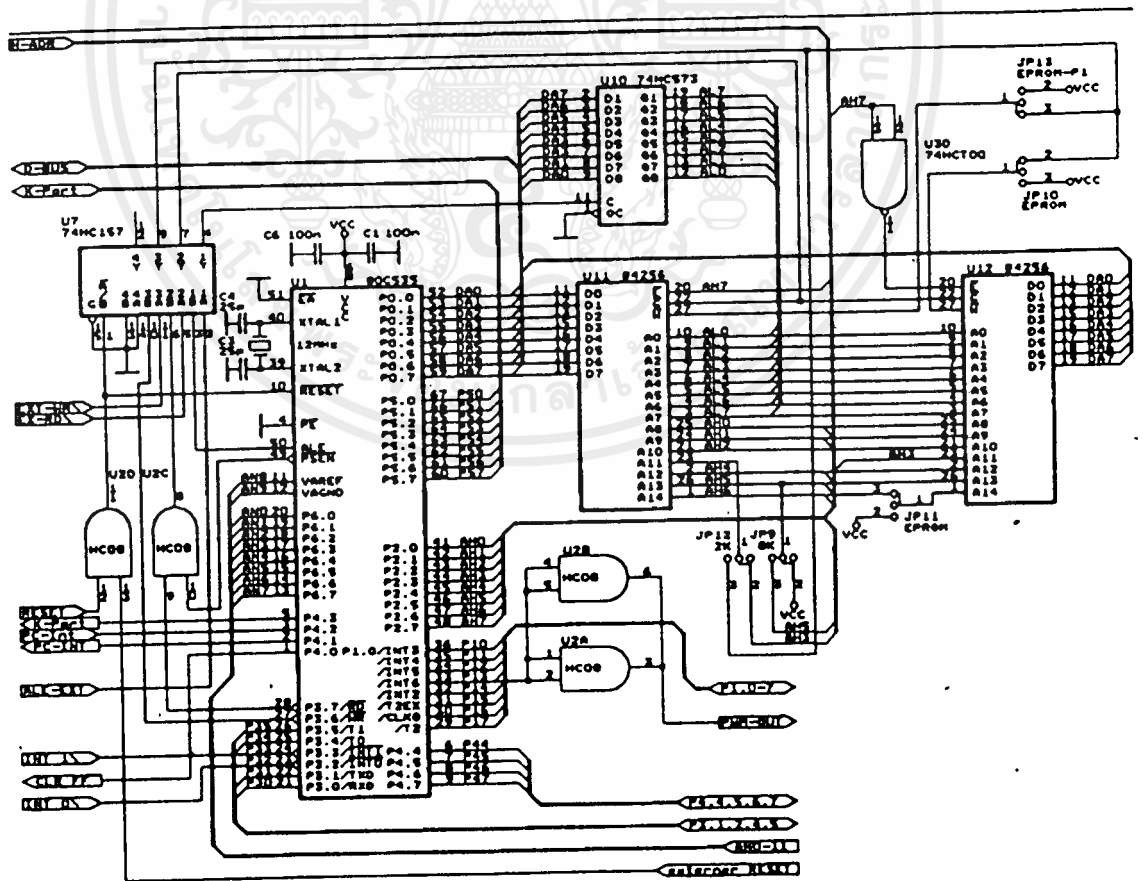
ขา PSEN

เป็นขารับสัญญาณสำหรับเปิดให้มีการอ่านหน่วยความจำภายนอก ถ้าสังเกตทุก ๆ รอลคำสั่งระหว่างการทำงานด้วยโปรแกรมในหน่วยความจำ (RAM, ROM, EPROM) จะเห็นว่าสัญญาณ PSEN ทำงานถึงสองครั้งเหมือนสัญญาณ ALE เพราะว่ามี การอ่านข้อมูลจำนวน 2 ไบต์ ในแต่ละรอบคำสั่ง

ขา PSEN นี้ไม่ทำงานเมื่อมีภาษาเครื่องเก็บอยู่ในหน่วยความจำภายในและถ้าหากหน่วยความจำภายนอกไม่มีข้อมูลบรรจุอยู่ PSEN ก็จะไม่ทำงานด้วยเช่นกัน

ขา EA

เป็นขาอินพุตที่ใช้ร่วมกับแอดเดรสภายนอก โดยจะมีค่าลอจิก "0" เมื่อไมโครคอนโทรลเลอร์อ่านคำสั่งจากหน่วยความจำภายนอก(ปกติไมโครคอนโทรลเลอร์จะอ่านหน่วยความจำภายในน้อยกว่าอ่านจากหน่วยความจำภายนอก) แต่ในที่เรานำขา EA ลงกราวด์เพื่อทำให้เป็นค่าลอจิก "0"



ขา XTAL

ในจุดนี้เราได้ใช้ค่าของออสซิลเลเตอร์ 11.0592 เพื่อที่จะทำให้มันทำการติดต่อกับ ไมโครคอมพิวเตอร์ได้ทั้งทางสลิตของเครื่อง และติดต่อกับ RS-232

ขา ALE

ขานี้จะป็นสัญญาณแอดเดรสแลตซ์อื่นาเบิรลอกจากตัวซีพียู โดยการบอกอุปกรณ์ภายนอกให้ทำการแลตซ์แอดเดรสไปต์ค่าที่ถูกส่งออกมาในขณะเฟลท์คำสั่ง

ขา RD

ขานี้เป็นขาสัญญาณการอ่านข้อมูลจากหน่วยความจำข้อมูลภายนอก

จากรูปที่ 2.10 พอร์ต PO จะทำหน้าที่เป็นทั้งแอดเดรสและคาต้า โดยเมื่อซีพียูต้องการอ่านโปรแกรมจะส่งแอดเดรสไปต์ค่าออกมาทางพอร์ต PO และส่งสัญญาณ ALE ให้กับ 74HC573 ทำการแลตซ์ เพื่อเป็นแอดเดรสของหน่วยความจำต่อไป ส่วน A8-A15 จะออกทางพอร์ต P2 เมื่อถึงไซเกิลของการเฟลท์คำสั่ง ที่ขา PSEN ของซีพียูจะส่งพัลส์ลอจิก "0" ออกมา ซึ่งจากวงจร ขา PSEN ถูกต่ออยู่กับ 6264 ข้อมูลใน 6264 จะถูกส่งออกไปทาง D0-D7 ไปยังพอร์ต PO ของซีพียูเพื่อนำคำสั่งไปแปลต่อไป

การต่อแรมในที่นี้เราจะอ้างหน่วยความจำได้สูงสุด 64 กิโลไบต์ วิธีการต่อการทำโดยการนำสัญญาณ PSEN และ RD มา AND กันแล้ววงจรที่เราทำการออกแบบมานั้นเมื่อนำมาผ่านตัวดีโค๊ดอีกทีหนึ่ง และเมื่อตำแหน่งหน่วยความจำอยู่ในหน้าเดียวกันจำเป็นจะต้องกำหนดตำแหน่งของหน่วยความจำของแต่ละตัวว่าอยู่ที่ตำแหน่งใด ในวงจรที่ 2.10 เราจะใช้ 74HC157 เป็นตัวดีโค๊ด

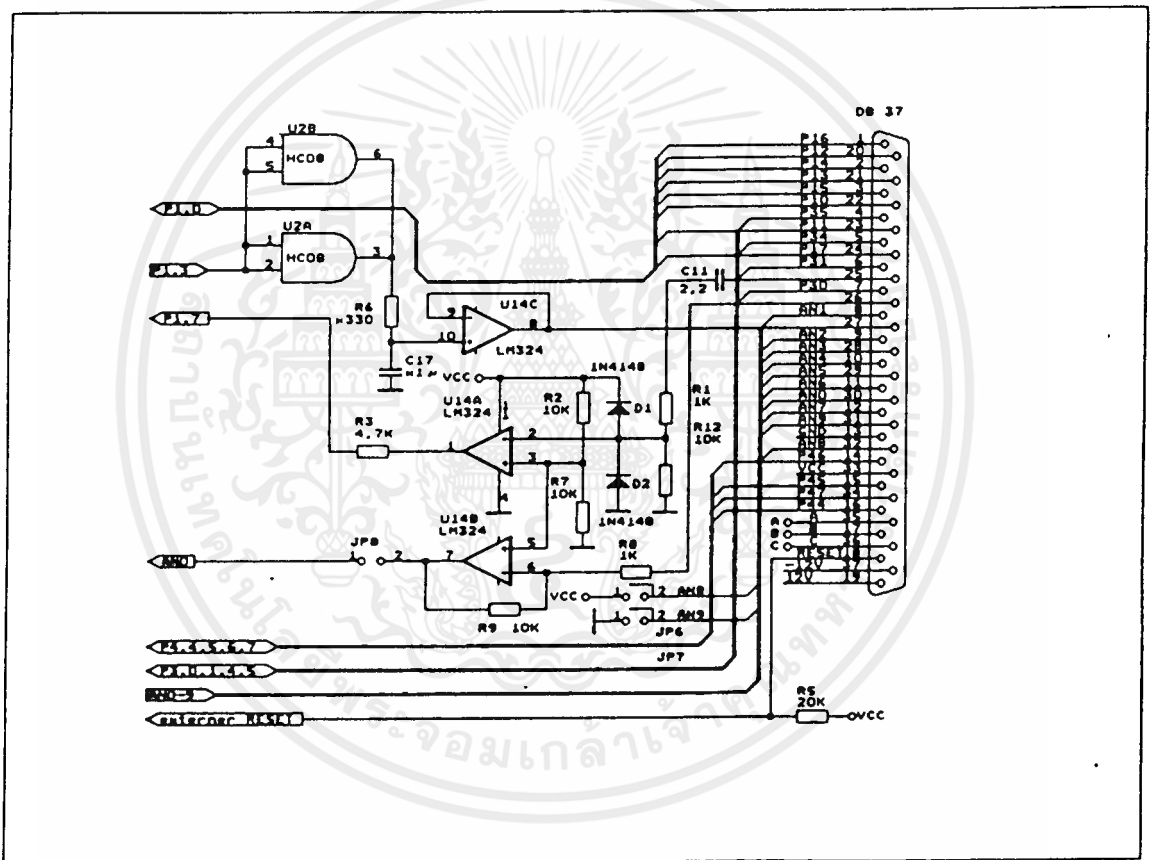
พอร์ตสื่อสารข้อมูลอนุกรม(RS-232) SAB 80C535 มีขา TX และ RX สำหรับส่งและรับข้อมูลทางอนุกรมตามลำดับ ซึ่งอยู่ที่ ขา 21 และขา 22 แต่เนื่องจากสัญญาณที่ขาทั้งสองนี้อยู่ในระดับสัญญาณทาง TTL แต่สัญญาณที่จะต้องใช้ในการส่งข้อมูลของ RS-232 นั้นจะอยู่ในช่วงระหว่าง 15 โวลต์ ทั้งทางบวกและทางลบ ฉะนั้นจึงต้องมีวงจรอินเวอร์เฟล เพื่อจัดระดับสัญญาณให้เหมาะสมจากโดยการใช้ MAX 232 เป็นตัวเพิ่มสัญญาณให้สูงขึ้นที่จะเพียงพอกับการติดต่อ

- ทางด้านการต่อพอร์ตไปใช้งานภายนอก

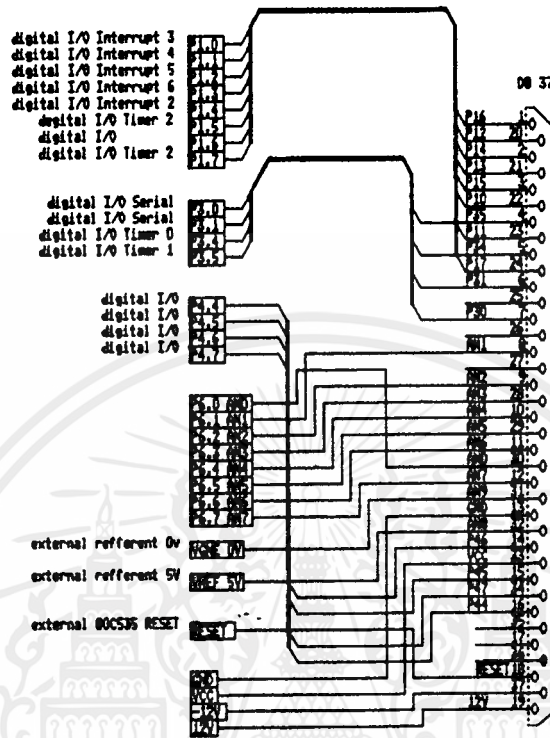
ดังรูปที่ 2.11 จากรูปเป็นการแสดงการต่อพอร์ตและวงจรไคร์เวอร์ไปยังคอนเน็คเตอร์ DB 37 ซึ่งประกอบไปด้วยพอร์ตที่ P1, P3, P4 และ P6 ซึ่งเป็นอนาล็อกเอาต์พุต และสามารถทำการ RESET เครื่องจากภายนอก

จากรูปที่ 2.11 จะประกอบไปด้วยคิวิตอลพอร์ต 3 พอร์ต อนุลอกเอาต์พุตพอร์ต
หนึ่งพอร์ต อนุลอกอินพุตพอร์ต 2 พอร์ต ซึ่งอนุลอกเอาต์พุตพอร์ตนั้นโดยความจริงแล้ว
เป็นคิวิตอลพอร์ตแต่เรามาทำการต่อวงจร D/A เอาไว้เพื่อเพิ่มความสามารถของตัวการ์ด
โดยใช้วงจร D/A Pulse-width modulated waveform เป็นตัวแปลงสัญญาณคิวิตอล
ไปเป็นสัญญาณทางอนุลอก

ในรูปที่ 2.12 ได้แสดงจุดต่อและการวางขาของพอร์ตที่จะทำการต่อออกไปใช้งาน



รูปที่ 2.11 แสดงการใช้งานของพอร์ต



รูปที่ 2.12 แสดงจุดต่อพอร์สำหรับต่อไปใช้งาน

2.5 การติดตั้ง JUMPER

การติดตั้ง JUMPER ลงบนบอร์ดไมโครคอนโทรลเลอร์ ให้มีความคล่องตัวสูงและมีความเหมาะสมกับการใช้งานซึ่งต่างกันไป ได้ให้ความหมายและหน้าที่การทำงานของ JUMPER ไว้ดังนี้

- JP1 การใช้งาน 80C535 บนไมโครคอมพิวเตอร์หรือใช้บนตัวมันเอง
- JP2,JP3 ตั้งค่าการอ้างแอสเตเรลที่ พอร์ตอินพุท/เอาต์พุต
- JP4,JP5 ตั้งค่าการอินเตอรัพท์ของไมโครคอมพิวเตอร์ 3, 4, 5 หรือ 7
- JP6 กำหนดค่า +5 V ที่พอร์ด (ไฟมาตรฐาน)
- JP7 กำหนดค่า 0 V ที่พอร์ด (กราวด์มาตรฐาน)
- JP8 เอาต์พุตของ ออปแอมป์ที่ ANO
- JP9 8 หรือ 16 Kbyte บนบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JP10	EPROM/RAM U12
JP11	EEPROM U12
JP12	2 Kbyte บันทึกรหัส
JP13	EPROM/ROM U11



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบส่วนซอฟต์แวร์

3.1 บทนำ

ในบทนี้เราจะกล่าวถึงการออกแบบโปรแกรมโหลดเดอร์ และโปรแกรมดีบักเกอร์ ว่ามีขั้นตอนในการออกแบบและพัฒนาอย่างไร กล่าวคือ

โปรแกรมแอสเซมบลี เป็นโปรแกรมที่ทำหน้าที่แปลจาก ภาษาแอสเซมบลีไปเป็น ภาษาเครื่องซึ่งในที่ก็คือภาษาเครื่องของ SAB 80C535 โดยในโครงงานนี้จะนำโปรแกรม แอสเซมเบลอร์ ของ Cross-32 Meta-Assembler ของ Universal Cross-Asse- mblers เป็นตัวแปลภาษาแอสเซมบลี เพื่อสะดวกในการใช้งานและลดเวลาที่จะมาพัฒนา ขึ้นมาใช้เอง

โปรแกรมโหลดเดอร์ โปรแกรมนี้จะใช้โหลดโปรแกรมที่ได้เขียนและทำการทดสอบ การทำงานแล้วว่าถูกต้องลงบนการ์ด SAB 80C535 เพื่อทดลองการทำงานจริง

โปรแกรมดีบักเกอร์ ถือได้ว่าเป็นสิ่งจำเป็นที่จะต้องมีในระบบพัฒนา (Develop- ment System) เพราะเป็นสิ่งเดียวที่จะช่วยในการติดตามการทำงานของระบบไมโครคอน- ทโรลเลอร์ซึ่งในการพัฒนาระบบต่าง ๆ ขึ้นมานั้นความผิดพลาดย่อมมีโอกาสเกิดขึ้นได้เสมอ ดังนั้นตัวดีบักเกอร์นี้จะเป็นเครื่องมือที่จะช่วยในการหาสาเหตุแห่งความผิดพลาดเหล่านี้ได้

3.2 ซอฟต์แวร์ดีบักเกอร์

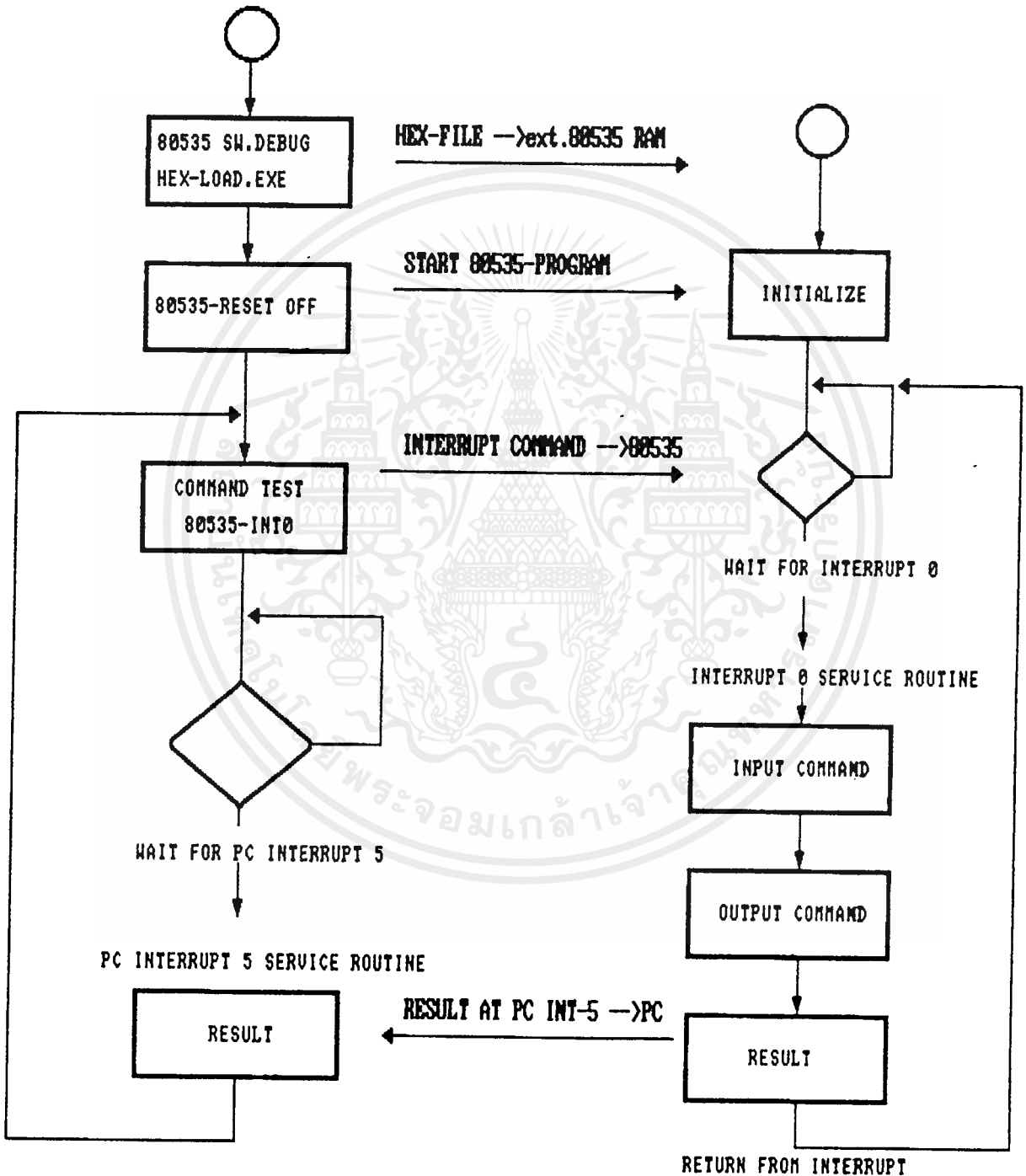
3.2.1 แนวทางการออกแบบ

การออกแบบโปรแกรมดีบักเกอร์นั้น เราจะใช้ข้อมูลที่เป็นเลขฐานสิบ หกหรือไฟล์ของภาษาแอสเซมบลีที่มีนามสกุล .HEX มาทำการดีบัก โดยหลักการของ โปรแกรมดีบักเกอร์ในการติดต่อกับเครื่องไมโครคอมพิวเตอร์ รวมไปถึงการเรียก ใช้การอินเตอร์รัพต์ด้วย ดังแสดงรายละเอียดในรูปแบบของ Flow chart ในรูป ที่ 3.1 โดยเริ่มต้นจากการโหลดโปรแกรมโหลดเดอร์และมันจะทำให้มีการโหลด HEX ไฟล์ลงไปหน่วยความจำของ 80C535 การ์ด และจะทำการ Reset ค่า ต่างๆ ทั้งหมดที่มีอยู่ในการ์ดและในนิชิ ที่อยู่ในส่วนของโปรแกรมโหลดเดอร์ ต่อ จากนั้นการ์ดจะต้องรอการเกิดการอินเตอร์รัพต์ 0 (INT0) เมื่อเกิดการอินเตอร์รัพต์

ที่ได้มาและส่งผลกลับไปยังพีซีอีกทีหนึ่ง โดยทำการส่งอินเทอร์รัพต์ 5 (INT 5) ของ 80C535 และจะทำงานในลักษณะนี้ไปเรื่อยๆ

PC-PROGRAM

80535-PROGRAM



เอกสารนี้เป็นเอกสารที่ 3.1 แสดง Flowchart ของการทำงานในโปรแกรมตีบกเกอร์ ระเบียบด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การติดต่อสื่อสาร Protocol ระหว่างไมโครคอมพิวเตอร์กับการ์ด การติดต่อกันระหว่างพีซีกับ 80C535 นั้นทำเป็นลำดับดังนี้ กล่าวคือ มันจะส่งข้อมูลคำสั่งไปให้กับ 80C535 การ์ดโดยการทำอินเตอร์ 0 หรือ 1 เมื่อทำการส่งเรียบร้อยแล้วพีซีก็ต้องคอยการตอบสนองกลับโดยการคอยรับการอินเตอร์รัท 5 ของ 80C535 แต่ในระหว่างนั้นการ์ด 80C535 จะทำการประมวลผลในคำสั่งที่มันได้รับมาเมื่อทำเสร็จเรียบร้อยแล้วจึงค่อยส่งผลลัพธ์ที่ได้กลับไปยังพีซีที่ยังคอยรับการอินเตอร์ อยู่ซึ่งได้แสดงไว้ในรูปที่ 3.2 แล้ว

Interface-Protocol ระหว่าง PC และ 80C535 Card

Personal Computer XT/AT	Microcontroller 80C535
1 Command Adr. 103H write	
2 Interrupt 0 (1) Adr. 100H read	
3 Wait และ Interrupt 5 Adr. 103H read	1. รับ Command 2. รับ PC-Interrupt 5 3. ให้ PC Interrupt 5

รูปที่ 3.2 แสดงการติดต่อกันระหว่าง PC กับ 80C535

โดยมีโปรแกรมภาษาแอสเซมบลีในส่วนของ SAB 80C535 ดังนี้

; SW-DEBUGGER - 80C535

IENO	DATA	0A8H
IEN1	DATA	0B8H
IF0	DATA	0A9H
IF1	DATA	0B9H
IRCON	DATA	0C0H
P4	DATA	0E8H
P5	DATA	0F8H

PC_BYTE_1	DATA	70H
PC_BYTE_2	DATA	71H
MARKEN	DATA	72H
MARKE	DATA	73H
FLAGS_0	DATA	74H
START	CODE	1C00H
INT_0	CODE	03H
INT_1	CODE	13H
INT_6	CODE	6BH

START_ADR:

CSEG	AT	RESET
LJMP	START	
CSEG	AT	INT_0
LJMP	INTERRUPT_0	
CSEG	AT	INT_1
LJMP	INTERRUPT_0	
CSEG	AT	INT_6
LJMP	INTERRUPT_6	
CSEG	AT	START

ORG 1C00H

PROGRAMM_START:

```

MOV    RO,#15H
MOV    DPTR,#X_USER_BREAKPOINT_1
LOOP_1: MOVX  @DPTR,A
        INC  DPTR
        DJNZ RO,LOOP_1
LOOP_2: MOV  @RO,A
        DJNZ RO,LOOP_2
        MOV  SF,#74H
        MOV  A,#7
        MOV  DPTR,#U_SF
        MOVX @DPTR,A
        ORL  IF0,#20H
        ORL  IF1,#20H
        SETB TCON.0
        ORL  IENO,#81H
        SETB IEN1.5
        CLR  P4.0
        SETB P4.0

```

INTERRUPT_LOOP:

SJMP INTERRUPT_LOOP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 3.3 แสดงโปรแกรมดักเบรกเกอร์ในส่วนของ 80C535
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
INTERRUPT_0:
    MOV     DPTR,#X_PC_BEFEHL
    MOV     P5,#0FFH
    CLR     F4.3
    MOV     A,P5
    SETB    F4.3
    MOV     P5,A
    MOVX    @DPTR,A
    ORL     FLAGS_0,#01H
INTO_1:    MOV     A,MARKEN
    JZ      INTO_BEFEHLE
    JMP     INTO_4

INTO_BEFEHLE:
    MOV     DPTR,#X_PC_BEFEHL
    MOVX    A,@DPTR
    ANL     A,#0FH
    RL      A
    MOV     DPTR,#JMP_TABELLE
    JMP     @A+DPTR

JMP_TABELLE:
    AJMP    B0_GO
    AJMP    B1_SHOW_SFR_BYTE
    AJMP    B2_PROGRAM_COUNTER_TO_PC
    AJMP    B3_SHOW_INT_RAM_BYTE
    AJMP    B4_DASM_ENDE
    AJMP    B5_SHOW_EXT_RAM_BYTE
    AJMP    B6_FOLGE_BYTE_TO_PC
    AJMP    B7_ENTER_SFR
    AJMP    B8_ENTER_INT_RAM
    AJMP    B9_ENTER_EXT_RAM
    AJMP    BA_TRACE
    AJMP    BB_BREAKPOINT_SET
    AJMP    BC_BREAKPOINT_CLEAR
    AJMP    B4_DASM_ENDE
    JMP     BEFEHL_DASM

B0_GO:    ORL     MARKEN,#01H
    JMP     B_W

B1_SHOW_SFR_BYTE:
    ORL     MARKEN,#02H
    MOV     R0,#1H
    SJMP    B_ER

B2_PROGRAM_COUNTER_TO_PC:
    ANL     FLAGS_0,#0FCH
    ORL     FLAGS_0,#0CH
    SJMP    B_ER

B3_SHOW_INT_RAM_BYTE:
    ORL     MARKEN,#04H
    SJMP    B_W

B4_DASM_ENDE:
    ANL     FLAGS_0,#0FEH
    MOV     DPTR,#X_FLAGS_1
    MOVX    A,@DPTR
```

```
          CLR      A
B_Y:     MOVX     @DPTR,A
          SJMP     B_ER
B5_SHOW_EXT_RAM_BYTE:
          ORL     MARKEN,#08H
          SJMP     B_W
B6_FOLGE_BYTE_TO_PC:
          ANL     FLAGS_0,#0FEH
          SJMP     B_ER
B7_ENTER_SFR:
          ORL     MARKEN,#10H
B_W:     MOV     RO,#2H
B_ER:    JMP     INTO_RETURN
B8_ENTER_INT_RAM:
          ORL     MARKEN,#20H
          SJMP     B_X
B9_ENTER_EXT_RAM:
          ORL     MARKEN,#40H
B_X:     MOV     RO,#3H
          SJMP     B_ER
BA_TRACE:
          ANL     FLAGS_0,#0FEH
          JMP     BEFEHL_TRACE
BB_BREAKPOINT_SET:
          ORL     MARKEN,#80H
          SJMP     B_W
BC_BREAKPOINT_CLEAR:
          ANL     FLAGS_0,#0FEH
          MOV     A,MARKE
          JZ     B_ER
          JMP     BEFEHL_BREAKPOINT_CLEAR

INTO_4:  JB     ACC.0,INTO_M0_GO
          JB     ACC.1,INTO_M1_SHOW_SFR_BYTE
          JB     ACC.2,INTO_M2_SHOW_INT_RAM_BYTE
          JB     ACC.3,INTO_M3_SHOW_EXT_RAM_BYTE
          JB     ACC.4,INTO_M4_ENTER_SFR
          JB     ACC.5,INTO_M5_ENTER_INT_RAM
          JB     ACC.6,INTO_M6_ENTER_EXT_RAM
          JMP     INTO_M7_BREAKPOINT_SET

INTO_M0_GO:
          ACALL  PC_BEFEHL_EXT_LESEN
          ANL     MARKEN,#0FEH
          ORL     FLAGS_0,#20H
          JMP     BEFEHL_GO
INTO_M1_SHOW_SFR_BYTE:
          ACALL  PC_BEFEHL_EXT_LESEN
          ANL     MARKEN,#0FDH
          JMP     BEFEHL_SHOW_SFR_BYTE
INTO_M2_SHOW_INT_RAM_BYTE:
          ORL     FLAGS_0,#02H
          ACALL  PC_BEFEHL_EXT_LESEN
          ANL     MARKEN,#0FBH
          JMP     BEFEHL_SHOW_INT_RAM_BYTE
```

```
INTO_M3_SHOW_EXT_RAM_BYTE:
    ORL     FLAGS_0,#02
    ACALL  PC_BEFEHL_EXT_LESEN
    ANL    MARKEN,#0F7H
    JMP    BEFEHL_SHOW_EXT_RAM_BYTE
INTO_M4_ENTER_SFR:
    ACALL  PC_BEFEHL_EXT_LESEN
    ANL    MARKEN,#0EFH
    JMP    BEFEHL_ENTER_SFR
INTO_M5_ENTER_INT_RAM:
    ACALL  PC_BEFEHL_EXT_LESEN
    ANL    MARKEN,#0DFH
    JMP    BEFEHL_ENTER_INT_RAM
INTO_M6_ENTER_EXT_RAM:
    ACALL  PC_BEFEHL_EXT_LESEN
    ANL    MARKEN,#0BFH
    JMP    BEFEHL_ENTER_EXT_RAM
INTO_M7_BREAKPOINT_SET:
    ACALL  PC_BEFEHL_EXT_LESEN
    ANL    MARKEN,#7FH
    JMP    BEFEHL_BREAKPOINT_SET

PC_BEFEHL_EXT_LESEN:
    MOV    DPTR,#X_PC_BEFEHL
    MOVX   A,@DPTR
    CJNE  RO,#1,PC_BYTE_2_3_LESEN
PC_BYTE_1_LESEN:
    MOV    PC_BYTE_1,A
    ANL    FLAGS_0,#0FEH
    SJMP  RETURN_PC_BYTE_LESEN
PC_BYTE_2_3_LESEN:
    CJNE  RO,#2H,PC_BYTE_3_LESEN
    MOV    PC_BYTE_2,A
    SJMP  RETURN_PC_BYTE_LESEN
PC_BYTE_3_LESEN:
    MOV    DPTR,#X_PC_BYTE_3
    MOVX   @DPTR,A
RETURN_PC_BYTE_LESEN:
    DEC   RO
    MOV   A,FLAGS_0
    JNB  ACC.0,NO_INT_RET
    DEC  SP
    DEC  SP
    JMP  INTO_RETURN
NO_INT_RET:
    RET

BEFEHL_SHOW_SFR_BYTE:
    ORL     FLAGS_0,#02
    MOV     A,PC_BYTE_1
    MOV     DPTR,#BSS_10 + 1
    MOVX   @DPTR,A
    CJNE  A,#0EOH,BSS_2
    MOV     DPTR,#U_ACC
BSS_W:   MOVX   A,@DPTR
```

```
        MOV     PC_BYTE_1,A
        SJMP   BSS_E
BSS_2:  CJNE   A,#0DOH,BSS_4
        MOV     DPTR,#U_PSW
        SJMP   BSS_W
BSS_4:  CJNE   A,#082H,BSS_6
        MOV     DPTR,#U_DPL
        SJMP   BSS_W
BSS_6:  CJNE   A,#083H,BSS_8
        MOV     DPTR,#U_DPH
        SJMP   BSS_W
BSS_8:  CJNE   A,#081H,BSS_10
        MOV     DPTR,#U_SF
        SJMP   BSS_W
BSS_10: MOV     PC_BYTE_1,0
BSS_E:  JMP     INTO_RETURN

BEFEHL_SHOW_INT_RAM_BYTE:
        MOV     RO,PC_BYTE_1
        MOV     A,RO
        JZ      BSI_4
        MOV     PC_BYTE_1,@RO
BSI_2:  JMP     INTO_RETURN
BSI_4:  MOV     DPTR,#U_RO
BSI_6:  MOVX    A,@DPTR
        MOV     PC_BYTE_1,A
        SJMP   BSI_2

BEFEHL_SHOW_EXT_RAM_BYTE:
        MOV     DPL,PC_BYTE_1
        MOV     DPH,PC_BYTE_2
        SJMP   BSI_6

BEFEHL_ENTER_SFR:
        MOV     A,PC_BYTE_2
        MOV     RO,A
        MOV     DPTR,#BES_10 + 1
        MOVX    @DPTR,A
        MOV     A,PC_BYTE_1
        CJNE   RO,#0EOH,BES_2
        MOV     DPTR,#U_ACC
BES_W:  MOVX    @DPTR,A
        SJMP   BES_E
BES_2:  CJNE   RO,#0DOH,BES_4
        MOV     DPTR,#U_PSW
        SJMP   BES_W
BES_4:  CJNE   RO,#082H,BES_6
        MOV     DPTR,#U_DPL
        SJMP   BES_W
BES_6:  CJNE   RO,#083H,BES_8
        MOV     DPTR,#U_DPH
        SJMP   BES_W
BES_8:  CJNE   RO,#081H,BES_10
        MOV     DPTR,#U_SF
        SJMP   BES_W
```

```
BES_10: MOV     OH,A
BES_E:  JMP     INTO_RETURN

BEFEHL_ENTER_INT_RAM:
    MOV     RO,PC_BYTE_2
    MOV     A,PSW
    ANL     A,#1BH
    CJNE   A,PC_BYTE_2,BEI_2
    MOV     A,PC_BYTE_1
    MOV     DPTR,#U_RO
    MOVX   @DPTR,A
    SJMP   BEI_4
BEI_2:  MOV     A,PC_BYTE_1
    MOV     @RO,A
BEI_4:  JMP     INTO_RETURN

BEFEHL_ENTER_EXT_RAM:
    MOV     DPTR,#X_PC_BYTE_3
    MOVX   A,@DPTR
    MOV     DPH,A
    MOV     DPL,PC_BYTE_2
    MOV     A,PC_BYTE_1
    MOVX   @DPTR,A
    JMP     INTO_RETURN

BEFEHL_BREAKPOINT_SET:
    MOV     A,MARKE
    ANL     MARKE,#80H
    JZ      SAVE_BREAK_ADR
    ACALL  RECHANGE_BREAK_USER_BYTES
SAVE_BREAK_ADR:
    MOV     DPTR,#X_PROGRAM_COUNTER_H
    MOV     A,PC_BYTE_2
    MOVX   @DPTR,A
    INC    DPTR
    MOV     A,PC_BYTE_1
    MOVX   @DPTR,A
CHANGE_BREAK_USER_BYTES:
    MOV     DPL,PC_BYTE_1
    MOV     DPH,PC_BYTE_2
    MOVX   A,@DPTR
    PUSH  ACC
    MOV     A,#02H
    MOVX   @DPTR,A
    INC    DPTR
    MOVX   A,@DPTR
    PUSH  ACC
    PUSH  DPH
    PUSH  DPL
    MOV     DPTR,#BREAKPOINT_ERREICHT
    MOV     RO,DPL
    MOV     A,DPH
    POP    DPL
    POP    DPH
    MOVX   @DPTR,A
```

```
INC DPTR
MOVX A,@DPTR
PUSH ACC
MOV A,R0
MOVX @DPTR,A
MOV DPTR,#X_U_BYTE_3
POP ACC
MOVX @DPTR,A
INC DPTR
POP ACC
MOVX @DPTR,A
INC DPTR
POP ACC
MOVX @DPTR,A
ORL MARKE,#80H
JMP INTO_RETURN
```

```
RECHANGE_BREAK_USER_BYTES:
MOV DPTR,#X_U_BYTE_3
MOVX A,@DPTR
PUSH ACC
INC DPTR
MOVX A,@DPTR
PUSH ACC
INC DPTR
MOVX A,@DPTR
PUSH ACC
MOV DPTR,#X_PROGRAM_COUNTER_H
ACALL SUBSTITUTE
POP ACC
MOVX @DPTR,A
INC DPTR
POP ACC
MOVX @DPTR,A
INC DPTR
POP ACC
MOVX @DPTR,A
ANL MARKE,#07FH
RET
```

```
BREAKPOINT_ERREICHT:
ACALL SAVE_USER_REGISTER
MOV A,SP
MOVX @DPTR,A
MOV DPTR,#D_PSW
MOVX A,@DPTR
MOV PSW,A
INC DPTR
MOVX A,@DPTR
MOV SP,A
ACALL RECHANGE_BREAK_USER_BYTES
JMP INTO_RETURN
```

```
SAVE_USER_REGISTER:
PUSH ACC
```

```
PUSH    DPH
MOV     A,DPL
MOV     DFTR,#U_DPL
MOVX    @DFTR,A
POP     ACC
INC     DFTR
MOVX    @DFTR,A
MOV     A,PSW
INC     DFTR
MOVX    @DFTR,A
POP     ACC
INC     DFTR
MOVX    @DFTR,A
MOV     DFTR,#U_RO
MOV     A,RO
MOVX    @DFTR,A
INC     DFTR
RET
```

BEFEHL_TRACE:

```
MOV     DFTR,#X_PROGRAM_COUNTER_L
MOVX    A,@DFTR
ADD     A,#-2
MOVX    @DFTR,A
MOV     PC_BYTE_1,A
MOV     DFTR,#X_PROGRAM_COUNTER_H
MOVX    A,@DFTR
ADDC   A,#OFFH
MOVX    @DFTR,A
MOV     PC_BYTE_2,A
ACALL  CHANGE_INT6_CODE_MIT_USER_BYTES
```

BEFEHL_GO:

```
MOV     DFTR,#GO_JMP + 1
MOV     A,PC_BYTE_2
MOVX    @DFTR,A
INC     DFTR
MOV     A,PC_BYTE_1
MOVX    @DFTR,A
```

```
MOV     DFTR,#D_PSW
MOV     A,PSW
MOVX    @DFTR,A
INC     DFTR
MOV     A,SP
MOVX    @DFTR,A
```

REG_USER_REGISTER:

```
MOV     DFTR,#U_PSW
MOVX    A,@DFTR
MOV     PSW,A
MOV     DFTR,#U_RO
MOVX    A,@DFTR
MOV     RO,A
INC     DFTR
```

```
MOVX    A,@DPTR
PUSH    ACC
MOV     DPTR,#U_ACC
MOVX    A,@DPTR
PUSH    ACC
MOV     DPTR,#U_DPL
MOVX    A,@DPTR
PUSH    ACC
INC     DPTR
MOVX    A,@DPTR
MOV     DPH,A
POP     ACC
MOV     DPL,A
POP     ACC
POP     SP
GO_JMP: JMP     0

SUBSTITUTE:
MOVX    A,@DPTR
MOV     RO,A
INC     DPTR
MOVX    A,@DPTR
MOV     DPL,A
MOV     DPH,RO
RET

BEFEHL_BREAKPOINT_CLEAR:
ACALL   RECHANGE_BREAK_USER_BYTES
JMP     INTO_RETURN

CHANGE_INT6_CODE_MIT_USER_BYTES:
MOV     DPL,PC_BYTE_1
MOV     DPH,PC_BYTE_2
MOVX    A,@DPTR
PUSH    DPH
PUSH    DPL
MOV     DPTR,#X_USER_BREAKPOINT_1
MOVX    @DPTR,A
POP     DPL
POP     DPH
MOV     A,#0D2H
MOVX    @DPTR,A
INC     DPTR
MOVX    A,@DPTR
PUSH    DPH
PUSH    DPL
MOV     DPTR,#X_USER_BREAKPOINT_2
MOVX    @DPTR,A
POP     DPL
POP     DPH
MOV     A,#0C5H
MOVX    @DPTR,A
RET

RECHANGE_USER_BYTES:
```

```
MOV     DPTR,#X_PROGRAM_COUNTER_H; RESET_USE
ACALL  SUBSTITUTE
PUSH   DPL
PUSH   DPH
MOV     DPTR,#X_USER_BREAKPOINT_1
MOVX   A,@DPTR
POP    DPH
POP    DPL
MOVX   @DPTR,A
INC    DPTR
PUSH   DPL
PUSH   DPH
MOV     DPTR,#X_USER_BREAKPOINT_2
MOVX   A,@DPTR
POP    DPH
POP    DPL
MOVX   @DPTR,A
RET
```

```
BEFEHL_DASM:
MOV     DPTR,#X_PROGRAM_COUNTER_H
ACALL  SUBSTITUTE
MOVX   A,@DPTR
PUSH   ACC
INC    DPTR
MOVX   A,@DPTR
PUSH   ACC
INC    DPTR
MOVX   A,@DPTR
MOV     DPTR,#X_MC_BYTE_3
MOVX   @DPTR,A
INC    DPTR
POP    ACC
MOVX   @DPTR,A
INC    DPTR
POP    ACC
MOVX   @DPTR,A

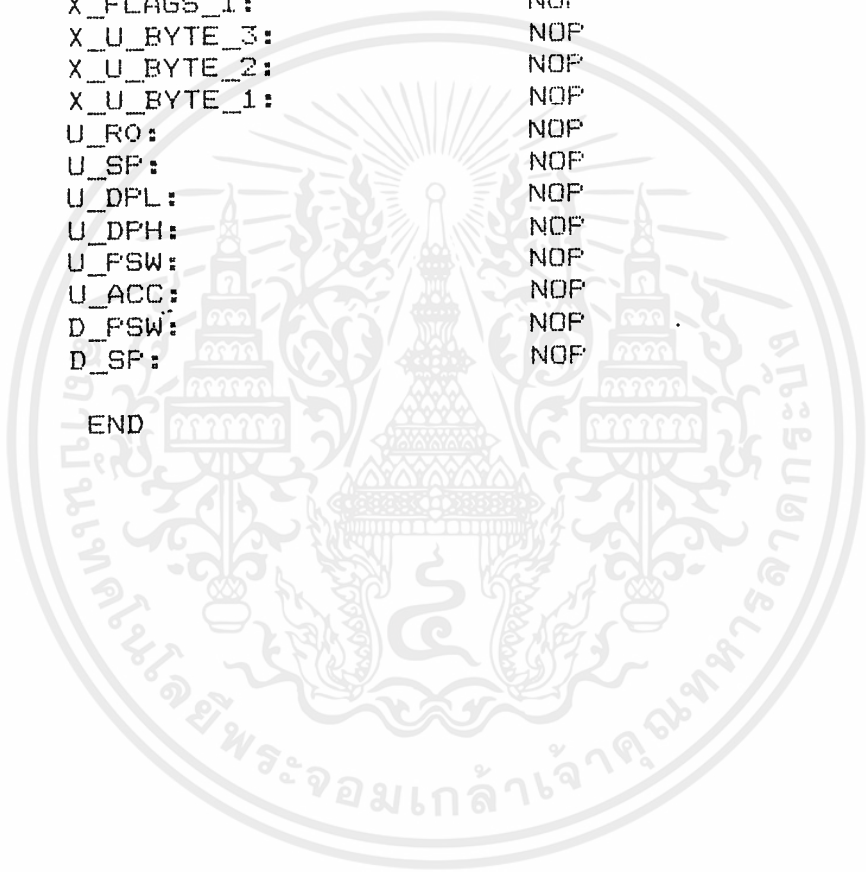
ANL    FLAGS_0,#0FH
MOV     DPTR,#X_FLAGS_1
MOVX   A,@DPTR
ORL    A,#0FH
MOVX   @DPTR,A
```

```
INTO_RETURN:
MOV     A,FLAGS_0
JB     ACC.0,PC_5_RETURN
JBC    ACC.1,PC_5_2
JBC    ACC.2,PC_5_4
JBC    ACC.3,PC_5_6
MOV     DPTR,#X_FLAGS_1
MOVX   A,@DPTR
JB     ACC.0,PC_5_8
SJMP   PC_5_RETURN
PC_5_2: MOV     FLAGS_0,A
```

```
MOV A,PC_BYTE_1
SJMP PC_5_RETURN
PC_5_4: MOV FLAGS_0,A
MOV DPTR,#X_PROGRAM_COUNTER_H
JMP PC_5_7
PC_5_6: MOV FLAGS_0,A
MOV DPTR,#X_PROGRAM_COUNTER_L
PC_5_7: MOVX A,@DPTR
SJMP PC_5_RETURN
PC_5_8: JBC ACC.1,PC_5_A
JBC ACC.2,PC_5_C
JBC ACC.3,PC_5_E
SJMP PC_5_RETURN
PC_5_A: MOVX @DPTR,A
MOV DPTR,#X_MC_BYTE_1
SJMP PC_5_7
PC_5_C: MOVX @DPTR,A
MOV DPTR,#X_MC_BYTE_2
SJMP PC_5_7
PC_5_E: MOVX @DPTR,A
MOV DPTR,#X_MC_BYTE_3
SJMP PC_5_7
PC_5_RETURN:
MOV P5,A
CLR P4.2
SETB P4.2
ANL P4,#0FCH
ORL P4,#003H
RETI
INTERRUPT_6:
ACALL SAVE_USER_REGISTER
MOV A,SF
ADD A,#-2
MOVX @DPTR,A
ACALL RECHARGE_USER_BYTES
MOV DPTR,#X_PROGRAM_COUNTER_H
POP ACC
MOVX @DPTR,A
INC DPTR
POP ACC
MOVX @DPTR,A
MOV DPTR,#INT6_ZURUECK_VOM_TRACE
PUSH DPL
PUSH DPH
RETI
INT6_ZURUECK_VOM_TRACE:
MOV DPTR,#D_PSW
MOVX A,@DPTR
MOV P5,A
INC DPTR
MOVX A,@DPTR
MOV SF,A
```

JMP FC_5_RETURN

X_USER_BREAKPOINT_1: NOP
X_USER_BREAKPOINT_2: NOP
X_PROGRAM_COUNTER_H: NOP
X_PROGRAM_COUNTER_L: NOP
X_PC_BEFEHL: NOP
X_PC_BYTE_3: NOP
X_MC_BYTE_3: NOP
X_MC_BYTE_2: NOP
X_MC_BYTE_1: NOP
X_FLAGS_1: NOP
X_U_BYTE_3: NOP
X_U_BYTE_2: NOP
X_U_BYTE_1: NOP
U_RO: NOP
U_SP: NOP
U_DPL: NOP
U_DPH: NOP
U_PSW: NOP
U_ACC: NOP
D_PSW: NOP
D_SP: NOP
END



3.2.2 การทำงานของโปรแกรม

ในส่วนนี้จะได้กล่าวถึงการใช้งานกับโปรแกรมดีบั๊กเกอร์ของ การ์ด 80C535 นี้ ซึ่งคำสั่งต่างๆ ที่ใช้นั้นจะเป็นคำสั่งของไมโครคอลโทรเลอร์ในตระกูล MCS 51 ซึ่งโปรแกรมดีบั๊กเกอร์นี้เป็นโปรแกรมสำหรับช่วยในการทดสอบและพัฒนาซอฟต์แวร์ขึ้นบนการ์ด 80C535 โดยมีรายละเอียดดังต่อไปนี้

- สามารถเรียกดูข้อมูลที่อยู่ใน หน่วยความจำภายในและภายนอกของ RAM และข้อมูลที่อยู่ในรีจิสเตอร์พิเศษ
- สามารถทำการ RUN และแก้ไขโปรแกรมได้สะดวก
- สามารถทำการ ดิสแอสเซมเบลอร์ได้
- สามารถกำหนดค่าของ Break Point ได้
- สามารถใช้คำสั่ง GO และทำการ Trace ข้อมูลได้

ตัวโปรแกรมของซอฟต์แวร์ดีบั๊กเกอร์นั้นจะกินเนื้อที่ของหน่วยความจำบนเครื่องไอบีเอ็ม พีซี น้อยมากคือเพียงประมาณแค่ 1 กิโลไบต์ เท่านั้น และคุณลักษณะโดยทั่วไปมีดังต่อไปนี้

- ใช้เนื้อที่ในส่วนของหน่วยความจำภายใน โดยกำหนดตั้งแต่แอสแตรที่ 70H - 7FH
- ใช้เนื้อที่ในส่วนของหน่วยความจำภายนอก โดยกำหนดตั้งแต่แอสแตรที่ 1C00H - 1FFFH
- ใช้อินเตอร์รัพต์ 6 ในการ Trace ข้อมูลล่วงหน้า
- การติดคต่อระหว่างเครื่องไอบีเอ็ม พีซี กับการ์ดของ 80C535 นี้จะใช้สัญญาณอินเตอร์รัพต์ จากการ์ด 80C535 และอินเตอร์รัพต์ 5 (หรือ 3, 4 และ 7)

3.2.3 คำสั่งการใช้งานของดีบั๊กเกอร์

OPTIONS เป็นคำสั่งที่กำหนดหน้าที่เกี่ยวกับไฟล์ต่างๆ และการเข้าออกของโปรแกรม

GO เป็นคำสั่งที่ใช้ในการ RUN โปรแกรม

เอกสารนี้เป็นเอกสารที่ BREAKPOINT เป็นการตั้งเพื่อให้ โปรแกรมหยุดทำงานตรงตำแหน่งที่เรา ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องการ

TRACE เป็นคำสั่งที่ให้โปรแกรมติดตามการทำงานของโปรแกรมไปเรื่อยๆ ตลอดคำสั่ง

DISASM เป็นคำสั่งในการให้ทำการแปลงโปรแกรมที่เป็น HEX-File ให้เป็นภาษาแอสเซมบลี

SHOW เป็นคำสั่งให้โปรแกรมแสดงค่าต่าง ๆ ที่มีอยู่ในรีจิสเตอร์ เช่น ค่าที่อยู่ในหน่วยความจำ ณ. จุดใดจุดหนึ่ง หรือค่าของรีจิสเตอร์ชนิดพิเศษ

ENTER เป็นคำสั่งที่ทำหน้าที่ป้อนข้อมูลเข้าสู่หน่วยความจำ (RAM)

OPTIONS

LOAD ทำการโหลดโปรแกรมที่มีนามสกุล "HEX" ลงในหน่วยความจำของไอบีเอ็ม พีซี

END ทำการจบโปรแกรมดีบั๊กเกอร์

RESET ทำการเรียกโปรแกรมดีบั๊กเกอร์ใหม่อีกครั้ง

COLOR ทำการเปลี่ยนสีบนหน้าจอที่รันโปรแกรมดีบั๊กเกอร์ใหม่

GO

BREAKPOINT

SET ทำการตั้งค่าแอสแตรขนาด 16 บิต ของ Breakpoint

CLEAR ทำการลบค่า Breakpoint ที่ได้ตั้งไว้ก่อนหน้าออกจากหน่วยความจำ

SHOW ทำการแสดงค่า Breakpoint ที่ได้ตั้งไว้ก่อนหน้าออกจากหน่วยความจำ

TRACE

DISASM

SFR ทำการแสดงผลภายใน รีจิสเตอร์หน้าที่พิเศษเป็นตาราง
ออกมาให้เห็น

INT.RAM ทำการแสดงผลแอสเคอร์สที่อยู่ของหน่วยความจำภายใน

EXT.RAM ทำการแสดงผลแอสเคอร์สที่อยู่ของหน่วยความจำภายใน

SFR B1k ทำการแสดงผลขอบเขตของ รีจิสเตอร์หน้าที่พิเศษออกมา

Int.B1k ทำการแสดงผลขอบเขตของหน่วยความจำ (RAM) ภายในของ
การ์ด 80C535

Ext.B1k ทำการแสดงผลหน่วยความจำ (RAM) 256 ไบต์ ที่อยู่ภายนอก
การ์ด 80C535

ENTER

SFR ทำการใส่ค่า 8 ไบต์ ลงในรีจิสเตอร์หน้าที่พิเศษ

INT.RAM ทำการใส่ค่า 8 ไบต์ ลงในหน่วยความจำ(RAM) ภายใน
ของการ์ด 80C535

Ext.RAM ทำการใส่ค่า 8 ไบต์ ลงในหน่วยความจำ(RAM) ภายนอก
ของการ์ด 80C535

บทที่ 4

บทสรุป

4.1 สรุปผลการทดลอง

เนื่องจากไปโครคอลโทรเลอร์ SAB 80C535 นั้นเป็นไมโครคอลเลอร์ ที่มีความสามารถสูงถ้าสามารถนำไปใช้ในการทำงานทางด้านการควบคุมจะมีประโยชน์ แต่เนื่องจากยังไม่มีเครื่องมือที่ช่วยเหลือ (TOOL) ในการพัฒนาระบบต่าง ๆ ที่จะนำเอาไมโครคอลโทรเลอร์ตัวนี้มาใช้ ดังนั้นโครงการนี้จึงเป็นการจัดสร้างระบบที่ช่วยเหลือในการพัฒนาระบบที่ใช้ไมโครคอลโทรเลอร์ SAB 80C535 เพื่ออำนวยความสะดวกในการที่จะนำไปใช้พัฒนาระบบที่ใช้ไมโครคอลโทรเลอร์ SAB 80C535 เป็นตัวประมวลต่อไป

ในโครงการนี้เราได้สร้างการ์ดขึ้นมาใช้ SAB 80C535 เป็นซีพียู และมีวงจรอื่นๆ ประกอบด้วย เช่นหน่วยความจำ วงจรอินเตอร์เฟส วงจรควบคุมการทำงานอ้างอิงแอสเตอเรล วงจรมัลติเพล็กซ์ วงจรควบคุมบัลลิสต์และบัฟเฟอร์ ซึ่งจะสามารถใช้งานได้จริง โดยควบคุมการทำงานจาก ไอบีเอ็ม นีซี ดังนั้นในโครงการนี้จึงต้องเขียนส่วนซอฟต์แวร์บนเครื่องไอบีเอ็ม นีซี เพื่อทำงานร่วมกับวงจรมานการด์ด้วยซึ่งจะประกอบด้วย โปรแกรมโหลดเตอร์ และโปรแกรมดีบักเกอร์

4.2 ปัญหาที่เกิดขึ้น

เนื่องจากตัวไมโครคอลโทรเลอร์ SAB 80C535 เป็นซีพียูที่ค่อนข้างใหม่และสลับบัซซิ่งค่อนข้างมากดังนั้นจึงต้องใช้เวลาในช่วงเทอมแรกทำการศึกษาการทำงานโดยละเอียด ก่อนที่จะทำการออกแบบวงจร ทำให้เสียเวลาในการทดลองและวินิจฉัยข้อผิดพลาด การสร้างการ์ดจะต้องสร้างวงจรมัดต่างๆ ขึ้นมาประกอบกันเป็นระบบแต่ละวงจรมัดจะต้องถูกออกแบบและสร้างขึ้นมาให้สัมพันธ์กับวงจรมัดอื่นๆ เพื่อให้การ์ดสามารถทำงานได้ ซึ่งจากการทดสอบนั้น ปรากฏว่าในส่วนวงจรที่ทำหน้าที่ติดต่อกับเครื่องไอบีเอ็ม นีซี นั้นสามารถทำงานได้โดยการทดสอบส่งข้อมูลออกไปทางพอร์ต และอ่านข้อมูลกลับเข้ามาตรวจสอบและอีกส่วนหนึ่งที่ทำการศึกษาทดสอบ คือวงจรมัดควบคุมการแลกเปลี่ยนข้อมูล ซึ่งการทดสอบวงจรมัดนี้จะต้องเขียนโปรแกรมโหลดเตอร์ขึ้นมาก่อน และทดสอบโดยการส่งข้อมูลไป

เอกสารนี้เป็นไปในหน่วยความจำบนการ์ดและทดลองให้ส่งข้อมูลกลับมาตรวจสอบว่าถูกต้องหรือไม่ ซึ่งไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในครั้งนั้นปรากฏว่าข้อมูลที่ทำการส่งไป แล้วอ่านกลับมานั้นมีค่าไม่ตรงจึงทำการตรวจสอบแก้ไขในส่วนมาก แต่ก็ยังมีบางครั้งที่ยังมีปัญหาข้อมูลบางใบที่มีค่าไม่ตรงและเมื่อทดลองโหลดโปรแกรมที่เป็นออบเจกต์โค้ดของ SAB 80C535 ไปรัน ปรากฏว่ายังไม่สามารถทำงานให้ถูกต้องได้ ซึ่งจะต้องทำการตรวจสอบและแก้ไขต่อไป แต่เนื่องด้วยเวลาที่ทำโครงการนี้มีเวลาที่จำกัด และเสียเวลาในการศึกษาและตรวจสอบแก้ไขในส่วนของฮาร์ดแวร์ จึงทำให้ผลงานในโครงการนี้เสร็จไม่สมบูรณ์ตามเป้าหมายตึก

ปัญหาที่เกิด โดยส่วนมากเป็นปัญหาที่เกิดจาก การหาอุปกรณ์ไม่ได้ตามที่ต้องการ เพราะอุปกรณ์ที่ต้องใช้นั้นต้องเป็นอุปกรณ์ที่มีประสิทธิภาพสูง เพื่อให้ทำงานประกอบกับการทำงานให้ได้สมบูรณ์ที่สุด แต่ก็ยังเกิดปัญหาที่ทำให้ตัวชิปมีความร้อนมาก

อย่างไรก็ตาม โครงการนี้เป็นเพียงส่วนหนึ่ง ซึ่งสามารถใช้เป็นแนวทางในการพัฒนาระบบ ให้สมบูรณ์ยิ่งขึ้นเพราะจะช่วยแก้ไขปัญหข้างต้นได้ แต่การใช้งานจริงอาจไม่สะดวกนัก ดังนั้นโครงการนี้จึงต้องการพัฒนาตามรูปแบบและจุดประสงค์ของผู้ต้องการนำไปใช้งาน

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี ด้วยความร่วมมือจากหลายฝ่ายเป็นอย่าง
ดีผู้จัดทำขอขอบคุณ G.E.P. co., ltd. ที่ให้คำปรึกษาและได้เอื้อเฟื้อสถานที่ อุปกรณ์ และ
เครื่องไปโครคอมพิวเตอร์ พีซี และเครื่องมือวัดต่างๆ

นอกจากนี้ ผู้จัดทำขอขอบคุณอย่างยิ่งสำหรับ อาจารย์ วิชา กิณย์สุวรรณพร ที่เป็น
อาจารย์ที่ปรึกษาให้โครงการนี้สำเร็จลุล่วงไปได้ด้วยดี และขอบคุณเพื่อนๆ ที่ได้ให้ความ
ช่วยเหลือในงานด้านต่างๆ

จึงขอขอบคุณไว้ ณ. โอกาสนี้ด้วย
ผู้จัดทำ



หนังสืออ้างอิง

1. John B. Peatman, "Design with Microcontrollers", McGraw-Hill International Editions 1988.
2. Lewis C. Eggebrecht, "INTERFACING TO THE IBM PERSONAL COMPUTER", Howard W. Sams & Co., Inc. 1983.
3. "MCS-51 Microcontrollers", ETT co., ltd.
4. Douglas V. Hall, "MICROPROCESSORS AND INTERFACING Programming and Hardware", McGraw-Hill Book Co., 1986
5. Rodney Zaks and Austin Lesea, "MICROPROCESSOR INTERFACING TECHNIQUES", Third Edition
6. Microsoft Corporation, "Microsoft Macro Assembly 6.0" 1991
7. Microsoft Corporation, "Microsoft C Compiler Version 7.0" 1992
8. ชูชัย ธนสารตั้งเจริญ, "การใช้งาน Z80", ศูนย์ภาษาคอมพิวเตอร์
9. ปีเตอร์ นอร์ตัน และ จอห์น โชซา, "เทคนิคการเขียนโปรแกรม ภาษาแอสเซมบลี สำหรับเครื่อง IBM PC, 1989



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Befehlscode

0	NOP	20	JB badr,rel	40	JC rel
1	AJMP page 0	21	AJMP page 1	41	AJMP page 2
2	LJMP adr16	22	RET	42	ORL dadr,A
3	RR A	23	RL A	43	ORL dadr,#k8
4	INC A	24	ADD A,#k8	44	ORL A,#k8
5	INC adr16	25	ADD A,dadr	45	ORL A,dadr
6	INC @R0	26	ADD A,@R0	46	ORL A,@R0
7	INC @R1	27	ADD A,@R1	47	ORL A,@R1
8	INC R0	28	ADD A,R0	48	ORL A,R0
9	INC R1	29	ADD A,R1	49	ORL A,R1
A	INC R2	2A	ADD A,R2	4A	ORL A,R2
B	INC R3	2B	ADD A,R3	4B	ORL A,R3
C	INC R4	2C	ADD A,R4	4C	ORL A,R4
D	INC R5	2D	ADD A,R5	4D	ORL A,R5
E	INC R6	2E	ADD A,R6	4E	ORL A,R6
F	INC R7	2F	ADD A,R7	4F	ORL A,R7
10	JBC basd,rel	30	JNB badr,rel	50	JNC rel
11	ACALL page 0	31	ACALL page 1	51	ACALL page 2
12	LCALL adr16	32	RETI	52	ANL dadr,A
13	DEC	33	RLC A	53	ANL dadr,#k8
14	DEC	34	ADDC A,#k8	54	ANL A,#k8
15	DEC	35	ADDC A,dadr	55	ANL A,dadr
16	DEC	36	ADDC A,@R0	56	ANL A,@R0
17	DEC	37	ADDC A,@R1	57	ANL A,@R1
18	DEC	38	ADDC A,R0	58	ANL A,R0
19	DEC	39	ADDC A,R1	59	ANL A,R1
1A	DEC	3A	ADDC A,R2	5A	ANL A,R2
1B	DEC	3B	ADDC A,R3	5B	ANL A,R3
1C	DEC	3C	ADDC A,R4	5C	ANL A,R4
1D	DEC	3D	ADDC A,R5	5D	ANL A,R5
1E	DEC	3E	ADDC A,R6	5E	ANL A,R6
1F	DEC	3F	ADDC A,R7	5F	ANL A,R7

page =

2 K Seite

badr = Bitadresse

adr =

8 Bit Adresse

dadr = Datenadresse

#k8 =

8 Bit Konstante

@ = Indirekte Adresse

#K16 =

16- Bit Konstante

rel =

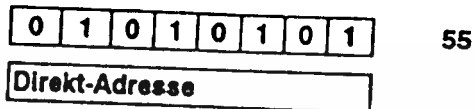
relative Adresse = vorzeichenbehafteter 8 Bit Wert, bezogen auf das erste Bbyte des folgenden Befehls

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

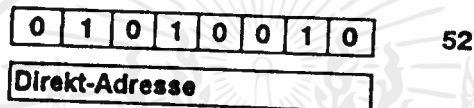
60	JZ rel	80	SJMP rel	A0	ORL C,badr
61	AJMP page 3	81	AJMP page 4	A1	AJMP page 5
62	XRL dadr	82	ANL C,badr	A2	MOVC,badr
63	XRL dadr,#k8	83	MOVC A,@A+PC	A3	INC DPTR
64	XRL A,#k8	84	DIV AB	A4	MUL AB
65	XRL A,dadr	85	MOV dadr,dadr	A5	undefiniert
66	XRL A,@R0	86	MOV dadr,@R0	A6	MOV @R0,dadr
67	XRL A,@R1	87	MOV dadr,@R1	A7	MOV @R1,dadr
68	XRL A,R0	88	MOV dadr,R0	A8	MOV R0,dadr
69	XRL A,R1	89	MOV dadr,R1	A9	MOV R1,dadr
6A	XRL A,R2	8A	MOV dadr,R2	AA	MOV R2,dadr
6B	XRL A,R3	8B	MOV dadr,R3	AB	MOV R3,dadr
6C	XRL A,R4	8C	MOV dadr,R4	AC	MOV R4,dadr
6D	XRL A,R5	8D	MOV dadr,R5	AD	MOV R5,dadr
6E	XRL A,R6	8E	MOV dadr,R6	AE	MOV R6,dadr
6F	XRL A,R7	8F	MOV dadr,R7	AF	MOV R7,dadr
70	JNZ rel	90	MOV DPTR,#k16	B0	ANL C,badr
71	ACALL page 3	91	ACALL page 4	B1	ACALL page 5
72	ORL C,badr	92	MOV badr,C	B2	CPL badr
73	JMP @A+DPTR	93	MOVC A,@A+DPTR	B3	CPL C
74	MOV A,#k8	94	SUBB A,#k8	B4	CJNE A,#k8,rel
75	MOV dadr,#k8	95	SUBB A,dadr	B5	CJNE A,dadr,rel
76	MOV @R0,#k8	96	SUBB A,@R0	B6	CJNE @R0,#k8,rel
77	MOV @R1,#k8	97	SUBB A,@R1	B7	CJNE @R1,#k8,rel
78	MOV R0,#k8	98	SUBB A,R0	B8	CJNE R0,#k8,rel
79	MOV R1,#k8	99	SUBB A,R1	B9	CJNE R1,#k8,rel
7A	MOV R2,#k8	9A	SUBB A,R2	BA	CJNE R2,#k8,rel
7B	MOV R3,#k8	9B	SUBB A,R3	BB	CJNE R3,#k8,rel
7C	MOV R4,#k8	9C	SUBB A,R4	BC	CJNE R4,#k8,rel
7D	MOV R5,#k8	9D	SUBB A,R5	BD	CJNE R5,#k8,rel
7E	MOV R6,#k8	9E	SUBB A,R6	BE	CJNE R6,#k8,rel
7F	MOV R7,#k8	9F	SUBB A,R7	BF	CJNE R7,#k8,rel

C0	PUSH dadr	E0	MOVX A,@DPTR
C1	AJMP page 6	E1	AJMP page 7
C2	CLR badr	E2	MOVX A,@R0
C3	CLR C	E3	MOVX A,@R1
C4	SWAP A	E4	CLR A
C5	XCH A,dadr	E5	MOV A,dadr
C6	XCH A,@R0	E6	MOV A,@R0
C7	XCH A,@R1	E7	MOV A,@R1
C8	XCH A,R0	E8	MOV A,R0
C9	XCH A,R1	E9	MOV A,R1
CA	XCH A,R2	EA	MOV A,R2
CB	XCH A,R3	EB	MOV A,R3
CC	XCH A,R4	EC	MOV A,R4
CD	XCH A,R5	ED	MOV A,R5
CE	XCH A,R6	EE	MOV A,R6
CF	XCH A,R7	EF	MOV A,R7
D0	POP dadr	F0	MOVX @DPTR,A
D1	ACALL page 6	F1	ACALL page 7
D2	SETB badr	F2	MOVX @R0,A
D3	SETB C	F3	MOVX @R1,A
D4	DA A	F4	CPL A
D5	DJNZ dadr,rel	F5	MOV dadr,A
D6	XCHD A,@R0	F6	MOV @R0,A
D7	XCHD A,@R1	F7	MOV @R1,A
D8	DJNZ R0,rel	F8	MOV R0,A
D9	DJNZ R1,rel	FA	MOV R1,A
DA	DJNZ R2,rel	FB	MOV R2,A
DB	DJNZ R3,rel	FC	MOV R3,A
DC	DJNZ R4,rel	FD	MOV R4,A
DD	DJNZ R5,rel	FE	MOV R5,A
DE	DJNZ R6,rel	FE	MOV R6,A
DF	DJNZ R7,rel	FF	MOV R7,A

ANL A,direkt 2 Bytes, 1 Zyklus PSW: P



ANL direkt,A 2 Bytes, 1 Zyklus PSW: -

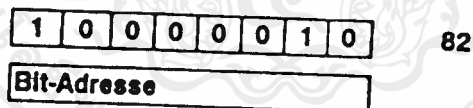


ANL C, <Quellenbit> -

logisches UND mit Bit

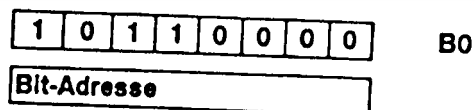
(A) <- (C) UND Bit

ANL C, Bit 2 Bytes, 2 Zyklen PSW: C



(A) <- (C) UND negiertes Bit

ANL C, Bit\ 2 Bytes, 2 Zyklen PSW: C

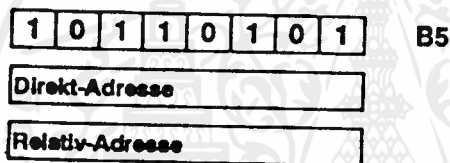


CJNE <Zielbyte>,<Quellenbyte>,rel

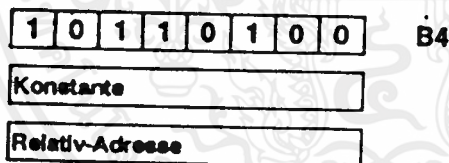
Vergleich und Sprung, wenn nicht gleich

(PC) <- (PC) + 3
 wenn (A) <> (direkt)
 dann (PC) <- (PC) + relativ Adresse
 wenn (A) < (direkt)
 (C) <- 1, sonst
 (C) <- 0

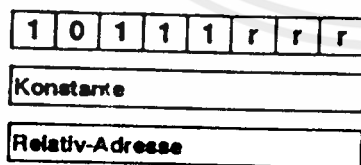
CJNE A,direkt,rel 3 Bytes, 2 Zyklen PSW: C



CJNE A,#Konstante,rel 3 Bytes, 2 Zyklen PSW: C

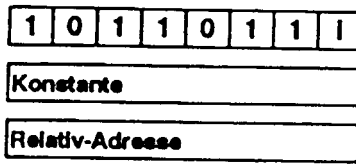


CJNE Rr,#Konstante,rel 3 Bytes, 2 Zyklen PSW: C



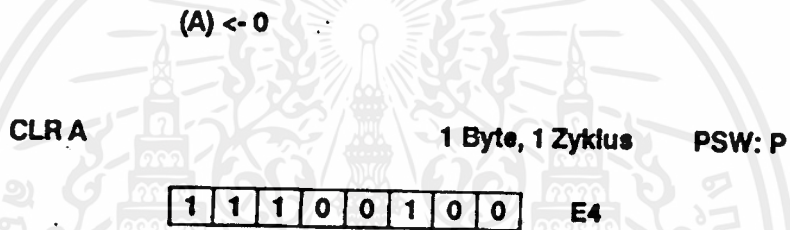
- | | |
|-------------------------|-------------------------|
| CJNE R0,#Daten,rel = B8 | CJNE R4,#Daten,rel = BC |
| CJNE R1,#Daten,rel = B9 | CJNE R5,#Daten,rel = BD |
| CJNE R2,#Daten,rel = BA | CJNE R6,#Daten,rel = BE |
| CJNE R3,#Daten,rel = BB | CJNE R7,#Daten,rel = BF |

CJNE Rr,#Konstante,rel 3 Bytes, 2 Zyklen PSW: C



CJNE @R0,#Daten,rel = B6 CJNE @R1,#Daten,rel = B7

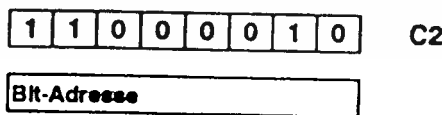
CLR A - löscht A



CLR <Bit> - löscht Bit



CLR Bit 2 Bytes, 1 Zyklus PSW: P



CPL A - negiert A. (Einerkomplement)

(A) ← A|

CPL A

1Byte, 1 Zyklus

PSW:

1 1 1 1 0 1 0 0 F4

CPL <Bit> - negiert Bit

(A) ← Bit|

CPL C

1Byte, 1 Zyklus

PSW: C

1 0 1 1 0 0 1 1 B3

CPL Bit

2 Bytes, 1 Zyklus

PSW: P

1 0 1 1 0 0 0 0 B2

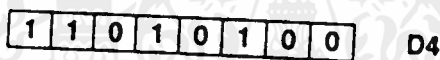
Bit-Adresse

DA A - Dezimalkorrektur für ADD

A enthält BCD-Zahlen

A enthält BCD-Zahlen,
 wenn $[(3 - 0) > 9]$ oder $[(AC) = 1]$,
 dann
 $(A3 - 0) \leftarrow (A3 - 0) + 6$
 und
 wenn $[(A7 - 4) > 9]$ oder $[(C) = 1]$,
 dann
 $(A7 - 4) \leftarrow (A7 - 4) + 6$

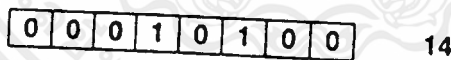
DA A 1 Byte, 1 Zyklus PSW: P, C, AC



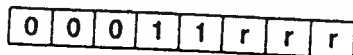
DEC <Byte> - dekrement Byte

$(\text{Byte}) \leftarrow (\text{Byte}) - 1$

DEC A 1 Byte, 1 Zyklus PSW: P

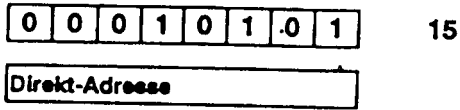


DEC Rr 1 Byte, 1 Zyklus PSW: -



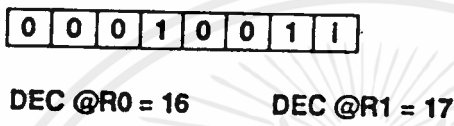
- | | |
|-------------|-------------|
| DEC R0 = 18 | DEC R4 = 1C |
| DEC R1 = 19 | DEC R5 = 1D |
| DEC R2 = 1A | DEC R6 = 1E |
| DEC R3 = 1B | DEC R7 = 1F |

DEC direkt



DEC @RI

1 Byte, 1 Zyklus PSW: -

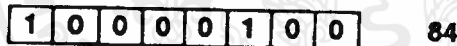


DIV - A dividiert durch B

(A) <- (A)/(B)
(B) <- Rest von (A)/(B)

DIV AB

1 Bytes, 4 Zyklen PSW: P, C, OV

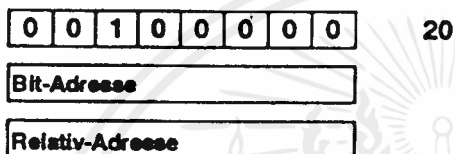


JB rel - springt wenn Bit gesetzt

$(PC) \leftarrow (PC) + 3$, wenn (Bit) = 1, dann
 $(PC) \leftarrow (PC) + rel$

JB Bit,rel

3 Bytes, 2 Zyklen PSW: -



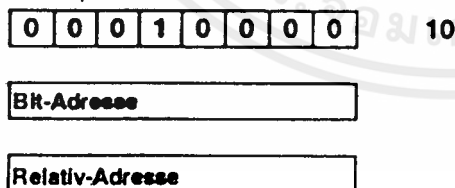
JBC rel - springt wenn Bit gesetzt

springt, wenn Bit gesetzt und löscht es

$(PC) \leftarrow (PC) + 3$, wenn (Bit) = 1, dann
(Bit) $\leftarrow 0$
 $(PC) \leftarrow (PC) + rel$

JBC Bit,rel

3 Bytes, 2 Zyklen PSW: -



JNC rel - springt wenn C nicht gesetzt

(PC) \leftarrow (PC) + 2, wenn (C) = 0, dann
(PC) \leftarrow (PC) + rel

JNC rel

2 Bytes, 2 Zyklen PSW: -

0 1 0 1 0 0 0 0 50

Relative-Adresse

JNZ rel - springt wenn A \neq 0

(PC) \leftarrow (PC) + 2, wenn (A) \neq 0, dann
(PC) \leftarrow (PC) + rel

JNZ rel

2 Bytes, 2 Zyklen PSW: -

0 1 1 1 0 0 0 0 70

Relative-Adresse

JZ rel - springt wenn A = 0

(PC) <- (PC) +2, wenn (A) <> 0, dann
(PC) <- (PC) + rel

2 Bytes, 2 Zyklen PSW: -

0	1	1	0	0	0	0	0
---	---	---	---	---	---	---	---

 60

Relativ-Adresse

LJMP adr16

Sprung nach 16-Bit-Adresse

(PC) <- adr 15 - 0

LJMP adr16

3 Bytes, 2 Zyklen PSW: P

0	0	0	0	0	0	1	0
---	---	---	---	---	---	---	---

 '02

HIGH-Adresse	15 - 8
--------------	--------

LOW-Adresse	7 - 0
-------------	-------

MOV@RI,A 1Byte, 1 Zyklus PSW: -

1 1 1 1 0 1 1 1

MOV @R0,A = F6 MOV @R1,A = F7

MOV @RI,direkt 2 Bytes, 2 Zyklen PSW: -

1 0 1 0 0 1 1 1

Direkt-Adresse

MOV @R0,direkt = A6 MOV @R1,direkt = A7

MOV @RI,#Daten 2 Bytes, 1 Zyklen PSW: -

0 1 1 1 0 1 1 1

Konstante

MOV @R0,#Daten = 76 MOV @R1,#Daten = 77

MOV Bit - <Zielbit>,<Quellenbit>

MOV C,Bit 2 Bytes, 1 Zyklus PSW: C

1 0 1 0 0 0 1 0 A2

Bit-Adresse

MOV Bit,C 2 Bytes, 2 Zyklen PSW: -

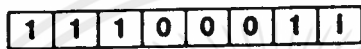
1 0 0 0 1 0 1 0 92

Bit-Adresse

MOVX <Zielbyte>,<Quellenbyte>

Transport zum/vom externen Speicher

MOVX A,@RI 1 Byte, 2 Zyklen PSW: -



MOVX A,@R0 = E2 MOVX A,@R1 = E3

MOVX A,@DPTR 1 Byte, 2 Zyklen PSW: P



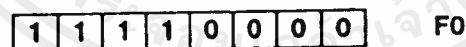
E0

MOVX @RI,A 1 Byte, 2 Zyklen PSW: -



MOV @R0,A = F2 MOV @R1,A = F3

MOVX @DPTR,A 1 Byte, 2 Zyklen PSW: -

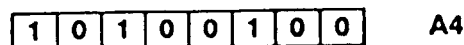


F0

MUL AB - multipliziert A mit B

(A) <- (A) * (B), Bit 7 - 0
(B) <- (A) * (B), Bits 15 - 8

MUL AB 1 Byte, 4 Zyklen PSW: P, OV, C = 0



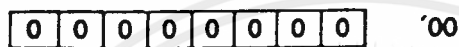
A4

NOP - Leerbefehl

(PC) <- (PC) + 1

NOP

1 Byte, 1 Zyklus PSW: -



ORL <Zielbyte>, <Quellenbyte> logisches ODER

(A) <- (A) ODER Operand

ORL A, Rr

1 Byte, 1 Zyklus

PSW: P



ORL A, R0 = 48

ORL A, R4 = 4C

ORL A, R1 = 49

ORL A, R5 = 4D

ORL A, R2 = 4A

ORL A, R6 = 4E

ORL A, R3 = 4B

ORL A, R7 = 4F

ORL direkt, #Konstante

3 Bytes, 2 Zyklen

PSW: P



Direkt-Adresse

Konstante

ORL A, @RI 1 Byte, 1 Zyklus PSW: P

0 1 0 0 0 1 1 1

ORL A, @R0 = 46 ORL A, @R1 = 47

ORL A, #Konstante 2 Bytes, 1 Zyklus PSW: P

0 1 0 0 0 1 0 0 44

Konstante

ORL A, direkt 2 Bytes, 1 Zyklus PSW: P

0 1 0 0 0 1 0 1 45

Direkt-Adresse

ORL direkt,A 2 Bytes, 1 Zyklus PSW: -

0 1 0 0 0 0 1 0 42

Direkt-Adresse

ORL C, <Quellenbit> - logisches ODER

(A) <- (C) ODER Operand

ORL C, Bit 2 Bytes, 2 Zyklen PSW: C

0 1 1 1 0 0 1 0 72

Bit-Adresse

ORL C, Bit\ 2 Bytes, 2 Zyklen PSW: C

1 0 1 0 0 0 0 0 A0

Bit-Adresse

POP direkt - POP vom STACK

(direkt) <- ((SP))
(SP) <- (SP) - 1

POP direkt 2 Bytes, 2 Zyklen PSW: C bei POP ACC

1 1 0 1 0 0 0 0 D0 PSW: C bei POP ACC

Direkt-Adresse

PUSH direkt - PUSH zum STACK

(SP) <- (SP) + 1
((SP)) <- (direkt)

PUSH direkt 2 Bytes, 2 Zyklen PSW: -

1 1 0 0 0 0 0 0 C0

Direkt-Adresse

RET

Rücksprung vom Unterprogramm

$PC(15-8) \leftarrow ((SP))$
 $(SP) \leftarrow (SP) - 1$
 $(PC7-0) \leftarrow ((SP))$
 $(SP) \leftarrow (SP) - 1$

RET

1 Byte, 2 Zyklen

PSW: -

0 0 1 0 0 0 1 0

22

RETI

Rücksprung vom Interruptprogramm

$PC(15-8) \leftarrow ((SP))$
 $(SP) \leftarrow (SP) - 1$
 $(PC7-0) \leftarrow ((SP))$
 $(SP) \leftarrow (SP) - 1$

RETI

1 Byte, 2 Zyklen

PSW: -

0 0 1 0 0 0 1 1

32

SUBB A,<Quellenbyte>

Subtraktion - C

(A) <- (A) - (C) - Operand

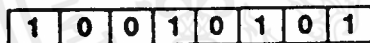
Subtraktion einer Konstanten ohne Carry ist mit ADD A,#-Konstante möglich. C ist dann entgegengesetzt dem von SUBB

SUBB A,Rr 1 Byte, 1 Zyklus PSW: P, C, A, C, OV



- SUBB A, R0 = 98 SUBB A, R4 = 9C
- SUBB A, R1 = 99 SUBB A, R5 = 9D
- SUBB A, R2 = 9A SUBB A, R6 = 9E
- SUBB A, R3 = 9B SUBB A, R7 = 9F

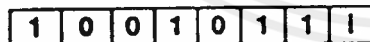
SUBB A, direkt 2 Byte, 1 Zyklus PSW: P, C, A, C, OV



95

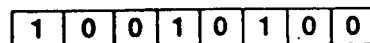


SUBB A, @RI 1 Byte, 1 Zyklus PSW: P, C, A, C, OV

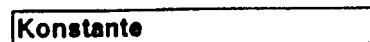


- SUBB A, @R0 = 96 SUBB A, @R1 = 97

SUBB A, #Konstante 2 Bytes, 1 Zyklus PSW: P, C, A, C, OV



94



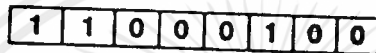
SWAP

tauscht Nibbles

(A3 - 0) <-> (A7 - 4)

SWAP A

1 Bytes, 1 Zyklus PSW: -

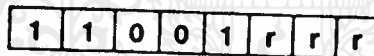


XCH A, <Quellenbyte>

tauscht Bytes

XCH A, Rr

1 Byte, 1 Zyklus PSW: P



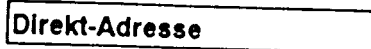
- XCH A, R0 = C8
- XCH A, R1 = C9
- XCH A, R2 = CA
- XCH A, R3 = CB
- XCH A, R4 = CC
- XCH A, R5 = CD
- XCH A, R6 = CE
- XCH A, R7 = CF

XCH A, direkt

2 Bytes, 1 Zyklus PSW: P



C5



XRL direkt,#Konstante **3 Bytes, 2 Zyklen** **PSW:**

0 1 1 0 0 0 1 1 63

Direkt-Adresse

Konstante

XRL A, @RI **1 Byte, 1 Zyklus** **PSW: P**

0 1 0 1 0 1 1 1

XRL A, @R0 = 66

XRL A, @R1 = 67

XRL A, #Konstante **2 Bytes, 1 Zyklus** **PSW: P**

den speziellen Fall XRL A, #0FFH erledigt CPL A mit einem Byte

0 1 1 0 0 1 0 0 64

Konstante

XRL A, direkt **2 Bytes, 1 Zyklus** **PSW: P**

0 1 1 0 0 1 0 1 65

Direkt-Adresse

XRL direkt,A **2 Bytes, 1 Zyklus** **PSW: -**

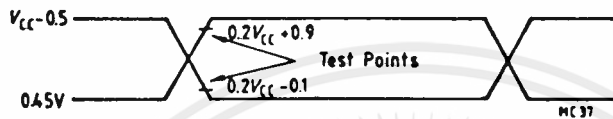
0 1 1 0 0 0 1 0 62

Direkt-Adresse



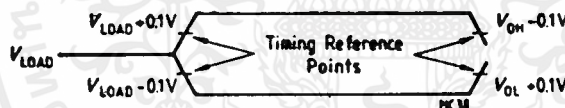
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Testing: Input, Output Waveforms

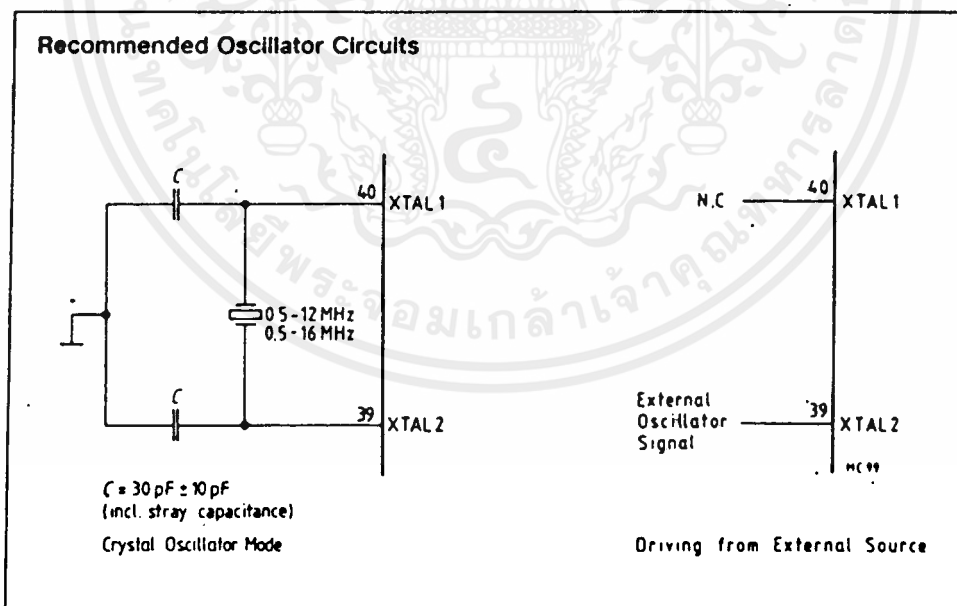
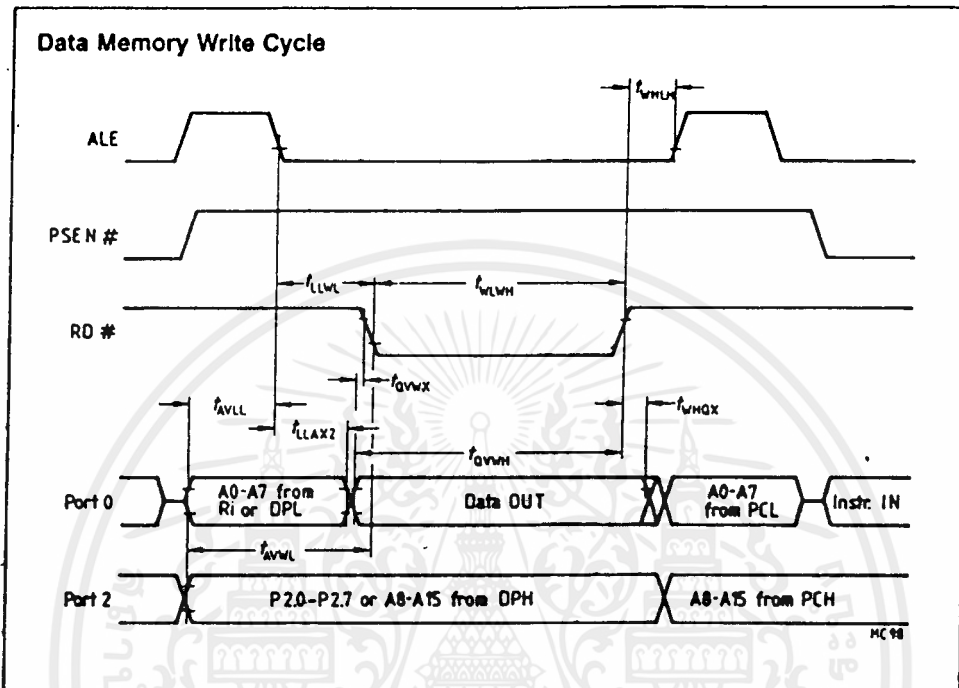


AC inputs during testing are driven at $V_{CC} - 0.5$ V for a logic '1' and 0.45 V for a logic '0'.
Timing measurements are made at V_{Hmin} for a logic '1' and V_{Lmax} for a logic '0'.

AC Testing: Float Waveforms

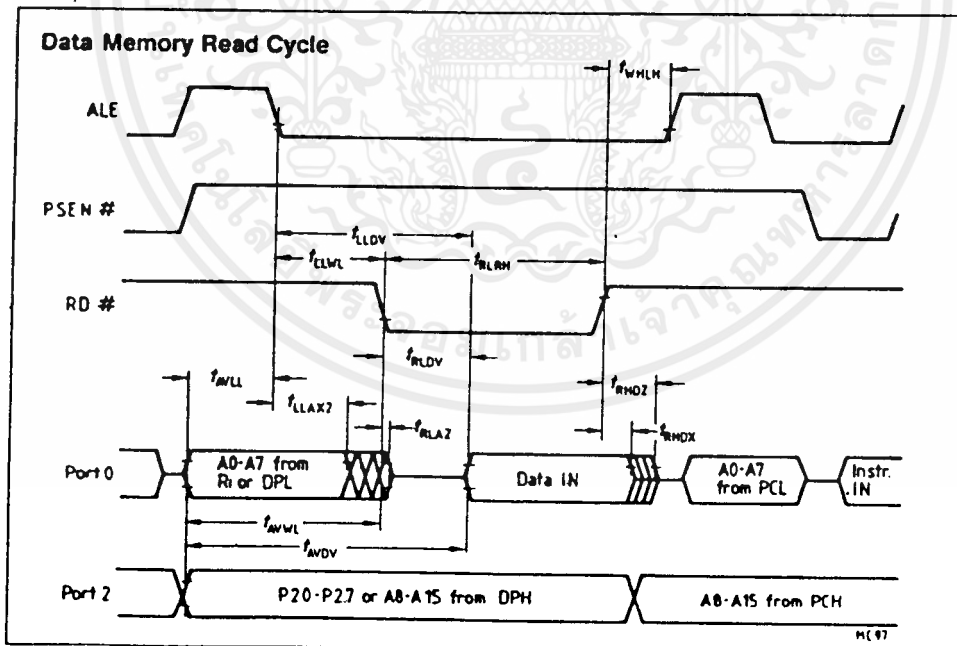
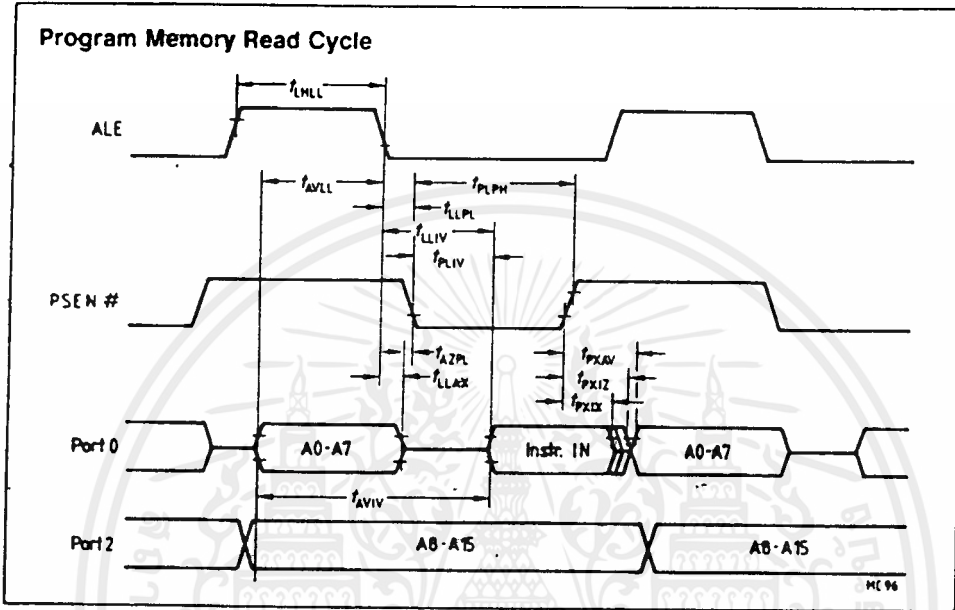


For timing purposes a port pin is no longer floating when a 100 mV change from load voltage occurs and begins to float when a 100 mV deviation from the load voltage V_{OH}/V_{OL} occurs. $I_{OL}/I_{OH} \geq \pm 20$ mA.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

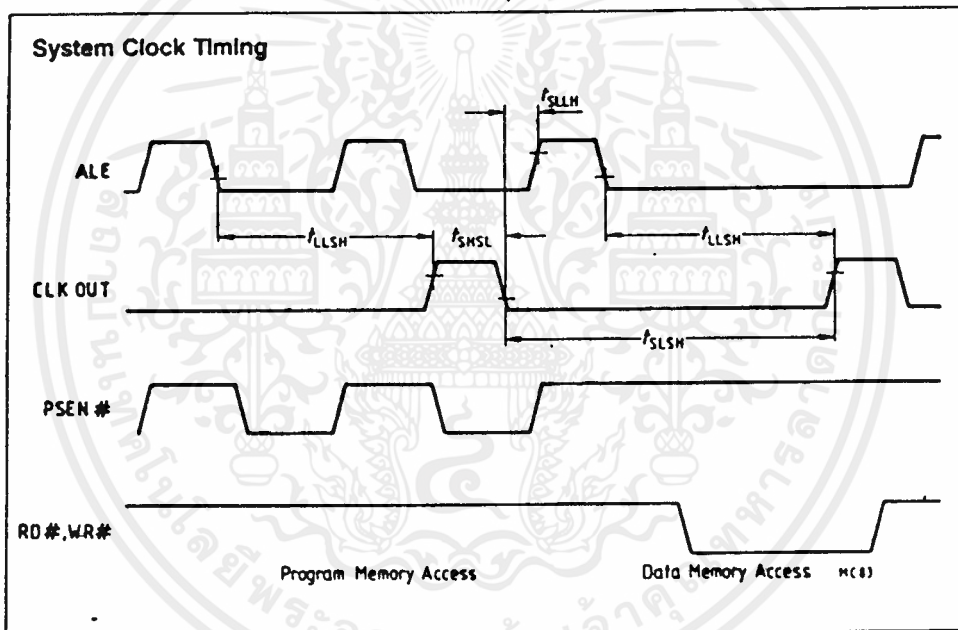
Waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

System Clock Timing for SAB 80C515/80C535

Parameter	Symbol	Limit values				Unit
		12 MHz clock		Variable clock $1/t_{CLCL} = 0.5$ to 12 MHz		
		min.	max.	min.	max.	
ALE to CLKOUT	t_{LLSH}	543	-	$7 t_{\alpha\alpha} - 40$	-	ns
CLKOUT high time	t_{SHSL}	127	-	$2 t_{\alpha\alpha} - 40$	-	ns
CLKOUT low time	t_{SLSH}	793	-	$10 t_{\alpha\alpha} - 40$	-	ns
CLKOUT low to ALE high	t_{SLLH}	43	123	$t_{\alpha\alpha} - 40$	$t_{\alpha\alpha} + 40$	ns



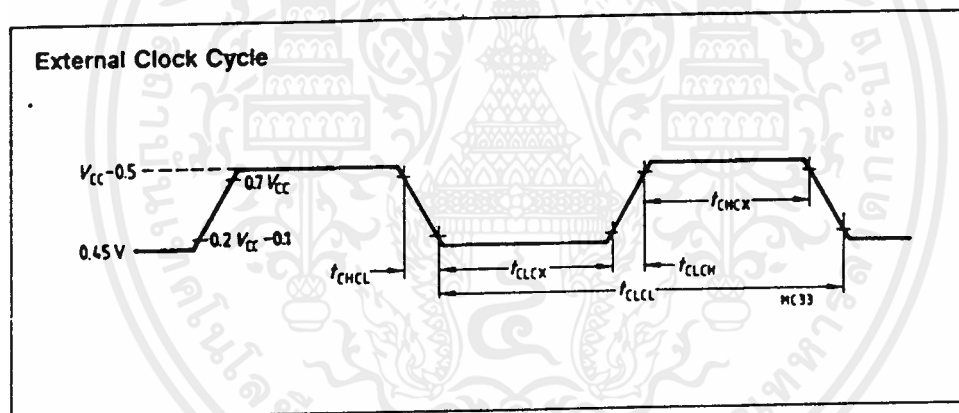
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics for SAB 80C515/80C535 (cont'd)

Parameter	Symbol	Limit values		Unit
		Variable clock Frequ. = 0.5 to 12 MHz		
		min.	max.	

External Clock Drive

Oscillator period	t_{CLCL}	83.3	2000	ns
Oscillator frequency	$1/t_{CLCL}$	0.5	12	MHz
High time	t_{CHCX}	20	-	ns
Low time	t_{CLCX}	20	-	ns
Rise time	t_{CLCH}	-	20	ns
Fall time	t_{CNCL}	-	20	ns



AC Characteristics for SAB 80C515/80C535 (cont'd)

$V_{CC} = 5\text{ V} \pm 10\%$; $V_{SS} = 0\text{ V}$ (C_L for Port 0, ALE and PSEN# outputs = 100pF; C_L for all outputs = 80 pF) $T_A = 0$ to $+70\text{ }^\circ\text{C}$ for SAB 80C515/80C535

$T_A = -40$ to $+85\text{ }^\circ\text{C}$ for SAB 80C515/80C535-T40/85

$T_A = -40$ to $+110\text{ }^\circ\text{C}$ for SAB 80C515/80C535-T40/110

Parameter	Symbol	Limit values				Unit
		12 MHz clock		Variable clock $1/t_{CLCL}$ 0.5 to 12 MHz		
		min.	max.	min.	max.	

External Data Memory Characteristics

RD# pulse width	t_{RDPH}	400	-	$6 t_{\alpha\alpha} - 100$	-	ns
WR# pulse width	t_{RWLWH}	400	-	$6 t_{\alpha\alpha} - 100$	-	ns
Address hold after ALE	t_{LLAZ}	132	-	$2 t_{\alpha\alpha} - 35$	-	ns
RD# to valid data in	t_{RDV}	-	252	-	$5 t_{\alpha\alpha} - 165$	ns
DATA hold after RD#	t_{RHOX}	0	-	0	-	ns
Data float after RD#	t_{RHOZ}	-	97	-	$2 t_{\alpha\alpha} - 70$	ns
ALE to valid data in	t_{LLDV}	-	517	-	$8 t_{\alpha\alpha} - 150$	ns
Address to valid data in	t_{AVDV}	-	585	-	$9 t_{\alpha\alpha} - 165$	ns
ALE to WR# or RD#	t_{ELWL}	200	300	$3 t_{\alpha\alpha} - 50$	$3 t_{\alpha\alpha} + 50$	ns
WR# or RD# high to ALE high	t_{WHLH}	43	123	$t_{\alpha\alpha} - 40$	$t_{\alpha\alpha} + 40$	ns
Address valid to WR#	t_{AVWL}	203	-	$4 t_{\alpha\alpha} - 130$	-	ns
Data valid to WR# transition	t_{OVWX}	33	-	$t_{\alpha\alpha} - 50$	-	ns
Data setup before WR#	t_{OVWH}	433	-	$7 t_{\alpha\alpha} - 150$	-	ns
Data held after WR#	t_{WHOX}	33	-	$t_{\alpha\alpha} - 50$	-	ns
Address float after RD#	t_{RLAZ}	-	0	-	0	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics for SAB 80C515/80C535

$V_{CC} = 5\text{ V} \pm 10\%$; $V_{SS} = 0\text{ V}$ (C_L for Port 0, ALE and PSEN# outputs = 100pF; C_L for all outputs = 80 pF) $T_A = 0$ to $+70\text{ }^\circ\text{C}$ for SAB 80C515/80C535
 $T_A = -40$ to $+85\text{ }^\circ\text{C}$ for SAB 80C515/80C535-T40/85
 $T_A = -40$ to $+110\text{ }^\circ\text{C}$ for SAB 80C515/80C535-T40/110

Parameter	Symbol	Limit values				Unit
		12 MHz clock		Variable clock 1/ t_{CLCL} 0.5 to 12 MHz		
		min.	max.	min.	max.	

Program Memory Characteristics

ALE pulse width	t_{MLL}	127	-	$2 t_{aa} - 40$	-	ns
Address setup to ALE	t_{AVL1}	53	-	$t_{aa} - 30$	-	ns
Address hold after ALE	t_{LAX}	48	-	$t_{aa} - 35$	-	ns
ALE to valid instruction in	t_{LLV}	-	233	-	$4 t_{aa} - 100$	ns
ALE to PSEN#	t_{LPL}	58	-	$t_{aa} - 25$	-	ns
PSEN# pulse width	t_{PLPW}	215	-	$3 t_{aa} - 35$	-	ns
PSEN# to valid instruction in	t_{PLV}	-	150	-	$3 t_{aa} - 100$	ns
Input instruction hold after PSEN#	t_{PIHX}	0	-	0	-	ns
Input instruction float after PSEN#	t_{PIWZ}	"	63	-	$t_{aa} - 20$	ns
Address valid after PSEN#	t_{P2AV}	"	75	-	$t_{aa} - 8$	ns
Address to valid instruction in	t_{AVIV}	-	302	-	$5 t_{aa} - 115$	ns
Address float to PSEN#	t_{A2PL}	0	-	0	-	ns

¹⁾ Interfacing the SAB 80C515 to devices with float times up to 75 ns is permissible. This limited bus contention will not cause any damage to port 0 drivers

A/D Converter Characteristics

$V_{CC} = 5\text{ V} \pm 10\%$; $V_{SS} = 0\text{ V}$; $V_{AREF} = V_{CC} \pm 5\%$; $V_{AGND} = V_{SS} \pm 0.2\text{ V}$;

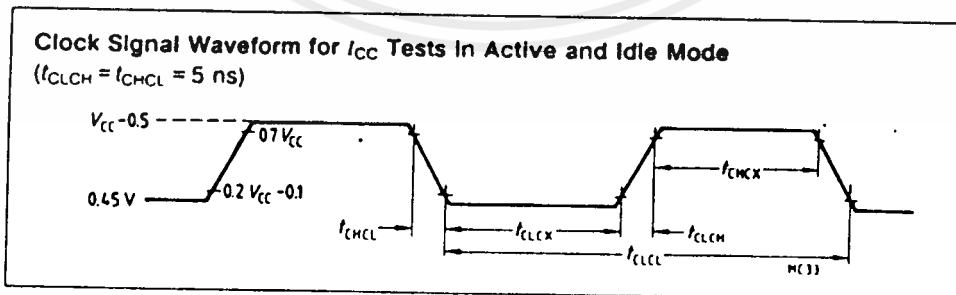
$V_{INAREF} - V_{INAGND} \geq 1\text{ V}$; $T_A = 0\text{ to } +70^\circ\text{ C}$ for SAB 80C515/80C535

$T_A = -40\text{ to } +85^\circ\text{ C}$ for SAB 80C515/80C535-T40/85

$T_A = -40\text{ to } +110^\circ\text{ C}$ for SAB 80C515/80C535-T40/110

Parameter	Symbol	Limit values			Unit	Test conditions
		min.	typ.	max.		
Analog input voltage	V_{AINPUT}	$V_{AGND} - 0.2$	-	$V_{AREF} + 0.2$	V	9)
Analog input capacitance	C_I	-	25	45	pF	7)
Load time	t_L	-	-	$2 t_{CY}$	μs	-
Sample time (incl. load time)	t_s	-	-	$7 t_{CY}$	μs	-
Conversion time (incl. sample time)	t_C	-	-	$13 t_{CY}$	μs	-
Differential non-linearity	DNLE	-	$\pm 1/2$	± 1	LSB	$V_{INAREF} = V_{AREF} = V_{CC}$ $V_{INAGND} = V_{AGND} = V_{SS}$ 7)
Integral non-linearity	INLE	-	$\pm 1/2$	± 1	LSB	
Offset error		-	$\pm 1/2$	± 1	LSB	
Gain error		-	$\pm 1/2$	± 1	LSB	
Total unadjusted error	TUE	-	± 1	± 2	LSB	
V_{AREF} supply current	I_{REF}	-	-	5	mA	8)
Internal reference error	$V_{INREFERR}$	-	± 5	± 20	mV	8)

- 7) The output impedance of the analog source must be low enough to assure full loading of the sample capacitance (C_I) during load time (t_L). After charging of the internal capacitance (C_I) in the load time (t_L) the analog input must be held constant for the rest of the sample time (t_s).
- 8) The differential impedance r_D of the analog reference voltage source must be less than $1\text{ k}\Omega$ at reference supply voltage.
- 9) Exceeding these limit values at one or more input channels will cause additional current which is sunk / sourced at these channels. This may also affect the accuracy of other channels which are operated within these specifications.



DC Characteristics (cont'd)

Parameter	Symbol	Limit values		Unit	Test condition
		min.	max.		
Logic 0 input current, ports 1, 2, 3, 4, 5	I_{IL}	-	-50	μA	$V_{IN} = 0.45 \text{ V}$
Output high voltage (port 0 in external bus mode, ALE, PSEN)	V_{OH1}	2.4	-	V	$I_{OH} = -400 \mu\text{A}$
		$0.9 V_{CC}$	-	V	$I_{OH} = -40 \mu\text{A}^{2)}$
Logic 0 input current, ports 1, 2, 3, 4, 5	I_{IL}	-	-50	μA	$V_{IN} = 0.45 \text{ V}$
Input low current to RESET# for reset	I_{IL2}	-	-100	μA	$V_{IN} = 0.45 \text{ V}$
Logical 1-to-0 transition current, ports 1, 2, 3, 4, 5	I_{TL}	-	-650	μA	$V_{IN} = 2 \text{ V}$
Input leakage current (port 0, EA#)	I_{LI}	-	± 10	μA	$0.45 < V_{IN} < V_{CC}$
Pin capacitance	C_{IO}	-	10	pF	$f_C = 1 \text{ MHz}$, $T_A = 25^\circ\text{C}$
Power-supply current:					
Active mode, 12 MHz	I_{CC}	-	35	mA	$V_{CC} = 5 \text{ V}^{4)}$
Idle mode, 12 MHz	I_{CC}	-	13	mA	$V_{CC} = 5 \text{ V}^{5)}$
Active mode, 16 MHz	I_{CC}	-	46	mA	$V_{CC} = 5 \text{ V}^{4)}$
Idle mode, 16 MHz	I_{CC}	-	17	mA	$V_{CC} = 5 \text{ V}^{5)}$
Power-down mode	I_{CC}	-	50	μA	$V_{CC} = 2 \text{ V to } 5.5 \text{ V}^{3)}$

Notes (for page 35 and 36)

- Capacitive loading on ports 0 and 2 may cause spurious noise pulses to be superimposed on the V_{OL} of ALE and ports 1, 3, 4, and 5. The noise is due to external bus capacitance discharging into the port 0 and port 2 pins when these pins make 1-to-0 transitions during bus operation. In the worst case (capacitive loading $> 100 \text{ pF}$), the noise pulse on ALE line may exceed 0.8 V . Then, it may be desirable to qualify ALE with a Schmitttrigger, or use an address latch with a Schmitttrigger strobe input.
- Capacitive loading on ports 0 and 2 may cause the V_{OH} on ALE and PSEN to momentarily fall below the $0.9 V_{CC}$ specification when the address bits are stabilizing.
- Power-down I_{CC} is measured with: EA# = Port 0 = Port 6 = V_{CC} ; XTAL1 = N.C.; XTAL2 = V_{SS} ; RESET# = V_{CC} ; $V_{AGND} = V_{SS}$; all other pins are disconnected.
- I_{CC} (active mode) is measured with: XTAL2 driven with the clock signal according to the figure below; XTAL1 = N.C.; EA# = Port 0 = Port 6 = V_{CC} ; RESET# = V_{SS} ; all other pins are disconnected. I_{CC} might be slightly higher if a crystal oscillator is used.
- I_{CC} (idle mode) is measured with: XTAL2 driven with the clock signal according to the figure below; XTAL1 = N.C.; EA# = V_{SS} ; Port 0 = Port 6 = V_{CC} ; RESET# = V_{CC} ; all other pins are disconnected, all on-chip peripherals are disabled.
- I_{CC} at other frequencies is given by
Active mode: $I_{CC \text{ max}} (\text{mA}) = 2.67 \cdot f_{osc} (\text{MHz}) + 3.00$
Idle mode: $I_{CC \text{ max}} (\text{mA}) = 0.88 \cdot f_{osc} (\text{MHz}) + 2.50$
where f_{osc} is the oscillator frequency in MHz
 $I_{CC \text{ max}}$ is given in mA and measured at $V_{CC} = 5 \text{ V}$ (see also notes 4 and 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Ambient temperature under bias	0 to +70°C (SAB 80C515) - 40 to +85°C (SAB 80C515-T40/85) - 40 to +110°C (SAB 80C515-T40/110)
Storage temperature	- 65 to +150°C
Voltage on any pin with respect to ground (V_{SS})	- 0.5 to V_{CC} + 0.5 V
Voltage on V_{CC} to V_{SS}	- 0.5 to +6.5 V
Power dissipation	2 W

Note: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

$V_{CC} = 5 V \pm 10\%$; $V_{SS} = 0 V$; $T_A = 0$ to +70°C for SAB 80C515/80C535
 $T_A = -40$ to +85°C for SAB 80C515/80C535-T40/85
 $T_A = -40$ to +110°C for SAB 80C515/80C535-T40/110

Parameter	Symbol	Limit values		Unit	Test condition
		min.	max.		
Input low voltage (except EA#)	V_{IL}	- 0.5	$0.2 V_{CC}$ - 0.1	V	-
Input low voltage (EA#)	V_{IL1}	- 0.5	$0.2 V_{CC}$ - 0.3	V	-
Input high voltage (except RESET# and XTAL2)	V_{IH}	$0.2 V_{CC}$ + 0.9	V_{CC} + 0.5	V	-
Input high voltage to XTAL2	V_{IH1}	$0.7 V_{CC}$	V_{CC} + 0.5	V	-
Input high voltage to RESET#	V_{IH2}	$0.6 V_{CC}$	V_{CC} + 0.5	V	-
Output low voltage, ports 1, 2, 3, 4, 5	V_{OL}	-	0.45	V	$I_{OL} = 1.6 mA$ "
Output low voltage, port 0, ALE, PSEN#	V_{OL1}	-	0.45	V	$I_{OL} = 3.2 mA$ "
Output high voltage, ports 1, 2, 3, 4, 5	V_{OH}	2.4 $0.9 V_{CC}$	- -	V V	$I_{OH} = - 80 \mu A$ $I_{OH} = - 10 \mu A$
Output high voltage (port 0 in external bus mode, ALE, PSEN)	V_{OH1}	2.4 $0.9 V_{CC}$	- -	V V	$I_{OH} = - 400 \mu A$ $I_{OH} = - 40 \mu A$ "

for notes see next page