การสื่อสารข้อมูลดิจิตอลผ่านเส้นใยแสง

DIGITAL DATA COMMUNICATION BY FIBER OPTIC

โดย

นายอภิสิทธิ์ บำรุงสิน

นายอำสาฬ ฉายอรุณ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปริญญานิพนธ์นี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบัน เทคโนโลยีพระจอม เกล้า เจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033409

ชื่อเรื่อง : การสื่อสารข้อมูลดิจิตอลผ่านเส้นใยแสง

Digital Data Communication By Optical Fiber

ชื่อ : นาย อภิสิทธิ์ บำรุงสิน 33100494

นาย อาสาฬ ฉายอรุณ 33100525

ภาควิชา : โทรคมนาคม

คณะ : วิศวกรรมศาสตร์

อาจารย์ที่ปรึกษา : ผศ. อภินันท์ มัฆยานนท์

บทคัดย่อ : โครงงานนี้ได้ทำการศึกษาถึงหลักการพื้นฐานของการสื่อสารด้วยเส้นใยแสง ซึ่งอธิบายถึงส่วนประกอบต่างๆที่สำคัญ เช่น เส้นใยแสง, แหล่งกำเนิดแสงและตัวรับแสง ตลอดจนคุณลักษณะพิเศษของมันที่ดีกว่าระบบสื่อสารด้วยเคเบิ้ล นอกจากนี้ยังได้ทำการทดลองส่งสัญญาณแบบดิจิตอลผ่านเส้นใยแสงด้วยแสงอินฟราเรด เพื่อให้เข้าใจระบบการสื่อสารด้วยเส้นใยแสงได้ดียิ่งขึ้น

Abstract : In this paper, we commence with the principle of optical fiber communication system that describe the main parameter e.g. optical fiber waveguides,optical source and optical detector. Furturemore,we discuss about the spacial characteristics that better than the matalic cable communication system. Otherwise, we experimented to the digital tranmission system by infrered light. In this object, we will increasingly comperhend in the optical fiber communication system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ

หลักการสื่อสารด้วยไฟเบอร์ออปติก 1

บทที่ 2 ทฤษฎีบท

แหล่งกำเนิดของแสง 2

คุณสมบัติของ แอลอีดี 5

อุปกรณ์รับแสง 7

วงจรขับสัญญาณ 10

เส้นใยแสง 11

บทที่ 3 การออกแบบระบบ

ภาคส่ง 15

ภาครับ 16

บทที่ 4 วงจร และการทำงาน

ภาคส่ง 17

ภาครับ 21

บทที่ 5 ผลการทดลอง 26

บทที่ 6 สรุปและวิจารณ์ 27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

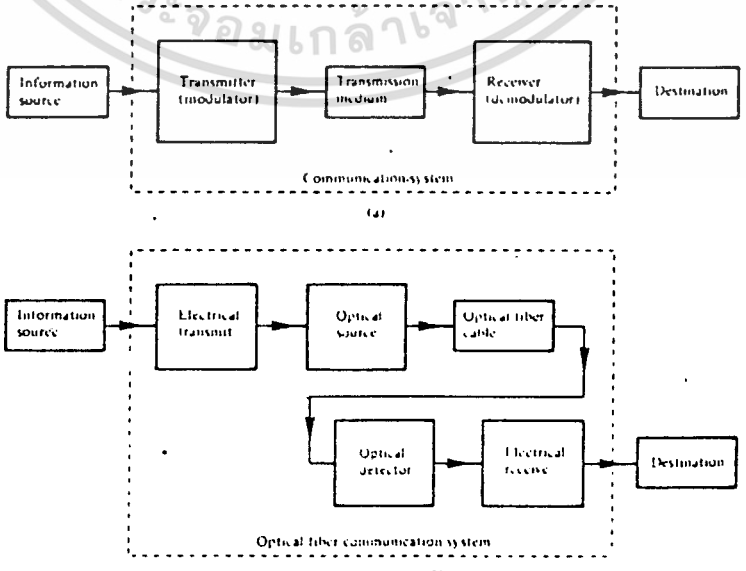
หลักการสื่อสารด้วยไฟเบอร์ออปติก

(Principle of fiber optic communication)

ระบบการสื่อสารด้วยเส้นใยแสง เมื่อต้องการส่งข้อมูลที่อาจจะอยู่ในรูปของสัญญาณเสียง สัญญาณภาพ หรือข้อมูลทางคอมพิวเตอร์ วงจรภาคส่งจะทำหน้าที่จัดรูปสัญญาณให้เหมาะสม ซึ่งเป็นการเข้ารหัสและมอดูเลท โดยลักษณะข้อมูลที่ผ่านการมอดูเลท ควรจะจัดให้อยู่ในรูปของสัญญาณดิจิตอล เพราะมีการเพี้ยนของสัญญาณต่ำในขณะส่งสัญญาณต่ำ จากนั้นสัญญาณไฟฟ้าที่ได้ในรูปสัญญาณดิจิตอลนี้จะถูกส่งไปในส่วนวงจรแหล่งกำเนิดแสงที่มีวงจรขับสัญญาณรวมอยู่ด้วย เพื่อทำการแปลงสัญญาณแสงส่วไปยังสถานีรับโดยมีเส้นใยแสงทำหน้าที่เป็นท่อนำสัญญาณ

ที่สถานีรับจะมีตัวรับแสงคอยเปลี่ยนสัญญาณแสงที่ได้รับให้อยู่ในรูปของสัญญาณไฟฟ้า แล้วส่งไปยังวงจรภาครับเพื่อถอดรหัสและดีมูเลทสัญญาณ ทำให้ได้สัญญาณที่มีลักษณะเดียวกับสัญญาณเดิมเป็นข้อมูลขาออกเพื่อนำไปใช้งานต่อไป

ในช่วงการเชื่อมต่อด้วยเส้นใยแสงนั้น จะต้องมีสถานีทวนสัญญาณ(Repeater) ทำหน้าที่ขยายสัญญาณและจัดรูปสัญญาณที่เกิดการผิดเพี้ยนในระหว่างการเดินทางด้วย



รูปที่ 1 เปรียบเทียบระบบสื่อสารทั่วไปกับระบบสื่อสารด้วยเส้นใยแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น รวมทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีบท

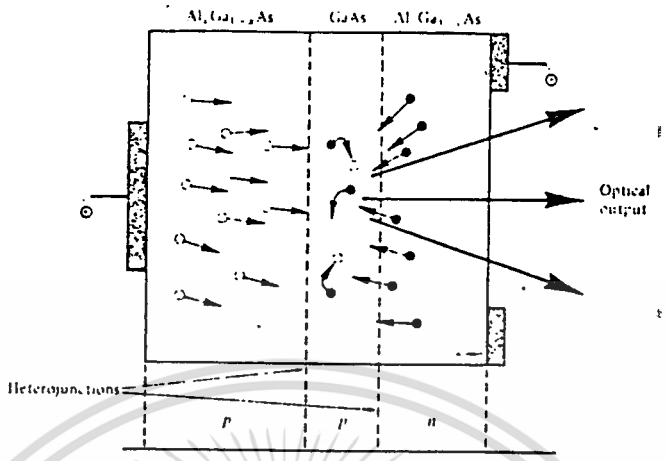
แหล่งกำเนิดของแสง (Optical source)

แหล่งกำเนิดแสงของระบบสื่อสารเส้นใยแสงมีความสำคัญต่อระบบสื่อสารนี้เป็นอย่างมาก ถ้าคุณสมบัติไม่ถึงขั้นแล้วระบบสื่อสารนี้จะด้อยคุณภาพลงตามไปด้วย โดยทั่วไปแหล่งกำเนิดแสงที่ใช้จะขึ้นอยู่กับระบบ เช่นในระบบที่มีระยะทางสื่อสารไม่ไกลนักอาจใช้ แอลอีดี (LED) เป็นแหล่งกำเนิดแสงได้ ส่วนในระบบที่ต้องการประสิทธิภาพสูง ๆ จะใช้แสงเลเซอร์เป็นตัวนำข้อมูล ซึ่งจะใช้เลเซอร์ไดโอด (Laser Diode) เป็นแหล่งกำเนิดแสง

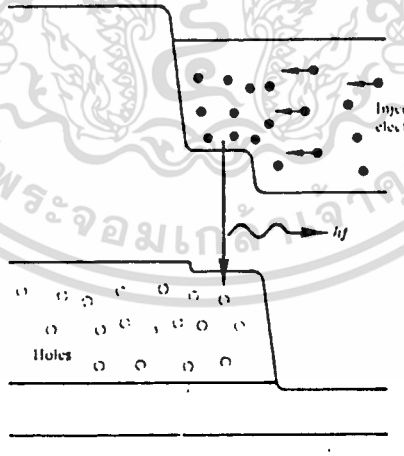
1. ดับเบิลเฮทเทอโรจังชันแอลอีดี (The Double Heterojunction LED)

โครงสร้างของ ดับเบิลเฮทเทอโรจังชันแอลอีดี แสดงในรูปที่ 2.1 เมื่อทำการไบอัสตรงอิเลคตรอนจากชั้น ด้านเอ็น (n-type) จะเคลื่อนไปยังชั้น ด้านพี (p-type) ที่เรียกว่า เขตปลอดพาหะ (Depletion Region) เนื่องจากการจัดระดับพลังงานของสารที่เป็นดับเบิลเฮทเทอโรจังชันแอลอีดี นั้น แสดงดังรูป 2.2 ทำให้เกิดการกักขังของอิเลคตรอนจำนวนมากเอาไว้ใน เขตปลอดพาหะ จึงทำให้เกิดการรวมตัวกันของอิเลคตรอนกับโฮล เกิดการคายพลังงานออกมาในรูปของพลังงานแสงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงโครงสร้างของ ดับเบิลเฮทเทอโรจังชันแอลอีดี



รูปที่ 2.2 แสดงระดับชั้นพลังงานของ ดับเบิลเฮทเทอโรจังชันแอลอีดี

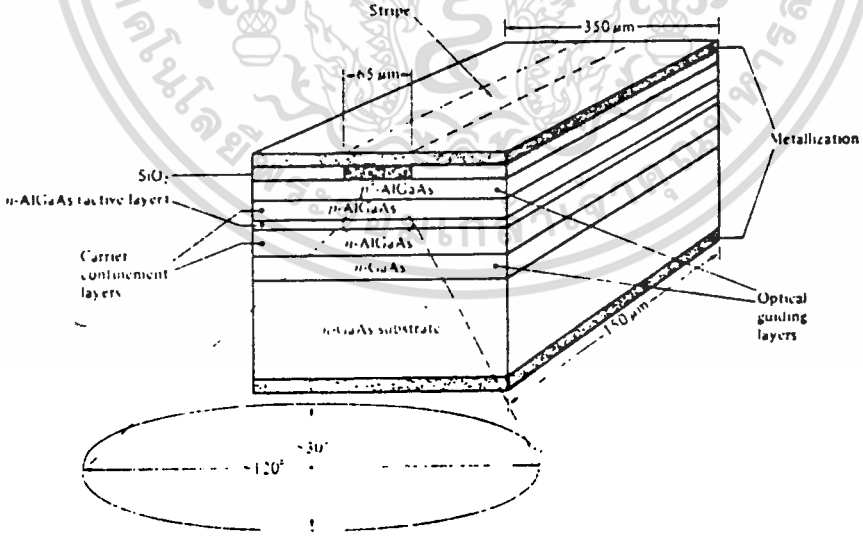
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พลังงานแสงที่ปล่อยออกมานั้น จะมีความยาวคลื่นของแสงขึ้นกับสารที่ใช้ทำ แอลอีดี ซึ่งอาจจะเป็นสารประเภท GaAsP, InGaAS, GaAIAS หรือ InGaASP ก็ได้โดยจะให้ค่าความยาวคลื่นต่างกัน ตามการเลือกใช้สารประกอบดังกล่าว

2. เอดจ์อีมิตเตอร์แอลอีดี (Edge Emitter LED)

เนื่องจากแสงที่ปล่อยออกมาจาก แอลอีดี แบบ ดับเบิลเฮทเทอโรจังชันแอลอีดีนั้น จะมีลักษณะกระจัดกระจาย ไม่มีแนวทางเดียวกันนัก และมักมีมุมค่อนข้างกว้างทำให้แสงที่ได้มีประสิทธิภาพค่อนข้างต่ำ

การแก้ไข ทำได้โดยการปรับปรุงโครงสร้างของสารให้มีความซับซ้อนขึ้นและมีการกำหนดขอบเขตการเปล่งแสงเพื่อให้มีการรวมตัวออกมาในทิศทางเดียวกัน ดังรูปที่ 2.3 ซึ่งลักษณะของแสงที่เปล่งออกมามักจะมีพื้นที่ภาคตัดขวางเป็นรูปวงรี โดยมีมุมกระจายแสงในแนวตั้ง (30)เล็กกว่ามุมกระจายแสงในแนวขนาน(120)



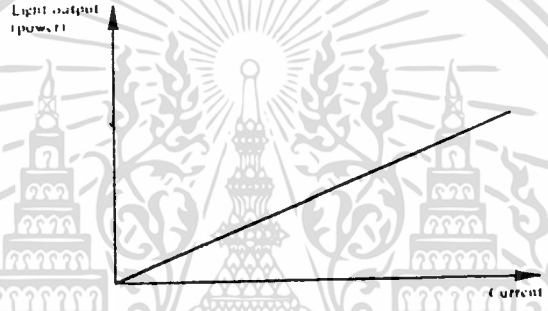
รูปที่ 2.3 แสดงโครงสร้างของ Edge Emitter LED

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

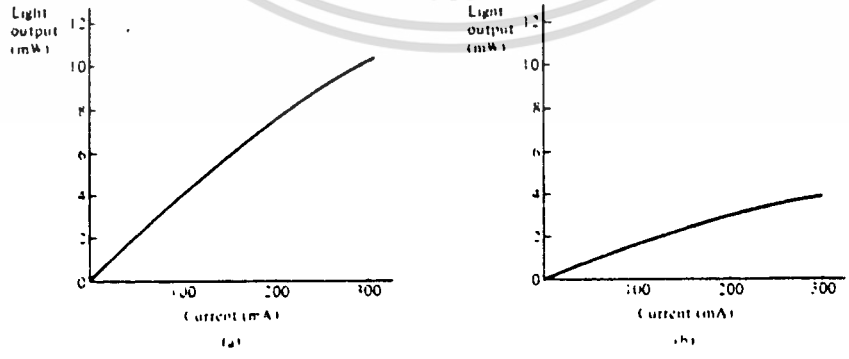
คุณสมบัติของ แอลอีดี (LED Characteristics)

1. พลังงานของเอาท์พุท (Optical Output power)

แสงที่ออกจากตัว แอลอีดี ควรจะมีพลังงานหรือความเข้มแสงมากพอที่จะส่งสัญญาณแสงได้ตลอดระยะทางการสื่อสาร เนื่องจากว่า แอลอีดี นั้นจะใช้การเปล่งแสงตามธรรมชาติ (Natural Emission Light) ดังนั้น ค่ากำลังแสงที่ได้จึงผันแปรตามค่าของกระแสที่ใช้ขับ ตามรูปที่ 2.4 แต่ในทางปฏิบัติแล้วความสัมพันธ์จะเป็นไปตามรูปที่ 2.5



รูปที่ 2.4 แสดงความสัมพันธ์ตามอุดมคติของกำลังแสงกับค่ากระแสของLED



รูปที่ 2.5 ความสัมพันธ์ของกำลังแสงกับค่ากระแสของแอลอีดี ในทางปฏิบัติโดย

(a) หน้าสัมผัสที่ปล่อยแสงเป็นสาร AlGaAS ขนาด 50 μm

(b) เป็นสาร AlGaAS ขนาด 65 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. สเปคตรัมของเอาท์พุท (Output Spectrum)

ความยาวคลื่นของแสงที่ได้จาก แอลอีดี ต้องมีความเหมาะสมกับ ออปติกไฟเบอร์ ที่ใช้ในระบบสื่อสารเส้นใยแสง ความยาวคลื่นแสงที่เหมาะสมกับ ออปติกไฟเบอร์ มากที่สุด มีค่าประมาณ 1.55 μm รองลงมา ได้แก่ 1.3 μm และ 0.85 μm

3. ความกว้างของสเปคตรัม (Spectrum width)

แสงจากแอลอีดี นอกจากจะมีพลังงานของเอาท์พุท มากแล้ว จะต้องมีค่าความกว้างของสเปคตรัม ค่าน้อย ๆ เพื่อให้สามารถส่งข้อมูลปริมาณมากๆได้ ในระบบของการมัลติเพลกซ์

4. ช่วงเวลาตอบสนอง (Response Time)

ช่วงเวลาตอบสนองของแหล่งกำเนิด หรือช่วงเวลาที่แหล่งกำเนิดได้รับสัญญาณไฟฟ้าแล้วสร้างสัญญาณแสงออกมา ต้องมีค่าสั้นมาก ๆ อันจะมีผลทำให้วงจรขับสามารถส่งข้อมูลปริมาณมาก ๆ ได้

5. ความน่าเชื่อถือ (Reliability)

พลังงานแสงต้องมีค่าคงที่ต่อเนื่องตลอดเวลา และไม่มีการเปลี่ยนแปลงใดๆ อันเนื่องมาจากผลของอุณหภูมิและสภาพแวดล้อม

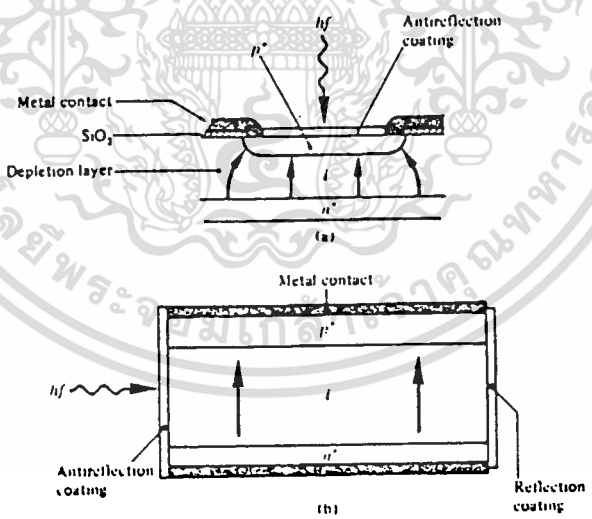
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์รับแสง (Optical detecter)

เป็นอุปกรณ์ใช้เปลี่ยนสัญญาณแสงให้เป็นข้อมูลทางไฟฟ้า ซึ่งสามารถรับแสงได้ดีในช่วงความยาวคลื่นที่ตัวกำเนิดแสงได้ส่งมาจากสถานีส่ง

1. โฟโต้ไดโอดแบบพิน (PIN-Photodiode)

โครงสร้างภายในจะมีการแทรกสารแบบอินทรินซิก (I) ในระหว่างรอยต่อพี-เอ็น (P-N) จึงเรียกเป็น โฟโต้ไดโอดแบบพิน เมื่อมันได้รับพลังงานแสงจากภายนอกจะทำให้เกิดโฟตอนขึ้นในบริเวณ ดีพีทชั่น หรือบริเวณสารอินทรินซิก เกิดเป็นกระแสรั่วไหลที่เรียกว่า ดาคเคอร์เรนท์ (dark current) ในช่วงนี้หากมีการไบอัสกลับให้แก่ไดโอดบริเวณ ดีพีทชั่น จะกว้างขึ้นเป็นผลให้มีกระแสไหลมากขึ้น



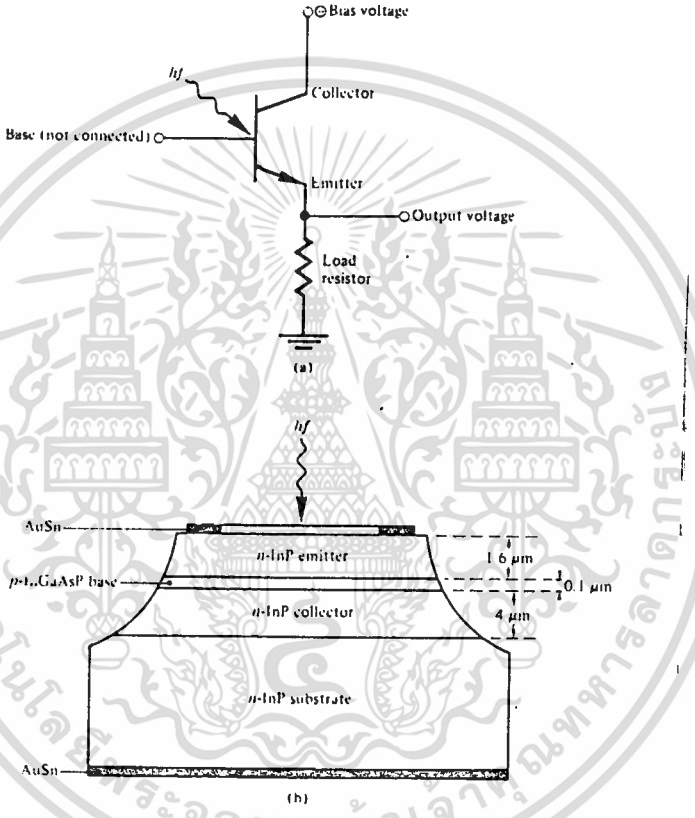
รูปที่ 2.6 (a) แสดงโครงสร้างของ โฟโต้ไดโอดแบบพิน ด้านหน้า

(b) แสดงโครงสร้างของ โฟโต้ไดโอดแบบพิน ด้านข้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. โฟโต้ทรานซิสเตอร์ (Phototransistor)

หลักการทำงานจะขึ้นกับความเข้มแสงที่ตกกระทบเปรียบเสมือนการต่อโฟโตไดโอดเข้ากับขาเบสของทรานซิสเตอร์ เมื่อแสงที่มีความเข้มสูงตกกระทบ ทำให้กระแสที่ขาเบสมีค่ามาก ทำให้กระแสที่ขาคอลเล็กเตอร์มีค่าเพิ่มขึ้นด้วย

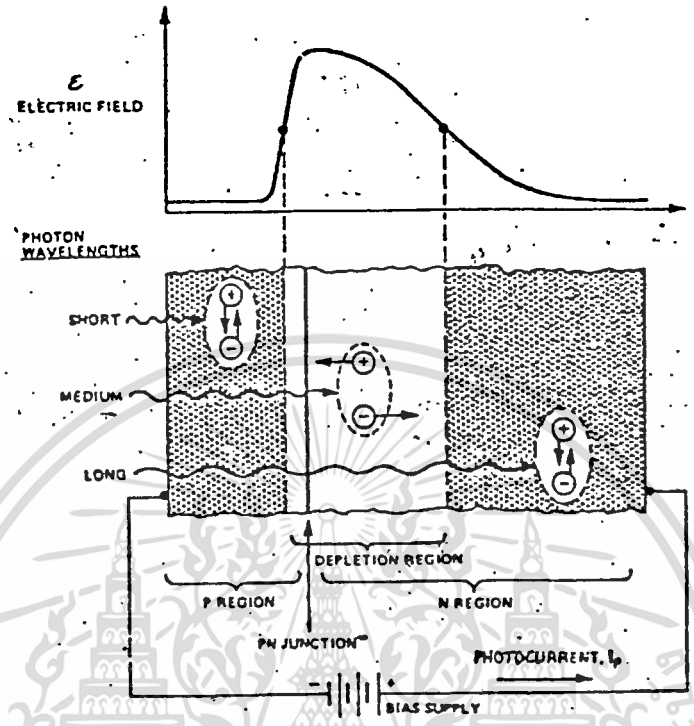


รูปที่ 2.7 (a) สัญลักษณ์ของ โฟโต้ทรานซิสเตอร์

(b) โครงสร้างภาคตัดขวางของ โฟโต้ทรานซิสเตอร์

หลักการทั่วไปของอุปกรณ์รับแสงมีดังนี้ เมื่อมีโฟตอน(Photon)มากระทบสารกึ่งตัวนำ จะทำให้โฟตอนนั้นถ่ายเทพลังงานให้กับคู่ของอิเลคตรอนและโฮล(Eletron-hole pair)ซึ่งจะทำให้อิเลคตรอนและโฮลแยกตัวออกจากกัน และถ้ามีการไบอัสแบบไบอัสย้อนกลับ(Reverse bias) จะทำให้อิเลคตรอนเคลื่อนที่ไปยังด้าน เอ็น (N-Region) และ โฮล เคลื่อนที่ไปยังด้าน พี (P-Region) ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงรอยต่อของ พี-เอ็น โฟโตไดโอด(P-N Photodiode Junction)

การที่โฟตอนทำให้คู่ของอิเลคตรอนและโฮลแยกตัวออกจากกันนั้นจะเป็นการง่ายขึ้นถ้าคู่นั้นอยู่ภายใต้สนามไฟฟ้าที่มีค่าสูง จากรูปจะเห็นได้ว่าสนามไฟฟ้าในโฟโต้ไดโอดแบบพินนี้มีค่าไม่สม่ำเสมอเท่ากันตลอด โดยจะมีค่าสนามไฟฟ้าในช่วงด้าน พี และด้าน เอ็น ส่วนในช่วงดีพิทชั่น (Depletion Region) จะมีค่าสนามไฟฟ้าสูงกว่ามาก เพราะฉะนั้นเราต้องให้โฟตอนส่วนใหญ่ถ่ายเทพลังงานในช่วงดีพิทชั่น แต่เนื่องจากโฟตอนที่มีความถี่สูงจะมีอำนาจทะลุทะลวงต่ำและถ้าความถี่ต่ำเกินไปก็จะทะลุผ่านช่วงดีพิทชั่นไป ทั้งในช่วงความถี่สูงและต่ำนี้จะถ่ายเทพลังงานให้กับคู่ของอิเลคตรอนและโฮลในสาร พี และ เอ็น ได้ แต่โฮลและอิเลคตรอนก็จะไม่เคลื่อนที่ไปไหนจะรวมตัวกันอยู่ในบริเวณเดิม ซึ่งไม่ทำให้เกิดกระแสขึ้น ดังนั้นจะเห็นได้ว่าโฟโต้ไดโอดหรือโฟโต้ทรานซิสเตอร์ จะสามารถตอบสนองคลื่นได้ในช่วงหนึ่งเท่านั้น

ความเร็วในการตอบสนองขึ้นอยู่กับพื้นที่ส่วนใดได้รับโฟตอนและการไบอัสว่ามีค่ามากน้อยเท่าใด โดยปกติถ้าเป็นโฟโต้ไดโอดหรือโฟโต้ทรานซิสเตอร์ที่มีคุณภาพได้มาตราฐานจะใช้เวลาไม่กี่พิโควินาที (Picosecond)ในการเริ่มให้กระแสไหลแต่บางทีผลตอบสนองอาจช้าลงเนื่องมาจากต้องเพิ่ม(charge)ประจุให้กับค่าตัวเก็บประจุภายในก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
033400

<u>วงจรขับสัญญาณ</u> (Drive Circuit)

วงจรขับสัญญาณ เป็นส่วนสำคัญที่จะช่วยให้แหล่งต้นกำเนิดแสงที่เป็น แอลอีดี (LED) หรือ แอลดี (LD) ทำงานได้อย่างมีประสิทธิภาพ

วงจรขับสำหรับ แอลอีดี

ในระบบการสื่อสารระยะใกล้อาจสามารถใช้ส่งข้อมูลที่เป็นดิจิตอลได้ ดังเช่น วงจรในรูป ซึ่งเป็นวงจรใช้งานแบบง่าย วงจรในรูปที่ 2.9 ค่าของกระแสที่ไหลผ่าน แอลอีดี (I_F) ถูกกำหนดโดยกระแสคอลเล็กเตอร์(I_C)ของทรานซิสเตอร์ Q_1 และคำนวนได้ด้วย

$$I_F = I_C = (V_{CC} - V_F)/R_1$$

เมื่อ V_F เป็นแรงดันตกคร่อม แอลอีดี ขณะไบอัสตรงมีค่าตามสเปคที่กำหนด

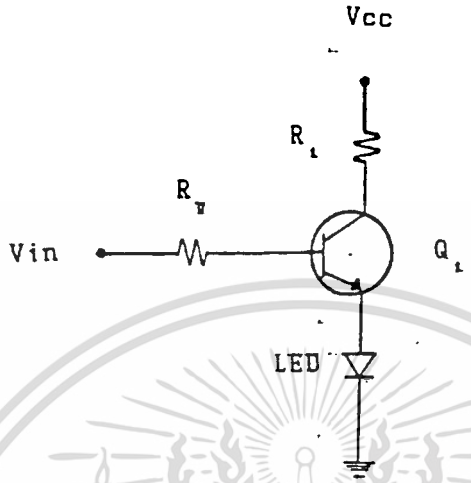
$$I_B = I_C/\beta$$

เมื่อ β คือ กำลังขยายของทรานซิสเตอร์

$$I_B = (V_{IH} - V_{BE} - V_F)/R_B$$

เมื่อ V_{IH} คือค่าแรงดันสูงสุดของสัญญาณเข้า หรือระดับแรงดันขณะข้อมูลทางดิจิตอลเป็น"1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 วงจรไดรเวอร์ แอลอีดี อย่างง่าย

เส้นใยแสง

โครงสร้างของเส้นใยแสงประกอบด้วยส่วนที่แสงเดินทางผ่านเรียกว่า คอร์(core)และส่วนที่หุ้มคอร์อยู่เรียกว่า แคลด(clad) เป็นไดอิเลคทริก(dielectric)ใส 2 ชนิด โดยการทำให้ค่าดัชนีการหักเหของแคลดมีค่าน้อยกว่าค่าดัชนีการหักเหของคอร์เล็กน้อยประมาณ 0.2 - 3% และอาศัยปรากฏการณ์สะท้อนกลับหมดของแสง

ชนิดของเส้นใยแสง

โดยมีวิธีที่จะพิจารณาแบ่งเส้นใยแสงออกจากกันคือ พิจารณาจากสารของไดอิเลคทริกที่ใช้ พิจารณาจากจำนวนโหมด และพิจารณาจากลักษณะของดัชนีการหักเหของคอร์ซึ่งแต่ละกลุ่มจะแยกออกได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาชนิดของสารไดอิเลคทริกที่ใช้

1.เส้นใยแสงซิลิกา (Silica glass optic fiber) ใช้ไดอิเลคทริกที่เป็นซิลิกาที่บริสุทธิ์เป็นส่วนใหญ่ และใช้สารอื่นเติมลงไปเพื่อทำให้ค่าดัชนีการหักเหเปลี่ยนแปลงตามต้องการ เรียกว่า โดปแพนท์(Dopant) เช่น เจอร์มาเนียม(Ge),โบรอน(B) เป็นต้น

2.เส้นใยแสงแก้วผสม (Multi component glass optic fiber) ใช้ไดอิเลคทริกที่เป็นแก้วหลายชนิดปนกัน ส่วนมากจะใช้แก้ว,แก้วที่มีโบรอน,ซิลิกอน เป็นต้น ส่วนโดปแพนท์ได้แก่ โซเดียม(Na),แคลเซียม(Ca) เป็นต้น

3.เส้นใยแสงพลาสติก (Plastic optic fiber) ใช้สารพวกซิลิกอนเรซิน (Silicon resin) ,อะคริลเรซิล(Aeryl resin)

พิจารณาจากจำนวนโหมด

1.เส้นใยแสงซิงเกิลโหมด(Single mode optic fiber)

2.เส้นใยแสงมัลติโหมด (multimode optic fiber)

ลักษณะการเปลี่ยนแปลงของค่าดัชนีการหักเหของเส้นใยแสงแบบซิงเกิลโหมดปกติจะเป็นแบบสเต็ปอินเด็กซ์ แต่เนื่องจากมีโหมดการเดินทางเพียงโหมดเดียวดังนั้นแสงที่เดินทางในเส้นใยแสงจึงมีลักษณะการเดินทางแตกต่างไปจากการเดินทางของแสงในเส้นใยแสงแบบมัลติโหมดซึ่งในเส้นใยแสงแบบมัลติโหมดนั้นความเร็วในการเดินทางตามทิศทางการเคลื่อนที่(แกนยาวของเส้นใยแสง)จะมีค่าต่างกับตามโหมดการเดินทางกล่าวคือ โหมดการเดินทางที่มีลำดับยิ่งสูงมากเท่าไร ความเร็วในการเดินทางของมันจะยิ่งช้าลงมากเท่านั้น

พิจารณาจากลักษณะของดัชนีการหักเห

1.สเต็ปอินเด็กซ์ (Step index) เป็นเส้นใยแสงที่มีลักษณะการเปลี่ยนแปลงของดัชนีการหักเหระหว่างคอร์กับแคลดเป็นลักษณะขั้นบันได (Step) โดยปกติค่าดัชนีการหักเหที่คอร์จะมีมากกว่าที่แคลด แนวทางของแสงที่เดินผ่านจะมีลักษณะเป็นเส้นตรงสะท้อนไปมาตรงบริเวณรอยต่อระหว่างคอร์กับแคลดตามกฎของสเนลล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดเส้นผ่านศูนย์กลางของเส้นใยแสงทั้งเส้นส่วนใหญ่มีค่าเท่ากับ 125 ไมครอน โดยขนาดของคอร์จะขึ้นอยู่กับการออกแบบว่า จะใช้ส่งข้อมูลในลักษณะโหมดร่วม (Multi mode) หรือโหมดเดี่ยว(Single mode)การส่งข้อมูลแบบโหมดร่วมหมายความว่าแสงสามารถเดินทางในเส้นใยแสงได้หลายแนวทางขึ้นกับมุมองศาที่แสงตกกระทบเส้นใยแสงขาเข้า ขนาดของเส้นผ่านศูนย์กลางแบบคอร์แบบโหมดร่วมมีค่าประมาณ 52 ไมครอนดังแสดงในรูป 2.10 (ก) สำหรับเส้นใยแสงแบบโหมดเดี่ยวจะมีแนวทางเดินของข้อมูลแสงเพียงแนวเดียวเท่านั้น ทำให้ขนาดของเส้นผ่านศูนย์กลางของคอร์เล็กมากเหลือประมาณ 5-10 ไมครอน เท่านั้น ดังรูปที่ 2.10 (ข)

2.เกรดเด็ดอินเด็กซ์ (Graded index) เป็นเส้นใยแสงที่มีค่าดัชนีหักเหของคอร์เปลี่ยนแปลงไปตามแนวรัศมีของมันโดยที่ตำแหน่งแนวศูนย์กลางของเส้นจะมีค่าดัชนีหักเหสูงสุด จากนั้นค่าดัชนีการหักเหจะค่อย ๆ ลดลงไปตามระยะที่ห่างออกจากแนวศูนย์กลางตามลำดับจนมีค่าเท่ากับค่าดัชนีของแคลดบนตำแหน่งที่คอร์ต่อกับแคลด ลักษณะการเปลี่ยนแปลงค่าดัชนีการหักเหของคอร์นี้ขึ้นกับสมการทางคณิตศาสตร์ที่ออกแบบ เช่น เป็นลักษณะครึ่งกลม หรือ พาราโบลา แนวทางเดินของแสงในเส้นใยแสงแบบนี้ จะมีลักษณะเป็นเส้นโค้งดังรูปที่ 2.10 (ค) ทั้งนี้เป็นผลมาจากการหักเหดัชนีที่เปลี่ยนแปลงไปจากแนวเส้นผ่าศูนย์กลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติพิเศษของเส้นใยแสง

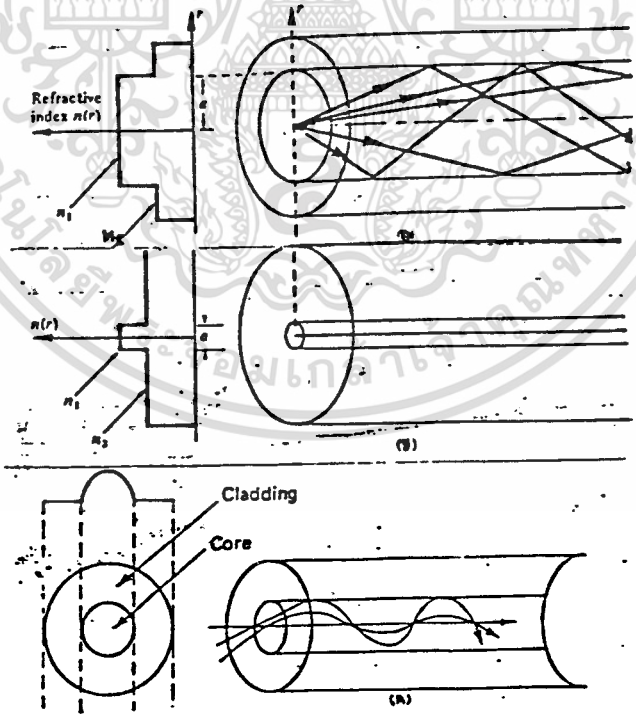
1.การสูญเสียของแสงต่ำกว่าในเคเบิลโลหะ ทำให้ใช้สถานีทวนสัญญาณน้อยกว่าในระยะทางที่เท่ากัน

2.ระบบเส้นใยแสงให้ค่าแบนด์วิทกว้างมาก

3.ขนาดของเส้นใยแสงมีขนาดเล็กกว่าสายเคเบิลมากทั้งที่สามารถส่งข้อมูลขนาดเดียวกัน

4.เส้นใยแสงมีน้ำหนักเบากว่าสายเคเบิลมาก ทำให้ระบบติดตั้งและบำรุงรักษาทำได้สะดวก

5.การใช้เส้นใยแสงช่วยตัดปัญหาสัญญาณรบกวนอัน เนื่องจากสนามแม่เหล็กไฟฟ้า ทำให้การติดตั้งไม่ต้องวางห่างจากสิ่งที่ทำให้เกิดสนามแม่เหล็กไฟฟ้ามากนัก ทั้งยังให้ความปลอดภัยกับผู้ปฏิบัติงาน



รูปที่ 2.10 แสดงเส้นใยแสงชนิดต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบระบบ

การออกแบบระบบการสื่อสารดิจิตอลผ่านเส้นใยแสง แยกเป็นภาคส่ง และภาครับ ดังนี้

3.1 Block diagram ของภาคส่ง

ทางภาคส่งประกอบด้วย

1. วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล(A/D)

จะทำหน้าที่แปลงแรงดัน หรือกระแสที่เป็นสัญญาณอนาลอก (ในที่นี้คือสัญญาณอินพุท) ไปเป็นสัญญาณดิจิตอลแบบ 8 บิทขนาน

2. วงจร Shift register(P/S)

จะทำหน้าที่แปลงสัญญาณดิจิตอลแบบ 8 บิทขนานไปเป็นสัญญาณดิจิตอลแบบอนุกรม เพราะในระบบจะส่งข้อมูลผ่านๆ Optical fiber เพียงเส้นเดียวแบบ simplex นั่นคือจะส่งข้อมูลไปได้ทางเดียวเท่านั้น

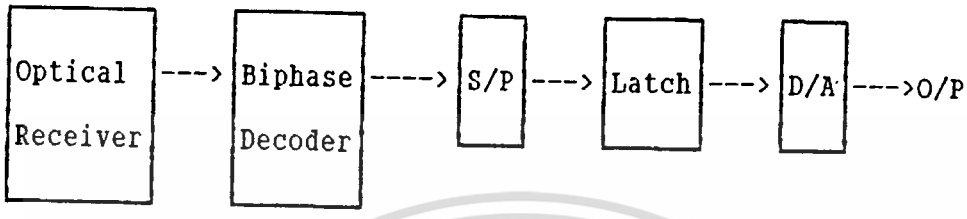
เนื่องจากเป็นการส่งข้อมูลแบบ synchronous ดังนั้นจึงต้องมีการส่งสัญญาณ sync. ไปด้วย รวมทั้งมีการเข้ารหัสสัญญาณข้อมูลดิจิตอล แบบไบเฟส เพื่อส่งสัญญาณ clock ไปด้วย เพื่อให้ทางด้านรับมีสัญญาณ clock ที่เป็นความถี่เดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.วงจร Optical Transmitter(Driver circuit)

จะทำหน้าที่แปลงสัญญาณข้อมูลที่ได้ เป็นสัญญาณแสง เพื่อส่งผ่าน Optical fiber

3.2 Block diagram ของภาครับ



ทางภาครับประกอบไปด้วย

1.วงจร Optical Receiver

จะแปลงสัญญาณแสงจาก Optical fiber กลับเป็นสัญญาณไฟฟ้า (ได้สัญญาณไบเฟส)

2.วงจร Biphase Decoder

จะทำหน้าที่แยกสัญญาณไบเฟสที่ได้มา ไปเป็นสัญญาณ Data+Sync. กับสัญญาณ Clock

3.วงจร Shift register (8 bit serial in - parallel out)

จะแปลงสัญญาณ Data+Sync. ไปเป็นแบบขนาน 8 บิท และเข้าวงจร Latch ซึ่งจะ latch เอาเฉพาะสัญญาณ Data เท่านั้น ซึ่งในส่วนนี้จะมีวงจรบังคับการ latch อีกที

4.วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (D/A)

เพื่อแปลงสัญญาณให้ได้สัญญาณ o/p ออกมา ซึ่งเป็นสัญญาณ i/p จากทางด้านส่งนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรและการทำงาน

4.1 ภาคส่ง

4.1.1 วงจรสร้างสัญญาณต่าง ๆ ที่ใช้ในภาคส่ง

จากวงจรออสซิเลท 4 MHz จะเข้าวงจรหาร 4 โดยใช้ไอซี 7493 ซึ่งเป็นวงจร T-flip flop ได้สัญญาณนาฬิกา 1 MHz ซึ่งจะใช้เป็นสัญญาณ clock ของตัว A/D

clock 1 MHz เข้าวงจรหารสิบที่ไอซี 7490 จะได้ clock 100 KHz ที่ขา 12 ซึ่งจะใช้เป็นสัญญาณ clockของวงจร Shift Registeer และส่งไปกับข้อมูลเป็นรหัสไบเฟส

clock 100 KHz เข้าวงจรหาร 8 และหาร 16 ที่ไอซี 7493 อีกตัวหนึ่งเพื่อนำไปสร้างสัญญาณต่าง ๆ ได้แก่ Start , OE(output enable) ของวงจร A/D , Shift/Load และ Clock Inhibit ของวงจร Shift Register , และสัญญาณ Sync.

สัญญาณ Start ได้จากวงจร Monostable โดยไอซี 74123 ซึ่งควบคุมเวลาการเกิด pulse ด้วยค่า R และ C เพื่อใช้เป็นสัญญาณ start ของวงจร A/D

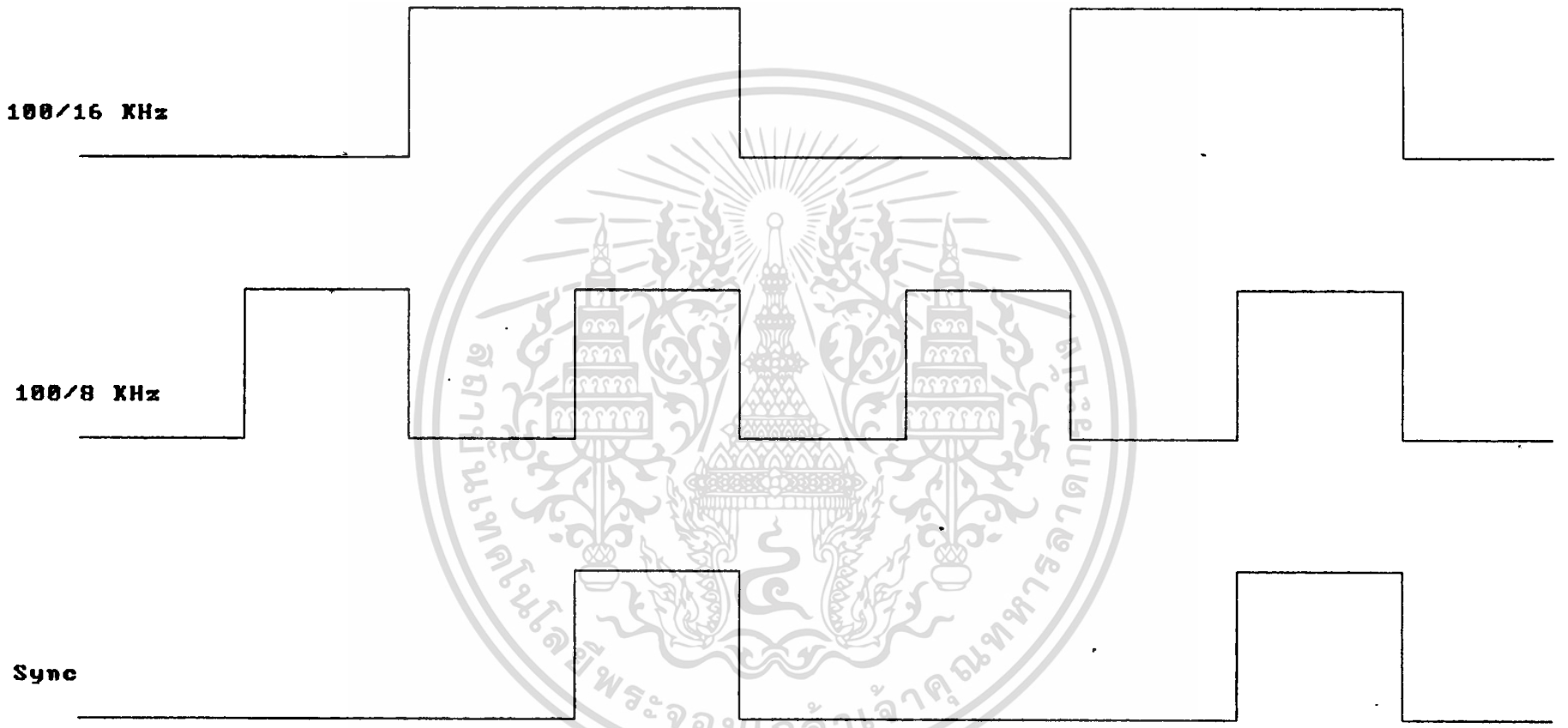
สัญญาณ OE ได้จากไอซี 4017 โดยให้สัญญาณ start จากวงจร monostable ป้อนเข้าขา Reset และใช้ clock 100 KHz ไอซี 4017 เป็นวงจรนับสิบ ซึ่งในที่นี้จะให้นับ 7 (จะเริ่มนับเมื่อขารีเซตเป็น low) สัญญาณ OE นี้จะนำไปผ่าน Inverter เพื่อเป็นสัญญาณ Shift/Load ของวงจร Shift Register

สัญญาณ Sync ได้จากสัญญาณนาฬิกา 100/8 KHz และ 100/16 KHz มา AND กัน

4.1.2 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (A/D)

วงจรนี้ใช้ไอซี ADC0809 ในการแปลงสัญญาณอนาลอกเป็นดิจิตอล โดยใช้สัญญาณนาฬิกา 1 MHz เมื่อมีสัญญาณ Start เข้ามา ADC0809 ก็จะทำงาน และเมื่อมีสัญญาณ OE เข้ามา ตัว ADC0809 ก็จะให้ Output ซึ่งเป็นสัญญาณดิจิตอลแบบ 8 บิทขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 Timing Diagram of Clock and Sync. signal

4.1.3 วงจร Shift Register

วงจรนี้ใช้ไอซี 74165 เพื่อเปลี่ยนสัญญาณดิจิตอล 8 บิทแบบขนานเป็น 8 บิทแบบอนุกรม โดยขณะที่ ADC0809 ให้ Output 8 บิทแบบขนานก็เป็นเวลาเดียวกันที่ไอซี 74165 Shift Load Data เข้ามา

ไอซี 74165 จะให้ Output ดิจิตอล 8 บิทแบบอนุกรมออกมาตามสัญญาณ C/K 100 KHz ก็ต่อเมื่อ สัญญาณ Clock Inhibit (100/16 KHz) มีสถานะเป็น low ส่วนช่วงที่ Clock Inhibit มีสถานะเป็น high นั้น เป็นช่วงสำหรับสัญญาณ Sync

สัญญาณ Output ที่ได้ (ขา 9) เมื่อนำมา OR กับสัญญาณ Sync ก็จะได้สัญญาณดิจิตอลข้อมูล และสัญญาณ Sync สลับกันไป

4.1.4 วงจรเข้ารหัสไบเฟส

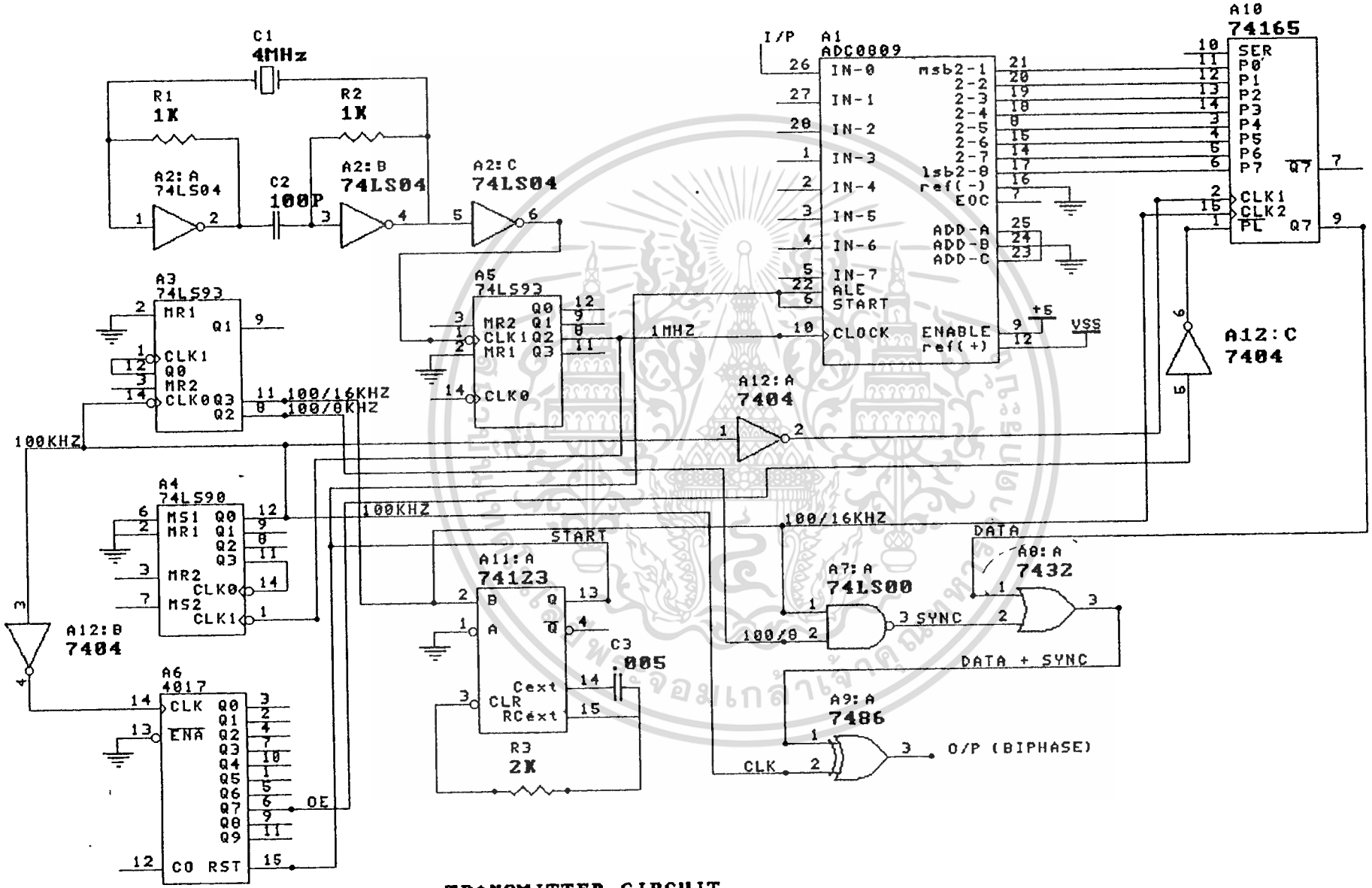
การเข้ารหัสไบเฟสนั้นจะใช้วงจร Exclusive - OR โดยใช้ไอซี 7486 เพื่อส่งสัญญาณนาฬิกา 100 KHz รวมไปกับสัญญาณดิจิตอลข้อมูล และสัญญาณ Sync ซึ่งเรียกว่ารหัสไบเฟส

4.1.5 วงจร Optical Transmitter

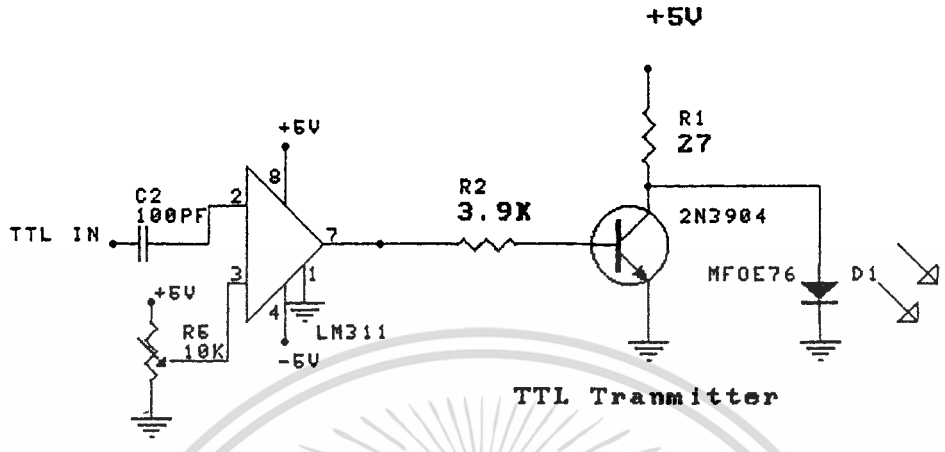
จะใช้วงจรแบบ Noninverting โดยใช้ Transister เบอร์ 2N3904 เป็นตัวขับ LED เบอร์ MFOD76 ซึ่งมีค่า Forward Current (I_F) เท่ากับ 100 mA

Output ที่ได้เป็นกระแสผ่าน LED ขับ LED ให้ติด หรือดับ ซึ่งขึ้นอยู่กับสัญญาณ Input ที่เข้ามา

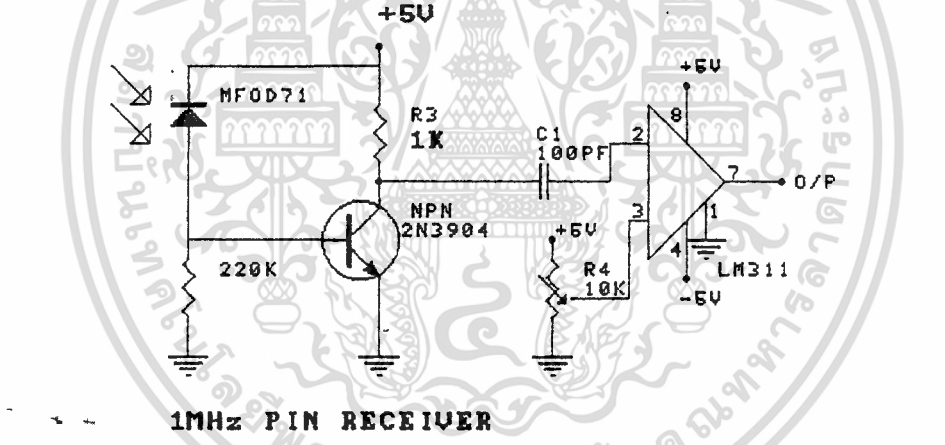
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TRANSMITTER CIRCUIT



TTL Tranmitter



1MHz PIN RECEIVER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ภาครับ

ในภาครับนี้สามารถแบ่งเป็นส่วนวงจรต่าง ๆ ได้ดังนี้

- วงจร Optical Receiver
- วงจรถอดรหัสไบเฟส และสัญญาณนาฬิกา
- วงจร Shift Register (S/P)
- วงจร Latch
- วงจรบังคับการ Latch
- วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (D/A)

4.2.1 วงจร Optical Receiver

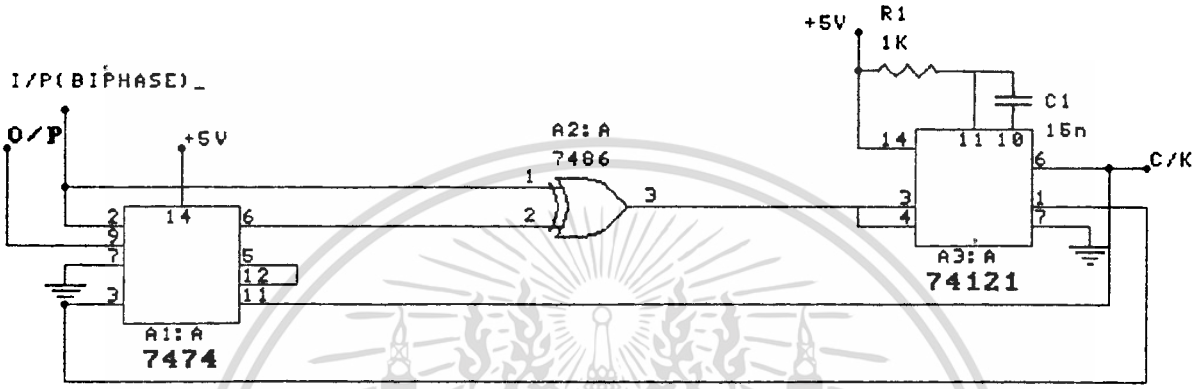
จากวงจร Optical Receiver เป็นวงจรซึ่ง Match กับวงจร Optical Transmitter นั่นคือมีย่านความถี่รับแสงเดียวกัน โดยใช้ตัว MFOD71 ซึ่งเป็น PIN-Diode ในการรับแสง วงจรนี้มีความถี่ตอบสนองถึง 1 MHz

4.2.2 วงจรถอดรหัสไบเฟส และแยกสัญญาณนาฬิกา

เมื่อรหัสไบเฟสเข้ามา ไอซี 7474 ซึ่งเป็น D-flip flop 2 ตัว จะเก็บค่าสัญญาณในครึ่งแรกไว้ ดังนั้น เมื่อสัญญาณกลับค่า จะทำให้ขาออกของไอซี 7486 เปลี่ยนจาก 1 ไปเป็น 0 ทำให้ไอซี 74121 เกิด Pulse โดยกำหนดค่า R และ C ระหว่างนี้ไอซี 74121 จะไม่สนใจขาออกของไอซี 7486 อีกต่อไป จนหมดเวลาที่ตั้งไว้ ซึ่งเมื่อหมดเวลาแล้ว ขา 1 ของไอซี 74121 จะเปลี่ยนจาก 0 ไปเป็น 1 และป้อนกลับมาเป็น C/K ให้ไอซี 7474 เก็บค่าสัญญาณในขณะนั้นเข้าไป ค่าในขณะนั้นจะเป็นค่ากึ่งกลางของครึ่งบิทแรก ของบิทถัดไปพอดี และการทำงานในบิทถัดไปจะเหมือนเดิม ดังนั้นไอซี 74121 จะให้สัญญาณนาฬิกาออกมา โดยมีขอบขาขึ้นตรงกับที่กึ่งกลางบิทของสัญญาณไบเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกานี้จะใช้ในภาครับ เพื่อป้อนให้กับวงจรส่วนต่าง ๆ ของภาครับ และสัญญาณ Output (ขา 9 ของไอซี 7474) ก็จะเป็นสัญญาณ Data + Sync นั่นเอง



รูปที่ 4.5 วงจรถอดรหัสไบเฟสและแยกสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 วงจร Shift Register

สัญญาณดิจิตอล และสัญญาณ Sync ถูกเปลี่ยนจาก 8 บิทแบบอนุกรม ไปเป็น 8 บิทแบบขนาน โดยใช้ไอซี 74164

4.2.4 วงจร Latch

ในการ Latch ใช้ไอซี 74374 ซึ่งจะให้ Latch เฉพาะค่าดิจิตอลข้อมูล เพื่อให้วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล ดังนั้นจึงต้องมีส่วนควบคุมการ Latch โดยจะให้ Latch เมื่อสัญญาณทริกที่ขอบขาขึ้น

4.2.5 วงจรบังคับการ Latch

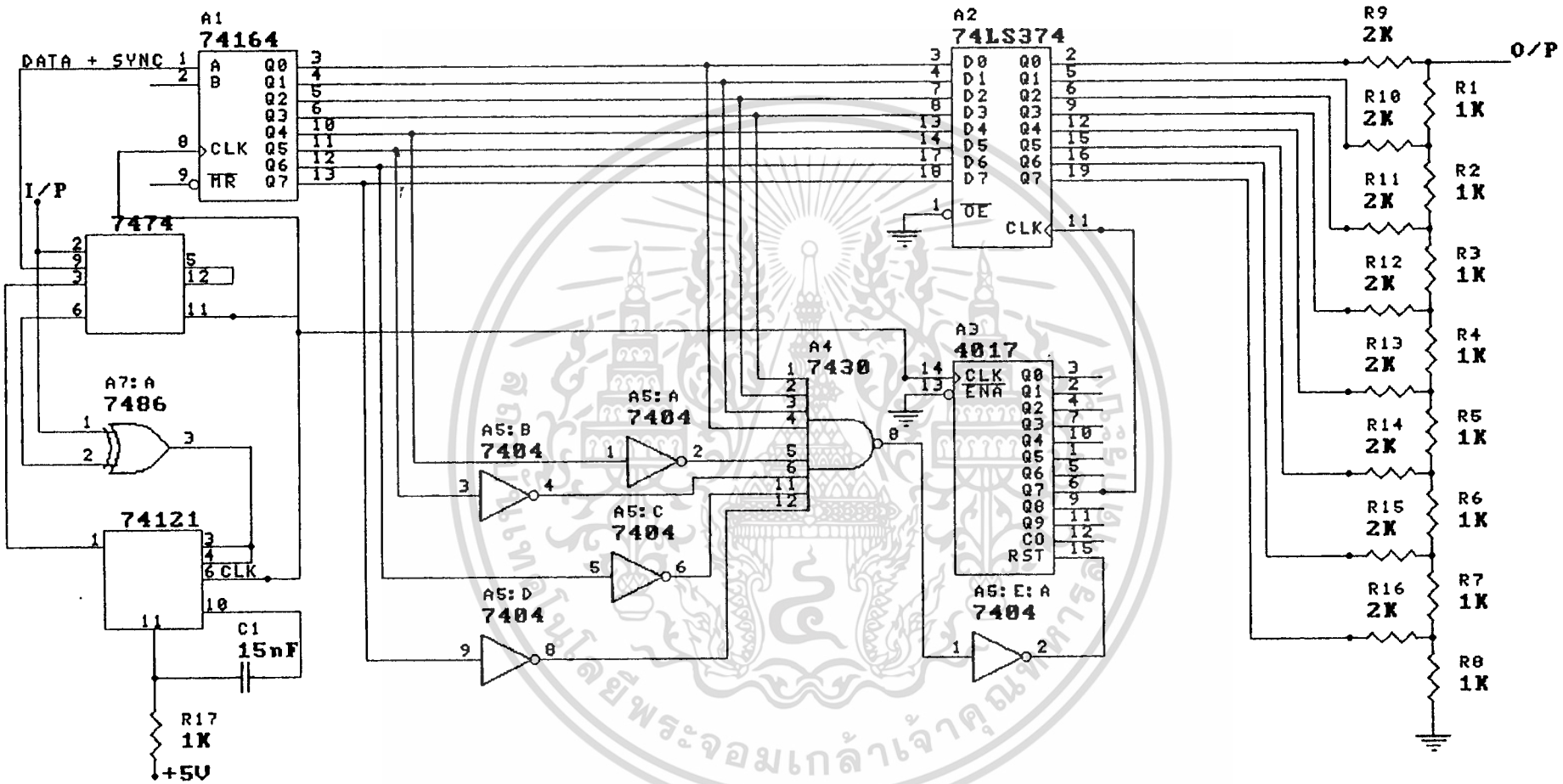
โดยการใช้ NAND Gate 8 input (ไอซี 7430) เพื่อสร้างสัญญาณไปรีเซต ไอซี 4017 ให้เกิด Pulse นับ 7 ซึ่งจะไปเป็นตัวควบคุมการ Latch ของไอซี 74374 ซึ่งก็พอดีตรงกับสัญญาณดิจิตอลข้อมูลที่ส่งมาพอดี ทำให้ Latch เอาเฉพาะสัญญาณข้อมูลออกมาได้

4.2.6 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (D/A)

สัญญาณดิจิตอลข้อมูลส่งจากไอซี 74374 ก็จะผ่านเข้าวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก โดยใช้วงจร R-2R ladder type

วงจร D/A แบบวงจรบันไดของตัวต้านทาน เป็นแบบรวมแรงดับ ใช้ตัวต้านทานเพียง 2 ค่าคือ R และ 2R ต่อสลับไปมาเหมือนขั้นบันได ไม่ว่าจะวัดที่จุดไหนของแต่ละขั้นบันได จะได้ความต้านทานรวมลงมาถึงปลายบันไดเท่ากับ R เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



RECEIVER CIRCUIT

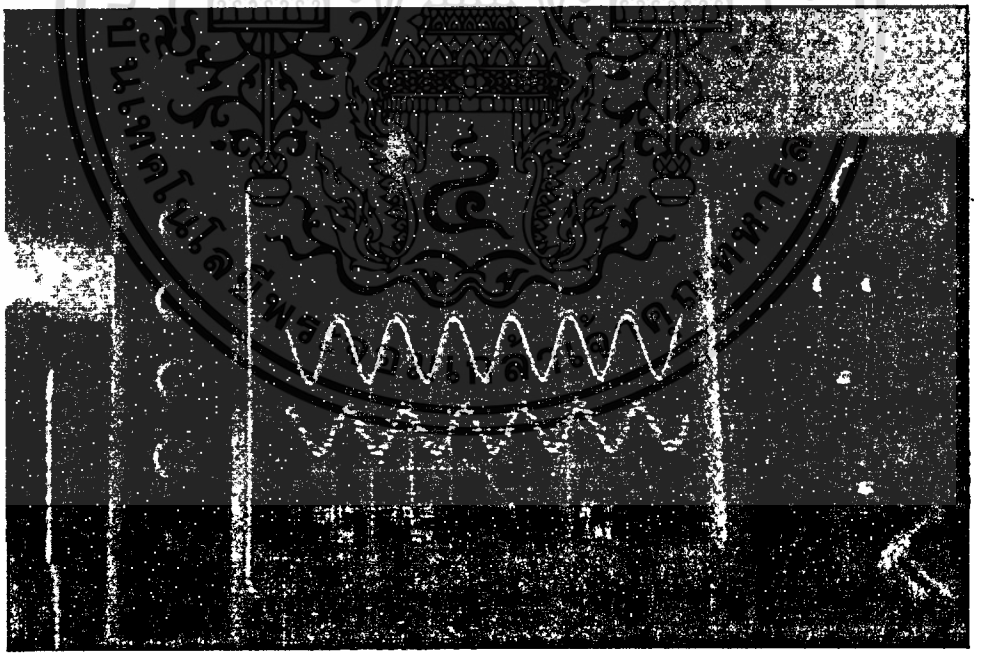
บทที่ 5

ผลการทดลอง

ในการทดสอบระบบ ทำได้โดยการป้อนสัญญาณ Input ทางภาคส่ง ดังนี้

1. สัญญาณ DC +5v
2. สัญญาณ Pulse (TTL) ความถี่ 1 kHz ถึง 3 kHz
3. สัญญาณ Sine ในช่วงความถี่ 1 kHz ถึง 3 kHz มีแอมปลิจูดไม่เกิน +5 V

ในแต่ละสัญญาณ Input ที่ป้อนให้ทางภาคส่งนั้น เมื่อทำการวัดสัญญาณ Output ที่ทางภาครับ ปรากฏว่าสามารถรับสัญญาณได้ชัดเจนดี ในช่วงความถี่ 0-2.2 kHz ซึ่งในที่นี้เราใช้สาย Fiber Optic ที่ยาว 1 เมตร ซึ่งคาดว่าสามารถใช้สายที่ยาวกว่านี้ได้ แต่ในที่นี้ไม่ได้ทำการทดลอง



รูปที่ 5.1 แสดงสัญญาณ Input ทางภาคส่งและสัญญาณ Output ทางภาครับ ความถี่ 700 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุป และวิจารณ์

ในระบบนี้เราถูกจำกัดการเดินทางของสัญญาณจากสาเหตุหลายอย่าง ดังนี้

1. วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล ซึ่งถูกจำกัดความถี่ของสัญญาณอนาลอกที่ป้อนเข้าไปในอินพุท ซึ่งมีค่าไม่เกิน 3.1 kHz
2. วงจรขับแสง
3. วงจรรับแสง ซึ่งจะต้อง match กับ วงจรขับแสง
4. วงแปลงสัญญาณดิจิตอลเป็นอนาลอก ซึ่งควรจะมีความละเอียดในการแปลงสูงขึ้น

จากการทดลองนี้ เราใช้สัญญาณ start ซึ่งมีความถี่ 100/16 kHz เทียบเป็นสัญญาณ sampling ดังนั้นความถี่ของสัญญาณอินพุทจึงถูกจำกัดอยู่ในช่วงความถี่ 0-3.1 kHz จึงจะสามารถส่งสัญญาณไปได้ โดยไม่ผิดเพี้ยน

ในการทดลองนี้ถ้าเราเพิ่มวงจร Amplify เข้าไปในส่วนของวงจรขับแสงจะทำให้ส่งได้ไกลขึ้น นอกจากนี้ในการแปลงสัญญาณกลับเป็นสัญญาณอนาลอกทางภาครับ ถ้าสามารถหาวงจรกรองความถี่ LPF ได้เหมาะสมจะทำให้สัญญาณผิดเพี้ยนน้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] อภินันท์ มัฆยานนท์ "การสื่อสารเส้นใยแสง" ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีเจ้าคุณทหารลาดกระบัง

[2] อภินันท์ มัฆยานนท์ "ทฤษฎีการสื่อสารเส้นใยแสง" ตำราชุดวิศวกรรมศาสตร์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีเจ้าคุณทหารลาดกระบัง

[3] John M. Senior, "Optical Fiber Communication Principle and Practice", Prentice-Hall International,london,1985

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL COUPLED CHARACTERISTICS

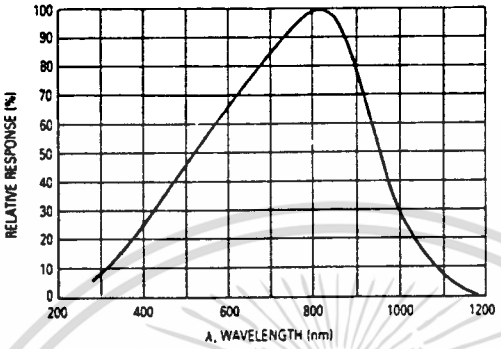


Figure 1. Relative Spectral Response

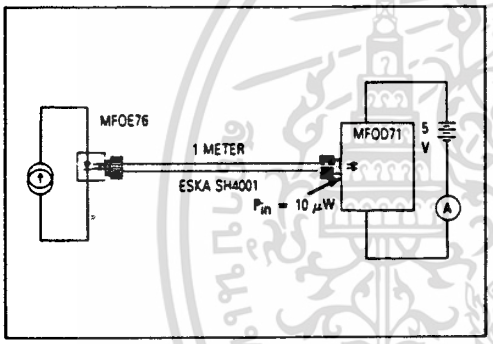


Figure 2. Responsivity Test Configuration

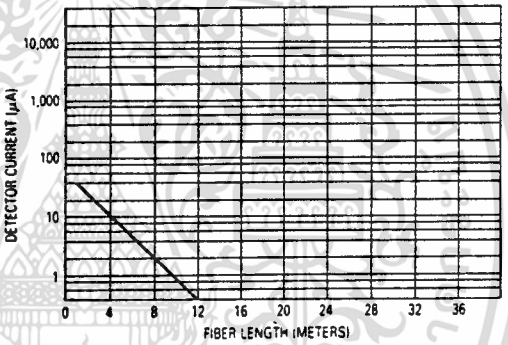


Figure 3. Detector Current versus Fiber Length

The system length achieved with a MFOE76 emitter and various detectors, using 1000 micron core plastic fiber (Eska SH4001 or equivalent), depends on the LED forward current (I_F) and the responsivity of the detector chosen. Each detector will perform with the MFOE76 up to the distances shown below.

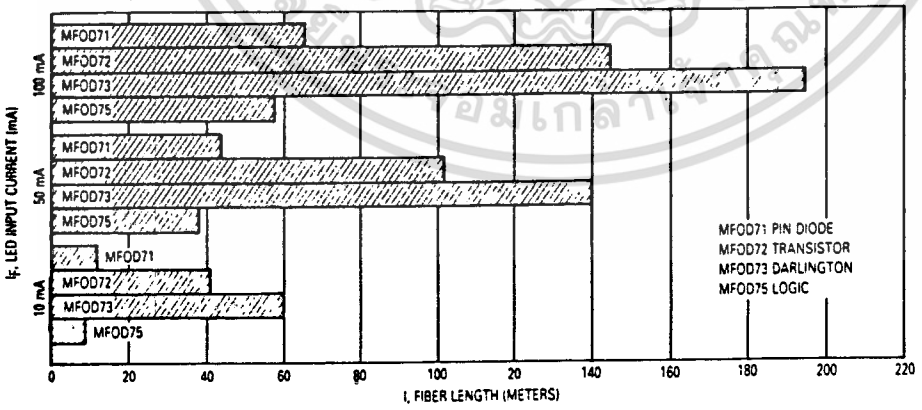


Figure 4. MFOE76 Working Distances

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

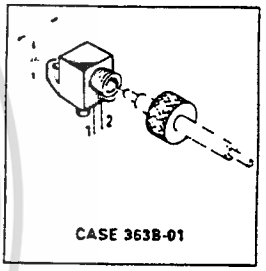
Fiber Optics — FLCS Family Visible Red LED

MFOE76

FLCS FAMILY FIBER OPTICS VISIBLE RED LED 660 nm

This device is designed for low cost, medium frequency, fiber optic systems using 1000 micron core plastic fiber. It is compatible with Motorola's wide variety of detector functions from the MFOD70 series. The MFOE76 employs gallium aluminum technology, and comes pre-assembled into the convenient and popular FLCS connector.

- Low Cost
- Very Simple Fiber Termination and Connection. See Figure 9
- Convenient Printed Circuit Mounting
- Integral Molded Lens for Efficient Coupling
- Mates with 1000 Micron Core Plastic Fiber, such as Eska SH4001



CASE 363B-01

5

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Reverse Voltage	V_R	5	Volts
Forward Current — Continuous	I_F	60	mA
Forward Current — Peak Pulse	I_F	1	A
Total Power Dissipation @ T_A = 25°C (1) Derate above 35°C	P_D	132 2	mW mW/°C
Ambient Operating Temperature Range	T_A	− 40 to + 100	°C
Storage Temperature	T_{stg}	− 40 to + 100	°C
Lead Soldering Temperature (2)	—	260	°C

Notes 1. Measured with device soldered into a typical printed circuit board.
2. 5 seconds max, 1/16 inch from case.

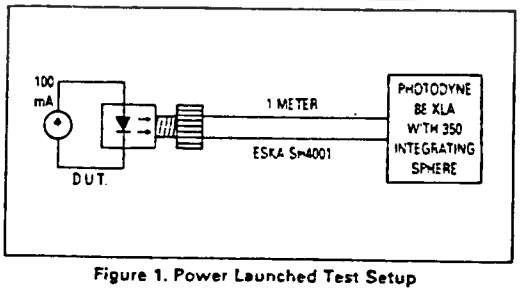


Figure 1. Power Launched Test Setup

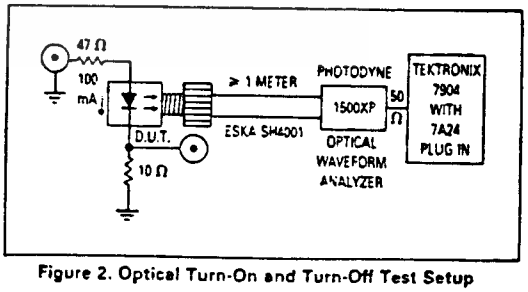


Figure 2. Optical Turn-On and Turn-Off Test Setup

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MFOE76

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Reverse Leakage Current (V_R = 3 V)	I_R	—	100	—	nA
Reverse Leakage Current (V_R = 5 V)	I_R	—	10	100	μA
Forward Voltage (I_F = 60 mA)	V_F	—	1.8	2.2	V
Temperature Coefficient of Forward Voltage	ΔV_F	—	−2.2	—	mV K
Capacitance (f = 1 MHz)	C	—	50	—	pF

OPTICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Peak Wavelength (I_F = 60 mA)	λ_P	—	660	—	nm
Instantaneous Power Launched (I_F = 100 mA, Figure 1)	P_L	200	540	—	μW
Optical Turn-On Time (Figure 2)	t_{on}	—	200	—	ns
Optical Turn-Off Time (Figure 2)	t_{off}	—	150	—	ns
Half-Power Electrical Bandwidth (1)	BWe	—	6	—	MHz

(1) I_F = 100 mA pk-pk, 100% modulation.

TYPICAL CHARACTERISTICS

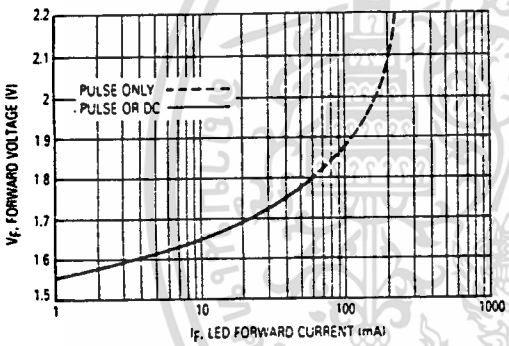


Figure 3. Forward Voltage versus Forward Current

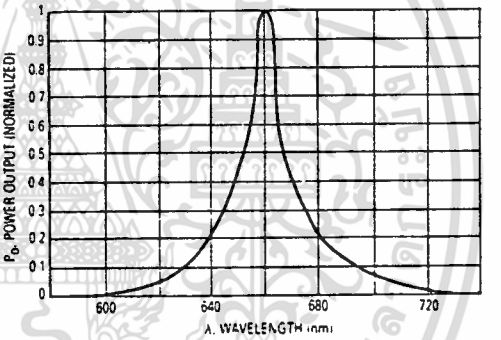


Figure 4. Relative Spectral Output

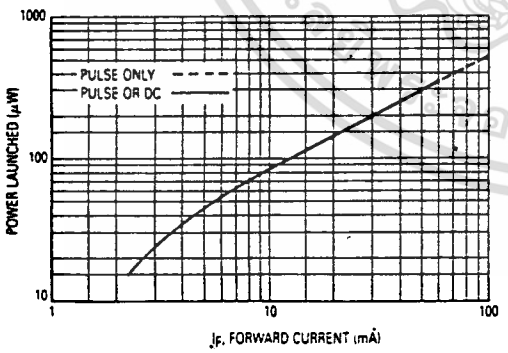


Figure 5. Power Launched versus LED Forward Current

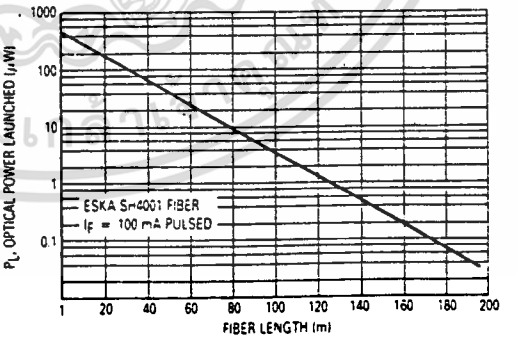


Figure 6. Power Launched versus Fiber Length

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S74	J①			W①	SN54H74	J①			W②	SN54LS74	J①			W①	SN5474	J①			W②	SN54L74	J①	N①	T②	
	SN74S74	J①	N①			SN74H74	J①	N①			SN74LS74	J①	N①			SN7474	J①	N①			SN74L74	J①	N①	T②	
FAIRCHILD	FM54S74/FM84S74	D①				FM54H74/FM84H74	D①			F②	FM54LS74/FM84LS74	D①			F②	FM5474/FM84N74	D①			F②					
	FC74S74/FC9S74	D①	P①			FC74H74/FC9H74	D①	P①		F②	FC74LS74/FC9LS74	D①	P①		F②	FC7474/FC9N74	D①	P①							
MOTOROLA											SN74LS74		P①												
N.S.C.						DM54H74	J①	N①			DM54LS74		P①			DM5474	J①	N①		W②	DM54L74	J①	N①		F②
	DM74S74		N①			DM74H74	J①	N①			DM74LS74					DM7474	J①	N①			DM74L74	J①	N①		F②
PHILIPS	N74S74		①			GJJ131/74H74		①			N74LS74		①			FJJ131/7474		①							
SIGNETICS	S54S74					S54H74	F①	A①		W①						S5474	F①	A①		W②					
	N74S74					N74H74	F①	A①			N74LS74		A①			N7474	F①	A①							
SIEMENS																									
FUJITSU																MLJ141		①							
HITACHI											74LS74		M①			MB420	①	M①							
	HD74S74	①	P①								HD74LS74		P①			HD7474/HD2510	①	P①							
MITSUBISHI	M74S74		P①								M74LS74		P①			M5327/M5374		P①							
NEC	74S74		C①								74LS74		C①			μPB214	D①	C①							
TOSHIBA																TD3474A		P①							

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

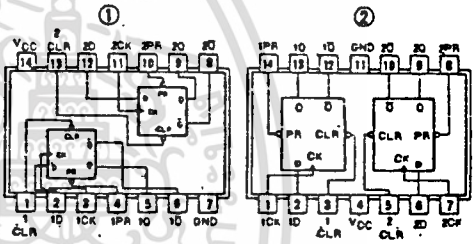
	SN54LS74			SN74LS74			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Pulse width t_w Clear low	25			25			ns
Preset or clear inactive	25			25			
Setup time t_{su} High-level data	25†			25†			ns
Low-level data	20†			20†			
Hold time t_h	5†			5†			ns
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER			TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage		V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX	2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA		0.25	0.4	V
I_I	Input current at maximum input voltage	D, J, K	V_{CC}=MAX, V_I=7V			0.1	mA
		Clear				0.2	
		Preset				0.2	
		Clock				0.1	
I_{IH}	High-level input current	D, J, K	V_{CC}=MAX, V_I=2.7V			20	μA
		Clear				40	
		Preset				40	
		Clock				20	
I_{IL}	Low-level input current	D, J, K	V_{CC}=MAX, V_I=0.4V			−0.4	mA
		Clear				−0.8	
		Preset				−0.8	
		Clock				−0.4	
I_{OS}	Short-circuit output current*	Series 54LS	V_{CC}=MAX	−20		−100	mA
		Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)		V_{CC}=MAX, See Note 1		4	8	mA
f	clock frequency		V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	25	33		MHz
t_{PLH}	from clear, preset or clock (as appropriate) to Q or Q̄				13	25	ns
t_{PHL}					25	40	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
*Not more than one output should be shorted at a time.
#t_{PLH} = propagation delay time, low-to-high-level output;
t_{PHL} = propagation delay time, high-to-low-level output;
§ The arrow indicates the edge of the clock pulse used for reference: ↑ for the rising edge.

Pin Assignments (Top View)

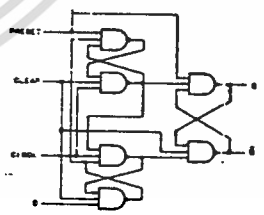


Functional Table

'74, 'H74, 'LS74, 'S74 (See Note 2)

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	Q̄
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



'74, 'S74, 'H74, 'LS74, 'L74-DUAL D FLIP FLOP WITH CLEAR AND PRESET

NOTES: 1. With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.
2. H = high level (steady state), L = low level (steady state), X = irrelevant
↑ = transition from low to high level.
Q_0 = the level of Q before the indicated input conditions were established
* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54/74LS90 / 7490 Decade Counter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS90	J			W	SN5490A	J			W	SN54L30A	J	N	T	
											SN74LS90	J	N			SN7490A	J	N			SN74L30A	J	N	T	
FAIRCHILD											9LS90, 74LS90	9T			F	FM5490 FM9390	D			F					
MOTOROLA											74LS90	9T	MC		F	FC7490 FC9390	D	P							
																MC5490	L			F					
N. S. C.											SN74LS90		P	D		MC7490	L	P		F					
											DM54LS90			D		DM5490	J	N		W	DM54L90	J	N		F
PHILIPS											DM74LS90			D		DM7490	J	N			DM74L90	J	N		F
											N74LS90			D		FJJ141 7490			D						
SIGNETICS																S5490	F	A		W					
											N74LS90		A	D		N7490	F	A							
SIEMENS																									
FUJITSU																FL7161									
HITACHI											HD74LS90		P	D		HD7490A HD2519			P	D					
MITSUBISHI											M74LS90		P	D		M53290		P							
NEC																μPB219	D		C						
TOSHIBA																TD3490A		P							

Electrical Characteristics SN54LS'/SN74LS90A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage (see Note 1)	5.5V	Storage temperature range		−65°C to 150°C

recommended operating conditions

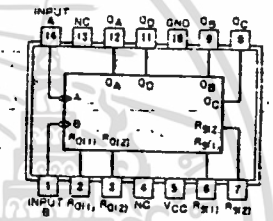
		SN54LS90A			SN74LS90A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		32	0		32	MHz
	B input	0		16	0		16	
Pulse width, t_w	A input	15			15			ns
	B input	30			30			
	Reset inputs	15			15			
Reset inactive-state setup, t_{setup}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER †		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	Any reset	V_{CC} = MAX, V_I = 7V			0.1	mA
		A input*	V_{CC} = MAX, V_I = 5.5V			0.2	
		B input				0.4	
I_{IH}	High-level input current	Any reset	V_{CC} = MAX, V_I = 2.7V			20	μA
		A input				40	
		B input				80	
I_{IL}	Low-level input current	Any reset	V_{CC} = MAX, V_I = 0.4V			−0.4	mA
		A input				−2.4	
		B input				−3.2	
I_{OS}	Short-circuit output current ●	V_{CC} = MAX	SN54'LS	−20		−100	mA
			SN74'LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			9	15	mA

f_{max}	from A to output Q_A	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	32	42	MHz
	from B to output Q_B		16		
t_{PLH}	from A to output Q_A			10	16	ns
t_{PHL}				12	18	
t_{PLH}	from A to output Q_D			32	48	ns
t_{PHL}				34	50	
t_{PLH}	from B to output Q_B			10	16	ns
t_{PHL}				14	21	
t_{PLH}	from B to output Q_C			21	32	ns
t_{PHL}				23	35	
t_{PLH}	from B to output Q_D			21	32	ns
t_{PHL}				23	35	
t_{PHL}	from Set-to-0 to Any output			26	40	ns
t_{PLH}	from Set-to-9 to output Q_A, Q_D			20	30	ns
t_{PHL}	from Set-to-9 to output Q_B, C_C			26	40	

Pin Assignment (Top View)



NC—No internal connection

Function Table

BCD COUNT SEQUENCE
'90A, LS90, L90 (See Note 3)

COUNT	OUTPUT Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

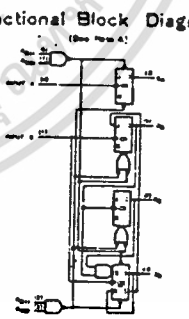
BI-QUINARY (5-2)
'90A, LS90, L90 (See Note 3)

COUNT	OUTPUT Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	H
6	H	L	H	L
7	H	L	H	H
8	H	H	L	L
9	H	H	L	H

RESET COUNT
'90A, LS90, L90 (See Note 3)

RESET INPUTS $R_{9(1)}$	$R_{9(2)}$	$R_{0(1)}$	$R_{0(2)}$	OUTPUT Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

Functional Block Diagram



'90A, LS90, L90 DECADE COUNTER

NOTES. 1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies between the two R_0 inputs, and it also applies between the two R_9 inputs.
2. I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.
3. Output Q_A is connected to input B for BCD count.
Output Q_D is connected to input A for bi-quinary count.
H = high level, L = low level, X = irrelevant.
4. The J and K inputs shown without connection are for reference only and are functionally at a high level.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
● Not more than one output should be shorted at a time.
§ Q_A outputs are tested at I_{OL} = 16mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
¶ f_{max} = maximum count frequency.
t_{PLH} = propagation delay time, low to high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5493/7493 4-Bit Binary Counter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.											SN54LS93	J1			W1	SN5493†A	J1			W1	SN54L93	J2	N2		F2
											SN74LS93	J1	N1			SN7493A	J1	N1			SN74L93	J2	N2		F2
FAIRCHILD											FJ54LS93 FJ74LS93	D1			F1	FJ5493 FJ7493	D1			F1					
											FC74LS93 FC54LS93	D1	P1			FC7493 FC5493	D1	P1							
MOTOROLA																MC5493	L1								
											SN74LS93		P1			MC7493	L1	P1							
N. S. C											DM54LS93		J1			DM5493	J1	N1		W1	DM54L93	J2	N2		F2
											DM74LS93		J1			DM7493	J1	N1			DM74L93	J2	N2		F2
PHILIPS																									
											N74LS93		J			FJJ221 7493		J							
SIGNETICS																S5493	F1	A1		W1					
											N74LS93		A1			N7493	F1	A1							
SIEMENS																									
																FLJ181		J1							
FUJITSU																									
HITACHI																									
											MD74LS93		PJ			HD7493A HD2520		P1							
MITSUBISHI																									
											M74LS93		P1			M5329J		P1							
NEC																									
																μPB223	D1	C1							
TOSHIBA																									
																TD3493A		P1							

Electrical Characteristics SN54LS93A SN74LS93A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage (see Note 1)	5.5V	Storage temperature range		−65°C to 150°C

recommended operating conditions

		SN54LS93A MIN	NOM	MAX	SN74LS93A MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		32	0		32	MHz
	B input	0		16	0		16	
Pulse width, t_w	A input	15			15			ns
	B input	30			30			
	Reset inputs	45			15			
Reset inactive-state setup t_{setup}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

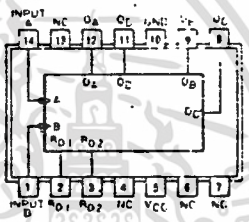
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage: Any reset	V_{CC} = MAX, V_I = 7V				0.1	mA
	A input	V_{CC} = MAX, V_I = 5.5V				0.2	
	B input					0.2	
I_{IH}	High-level input current: Any reset	V_{CC} = MAX, V_I = 2.7V				20	μA
	A input					80	
	B input					80	
I_{IL}	Low-level input current: Any reset	V_{CC} = MAX, V_I = 0.4V				0.4	mA
	A input					2.4	
	B input					1.6	
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			9	15	mA
f_{max}	from A to output Q_A	◆ V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ		32	42		MHz
	from B to output Q_B			16			
t_{PLH}	from A to output Q_A				10	16	ns
t_{PHL}					12	18	
t_{PLH}	from A to output Q_D				46	70	ns
t_{PHL}					46	70	
t_{PLH}	from B to output Q_B				10	16	ns
t_{PHL}					14	21	
t_{PLH}	from B to output Q_C				21	32	ns
t_{PHL}					23	35	
t_{PLH}	from B to output Q_D				34	51	ns
t_{PHL}					34	51	
t_{PHL}	from Set-to-0 to Any output				26	40	ns

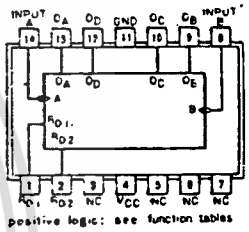
† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All 'typical' values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time.
§ Q_A outputs are tested at I_{OL} = 16mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
● f_{max} = maximum count frequency t_{PLH} = propagation delay time, low-to-high-level output t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignments (Top View)

①



②



positive logic: see function tables
NC = No internal connection

Function Table

COUNT SEQUENCE
'93A, 'LS93, 'L93 (See Note 3,4)

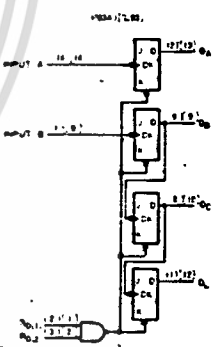
COUNT	OUTPUT Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

RESET/COUNT
'93A, 'LS93, 'L93 (See Note 4)

RESET INPUTS $R_{0(1)}$	$R_{0(2)}$	OUTPUT Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

Functional Block Diagram

(see Note 5)



'93A, 'LS93, 'L93
4-BIT BINARY COUNTER

NOTES:

1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies between the two R_0 inputs.
2. I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5V, and all other inputs grounded.
3. Output Q_A is connected to input B.
4. H = high level, L = low level, X = irrelevant.
5. The J and K inputs shown without connection are for reference only and are functionally at a high level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54121/74121 Monostable Multivibrator with Schmitt-Trigger Input

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Dexice Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.																SN54121	J①			W①	SN54L121	J②	N①	T①	
																SN74121	J①	N①			SN74L121	J②	N①	T①	
FAIRCHILD																FM54121, FM9603	D①			F①					
																FC74121, FC9603	D①	P①							
MOTOROLA																MC54121	L①			F①					
																MC74121	L①	P①		F①					
N.S.C.																DM54121	J①	N①		W①					
																DM74121	J①	N①							
PHILIPS																									
																FJK101, 74121		①							
SIGNETICS																S54121	F①	A①		W①					
																N74121	F①	A①		W①					
SIEMENS																FLK101		①							
FUJITSU																									
HITACHI																HD74121, HD2543	①	P①							
MITSUBISHI																M53321		P①							
NEC																									
TOSHIBA																TD34121A		P①							

Electrical Characteristics SN54S121, SN74S121

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range: SN54S	−55°C to 125°C
Input voltage	5.5 V	SN74S	0°C to 70°C
		Storage temperature range	−65°C to 150°C

recommended operating conditions

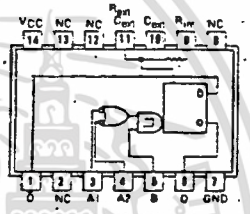
		SN54S121 MIN	NOM	MAX	SN74S121 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}							−800	μA
Low-level output current, I_{OL}							16	mA
Rate of rise or fall of input pulse, dv/dt	Schmitt input, A	1			1			V/s
	Logic inputs, A1, A2	1			1			V/μs
Input pulse width, t_w		50			50			ns
External timing capacitance, C_{ext}		14		‡	14		40	pF
External timing capacitance, C_{ext}		0		1000	0		1000	pF
Duty cycle	R_T = 2 kΩ			67			67	%
	R_T = max R_{ext}			90			90	%
Operating free-air temperature, T_A		55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

	PARAMETER	TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{T+}	Positive-going threshold voltage	V_{CC} = MIN	A input		1.4	2	V
V_{T-}	Negative-going threshold voltage	V_{CC} = MIN	A input	0.8	1.4		V
V_{T+}	Positive-going threshold voltage	V_{CC} = MIN	B input		1.55	2	V
V_{T-}	Negative-going threshold voltage	V_{CC} = MIN	B input	0.8	1.35		V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −12 mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX		2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = MAX			0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V				1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4 V	A1 or A2			40	μA
	High-level input current		B			80	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V	A1 or A2			−1.6	mA
			B			−3.2	
I_{OS}	Short-circuit output current*	V_{CC} = MAX	54 Family	−20		−55	mA
			74 Family	−18		−55	
I_{CC}	Supply current	V_{CC} = MAX	Quiescent		13	25	mA
			Triggered		23	40	
t_{PLH}	Propagation delay time, low-to-high-level Q output from either A input	V_{CC} = 5 V, T_A = 25°C, C_L = 15 pF, R_L = 400 Ω	C_T = 80 pF, R_{int} to V_{CC}		45	70	ns
t_{PLH}	Propagation delay time, low-to-high-level Q output from B input				35	55	ns
t_{PHL}	Propagation delay time, high-to-low-level Q output from either A input				50	80	ns
t_{PHL}	Propagation delay time, high-to-low-level Q output from B input				40	65	ns
t_w(out)	Pulse width obtained using internal timing resistor	V_{CC} = 5 V, T_A = 25°C, C_L = 15 pF, R_L = 400 Ω	C_T = 80 pF, R_{int} to V_{CC}	70	110	150	ns
t_w(out)	Pulse width obtained with zero timing capacitance		C_T = 0, R_{int} to V_{CC}		30	50	ns
t_w(out)	Pulse width obtained using external timing resistor		C_T = 100 pF, R_T = 10 kΩ	600	700	800	ns
			C_T = 1 μF, R_T = 10 kΩ	6	7	8	ms

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
* Not more than one output should be shorted at a time.

Pin Assignment (Top view)



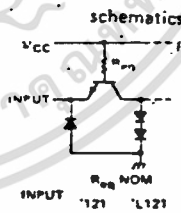
NC=No internal connection
*121…R_{int} = 2 kΩ NOM
L121…R_{int} = 4 kΩ NOM

Function Table

*121, *L121 (See Note)

INPUTS A1	A2	B	OUTPUTS Q	$\bar{Q}$
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⎍	⎍
↓	H	H	⎍	⎍
↓	↓	H	⎍	⎍
L	X	↑	⎍	⎍
X	L	↑	⎍	⎍

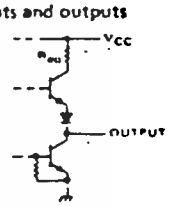
schematics of inputs and outputs



INPUT	*121	*L121
A1	4 kΩ	8 kΩ
A2	4 kΩ	8 kΩ
B	2 kΩ	4 kΩ

R_{eq} NOM

EQUIVALENT OF EACH INPUT



*121 R_{eq} = 130 Ω NOM
*L121 R_{eq} = 260 Ω NOM

TYPICAL OF BOTH OUTPUTS

NOTES: A. H = high level (steady state), L = low level (steady state), ↑ = transition from low to high level, ↓ = transition from high to low level, ⎍ = one high-level pulse, ⎍ = one low-level pulse, X = irrelevant (any input, including transitions).
B. To use the internal timing resistor connect R_{int} to V_{CC}.
C. An external timing capacitor may be connected between C_{ext} (positive) and R_{ext}/C_{ext}.
D. For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.
E. To obtain variable pulse widths, connect external values resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54123/74123 Dual Retriggerable Monostable Multivibrator with Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS123	J①			W①	SN54123	J①			W①	SN54L123	J①			
											SN74LS123	J①	N①			SN74123	J①	N①			SN74L123	J①	N①		
FAIRCHILD																PM54123, PM74123	P①								
																FC74123, FCM123	P①	P①							
MOTOROLA																					DM54L123A		①		
																MC74123		P①			DM74L123A		①		
N.S.C.											DM54LS123		①												
											DM74LS123		①			DM74123		N①							
PHILIPS																									
											N74LS123		①			N74123		①							
SIGNETICS																S54123	F①	B①		W①					
																N74123	F①	B①							
SIEMENS																									
																FLK121		①							
FUJITSU											74LS123		M①			MB440	①	M①							
HITACHI																									
											HD74LS123		P①			HD74123/HD2516	①	P①							
MITSUBISHI											M74LS123		P①			M53323		P①							
NEC																									
																μPB2123	D①								
TOSHIBA																									

Electrical Characteristics SN54LS123 SN74LS123

absolute maximum ratings operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		65°C to 150°C

recommended operating conditions

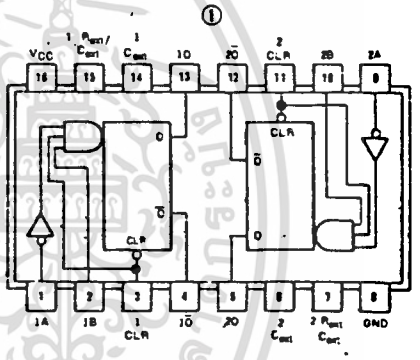
	SN54LS123 MIN	NOM	MAX	SN74LS123 MIN	NOM	MAX	UNIT
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−800	μA
Low-level output current I_{OL}			4			8	mA
Pulse width t_w	40			40			ns
External timing resistance, R_{ext}	5		180	5		260	kΩ
External timing capacitance C_{ext}	No restriction			No restriction			
Timing capacitance at R_{ext} C_{ext} terminal			80			80	pF
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER ◆		TEST CONDITIONS †		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX, See Note 1		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 8mA, See Note 1			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX, See Note 1		−20		−100	mA
I_{CC}	Supply current (quiescent or triggered)	V_{CC} = MAX, See Notes 2 and 3			12	20	mA
t_{PLH}	from A to output Q	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	C_{ext} = 0, R_{ext} = 5kΩ		22	33	ns
	from B to output Q				23	44	
t_{PHL}	from A to output Q				32	45	ns
	from B to output Q				34	56	
t_{PHL}	from Clear to output Q				20	27	ns
t_{PLH}	from Clear to output Q				28	45	
$t_{w(min)}$	from A or B to output Q				116	200	ns
$t_{w(Q)}$	from A or B to output Q		C_{ext} = 1000pF, R_{ext} = 10kΩ	4	4.5	5	μs

† For conditions shown as MIN or MAX, use the value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time.
• t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



FUNCTION TABLE

123, LS123, L123 (See Note 4)

INPUTS CLEAR	A	B	OUTPUTS Q	Q
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⎍	⎎
H	↓	H	⎍	⎎
↑	L	H	⎍	⎎

NOTES 1 : Ground C_{ext} to measure V_{OH} at Q, V_{OL} at Q, or I_{OS} at Q.
C_{ext} is open to measure V_{OH} at $\overline{Q}$, V_{OL} at $\overline{Q}$, or I_{OS} at $\overline{Q}$.
2 : Quiescent I_{CC} is measured (after clearing) with 2.4V applied to all clear and A inputs, B inputs grounded, all outputs open, C_{ext} = 0.02 μF, and R_{ext} = 25kΩ.
3 : I_{CC} is measured in the triggered state with 2.4V applied to all clear and B inputs, A inputs grounded, all outputs open, C_{ext} = 0.02 μF, and R_{ext} = 25 kΩ.
4 : A H = high level (steady state), L = low level (steady state), ↑ = transition from low to high level, ↓ = transition from high to low level, ⎍ = one high-level pulse, ⎎ = one low-level pulse, X = irrelevant (any input, including transitions).
B An external timing capacitor may be connected between and R_{ext} C_{ext}/C_{ext} (positive)
C For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{ext} open-circuited.
D To obtain variable pulse widths, connect external resistance between R_{ext} or R_{ext}/C_{ext} and V_{CC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS164	J①			W①	SN54164	J①			W①	SN54L164	J①	N①	T①	
											SN74LS164	J①	N①			SN74164	J①	N①			SN74L164	J①	N①	T①	
FAIRCHILD											F9S4S164/F9S393M	9①			F①	F M54164, F M93164	D①								
											F74S164/F93LS164	9①	F①		F①	F C74164/F C93164	D①	P①							
MOTOROLA																									
											SN74LS164		P①			MC74164		P①							
N.S.C.											DM74LS164		①								DM54L164	J①	N①		
											DM54LS164		①			DM74164		N①			DM74L164	J①	N①		
PHILIPS																									
											N74LS164		①			N74164		①							
SIGNETICS																S54164	F①	A①		W①					
											N74LS164		A①			N74164	F①	A①							
SIEMENS																									
																FLJ441		①							
FUJITSU																									
											74LS164		M①												
HITACHI																									
											HD74LS164		P①			HD74164		① P①							
MITSUBISHI																									
											M74LS164		P①			M53384		P①							
NEC																									
											AM74LS		C①			μPB2164	D①								
TOSHIBA																									
																TD3503A		P①							
AMD																									
											Am74LS164														

Electrical Characteristics SN54LS164/SN74LS164

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54*	−55°C to 125°C
Input voltage	7 V		SN74*	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

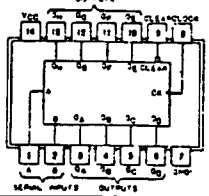
	SN54LS164			SN74LS164			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{setup}	15			15			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				0.4	mA
I_{OS}	Short-circuit output current ♦	V_{CC} = MAX	SN54LS	−20		100	mA
			SN74LS	−20		100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 1			16	27	mA
f_{max}	Maximum clock frequency	V_{CC} = 5V, T_A = 25°C, R_L = 2kΩ	C_L = 15pF	25	38		MHz
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clear input		C_L = 15pF		24	38	ns
t_{PLH}	Propagation delay time, low-to-high level Q outputs from clock input		C_L = 15pF		17	27	ns
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clock input		C_L = 15pF		21	32	ns

Pin Assignment (Top View)

①



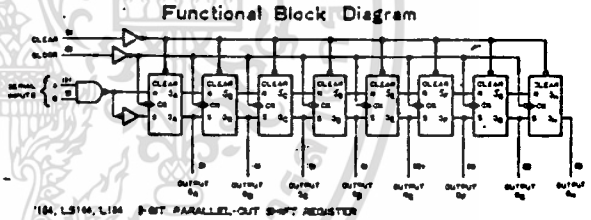
positive logic: see function table

Function Table

'164, 'LS164, 'L164 (see Note 2)

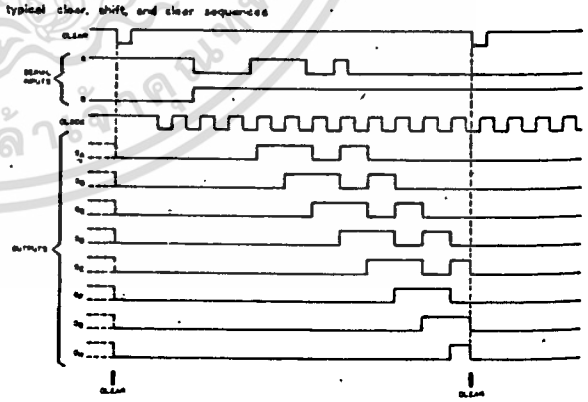
INPUTS				OUTPUTS		
CLEAR	CLOCK	A	B	Q_A	Q_B	··· Q_H
L	X	X	X	L	L	L
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	↑	H	H	H	Q_{An}	Q_{Gn}
H	↑	L	X	L	Q_{An}	Q_{Gn}
H	↑	X	L	L	Q_{An}	Q_{Gn}

Functional Block Diagram



'164, LS164, L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequences



NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.

2. H = high level (steady state), L = Low-level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most-recent ↑ transition of the clock, indicates a one-bit shift.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
♦Not more than two outputs should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54165/74165 Parallel-Load 9-Bit Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	
T.I.											SN54LS165	J①				SN54165	J①			W①					
											SN74LS165	J①	N①			SN74165	J①	N①							
FAIRCHILD																FM54165/FM93165	D①								
																FC74165/FC93165	D①	P①							
MOTOROLA																									
																MC74165		P①							
N.S.C.																					DM54L165A	J①	N①		
																DM74165		N①			DM74L165A	J①	N①		
PHILIPS																									
																N74165		①							
SIGNETICS																S54165	F①	8①		W①					
																N74165	F①	8①							
SIEMENS																									
																FLJ451		①							
FUJITSU																									
HITACHI																									
MITSUBISHI																									
																M53165		P①							
NEC																									
TOSHIBA																									

Electrical Characteristics NS54LS165/SN74LS165

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7 V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

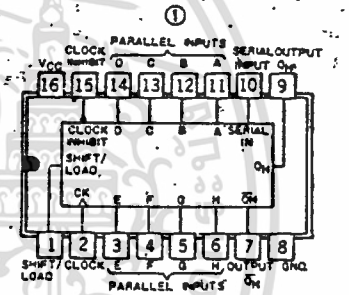
	SN54LS165			SN74LS165			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		20	0		20	MHz
Width of clock input pulse, t_w(clock)	25			25			ns
Width of load input pulse, t_w(load)	15			15			ns
Clock-enable setup time, t_{setup}	30			30			ns
Parallel input setup time, t_{setup}	10			10			ns
Serial input setup time, t_{setup}	20			20			ns
Shift setup time, t_{setup}	45			45			ns
Hold time at any input, t_{hold}	0			0			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER			TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage		V_{CC} = MIN, I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −400 μA		2.7	3.5		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 8 mA			0.35	0.5	V
I_I	Input current at maximum input voltage	Shift, load input	V_{CC} = MAX, V_I = 7 V				0.2	mA
		Other inputs					0.1	
I_{IH}	High-level	Load input	V_{CC} = MAX, V_I = 2.7 V				60	μA
	Shift, load input	Other inputs					20	
I_{IL}	Low-level	Load input	V_{CC} = MAX, V_I = 0.4 V				−1.2	mA
	Shift, load input	Other inputs					−0.4	
I_{OS}	Short-circuit current ◆		V_{CC} = MAX	SN54LS	−20		−100	mA
				SN74LS	−20		−100	
I_{CC}	Supply current		V_{CC} = MAX, See Note 2			21	36	mA
f_{max}	Maximum clock frequency		V_{CC} = 5 V, T_A = 25°C, C_L = 15 pF, R_L = 2 kΩ		25	35		MHz
t_{PLH}	from Load to Any output					22	35	ns
t_{PHL}						22	35	
t_{PLH}	from Clock to Any output					27	40	ns
t_{PHL}						28	40	
t_{PLH}	from H to output Q_H					16	25	ns
t_{PHL}						21	30	
t_{PLH}	from H to output $\overline{Q}_H$					21	30	ns
t_{PHL}						16	25	

†For conditions shown as MIN or MAX, use the appropriate value under recommended operating conditions for the applicable device type.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
◆Not more than one output should be shorted at a time.
● t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = Propagation delay time, high-to-low-level output

Pin Assignment (Top View)



positive logic:

Function Table

'165 (see Note 3)

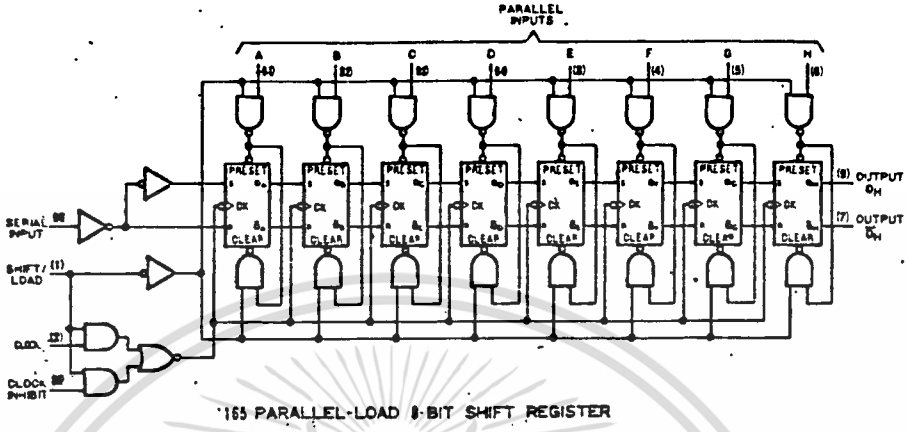
INPUTS					INTERNAL OUTPUTS		OUTPUT
SHIFT/ LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A . . . H	Q_A	Q_B	Q_H
L	X	X	X	a . . . h	a	b	h
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies to the shift/load input in conjunction with the clock clock or clock-inhibit inputs.
2. With the outputs open, clock inhibit and shift/load at 4.5 V, and a clock pulse applied to the clock input, I_{CC} is measured first with the parallel inputs at 4.5 V, then with the parallel inputs grounded.
3. H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a . . . h = the level of steady-state input at inputs A thru H, respectively.
Q_{A0}, Q_{B0}, C_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G, respectively, before the most recent ↑ transition of the clock.

CONTINUED ON NEXT PAGE

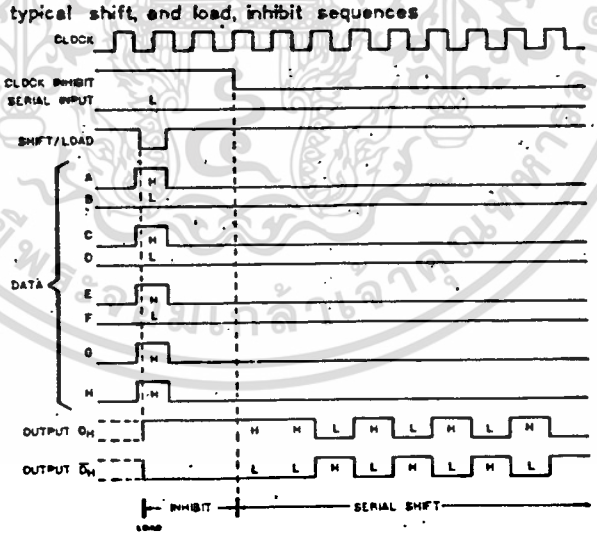
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block diagram



'165 PARALLEL-LOAD 8-BIT SHIFT REGISTER

typical shift, and load, inhibit sequences



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54374/74374 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S374	J									SN54LS374	J													
	SN74S374	J	N								SN74LS374	J	N												
FAIRCHILD																									
MOTOROLA																									
N.S.C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS374/SN74LS374

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommend operating conditions

		SN54LS374 MIN	NOM	MAX	SN74LS374 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output voltage, V_{OH}				−400			−400	μA
High-level output current, I_{OH}				16			16	mA
Width of clock enabling pulse, t_w	High	15			15			ns
	Low	15			15			
Data hold time, t_{hold}		0†			0†			ns
Setup time, t_{setup}		20†			20†			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

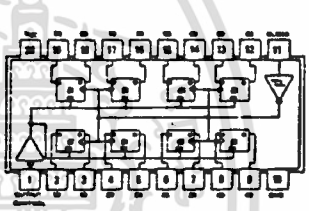
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS‡		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=V_{IL} max, I_{OH}=MAX		2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=V_{IL} max	I_{OL}=24mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC}=MAX, V_{IH}=2V, V_O=2.7V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC}=MAX, V_{IH}=2V, V_O=0.4V				−20	μA
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC}=MAX		−30		−130	mA
I_{CC}	Supply current	V_{CC}=MAX, Output control at 4.5V	'LS374		27	40	mA

switching characteristics, V_{CC}=5V, T_A=25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			C_L=45pF, R_L=667Ω, See Notes 2 and 3	35	50		MHz
t_{PLH}	Data	Any Q					ns
t_{PHL}							
t_{PLH}	Clock or enable	Any Q			15	23	
t_{PHL}					19	23	
t_{PZH}	Output Control	Any Q			20	28	ns
t_{PZL}					21	28	
t_{PHZ}	Output Control	Any Q	C_L=5pF, R_L=667Ω, See Note 3		12	20	ns
t_{PLZ}					14	25	

Pin Assignment (Top View)



SN54LS374 (J) SN74LS374 (J, N)
SN54S374 (J) SN74S374 (J, N)

'LS374, 'S374
FUNCTION TABLE

OUTPUT CONTROL	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
§ Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

NOTES: 2. Maximum clock frequency is tested with all outputs loaded
3. See load circuits and waveforms on page 3-11.

f_{max} = maximum clock frequency
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{PZH} = output enable time to high level
t_{PZL} = output enable time to low level
t_{PHZ} = output disable time from high level
t_{PLZ} = output disable time from low level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

ADC0808, ADC0809 8-Bit μP Compatible A/D Converters With 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

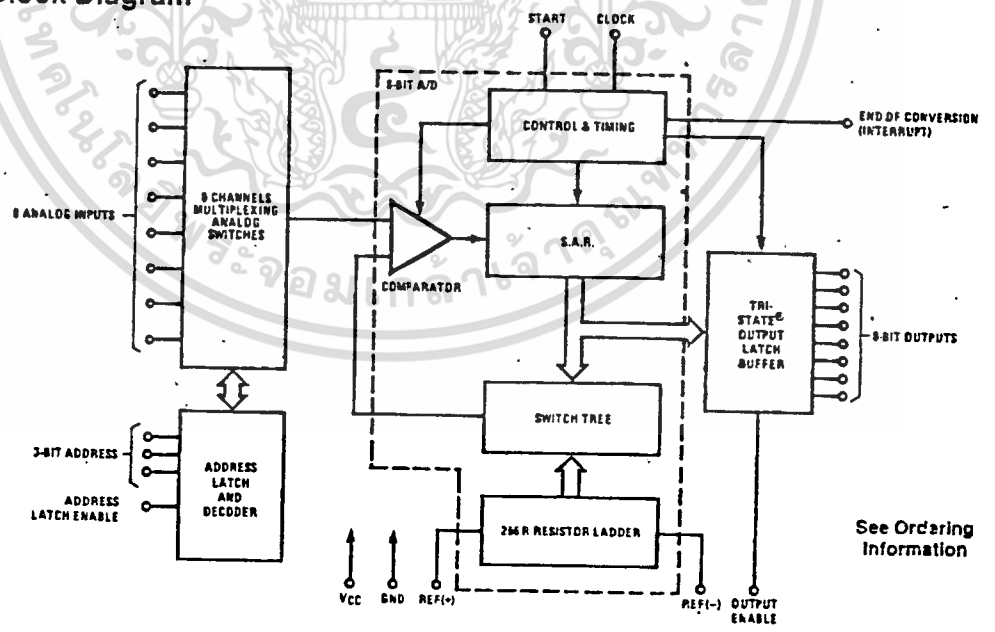
The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

Features

- Resolution—8-bits
- Total unadjusted error—±½ LSB and ±1 LSB
- No missing codes
- Conversion time—100 μS
- Single supply—5 V_{DC}
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operates "stand alone"
- Outputs meet T²L voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range −40°C to +85°C or −55°C to +125°C
- Low power consumption—15 mW
- Latched TRI-STATE output

Block Diagram



See Ordering Information

TL/H/5672–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC} + 0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to +15V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Conditions (Notes 1 & 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0808CJ	−55°C ≤ T_A ≤ +125°C
ADC0808CCJ, ADC0808CCN, ADC0809CCN	−40°C ≤ T_A ≤ +85°C
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: V_{CC} = 5 V_{DC} = V_{REF+}, $V_{REF(-)}$ = GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808					
	Total Unadjusted Error (Note 5)	25°C			±½	LSB
		T_{MIN} to T_{MAX}			±¾	LSB
	ADC0809					
	Total Unadjusted Error (Note 5)	0°C to 70°C			±1	LSB
		T_{MIN} to T_{MAX}			±1¼	LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2-0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
I_{IN}	Comparator Input Current	f_c = 640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ V_{CC} ≤ 5.5V, −55°C ≤ T_A ≤ +125°C unless otherwise noted ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75 ≤ V_{CC} ≤ 5.25V, −40°C ≤ T_A ≤ +85°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 5V,			200	nA
		T_A = 25°C		10		
		T_{MIN} to T_{MAX}			1.0	μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 0,				
		T_A = 25°C	−200	−10		nA
		T_{MIN} to T_{MAX}	−1.0			μA
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	V_{IN} = 15V			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	V_{IN} = 0	−1.0			μA
I_{CC}	Supply Current	f_{CLK} = 640 kHz		0.3	3.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted ADC0808CCJ, ADC0808CCN, and ADC0809CCN $4.75 \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -360\ \mu A$	$V_{CC}-0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O = 1.6$ mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O = 1.2$ mA			0.45	V
I_{OUT}	TRI-STATE Output Current	$V_O = 5V$ $V_O = 0$	 -3		3	μA μA

Electrical Characteristics

Timing Specifications $V_{CC} = V_{REF(+)} = 5V$, $V_{REF(-)} = GND$, $t_r = t_f = 20$ ns and $T_A = 25°C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	*(Figure 5)*		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	*(Figure 5)*		100	200	ns
t_S	Minimum Address Set-Up Time	*(Figure 5)*		25	50	ns
t_H	Minimum Address Hold Time	*(Figure 5)*		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S = 0\Omega$ *(Figure 5)*		1	2.5	μS
t_{1H}, t_{H0}	OE Control to Q Logic State	$C_L = 50$ pF, $R_L = 10$k *(Figure 8)*		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	$C_L = 10$ pF, $R_L = 10$k *(Figure 8)*		125	250	ns
t_C	Conversion Time	$f_C = 640$ kHz, *(Figure 5)* (Note 7)	90	100	116	μS
f_C	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	*(Figure 5)*	0		8 + 2 μS	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs, (Note 12)		10	15	pF

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute $0V_{DC}$ to $5V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence *(Figure 6)*. See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer. The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

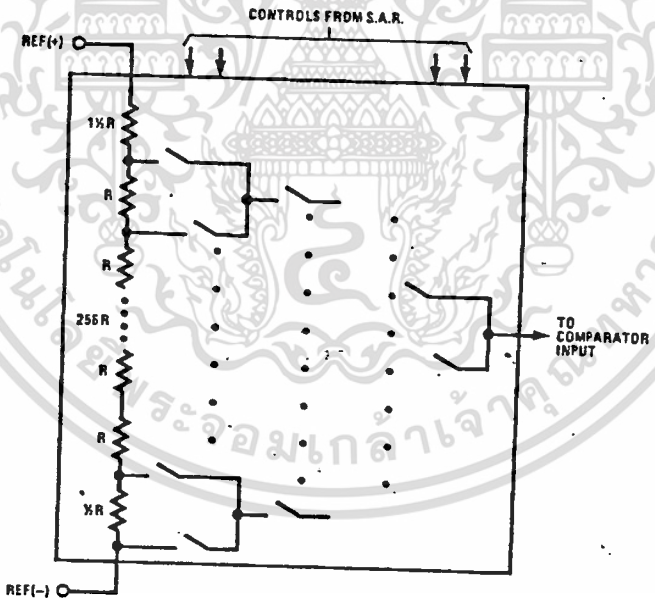
The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach *(Figure 1)* was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached +½ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an *n*-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.



TL/H/5672–2

FIGURE 1. Resistor Ladder and Switch Tree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed throught a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

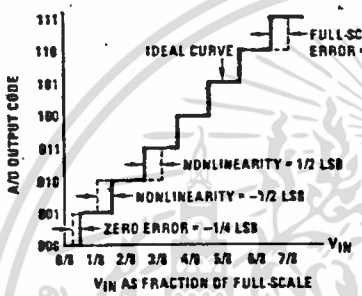


FIGURE 2. 3-Bit A/D Transfer Curve

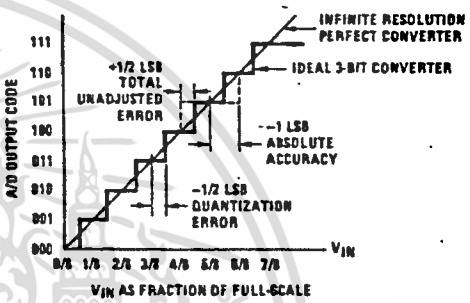
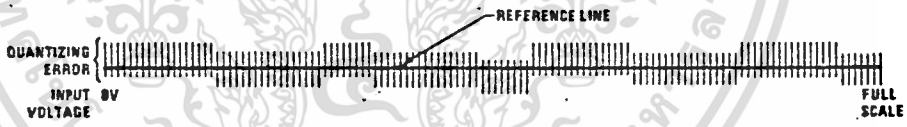


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve



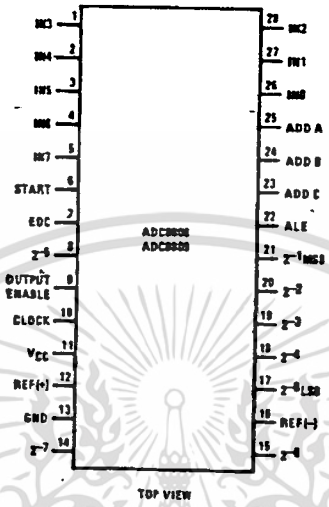
TL/H/5672–3

FIGURE 4. Typical Error Curve

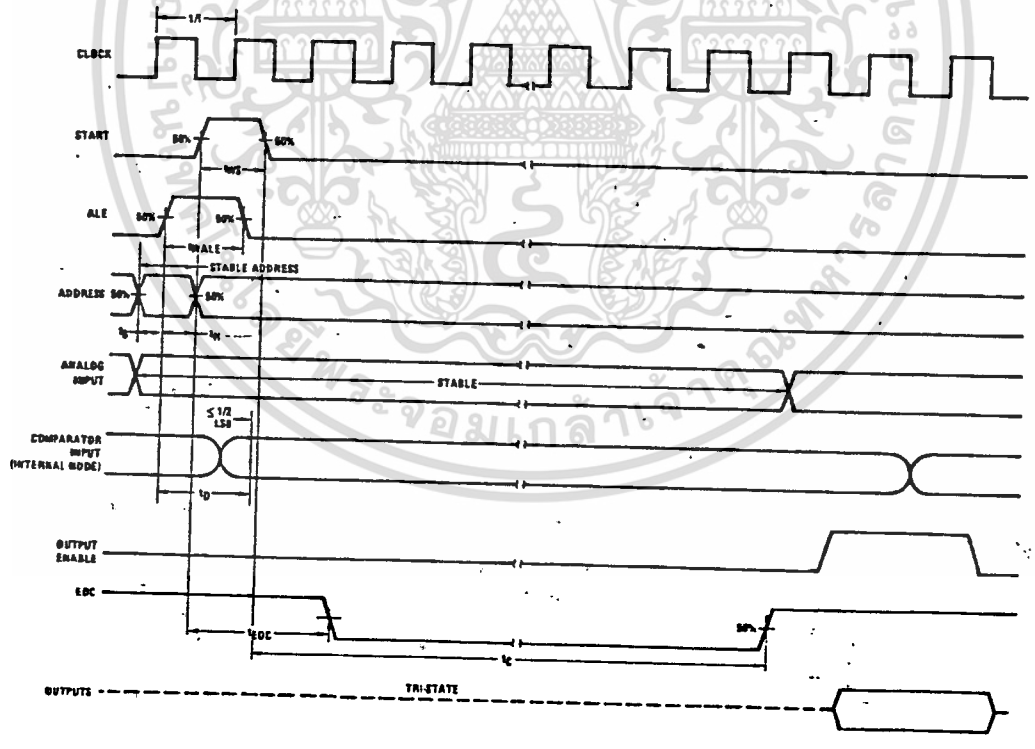
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram

Dual-In-Line Package



Timing Diagram



TL/H/5672–4

FIGURE 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้