เครื่องบันทึก-ตอบรับและแจ้งภัยทางโทรศัพท์

TELEPHONE VOICE RECORDER-ANSWERING AND EMERGENCY CALLING MACHINE

โดย

นายไพศาล แซ่โง้ว

นายสมเกียรติ อนันต์อนุชาติกุล

นายอัศวิน ทฤษฎาวดี

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033391

เครื่องบันทึก-ตอบรับและแจ้งภัยทางโทรศัพท์

TELEPHONE VOICE RECORDER-ANSWERING AND EMERGENCY CALLING MACHINE

โดย นายไพศาล แซ่โง้ว 33100279

นายสมเกียรติ อนันต์อนุชาติกุล 33100388

นายอัศวิน ทฤษฎาวดี 33100518

อาจารย์ที่ปรึกษา

รศ.ถวิล นิ่งมา

(.....)

บทคัดย่อ

โครงงานนี้เป็นโครงงานระบบเครื่องบันทึก-ตอบรับและแจ้งภัยทางโทรศัพท์ ซึ่งควบคุมการทำงานด้วยไมโครโปรเซสเซอร์ โดยส่วนแจ้งภัยมีหลักการทำงานคือ เมื่อเซนเซอร์ตามจุดต่างๆที่ติดตั้งไว้ทำงาน ระบบจะรับรู้ภัยที่เกิดขึ้นและทำการหมุนโทรศัพท์ไปตามเลขหมายที่เราตั้งไว้ เมื่อมีผู้รับโทรศัพท์ ระบบจะทำการเล่นข้อความที่เราได้บันทึกไว้เพื่อขอความช่วยเหลือ เมื่อแจ้งข้อความหมด ระบบก็จะหยุดทำงานโดยอัตโนมัติ สำหรับส่วนบันทึก-ตอบรับ จะทำการยกหูโทรศัพท์โดยอัตโนมัติเมื่อมีสัญญาณเรียกเข้ามา จากนั้นจะทำการแจ้งข้อความให้ผู้โทรเข้ามาทราบว่าไม่มีผู้รับ และให้ผู้โทรเข้ามาฝากข้อความเอาไว้ จากนั้นจะทำการบันทึกข้อความโดยเปลี่ยนจากสัญญาณเสียงเป็นสัญญาณดิจิตอล แล้วเก็บไว้ในไดนามิกแรมจนครบตามเวลาที่ตั้งไว้ ก็จะทำการวางหูโทรศัพท์โดยอัตโนมัติ

ABSTRACT

This project is an Telephone Voice recorder-answering and Emergency Calling Machine. This system is controlled by microprocessor.

Emergency calling part originate when the sensor operates and send signal to the system. The system will choose the telephone number that we have set for dialing. After the line is connected , it will send the message that we have record to called subscriber for help. The system will stop automatically after the message is sent already.

For Recording-Answering part. It originate when receives the ringing tone. The system will connect to the telephone line. It will send the message to the calling subscriber for taking the message. After that recording system will start. The telephone line will be unconnected automatically after the recording time,we have set up, is finished.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทนำ 1

บทที่ 1 เดลต้ามอดูเลชัน 2

1.1 เดลต้ามอดูเลชั่น.....2

1.2 CVSD.....4

บทที่ 2 สัญญาณโทรศัพท์ 5

2.1 ระบบโทรศัพท์.....5

2.2 สัญญาณพื้นฐานของโทรศัพท์.....6

บทที่ 3 ระบบการต่อของเครื่องที่ชุมสายโทรศัพท์.....8

บทที่ 4 ส่วนตอบรับโทรศัพท์.....12

4.1 หลักการทำงานพื้นฐาน.....12

4.2 การทำงานของวงจร.....15

4.3 การใช้งานไอซี 555.....19

บทที่ 5 ส่วนบันทึกเสียงระบบดิจิตอล.....21

5.1 หน่วยความจำ.....24

5.2 วงจรจัดการหน่วยความจำ.....27

5.3 วงจรบันทึกเสียง.....30

บทที่ 6 วงจรเตือนภัยทางโทรศัพท์อัตโนมัติ.....33

6.1 วงจรหมุนเบอร์โทรศัพท์.....34

6.2 วงจรตรวจสัญญาณจากสายโทรศัพท์.....35

6.3 วงจรเตือนภัยทางโทรศัพท์อัตโนมัติ.....37

6.4 หลักการทำงาน.....38

บทที่ 7 ส่วนแจ้งข้อความ.....42

7.1 ไอซีบบันทึกเสียง T6668.....42

7.2 วงจรการทำงาน.....45

บทที่ 8 MCS-51.....48

8.1 โครงสร้างสถาปัตยกรรม MCS-51.....48

บทที่ 9 ผลการทดลองและสรุปวิจารณ์.....54

9.1 ผลการทดลอง.....54

9.2 สรุปวิจารณ์..... 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

การใช้งานโทรศัพท์เป็นที่แพร่หลายกันอย่างมากในปัจจุบัน เนื่องจากมีธุระที่จะติดต่อกันมากขึ้น บางครั้งการติดต่ออาจจะไม่สำเร็จ สาเหตุเช่น ผู้ที่ต้องการติดต่อด้วยไม่อยู่บ้าน เป็นต้น ทั้งยังนำโทรศัพท์ไปประยุกต์ใช้งานได้อีก เช่น การแจ้งเหตุร้ายต่างๆขณะไม่อยู่บ้าน ทั้งนี้จึงเกิดแนวความคิดที่จะขจัดปัญหาที่เกิดขึ้น จึงเกิดโครงงานนี้ขึ้นมา ซึ่งเป็น"เครื่องบันทึก-ตอบรับ และแจ้งภัยทางโทรศัพท์" ส่วนวงจรบันทึก-ตอบรับจะทำงานเมื่อมีบุคคลอื่นที่ติดต่อเข้ามาขณะที่ไม่อยู่บ้านนั้น วงจรส่วนนี้ จะทำการรับสายแล้วแจ้งให้ทราบว่าไม่มีใครอยู่บ้านแล้วให้ผู้ที่ติดต่อเข้ามานั้นฝากข้อความไว้ (ซึ่งจะมีการกำหนดช่วงเวลาไว้) แล้วจะทำการบันทึกข้อความนั้นๆไว้ และสามารถเล่นกลับข้อความที่บันทึกไว้ทั้งหมดมาฟังได้ ส่วนระบบแจ้งภัยนั้น เมื่อเซนเซอร์สามารถตรวจจับความผิดปกติได้ก็จะส่งสัญญาณไปให้ส่วนแจ้งภัย ซึ่งจะทำการเรียกหมายเลขที่ต้องการติดต่อได้โดยอัตโนมัติ และส่งสัญญาณเสียงพูดที่ได้ทำการบันทึกเอาไว้แล้วไปตามสายโทรศัพท์ ไปยังสถานที่ต่างๆตามเวลาที่กำหนดไว้ เป็นต้น

ท้ายนี้ทางคณะผู้จัดทำหวังว่าโครงงานนี้ จะเป็นประโยชน์แก่ผู้ที่สนใจทุกท่าน

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

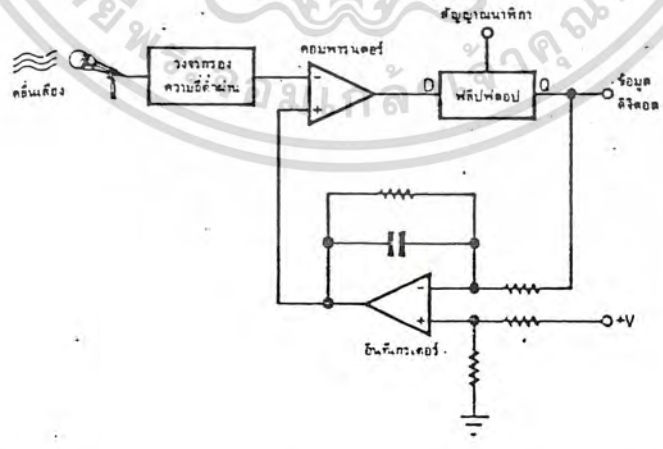
บทที่ 1
เดลต้ามอดูเลชั่น

1.1 เดลต้ามอดูเลชั่น

เทคนิคของเดลต้ามอดูเลชั่นจะไม่ใช้การสุ่มสัญญาณหนึ่งจุดแล้วแปลงเป็นข้อมูลหนึ่งเวิร์ด ที่มีความละเอียดเป็นจำนวนบิตที่ต้องการ แต่จะใช้วิธีเปรียบเทียบความสูงหรือการเปลี่ยนแปลงของสัญญาณเสียงแทน ข้อมูลที่ได้ก็คือทิศทางของการเปลี่ยนแปลง ซึ่งก็มีเพียง ขึ้น หรือ ลง เท่านั้น ดังนั้นความกว้างของข้อมูลดิจิตอลจึงใช้เพียงบิตเดียวก็เพียงพอ ข้อดีของวิธีการเดลต้ามอดูเลชั่นก็คือใช้หน่วยความจำน้อยกว่าวิธีการแบบอื่นๆ

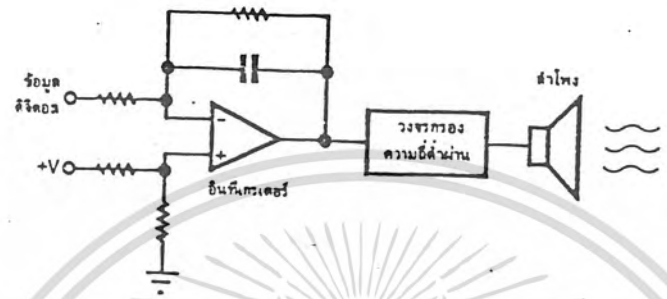
รูปที่ 1 เป็นวงจรเบื้องต้นของเดลต้ามอดูเลชั่น คอมพาราเตอร์จะทำหน้าที่เปรียบเทียบสัญญาณอินพุตปัจจุบันกับสัญญาณอินพุตก่อนหน้า ซึ่งได้จากการป้อนกลับมายังอินทิเกรเตอร์ เอาต์พุตจากการเปรียบเทียบถูกป้อนผ่านฟลิปฟลอปที่ควบคุมด้วยสัญญาณนาฬิกา เพื่อให้ได้เป็นข้อมูลดิจิตอล ซึ่งก็คือการกำหนดอัตราการสุ่มสัญญาณนั่นเอง

สัญญาณที่ได้จากตัวเปรียบเทียบและจากอินทิเกรเตอร์ เปรียบเทียบกับสัญญาณอินพุต แสดงในรูป 3 ลักษณะเช่นนี้จะพบว่า ยิ่งความถี่ของสัญญาณนาฬิกามีค่าสูงก็ยิ่งสามารถบันทึกการเปลี่ยนแปลงที่เคบได้มากขึ้น ทำให้ได้คุณภาพเสียงที่ดีขึ้น แต่ก็สิ้นเปลืองหน่วยความจำมากขึ้นตามไปด้วย ความถี่เท่าใดจึงจะเพียงพอคงต้องใช้การทดลอง โดยการนำเอาต์พุตสุดท้ายที่เป็นข้อมูลดิจิตอลผ่านวงจรแปลงกลับในรูปที่ 2 แล้วฟังเสียงที่ได้ หากฟังเป็นภาษามนุษย์รู้เรื่องก็ใช้ได้ค่านั้น สำหรับเสียงคุณภาพเทียบเท่าเสียงจากโทรศัพท์ซึ่งมีแถบกว้างประมาณ 4kHz ก็ใช้เพียง 16kHz แต่ที่ความถี่ต่ำถึง 9.6kHz ก็ยังฟังรู้เรื่อง ความถี่นี้จะเป็นตัวกำหนดอัตราเร็วข้อมูล(bit rate) ซึ่งที่ 16kHz ก็เท่ากับ 1,600 บิตต่อวินาที

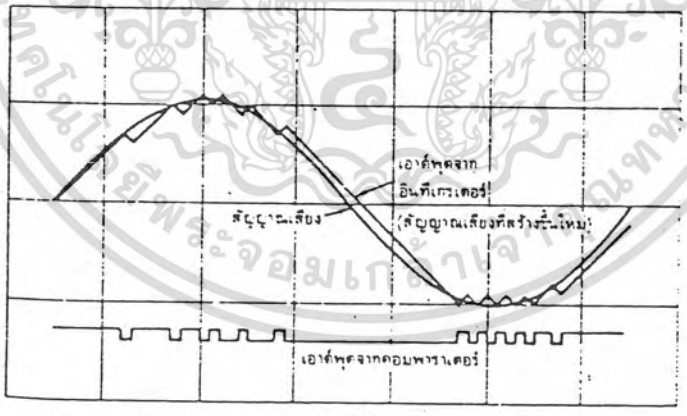


รูปที่ 1 วงจรเบื้องต้นของเดลต้ามอดูเลชั่นในส่วนของการแปลงจากสัญญาณเสียงเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 วงจรที่ใช้แปลงกลับจากข้อมูลดิจิตอลเป็นสัญญาณเสียง



รูปที่ 3 เปรียบเทียบสัญญาณอินพุตกับข้อมูลที่ได้สัญญาณอะนาลอกจากอินทีเกรเตอร์

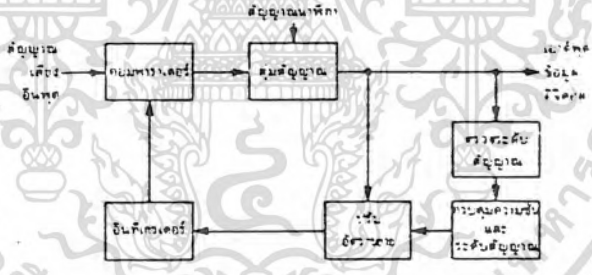
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 CVSD

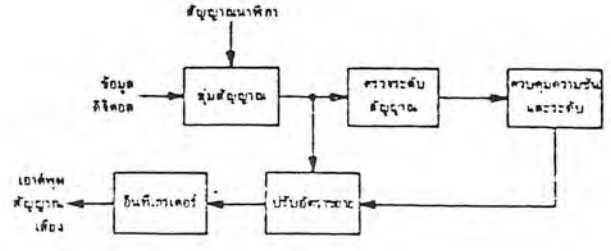
ข้อจำกัดของวิธีการเดลต้ามอดูเลชันก็คือ แถบกว้างความถี่ใช้งาน ซึ่งถูกจำกัดโดยความถี่สัญญาณนาฬิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุตมากกว่า2เท่าขึ้นไป อีกอันหนึ่งคือความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ หรือ ไดนามิกเรนจ์ ระบบเดลต้ามอดูเลชันธรรมดามีค่าไดนามิกเรนจ์ที่เคบ จำเป็นต้องมีส่วนเพิ่มหน้าที่ขยายไดนามิกเรนจ์ให้กว้าง โดยการควบคุมอัตราขยายของอินทีเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมากๆได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามอดูเลชันแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD(continuous variable slope delta modulation)

ระบบ CVSD ทั้งส่วนแปลงจากอนาลอกเป็นดิจิตอล และส่วนแปลงกลับจากดิจิตอลเป็นอนาลอก แสดงในรูป ตามลำดับ วิธีการของ CVSD คือมีการตรวจระดับสัญญาณ โดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์สำหรับเก็บข้อมูลดิจิตอลล่าสุดจำนวน 3 ถึง 4 บิต แล้วตรวจดูว่าเป็น "0" หมด หรือ "1" หมดหรือไม่ ถ้าใช่แสดงว่าขณะนี้อัตราการขยายของอินทีเกรเตอร์ต่ำเกินไป ตอบสนองต่อความชันของสัญญาณไม่ทัน ก็จะทำการเพิ่มอัตราขยายให้สูงขึ้นเฉพาะในช่วงนั้น

ในส่วนการแปลงกลับก็จะต้องมีการทำงานในลักษณะเดียวกัน คือมีรีจิสเตอร์ตรวจดูข้อมูลว่าเป็น "0"หมด หรือ"1"หมดหรือไม่ แล้วจัดการควบคุมอัตราขยายของอินทีเกรเตอร์ให้สอดคล้องกัน



รูปที่ 1 แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงจากสัญญาณเสียงเป็นข้อมูลดิจิตอล



รูปที่ 2 แผนผังการทำงานของระบบ CVSD ในส่วนแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

สัญญาณโทรศัพท์

2.1 ระบบโทรศัพท์

ระบบโทรศัพท์ในปัจจุบันแบ่งออกเป็น 2 ชนิดใหญ่ๆคือ

1. ระบบพัลส์ (Pulse) ระบบนี้จะผลิตจำนวนพัลส์เป็นช่วงๆตามหมายเลขที่โทร ดังรูป

2 3 1 0

รูป1 แสดงสัญญาณพัลส์ที่ผลิตเมื่อโทรหมายเลข 2310...

การผลิตพัลส์นั้นอาจทำโดยการตัดต่อด้วยสวิทช์ทางกล เช่นในระบบจานหมุน(dial)หรือใช้การผลิตความถี่ด้วยออสซิลเลเตอร์ แบบระบบปุ่มกด(Touch Pulse)ก็ได้

2. ระบบ DTMF (Dual Tone Multi Frequency dialing)

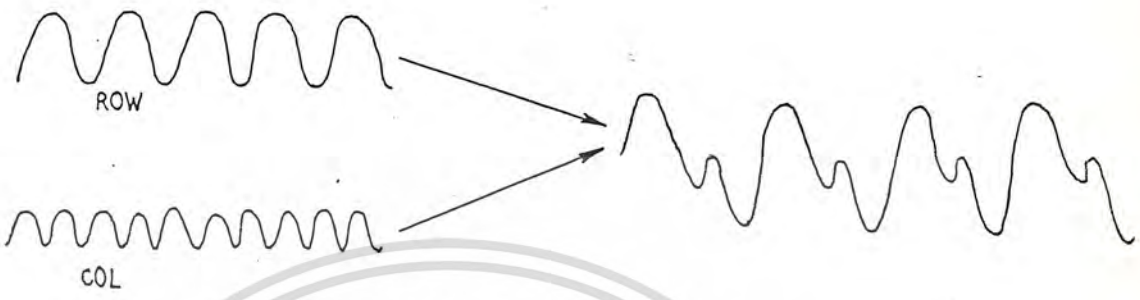
ระบบนี้บางทีเรียกกันสั้นว่า ระบบทัชโทน(Touch Tone) โดยการส่งหมายเลขหนึ่งหมายเลขใด จะประกอบด้วยโทนเสียง 2 ความถี่ผสมกัน โดยถ้าเราพิจารณาปุ่มกดหรือคีย์บอร์ด ประกอบกับตารางการแบ่งกลุ่มความถี่ตามแถวและหลัก ดังรูป

	1209Hz	1366Hz	1477Hz	1633Hz
579Hz	1	2	3	A
770Hz	4	5	6	B
852Hz	7	8	9	C
941Hz	*	0	#	D

หากกดหมายเลข2 ซึ่งตรงกับ แถวที่1 หลักที่2 วงจรภายในเครื่องจะทำการเข้ารหัสข้อมูลที่ได้แล้วส่งให้วงจรผลิตสัญญาณผสมระหว่างความถี่ 679 Hz กับ 1336 Hz ออกไป

หรือในกรณีหมายเลข 9 ก็จะประกอบด้วยความถี่ในแถวที่3 คือ 825Hz กับความถี่ในหลักที่3 คือ 1447 Hz ผสมออกไปยังคู่สายโทรศัพท์ ซึ่งถ้าเราจับสัญญาณที่ส่งออกไปจะได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2.2 <u>สัญญาณพื้นฐานของโทรศัพท์</u>

1.สัญญาณให้หมุน (Dial Tone : DT) เป็นสัญญาณต่อเนื่องความถี่ประมาณ 50 Hz ใช้เพื่อแสดงให้ผู้เรียกรู้ว่า "พร้อมรับหมายเลขโทรศัพท์ได้"

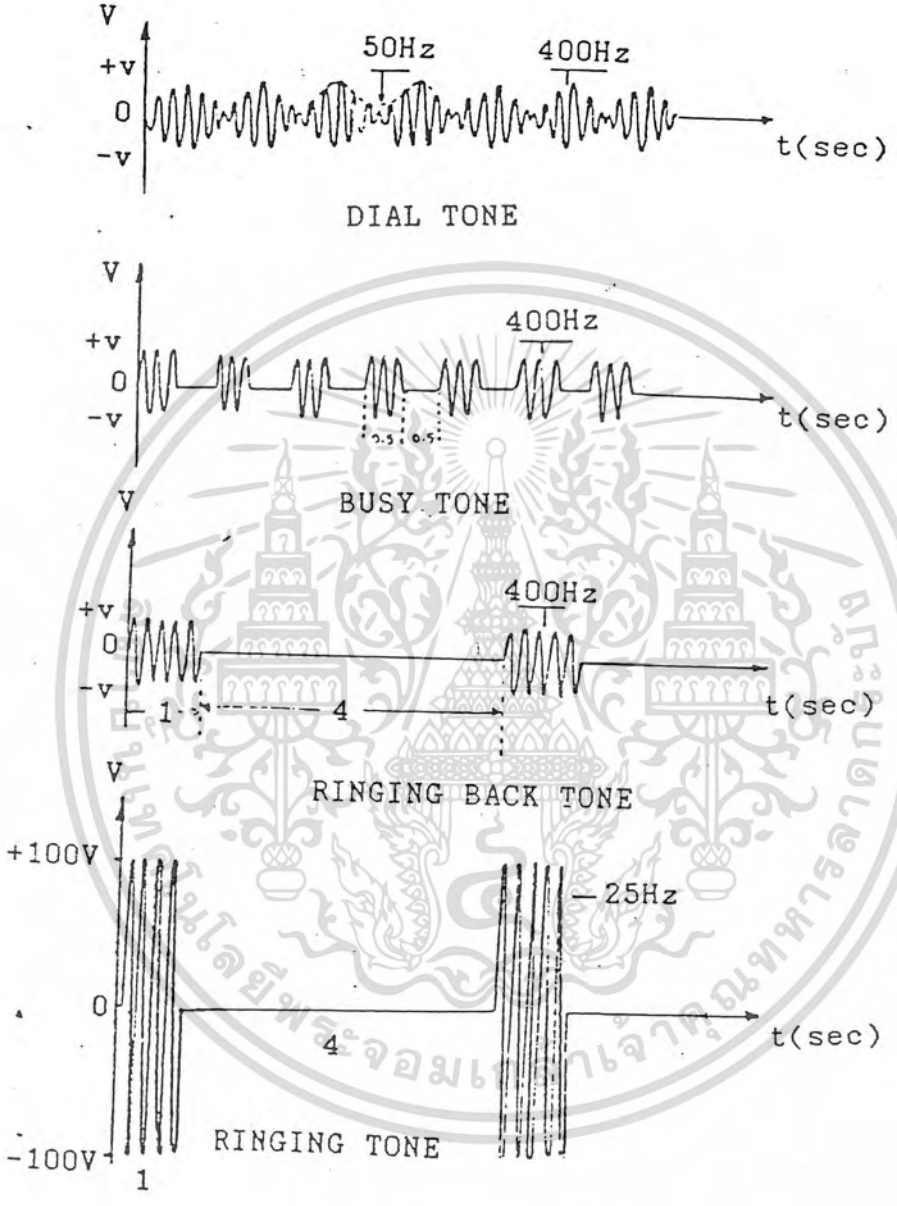
2.สัญญาณไม่ว่าง (Busy Tone : BT) เป็นสัญญาณ 400 Hz ดังเป็นช่วงเวลาประมาณ0.5 วินาที เงียบ0.5วินาที ใช้เพื่อเตือนให้ผู้เรียกทราบว่า "สายไม่ว่าง" ผู้เรียกควรวางหูสักพักแล้วค่อยโทรฯใหม่

3.สัญญาณเรียกกลับ (Ring Back Tone : RBT) เป็นสัญญาณ 400 Hz ส่ง 1 วินาที เงียบประมาณ 4 วินาที เป็นสัญญาณที่ชุมสายแจ้งให้ผู้เรียกทราบว่า "การเรียกเป็นผลสำเร็จ" ให้รอการรับสายของผู้รับได้

4.สัญญาณกริ่งเรียก (Ringing Tone : RGT) เป็นสัญญาณ 25 Hz $100V_p$ ส่ง 1 วินาที เงียบประมาณ 4 วินาที เป็นสัญญาณที่ชุมสายแจ้งให้ผู้รับทราบว่า "มีคนโทรฯเข้ามา" ให้ไปรับสายได้ สัญญาณกริ่งเรียกนี้ ในระบบเก่ามักใช้ความถี่ประมาณ 16 Hz โดยจะส่งเป็นเสียงกริ่งให้ได้ยินประมาณ 15 ครั้ง

รูปแบบของสัญญาณจะเป็นดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป แสดงสัญญาณพื้นฐานของโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 3

ระบบการต่อของเครื่องชุมสายโทรศัพท์

1.ระบบการต่อด้านผู้เรียก

ปกติเมื่อยังไม่ยกหู จะมีระดับแรงดันไฟตรงที่คู่สายประมาณ 48V เมื่อผู้เรียกยกหูขึ้นเพื่อที่จะทำการโทรฯไปยังผู้รับ จะทำให้ระดับแรงดันไฟตรงที่คู่สายโทรศัพท์เปลี่ยนแปลงจากระดับ 48V เป็น 10V ดังรูป1 เครื่องชุมสายจะรู้ว่าเป็นการเริ่มต้นการเรียก ฉะนั้นมันก็จะส่งสัญญาณให้หมุน(DT) ไปยังผู้เรียก แต่ถ้าหากทรังค์ขาออก(OUTGOING TRUNK)ไม่ว่าง มันก็จะส่งสัญญาณไม่ว่าง(BT)ไปยังผู้เรียก เพื่อให้ผู้เรียกวางหู แล้วค่อยเริ่มทำการเรียกใหม่

เมื่อผู้เรียกได้ยินสัญญาณให้หมุน(DT) ก็จะทำการกดหมายเลขผู้รับปลายทาง วงจรภายในเครื่องโทรศัพท์ก็จะสร้างสัญญาณรหัสตามหมายเลข แล้วส่งไปยังเครื่องชุมสาย เครื่องชุมสายก็จะตัดสัญญาณให้หมุน(DT)ออกทันทีที่ได้รับหมายเลขโทรฯตัวแรก จากนั้นเมื่อรู้ตำแหน่งหมายเลขของผู้รับแล้ว ก็จะจองทางผ่านระหว่างผู้เรียกและผู้รับ แล้วส่งสัญญาณกริ่งเรียกกลับ(RBT)ไปยังผู้เรียก พร้อมทั้งส่งสัญญาณกริ่งเรียก(RGT)ไปยังผู้รับ แต่ถ้าหากคู่สายด้านผู้รับไม่ว่าง เครื่องก็จะส่งสัญญาณไม่ว่าง(BT)ไปให้ผู้เรียกทราบ เพื่อให้ผู้เรียกทำการวางหู แล้วค่อยทำการเรียกใหม่

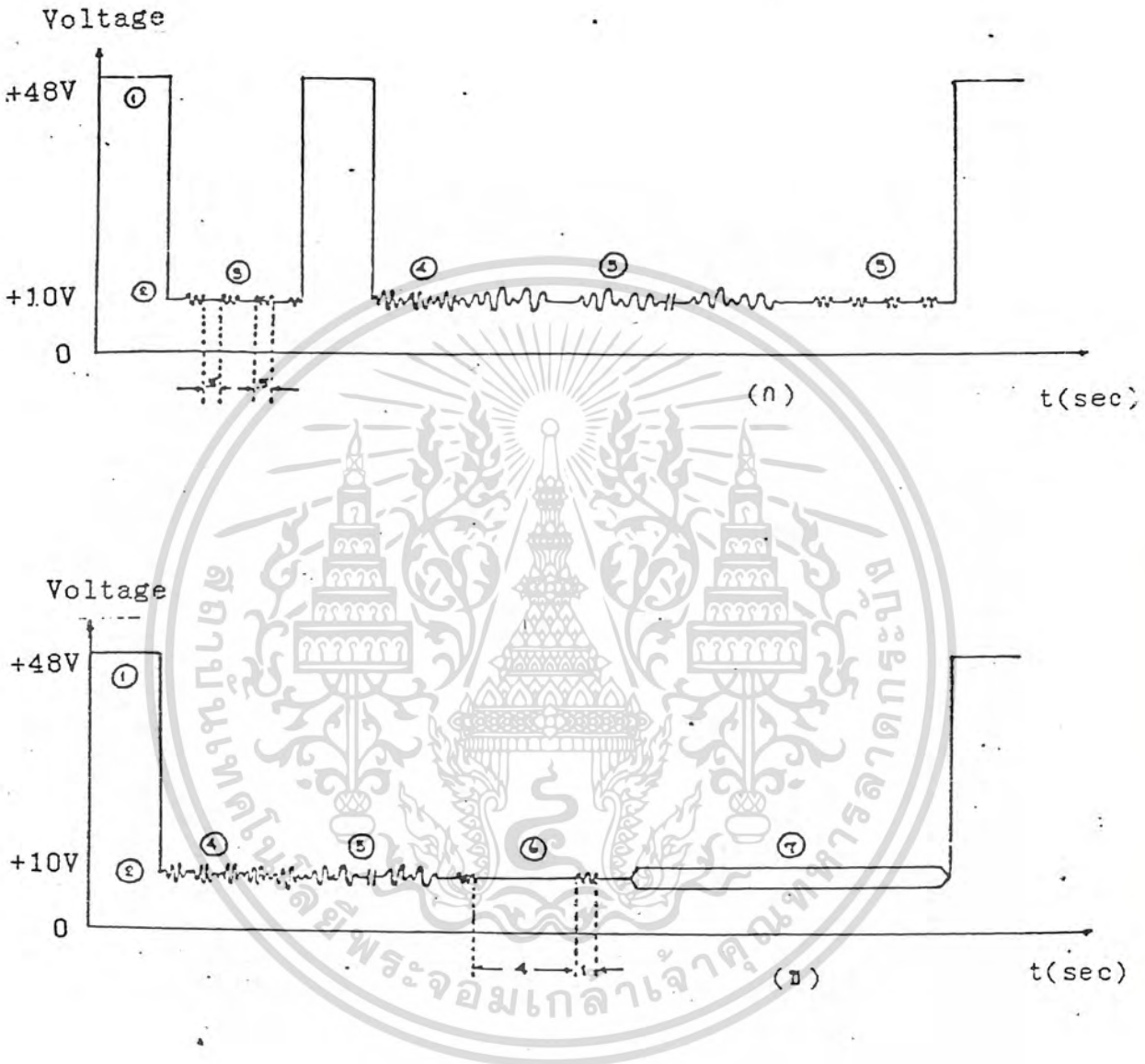
เมื่อผู้รับได้ยินเสียงกริ่งเรียก(RGT) แล้วทำการยกหู ก็จะเกิดสัญญาณตอบรับส่งไปยังเครื่องชุมสาย เครื่องชุมสายก็จะตัดสัญญาณกริ่งเรียก(RGT)ด้านผู้รับ และยกเลิกสัญญาณเรียกกลับ(RBT)ด้านผู้เรียก ทำให้ทางผ่านระหว่างทรังค์ขาออกกับผู้เรียก และทรังค์ขาเข้า(INCOMING TRUNK)กับผู้รับว่าง การสนทนาจึงจะสามารถเริ่มต้นได้ เมื่อสนทนาเสร็จคู่สนทนาก็จะทำการวางหู ทำให้เครื่องชุมสายรู้ว่าเป็นการเลิกติดต่อ

2.ระบบการต่อด้านผู้รับ

เมื่อผู้รับถูกเรียกจากผู้เรียก เครื่องชุมสายโทรศัพท์จะส่งสัญญาณกริ่งเรียก(RGT) ขนาด $100V_p$ ไปยังผู้รับ เพื่อทำการเรียกผู้รับ ดังรูป 2 ถ้าผู้รับยังไม่มารับสาย สัญญาณกริ่งเรียก(RGT)ก็จะดำเนินอยู่จนกว่าวงจรคู่สายจะตัดสัญญาณเอง หากไม่มีการตอบรับและส่งสัญญาณไม่ว่าง(BT)ไปยังผู้เรียกเพื่อให้ทำการเรียกใหม่

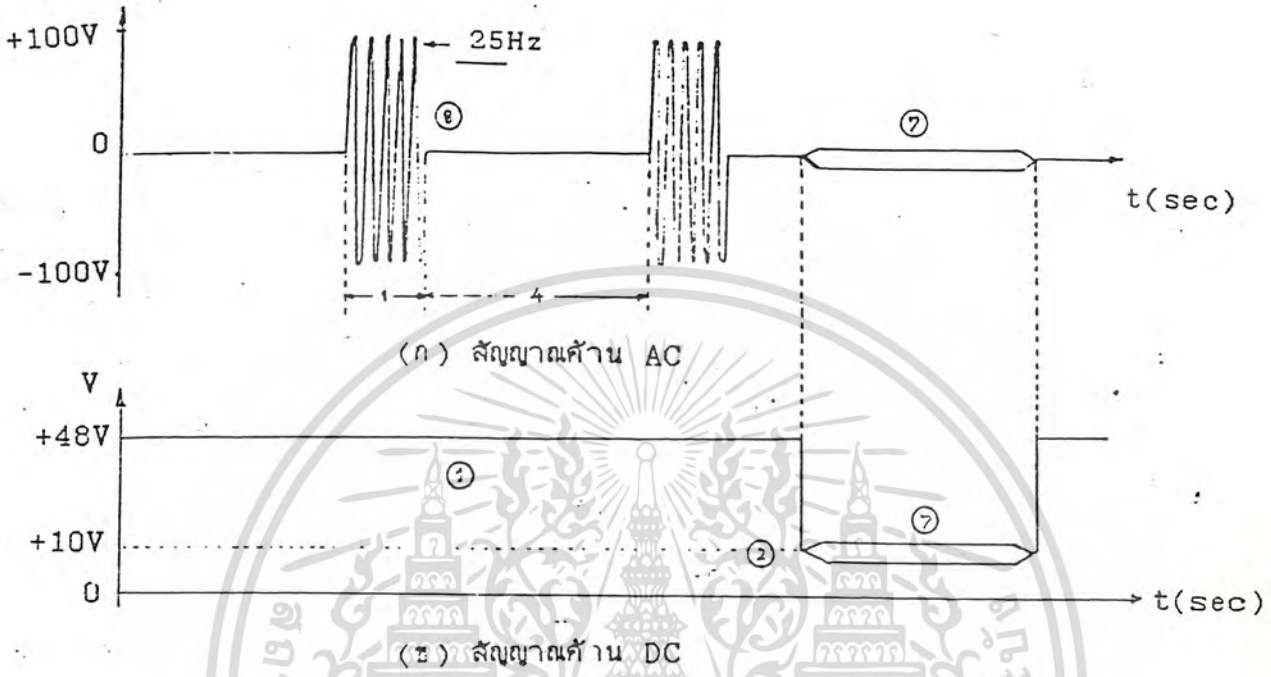
เมื่อผู้รับทำการรับสาย จะทำให้ระดับแรงดันไฟตรงที่คู่สายของผู้รับเปลี่ยนจาก 48V เป็น 10V ดังรูป ทำให้วงจรคู่สายตัดสัญญาณกริ่งเรียก(RGT)ด้านผู้รับและสัญญาณเรียกกลับด้านผู้เรียกออก พร้อมทั้งสร้างทางผ่านระหว่างผู้รับและผู้เรียก จากนั้นการสนทนาจึงจะสามารถเริ่มต้นได้ เมื่อสนทนาเสร็จและผู้เรียกทำการวางหู ซึ่งจะผ่านทางเสียงหูทำให้ผู้รับได้ยิน ทำให้ผู้รับวางหูตามวงจรคู่สายก็จะตรวจรู้ว่าเป็นการเลิกติดต่อกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 1 แสดงลักษณะสัญญาณการติดต่อทางโทรศัพท์
(ก) เมื่อการเรียกไม่สำเร็จ
(ข) เมื่อการเรียกเป็นผลสำเร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2 แสดงลักษณะของสัญญาณทางผู้รับเมื่อถูกเรียก

(1) ระดับไฟตรงเมื่อยังไม่ยกหู

(2) ระดับไฟตรงเมื่อยกหู

(3) BUSY RONE

(4) DIAL TONE

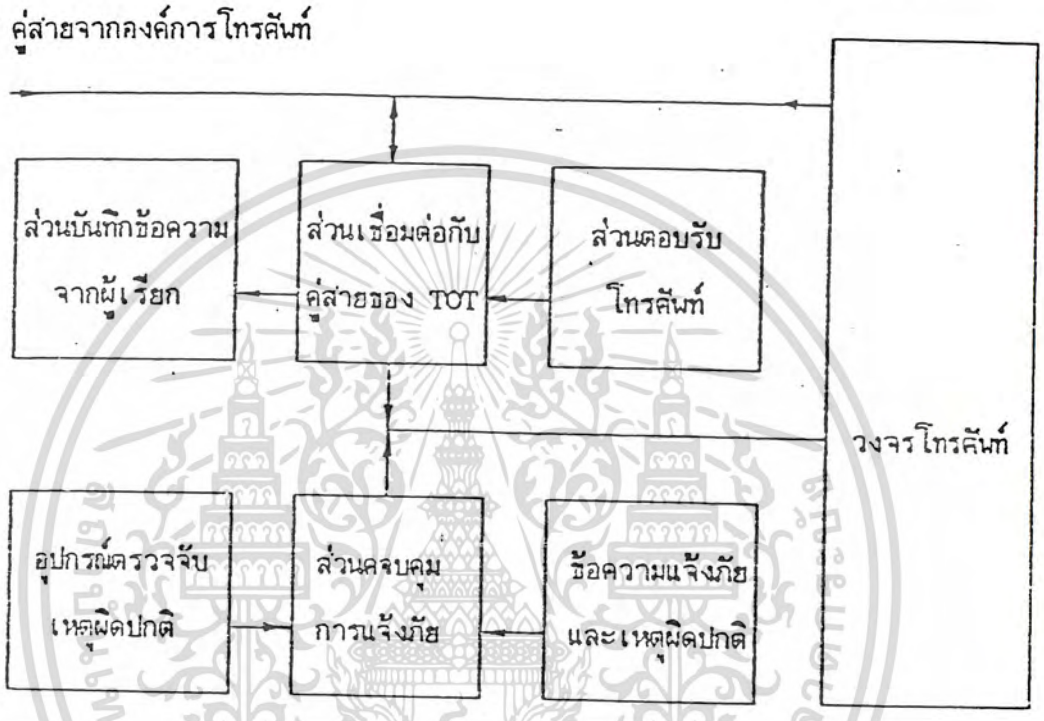
(5) สัญญาณหมุนหมายเลข

(6) RINGING BACK TONE

(7) ต่อคู่สายเพื่อการสนทนา

(8) RINGING TONE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป * แสดงโครงสร้างของเครื่องช่วย "บันทึก-ตอบรับและแจ้งภัย" ทางโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ส่วนคอบรับโทรศัพท์

4.1 หลักการทางานพื้นฐาน

ขั้นตอนการทางานของวงจรนี้ อธิบายได้ด้วยแผนผังการทางานในรูปที่ และFlowchartรูปที่ จะเห็นว่าส่วนที่ทางานกับสัญญาณโทรศัพท์ก็คือ ส่วนตรวจจับสัญญาณกระดิ่ง ซึ่งจะทาหน้าที่สร้างพัลส์ลบเมื่อมีสัญญาณกระดิ่งเข้ามาตามจานวนครั้งที่ตั้งเอาไว้ และส่งพัลส์ลบนี้ไปกระตุ้นส่วนควบคุมการยกหูและวางหู ซึ่งมีหน้าที่ยกหูโทรศัพท์และกระตุ้นวงจรมันสเตเบิลที่ควบคุมส่วนแจ้งข้อความ ให้เริ่มทางาน

การยกหูโทรศัพท์เราจะใช้ความรู้พื้นฐานทางโทรศัพท์ คือในสภาวะสายว่าง คู่สายโทรศัพท์จะมีแรงดันประมาณ 48V ซึ่งจ่ายมาจากชุมสายโทรศัพท์ และเมื่อมีผู้เรียกเลขหมายเข้ามา ทางชุมสายจะจ่ายสัญญาณกระดิ่งมาเป็นแรงดันกระแสสลับที่มีแรงดันประมาณ $100V_p$ เป็นเวลาประมาณ 1 วินาที และหยุดเป็นเวลา 4 วินาที เป็นจังหวะอย่างนี้ ซึ่งแรงดันนี้จะทาให้กระดิ่งภายในตัวโทรศัพท์ทางานและทางชุมสายจะรับทราบการยกหู จากการที่ยกหูโทรศัพท์แล้วสวิทช์ภายในโทรศัพท์จะทาการต่อคู่สายเข้ากับวงจรภายในที่มีความต้านทานทางกระแสตรงต่า ก็จะเกิดการครบวงจรขึ้น ทาให้แรงดัน 48V นี้ตกลงเหลือประมาณ 5-10V(แล้วแต่ชนิดของโทรศัพท์) และเมื่อชุมสายรับรู้แล้วก็จะต่อคู่สายของผู้รับเข้ากับผู้เรียก ทาให้ติดต่อกันได้

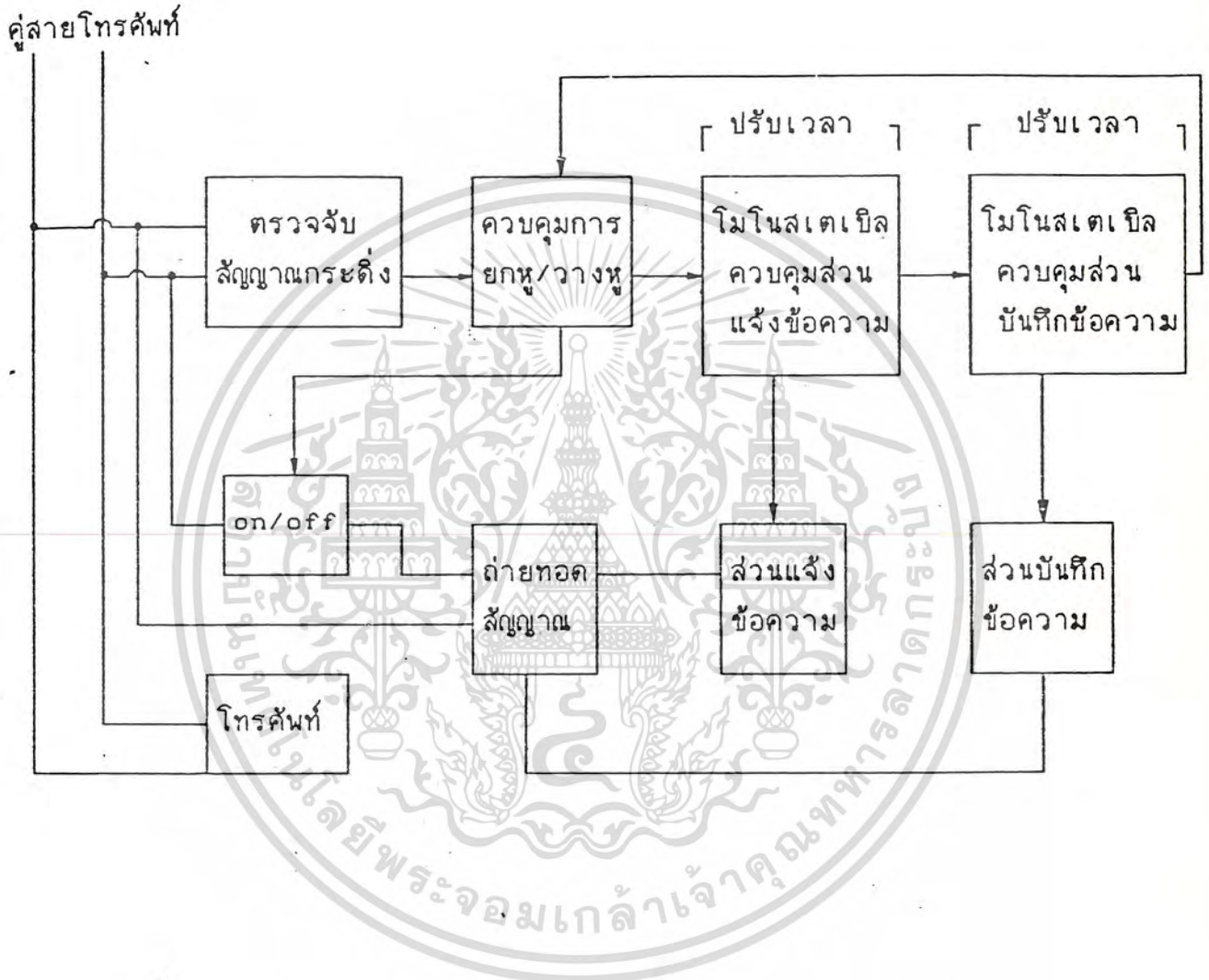
จากหลักการที่กล่าวมาข้างต้น ได้นามาใช้กับวงจรนี้ โดยทาให้เกิดสภาวะความต้านทานต่าขึ้นระหว่างคู่สายก็เสมือนกับการยกหูโทรศัพท์ เมื่อทาการยกหูโทรศัพท์แล้วก็จะต่อส่วนส่งทอดสัญญาณเข้ากับคู่สายไปพร้อมๆกัน ดังนั้นขณะนี้ส่วนแจ้งข้อความที่ต่ออยู่กับส่วนส่งทอดสัญญาณนี้ก็จะติดต่อกับคู่สายได้ โดยวงจรมันสเตเบิลที่ควบคุมส่วนแจ้งข้อความจะกระตุ้นให้ส่วนแจ้งข้อความทางาน ซึ่งก็จะทาการแจ้งข้อความบอกให้ผู้เรียกทราบว่าไม่มีผู้รับ และให้ผู้เรียกฝากข้อความไว้ ไปตามสาย เมื่อครบเวลาแล้ววงจรมันสเตเบิลจะหยุดส่วนแจ้งข้อความ และกระตุ้นให้วงจรมันสเตเบิลส่วนที่ควบคุมเครื่องบันทึกให้ทาการบันทึกเสียงของผู้เรียกเอาไว้ เมื่อครบกาหนดเวลาก็จะหยุดส่วนบันทึกเสียง และทาการกระตุ้นวงจรส่วนควบคุมการยกหูวางหู ให้ทาการวางหูกลับสู่สภาวะสายว่างอีกครั้ง ช่วงเวลาที่กล่าวมานี้แสดงดังรูป1

รูปที่ 1 แผนผังเวลาการทางานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่2 แสดงลำดับขั้นตอนการทำงานเมื่อจะทำการบันทึกข้อความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป3 แสดงการทำงานของเครื่องตอบรับโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทำงานของวงจร

ส่วนของตัวตรวจจับสัญญาณกระดิ่งคือ Q_1 และวงจรส่วนหน้า โดยมีไอซี 34012 ทำหน้าที่ในการแปลงสัญญาณกระดิ่ง โดยต่อร่วมกับ R,C ค่าต่างๆ จากรูป C_1 จะทำหน้าที่กั้นแรงดันไฟ DC ที่มีอยู่ในคู่สายโทรศัพท์ จากนั้นจะส่งผ่านไปยังไอซี 34012 เอาต์พุทที่ได้จากไอซีนี้ทางขา R_0 จะทำให้ Q_1 ทำงาน โดยมี Zener Diode และ R ช่วยลดแรงดันที่ตกคร่อมทรานซิสเตอร์ให้มีแรงดันที่เหมาะสม เมื่อทรานซิสเตอร์ Q_1 ทำงานก็จะนำกระแส ทำให้ขา CK ของไอซี4013ได้รับสัญญาณนาฬิกาขอบขาลงซึ่งยังไม่มีผล จนกระทั่งสัญญาณนาฬิกาเป็นขอบขาขึ้น ก็จะกระตุ้นให้ไอซี 4013 ทำงาน ทำให้เอาต์พุตออกที่ขา Q เป็นLogicเดียวกับที่ขา D

ในทันทีที่ขา CK เกิดการเปลี่ยนแปลงทางLogicจาก "0" เป็น "1" และขา D เป็น Logic "1" ดังนั้นที่ขา Q ขณะนี้จะมีLogic "1" ไปเป็นไบอัสให้ Q_2 นำกระแส รีเลย์ Ry_1 ที่ต่ออยู่ด้วยจึงทำงาน

ขณะนี้หน้าคอนแทคของรีเลย์($Ry_{1/1}$)จะทำการต่อขดไพรมารีของ T_1 เข้ากับคู่สายโทรศัพท์เป็นการยกหูโทรศัพท์และเชื่อมต่อวงจรถ่ายทอดสัญญาณเข้ากับคู่สายไปในเวลาเดียวกัน ส่วน R_{21}ที่ต่ออนุกรมอยู่ด้วยนั้น เป็นการทำให้ความต้านทานรวมของคู่สายโทรศัพท์เหมาะสม

ที่ขา $\bar{Q}$ ของไอซี4013 จะมีLogic ตรงข้ามกับขา Q เสมอ และวงจรโมโนสเตเบิลส่วนที่ทำหน้าที่ตั้งเวลาส่วนแจ้งภัยนั้นทำงานที่ขอบขาลงของพัลส์("1" เป็น"0")จึงนำการเปลี่ยนแปลงที่ขา $\bar{Q}$ นี้ไปกระตุ้นให้โมโนสเตเบิลทำงาน

จากการที่ขา $\bar{Q}$ ของไอซี4013 เปลี่ยนระดับLogicจาก "1" เป็น"0"นี้จะไปกระตุ้นวงจรโมโนสเตเบิล โดยผ่านวงจรถ่ายทอดสัญญาณที่ประกอบด้วย R_7,R_8 และ C_6 ประกอบเข้าด้วยกัน ในสภาวะปกติ C_6 จะไม่มีประจุ เนื่องจากไม่มีแรงดันคร่อม C_6 แต่เมื่อ $\bar{Q}$ เปลี่ยนระดับ Logicจาก "1" เป็น"0" จึงเปรียบเสมือนขาข้างหนึ่งของ C_6 ถูกดึงลงกราวน์และเกิดแรงดันคร่อม C_6 ดังนั้น C_6 จึงถูกประจุโดยผ่าน R_8 ที่ขา2ของไอซี 555 ตัวที่1 จึงมีการเปลี่ยนระดับLogic จาก "1" เป็น"0" การทำงานของวงจรโมโนสเตเบิลจึงเริ่มต้นขึ้น การที่ต้องต่อวงจรถ่ายทอดสัญญาณแบบนี้เพราะต้องการให้ไอซี 555 ทำงานที่ขอบขาลงของพัลส์เท่านั้น เพราะฉะนั้นในขณะที่เวลาการประจุผ่านไปที่ขา2 ของไอซี 555 จะกลับสู่Logic "1"ภายในเวลาประมาณ 0.1 วินาที

วงจรโมโนสเตเบิลใช้ไอซี 555 เมื่อขา2 มีLogicเปลี่ยนจาก"1"เป็น"0" จะมีLogic "1" ปรากฏที่ขา3 ตามเวลาที่กำหนดไว้ด้วยค่าR-Cที่ต่อกับขา6,7 การกำหนดช่วงเวลาสามารถคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้จากสมการ

$T = 1.1*R*C$ โดยที่ T มีหน่วยเป็นวินาที

R มีหน่วยเป็นโอห์ม

C มีหน่วยเป็นฟารัด

จากสมการจะเห็นว่าการเปลี่ยนแปลงค่า R หรือ C จะเป็นการเปลี่ยนแปลงช่วงเวลาของวงจร ในวงจรนี้ใช้การปรับค่า VR_1 โดยคงที่ค่า C_8 ไว้ ก็จะทำการปรับช่วงเวลาได้ตามต้องการซึ่งขึ้นอยู่กับความยาวของข้อความที่จะแจ้งว่านานเพียงใด หากใช้ค่าตามที่กำหนดไว้จะได้ช่วงเวลาประมาณ10วินาที-1นาที ซึ่งเป็นเวลาที่พอเหมาะกับส่วนแจ้งข้อความ

เมื่อขา3 ของไอซี 555 ให้ระดับLogic "1" มาควบคุมการทำงานของส่วนแจ้งข้อความร่วมกับทรานซิสเตอร์ Q_3 และแสดงผลโดย LED_2

วงจรโมโนสเตเบิลที่ทำหน้าที่ตั้งเวลาการบันทึก(ไอซี 555 ตัวที่2) จะมีการทำงานเหมือนกันทุกประการกับไอซี 555 ตัวแรก โดยใช้Logicที่ขา3 ของไอซี 555 ตัวแรก ช่วงที่เป็นสัญญาณขอบขาลง("1"เป็น"0")มากระตุ้นให้ไอซี 555 ตัวที่2 เริ่มทำงาน ซึ่งมีขั้นตอนการทำงานเหมือนกับที่ไอซี 555 ตัวแรกเริ่มทำงาน แต่ช่วงเวลาจะนานกว่าเนื่องจากค่า R_{14}, C_9 ใช้ค่ามากกว่า จึงตั้งเวลาได้ประมาณ 0.5-5 นาที

ส่วนของการวางหู คือ ทรานซิสเตอร์ Q_5 และไอซี4013 ในส่วนที่เป็น D-ฟลิปฟลอปอีกตัวหนึ่ง โดยที่ Q_5, R_{18} และ R_{19} จะประกอบกันเป็นตัวกลับLogic จาก"1"เป็น"0" ให้เป็น"0"เป็น"1" เพื่อเป็นสัญญาณนาฬิกาของไอซี4013 ส่วนที่2 เมื่อไอซี 555 ตัวที่2 ควบคุมการบันทึกเสียงสิ้นสุดแล้ว ไอซี4013 ส่วนที่2 จะได้รับสัญญาณนาฬิกาเป็นขอบขาขึ้น เกิดLogic "1"ออกที่ขา Q เพื่อรีเซ็ทไอซี4013 เองให้ทำการวางหู โดยต่อขา Q ของไอซี4013 ส่วนที่2 เข้าที่ขา R ของส่วนที่1 จะทำให้ขา Q ของส่วนที่1 กลับสู่สภาวะ"0" รีเลย์ก็จะตัดวงจร ทำให้กลับสู่สภาวะสายว่างอีกครั้ง และสัญญาณรีเซ็ทนี้จะบ้อนกลับมารีเซ็ทตัวมันเอง ดังนั้นวงจรทั้งหมดจะมีสถานะเหมือนตอนเริ่มต้น เพื่อพร้อมจะรับสายอีกครั้ง

$C_5, R_4, C_{10}, R_{15}, C_{13}$ และ R_{20} ต่อเป็นวงจรรีเซ็ทช่วงเปิดเครื่อง ให้ขณะเริ่มต้น วงจรมีสภาวะสายว่าง เมื่อเปิดใช้งานเครื่องแล้ววงจรส่วนนี้จะไม่มีผล

การถ่ายทอดสัญญาณของส่วนแจ้งข้อความและส่วนบันทึกข้อความมายังสู่สาย จะใช้หม้อแปลงเบอร์ LI-037 ซึ่งมีขดเซคคันดารีแยกกัน 2 ขด ทำการปรับระดับสัญญาณการบันทึกโดยปรับ VR_3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้มีค่าเหมาะสม

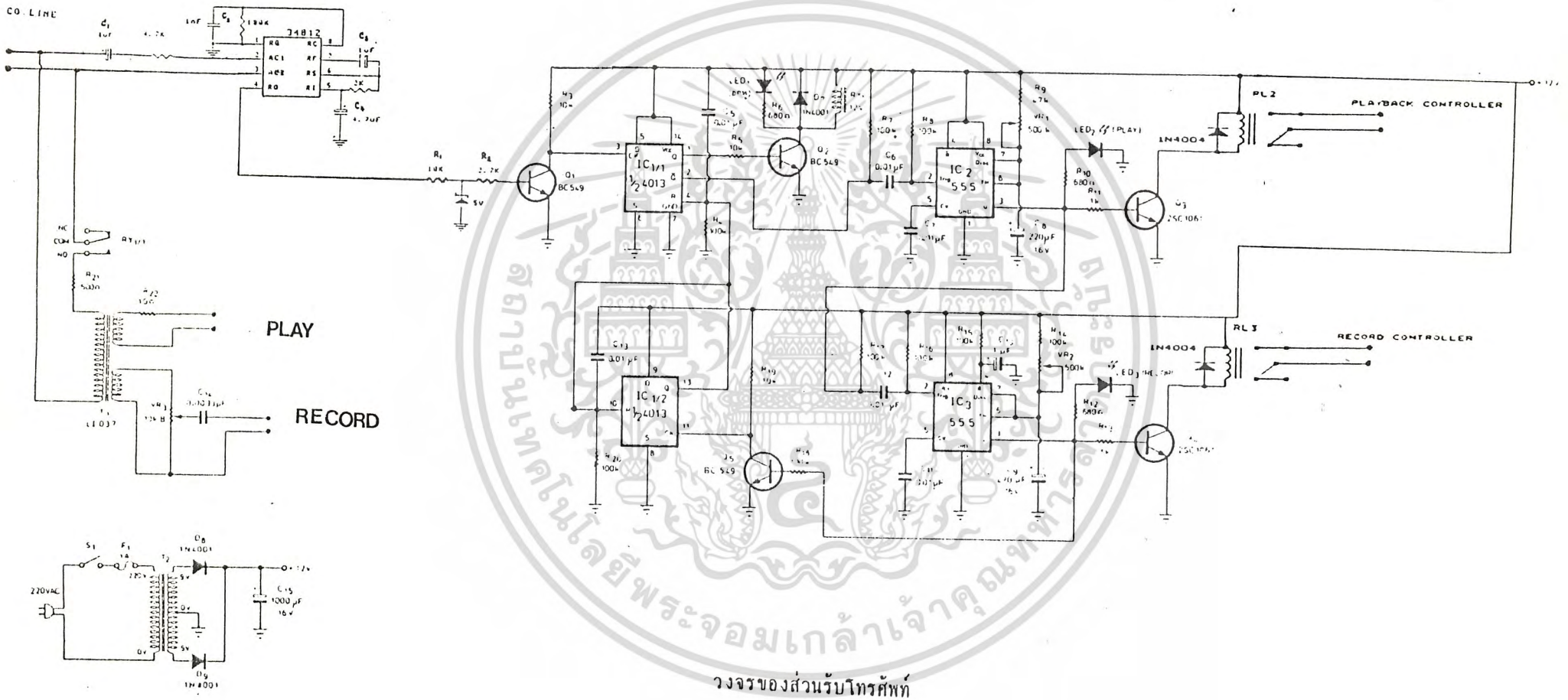
LED ต่างๆในวงจรใช้แสดงสถานะของวงจรขณะนั้น ถ้าดับหมดแสดงว่าสายว่าง ถ้าตัวที่แสดงการยกหูติดก็แสดงว่าเครื่องตอบรับโทรศัพท์เริ่มทำหน้าที่ของมัน ตัวที่แสดงการแจ้งข้อความก็จะบอกว่าส่วนแจ้งข้อความทำงานอยู่ และในทำนองเดียวกับการบันทึก LEDที่แสดงการบันทึกก็จะติด เมื่อการบันทึกสิ้นสุดลง LED ทุกตัวจะดับหมด

สำหรับการควบคุมส่วนแจ้งข้อความและส่วนบันทึก จะใช้ รีเลย์2 และ รีเลย์3 ควบคุมตามลำดับ โดย รีเลย์2 จะทำงานตามสัญญาณจากไอซี 555 ตัวแรก เมื่อต้องการให้ส่วนแจ้งข้อความทำงาน สวิทช์ของรีเลย์ก็จะเชื่อมต่อไฟเลี้ยง 5V เข้ากับส่วนSTART(ขาD_4)ของT6668

ส่วน รีเลย์ 3 จะทำงานตามสัญญาณจากไอซี 555 ตัวที่2 ปกติสวิทช์ของรีเลย์จะทำให้ส่วนบันทึกอยู่ในสภาวะหยุดชั่วขณะ(pause)ซึ่งไม่สามารถบันทึกข้อความได้ แต่เมื่อมีสัญญาณจากไอซี 555 ก็จะทำให้สวิทช์ของรีเลย์อยู่ในตำแหน่งที่ทำให้ส่วนบันทึกสามารถบันทึกข้อความได้(ตำแหน่ง RUN)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

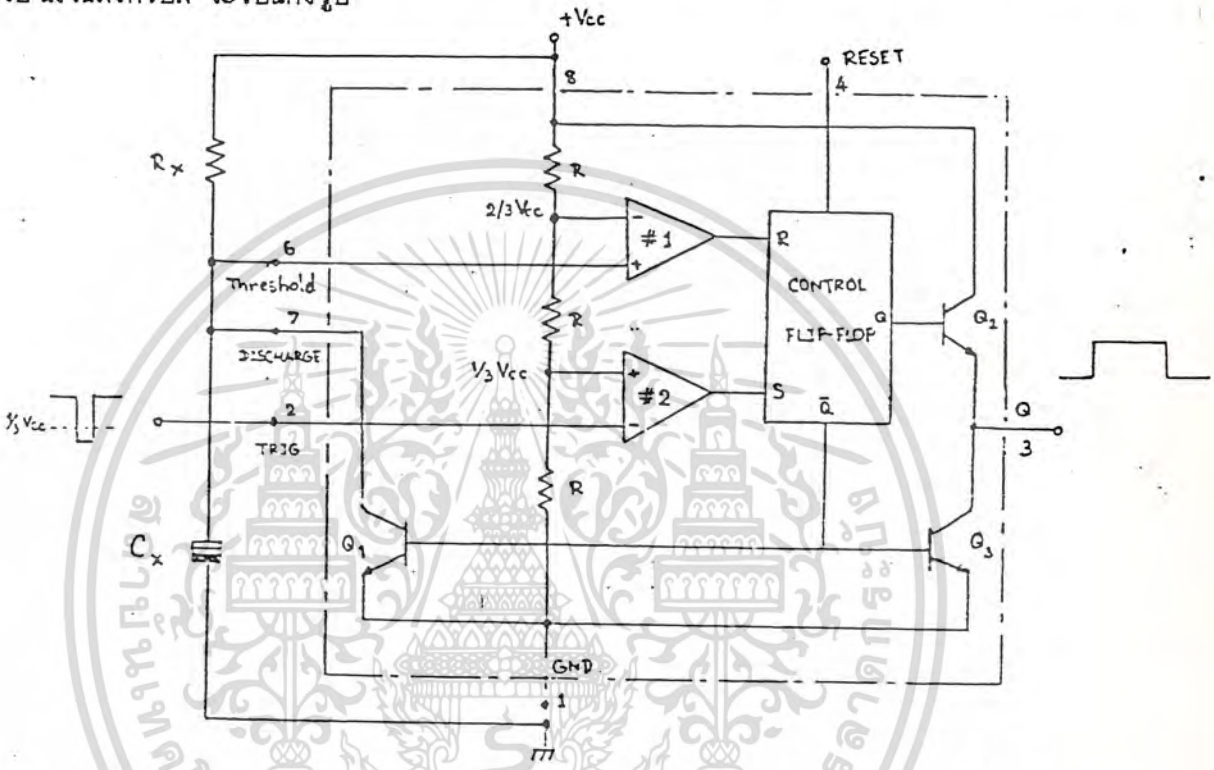
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรของส่วนรับโทรศัพท์

4.3 การใช้งานไอซี 555

ไอซี555 เป็นไอซีตั้งเวลา ซึ่งสามารถกำหนดให้ทำงานในโหมดมัลติวิเบรเตอร์(monostable) และแบบอะสเตเบิล(Astable)ได้ โครงสร้างภายในและลักษณะการทำงานในโหมดหน่วงเวลา หรือมัลติวิเบรเตอร์ จะเป็นดังรูป



การทำงานของไอซี 555 ในโหมดมัลติวิเบรเตอร์ จะเป็นดังนี้คือ ในสภาวะเริ่มแรกที่จ่ายไฟเข้า หรือเมื่อรีเซ็ทที่ขา4 จะทำให้ Q_2 ไม่นำกระแส ในขณะที่ Q_1,Q_3 นำกระแส จึงทำให้เอาต์พุตQ ที่ขา3เป็นLow และสัดตัวเก็บประจุ C_xผ่านทาง Q_1 แต่ถ้าเมื่อใดก็ตามที่มีสัญญาณทริกชั่วขณะทางพัลส์ลบ ซึ่งมีระดับแรงดันต่ำกว่า $V_{cc}/3$ ป้อนเข้ามาทางขา2 จะทำให้วงจรเปรียบเทียบตัวที่2 (COMPARATOR-2)ทำงานเซ็ทให้ขา Q ภายในเป็นHigh และ $\bar{Q}$ เป็นLow ทำให้ Q_2 นำกระแส ในขณะที่ Q_1 และ Q_3 หยุดนำกระแสเอาต์พุต ที่ขา3 จึงเป็นHigh และขณะเดียวกันเมื่อ Q_1หยุดนำกระแสจะทำให้เกิดการประจุ(charge) ให้ตัวเก็บประจุ C_x ผ่านทาง R_x ในลักษณะเอ็กซโพเนนท์เชียล ซึ่งเมื่อมีการประจุจนมีระดับแรงดันเท่ากับ $2V_{cc}/3$ ก็จะทำให้วงจรเปรียบเทียบชุด1 (COMPARATOR-1)ทำงานรีเซ็ทให้ฟลิปฟลอปมีสภาวะ Q เป็นLow และ $\bar{Q}$ เป็นHigh ทำให้ Q_2 หยุดนำกระแสในขณะที่ Q_1 และ Q_3 นำกระแส จึงทำให้เอาต์พุต Q ที่ขา3 เป็นLow ตามเดิม

พร้อมกันนั้น ตัวเก็บประจุ C_x ก็จะถูกคายประจุผ่านทางทรานซิสเตอร์ Q_1 อย่างรวดเร็ว เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสิ้นสุดการทำงาน ช่วงเวลาหน่วงนั้นจะขึ้นกับค่า R_X และ C_X โดยช่วงเวลาหน่วงคือช่วงเวลาที่ตัวเก็บประจุ C_X ทำการประจุถึงแรงดัน $2V_{cc}/3$ นั่นคือ

$$V_{cc}(1-e^{-t/RC}) = 2V_{cc}/3$$

$$e^{-t/RC} = 1-2/3$$

(take ln) $$\ln e^{-t/RC} = \ln(1/3)$$

$$-t/RC = -1.0986$$

$$t = 1.0986RC$$

$$\boxed{t_w = 1.1RC}$$

แต่ในทางปฏิบัติไม่ควรใช้ R_X เกิน 1M และ C_X ไม่ควรใช้เกิน 500 uF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ส่วนบันทึกเสียงระบบดิจิตอล

ส่วนบันทึกเสียงระบบดิจิตอลมีแผนผังวงจรดังรูปที่ 1 ซึ่งแบ่งได้ 2 ส่วนคือ ส่วนจัดการทางด้านสัญญาณ และส่วนดิจิตอลซึ่งเป็นหน่วยความจำและวงจรควบคุม จากรูปที่ 1 CVSD มอดูเลเตอร์/ดีมอดูเลเตอร์ (continuous variable slope delta modulator /demodulator)จะใช้ไอซีของโมโตโรล่าเบอร์ MC 3418 ทำหน้าที่แปลงสัญญาณอนาล็อกเป็นข้อมูลดิจิตอลขนาดกว้าง 1 บิต และแปลงจากข้อมูลดิจิตอล 1 บิตนี้กลับเป็นสัญญาณอนาล็อกตามเดิม ข้อมูลดิจิตอลขนาด 1 บิตสามารถส่งไปได้แบบอนุกรมโดยใช้แชนแนลของระบบสื่อสารทั่วไปได้ โดยหน้าที่การทำงานของขาสัญญาณต่างๆของไอซีเบอร์ MC 3418 เป็นดังนี้

ขา 1 Analog Input

เป็นขาอินพุทของคอมพาราเตอร์สำหรับสัญญาณอนาล็อก เชื่อมต่อได้ทั้งแบบเอซีและดีซี ถ้าต้องการเลื่อนระดับดีซีของสัญญาณให้เท่ากับแรงดันอ้างอิงภายใน ต้องมีตัวต้านทานไบแอสต่อระหว่างขา 1 กับขา 10

ขา 2 Analog Feedback

เป็นขาอินพุทไม่กลับเฟสของคอมพาราเตอร์ตัวเดียวกัน สำหรับป้อนกลับสัญญาณอนาล็อกที่สร้างขึ้นมาเพื่อเปรียบเทียบกับสัญญาณอนาล็อกที่เข้ามาใหม่ ซึ่งจะใช้เฉพาะในตอนแปลงจากอนาล็อกเป็นดิจิตอล โดยต่อขา 2 นี้เข้ากับขา 7 แต่ในการแปลงกลับจากดิจิตอลเป็นอนาล็อกขา 2 นี้ไม่ใช้

ขา 3 Syllable Filter

เป็นขาสำหรับต่อแรงดันที่ได้จากการตรวจระดับสัญญาณแล้วผ่านวงจรกรองป้อนกลับเข้าไอซีเพื่อควบคุมอัตราขยายของอินทีเกรเตอร์ให้ตอบสนองสัญญาณได้ทัน โดยจะมีวงจร RC ต่อระหว่างขา 11 และขา 3 ซึ่งมีค่าไทม์คอนสแตนต์ 6 ms ถึง 50 ms

ขา 4 Gain Control Input

ใช้กำหนดอัตราขยายคงที่ของอินทีเกรเตอร์โดยใช้งานร่วมกับขา 3 ซึ่งเป็นขาปรับอัตราขยายตามระดับสัญญาณ ค่าความต้านทานที่ใช้กำหนดอัตราขยายนี้แปรไปตามอัตราขยายลูปของระบบ แต่จะมีค่าได้ไม่เกิน 5 กิโลโอห์ม เพื่อรักษาเสถียรภาพของวงจร

ขา 5 Reference Input

ขาอินพุทไม่กลับเฟสของอินทีเกรเตอร์ ใช้เลื่อนระดับดีซีของเอาท์พุท ในโหมดการแปลงจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อนาล็อกเป็นดิจิตอลจะจัดให้เท่ากับขา 1 โดยต่อเข้ากับขา 10

ขา 6 Filter Input

ขาอินพุทกลับเฟสของอินทีเกรเตอร์สำหรับต่อกับอุปกรณ์ภายนอก คือ ตัวเก็บประจุของอินทีเกรเตอร์ และตัวต้านทานค่าระหว่าง (8-13) กิโลโอห์ม

ขา 7 Analog output

เป็นเอาท์พุทของอินทีเกรเตอร์ สามารถจ่ายกระแสได้สูงสุด 30 mA ทั้ง 2 ทิศทาง

ขา 8 V_{EE}

ใช้งานได้ทั้งกับไฟเลี้ยงเดี่ยวและไฟคู่บวกลบ ซึ่งขา 8 นี้จะต้องต่อกับไฟลบเสมอ

ขา 9 Digital Output

ขาสัญญาณเอาท์พุทดิจิตอลที่ได้จากการแปลงมีค่าสวิงอยู่ระหว่าง V_{CC} กับ V_{EE} ข้อมูลเลื่อนที่ขอบขาลงของสัญญาณนาฬิกาที่ขา 14

ขา 10 $V_{CC}/2$ Output

ขาแรงดันอ้างอิงครึ่งหนึ่งของแรงดันไฟเลี้ยง เมื่อใช้ไฟเลี้ยงเดี่ยวจ่ายกระแสได้สูงสุด 10 mA ต้องมีตัวเก็บประจุบายพาสค่า 10 F ต่อจากขา 10 กับ V_{EE}

ขา 11 Coincidence Output

ให้เอาท์พุทที่มีค่าดิวตี้ไซเคิลแปรตามสัญญาณดิจิตอลที่ได้จากการแปลง ซึ่งจะเป็นศูนย์เมื่อชิพรีจิสเตอร์ภายในเป็น 1 หมด หรือ 0 หมด เป็นสัญญาณตรวจวัดระดับอินพุทเพื่อควบคุมอัตราขยายของอินทีเกรเตอร์

ขา 12 Digital Threshold

ใช้กำหนดระดับเทรชโฮลด์ของขา 13,14 และ 15 เพื่อให้สอดคล้องกับการใช้งานลอจิกต่างๆ

ขา 13 Digital Data Input

ขาอินพุทของสัญญาณดิจิตอลในโหมดของการแปลงกลับจากดิจิตอลเป็นอนาล็อก ข้อมูลอินพุทต้องคงที่เป็นเวลาอย่างน้อย 0.5 s ก่อนและหลังการทริกของสัญญาณนาฬิกา(ขอบขาลง)

ขา 14 Clock Input

สำหรับกำหนดบิตเรตของข้อมูล ระดับเทรชโฮลด์ของขานี้กำหนดโดยขา 12 ความกว้างพัลส์ซิกบวกต่ำสุด 300 ms ซิกลบต่ำสุด 900 ms

ขา 15 Encode/Decode

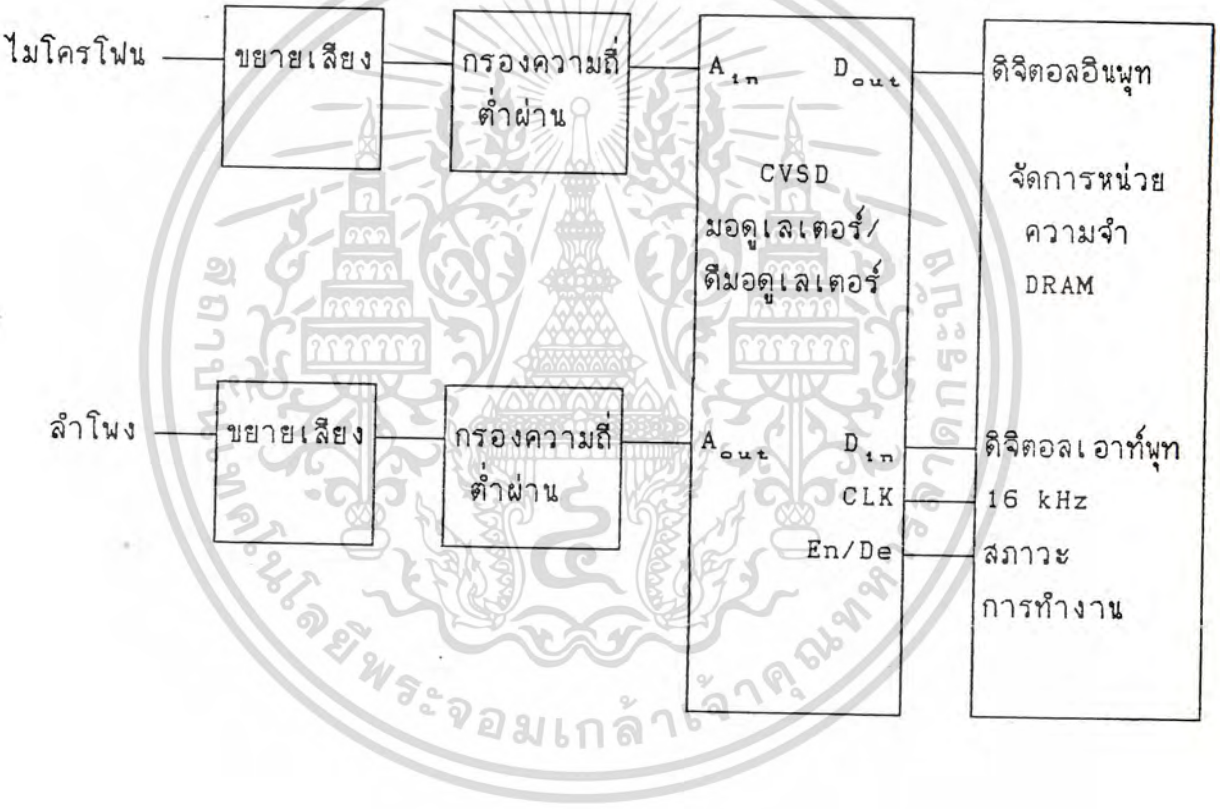
ขานี้เป็นตัวควบคุมว่าจะเลือกคอมพาราเตอร์ที่จะต่อไปยังชิพต์รีจิสเตอร์ ถ้าเป็นหนึ่งเลือกคอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พาราเตอร์ด้านอนาล็อกที่รับอินพุทเข้ามา ถ้าเป็นศูนย์เลือกคอมพาราเตอร์ด้านดิจิตอลสำหรับการแปลงกลับ นอกจากนี้ยังสามารถรับสัญญาณอินพุทที่เป็นดิจิตอลได้โดยป้อนเข้าทางขาที่ 13 ขา 16 V_{cc}

ขาแรงดันไฟเลี้ยงมีค่าระหว่าง 4.75 ถึง 16.5 โวลต์ เทียบกับ V_{EE}

ข้อมูลดิจิตอลที่ได้จะนำไปเขียนลงบนหน่วยความจำดังแสดงดังรูปที่ 1 และการแปลงกลับก็อ่านข้อมูลดิจิตอลจากหน่วยความจำออกมา



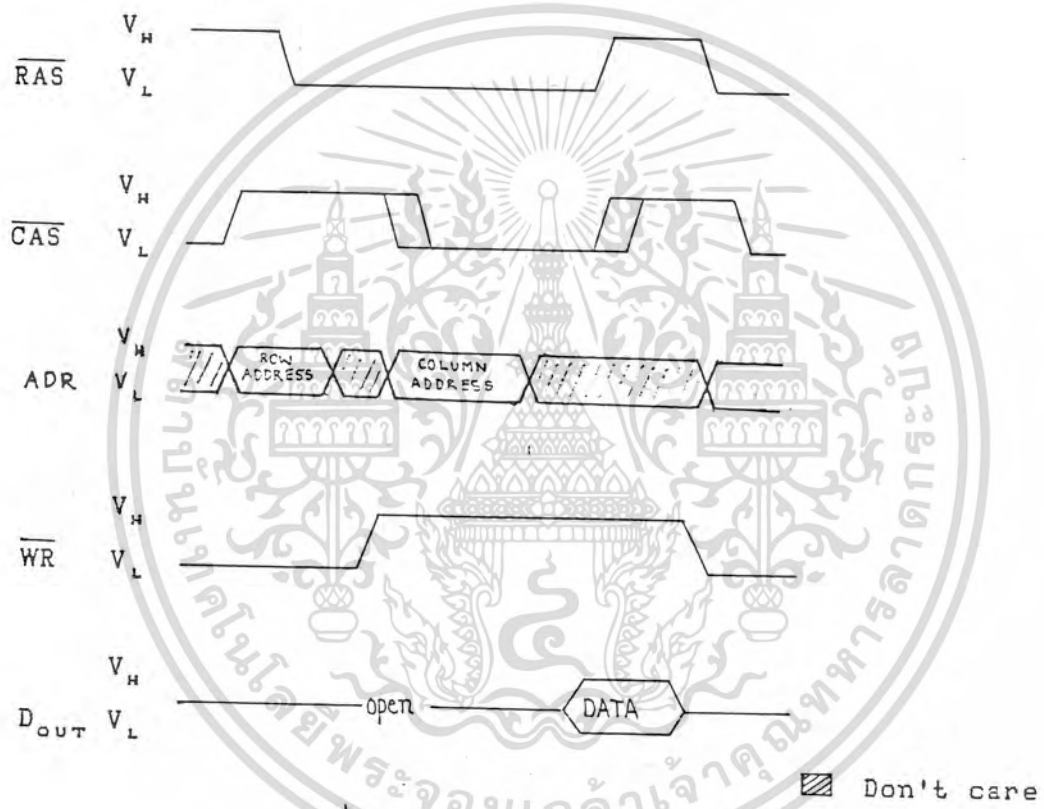
รูปที่ 1 แผนผังวงจรเครื่องบันทึกเสียงพูด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1 **หน่วยความจำ**

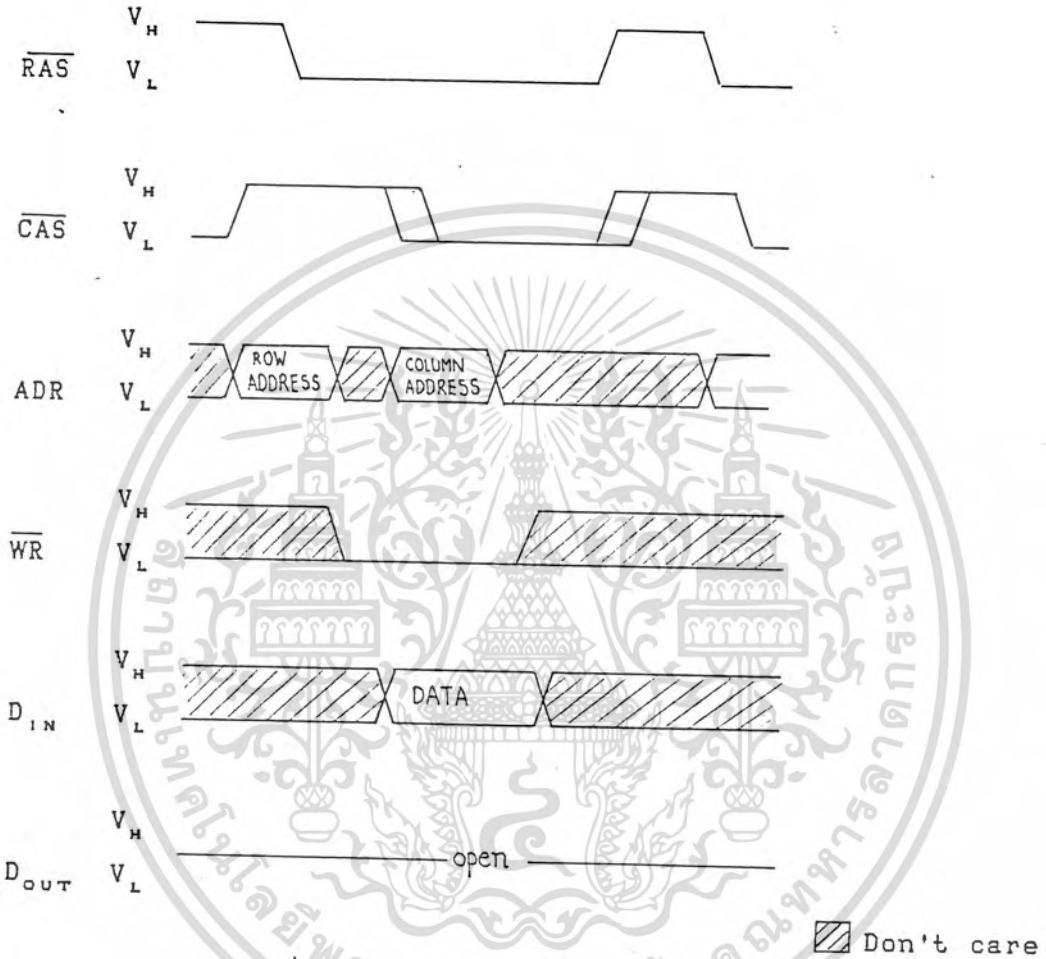
หน่วยความจำที่ใช้เป็นไดนามิกแรม ขนาด 256K x 1 บิต เบอร์ 41256 จัดขาแอดเดรสโดยวิธีมัลติเพล็กซ์ทางโรว์และทางคอลัมน์ ต้องการอัตรารีเฟรชตลอด 256 โรว์ภายในเวลา 4 ms หรือ หนึ่งโรว์ทุกๆ 15.625 s เป็นอย่างช้า

การจัดเวลาของสัญญาณควบคุมไดนามิกแรมค่อนข้างยุ่งยาก ให้ดูรูปแผนภูมิเวลาของการอ่าน การเขียนและการรีเฟรช ดังรูปที่ 2



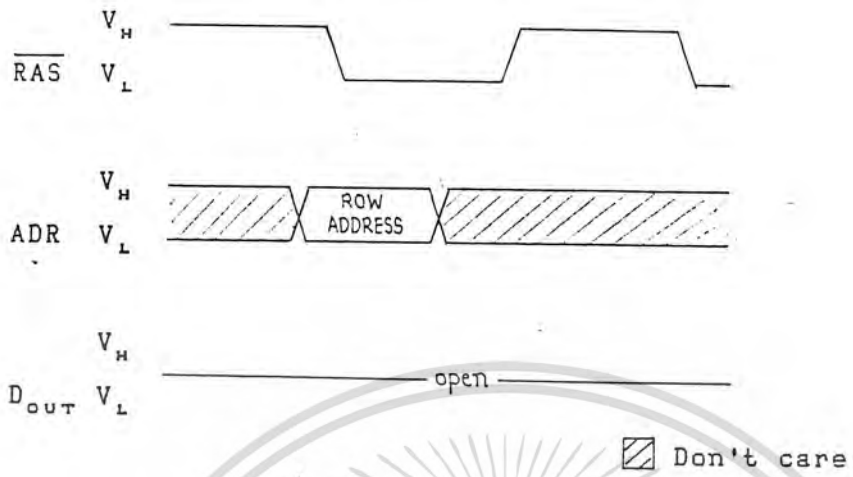
รูปที่ 2 (ก) รอบการอ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 (ข) รอบการเขียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 (ค) รอบการรีเฟรช

รูปที่ 2 แผนภูมิเวลาของสัญญาณควบคุมไดนามิกแรม

ในรูปที่ 2 (ก) เป็นรอบการอ่าน เนื่องจากจำนวนขาแอดเดรสที่ต้องใช้สำหรับเข้าถึงหน่วยความจำขนาด 256K ต้องใช้ถึง 18 เส้น ในขณะที่ตัว 41256 จัดขาแอดเดรสไว้เพียง 9 ขา จึงต้องทำการมัลติเพล็กซ์แอดเดรสเข้าไปถึง 2 ครั้ง โดยแบ่งเป็นโรว์แอดเดรส 9 เส้น และคอลัมน์แอดเดรสอีก 9 เส้น มีขาสโตรบ $\overline{RAS}$ และ $\overline{CAS}$ เป็นขาควบคุม มีขั้นตอนคือ

อันดับแรก จะต้องแลตช์แอดเดรส 9 เส้นแรกไว้ภายในแรมก่อนโดยการจ่ายโรว์แอดเดรสให้กับขาแอดเดรสของแรม แล้วแอคทีฟ $\overline{RAS}$ ซึ่งจะเกิดการสโตรบแอดเดรส เข้าไปที่ขอบขาลงของ $\overline{RAS}$ จากนั้นเปลี่ยนจ่ายคอลัมน์แอดเดรสอีก 9 เส้นแทน แล้วแอคทีฟ $\overline{CAS}$ ในขณะที่ $\overline{RAS}$ ยังเป็น "0" อยู่ จังหวะนี้ก็จะได้แอดเดรสครบทั้ง 18 เส้น เป็นการเข้าถึงหน่วยความจำที่สมบูรณ์ ถ้าเป็นการอ่าน ที่ขา $\overline{WR}$ จะต้องเป็น "1" อยู่ ข้อมูลจากแรมจะถูกอ่านออกมาที่ขา D_{out} หลังจากช่วงเวลาแอคเซสไทม์ (ประมาณ 150 ms) และจะคงอยู่จนกว่าทั้ง $\overline{RAS}$ และ $\overline{CAS}$ จะคืนเป็น "1"

สำหรับรอบการเขียนก็มีขั้นตอนเหมือนกันเพียงแต่ในช่องขอบขาลงของ $\overline{CAS}$ จะต้องจัดให้ $\overline{WR}$ เป็น "0" และมีข้อมูลที่ขา D_{in} คงที่รอไว้แล้ว ดังในรูปที่ 2 (ข)

การรีเฟรชนั้นสามารถทำได้หลายวิธีในรูปที่ 2 (ค) เป็นวิธีตรงไปตรงมาเรียกว่า "$\overline{RAS}$ only" โครงสร้างของเซลภายในหน่วยความจำจัดเป็นเมตริกซ์ขนาด 256 โรว์ x 1024 คอลัมน์ การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีเฟรส จะทำทีละโรว์ทุกๆ 15.625 s เป็นอย่างช้า โดยการกำหนดตำแหน่งโรว์ที่จะรีเฟรสที่ขาแอดเดรสแล้วทำการสโตรบด้วย RAS หน่วยความจำทุกเซลล์(ทุกบิต) ในโรว์นั้น จะถูกอ่านและเขียนกลับลงไปใหม่โดยอัตโนมัติ

จะเห็นว่า จำนวนโรว์มีเพียง 256 โรว์เท่านั้น กำหนดโรว์ที่จะรีเฟรสจึงใช้ขาแอดเดรสเพียง 8 เส้น ($2^8 = 256$) คือ A_0 - A_7 ก็เพียงพอ ในการรีเฟรสนี้จะต้องกระทำอยู่ต่อเนื่องโดยตลอด ไม่เกี่ยวกับการอ่านเขียนแรมโดยปกติ

5.2 <u>วงจรจัดการหน่วยความจำ</u>

รูปที่ 3 เป็นแผนผังวงจรการจัดการหน่วยความจำและควบคุมอื่นๆ ในส่วนดิจิตอลภาคกำเนิดแอดเดรสมีอยู่ 3 ชุดคือ รีเฟรสแอดเดรส โรว์แอดเดรส และคอลัมน์แอดเดรสซึ่งได้จากการนับสัญญาณนาฬิกา 512 kHz แอดเดรสทั้ง 3 ชุดถูกส่งไปยังแอดเดรสมัลติเพล็กเซอร์เพื่อแลกแอดเดรสที่สอดคล้องกับแต่ละขั้นตอน ส่งไปให้กับขาแอดเดรสของแรมอีกที

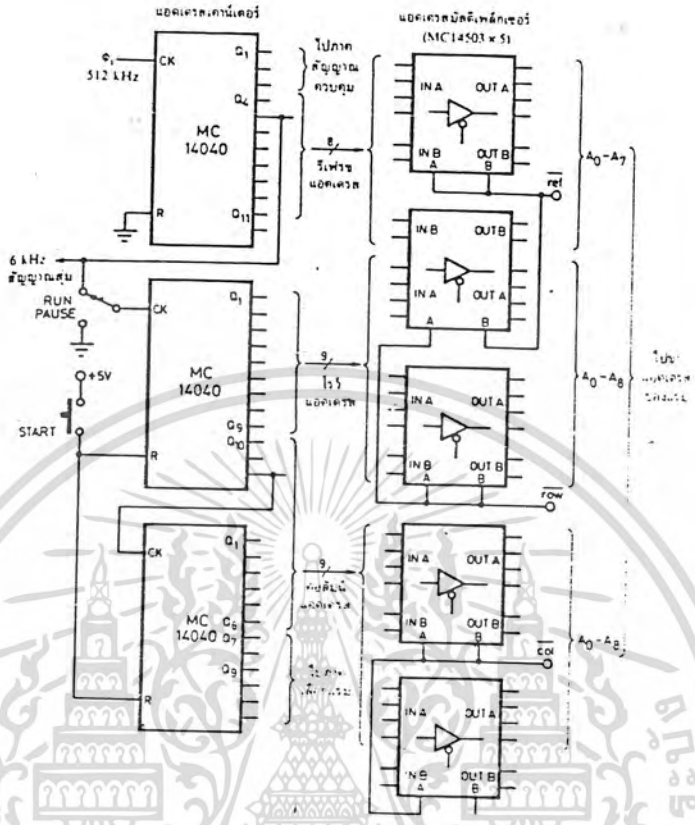
ส่วนเพิ่มเติมอีกส่วนคือตัวเลือกแรม เนื่องจากเราใช้แรมจำนวนหลายตัวโดยมีความกว้างของข้อมูลเพียงบิตเดียวจึงจำเป็นต้องมีการเลือกใช้แรมทีละตัวต่อเนื่องกัน ไดนามิกแรมไม่มีขาชิพซีเล็กซ์หรือชิพอีนาเบิ้ลให้ควบคุมโดยตรง แต่สามารถทำการเลือกใช้ได้โดยการจ่ายสัญญาณ CAS ให้เฉพาะตัวที่ใช้งาน ซึ่งตัวอื่นๆหากไม่ได้รับ CAS ก็จะไม่มีการอ่านเขียน (ยกเว้นการรีเฟรชเพราะไม่ได้ใช้ CAS อยู่แล้ว)

วงจรที่ใช้งานเลือก MC 14040 ซึ่งเป็นตัวนับเลขฐานสองขนาด 12 สเตจจำนวน 3 ตัว มาทำเป็นแอดเดรสเคาน์เตอร์ และใช้ MC 14503 บัฟเฟอร์ 3 สถานะจำนวน 5 ตัวเป็นแอดเดรสมัลติเพล็กเซอร์ ดังวงจรในรูปที่ 3

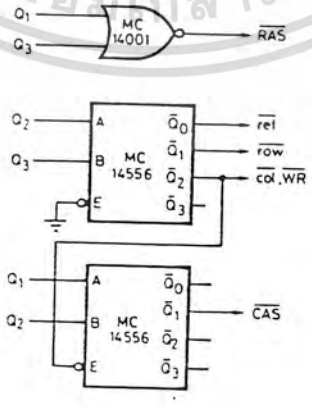
ความถี่ที่จะส่งไปยังแอดเดรสเคาน์เตอร์ทางโรว์และคอลัมน์ใช้ที่ค่า 16 kHz เท่ากับบิตเรตของข้อมูลดิจิตอลจาก CVSD มอดูเลเตอร์ การบันทึกหรือการอ่านกระทำอย่างต่อเนื่องโดยการเลื่อนแอดเดรสไปเรื่อยๆ หากต้องการหยุดก็เพียงแต่หยุดจ่าย 16 kHz หรือต้องการเริ่มต้นใหม่ก็รีเซตตัวนับเท่านั้นเอง

เอาท์พุทของ MC14503 ที่มาจากแอดเดรสแต่ละชุดถูกต่อร่วมกันเข้ากับขาแอดเดรสของแรมแล้วทำการอีนาเบิ้ลเฉพาะชุดที่ต้องการ สัญญาณที่จะเอามาควบคุมส่วนนี้ได้จากวงจรควบคุม ซึ่งจะต้องกำเนิดสัญญาณควบคุมส่วนอื่นๆด้วยให้สอดคล้องกัน โดยการนำสัญญาณจากเคาน์เตอร์สเตจแรกๆ มาทำการดีโค้ด สัญญาณควบคุมที่ต้องการแสดงในรูปที่ 4 ได้จากการดีโค้ดของวงจรควบคุมในรูปที่ 5 โดยใช้ NOR เกต เบอร์ MC14001 และดีโค้ดเดอร์เบอร์ MC14556

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

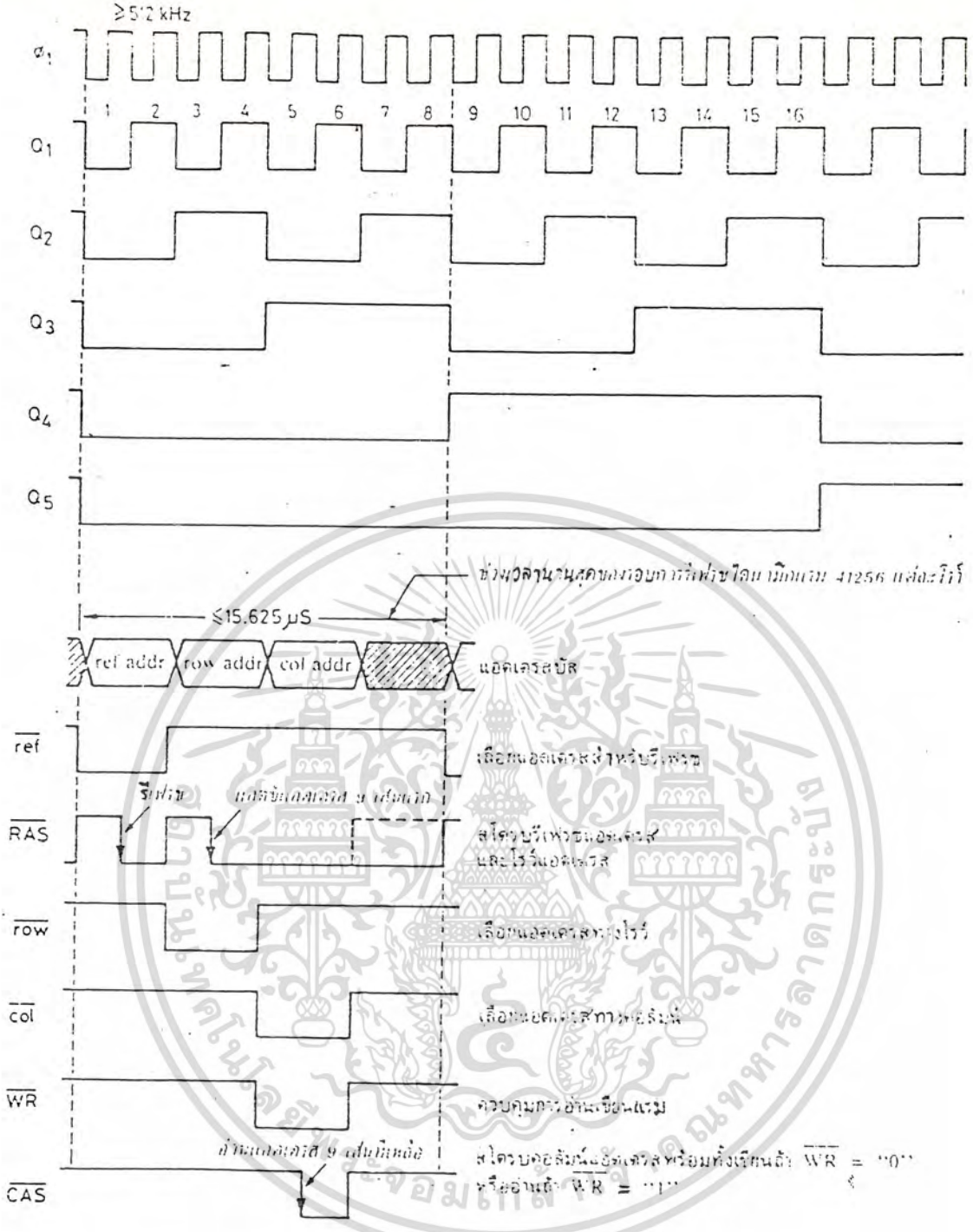


รูปที่ 3 แผนผังการจัดหน่วยความจำ



รูปที่ 5 การต่อโค้ดของวงจรควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 สัญญาณควบคุมต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 <u>วงจรบันทึกเสียง</u>

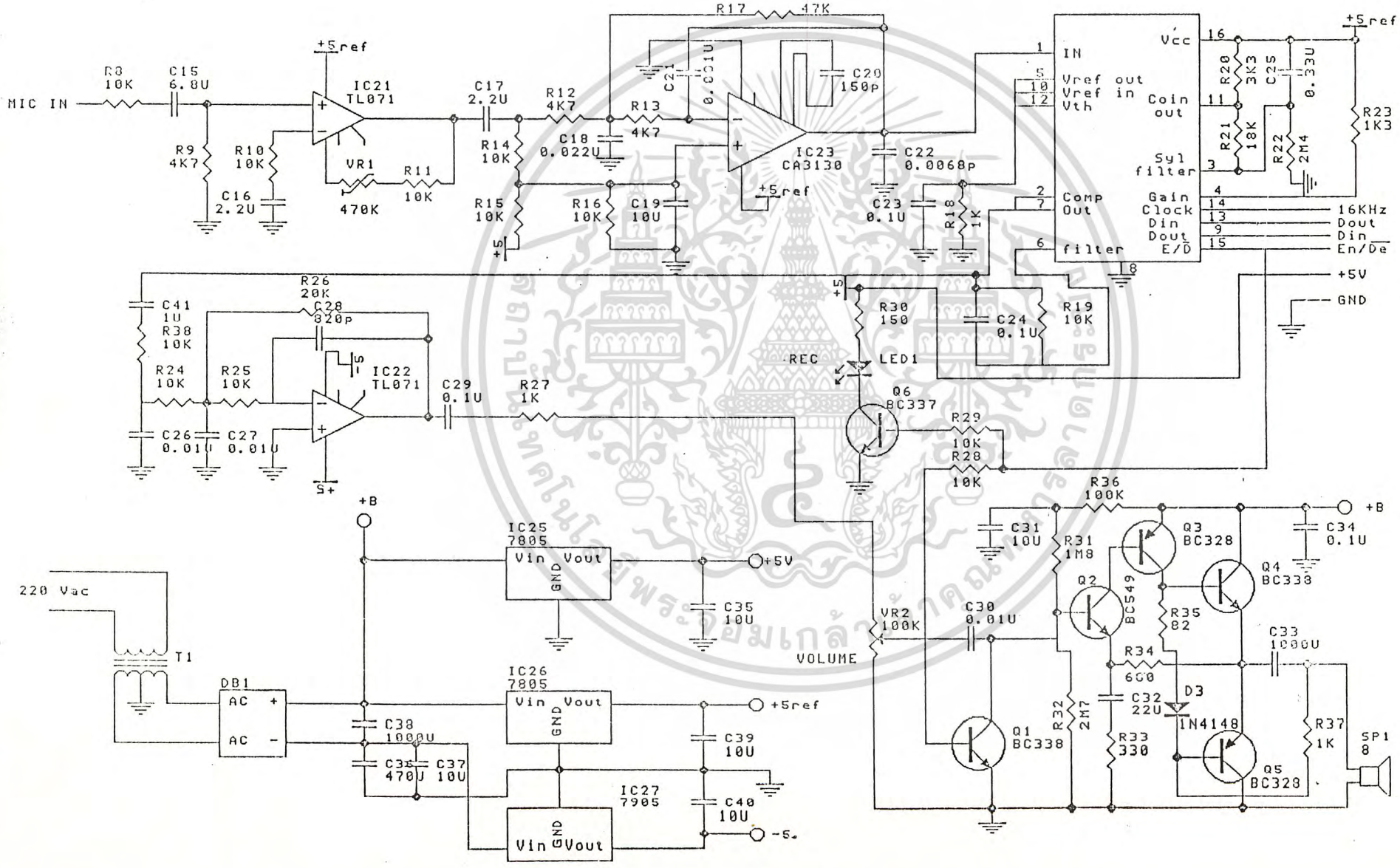
รูปที่ 6 เป็นวงจรสมบูรณ์ในส่วนอนาล็อกและภาคจ่ายไฟ รูปที่ 7 เป็นส่วนดิจิตอลและหน่วยความจำ วงจรในรูปที่ 6 สามารถต่อกับไมโครโฟน มี V_{R_1} เป็นตัวปรับอัตราขยายของวงจรส่วนหน้า LED_1 ใช้แสดงสภาวะการทำงาน ส่วน Q_1 ทำหน้าที่สัดวงจรสัญญาณเสียงลงกราวด์ในขณะบันทึกเพื่อมิให้เกิดการออสซิลเลต แรงดันวงจรไฟเลี้ยงที่จ่ายให้วงจรส่วนหน้าแยกจากวงจรส่วนดิจิตอลเพื่อมิให้เกิดการรบกวนกัน

วงจรในรูปที่ 7 นั้น เราใช้หน่วยความจำไดนามิกแรมจำนวน 8 ตัว โดยการนำเอาท์พุทจากแอดเดรสเคาร์เตอร์สเตจที่ต่อจากคอลัมน์แอดเดรสมาทำการดีโค้ดเพื่อเลือกแรม ใช้ตัวดีโค้ด คือ ไอซีเบอร์ MC14051 ทำการจ่ายสัญญาณ CAS ให้แก่ไดนามิกแรมทีละตัว

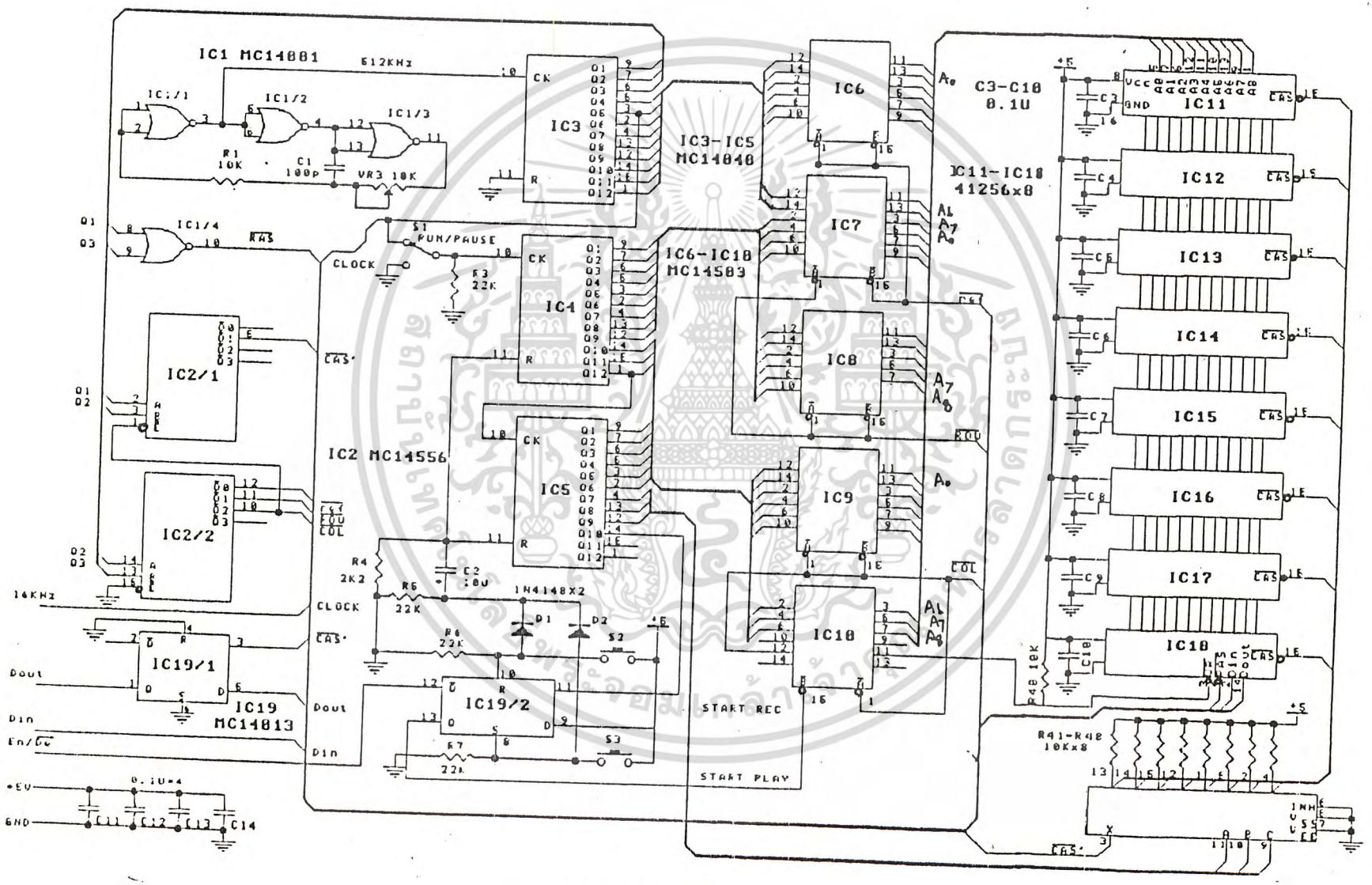
ถ้าความถี่ในการมอดูเลตเป็น 16 kHz ฉะนั้นไดนามิกแรม 1 ตัวจะบันทึกได้นานประมาณ 16 s ถ้าใช้แรม 8 ตัว จะบันทึกได้นานประมาณ 131 วินาที ถ้าต้องการเพิ่มเวลาในการบันทึกให้นานขึ้น โดยการเปลี่ยนบิตเรตจาก 16k เป็น 8k

สำหรับ $IC_{19/1}$ ทำหน้าที่แลตช์ข้อมูลที่อ่านได้จากแรม ส่วน $IC_{19/2}$ ใช้รีเซตแอดเดรสเคาน์เตอร์เพื่อเป็นการเริ่มต้นใหม่ พร้อมทั้งทำหน้าที่กำหนดสภาวะการทำงานของวงจรด้วย โดย S_2 เป็นการบันทึก ส่วน S_3 เป็นการเล่นกลับ ปกติแล้วในการบันทึกเมื่อครบแรมทั้ง 8 ตัว ก็จะเป็นการเล่นกลับโดยอัตโนมัติ แต่ก็สามารถหยุดการบันทึกแล้วเล่นกลับเมื่อใดก็ได้โดยกดสวิตช์ S_3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6 วงจรบันทึกเสียงในส่วนของบาล็อก



รูปที่ 7 วงจรบันทึกเสียงในส่วนดิจิตอลและหน่วยความจำ

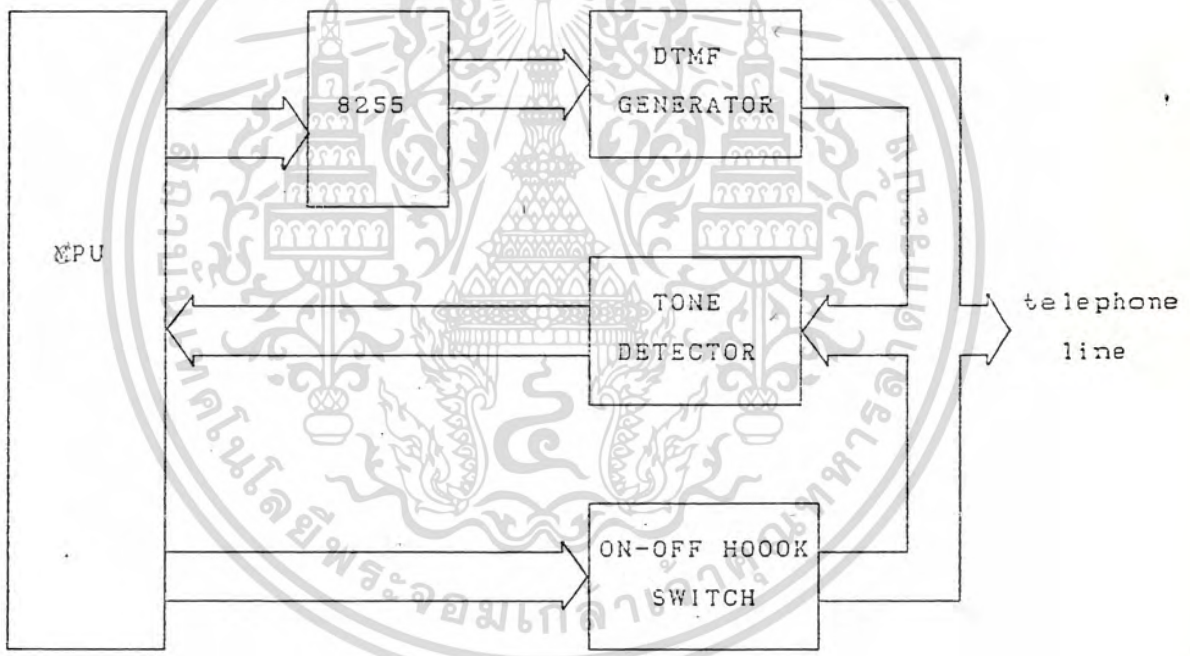
บทที่6

วงจรเตือนภัยทางโทรศัพท์อัตโนมัติ

ในส่วนฮาร์ดแวร์จะประกอบด้วยส่วนต่างๆดังนี้

1. วงจรหมุนเบอร์โทรศัพท์
2. วงจรตรวจสัญญาณจากสายโทรศัพท์
3. วงจรควบคุมการยกและวางหูโทรศัพท์

สามารถแสดงส่วนประกอบต่างๆตามบล็อกไดอะแกรมดังนี้



รูปที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1 <u>วงจรหมุนเบอร์โทรศัพท์</u>

วงจรนี้จะใช้ไอซีเบอร์ TCM 5087 ซึ่งไอซีเบอร์นี้เป็นโทนดีโคดเดอร์ (tone decoder) ทำหน้าที่ในการหมุนเบอร์โทรศัพท์แบบใช้ความถี่คู่ การหมุนทำได้โดยการใส่ข้อมูลที่เป็นโลจิก "0" หรือ "1" เข้าที่ขา R1-R4 และ C1-C4 ของไอซีโดยขา R1-R4 จะทำงาน(active) ที่โลจิก "0" ส่วน C1-C4 จะทำงานที่ "1" ในการหมุนเบอร์ต่างๆจะให้ขา R1-R4 หรือ C1-C4 ทำงานดังตารางที่ 1

	C1	C2	C3
R1	1	2	3
R2	4	5	6
R3	7	8	9
R4	*	0	#

ตารางที่ 1 สัญญาณของเบอร์โทรศัพท์

ตัวอย่างเช่น ถ้าต้องการหมุนเบอร์ 1 ก็ส่งข้อมูลให้ R1 เป็น "0" ส่วน R2-R4 ให้เป็น "1" และ C1 เป็น"1" ส่วน C1-C4 เป็น "0" เป็นต้น ซึ่งเบอร์แต่ละเบอร์จะส่งข้อมูลให้ไอซีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

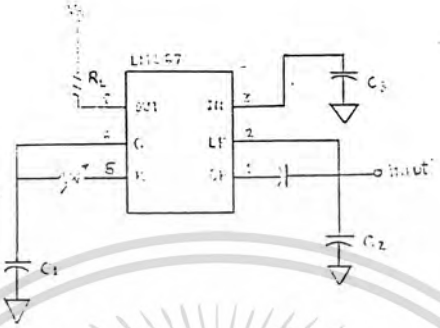
เบอร์	R1	R2	R3	R4	C1	C2	C3	C4	เลขฐานสิบ
1	0	1	1	1	1	0	0	0	120
2	0	1	1	1	0	1	0	0	116
3	0	1	1	1	0	0	1	0	114
4	1	0	1	1	1	0	0	0	184
5	1	0	1	1	0	1	0	0	180
6	1	0	1	1	0	0	1	0	178
7	1	1	0	1	1	0	0	0	216
8	1	1	0	1	0	1	0	0	212
9	1	1	0	1	0	0	1	0	210
0	1	1	1	0	0	1	0	0	228
สภาวะปรกติ	1	1	1	1	0	0	0	0	240

ตารางที่ 2 ข้อมูลที่ส่งให้ไอซีในการหมุนเบอร์

6.2 <u>วงจรตรวจสัญญาณจากสายโทรศัพท์</u>

ในการตรวจจับสัญญาณจากสายโทรศัพท์ว่าเป็น สัญญาณให้หมุน(dial tone) ,สัญญาณไม่ว่าง (busy tone) หรือ สัญญาณเรียกกลับ(ring back tone) เนื่องจากสัญญาณทั้งสามนี้ เป็นสัญญาณที่มีความถี่ 400 Hz ปรากฏอยู่เท่านั้น เราจึงใช้ไอซีเบอร์ NE 567 ซึ่งเป็นไอซีเฟสล็อคลูป (phase lock loop) โดยตั้งความถี่ศูนย์กลาง (f_o) ให้ได้ 400 Hz ซึ่งอยู่กับการตั้งค่า c และ r ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 การต่อวงจรของ NE 567

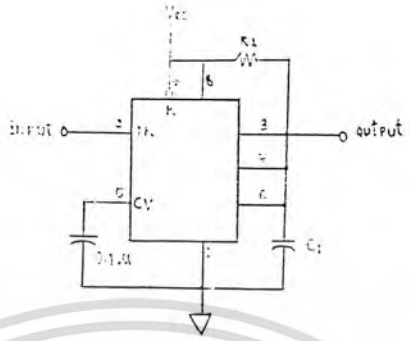
หลักการคำนวณของ NE 567

1. กำหนดค่า f_o = 400 Hz
2. หา r_1 , c_1 จาก $f_o = 1.1/r_1c_1$
3. หา c_2 จาก $c_2 = 130/f_o$ F
4. หา c_3 จาก $c_3 > 2c_2 > 260/f_o$ F

การทำงานของ NE 567 นั้นที่ขาเอาท์พุท(output) ปรกติจะเป็น "1" แต่ถ้ามีสัญญาณอินพุท (input) ที่มีความถี่ศูนย์กลางเท่ากับความถี่ศูนย์กลางเอาท์พุท(output) จะตกลงเป็น "0" เมื่อสัญญาณที่ตรงกับความถี่ศูนย์กลางนี้หมดไป เอาท์พุทจะกลับเป็น "1" ดังเดิม

เนื่องจากสัญญาณที่ออกจากเอาท์พุทของ NE 567 อาจมีการกระเพื่อมเนื่องจากสัญญาณรบกวนภายในสายโทรศัพท์ ดังนั้นเราจึงใช้ไอซีเบอร์ 555 ซึ่งเป็นไอซีโมโนสเตเบิล(monostable) โดยปรกติเอาท์พุท จะเป็น "0" แต่เมื่อมีสัญญาณที่เป็น "0" มาเข้าที่ขาอินพุท จะทำให้ค่าของเอาท์พุท เปลี่ยนเป็น "1" เป็นเวลานานตามที่หน่วงเวลาเอาไว้ ซึ่งเวลาที่หน่วงจะขึ้นอยู่กับค่า r และ c โดยที่ $T = 1.1r_1c_1$ วินาที ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 การต่อวงจรของ NE 555

6.3 <u>วงจรเตือนภัยทางโทรศัพท์อัตโนมัติ</u>

วงจรนี้เป็นวงจรที่รวมเอาวงจรหมุนเบอร์โทรศัพท์ วงจรตรวจสัญญาณจากสายโทรศัพท์ และวงจรควบคุมการยกและวางหูโทรศัพท์ มาใช้งาน โดยจะมีไมโครโปรเซสเซอร์ 8031 เป็นตัวควบคุม

ตอนแรก 8031 จะส่งสัญญาณออกทาง P3.0 ไปยังรีเลย์เพื่อทำการตัดโทรศัพท์ออก และจะมี P3.1 เป็นตัวส่งสัญญาณไปยังรีเลย์เพื่อเป็นการควบคุมการยกหู เมื่อยกหูแล้ว จะใช้ P3.2 เป็นตัวตรวจสัญญาณจากเอาท์พุทของ NE 555 ว่ามีสัญญาณให้หมุนหรือยัง ถ้ามีแล้วก็จะมีการส่งข้อมูลจาก EPROM ออกทาง P1 เพื่อเป็นอินพุทของ TCM 5087 ให้ทำการหมุนเบอร์ แล้วจะตรวจสอบทาง P3.2 ว่าเป็นสัญญาณไม่ว่าง หรือสัญญาณเรียกกลับ โดยจะมี TS568 เป็นตัวส่งสัญญาณออกทางสายโทรศัพท์เมื่อทราบว่ามีผู้รับโทรศัพท์แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 หลักการทำงาน

เมื่อ sensor ตรวจจับเหตุผิดปกติตามที่เราตั้งไว้ได้ ก็จะส่งสัญญาณมายัง INT1 ของ 8031 จากนั้น 8031จะทำการเซ็ตบิท P3.0,P3.1 และเคลียร์ P3.1 ตามลำดับ ซึ่งจะทำให้มีการวางและยก HAND SETโดยรีเลย์ ไมโครโปรเซสเซอร์จะทำการตรวจสอบว่ามีสัญญาณให้หมุน(DIAL TONE)เข้ามาหรือไม่ จากเอาต์พุทของNE 555 ซึ่งเป็นไอซีโมโนสเตเบิล ที่ทำงานร่วมกับไอซีเฟสล็อคลูป(Phase Lock Loop)NE 567 ซึ่งเราตั้งความถี่ศูนย์กลางจากค่า R และ C ไว้ที่400 H$_z$

ถ้ามีสัญญาณให้หมุน หมายเลขโทรศัพท์ที่เก็บใน RAM ภายใน 8031 จะถูกส่งออกทางพอร์ต 1 ไปยังวงจรหมุนหมายเลขโทรศัพท์ ซึ่งเราใช้ไอซีเบอร์ TCM 5087 ทำหน้าที่ผลิตสัญญาณ DTMF (DTMF GENERATOR)เพื่อติดต่อไปยังผู้รับ

แต่ถ้าไม่ได้รับสัญญาณให้หมุน ก็จะทำการวาง-ยก HAND SET จนกว่าจะได้รับสัญญาณให้หมุน

เมื่อทำการหมุนหมายเลขโทรศัพท์แล้ว 8031จะทำการตรวจสภาวะของคู่สายว่า "ว่าง"หรือ "ไม่ว่าง" โดยอาศัยสัญญาณจากเอาต์พุทของไอซี NE555 (ที่ทำงานร่วมกับไอซี NE567)

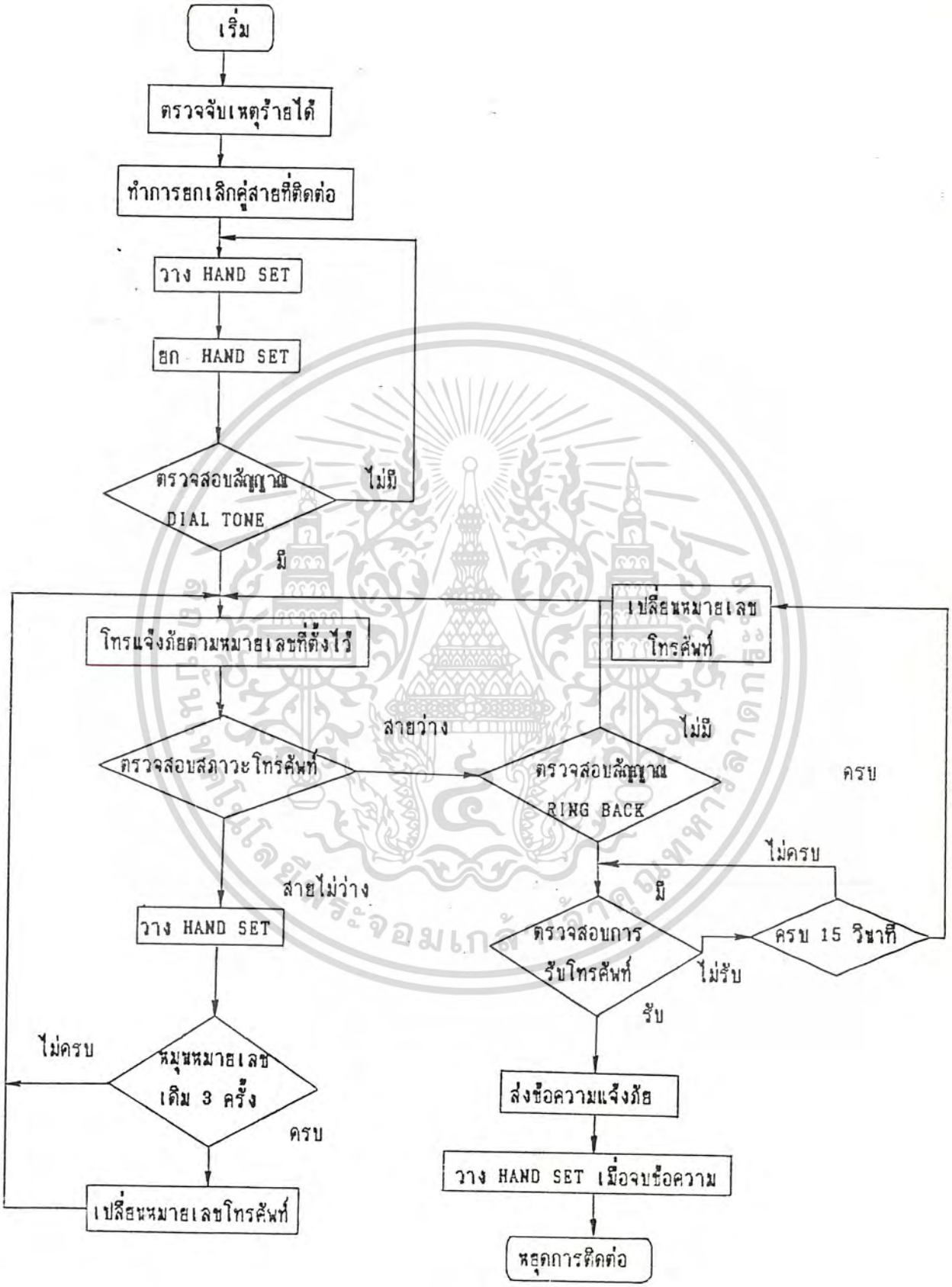
ถ้าคู่สายไม่ว่าง ก็จะทำการวาง HAND SET แล้วหมุนเลขหมายเดิมอีก แต่ถ้าหมุนเลขหมายเดิม 3 ครั้งแล้วคู่สายก็ยังไม่ว่าง 8031จะส่งหมายเลขโทรศัพท์ใหม่ มาให้ DTMF GENERATOR เพื่อทำการหมุนหมายเลขใหม่

เมื่อคู่สายว่าง 8031จะทำการตรวจสอบสัญญาณ RING BACK จากเอาต์พุทของไอซี NE 555 เช่นกัน ถ้าไม่มีสัญญาณ RING BACK ก็จะทำการหมุนหมายเลขเดิมใหม่ แต่ถ้ามีสัญญาณนี้ก็จะรอเป็นเวลา 15 วินาที ถ้าหากไม่มีผู้รับก็จะเปลี่ยนหมายเลข และทำการโทรใหม่

หากมีผู้รับ ส่วนแจ้งข้อความเตือนภัย(ไอซีบันทึกเสียง T6668)ก็จะส่งข้อความไปยังผู้รับ เมื่อจบข้อความ สัญญาณจากEOSของT6668 จะส่งไปยัง 8031 จากนั้น 8031 ก็จะหยุดการติดต่อกับผู้รับ และทำการวาง HAND SET โดยอัตโนมัติ

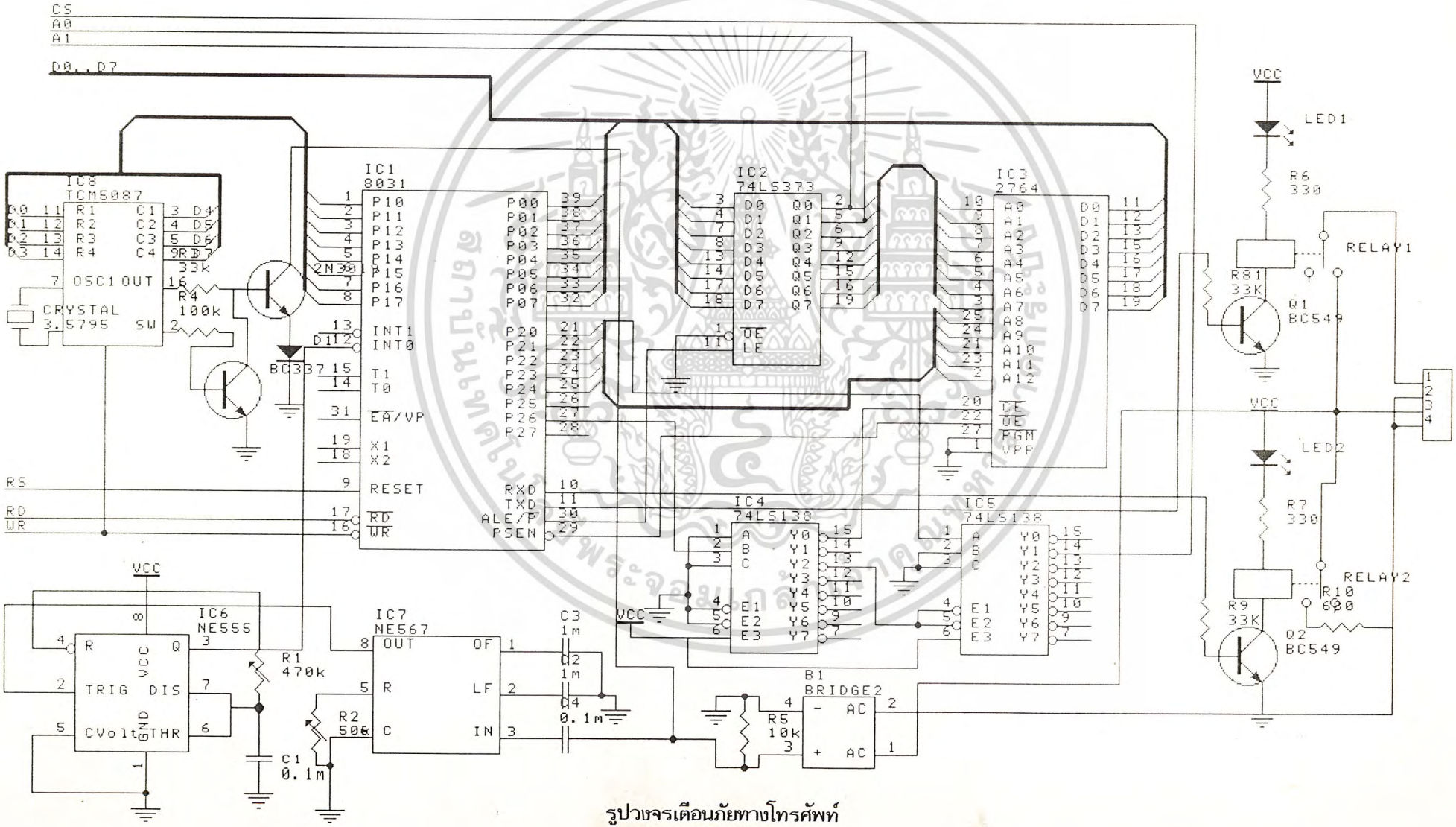
สำหรับการเก็บหมายเลขโทรศัพท์ จะผ่านมาทางวงจร SCAN KEY ที่พอร์ต C ของ 8031 โดยมีการแสดงหมายเลขดังกล่าว โดย LED ที่จัดแบบ 7 Segment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

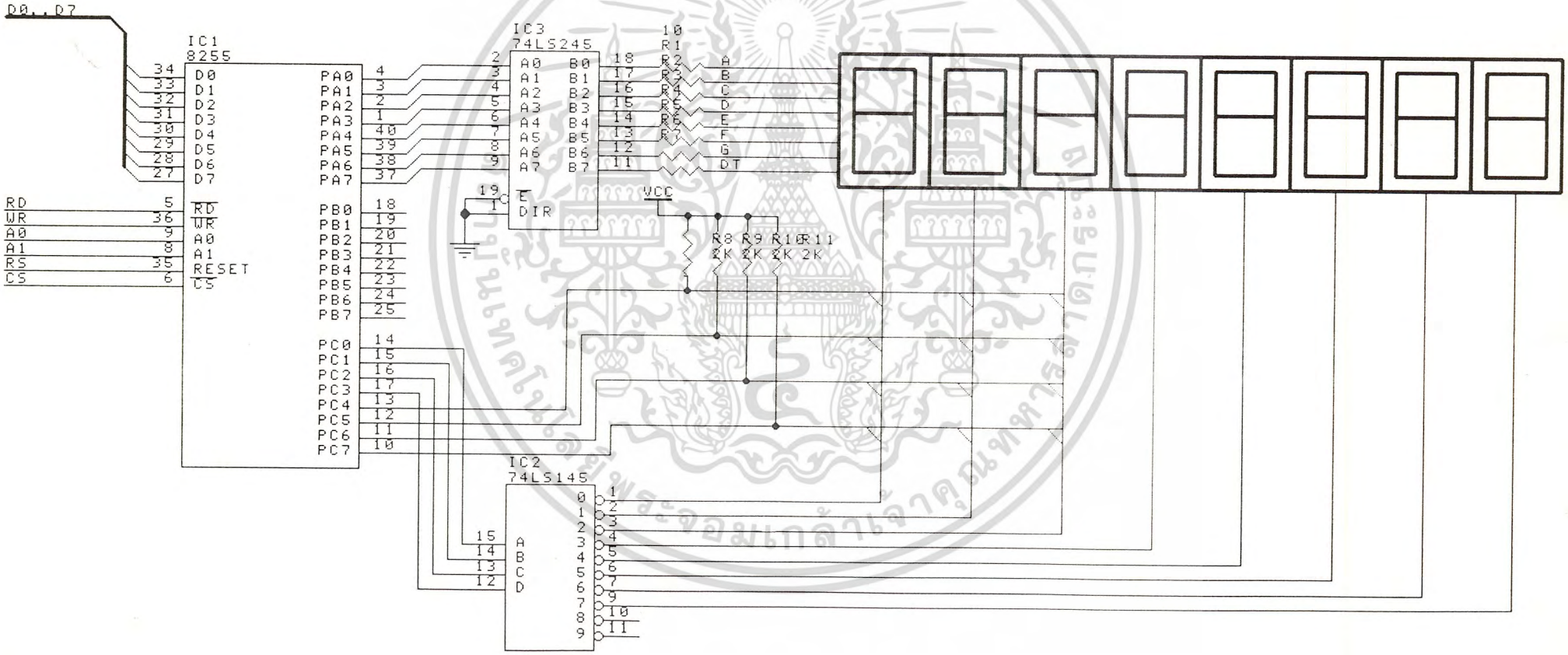


FLOW CHART แสดงการทำงานของส่วนแจ้งภัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปวงจรเตือนภัยทางโทรศัพท์



รูปวงจร SCAN–KEY และ DISPLAY

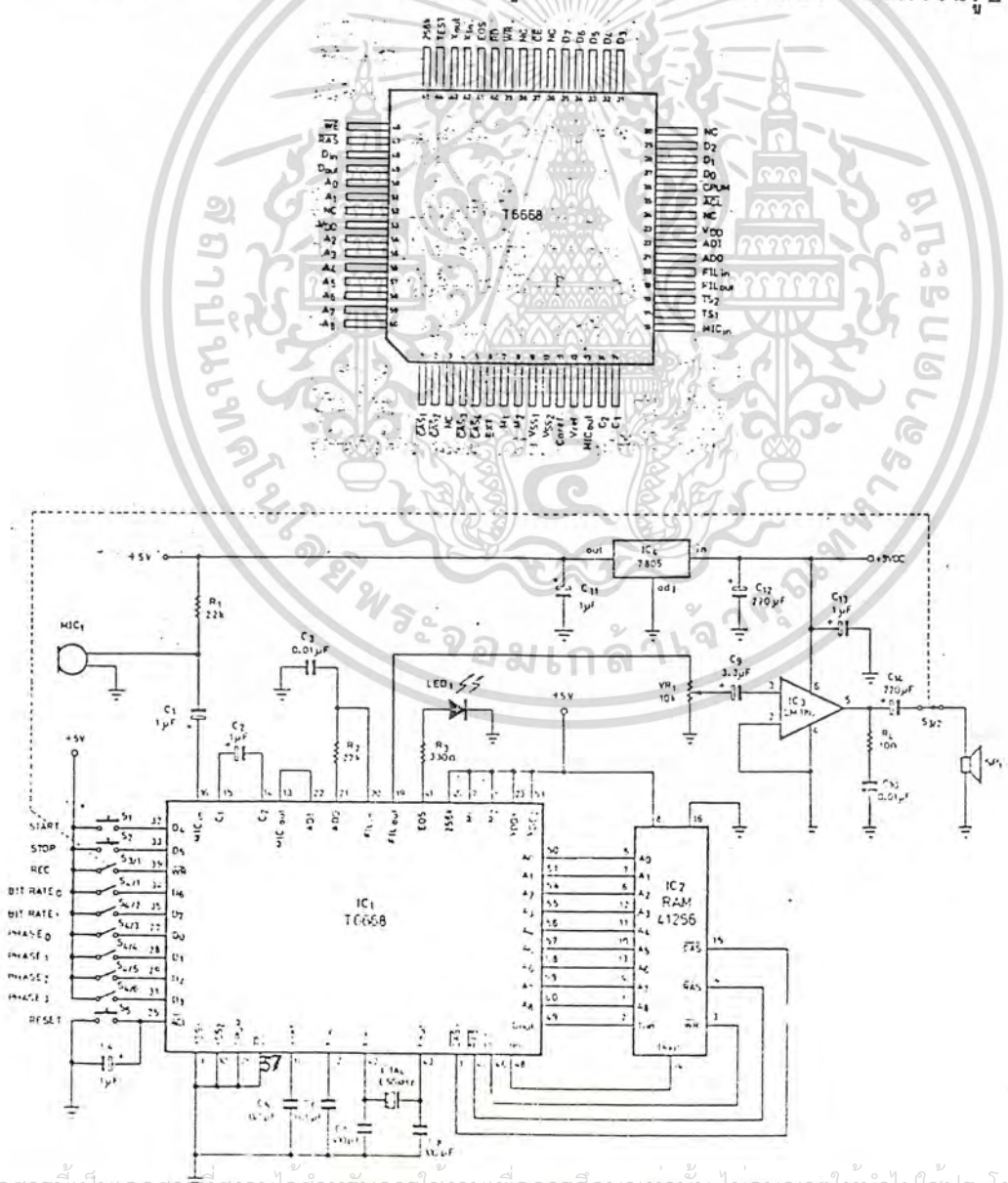
บทที่7

ส่วนแจ้งข้อความ

7.1 ไอซีบันทึกเสียง T6668

ไอซีนี้มีรูปร่างภายนอกเป็นแบบติดตั้งบนผิวหรือเซอร์เฟสเมาต์ ขนาด60ขา ต่อกับหน่วยความจำชนิดไดนามิก ขนาด 64K*1บิต หรือ 256K*1บิต ได้โดยตรง4ตัว ใช้คริสตอลควบคุมความถี่สัญญาณนาฬิกา เปลี่ยนบิตเรตโดยใช้ดิปสวิทช์ เลือกหน้าของหน่วยความจำแยกบันทึก/เล่นกลับได้ เมื่อใช้หน่วยความจำ 256K*1บิต (41256) จำนวน 4 ตัว ที่บิตเรต 16K จะบันทึกได้นาน 64 วินาที หรือนาทีเศษๆ

T6668 นี้สมบูรณ์ในตัว ทางด้านอินพุตสามารถต่อไมโครโฟนเข้ากับไอซีได้เลย ด้านเอาต์พุตก็เพิ่มภาคขยายอีกส่วนเดียว วงจรที่สมบูรณ์ของเครื่องบันทึกเสียง แสดงในรูป



รูปแสดงวงจรสมบูรณ์ของเครื่องบันทึกเสียงพกพาที่ใช้ T6668 บันทึกได้นาน 16 วินาทีต่อแรม 1 ตัว (สูงสุด 4 ตัว) แบ่งหน้าบันทึกได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดขาใช้งานของ T6668

$A_0 - A_8$: ขาแอดเดรสต่อกับแรม

D_{IN}, D_{OUT} : ขาดาต้าต่อกับแรม

$\overline{RAS}, \overline{WE}$: สัญญาณควบคุมแรม

$\overline{CAS_1} - \overline{CAS_4}$: ขาเลือกแรมแต่ละตัว รวม4ตัว

M_1, M_2 : ใช้กำหนดจำนวนแรมที่ใช้ ดูตารางที่ 1

256K : เลือกขนาดแรม ต่อกราวน์ใช้ 4164 ต่อไฟบวกใช้ 41256

EOS : เอาต์พุตเป็นHIGHเมื่อจบข้อความที่บันทึก

MIC_{IN}, MIC_{OUT} : อินพุตและเอาต์พุตของภาคขยายส่วนหน้า

AD_1, AD_0 : อินพุตสัญญาณอนาล็อกที่จะนำไปแปลงเพื่อบันทึก และเอาต์พุตอนาล็อกที่ได้จากการอ่าน

FIL_{IN}, FIL_{OUT} : วงจรกรองความถี่ต่ำผ่าน

C_1, C_2 : ต่อตัวเก็บประจุภายนอก

$\overline{ACL}$: ขารีเซ็ต แอคทีฟLow

X_{IN}, X_{OUT} : คริสตอลออสซิลเลเตอร์ ความถี่ 650 KHz

CPUM, $\overline{CE}$: ขาสัญญาณควบคุมสำหรับอินเตอร์เฟสกับ CPU

$\overline{WR}$: ขาอินพุตสัญญาณควบคุมสำหรับเปลี่ยนไปโหมดการบันทึก

D_4, D_5 : เริ่มต้น(D_4) และหยุด(D_5) การนับของเคาน์เตอร์ภายใน สำหรับการบันทึกและเล่นกลับ

D_6, D_7 : กำหนดบิตเรต ดูตารางที่ 2

$D_0 - D_3$: เลือกหน้าของหน่วยความจำสำหรับบันทึก แบ่งได้สูงสุด 16 หน้า ตามรหัสเลขฐาน2 แต่ละหน้าไม่กำหนดความยาว แล้วแต่จะกดSTOP (D_5)เมื่อใด ก็จะมีการบันทึกเอาไว้โดยอัตโนมัติ

V_{DD}, V_{SS} : ขาไฟเลี้ยงและกราวน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดและจำนวน	256K(ขา45)	M_2	M_1
4164*1	0	0	0
4164*2	0	0	1
4164*3	0	1	0
4164*4	0	1	1
41256*1	1	0	0
41256*2	1	0	1
41256*3	1	1	0
41256*4	1	1	1

ตารางที่ 1 การกำหนดชนิดและจำนวนแรมที่ใช้

บิตเรต	D_7(ขา35)	D_6(ขา34)
8K	0	0
11K	0	1
16K	1	0
32K	1	1

ตารางที่ 2 การกำหนดอัตราเร็วข้อมูลหรือบิตเรต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 วงจรการทำงาน

วงจรในรูปที่ เป็นวงจรสมบูรณ์ของส่วนแจ้งข้อความ หัวใจสำคัญของวงจรอยู่ที่ IC_1 และ IC_2 ซึ่งเป็นไอซีไมโครโปรเซสเซอร์และหน่วยความจำ ตัว IC_1 ถูกออกแบบขึ้นมา เพื่อใช้งานด้านวิเคราะห์เสียงโดยเฉพาะ เป็น IC ชนิด CMOS LSI

การทำงานของ IC_1 จะทำการรับสัญญาณเสียงพูดเข้ามา จากนั้นทำการขยายแล้วเปลี่ยนจากสัญญาณอนาลอกไปเป็นข้อมูลดิจิตอล แล้วไปเก็บไว้ที่ไดนามิกแรม(DRAM) IC_2 โดย CPU ภายในจะทำการเลื่อนแอดเดรสที่จะนำเข้าไปเก็บเองโดยอัตโนมัติ

การอัดเข้าไปสามารถเลือกอัตราเร็วในการแปลงข้อมูลได้ 4 อัตรา โดยเลือกที่ D_6-D_7 ตามตารางที่

การอัดในอัตราใดอัตราหนึ่งเสร็จ สามารถเล่นกลับในอีกอัตราได้ ทำให้สามารถเร่งหรือลดspeedของเสียงได้ตามต้องการ ถ้าต้องการอัดเสียงสูงๆให้ได้ผลดี ควรใช้อัตราสูงๆในการอัด จึงจะทำให้เสียงที่ออกมาดี

T6668 สามารถเลือกใช้หน่วยความจำได้ 2 ขนาด คือ 64K DRAM กับ 256K DRAM โดยการเลือกที่ขา45ของIC(ที่เขียนไว้ว่า 256K) คือเมื่อจะต่อ DRAM 256K กับ T6668 จะต้องเลือกต่อขา45กับไฟบวก และเมื่อต้องการต่อ DRAM 64K กับ T6668 ก็ให้ต่อขา45 ลงกราวน์

การเพิ่มขนาดหน่วยความจำให้กับ IC T6668 สามารถกำหนดได้โดยการต่อขา M_2 , M_2 ตามตารางที่ เช่น ถ้าต่อ M_1,M_2 ลงกราวน์ T6668จะทำการเขียนหรืออ่านข้อมูลจากหน่วยความจำขนาด64K

เมื่อเขียนเสร็จแล้วตัวมันเองจะเลิกการเขียนหรือการอ่านมารอการเริ่มต้นใหม่ ดังนั้นเราจึงกำหนดขนาดของหน่วยความจำได้ตามต้องการ เพื่อการประหยัดในการนำไปใช้งานที่ต้องการขนาดหน่วยความจำต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานโดยทั่วไป

1. เปิดเครื่องจะเห็น LED ติดอยู่
2. กดสวิทช์ไปที่อัดค้างไว้
3. เลือกช่องที่จะอัดเข้าไป โดยสวิทช์เลือกช่องที่จะอัดมีอยู่ 4 ตัว สวิทช์นี้เป็นไบนารีโค้ด ดังตาราง

D_0	D_1	D_2	D_4	ช่องที่
0	0	0	0	1
0	0	0	1	2
0	0	1	0	3
0	0	1	1	4
0	1	0	0	5
0	1	0	1	6
0	1	1	0	7
0	1	1	1	8
1	0	0	0	9
1	0	0	1	10
1	0	1	0	11
1	0	1	1	12
1	1	0	0	13
1	1	0	1	14
1	1	1	0	15
1	1	1	1	16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เลือกอัตราเร็วการแปลงข้อมูลโดยตั้ง D_7-D_6 ตามต้องการ
5. กดสวิทช์ START แล้วไฟที่ LED จะดับ แสดงว่าเครื่องกำลังอัดคำพูดเข้าไปเก็บเอาไว้ เมื่อพูดจนพอใจแล้วจึงกดสวิทช์ STOP อีกครั้ง ไฟที่ LED จะสว่าง ในกรณีที่พูดนานเกินกว่าเวลาที่กำหนด เครื่องจะหยุดการอัดโดยอัตโนมัติ ไฟที่ LED จะสว่างขึ้นมา เพื่อบอกให้รู้ว่าเป็นการสิ้นสุดขั้นตอนการอัดใน 1 ช่อง
6. ถ้าต้องการอัดในช่องอื่นอีก ก็ทำเช่นเดียวกัน ตั้งแต่ต้นจนถึงข้อ 5. (เวลารวมของแต่ละช่องต้องไม่เกินเวลาที่กำหนดไว้)
7. การอ่านทำโดยการยกสวิทช์ WR ขึ้น
8. เลือกช่องที่จะอ่านและอัตราการแปลงข้อมูล
9. กดสวิทช์ START เครื่องจะเล่นคำพูดที่อัดไว้ ออกมาจนหมดข้อความ หรือจนกว่าจะกดสวิทช์ STOP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

MCS-51

8.1 โครงสร้างสถาปัตยกรรม MCS-51

1. สร้างโดยใช้เอชมอส (HMOS) และซีเอชมอส (CHMOS) เทคโนโลยี และทำงานด้วยแหล่งจ่ายไฟขนาด 5 โวล์ท เพียงแหล่งเดียว
2. ซีพียู (CPU: CENTRAL PROCESSING UNIT) ขนาด 8 บิท
3. มีวงจรออสซิลเลเตอร์และวงจรนาฬิกาบนชิพ (CHIP)
4. ชุดแทงค์รีจีสเตอร์ (TANK-REGISTER) มี 4 ชุด แต่ละชุดมีรีจีสเตอร์ 5 ตัว ทำงานเช่นเดียวกับ MCS-48A
5. มีตัวจับเวลาและตัวนับขนาด 16 บิท 2 ชุด และสำหรับเบอร์ 8032/8052 มี 3 ชุด
6. มีพอร์ตไอโอ (I/O PORT) แบบขนานมี 2 ทิศทางจำนวน 4 พอร์ตๆละ 8 บิทรวมเป็น 32 เส้นแต่จะเหลือเพียง 16 เส้น สำหรับเบอร์ 8031 อีก 16 เส้นใช้ในการเข้าถึงทางแอดเดรส(ADDRESS)และข้อมูล
7. พอร์ตอนุกรมสามารถจะโปรแกรมการรับส่งแบบสองทาง (FULL-DUPLEX) ที่ความเร็วสูง
8. หนึ่งวัฏจักรคำสั่งจะใช้เวลาหนึ่งส่วนล้านวินาที (1 uSEC) ด้วยการใช้คริสตอล (CRYSTAL) 12 MHz
9. แอดเดรสข้อมูลภายนอกได้ถึง 64 กิโลไบต์
10. แอดเดรสโปรแกรมภายนอกได้ถึง 64 กิโลไบต์
11. สามารถกำหนดเลขที่อยู่ในข้อมูลขนาดไบต์หรือบิทได้โดยตรง
12. มีซอฟท์แวร์แฟลก (FLAG) สำหรับผู้ใช้ที่จะกำหนดเองได้ถึง 128 ตำแหน่ง
13. โครงสร้างอินเตอร์รัพท์ (INTERRUPT) ทำได้ 5 แหล่งและ 6 แหล่งสำหรับ 8032/8052 พร้อมด้วยการจัดไพรโอตี้ (PRIOTY) ได้ 2 ระดับ
14. ตัวโปรเซสเซอร์ (PROCESSOR) สามารถใช้งานแบบบูลลีน (BOOLEAN) ได้สำหรับใช้งานควบคุม
15. มีคำสั่งคูณและหารฮาร์ดแวร์ทำได้สี่ส่วนล้านวินาที (4 uSEC)
16. ตัวเลขทางคณิตศาสตร์ใช้ได้ทั้งแบบไบนารี (BINARY) และเดซิมอล (DECIMAL)
17. การใช้พื้นที่สแต็ก (STACK) สำหรับโปรแกรมระบบต่างๆทำงานได้กว้างขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เบอร์	หน่วยความจำภายใน		ตัวตั้งเวลา	อินเตอร์
	โปรแกรม	ข้อมูล	ตัวนับเวลา	รัพท์
8052 AH	8K*8 ROM	250*8 RAM	3*16 BIT	6
8051 AH	4K*8 ROM	128*8 RAM	2*16 BIT	5
8051	4K*8 ROM	128*8 RAM	2*16 BIT	5
8032 AH	ไม่มี ROM	256*8 RAM	3*16 BIT	6
8031 AH	ไม่มี ROM	128*8 ROM	2*16 BIT	5
8031	ไม่มี ROM	128*8 RAM	2*16 BIT	5
8751 H	4K*8 EPROM	128*8 RAM	2*16 BIT	5
8751 A=12	4K*8 EPROM	128*8 RAM	2*16 BIT	5

ตารางแสดงรายละเอียดของตระกูล MCS-51

การจัดขาลักษณะภายนอกของ MCS-51

รูปที่ 1 แสดงการจัดขาตามลักษณะภายนอกชิพ MCS-51 ซึ่งมีรายละเอียดดังนี้คือ

ขา Vss (ขา 20) เป็นขาสำหรับต่อลงดิน

ขา Vcc (ขา 40) เป็นขาที่ต่อแรงดันไฟกระแสตรง(DC) และใช้สำหรับ

การโปรแกรม

ขา PORT 0 (P0.0-P0.7)(ขา32-39) เป็นพอร์ตไอโอ8บิทแบบ OPEN DRAIN BIDIRECTIONAL สามารถที่จะรับโหลดทีทีแอล (TTL) ได้ 8 เท่า การเขียนค่า 1 ไปที่พอร์ตนี้จะเป็นการปล่อยลอย (FLOAT) ขาของพอร์ตนี้ทำให้มันทำงานเป็นอินพุท มีสถานะอิมพีแดนซ์สูง ในการใช้พอร์ตนี้บริการแบบไอโอ พอร์ต 0 จะทำงานเป็นมัลติเพล็กซ์ (MULTIPLEX) ด้วยสัญญาณใช้ลักษณะภายในเป็นค่าพูลอัพ(PULL-UP)

ขา PORT 1 (P0.0-P0.7) (ขา1-8) เป็นพอร์ตไอโอ 8 บิท แบบ OPEN DRAIN BIDIRECTIONAL พร้อมด้วยการพูลอัพภายใน ในเบอร์ 8052 ขา P1.0 และ P1.7 จะใช้งานเป็น T2 และ T2EX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา PORT 2 (P2.0-P2.7) (ขา21-28) เป็นพอร์ตไอโอ 8 บิท แบบ OPEN DRAIN BIDIRECTIONAL พร้อมด้วยการพูลอัพภายในพอร์ต 2 ที่ทำหน้าที่เป็นบัฟเฟอร์เอาท์พุทสามารถจ่ายโหลดทีทีแอล ตระกูลแอลเอส (LS:LARGE SCALE) ได้ 4 ตัว พอร์ตจะถูกใช้งานเป็นตัวส่งแอดเดรสไบท์สูงด้วย เมื่อใช้งานร่วมกับหน่วยความจำภายนอกเพื่อให้แอดเดรสได้ถึง16บิท

ขา PORT 3 (P3.0-P3.7) (ขา10-17) เป็นพอร์ตไอโอ 8 บิท แบบพูลอัพภายในนอกจากทำเป็นพอร์ตไอโอ ที่สามารถรับโหลดทีทีแอลตระกูลแอลเอสได้ 4 ตัว แล้วยังใช้งานเป็นพิเศษสำหรับตระกูล MCS-51 ตามรายการข้างล่างนี้ด้วย

ขาพอร์ต	ขา	การทำงานตามฟังก์ชั่นพิเศษ	
P3.0	10	RxD	พอร์ตอนุกรมอินพุท
P3.1	11	TxD	พอร์ตอนุกรมเอาท์พุท
P3.2	12	INT0	อินเตอร์รัพท์ภายนอกตัวที่ 1
P3.3	13	INT1	อินเตอร์รัพท์ภายนอกตัวที่ 2
P3.4	14	T0	สัญญาณกระตุ้นเข้าที่ตัวตั้งเวลาและตัวนับ 0
P3.5	15	T1	สัญญาณกระตุ้นเข้าที่ตัวตั้งเวลาและตัวนับ 1
P3.6	16	WR	สัญญาณควบคุมการเขียน
P3.7	17	RD	สัญญาณควบคุมการอ่าน

การที่ให้ทำงานตามฟังก์ชั่นข้างบน จะต้องโปรแกรมด้วยการส่งตัว 1ไปแลทช์ (LATCH) ไว้ก่อนที่จะให้ทำงานตามฟังก์ชั่นข้างบน

ขา RST (ขา9) ต้องคงสถานะเป็นเวลาอย่างน้อย 2 วัฏจักรระหว่างที่ออสซิลเลเตอร์ทำงานขณะที่ต้องการรีเซท(RESET) ทั้งระบบการทำงานโดยจะต่อรีจีสเตอร์พูลดาวน์ (8.2 Kohm) จากขา RST ไปลงดินและเพื่อใช้ตัวชิพรีเซทดต้โดยอัตโนมัติ ขณะเปิดไฟจะให้คาปาซิเตอร์ประมาณ 10ไมโครฟารัด (uF) ต่อคร่อมระหว่าง RTS กับ Vcc

ขา ALE/PROG (ขา30) เป็นขาแอดเดรสแลทช์อีนาเบิ้ลด้วยการส่งพัลซ์ออกไปใช้สำหรับแลทช์ค่าแอดเดรสไบท์ต่ำจากพอร์ต 0 ในระหว่างการเข้าถึงข้อมูลจากหน่วยความจำภายในALE จะถูกส่งสัญญาณนาฬิกาออกมาในอัตราความเร็วคงที่ที่ 1/6 ของความถี่ออสซิลเลเตอร์ตลอดเวลา แม้ว่าจะไม่มีการเข้าถึงข้อมูลจากภายใน ดังนั้นจึงสามารถที่จะใช้สัญญาณจากขานี้เป็นตัวตั้งเวลาภายนอกหรือเป็นความถี่สัญญาณนาฬิกา แต่อย่างไรก็ตามความถี่สัญญาณนี้จะลดความถี่ช้าลงไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนึ่งเท่าระหว่างการเข้าถึงหน่วยความจำข้อมูลภายนอก ขานี้ยังใช้เป็นสัญญาณพัลซ์เข้าสำหรับการควบคุมโปรแกรม EPROM ภายในชิพ

ขา PSEN (ขา29) PROGRAM STORAGE ENABLE เป็นสโตรปอ่านข้อมูลจากโปรแกรมหน่วยความจำภายนอก เมื่อชิพทำงานด้วยโปรแกรมภายนอกขาPSEN จะสร้างสโตรปต่ำสองครั้งภายในแต่ละวัฏจักรแมชชีน สัญญาณจะมีสถานะสูงหรือพัลซ์ต่ำทั้งสองลูกจะหายไปเมื่อทำการใช้งาน ในช่วงการอ่านหรือเขียนข้อมูลจากหน่วยความจำภายนอกและ PSEN จะไม่มีพัลซ์ส่งออก ถ้าชิพทำงานด้วยโปรแกรมหน่วยความจำภานใน

ขา EA/Vpp(ขา31) มีสถานะสูงตัวซีพียูภายในชิพจะทำงานตามโปรแกรมที่อยู่ในหน่วยคมจำภายใน(โดยที่โปรแกรมจะต้องไม่ยาวกว่า 4 กิโลไบท์สำหรับเบอร์ 8051AH และ 8 กิโลไบท์
สำหรับเบอร์ 8052AH) การทำให้ EA มีสถานะต่ำจะเป็นการควบคุมใช้ซีพียูทำงานตามโปรแกรมหน่วยความจำภายนอก ซึ่งขยายโปรแกรมได้ถึง 64 กิโลไบท์ในตัว 8031AH และ8032AH ขา EA จะต้องต่อลงดินเช่นกัน แม้ว่าจะไม่มี ROM อยู่ภายในก็ตามในตัว 8751H จะใช้ขานี้จ่ายแรงดันขนาด 21โวล์ทขณะทำการเขียนโปรแกรมเข้า EPROM ของชิพ 8751H ตัวนี้

ขา XTAL1 (ขา19) ใช้เป็นค่าอินพุทเข้าสู่ตัวออสซิลเลเตอร์ขยายแบบย้อนกลับ(INVERT)

ขา XTAL2 (ขา18) ใช้เป็นค่าเอาท์พุทจากตัวออสซิลเลเตอร์ขยายแบบย้อนกลับ

ตามตาราง MCS-51 ทั้งสามกลุ่มคือ กลุ่มที่มี ROM,ไม่มี ROM และพวก EPROM จะมีขาใช้งานเหมือนหมดยกเว้นขา 1 จะใช้งานเป็น T2 และขา 2 เป็น T2EXในเบอร์ 8032/8052 ตลอดจนถึงจังหวะเวลา (TIMING DIAGRAM)และคุณสมบัติทางไฟฟ้าทั้งสามจะแตกต่างกันเฉพาะการโปรแกรมบนชิพ MCS-51เท่านั้น ซึ่งแต่ละแบบจัดไปตามความต้องการของผู้ใช้ เช่น 8751 จะมี 4 กิโลไบท์ของ EPROM (ULTRAVIOLET-ERASABLE PROGRAMABLE READ ONLY MEMORY) เหมาะสำหรับพัฒนาเครื่องต้นแบบและการผลิตอุปกรณ์ที่มีจำนวนจำกัด

ส่วนเบอร์ 8031 จะไม่มีหน่วยความจำของโปรแกรมบนชิพ แต่อาจต่อหน่วยความจำโปรแกรมจากภายนอกด้วย ROM,EPROM หรือ PROMได้ถึง 64 กิโลไบท์และสำหรับผู้ออกแบบที่ต้องการแยกส่วนของโปรแกรมออกจากชิพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยศูนย์กลางประมวลผลหรือซีพียู

ซีพียูเป็นมันสมองของไมโครคอมพิวเตอร์ การอ่านโปรแกรมและทำงานตามคำสั่งโปรแกรมจะกระทำที่ส่วนนี้ โดยการใช้ส่วนคณิตศาสตร์และตรรกศาสตร์ (ALU:ARITHMATIC LOGIC UNIT)ทำงานร่วมกัน รีจิสเตอร์ A,B,PSW,SP และ PC ขนาด 16 บิท และตัวชี้ตำแหน่งข้อมูล (DPTR) ส่วนคณิตศาสตร์และตรรกศาสตร์นี้ทำงานในฟังก์ชั่นทางคณิตศาสตร์และตรรกศาสตร์ด้วยตัวแปรต่างๆขนาด 8 บิท ที่มีลักษณะการทำงานทางคณิตศาสตร์เป็นบวก ลบ คูณ หาร รวมทั้งทางตรรกศาสตร์ เช่น และ (AND) หรือ (OR)รวมทั้งการเลื่อนและวนรอบบิท การเคลียร์ค่าและการกลับค่า (COMPLEMENT) เป็นต้น

สิ่งสำคัญในการทำงานทางสถาปัตยกรรมของ MCS-51 คือ ความสามารถในการทำงานสำหรับข้อมูล 8บิท และ 1 บิท การใช้งานในระดับบิทในการเซต เคลียร์ หรือการกลับค่า การเคลื่อนย้ายการทดสอบและใช้ในการคำนวณทางตรรกขนาด 1 บิท ความสามารถเช่นนี้เหมาะสำหรับใช้ในการควบคุมสัญญาณเข้าและออกที่มีการคิดและออกแบบทางตรรกด้วยพีชคณิตบูลลีน(BOOLEAN) ซึ่งโดยปกติทำได้ลำบากสำหรับไมโครโปรเซสเซอร์ทั่วๆไป งานในลักษณะเช่นนี้ได้ชื่ออีกอย่างหนึ่งว่าตัวประมวลผลบูลลีน (BOOLEAN PROCESSOR)

แอกคิวมูเลเตอร์ (ACC:ACCUMULATOR)

แอกคิวมูเลเตอร์นี้มีขนาด 8 บิท เป็นแอกคิวมูเลเตอร์หลัก คำสั่งส่วนใหญ่จะอ้างถึงตัวรีจิสเตอร์นี้ โดยถือค่าภายในเป็นค่าตัวตั้งและค่าผลลัพท์ที่ได้ จากคำสั่งทางคณิตศาสตร์ เช่น บวก ลบ คูณ หาร เข้ามาเก็บไว้ในตัวแอกคิวมูเลเตอร์ยังสามารถใช้เป็นตัวแหล่งกระทำหรือถูกกระทำในการทำงานทางตรรกและใช้เป็นตัวกลางในการถ่ายเทข้อมูลในการติดต่อกับอุปกรณ์ภายนอกพอร์ตไอโอและหน่วยความจำภายนอกรวมถึงการตรวจสอบตารางข้อมูล

รีจิสเตอร์ B

เป็นรีจิสเตอร์พิเศษที่ใช้งานสำหรับคำสั่งของการคูณและหาร โดยใช้เป็นที่เก็บตัวคูณหรือตัวหาร และเป็นที่เก็บผลลัพท์ตัวที่สองของการคูณและเศษหลังการหาร

รีจิสเตอร์ค่าแสดงสถานะโปรแกรม(PSW:PROGRAM STATUS WORD)

รีจิสเตอร์นี้ใช้แสดงผลลัพท์ที่ได้หลังจากการใช้คำสั่งต่างๆ และใช้เป็นตัวเลือกกลุ่มการทำงานของรีจิสเตอร์กลุ่มต่างๆ ซึ่งมีรายละเอียดดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(MSB) (LSB)

CY	AC	F0	RS1	RS0	OV	=	P

สัญญลักษณ์	ตำแหน่ง	วิธีกำหนดการทำงาน
CY	PSW7	แฟลกตัวทด จะเซทเคลียร์ด้วยฮาร์ดแวร์ (HARDWARE) ระหว่างผลลัพท์หลังการใช้คำสั่งทางคณิตศาสตร์และตรรกศาสตร์ที่แน่นอน
AC	PSW6	แฟลกตัวทดของออกซิลลารี่ (AUXILARY) จะเซท/เคลียร์ด้วยฮาร์แวร์ระหว่างการบวกและลบที่แสดงผลจากการทดหรือยืมจากบิทที่ 3 ของแอกคิวมูเลเตอร์
P0	PSW5	แฟลก 0 จะเซท/เคลียร์ด้วยซอฟแวร์ที่ผู้ใช้กำหนดสถานะแฟลกนี้
RS1	PSW4	รีจีสเตอร์ตัวควบคุมการเลือกแบงค์ด้วยค่า RS0 และ RS1
RS0	PSW3	จะเซท/เคลียร์ด้วยซอฟแวร์เพื่อเลือกกลุ่มรีจีสเตอร์ทำงานในแต่ละแบงค์โดยปรับค่าใน RS1 และ RS0 ให้อินาเบิ้ลคลุมลักษณะการเลือกแบงค์ต่อ

RS0	RS1	เลือกแบงค์	ค่าแอดเดรส
0	0	แบงค์ 0	00H-07H
0	1	แบงค์ 1	08H-0FH
1	0	แบงค์ 2	10H-17H
1	1	แบงค์ 3	18H-1FH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 9

ผลการทดลองและสรุปวิจารณ์

9.1 ผลการทดลอง

1.ในส่วนการบันทึกและตอบรับโทรศัพท์ ขณะสภาวะสายว่าง คู่สายโทรศัพท์จะมีแรงดันประมาณ 48 V เมื่อมีผู้เรียกเข้ามา คู่สายโทรศัพท์จะได้รับบสัญญาณกระดิ่งเป็นแรงดันกระแสสลับประมาณ90V_{rms} เป็นเวลาประมาณ 1 วินาที และ หยุดเป็นเวลา 4 วินาที สัญญาณดังกล่าวจะผ่านมายังไอซี34012 โดยสัญญาณจาก R_0 ของไอซีมีค่าแรงดันประมาณ 35 V จากนั้นส่งผ่านตัวต้านทานและZener Diode ซึ่งจะทำให้ทรานซิสเตอร์ทำงาน ไอซี 4013 จะทำให้คู่สายมีแรงดันตกลงเหลือประมาณ5-10V โดยรีเลย์ จากนั้นคู่สายโทรศัพท์ก็สามารถเชื่อมต่อกับส่วนบันทึกและส่วนแจ้งข้อความได้ ขณะเดียวกันไอซี 4013 จะทำให้ไอซี555ตัวแรกที่ควบคุมการแจ้งข้อความทำงาน เป็นผลให้รีเลย์ที่ควบคุมส่วนแจ้งข้อความทำการสวิทช์ไฟเลี้ยง 5V ไปที่ขา D_4 ของไอซีบันทึกเสียงT6668 ทำให้ข้อความที่บันทึกไว้ถูกส่งไปทางคู่สายโทรศัพท์ตามเวลาที่ตั้งเอาไว้ หลังจากนั้นสัญญาณจาก Q ของไอซี 555 ตัวแรก จะทำให้ไอซี 555 ตัวหลังทำงาน เป็นผลให้รีเลย์ที่ควบคุมส่วนบันทึก ทำการเลื่อนส่วนของสวิทช์ RUN/PAUSE ของส่วนบันทึกเสียงแบบดิจิตอล จากเดิมอยู่ที่ตำแหน่ง PAUSE (ไม่สามารถบันทึกได้) มายังตำแหน่ง RUN (สามารถบันทึกข้อความได้) เมื่อครบตามเวลาที่ตั้งเอาไว้ สวิทช์ดังกล่าวจะถูกเลื่อนกลับมาที่ตำแหน่ง PAUSE ตามเดิม ส่วนไอซี 4013 จะได้รับสัญญาณจากไอซี 555 ตัวที่ 2 มาทำการรีเซ็ต ซึ่งจะทำให้รีเลย์ตัวแรกทำการตัดวงจร เป็นผลให้คู่สายโทรศัพท์กลับสู่สภาวะสายว่างอีกครั้ง

2.สำหรับส่วนแจ้งภัย เมื่อ sensor ตรวจจับเหตุผิดปกติตามที่เราตั้งไว้ได้ ก็จะส่งสัญญาณมายังINT1 ของ 8031 จากนั้น 8031 จะทำการเซ็ตบิท P3.0,P3.1 และเคลียร์ P3.1 ตามลำดับ ซึ่งจะทำให้มีการวางและยก HAND SET โดยรีเลย์ ไมโครโปรเซสเซอร์จะทำการตรวจสอบว่ามีสัญญาณให้หมุน(DIAL TONE)เข้ามาหรือไม่ จากเอาต์พุทของNE 555 ซึ่งเป็นไอซีโมโนสเตเบิล ที่ทำงานร่วมกับไอซีเฟสล็อคลูป(Phase Lock Loop)NE 567 ซึ่งเราตั้งความถี่ศูนย์กลางจากค่า R และ C ไว้ที่400 H_z

ถ้ามีสัญญาณให้หมุน หมายเลขโทรศัพท์ที่เก็บใน RAM ภายใน 8031 จะถูกส่งออกทางพอร์ต 1 ไปยังวงจรหมุนหมายเลขโทรศัพท์ ซึ่งเราใช้ไอซีเบอร์ TCM 5087 ทำหน้าที่ผลิตสัญญาณ DTMF (DTMF GENERATOR)เพื่อติดต่อไปยังผู้รับ

แต่ถ้าไม่ได้รับสัญญาณให้หมุน ก็จะทำการวาง-ยก HAND SET จนกว่าจะได้รับสัญญาณให้หมุน

เมื่อทำการหมุนหมายเลขโทรศัพท์แล้ว 8031จะทำการตรวจสภาวะของคู่สายว่า "ว่าง" หรือ "ไม่ว่าง" โดยอาศัยสัญญาณจากเอาต์พุทของไอซี NE555 (ที่ทำงานร่วมกับไอซี NE567)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

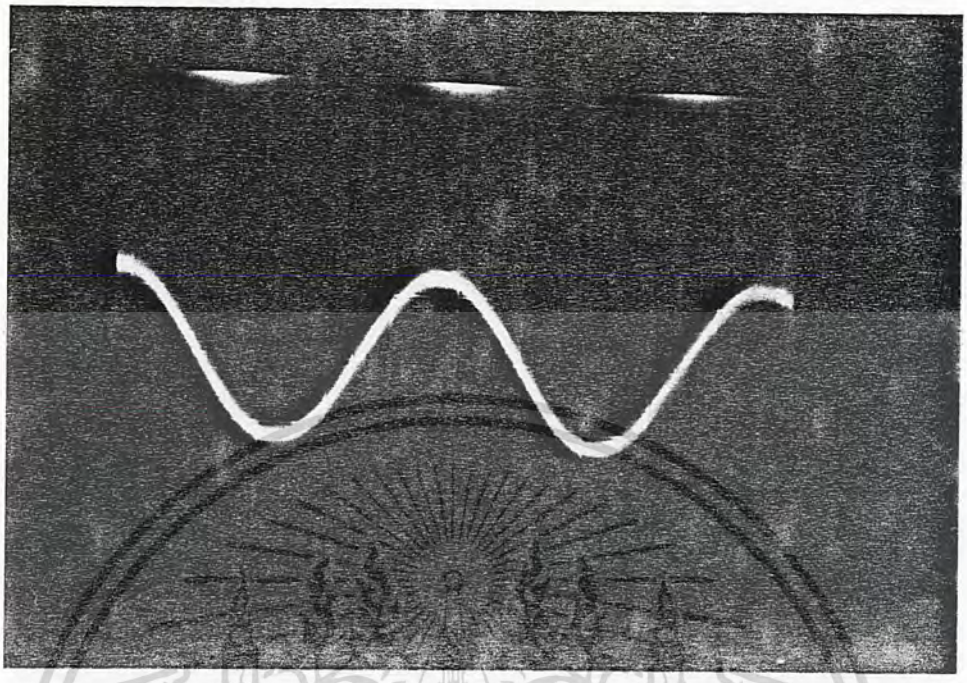
ถ้าคู่สายไม่ว่าง ก็จะทำการวาง HAND SET แล้วหมุนเลขหมายเดิมอีก แต่ถ้าหมุนเลขหมายเดิม 3 ครั้งแล้วคู่สายก็ยังไม่ว่าง 8031จะส่งหมายเลขโทรศัพท์ใหม่ มาให้ DTMF GENERATOR เพื่อทำการหมุนหมายเลขใหม่

เมื่อคู่สายว่าง 8031 จะทำการตรวจสอบสัญญาณ RING BACK จากเอาต์พุทของไอซี NE 555 เช่นกัน ถ้าไม่มีสัญญาณ RING BACK ก็จะทำการหมุนหมายเลขเดิมใหม่ แต่ถ้ามีสัญญาณนี้ก็จะรอเป็นเวลา 15 วินาที ถ้าหากไม่มีผู้รับก็จะเปลี่ยนหมายเลข และทำการโทรใหม่

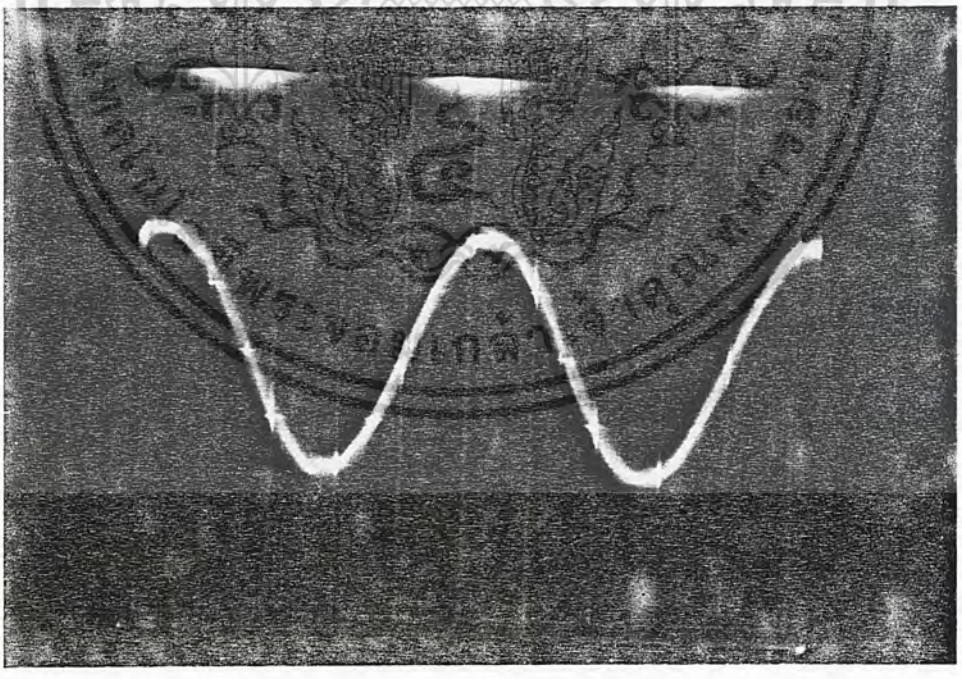
หากมีผู้รับ ส่วนแจ้งข้อความเตือนภัย(ไอซีบันทึกเสียง T6668)ก็จะส่งข้อความไปยังผู้รับ เมื่อจบข้อความ สัญญาณจากEOSของT6668 จะส่งไปยัง 8031 จากนั้น 8031 ก็จะหยุดการติดต่อกับผู้รับ และทำการวาง HAND SET โดยอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ผลการทดลองส่วนบันทึกเสียงแบบ CVSD

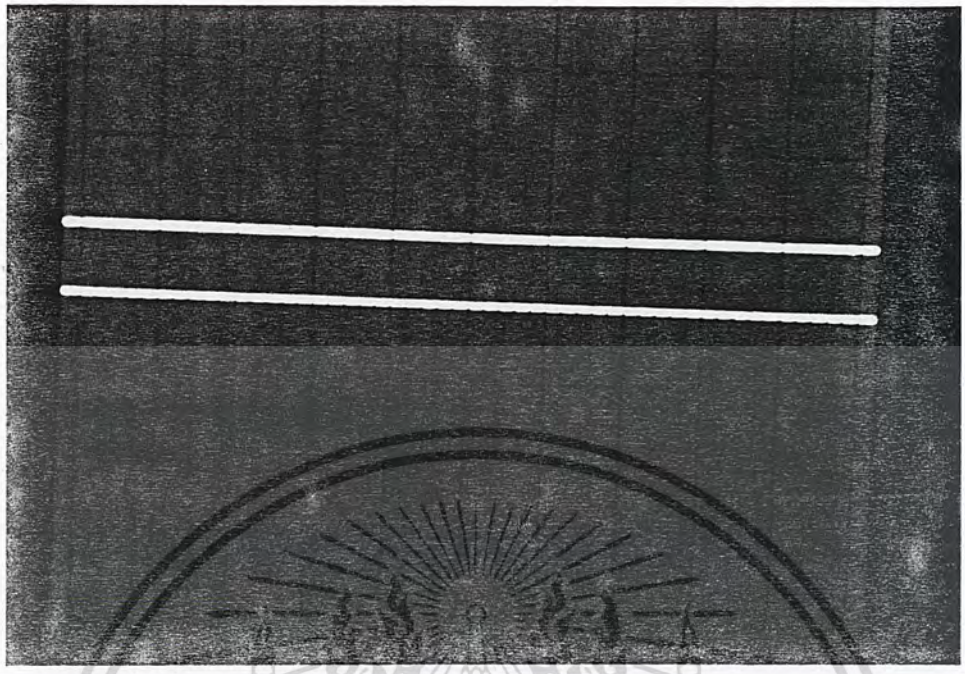


สัญญาณ sine ขนาด 0.05 V_{P-P} ความถี่ 1 kHz ที่ทดลองป้อนทางอินพุท MIC IN

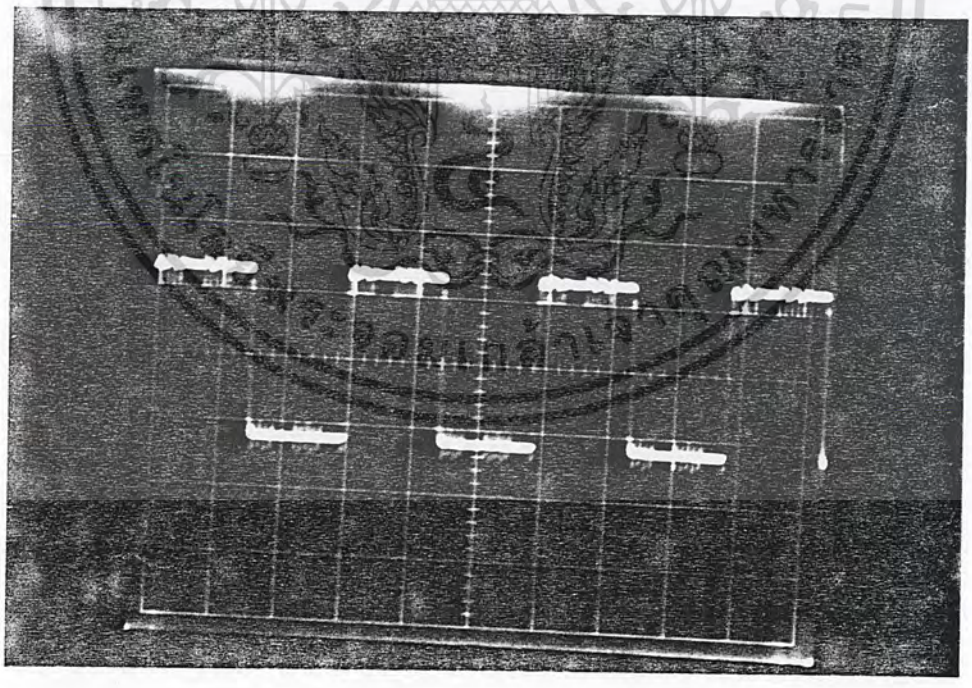


สัญญาณที่ป้อนเข้าไปยังอินพุทของ IC MC3418

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

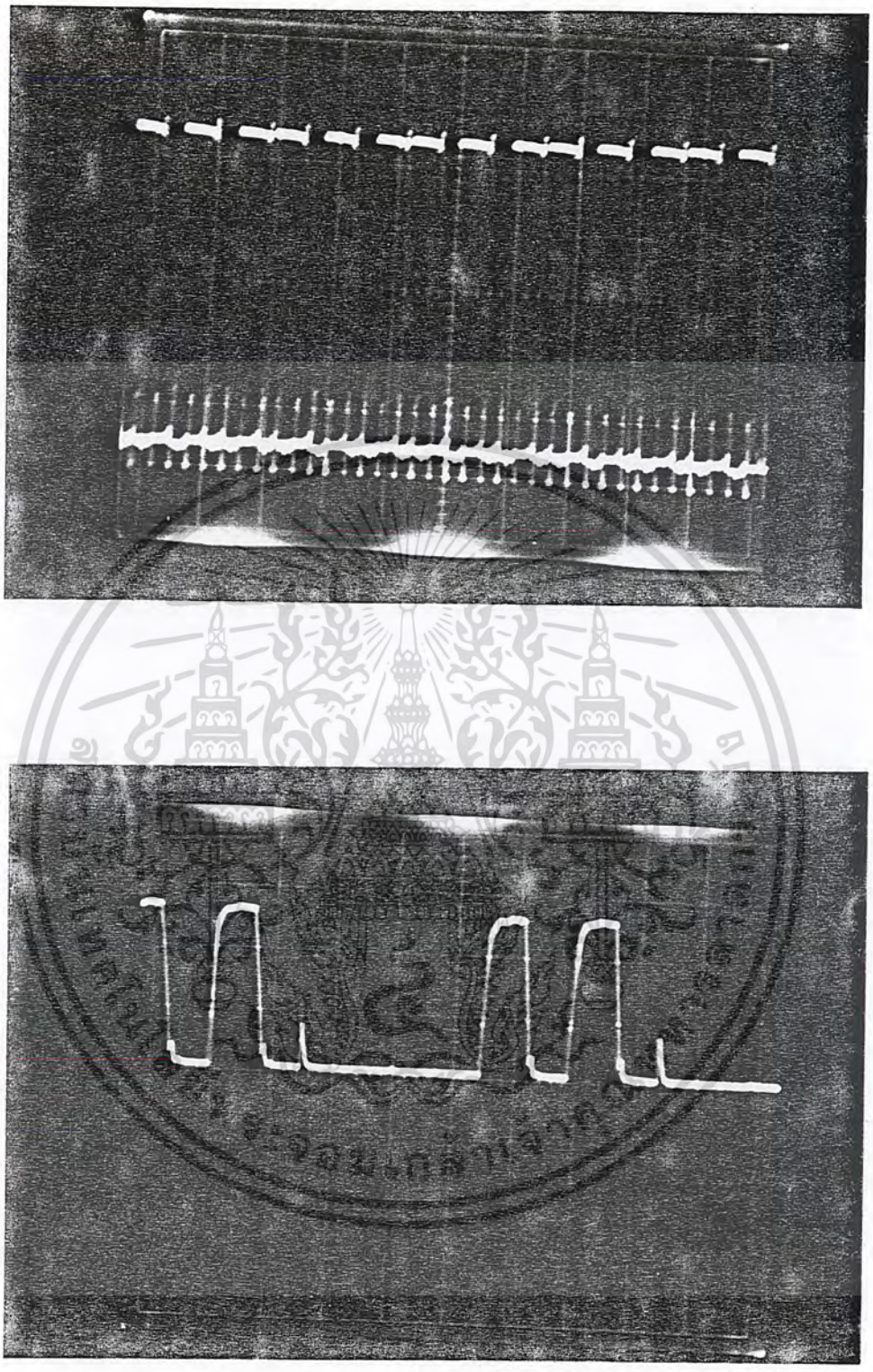


สัญญาณที่ขา enable ของ MC3418 เป็น high แสดงว่า MC3418 ทำงานอยู่



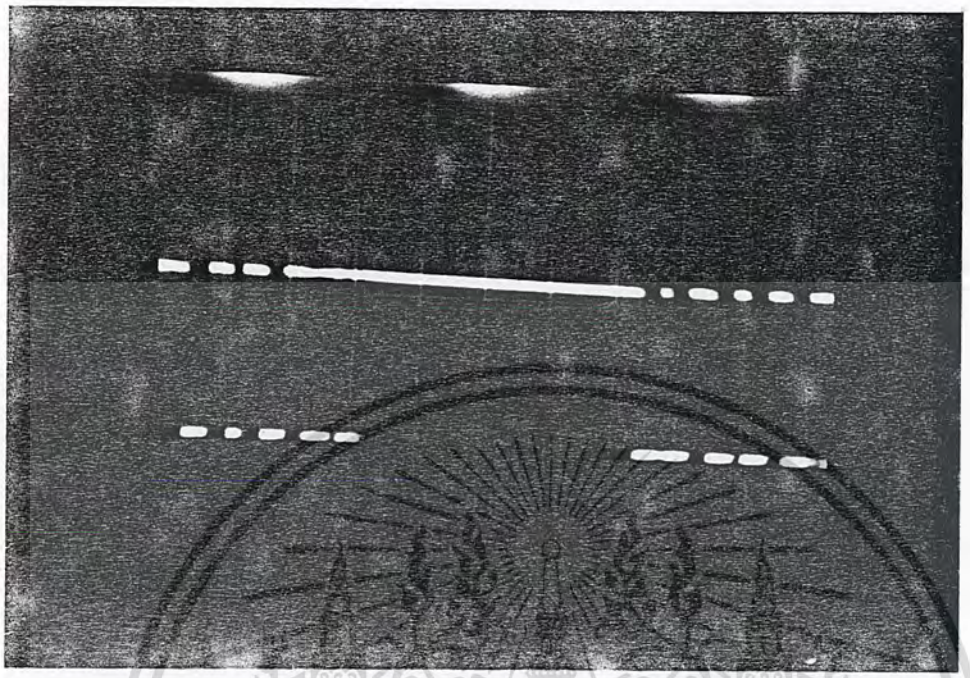
สัญญาณ clock ขนาด 16 kHz ที่ขาของ IC14040 โดยสวิตช์ RUN/PAUSE อยู่ที่ตำแหน่ง RUN ซึ่งแสดงว่าระบบการบันทึกทำงานอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

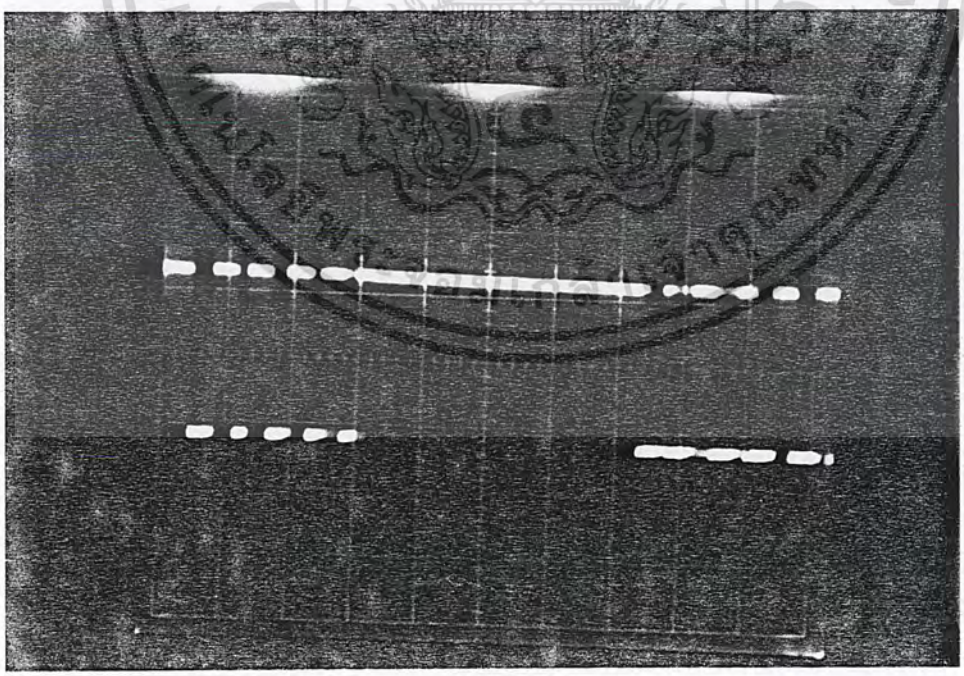


สัญญาณที่ขา $\overline{WR}$ กับ $\overline{RAS}$ ของ RAM ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

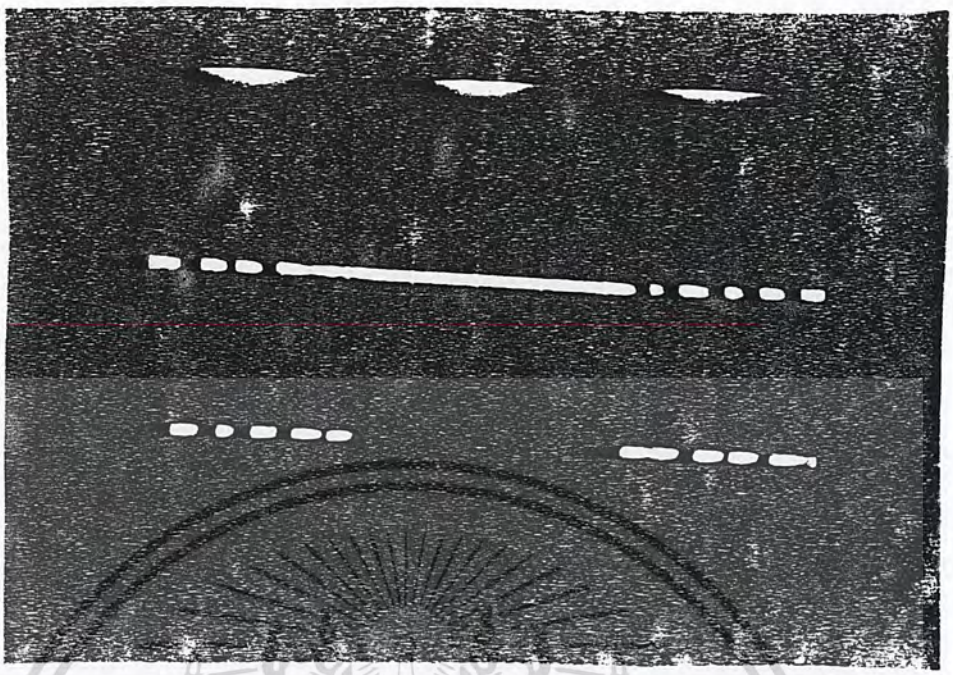


สัญญาณที่ขา data out ของ MC3418 ที่จะนำไปเก็บใน RAM

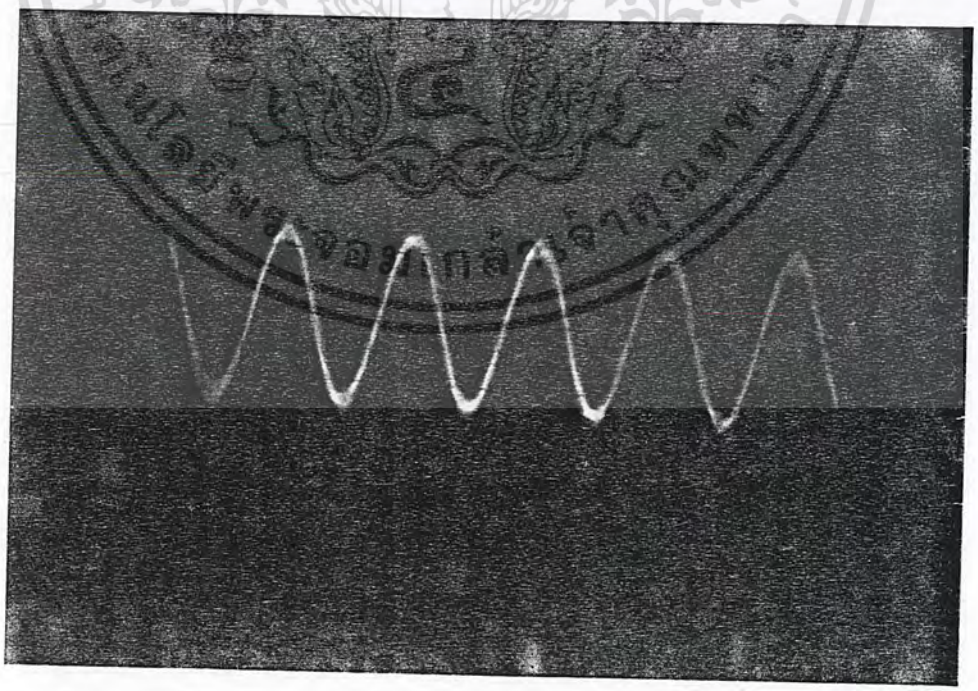


รูปสัญญาณที่ทดลองเปลี่ยนอินพุทเป็น 0.5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



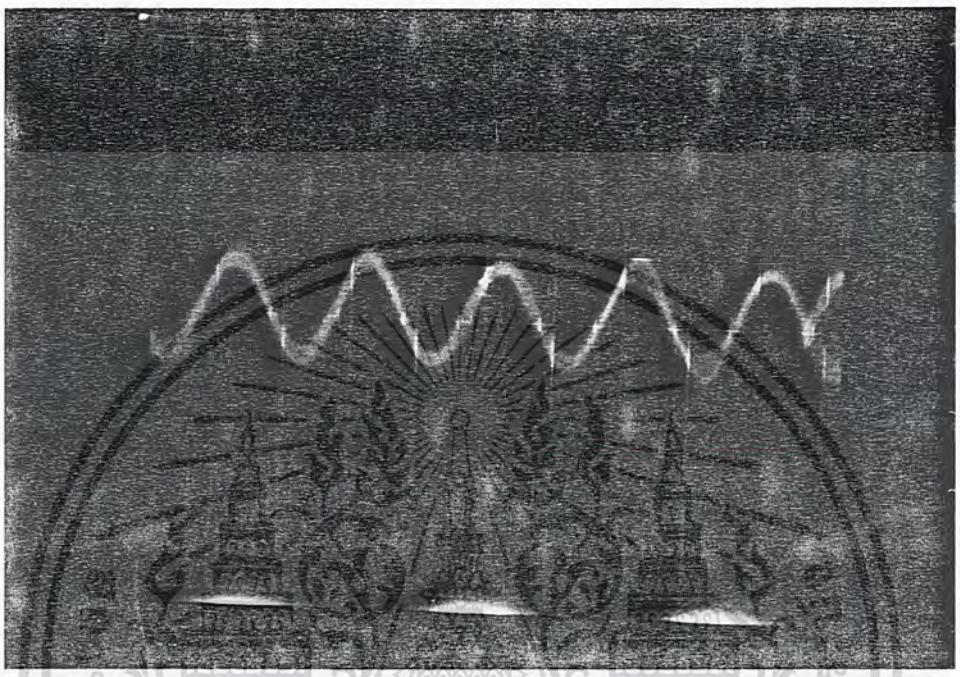
สัญญาณที่ขา data in ของ MC3418 ที่มาจากสัญญาณดิจิตอลที่เก็บใน RAM (ขณะเล่นกลับ)



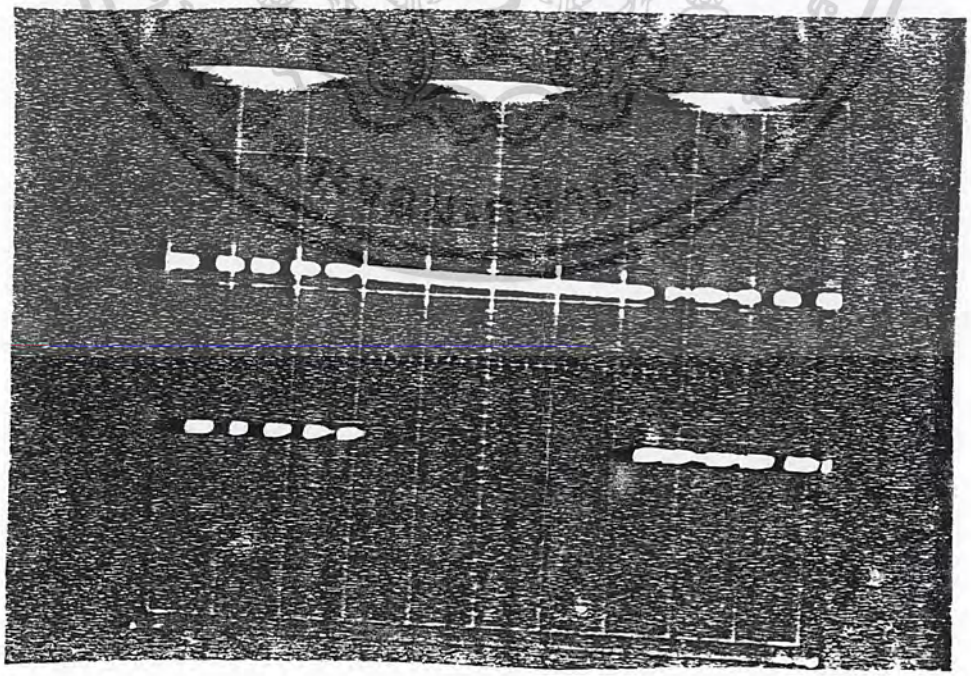
รูปสัญญาณที่ขา out ของ MC3418 ที่เตรียมจะไปยังภาคขยายเพื่อส่งออกทางลำโพง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ผลการทดลองส่วนแจ้งข้อความโดย IC บันทึกเสียง T6668

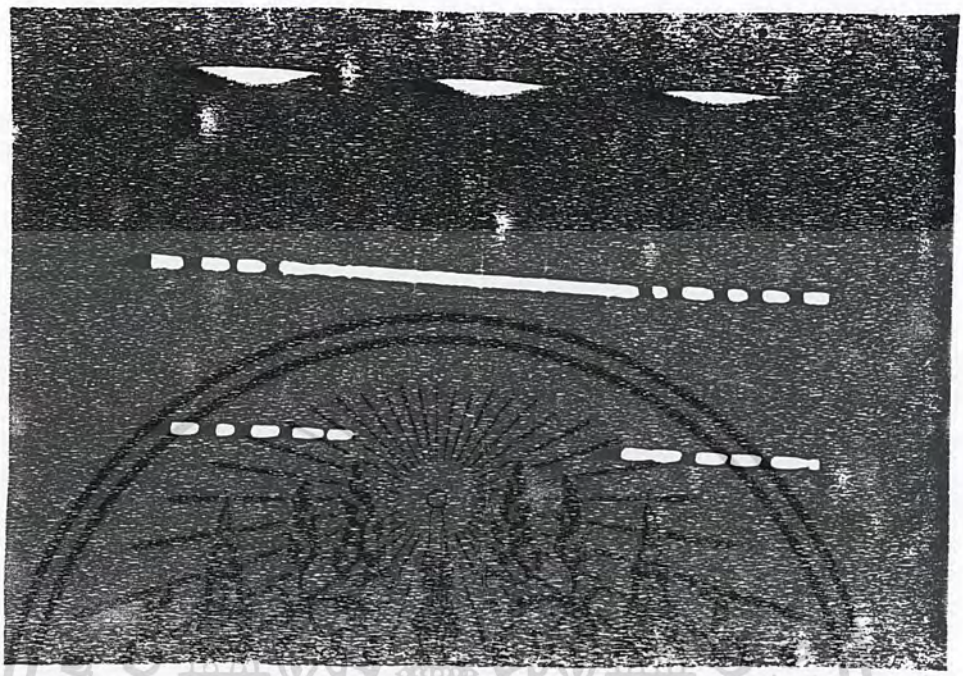


รูปสัญญาณ sine ขนาด 0.1 V ความถี่ 2 kHz ที่ทดลองป้อนเข้า input ของ T6668

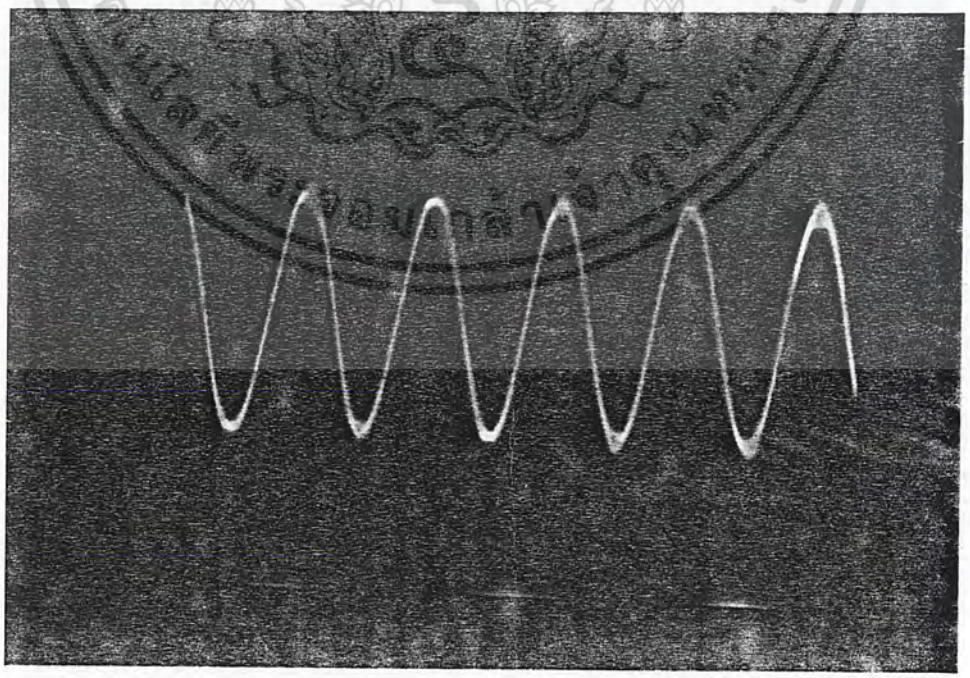


รูปสัญญาณที่ขา data out ที่จะนำไปเก็บใน RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปสัญญาณที่ขา data in ที่นำข้อมูลจาก RAM ที่ได้บันทึกไว้



สัญญาณ OUTPUT จาก T6668 ไปยังภาคขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9.2 <u>บทสรุปและวิจารณ์</u>

1. สำหรับในส่วนวงจรตอบรับโทรศัพท์ ยังมีข้อเสียคือเมื่อผู้เรียกได้รับข้อความแจ้งว่าผู้รับไม่อยู่และให้ฝากข้อความไว้ หากผู้เรียกไม่ประสงค์จะฝากข้อความไว้ และทำการวางวางหูโทรศัพท์ ส่วนที่ควบคุมการบันทึกก็ยังคงทำงานตามเวลาที่ได้ตั้งเอาไว้และมีการบันทึกลงในหน่วยความจำ แม้จะไม่มีข้อความก็ตาม ส่วนข้อดีคือการใช้งานและวงจรนั้นไม่ยุ่งยาก การแก้ไขทำได้ง่าย

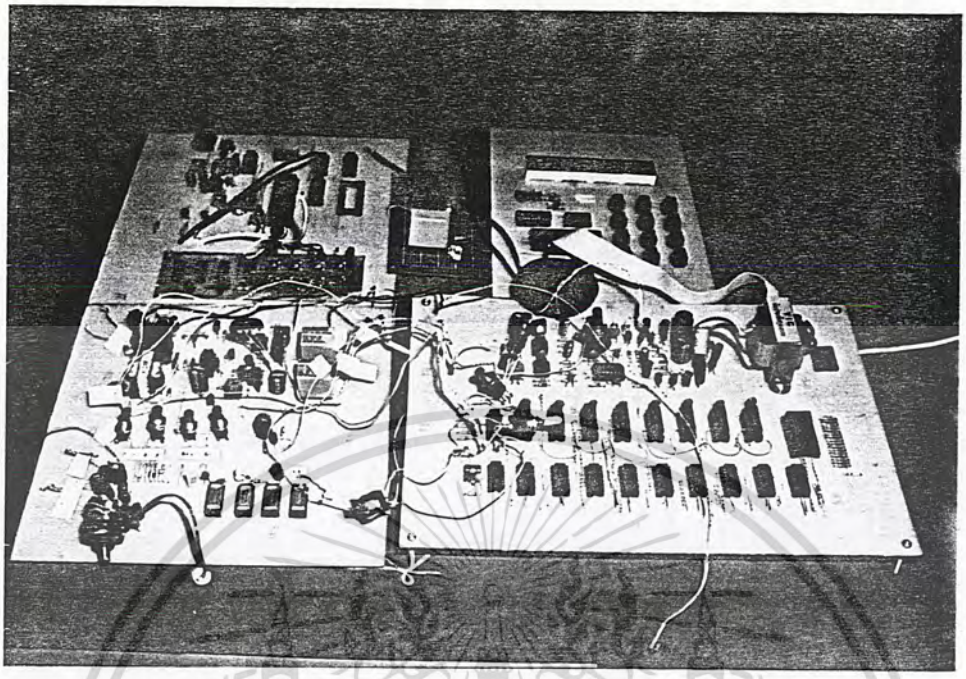
หากต้องการปรับปรุงต่อไป ก็โดยนำเอาไมโครโปรเซสเซอร์มาควบคุมส่วนควบคุมการบันทึกให้หยุดการทำงานเมื่อผู้เรียกไม่ได้ฝากข้อความไว้

2. ในส่วนของวงจรบันทึกเสียง เราสามารถปรับปรุงให้สามารถบันทึกเสียงได้นานขึ้น โดยทำการเพิ่มหน่วยความจำ หรือทำการลดบิทเรตจาก 16 KHz เป็น 8 KHz ซึ่งจะทำให้สามารถบันทึกเสียงได้นานขึ้นเท่าตัว(แต่คุณภาพเสียงจะแย่ลง โดยปกติบิทเรตที่เหมาะสมในการใช้งานโดยทั่วไปคือ 32 KHz)

3. สำหรับข้อความแจ้งภัย ที่ใช้T6668บันทึก จะถูกเก็บไว้ใน DRAM หากว่าปิดเครื่อง ข้อความดังกล่าวจะหายไป หากว่าไม่ต้องการให้ข้อความนั้นหายไป สามารถทำได้โดยใช้แบตเตอรี่(เช่น ถ่านไฟฉาย)ทำการแบ็คอัพไว้

4. เนื่องจากสัญญาณจากสายโทรศัพท์ ได้แก่ สัญญาณให้หมุน(Dial Tone) , สัญญาณไม่ว่าง (Busy Tone) และ สัญญาณเรียกกลับ(Ring Back Tone) เป็นสัญญาณที่มีความถี่ 400 Hz ปรากฏอยู่เท่านั้น ไอซีเฟสล็อคลูปที่ใช้ในวงจรตรวจสัญญาณ จึงใช้เพียงตัวเดียว ตั้งความถี่ศูนย์กลางไว้ที่ 400 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ;       CPU     "8051.TBL"
        ;       HOF     "INT8"
              ;TX
              ORG       0100H
BUFFER:         EQU     20H
PORTA:          EQU     8100H
PORTB:          EQU     8101H
PORTC:          EQU     8102H
PORTCC:         EQU     8103H
KEYSCAN %MACRO
              MOV       DPTR,#PORTC
              MOV       A,R5
              MOVX      @DPTR,A
              MOVX      A,@DPTR
              SWAP      A
              ORL       A,#0F0H
              CPL       A
              %ENDM
                ;CONTROL  8255
                  MOV       DPTR,#PORTCC
                  MOV       A,#8AH
                  MOVX      @DPTR,A
                ;RUN
                  MOV       R0,#BUFFER
L 1         C 1       IA      524k    *a:Øscankey.asm

                  MOV       A,#10H
                  MOV       @R0,A
                  INC       R0
                  MOV       A,#32H
                  MOV       @R0,A
                  INC       R0
                  MOV       A,#54H
                  MOV       @R0,A
                  INC       R0
                  MOV       A,#76H
                  MOV       @R0,A
                  MOV       R7,#00H
RUN:        MOV         R5,#03
SCAN0:        DEC       R5
                  CJNE      R5,#0FFH,SCAN1
                  LJMP      RUN
SCAN1:        LCALL     DISPLA
                  KEYSCAN
                  JZ        SCAN0;NOT PRESS
                ;KEY PRESSED
                  MOV     R6,A;SAVE KEY
                  LCALL     DISPLA
                  KEYSCAN
                  XRL       A,R6
L 48        C 14      IA      524k    *a:Øscankey.asm

                  JNZ       SCAN0 ;NOT SAME
                  MOV       A,R6 ;RETURN VALUES

                ;LOOK UP TABLE
                  MOV       R6,#0FFH
                  SWAP      A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SCAN2:    INC     R6
          RLC     A
          JNC     SCAN2
         ;R6 = 0 - 3
         ;LJMP TEST
            MOV     A,R6
          RL      A
          RL      A
          RL      A
          ORL     A,R5
          MOV     DPTR,#KEYTABL
          MOVC    A,@A+DPTR
          MOV     R6,A
          INC     R7
         ;R6 = VALUE
TEST:     MOV     R3,#4
          MOV     R0,#BUFFER
          CJNE    R6,#0AH,SCAN3
          MOV     A,R7
          MOV     R6,A

SCAN3:    MOV     A,@R0
          SWAP    A
          MOV     @R0,A
L 73      C 1     IA      524k    *a:0scankey.asm

          INC     R0
          DJNZ    R3,SCAN3
          MOV     R3,#3
          MOV     R0,#BUFFER+3
          MOV     R1,#BUFFER+2
SCAN4:    MOV     A,@R0
          XCHD    A,@R1
          MOV     @R0,A
          DEC     R0
          DEC     R1
          DJNZ    R3,SCAN4
          MOV     A,@R0
          MOV     R1,#6
          XCHD    A,@R1
          MOV     @R0,A
          CJNE    R6,#0AH,SCAN5
          JC      END
         ;FINISHED
SCAN5:    LCALL   DISPLA
          KEYSCAN
          JNZ     SCAN5
          LJMP    SCAN0
DISPLA:   MOV     R0,#BUFFER
          MOV     R1,#4
L 120     C 1     IA      524k    *a:0scankey.asm

          MOV     R2,#7
LOOP1:    MOV     A,@R0
          LCALL   SHOW
          MOV     A,@R0
          SWAP    A
          LCALL   SHOW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                INC     R0
                DJNZ    R1,LOOP1
                RET
SHOW:   ;DISPLAY SEGMENT
                ANL     A,#0FH
                MOV     DPTR,#TABLE
                MOVC    A,@A+DPTR
                MOV     DPTR,#PORTA
                MOVX    @DPTR,A  ;SEND SEGMENT
                MOV     A,R2
                MOV     DPTR,#PORTC
                MOVX    @DPTR,A  ;SEND COMMON
DELAY:      MOV     R3,#0FFH
DLY2:       DJNZ    R3,DLY2
                MOV     A,#8
                MOV     DPTR,#PORTC
                MOVX    @DPTR,A  ;OFF COMMON
                DEC     R2
                RET

TABLE:      DB 06H,5BH,4FH,66H,6DH,7DH,07H,7FH,67H,3FH,77H
KEYTABL:    DB 03H,02H,01H,00H,00H,00H,00H,00H
            DB 06H,05H,04H,00H,00H,00H,00H,00H
            DB 09H,08H,07H,00H,00H,00H,00H,00H
L 168       C 14     IA      524k    *a:0scankey.asm

            DB 0BH,00H,0AH,00H,00H,00H,00H,00H
END:        END

<*** End of File ***>
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
          ORG     0000H
BUFFER    EQU     20H
          LJMP    SPLIT

      ; INTERRUPT SERVICE ROUTINE

          ORG     000BH
          PUSH    PSW
          MOV     PSW,#00H
          INC     R2
          POP     PSW
          RETI

          ORG     0030H
SPLIT:  MOV     R2,#00H          ;register for number of interrupt
          MOV     P3,#0C0H
          MOV     P1,#0FH
          MOV     PSW,#00H          ;main use  register bank0
          MOV     R0,#04H


      ;MAIN PROGRAM

MAIN:  LCALL  CHK_N
L 1       C 1       IA       517k      a:Øpisarn.c

          LCALL  HOOK
          LCALL  DIAL
          LCALL  RESPONSE
          CJNE   R3,#01H,MAIN
          LCALL  RING_BACK
          CJNE   R3,#01H,MAIN
          LCALL  OUT_SND
          LCALL  RECEIVER
          CJNE   R3,#01H,MAIN
          LCALL  OUT_SND
          SJMP   $


      ;procedure hook

HOOK:  SETB   P3.5
          LCALL  DELAY                    ;register for tel.number
          SETB   P3.0
          LCALL  DELAY
NHOOK:  CLR    P3.1                  ;off hook
          LCALL  DELAY
          SETB   P3.1                     ;on  hook
          LCALL  DELAY
          SETB   P3.2
L 48      C 2       IA       517k      a:Øpisarn.c

          LCALL  DELAY
          JB     P3.2,OUT_HOOK
          SJMP   NHOOK
OUT_HOOK:  RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ;procedure chk_n

CHK_N:  NOP
CHK_NO:  DEC     R0
            CJNE    R0,#03H,CHK_2
            MOV     DPTR,#BUFFER
            SJMP    NON_ZERO
CHK_2:  CJNE    R0,#02H,CHK_1
            MOV     DPTR,#BUFFER+10H
            SJMP    NON_ZERO
CHK_1:  CJNE    R0,#01H,CHK_0
            MOV     DPTR,#BUFFER+20H
CHK_0:  MOV     R0,#04H
            SJMP    CHK_NO
NON_ZERO:  CLR     P1.0
            RET


        ;procedure dial

DIAL:  MOV     PSW,#01H                ;dial use register bank2
           MOVX    A,@DPTR
           MOV     R0,A
TEL_NO:  INC     DPTR
L 73       C 1      IA      517k     *a:Opisarn.c

           LCALL   DELAY
           MOVX    A,@DPTR
           MOV     P1,A
           LCALL   DELAY
           MOV     P1,#0FH
           DJNZ    R0,TEL_NO
           MOV     PSW,#00H
           RET


        ;procedure response

RESPONSE:  LCALL   RST_TMR
NOL:  SETB    P3.0
           LCALL   DELAY
           JB      P3.2,HAVE
           CJNE    R2,#45H,NOL
           MOV     R3,#00H
           SJMP    NONE
HAVE:  MOV     R3,#01H
NONE:  RET


        ;procedure ring_back
L 120      C 1      IA      517k     *a:Opisarn.c


RING_BACK:  LCALL   RST_TMR
RING:  LCALL   CHK_SIGN
           CJNE    R2,#13H,R_TEST
R_TEST:  JC      RING
           CJNE    R1,#01H,KK
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
KK:  JNC     BUSY
             MOV     R3,#01H
             SJMP    OUT_RING
BUSY:  MOV     R3,#00H
OUT_RING:  RET


         ;procedure receiver

RECEIVER:  CLR     P3.6
REC1:  JNB     P3.3,READY
NO:  JB      P3.3,REC1
READY:  MOV     R3,#01H
             RET


         ;procedure restart timer

RST_TMR:  CLR    IE.1                    ;itteroutine use register bank0
             CLR    IE.7
             MOV    R2,#00H
             CLR    TCON.4
             MOV    TMOD,#01H
             MOV    TH0,#00H
L 145      C 1      IA      516k     *a:0pisarn.c

             MOV    TL0,#00H
             SETB   IE.7
             SETB   IE.1
             SETB   TCON.4
             RET


         ;procedure checksignal
CHK_SIGN:   SETB   P3.2
             JB     P3.2,START1
             MOV    R0,#00H
             SJMP   CHK_RE
START1:   MOV    R0,#01H
CHK_RE:   MOV    R7,#00H
             MOV    R6,#00H
             MOV    R4,#4FH
CHK_RE0 :   MOV    R5,#0FFH
CHK_RE1 :   SETB   P3.2
             JNB    P3.2,NON1
             CJNE   R6,#0FFH,LOOP
             MOV    R6,#00H
             INC    R7
             SJMP   NON1
LOOP   :   INC    R6
L 192      C 1      IA      516k     *a:0pisarn.c

NON1   :   DJNZ   R5,CHK_RE1
             DJNZ   R4,CHK_RE0
             CJNE   R7,#15H,OK1
OK1   :   JNC    OVER
             CJNE   R7,#01H,OK2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
OK2   :  JC     UNDER
         SJMP   NON2
UNDER:   CPL    P3.4
         CLR    C
         SJMP   MUA
OVER  :  SETB   C
         CPL    P3.3
MUA   :  RLC    A
         XRL    A,R0
         RRC    A
         JNC    NON2
         INC    R1
         MOV    A,R0
         RRC    A
         CPL    C
         RLC    A
         MOV    R0,A
NON2  :  NOP
         RET

         ;PROCEDURE    DELAY

DELAY:   MOV    PSW,#10H      ;USE REGISTER BANK2
         MOV    R0,#03H
L 238     C 1     IA     516k     *a:Øpisarn.c

DELAY0:  MOV    R1,#0FFH
DELAY1:  MOV    R2,#0FFH
DELAY2:  NOP
         DJNZ   R2,DELAY2
         DJNZ   R1,DELAY1
         DJNZ   R0,DELAY0
         CLR    PSW.4
         RET
OUT_SND:  CLR   P3.6
         MOV    A,#55H
XX:  RR    A
         MOV    P1,A
         SJMP   XX
         RET

<*** End of File ***>
```

```
L 253     C 1     IA     516k     *a:Øpisarn.c
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4555B
SCL4556B

CMOS
DUAL 2-TO-4 LINE DECODERS

FEATURES

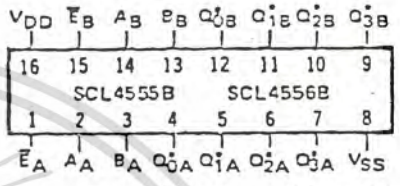
- Buffered Outputs
- Selected Output Active High (SCL4555B) or Active Low (SCL4556B)
- Expandable

DESCRIPTION

The SCL4555B and SCL4556B are constructed with complementary MOS (CMOS) enhancement-mode devices. Each decoder/demultiplexer has two Select inputs (A and B), an active-low Enable input ($\overline{E}$), and four mutually-exclusive outputs (Q0, Q1, Q2, Q3). The SCL4555B has the selected output go to the "high" state, and the SCL4556B has the selected output go to the "low" state. Expanded decoding such as binary-to-hexadecimal (1-of-16), etc., can be achieved by using other SCL4555B or SCL4556B devices.

Applications include code conversion, address decoding, memory selection control, and demultiplexing (using the Enable input as a data input) in digital data transmission systems.

CONNECTION DIAGRAM
(all packages)



*Inverted for SCL4556B

Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

TRUTH TABLE

Inputs			Outputs SCL4555B				Outputs SCL4556B			
Enable	Select									
$\overline{E}$	B	A	Q3	Q2	Q1	Q0	$\overline{Q}3$	$\overline{Q}2$	$\overline{Q}1$	$\overline{Q}0$
0	0	0	0	0	0	1	1	1	1	0
0	0	1	0	0	1	0	1	1	0	1
0	1	0	0	1	0	0	1	0	1	1
0	1	1	1	0	0	0	0	1	1	1
1	X	X	0	0	0	0	1	1	1	1

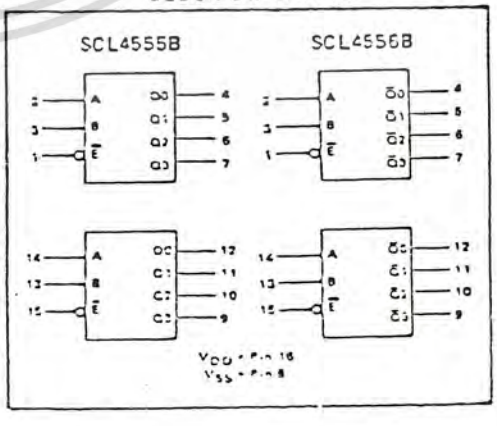
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

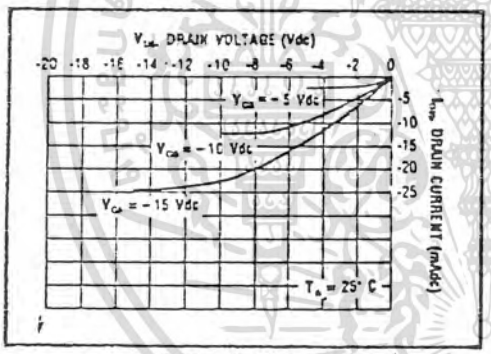
STATIC CHARACTERISTICS[1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[2] Min.	T_{LOW}[2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH}[2] Min.	T_{HIGH}[2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	5	–	0.05	.5	–	150	μAdc
		10	All valid inputs	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

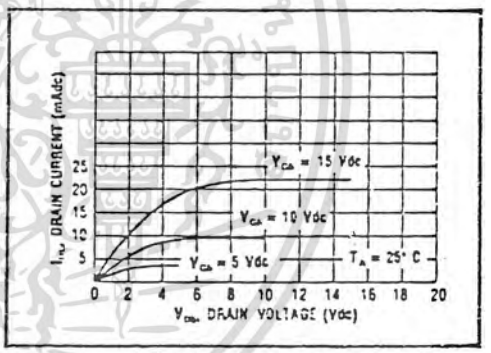
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME						
SCL4555B	t_{PLH}, t_{PHL}	5	–	140	280	ns
		10	–	65	130	
		15	–	45	90	
SCL4556B	t_{PLH}, t_{PHL}	5	–	160	320	ns
		10	–	75	150	
		15	–	50	100	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	130	250	ns
		10	–	65	130	
		15	–	50	100	

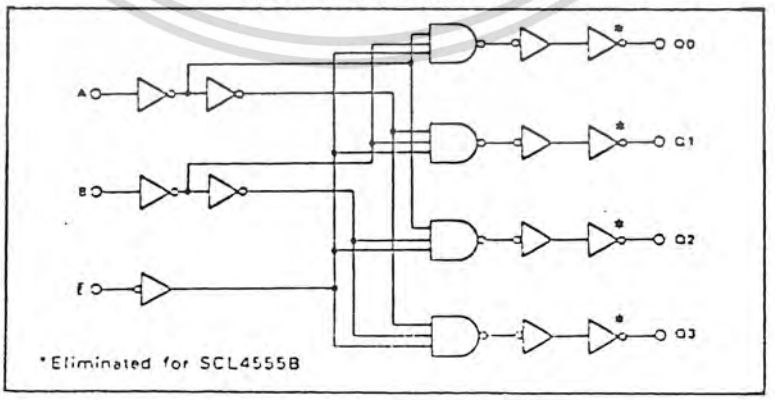


Typical P-Channel
Source Current Characteristics



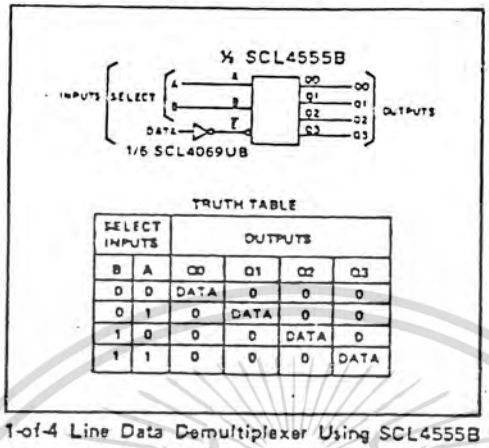
Typical N-Channel
Sink Current Characteristics

LOGIC DIAGRAM (¼ of Dual)



*Eliminated for SCL4555B

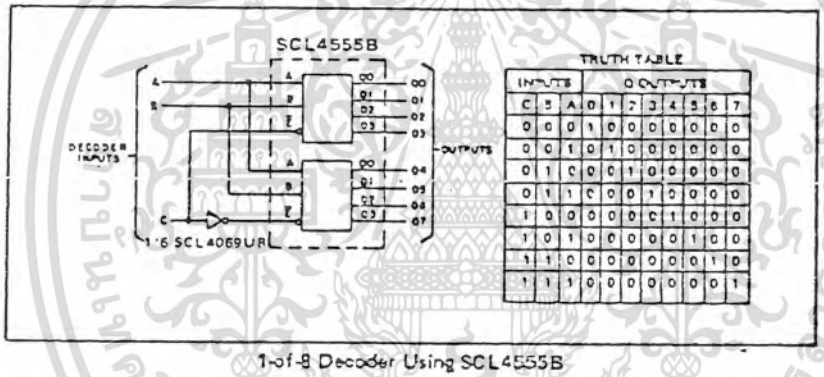
APPLICATIONS INFORMATION



TRUTH TABLE

SELECT INPUTS		OUTPUTS			
B	A	Q0	Q1	Q2	Q3
0	0	DATA	0	0	0
0	1	0	DATA	0	0
1	0	0	0	DATA	0
1	1	0	0	0	DATA

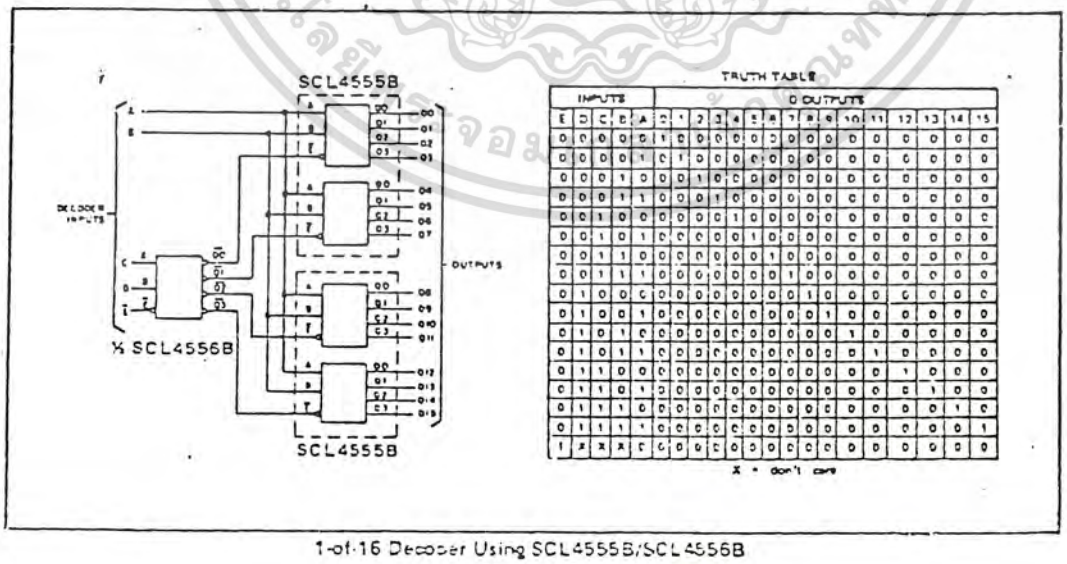
1-of-4 Line Data Demultiplexer Using SCL4555B



TRUTH TABLE

INPUTS			O OUTPUTS							
C	B	A	0	1	2	3	4	5	6	7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

1-of-8 Decoder Using SCL4555B



TRUTH TABLE

INPUTS					O OUTPUTS															
E	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	1	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	1	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
1	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

X = don't care

1-of-16 Decoder Using SCL4555B/SCL4556B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4040AB

CMOS 12-STAGE BINARY COUNTER

FEATURES

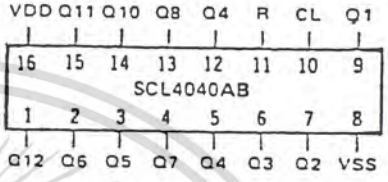
- 12 Fully Static Stages
- All 12 Buffered Outputs Available
- Common Reset Line
- 8MHz Counting Rate @ 10Vdc
- All Inputs Buffered

DESCRIPTION

The SCL4040AB consists of 12-ripple-carry binary counter stages with appropriate input buffers and reset circuitry. The counter is reset to its "all 0's" state by a high level on the Reset input. The counter is advanced one count on the negative-going transition of each input pulse. Isolation from external noise and the effects of loads is provided by output buffering.

Applications include time delay circuits, counter controls, and frequency dividers.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

TRUTH TABLE

Clock	Reset	Output State
⌐	0	No Change
¬	0	Advance to next state
x	1	All Outputs are low

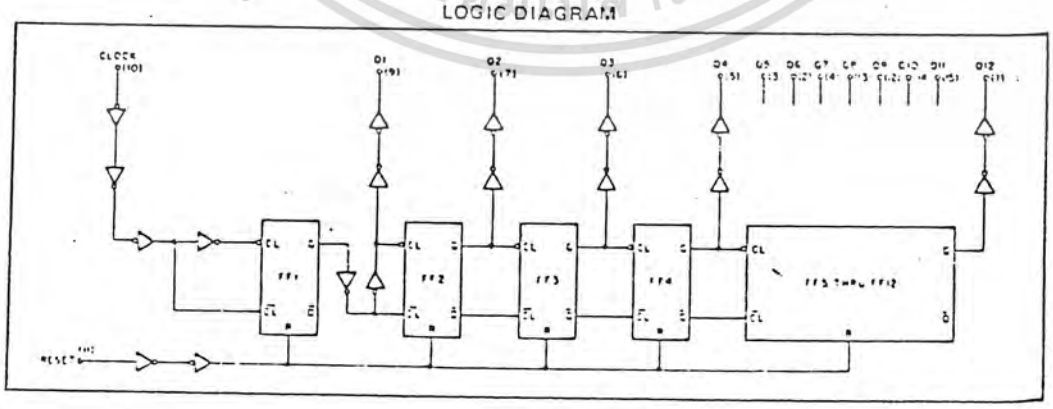
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1]

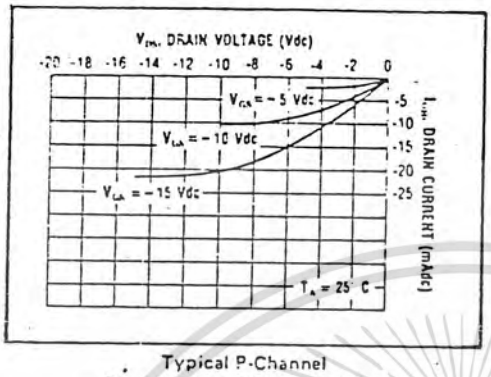
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	15	–	0.2	20	–	600	
OUTPUT HIGH (SOURCE) CURRENT	I_{OH}										
C, D, F, H device		5	$V_{OH}=4.6V$	-0.15	–	-0.12	-0.5	–	-0.08	–	mAdc
		10	$V_{OH}=9.5V$	-0.37	–	-0.3	-1.15	–	-0.21	–	
		15	$V_{OH}=13.5V$	-1.25	–	-1.0	-4.5	–	-0.69	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	$V_{OH}=4.6V$	-0.14	–	-0.12	-0.5	–	-0.10	–	mAdc
		10	$V_{OH}=9.5V$	-0.35	–	-0.3	-1.15	–	-0.25	–	
		15	$V_{OH}=13.5V$	-1.2	–	-1.0	-4.5	–	-0.85	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
OUTPUT LOW (SINK) CURRENT	I_{OL}										
C, D, F, H device		5	$V_{OL}=0.4V$	0.15	–	0.12	0.5	–	0.08	–	mAdc
		10	$V_{OL}=0.5V$	0.37	–	0.3	1.0	–	0.21	–	
		15	$V_{OL}=1.5V$	1.25	–	1.0	5.8	–	0.69	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	$V_{OL}=0.4V$	0.14	–	0.12	0.5	–	0.10	–	mAdc
		10	$V_{OL}=0.5V$	0.35	–	0.3	1.0	–	0.25	–	
		15	$V_{OL}=1.5V$	1.2	–	1.0	5.8	–	0.85	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= +85°C for E device.

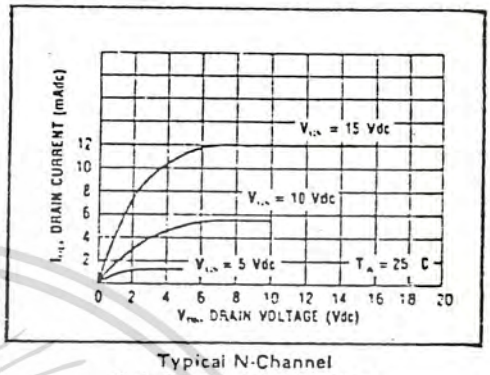
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock to Q1	t_{PLH}, t_{PHL}	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
Q_n to Q_{n+1}	t_{PLH}, t_{PHL}	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	180	360	ns
		10	–	90	180	
		15	–	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	2.0	4.0	–	MHz
		10	4.0	8.0	–	
		15	5.0	10.0	–	
MAXIMUM CLOCK RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	15	–	–	
		15	5	–	–	
RESET OPERATION						
PROPAGATION DELAY TIME	t_{PHL}	5	–	300	600	ns
		10	–	150	300	
		15	–	120	240	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
RESET REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	125	250	
		15	–	100	200	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

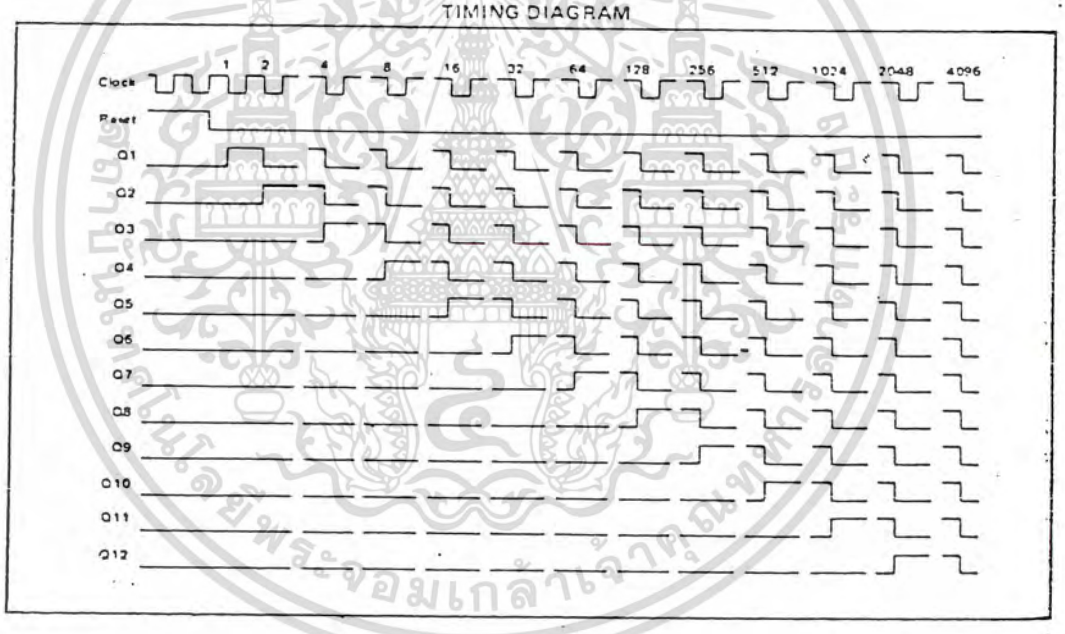


Typical P-Channel
Source Current Characteristics

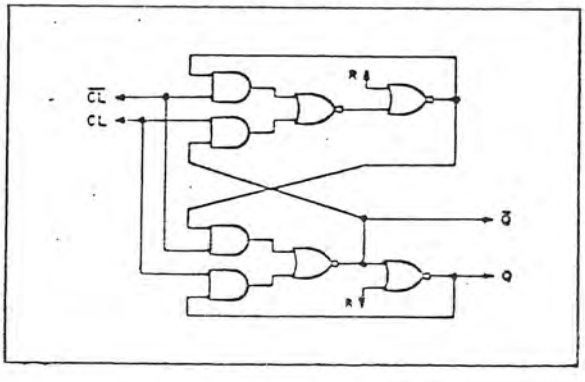


Typical N-Channel
Sink Current Characteristics

TIMING DIAGRAM



TYPICAL COUNTER STAGE



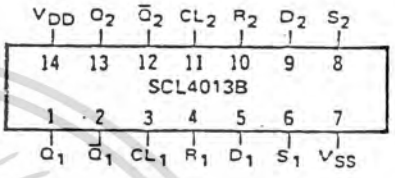
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4013B CMOS DUAL D-TYPE FLIP-FLOP

FEATURES

- Independent Set and Reset Controls
- Static Operation
- Logic Edge-Clocked Design
- 16MHz Toggle Rate @ 10Vdc
- Balanced Output Drive Current Specifications

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip
D	14-pin Ceramic
E	14-pin Epoxy
F	14-pin Flat
H	Chip

DESCRIPTION

The SCL4013B consists of two identical, independent D-type Flip-Flops. These devices can be used for shift register applications, and, by connecting the $\overline{Q}$ output to the Data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the Clock pulse. Setting or resetting is independent of the Clock and is accomplished by a high level on the Set or Reset line, respectively.

TRUTH TABLE

CL	D	R	S	Q	$\overline{Q}$	
▲	0	0	0	0	1	
▲	1	0	0	1	0	
▲	x	0	0	Q	$\overline{Q}$	NO CHANGE
x	x	1	0	0	1	
x	x	0	1	1	0	
x	x	1	1	1	1	

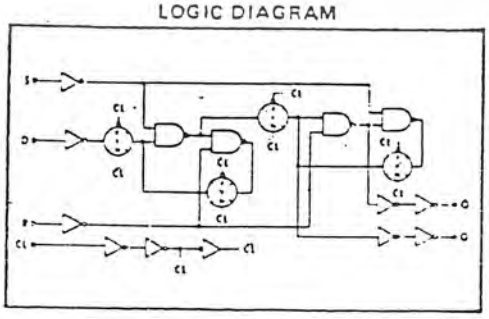
▲ = Level Change
x = Don't Care

RECOMMENDED OPERATING CONDITIONS

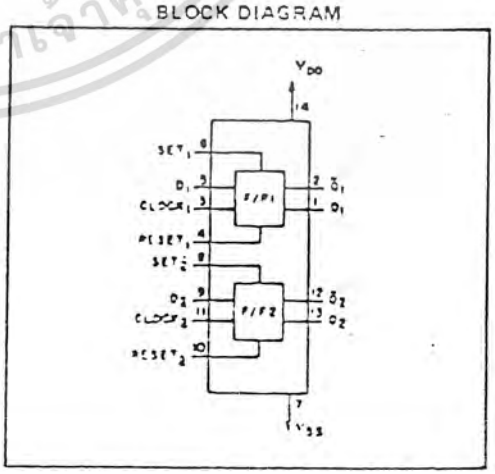
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,2]

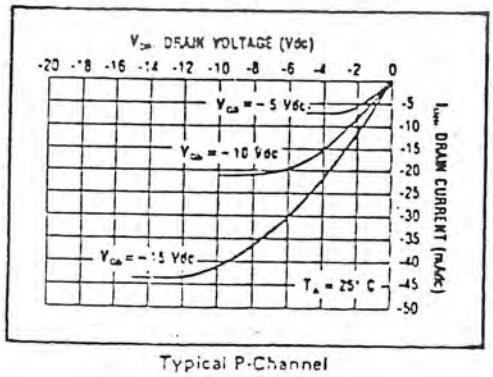
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [3] Min.	T_{LOW} [3] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [3] Min.	T_{HIGH} [3] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	1.0	–	0.005	1.0	–	30	μAdc
		10	All valid input	–	2.0	–	0.01	2.0	–	60	
		15	combinations	–	4.0	–	0.02	4.0	–	120	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[3] T_{LOW} = −55°C for C, D, F, H device.
= −40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[2] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

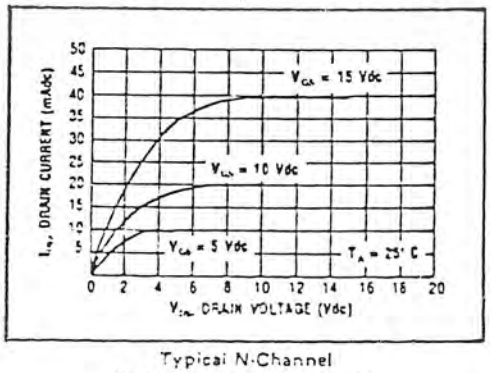
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	125	250	ns
		10	–	65	130	
		15	–	45	90	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	70	140	ns
		10	–	30	60	
		15	–	20	40	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	3.5	7.0	–	MHz
		10	8.0	16	–	
		15	12.5	25	–	
MAXIMUM CLOCK RISE AND FALL TIME[1]	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	10	–	–	
		15	5	–	–	
MINIMUM SETUP TIME	t_{su}	5	–	25	50	ns
		10	–	10	20	
		15	–	7.5	15	
MINIMUM HOLD TIME	t_{hold}	5	–	-25	0	ns
		10	–	-10	0	
		15	–	-5	0	
SET AND RESET OPERATIONS						
PROPAGATION DELAY TIME S to Q, R to $\overline{Q}$	t_{PLH}	5	–	125	250	ns
		10	–	65	130	
		15	–	45	90	
MINIMUM SET AND RESET PULSE WIDTH	PW_S, PW_R	5	–	65	130	ns
		10	–	30	60	
		15	–	25	50	
SET AND RESET REMOVAL TIME	t_{rem}	5	–	0	25	ns
		10	–	0	10	
		15	–	0	5	

[1] When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4017AB

CMOS DECADE COUNTER/DIVIDER

FEATURES

- 10 Decoded Decimal Outputs
- Direct Reset
- Trigger from either Edge of Clock Input
- Carry Output for Cascading Stages
- Fully Static Operation - DC to 5MHz @ 10Vdc

DESCRIPTION

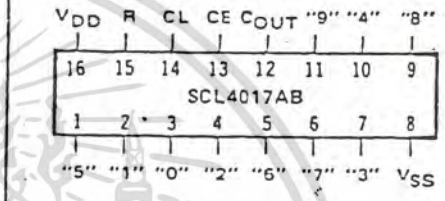
The SCL4017AB consists of a 5-stage Johnson Decade Counter and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out (C_{OUT}) signal completes one cycle every 10 clock input cycles and is used to directly clock the succeeding counter in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

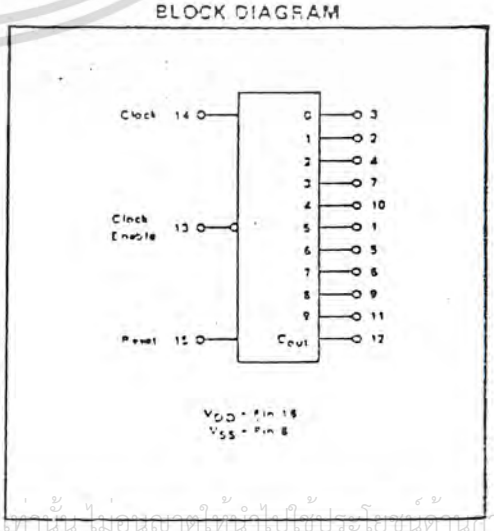
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

FUNCTIONAL TRUTH TABLE
(Positive Logic)

Clock	Clock Enable	Reset	Decode Output = n
0	X	0	n
X	1	0	n
X	X	1	"0"
⌐	0	0	n + 1
X	⌐	0	n
X	0	0	n
1	⌐	0	n + 1

x = Don't Care
If n < 5 Carry = "1", Otherwise = "0"

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	µAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	
OUTPUT HIGH (SOURCE) CURRENT											
C, D, F, H device											
Decoded Outputs	I_{OH}	5	V_{OH} = 4.6V	-0.05	–	-0.04	-0.3	–	-0.028	–	mAdc
		10	V_{OH} = 9.5V	-0.125	–	-0.1	-0.75	–	-0.07	–	
		15	V_{OH} = 13.5V	-0.375	–	-0.3	-2.5	–	-0.21		
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OH} = 4.6V	-0.25	–	-0.2	-0.75	–	-0.14	–	mAdc
		10	V_{OH} = 9.5V	-0.62	–	-0.5	-1.1	–	-0.35	–	
		15	V_{OH} = 13.5V	-1.9	–	-1.5	-3.5	–	-1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device											
Decoded Outputs	I_{OH}	5	V_{OH} = 4.6V	-0.048	–	-0.04	-0.3	–	-0.032	–	mAdc
		10	V_{OH} = 9.5V	-0.12	–	-0.1	-0.75	–	-0.08	–	
		15	V_{OH} = 13.5V	-0.36	–	-0.3	-2.5	–	-0.24	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OH} = 4.6V	-0.24	–	-0.2	-0.75	–	-0.16	–	mAdc
		10	V_{OH} = 9.5V	-0.6	–	-0.5	-1.1	–	-0.4	–	
		15	V_{OH} = 13.5V	-1.8	–	-1.5	-3.5	–	-1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
OUTPUT LOW (SINK) CURRENT											
C, D, F, H device											
Decoded Outputs	I_{OL}	5	V_{OL} = 0.4V	0.05	–	0.04	0.4	–	0.028	–	mAdc
		10	V_{OL} = 0.5V	0.125	–	0.1	1.0	–	0.07	–	
		15	V_{OL} = 1.5V	0.375	–	0.3	3.0	–	0.21	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OL} = 0.4V	0.25	–	0.2	0.75	–	0.14	–	mAdc
		10	V_{OL} = 0.5V	0.62	–	0.5	1.3	–	0.35	–	
		15	V_{OL} = 1.5V	1.9	–	1.5	4.0	–	1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device											
Decoded Outputs	I_{OL}	5	V_{OL} = 0.4V	0.048	–	0.04	0.4	–	0.032	–	mAdc
		10	V_{OL} = 0.5V	0.12	–	0.1	1.0	–	0.08	–	
		15	V_{OL} = 1.5V	0.36	–	0.3	3.0	–	0.24	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OL} = 0.4V	0.24	–	0.2	0.75	–	0.16	–	mAdc
		10	V_{OL} = 0.5V	0.6	–	0.5	1.3	–	0.4	–	
		15	V_{OL} = 1.5V	1.8	–	1.5	4.0	–	1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

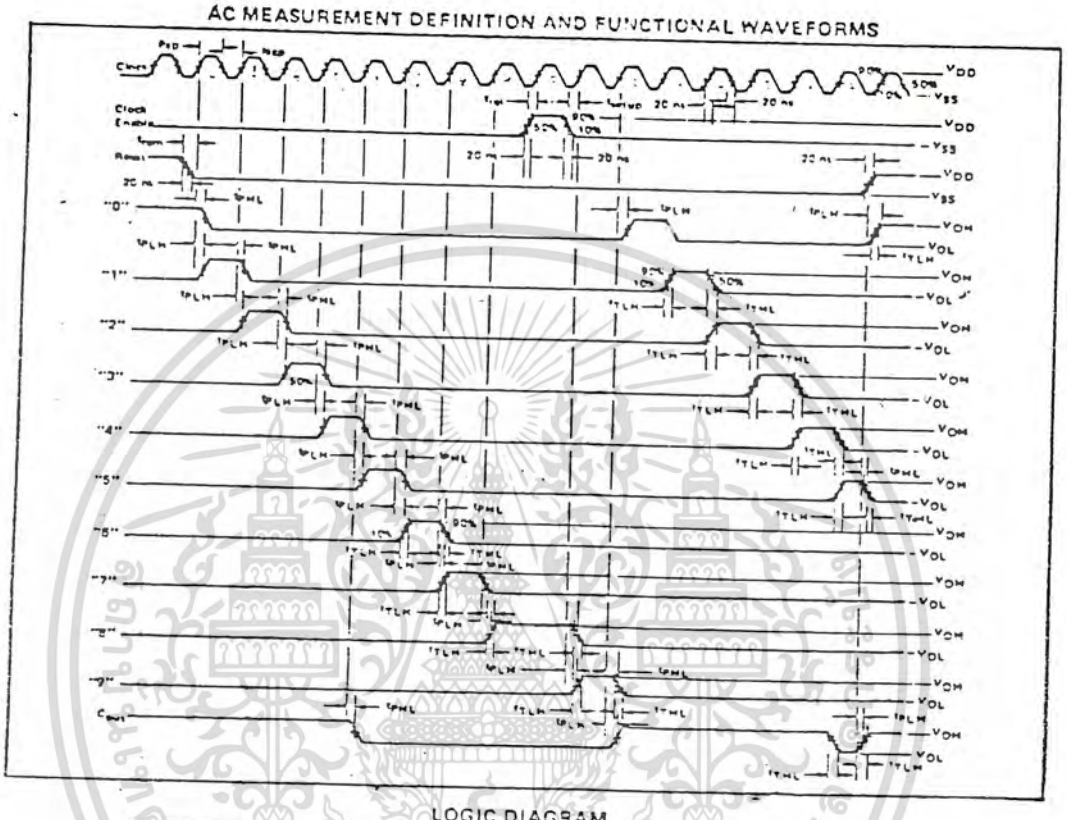
ELECTRICAL CHARACTERISTICS (Continued)

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

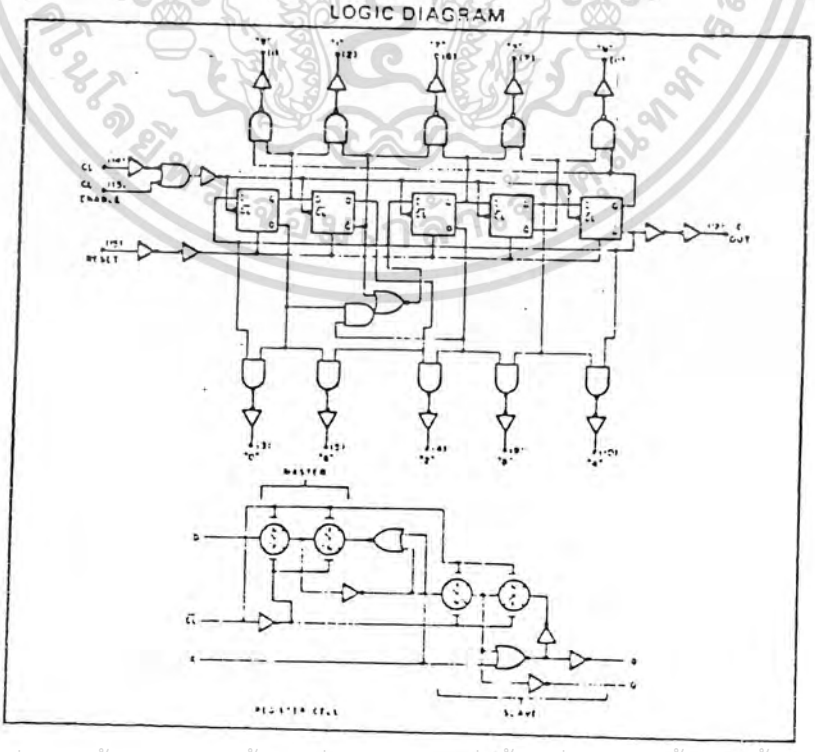
PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	–	600	1200	ns
		10	–	240	480	
		15	–	180	360	
To Carry Output	t_{PLH}, t_{PHL}	5	–	500	1000	ns
		10	–	200	400	
		15	–	150	300	
OUTPUT TRANSITION TIME Decoded Outputs	t_{TLH}, t_{THL}	5	–	250	500	ns
		10	–	125	250	
		15	–	90	180	
Carry Output	t_{TLH}, t_{THL}	5	–	180	360	ns
		10	–	90	180	
		15	–	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.25	2.5	–	MHz
		10	2.5	5.0	–	
		15	3.0	6.0	–	
MAXIMUM CLOCK OR ENABLE RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	15	–	–	
		15	5	–	–	
MINIMUM ENABLE SETUP TIME	t_{setup}	5	–	175	350	ns
		10	–	75	150	
		15	–	55	110	
MINIMUM ENABLE REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	100	200	
		15	–	75	150	
RESET OPERATION						
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	–	500	1000	ns
		10	–	200	400	
		15	–	140	280	
To Carry Output	t_{PLH}	5	–	400	800	ns
		10	–	150	300	
		15	–	110	220	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
RESET REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	100	200	
		15	–	80	160	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



LOGIC DIAGRAM

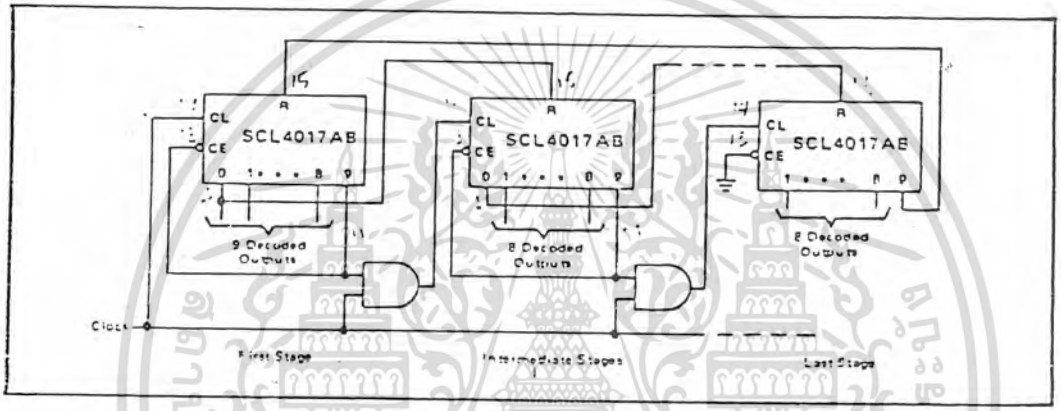


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

COUNTER EXPANSION

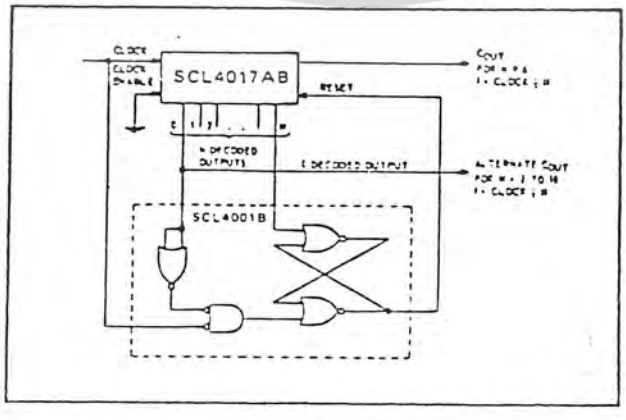
This figure shows a technique for extending the number of decoded output states for the SCL4017AB. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).



DIVIDE-BY-N COUNTER

When the Nth decoded output is reached (Nth clock pulse), the S-R flip-flop (constructed from the SCL4001B) generates a reset pulse which clears the SCL4017AB to its zero count. At this time, if the Nth decoded output is greater than or equal to 6, the C_{OUT} line goes high to clock the next counter section. The "0" decoded output also goes high at this time. Coincidence of the clock "low" and decoded "0" output "high" resets the S-R flip-flop to enable the SCL4017AB.

If the Nth decoded output is less than 6, the C_{OUT} line will not go high, and, therefore, cannot be used. In this case, the "0" decoded output may be used to perform the clock function for the next counter.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRELIMINARY

AUGUST 1988

DATA SHEET 80C51-L / 80C31-L

CMOS SINGLE-CHIP 8 BIT 3V-MICROCONTROLLER

- 80C51-L - CMOS SINGLE-SHIP 8-BIT MICROCONTROLLER with factory mask-programmable ROM
- 80C31-L - CMOS SINGLE-CHIP 8-BIT CONTROL-ORIENTED CPU with RAM and I/0
- 80C51-L/C31-L: 0 TO 6 MHz, VCC = 2.7V TO 6V

FEATURES

- POWER CONTROL MODES
- 128 x 8 BIT RAM
- 32 PROGRAMMABLE I/O LINES
- TWO 16-BIT TIMER/COUNTERS
- 64K PROGRAM MEMORY SPACE
- FULLY STATIC DESIGN
- HIGH PERFORMANCE SAJI VI CMOS PROCESS
- BOOLEAN PROCESSOR
- 5 INTERRUPT SOURCES
- PROGRAMMABLE SERIAL PORT
- 64K DATA MEMORY SPACE
- TEMPERATURE RANGE: 0 TO 70°C

DESCRIPTION

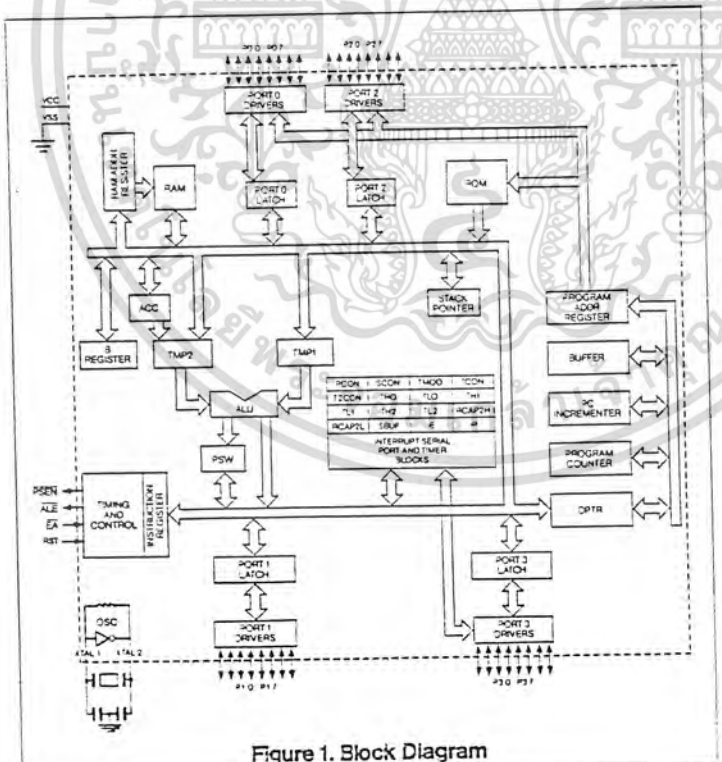


Figure 1. Block Diagram

MHS's 80C51 and 80C31 are high performance CMOS versions of the 8051/8031 NMOS single chip 8 bit μC and is manufactured using a self-aligned silicon gate CMOS process (SAJI VI).

The fully static design of the MHS 80C51/80C31 allows to reduce system power consumption by bringing the clock frequency down to any value, even DC, without loss of data.

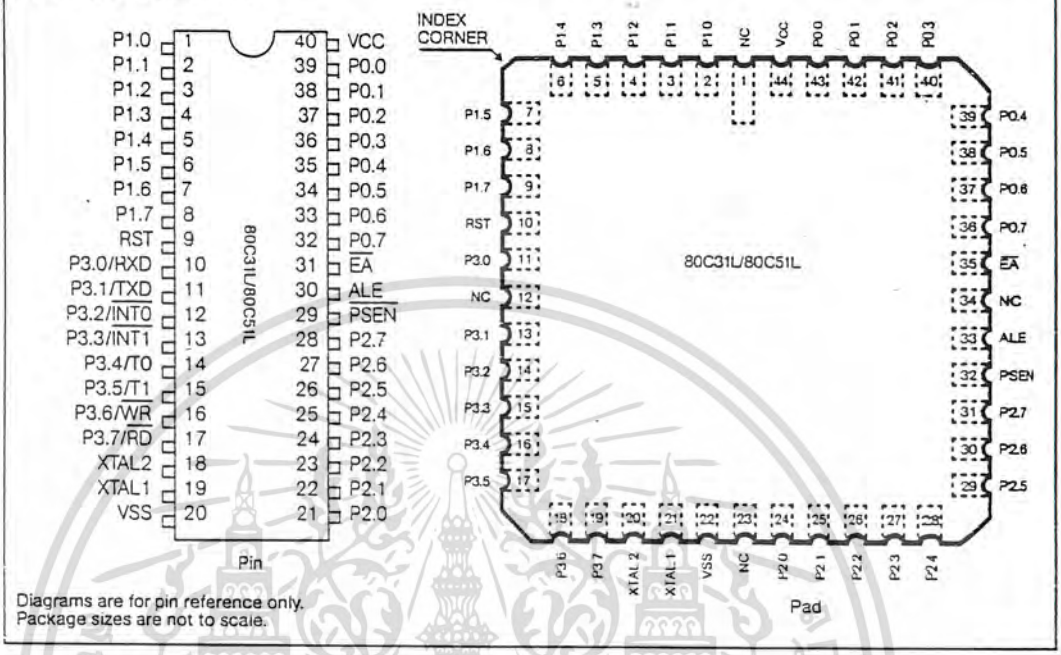
The 80C51 retains all the features of the 8051: 4K bytes of ROM; 128 bytes of RAM; 32 I/O lines; two 16 bit timers; a 5-source 2-level interrupt structure; a full duplex serial port; and on-chip oscillator and clock circuits.

In addition, the 80C51 has two software-selectable modes of reduced activity for further reduction in power consumption. In the Idle Mode the CPU is frozen while the RAM, the timers, the serial port, and the interrupt system continue to function. In the Power Down Mode the RAM is saved and all other functions are inoperative.

The 80C31 is identical to the 80C51 except that it has no on-chip ROM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2. Configurations



Diagrams are for pin reference only.
Package sizes are not to scale.

IDLE AND POWER DOWN OPERATION

Figure 3 shows the internal Idle and Power Down clock configuration. As illustrated, Power Down operation stops the oscillator. Idle mode operation allows the interrupt, serial port, and timer blocks to continue to function while the clock to the CPU is gated off. These special modes are activated by software via the Special Function Register, its hardware address is 87H. PCON is not bit addressable.

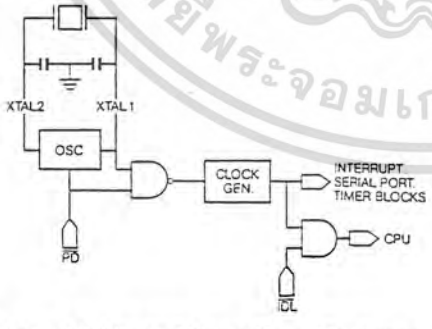


Figure 3. Idle and Power Down Hardware

PCON: Power Control Register

(MSB) (LSB)

SMOD	–	–	–	GF1	GF0	PD	IDL

Symbol	Position	Name and Function
SMOD	PCON.7	Double Baud rate bit. When set to a 1, the baud rate is doubled when the serial port is being used in either modes 1, 2 or 3.
–	PCON.6	(Reserved)
–	PCON.5	(Reserved)
–	PCON.4	(Reserved)
GF1	PCON.3	General-purpose flag bit.
GF0	PCON.2	General-purpose flag bit.
PD	PCON.1	Power Down bit. Setting this bit activates power down operation.
IDL	PCON.0	Ide mode bit.Setting this bit activates idle mode operation.

If 1's are written to PD and IDL at the same time. PD takes precedence. The reset value of PCON is (OXXX0000).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Status of the external pins during Idle and Power Down modes

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Port Data	Port Data	Port Data	Port Data
Idle	External	1	1	Floating	Port Data	Address	Port Data
Power Down	Internal	0	0	Port Data	Port Data	Port Data	Port Data
Power Down	External	0	0	Floating	Port Data	Port Data	Port Data

IDLE MODE

The instruction that sets PCON.0 is the last instruction executed before the Idle mode is activated. Once in the Idle mode the CPU status is preserved in its entirety: the Stack Pointer, Program Counter, Program Status Word, Accumulator, RAM, and all other registers maintain their data during Idle. *Table 1* describes the status of the external pins during Idle mode.

There are two ways to terminate the Idle mode. Activation of any enabled interrupt will cause PCON.0 to be cleared by hardware, terminating Idle mode. The interrupt is serviced, and following RETI, the next instruction to be executed will be the one following theinstruction that wrote a 1 to PCON.0.

The flag bits GF0 and GF1 may be used to determine whether the interrupt was received during normal execution or during the Idle mode. For example, the instruction that writes to PCON.0 can also set or clear one or both flag bits. When Idle mode is terminated by an enabled interrupt, the service routine can examine the status of the flag bits.

The second way of terminating the Idle mode is with a hardware reset. Since the oscillator is still running, the hardware reset needs to be active for only 2 machine cycles (24 oscillator periods) to complete the reset operation.

POWER DOWN MODE

The instruction that sets PCON.1 is the last executed prior to entering power down. Once in power down, the oscillator is stopped. The contents of the onchip RAM and the Special Function Register is saved during power down mode. A hardware reset is the only way of exiting the power down mode. The hardware reset initiates the Special Function Register *(see Table 1)*.

In the Power Down mode, V_{CC} may be lowered to minimize circuit power consumption. Care must be taken to ensure the voltage is not reduced until the power down mode is entered, and that the voltage is restored before the hardware reset is applied which frees the oscillator. Reset should not be released until the oscillator has restarted and stabilized.

Table 1 describes the status of the external pins while in the power down mode. It should be noted that if the power down mode is activated while in external program memory, the port data that is held in the Special Function Register P2 is restored to Port 2. If the data is a 1, the port pin is held high during the power down mode by the strong pullup, T1, shown in *Figure 4*.

STOP CLOCK MODE

Due to static design, the MHS 80C31/C51 clock speed can be reduced until 0 MHz without any data loss in memory or registers. This mode allows step by step utilization, and permits to reduce system power consumption by bringing the clock frequency down to any value. At 0 MHz, the power consumption is the same as in the Power Down Mode.

80C51 I/O PORTS

The I/O port drive of the 80C51 is similar to the 8051. The I/O buffers for Ports 1, 2, and 3 are implemented as shown in *figure 4*.

When the port latch contains a 0, all pFETS in *figure 4* are off while the nFET is turned on. When the port latch makes a 0-to-1 transition, the nFET turns off. The strong pullup pFET, T1, turns on for two oscillator periods, pulling the output high very rapidly. As the output line is drawn high, pFET T3 turns on through the inverter to supply the I_{OH} source current. This inverter and T3 form a latch which holds the 1 and is supported by T2. When Port 2 is used as an address port, for access to external program of data memory, any address bit that contains a 1 will have his strong pullup turned on for the entire duration of the external memory access.

When an I/O pin on Ports 1, 2, or 3 is used as an input, the user should be aware that the external circuit must sink current during the logical 1-to-0 transition. The maximum sink current is specified as I_{TL} under the D.C. Specifications. When the input goes below approximately 2V, T3 turns off to save ICC current. Note, when returning to a logical 1, T2 is the only internal pullup that is on. This will result in a slow rise time if the user's circuit does not force the input line high.

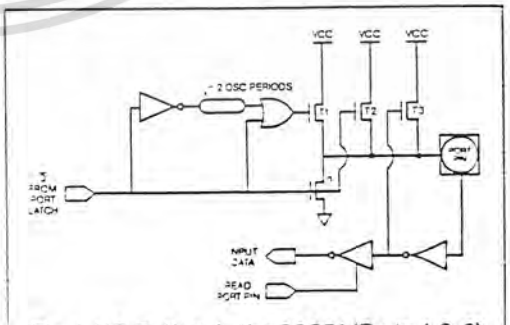


Fig. 4. I/O Buffers in the 80C51 (Ports 1, 2, 3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

80C51 PIN DESCRIPTIONS

V_{SS}
Circuit ground potential

V_{CC}
Supply voltage during normal, Idle, and Power Down operation.

Port 0
Port 0 is an 8-bit open drain bi-directional I/O port. Port 0 pins that have 1's written to them float, and in that state can be used as high-impedance inputs.

Port 0 is also the multiplexed low-order address and data bus during accesses to external Program and Data Memory. In this application it uses strong internal pullups when emitting 1's. Port 0 also outputs the code bytes during program verification in the 80C51. External pullups are required during program verification. Port 0 can sink eight LS TTL inputs.

Port 1
Port 1 is an 8-bit bi-directional I/O port with internal pullups. Port 1 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (IIL, on the data sheet) because of the internal pullups.

Port 1 also receives the low-order address bytes during program verification. in the 80C51. Port 1 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

Port 2
Port 2 is an 8-bit bi-directional I/O port with internal pullups. Port 2 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (IIL, on the data sheet) because of the internal pullups. Port 2 emits the high-order address byte during fetches from external Program Memory and during accesses to external Data Memory that use 16-bit addresses (MOVX @ DPTR). In this application, it uses strong internal pullups when emitting 1's. During accesses to external Data Memory that uses 8-bit addresses (MOVX @ Ri), Port 2 emits the contents of the P2 Special Function Register.

It also receives the high-order address bits and control signals during progam verification in the 80C51. Port 2 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

Port 3
Port 3 is an 8-bit bi-directional I/O port with internal pullups. Port 3 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (IIL, on the data sheet) because of the pullups. It also serves the functions of various special features of the MCS-51 Family, as listed below.

Port Pin	Alternate Function
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (Timer 0 external input)
P3.5	T1 (Timer 1 external input)
P3.6	$\overline{WR}$ (external Data Memory write strobe)
P3.7	$\overline{RD}$ (external Data Memory read strobe)

Port 3 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

RST
A high level on this for two machine cycles while the oscillator is running resets the device. An internal pull-down resistor permits Power-On reset using only a capacitor connected to V_{CC}.

ALE
Address Latch Enable output for latching the low byte of the address during accesses to external memory. ALE is activated as though for this purpose at a constant rate of 1/6 the oscillator frequency except during an external data memory access at which time one ALE pulse is skipped. ALE can sink/source 8 LS TTL inputs. It can drive CMOS inputs without an external pullup.

$\overline{PSEN}$
Program Store Enable output is the read strobe to external Program Memory. PSEN is activated twice each machine cycle during fetches from external Program Memory. (However, when executing out of external Program Memory, two activations of PSEN are skipped during each access to external Data Memory). PSEN is not activated during fetches from internal Program Memory. PSEN can sink/source 8 LS TTL inputs. It can drive CMOS inputs without an external pullup.

$\overline{EA}$
When EA is held high, the CPU executes out of internal Program Memory (unless the Program Counter exceeds OFFFH). When EA is held low, the CPU executes only out of external Program Memory. EA must not be floated.

XTAL1
Input to the inverting amplifier that forms the oscillator. Receives the external oscillator signal when an external oscillator is used.

XTAL2
Output of the inverting amplifier that forms the oscillator, and input to the internal clock generator. This pin should be floated when an external oscillator is used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output respectively, of an inverting amplifier which is configured for use as an on-chip oscillator, as shown in figure 5. Either a quartz crystal or ceramic resonator may be used.
To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left unconnected as shown in *figure 6*. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but munimum and maximum high and low times specified on the Data Sheet must be observed.

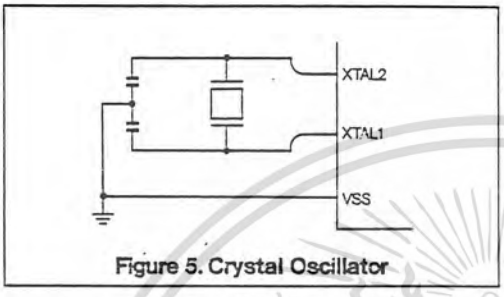


Figure 5. Crystal Oscillator

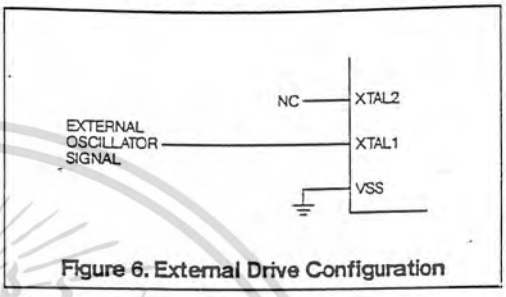


Figure 6. External Drive Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias:
- Commercial ..... 0°C to 70°C
- Industrial ..... −40°C to 85°C

Storage Temperature ..... −65°C to +150°C
Voltage on V_{CC} to V_{SS} ..... −0.5V to +7V
Voltage on Any Pin to V SS..... −0.5V to V_{CC} + 0.5V
Power Dissipation 1W*

*This value is based on the maximum allowable die temperature and the thermal resistance of the package.

*NOTICE:

Stresses at or above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions may affect device reliability.

DC CHARACTERISTICS

TA = −40°C to 85°C; VCc = 2.7V to 6V; VSS = 0V; F = 0 to 6 MHz

Symbol	Parameter	Min	Max	Unit	Test Conditions
VIL	Input Low Voltage	−0.5	0.2 V_{CC} − 0.1	V	
VIH	Input High Voltage (Except XTALs and RST)	0.2 V_{CC} + 0.9	V_{CC} + 0.5	V	
VIH1	Input High Voltage to RST for Reset	0.7 V_{CC}	V_{CC} − 0.5	V	
VIH2	Input High Voltage To XTAL 1	0.7 V_{CC}	V_{CC} − 0.5	V	
VPD	Power Down Voltage To V_{CC} in PD Mode	2.0	6.0	V	
VOL	Output Low Voltage (Ports 1, 2, 3)		0.45	V	IOL = 1.6mA (note 1)
VOL1	Output Low Voltage Port 0, ALE, PSEN		0.45	V	IOL = 3.2mA (note 1)
VOH	Output High Voltage Ports 1, 2, 3	0.9 V_{CC}		V	IOH = −10uA
		2.4		V	IOH = −60μA V_{CC} = 5V ± 10%
VOH1	Output High Voltage (Port 0 in External in External Bus Mode), ALE, PSEN	0.9 V_{CC}		V	IOH = −40μA
		2.4		V	IOH = −400μA V_{CC} = 5V ± 10%
IIL	Logical 0 Input Current Ports 1,2,3		−50	μA	Vin = 0.45V
ILI	Input Leakage Current		± 10	μA	0.45 < Vin < V_{CC}
ITL	Logical 1 to 0 Transition Current (Ports 1, 2, 3)		−500	μA	Vin = 2.0V
ICCPD	Power Supply Current (Power Down Mode)	50	10	μA	V_{CC} = 2.0V to 5.5V (note 2)
RRST	RST Pulldown Resistor	50	150	kΩ	
CIO	Capacitance of I/O Buffer		10	pF	f_C = 1MHz, T_A = 25°C

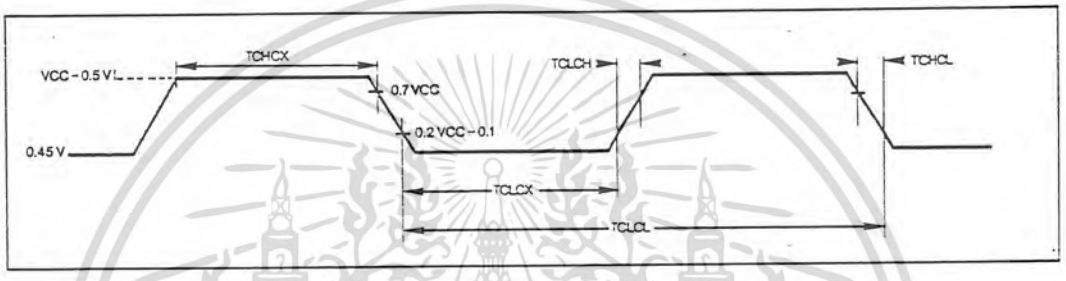
Note 1:

Capacitive loading on Ports 0 and 2 may cause spurious noise pulses to be superimposed on the V_{OL}S of ALE and Ports 1 and 3. The noise is due to external bus capacitance discharging into the Port 0 and Port 2 pins when these pins make 1-to-0 transitions during bus operations. In the worst cases (capacitive loading 100 pF), the noise pulse on the ALE line may exceed 0.45V with maxi V_{OL} peak 0.6V. A Schmitt Trigger use is not necessary.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXTERNAL CLOCK DRIVE CHARACTERISTICS (XTAL1)

Symbol	Parameter	Variable Clock freq = 0 to 6 MHz		Unit
		Min	Max	
TCLCL	Oscillator Period	166		ns
TCHCX	High Time	20		ns
TCLCX	Low Time	20		ns
TCLCH	Rise Time		20	ns
TCHCL	Fall Time		20	ns



AC CHARACTERISTICS

(T_A = -40°C to 85°C, V_{CC} = 2.7 V to 6V, V_{SS} = 0V)
(Load Capacitance for Port 0, ALE, and $\overline{PSEN}$ = 100pf; Load Capacitance for All Other Outputs = 80pf).

EXTERNAL PROGRAM MEMORY CHARACTERISTICS

Symbol	Parameter	Min	Max	Units
TLHLL	ALE Pulse Width	2TCLCL - 40		ns
TAVLL	Address Valid to ALE	TCLCL - 55		ns
TLLAX	Address Hold After ALE	TCLCL - 35		ns
TLLIV	ALE to Valid instr In		4TCLCL - 170	ns
TLLPL	ALE to $\overline{PSEN}$	TCLCL - 25		ns
TPLPH	$\overline{PSEN}$ Pulse Width	3TCLCL - 35		ns
TPLIV	$\overline{PSEN}$ to Valid Instr In		3TCLCL - 220	ns
TPXIX	Input Instr Hold After $\overline{PSEN}$	0		ns
TPXIZ	Input Instr Float After $\overline{PSEN}$		TCLCL - 20	ns
TPXAV	$\overline{PSEN}$ to Address Valid	TCLCL - 8		ns
TAVIV	Address to Valid Instr In		5TCLCL - 220	ns
TPLAZ	$\overline{PSEN}$ Low to Address Float		0	ns

See next page for External Data Memory Characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXTERNAL DATA MEMORY CHARACTERISTICS

Symbol	Parameter	Min	Max	Units
TRLRH	$\overline{RD}$ Pulse Width	6TCLCL – 100		ns
TWLWH	$\overline{WR}$ Pulse Width	6TCLCL – 100		ns
TLLAX	Data Address Hold After ALE	TCLCL – 35		ns
TRLDV	$\overline{RD}$ to Valid Data In		5TCLCL – 165	ns
TRHDX	Data Hold After $\overline{RD}$	0		ns
TRHDZ	Data Float After $\overline{RD}$		2TCLCL – 70	ns
TLLDV	ALE to Valid Data In		8TCLCL – 150	ns
TAVDV	Address to Valid Data In		9TCLCL – 165	ns
TLLWL	ALE to $\overline{WR}$ or $\overline{RD}$	3TCLCL – 50	3TCLCL + 50	ns
TAVWL	Address to $\overline{WR}$ or $\overline{RD}$	4TCLCL – 130		ns
TQVWX	Data Valid to $\overline{WR}$ Transition	TCLCL – 60		ns
TQVWH	Data Setup to $\overline{WR}$ High	7TCLCL – 150		ns
TWHQX	Data Hold After $\overline{WR}$	TCLCL – 50		ns
TRLAZ	$\overline{RD}$ Low to Address Float		0	ns
TWHLH	$\overline{RD}$ or $\overline{WR}$ High to ALE High	TCLCL – 40	TCLCL – 40	ns

MAXIMUM I_{CC} (mA)

	Operating (Note 3)			Idle (Note 4)		
Freq. V_{CC}	2.7V	5V	6V	2.7V	5V	6V
1 MHz	0.8 mA	1.5 mA	1.8 mA	400 µA	800 µA	1 mA
6 MHz	4 mA	8 mA	10 mA	1.2 mA	3.5 mA	3.8 mA

Note 2:

Power Down I_{CC} is measured will all output pins disconnected; EA = Port 0 = V_{CC}; XTAL2 N.C.; RST = V_{SS}

Note 3:

I_{CC} is measured with all output pins disconnected; XTAL1 driven with TCLCH, TCHCL = 5 ns, $V_{IL} = V_{SS}$ – 0.5V; V_{IH} V_{CC} – 0.5V; XTAL2 N.C.; EA = RST = Port 0 = V_{CC}. I_{CC} would be slightly higher if a crystal oscillator used.

Note 4:

Idle I_{CC} is measured with all output pins disconnected; XTAL1 driven TCLCH, TCHCL = 5 ns, $V_{IL} = V_{SS}$ – 0.5V; $V_{IH} = V_{CC}$ – 0.5V; XTAL2 N.C.; Port 0 = V_{CC}; EA = RST = V_{SS}.

EXPLANATION OF THE AC SYMBOLS

Each timing symbol has 5 characters. The first character is always a 'T' (stands for time). The other characters, depending on their positions, stand for the name of a signal or the logical status of that signal. The following is a list all the characters and what they stand for.

EXAMPLE:

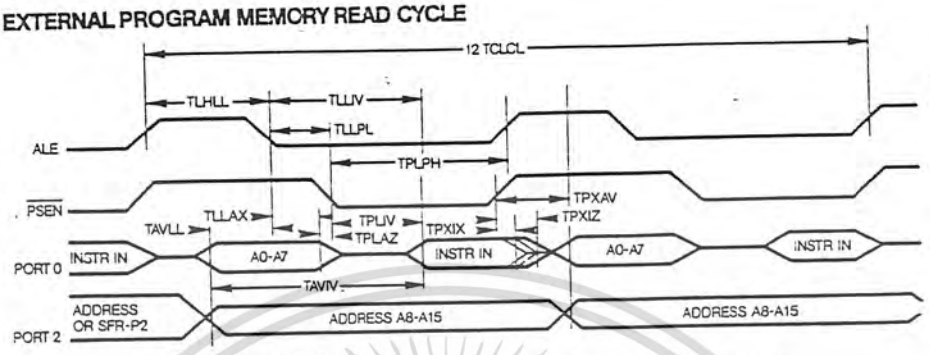
TAVLL = Time for Address Valid to ALE low.
TLLPL = Time for ALE low to $\overline{PSEN}$ low.

A: Address.
C: Clock.
D: Input data.
H: Logic level HIGH.
I: Instruction (program memory contents).
L: Logic level LOW, or ALE.
P: $\overline{PSEN}$
Q: Output data.
R: READ signal.
T: Time.
V: Valid.
W: WRITE signal
X: No longer a valid logic level.
Z: Float.

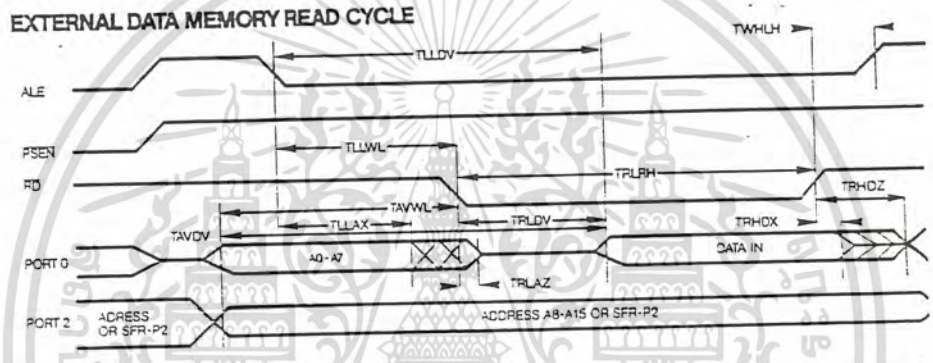
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC TIMING DIAGRAMS

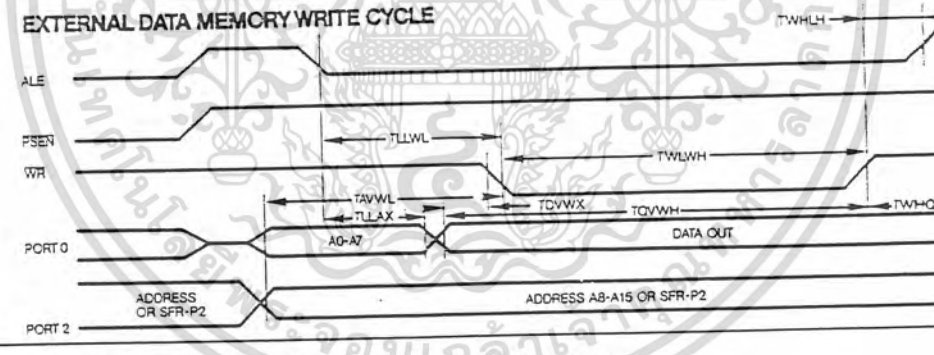
EXTERNAL PROGRAM MEMORY READ CYCLE



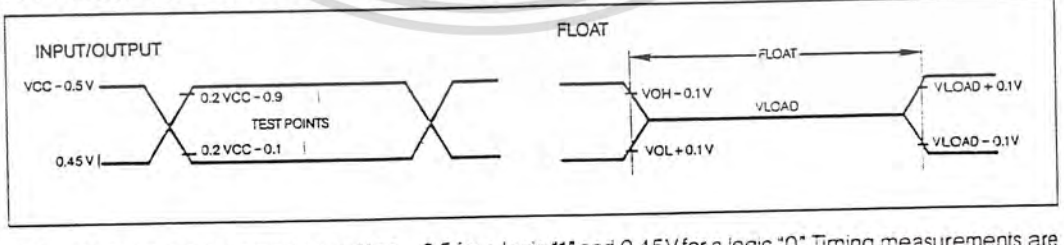
EXTERNAL DATA MEMORY READ CYCLE



EXTERNAL DATA MEMORY WRITE CYCLE



AC TESTING INPUT/OUTPUT, FLOAT WAVEFORMS



AC inputs during testing are driven at VCC – 0.5 for a logic "1" and 0.45V for a logic "0". Timing measurements are made at VIH min for a logic "1" and VIL max for a logic "0". For timing purposes a port pin is no longer floating when a 100 mV change from load voltage occurs and begins to float when a 100 mV change from the loaded VOH/VOL level occurs. IOL/IOH ≥ ± 20 Ma.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

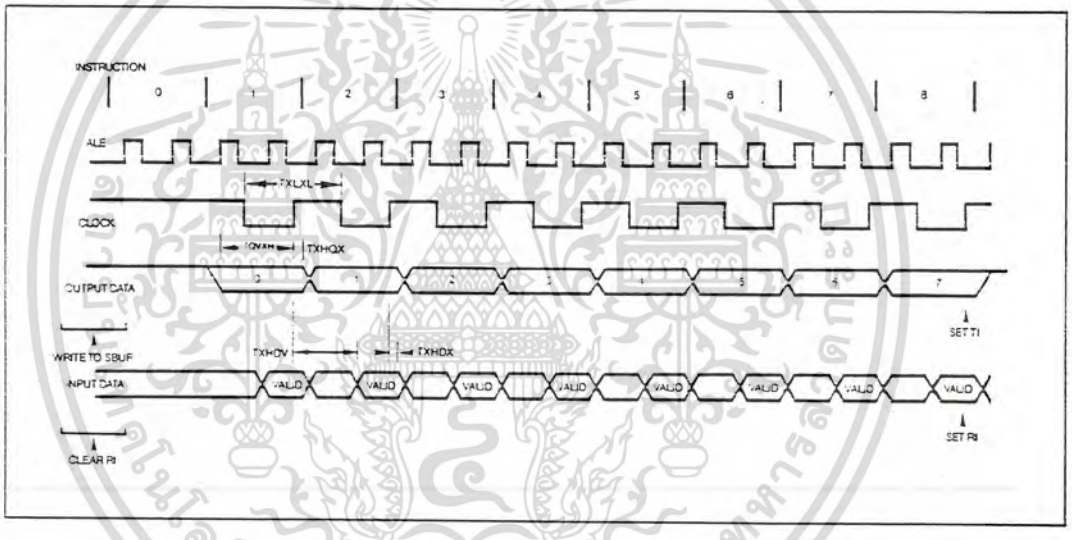
SERIAL PORT TIMING - SHIFT REGISTER MODE

A.C. CHARACTERISTICS:

(T_A = 0°C to 70°C; V_{SS} = 0V; V_{CC} = 2.7V to 6V; Load Capacitance = 80 pF)

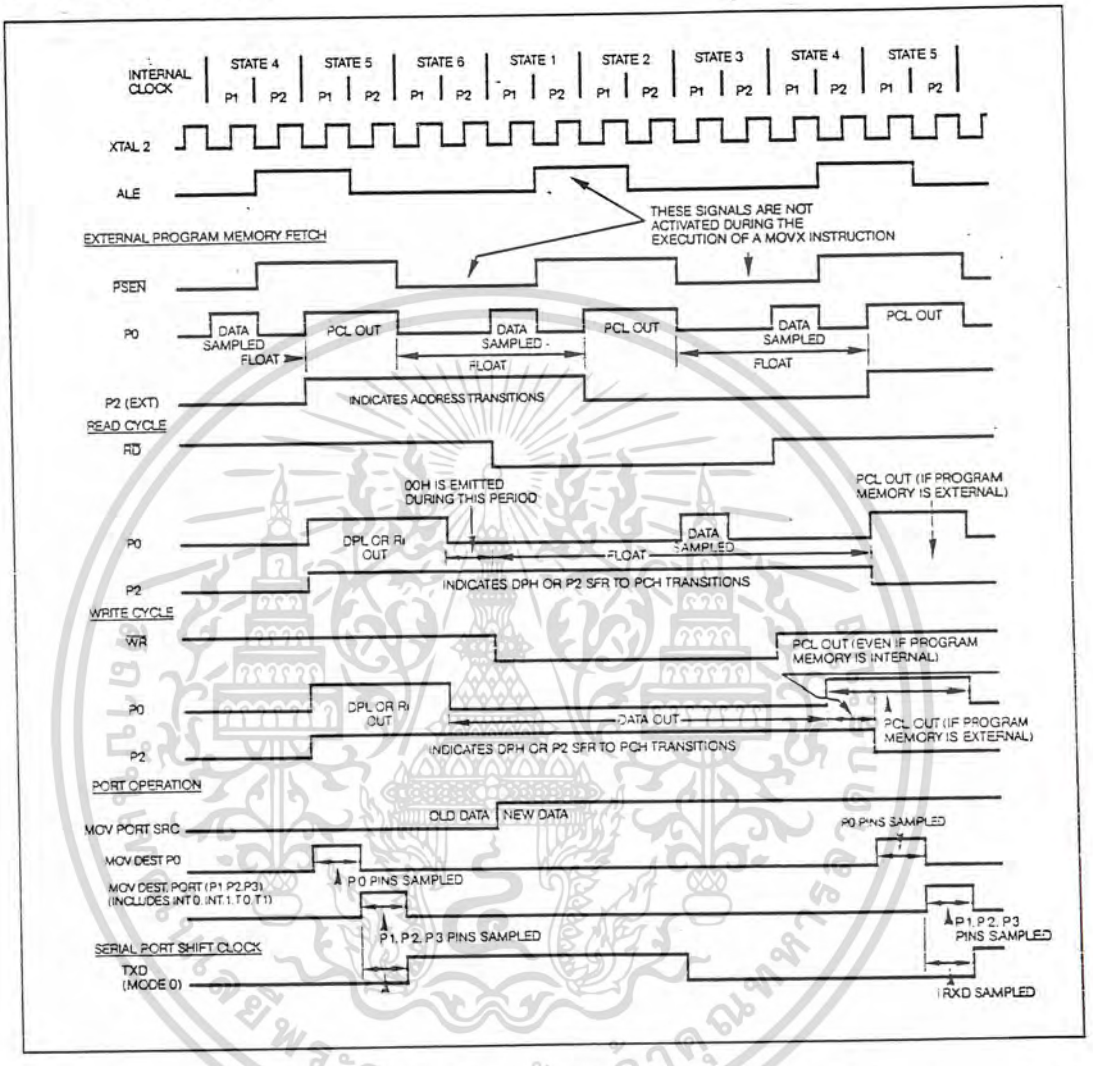
Symbol	Parameter	Min	Max	Units
TXLXL	Serial Port Clock Cycle Time	12TCLCL		µS
TQVXH	Output Data Setup to Clock Rising Edge	10TCLCL-133		ns
TXHQX	Output Data Hold After Clock Rising Edge	2TCLCL-117		ns
TXHDX	Input Data Hold After Clock Rising Edge	0		ns
TXHDV	Clock Rising Edge to Input Data Valid		10TLCL-133	ns

SHIFT REGISTER TIMING WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLOCK WAVEFORMS



This diagram indicates when signals are clocked internally. The time it takes the signals to propagate to the pins, however, ranges from 25 to 125 ns. This propagation delay is dependent on variables such as temperature and pin loading. Propagation also varies from output to output and component. Typically though ($T_A = 25°C$ fully loaded) RD and WR propagation delays are approximately 50 ns. The other signals are typically 85 ns. Propagation delays are incorporated in the AC specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. MCS®-51 Instruction Set Description

ARITHMETIC OPERATIONS

Mnemonic		Description	Byte	Cyc
ADD	A,Rn	Add register to Accumulator	1	1
ADD	A,direct	Add direct byte to Accumulator	2	1
ADD	A,@Ri	Add indirect RAM to Accumulator	1	1
ADD	A,#data	Add immediate data to Accumulator	2	1
ADDC	A,Rn	Add register to Accumulator with Carry	1	1
ADDC	A,direct	Add direct byte to A with Carry flag	2	1
ADDC	A,@Ri	Add indirect RAM to A with Carry flag	1	1
ADDC	A,#data	Add immediate data to A with Carry flag	2	1
SUBB	A,Rn	Subtract register from A with Borrow	1	1
SUBB	A,direct	Subtract direct byte from A with Borrow	2	1
SUBB	A,@Ri	Subtract indirect RAM from A with Borrow	1	1
SUBB	A,#data	Subtract immed. data from A with Borrow	2	1
INC	A	Increment Accumulator	1	1
INC	Rn	Increment register	1	1
INC	direct	Increment direct byte	2	1
INC	@Ri	Incriment indirect RAM	1	1
INC	DPTR	Incriment Data Pointer	1	2
DEC	A	Decrement Accumulator	1	1
DEC	Rn	Decrement register	1	1
DEC	direct	Decrement direct byte	2	1
DEC	@Ri	Decrement indirect RAM	1	1
MUL	AB	Multiply A & B	1	4
DIV	AB	Divide A by B	1	4
DA	A	Decimal Adjust Accumulator	1	1

LOGICAL OPERATIONS

Mnemonic		Destination	Byte	Cyc
ANL	A,Rn	AND register to Accumulator	1	1
ANL	A,direct	AND direct byte to Accumulator	2	1
ANL	A,@Ri	AND indirect RAM to Accumulator	1	1
ANL	A,#data	AND immediate data to Accumulator	2	1
ANL	direct,A	AND Accumulator to direct byte	2	1
ANL	direct,#data	AND immediate data to direct byte	3	2
ORL	A,Rn	OR register to Accumulator	1	1
ORL	A,direct	OR direct byte to Accumulator	2	1
ORL	A,@Ri	OR indirect RAM to Accumulator	1	1
ORL	A,#data	OR immediate data to Accumulator	2	1
ORL	direct,A	OR Accumulator to direct byte	2	1
ORL	direct,#data	OR immediate data to direct byte	3	2
XRL	A,Rn	Exclusive-OR register to Accumulator	1	1
XRL	A,direct	Exclusive-OR direct byte to Accumulator	2	1
XRL	A,@Ri	Exclusive-OR indirect RAM to A	1	1
XRL	A,#data	Exclusive-OR immediate data to A	2	1
XRL	direct,A	Exclusive-OR Accumulator to direct byte	2	1
XRL	direct,#data	Exclusive-OR immediate data to direct	3	2
CLR	A	Clear Accumulator	1	1
CPL	A	Complement Accumulator	1	1
RL	A	Rotate Accumulator Left	1	1
RLC	A	Rotate A Left through the Carry flag	1	1
RR	A	Rotate Accumulator Right	1	1
RRC	A	Rotate A Right through Carry flag	1	1
SWAP	A	Swap nibbles within the Accumulator	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. (Cont.)

DATA TRANSFER

Mnemonic		Description	Byte	Cyc
MOV	A,Rn	Move register to Accumulator	1	1
MOV	A,direct	Move direct byte to Accumulator	2	1
MOV	A,@Ri	Move indirect RAM to Accumulator	1	1
MOV	A,#data	Move immediate data to Accumulator	2	1
MOV	Rn,A	Move Accumulator to register	1	1
MOV	Rn,direct	Move direct byte to register	2	2
MOV	Rn,#data	Move immediate data to register	2	1
MOV	direct,A	Move Accumulator to direct byte	2	1
MOV	direct,Rn	Move register to direct byte	2	2
MOV	direct,direct	Move direct byte to direct	3	2
MOV	direct,@Ri	Move indirect RAM to direct byte	2	2
MOV	direct,#data	Move immediate data to direct byte	3	2
MOV	@Ri,A	Move Accumulator to indirect RAM	1	1
MOV	@Ri,direct	Move direct byte to indirect RAM	2	2
MOV	@Ri,#data	Move immediate data to indirect RAM	2	1
MOV	DPTR,#data 16	Load Data Pointer with a 16-bit constant	3	2
MOVC	A,@A+DPTR	Move Code byte relative to DPTR to A	1	2
MOVC	A,@A+PC	Move Code byte relative to PC to A	1	2
MOVX	A,@Ri	Move External RAM (8-bit addr) to A	1	2
MOVX	A,@DPTR	Move External RAM (16-bit addr) to A	1	2
MOVX	@Ri,A	Move A to External RAM (8-bit addr)	1	2
MOVX	@DPTR,A	Move A to External RAM (16-bit addr)	1	2
PUSH	direct	Push direct byte onto stack	2	2
POP	direct	Pop direct byte form stack	2	2
XCH	A,Rn	Exchange register with Accumulator	1	1
XCH	A,direct	Exchange direct byte with Accumulator	2	1
XCH	A,@Ri	Exchange indirect RAM with A	1	1
XCHD	A,@Ri	Exchange low-order nibble ind RAM with A	1	1

BOOLEAN VARIABLE MANIPULATION

Mnemonic		Description	Byte	Cyc
CLR	C	Clear Carry flag	1	1
CLR	bit	Clear direct bit	2	1
SETB	C	Set Carry flag	1	1
SETB	bit	Set direct Bit	2	1
CPL	C	Complement Carry flag	1	1
CPL	bit	Complement direct bit	2	1
ANL	C,bit	AND direct bit to Carry flag	2	2
ANL	C,/bit	AND complement of direct bit to Carry	2	2
ORL	C,bit	OR direct bit to Carry flag	2	2
ORL	C,/bit	OR complement of direct bit to Carry	2	2
MOV	C,bit	Move direct bit to Carry flag	2	1
MOV	bit,C	Move Carry flag to direct bit	2	2

PROGRAM AND MACHINE CONTROL

Mnemonic		Description	Byte	Cyc
ACALL	addr 11	Absolute Subroutine Call	2	2
LCALL	addr 16	Long Subroutine Call	3	2
RET		Return from subroutine	1	2
RETI		Return from interrupt	1	2
AJMP	addr 11	Absolute Jump	2	2
LJMP	addr 16	Long Jump	3	2
SJMP	rel	Short Jump (relative addr)	2	2
JMP	@A+DPTR	Jump indirect relative to the DPTR	1	2
JZ	rel	Jump if Accumulator is Zero	2	2
JNZ	rel	Jump if Accumulator is Not Zero	2	2
JC	rel	Jump if Carry flag is set	2	2
JNC	rel	Jump if No Carry flag	2	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. (Cont.)

PROGRAM AND MACHINE CONTROL (cont.)

Mnemonic		Description	Byte	Cyc
JB	bit,rel	Jump if direct Bit set	3	2
JNB	bit,rel	Jump if direct Bit Not set	3	2
JBC	bit,rel	Jump if direct Bit is set & Clear bit	3	2
CJNE	A,direct,rel	Compare direct to A & Jump if Not Equal	3	2
CJNE	A,#data,rel	Comp. immed. to A & Jump if Not Equal	3	2
CJNE	Rn,#data,rel	Comp. immed. to reg & Jump if Not Equal	3	2
CJNE	@Ri,#data. rel	Comp. immed. to ind. & Jump if Not Equal	3	2
DJNZ	Rn,rel	Decrement register & Jump if Not Zero	2	2
DJNZ	direct. rel	Decrement direct & Jump if Not Zero	3	2
NOP		No operation	1	1

Notes on data addressing modes:

Rn	– Working register R0-R7
direct	– 128 internal RAM locations. any I/O port. control or status register
@Ri	– Indirect internal RAM location addressed by register R0 or R1
#data	– 8-bit constant included in instruction
#data 16	– 16-bit constant included as bytes 2 & 3 of instruction
bit	– 128 software flags, any I/O pin. control or status bit

Notes on program addressing modes:

addr 16	– Destination address for LCALL & LJMP may be anywhere within the 64-k program memory address space
Addr 11	– Destination address for ACALL & AJMP will be within the same 2-k page of program memory as the first byte of the following instruction
rel	– SJMP and all conditional jumps include an 8-bit offset byte. Range is +127–128 bytes relative to first byte of the following instruction

All mnemonics copyrighted © Intel Corporation 1979

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. Instruction Opcodes in Hexadecimal Order

Hex Code	Number of Bytes	Mnemonic	Operands
00	1	NOP	
01	2	AJMP	code addr
02	3	LJMP	code addr
03	1	RR	A
04	1	INC	A
05	2	INC	data addr
06	1	INC	@R0
07	1	INC	@R1
08	1	INC	R0
09	1	INC	R1
0A	1	INC	R2
0B	1	INC	R3
0C	1	INC	R4
0D	1	INC	R5
0E	1	INC	R6
0F	1	INC	R7
10	3	JBC	bit addr,code addr
11	2	ACALL	code addr
12	3	LCALL	code addr
13	1	RRC	A
14	1	DEC	A
15	2	DEC	data addr
16	1	DEC	@R0
17	1	DEC	@R1
18	1	DEC	R0
19	1	DEC	R1
1A	1	DEC	R2
1B	1	DEC	R3
1C	1	DEC	R4
1D	1	DEC	R5
1E	1	DEC	R6
1F	1	DEC	R7
20	3	JB	bit addr,code addr
21	2	AJMP	code addr
22	1	RET	
23	1	RL	A
24	2	ADD	A,data
25	2	ADD	A,data addr
26	1	ADD	A,@R0
27	1	ADD	A,@R1
28	1	ADD	A,R0
29	1	ADD	A,R1
2A	1	ADD	A,R2
2B	1	ADD	A,R3
2C	1	ADD	A,R4
2D	1	ADD	A,R5
2E	1	ADD	A,R6
2F	1	ADD	A,R7
30	3	JNB	bit addr,code addr
31	2	ACALL	code addr
32	1	RETI	
33	1	RLC	A
34	2	ADDC	A,#data
35	2	ADDC	A,data addr
36	1	ADDC	A,@R0
37	1	ADDC	A,@R1
38	1	ADDC	A,R0
39	1	ADDC	A,R1
3A	1	ADDC	A,R2
3B	1	ADDC	A,R3
3C	1	ADDC	A,R4
3D	1	ADDC	A,R5
3E	1	ADDC	A,R6
3F	1	ADDC	A,R7
40	2	JC	code addr
41	2	AJMP	code addr
42	2	ORL	data addr,A
43	3	ORL	data addr,#data
44	2	ORL	A,#data
45	2	ORL	A,data addr
46	1	ORL	A,@R0
47	1	ORL	A,@R1
48	1	ORL	A,R0
49	1	ORL	A,R1
4A	1	ORL	A,R2
4B	1	ORL	A,R3
4C	1	ORL	A,R4
4D	1	ORL	A,R5
4E	1	ORL	A,R6
4F	1	ORL	A,R7
50	2	JNC	code addr
51	2	ACALL	code addr
52	2	ANL	data addr,A
53	3	ANL	data addr,#data
54	2	ANL	A,#data
55	2	ANL	A,data addr
56	1	ANL	A,@R0
57	1	ANL	A,@R1
58	1	ANL	A,R0
59	1	ANL	A,R1
5A	1	ANL	A,R2
5B	1	ANL	A,R3
5C	1	ANL	A,R4
5D	1	ANL	A,R5
5E	1	ANL	A,R6
5F	1	ANL	A,R7
60	2	JZ	code addr
61	2	AJMP	code addr
62	2	XRL	data addr,A
63	3	XRL	data addr,#data
64	2	XRL	A,#data
65	2	XRL	A,data addr

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. (Cont.)

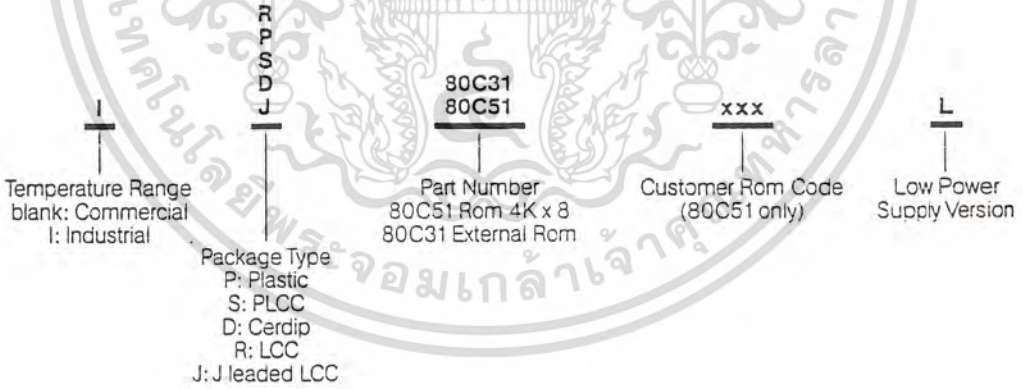
Hex Code	Number of Bytes	Mnemonic	Operands
66	1	XRL	A,@R0
67	1	XRL	A,@R1
68	1	XRL	A,R0
69	1	XRL	A,R1
6A	1	XRL	A,R2
6B	1	XRL	A,R3
6C	1	XRL	A,R4
6D	1	XRL	A,R5
6E	1	XRL	A,R6
6F	1	XRL	A,R7
70	2	JNZ	code addr
71	2	ACALL	code addr
72	2	ORL	C,bit addr
73	1	JMP	@A+DPTR
74	2	MOV	A,#data
75	3	MOV	data addr,#data
76	2	MOV	@R0,#data
77	2	MOV	@R1,#data
78	2	MOV	R0,#data
79	2	MOV	R1,#data
7A	2	MOV	R2,#data
7B	2	MOV	R3,#data
7C	2	MOV	R4,#data
7D	2	MOV	R5,#data
7E	2	MOV	R6,#data
7F	2	MOV	R7,#data
80	2	SJMP	code addr
81	2	AJMP	code addr
82	2	ANL	C,bit addr
83	1	MOVC	A,@A+PC
84	1	DIV	AB
85	3	MOV	data addr,data addr
86	2	MOV	data addr,@R0
87	2	MOV	data addr,@R1
88	2	MOV	data addr,R0
89	2	MOV	data addr,R1
8A	2	MOV	data addr,R2
8B	2	MOV	data addr,R3
8C	2	MOV	data addr,R4
8D	2	MOV	data addr,R5
8E	2	MOV	data addr,R6
8F	2	MOV	data addr,R7
90	3	MOV	DPTR,#data
91	2	ACALL	code addr
92	2	MOV	bit addr,C
93	1	MOVC	A,@A+DPTR
94	2	SUBB	A,#data
95	2	SUBB	A,data addr
96	1	SUBB	A,@R0
97	1	SUBB	A,@R1
98	1	SUBB	A,R0

Hex Code	Number of Bytes	Mnemonic	Operands
99	1	SUBB	A,R1
9A	1	SUBB	A,R2
9B	1	SUBB	A,R3
9C	1	SUBB	A,R4
9D	1	SUBB	A,R5
9E	1	SUBB	A,R6
9F	1	SUBB	A,R7
A0	2	ORL	C,bit addr
A1	2	AJMP	code addr
A2	2	MOV	C,bit addr
A3	1	INC	DPTR
A4	1	MUL	AB
A5		reserved	
A6	2	MOV	@R0,data addr
A7	2	MOV	@R1,data addr
A8	2	MOV	R0,data addr
A9	2	MOV	R1,data addr
AA	2	MOV	R2,data addr
AB	2	MOV	R3,data addr
AC	2	MOV	R4,data addr
AD	2	MOV	R5,data addr
AE	2	MOV	R6,data addr
AF	2	MOV	R7,data addr
B0	2	ANL	C,bit addr
B1	2	ACALL	code addr
B2	2	CPL	bit addr
B3	1	CPL	C
B4	3	CJNE	A,#data,code addr
B5	3	CJNE	A,data addr,code addr
B6	3	CJNE	@R0,#data,code addr
B7	3	CJNE	@R1,#data,code addr
B8	3	CJNE	R0,#data,code addr
B9	3	CJNE	R1,#data,code addr
BA	3	CJNE	R2,#data,code addr
BB	3	CJNE	R3,#data,code addr
BC	3	CJNE	R4,#data,code addr
BD	3	CJNE	R5,#data,code addr
BE	3	CJNE	R6,#data,code addr
BF	3	CJNE	R7,#data,code addr
C0	2	PUSH	data addr
C1	2	AJMP	code addr
C2	2	CLR	bit addr
C3	1	CLR	C
C4	1	SWAP	A
C5	2	XCH	A,data addr
C6	1	XCH	A,@R0
C7	1	XCH	A,@R1
C8	1	XCH	A,R0
C9	1	XCH	A,R1
CA	1	XCH	A,R2
CB	1	XCH	A,R3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. (Cont.)

Hex Code	Number of Bytes	Mnemonic	Operands
CC	1	XCH	A,R4
CD	1	XCH	A,R5
CE	1	XCH	A,R6
CF	1	XCH	A,R7
D0	2	POP	data addr
D1	2	ACALL	code addr
D2	2	SETB	bit addr
D3	1	SETB	C
D4	1	DA	A
D5	3	DJNZ	data addr,code addr
D6	1	XCHD	A,@R0
D7	1	XCHD	A,@R1
D8	2	DJNZ	R0,code addr
D9	2	DJNZ	R1,code addr
DA	2	DJNZ	R2,code addr
DB	2	DJNZ	R3,code addr
DC	2	DJNZ	R4,code addr
DD	2	DJNZ	R5,code addr
DE	2	DJNZ	R6,code addr
DF	2	DJNZ	R7,code addr
E0	1	MOVX	A,@DPTR
E1	2	AJMP	code addr
E2	1	MOVX	A,@R0
E3	1	MOVX	A,@R1
E4	1	CLR	A
E5	2	MOV	A,data addr
E6	1	MOV	A,@R0
E7	1	MOV	A,@R1
E8	1	MOV	A,R0
E9	1	MOV	A,R1
EA	1	MOV	A,R2
EB	1	MOV	A,R3
EC	1	MOV	A,R4
ED	1	MOV	A,R5
EE	1	MOV	A,R6
EF	1	MOV	A,R7
F0	1	MOVX	@DPTR,A
F1	2	ACALL	code addr
F2	1	MOVX	@R0,A
F3	1	MOVX	@R1,A
F4	1	CPL	A
F5	2	MOV	data addr,A
F6	1	MOV	@R0,A
F7	1	MOV	@R1,A
F8	1	MOV	R0,A
F9	1	MOV	R1,A
FA	1	MOV	R2,A
FB	1	MOV	R3,A
FC	1	MOV	R4,A
FD	1	MOV	R5,A
FE	1	MOV	R6,A
FF	1	MOV	R7,A



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

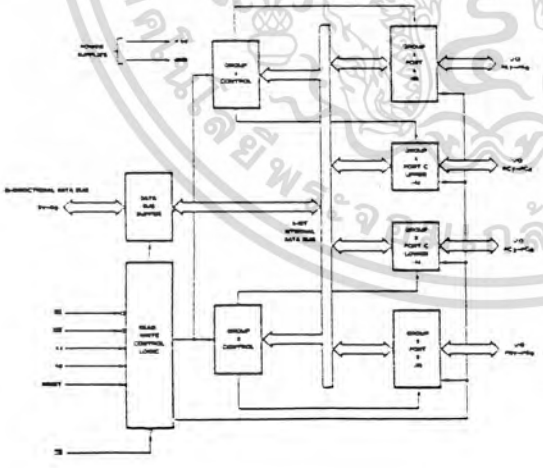


Figure 1. 8255A Block Diagram

Figure 2. Pin Configuration

©INTEL CORPORATION 1982.

Order Number: 231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS – PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3-STATE

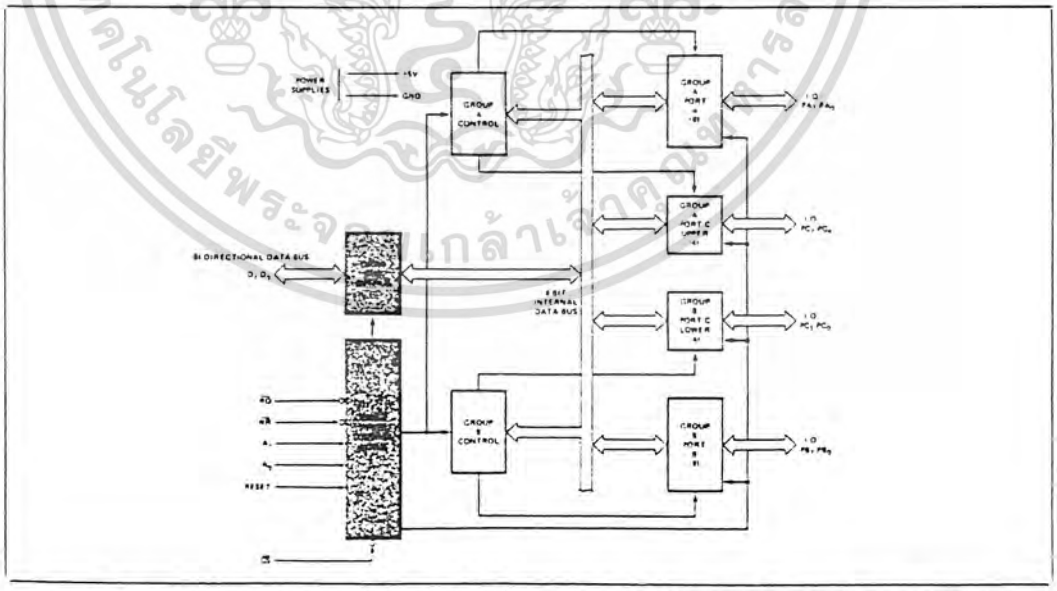


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

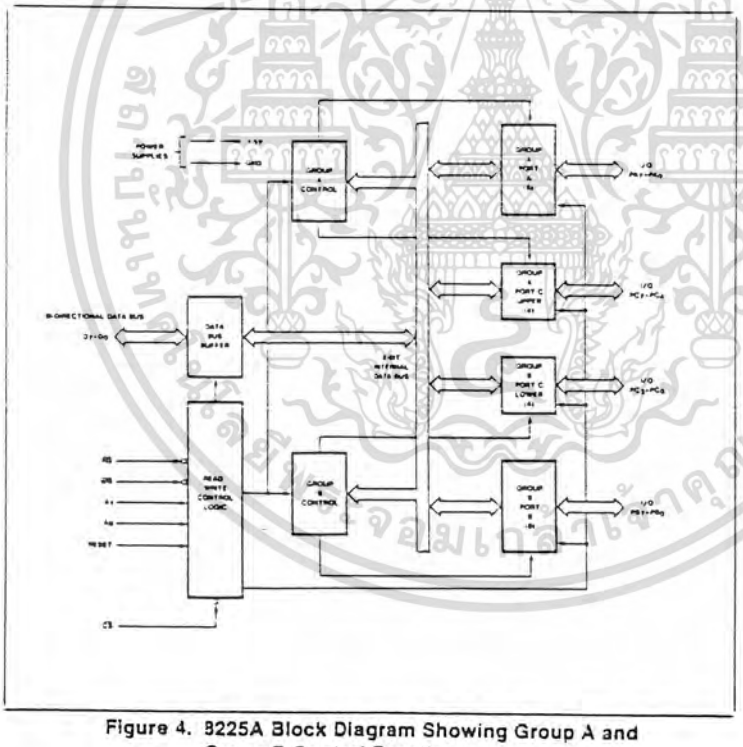


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION

PIN NAMES

D_7-D_0	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic Input/Output
Mode 1 — Strobed Input/Output
Mode 2 — Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance: Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results. Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

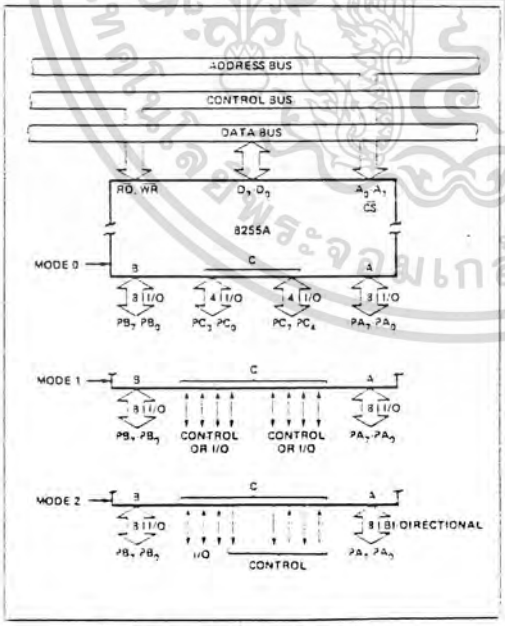


Figure 5. Basic Mode Definitions and Bus Interface

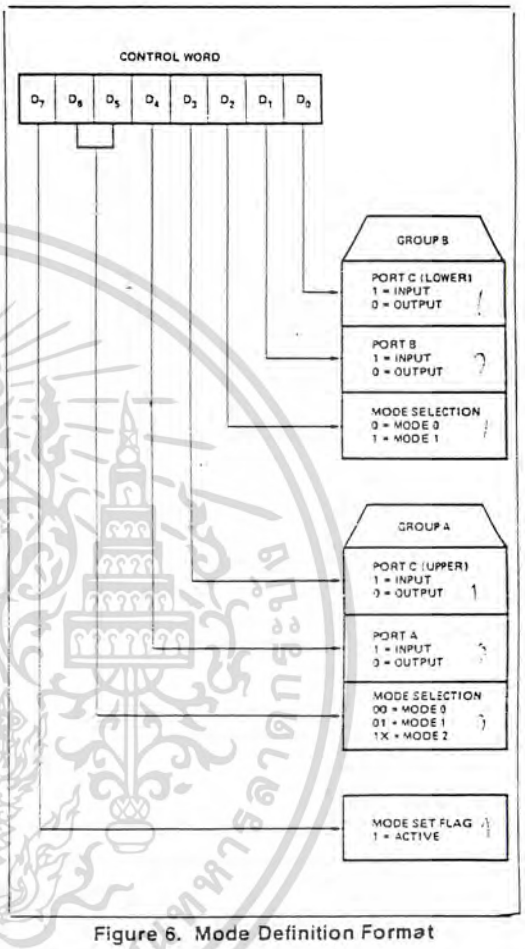


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

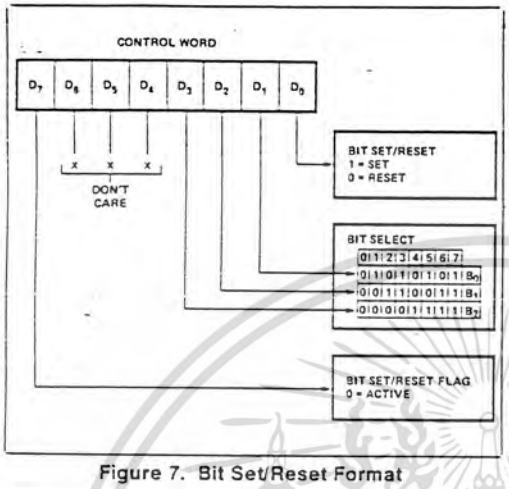


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET — Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

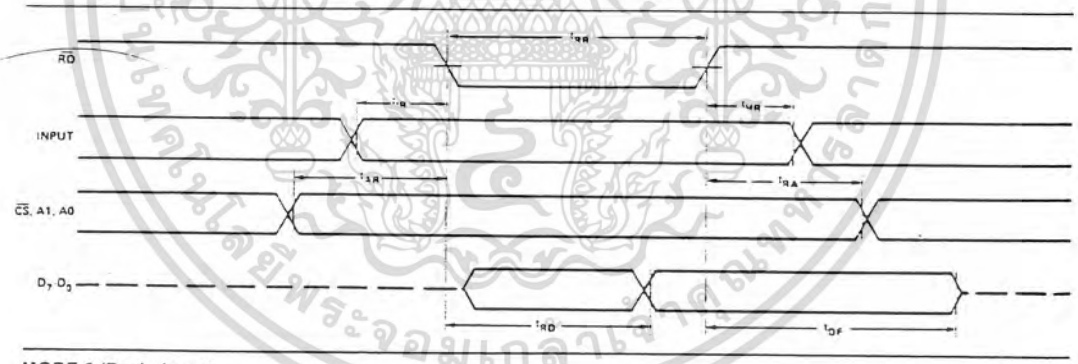
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

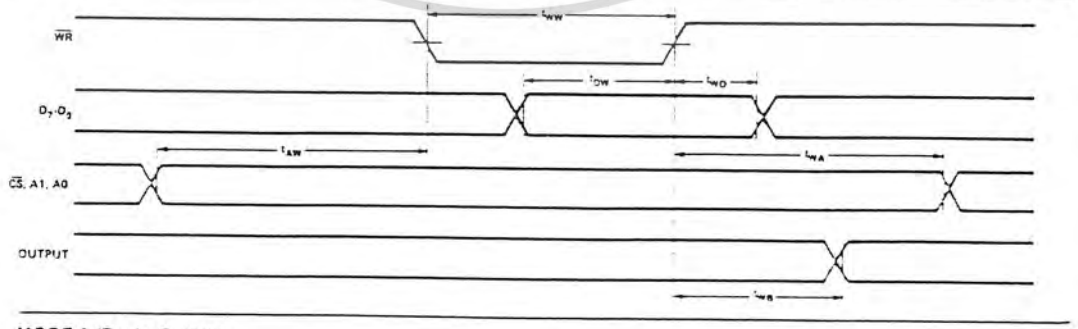
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



MODE 0 (Basic Output)

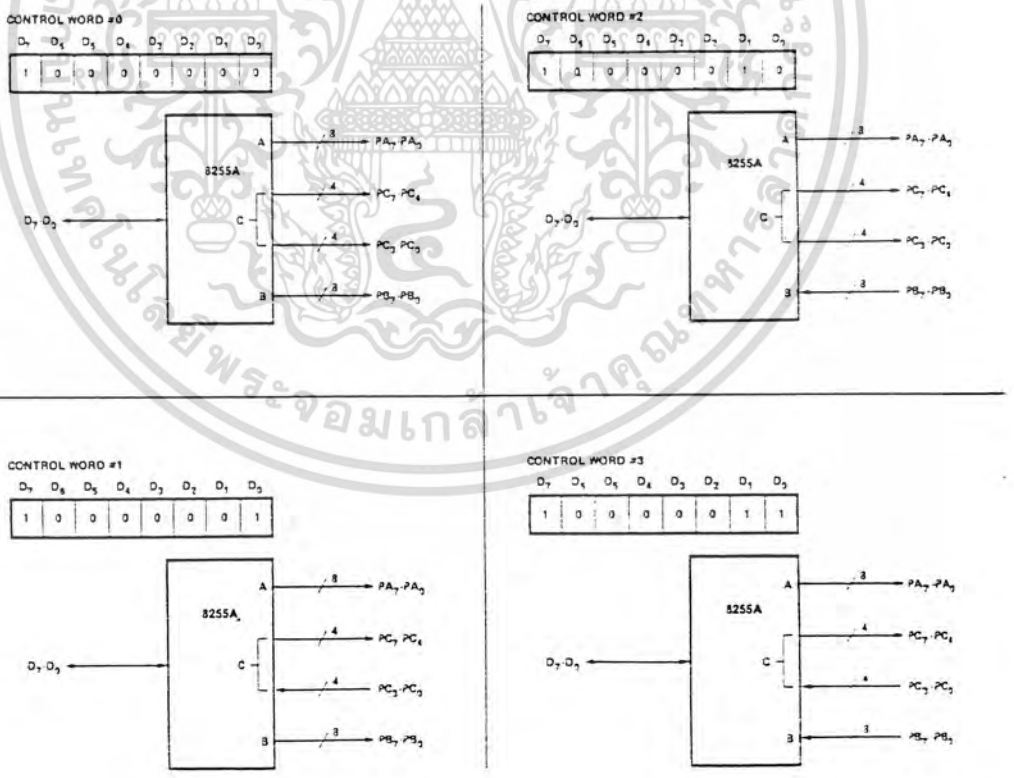
231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

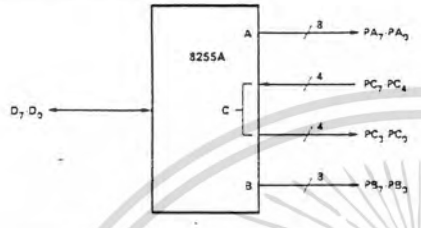


231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

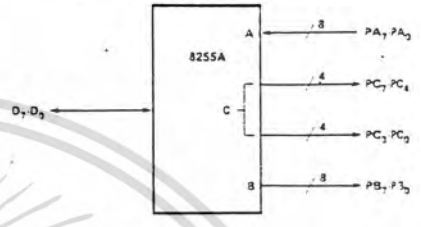
CONTROL WORD =4

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0



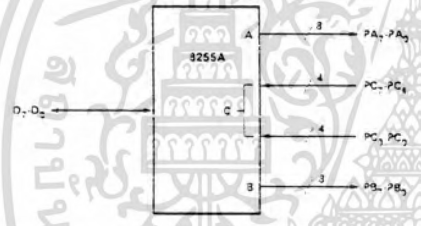
CONTROL WORD =8

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	0



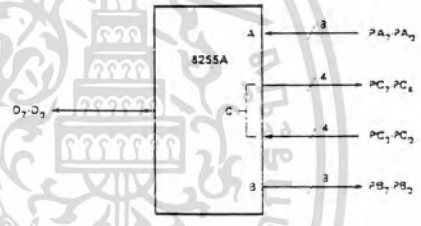
CONTROL WORD =5

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	1



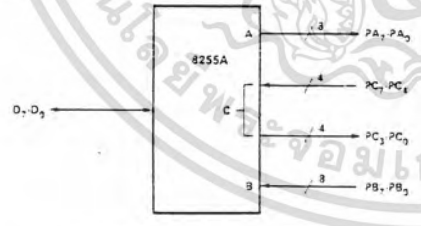
CONTROL WORD =9

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	1



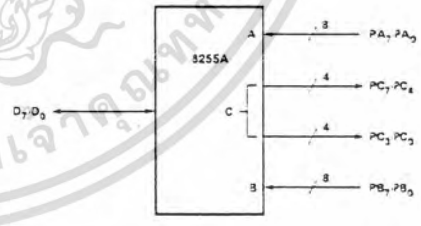
CONTROL WORD =6

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	0



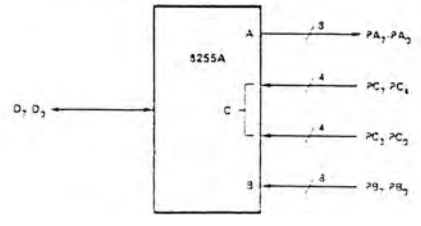
CONTROL WORD =10

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	0



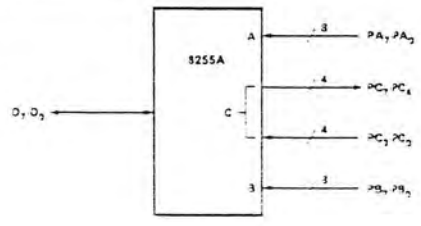
CONTROL WORD =7

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	1



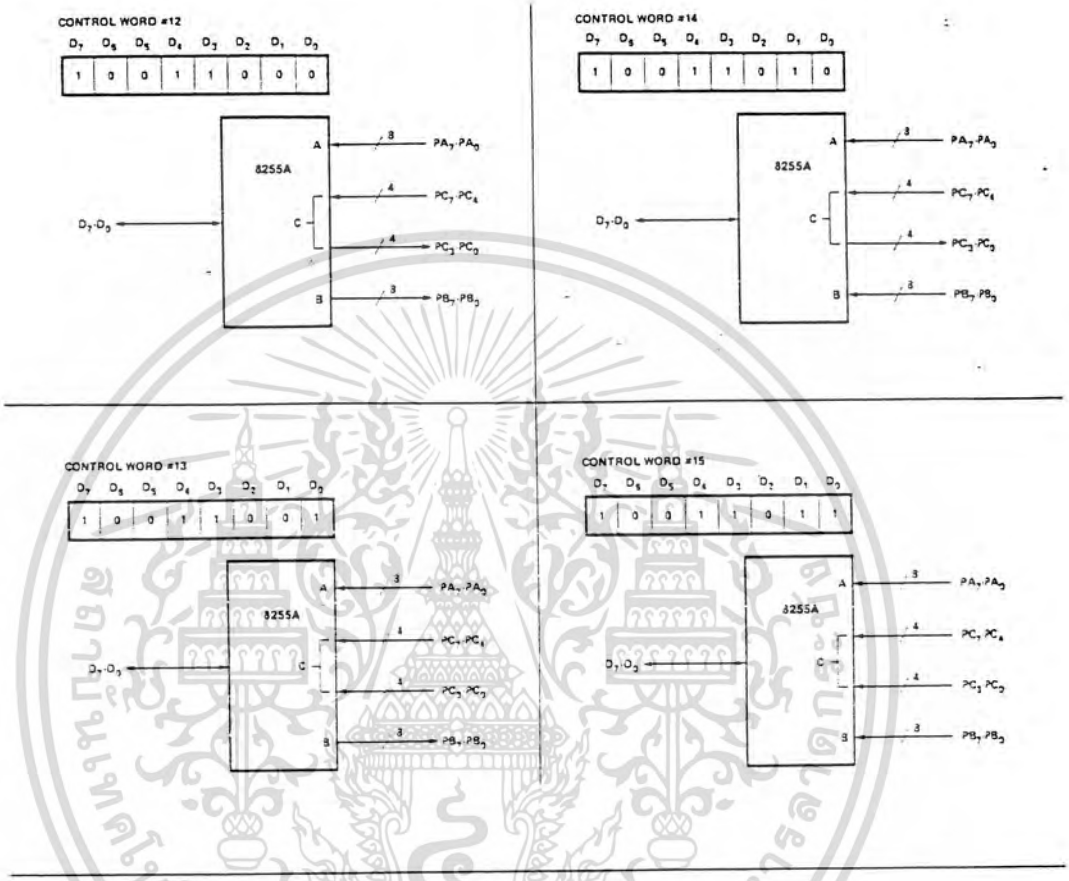
CONTROL WORD =11

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	1



231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

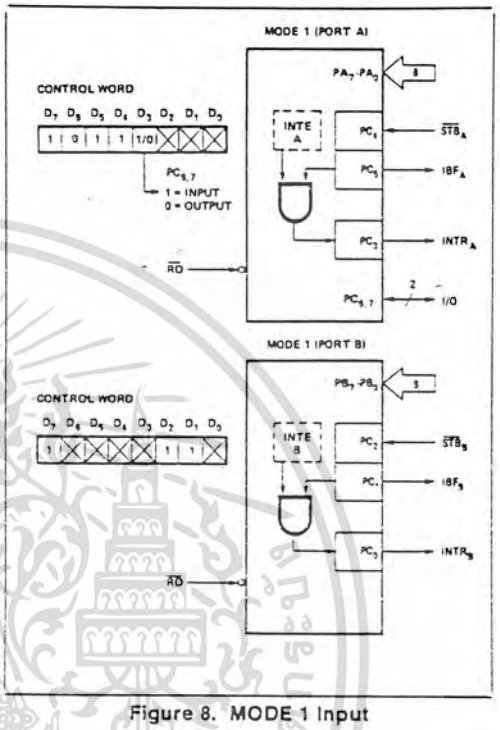


Figure 8. MODE 1 Input

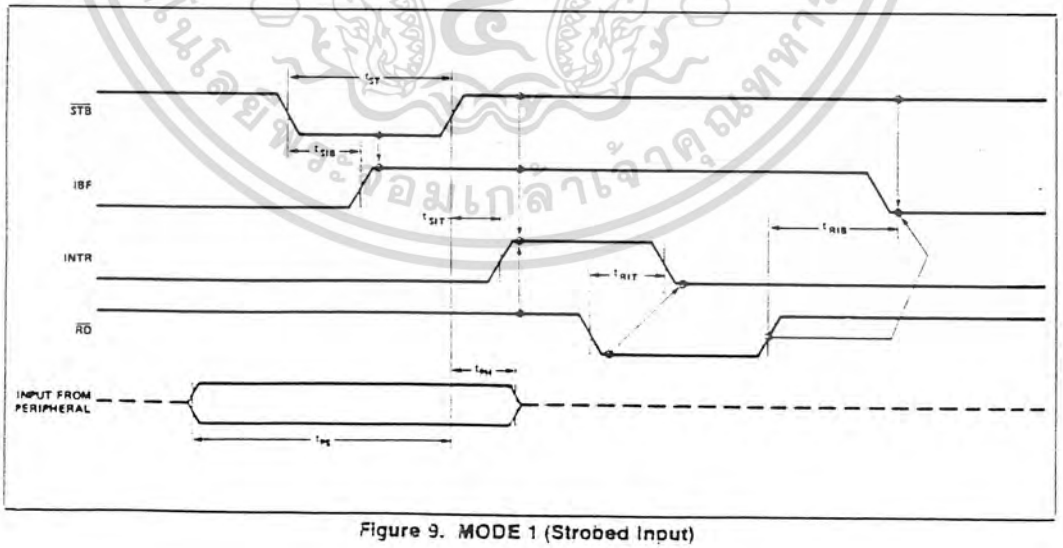


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of WR.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

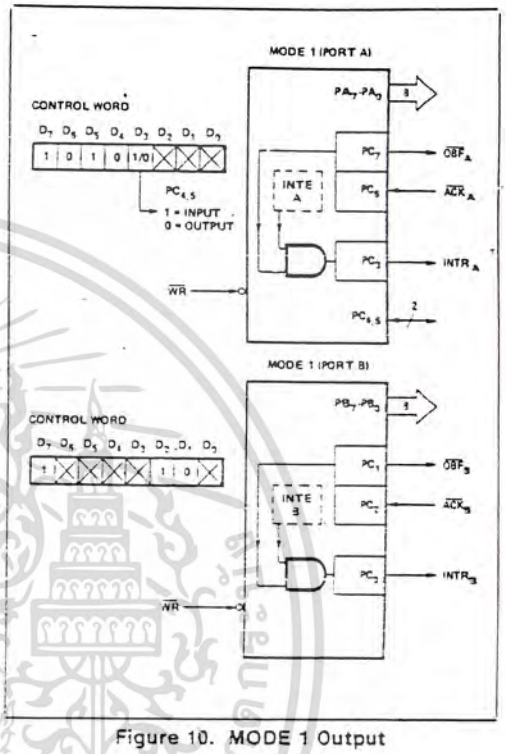


Figure 10. MODE 1 Output

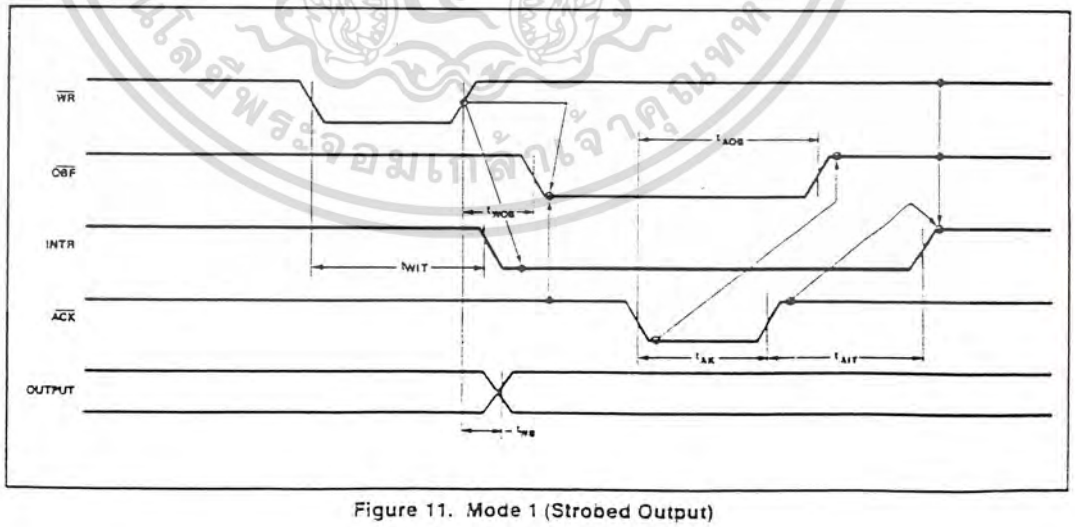


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

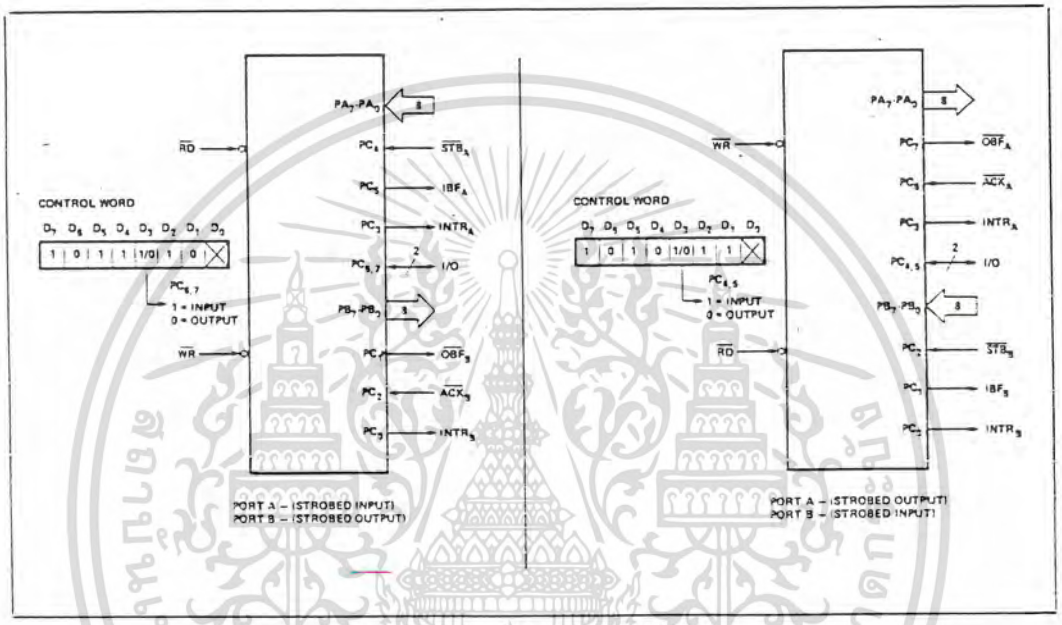


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

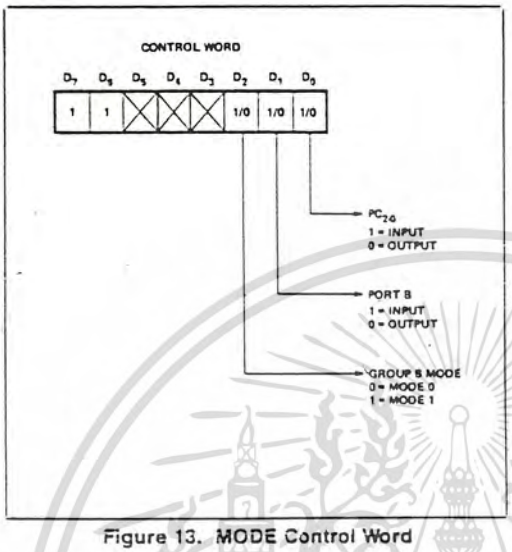


Figure 13. MODE Control Word

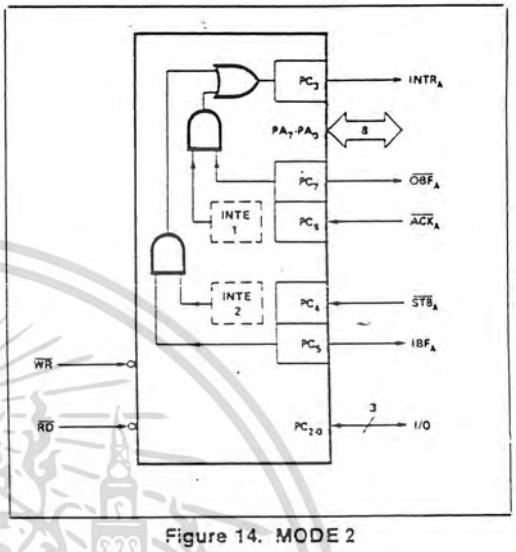


Figure 14. MODE 2

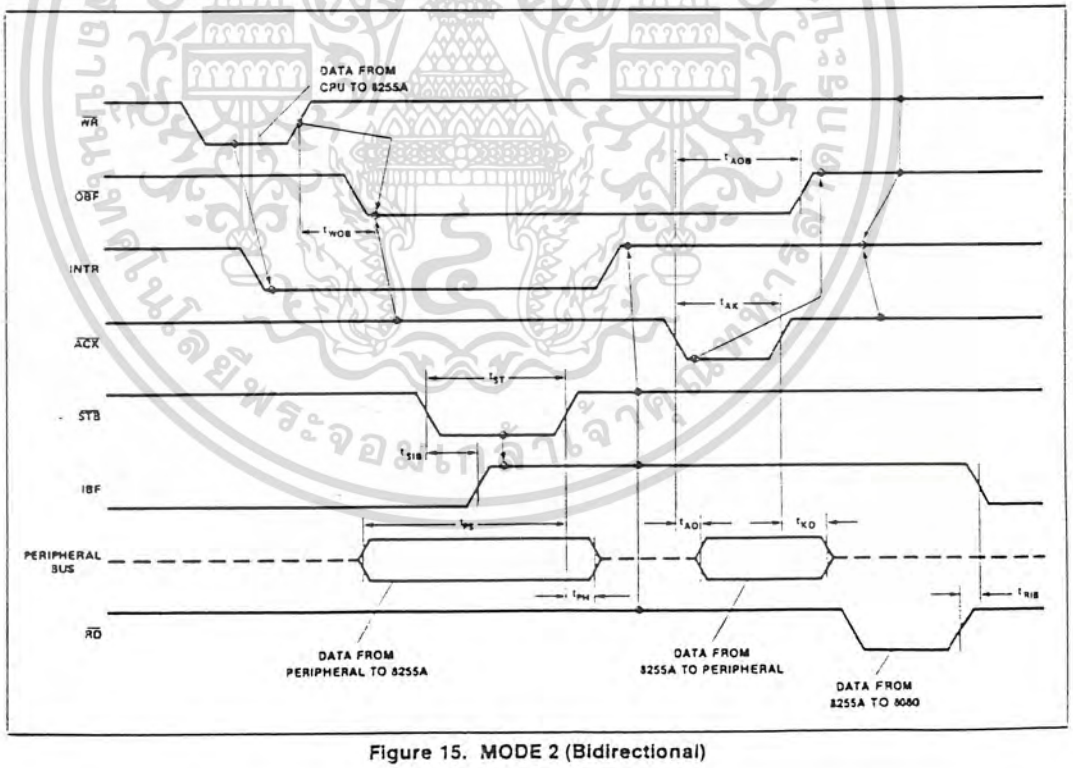


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF · $\overline{MASK}$ · $\overline{STB}$ · $\overline{RD}$ + $\overline{OBF}$ · $\overline{MASK}$ · $\overline{ACK}$ · $\overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

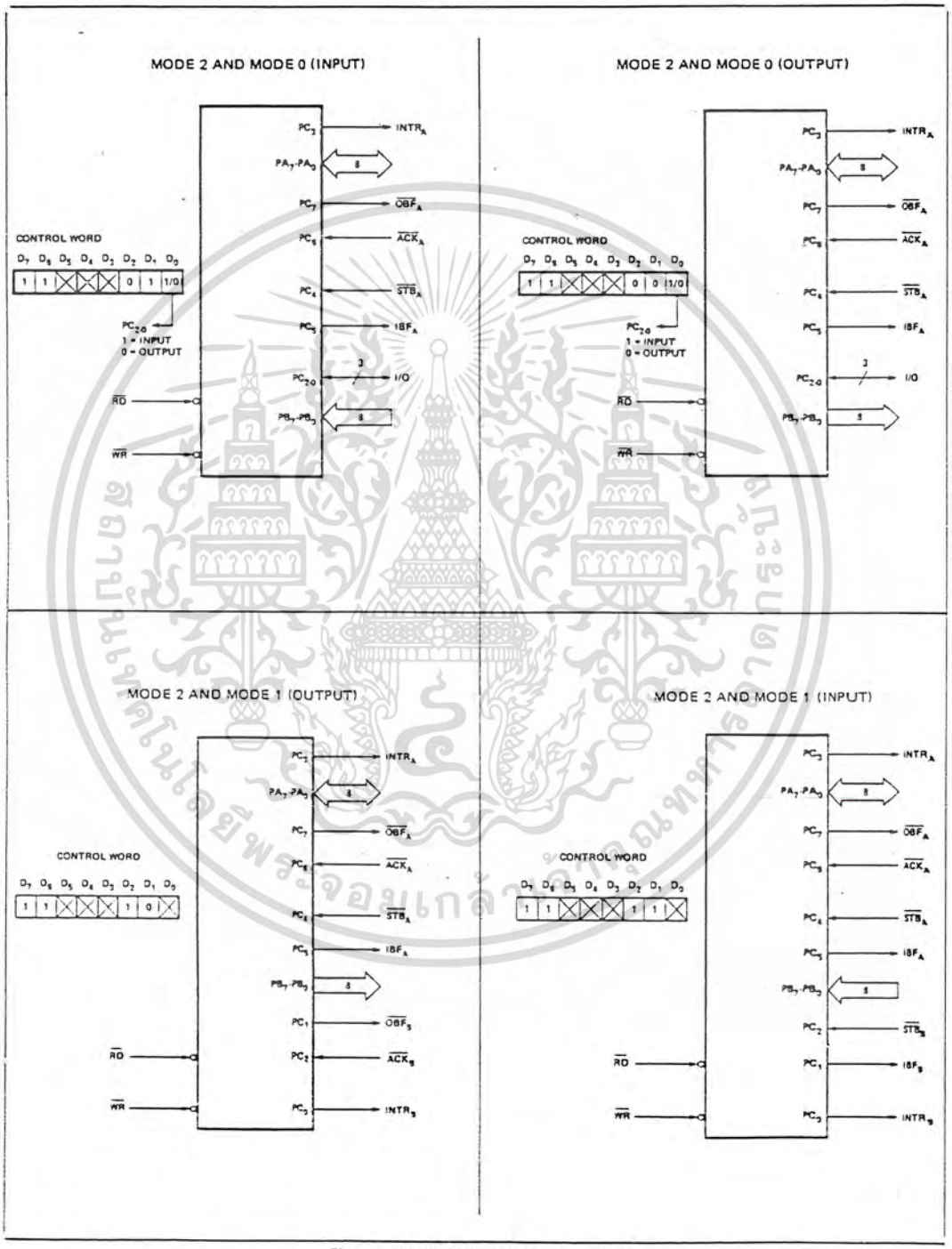


Figure 16. MODE ¼ Combinations

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	⟷	
PA_1	IN	OUT	IN	OUT	⟷	
PA_2	IN	OUT	IN	OUT	⟷	
PA_3	IN	OUT	IN	OUT	⟷	
PA_4	IN	OUT	IN	OUT	⟷	
PA_5	IN	OUT	IN	OUT	⟷	
PA_6	IN	OUT	IN	OUT	⟷	
PA_7	IN	OUT	IN	OUT	⟷	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs —
All input lines can be accessed during a normal Port C read.

If Programmed as Outputs —
Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

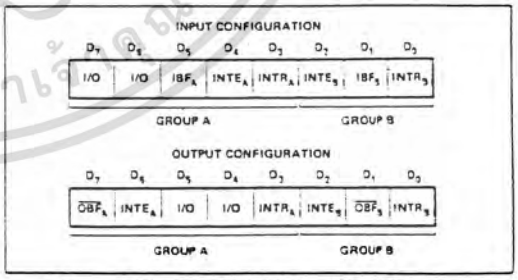


Figure 17. MODE 1 Status Word Format

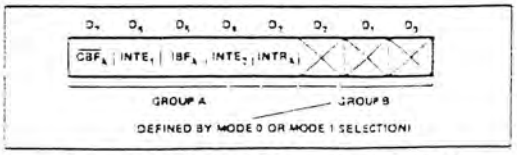


Figure 18. MODE 2 Status Word Format

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

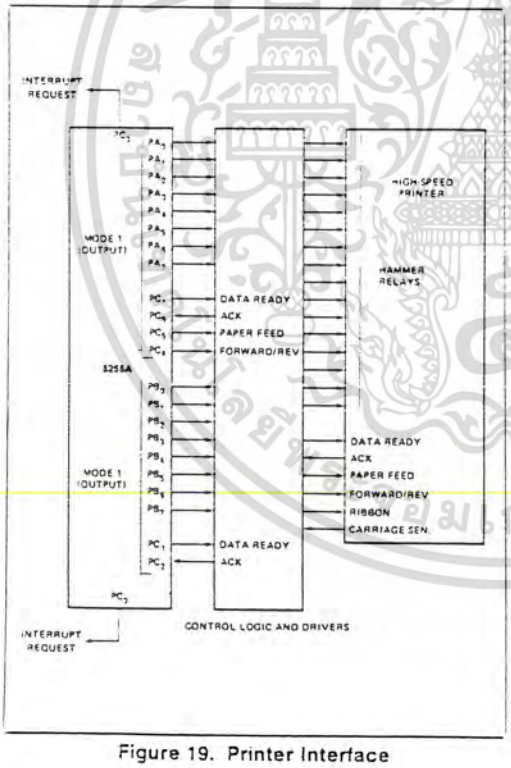


Figure 19. Printer Interface

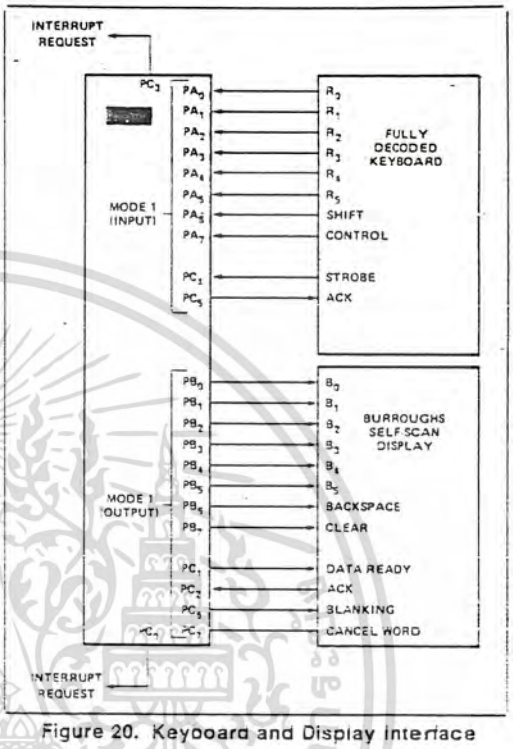


Figure 20. Keyboard and Display Interface

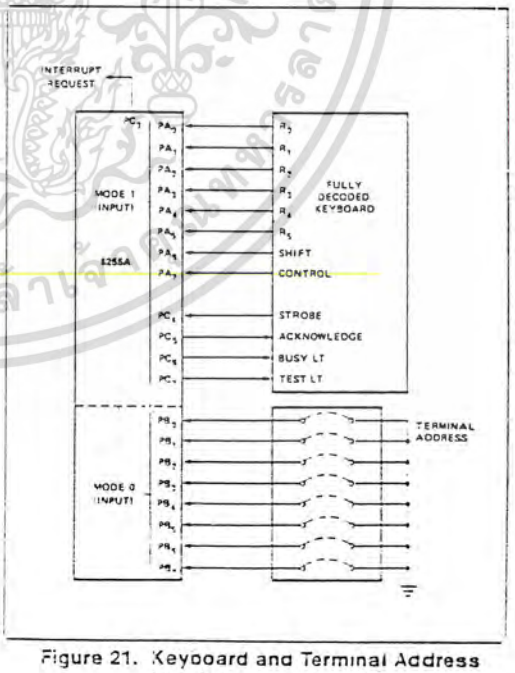


Figure 21. Keyboard and Terminal Address Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

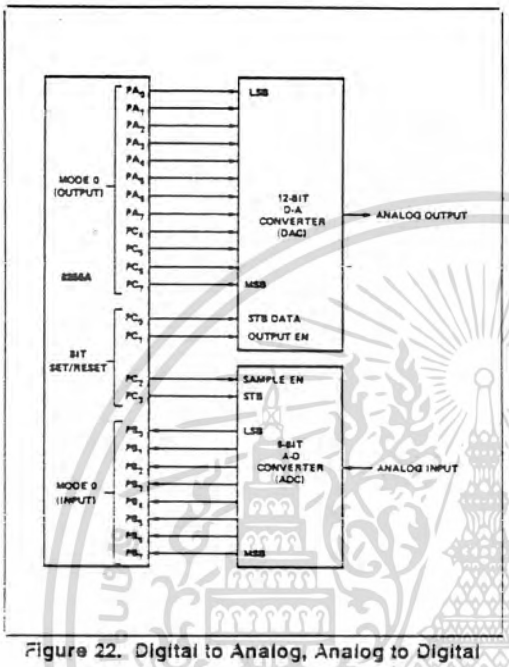


Figure 22. Digital to Analog, Analog to Digital

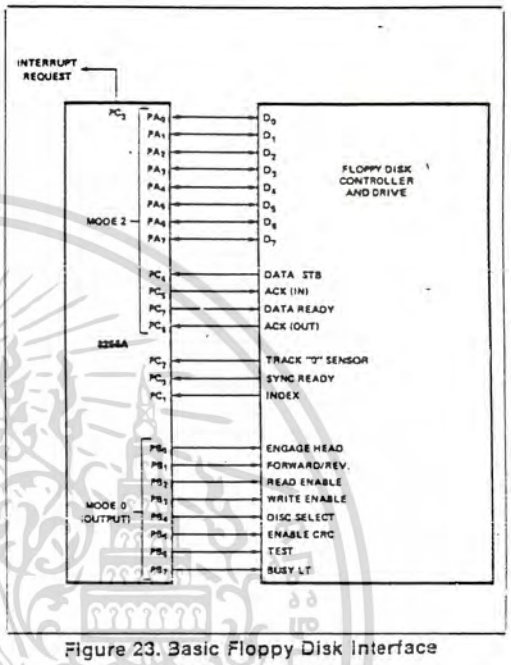


Figure 23. Basic Floppy Disk Interface

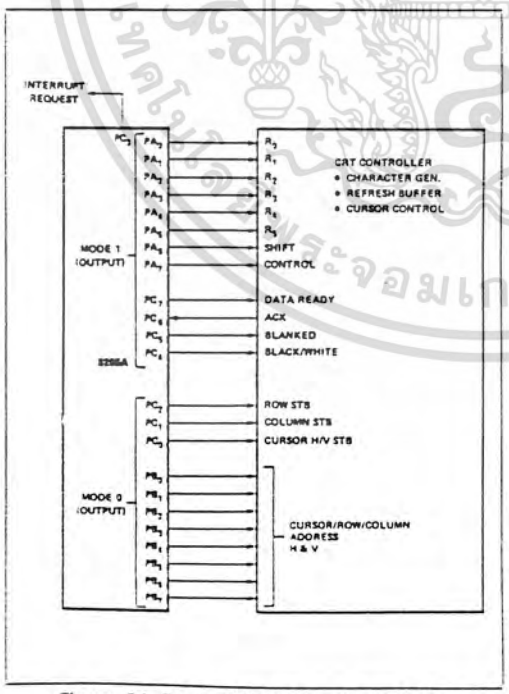


Figure 24. Basic CRT Controller Interface

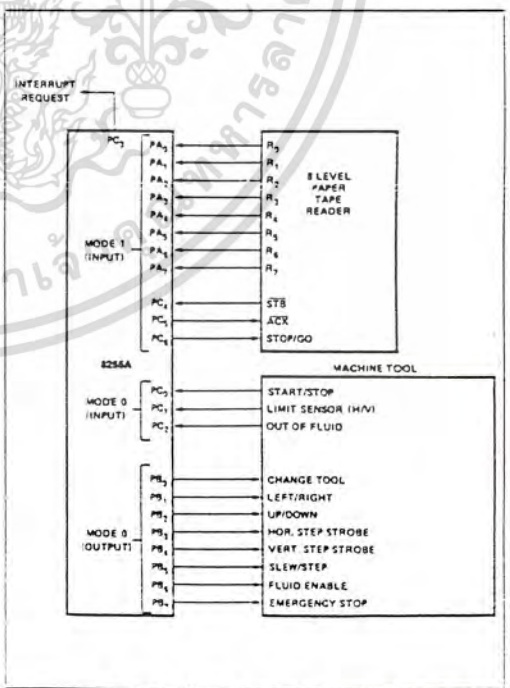


Figure 25. Machine Tool Controller Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. . . . . 0°C to 70°C
Storage Temperature . . . . . −65°C to +150°C
Voltage on Any Pin
With Respect to Ground. . . . . −0.5V to +7V
Power Dissipation . . . . . 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45*	V	I_{OL} = 2.5mA
V_{OL} (PER)	Output Low Voltage (Peripheral Port)		0.45*	V	I_{OL} = 1.7mA
V_{OH} (DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH} (PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	350		350		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

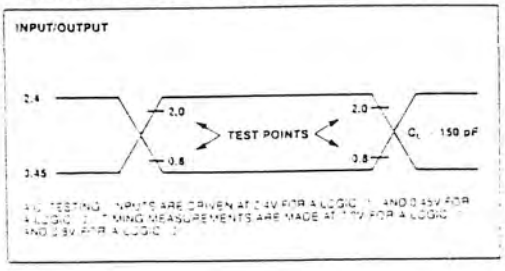
OTHER TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{IR}	Perioneral Data Before RD	0		0		ns
t_{HR}	Perioneral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

NOTES:
1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR↑ may occur as early as $\overline{WR}$↓.

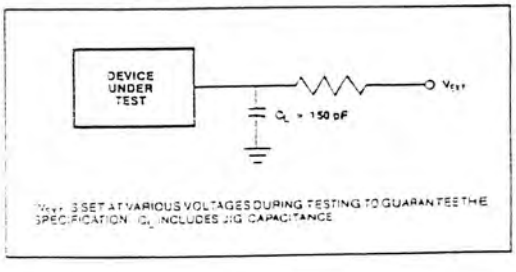
* For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING: INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC "1" AND 0.45V FOR A LOGIC "0". TIMING MEASUREMENTS ARE MADE AT 1.7V FOR A LOGIC "1" AND 0.8V FOR A LOGIC "0".

A.C. TESTING LOAD CIRCUIT

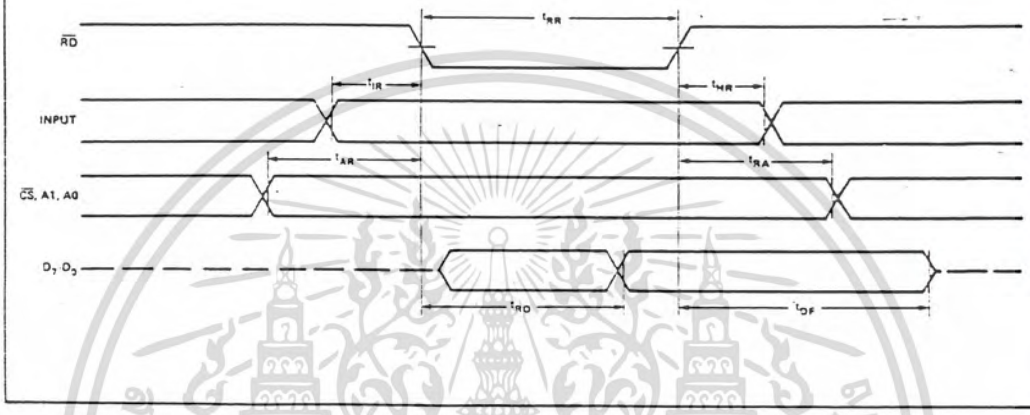


V_{CC} IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION. C_L INCLUDES JIG CAPACITANCE.

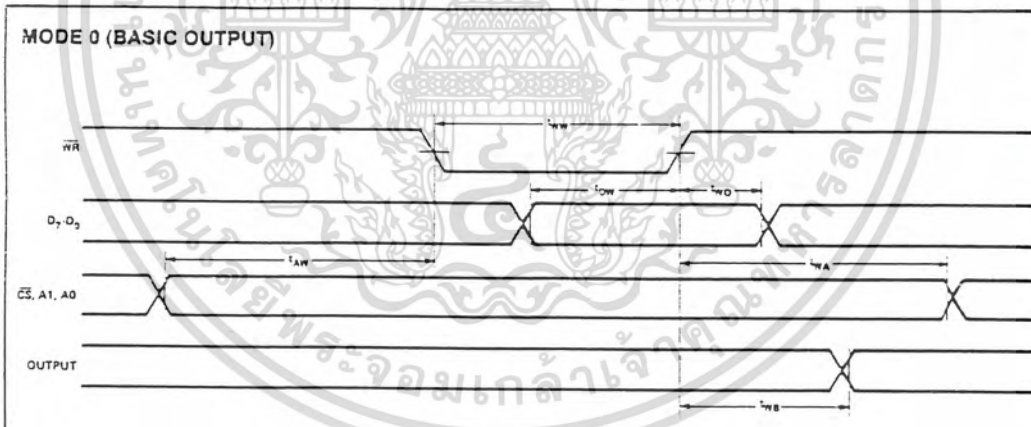
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



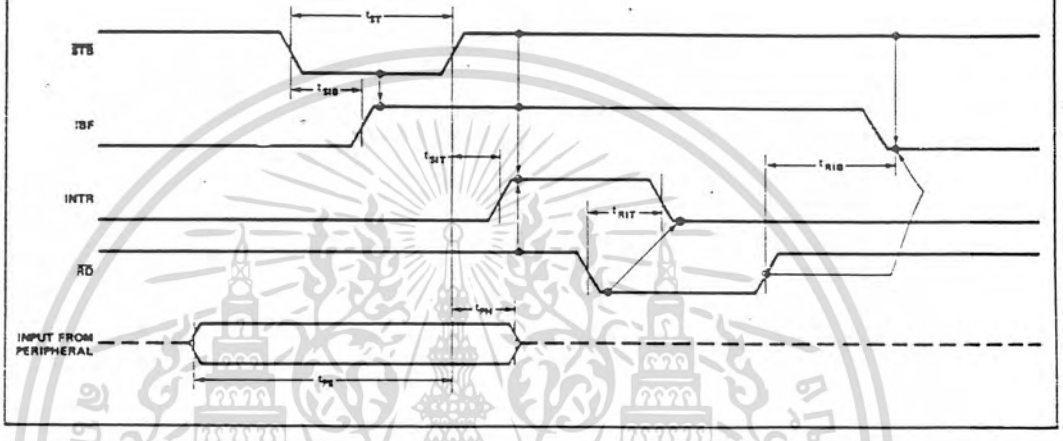
MODE 0 (BASIC OUTPUT)



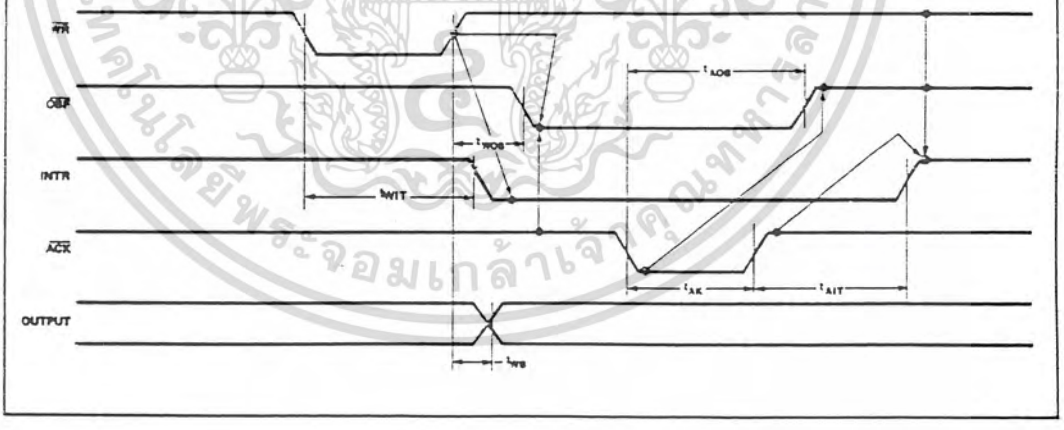
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



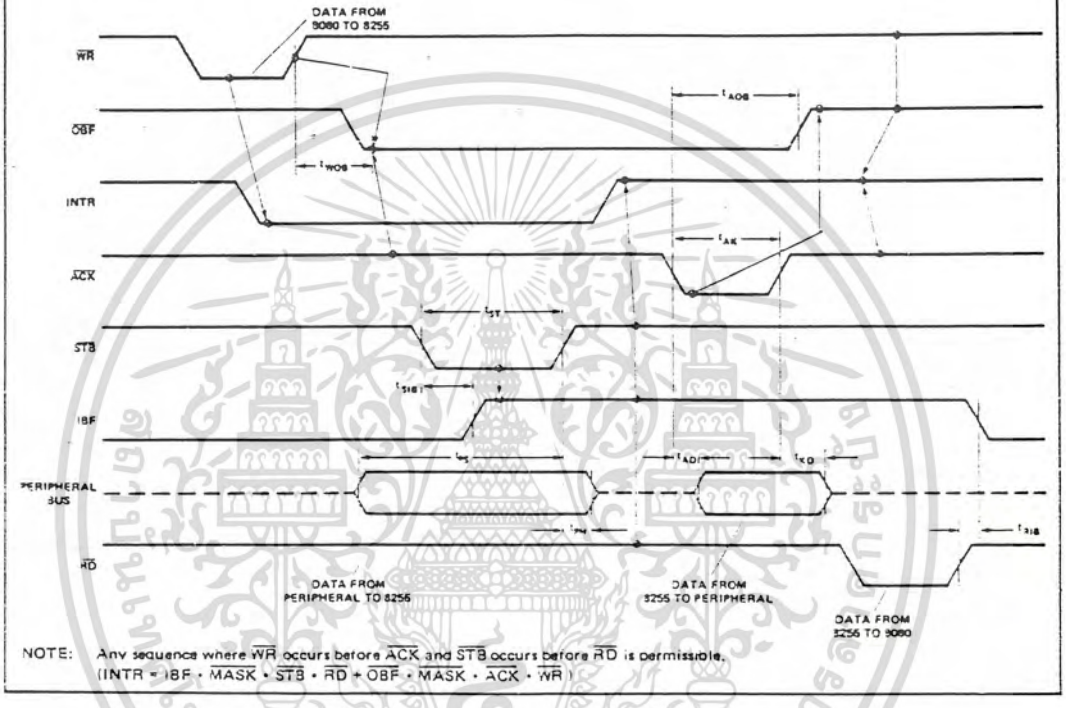
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

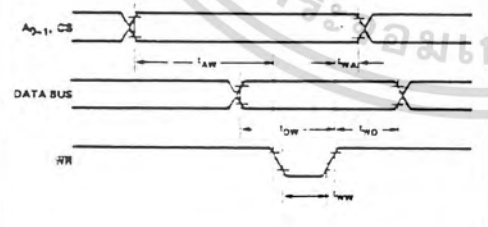
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

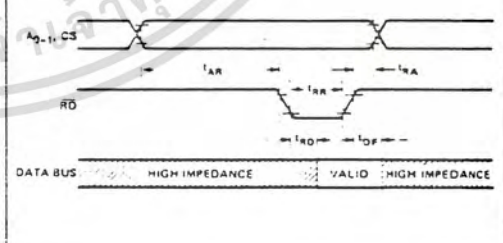


NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
$(INTR = IBF \cdot \overline{MASK} \cdot \overline{STB} \cdot \overline{RD} + \overline{OBF} \cdot \overline{MASK} \cdot \overline{ACK} \cdot \overline{WR})$

WRITE TIMING



READ TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Telecommunications (Telephone Network1) Chartwell Bratt Ltd, ของ ERICSSON หน้า 27-37,42-48,101-109,116-121 1987
2. Telecommunications (Telephone Network1) Chartwell Bratt Ltd, ของ ERICSSON หน้า 16-18,45-73 1987
3. อิเล็กทรอนิกส์2 ละออทิพย์ ชนะชัย, คณะวิทยาศาสตร์ มหาวิทยาลัยรามคำแหง หน้า 13-64 พ.ศ.2532
4. การบันทึกเสียงระบบดิจิตอล ประเสริฐ โรจน์สุธีวัฒน์ สมเกียรติ พูลศิริ, วารสารเซมิคอนดัคเตอร์ เล่ม84 หน้า 144-151 กพ.-มีค.31
5. การบันทึกเสียงระบบดิจิตอล ประเสริฐ โรจน์สุธีวัฒน์ สมเกียรติ พูลศิริ, วารสารเซมิคอนดัคเตอร์ เล่ม85 หน้า 143-153 เมย.-พค.31
6. การใช้งานไอซี 555 สำนักพิมพ์ซีเอ็ดยูเคชั่น พ.ศ.2531
7. อิเล็กทรอนิกส์พื้นฐาน ดร.มงคล เดชนครินทร์ ดร.ชาตรี ศรีไพพรรณ, สำนักพิมพ์ซีเอ็ดยูเคชั่น หน้า 67-139,187-205 พ.ศ.2532

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับที่ได้ทำขึ้นมานี้ สำเร็จลุล่วงไปได้ด้วยดี จากความร่วมมือของหลายฝ่าย ท้ายที่สุดนี้ทางผู้จัดทำขอขอบพระคุณอาจารย์ถวิล พึ่งมา เป็นอาจารย์ที่ปรึกษาซึ่งคอยให้คำแนะนำข้อมูล ตลอดจนอุปกรณ์ต่างๆ และขอขอบคุณพี่พิชญ์, พี่พิเชษฐ์ และพี่กี้ ที่คอยให้คำแนะนำปรึกษาและอำนวยความสะดวกต่างๆ ด้วยดีตลอดมา

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้