อินเวอร์เตอร์แบบ DOUBLE EDGE MODULATION

DOUBLE EDGE MODULATION INVERTER

โดย

นาย รุ่งธรรจน์ จตุรวรพร

นาย วิวัฒน์ ลีลาไชยสกุล

นาย วีรชัย จารุศิริพจน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมบัณฑิต

สาขาวิศวกรรมอิเลคทรอนิคส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033360

ปริญญานิพนธ์ ปีการศึกษา 2536

ภาควิชา อิเลคทรอนิคส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง DOUBLE EDGE MODULATION INVERTER

ผู้จัดทำ 1 นาย รุ่งโรจน์ จตุรวรพร รหัส 33100320

2 นาย วิวัฒน์ ลีลาไชยสกุล รหัส 33100355

3 นาย วีรชัย จารุศิริพจน์ รหัส 33100361

_____ อาจารย์ที่ปรึกษา

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเวอร์เตอร์แบบดับเบิ้ลเอจมอดดูเลชั่น
DOUBLE-EDGE MODULATION INVERTER

โดย รุ่งโรจน์ จตุรวรพร
วิวัฒน์ ลีลาไชยสกุล
วีรชัย จารุศิรินจน์
อาจารย์ที่ปรึกษา อ. สมศักดิ์ เชียร์ศิริกุล
ปีการศึกษา 2536

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ ได้เสนอแนวความคิดในการพัฒนาอินเวอร์เตอร์ โดยการสวิทชิ่งตามความกว้างของพัลส์ ใช้สัญญาณควบคุมแบบ PWM DOUBLE-EDGE (HFPD) ด้วยความถี่สูง โดยใช้มอสเฟตกำลังเป็นตัวสวิทชิ่ง เนื่องจากมอสเฟตกำลังมีความเร็วในการสวิทชิ่งสูง และมีความสูญเสียกำลังต่ำ

ปริญญานิพนธ์ฉบับนี้ จะแบ่งออกเป็น 2 ส่วน คือ ส่วนของการสร้างแรงดันไฟตรงจากแบตเตอรี่ การใช้วิธีสวิทชิ่งที่ความถี่สูงนั้น ทำให้ขนาดของหม้อแปลงมีขนาดเล็กลง ส่วนหลังเป็นส่วนของการแปลงไฟตรงไปเป็นไฟสลับ โดยใช้มอสเฟตเป็นอุปกรณ์สวิทชิ่ง.

ABSTRACT

This thesis presents an idea for inverter developement by using PWM DOUBLE EDGE (HFPD) control technique at high frequency switching. Power MOSFETs are used because of their high switching speed and low power loss.

The operating system can be seperated into two parts. The first part generated dc voltage, at switching of 20 KH$_z$.The input part is supplied from battery bank. Switching at frequency can reduce the transfomer size. The second part is used to convert the dc voltage to sinusodial ac voltage by using Power MOSFET.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1. บทนำ 1

บทที่ 2. อินเวอร์เตอร์.....2

- วงจรสร้างสามเหลี่ยมและสัญญาณพัลส์.....3
- วงจรสร้างสัญญาณซายน์.....3
- วงจร COMPARE.....4
- วงจรตรรก.....7
- วงจรขับ MOSFET.....11
- วงจรกำลัง (POWER STAGE).....13
- วงจร SWITCHING POWER SUPPLY.....15
- วงจรกรองความถี่.....17

บทที่ 3. การออกแบบหม้อแปลงความถี่สูง.....20

BATTERY CHARGER.....29

บทที่ 4. ผลการทดลอง.....32

สรุปผลการทดลอง.....33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

INVERTER แบบ PULSE WIDTH DOUBLE EDGE MODULATION เป็น INVERTER อีกรูปแบบหนึ่งซึ่งได้ทำการออกแบบมาเพื่อแก้ปัญหาของ PLUSE WIDTH MODULATE INVERTER ซึ่งตามปกติแล้ว PWM INVERTER ทั่วๆไป ไม่สามารถที่จะทำการ STEP UP โดย POWERTRANSFORMER ที่มีความถี่สูง หรือ PLUSE TRANSFORMER ได้ ซึ่งปัญหานี้เราทำการค้นพบว่า PWM ที่ทำการอยู่ทั่วไปนั้น ถ้าจะทำการ STEP UP จะต้องทำการกรองสัญญาณ PWM ให้เป็น SINE เสียก่อน แล้วจากนั้นก็จะใช้หม้อแปลงแกนเหล็กทำการ STEP UP สัญญาณ ซึ่งวิธีนี้จะทำให้เกิด LOSE ภายในแกน หรือ เรียกว่า CORE LOSE พบว่าจะทำให้ประสิทธิภาพการทำงานนั้นมีค่าน้อยกว่าการใช้หม้อแปลงความถี่สูง ซึ่งหม้อแปลงความถี่สูงนั้นจะมี CORE LOSE น้อยมาก และเหมาะสมกับ POWER ELECTRONIC ซึ่งหลักการออกแบบหม้อแปลงความถี่สูงนั้น เราจะใช้ทฤษฎีเดียวกับการพันหม้อแปลงของ INDUCTION HEATING , DC SWITCHING POWER SUPPLY แต่การทำงานจะกลับกันคือ INDUCTION HEATING กับ DC POWER SUPPLY ต้องการ I/P ที่มีกระแสต่ำกว่า O/P สำหรับ INVERTER ชนิด PLUSE WIDTH DOUBLE EDGE MODULATION จะใช้กระแส I/P มากกว่า O/P เพราะฉะนั้นจะเห็นว่า INVERTER แบบนี้สามารถที่จะนำมาใช้กับระบบต่างๆที่ต้องการประสิทธิภาพมากได้ดี

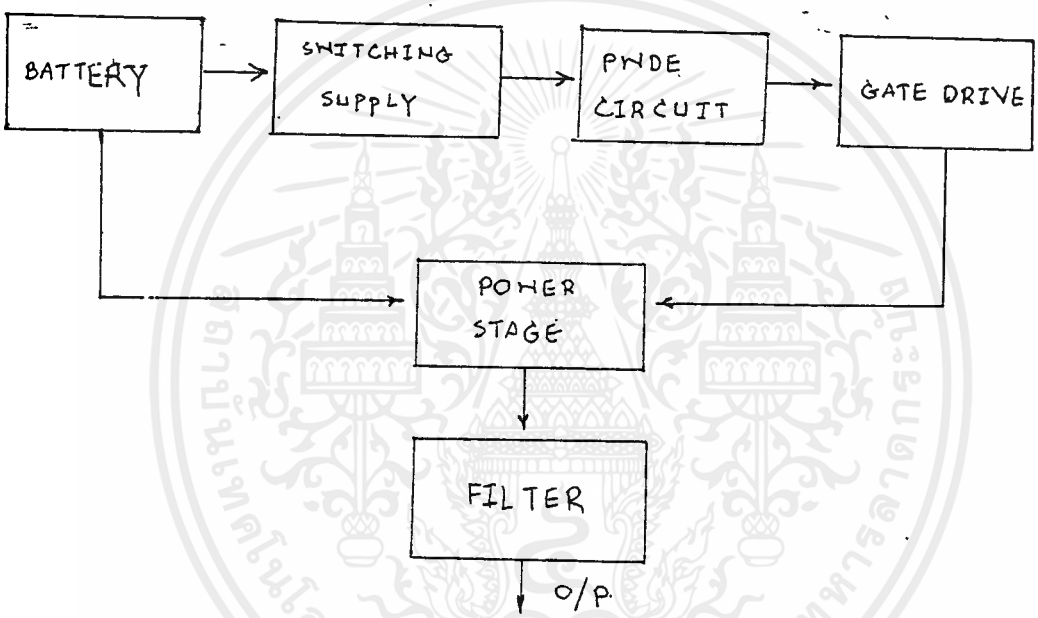
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

อินเวอร์เตอร์

ลักษณะการทำงานของวงจรอาศัยอุปกรณ์อิเล็กทรอนิคส์กำลัง เช่น เพาเวอร์ทรานซิสเตอร์ (Power transistor), เอสซีอาร์(SCR) หรือ เพาเวอร์มอสเฟต(Power MOSFET) สำหรับโครงงานนี้ใช้อุปกรณ์กำลังคือ เพาเวอร์มอสเฟต

เราสามารถแสดงบล็อกไดอะแกรม(Block diagram) แสดงการทำงานอย่างคร่าวๆของโครงงานได้ ดังรูป 2.1



รูปที่ 2.1 แสดงบล็อกไดอะแกรมแสดงการทำางาน

อินเวอร์เตอร์ในโครงงานนี้ประกอบด้วยวงจรต่างๆ ดังต่อไปนี้

1. วงจรสร้างสร้างสามเหลี่ยมและสัญญาณพัลส์
2. วงจรตรรก ทำหน้าที่สร้างสัญญาณควบคุมการทำงานของมอสเฟต
3. วงจรขับมอสเฟต (Gate Drive Circuit) ทำหน้าที่ขยายสัญญาณควบคุมที่สร้างขึ้นให้มีกำลังสูงพอที่จะนำไปขับเพาเวอร์มอสเฟต ให้ทำการสวิทช์ตามรูปแบบของคลื่น PWDE
4. วงจรกำลัง (Power Stage) จะเป็นส่วนที่แปลงแรงดันไฟตรงให้เป็นไฟสลับ
5. วงจรกรองความถี่ (Filter) ทำหน้าที่กรองความถี่ฮาร์โมนิคต่างๆที่เกิดขึ้นออกไป อันเนื่องมาจากสัญญาณที่ออกมาจากวงจรกำลังเป็นรูปพัลส์ เพื่อให้ได้เอาท์พุทเป็นรูปซาน์ยตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1วงจรสร้างสัญญาณสามเหลี่ยม และ PLUSE

วิธีการสร้างสัญญาณสามเหลี่ยมความถี่ 20 kHz กับ สัญญาณ Pluse ความถี่ 20 kHzและสัญญาณ pluse ความถี่ 50 Hz วิธีการสร้างสัญญาณสามเหลี่ยมความถี่ 20 kHz กับสัญญาณ pluse ความถี่ 20 kHz เราใช้ ICเบอร์ 8038 เป็นตัวผลิตสัญญาณ สามเหลี่ยม และสัญญาณ pluse 20 kHz โดยที่ขา 4 กับ 5 ของ IC 8038 จะมีค่า R 30 K ต่ออยู่ทั้ง2ขา เพื่อให้ค่า duty cycle ของสัญญาณสามเหลี่ยมเป็น 50% และมี R 10Kเปลี่ยนค่าได้ที่ขา6 เป็นตัวปรับความถี่ของสัญญาณสามเหลี่ยมที่ออกจากขา3 ให้มีค่า 20 kHz พอดี จากนั้นเรานำสัญญาณที่ได้ป้อนเข้ากับ Op Amp 741 เพื่อทำการปรับขนาดของสามเหลี่ยม โดยเปลี่ยนแปลงค่า R Vary 50 K ที่ต่อกับขา O/P เพื่อทำการปรับ offset ของสัญญาณสามเหลี่ยม เพื่อให้ชีกบวกและชีกลบมีขนาดเท่ากัน และป้อนสัญญาณนี้เข้าวงจร comparator อีกที

ส่วนสัญญาณ pluse ความถี่ 20 kHz ที่ออกมาจากขา 9 ของ IC 8038 ซึ่งเราจะใช้สัญญาณนี้เป็น counter หรือ สัญญาณCo ในวงจรตรรก สำหรับสัญญาณ pluse ความถี่50 kHz เราสามารสร้างได้จากวงจรหารความถี่ ซึ่งตัวหารจะต้องมีค่าเท่ากับ 20 kHz/50เท่ากับ 400 Hz มีค่าเท่ากับ 2*2*2*2*5*5 จากการแยกตัวประกอบจะพบว่า เราต้องใช้ตัวหาร5 จำนวน2ตัว ซึ่งเราใช้ IC 74LS90 เป็นตัวหารความถี่ และสำหรับวงจรหารความถี่16 เราใช้ ICเบอร์14024 เป็นตัวหารความถี่ เมื่อเราทำการหารความถี่ให้ได้ pluse 50 Hz แล้วส่งสัญญาณเข้าวงจรกำเนิด sine wave ความถี่ 50 Hz.

วงจรสร้างสัญญาณ SINE WAVE

หลักการในการออกแบบนั้นเราต้องการทำการแปลงสัญญาณ pluse ความถี่ 50 Hz ให้เป็นสัญญาณ sine wave ความถี่ 50 Hz ซึ่งสัญญาณ pluse นั้นเราจะทำการใช้ low pass หรือ band pass กรองให้เป็น sine wave โดยตรงนั้นไม่สามารถทำได้เนื่องจากสัญญาณ pluse มี harmonic มากมาย หรือถ้าเราจะทำการออกแบบโดยนำเอาสัญญาณpluse มาทำการ integrate 2 ครั้ง เพื่อให้ได้ sine wave นั้นก็ได้ แต่สัญญาณที่ได้ออกมานั้นจะเพี้ยนไม่เป็นสัญญาณ pure sine wave ดังนั้นเราจะต้องทำการแปลงสัญญาณ pluse มาเป็นสัญญาณสามเหลี่ยมก่อน และหลังจากนั้นจึงทำการใช้ bandpass filter กรองความถี่ให้เหลือ 50 Hz ซึ่งนั่นก็คือ สัญญาณ sine wave นั่นเอง

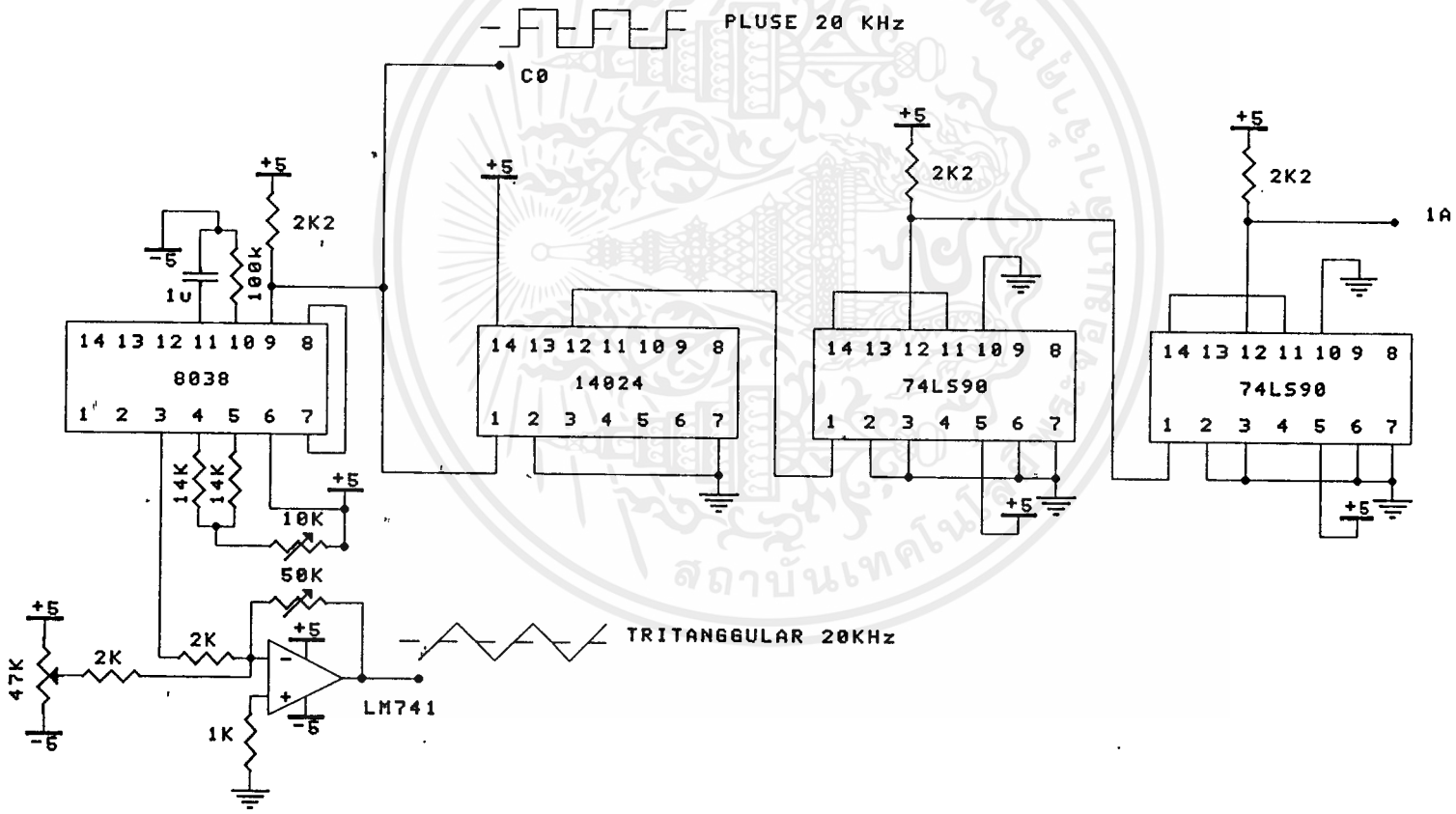
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการสร้างสัญญาณ sine wave นั้นจากรูป 3.2 เมื่อเราได้สัญญาณ pluse ความถี่ 50 Hz จากวงจรหารความถี่ แล้วสัญญาณที่ได้จะมีชีกบวกอย่างเดียว แต่ในการ integrateสัญญาณ pluse ให้เป็นสามเหลี่ยมนั้น เราต้องใช้pluse ทั้งชีกบวก และชีกลบ ซึ่งจะเห็นว่าสัญญาณที่เราได้จากวงจรหารความถี่นั้น เราต้องทำการดัดแปลงสัญญาณ pluse ที่มีชีกบวกเพียงอย่างเดียว ให้มีทั้งชีกบวกและชีกลบเสียก่อน โดยเราจะใช้ Op Amp ตัวแรกเป็นตัว copare และใช้ Zener Diode 3.1V เป็นตัว block สัญญาณให้มีทั้งชีกบวก และชีกลบซึ่งมีค่า +3.1V และ -3.1V เมื่อเราได้สัญญาณ pluse แล้วจึงทำการ integrate โดย Op Amp ตัวที่2 จากนั้นเราจึงกรองความถี่โดยใช้ band pass filter ขนาด 50 kHz ซึ่งทำงานโดย Op Ampตัวที่3 และ4 จากนั้นเราทำการขยายสัญญาณ sine wave โดยใช้ Op Ampตัวที่5 ซึ่ง Op Amp ตัวนี้สามารถปรับ offsetสัญญาณ sine wave ให้ชีกบวกและชีกลบมีขนาดเท่ากันโดย R Vary 47 K ส่วน Op Amp ตัวที่6 จะทำการกลับ phase สัญญาณ sine wave ทำให้เราได้สัญญาณ sine wave 2 สัญญาณซึ่งมี phase ตรงข้ามกัน หลังจากนั้นนำสัญญาณทั้งนี้เข้าวงจร comparator

<u>วงจร COMPARATOR</u>

เมื่อเราได้สัญญาณ sine wave ที่มี phase กลับกันความถี่ 50 Hz แล้วนำมาทำการเปรียบเทียบกับสัญญาณสามเหลี่ยมความถี่ 20 kHz โดยเราใช้ comparator ที่มีความไวสูง ซึ่งในที่นี้เราใช้ IC เบอร์ LM319 ซึ่งเป็น Dual Comparator สัญญาณ O/P ที่ได้จะเป็นสัญญาณ Ca,Cb ซึ่งเป็นสัญญาณที่ใช้ในการสร้างสัญญาณทริกขาเกทของ POWER MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงวงจรสร้างสามเหลี่ยมและพัลส์

Title		
Size	Number	Rev

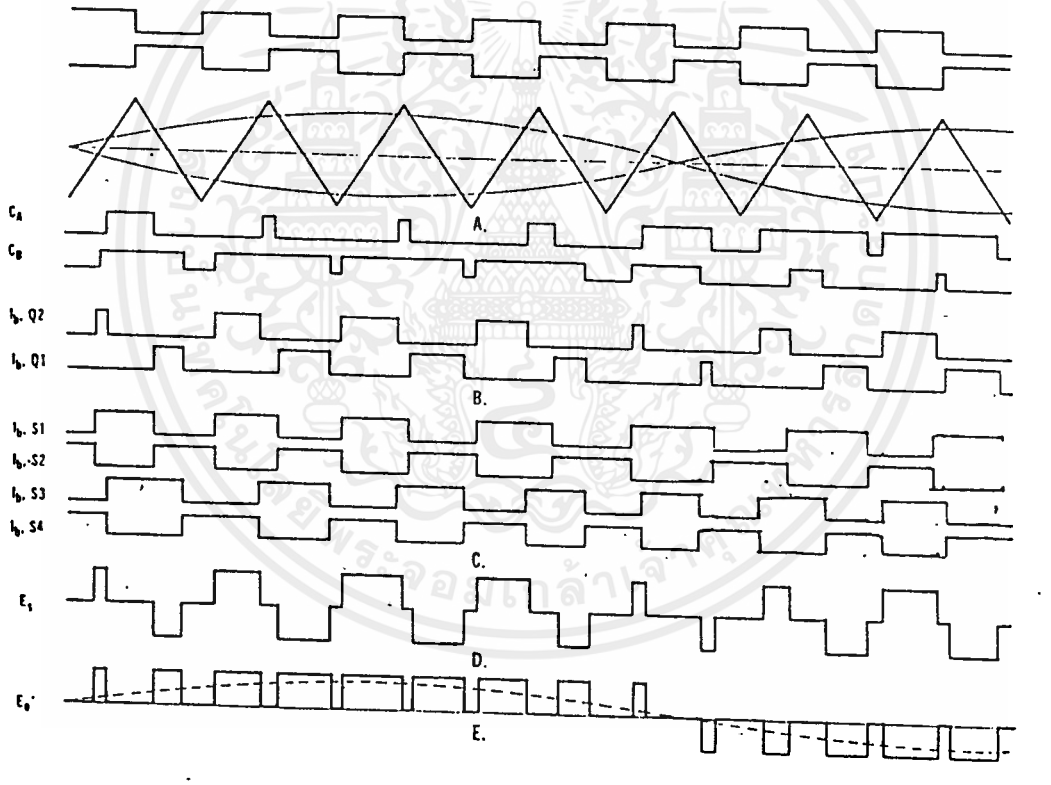
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.2 แสดงวงจรสร้างสัญญาณไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรตรรก

ในการสร้างสัญญาณที่ใช้ในการทริกขาเกทของ POWER MOSFET ในส่วนของ POWER STAGEต้องใช้สัญญาณ 3 สัญญาณมาประมวลผล โดยสัญญาณทั้ง 3 ประกอบด้วย Co,Ca,Cb, เพื่อให้ได้สัญญาณ O/P ที่ใช้ในการทริกขาเกทของ POWER MOSFET อันได้แก่ Q1,Q2,S1,S2,S3, S4 โดยที่Q1,Q2 เป็นสัญญาณที่ทำหน้าที่ทริกขาเกทของ POWER MOSFET ทางด้าน I/P ของหม้อแปลง และS1,S2,S3,S4 เป็นสัญญาณที่ทำหน้าที่ทริกขาเกทของ POWER MOSFET ทางด้าน O/P ของหม้อแปลง



รูปที่ 2.3 แสดงสัญญาณต่างๆที่ใช้ในการสร้างสัญญาณทริกขาเกทของ POWER MOSFET

ในการสร้างสัญญาณต่างๆที่กล่าวมานั้น เราจะใช้แผนที่คาร์นอชึ่งเป็นรูปภาพเชิงเราขาคณิตมาช่วยในการสัลเดราะห์ และลดรูปวงจรทางตรรกให้น้อยที่สุด จากรูปที่ผ่านมาทำให้เราหาความสัมพันธ์มางตรรกระหว่างสัญญาณ I/P (Co,Ca,Cb) กับสัญญาณ O/P (S1,S2,S3,S4) ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I/P			O/P					
Co	Ca	Cb	Q1	Q2	S1	S2	S3	S4
0	0	0	0	0	0	1	0	1
0	0	1	0	0	0	1	0	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	0
1	0	0	0	1	0	1	1	0
1	0	1	1	0	1	0	0	1
1	1	0	0	0	1	0	1	0
1	1	1	0	0	1	0	1	0

จากความสัมพันธ์ดังกล่าวใช้แผนที่คาร์นอช่วยสังเคราะห์ได้ดังนี้

Cb Co / Ca	00	01	11	10
0	0	0	1	0
1	0	1	0	0

แผนที่คาร์นอของสัญญาณ Q1

Cb Co / Ca	00	01	11	10
0	0	0	0	1
1	1	0	0	0

แผนที่คาร์นอของสัญญาณ Q2

Cb Co / Ca	00	01	11	10
0	0	0	0	1
1	1	0	1	1

แผนที่คาร์นอของสัญญาณ S1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ห้องสมุดกลาง และวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

Cb Co / Ca	00	01	11	10
0	1	1	1	0
1	0	1	0	0

แผนที่คาร์นอของสัญญาณ S2

Cb Co / Ca	00	01	11	10
0	0	0	1	0
1	0	1	1	1

แผนที่คาร์นอของสัญญาณ S3

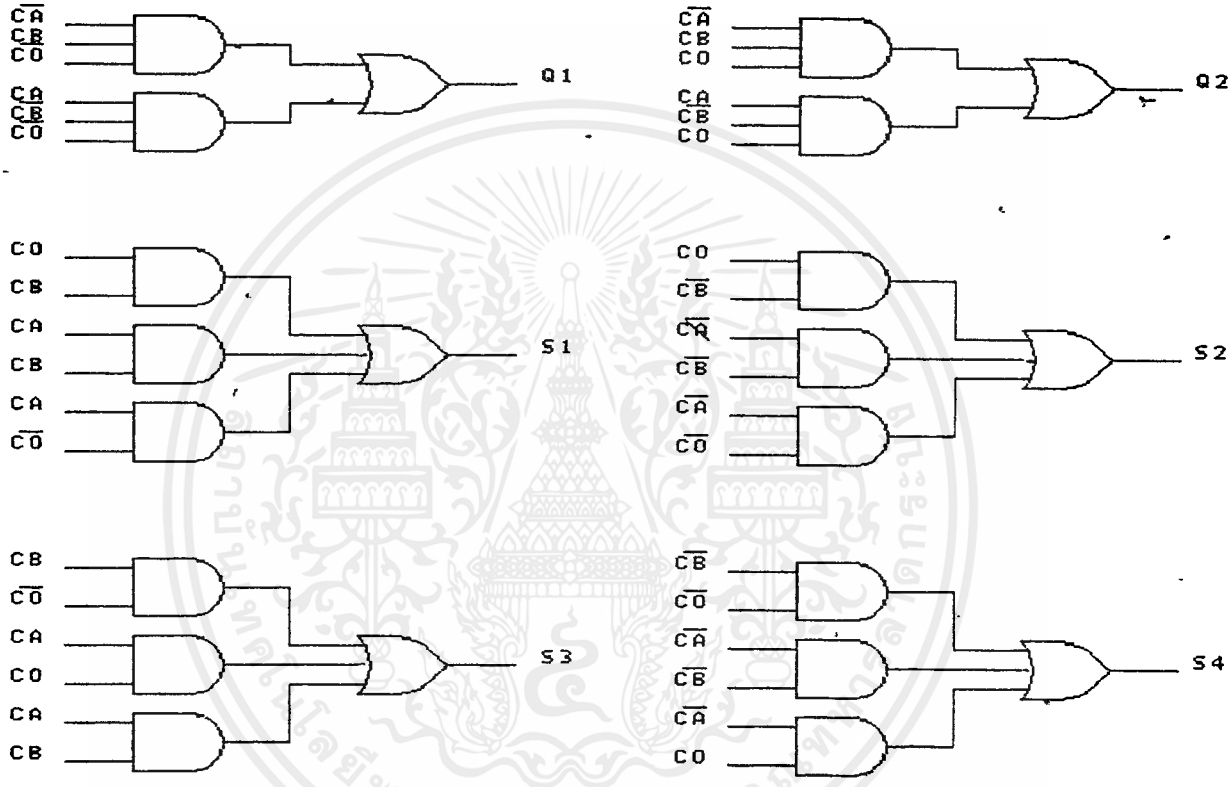
Cb Co / Ca	00	01	11	10
0	1	1	0	1
1	1	0	0	0

แผนที่คาร์นอของสัญญาณ S4

จากรูปแผนที่คาร์นอทำให้เราสามารถหาความสัมพันธ์ทางตรรกระหว่าง I/P และ O/P แต่ละตัว ได้ดังนั้นเราสามารถสร้างวงจรตรรกที่ใช้ทริกฮาเกทของ POWER MOSFET แต่ละอันได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033369



รูปที่ 2.4 วงจรตรรกสำหรับทริกชาเกตของ POWER MOSFET

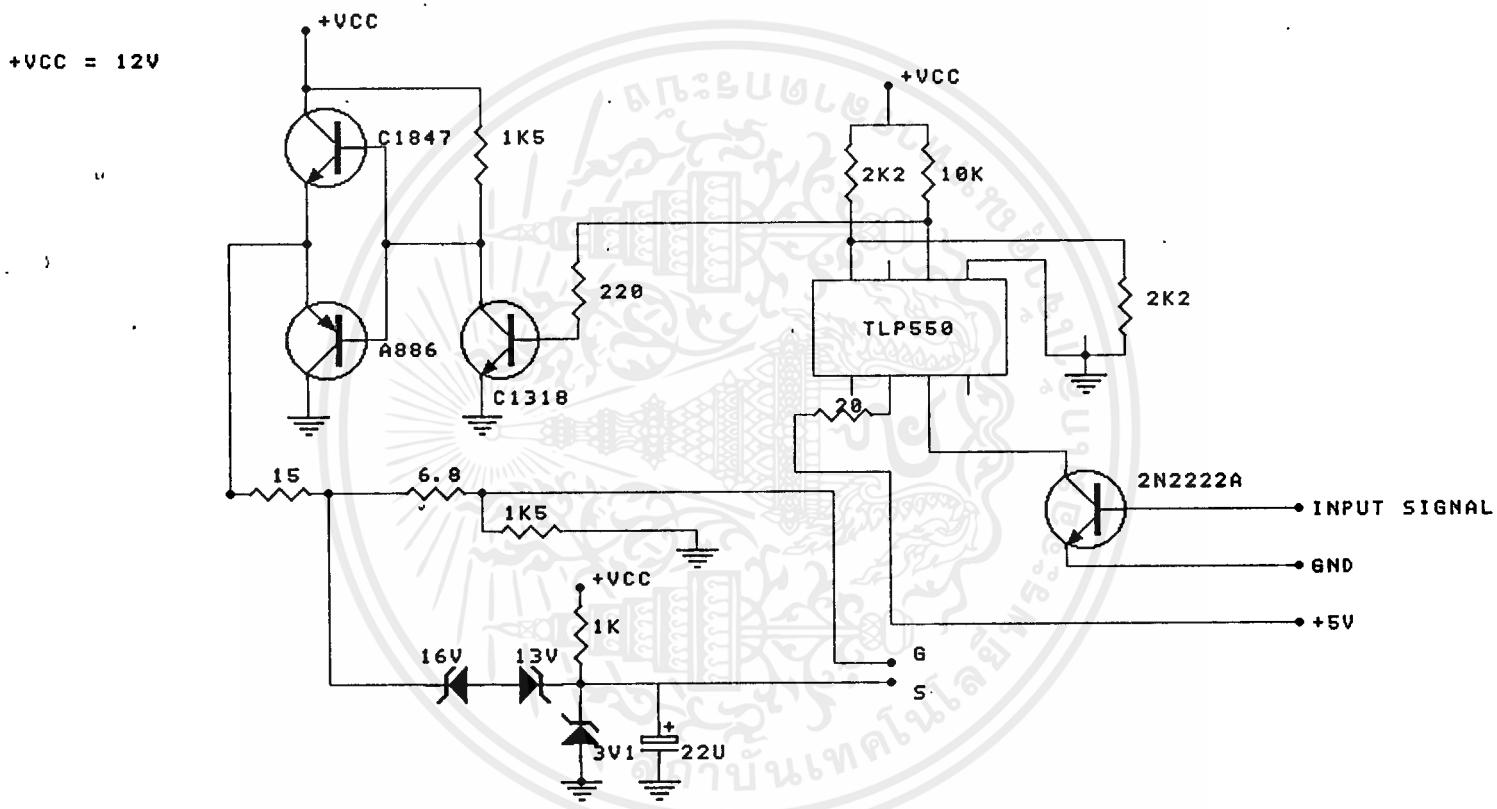
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรขับมอสเฟต (Gate Drive Circuit)

หลักการออกแบบวงจร GATE DRIVE ซึ่งวงจรนี้มีความสำคัญต่อวงจร INVERTER มาก โดยจะทำหน้าที่เป็นตัวขับ MOSFET ให้ทำงานแบบ CLASS D คือทำงานในช่วง ON กับ OFF เท่านั้น และวงจร GATE DRIVE ยังมีหน้าที่ในการแยก GND ของวงจร DRIVE ออกจากวงจรสร้างสัญญาณต่างๆ โดยการใช้ OPTO DIODE เป็นตัวแยก GND นั่นเอง

หลักการทำงานของวงจร GATE DRIVE ในส่วนแรกจะมีสัญญาณ I/P SIGNAL ที่ได้จากวงจรตรรกซึ่งมีทั้งหมด 6 สัญญาณอันได้แก่ Q1,Q2,S1,S2,S3,S4 มาทำการขับให้สัญญาณมีกระแสเพิ่มขึ้น โดยเราจะใช้ทรานซิสเตอร์เบอร์ 2N2222 เป็นตัวขับกระแสให้ DIODE ใน OPTO DIODE เบอร์ TLP 550 และมีตัวจำกัดกระแสของ DIODE โดยการต่อค่าความต้านทาน 20 โอห์ม เข้าที่ขา 2 ของ OPTO DIODE(ดูรูปใน DATA BOOK ท้ายเล่ม) และทรานซิสเตอร์เบอร์ 2N2222 หลังจากนั้นเมื่อ DIODE ใน TLP 550 ได้ทำการส่งสัญญาณไปให้ PHOTO DIODE และจะถูกขับให้มีกำลังสูงขึ้น โดยการต่อ COMMON EMITTER ให้กับทรานซิสเตอร์ใน TLP 550 เมื่อสัญญาณออกจากทรานซิสเตอร์ที่ขา 6 ของ TLP 550 แล้วจะส่งสัญญาณไปให้ทรานซิสเตอร์เบอร์ C1318 ทำหน้าที่ในการปรับสัญญาณพัลส์ ให้มีความคมชัดมากขึ้น และทรานซิสเตอร์เบอร์นี้ยังทำการขับกระแสเบส ให้กับทรานซิสเตอร์เบอร์ C1847 และ A886 ซึ่งจะทำหน้าที่เป็นวงจร PUSH - PULL และส่งสัญญาณ +12 โวลท์ กับ 0 โวลท์ ออกไปที่ขาเกท ส่วนของ ZENER DIODE 16 โวลท์นั้นทำหน้าที่ BLOCK VOLTAGE และกระแสไม่ให้ไหลไปยังอีกด้านหนึ่งของวงจร และทำการลดแรงดันให้เป็นไฟลบโดย ZENER DIODE 3.1 V และ ZENER DIODE 13 V ทำหน้าที่กันกระแสไม่ให้ไหลไปยังทรานซิสเตอร์เบอร์ C1847 และ C1318 ดังนั้นเมื่อเราต่อวงจรเสร็จแล้วทำการป้อน I/P ด้วย สัญญาณพัลส์ขนาด +5โวลท์ O/P ที่จะได้จากขาเกท และ ซอส ซึ่งจะเป็นไฟบวก 9 โวลท์และไฟลบ 3 โวลท์ (GND ของI/P SIGNAL กับ GND ของวงจรขับเกทควรระวังไม่ให้ SHORT กันขณะใช้งานขับ MOSFET อาจทำให้วงจร ขับเกทเสียหายได้)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงวงจรขับมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

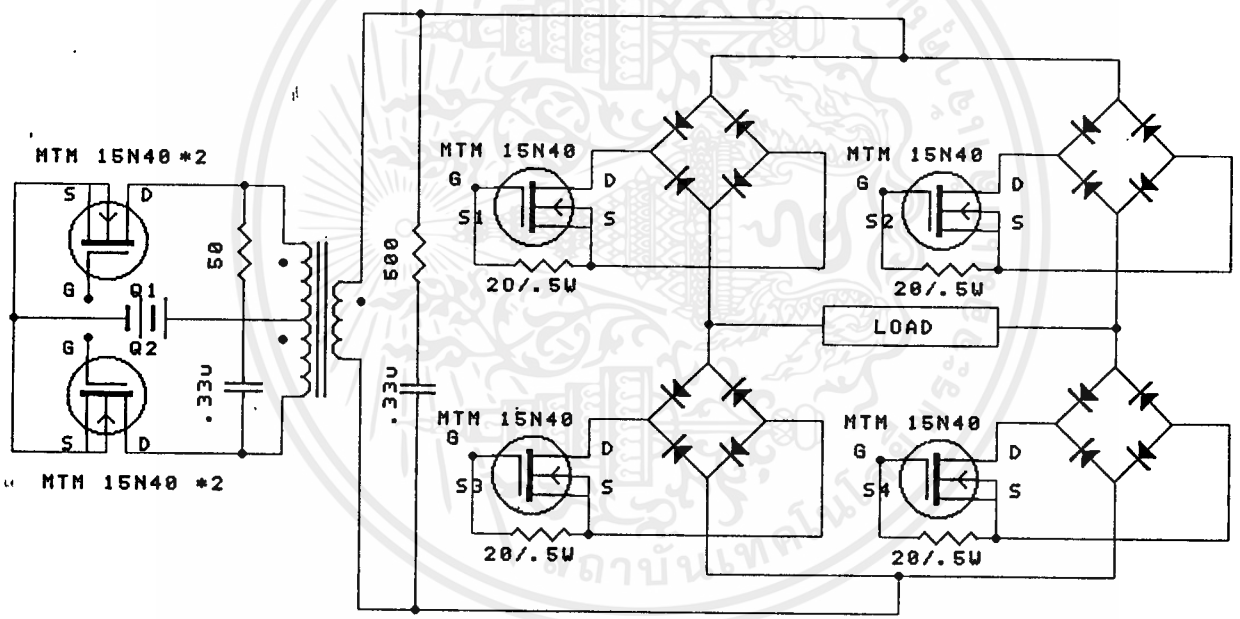
2.4 วงจรกำลัง(POWER STAGE)

ในวงจรกำลัง จะเป็นลักษณะของวงจรทางเพาเวอร์ และเป็นส่วนที่จะจ่ายพลังงานไฟฟ้าให้กับโหลด โดยใช้เพาเวอร์มอสเฟตเป็นอุปกรณ์ในการสวิทช์

หลักการในการออกแบบวงจร POWER STATE มีไว้เพื่อทำการ STEP UP ไฟจาก 24 โวลท์ ที่ได้มาจาก BATTARY ให้ได้ไฟ 220 โวลท์ หลักการทำงานง่ายๆ เราจะใช้ POWER MOSFET 2 ตัวเป็นตัวSWITCH สัญญาณให้แก่ PLUSE TRANSFORMER โดยจะมีการหักล้าง FLUX กันไปในตัวเมื่อทำการ SWITCH โดยสัญญาณ Q1และQ2 ซึ่งMOSFET 2ตัวนี้จะทำงานแบบ PUSH PULL โดยด้าน PRIMARY ของ PLUSE TRANSFORMER จะมีขดลวด 2 ขด พันแบบ CENTER TAP และ SECONDARY ของ PLUSE TRANSFORMERจะมีขดลวด 1 ขด ขาที่ด้าน PRIMARY ของหม้อแปลงจะมีการต่อ SNUBBER เพื่อจำกัด HARMONIC ต่างๆ และทางด้าน SECONDARY ของหม้อแปลงจะมีการต่อ SNUBBER ไว้เช่นกัน

ในส่วนของ SWITCH ในทางด้าน SECONDARY ของ POWER STAGE จากรูปจะพบว่ามีการต่อ BRIDGE DIODE ไว้คร่อมที่ MOSFET การต่ออย่างนี้จะทำให้ MOSFET ของเราสามารถ SWITCH กระแสได้ทั้ง 2 ทาง จากปกติ MOSFET จะSWITCH สัญญาณได้ทางเดียว คือ จาก DRAIN ไปยัง SOURCE ทำไมเราจึงต้อง SWITCH 2 ทาง เนื่องจากทางด้าน O/P ที่ออกจากหม้อแปลงนั้นมีทั้งไฟบวกและไฟลบ ซึ่งเปรียบเสมือนมีกระแสทั้ง2 ด้าน ที่จ่ายให้วงจร SWITCHING ดังนั้น S1,S2,S3,S4 จำเป็นต้องใช้ SWITCH 2 ทางเพื่อให้ได้รูปสัญญาณที่เราต้องการ การใช้SWITCH แบบนี้เพื่อแก้ปัญหาการ STEP UP VOLTAGE ดังแสดงในรูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงวงจรกำลัง (POWER STAGE)

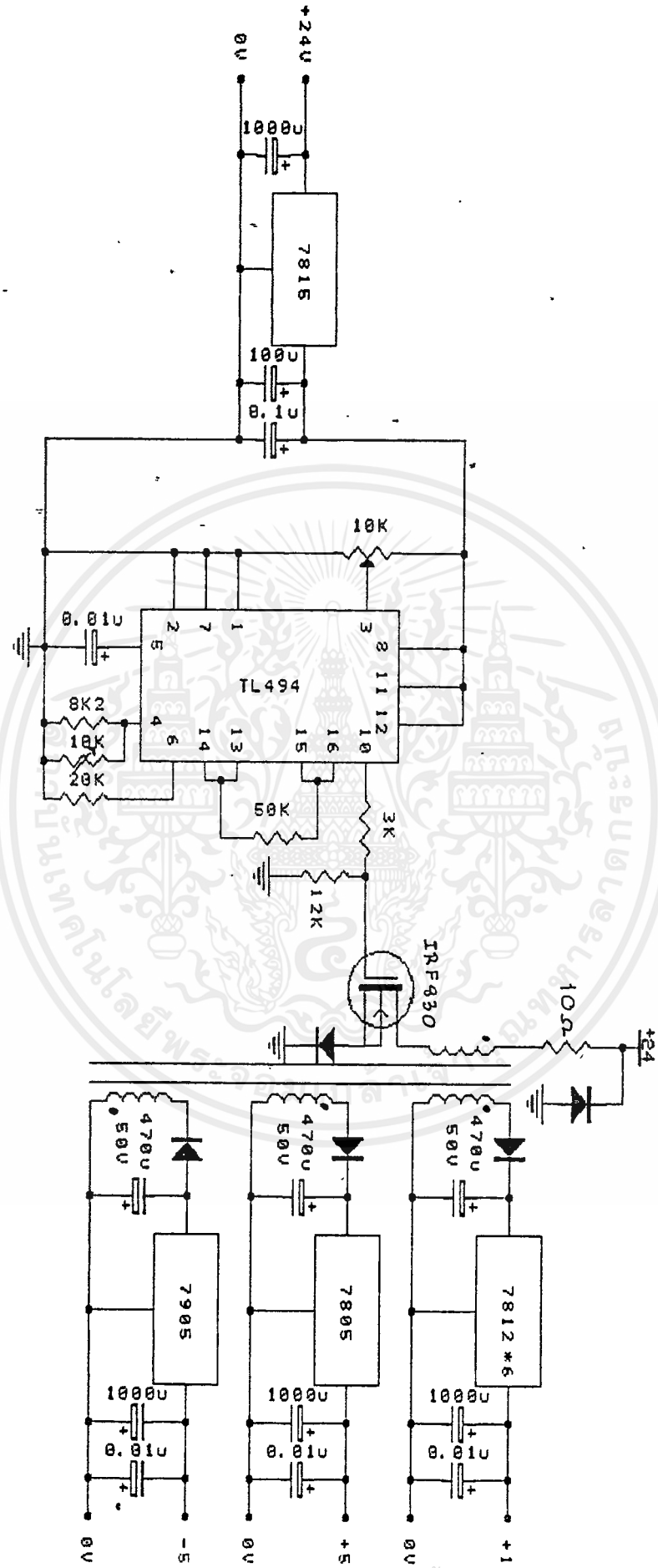
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 วงจร SWITCHING POWER SUPPLY

การออกแบบวงจร SWITCHNG POWER SUPPLY เพื่อแยกGNDของวงจรออกจากกันซึ่งเป็นส่วนที่สำคัญส่วนหนึ่งของวงจร ถ้าหากว่าไฟเลี้ยงของวงจร DRIVE แต่ละอันไม่แยกGND ออกจากกันจะมีผลทำให้ส่วนของวงจร SWITCHING ภาค O/P ไม่ทำงาน และศักดาจะถูก DROP เข้ามาในวงจรเลี้ยงทั้งหมด อาจทำให้วงจร DRIVE พังได้ วิธีการออกแบบวงจร SWITCHING POWER SUPPLY แบบง่าย โดยใช้ IC494 สร้างสัญญาณ PLUSE โดยใช้ความต้านทานเปลี่ยนค่าได้ 10K ทำหน้าที่ในการปรับความถี่ของ IC494 (ปรับจนกระทั่งหม้อแปลงจะไม่มีเสียง) ที่ขา3 จะมีค่าความต้านทานที่เปลี่ยนค่าได้ 10K ไว้สำหรับ DUTY CYCLE ของสัญญาณ PLUSE ที่ขาซึ่งไปควบคุมการทำงานของMOSFET IRF 830 และที่ขา 10 ของIC494 จะมีการDEVIDER VOLTAGE เพื่อป้องกันไม่ให้ MOSFET เกิดความเสียหาย ส่วนของ PLUSE TRANSFORMER เราจะทำการพันหม้อแปลงแบบ 1:1 โดยทางด้าน PRIMARY 1ขด และSECONDARY 8ขด ส่วนค่าความต้านทาน 10K มีไว้เพื่อป้องกันกระแสกระชากที่อาจทำให้ MOSFET IRF 830 เกิดความเสียหายได้ และ DIODE 2 ตัวนี้ต่ออยู่ในส่วน I/P ของหม้อแปลงมีไว้เพื่อให้ MOSFET OFF เร็วขึ้นและทำให้สัญญาณที่ได้มีลักษณะดีขึ้น

ส่วน O/P ของPLUSE TRANSFORMER จะมีทั้งหมด 8 ขด โดยจะทำการ REGURATEเป็นไฟเลี้ยง 12V 6 ขดเพื่อจ่ายให้วงจร DRIVE และ +5V กับ -5V จำนวน 2 ขดเพื่อจ่ายให้วงจร SIGNAL ส่วน DIODE ที่ภาค O/P อาจใช้ DIODE ธรรมดา หรืออาจจะใช้FAST RECOVERY DIODE ก็ได้ ส่วนค่าของตัวเก็บประจุที่มีค่า 0.01uF มีไว้สำหรับป้องกันNOISE เข้าไปกวน ส่วน IC494 จะใช้ไฟเลี้ยง 15 Vเป็นตัวจ่ายโดยมี GND เดียวกับ BATTERY ดังแสดงในรูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงวงจร SWITCHING POWER SUPPLY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจรกรองความถี่(FILTER)

สัญญาณไฟสลับที่ได้จากการสวิทชิ่ง หรือคลื่นสัญญาณอื่นๆก็ตามจะประกอบไปด้วยคลื่นที่มีลักษณะรูปชายน์ที่มีความถี่ฮาร์โมนิคต่างๆผสมกันอยู่ มากหรือน้อยแตกต่างกันไป รวมทั้งคลื่นสัญญาณรูปพีดับบลิวเอ็มด้วย สำหรับรูปคลื่นพีดับบลิวเอ็มนั้นมีฮาร์โมนิคหลายอันดับที่กลายเป็นศูนย์ไป ถ้าหากว่าอันดับของฮาร์โมนิคเพิ่มขึ้น ขนาดของฮาร์โมนิคจะลดลง คลื่นที่ปรากฏจะเป็นผลลัพธ์ของการรวมฮาร์โมนิคอันดับต่างๆ

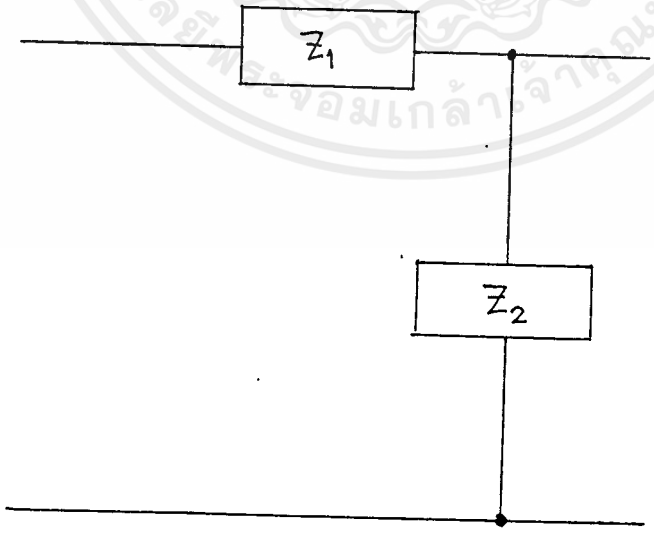
การทำงานของอินเวอร์เตอร์นั้น สัญญาณที่ได้จากการสวิทชิ่งจะยังไม่เป็นคลื่นชายน์ จะต้องผ่านวงจรกรองสัญญาณ(FILTER) เพื่อกรองฮาร์โมนิคอันดับต่างๆที่ไม่ต้องการออกไป ให้เหลือแต่สัญญาณคลื่นชายน์หรือสัญญาณความถี่มูลฐาน(FUNDAMENTAL) ออกมายังเอาท์พุทเท่านั้น

วงจรกรองความถี่นั้น มี 2 ลักษณะด้วยกันคือ

1.ACTIVE FILTER เป็นวงจรกรองความถี่สำหรับอุปกรณ์อิเล็กทรอนิคส์ ที่มีขนาดกำลังไม่สูง(LOW POWER)

2.PASSIVE FILTER เป็นวงจรกรองความถี่สำหรับวงจรกำลังสูง(HIGH POWER) ซึ่งโครงงานนี้ใช้การออกแบบวงจรในลักษณะนี้

การออกแบบวงจรกรองความถี่ มีหลักการดังนี้



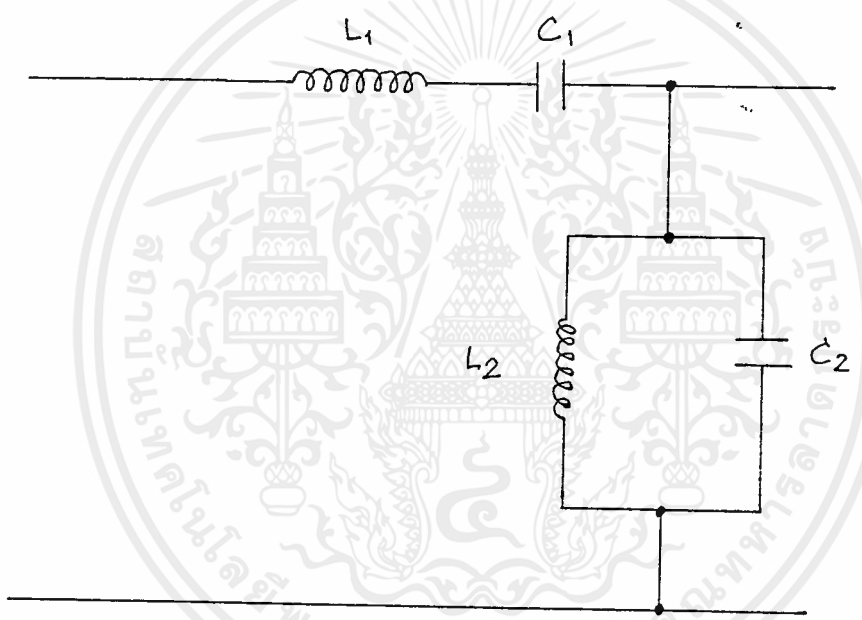
รูปที่ 2.9 รูปสมมติของวงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ความถี่หลักจะต้องทำให้ $Z_1 \rightarrow 0$ และ $Z_2 \rightarrow \infty$ เพื่อทำให้ความถี่หลักผ่าน Z_1 มาได้โดยสะดวก โดยไม่มีแรงดันตกคร่อม Z_1 เลย และไม่มีกระแสของคลื่นหลักไหลผ่านไปยัง Z_2 ได้ สำหรับคลื่นที่เป็นฮาร์โมนิค จะทำให้ $Z_1 \rightarrow \infty$ และ $Z_2 \rightarrow 0$ เพื่อไม่ให้กระแสฮาร์โมนิคไหลผ่าน Z_1 มาได้ ถ้าผ่านมาได้บ้างก็จะลัดวงจรด้วย Z_2 ดังนั้นคลื่นที่ผ่านวงจรกรองความถี่ออกมาจึงเป็นคลื่นความถี่หลักเท่านั้น

<u>แนวทางการสร้างวงจรกรองความถี่</u>

สำหรับ Z_1 ใช้ L_1 และ C_1 ต่ออนุกรมกัน , Z_2 จะใช้ L_2 และ C_2 ต่อขนานกัน เราสามารถหาความสัมพันธ์ของค่า L และ C ได้ดังนี้



รูปที่ 2.10 แสดงวงจรกรองความถี่แบบ 4 อันดับ

$$Z_1 = jwL \; 1/jwC$$

$$= j(wL - 1/wC)$$

$$= j[(w^2LC - 1)/wc]$$

$$Z_2 = \frac{(jwL/jwC)}{(jwl + 1/jwC)}$$

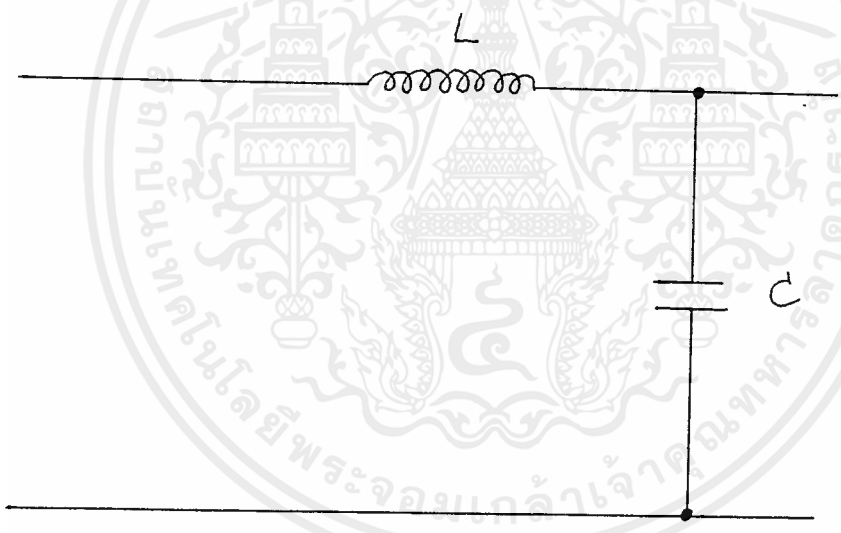
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{(L/C)}{[j(w^2LC-1)/wC]}$$

$$= \frac{(-jL/C)(wC)}{(w^2LC-1)}$$

$$= -jwl\ /(w^2LC-1)$$

สำหรับที่ความถี่สูงๆนั้น ฮาร์โมนิคส่วนใหญ่นั้นจะเกิดขึ้นที่อันดับสูงๆ ดังนั้นในการออกแบบวงจรกรองความถี่ สามารถใช้วงจร LOW PASS FILTRER ซึ่งเป็นวงจรแบบสองอันดับ(L-C FILTER) ได้เลย



รูปที่ 2.11 แสดงวงจรกรองความถี่ LOW PASS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

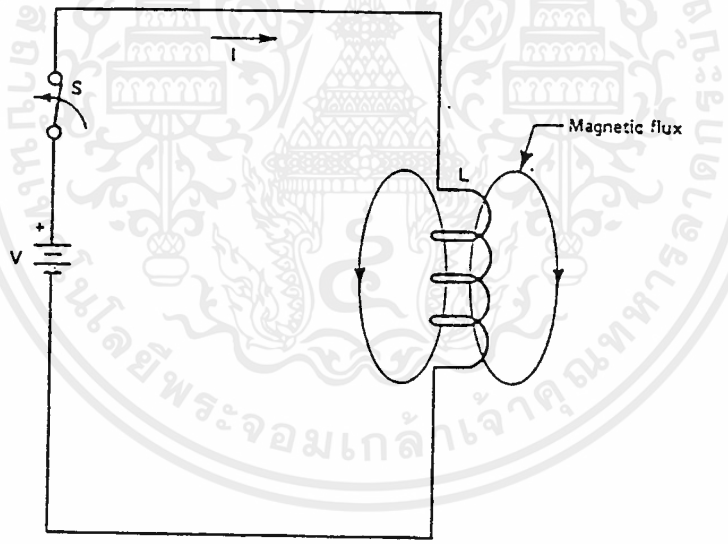
บทที่3

การออกแบบหม้อแปลงความถี่สูง

การหาหม้อแปลงความถี่สูงให้ได้สเปคตามต้องการ เป็นส่วนประกอบที่สำคัญของโครงการนี้ ดังนั้นการออกแบบหม้อแปลงความถี่สูง จึงจะต้องทราบหลักการของสนามแม่เหล็กไฟฟ้าในการส่งผ่านพลังงานนี้

ทฤษฎีแม่เหล็กไฟฟ้า

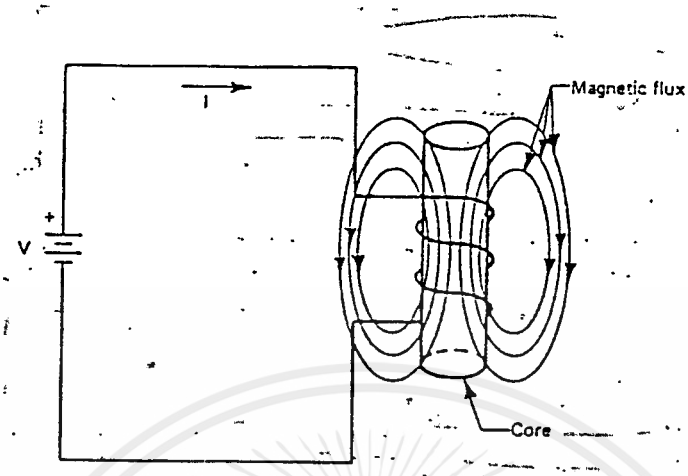
เมื่อนำลวดตัวนำมาพันเป็นขดลวดดังรูปที่1 โดยมีแหล่งจ่ายไฟส่งกำลังงานผ่านสวิตช์ เมื่อสวิตช์ต่อวงจร กระแสไหลผ่านขดลวด เหนี่ยวนำให้เกิดสนามแม่เหล็กรอบตัวนำ ซึ่งเราเรียกสนามแม่เหล็กรอบขดลวดนี้ว่า ฟลักซ์(FLUX)



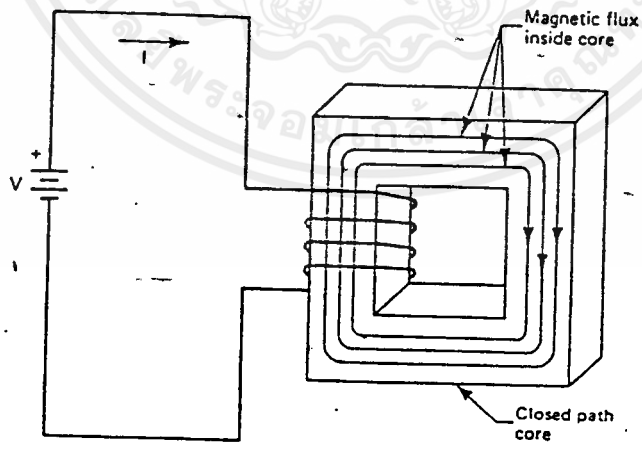
รูปที่ 3.1 แสดงฟลักซ์แม่เหล็กไฟฟ้าที่เกิดจากการผ่านกระแสเข้าขดลวด

นำขดลวดพันรอบแท่งวัสดุที่กลายเป็นเหล็กได้ดังรูปที่2 (คุณสมบัติ เฟอโรแมกเนติก) เช่น เหล็ก,นิเกิล,โคบอล เป็นต้น โดยแท่งวัสดุเฟอโรแมกเนติกนี้ จะเหนี่ยวนำให้เกิดสนามแม่เหล็กได้ฟลักซ์หนาแน่นกว่า และฟลักซ์จะวิ่งอยู่ในแท่งวัสดุ ถ้าให้แท่งวัสดุต่อถึงกันตลอด ดังรูปที่3.2 การเหนี่ยวนำแม่เหล็กจะสูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 การวางแท่งวัสดุที่เป็นแม่เหล็กตรงกลางทำให้ฟลักซ์เพิ่มขึ้น



รูปที่ 3.3 ใช้แกนแบบปลายปิดฟลักซ์จะวิ่งอยู่ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของฟลักซ์แม่เหล็กพิจารณาอยู่ในรูปของ ความหนาแน่นที่มีสัญลักษณ์เป็น B มีหน่วยเป็นเกาส์หรือเวบเบอร์ต่อตารางเมตร และความหนาแน่นของสนามแม่เหล็กมีสัญลักษณ์เป็น H มีหน่วยเป็นเออร์สเตด หรือ แอมป์ต่อเมตร

โดย $H = 0.4\pi NI/l$,

เมื่อ N คือ จำนวนรอบของขดลวด

I คือ กระแสที่ไหลผ่านตลอด

l คือ ความยาวของแกน

ความสัมพันธ์ระหว่างความหนาแน่นของฟลักซ์ ต่อ ความเข้มของสนามแม่เหล็ก

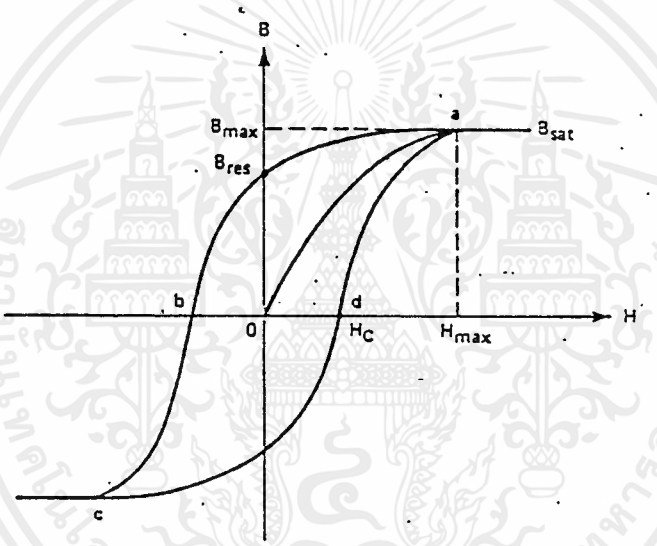
$$\mu = B/H$$

เมื่อ μ คือ ค่าของมรับ(PERMEABILITY)ของแกน(ซึ่งก็คือคุณสมบัติของวัตถุในอันที่จะยอมให้อำนาจแม่เหล็กไฟฟ้าผ่านไปได้มากหรือน้อย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฮีสเทอร์รีซีสลูป(HYSTERESIS LOOP)

ความสัมพันธ์ของความหนาแน่นของฟลักซ์แม่เหล็ก(B) และความเข้มของเส้นแรงแม่เหล็ก(H) แสดงได้ดังรูปที่ 3.4 ซึ่งแสดงคุณสมบัติฮีสเทอร์รีซีสบนแกน B-H ซึ่งก็คือ คุณสมบัติการเป็นแม่เหล็กของวัสดุ สมมติเริ่มที่จุดศูนย์ เมื่อเพิ่มความเข้มของสนามแม่เหล็กค่าของความหนาแน่นฟลักซ์เพิ่มขึ้นเป็นเชิงเส้น จนกระทั่งถึงจุด a ที่ความหนาแน่นของฟลักซ์ไม่เพิ่ม เรียกว่า ฟลักซ์อิ่มตัว(B_{sat}) หลังจากลดความเข้มของสนามแม่เหล็กจนกระทั่งเป็นศูนย์ ความหนาแน่นของฟลักซ์จะไม่ตกเป็นศูนย์ตาม ถ้าให้ความเข้มของสนามแม่เหล็กกลับทาง ความหนาแน่นของฟลักซ์จะลดลงเป็นศูนย์และมีคุณสมบัติในทางตรงข้ามเหมือนกัน จึงได้เส้นโค้งลักษณะตัว S รูปที่ 3.4 แสดงคุณสมบัติแกนที่ใช้งานปกติจะให้ทำงานในช่วงที่เป็นเส้นตรงเพื่อลดการสูญเสีย



รูปที่ 3.4 แสดงคุณสมบัติของฮีสเทอร์รีซีสบนแกน B-H

B_{sat} = จุดฟลักซ์อิ่มตัว

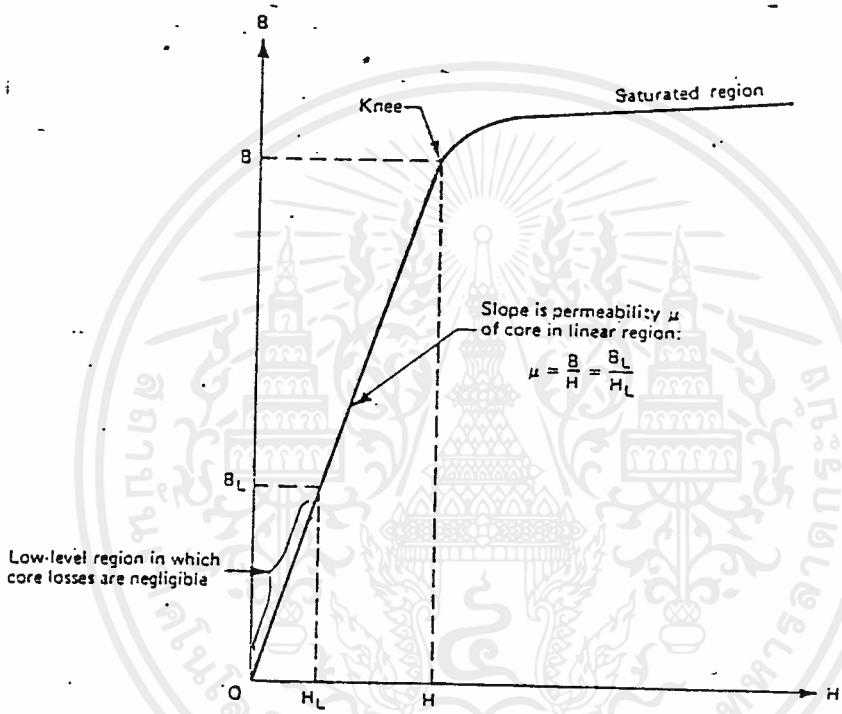
B_{max} = ความหนาแน่นฟลักซ์สูงสุด

H_{max} = อำนาจการทำให้เป็นแม่เหล็กสูงสุด

B_{res} = จุดที่ฟลักซ์แม่เหล็กยังเหลืออยู่ในขณะที่อำนาจการทำให้เป็นแม่เหล็กมีค่าเป็นศูนย์

H_c = จุดอำนาจการทำให้เป็นแม่เหล็กย้อนกลับเป็นศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

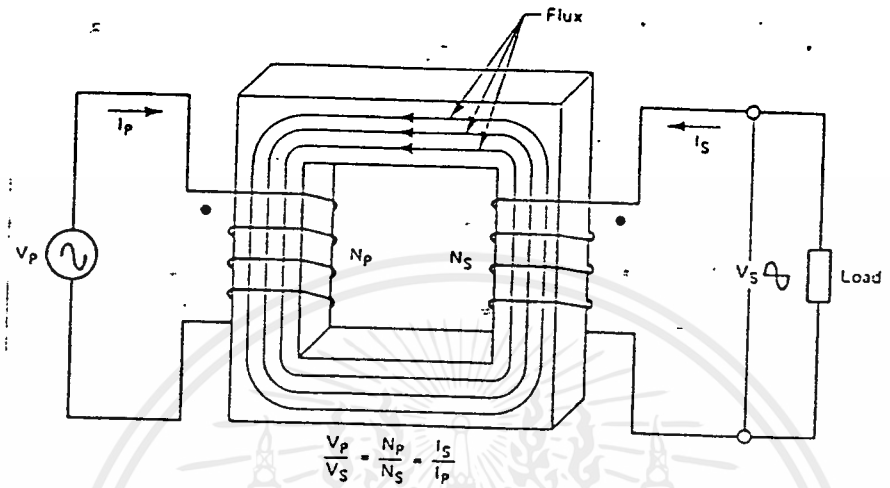


รูปที่ 3.5 แสดงลักษณะของการเป็นแม่เหล็กไนช่วงเป็นเส้นตรงและอิ่มตัว

<u>ทฤษฎีหม้อแปลง</u>

จากการที่เราทราบว่า เมื่อมีกระแสไหลผ่านขดลวดที่พันรอบแกนปิด จะเกิดฟลักซ์เหนี่ยวนำไนแกน ถ้ากระแสที่จ่ายให้มีการเปลี่ยนแปลงไปมา ฟลักซ์จะเปลี่ยนไปมาด้วย และถ้าเรานำขดลวดอีกขดมาพันรอบแกนนี้ จะเกิดแรงดันและกระแสเหนี่ยวนำขึ้นเป็นหม้อแปลงดังรูปที่ 3.6 ซึ่งเป็นหม้อแปลงแบบง่ายๆ โดยทางอินพุทเรียกว่า ปฐมภูมิ และทางเอาท์พุทเรียกว่า ทุติยภูมิ โดยเราเขียนความสัมพันธ์ของจำนวนรอบขดลวดและแรงดันได้เป็นอัตราส่วนที่คงที่คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงหม้อแปลงแบบสองขด

$$N_p/N_s = V_p/V_s$$

N_p และ N_s คือ จำนวนรอบขดลวดด้านปฐมภูมิและด้านทุติยภูมิตามลำดับ

V_p และ V_s คือ แรงดันด้านปฐมภูมิและด้านทุติยภูมิตามลำดับ

โดยแรงดันเหนี่ยวนำจะเป็นไปตามการเปลี่ยนแปลงของความหนาแน่นของฟลักซ์และถ้าให้ B อยู่ในช่วงที่เป็นเส้นตรงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$B_{max} = V_p * 10^8 / KfNA_c$$

เมื่อ

B_{max} คือ ความหนาแน่นของฟลักซ์สูงสุด

V_p คือ แรงดันด้านปฐมภูมิเป็นโวลท์

f คือ ความถี่เป็นเฮิรตซ์

N_p คือ จำนวนรอบขดลวดปฐมภูมิ

A_c คือ พื้นที่หน้าตัดของแกนเป็นตารางเซ็นติเมตร

K คือ ค่าคงที่มีค่า 4.44 สำหรับแรงดันรูปซายน์และ 4.0 สำหรับแรงดันรูปสี่เหลี่ยม

ปกติค่า B_{max} จะเลือกที่ค่า $B_{sat}\backslash 2$ ซึ่งเป็นค่าที่ทำงานในช่วงที่เป็นเส้นตรงแน่นอน องค์ประกอบที่สำคัญอีกตัวหนึ่งก็คือ พื้นที่สำหรับวางเส้นลวดตัวนำ ซึ่งพันอยู่บนตัวบ็อบบิ้น (BOBBIN) ต้องมีค่าที่เหมาะสมและค่ากำลังของแกนหาจาก

$$P_{out} = (1.16B_{max}fdA_dA_c) * 10^{-9}$$

เมื่อ

P_{out} คือ กำลังที่จ่ายให้เป็นวัตต์

d คือ ความหนาแน่นของกระแสไฟในลวดตัวนำเป็นแอมป์ต่อตารางเมตร

A_c คือ พื้นที่หน้าตัดของแกนเป็นตารางเซนติเมตร

A_d คือ พื้นที่สำหรับพันขดลวดบนบ็อบบิ้นเป็นตารางเซนติเมตร

พื้นที่ของบ็อบบิ้นใช้สัญลักษณ์ W_a โดยความหนาแน่นของกระแสในสายใช้หน่วยเซอร์คูลาร์มิลล์ต่อแอมป์(c.m./A)ใช้สัญลักษณ์ D โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$d = 1.27 * 10^{6} / D$$

ฉะนั้นได้ค่า P_{out} เท่ากับ

$$P_{out} = (1.47 f B_{max} A_e A_c) * 10^{-3} / D$$

ปกติค่า D ใช้ในช่วง 200-400 เพื่อความปลอดภัยของสาย โดยสมการข้างบนใช้สำหรับขนาดของแกนที่จะใช้พันขดลวด

<u>วัสดุที่ใช้ทำแกนและการเลือก</u>

สารแม่เหล็กเกือบทุกชนิด สามารถที่จะเลือกมาออกแบบหม้อแปลงความถี่สูงได้ และแกน Ferrite เป็นที่นิยมใช้ในการออกแบบมากในระบบอินเวอร์เตอร์

คุณสมบัติของแกนเฟอร์ไรท์

- ไม่ต้องเลือกการทำงานที่ B สูงๆ
- ค่าความสูญเสียในแกนต่ำมากที่ความถี่สูงๆ
- ง่ายต่อการประกอบ

<u>ขั้นตอนการออกแบบหม้อแปลงความถี่สูง</u>

1. เลือกแกนเฟอร์ไรท์
2. เลือก B_{max} ที่ศักดาต่ำสุดจากตารางโดยประมาณ จะเป็นครึ่งหนึ่งของค่าสูงสุดจริง
3. หาค่ากระแส I_p โดยคำนวนจากศักดาต่ำสุด และต้องเป็นศักดาไฟตรง

$$I_p = 3P_{out}/V_{in}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. หาขนาดของแกนและบ็อบบิ้น

$$A_c A_e = (0.68 P_{out} D / f B_{max}) 10^3$$

D : เซอร์คิวลาร์มิล/แอมป์

แล้วเลือกค่า A_e, A_c จากตารางให้เหมาะสม ควรมากกว่า 50% ขึ้นไปของค่าที่คำนวนได้

5. คำนวนขนาดขดลวดทางปฐมภูมิ

เมื่อเราทราบ D , ทราบ I_p

เราจะทราบ DI_p จะเป็นค่า c.m/A นำไปเลือกขนาดของขดลวด

เมื่อทราบขนานของบ็อบบิ้น จะทราบจำนวนรอบที่พัน

$$N_p = V_p * 10^5 / 4 f B_{max} A_e$$

6. ตรวจสอบค่าความเข้มสนามแม่เหล็กสูงสุด ที่ค่าแรงดันป้อนเข้าสูงสุด

หาแรงดันป้อนเข้าสูงสุด

$$B_{max} = V_p * 10^5 / K f N_p A_c$$

7. คำนวนจำนวนชั้นด้านปฐมภูมิ

หาขนาดเส้นผ่านศูนย์กลางของขดลวด

8. คำนวณจำนวนรอบด้านทุติบภูมิ

$$N_s = N_p V_s / V_p$$

9. คำนวณขนาดลวดและจำนวนชั้นของด้านทุติยภูมิ

10. ตรวจสอบว่าทั้งด้านปฐมภูมิและทุติภูมิรวมกันแล้วหนาเกินบ็อบบิ้นหรือเปล่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BATTERY CHARGER

หลักการ

ในส่วนของวงจรอัดประจุแบตเตอรี่จำเป็นมากสำหรับระบบนี้ เนื่องจากโหลดใช้กระแสจากแบตเตอรี่ตลอดเวลา ทำให้โวลเตจของขั้วแบตเตอรี่ลดลงเมื่อโหลดใช้กระแสมากหรือเป็นเวลานาน

วงจรนี้ออกแบบมาใช้อัดประจุแบตเตอรี่ขนาด 12 โวลท์ 2 ลูก แบ่งช่วงการอัดประจุออกเป็น 3 ส่วน ในช่วงแรกซึ่งเป็นช่วงที่แบตเตอรี่ถูกใช้จนหมดเกลี้ยง จะถูกกำหนดให้อัดประจุกระแสค่อนข้างน้อย และในทันทีที่แรงดันของแบตเตอรี่เพิ่มขึ้นถึง 20 โวลท์ การอัดประจุก็จะเข้าสู่ช่วงที่ 2 ทันที ซึ่งจะเพิ่มอัตราการอัดขึ้นทันที ด้วยค่ากระแสสูงขึ้น เมื่อแรงดันของแบตเตอรี่ขึ้นไปอีกจนถึง 29 โวลท์ กระแสที่อัดอยู่จะตกลงไปทันที เนื่องจากถือว่าแบตเตอรี่เต็มแล้ว

การทำงานของวงจร

การพิจารณาวงจรเริ่มจาก IC_1 จะเห็นว่าที่ขา 2 ได้รับแรงดัน 6.8 โวลท์ จากการแบ่งแรงดันของ R_1 และ D_5 ซึ่งเป็นซีเนอร์ไดโอด 6.8 โวลท์ แล้วส่งสัญญาณแรงดันผ่าน R_2 เข้ามา

พิจารณาอีกด้านหนึ่งของวงจรที่จุดต่อกับแบตเตอรี่ ถ้าแบตเตอรี่มีแรงดันอยู่ในช่วง 0 ถึง 20 โวลท์ แรงดันที่แบ่งมาจากขากลางของ R_{11} จะส่งผ่านไปให้ขา 3 ของ IC_1 ซึ่งจะไม่มีโอกาสขึ้นถึง 6.8 โวลท์ ซึ่งจะน้อยกว่าแรงดันที่ขา 2 เสมอ ทำให้เอาท์พุทของ IC_1 ที่ขา 6 เป็น 0 โวลท์

ผลจากแรงดันของแบตเตอรี่เช่นเดียวกัน ทำให้มีกระแสไหลผ่าน D_7 น้อยไม่พอป้อนให้ทรานซิสเตอร์ Q_1 ทำงาน ทำให้ Q_1 อยู่ในสถานะ OFF จึงไม่มีความหมายต่อวงจรวงจร R_6 ก็เลยไม่มีความหมายตามไปด้วย

เมื่อเอาท์พุทของ IC_1 เป็น 0 โวลท์ จะมีกระแสไหลจากไฟบวกผ่าน R_7, Q_2 และ R_4 มาลงที่เอาท์พุทของ IC_1 กระแสนี้เป็นกระแสเบสของ Q_2 และ Q_3 ซึ่งควบคุมจำนวนกระแสที่ไหลผ่านขาอิมิเตอร์ ไปขาคอลเลคเตอร์ของ Q_3 ไปอัดแบตเตอรี่ กระแสที่อัดแบตเตอรี่นี้ถูกควบคุมได้โดยการปรับความต้านทานของ R_4 กระแสนี้คือกระแสช่วงแรกในการอัดแบตเตอรี่

เมื่อแรงดันของแบตเตอรี่ขึ้นถึง 20 โวลท์ แรงดันที่จ่ายแก่ขาเบสของ Q_1 จะทำให้ Q_1 อยู่ในสถานะ ON กระแสเบสของ Q_2 สามารถไหลผ่าน R_6 และ Q_1 ได้อีกทาง ซึ่งจะทำให้กระแสที่ไปอัดแบตเตอรี่เพิ่มขึ้นด้วย

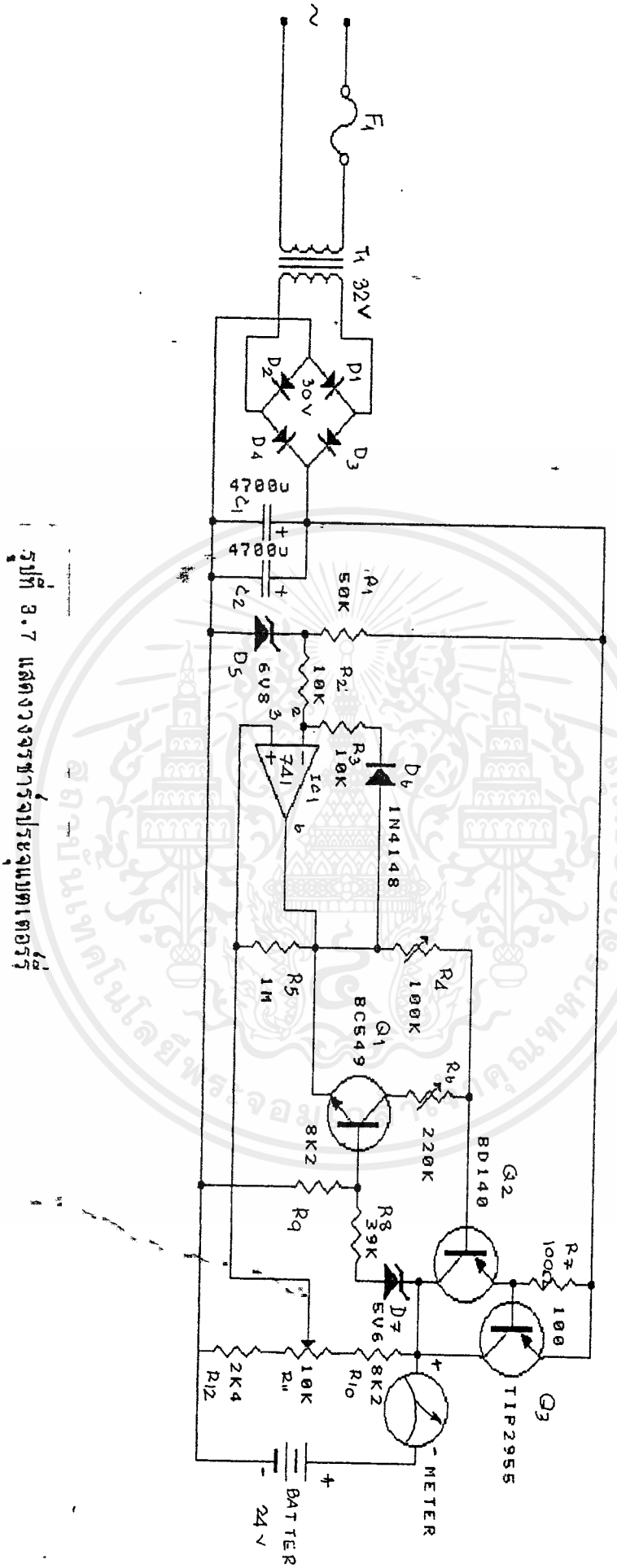
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัว R_{11} มีไว้สำหรับปรับให้กระแสที่อัดแบตเตอรี่ตกลงทันทีเมื่อแรงดันขึ้นถึง 29 โวลท์ โดยปรับให้แรงดันที่ขา 3 ของ IC_1 เท่ากับแรงดันที่ขา 2 ทำให้เอาท์พุทของของ IC_1 ยกแรงดัน 0 โวลท์ขึ้นไปทันที

เมื่อเอาท์พุทของIC_1 ยกขึ้นจาก 0 โวลท์ จะทำให้ Q_1 เปลี่ยนสถานะเป็น OFF กระแสอัดแบตเตอรี่ที่มีผลมาจากกระแสที่ไหลผ่าน R_8 ก็จะหายไป เหลือแต่ส่วนที่เป็นผลมาจากกระแสที่ไหลผ่าน R_4 ซึ่งจะลดลงไปกว่าเดิมเพราะขา 6 ของ IC_1 มีแรงดันสูงกว่าเดิม

ในขณะที่แรงดันที่ขา 3 ของ IC_1 เพิ่มขึ้นเรื่อยๆจากแรงดันแบตเตอรี่ที่เพิ่มขึ้น แรงดันที่ขา 6 ก็จะยกสูงขึ้นเรื่อยๆ เป็นผลให้ไปถึงกระแสที่อัดแบตเตอรี่ลดลงเรื่อยๆจนไม่มีกระแสไหลเลย ทำให้การอัดแบตเตอรี่เป็นอันสมบูรณ์ ดังแสดงในรูปที่ 3.7.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงวงจรชาร์จประจุแบตเตอรี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

ในการทดลองสร้างสัญญาณสามเหลี่ยม และสัญญาณซายน์ความถี่ 50 H_z นั้น เมื่อเราทำการส่งเข้าวงจร LOGIC ผลที่ได้ในการทดลองตรงตามทฤษฎีที่ได้ออกแบบไว้ และเมื่อเราทำการส่งสัญญาณ Q_1, Q_2, S_1, S_2, S_3 และ S_4 เข้าไปในวงจรขับมอสเฟต สัญญาณที่ออกมายังมีความคมชัดอยู่ และในส่วนของ PLUSE TRANSFORMER ในการหาค่าSNUBBER เพื่อทำการลด DAMP ต่างๆนั้นจะหาค่า R,C SNUBBERได้ยากมากในการทดลองต้องทำการสุ่มหาค่า C ที่มีค่าน้อยๆก่อนจนเห็นว่า DAMP ต่างๆ นั้นลดลง แล้วจึงเปลี่ยนค่า R จนสัญญาณที่ผ่านออกมาจากหม้อแปลง มีความคมชัด และเมื่อทำการสวิทช์โดยใช้มอสเฟตเพื่อจ่ายให้แก่โหลด ทำการวัดค่าต่างๆได้ดังนี้

ทดสอบที่ LOAD 200 W

V_{in} = 32 V I_{in} = 10 A

V_{out} = 170V I_{out} = 1 A

$$\text{EFFICIENCY(Eff)} = P_{out}/P_{in}$$

$$= 170/320$$

$$= .53125 \quad (53.125\%)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

จากผลการทดลองจะเห็นว่า INVERTER แบบ PLUSE WIDTH DOUBLE ELGE MODULATE นั้นสามารถทำการ STEPUP VOLTAGE ให้เป็นไฟ 220 โวลท์ ได้ตามทฤษฎีที่ได้นำเสนอในหนังสือเล่มนี้ แต่จำนวนวัตต์ที่ได้นั้นยังต่ำอยู่ซึ่งเกิดจากขนาดและรูปร่างของหม้อแปลง เพราะว่าหม้อแปลงที่ใช้ในการทดลองนั้น มีค่า power maximun ประมาณ 200-300 วัตต์ โดยได้ใช้แกนเฟอร์ไรท์ชนิด 2E6 ซึ่งได้ทำการทดลองมามากมายหลายขนาดจนพบว่า หม้อแปลงชนิด 2E6 นี้ จะมีจุดทำงานตั้งแต่ 10KH$_z$ ขึ้นไป แต่การใช้งานที่จุดนี้พอดีจะทำให้เกิดเสียงคราง ดังนั้นจึงออกแบบให้ทำงานที่จุด 20KH$_z$ แทน ผลที่ได้เป็นที่น่าพอใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. GEORGE CHRYSSIS, "HIGH-FREQUENCY SWITCHING POWER SUPPLIES: THEORYANDDESIGN", McGRAW-HILL BOOK COMPANY, USA, 1984.
2. RALPHE.TARTER, "PRINCIPAL OF SOLID-STATE POWER CONVERSION", HOWARD W.SAMS & CO.,Inc,1985.
3. NED MOHAN, "POWER ELECTRONICS:CONVERTERS,APPLICATIONS, AND DESIGN",JOHN WILEY & SONS, 1989.
4. GOBIND DARYANANI, "PRINCIPLES OF ACTIVE NETWORK SYNTHESIS AND DISIGN",JOHN WILEY & SON, 1976.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NPN 2N3055 PNP MJ2955

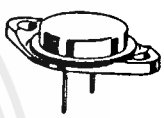
COMPLEMENTARY SILICON POWER TRANSISTORS

. . . designed for general-purpose switching and amplifier applications.

- DC Current Gain – h_{FE} = 20-70 @ I_C = 4 Adc
- Collector-Emitter Saturation Voltage – $V_{CE(sat)}$ = 1.1 Vdc (Max) @ I_C = 4 Adc
- Excellent Safe Operating Area

15 AMPERE
POWER TRANSISTORS
COMPLEMENTARY SILICON

60 VOLTS
115 WATTS



4

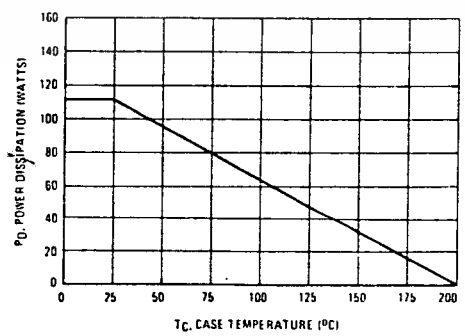
MAXIMUM RATINGS

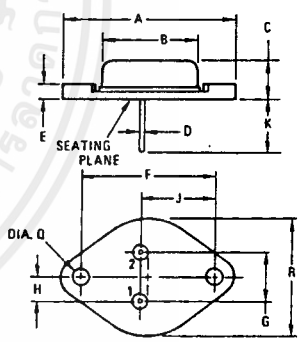
Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	60	Vdc
Collector-Emitter Voltage	V_{CER}	70	Vdc
Collector-Base Voltage	V_{CB}	100	Vdc
Emitter-Base Voltage	V_{EB}	7	Vdc
Collector Current – Continuous	I_C	15	Adc
Base Current	I_B	7	Adc
Total Power Dissipation @ T_C = 25°C Derate above 25°C	P_D	115 0.657	Watts W/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	-65 to +200	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	$R_{\theta JC}$	1.52	°C/W

FIGURE 1 – POWER DERATING





NOTE:
1. DIM "Q" IS DIA.

STYLE 1:
PIN 1. BASE
2. EMITTER
CASE: COLLECTOR

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	–	39.37	–	1.550
B	–	21.08	–	0.830
C	6.35	7.62	0.250	0.300
D	0.99	1.09	0.039	0.043
E	–	3.43	–	0.135
F	29.90	30.40	1.177	1.197
G	10.67	11.18	0.420	0.440
H	5.33	5.59	0.210	0.220
J	16.64	17.15	0.655	0.675
K	11.18	12.19	0.440	0.480
Q	3.84	4.09	0.151	0.161
R	–	26.67	–	1.050

Collector connected to case.

CASE 11-01
(TO-3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

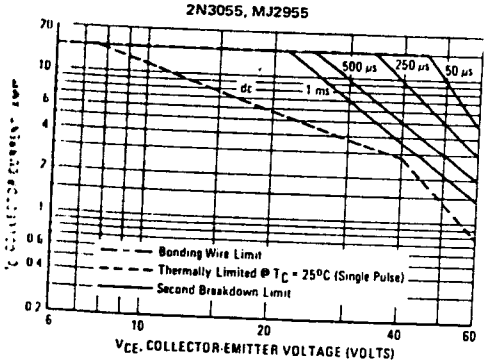
ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
***OFF CHARACTERISTICS**				
Collector-Emitter Sustaining Voltage (1) (I_C = 200 mAdc, I_B = 0)	$V_{CEO(sus)}$	60	–	Vdc
Collector-Emitter Sustaining Voltage (1) (I_C = 200 mAdc, R_{BE} = 100 Ohms)	$V_{CER(sus)}$	70	–	Vdc
Collector Cutoff Current (V_{CE} = 30 Vdc, I_B = 0)	I_{CEO}	–	0.7	mAdc
Collector Cutoff Current (V_{CE} = 100 Vdc, $V_{BE(off)}$ = 1.5 Vdc) (V_{CE} = 100 Vdc, $V_{BE(off)}$ = 1.5 Vdc, T_C = 150°C)	I_{CEX}	– –	1.0 5.0	mAdc
Emitter Cutoff Current (V_{BE} = 7.0 Vdc, I_C = 0)	I_{EBO}	–	5.0	mAdc
***ON CHARACTERISTICS (1)**				
DC Current Gain (I_C = 4.0 Adc, V_{CE} = 4.0 Vdc) (I_C = 10 Adc, V_{CE} = 4.0 Vdc)	h_{FE}	20 5.0	70 –	–
Collector-Emitter Saturation Voltage (I_C = 4.0 Adc, I_B = 400 mAdc) (I_C = 10 Adc, I_B = 3.3 Adc)	$V_{CE(sat)}$	–	1.1 3.0	Vdc
Base-Emitter On Voltage (I_C = 4.0 Adc, V_{CE} = 4.0 Vdc)	$V_{BE(on)}$	–	1.5	Vdc
SECOND BREAKDOWN				
Second Breakdown Collector Current with Base Forward Biased (V_{CE} = 40 Vdc, t = 1.0 s; Nonrepetitive)	$I_{s/b}$	2.87	–	Adc
DYNAMIC CHARACTERISTICS				
Current-Gain – Bandwidth Product (I_C = 0.5 Adc, V_{CE} = 10 Vdc, f = 1.0 MHz)	f_T	2.5	–	MHz
*Small-Signal Current Gain (I_C = 1.0 Adc, V_{CE} = 4.0 Vdc, f = 1.0 kHz)	h_{fe}	15	120	–
*Small-Signal Current Gain Cutoff Frequency (V_{CE} = 4.0 Vdc, I_C = 1.0 Adc, f = 1.0 kHz)	f_{hfe}	10	–	kHz

*Indicates Within JEDEC Registration. (2N3055)

(1) Pulse Test: Pulse Width ≤ 300 μs, Duty Cycle ≤ 2.0%.

FIGURE 2 – ACTIVE REGION SAFE OPERATING AREA



There are two limitations on the power handling ability of a transistor: average junction temperature and second breakdown. Safe operating area curves indicate I_C-V_{CE} limits of the transistor that must be observed for reliable operation; i.e., the transistor must not be subjected to greater dissipation than the curves indicate.

The data of Figure 2 is based on T_C = 25°C; $T_{J(pk)}$ is variable depending on power level. Second breakdown pulse limits are valid for duty cycles to 10% but must be derated for temperature according to Figure 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NPN
2N3055

PNP
MJ2955

FIGURE 3 – DC CURRENT GAIN

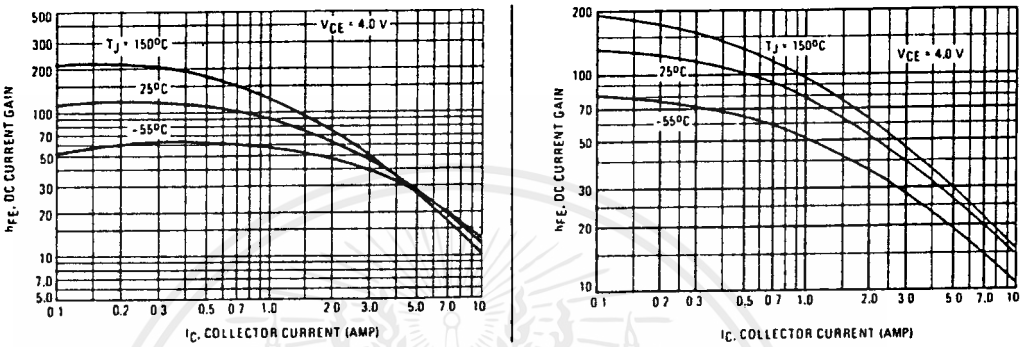


FIGURE 4 – COLLECTOR SATURATION REGION

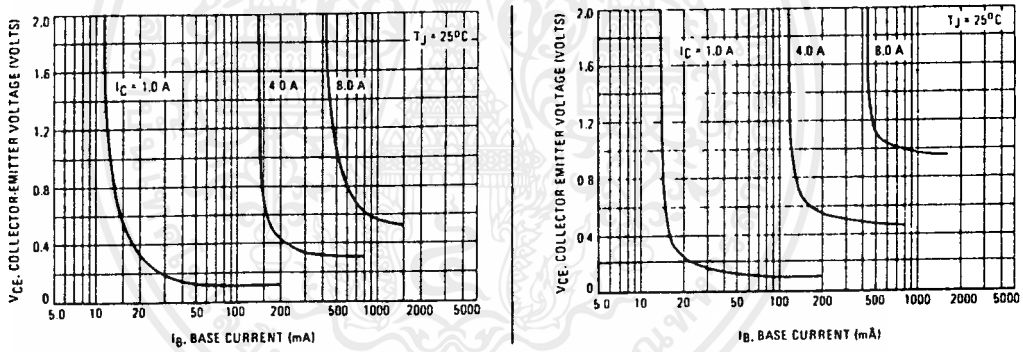
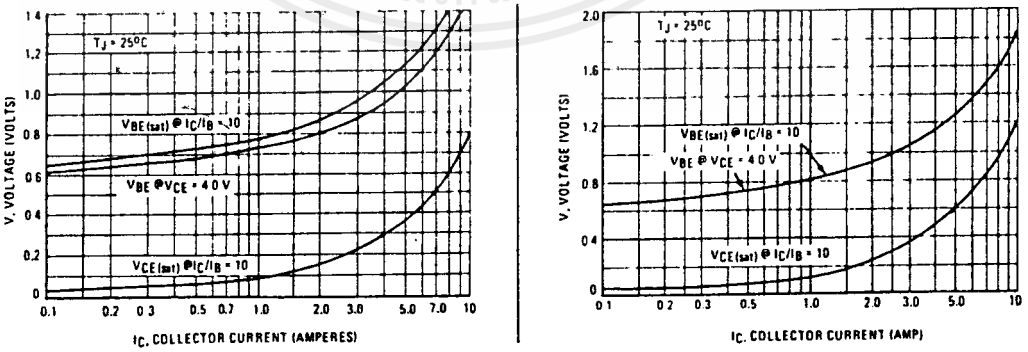


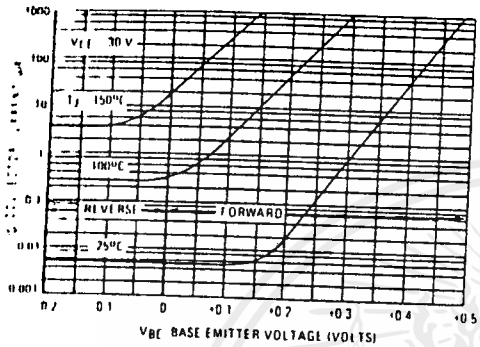
FIGURE 5 – "ON" VOLTAGES



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 6 – COLLECTOR CUTOFF REGION

NPN – 2N3055



PNP – MJ2955

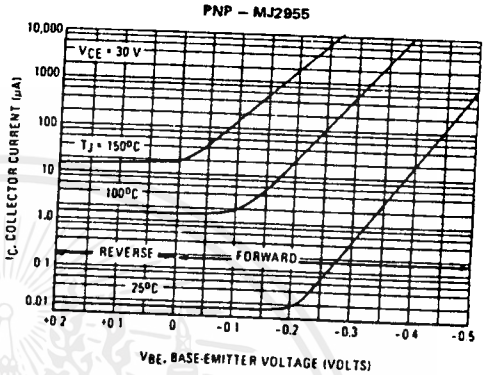


FIGURE 7 – SWITCHING TIMES TEST CIRCUIT

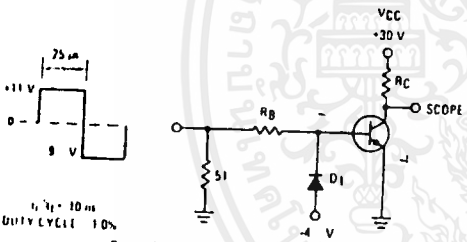


FIGURE 8 – TURN-ON TIME

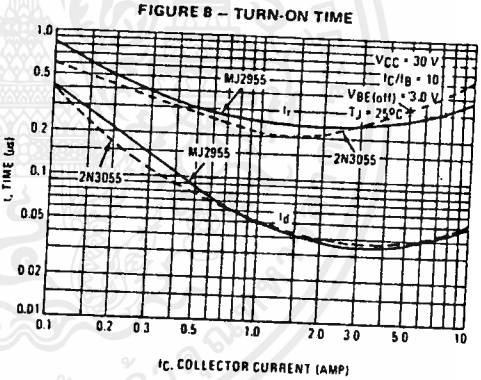


FIGURE 9 – TURN-OFF TIME

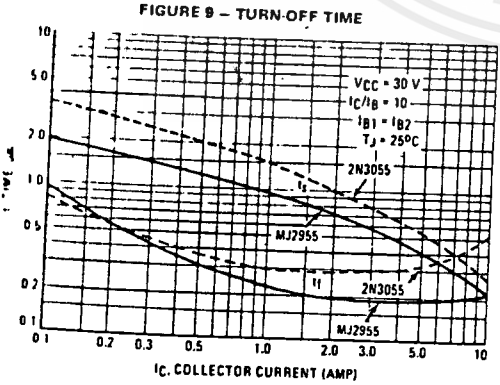
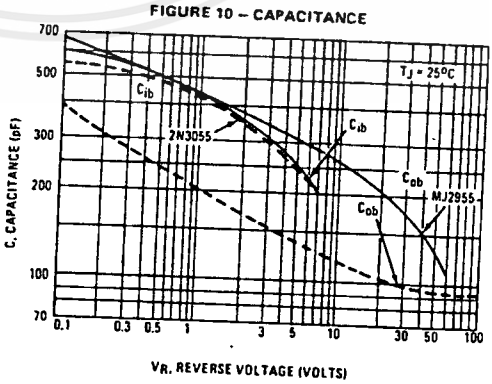


FIGURE 10 – CAPACITANCE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5490/7490 Decade Counter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS90	J			W	SN5490A	J			W	SN54LS90A	J	N	T	
FAIRCHILD											SN74LS90	J	N			SN7490A	J	N			SN74LS90A	J	N	T	
MOTOROLA											FM54LS90, FM93LS90	DT			F	FM5490 FM9390	D			F					
N. S. C.											FC74LS90, FC93LS90	DT	PT		F	FC7490 FC9390	D	P		F					
PHILIPS																MC5490	L			F					
SIGNETICS											SN74LS90		P			MC7490	L	P		F					
SIEMENS											DM54LS90		D			DM5490	J	N		W	DM54LS90	J	N	T	F
FUJITSU											DM74LS90		J			DM7490	J	N			DM74LS90	J	N	T	F
HITACHI											N74LS90		T			FJJ141 7490		U							
MITSUBISHI																S5490	F	A		W					
NEC											N74LS90		A	P		N7490	F	A							
TOSHIBA																FLJ161		U							
																μPB219	D	C							
											HD74LS90		P			HD7490A HD2519		P							
											M74LS90		P			M53290		P							
																TD3490A		P							

Electrical Characteristics SN54LS/SN74LS90A

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage (see Note 1)	5.5V	Storage temperature range		−65°C to 150°C

recommended operating conditions

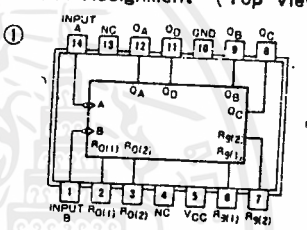
		SN54LS90A MIN	NOM	MAX	SN74LS90A MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output, current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		32	0		32	MHz
	B input	0		16	0		16	
Pulse width, t_w	A input	15			15			ns
	B input	30			30			
	Reset inputs	15			15			
Reset inactive-state setup, t_{setup}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER †		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	Any reset	V_{CC}=MAX, V_I=7V			0.1	mA
		A input	V_{CC}=MAX, V_I=5.5V			0.2	
		B input				0.4	
I_{IH}	High-level input current	Any reset	V_{CC}=MAX, V_I=2.7V			20	μA
		A input				40	
		B input				80	
I_{IL}	Low-level input current	Any reset	V_{CC}=MAX, V_I=0.4V			−0.4	mA
		A input				−2.4	
		B input				−3.2	
I_{OS}	Short-circuit output current ◆	V_{CC}=MAX	SN54'LS	−20		−100	mA
			SN74'LS	−20		−100	
I_{CC}	Supply current	V_{CC}=MAX, See Note 2			9	15	mA

f_{max}	from A to output Q_A	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	32	42	MHz
	from B to output Q_B		16		
t_{PLH}	from A to output Q_A			10	16	ns
t_{PHL}				12	18	
t_{PLH}	from A to output Q_D			32	48	ns
t_{PHL}				34	50	
t_{PHL}	from B to output Q_B			10	16	ns
t_{PLH}				14	21	
t_{PHL}	from B to output Q_C			21	32	ns
t_{PLH}				23	35	
t_{PHL}	from B to output Q_D			21	32	ns
t_{PHL}	from Set-to-0 to Any output			23	35	ns
t_{PLH}	from Set-to-9 to output Q_A, Q_D			26	40	ns
t_{PHL}	from Set-to-9 to output Q_B, Q_C			20	30	ns
				26	40	

Pin Assignment (Top View)



NC—No internal connection

Function Table

BCD COUNT SEQUENCE '90A, 'LS90, 'L90 (See Note 3)

COUNT	OUTPUT Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

BI-QUINARY (5-2) '90A, 'LS90, 'L90 (See Note 3)

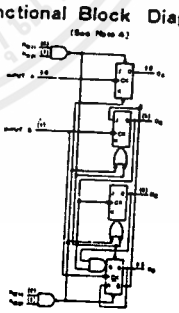
COUNT	OUTPUT Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

RESET/COUNT '90A, 'LS90, 'L90 (See Note 3)

RESET INPUTS $R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	OUTPUT Q_D Q_C Q_B Q_A
H	H	L	X	L L L L
H	H	X	L	L L L L
X	X	H	H	H L L H
X	L	X	L	COUNT
L	X	L	X	COUNT
L	X	X	L	COUNT
X	L	L	X	COUNT

Functional Block Diagram

(See Note 4)



'90A, 'LS90, 'L90 DECADE COUNTER

NOTES:
1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies between the two R_0 inputs, and it also applies between the two R_9 inputs.
2. I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.
3. Output Q_A is connected to input B for BCD count.
   Output Q_D is connected to input A for bi-quinary count.
   H = high level, L = low level, X = irrelevant.
4. The J and K inputs shown without connection are for reference only and are functionally at a high level.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡All typical values are at V_{CC}=5V, T_A=25°C.
◆ Not more than one output should be shorted at a time.
§ Q_A Outputs are tested at I_{OL} = 16mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
• f_{max} = maximum count frequency.
t_{PLH} = propagation delay time, low to high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power Field Effect Transistor
N-Channel Enhancement Mode Silicon Gate TMOS

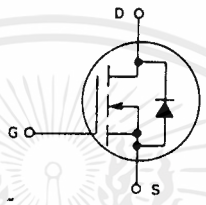
IRF820
IRF821
IRF822
IRF823

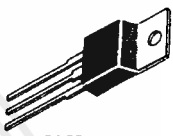
These TMOS Power FETs are designed for high voltage, high speed power switching applications such as switching regulators, converters, solenoid and relay drivers.

- Silicon Gate for Fast Switching Speeds
- Low $r_{DS(on)}$ to Minimize On-Losses. Specified at Elevated Temperature
- Rugged — SOA is Power Dissipation Limited
- Source-to-Drain Diode Characterized for Use With Inductive Loads

TMOS™

TMOS POWER FETs
2 and 2.5 AMPERES
$r_{DS(on)}$ = 3 OHM
450 and 500 VOLTS
$r_{DS(on)}$ = 4 OHM
450 and 500 VOLTS





CASE 221A-02
TO-220AB

MAXIMUM RATINGS

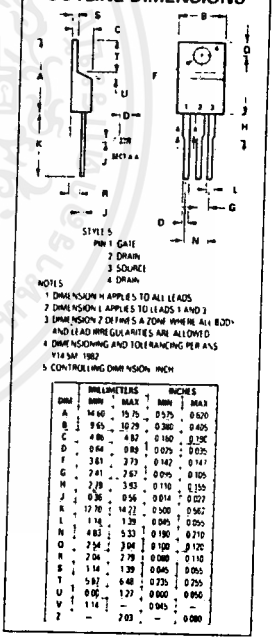
Rating	Symbol	IRF 820	IRF 821	IRF 822	IRF 823	Unit
Drain-Source Voltage	V_{DSS}	500	450	500	450	Vdc
Drain-Gate Voltage (R_{GS} = 1 MΩ)	V_{DGR}	500	450	500	450	Vdc
Gate-Source Voltage	V_{GS}	± 20				Vdc
Drain Current Continuous Pulsed	I_D I_{DM}	2.5 10		2 8		Adc
Total Power Dissipation @ T_C = 25°C Derate above 25°C	P_D	40 0.32				Watts W/°C
Operating and Storage Temperature Range	T_J, T_{stg}	− 55 to 150				°C

THERMAL CHARACTERISTICS

Thermal Resistance Junction to Case Junction to Ambient	$R_{\theta JC}$ $R_{\theta JA}$	3.12 62.5	°C/W
Maximum Lead Temp. for Soldering Purposes, 1/8" from Case for 5 Seconds	T_L	300	°C

See the MTM3N45 Designer's Data Sheet for a complete set of design curves for the product on this data sheet. Design curves of the MTP3N45 are applicable for this series of product.

OUTLINE DIMENSIONS



STYLE 5
PIN 1 GATE
2 DRAIN
3 SOURCE
4 DRAIN

NOTES
1 DIMENSION H APPLIES TO ALL LEADS
2 DIMENSION L APPLIES TO LEADS 1 AND 3
3 DIMENSION Z DEFINES A ZONE WHERE ALL BODY AND LEAD IRREGULARITIES ARE ALLOWED
4 DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
5 CONTROLLING DIMENSION: INCH

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	14.60	15.75	0.575	0.620
B	9.65	10.29	0.380	0.405
C	4.06	4.82	0.160	0.190
D	0.64	0.89	0.025	0.035
F	3.61	3.73	0.142	0.147
G	2.41	2.67	0.095	0.105
H	2.78	3.53	0.110	0.139
J	0.36	0.56	0.014	0.022
K	12.70	14.22	0.500	0.562
L	1.14	1.39	0.045	0.055
N	4.83	5.33	0.190	0.210
Q	2.54	3.04	0.100	0.120
R	2.04	2.79	0.080	0.110
S	1.14	1.39	0.045	0.055
T	5.97	6.48	0.235	0.255
U	0.00	1.27	0.000	0.050
V	1.14	–	0.045	–
Z	–	2.03	–	0.080

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic		Symbol	Min	Max	Unit
OFF CHARACTERISTICS					
Drain-Source Breakdown Voltage (V_{GS} = 0, I_D = 0.25 mA)	IRF821, IRF823 IRF820, IRF822	$V_{(BR)DSS}$	 450 500	 — —	Vdc
Zero Gate Voltage Drain Current (V_{DS} = Rated V_{DSS}, V_{GS} = 0) (V_{DS} = 0.8 Rated V_{DSS}, V_{GS} = 0, T_J = 125°C)		I_{DSS}	 — —	 0.25 1	mAdc
Gate-Body Leakage Current, Forward (V_{GSF} = 20 Vdc, V_{DS} = 0)		I_{GSSF}	—	500	nAdc
Gate-Body Leakage Current, Reverse (V_{GSR} = 20 Vdc, V_{DS} = 0)		I_{GSSR}	—	500	nAdc
ON CHARACTERISTICS*					
Gate Threshold Voltage (V_{DS} = V_{GS}, I_D = 0.25 mA)		$V_{GS(th)}$	2	4	Vdc
Static Drain-Source On-Resistance (V_{GS} = 10 Vdc, I_D = 1 Adc)	IRF820, IRF821 IRF822, IRF823	$r_{DS(on)}$	 —	 3 4	Ohm
On-State Drain Current (V_{GS} = 10 V) (V_{DS} ≥ 7.5 Vdc) (V_{DS} ≥ 8 Vdc)	 IRF820, IRF821 IRF822, IRF823	$I_{D(on)}$	 2.5 2	 — —	Adc
Forward Transconductance (V_{DS} ≥ 7.5 V, I_D = 1 A) (V_{DS} ≥ 8 V, I_D = 1 A)	IRF820, IRF821 IRF822, IRF823	g_{FS}	1 1	— —	mhos
DYNAMIC CHARACTERISTICS					
Input Capacitance	(V_{DS} = 25 V, V_{GS} = 0, f = 1 MHz)	C_{iss}	—	400	pF
Output Capacitance		C_{oss}	—	150	
Reverse Transfer Capacitance		C_{rss}	—	40	
SWITCHING CHARACTERISTICS*					
Turn-On Delay Time	(V_{DD} ≈ 200 V, I_D = 1 Apk, R_{gen} = 50 Ohms)	$t_{d(on)}$	—	60	ns
Rise Time		t_r	—	50	
Turn-Off Delay Time		$t_{d(off)}$	—	60	
Fall Time		t_f	—	30	
Total Gate Charge	(V_{GS} = 10 V, V_{DS} = 0.8 x Rated V_{DSS}, I_D = Rated I_D)	Q_g	12 (Typ)	15	nC
Gate-Source Charge		Q_{gs}	6 (Typ)	—	
Gate-Drain Charge		Q_{gd}	6 (Typ)	—	
SOURCE-DRAIN DIODE CHARACTERISTICS*					
Forward On-Voltage	(I_S = Rated I_D, V_{GS} = 0)	V_{SD}	—	1.5(1)	Vdc
Forward Turn-On Time		t_{on}	Limited by stray inductance		
Reverse Recovery Time		t_{rr}	500 (Typ)	—	ns
INTERNAL PACKAGE INDUCTANCE					
Internal Drain Inductance (Measured from the contact screw on tab to center of die) (Measured from the drain lead 0.25" from package to center of die)		L_d	 3.5 (Typ) 4.5 (Typ)	 — —	nH
Internal Source Inductance (Measured from the source lead 0.25" from package to source bond pad)		L_s	7.5 (Typ)	—	

*Pulse Test: Pulse Width ≤ 300 μs, Duty Cycle ≤ 2%.
(1) Add 0.1 V for IRF820 and IRF821.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14023B
See Page 6-5

MC14023UB
See Page 6-14

MC14024B

7-STAGE RIPPLE COUNTER

The MC14024B is a 7-stage ripple counter with short propagation delays and high maximum clock rates. The Reset input has standard noise immunity, however the Clock input has increased noise immunity due to Hysteresis. The output of each counter stage is buffered.

- Diode Protection on All Inputs
- Output Transitions Occur on the Falling Edge of the Clock Pulse
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4024B

L SUFFIX
CERAMIC
CASE 632

P SUFFIX
PLASTIC
CASE 646

D SUFFIX
SOIC
CASE 751A

ORDERING INFORMATION

MC14XXXBCP	Plastic
MC14XXXBCL	Ceramic
MC14XXXBD	SOIC

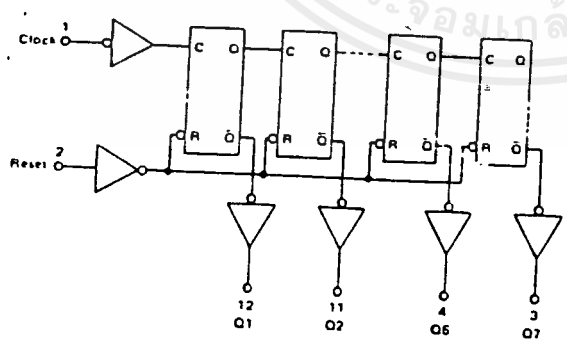
T_A = −55° to 125°C for all packages.

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	−0.5 to +18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	−0.5 to V_{DD} +0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	±10	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature (8-Second Soldering)	260	°C

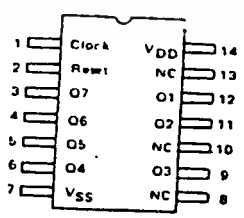
*Maximum Ratings are those values beyond which damage to the device may occur.
†Temperature Derating: Plastic "P and D/DW" Packages: −7.0 mW/°C From 65°C To 125°C
Ceramic "L" Packages: −12 mW/°C From 100°C To 125°C

LOGIC DIAGRAM



Q3 = Pin 9
Q4 = Pin 6
Q5 = Pin 5

PIN ASSIGNMENT



V_{DD} = Pin 14
V_{SS} = Pin 7

NC = No Connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	−55°C Min	−55°C Max	25°C Min	25°C Typ #	25°C Max	125°C Min	125°C Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage "0" Level (V_O = 4.5 or 0.5 Vdc)	V_{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc
(V_O = 9.0 or 1.0 Vdc)		10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	—	4.0	—	6.75	4.0	—	4.0	
"1" Level (V_O = 0.5 or 4.5 Vdc)	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 Vdc)		15	11	—	11	8.25	—	11	—	
Output Drive Current (V_{OH} = 2.5 Vdc) Source	I_{OH}	5.0	−3.0	—	−2.4	−4.2	—	−1.7	—	mAdc
(V_{OH} = 4.6 Vdc)		5.0	−0.64	—	−0.51	−0.88	—	−0.36	—	
(V_{OH} = 9.5 Vdc)		10	−1.6	—	−1.3	−2.25	—	−0.9	—	
(V_{OH} = 13.5 Vdc)		15	−4.2	—	−3.4	−8.8	—	−2.4	—	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 Vdc)		15	4.2	—	3.4	8.8	—	2.4	—	
Input Current	I_{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μAdc
Input Capacitance (V_{in} = 0)	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package)	I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	μAdc
		10	—	10	—	0.010	10	—	300	
		15	—	20	—	0.015	20	—	600	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (0.31 μA/kHz) f + I_{DD}							μAdc
		10	I_T = (0.60 μA/kHz) f + I_{DD}							
		15	I_T = (1.89 μA/kHz) f + I_{DD}							

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance

**The formulas given are for the typical characteristics only at 25°C.

†To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50\ pF) + (C_L - 50)\ Vfk$$

where: I_T is in μA (per package), C_L in pF, V = (V_{DD} − V_{SS}) in volts, f in kHz is input frequency, and k = 0.001.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ #	Max	Unit
Output Rise and Fall Time	t_{TLH}, t_{THL}					ns
t_{TLH}, t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	—	100	200	
t_{TLH}, t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	100	
t_{TLH}, t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	40	80	
Propagation Delay Time	t_{PLH}, t_{PHL}					ns
Clock to Q1						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 295 ns		5.0	—	380	600	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 117 ns		10	—	150	230	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 85 ns		15	—	110	175	
Clock to Q7						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 915 ns		5.0	—	1000	2000	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 367 ns		10	—	400	750	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 275 ns		15	—	300	565	
Reset to Q_n						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 415 ns		5.0	—	500	800	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 217 ns		10	—	250	400	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 165 ns		15	—	180	300	
Clock Pulse Width	t_{WH}	5.0	600	200	—	ns
		10	165	60	—	
		15	125	40	—	
Reset Pulse Width	t_{WH}	5.0	600	375	—	ns
		10	350	200	—	
		15	260	150	—	
Reset Removal Time	t_{rem}	5.0	625	250	—	ns
		10	190	75	—	
		15	145	50	—	
Clock Input Rise and Fall Times	t_{TLH}, t_{THL}	5.0	—	—	1.0	s
		10	—	—	8.0	ms
		15	—	—	200	µs
Input Pulse Frequency	f_{cl}	5.0	—	2.5	1.0	MHz
		10	—	8.0	3.0	
		15	—	12	4.0	

*The formulas given are for the typical characteristics only at 25°C

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance

TRUTH TABLE

CLOCK	RESET	STATE
0	0	No Change
0	1	All Outputs Low
1	0	No Change
1	1	All Outputs Low
	0	No Change
	1	All Outputs Low
	0	Advance One Count
	1	All Outputs Low

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 – TYPICAL OUTPUT SOURCE CHARACTERISTICS TEST CIRCUIT

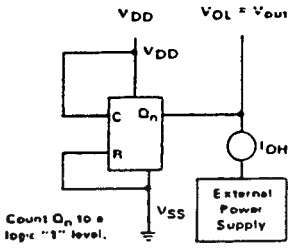


FIGURE 2 – TYPICAL OUTPUT SINK CHARACTERISTICS TEST CIRCUIT

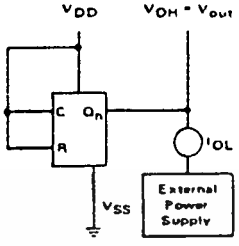
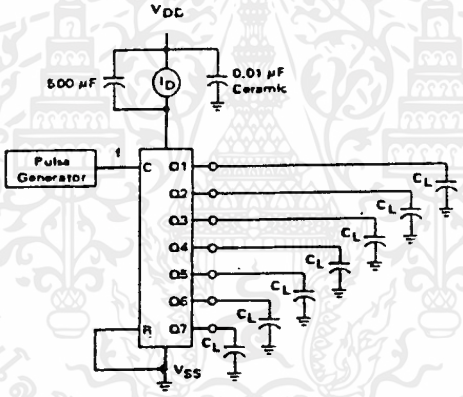


FIGURE 3 – POWER DISSIPATION TEST CIRCUIT



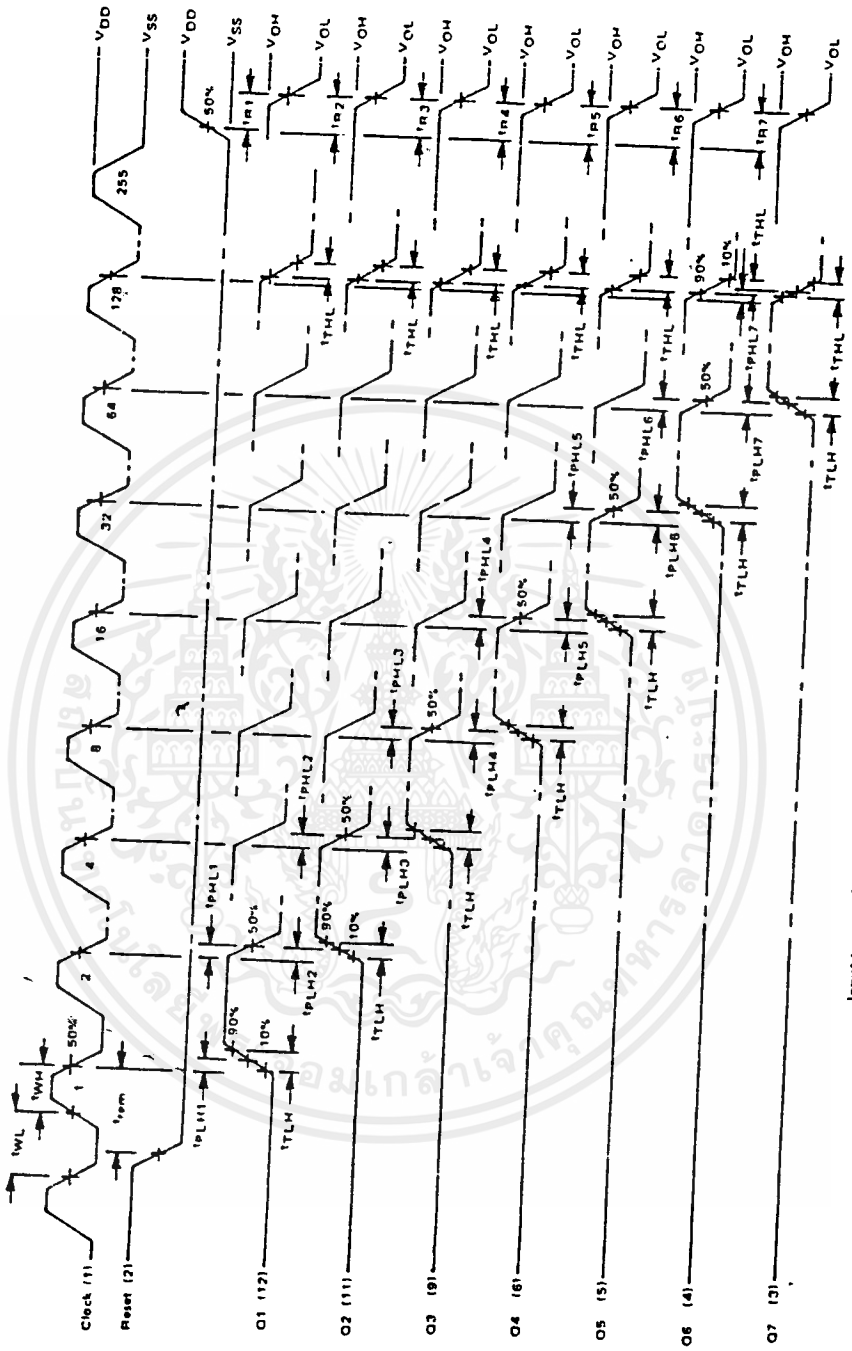


FIGURE 4 – FUNCTIONAL WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Optoisolators (cont'd)

TTL Compatible Phototransistors		Device Ratings		LED Max Ratings		Output Ratings						
ECG Type	Output Configuration	Isolation Voltage V_{iso} (V)	Power P_t (mW)	Forward Current I_F (mA)	Reverse Voltage V_R (V)	Max V_{cc} (V)	Current Transfer Ratio % *	Output Current I_O (mA)	Propagation Delay Time (nsec)	Data Transfer Rate Mbit/sec	Ckt. Diag.	Fig. No.
ECG3092	Open Collector NPN Transistor	3000	100	25	5	15	15	8	800	1	O	P27
ECG3093	NPN Split Darlington	3000	100	20	5	18	400	60	t_{PHL} 1 μsec t_{PLH} 7 μsec	100K	P	
ECG3095	Dual Open Collector, NPN Transistors	3000	100	25	5	15	15	8	800	1	R	

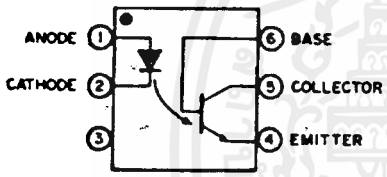
* DC Current Transfer Ratio is the output transistor collector current divided by the LED forward current - $h_{FE} = I_C / I_F$

ECG Type	Output Configuration	Total Device Ratings		Led Max Ratings		Output Ratings					Ckt. Diag.	Fig. No.
		Isolation Voltage V_{iso} Surge (V)	Power P_t (mW)	Forward Current I_F (mA)	Reverse Voltage V_R (V)	V_{cc} Voltage Range (V)	Output Voltage V_O (V)	Output Current I_O (mA)	Turn-On Time Ton (μsec)	Turn-Off Time Toff (μsec)		
ECG3090	Schmitt Trigger	7500	150	60	6	3V to 15V	15 max	50 max	1.2 typ	1.2 typ	N	P28

Optoisolator Circuits

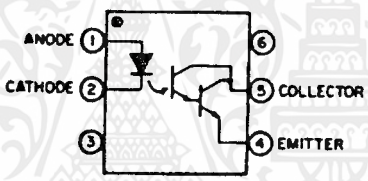
Diag. A — Fig. P28

ECG 3040, 3041, 3042, 3043, 3068, 3096



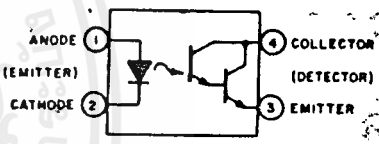
Diag. B — Fig. P28

ECG 3044, 3045



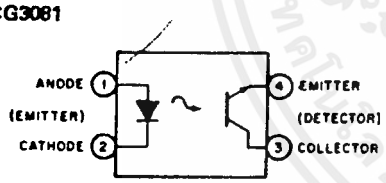
Diag. C — Fig. P27

ECG3082



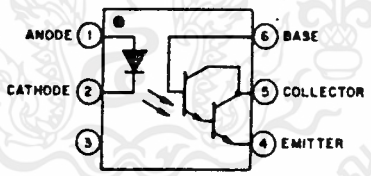
Diag. D — Fig. P27

ECG3081



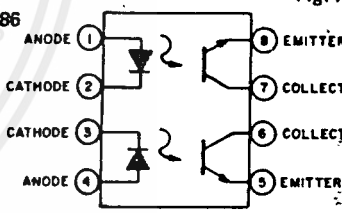
Diag. E — Fig. P28

ECG 3083, 3084



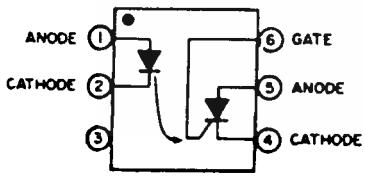
Diag. F — Fig. P29

ECG3086



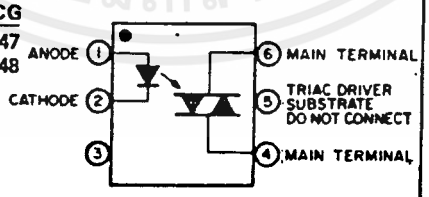
Diag. G — Fig. P28

ECG 3046, 3091



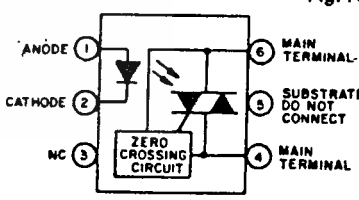
Diag. H — Fig. P28

ECG 3047, 3048



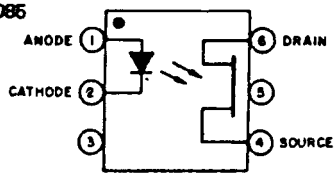
Diag. J — Fig. P28

ECG 3049, 3097



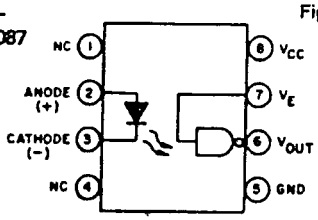
Diag. K — Fig. P28

ECG3085



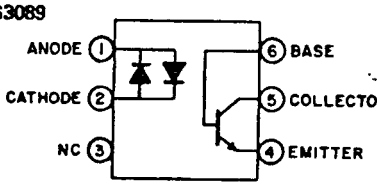
Diag. L — Fig. P29

ECG3087



Diag. M — Fig. P28

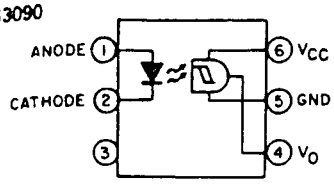
ECG3089



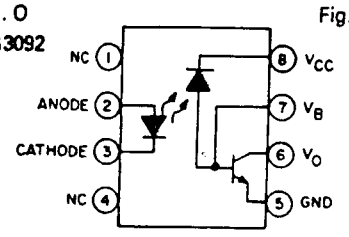
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Optoisolator Circuits (cont'd)

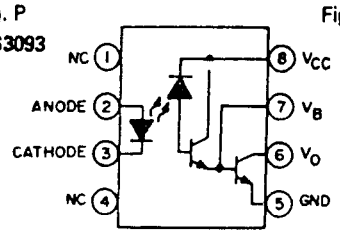
Diag. N — Fig. P28
ECG3090



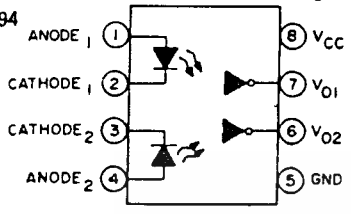
Diag. O — Fig. P29
ECG3092



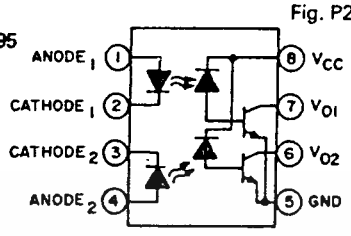
Diag. P — Fig. P29
ECG3093



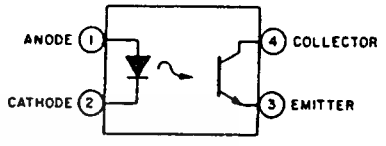
Diag. Q — Fig. P29
ECG3094



Diag. R — Fig. P29
ECG3095



Diag. S — Fig. P55
ECG3098



Optoisolator Outlines

Fig. P27
ECG
3081
3082

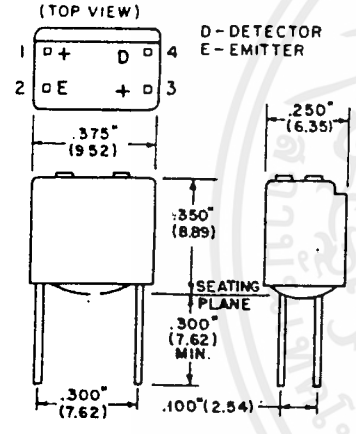


Fig. P28
ECG
3040
3041
3042
3043
3044
3045
3046
3047
3048
3049
3083
3084
3085
3088
3089
3090
3091
3096
3097

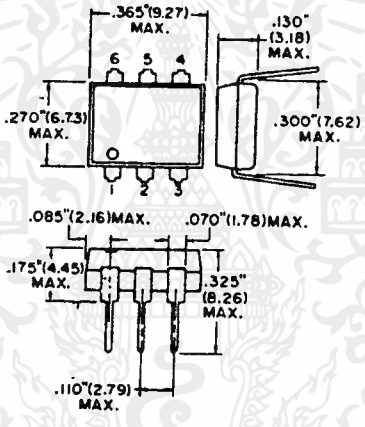


Fig. P29
ECG
3086 3093
3087 3094
3092 3095

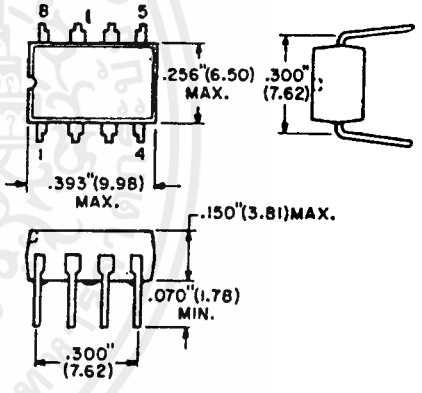
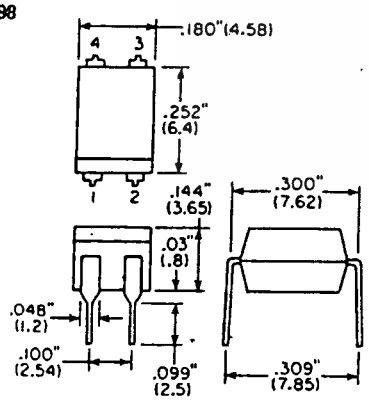


Fig. P55
ECG
3098



K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM119/LM219/LM319 High Speed Dual Comparator

General Description

The LM119 series are precision high speed dual comparators fabricated on a single monolithic chip. They are designed to operate over a wide range of supply voltages down to a single 5V logic supply and ground. Further, they have higher gain and lower input currents than devices like the LM710. The uncommitted collector of the output stage makes the LM119 compatible with RTL, DTL and TTL as well as capable of driving lamps and relays at currents up to 25 mA. Outstanding features include:

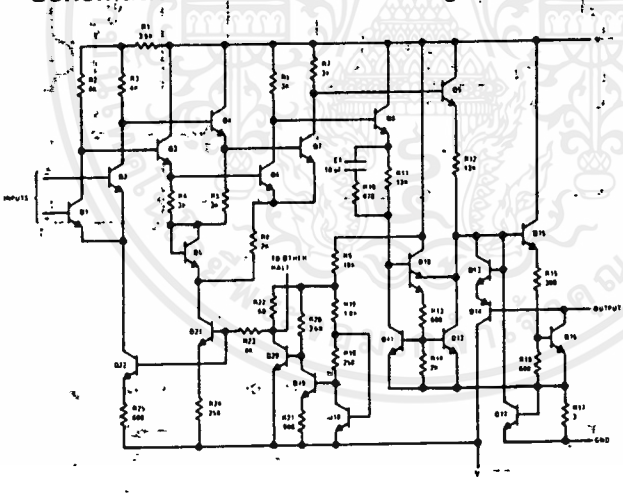
Features

- Two independent comparators
- Operates from a single 5V supply
- Typically 80 ns response time at ±15V
- Minimum fan-out of 2 each side
- Maximum input current of 1 μA over temperature
- Inputs and outputs can be isolated from system ground
- High common mode slew rate

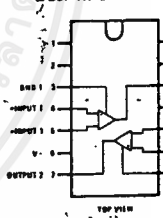
Although designed primarily for applications requiring operation from digital logic supplies, the LM119 series are fully specified for power supplies up to ±15V. It features faster response than the LM111 at the expense of higher power dissipation. However, the high speed, wide operating voltage range and low package count make the LM119 much more versatile than older devices like the LM711.

The LM119 is specified from −55°C to +125°C, the LM219 is specified from −25°C to +85°C, and the LM319 is specified from 0°C to +70°C.

Schematic and Connection Diagrams



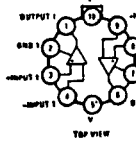
Dual-In-Line-Package



Order Number LM319N
See NS Package N14A

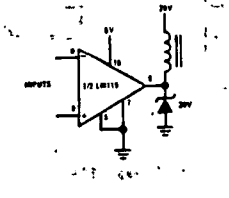
Order Number LM119J, LM219J or LM319J
See NS Package J14A

Metal Can Package

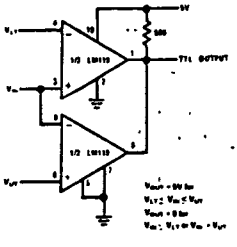


Order Number LM119H, LM219H or LM319H
See NS Package H10C

Typical Applications



Relay Driver



Window Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings LM119/LM219

Total Supply Voltage	36V	Power Dissipation (Note 2)	500 mW
Output to Negative Supply Voltage	36V	Output Short Circuit Duration	10 sec
Ground to Negative Supply Voltage	25V	Operating Temperature Range LM119	−55°C to 125°C
Ground to Positive Supply Voltage	18V	LM219	−25°C to 85°C
Differential Input Voltage	±5V	Storage Temperature Range	−65°C to 150°C
Input Voltage (Note 1)	±15V	Lead Temperature (Soldering, 10 sec)	300°C

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage (Note 4)	$T_A = 25°C$, $R_S \leq 5k$		0.7	4.0	mV
Input Offset Current (Note 4)	$T_A = 25°C$		30	75	nA
Input Bias Current	$T_A = 25°C$		150	500	nA
Voltage Gain	$T_A = 25°C$	10	40		V/mV
Response Time (Note 5)	$T_A = 25°C$ $V_S = \pm 15V$		80		ns
Saturation Voltage	$V_{IN} \leq -5$ mV, $I_{OUT} = 25$ mA $T_A = 25°C$		0.75	1.5	V
Output Leakage Current	$V_{IN} \geq 5$ mV, $V_{OUT} = 35V$ $T_A = 25°C$		0.2	2	μA
Input Offset Voltage (Note 4)	$R_S \leq 5k$			7	mV
Input Offset Current (Note 4)				100	nA
Input Bias Current				1000	nA
Input Voltage Range	$V_S = \pm 15V$	−12	±13	+12	V
	$V^+ = 5V$, $V^- = 0$	1		3	V
Saturation Voltage	$V^+ \geq 4.5V$, $V^- = 0$ $V_{IN} \leq -6$ mV, $I_{SINK} \leq 3.2$ mA				
	$T_A \geq 0°C$		0.23	0.4	V
	$T_A \leq 0°C$			0.6	V
Output Leakage Current	$V_{IN} \geq 5$ mV, $V_{OUT} = 35V$, $V_{GND} = 0V$		1	10	μA
Differential Input Voltage				±5	V
Positive Supply Current	$T_A = 25°C$, $V^+ = 5V$, $V^- = 0$		4.3		mA
Positive Supply Current	$T_A = 25°C$ $V_S = \pm 15V$		8	11.5	mA
Negative Supply Current	$T_A = 25°C$ $V_S = \pm 15V$		3	4.5	mA

Note 1: For supply voltages less than ±15V the absolute maximum input voltage is equal to the supply voltage.

Note 2: The maximum junction temperature of the LM119 is 150°C, while that of the LM219 is 110°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient, or 45°C/W, junction to case. The thermal resistance of the dual-in-line package is 100°C/W, junction to ambient.

Note 3: These specifications apply for $V_S = \pm 15V$, and the Ground pin at ground, and $-55°C \leq T_A \leq +125°C$, unless otherwise stated. With the LM219, however, all temperature specifications are limited to $-25°C \leq T_A \leq +85°C$. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to ±15V supplies.

Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with a 1 mA load. Thus, these parameters define an error band and take into account the worst case effects of voltage gain and input impedance.

Note 5: The response time specified (see definitions) is for a 100 mV input step with 5 mV overdrive.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings LM319

Total Supply Voltage	36V	Power Dissipation (Note 2)	500 mW
Output to Negative Supply Voltage	36V	Output Short Circuit Duration	10 sec
Ground to Negative Supply Voltage	25V	Operating Temperature Range LM319	0°C to 70°C
Ground to Positive Supply Voltage	18V	Storage Temperature Range	−65°C to 150°C
Differential Input Voltage	±5V	Lead Temperature (Soldering, 10 sec)	300°C
Input Voltage (Note 1)	±15V		

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage (Note 4)	$T_A = 25°C$, $R_S \leq 5k$		2.0	8.0	mV
Input Offset Current (Note 4)	$T_A = 25°C$		80	200	nA
Input Bias Current	$T_A = 25°C$		250	1000	nA
Voltage Gain	$T_A = 25°C$	8	40		V/mV
Response Time (Note 5)	$T_A = 25°C$ $V_S = \pm 15V$		80		ns
Saturation Voltage	$V_{IN} \leq -10$ mV, $I_{OUT} = 25$ mA, $T_A = 25°C$		0.75	1.5	V
Output Leakage Current	$V_{IN} \geq 10$ mV, $V_{OUT} = 35V$, $V^- = V_{GND} = 0V$, $T_A = 25°C$		0.2	10	μA
Input Offset Voltage (Note 4)	$R_S \leq 5k$			10	mV
Input Offset Current (Note 4)				300	nA
Input Bias Current				1200	nA
Input Voltage Range	$V_S = \pm 15V$		±13		V
	$V^+ = 5V$, $V^- = 0$	1		3	V
Saturation Voltage	$V^+ \geq 4.5V$, $V^- = 0$, $V_{IN} \leq -10$ mV, $I_{SINK} \leq 3.2$ mA		0.3	0.4	V
Differential Input Voltage				±5	V
Positive Supply Current	$T_A = 25°C$, $V^+ = 5V$, $V^- = 0$		4.3		mA
Positive Supply Current	$T_A = 25°C$ $V_S = \pm 15V$		8	12.5	mA
Negative Supply Current	$T_A = 25°C$ $V_S = \pm 15V$		3	5	mA

Note 1: For supply voltages less than ±15V the absolute maximum input voltage is equal to the supply voltage.

Note 2: The maximum junction temperature of the LM319 is 85°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient, or 45°C/W, junction to case. The thermal resistance of the dual-in-line package is 100°C/W, junction to ambient.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq 70°C$, unless otherwise stated. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to ±15V supplies.

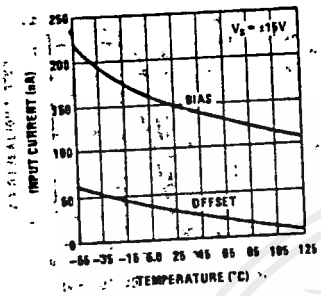
Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with a 1 mA load. Thus, these parameters define an error band and take into account the worst case effects of voltage gain and input impedance.

Note 5: The response time specified is for a 100 mV input step with 5 mV overdrive.

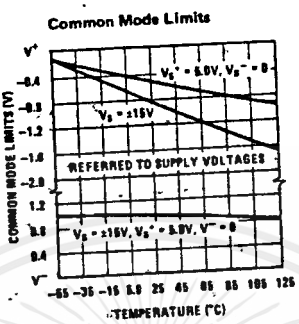
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics LM119/LM219

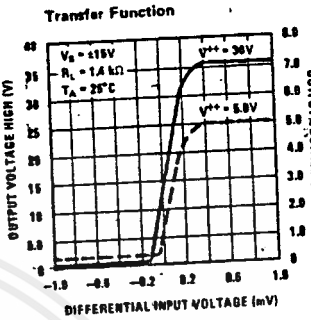
Input Currents



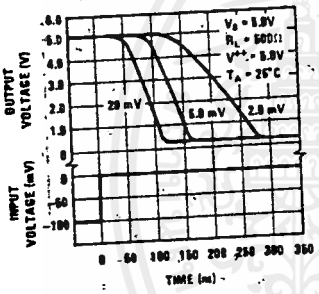
Common Mode Limits



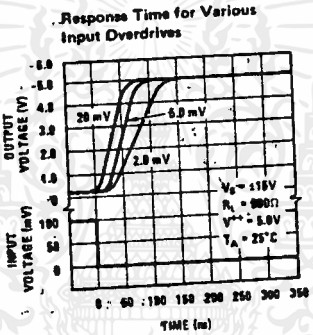
Transfer Function



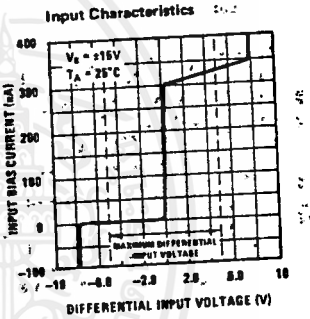
Response Time for Various Input Overdrives



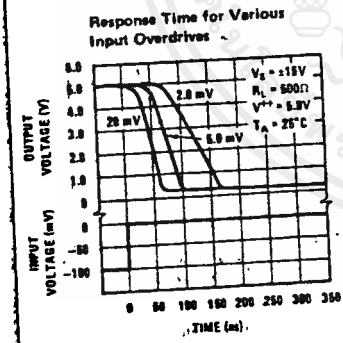
Response Time for Various Input Overdrives



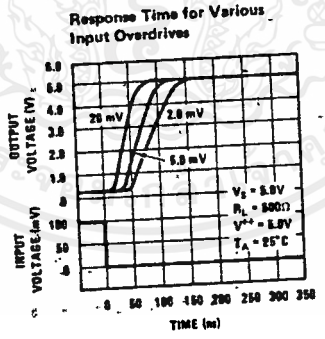
Input Characteristics



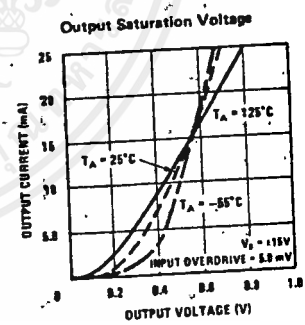
Response Time for Various Input Overdrives



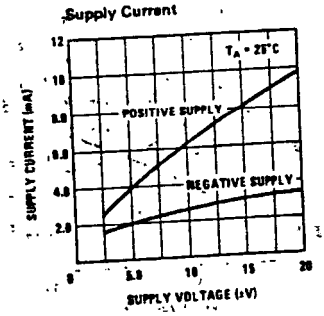
Response Time for Various Input Overdrives



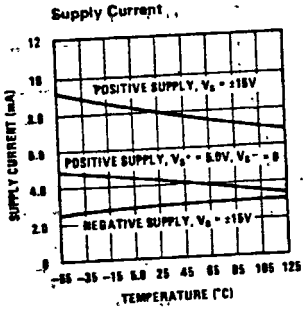
Output Saturation Voltage



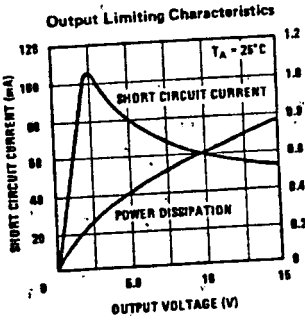
Supply Current



Supply Current



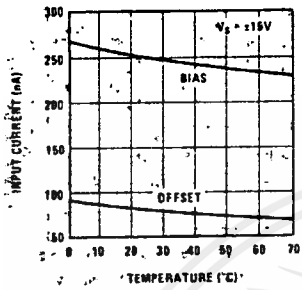
Output Limiting Characteristics



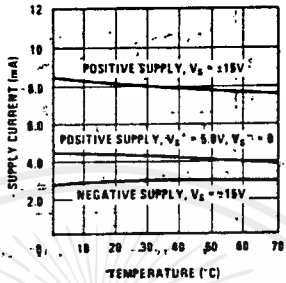
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics LM319

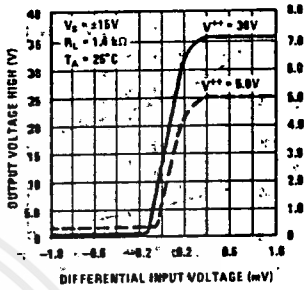
Input Currents



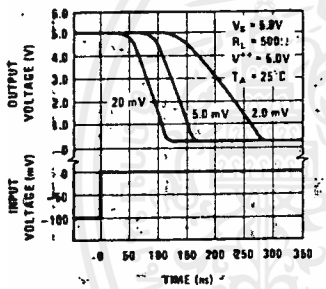
Supply Currents



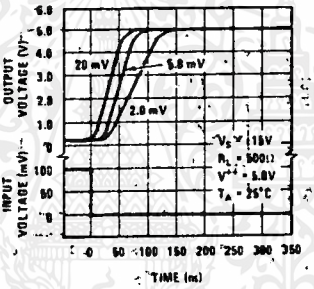
Transfer Function



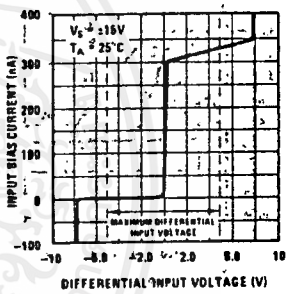
Response Time for Various Input Overdrives



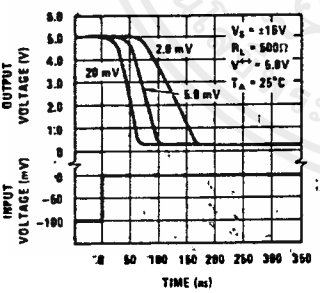
Response Time for Various Input Overdrives



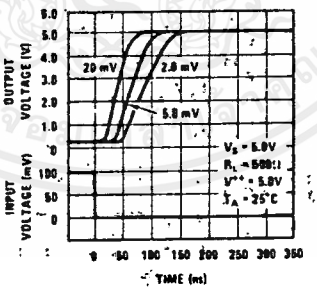
Input Characteristics



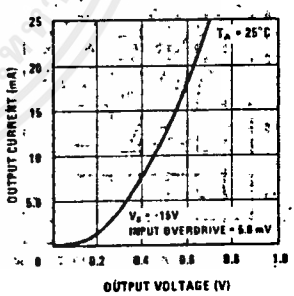
Response Time for Various Input Overdrives



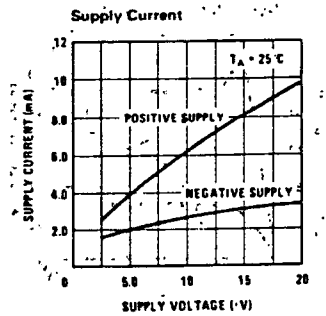
Response Time for Various Input Overdrives



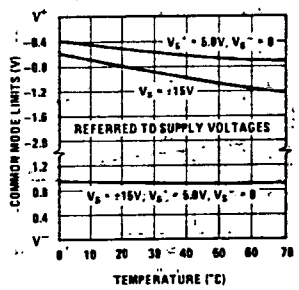
Output Saturation Voltage



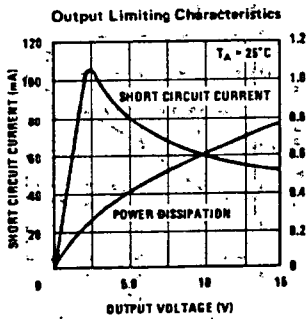
Supply Current



Common Mode Limits



Output Limiting Characteristics



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Voltage Comparators

LM139/239/339, LM139A/239A/339A, LM2901, LM3302 Low Power, Low Offset Voltage Quad Comparators

General Description

The LM139 series consists of four independent precision voltage comparators with an offset voltage specification as low as 2 mV max for all four comparators. These were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters; pulse, squarewave and time delay generators; wide range VCO; MOS clock timers; multivibrators and high voltage digital logic gates. The LM139 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, they will directly interface with MOS logic— where the low power drain of the LM339 is a distinct advantage over standard comparators.

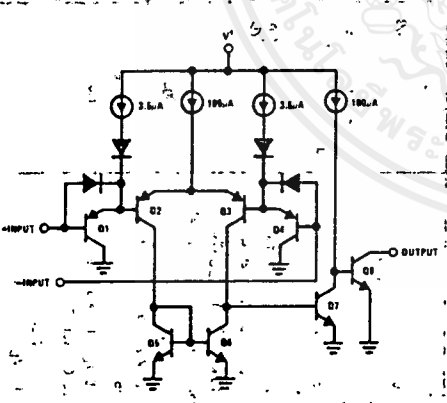
Advantages

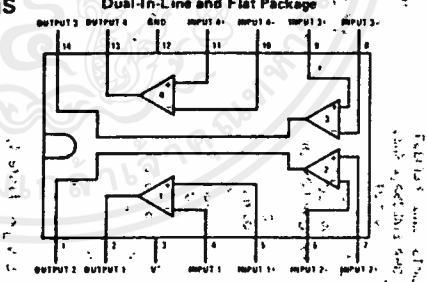
- High precision comparators
- Reduced V_{OS} drift over temperature
- Eliminates need for dual supplies
- Allows sensing near gnd
- Compatible with all forms of logic
- Power drain suitable for battery operation

Features

- Wide single supply voltage range or dual supplies
  LM139 series, 2 V_{DC} to 36 V_{DC} or
  LM139A series, LM2901 ±1 V_{DC} to ±18 V_{DC}
  LM3302 2 V_{DC} to 28 V_{DC} or ±1 V_{DC} to ±14 V_{DC}
- Very low supply current drain (0.8 mA) — independent of supply voltage (2 mW/comparator at +5 V_{DC})
- Low input biasing current 25 nA
- Low input offset current ±5 nA
  and offset voltage ±3 mV
- Input common-mode voltage range includes gnd
- Differential input voltage range equal to the power supply voltage
- Low output saturation voltage 250 mV at 4 mA
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems

Schematic and Connection Diagrams

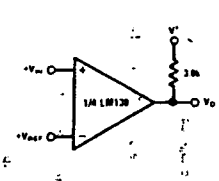




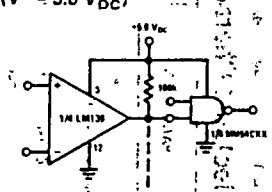
Order Number LM139J, LM139AJ, LM239J, LM239AJ, LM339J, LM339AJ, LM2901J or LM3302J
See NS Package J14A

Order Number LM339N, LM339AN, LM2901N or LM3302N
See NS Package N14A

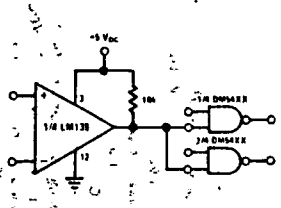
Typical Applications (V^+ = 5.0 V_{DC})



Basic Comparator



Driving CMOS



Driving TTL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MTM15N35
MTM15N40

Designer's Data Sheet

Power Field Effect Transistor

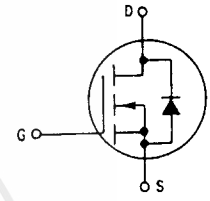
N-Channel Enhancement Mode Silicon Gate TMOS

TMOS™

TMOS POWER FETs
15 AMPERES
$r_{DS(on)}$ = 0.3 OHM
350 and 400 VOLTS

These TMOS Power FETs are designed for high voltage, high speed power switching applications such as switching regulators, converters, solenoid and relay drivers.

- Silicon Gate for Fast Switching Speeds — Switching Times Specified at 100°C
- Designer's Data — I_{DSS}, $V_{DS(on)}$, $V_{GS(th)}$ and SOA Specified at Elevated Temperature
- Rugged — SOA is Power Dissipation Limited
- Source-to-Drain Diode Characterized for Use With Inductive Loads



MAXIMUM RATINGS

Rating	Symbol	MTM 15N35	MTM 15N40	Unit
Drain-Source Voltage	V_{DSS}	350	400	Vdc
Drain-Gate Voltage (R_{GS} 1 MΩ)	V_{DGR}	350	400	Vdc
Gate-Source Voltage	V_{GS}	± 20		Vdc
Drain Current — Continuous — Pulsed	I_D I_{DM}	15 70		Adc
Total Power Dissipation @ T_C 25°C Derate above 25°C	P_D	250 2		Watts W/°C
Operating and Storage Temperature Range	T_J, T_{stg}	65 to 150		°C

CASE 197A-01
TO-204AE

THERMAL CHARACTERISTICS

Thermal Resistance — Junction to Case — Junction to Ambient	$R_{\theta JC}$ $R_{\theta JA}$	0.5 30	°C/W
Maximum Lead Temperature for Soldering Purposes, 1/8" from case for 5 seconds	T_L	275	°C

Designer's Data for "Worst Case" Conditions — The Designer's Data Sheet permits the design of most circuits entirely from the information presented. SOA Limit curves — representing boundaries on device characteristics — are given to facilitate "worst case" design.

ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic		Symbol	Min	Max	Unit
OFF CHARACTERISTICS					
Drain-Source Breakdown Voltage (V_{GS} = 0, I_D = 0.25 mA)	MTM15N35 MTM15N40	$V_{(BR)DSS}$	350 400	— —	Vdc
Zero Gate Voltage Drain Current (V_{DS} = Rated V_{DSS}, V_{GS} = 0) (V_{DS} = 0.8 Rated V_{DSS}, V_{GS} = 0, T_J = 125°C)		I_{DSS}	— —	0.2 1	mAdc
Gate-Body Leakage Current, Forward (V_{GSF} = 20 Vdc, V_{DS} = 0)		I_{GSSF}	—	100	nAdc
Gate-Body Leakage Current, Reverse (V_{GSR} = 20 Vdc, V_{DS} = 0)		I_{GSSR}	—	100	nAdc
ON CHARACTERISTICS*					
Gate Threshold Voltage (V_{DS} = V_{GS}, I_D = 1 mA) T_J = 100°C		$V_{GS(th)}$	2 1.5	4.5 4	Vdc
Static Drain-Source On-Resistance (V_{GS} = 10 Vdc, I_D = 7.5 Adc)		$r_{DS(on)}$	—	0.3	Ohm
Drain-Source On-Voltage (V_{GS} = 10 V) (I_D = 15 Adc) (I_D = 7.5 Adc, T_J = 100°C)		$V_{DS(on)}$	— —	— —	Vdc
Forward Transconductance (V_{DS} = 15 V, I_D = 7.5 A)		g_{FS}	6	—	mhos
DYNAMIC CHARACTERISTICS					
Input Capacitance	(V_{DS} = 25 V, V_{GS} = 0, f = 1 MHz) See Figure 11	C_{iss}	—	3000	pF
Output Capacitance		C_{oss}	—	500	
Reverse Transfer Capacitance		C_{rss}	—	200	
SWITCHING CHARACTERISTICS* (T_J = 100°C)					
Turn-On Delay Time	(V_{DD} = 25 V, I_D = 0.5 Rated I_D, R_{gen} = 50 ohms) See Figures 9, 13 and 14	$t_{d(on)}$	—	60	ns
Rise Time		t_r	—	180	
Turn-Off Delay Time		$t_{d(off)}$	—	450	
Fall Time		t_f	—	180	
Total Gate Charge	(V_{DS} = 0.8 Rated V_{DSS}, I_D = Rated I_D, V_{GS} = 10 V) See Figure 12	Q_g	110 (Typ)	160	nC
Gate-Source Charge		Q_{gs}	50 (Typ)	—	
Gate-Drain Charge		Q_{gd}	60 (Typ)	—	
SOURCE DRAIN DIODE CHARACTERISTICS*					
Forward On-Voltage	(I_S = Rated I_D, V_{GS} = 0)	V_{SD}	1.3 (Typ)	1.6	Vdc
Forward Turn-On Time		t_{on}	Limited by stray inductance		
Reverse Recovery Time		t_{rr}	1200 (Typ)	—	ns
INTERNAL PACKAGE INDUCTANCE					
Internal Drain Inductance (Measured from the contact screw on the header closer to the source pin and the center of the die)		L_d	5 (Typ)	—	nH
Internal Source Inductance (Measured from the source pin, 0.25" from the package to the source bond pad)		L_s	12.5 (Typ)	—	

*Pulse Test: Pulse Width ≤ 300 μs, Duty Cycle ≤ 2%.

TYPICAL ELECTRICAL CHARACTERISTICS

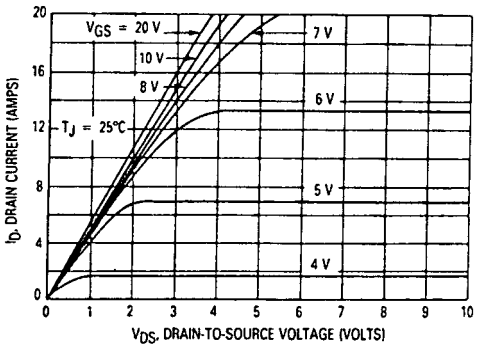


Figure 1. On-Region Characteristics

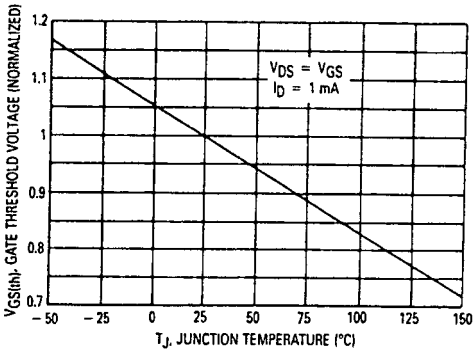


Figure 2. Gate-Threshold Voltage Variation With Temperature

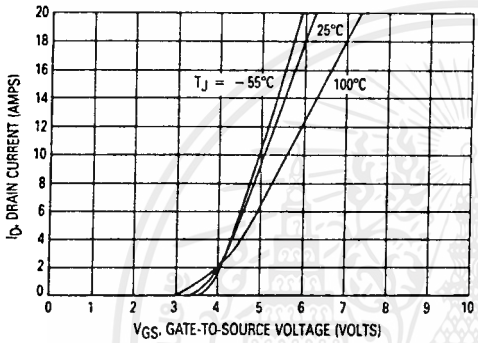


Figure 3. Transfer Characteristics

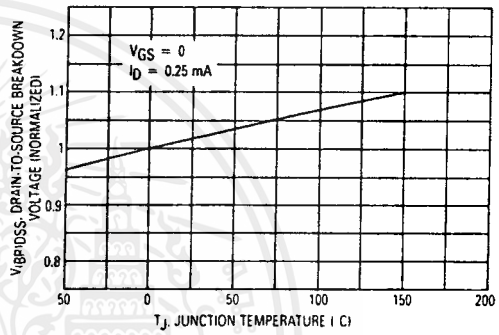


Figure 4. Breakdown Voltage Variation With Temperature

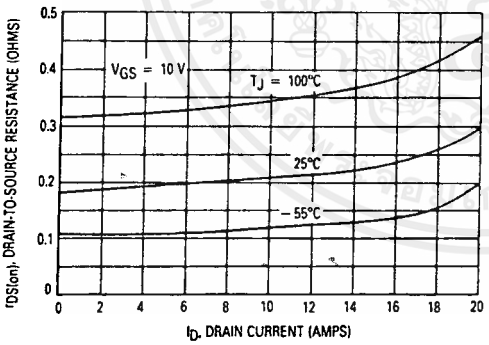


Figure 5. On-Resistance versus Drain Current

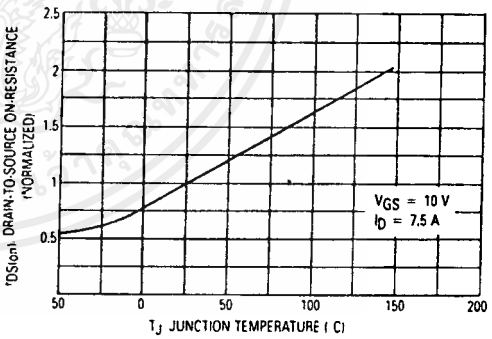


Figure 6. On-Resistance Variation With Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SAFE OPERATING AREA INFORMATION

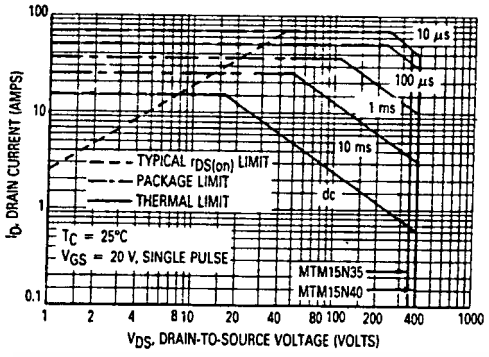


Figure 7. Maximum Rated Forward Biased Safe Operating Area

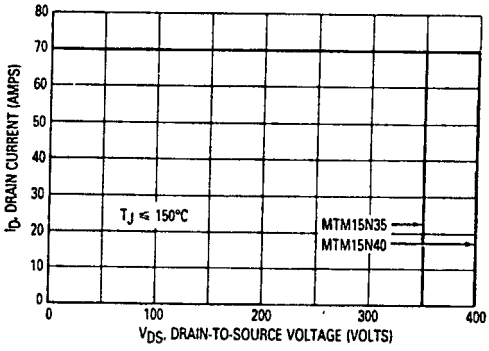


Figure 8. Maximum Rated Switching Safe Operating Area

FORWARD BIASED SAFE OPERATING AREA

The FBSOA curves define the maximum drain-to-source voltage and drain current that a device can safely handle when it is forward biased, or when it is on, or being turned on. Because these curves include the limitations of simultaneous high voltage and high current, up to the rating of the device, they are especially useful to designers of linear systems. The curves are based on a case temperature of 25°C and a maximum junction temperature of 150°C. Limitations for repetitive pulses at various case temperatures can be determined by using the thermal response curves. Motorola Application Note, AN569, "Transient Thermal Resistance-General Data and Its Use" provides detailed instructions.

SWITCHING SAFE OPERATING AREA

The switching safe operating area (SOA) of Figure 8 is the boundary that the load line may traverse without incurring damage to the MOSFET. The fundamental limits are the peak current, I_{DM} and the breakdown voltage, $V_{(BR)DSS}$. The switching SOA shown in Figure 8 is applicable for both turn-on and turn-off of the devices for switching times less than one microsecond.

The power averaged over a complete switching cycle must be less than:

$$\frac{T_{J(max)} - T_C}{R_{\theta JC}}$$

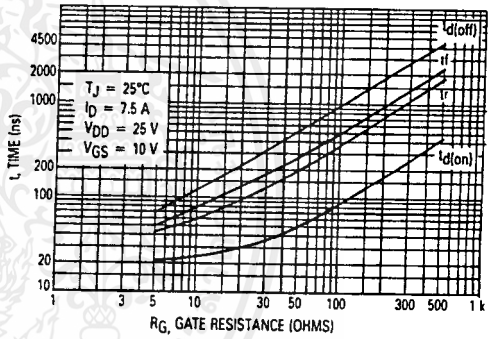


Figure 9. Resistive Switching Time Variation With Gate Resistance

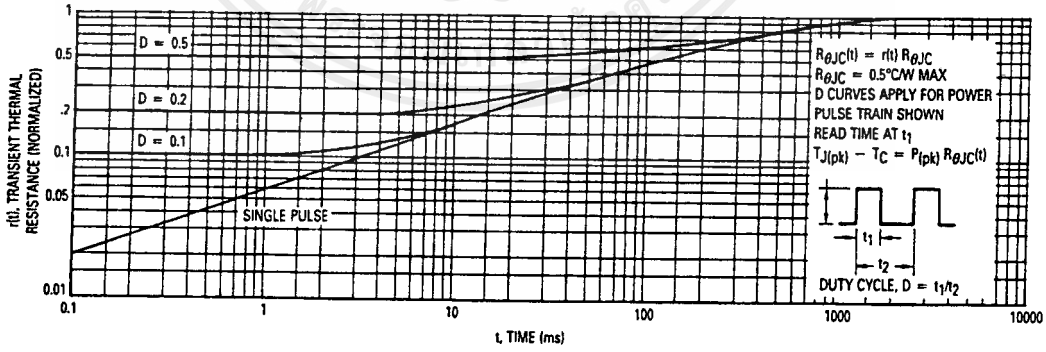


Figure 10. Thermal Response

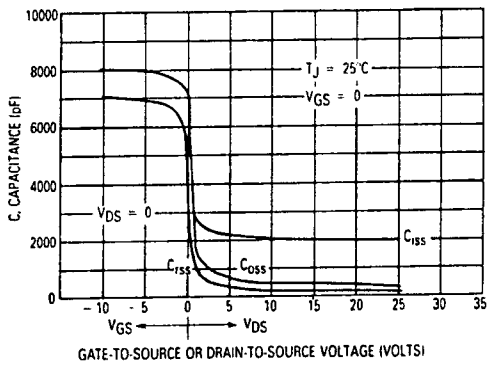


Figure 11. Capacitance Variation

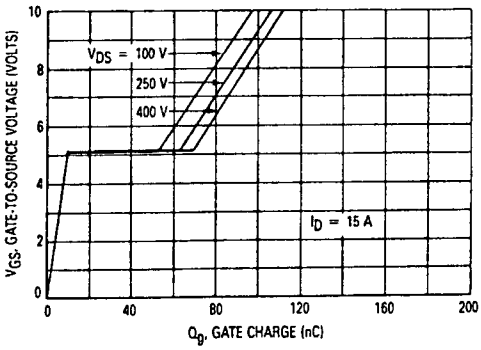


Figure 12. Gate Charge versus Gate-to-Source Voltage

RESISTIVE SWITCHING

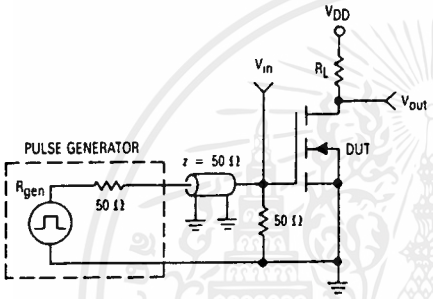


Figure 13. Switching Test Circuit

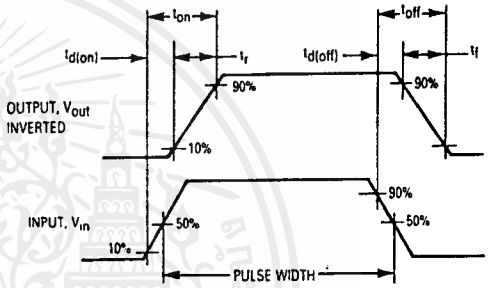
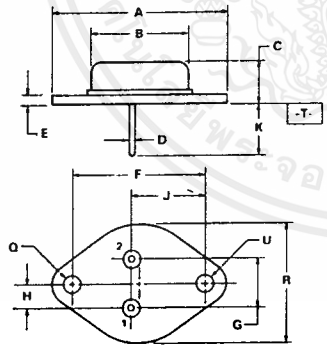


Figure 14. Switching Waveforms

OUTLINE DIMENSIONS



NOTES
1. DIMENSIONS Q AND U ARE DATUMS AND T IS BOTH A DATUM AND SEATING PLANE
2. POSITIONAL TOLERANCE FOR HOLE Q: ⌀ 0.010 Ⓜ T U Ⓜ
3. POSITIONAL TOLERANCE FOR LEADS: ⌀ 0.012 Ⓜ T Q Ⓜ U Ⓜ
4. DIMENSIONING AND TOLERANCING PER Y14.5, 1982
5. CONTROLLING DIMENSION: INCH

STYLE 3
PIN 1 GATE
2 SOURCE
CASE DRAIN

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	38.35	39.37	1.510	1.550
B	19.30	21.08	0.760	0.830
C	6.35	7.62	0.250	0.300
D	1.45	1.60	0.057	0.063
E	1.52	1.77	0.060	0.070
F	30.14 BSC		1.187 BSC	
G	10.92 BSC		0.430 BSC	
H	5.46 BSC		0.215 BSC	
J	16.89 BSC		0.665 BSC	
K	11.18	12.19	0.440	0.480
Q	3.84	4.08	0.151	0.161
R	25.15	26.67	0.990	1.050
U	3.84	4.08	0.151	0.161

CASE 197A-01
TO-204AE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ICL8038
Precision Waveform Generator/Voltage Controlled Oscillator

INTERSIL

GENERAL DESCRIPTION

The ICL8038 Waveform Generator is a monolithic integrated circuit capable of producing high accuracy sine, square, triangular, sawtooth and pulse waveforms with a minimum of external components. The frequency (or repetition rate) can be selected externally from .001Hz to more than 300kHz using either resistors or capacitors, and frequency modulation and sweeping can be accomplished with an external voltage. The ICL8038 is fabricated with advanced monolithic technology, using Schottky-barrier diodes and thin film resistors, and the output is stable over a wide range of temperature and supply variations. These devices may be interfaced with phase locked loop circuitry to reduce temperature drift to less than 250ppm/°C.

FEATURES

- Low Frequency Drift With Temperature — 250ppm/°C
- Simultaneous Sine, Square, and Triangle Wave Outputs
- Low Distortion — 1% (Sine Wave Output)
- High Linearity — 0.1% (Triangle Wave Output)
- Wide Operating Frequency Range — 0.001Hz to 300kHz
- Variable Duty Cycle — 2% to 98%
- High Level Outputs — TTL to 28V
- Easy to Use — Just A Handful of External Components Required

ORDERING INFORMATION

PART NUMBER	STABILITY	TEMP. RANGE	PACKAGE
ICL8038CCJD	250ppm/°C typ	0°C to +70°C	CERDIP
ICL8038BCJD	180ppm/°C typ	0°C to +70°C	CERDIP
ICL8038ACJD	110ppm/°C typ	0°C to +70°C	CERDIP
ICL8038BMJD*	350ppm/°C max	-55°C to +125°C	CERDIP
ICL8038AMJD*	250ppm/°C max	-55°C to +125°C	CERDIP
ICL8038/D	—	—	DICE**

*Add /883B to part number if 883 processing is required.

**Parameter Min/Max Limits guaranteed at 25°C only for DICE orders.

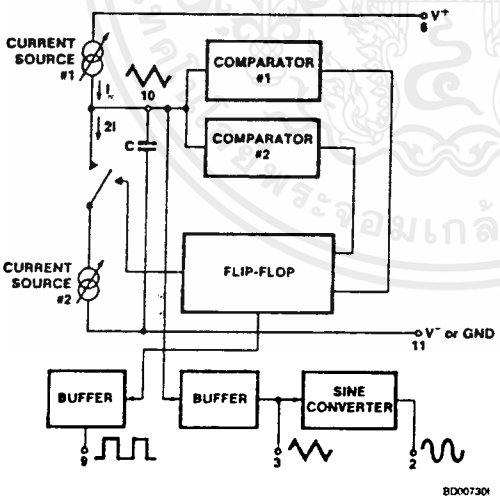


Figure 1: Functional Diagram

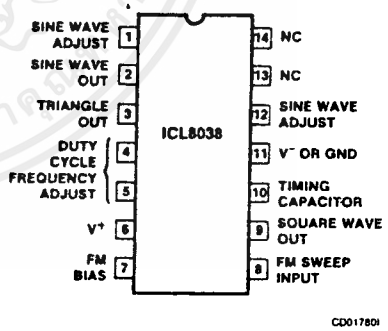


Figure 2: Pin Configuration (Outline dwg JD)

302600-002

Note: All typical values have been guaranteed by characterization and are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ICL8038

INTERSIL

ABSOLUTE MAXIMUM RATINGS

Supply Voltage (V^- to V^+) 36V
Power Dissipation[1] 750mW
Input Voltage (any pin) ..... V^- to V^+
Input Current (Pins 4 and 5) 25mA
Output Sink Current (Pins 3 and 9) 25mA

Storage Temperature Range ..... −65°C to +150°C
Operating Temperature Range:
8038AM, 8038BM ..... −55°C to +125°C
8038AC, 8038BC, 8038CC ..... 0°C to +70°C
Lead Temperature (Soldering, 10sec) ..... 300°C

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

NOTE 1: Derate ceramic package at 12.5mW/°C for ambient temperatures above 100°C.

ELECTRICAL CHARACTERISTICS (V_{SUPPLY} = ±10V or +20V, T_A = 25°C, R_L = 10kΩ, Test Circuit Unless Otherwise Specified)

SYMBOL	GENERAL CHARACTERISTICS	8038CC			8038BC(BM)			8038AC(AM)			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_{SUPPLY}	Supply Voltage Operating Range										
V^+	Single Supply	+10		+30	+10		30	+10		30	V
V^+ V^-	Dual Supplies	±5		±15	±5		±15	±5		±15	V
I_{SUPPLY}	Supply Current (V_{SUPPLY} = ±10V)[2]										
	8038AM, 8038BM					12	15		12	15	mA
	8038AC, 8038BC, 8038CC		12	20		12	20		12	20	mA
FREQUENCY CHARACTERISTICS (all waveforms)											
f_{max}	Maximum Frequency of Oscillation	100			100			100			kHz
f_{sweep}	Sweep Frequency of FM Input		10			10			10		kHz
	Sweep FM Range[3]		35:1			35:1			35:1		
	FM Linearity 10:1 Ratio		0.5			0.2			0.2		%
$\Delta f/\Delta T$	Frequency Drift With Temperature[5] 8038 AC, BC, CC 0°C to 70°C		250			180			110		ppm/°C
	8038 AM, BM, −55°C to 125°C						350			250	
$\Delta f/\Delta V$	Frequency Drift With Supply Voltage (Over Supply Voltage Range)		0.05			0.05			0.05		%/V
OUTPUT CHARACTERISTICS											
I_{SINK}	**Square-Wave** Leakage Current (V_S = 30V)			1			1			1	µA
V_{SAT}	Saturation Voltage (I_{SINK} = 2mA)		0.2	0.5		0.2	0.4		0.2	0.4	V
t_r	Rise Time (R_L = 4.7kΩ)		180			180			180		ns
t_f	Fall Time (R_L = 4.7kΩ)		40			40			40		ns
ΔD	Typical Duty Cycle Adjust (Note 6)	2		98	2		98	2		98	%
$V_{TRIANGLE}$	**Triangle/Sawtooth/Ramp** Amplitude (R_{TRI} = 100kΩ)	0.30	0.33		0.30	0.33		0.30	0.33		xV_{SUPPLY}
	Linearity		0.1			0.05			0.05		%
Z_{OUT}	Output Impedance (I_{OUT} = 5mA)		200			200			200		Ω
V_{SINE}	**Sine-Wave** Amplitude (R_{SINE} = 100kΩ)	0.2	0.22		0.2	0.22		0.2	0.22		xV_{SUPPLY}
THD	THD (R_S = 1MΩ)[4]		2.0	5		1.5	3		1.0	1.5	%
THD	THD Adjusted (Use Figure 6)		1.5			1.0			0.8		%

NOTES: 2. R_A and R_B currents not included.
3. V_{SUPPLY} = 20V; R_A and R_B = 10kΩ, f ≅ 10kHz nominal; can be extended 1000 to 1. See Figures 7a and 7b.
4. 82kΩ connected between pins 11 and 12, Triangle Duty Cycle set at 50%. (Use R_A and R_B.)
5. Figure 3, pins 7 and 8 connected, V_{SUPPLY} = ±10V. See Typical Curves for T.C. vs V_{SUPPLY}.

Note: All typical values have been guaranteed by characterization and are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ICL8038

TEST CONDITIONS

PARAMETER		R_A	R_B	R_L	C_1	SW_1	MEASURE
Supply Current		10kΩ	10kΩ	10kΩ	3.3nF	Closed	Current into Pin 6
Sweep FM Range[1]		10kΩ	10kΩ	10kΩ	3.3nF	Open	Frequency at Pin 9
Frequency Drift with Temperature		10kΩ	10kΩ	10kΩ	3.3nF	Closed	Frequency at Pin 3
Frequency Drift with Supply Voltage[2]		10kΩ	10kΩ	10kΩ	3.3nF	Closed	Frequency at Pin 9
Output Amplitude: (Note 4)	Sine	10kΩ	10kΩ	10kΩ	3.3nF	Closed	Pk-Pk output at Pin 2
	Triangle	10kΩ	10kΩ	10kΩ	3.3nF	Closed	Pk-Pk output at Pin 3
Leakage Current (off)[3]		10kΩ	10kΩ		3.3nF	Closed	Current into Pin 9
Saturation Voltage (on)[3]		10kΩ	10kΩ		3.3nF	Closed	Output (low) at Pin 9
Rise and Fall Times (Note 5)		10kΩ	10kΩ	4.7kΩ	3.3nF	Closed	Waveform at Pin 9
Duty Cycle Adjust (Note 5)	MAX	50kΩ	~1.6kΩ	10kΩ	3.3nF	Closed	Waveform at Pin 9
	MIN	~25kΩ	50kΩ	10kΩ	3.3nF	Closed	Waveform at Pin 9
Triangle Waveform Linearity		10kΩ	10kΩ	10kΩ	3.3nF	Closed	Waveform at Pin 3
Total Harmonic Distortion		10kΩ	10kΩ	10kΩ	3.3nF	Closed	Waveform at Pin 2

NOTES: 1. The hi and lo frequencies can be obtained by connecting pin 8 to pin 7 (f_{hi}) and then connecting pin 8 to pin 6 (f_{lo}). Otherwise apply Sweep Voltage at pin 8 ($2/3\ V_{SUPPLY} + 2V \le V_{SWEEP} \le V_{SUPPLY}$ where V_{SUPPLY} is the total supply voltage. In Figure 7b, pin 8 should vary between 5.3V and 10V with respect to ground.
2. $10V \le V^+ \le 30V$, or $\pm 5V \le V_{SUPPLY} \le \pm 15V$.
3. Oscillation can be halted by forcing pin 10 to +5 volts or −5 volts.
4. Output Amplitude is tested under static conditions by forcing pin 10 to 5.0V then to −5.0V.
5. Not tested; for design purposes only.

DEFINITION OF TERMS:

Supply Voltage (V_{SUPPLY}). The total supply voltage from V^+ to V^-

Supply Current. The supply current required from the power supply to operate the device, excluding load currents and the currents through R_A and R_B.

Frequency Range. The frequency range at the square wave output through which circuit operation is guaranteed.

Sweep FM Range. The ratio of maximum frequency to minimum frequency which can be obtained by applying a sweep voltage to pin 8. For correct operation, the sweep voltage should be within the range

$$(2/3\ V_{SUPPLY} + 2V) < V_{SWEEP} < V_{SUPPLY}$$

FM Linearity. The percentage deviation from the best-fit straight line on the control voltage versus output frequency curve.

Output Amplitude. The peak-to-peak signal amplitude appearing at the outputs.

Saturation Voltage. The output voltage at the collector of Q_{23} when this transistor is turned on. It is measured for a sink current of 2mA.

Rise and Fall Times. The time required for the square wave output to change from 10% to 90%, or 90% to 10%, of its final value.

Triangle Waveform Linearity. The percentage deviation from the best-fit straight line on the rising and falling triangle waveform.

Total Harmonic Distortion. The total harmonic distortion at the sine-wave output.

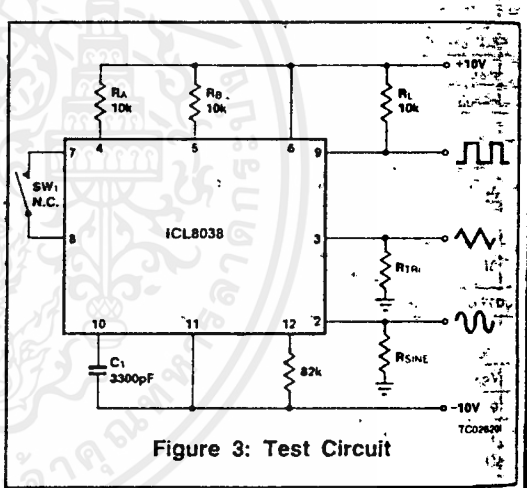
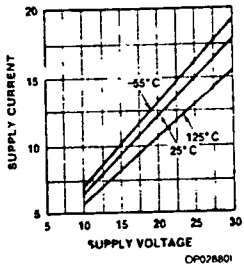


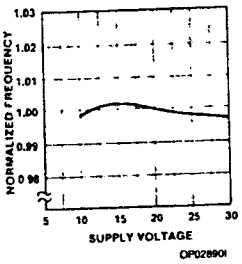
Figure 3: Test Circuit

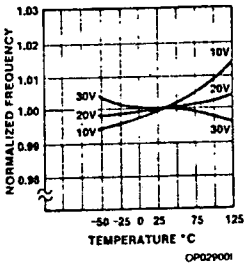
Note: All typical values have been guaranteed by characterization and are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

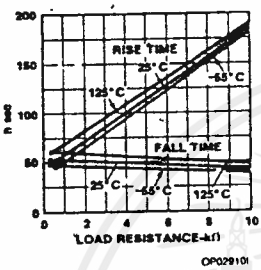
TYPICAL PERFORMANCE CHARACTERISTICS

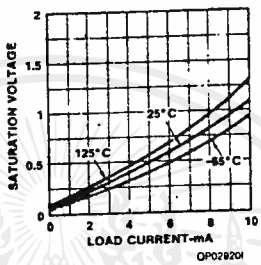




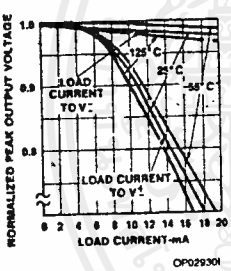


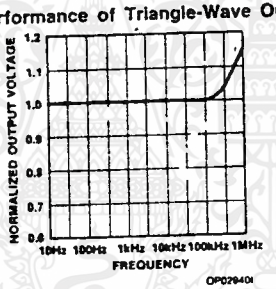
Performance of the Square-Wave Output

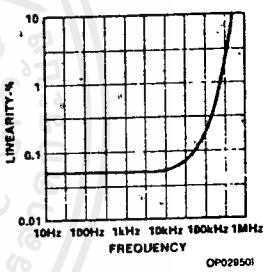




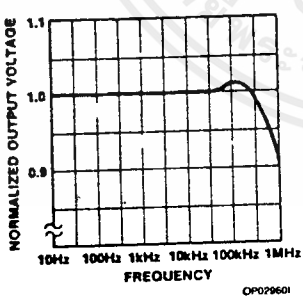
Performance of Triangle-Wave Output

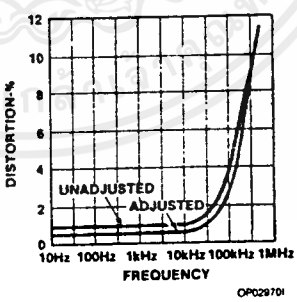






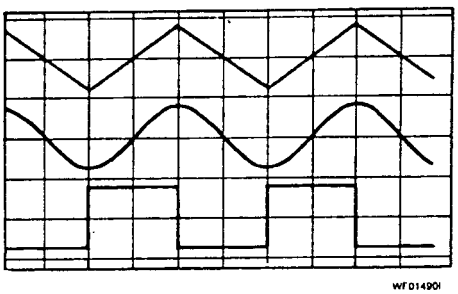
Performance of Sine-Wave Output



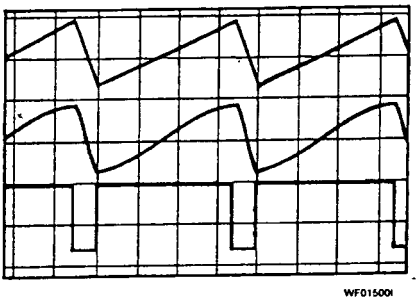


Note: All typical values have been guaranteed by characterization and are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Square-Wave Duty Cycle—50%



Square-Wave Duty Cycle—80%

Figure 4: Phase Relationship of Waveforms

DETAILED DESCRIPTION (See Figure 1)

An external capacitor C is charged and discharged by two current sources. Current source #2 is switched on and off by a flip-flop, while current source #1 is on continuously. Assuming that the flip-flop is in a state such that current source #2 is off, and the capacitor is charged with a current I, the voltage across the capacitor rises linearly with time. When this voltage reaches the level of comparator #1 (set at 2/3 of the supply voltage), the flip-flop is triggered, changes states, and releases current source #2. This current source normally carries a current 2I, thus the capacitor is discharged with a net-current I and the voltage across it drops linearly with time. When it has reached the level of comparator #2 (set at 1/3 of the supply voltage), the the flip-flop is triggered into its original state and the cycle starts again.

Four waveforms are readily obtainable from this basic generator circuit. With the current sources set at I and 2I respectively, the charge and discharge times are equal. Thus a triangle waveform is created across the capacitor and the flip-flop produces a square-wave. Both waveforms are fed to buffer stages and are available at pins 3 and 9.

The levels of the current sources can, however, be selected over a wide range with two external resistors. Therefore, with the two currents set at values different from I and 2I, an asymmetrical sawtooth appears at terminal 3 and pulses with a duty cycle from less than 1% to greater than 99% are available at terminal 9.

The sine-wave is created by feeding the triangle-wave into a non-linear network (sine-converter). This network provides a decreasing shunt-impedance as the potential of the triangle moves toward the two extremes.

WAVEFORM TIMING

The *symmetry* of all waveforms can be adjusted with the external timing resistors. Two possible ways to accomplish this are shown in Figure 5. Best results are obtained by keeping the timing resistors R_A and R_B separate (a). R_A controls the rising portion of the triangle and sine-wave the 1 state of the square-wave.

The magnitude of the triangle-waveform is set at V_{SUPPLY}; therefore the rising portion of the triangle

$$t_1 = \frac{C \times v}{I} = \frac{C \times 1/3 \times V_{SUPPLY} \times R_A}{1/5 \times V_{SUPPLY}} = \frac{5}{3} R_A \times C$$

The falling portion of the triangle and sine-wave and t state of the square-wave is:

$$t_2 = \frac{C \times V}{I} = \frac{C \times 1/3\ V_{SUPPLY}}{\frac{2}{5} \times \frac{V_{SUPPLY}}{R_B} - \frac{1}{5} \times \frac{V_{SUPPLY}}{R_A}} = \frac{5}{3} \times \frac{R_A}{2R_A}$$

Thus a 50% duty cycle is achieved when $R_A = R_B$.

If the duty-cycle is to be varied over a small range a 50% only, the connection shown in Figure 5b is sli more convenient. If no adjustment of the duty cyc desired, terminals 4 and 5 can be shorted together shown in Figure 5c. This connection, however, cause inherently larger variation of the duty-cycle, frequency,

With two separate timing resistors, the frequency is g by

$$f = \frac{1}{t_1 + t_2} = \frac{1}{\frac{5}{3} R_A C \left(1 + \frac{R_B}{2R_A - R_B}\right)}$$

or, if $R_A = R_B = R$

$$f = \frac{0.3}{RC} \text{ (for Figure 5a)}$$

If a single timing resistor is used (Figure 5c only) frequency is

$$f = \frac{0.15}{RC}$$

Note: All typical values have been guaranteed by characterization and are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

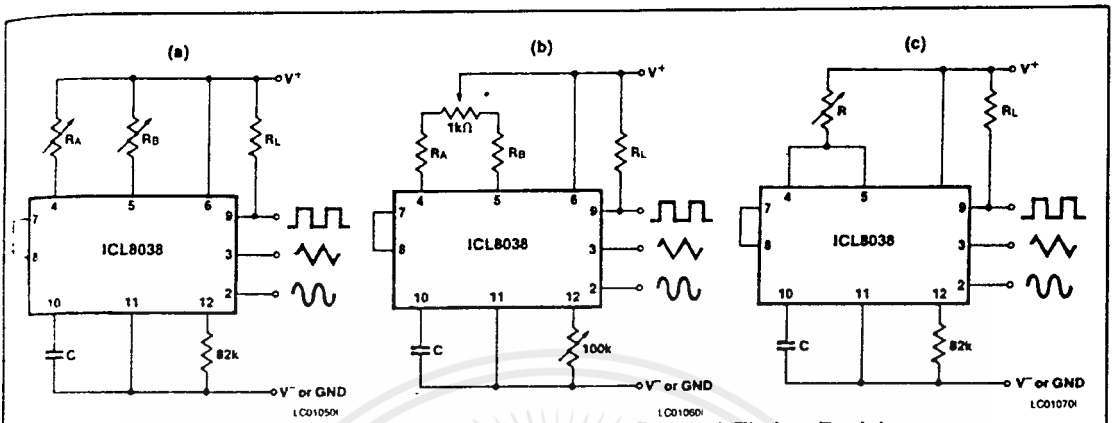


Figure 5: Possible Connections for the External Timing Resistors

Neither time nor frequency are dependent on supply voltage, even though none of the voltages are regulated inside the integrated circuit. This is due to the fact that both currents *and* thresholds are direct, linear functions of the supply voltage and thus their effects cancel.

To minimize *sine-wave* distortion the 82kΩ resistor between pins 11 and 12 is best made variable. With this arrangement distortion of less than 1% is achievable. To reduce this even further, two potentiometers can be connected as shown in Figure 6; this configuration allows a typical reduction of sine-wave distortion close to 0.5%.

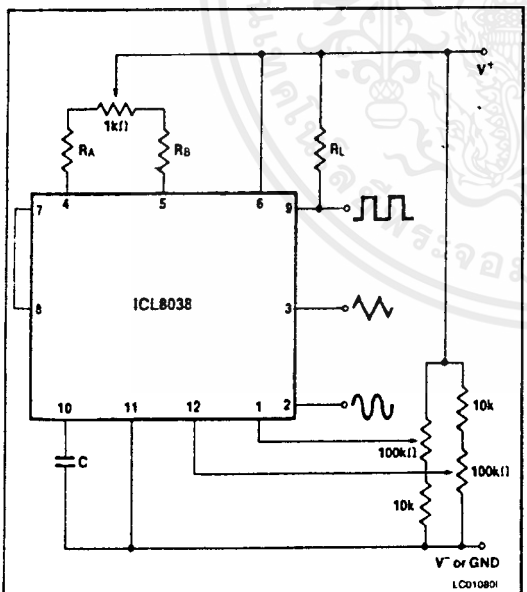


Figure 6: Connection to Achieve Minimum Sine-Wave Distortion

SELECTING R_A, R_B and C

For any given output frequency, there is a wide range of RC combinations that will work, however certain constraints are placed upon the magnitude of the charging current for optimum performance. At the low end, currents of less than 1μA are undesirable because circuit leakages will contribute significant errors at high temperatures. At higher currents (I > 5mA), transistor betas and saturation voltages will contribute increasingly larger errors. Optimum performance will, therefore, be obtained with charging currents of 10μA to 1mA. If pins 7 and 8 are shorted together, the magnitude of the charging current due to R_A can be calculated from:

$$I = \frac{R_1 \times (V^+ - V^-)}{(R_1 + R_2)} \times \frac{1}{R_A} = \frac{(V^+ - V^-)}{5R_A}$$

A similar calculation holds for R_B.

The capacitor value should be chosen at the upper end of its possible range.

WAVEFORM OUT LEVEL CONTROL AND POWER SUPPLIES

The waveform generator can be operated either from a single power-supply (10 to 30 Volts) or a dual power-supply (±5 to ±15 Volts). With a single power-supply the average levels of the triangle and sine-wave are at exactly one-half of the supply voltage, while the square-wave alternates between V^+ and ground. A split power supply has the advantage that all waveforms move symmetrically about ground.

The square-wave output is not committed. A load resistor can be connected to a different power-supply, as long as the applied voltage remains within the breakdown capability of the waveform generator (30V). In this way, the square-wave output can be made TTL compatible (load resistor connected to +5 Volts) while the waveform generator itself is powered from a much higher voltage.

Note: All typical values have been guaranteed by characterization and are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้