ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญานิพนธ์

ชื่อหัวข้อ ชุดอินเตอร์เฟส VGA สีและโมโนโครมสำหรับซิงเกิลบอร์ด

VGA Color/Monochrome Module for Single Board

ชื่อนักศึกษา

1. นายพิพัฒน์	ประจญศานต์	รหัสประจำตัว	40031120
2. นายสิทธิพงศ์	ขัดฝั่น	รหัสประจำตัว	40031136
3. นายสุรศักดิ์	คงแก้ว	รหัสประจำตัว	40031139
4. นายอมร	ศรีแก้ว	รหัสประจำตัว	40031142

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชา วิศวกรรมโทรคมนาคม

อาจารย์ที่ปรึกษา อาจารย์ไพบูลย์ พวงทองศตระกูล

อาจารย์ที่ปรึกษาร่วม อาจารย์สุชิน อาจหาญ

คณะกรรมการสอบปริญญานิพนธ์		ลายมือชื่อ
1. อาจารย์ไพบูลย์	พวงทองศตระกูล	.....
2. อาจารย์สุชิน	อาจหาญ	.....
3. อาจารย์โกศล	ตราชู	.....
4. อาจารย์อมรชัย	ชัยชนะ	.....
5. อาจารย์สุระชัย	พิมพ์สาลี	.....

วัน/เดือน/ปีที่สอบ วันศุกร์ที่ 30 เมษายน พ.ศ. 2542 เวลา 9.00 น.

สถานที่สอบ ห้อง ค.310 คณะครุศาสตร์อุตสาหกรรม สจล.

ภาควิชารับรองแล้ว

.....

(ผศ.ดร.ธีระพล เทพหัสดิน ณ อยุธยา)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

วันที่ 1 เดือน พ.ย. พ.ศ. 42

เลขหมู่.....
เลขทะเบียน 32805
วัน, เดือน, ปี 10 มิ.ย. 2542

เอกสารนี้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

ชุดอินเตอร์เฟส VGA สีและโมโนโครมสำหรับซิงเกิลบอร์ด

VGA COLOR AND MONOCHROME MODULE FOR SINGLE BOARD

นายพิพัฒน์ ประจญศานต์

นายสิทธิพงศ์ ขัดฝั้น

นายสุรศักดิ์ ดุงแก้ว

นายอมร ศรีแก้ว

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง ชุดอินเตอร์เฟส VGA สีและโมโนโครมสำหรับซิงเกิลบอร์ด

VGA Color and Monochrome Module for Single Board

วัตถุประสงค์

1. เพื่อศึกษาการอินเตอร์เฟสระหว่างจอภาพกับซิงเกิลบอร์ด
2. เพื่อออกแบบส่วนอินเตอร์เฟสระหว่างจอภาพกับซิงเกิลบอร์ด
3. เพื่อสร้างส่วนอินเตอร์เฟสระหว่างจอภาพกับซิงเกิลบอร์ด
4. เพื่อทดลองส่วนอินเตอร์เฟสระหว่างจอภาพกับซิงเกิลบอร์ด
5. เพื่อนำส่วนอินเตอร์เฟสระหว่างจอภาพกับซิงเกิลบอร์ดไปใช้งาน

ประโยชน์ที่คาดว่าจะได้รับ

1. นำจอภาพของคอมพิวเตอร์รุ่นเก่าที่ไม่ได้ใช้งานแล้วนำมาใช้ให้เกิดประโยชน์
2. ในการนำไปใช้งานภาคสนามจะสะดวกกว่าการที่นำหรือใช้ System Unit ของคอมพิวเตอร์
3. ไม่ต้องใช้โปรแกรมในการแสดงผลที่จอภาพ
4. แสดงผลได้ละเอียดกว่าจอภาพที่เป็น LED, LCD ซึ่งจะมีเพียงบรรทัดเดียว เพราะจอภาพคอมพิวเตอร์แสดงผลได้หลายบรรทัดอีกทั้งยังสามารถแสดงภาพกราฟฟิกได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อหัวข้อ	ชุดอินเตอร์เฟส VGA สีและโมโนโครมสำหรับซิงเกิลบอร์ด
นักศึกษา	นายพิพัฒน์ ประจญศานต์
	นายสิทธิพงศ์ ขัดฝั้น
	นายสุรศักดิ์ ดุงแก้ว
	นายอมร ศรีแก้ว
อาจารย์ที่ปรึกษา	อาจารย์ไพบูลย์ พวงวงศ์ตระกูล
อาจารย์ที่ปรึกษาร่วม	อาจารย์สุชิน อาจหาญ
หลักสูตร	ครุศาสตร์อุตสาหกรรมบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
ปีการศึกษา	2541

บทคัดย่อ

การ์ด VGA สำหรับซิงเกิลบอร์ดนั้นจะเป็นการสร้างการ์ด VGA แล้วนำมาเชื่อมต่อกับซิงเกิลบอร์ดทุกชนิด โดยจะไม่ใช้ System Unit ของคอมพิวเตอร์ สามารถแสดงได้ทั้งโหมดกราฟฟิกและโหมดข้อความ ซึ่งในการ์ด VGA นี้ในโหมดกราฟฟิกแต่ละไบต์ของหน่วยความจำแสดงผลจะแทนแต่ละจุดภาพบนจอ ส่วนในโหมดข้อความแต่ละไบต์ของหน่วยความจำแสดงผลจะแทนรหัสแอสกีของแต่ละอักษร การ์ด VGA นี้จึงต้องการหน่วยความจำน้อยและใช้เวลาในการประมวลผลน้อย จึงทำให้สิ้นเปลืองกำลังไฟฟ้าต่ำมากเมื่อไม่มี System Unit อีกทั้งจะทำให้สะดวกในการเคลื่อนย้ายด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	VGA Color and Monochrome Module for Single Board	
Students	Mr.Pipat	Prajonsan
	Mr.Sittipong	Kladfhan
	Mr.Surasak	Dungkeaw
	Mr.Amorn	Srikaew
Advisor	Mr.Paiboon	Pongwongtragull
Co-Advisor	Mr.Suchin	Adhan
Education Level	Bachelor of Science in Industrial Education	
Program in	Telecommunication Engineering	
Acadamic Year	1998	

ABSTRACT

VGA Gard for single board can be used to connect with all types of single board without using System Unit of computer. It can display both graphic mode and text mode. This VGA Gard in graphic mode, each byte of display memory will represent each dot of picture on monitor. In text mode, each byte of display memory will represent ASCII code of each string. Then this VGA Gard want a few memory and spend a little time for processing, cause to use a very low power when without System Unit as well as convenience to move

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ลุล่วงไปด้วยดีเนื่องมาจากความอนุเคราะห์ของอาจารย์ที่ปรึกษาปริญญานิพนธ์ คือ อาจารย์สุชิน อาจหาญ และอาจารย์ประจำภาควิชาครุศาสตร์วิศวกรรมทุกท่านที่ได้กรุณาให้ คำปรึกษา, ข้อเสนอแนะ ขอขอบคุณ คุณพ่อ คุณแม่ที่กรุณาเลี้ยงดูและอบรมบ่มนิสัยมาจนเติบโตเพื่อเป็นทรัพยากรมนุษย์ที่มีประโยชน์ต่อประเทศชาติ และขอขอบคุณทุกท่านที่มีส่วนร่วมกับปริญญานิพนธ์ฉบับนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VIII
สารบัญภาพ	IX
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์	1
1.2 ขีดความสามารถของโครงงาน	1
1.3 เนื้อหาโดยสังเขป	1
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 กล่าวนำ	3
2.1.1 EGA	3
2.1.2 VGA (Video Graphic Array)	3
2.2 ประเภทของจอภาพโดยทั่วไป	3
2.2.1 จอดิจิตอล (Digital (TTL) Displays)	3
2.2.2 จอแบบผสม (Composite Displays)	3
2.2.3 จอแอนะลอก RGB (Analog RGB Displays)	4
2.2.4 จอโมโนโครม	4
2.2.5 จอสีมาตรฐาน	4
2.2.6 จอ ECD	4
2.2.7 จอ VGA	5
2.3 สถาปัตยกรรมของ EGA/VGA	5
2.3.1 การอัดข้อมูลจุดภาพและใช้เพลนสี	5
2.3.2 โหมดข้อความและโหมดกราฟฟิก	7
2.4 การทำงานของจอ CRT	7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
2.5 หน่วยความจำแสดงผล	9
2.5.1 หน่วยความจำในโหมดตัวอักษร	10
2.5.2 หน่วยความจำในกราฟฟิกโหมด	11
2.6 ตัวสร้างตัวอักษร	11
2.7 แอตทริบิวต์ข้อความ	12
2.7.1 แอตทริบิวต์ข้อความสีมาตรฐาน	12
2.7.2 การจัดการแอตทริบิวต์	13
2.8 การ์ดควบคุมจอภาพแบบ VGA	14
2.8.1 โครงสร้างของการ์ด VGA	14
2.9 การเชื่อมต่อไมโครโปรเซสเซอร์ Z-80	16
2.9.1 สัญญาณควบคุมการอ่านและการเขียน	16
2.9.2 ตำแหน่งของพอร์ต	17
2.9.3 การอ่านข้อมูลจากพอร์ตอินพุต	18
2.9.4 การเขียนข้อมูลออกพอร์ตเอาต์พุต	19
2.10 การเชื่อมต่อไมโครโปรเซสเซอร์ของ MCS-51	20
2.10.1 การเชื่อมต่อ MCS-51 กับหน่วยความจำ	20
2.10.2 การเชื่อมต่อ MCS-51 กับอีพรอมและแรม	21
2.10.3 สัญญาณจากซิงเกิลบอร์ด	21
2.11 ส่วนประกอบต่างๆ	22
2.11.1 Tristate Bus Transceiver	22
2.11.2 วิดีโอแรม	22
2.11.3 ASCII RAM	22
2.11.4 อีพรอม เก็บรูปแบบตัวอักษร	22
2.11.5 ภาคควบคุม	22
2.11.6 ภาคสร้างแอดเดรสให้กับวิดีโอแรม	22
2.11.7 วงจรซิงค์เจนเนอร์เรเตอร์	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
2.11.8 การแปลงสัญญาณดิจิตอลเป็นแอนะลอก	23
บทที่ 3 การออกแบบ การสร้างและการทำงาน	24
3.1 กล่าวนำ	24
3.2 การออกแบบวงจร	26
3.2.1 วงจรชุดเชื่อมต่อ	26
3.2.2 วงจรกำเนิดความถี่	30
3.2.3 วงจรบัฟเฟอร์ 74F245	30
3.2.4 วงจรหารความถี่	31
3.2.5 วงจรโมโนสเตเบิลมัลติไวเบรเตอร์	32
3.2.6 วงจรแอดเดรสเจนเนอร์เรเตอร์	34
3.2.7 วงจรชมิททริกเกอร์	36
3.2.8 วงจรควบคุมการนับจุดและนับเส้น	36
บทที่ 4 การทดลองและผลการทดลอง	38
4.1 การทดสอบการทำงานของวงจรซิงค์เจนเนอร์เรเตอร์	38
4.1.1 ลำดับขั้นการทดลอง	38
4.1.2 ผลการทดลอง	38
4.2 การทดสอบการทำงานของภาคแอดเดรสเจนเนอร์เรเตอร์	41
4.2.1 ลำดับขั้นการทดลอง	41
4.2.2 ผลการทดลอง	41
4.3 การทดสอบการทำงานของวงจรส่วนควบคุมการนับเส้นนับจุด	42
4.3.1 ลำดับขั้นการทดลอง	42
4.3.2 ผลการทดลอง	43
4.4 การทดลองภาคอินเตอร์เฟสซิงเกิลบอร์ด	44
4.4.1 ลำดับขั้นการทดลอง	44
4.4.2 ผลการทดลอง	45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
4.5 การทดลองภาคควบคุมการอินเตอร์เฟส	45
4.5.1 ลำดับขั้นการทดลอง	45
4.5.2 ผลการทดลอง	45
บทที่ 5 บทสรุป แนวทางแก้ไขและพัฒนา	46
5.1 บทสรุป	46
5.2 ปัญหาและแนวทางแก้ไข	46
5.3 แนวทางพัฒนาโครงงาน	46
ภาคผนวก ก โปรแกรม	47
ภาคผนวก ข รูปต้นแบบการ์ด VGA	52
ภาคผนวก ค วงจรและแผ่นวงจรพิมพ์	57
ภาคผนวก ง รายละเอียดอุปกรณ์	83
บรรณานุกรม	118
ประวัติผู้แต่ง	119

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 แอตทริบิวต์สีมาตรฐาน	13
ตารางที่ 2.2 การวางบิตแอตทริบิวต์	14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูป	หน้า
รูปที่ 2.1 ข้อมูลสีที่เก็บแบบอัดจุดภาพ	6
รูปที่ 2.2 ข้อมูลที่เก็บแบบแยกเพลนสี	6
รูปที่ 2.3 ผังการทำงานของ EGA/VGA	8
รูปที่ 2.4 ผังการทำงานของจอ CRT	8
รูปที่ 2.5 การทำงานของจอ CRT	9
รูปที่ 2.6 รูปแบบการจัดหน่วยความจำในโหมดตัวอักษร	10
รูปที่ 2.7 รูปแบบการเก็บตัวสร้างอักษร	12
รูปที่ 2.8 หน้าที่ของแต่ละบิตในไบต์แอตทริบิวต์	12
รูปที่ 2.9 แผนผังการทำงานของการ์ด VGA	15
รูปที่ 2.10 วงจรในการสร้างสัญญาณควบคุมการอ่านและการเขียนพอร์ต	16
รูปที่ 2.11 วงจรในการเลือกพอร์ตหมายเลข FF_{16}	17
รูปที่ 2.12 วงจรสร้างสัญญาณการเลือกพอร์ต	18
รูปที่ 2.13 การสื่อสารระบบมัลติโปรเซสเซอร์โหมด	20
รูปที่ 3.1 แผนผังการทำงานโดยรวม	24
รูปที่ 3.2 วงจรชุดเชื่อมต่อกับซิงเกิลบอร์ด	27
รูปที่ 3.3 วงจรภาคควบคุม	28
รูปที่ 3.4 วงจร G-RAM	29
รูปที่ 3.5 วงจร T-RAM	29
รูปที่ 3.6 วงจรออสซิลเลเตอร์	30
รูปที่ 3.7 วงจรบัฟเฟอร์ 74F245	30
รูปที่ 3.8 วงจรนับ 800 และ 525	33
รูปที่ 3.9 วงจรโมโนสเตเบิลมัลติไวเบรเตอร์	34
รูปที่ 3.10 วงจรแอดเดรส เจนเนอร์เรเตอร์	35
รูปที่ 3.11 วงจรชมิทริกเกอร์	36
รูปที่ 3.12 วงจรควบคุมการนับเส้นและนับจุด	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 4.1 สัญญาณออสซิลเลเตอร์ 25.175 เมกะเฮิรตซ์	39
รูปที่ 4.2 สัญญาณ H-Sync ที่ส่งไปจอภาพ	39
รูปที่ 4.3 สัญญาณ H-Sync ที่ส่งไปควบคุมการนับจุดนับเส้น	40
รูปที่ 4.4 สัญญาณ V-Sync ที่ส่งไปจอภาพ	40
รูปที่ 4.5 สัญญาณ V-Sync ที่ส่งไปควบคุมการนับจุดนับเส้น	41
รูปที่ 4.6 สัญญาณแอดเดรส A0-A8	42
รูปที่ 4.7 สัญญาณแอดเดรส A10-A18	42
รูปที่ 4.8 สัญญาณจากส่วนควบคุมการนับจุด	43
รูปที่ 4.9 สัญญาณจากส่วนควบคุมการนับเส้น	43
รูปที่ 4.10 สัญญาณที่ป้อนเข้าเป็นสัญญาณนาฬิกาให้ภาคแอดเดรสเจนเนอร์เรเตอร์	44
รูปที่ ก.1 วงจรซิงค์	48
รูปที่ ก.2 วงจรแอดเดรสเจนเนอร์เรเตอร์	48
รูปที่ ก.3 วงจรอินเตอร์เฟสซิงเกิลบอร์ด	49
รูปที่ ก.4 วงจรควบคุมการอินเตอร์เฟส	49
รูปที่ ก.5 วงจรกราฟฟิกแรม	50
รูปที่ ก.6 วงจรนับเส้นและนับจุด	50
รูปที่ ก.7 ตัวอย่างซิงเกิลบอร์ด	51
รูปที่ ข.1 โปรแกรมการทดสอบภาคอินเตอร์เฟสซิงเกิลบอร์ด	54
รูปที่ ข.2 โปรแกรมการทดสอบภาคควบคุมการอินเตอร์เฟส	56
รูปที่ ค.1 วงจร Sync Monitor และ Sync Variable	58
รูปที่ ค.2 การวางอุปกรณ์บนวงจร Sync Monitor และ Sync Variable	59
รูปที่ ค.3 ลายวงจรพิมพ์ด้านบนวงจร Sync Monitor และ Sync Variable	60
รูปที่ ค.4 ลายวงจรพิมพ์ด้านล่างวงจร Sync Monitor และ Sync Variable	61
รูปที่ ค.5 วงจรแอดเดรสเจนเนอร์เรเตอร์	62
รูปที่ ค.6 การวางอุปกรณ์บนวงจรแอดเดรสเจนเนอร์เรเตอร์	63
รูปที่ ค.7 ลายวงจรพิมพ์ด้านบนวงจรแอดเดรสเจนเนอร์เรเตอร์	64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ ค.8 ลายวงจรพิมพ์ด้านล่างวงจรแอดเดรสเจนเนอร์เรเตอร์	65
รูปที่ ค.9 วงจรอินเตอร์เฟสซิงเกิลบอร์ด	66
รูปที่ ค.10 การวางอุปกรณ์บนวงจรอินเตอร์เฟสซิงเกิลบอร์ด	67
รูปที่ ค.11 ลายวงจรพิมพ์ด้านบนวงจรอินเตอร์เฟสซิงเกิลบอร์ด	68
รูปที่ ค.12 ลายวงจรพิมพ์ด้านล่างวงจรอินเตอร์เฟสซิงเกิลบอร์ด	69
รูปที่ ค.13 วงจรควบคุมการอินเตอร์เฟส	70
รูปที่ ค.14 การวางอุปกรณ์บนวงจรควบคุมการอินเตอร์เฟส	71
รูปที่ ค.15 ลายวงจรพิมพ์ด้านล่างวงจรควบคุมการอินเตอร์เฟส	72
รูปที่ ค.16 ลายวงจรพิมพ์ด้านบนวงจรควบคุมการอินเตอร์เฟส	73
รูปที่ ค.17 วงจรกราฟฟิกแรม	74
รูปที่ ค.18 การวางอุปกรณ์ล่างวงจรกราฟฟิกแรม	75
รูปที่ ค.19 ลายวงจรพิมพ์ด้านล่างวงจรกราฟฟิกแรม	76
รูปที่ ค.20 การวางอุปกรณ์บนวงจรแหล่งจ่ายไฟ	77
รูปที่ ค.21 ลายวงจรพิมพ์ด้านล่างวงจรแหล่งจ่ายไฟ	78
รูปที่ ค.22 วงจรควบคุมการนับจุดนับเส้น	79
รูปที่ ค.23 การวางอุปกรณ์บนวงจรควบคุมการนับจุดนับเส้น	80
รูปที่ ค.24 ลายวงจรพิมพ์ด้านบนวงจรควบคุมการนับจุดนับเส้น	81
รูปที่ ค.25 ลายวงจรพิมพ์ด้านล่างวงจรควบคุมการนับจุดนับเส้น	82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์

เนื่องจากเครื่องคอมพิวเตอร์ทั่วไปจะสิ้นเปลืองพลังงานไฟฟ้าในส่วนของ System Unit ดังจะเห็นได้จากแหล่งจ่ายไฟภายใน System Unit ซึ่งจะกินกำลังไฟฟ้าต่ำสุดประมาณ 200 วัตต์ และยุ่งยากในการที่จะเคลื่อนย้ายไปใช้งาน ดังนั้นจึงมีความคิดที่จะลดความยุ่งยากลงและขีดจำกัดในการใช้งานต่างๆ โดยการสร้างการ์ด VGA ที่ใช้เชื่อมต่อกับจอแสดงผลของคอมพิวเตอร์โดยไม่ใช้ส่วนของ System Unit และในปัจจุบันจอคอมพิวเตอร์รุ่นเก่าๆ (Monochrome Monitor) ซึ่งถูกทิ้งไว้ไม่นิยมนำมาใช้งาน เนื่องจากมีข้อจำกัดในการแสดงและเครื่องคอมพิวเตอร์ที่นำมาใช้ร่วมกับจอแสดงผลรุ่นเก่าๆ นี้ก็ไม่ได้รับความนิยมในการนำมาใช้งาน แต่จอแสดงผลรุ่นเก่ายังสามารถนำกลับมาใช้งานได้ โดยไม่ทิ้งไว้ให้เปล่าประโยชน์เพราะว่าการ์ด VGA นี้สามารถเชื่อมต่อได้ทั้งจอแสดงผลรุ่นใหม่และเก่า

1.2 ขีดความสามารถของโครงงาน

สามารถอินเตอร์เฟสระหว่างจอภาพ VGA แบบสีและแบบโมโนโครมของคอมพิวเตอร์กับซิงเกิลบอร์ดได้ทุกรุ่น โดยสามารถแสดงได้ทั้งโหมดกราฟฟิกและโหมดข้อความ

1.3 เนื้อหาโดยสังเขป

เนื้อหาภายในปริญญานิพนธ์ฉบับนี้แบ่งออกเป็นบทต่างๆ เพื่อความสะดวกต่อการศึกษาและทำความเข้าใจ ในแต่ละบทจะประกอบไปด้วยเนื้อหาที่สำคัญดังนี้

บทที่ 2 ทฤษฎีและหลักการ ประกอบด้วย เนื้อหาในทางทฤษฎีที่เกี่ยวกับการ์ด VGA และข้อมูลของจอภาพหลายๆ แบบ รายละเอียดของโหมดกราฟฟิกและโหมดข้อความ พร้อมข้อมูลของซิงเกิลบอร์ดรุ่นต่างๆ และส่วนประกอบต่างๆ พร้อมกับสัญญาณในวงจร

บทที่ 3 การออกแบบ การสร้าง และการทำงาน การทำงานของวงจรอินเตอร์เฟสกับซิงเกิลบอร์ดและคอนโทรล การทำงานของกราฟฟิกแรมกับเท็กซ์แรม พร้อมกับวงจรซิงค์ วงจรสร้างแอดเดรสและวงจรนับจุดนับเส้น การทำงานของไฮท์บริจด์ ซึ่งเป็นตัวกำเนิดความถี่กับวงจรหารความถี่ 800 และ 525 เพื่อให้ได้ความถี่ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 การทดลอง และผลการทดลอง การวัดสัญญาณทั้งทางฮอร์ซิงค์และเวอร์ซิงค์ เพื่อนำมาเปรียบเทียบกับสัญญาณซิงค์อ้างอิงว่าได้อย่างถูกต้อง และการทดสอบการรับส่งข้อมูลในส่วนของชุดเชื่อมต่อกับซิงเกิลบอร์ดและชุดควบคุม โดยจะสามารถทดสอบโดยการเขียนโปรแกรมควบคุม ซึ่งผลการทดลองก็ได้ตามวัตถุประสงค์ที่ได้ตั้งไว้

บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา ปัญหาที่เกิดขึ้นในการทำงานส่วนมากจะเกิดจากสัญญาณรบกวน เนื่องจากความถี่ที่ใช้นั้นสูงมาก ไม่ว่าจะเป็นการทดลองบนโฟโต้บอร์ดหรือว่าจะเป็นลายวงจรพิมพ์แล้วก็ตาม และอุปกรณ์ที่ต้องการใช้งานจริงหายากจึงต้องใช้อุปกรณ์ที่มีค่าใกล้เคียงกัน ดังนั้นสัญญาณที่ได้ก็จะไม่ตรงกับที่ต้องการเล็กน้อย

ในภาคผนวกแสดงรายละเอียดของโปรแกรมและรายการอุปกรณ์ต่างๆ ที่ใช้จัดทำโครงงานดังนี้

ภาคผนวก ก โปรแกรม

ภาคผนวก ข รูปต้นแบบการ์ด VGA

ภาคผนวก ค วงจรและแผ่นวงจรพิมพ์

ภาคผนวก ง รายละเอียดอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี และหลักการ

2.1 กล่าวนำ

คอมพิวเตอร์ส่วนบุคคล (PC) มีการ์ดพื้นฐานในการแสดงผล 2 แบบ ดังนี้ คือ

2.1.1 EGA

ได้รับการพัฒนาโดยบริษัทไอบีเอ็มสำหรับใช้ร่วมกับจอ ECD (Enhanced Color Display) โดยให้ความละเอียดของการแสดงผลในแนวนอน 640 จุด และแนวตั้ง 350 จุด และสามารถแสดงได้พร้อมกัน 16 สี จาก 64 สี การ์ด EGA สามารถนำไปใช้กับจอแสดงผลอื่นๆ บนเครื่องไอบีเอ็มทำงานเข้ากันได้ (Compatible) ทั่วไป ส่งให้ผู้พัฒนาซอฟต์แวร์ส่วนใหญ่ได้หันมาพัฒนาโปรแกรมให้ใช้งานร่วมกับการ์ด EGA ทำงานเข้ากันได้

2.1.2 VGA (Video Graphic Array)

ได้รับพัฒนาจากบริษัทไอบีเอ็มเช่นกัน โดยใช้เป็นอุปกรณ์มาตรฐานสำหรับเครื่องตระกูล PS/2 ซึ่งมีความละเอียดในการแสดงผลในแนวนอน 640 จุด และแนวตั้ง 480 จุด และสามารถแสดงสีได้มากกว่าการ์ด EGA (โดยแสดงได้ 256 สีพร้อมกันแต่ความละเอียดของการแสดงผลจะลดลง) การ์ด VGA ได้พัฒนาขึ้นมาไม่สามารถใช้งานกับจอทั่วๆ ไปได้ จึงได้พัฒนาจอสี และจอโมโนโครมสำหรับ VGA ขึ้นมารองรับ นอกจากนี้ยังได้มีการพัฒนาซอฟต์แวร์สำหรับใช้งานร่วมกับ VGA

2.2 ประเภทของจอภาพโดยทั่วไป

2.2.1 จอดิจิตอล (Digital (TTL) Displays)

จอส่วนใหญ่ที่ใช้ในคอมพิวเตอร์ส่วนตัวจะเป็นแบบดิจิตอล และการ์ด EGA ก็ต้องใช้กับจอดิจิตอล

2.2.2 จอแบบผสม (Composite Displays)

จอแบบนี้ให้ความละเอียดต่ำและราคาค่อนข้างถูก CGA เป็นการ์ดแสดงผลของไอบีเอ็มชนิดเดียวที่สนับสนุนการใช้งานจอชนิดนี้ (CGA ยังสามารถใช้ร่วมกับจอดิจิตอลได้) จอแสดงผลแบบนี้ใช้ทั่วไปในอุตสาหกรรมโทรทัศน์แต่ก็ไม่นิยมใช้กันในวงการคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 จอแอนะลอก RGB (Analog RGB Displays)

ประกอบด้วยอินพุตแบบแอนะลอก 3 เส้น คือ สีแดง, สีเขียว และสีน้ำเงิน ระดับแรงดันในแต่ละเส้นอินพุตจะเป็นตัวกำหนดระดับสีที่ปรากฏบนจอภาพตามทฤษฎีจอแบบนี้แสดงสีได้ไม่จำกัด แต่ในความเป็นจริงแล้วจำนวนสีที่แสดงได้ขึ้นอยู่กับความสามารถของอะแดปเตอร์

การ์ด VGA ใช้ได้กับจอแอนะลอกเท่านั้น โดยใช้ได้ทั้งจอแอนะลอกแบบโมโนโครมและแบบสีที่ออกแบบไว้สำหรับการ์ด VGA โดยเฉพาะ ซึ่งมีความยืดหยุ่นในการใช้งานมากกว่าจอดิจิตอล โดยจอแอนะลอกทั้งสองแบบสามารถทำงานกับการ์ด VGA ได้ทุกโหมด โดยถ้าใช้โหมดสีบนจอโมโนโครม การแสดงภาพจะออกมาในแบบระดับของสีเทา

การใช้จอภาพแสดงผลชนิดใดขึ้นอยู่กับซอฟต์แวร์ที่จะนำมาใช้กับระบบนั้นจอแสดงผลที่ใช้กับเครื่องไอบีเอ็มคอมแพทิเบิล ซึ่งในปัจจุบันประกอบด้วยจอแสดงผลดังนี้

2.2.4 จอโมโนโครม

จอโมโนโครม (Monochrome Displays : MD) และการ์ด MDA (Monochrome Display Adapter) เป็นอุปกรณ์แสดงผลสำหรับเครื่องไอบีเอ็มพีซีรุ่นแรก โดยการ์ด MDA ไม่สามารถแสดงกราฟฟิกได้แต่ยังคงใช้ในงานกันอย่างแพร่หลายในปัจจุบันสำหรับแสดงข้อความ ซึ่งมีราคาถูกและเหมาะสมกับการแสดงตัวอักษรมากกว่าจอสีบางชนิด

หลังจากที่บริษัทไอบีเอ็มได้ออกแบบเครื่องไอบีเอ็มพีซี บริษัท Hercules Computer Technology) ก็ได้ผลิตการ์ดเฮอร์คิวลิสกราฟฟิก (Hercules Graphics) สำหรับเป็นอะแดปเตอร์ของจอโมโนโครมที่แสดงกราฟฟิกได้

2.2.5 จอสีมาตรฐาน

ไอบีเอ็มได้วางมาตรฐานสำหรับการแสดงผลสีสำหรับเครื่องพีซี โดยได้ผลิตจอสีมาตรฐาน (Color Displays : CD) และอะแดปเตอร์กราฟฟิกสี CGA แต่จอสีมีความละเอียดต่ำทำให้ส่วนของการแสดงผลยังมองเห็นเป็นจุดๆ หรือบางทีก็ไม่ต่อเนื่อง การ์ด CGA รุ่นแรกยังมีปัญหาเรื่องการรีเฟรชภาพถูกรบกวนในขณะเขียนหน่วยความจำแสดงผล ในการแก้ไขปัญหานี้ซอฟต์แวร์ที่ใช้งานร่วมกับการ์ด CGA จะหยุดการรีเฟรชในขณะเขียนหน่วยความจำ แต่ยังมีปัญหาในการกระพริบอยู่บ้าง

2.2.6 จอ ECD

จอ ECD และการ์ด EGA ได้ถูกผลิตออกมาควบคู่กัน โดยจอ ECD (Enhaced Color Displays) ได้ปรับปรุงมาจากจอสีมาตรฐานและมีคุณสมบัติใกล้เคียงกับคุณภาพอักษรการ์ด MDA และขจัดการกระพริบของภาพดังที่พบในการใช้งานการ์ด CGA

เอกสารนี้มีการสงวนลิขสิทธิ์ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาถึงแนวโน้มความต้องการจอที่มีความละเอียดสูง บริษัท NEC ได้เริ่มผลิตจอที่ซิงค์ (Sync) หลายความถี่ขึ้นมาเรียกว่า จอมัลติซิงค์ (Multisync) ซึ่งสามารถทำงานในช่วงความถี่การซิงค์ตามแนวนอนและแนวตั้งที่กว้าง และแสดงภาพได้หลายความละเอียด และยังสามารถแสดงสีได้มากกว่าจอ ECD จอที่ซิงค์หลายความถี่ในปัจจุบันส่วนใหญ่จะสามารถทำงานร่วมกันได้กับจอ VGA

2.2.7 จอ VGA

จอ VGA ได้รับการแนะนำเข้าสู่ตลาดพร้อมกับจอ VGA (VGA Display) โดยให้ความละเอียดสูงมีให้เลือกทั้งแบบจอสีและโมโนโครมโดยแบบโมโนโครม สามารถแสดงรายละเอียดสีในรูปแบบระดับสีเทา และจอทั้งสองสามารถใช้ทดแทนกันได้กล่าวคือ จอสีสามารถใช้งานแบบโมโนโครมได้และจอโมโนโครมสามารถก็ใช้งานแบบจอสีได้

2.3 สถาปัตยกรรม EGA และ VGA

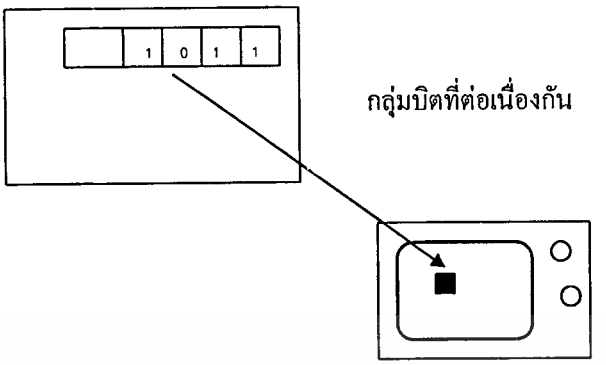
ในการแสดงผลของการ์ด EGA และ VGA การ์ดทั้งสองชนิดไม่มีความสามารถในการประมวลผลด้วยตัวเอง ต้องอาศัยการประมวลผลจากตัวประมวลผลหลักแล้วส่งข้อมูลไปให้หน่วยความจำแสดงผลเพื่อแสดงแต่ละจุดภาพออกหน้าจอ วงจรส่วนใหญ่ของการ์ด EGA และ VGA จะถูกใช้ในการส่งข้อมูลจากหน่วยความจำแสดงผลออกจอภาพ โดยเรียกการทำงานในลักษณะนี้ว่าการรีเฟรชจอภาพ ซึ่งจะทำการแสดงผลซ้ำๆ กันด้วยอัตรา 60 ครั้งต่อวินาทีสำหรับ EGA และ 70 ครั้งต่อวินาที สำหรับ VGA

ในการแสดงผลบนจอสี จำนวนสีที่แสดงได้จะสามารถจำกัดโดยได้จำนวนบิตของหน่วยความจำแสดงผล ถ้าจำนวนบิตที่ใช้ต่อจุดภาพเท่ากับ n จะแสดงสีได้ทั้งหมด 2 สี เช่น EGA ใช้ 1 ถึง 4 บิตต่อจุดภาพจะแสดงสีได้ 2^4 หรือ 16 สี ส่วน VGA แสดงสีได้ถึง 2^8 สี หรือ 256 สี

2.3.1 การอัดข้อมูลจุดภาพและใช้เพลนสี

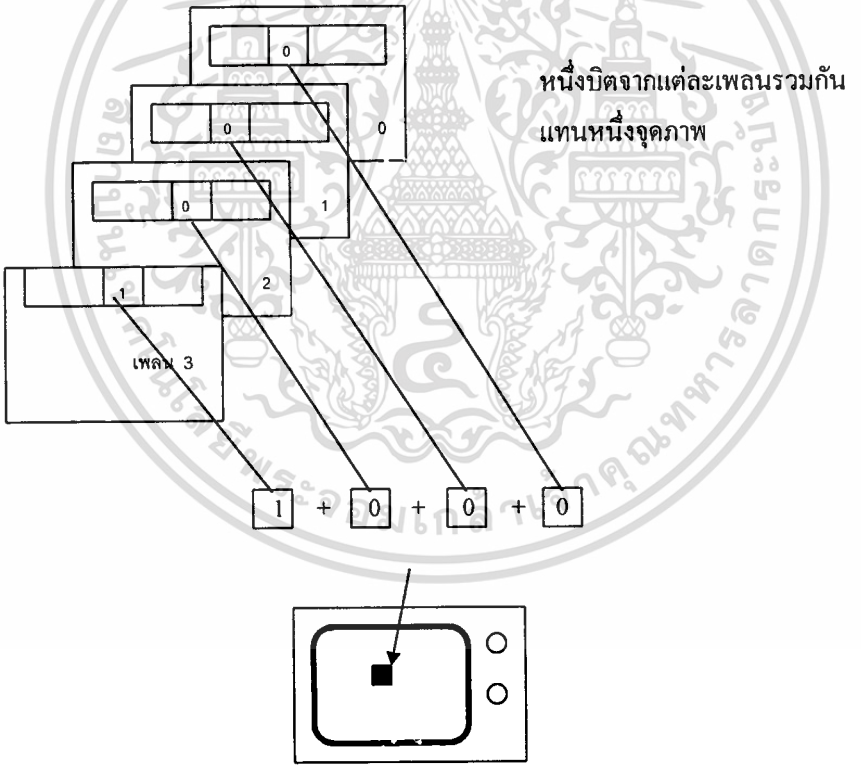
เทคนิคที่ใช้ในการเก็บข้อมูลสีมี 2 วิธี คือ วิธีการอัดข้อมูลจุดภาพ และวิธีการใช้เพลนสี สำหรับการ์ด EGA และ VGA จะใช้วิธีการใช้เพลนสี แต่การ์ดทั้งสองชนิดก็สามารถจำลองการทำงานแบบอัดข้อมูลจุดภาพได้ ซึ่งจะทำการเก็บข้อมูลจุดภาพแต่ละจุดด้วยขนาดต่างๆ กันไป เช่น ถ้าต้องการแสดงสีไม่มากก็อาจใช้หน่วยความจำเพียงครึ่งบิต แต่ถ้าต้องการแสดงหลายสีก็ต้องใช้หน่วยความจำหลายไบต์ รูปที่ 2.1 แสดงการอัดข้อมูลจุดภาพแบบ 4 บิตต่อจุดภาพสำหรับวิธีการใช้เพลนสีจะแบ่งหน่วยความจำแสดงผลออกเป็นหลายเพลนที่มีอิสระต่อกัน โดยแต่ละเพลนจะใช้ควบคุมสีแต่ละสีแต่ละบิตบนเพลนจะแทนจุดภาพบนจอแต่ละจุด แล้วรวมข้อมูลบิตที่ตรงกันของทุกเพลนเป็นข้อมูลการแสดงผลหนึ่งจุดภาพ ดังรูปที่ 2.1

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



โหมด 4,5,13

รูปที่ 2.1 ข้อมูลสีที่เก็บแบบอัดจุดภาพ



โหมด D, E, F, 10

รูปที่ 2.2 ข้อมูลที่เก็บแบบแยกเพลนสี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 โหมดข้อความและโหมดกราฟฟิก

ทั้งสองโหมดนี้เป็นโหมดการแสดงผลพื้นฐานของ EGA และ VGA ในโหมดกราฟฟิกของแต่ละบิตของหน่วยความจำแสดงผลจะแทนแต่ละจุดภาพบนจอ ส่วนในโหมดข้อความแต่ละไบต์ของหน่วยความจำแสดงผลจะแทนรหัสแอสกีของแต่ละอักษร ซึ่งการแสดงผลในโหมดนี้ต้องการหน่วยความจำน้อยและใช้เวลาการประมวลผลน้อยมาก แต่มีข้อจำกัดคือแสดงได้เฉพาะรูปแบบของตัวอักษรและรูปกราฟฟิกง่ายๆ

สถาปัตยกรรมพื้นฐานของ EGA แสดงในรูปที่ 2.3 ซึ่งจะประกอบไปด้วยส่วนสำคัญ 6 ส่วน คือ

1) หน่วยความจำแสดงผล (Display Memory) ประกอบด้วยไดนามิกแรมขนาด 256 กิโลไบต์ และแบ่งเป็น 4 เพลน ซึ่งใช้ในการเก็บข้อมูลที่จะนำออกแสดงผล

2) ตัวควบคุมกราฟฟิก (Graphic Controller) มีความสามารถในการทำงานทางตรรกะ (AND. OR, XOR และ ROTATE) กับข้อมูลที่จะเขียนลงบนหน่วยความจำแสดงผล

3) ตัวควบคุม CRT (CRT Controller) เป็นตัวสร้างสัญญาณทางเวลาที่ใช้ควบคุมการทำงานของ CRT และการรีเฟรชของจอภาพ

4) ตัวเรียงข้อมูลอนุกรม (Data Serializer) เป็นตัวนำข้อมูลที่ส่งมาจากหน่วยความจำแสดงผลในแต่ละครั้ง มาทำการแปลงข้อมูลให้อยู่ในรูปอนุกรมเพื่อส่งไปยังจอ CRT

5) ตัวควบคุมแอตทริบิวต์ (Attribute Controller) ประกอบด้วยตารางค้นหาสี (Color Look-up Table : LUT) ทำหน้าที่แปลงข้อมูลสีจากหน่วยความจำแสดงผลไปเป็นข้อมูลสีที่ส่งไปยังจอ CRT โดยทั่วไปแล้วจอสีสามารถแสดงสีได้มากกว่าความสาสมรถของการ์ดแสดงผล

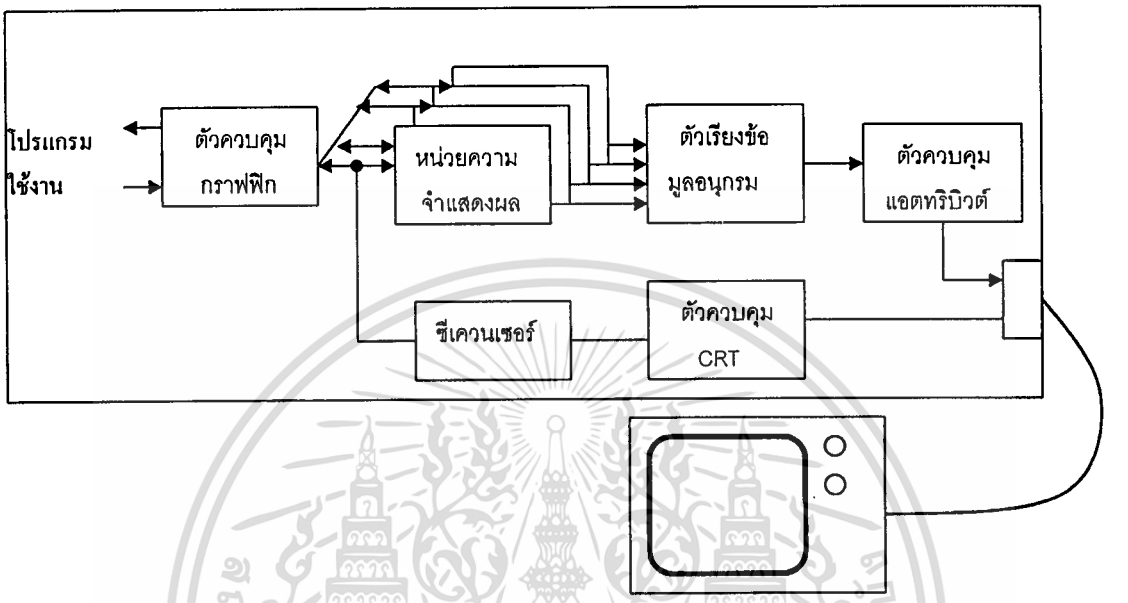
6) ซีเควนเซอร์ (Sequence) เป็นตัวควบคุมเวลาในการทำงานแสดงผลทั้งหมด และยังประกอบด้วยฟังก์ชันทางตรรกะที่ใช้ในการเลือกใช้เพลนสี

2.4 การทำงานของจอ CRT

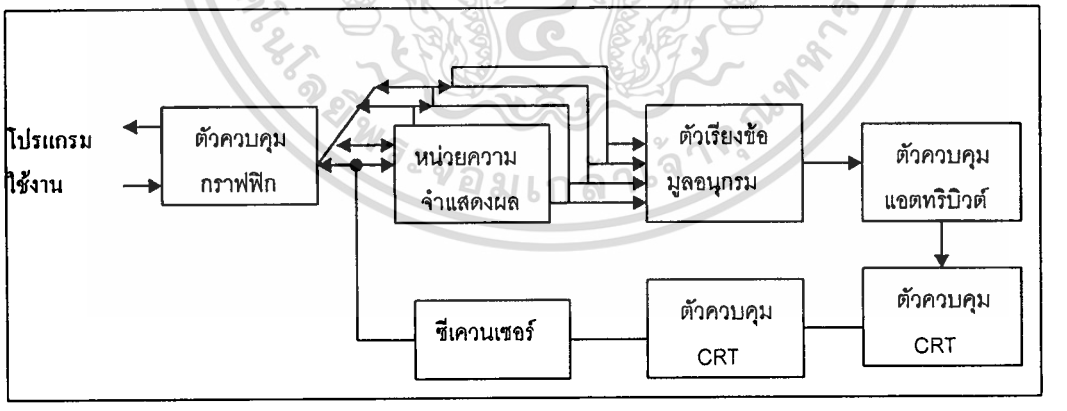
การทำงานของจอแบบหลอดภาพแคโทด (Cathode Ray Tube Display) จุดภาพจะถูกสร้างโดยการยิงอิเล็กตรอนไปกระทบกับผิวจอที่ฉาบด้วยสารฟอสฟอรัส ซึ่งจะเกิดการเรืองแสงขึ้นลำของอิเล็กตรอนจะกวาดจากซ้ายไปขวาตามแนวระดับ ในขณะเดียวกันความเข้มของอิเล็กตรอนจะเป็นตัวกำหนดรูปแบบการแสดงผล ลำของอิเล็กตรอนจะถูกกวาดซ้ำไปมาด้วยอัตราการกวาดภาพประมาณ 50, 60 หรือ 70 ครั้งต่อวินาที ขึ้นอยู่กับชนิดของจอ ซึ่งเราจะเรียกขบวนการนี้ว่า การรีเฟรชจอภาพ หรือ การรีเฟรชภาพ และเรียกการกวาดของลำอิเล็กตรอนบนจอว่า แรสเตอร์ ซึ่งเป็นขบวนการกวาดลำอิเล็กตรอนจากมุมบนซ้ายกวาดไปทางขวา เมื่อกวาดถึงขวาสุดก็จะทำการปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำอิเล็กตรอน (Blanking) จากนั้นจะเริ่มต้นทางซ้ายใหม่ (Retrace) เพื่อกวาดเส้นการสแกนในแนวระดับเส้นถัดไปเมื่อกวาดภาพตามแนวระดับถึงมุมขวาล่างจะปิดลำอิเล็กตรอนจากนั้นก็จะทำโดยเริ่มต้นที่มุมบนซ้ายใหม่ดังรูปที่ 2.5



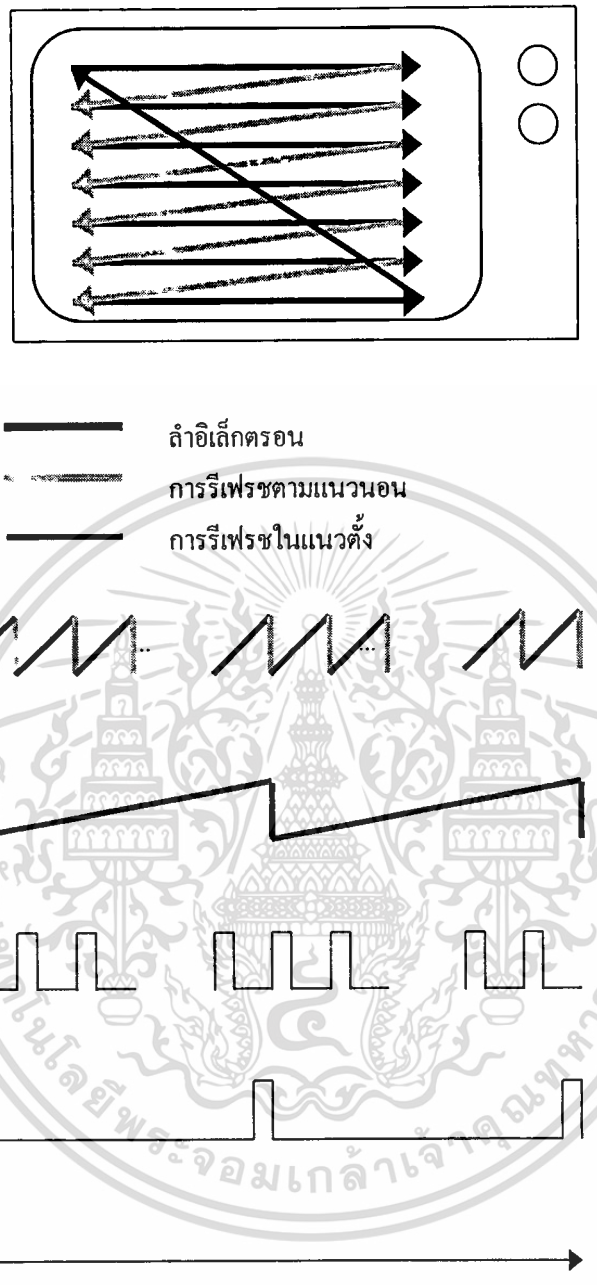
รูปที่ 2.3 ผังการทำงานของ EGA/VGA



รูปที่ 2.4 ผังการทำงานของจอ CRT

วงจรภายในจอ CRT จะสร้างลำอิเล็กตรอนเพื่อยิงไปบนผิวจอ และจะถูกควบคุมการทำงานโดยการ์ดแสดงผลโดยการ์ดแสดงผลจะส่งสัญญาณซิงค์ในแนวนอนและแนวตั้งส่งไปให้กับจอ CRT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 การทำงานของจอ CRT

2.5 หน่วยความจำแสดงผล

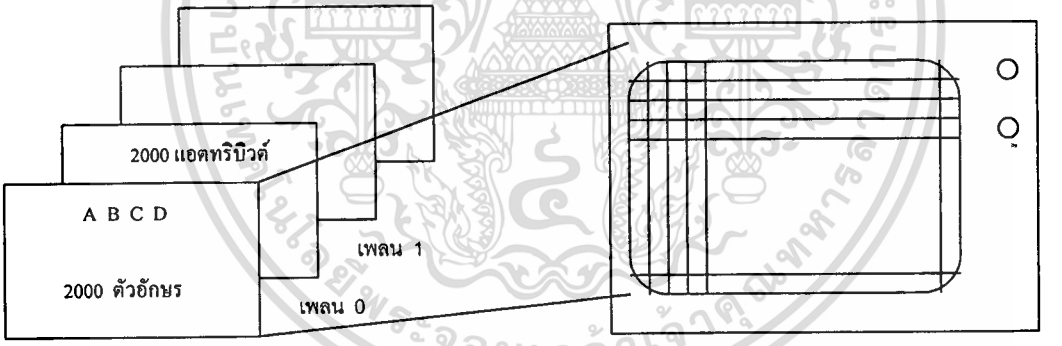
หน่วยความจำของการ์ดตามมาตรฐานของไอบีเอ็ม จะมีจำนวน 256 กิโลไบต์ เป็นไดนามิกแรมที่ถูกแบ่งออกเป็น 4 เพลน ข้อมูลที่ถูกใช้แสดงผลจะถูกเก็บในหน่วยความจำนี้ ซึ่งรูปแบบของการเก็บจะแตกต่างกันไป ขึ้นกับโหมดของการแสดงผล ตัวอย่างเช่น การแสดงผลในโหมดตัวอักษร เพลน 0 ซึ่งเป็นหน่วยความจำแอดเดรสคู่จะเก็บข้อมูลที่เป็นรหัสแอสกี หน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรสดี่ซึ่งอยู่ในเพลนที่ 1จะเก็บค่าแอตทริบิวต์ ส่วนหน่วยความจำเพลน 2 จะสำรองไว้ใช้สำหรับเก็บค่าคาแรกเตอร์เจนเนอเรเตอร์ หน่วยความจำเพลน 3 จะไม่ถูกใช้ ส่วนในโหมดกราฟฟิกซึ่งก็จะแตกต่างกันไป ในปัจจุบันการ์ด VGA ที่ถูกผลิตขึ้น มักจะมีความละเอียดในการแสดงผลสูงกว่ามาตรฐานของไอบีเอ็ม ซึ่งจำเป็นจะต้องใช้หน่วยความจำมากขึ้นด้วย เพื่อเก็บข้อมูลภาพที่มากขึ้นนั่นเอง

2.5.1 หน่วยความจำในโหมดตัวอักษร

การแสดงผลในโหมดตัวอักษร (Text Mode) แต่มีความซับซ้อนน้อยกว่าการแสดงผลในโหมดกราฟฟิกมาก เพราะว่าเป็นการจัดการกับรหัสแอสกี มิใช่การจัดการจุดใดจุดหนึ่งบนจอภาพ มาตรฐานของโหมดตัวอักษรแบ่งเป็น 25บรรทัด 40 คอลัมน์ หรือ 80 คอลัมน์ต่อบรรทัด ส่วนในกรณีที่เป็น 80 คอลัมน์ต่อบรรทัด ใน 1 จอภาพสามารถแสดงตัวอักขระได้ทั้งสิ้น 2000 ตัว แต่การแสดงตัวอักขระ 1 ตัว ต้องใช้หน่วยความจำ 2 ไบต์ ดังนั้น 1 จอภาพจะต้องใช้หน่วยความจำทั้งสิ้น 4000 ไบต์ แต่หน่วยความจำแสดงผลแบ่งออกเป็นเพจๆ ละ 4096 ไบต์ ซึ่งจะเหลือที่ว่าง 96 ไบต์ที่ไม่ถูกใช้



รูปที่ 2.6 รูปแบบการจัดหน่วยความจำในโหมดตัวอักษร

ในการเปลี่ยนรหัสแอสกีไปเป็นจุดที่เรียงกันเป็นตัวอักขระบนจอภาพนั้น จะต้องใช้ตารางการแปลงที่เรียกว่า คาแรกเตอร์เจนเนอเรเตอร์ ในการแสดงผลระบบเดิม เช่น การ์ดโมโนโครม ตารางการแปลงนี้จะเก็บอยู่ในหน่วยความจำชนิดที่เป็นรอม (ROM) จึงไม่สามารถแก้ไขรูปแบบของตัวอักขระได้โดยง่าย แต่ใน VGA หรือ EGA ตารางการแปลงนี้จะถูกโหลดลงในเพลนที่ 2 ของหน่วยความจำ (ซึ่งเป็นไดนามิกแรม) ทำให้สามารถแก้ไขรูปแบบตัวอักขระได้ง่าย ใน EGA จะมีตารางการแปลงนี้ถึง 4 ชุด ส่วนใน VGA มีได้ถึง 8 ชุด แต่ละชุดเก็บได้ถึง 256 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาตรฐานของตัวอักขระในตารางแปลงนี้ จะมีจำนวนจุดต่างกันไปนั้นขึ้นอยู่กับโหมดของการแสดงผล เช่น ในโหมด CGA (การ์ด VGA สามารถทำงานในโหมดที่มีความละเอียดต่ำกว่าได้) ตัวอักขระจะมีขนาด 8 × 8 (กว้าง × สูง) จุด ใน EGA จะเป็น 8 × 14 จุด และ 8 × 16 จุด สำหรับ VGA ค่าในตารางการแปลงนี้จะถูกโหลดลงใหม่ทุกครั้งโดยไบออสบนการ์ดเมื่อมีการเปลี่ยนแปลงของโหมดการทำงาน

2.5.2 หน่วยความจำในกราฟฟิกโหมด

ในโหมดของกราฟฟิก จุดๆ หนึ่งบนจอภาพจะแทนด้วยข้อมูลที่มีจำนวนบิตต่างๆ กัน เช่น ในโหมด CGA 2 สี (Mode 6) จะใช้ข้อมูล 1 บิตในการแสดงจุดหนึ่งจุด (8 จุดต่อไบต์) ในที่นี้จะกล่าวถึงโหมดกราฟฟิกสีพิเศษ (Mode 10H) เท่านั้น ในโหมด 10H นี้เป็นที่นิยมสำหรับการใช้กับงานต่างๆ เพราะว่ามีความละเอียดสูงถึง 640 × 350 จุด และสามารถแสดงสีได้ 16 สีพร้อมกันในการแทนจุดๆ หนึ่งบนจอภาพ จะใช้ข้อมูล 4 บิต โดยที่แต่ละบิตมาจากแต่ละเพลนของหน่วยความจำ การแปลงจากตำแหน่งของจุดบนจอภาพไปเป็นตำแหน่งของบิตในหน่วยความจำ โดยที่ x คือโคออร์ดิเนตตามแนวนอน ช่วงจาก 0-639 และ y เป็นโคออร์ดิเนตตามแนวตั้ง ช่วงจาก 0-349 จะแปลงได้โดยใช้สูตร

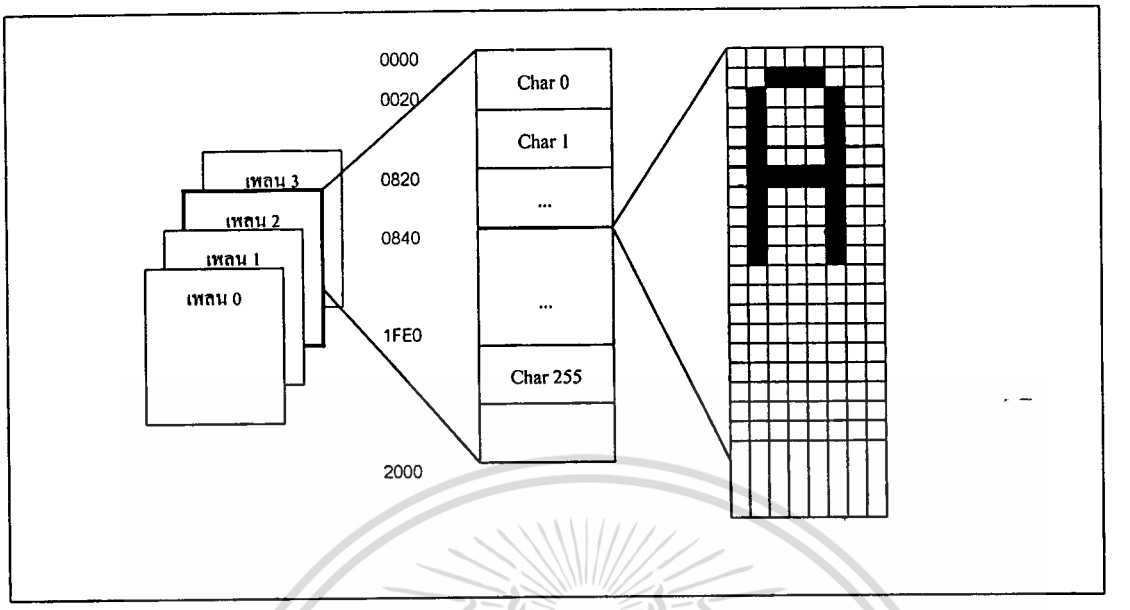
$$\text{ตำแหน่งไบต์ที่} = y * 80 + \frac{x}{8} \quad \text{และ} \quad \text{ตำแหน่งบิตที่ } (0\text{-}7) = y - (x \bmod 8)$$

2.6 ตัวสร้างตัวอักษร

การ์ด VGA และ EGA ให้ความสะดวกแก่ผู้ใช้ในการเลือกชุดอักษรที่จะใช้งาน โดยจะไม่ติดกับชุดอักษรในรอมโดยจะโหลดชุดอักษรไปเก็บไว้ในเพลนที่ 2 ของหน่วยความจำแสดงผล การใช้งานการ์ด EGA สามารถโหลดชุดอักษรพร้อมกันได้ถึง 4 ชุด สำหรับการแสดงผลแบบ VGA จะใช้ได้พร้อมกันถึง 8 ชุด ชุดอักษรแต่ละชุดประกอบด้วยตัวอักษร 256 ตัว และในส่วนการแสดงผลแต่ละครั้งสามารถกำหนดให้ทำงานได้พร้อมกันถึง 2 ชุด ดังนั้นจึงสามารถที่จะแสดงตัวอักษรที่ต่างกันถึง 512 อักษรพร้อมกัน การเลือกชุดตัวอักษรทั้ง 2 ชุดนี้จะเลือกโดยการกำหนดค่ารีจิสเตอร์ในส่วนของซีเควนเซอร์ซึ่งเลือกใช้ได้ 2 ชุดจาก 4 ชุด และใช้หนึ่งบิตในแต่ละหนึ่งแอตทริบิวต์อักษรเป็นตัวเลือกชุดอักษรที่จะนำออกแสดง

รูปแบบมาตรฐานของอักษรในการแสดงผลแบบ CGA กว้าง 8 จุด สูง 8 จุด, สำหรับ EGA กว้าง 8 จุด สูง 14 จุด และสำหรับ VGA กว้าง 9 จุด สูง 16 จุด แต่ละตัวจะใช้หน่วยความจำขนาดตั้งแต่ 32 ไบต์ เช่น อักษรแบบ 8 × 14 จุด ไบต์ต่อตัวอักษร ดังนั้น 18 ไบต์ที่เหลือจะไม่ถูกใช้งานดังรูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 รูปแบบการเก็บตัวสร้างอักษร

2.7 แอตทริบิวต์ข้อความ

ตัวอักษรที่จะแสดงบนจอจะมีไบต์แอตทริบิวต์สำหรับใช้กำหนดสีลักษณะการแสดงอักษร ความหมายของแอตทริบิวต์ข้อความขึ้นอยู่กับโหมดการทำงาน

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
การกระพริบหรือความสว่างสีพื้น		สีพื้น		ความสว่างวัตถุหรือเลือกชุดอักษร		สีวัตถุ	

รูปที่ 2.8 หน้าที่ของแต่ละบิตในไบต์แอตทริบิวต์

2.7.1 แอตทริบิวต์ข้อความสีมาตรฐาน

ตารางที่ 2.1 แสดงถึงความหมายของแต่ละบิตของแอตทริบิวต์ข้อความ เมื่อทำงานในโหมดข้อความสีมาตรฐาน บิต D0–D2 ทำหน้าที่ กำหนดสีตัวอักษร, บิต D4–D6 ทำหน้าที่ กำหนดสีพื้นและบิต D3 ทำหน้าที่ กำหนดความสว่างของสีตัวอักษร ในการเพิ่มความสว่างของแสงขึ้นโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปลี่ยนบิต D3 จาก 0 เป็น 1 จะเปลี่ยนสีจากปกติสีดำเป็นสีเทา หรือจากสีม่วง (Magenta) เป็นสีม่วงอ่อน (Light Magenta) ซึ่งทำให้แสดงสีได้เพิ่มขึ้นอีก 8 สี ดังตารางที่ 2.1

ตารางที่ 2.1 แอตทริบิวต์สีมาตรฐาน

แอตทริบิวต์	สีมาตรฐาน	สีสว่าง
000	Black	Gray
001	Blue	Light Blue
010	Green	Light Green
011	Cyan	Light Cyan
100	Red	Light Red
101	Magenta	Light Magenta
110	Brown	Yellow
111	Gray	White

ในการแสดงอักษร 2 ชุดพร้อมกัน (เลือกชุดอักษรโดยใช้รีจิสเตอร์ในซีเควนเซอร์) ส่วนบิต D3 จะไม่ทำหน้าที่เป็นตัวกำหนดความสว่างของตัวอักษร แต่จะใช้สำหรับการเลือกชุดอักษรที่จะแสดง

บิต D7 ในไบต์แอตทริบิวต์สามารถใช้ในการกำหนดให้อักษรกระพริบหรือกำหนดความสว่างของสีพื้น โดยใช้รีจิสเตอร์ควบคุมแอตทริบิวต์ (Attribute Control Register) เป็นตัวกำหนดหน้าที่ของบิต D7

2.7.2 การจัดการแอตทริบิวต์

การวางบิตแอตทริบิวต์นั้นไอบีเอ็มได้กำหนดไว้แล้ว โดยจะให้แต่ละบิตแสดงความหมายของการแสดงผลต่างกัน โดยบิต D7 ใช้สำหรับตัวกระพริบ บิต D3 เป็นบิตความเข้มส่วนที่เหลือ D2 D1 D0 และ D6 D5 D4 แสดงความหมายดังตารางที่ 2.2

การควบคุมแอตทริบิวต์นี้จะมีการถอดรหัสตามเงื่อนไขด้านบน แล้วไปควบคุมการทำงานภาคแสดงผลที่จะแสดงออกจอภาพต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 การวางบิตแอตทริบิวต์

พื้นด้านหลัง			พื้นด้านหน้า			
D6	D5	D4	D2	D1	D0	
0	0	0	0	0	0	ไม่แสดงผล
1	1	1	0	0	1	ขีดเส้นใต้
0	0	0	1	1	1	ปกติ
1	1	1	0	0	0	กลับ

2.8 การ์ดควบคุมจอภาพแบบ VGA

การแสดงผลบนจอภาพเป็นความต้องการพื้นฐานของระบบไมโครพิวเตอร์ที่มีการพิจารณาเปลี่ยนแปลงให้ดีขึ้นตามยุคสมัย มาตรฐานการแสดงผลเริ่มจากที่บริษัทไอบีเอ็มได้กำหนดการแสดงผลในแบบที่เรียกว่า โมโนโครม ที่แสดงตัวอักษรอย่างเดียวและโหมดแสดงกราฟฟิกที่เรียกว่า CGA ต่อมาบริษัทเฮอร์คิวลิสก็พัฒนาการ์ดโมโนโครมกราฟฟิกขึ้นมาและต่อมาเป็นที่นิยมในกลุ่มเครื่องคอมแพตติเบิลครั้นเมื่อไอบีเอ็มได้พัฒนาระบบไมโครคอมพิวเตอร์พีเอสทู ไอบีเอ็มก็กำหนดมาตรฐานการแสดงผลในรูปแบบใหม่ที่ตรงกับความต้องการกับผู้ใช้มากยิ่งขึ้นนั้นก็คือการใช้ วิดีโอกราฟฟิกอะเรย์ หรือ VGA นับเป็นเรื่องที่เหมาะสมกับการใช้งานในปัจจุบันอย่างยิ่ง

2.8.1 โครงสร้างของการ์ด VGA

ระบบแสดงผลโดยให้แสดงผลได้หลายรูปแบบ คือ แสดงในโหมดโมโนโครมและ VGA ได้ สำหรับ VGA ยังมีรูปแบบการแสดงผลในรูปแบบพิเศษจากเดิมได้อีกหลายรูปแบบดังนี้

640 × 480 จุด แบบ 16 สี และ 2 สี

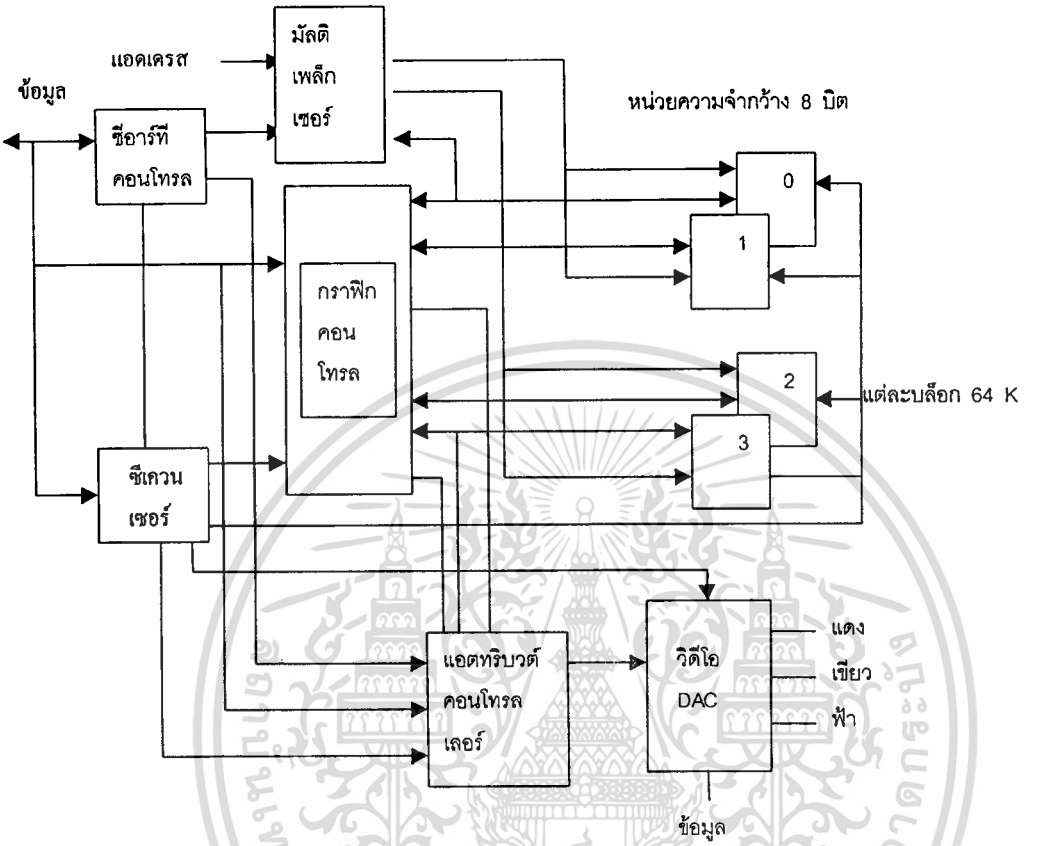
720 × 400 จุด แบบ 16 สี และโมโนโครมเฉพาะตัวอักษร

360 × 400 จุด แบบ 16 สี แบบตัวอักษร

320 × 200 จุด แสดงได้ถึง 256 สี

ในโหมดการสแกน 200 เส้น ข้อมูลแต่ละเส้นจะได้รับการสแกนซ้ำ 2 ครั้ง ซึ่งข้อมูลรายละเอียดภายในจึงเป็นแบบ 400 เส้นเช่นกัน การออกแบบ VGA ทำให้ซีพียูสามารถติดต่อกับหน่วยความจำได้โดยตรง และโหมดการควบคุมแบบเดิมก็ยังสามารถทำได้เช่นกัน การใช้ VGA นี้จะไม่มีภาพกระพริบขณะที่ซีพียูกำลังเขียนหรืออ่านหน่วยความจำวิดีโอส่วนแอดเดรสของหน่วยความจำบน VGA ก็สามารถได้รับการโปรแกรมให้มีตำแหน่งที่อยู่แตกต่างกันได้ถึง 3 แห่ง เพื่อให้ใช้ได้ในโหมดเหมือนเดิมได้ โครงสร้างของ VGA แสดงได้ดังรูปที่ 2.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แผนผังการทำงานของการ์ด VGA

โหมดกราฟฟิกที่แสดงผลพร้อมกันหลายสี VGA ใช้หน่วยความจำเก็บตามเพลนสี ซึ่งเมื่อนำมารวมกันจะได้จำนวนสีมากมายหลายสี ส่วนในโหมดแสดงตัวอักษรก็จะเหมือนแบบเดิมคือให้ซีพียูเขียนรหัสแอสกีลงมายังหน่วยความจำแทนการสกรีน และ VGA จะนำไปแสดงผลโดยการนำตัวอักษรจากรอมมาแสดงผลต่อไป

สำหรับรูปแบบตัวอักษรนั้นมี 3 แบบอยู่ในรอม สองแบบแรกแสดงแบบดอทเหมือนที่ไอบีเอ็มใช้อยู่แล้วในการ์ดแสดงผลแบบอื่น ส่วนอีกรูปแบบหนึ่งเป็นตัวอักษรขนาด 8×16 จุด นอกจากนี้ยังสามารถโหลดตัวอักษรลงในหน่วยความจำแบบแรมได้พร้อมกันถึง 8 รูปแบบ โดยแต่ละแบบมีจำนวนตัวอักษร 256 ตัวอักษร แต่ขณะใช้งานต้องใช้ทีละรูปแบบเท่านั้น

การแสดงผลจะเป็นการนำเอาข้อมูลจากหน่วยความจำมาจัดใหม่ให้อยู่ในรูปแบบที่ใช้ในการแสดงผล แล้วส่งให้วงจรแปลงเป็นสัญญาณแอนะลอก สีแดง เขียว และน้ำเงิน เพื่อส่งต่อให้จอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สีอีกครั้งหนึ่งและหากต้องการแสดงผลในแบบโมโนโครมก็ทำคล้ายกัน นั่นก็คือนำข้อมูลทั้งหมดมาจัดรูปแบบใหม่แล้วให้ DAC แปลงสัญญาณออกทางเอาต์พุตแบบแอนะลอกเฉพาะสีเขียวเท่านั้น

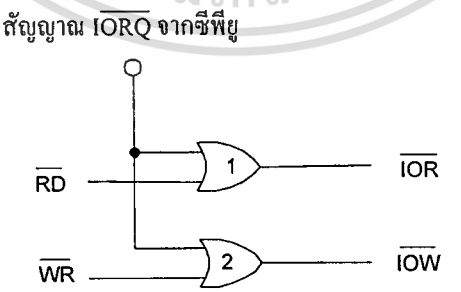
วงจรส่วนใหญ่ของการทำงานของ VGA อยู่ในชิป VLSI ที่เรียกว่า ตัวควบคุม VGA โดยแยกส่วนวงจรในการ์ด VGA ออกเป็น 3 ส่วน คือ ส่วนตัวควบคุม VGA ส่วนหน่วยความจำ และส่วนวงจรลอจิกสนับสนุน

2.9 การเชื่อมต่อไมโครโปรเซสเซอร์ Z-80

ในระบบไมโครคอมพิวเตอร์นั้น การติดต่อกับอุปกรณ์ภายนอก เช่นการอ่านข้อมูลจากอุปกรณ์อินพุตการส่งข้อมูลออกไปสู่อุปกรณ์เอาต์พุตนั้นทำได้โดยการเชื่อมต่อไมโครโปรเซสเซอร์กับพอร์ตอินพุตหรือพอร์ตเอาต์พุต

2.9.1 สัญญาณควบคุมการอ่านและเขียน

ในการติดต่อกลับหน่วยความจำซีพียูใช้สัญญาณ $\overline{\text{MREQ}}$ ส่วนการติดต่อกับพอร์ตใช้สัญญาณ $\overline{\text{IORQ}}$ และสัญญาณเพื่อควบคุมการอ่านและการเขียนยังคงใช้ สัญญาณ $\overline{\text{RD}}$ และ $\overline{\text{WR}}$ ดังเดิม เมื่อเป็นการอ่านหรือเขียนข้อมูลที่เกี่ยวกับพอร์ตสัญญาณที่แอคตีฟคือ $\overline{\text{IORQ}}$, $\overline{\text{RD}}$ และ $\overline{\text{WR}}$ ดังนั้นเมื่อทำการอ่านพอร์ตสัญญาณที่จะแอคตีฟ คือ $\overline{\text{IORQ}}$ และ $\overline{\text{RD}}$ และเมื่อต้องการจะเขียนข้อมูลลงพอร์ต สัญญาณที่แอคตีฟคือ $\overline{\text{IORQ}}$ และ $\overline{\text{WR}}$ ซึ่งผู้ออกแบบวงจรฮาร์ดแวร์จะต้องนำสัญญาณทั้ง 3 นี้มาต่อร่วมกันเพื่อเป็นสัญญาณที่ใช้ในการควบคุมการอ่านข้อมูลจากพอร์ตอินพุตหรือควบคุมการเขียนข้อมูลออกที่พอร์ตเอาต์พุต วงจรในการสร้างสัญญาณควบคุมการอ่านและการเขียนแบบข้อมูลที่เกี่ยวกับพอร์ตแสดงไว้ดังรูปที่ 2.10



รูปที่ 2.10 วงจรในการสร้างสัญญาณควบคุมการอ่านและการเขียนพอร์ต

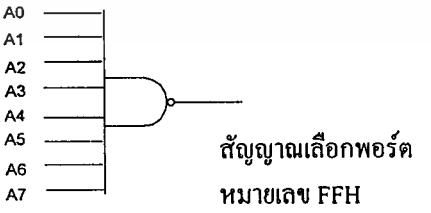
เมื่อซีพียูทำคำสั่งที่เกี่ยวกับการอินพุตหรือเอาต์พุต เช่นคำสั่ง IN A,(n) สัญญาณควบคุมที่แอคตีฟคือ $\overline{\text{IORQ}}$ และ $\overline{\text{RD}}$ ดังนั้นขณะนี้เอาต์พุตของเกตออร์ 1จะมีระดับ 0 นั่นคือจะทำให้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

สัญญาณ $\overline{IORQ}$ อยู่ในสภาวะแอคตีฟ และเมื่อซีพียูทำคำสั่ง OUT (n),A สัญญาณควบคุมที่แอคตีฟ คือ $\overline{IORQ}$ และ $\overline{WR}$ ซึ่งจะทำให้สัญญาณอยู่ในสภาวะแอคตีฟดังนั้นเราสามารถนำสัญญาณทั้งสองนี้ไปควบคุมการทำงานของพอร์ตอินพุตและพอร์ตเอาต์พุตได้ตามต้องการ

2.9.2 ตำแหน่งของพอร์ต

ซีพียู Z-80 ใช้บัสตำแหน่งทางด้านต่ำ คือ A7-A0 เพื่อกำหนดตำแหน่งของพอร์ต ดังนั้นหมายความว่า ซีพียูสามารถติดต่อกับพอร์ตขนาด 8 บิต ได้ถึง 2^8 หรือ 256 พอร์ต และเนื่องจากในการอ่านและเขียนข้อมูล สัญญาณควบคุม $\overline{RD}$ และ $\overline{WR}$ จะไม่มีโอกาสแอคตีฟพร้อมกัน ดังนั้นพอร์ตหมายเลขเดียวกัน สามารถกำหนดให้เป็นพอร์ตอินพุตหรือพอร์ตเอาต์พุตก็ได้ คำสั่งทุกคำสั่งในกลุ่มอินพุต/เอาต์พุตจะใช้บัสตำแหน่ง A7-A0 นี้ เพื่อกำหนดตำแหน่งของพอร์ตทั้งสิ้น เช่น คำสั่ง IN A,(n) ข้อมูล n ซึ่งเป็นเลขฐานสองขนาด 8 บิต ที่สำหรับการกำหนดตำแหน่งของพอร์ต ดังนั้นข้อมูลนี้จะส่งออกที่ A7-A0 ส่วนคำสั่ง OUT (n),A ข้อมูล n ก็จะส่งออกที่ A7-A0 เช่นกัน ในส่วนคำสั่ง IN r,(C) และ OUT (C),r หมายเลขพอร์ตจะกำหนดโดยข้อมูลที่อยู่ในรีจิสเตอร์ C และข้อมูลในการกำหนดตำแหน่งนี้จะส่งออกไปทางบัสตำแหน่ง A7-A0 เช่นกัน ดังนั้นในการถอดรหัสตำแหน่งของพอร์ตโดยทั่วไป จะทำการต่อวงจรถอดรหัสที่ A7-A0 แต่ถ้าเราต้องการใช้ข้อมูลที่บัสตำแหน่ง A15-A8 เพื่อเป็นตำแหน่งของพอร์ต ก็สามารถทำได้เช่นกัน เนื่องจากคำสั่งในกลุ่มอินพุตเอาต์พุตนั้น มีข้อมูลบางอย่างออกมาที่ A15-A8 ด้วย เช่น ในคำสั่ง IN r,(C) ข้อมูลในการกำหนดพอร์ตที่แท้จริง คือ ข้อมูลในรีจิสเตอร์ B จะมาออกที่บัสตำแหน่ง A15-A8 ดังนั้นเราอาจจะมาทำการถอดรหัสที่ A15-A8 นี้ก็ได้ แต่ต้องทราบว่าในขณะนี้หมายเลขพอร์ตคือข้อมูลที่จะอยู่ในรีจิสเตอร์ B แต่ในการออกแบบวงจรฮาร์ดแวร์ โดยทั่วๆ ไป เราจะทำการถอดรหัสตำแหน่งของพอร์ตที่บัสตำแหน่งที่ A7-A0 วงจรในการถอดรหัสตำแหน่งของพอร์ตได้แสดงดังรูปที่ 2.11

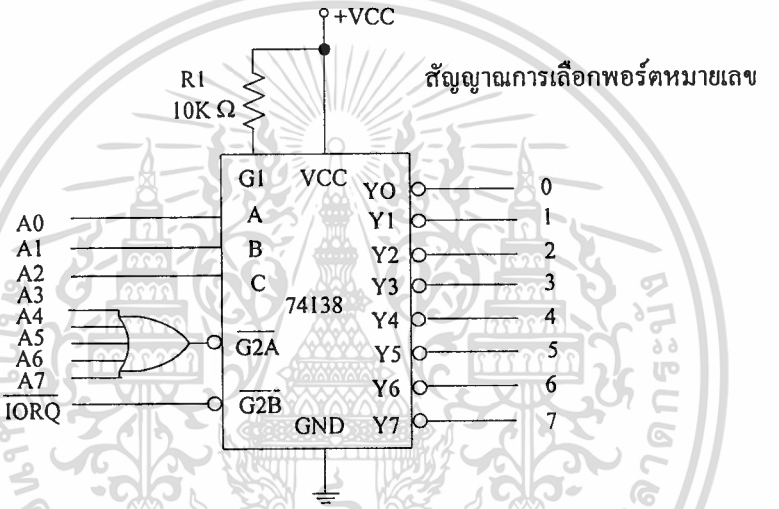


รูปที่ 2.11 วงจรในการเลือกพอร์ตหมายเลข FF_{16}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.11 เมื่อซีพียูทำคำสั่งอินพุตหรือเอาต์พุต มันจะส่งสัญญาณในการเลือกพอร์ตมาบนบัสตำแหน่ง A7-A0 ถ้าข้อมูลที่ส่งมาเป็น FFH ก็จะทำให้เอาต์พุตของเกตแนนด์เป็นลอจิก 0 แต่ถ้าข้อมูลที่ส่งมานี้ไม่ใช่ FFH เอาต์พุตของเกตแนนด์ก็จะเป็น 1 ดังนั้นสัญญาณนี้ คือ สัญญาณในการที่จะต่อไปเพื่อเลือกพอร์ตหมายเลข 255

แต่ในการใช้งานโดยทั่วไปนั้นจะมีการใช้พอร์ตมากกว่า 1 ดังนั้นการถอดรหัสจะใช้วงจรถอดรหัสหรือวงจรดีมัลติเพล็กซ์ เพื่อทำการกำเนิดสัญญาณการเลือกพอร์ต รูปที่ 2.12 แสดงการกำเนิดสัญญาณการเลือกพอร์ตที่นิยมใช้แบบหนึ่ง



รูปที่ 2.12 วงจรสร้างสัญญาณการเลือกพอร์ต

จากวงจรรูปที่ 2.12 วงจรดีมัลติเพล็กซ์จะทำงานก็ต่อเมื่อซีพียูทำคำสั่งเกี่ยวกับการอินพุตหรือเอาต์พุต เพราะจะทำให้ขา $\overline{\text{IORQ}}$ แอคตีฟ แต่ถ้าทำคำสั่งที่เกี่ยวกับหน่วยความจำนั้นจะทำให้วงจรดีมัลติเพล็กซ์นี้จะไม่ทำงานเนื่องจากขา $\overline{\text{IORQ}}$ ไม่แอคตีฟ ดังนั้น เราจะใช้เอาต์พุตของวงจรดีมัลติเพล็กซ์จะใช้สำหรับการเลือกพอร์ตหมายเลข 0 ถึง หมายเลข 7 ซึ่งพอร์ตต่างๆ เหล่านี้อาจกำหนดให้เป็นพอร์ตอินพุตหรือพอร์ตเอาต์พุต ก็ได้ขึ้นอยู่กับสัญญาณการควบคุมการอ่านและเขียนอีกสัญญาณหนึ่ง

2.9.3 การอ่านข้อมูลจากพอร์ตอินพุต

ในการอ่านข้อมูลจากพอร์ต ทำได้โดยคำสั่งอินพุต เช่น IN A,(n) สมมุติให้หมายเลขพอร์ตเป็น 0 ดังนั้นลำดับขั้นในการอ่านข้อมูลมี ดังนี้

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) เมื่อซีพียูทำคำสั่งอินพุต มันจะทำการกำหนดข้อมูลที่ใช้ในการระบุตำแหน่งลงมาบนบัสตำแหน่งที่ A7–A0 ในขณะนี้เอาต์พุตของวงจรดีมัลติเพล็กจะยังไม่แอคตีฟ และเนื่องจากสัญญาณสโตรบที่ $\overline{G2B}$

2) สัญญาณ $\overline{IORQ}$ แอคตีฟ เป็นระดับลอจิก 0 พร้อมกับสัญญาณ $\overline{RD}$

3) สัญญาณเอาต์พุตของวงจรดีมัลติเพล็กซ์ที่ Y0 จะมีระดับลอจิก 0 และในขณะนี้สัญญาณ $\overline{RD}$ จะมีระดับ 0 ซึ่งจะทำให้ขาอีนาเบิลของ 74244 แอคตีฟ นั่นคือสัญญาณอินพุตของ 74244 จะต่อเข้ากับบัสข้อมูลของระบบ

4) ในช่วงเวลาต่อมา ซีพียูจะทำการอ่านข้อมูลที่บัสข้อมูลนี้เข้าไปสู่รีจิสเตอร์ภายในของซีพียู เมื่อสัญญาณ $\overline{RD}$ และ $\overline{IORQ}$ กลับสู่สภาวะลอจิก 1 จะทำให้พอร์ตอินพุตจะอยู่ในสภาวะที่มีอิมพีแดนซ์สูงหรือตัดสัญญาณอินพุตออกจากบัสของระบบ ซึ่งเป็นการสิ้นสุดขบวนการอ่านข้อมูลจากพอร์ตอินพุต

5) เห็นได้ว่าในการอ่านข้อมูลจากพอร์ตอินพุตนี้ เมื่อทำการอ่านเสร็จแล้วจะทำให้สัญญาณอินพุตถูกตัดออกทันที เพื่อไม่ให้รบกวนกับบัสข้อมูลของระบบที่จะมีการทำงานต่อไป

2.9.4 การเขียนข้อมูลออกพอร์ตเอาต์พุต

ในการเขียนข้อมูลออกยังพอร์ตเอาต์พุต ทำได้โดยคำสั่งเอาต์พุต เช่น OUT (n),A ในที่นี้สมมุติให้พอร์ตเอาต์พุตเป็นพอร์ตหมายเลข 4 ดังนั้นลำดับขั้นในการที่จะส่งข้อมูลออกยังพอร์ตเอาต์พุตจะเป็นดังนี้

1) เมื่อซีพียูทำคำสั่งเอาต์พุต ซีพียูจะทำการกำหนดข้อมูลที่ใช้ระบุตำแหน่งของพอร์ตลงมาบนบัสตำแหน่ง

2) ซีพียูส่งข้อมูลที่ต้องการส่งออกมาบนบัสข้อมูล

3) จากนั้นซีพียูส่งสัญญาณ $\overline{IORQ}$ ออกมาให้อยู่ในสภาวะแอคตีฟ คือ ระดับลอจิก 0 ดังนั้นในขณะนี้ เอาต์พุตของวงจรดีมัลติเพล็กที่ตำแหน่ง Y4 จะอยู่ในสภาวะแอคตีฟ

4) ต่อไปสัญญาณ $\overline{WR}$ จะแอคตีฟ เป็นระดับ 0 ด้วย ดังนั้นเมื่อสัญญาณ $\overline{WR}$ ตกมาเป็นระดับ 0 เอาต์พุตของเกตออร์ ก็จะตกมาเป็นระดับ 0 ด้วย แต่ในขณะนี้จะยังไม่มีผลต่อฟลิปฟลอป เนื่องจากขา CLK ของฟลิปฟลอปแอคตีฟที่ขอบพัลส์ขาขึ้น ดังนั้นเมื่อสัญญาณ $\overline{WR}$ กลับสู่ระดับ 1 และจะทำให้เอาต์พุตของเกตออร์เปลี่ยนไปเป็นระดับ 1 ซึ่งเป็นขอบพัลส์ขาขึ้น และจะทำให้เอาต์พุตของเกตออร์เปลี่ยนไป เป็นระดับ 1 ซึ่งเป็นขอบพัลส์ขาขึ้น และจะทำให้ฟลิปฟลอปนำสัญญาณที่บัสข้อมูลที่ต่ออยู่ที่อินพุตของฟลิปฟลอป ออกสู่เอาต์พุตของฟลิปฟลอป ซึ่งเป็นอันสิ้นสุดขบวนการเขียนข้อมูลออกสู่เอาต์พุตพอร์ตเห็นได้ว่าเมื่อทำการเขียนข้อมูลเสร็จแล้ว ข้อมูลที่เอาต์พุตของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

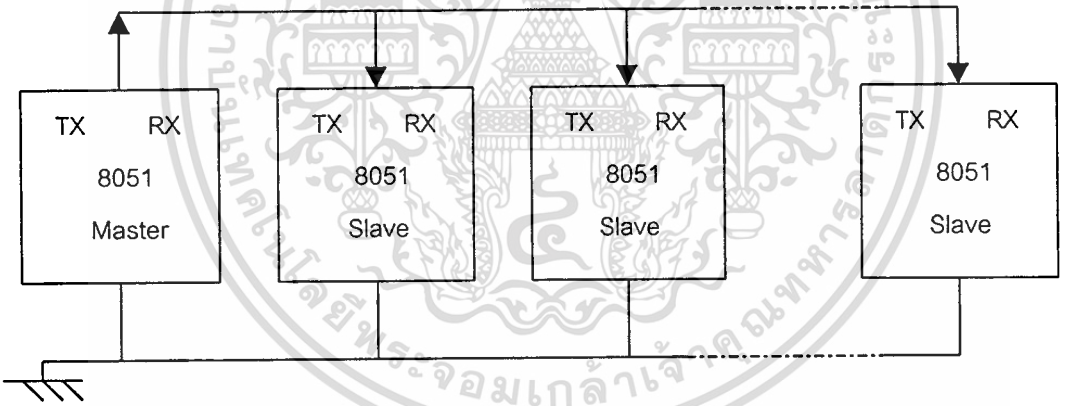
พอร์ตจะคงที่ (Latch) ส่วนบัสข้อมูลของระบบจะมีการเปลี่ยนแปลงอย่างไรก็จะไม่ทำให้สัญญาณที่พอร์ตเอาต์พุตเปลี่ยนแปลงจนกว่าจะมีการเขียนข้อมูลลงมาใหม่

2.10 การเชื่อมต่อไมโครโปรเซสเซอร์เพื่อรับส่งข้อมูลอนุกรมของ MCS-51

มีอยู่ด้วยกัน 2 แบบคือ

1) Single Processor Mode ในโหมดนี้จะใช้ไมโครคอนโทรลเลอร์ 2 ตัวเชื่อมเข้าหากัน

2) Multi Processor Mode ในโหมดนี้จะใช้ไมโครคอนโทรลเลอร์ 1 ตัวเป็นตัวแม่ (Master) และอีก 0-256 ตัวลูก (Slave) รีจิสเตอร์ที่ใช้ควบคุมการรับส่งข้อมูลอนุกรมในการติดต่อสื่อสารแบบนี้จำเป็นจะต้องกำหนดค่าแอดเดรสของตัวเอง เพื่อที่จะไม่ได้แย่งกันทำงาน โดยมีตัว Master จะส่งไบต์แรกเป็นแอดเดรสของตัว Slave ออกไป (Slave มีได้ 256 ตัว) แล้วตามด้วยไบต์ข้อมูล เป็นไบต์ที่ 2 ซึ่งมีข้อมูลส่งไปยัง Slave การต่อสัญญาณจากตัว Master ไปยัง Slave ทั้ง 256 ตัว ดังแสดงในรูปที่ 2.13



รูปที่ 2.13 การสื่อสารระบบมัลติโปรเซสเซอร์โหมด

2.10.1 การเชื่อมต่อ MCS-51 กับหน่วยความจำ

การจัดหน่วยความจำสำหรับ MCS-51 แบ่งออกเป็น 2 ส่วนใหญ่ๆ คือ

1) Data Memory

เป็นหน่วยความจำที่ใช้เก็บข้อมูลมีความจุได้สูงถึง 64 กิโลไบต์ เป็นหน่วยความจำประเภทอ่านและเขียนได้ (RAM) สัญญาณจาก MCS-51 ที่ใช้ในการอ่านข้อมูลจากแรม คือ $\overline{RD}$ และสัญญาณที่ใช้ในการเขียนข้อมูลลงในแรม คือ $\overline{WR}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย RAM (Random Acess Memory) เป็นหน่วยความจำที่สามารถเขียนและอ่านข้อมูลได้ ข้อมูลจะสูญหายทันทีที่ขาดไฟเลี้ยง แบ่งเป็น 2 แบบคือ Static RAM และ Dynamic RAM

2) Program Memory

เป็นหน่วยความจำที่ใช้เก็บโปรแกรมเป็นหน่วยความจำที่อ่านข้อมูลได้อย่างเดียว (ROM) สัญญาณจาก MCS-51 ที่ใช้ในการอ่านรอม คือ $\overline{\text{PSEN}}$

2.10.2 การต่อ MCS-51 เข้ากับอีพรอมและแรม

การต่อใช้งานเราอาจจะไม่ต้องใช้ตัวถอดรหัส (Decoder) มาถอดรหัสตำแหน่งของหน่วยความจำก็ได้ ถ้าเราติดตั้งเพียงอย่างละ 1 ตัวเท่านั้น เพราะแอดเดรสของ Program Memory และ Data Memory ใช้แอดเดรสซ้อนกันอยู่ สัญญาณที่ใช้อ่านข้อมูลจาก Program Memory (อีพรอม) ก็คือ $\overline{\text{PSEN}}$ และสัญญาณที่ใช้อ่านข้อมูลจาก Data Memory ก็คือ $\overline{\text{RD}}$ ส่วนสัญญาณที่ใช้เขียนข้อมูลลงในแรมจะใช้ $\overline{\text{WR}}$

2.10.3 สัญญาณจากซิงเกิลบอร์ด

สัญญาณ $\overline{\text{R}}, \overline{\text{G}}, \overline{\text{B}}$ นำมาใช้ในการเลือกแบงค์ (Bank) ของกราฟฟิกแรม

สัญญาณ $\overline{\text{G}}/\text{T}$ ใช้เลือกว่าจะเขียนข้อมูลลงในกราฟฟิกแรมหรือเท็กซ์แรม

Clear T ใช้ลบข้อมูลในเท็กซ์แรม

Refresh ใช้ในการกำหนดให้มีการเขียนข้อมูลที่แปลงจากรหัส ASCII ในเท็กซ์แรมให้เป็นข้อมูลของสัญญาณภาพเพื่อเขียนลงในกราฟฟิกอีกรอบ

$\overline{\text{CS}}$ เป็นสัญญาณที่บอกให้ทราบว่าซิงเกิลบอร์ดต้องการติดต่อกับการ์ด VGA ที่สร้างขึ้นมา

$\overline{\text{G}-\text{SB}}$ คือ สัญญาณที่บอกให้ทราบว่าซิงเกิลบอร์ดต้องการติดต่อกับกราฟฟิกแรม

$\overline{\text{G}-\text{MCS}}$ คือ สัญญาณที่บอกให้ทราบว่า MCS ต้องการติดต่อกับกราฟฟิกแรม

$\overline{\text{T}-\text{SB}}$ คือ สัญญาณที่บอกให้ทราบว่าซิงเกิลบอร์ดต้องการติดต่อกับเท็กซ์แรม

$\overline{\text{T}-\text{MCS}}$ คือ สัญญาณที่บอกให้ทราบว่า MCS ต้องการติดต่อกับเท็กซ์แรม

ลำดับความสำคัญของสัญญาณนั้น สัญญาณที่มาจากซิงเกิลบอร์ด คือ $\overline{\text{G}-\text{SB}}$, $\overline{\text{T}-\text{SB}}$ จะมีความสำคัญมากกว่า $\overline{\text{G}-\text{MCS}}$ และ $\overline{\text{T}-\text{MCS}}$ ที่มาจากภาคควบคุมภายในของการ์ด VGA นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11 ส่วนประกอบต่างๆ

2.11.1 Tristate Bus Transceiver

ทำหน้าที่แย่ง Address Bus, Control Bus และ Data Bus จากซิงเกิลบอร์ด ในขณะที่ไม่มีการเขียนโปรแกรมส่งในแรมบนซิงเกิลบอร์ดและหน้าที่อีกอย่าง ก็คือ ทำหน้าที่คล้ายๆ กับ Selector เลือกการควบคุมแอดเดรส และ Data บนวิดีโอแรม

2.11.2 วิดีโอแรม

ประกอบด้วย แรม (300 กิโลไบต์) จำนวน 3 แบงค์ โดยแต่ละแบงค์จะใช้ไอซีเบอร์ SM628512 จำนวน 1 ตัว แต่ที่ใช้งานจริงจะใช้แบงค์ละ 300 กิโลไบต์ เท่านั้น โดยคำนวณปริมาณการใช้แรมจากความละเอียดในการแสดงผลของจอภาพ คือ 480×640 พิกเซล และแรมแต่ละแบงค์จะเก็บค่าของแม่สีแต่ละสี นั่นคือ สีแดง (Red), สีเขียว (Green) และสีน้ำเงิน (Blue)

2.11.3 ASCII RAM

ใช้แรมขนาด 32 กิโลไบต์ เบอร์ 62256 จำนวน 1 ตัว เป็นตัวรับข้อมูลที่เก็บค่ารหัสแอสกีบนซิงเกิลบอร์ด ในแอดเดรสที่มีการเขียนโปรแกรมอยู่ เช่น ซิงเกิลบอร์ด Z-80 เวอร์ชั่น 3.5 ของบริษัท ETT จะใช้ ASCII RAM ตั้งแต่แอดเดรสที่ 2000-3FFFFH ในการเก็บข้อมูลค่ารหัสแอสกี เพื่อจะให้ MCS-51 นำไปประมวลผลเปรียบเทียบ เพื่อไปดึงข้อมูลที่เป็นแอดเดรสของอีพรอมที่เก็บรูปแบบของตัวอักษรที่จะใช้ในการแสดงผลของจอภาพ

2.11.4 อีพรอม เก็บรูปแบบตัวอักษร

ใช้อีพรอมขนาด 8 กิโลไบต์ เบอร์ 2764 จำนวน 1 ตัวซึ่งเป็นไอซีที่เก็บรูปแบบของตัวอักษรขนาด 8×16 บิต ซึ่ง Character ที่เก็บอยู่จะใช้ตัว A-Z (26 ตัวอักษร) และ 0-9 (จำนวน 10 ตัวอักษร) ซึ่งก็เพียงพอแล้วสำหรับการแสดงผลบนจอภาพสำหรับคีย์บอร์ดที่มีอยู่แล้วบนซิงเกิลบอร์ด

2.11.5 ภาคควบคุม

ใช้ไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ 8031 ต่อร่วมกับอีพรอม เบอร์ 2764 จำนวน 1 ตัว เป็นโปรแกรมหน่วยความจำ ที่ใช้ในการควบคุมระบบทั้งหมดบน VGA สำหรับซิงเกิลบอร์ด

2.11.6 ภาคสร้างแอดเดรสให้กับวิดีโอแรม

ได้มาจากวงจรสร้างแอดเดรส 3 แหล่ง ได้แก่

1) วงจรสร้างแอดเดรสจากภาคควบคุมใช้ 8255 พอร์ต A จำนวน 8 เส้น, พอร์ต B จำนวน 8 เส้น และพอร์ต C จำนวน 3 เส้น สร้างแอดเดรสขนาด 19 บิตให้กับวิดีโอแรม ในกรณีจะใช้งานใน Text Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) ได้มาจากพอร์ต A ขนาด 8 บิต, พอร์ต B ขนาด 8 บิตและพอร์ต C ขนาด 3 บิต ของ 8255 ที่อยู่บนซิงเกิลบอร์ดในกรณีใช้งานในกราฟฟิกโหมด

3) ได้มาจากวงจรนับ 0-307199 ซึ่งเป็นวงจรนับ 307200 สถานะโดยคำนวณได้จากจุดที่จะแสดงผลบนจอภาพ 480×360 จุด โดยใช้ไอซีเบอร์ 74393 (Dual 4 บิต Binary Counter) ต่อกันจำนวน 3 ตัวเป็นวงจรนับแบบอะซิงค์โครนัส

2.11.7 วงจรซิงค์เจนเนอร์เรเตอร์

ประกอบด้วย VSync และ HSync จะใช้วงจรนับเช่นกันโดยจะรับสัญญาณนาฬิกามาจากแอดเดรสบัสกับวิดีโอแรม ซึ่งเป็นวงจรนับ 19 บิต โดยจะนำสัญญาณนาฬิกามาจากวงจรนับนั้นมาเข้าสู่วงจรนับของวงจรภาค VSync และ HSync เพื่อให้หารความถี่ออกมาให้ตรงกับค่าความถี่ของ HSync และ VSync ตามลำดับ

2.11.8 การแปลงสัญญาณดิจิตอลเป็นแอนะลอก

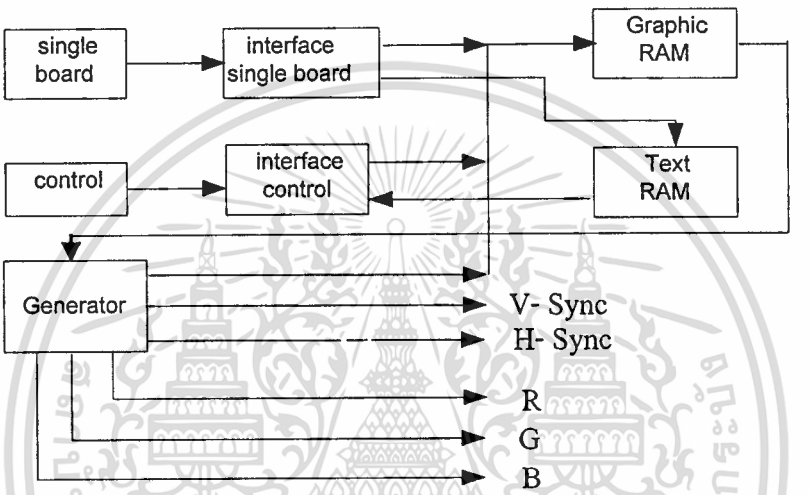
จะเป็นการแปลงสัญญาณดิจิตอลที่เข้ามาแล้วออกเอาต์พุตได้เป็นสัญญาณแอนะลอกเพื่อนำไปใช้ประโยชน์อย่างอื่นต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบ การสร้าง และการทำงาน

3.1 กล่าวนำ

ในระบบการแสดงผลของการ์ด VGA แสดงได้ดังรูปที่ 3.1



รูปที่ 3.1 แผนผังการทำงานโดยรวม

1) ซิงเกิลบอร์ด

เป็นตัวที่ใช้ในการส่งข้อมูลเพื่อไปติดต่อกับกราฟฟิกแรม (G-RAM) และทำการติดต่อกับ Text RAM (T-RAM) เพื่อแสดงผลออกหน้าจอภาพ ได้แก่ Z-80, MCS-51 เป็นต้น

2) อินเตอร์เฟสซิงเกิลบอร์ด

เป็นจุดเชื่อมต่อระหว่างซิงเกิลบอร์ดกับ Video-RAM (V-RAM) ซึ่งประกอบด้วย G-RAM และ T-RAM

3) ภาคควบคุม

เป็นตัวใช้ในอ่านรหัสแอสกีออกไปและแปลงเป็นรูปแบบของตัวอักษร (Font) ซึ่งจะได้มาจากเท็กซ์แรมที่เก็บรหัสแอสกีเอาไว้

4) ภาคควบคุมการอินเตอร์เฟส

เป็นชุดที่ใช้เชื่อมต่อระหว่างภาคควบคุม (Control) กับ G-RAM และ T-RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) Graphic-RAM (G-RAM)

เป็นการสร้างภาพออกหน้าจอภาพ โดยอาศัยการกำหนดจุดภาพ คือ ต้องการให้จุดไหนของจอภาพสว่างก็คือการเขียนข้อมูลลงในแอดเดรสให้ตรงกับแอดเดรสของจุดนั้น

6) Text-RAM (T-RAM)

จะเป็นตัวเก็บรหัสแอสกีเอาไว้แล้วภาคควบคุม (Control) จะทำการรับรหัสแอสกีออกมา

7) Generator (GEN)

ในส่วนของภาคเจนเนอร์เรเตอร์จะสร้างสัญญาณขึ้นมา 3 สัญญาณ คือ

7.1) HOR Sync

7.2) VER Sync

7.3) สัญญาณ R, G, B

ในการทำงานนั้นภาคซิงเกิลบอร์ดนั้นสามารถติดต่อกับ V-RAM ได้ตลอดเวลา ส่วนภาคควบคุมนั้นจะติดต่อ V-RAM ได้ก็ต่อเมื่อซิงเกิลบอร์ดไม่ได้ติดต่อกับ V-RAM และเจนเนอร์เรเตอร์จะทำงานได้ก็ต่อเมื่อซิงเกิลบอร์ดและภาคควบคุมนั้นไม่ได้ติดต่อกับ V-RAM

อินเตอร์เฟสซิงเกิลบอร์ดจะเชื่อมต่อระหว่างซิงเกิลบอร์ดกับการ์ด VGA เพื่อรับอินพุตที่เป็นข้อมูลของภาพ ในกรณีที่จะติดต่อกับ G-RAM และรับอินพุตที่เป็นรหัสแอสกีกรณีที่ติดต่อกับ T-RAM

ในการรับข้อมูลจากซิงเกิลบอร์ดส่งไปให้กราฟฟิกแรมหรือเท็กซ์แรม นั้นขึ้นอยู่กับว่าซิงเกิลบอร์ดต้องการจะติดต่อกับอะไร โดยที่ซิงเกิลบอร์ดจะเป็นตัวเลือกเองว่าต้องการจะติดต่อกับอะไร ภาคควบคุมจะเป็นตัวอ่านรหัสแอสกีออกไปจากเท็กซ์แรม และแปลงเป็นรูปแบบตัวอักษร (Font) อินเตอร์เฟส ภาคควบคุมในส่วนที่ติดต่อกับกราฟฟิกแรม มีการทำงานเหมือนกับภาคอินเตอร์เฟสซิงเกิลบอร์ด เพียงแต่อินพุตจริงๆ ของกราฟฟิกแรมนั้นอ่านมาจากตัวเท็กซ์แรมที่เก็บข้อมูลที่เป็นรหัสแอสกีผ่านเส้นการเดินทางของเท็กซ์แรม และนำเอาข้อมูลนั้นแปลงจากรหัสแอสกีเป็นรูปแบบตัวอักษร ส่งผ่านประตูฝั่งของกราฟฟิกแรม เพื่อส่งข้อมูลที่ได้ไปยังกราฟฟิกแรม

กราฟฟิกแรมเป็นการสร้างภาพออกหน้าจอโดยอาศัยการกำหนดจุดภาพ คือ เวลาต้องการจะให้จุดไหนของจอภาพสว่าง ก็จะทำการเขียนข้อมูลลงในแอดเดรสให้ตรงกับแอดเดรสของจุดนั้น

กราฟฟิกแรมมีแอดเดรส 640 จุด × 480 เส้นรวมเป็นหนึ่งจอภาพและแสดงความเข้มสีโดยที่ 1 สี จะมีความเข้ม 256 ระดับ กราฟฟิกแรมแตกต่างจากเท็กซ์แรม ก็คือ ว่าที่แอดเดรสของซิงเกิลบอร์ดมี 16 เส้น คือ A0-A15 ส่วนกราฟฟิกแรมนั้นมีแอดเดรสทั้งหมด 19 เส้น คือ A0-A18 ซึ่งจะต้องอาศัยแอดเดรสที่เหลืออยู่มาจากพอร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท็กซ์แรมในการแสดงผลเป็นตัวอักษร ตัวอักษรนั้นได้มาจากซิงเกิลบอร์ด โดยจะส่งรหัสแอสกีไปยังเท็กซ์แรม ซึ่งเท็กซ์แรมจะเก็บรหัสแอสกีนั้นไว้แล้ว ภาคควบคุมจะเป็นตัวอ่านรหัสแอสกีออกไป ค่าตัวอักษรจะแปลงรหัสแอสกีเป็นรูปแบบตัวอักษร (Font)

ขนาดของเท็กซ์ แรม ใน 1 บรรทัดมี 80 ตัวอักษร โดยจะมีจำนวนบรรทัด 25 บรรทัดดังนั้น ใน 1 จอภาพจะมีตัวอักษรได้เต็มที่ 80×25 = 2000 ซึ่งใน 1 ตัวอักษร จะประกอบไปด้วยแอตทริบิวต์จำนวน 1 ไบต์ และรหัสแอสกีอีก 1 ไบต์ ดังนั้นขนาดของเท็กซ์แรม จะใช้ทั้งหมดเท่ากับ 2000×2 = 4000 แอดเดรส ดังนั้นจะใช้ แรม 4 กิโลไบต์

ในภาคเจนเนอร์เรเตอร์นั้นจะสร้างสัญญาณ Hor Sync และ Ver Sync มาแล้วจะป้อนให้กับจอภาพโดยตรง ซึ่งสร้างแอดเดรสที่ใช้ในการอ่านข้อมูลจากกราฟฟิกแรม ที่แอดเดรสต่างๆ และส่งไปยังวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอกจะได้เป็นสัญญาณภาพ R, G, B

3.2 การออกแบบวงจร

3.2.1 วงจรชุดเชื่อมต่อ

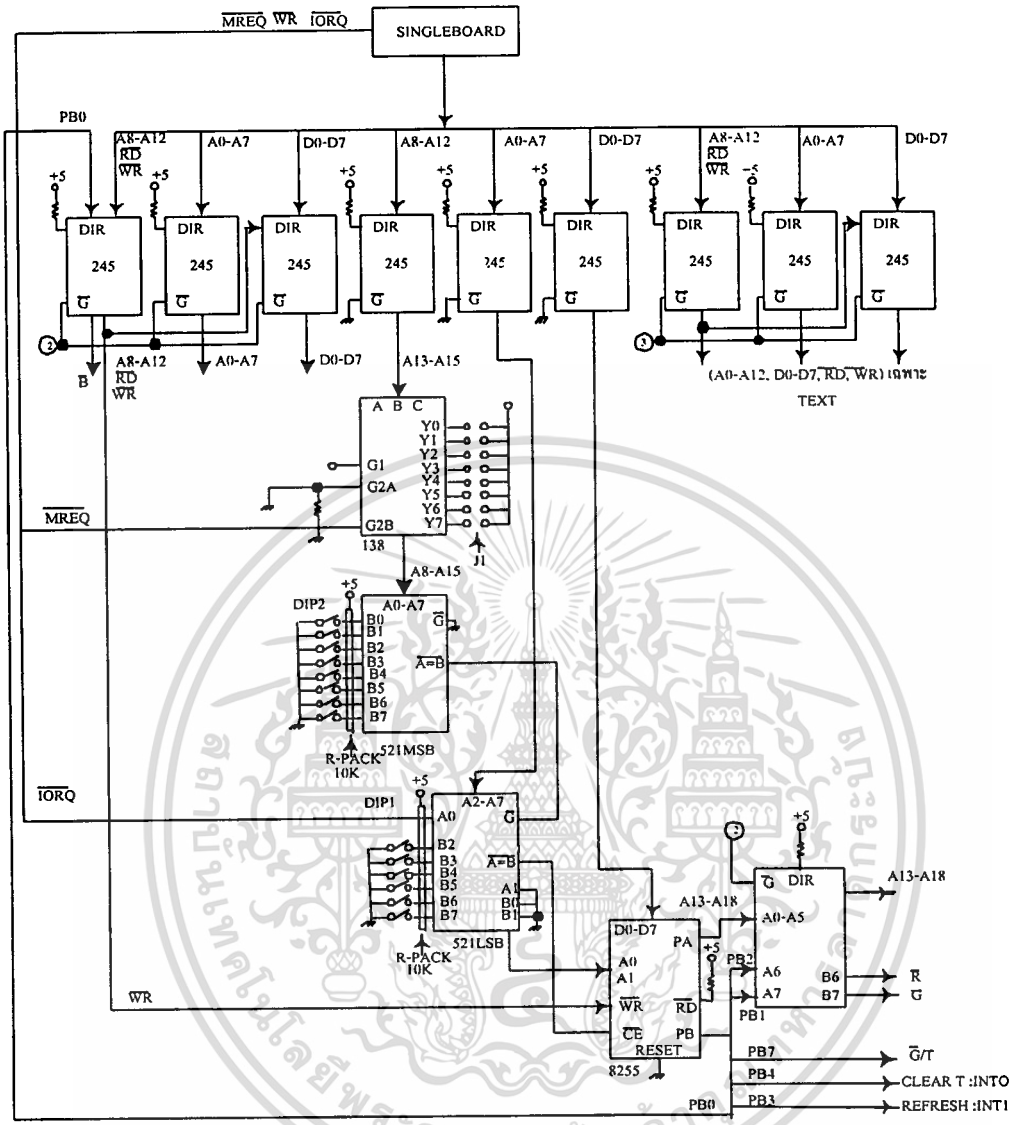
1) การสร้างวงจรอินเตอร์เฟสซิงเกิลบอร์ด

การที่ซิงเกิลบอร์ดติดต่อกับ G-RAM จะใช้แอดเดรสส่วนหนึ่งจากซีพียูโดยตรง คือ A0-A12 และอีกส่วนหนึ่งอาศัยแอดเดรสจากพอร์ต คือ A13-A18 เนื่องจากซิงเกิลบอร์ดไม่สามารถอ้างอิงแอดเดรสที่อยู่บน G-RAM ได้ทั้งหมดโดยสัญญาณที่ใช้ติดต่อกับ G-RAM มีดังนี้ A0-A18, D0-D7, $\overline{RD}$, $\overline{WR}$, R, G, B และ $\overline{CS}$ สร้างจากตัวถอดรหัส (Decoder) เบอร์ 74LS138 ถ้าต้องการให้ซิงเกิลบอร์ดติดต่อกับ G-RAM ก่อนอื่นต้องส่งสัญญาณ $\overline{G}$ / T ให้อยู่ในสภาวะลอจิก 0 และต้องเขียนข้อมูลลงในแอดเดรสที่ตรงกับแอดเดรสที่ตัวถอดรหัสได้เลือกไว้ ส่วนทาง T-RAM ใช้สัญญาณเหมือนกันกับ G-RAM แต่สามารถอ้างอิงจากซิงเกิลบอร์ดได้โดยตรง โดยไม่ต้องอาศัยแอดเดรสที่เพิ่มจากพอร์ต วงจรแสดงดังรูปที่ 3.2

2) การสร้างวงจรภาคควบคุม

จะเขียน G-RAM โดยใช้แผนผังหน่วยความจำ (Memory Map) ที่ว่างของ MCS-51 จากแอดเดรส 0000H-7FFFH นั่นคือ ใช้ A0-A14 มาจากตัวซีพียูโดยตรง ส่วน A15-A18 นำมาจากพอร์ต A ของ 8255 ส่วนพอร์ต B ของ 8255 จะส่งสัญญาณ R, G, B มาเพื่อติดต่อกับ G-RAM ในส่วนของ T-RAM จะถูกถอดรหัสออกมาที่แอดเดรส A000H-BFFFH ให้ทำการอ่านรหัสแอสกีจาก T-RAM มายัง MCS-51 เพื่อแปลงรหัสแอสกีและแอตทริบิวต์ให้เป็นรูปแบบตัวอักษร (Font) ส่งไปยัง G-RAM แสดงดังรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจรชุดเชื่อมต่อกับซิงเกิลบอร์ด

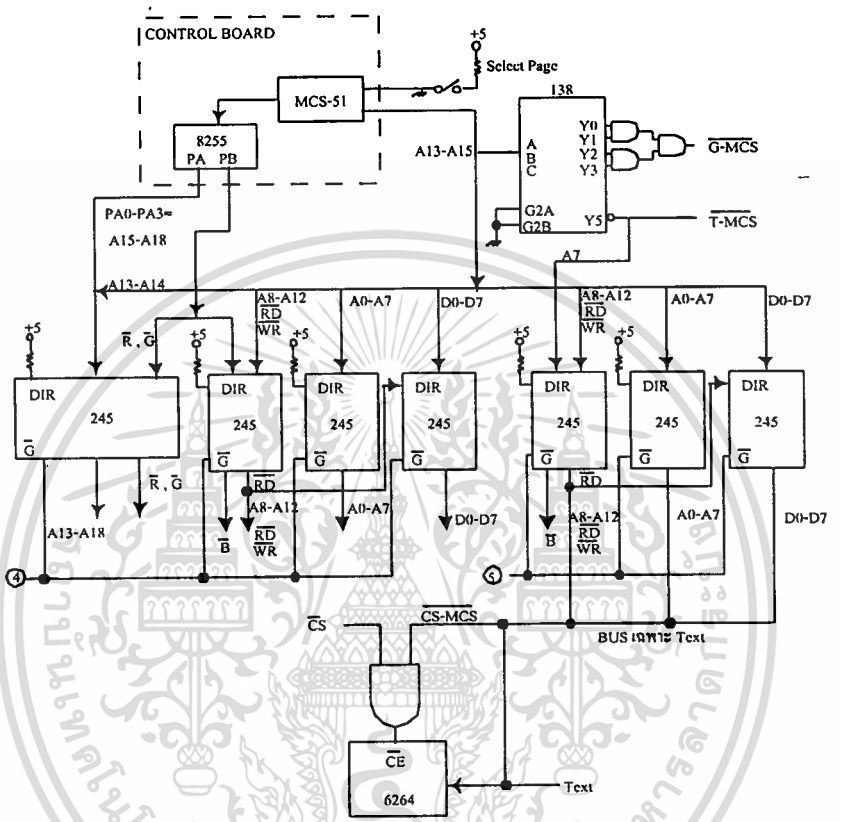
3) การสร้างวงจรกราฟฟิก-แรม

G-RAM จะรับข้อมูลมาจาก 2 ทาง คือ จากซิงเกิลบอร์ดผ่านทางภาคอินเตอร์เฟสซิงเกิลบอร์ด และมาจากภาคควบคุม ผ่านทางภาคควบคุมการอินเตอร์เฟส

ส่วนวงจรถอดรหัสบนภาค G-RAM นั้นใช้ไอซีเบอร์ 74LS138 โดยใช้ A7, A18 เป็นตัวถอดรหัสให้ได้หน่วยความจำทั้งหมด 480×640 แอดเดรส โดยใช้แรม 128 กิโลไบต์ ทั้งหมด 3 ตัว ต่อกันสำหรับสี 1 สี ฉะนั้นบน G-RAM จะเก็บข้อมูล 3 สี R, G, B จะใช้แรม 128 กิโลไบต์ ทั้งหมด จำนวน 9 ตัวเอาต์พุตที่ถูกอ่านจาก G-RAM จะถูกกำหนดแอดเดรสโดยภาคเจนเนอร์เรเตอร์จะถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อ่านออกตลอดเวลา ในขณะที่ซิงเกิลบอร์ดและภาคควบคุมไม่ติดต่อกับแรม โดยจะอ่านข้อมูลไปยังวงจรแปลงสัญญาณดิจิตอลเป็นแอนะลอก เพื่อแปลงให้เป็นสัญญาณสีส่งออกหน้าจอภาพ



รูปที่ 3.3 วงจรภาคควบคุม

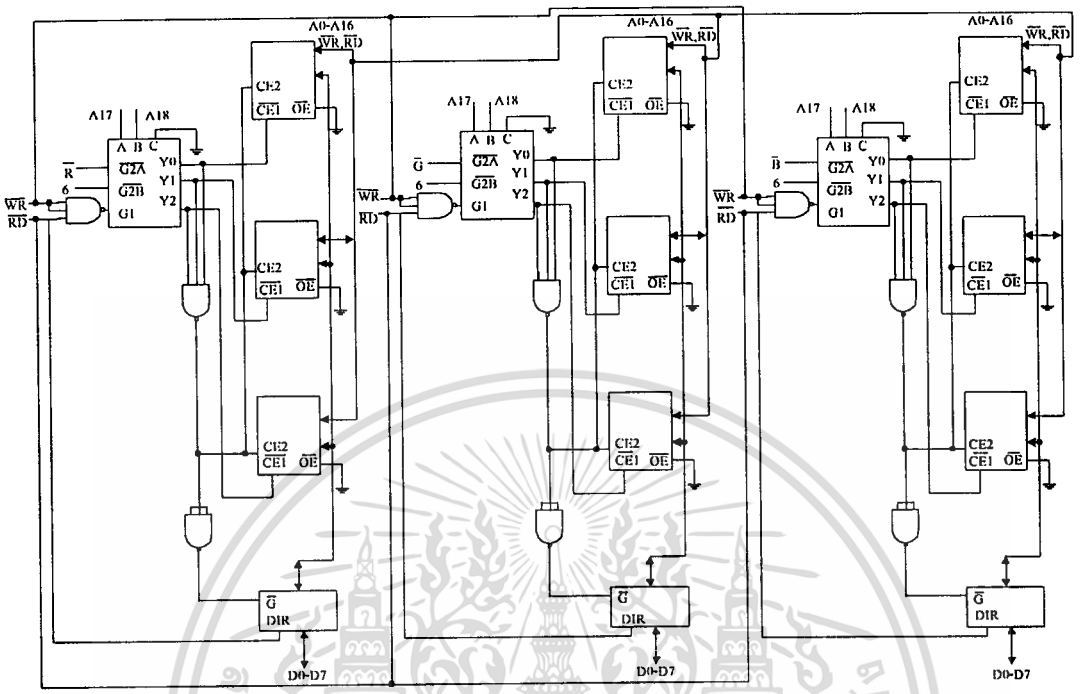
4) การสร้างวงจร T-RAM

T-RAM จะรับอินพุตที่เป็นรหัสแอสกีมาจากซิงเกิลบอร์ดมาเก็บไว้ในแอดเดรสไบต์คู่แอตทริบิวต์ที่รับมาจากจะเก็บไว้ในไบต์คี่สำหรับการแสดงผล 1 จอภาพ

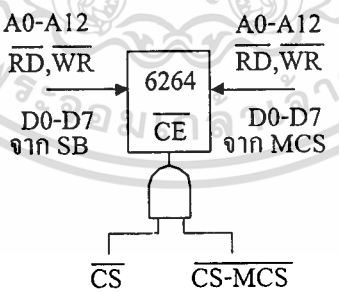
ถ้าหากซิงเกิลบอร์ดต้องการติดต่อกับโหมดข้อความ จะต้องทำให้ทำให้ $\overline{CS}$ เป็นลอจิก 0 จะทำให้แรม 6264 ถูกแอคทีฟให้พร้อมที่จะรับสัญญาณ A0-A12, D0-D7, $\overline{RD}$, $\overline{WR}$ มาจากทางชุดอินเตอร์เฟสซิงเกิลบอร์ด

ส่วนช่วงที่ซิงเกิลบอร์ดไม่ติดต่อกับ T-RAM และเมื่ออินเตอร์เฟส $\overline{MCS}$ ต้องการติดต่อกับ T-RAM ชุดอินเตอร์เฟสซิงเกิลบอร์ด จะส่งสัญญาณ $\overline{CS-MCS}$ เป็นลอจิก 0 จะทำให้ T-RAM รับสัญญาณ A0-A12, D0-D7, $\overline{RD}$, $\overline{WR}$ มาจากทางชุดอินเตอร์เฟส $\overline{MCS}$ การสร้างแสดงดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจร G-RAM

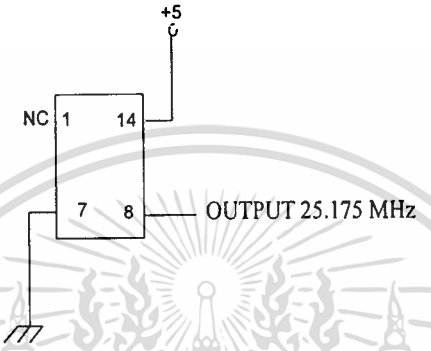


รูปที่ 3.5 วงจร T-RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจรกำเนิดความถี่

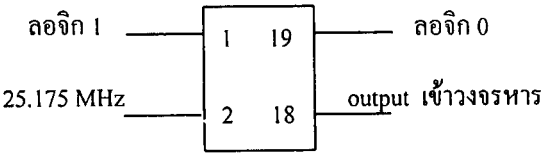
ในการออกแบบวงจรนี้จะใช้อุปกรณ์ High Bridge XTAL 25.175 เมกะเฮิรตซ์ เป็นตัวกำเนิดความถี่ (XTAL) ที่สามารถป้อนกระแสไฟตรง +5 โวลต์ ให้กับขา 14 และขา 7 เป็นกราวนด์ โดยเอาต์พุตจะออกที่ขา 8 ซึ่งมีความถี่ 25.175 เมกะเฮิรตซ์ แสดงดังรูปที่ 3.6



รูปที่ 3.6 วงจรออสซิลเลเตอร์

3.2.3 วงจรบัฟเฟอร์ 74F245

ทำหน้าที่ เป็นบัฟเฟอร์ของสัญญาณนาฬิกา 25.175 เมกะเฮิรตซ์ เพื่อให้สัญญาณนาฬิกามีความแรงของสัญญาณมากขึ้นจะเท่ากับแรงดันเอาต์พุตของทีทีแอล โดยการกำหนดให้ 74F245 ทำงานตลอดซึ่งกำหนดโดยขา 19 เป็นลอจิก 0 และกำหนดที่ขา 1 ให้เป็น 1 เพื่อที่จะให้อินพุต A ถ่ายโอนไปเอาต์พุต B ในการออกแบบจะใช้เพียงบิตเดียวจากทั้งหมด 8 บิต คือ A0 ที่ขา 2 เป็นอินพุตจาก High Bridge XTAL และ B0 ที่ขา 18 เป็นเอาต์พุตไปเข้าวงจรหารความถี่ต่อไป ดังรูปที่ 3.7



รูปที่ 3.7 วงจรบัฟเฟอร์ 74F245

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 วงจรหารความถี่

แบ่งออกเป็น 2 ช่วง คือ

1) วงจรหารความถี่ 800 ของภาคซิงค์ทางแนวนอน (Horizontal Sync)

การออกแบบของวงจรหารความถี่จากความถี่ 25.175 เมกะเฮิรตซ์ ให้ลดลงเหลือ 31.5 กิโลเฮิรตซ์ ของภาคซิงค์ทางแนวนอนจะแบ่งออกเป็น 3 ช่วงของการหารความถี่ คือ หาร8, หาร10 และหาร 10

1.1) วงจรหาร 8

ไอซีเบอร์ 74LS93 จะสามารถหารด้วยจำนวนเลขต่างๆ จนถึง 16 เพราะจะประกอบด้วยวงจรหารด้วย 2 และวงจรหารด้วย 8 แบบการจัดขา นอกจากนี้ไม่มีการขารีเซต 9 (ขา 6 และ 7) การหารด้วยจำนวนเลขสามารถทำได้โดยไม่ต้องมีเกต (Gate) ภายนอกช่วย ในที่นี้จะใช้วงจรหาร 8โดย Ro(1), Ro(2) ที่ขา 2, 3 เช่น สภาวะต่ำ (Low) ส่วนเอาต์พุตออกที่ QC ขา 9 จะมีความถี่เท่ากับ 3.15 เมกะเฮิรตซ์ รูปแบบการจัดขานี้จะแสดงในรายละเอียดของอุปกรณ์ของไอซีเบอร์ 74LS93

1.2) วงจรหาร 10

ไอซีเบอร์ 74LS90 ประกอบด้วยวงจรนับ 2 ชุด คือ วงจรนับ 2 และนับ 5 วงจรนับทั้ง 2 ชุด สามารถต่อกันเป็นวงจรนับ 10 (หารด้วย 10) ดังนั้นการออกแบบวงจรหาร 10 จะมีรายละเอียดดังนี้ คือ หารด้วย 2 ก่อนแล้วจึงหารด้วย 5 (ต่อขา 12 เข้ากับขา 1) ซึ่งจะให้เอาต์พุตเป็นสัญญาณเลขฐานสอง (Binary Code Decimal) เรียงลำดับกันที่ขา 12, 9, 8 และ 11 โดยเลือกเอาต์พุตที่ขา 9 ที่ความถี่เท่ากับ 31.5 กิโลเฮิรตซ์ ในกรณีเดียวกันอีกช่วงหนึ่งจะได้ความถี่ลดลงเหลือ 31.5 กิโลเฮิรตซ์ การจัดขานี้จะแสดงในรายละเอียดของอุปกรณ์ของ ไอซีเบอร์ 74LS90

2) วงจรหารความถี่ 525 ของภาคซิงค์ทางแนวตั้ง (Vertical Sync)

การออกแบบวงจรหารความถี่จาก 31.5 กิโลเฮิรตซ์ ซึ่งรับมาจากภาคซิงค์ทางแนวนอนลดลงให้เหลือ 60 เฮิรตซ์สำหรับภาคซิงค์ทางแนวตั้งจะแบ่งออกเป็น 3 ช่วงของการหารความถี่ คือ หาร 3, หาร 7 และหาร 5

2.1) วงจรหาร 3

ไอซีเบอร์ 74LS90 จัดเป็นวงจรหาร 3 โดยวงจรนับจะต้องถูกรีเซตเป็น 0 เมื่อเอาต์พุตเป็นรหัสเลขฐานสองเป็น 3 (0011) วงจรนับต่อเป็นวงจรหาร 10 แบบรหัสเลขฐานสองแต่ขารีเซต 0 ส่วนอินพุต (ขา 2 และ 3) ต่อเข้ากับเอาต์พุต QA และ QB (ขา 12 และ 9) ตามลำดับส่วนรีเซต 9 ต่อลงกราวนด์เหมือนเดิมจะใช้รูปคลื่นที่ถูกหารด้วย 3 ที่ขา 9 เป็นแบบไม่สมมาตรจึงทำให้ความถี่นั้น

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้เพื่อการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลดลงเหลือ 10.47 เมกะเฮิรตซ์ รูปแบบการจัดขาจะแสดงในรายละเอียดของอุปกรณ์ของไอซีเบอร์ 74LS90

2.2) วงจรหาร 7

ไอซีเบอร์ 74LS90 เนื่องจากรหัสเลขฐานสองของ 7 คือ 0111 ดังนั้นจึงไม่สามารถรีเซตวงจรนับที่ 7 ด้วยขารีเซต 0 (Ro) มีเพียง 2 ขาได้เหมือนกับเลข 3, 6 และ 5 อย่างไรก็ตามยังจะสามารถทำให้วงจรหารด้วย 7 ได้ ถึงแม้จะไม่ได้ใช้ลำดับการนับแบบเลขฐานสองเหมือนการหารด้วยเลขอื่น โดยต่อรีเซต 0 ทั้งสองลงกราวนด์ และต่อเอาต์พุต QC และ QB เข้ากับขารีเซต 9 (ขา 6 และ 7) ตามลำดับ เพื่อให้เริ่มนับจาก 9 จนถึง 5 วงจรนับจะนับ 9, 0, 1, 2, 3, 4, 5, 9, 0, 1, 2, ... ไปเรื่อยๆ จะได้สัญญาณรูปคลื่นสี่เหลี่ยมแบบไม่สมมาตรออกขาเอาต์พุต QD ขา 11 โดยที่ความถี่นั้นลดลงเหลือ 1.5 กิโลเฮิรตซ์ ซึ่งมีรูปแบบการจัดขาจะแสดงในรายละเอียดของอุปกรณ์ของไอซีเบอร์ 74LS90

2.3) วงจรหาร 5

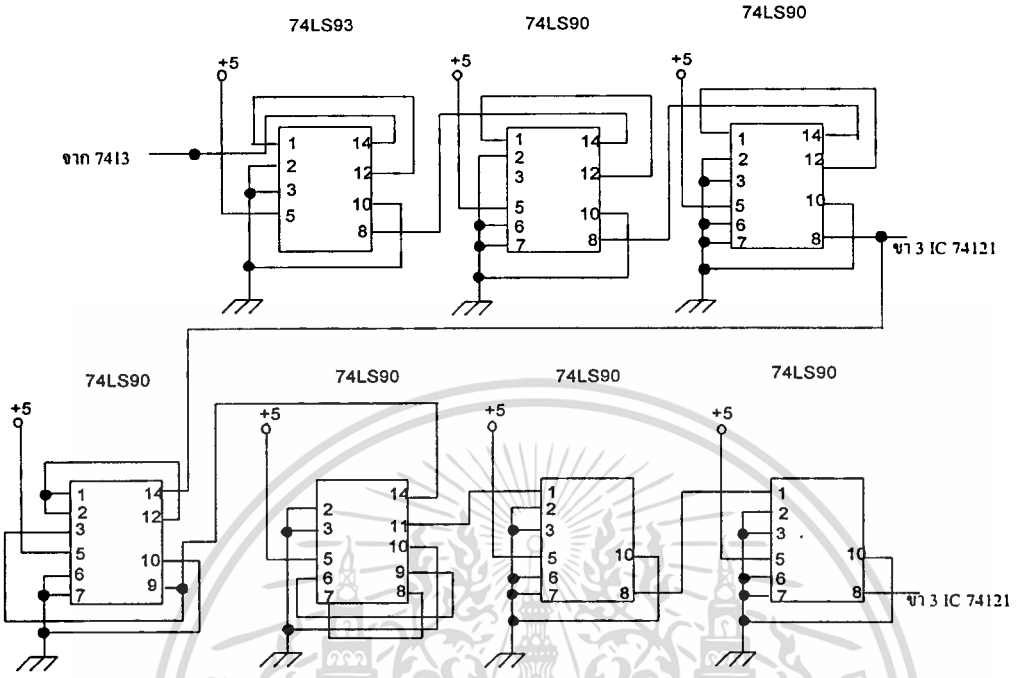
ไอซีเบอร์ 74LS90 ในภาคนี้จะรับความถี่เข้ามา 1.5 กิโลเฮิรตซ์ ซึ่งออกแบบให้ใช้อินพุต B ที่ขา 1 ในขณะที่ขารีเซต 0 (ขา 2 และ 3) ต่อลงกราวคน์เมื่อเอาต์พุตเลขฐานสองเป็น 5 (0101) ในส่วนของขารีเซต 9 (ขา 6 และ 7) ต่อลงกราวนด์จะได้รูปคลื่นที่ถูกหารด้วย 5 ที่ขา 8 เป็นแบบไม่สมมาตร และความถี่ลดลงเท่ากับ 299.12 เฮิรตซ์ ต่อเข้ากับวงจรหาร 5 ซึ่งมีหลักการเดียวกันได้ความถี่ 60 เฮิรตซ์

จากวงจรหารความถี่ ความถี่ที่ออกมาจะได้ค่าความถี่ตรงกับการใช้งานของภาคซิงค์ทั้งทางแนวตั้งและแนวนอน แต่ค่าดิวตี้ไซเกิ้ล จะต้องมีการปรับแต่งให้เข้ากับมาตรฐานของจอวีจีเอ (VGA) สัญญาณความถี่ที่ได้นี้จะต้องต่อเข้ากับภาคโมโนสเตเบิลมัลติไวเบรเตอร์ วงจรนับ 800 และ 525 สามารถออกแบบได้ดังรูปที่ 3.8

3.2.5 วงจรโมโนสเตเบิลมัลติไวเบรเตอร์

จะทำการปรับค่าดิวตี้ไซเกิ้ลของสัญญาณความถี่ภาคซิงค์ทางแนวนอน 31.5 กิโลเฮิรตซ์ และภาคซิงค์ทางแนวตั้ง 60 เฮิรตซ์ ให้ตรงกับมาตรฐานของจอวีจีเอ ในการออกแบบจึงเลือกใช้ไอซีเบอร์ 74121 ในการปรับดิวตี้ไซเกิ้ล ซึ่งไอซีเบอร์นี้จะทำหน้าที่เป็นวงจรโมโนสเตเบิลมัลติไวเบรเตอร์ในตัวเองเพียงแต่การกำหนดความกว้างของพัลส์ที่ได้ทางขา Q และ $\overline{Q}$ (ขา 6 และ 1) ซึ่งจะขึ้นอยู่กับค่าตัวเก็บประจุภายใน (ขา 10 และ 11 ต่อตัวเก็บประจุภายใน) ความต้านทานภายในร่วมกับ R1 (ตัวต้านทานต่ออนุกรมกับ VCC ต่อกับขา 9) ซึ่งความสัมพันธ์ของความกว้างของพัลส์กับค่าของ R1 ซึ่งคงที่ร่วมกับค่าของ C1ซึ่งจะเปลี่ยนแปลงแบ่งการทำงานออกเป็น 2 ช่วง คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรนับ 800 และ 525

1) ช่วงของสัญญาณ Sync Monitor

1.1) ช่วงของภาคซิงค์ทางแนวนอน 31.5 เมกะเฮิรตซ์ สามารถปรับค่าดิวตี้ไซเกิ้ลให้เหลือความกว้างของพัลส์เท่ากับ 3.81 ไมโครวินาที ที่เอาต์พุต $\overline{Q}$ ขา 1

1.2) ช่วงของภาคซิงค์ทางแนวตั้ง 60 เฮิรตซ์ ปรับค่าดิวตี้ไซเกิ้ล ให้เหลือความกว้างของพัลส์ ให้ ได้เท่ากับ 60 ไมโครวินาที ที่เอาต์พุต $\overline{Q}$ ขา 1

2) ช่วงของสัญญาณควบคุมการนับเส้นนับจุด

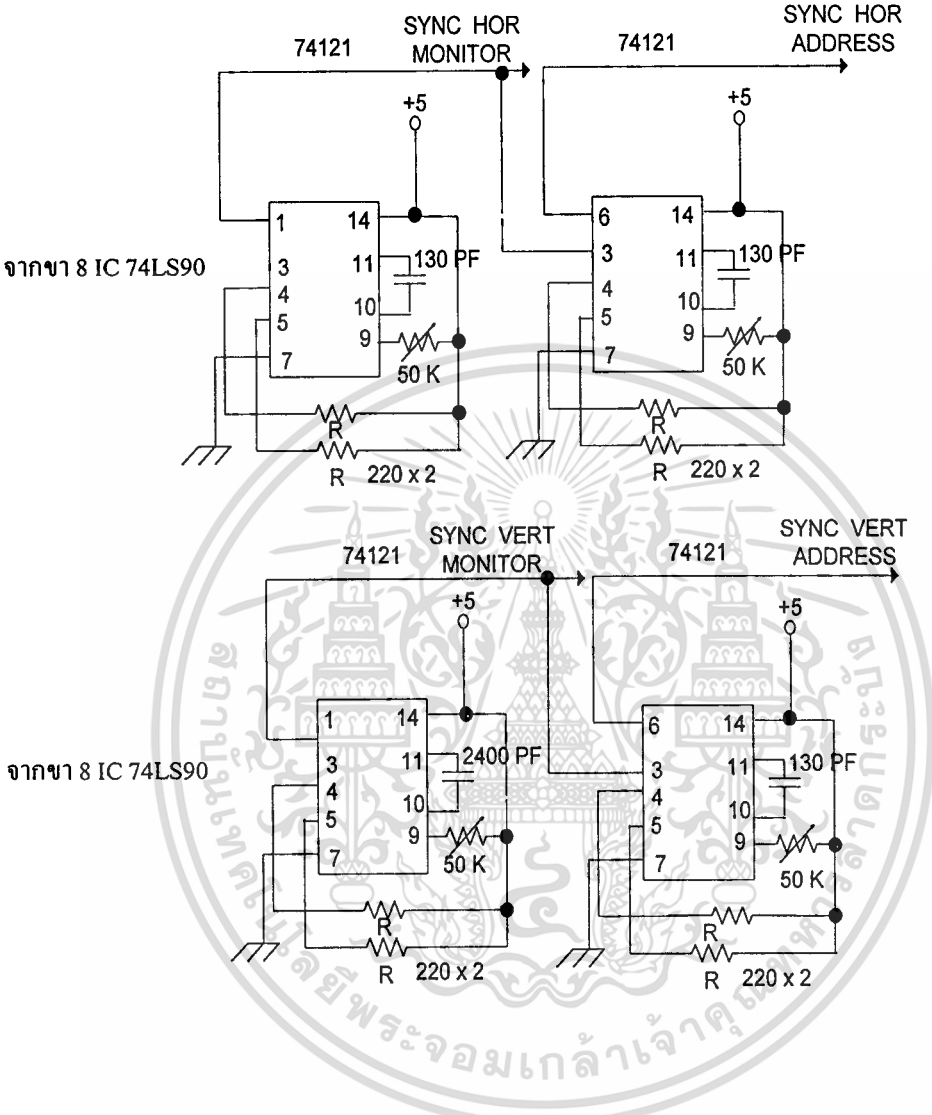
ซึ่งเป็นการนับสัญญาณของ Sync Monitor มาเป็นอินพุตของช่วงของสัญญาณควบคุมนับจุดนับเส้นเพื่อให้เป็นสัญญาณวิดีโอ

2.1) ช่วงของภาคซิงค์ทางแนวนอน 31.5 เมกะเฮิรตซ์ ปรับค่าดิวตี้ไซเกิ้ลให้เหลือความกว้างของพัลส์เท่ากับ 3.81 ไมโครวินาที ที่เอาต์พุต $\overline{Q}$ ขา 1

2.2) ช่วงของภาคซิงค์ทางแนวตั้ง 60 เฮิรตซ์ ปรับค่าดิวตี้ไซเกิ้ลให้เหลือความกว้างของพัลส์ ให้ ได้เท่ากับ 60 ไมโครวินาที ที่เอาต์พุต $\overline{Q}$ ขา 1

วงจรโมโนสเตเบิลมัลติไวเบรเตอร์ สามารถออกแบบได้ ดังรูปที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรโมโนสเตเบิลมัลติไวเบรเตอร์

3.2.6 วงจรแอดเดรสเจนเนอร์เรเตอร์

เป็นวงจรที่รับสัญญาณนาฬิกา 25.175 เมกะเฮิรตซ์ ที่ได้มาจากวงจรควบคุมของการนับจุดนับเส้น (Control Counter Dot and Counter Line) โดยภาคแอดเดรสเจนเนอร์เรเตอร์จะทำหน้าที่สร้างแอดเดรส สำหรับอ้างอิงตำแหน่งในการแสดงบนจอภาพ เพื่อที่จะนำข้อมูลภาพจากหน่วยความจำไปแสดงที่จอภาพ เนื่องจากจอภาพนี้ออกแบบให้มีจำนวนจุด 640 จุด ต่อ 1 เส้นและในหนึ่งจอภาพจะมี 480 เส้น ดังนั้นในการออกแบบเราต้องสร้างให้อ้างอิงตำแหน่งแอดเดรสทั้งสิ้น 640×480 = 307200 ตำแหน่ง ก็คือต้องสร้างวงจรนับ 0-307199 นั่นเอง

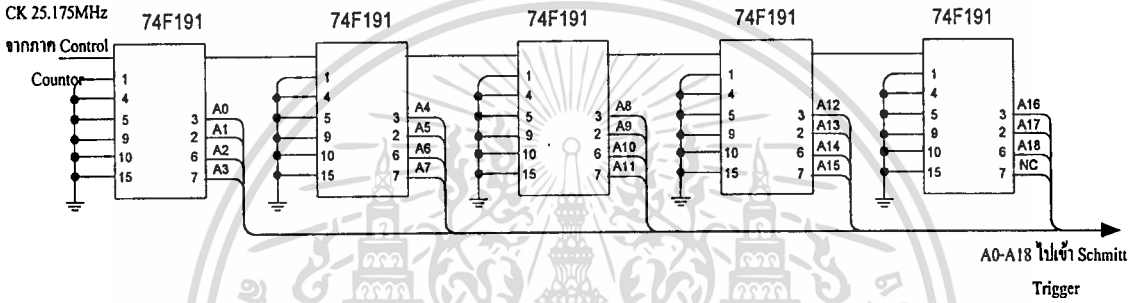
เอกสารนี้เป็นลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น โดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่นี้เลือกใช้ไอซีเบอร์ 74F191 ซึ่งเป็นไอซีวงจรนับแบบซิงโครนัส แต่ละตัวสามารถนับได้สูงสุด 4 บิต ที่เลือกใช้ไอซีเบอร์นี้เพราะสัญญาณริปเปิ้ลนาฬิกาเป็นเอาต์พุตที่ขา 14 สามารถนำไปต่อกับขา 13 ซึ่งเป็นขา สัญญาณนาฬิกาอินพุตให้ตัวถัดไป ซึ่งจะเป็นการต่อระหว่างไอซีแบบนี้จะเป็นการต่อแบบอะซิงโครนัสจากที่ต้องการวงจรนับ 0-307199 จะต้องใช้วงจรนับทั้งหมด

จาก $2^N = 307199$

$2^{19} = 524288$

ต้องใช้ 19 บิต โดยใช้ไอซีเบอร์ 74F191 ทั้งหมด 5 ตัว สามารถออกแบบ ได้ดังรูปที่ 3.10



รูปที่ 3.10 วงจรแอดเดรสเจนเนอร์เรเตอร์

ซึ่งในแต่ละแอดเดรสจะมีค่าดังต่อไปนี้

A0 = 12.5 เมกะเฮิรตซ์

A1 = 6.29 เมกะเฮิรตซ์

A2 = 3.15 เมกะเฮิรตซ์

A3 = 1.57 เมกะเฮิรตซ์

A4 = 786 กิโลเฮิรตซ์

A5 = 394 กิโลเฮิรตซ์

A6 = 196 กิโลเฮิรตซ์

A7 = 98.4 กิโลเฮิรตซ์

A8 = 49.1 กิโลเฮิรตซ์

A9 = 24.5 กิโลเฮิรตซ์

A10 = 12.3 กิโลเฮิรตซ์

A11 = 6.14 กิโลเฮิรตซ์

A12 = 3.06 กิโลเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A13 = 1.54 กิโลเฮิรตซ์

A14 = 768 เฮิรตซ์

A15 = 384 เฮิรตซ์

A16 = 192 เฮิรตซ์

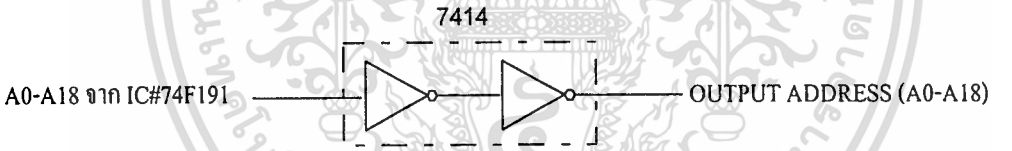
A17 = 96 เฮิรตซ์

A18 = 48 เฮิรตซ์

จากตำแหน่งที่แสดงนี้จะมีแอดเดรสที่ตำแหน่ง A12, A13, A15 และ A18 จะถูกส่งไปที่ภาคควบคุมการนับเส้น

3.2.7 วงจรชมิททริกเกอร์

เป็นวงจรที่ทำหน้าที่ แปลงสัญญาณแอนะลอกเป็นดิจิตอล หรือเปลี่ยนรูปสัญญาณที่อยู่ในรูปไซน์ให้อยู่ในรูปคลื่นสี่เหลี่ยมให้ใกล้เคียงมากที่สุด โดยที่จะรับสัญญาณจากไอซีที่ทำหน้าที่ Sychronous Binary Counter (74F191) มาปรับเปลี่ยนรูปคลื่นสัญญาณให้ใกล้เคียงคลื่นรูปสี่เหลี่ยม เพื่อป้องกันการผิดพลาดของสัญญาณ จะส่งไปภาคควบคุมการนับจุดและนับเส้น (Control Counter Dot and Counter Line) วงจรแสดงดังรูปที่ 3.11



รูปที่ 3.11 วงจรชมิททริกเกอร์

3.2.8 วงจรควบคุมการนับจุดและนับเส้น

ในวงจรนี้จะมีส่วนสำคัญในการควบคุมการสแกนบนจอภาพ เพราะว่าเป็นภาคที่ควบคุมวงจรแอดเดรสเจนเนอร์เรเตอร์ นับจุดให้ครบ 1 เส้น (640 จุด) และนับเส้นให้ครบ 1 หน้าจอ (480 เส้น) ซึ่งจะอาศัยสัญญาณต่างๆ เป็นสัญญาณควบคุมดังนี้คือ

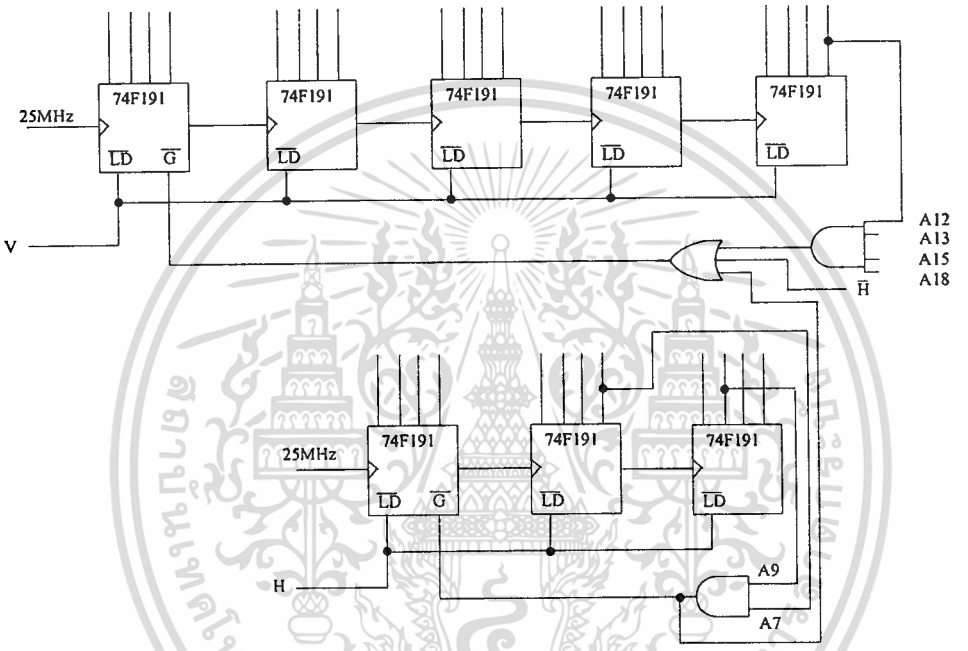
V-Sync ทำหน้าที่ เป็นสัญญาณรีเซตวงจรนับแอดเดรส

H-Sync ทำหน้าที่ เป็นสัญญาณเริ่มต้นนับแอดเดรสของแต่ละแถวและภาพ 1 ภาพ โดยจะเริ่มจากตั้งแต่สิ้นสุด V-Sync ลูกแรกจนถึงจุดเริ่มต้นสัญญาณ V-Sync ลูกถัดไป

เมื่อสัญญาณ V-Sync เข้ามาจะทำการรีเซตวงจรนับแอดเดรสแล้วเริ่มทำการนับจาก 0-639 (0000H-027FH) แล้วจึงหยุดนับโดยการป้อนกลับไปยังชุดแนนด์เกต เพื่อควบคุมฟลิปฟลอปให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่งลอจิก 0 ไปเข้าแนนด์เกตเพื่อต่อเอาต์พุตไปเป็น สัญญาณนาฬิกาให้วงจรนับจะทำให้วงจรนับหยุดนับรอ H-Sync ลูกต่อไปเพื่อนับต่อและชุดควบคุมการนับก็จะอาศัยหลักการออกแบบคล้ายกัน กล่าวคือ เมื่อนับถึงจุดสุดท้ายของจอ 307199 ซึ่งก็คือ 4AFFFH ใช้การป้อนกลับไปเข้าชุดควบคุมเพื่อใช้ควบคุมให้ฟลิปฟลอปส่งลอจิก 0 ไปยังแอนด์เกตที่ต่อเอาต์พุตเป็น สัญญาณนาฬิกา 25.175 เมกะเฮิรตซ์ ที่ส่งไปแอดเดรสเจนเนอร์เรเตอร์เพื่อทำการหยุดนับที่ตำแหน่งสุดท้ายของจอภาพ รอ V-Sync ลูกต่อไปรีเซตวงจรนับแอดเดรสเริ่มต้นการนับใหม่ วงจรสามารถแสดงได้ดังรูปที่ 3.12



รูปที่ 3.12 วงจรควบคุมการนับเส้นและนับจุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลอง และผลการทดลอง

ในการทดลองโครงงานที่ได้จัดทำขึ้น ที่ต้องใช้อุปกรณ์ประกอบในการทดลองมีดังนี้ คือ ฟังก์ชั่นเจนเนอเรเตอร์, ออสซิลโลสโคป โดยแบ่งการทดลองการทำงานของภาคต่างๆ ดังนี้

4.1 การทดสอบการทำงานของวงจรซิงค์เจนเนอร์เรเตอร์

4.1.1 ลำดับขั้นการทดลอง

1) วัดสัญญาณที่ออกจากวงจรออสซิลเลเตอร์

2) นำออสซิลโลสโคปวัดสัญญาณ H-Sync ที่ส่งไปยังจอภาพ

3) ทำการปรับ Trim pot วัดสัญญาณ H-Sync ให้ได้สัญญาณพัลส์ซึ่งมีความกว้างของพัลส์เท่ากับ 31.78 ไมโครวินาที และระยะห่างระหว่างพัลส์เท่ากับ 3.81 ไมโครวินาที

4) ทำการวัดสัญญาณ H-Sync ที่ส่งไปควบคุมส่วนควบคุมการนับจุดนับเส้น

5) ปรับ Trim pot วัดสัญญาณที่ส่งไปควบคุมส่วนควบคุมการนับจุดนับเส้น

6) นำออสซิลโลสโคปวัดสัญญาณ V-Sync ที่ส่งไปยังจอภาพ

7) ทำการปรับ Trim pot วัดสัญญาณ V-Sync ให้ได้สัญญาณพัลส์ซึ่งมีความกว้างของพัลส์ เท่ากับ 1.05 มิลลิวินาที และระยะห่างระหว่างพัลส์เท่ากับ 0.06 มิลลิวินาที

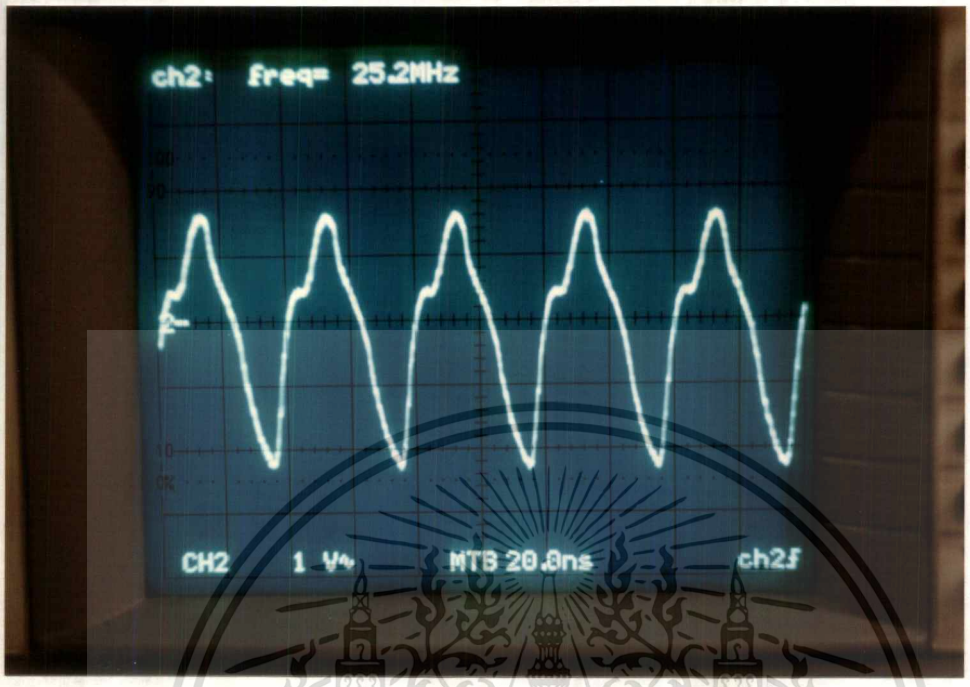
8) ทำการวัดสัญญาณ V-Sync ที่ส่งไปควบคุมส่วนควบคุมการนับจุดนับเส้น

9) ปรับ Trim pot วัดสัญญาณที่ส่งไปควบคุมส่วนควบคุมการนับจุดนับเส้น

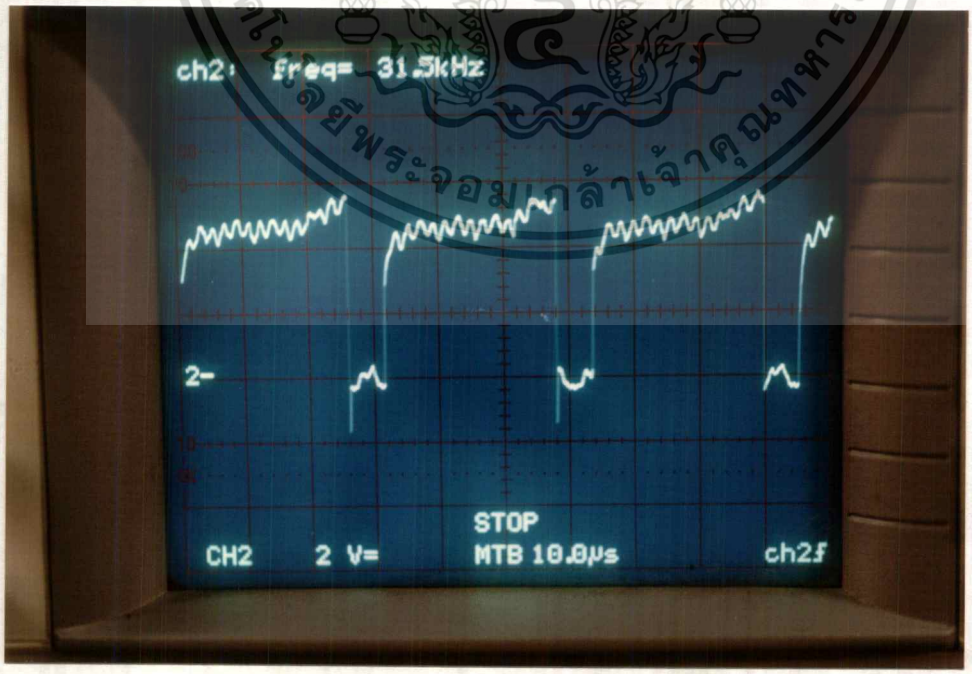
4.1.2 ผลการทดลอง

ผลการทดสอบการทำงานของวงจรซิงค์เจนเนอร์เรเตอร์จะได้ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



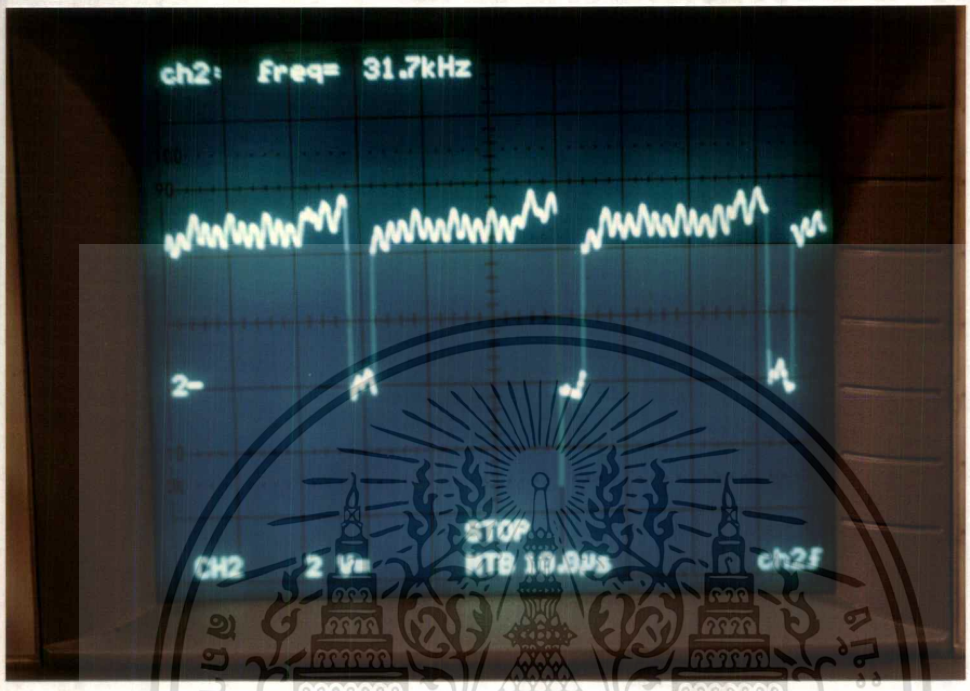
รูปที่ 4.1 สัญญาณออสซิลเลเตอร์ 25.175 เมกะเฮิรตซ์



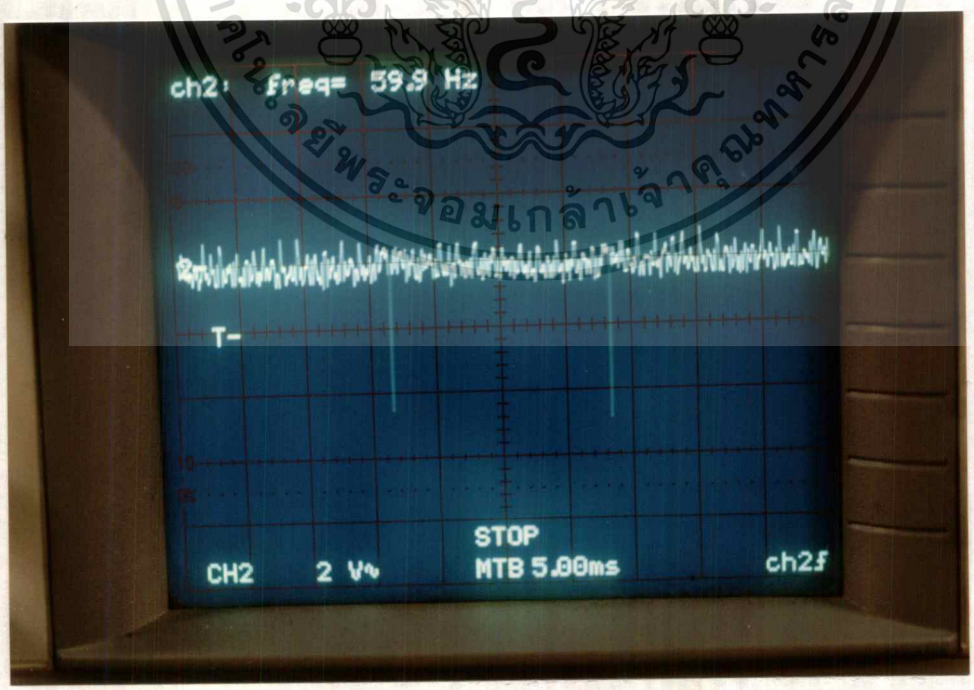
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 4.2 สัญญาณ H-Sync ที่ส่งไปจอภาพ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

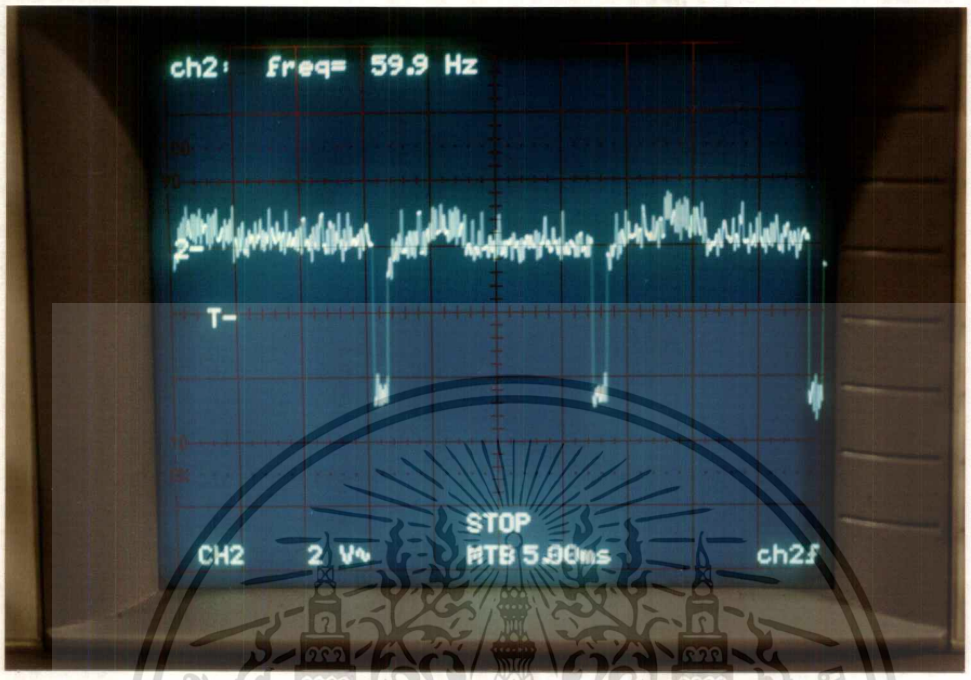


รูปที่ 4.3 สัญญาณ H-Sync ที่ส่งไปควบคุมการนับจุดนับเส้น



รูปที่ 4.4 สัญญาณ V-Sync ที่ส่งไปจอภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 สัญญาณ V-Sync ที่ส่งไปควบคุมการนับจุดนับเส้น

4.2 การทดสอบการทำงานของภาคแอดเดรสเจนเนอร์เรเตอร์

4.2.1 ลำดับขั้นการทดลอง

1) ป้อนสัญญาณจากวงจรออสซิลเลเตอร์ 25.175 เมกะเฮิรตซ์

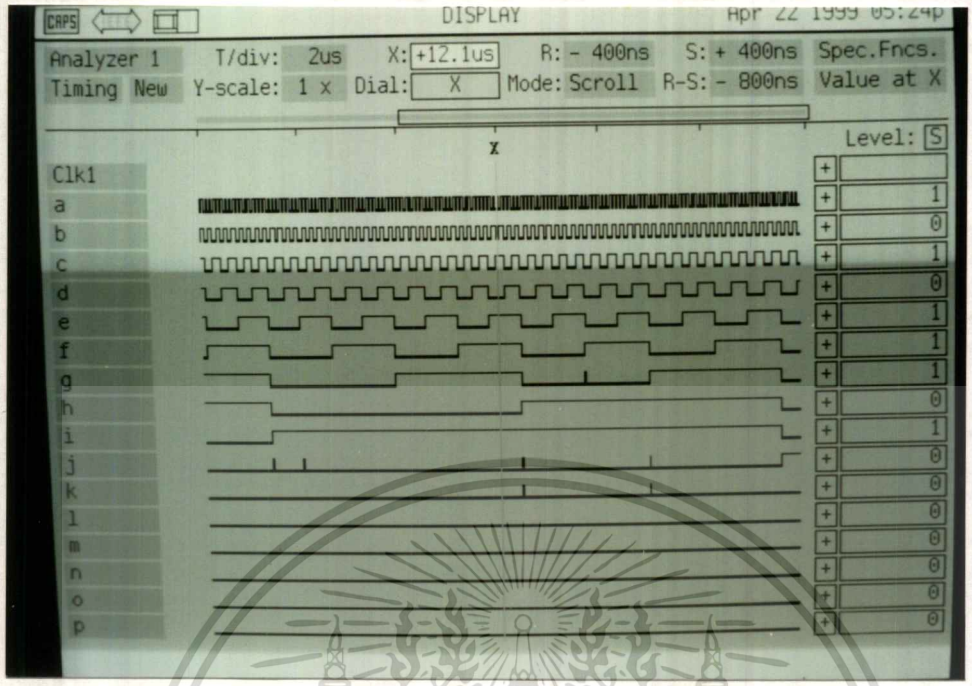
2) วัดสัญญาณในตำแหน่งแอดเดรส A0-A10

3) วัดสัญญาณในตำแหน่งแอดเดรส A10-A18

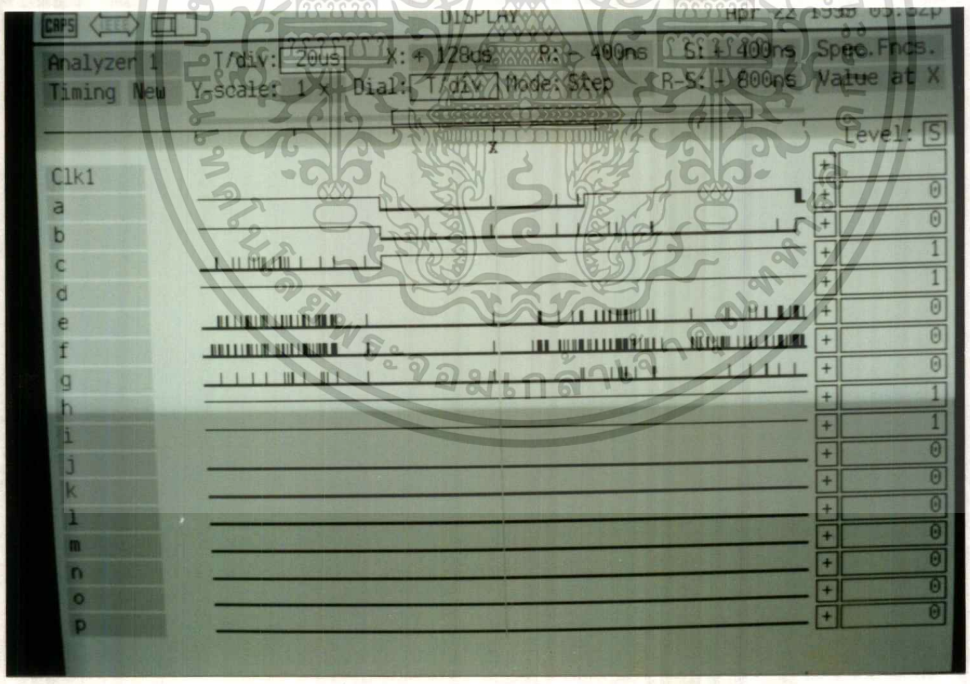
4.2.2 ผลการทดลอง

ผลการทดสอบการทำงานของภาคแอดเดรสเจนเนอร์เรเตอร์ จะได้รูปสัญญาณ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 สัญญาณแอดเดรส A0-A10



รูปที่ 4.7 สัญญาณแอดเดรส A10-A18

4.3 การทดสอบการทำงานของวงจรส่วนควบคุมการนับเส้นนับจุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1 ลำดับขั้นการทดลอง

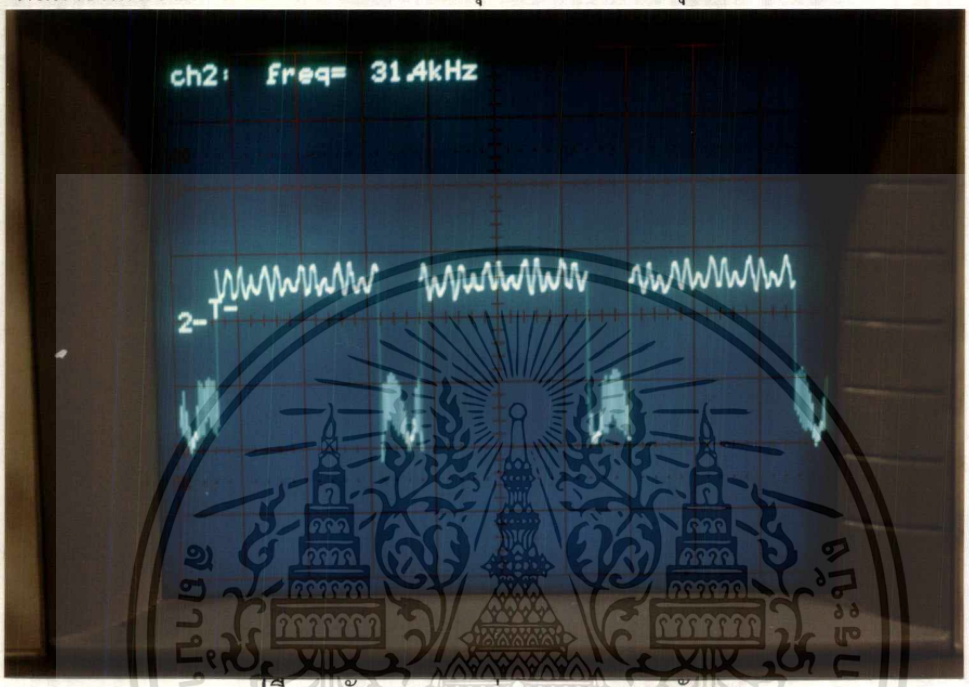
1) นำออสซิลโลสโคปวัดสัญญาณในส่วนของส่วนควบคุมการนับจุด

2) นำออสซิลโลสโคปวัดสัญญาณในส่วนของส่วนควบคุมการเส้น

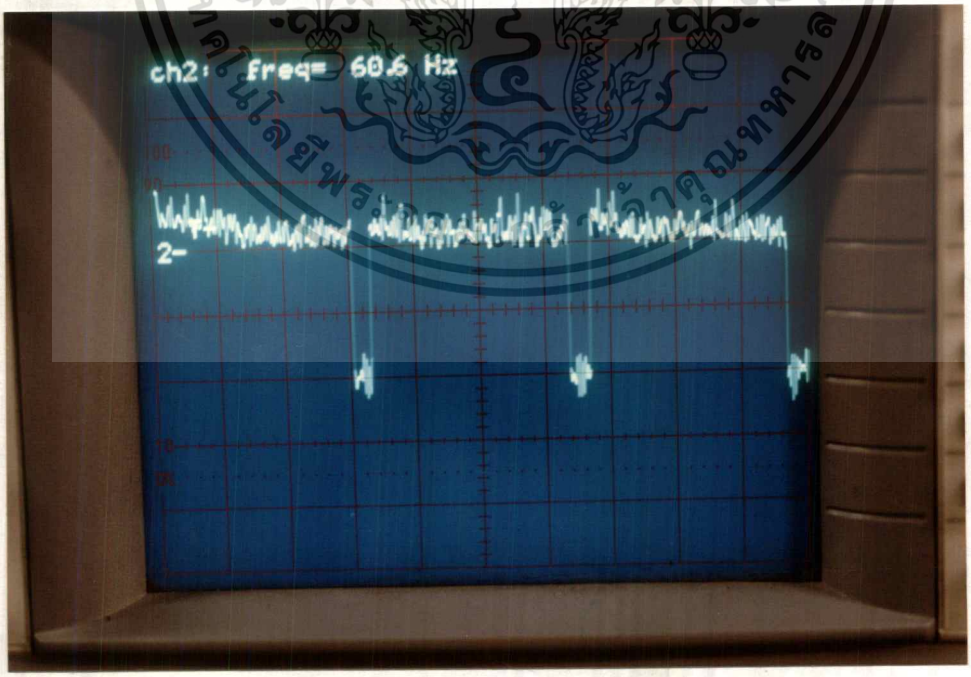
3) วัดสัญญาณที่ป้อนเข้าเป็นสัญญาณนาฬิกาให้กับแอดเดรสเจนเนอร์เรเตอร์

4.3.2 ผลการทดลอง

ผลการทดสอบการทำงานของส่วนควบคุมการนับเส้นนับจุดเป็นดังนี้

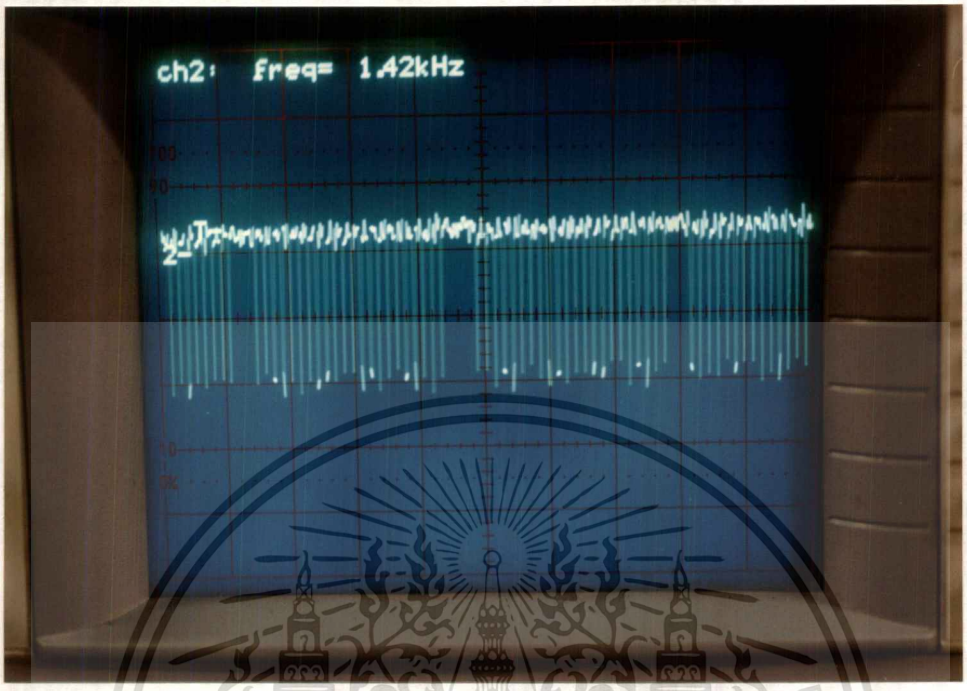


รูปที่ 4.8 สัญญาณจากส่วนควบคุมการนับจุด



รูปที่ 4.9 สัญญาณจากส่วนควบคุมการนับเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 สัญญาณที่ป้อนเข้าเป็นสัญญาณนาฬิกาให้ภาคแอดเดรสเจนเนอร์เรเตอร์

4.4 การทดลองภาคอินเตอร์เฟสซิงเกิลบอร์ด

4.4.1 ลำดับขั้นการทดลอง

1) ต่อแผง LED เข้ากับพอร์ต 8255 บนซิงเกิลบอร์ดของ ETT รุ่น CP-SB31

2) ต่อซิงเกิลบอร์ด CP-SB31 เข้ากับภาคอินเตอร์เฟสซิงเกิลบอร์ด

3) ปรับดิปสวิตช์ DIP 1 และ DIP 2 ให้ตรงกับตำแหน่ง 0C000H

4) ตั้ง Jumper J1 ไว้ที่ตำแหน่ง Y3

5) ต่อชุดอินเตอร์เฟสซิงเกิลบอร์ดเข้ากับ G-RAM

6) ต่อชุดอินเตอร์เฟสซิงเกิลบอร์ดเข้ากับ T-RAM

7) ทำการทดสอบการติดต่อกับ G-RAM โดยต่อจุดที่ 2 บนชุดอินเตอร์เฟสซิงเกิลบอร์ดและจุดที่ 1 บน G-RAM ลงกราวนด์

8) เขียนโปรแกรมทดสอบการติดต่อ G-RAM

9) ทำการทดสอบการติดต่อกับ T-RAM โดยต่อจุดที่ 3 บนชุดอินเตอร์เฟสซิงเกิลบอร์ดลงกราวนด์และต่อจุดที่ 2 กับ VCC

10) เขียนโปรแกรมเพื่อทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.2 ผลการทดลอง

1) หลังจากป้อนโปรแกรมทดสอบการติดต่อกับ G-RAM จะทำให้ LED ที่ต่อกับซิงเกิลบอร์ดจะติดกะพริบด้วยค่าข้อมูล 60 H สลับกับค่า 06 H

2) หลังจากป้อนโปรแกรมทดสอบการติดต่อกับ T-RAM จะทำให้ LED ที่ต่อกับซิงเกิลบอร์ดติดสว่างด้วยค่าข้อมูล คือ 0C3H

4.5 การทดลองภาคควบคุมการอินเตอร์เฟส

4.5.1 ลำดับขั้นการทดลอง

1) ต่อแผง LED เข้ากับพอร์ต 1 บนซิงเกิลบอร์ดของ ETT รุ่น CP-SB31

2) ต่อซิงเกิลบอร์ด CP-SB31 เข้ากับภาคควบคุมการอินเตอร์เฟส

3) ต่อชุดควบคุมการอินเตอร์เฟสเข้ากับ G-RAM

4) ต่อชุดควบคุมการอินเตอร์เฟสเข้ากับ T-RAM

5) ทำการทดสอบการติดต่อกับ G-RAM โดยต่อจุดที่ 4 บนชุดควบคุมการอินเตอร์เฟสและจุดที่ 1 บน G-RAM ลงกราวนด์

6) เขียนโปรแกรมทดสอบการติดต่อ G-RAM

7) ทำการทดสอบการติดต่อกับ T-RAM โดยต่อจุดที่ 5 บนชุดควบคุมการอินเตอร์เฟสลงกราวนด์และต่อจุดที่ 4 กับ VCC

8) เขียนโปรแกรมเพื่อทดสอบ

4.5.2 ผลการทดลอง

1) หลังจากป้อนโปรแกรมทดสอบการติดต่อกับ G-RAM จะทำให้ LED ที่ต่อกับซิงเกิลบอร์ดจะติดกะพริบด้วยค่าข้อมูล 0AA H สลับกับค่า 07 H

2) หลังจากป้อนโปรแกรมทดสอบการติดต่อกับ T-RAM จะทำให้ LED ที่ต่อกับซิงเกิลบอร์ดติดสว่างด้วยค่าข้อมูลคือ 0C3H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา

5.1 บทสรุป

การ์ด VGA สำหรับเชื่อมต่อกับซิงเกิลบอร์ด ที่จัดทำขึ้นแบ่งออกเป็น 5 ส่วนสำคัญ คือ

ส่วนที่ 1 คือ การสร้างชุดเชื่อมต่อกับซิงเกิลบอร์ด

ส่วนที่ 2 คือ การสร้างชุดเชื่อมต่อภาคควบคุม

ส่วนที่ 3 คือ การสร้างชุด G-RAM

ส่วนที่ 4 คือ การสร้างชุด T-RAM

ส่วนที่ 5 คือ การสร้างชุดเจนเนอร์เรเตอร์

โดยการสร้างชุดเจนเนอร์เรเตอร์ จะให้สัญญาณทั้ง HOR และ VER ได้อย่างถูกต้อง และชุดอื่นๆ ก็ทำงานได้แต่จะมีสัญญาณรบกวนเนื่องจากการใช้ความถี่สูง

5.2 ปัญหาที่เกิดขึ้นในการจัดทำโครงงาน

ในการจัดทำโครงงานการ์ด VGA สามารถที่จะสรุปปัญหาที่เกิดขึ้นได้ดังนี้

1. ข้อมูลเกี่ยวกับทฤษฎีของการ์ด VGA มีน้อย
2. ภาคเจนเนอร์เรเตอร์ มีความถี่สูง อุปกรณ์ที่ใช้นั้นมีข้อจำกัด
3. อุปกรณ์ในวงจรบางตัวไม่มีขายในท้องตลาด
4. การทดลองวงจรบนโฟโต้บอร์ดจะเกิดสัญญาณรบกวนมาก
5. การปรับแต่งวงจรบางส่วนทำได้ยาก และการตรวจสอบสัญญาณบางจุดทำได้ยาก

5.3 แนวทางการแก้ไข และการพัฒนา

1. จัดหาข้อมูลเกี่ยวกับทฤษฎีของการ์ด VGAจากหนังสือภาษาอังกฤษและจากอินเตอร์เน็ต

2. อุปกรณ์ในวงจรบางตัวที่ไม่มีขายในท้องตลาด ก็ให้ใช้อุปกรณ์ที่มีค่าใกล้เคียงและมีค่าความผิดพลาดต่ำ

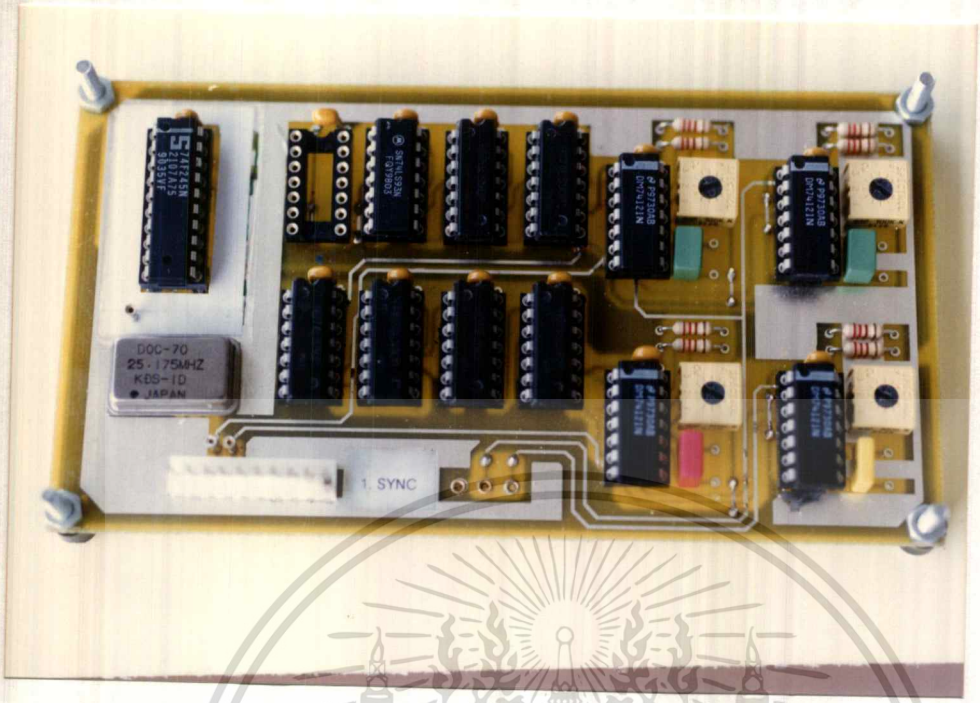
3. การทดลองให้ทดลองบนวงจรพิมพ์เพื่อแก้ปัญหาสัญญาณรบกวน

4. การออกแบบลายวงจร ต้องคำนึงถึงผลของลายวงจรพิมพ์ซึ่งมีผลกระทบต่อความถี่ซึ่งทำให้เกิดการผิดเพี้ยนของสัญญาณได้

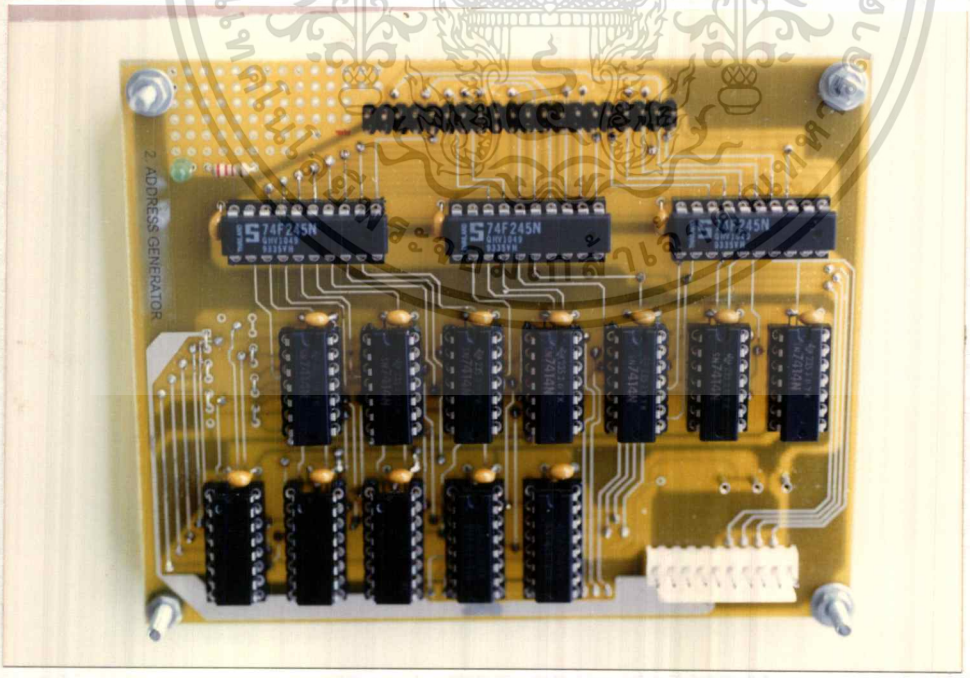
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก
รูปต้นแบบการ์ด VGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

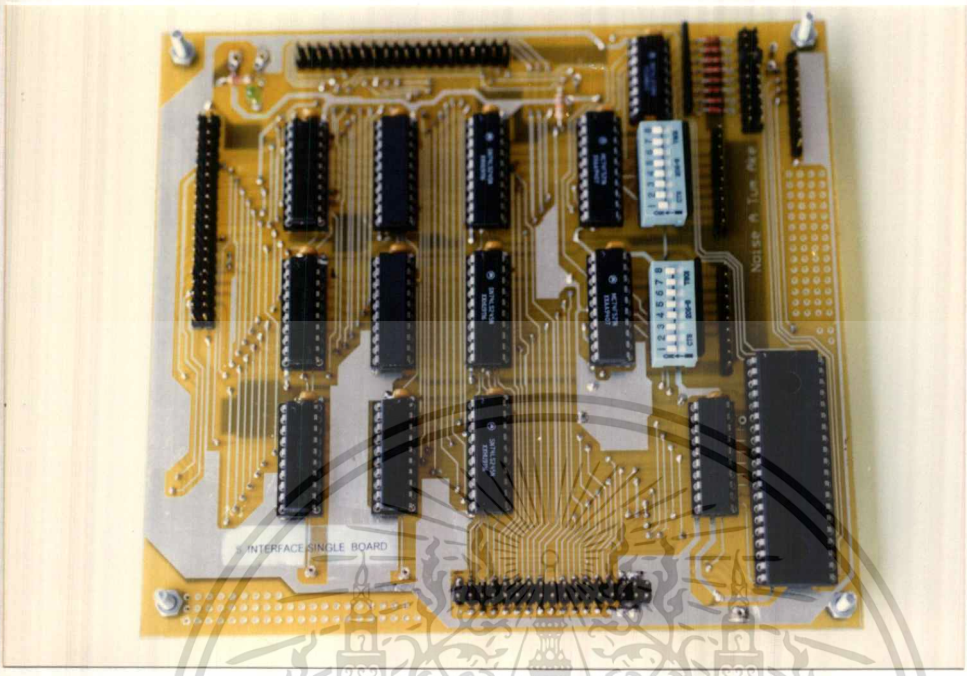


รูปที่ ก.1 วงจรซิงค์

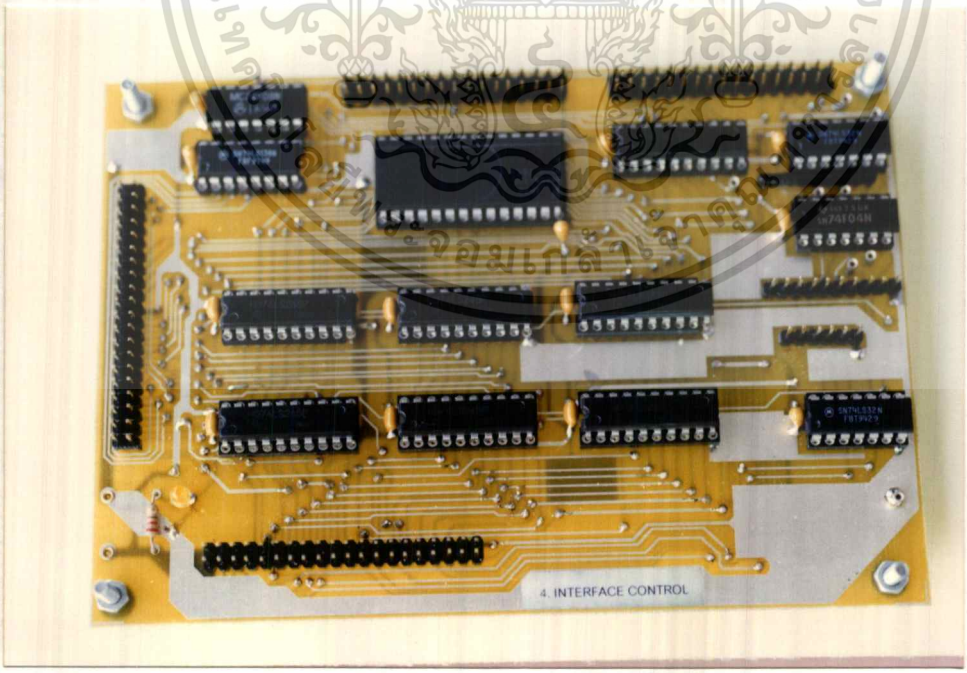


รูปที่ ก.2 วงจรแอดเดรสเจนเนอร์เรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

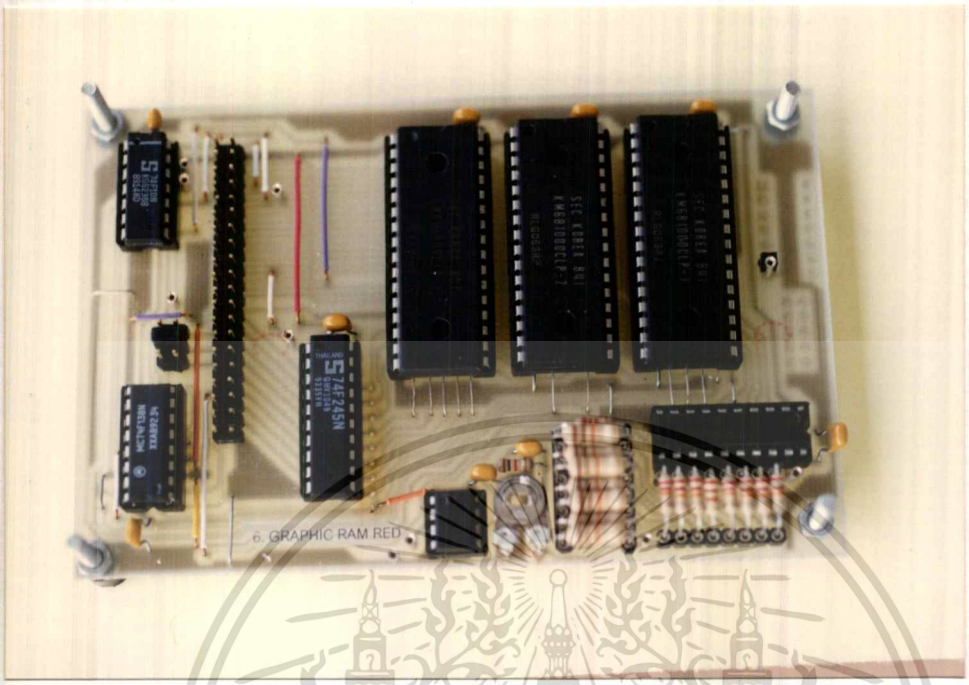


รูปที่ ก.3 วงจรอินเตอร์เฟสซิงเกิลบอร์ด

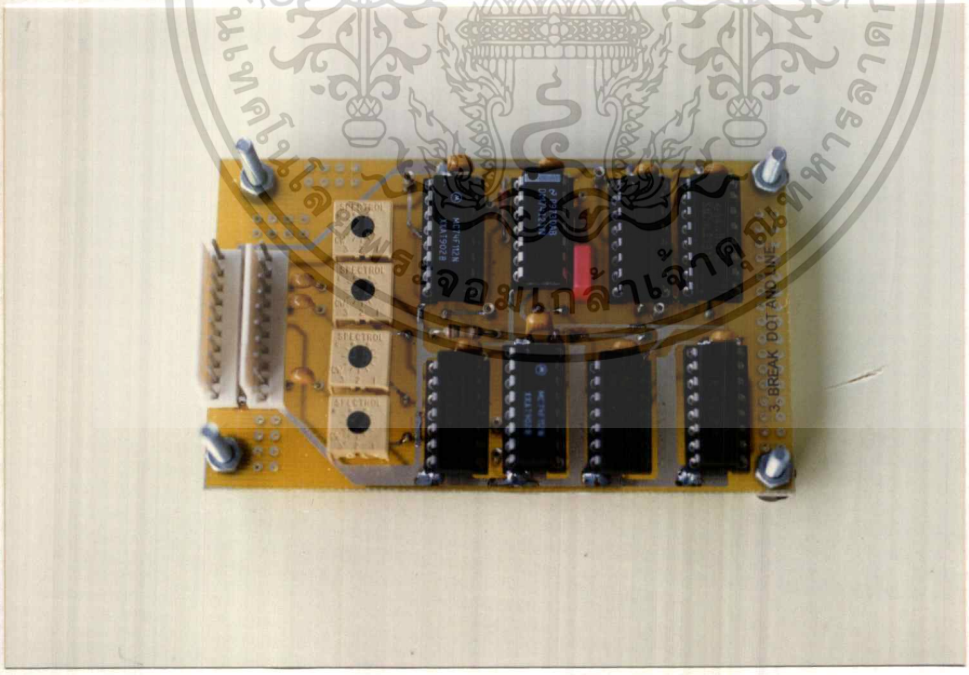


รูปที่ ก.4 วงจรควบคุมการอินเตอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

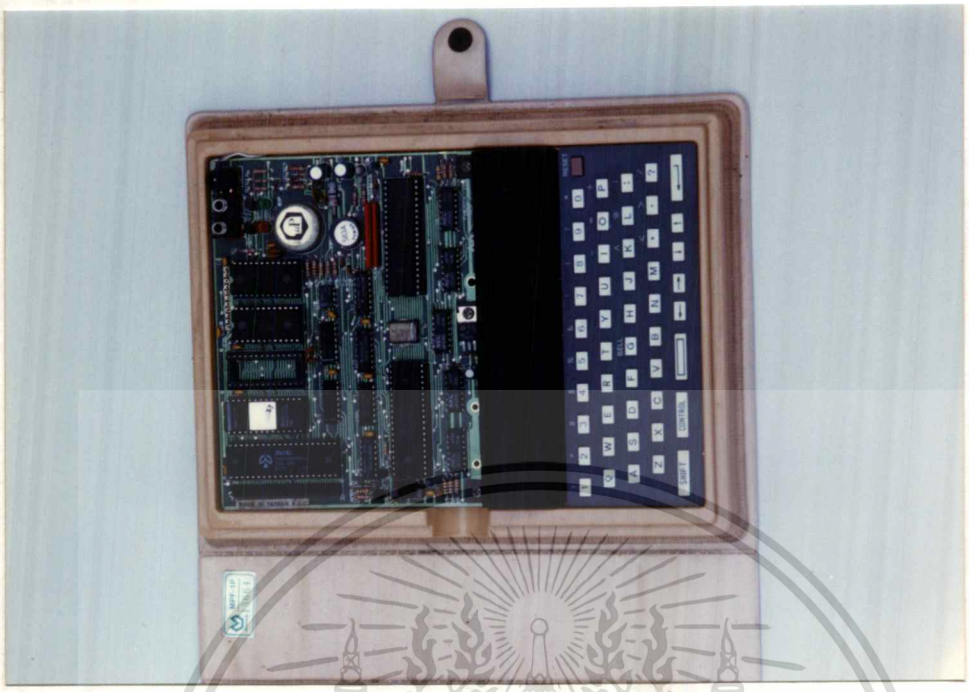


รูปที่ ก.5 วงจรกราฟฟิกแรม



รูปที่ ก.6 วงจรนับเส้นและนับจุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.7 ตัวอย่างซิงเกิลบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

โปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
PORTA       EQU   0C000H
PORTB       EQU   0C001H
PORTC       EQU   0C002H
CONTROL     EQU   0C003H
DISPLAY     EQU   0E0E0H
CON_DISP    EQU   0E0E3H
            ORG   2200H
            LCALL DELAY
            MOV   DPTR,#CON_DISP
                        ;CONTROL WORD OF OUTPUT
            MOV   A,#80H
            MOVX  @DPTR,A
            MOV   DPTR,#CONTROL
                        ;CONTROL WORD OF SET G_RAM
            MOV   A,#80H
            MOVX  @DPTR,A
            MOV   DPTR,#PORTA
            MOV   A,#00H
                        ;CONNECT G_RAM
            MOVX  @DPTR,A
            MOV   DPTR,#PORTB
            MOV   A,#7DH
                        ;GRAPHIC MODE AND SELECT COLOR
            MOVX  @DPTR,A
                        ;BANK
            MOV   DPTR,#6500H
            MOV   A,#060H
                        ;SEND DATA
            MOVX  @DPTR,A
            MOV   DPTR,#7FFFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV         A,#06H
                                        ;SEND  DATA
                MOVX        @DPTR,A
                MOV         A,#00H
                                        ;CLEAR  A
LOOP_READ:      MOV         DPTR,#6500H
                MOVX        A,@DPTR
                                        ;READ  A
                MOV         DPTR,#DISPLAY
                                        ;OUT  A AT  8255
                MOVX        @DPTR,A
                LCALL       DELAY
                MOV         DPTR,#7FFFH
                MOVX        A,@DPTR
                                        ;READ  A
                MOV         DPTR,#DISPLAY
                                        ;OUT  A AT  8255
                MOVX        @DPTR,A
```

รูปที่ ข.1 โปรแกรมการทดสอบภาคอินเตอร์เฟสซิงเกิลบอร์ด

```
                ORG         00H
                PORTA       EQU   0E0E0H
                PORTB       EQU   0E0E1H
                PORTC       EQU   0E0E2H
                CONTROL     EQU   0E0E3H
                LCALL       DELAY
                                        ; TIME SETTING CHIP 8255
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV         DPTR,#CONTROL
                MOV         A,#80H
                                        ;SET  MODE  8255
                MOVX        @DPTR,A
                MOV         DPTR,#PORTA
                MOV         A,#00H
                                        ;SELECT  block
                MOVX        @DPTR,A
                MOV         DPTR,#PORTB
                MOV         A,#07DH
                                        ;07EH FOR GRAPHIC  , 0FEH  FOR  TEXT
                MOVX        @DPTR,A
                                        ;IF MCS CONNECT SB
                                      ;IF MCS CONNECT CONTROL IT DON'T CARE
OUT_DATA:       MOV         DPTR,#0000H
                MOV         A,#0aaH
                                        ;DATA 1
                MOVX        @DPTR,A
                MOV         A,#00H
                                        ;CLEAR REGISTER A
                MOV         DPTR,#0000H
                                        ;READ  DATA
                MOVX        A,@DPTR
                MOV         P1,A
                LCALL       DELAY
                lcall       delay
                MOV         DPTR,#4000H
                MOV         A,#07H
                                        ;DATA 2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOVX    @DPTR,A
        MOV     A,#00H
                        ;CLEAR REGISTER A
        MOV     DPTR,#4000H
                        ;READ  DATA
        MOVX    A,@DPTR
        MOV     P1,A
        LCALL   DELAY
        lcall   delay
        LJMP    OUT_DATA
DELAY:  PUSH    00H
        PUSH    01H
        MOV     R0,#00H
DEL:    MOV     R1,#00H
        DJNZ    R1,$
        DJNZ    R0,DEL
        POP     01H
        POP     00H
        RET

        END
```

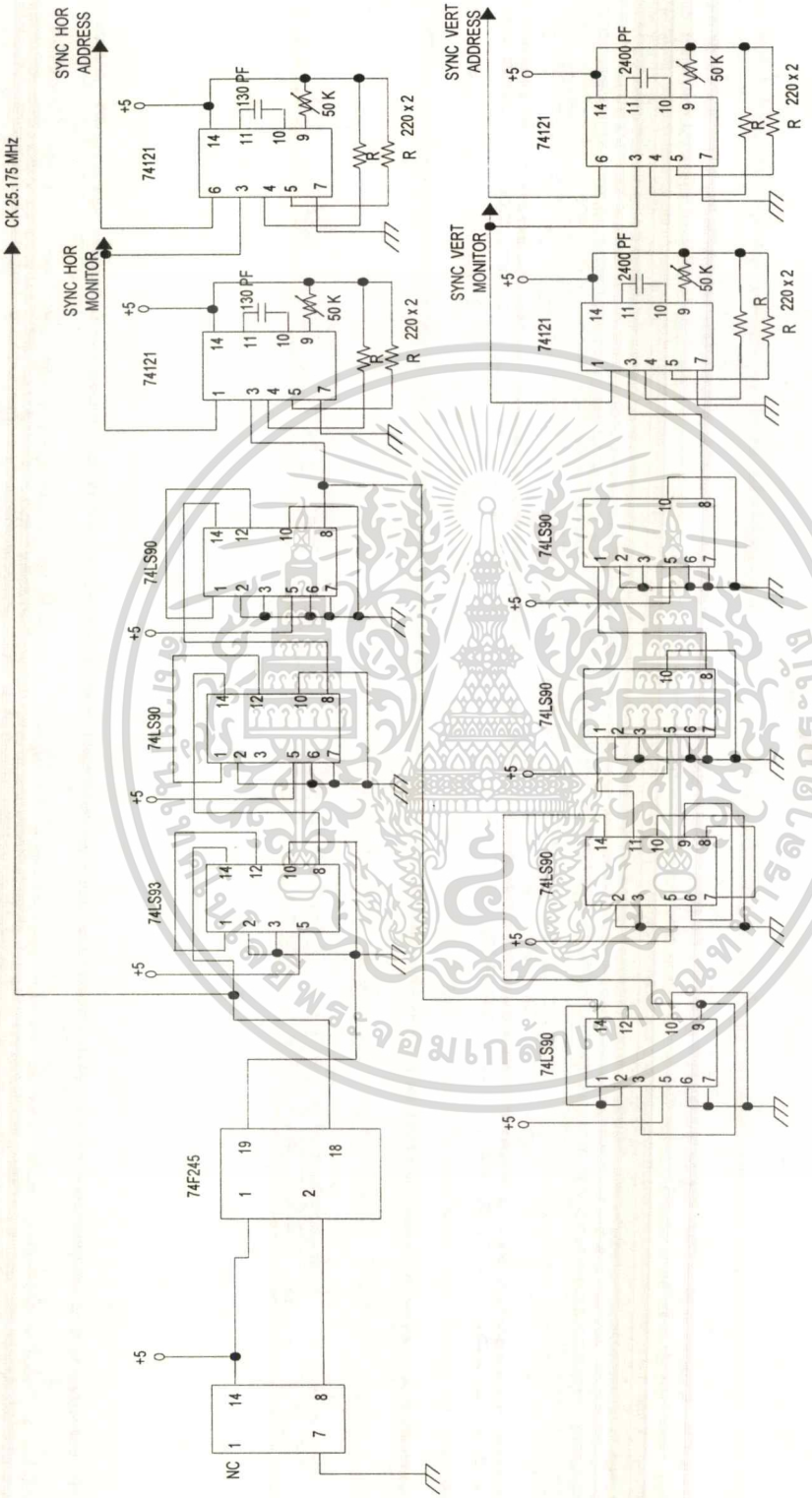
รูปที่ ข.2 โปรแกรมการทดสอบภาคควบคุมการอินเตอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

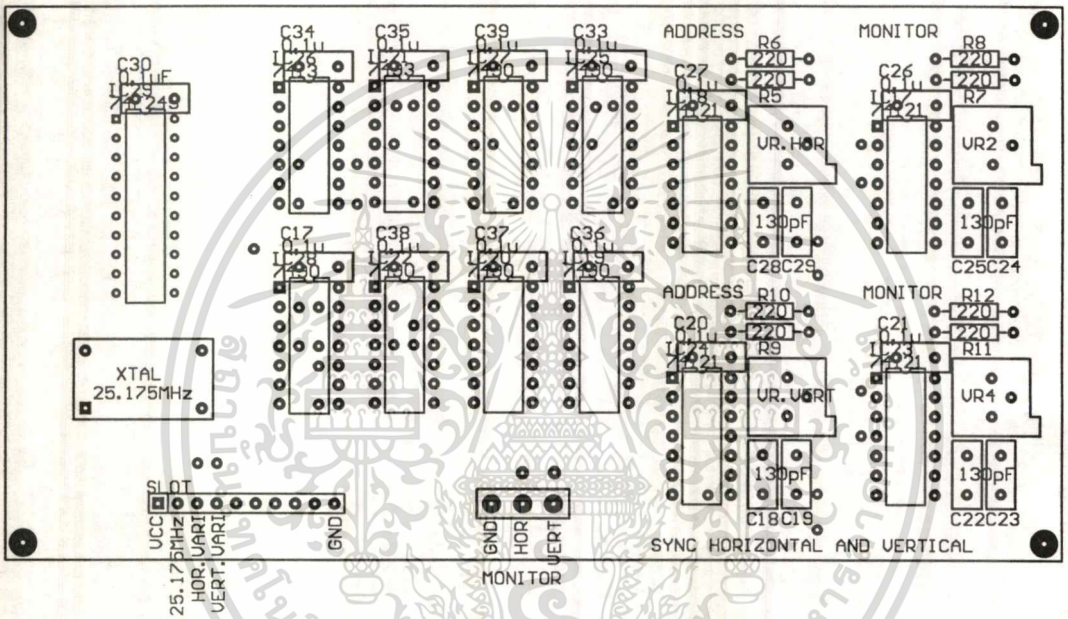
วงจรและแผ่นวงจรพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



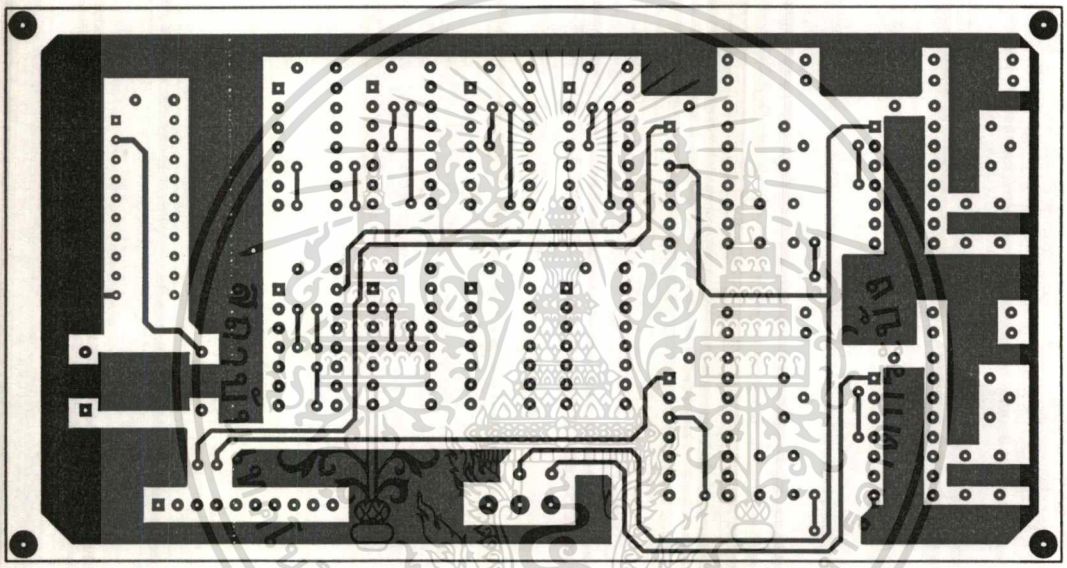
รูปที่ ค.1 วงจร Sync Monitor และ Sync Variable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



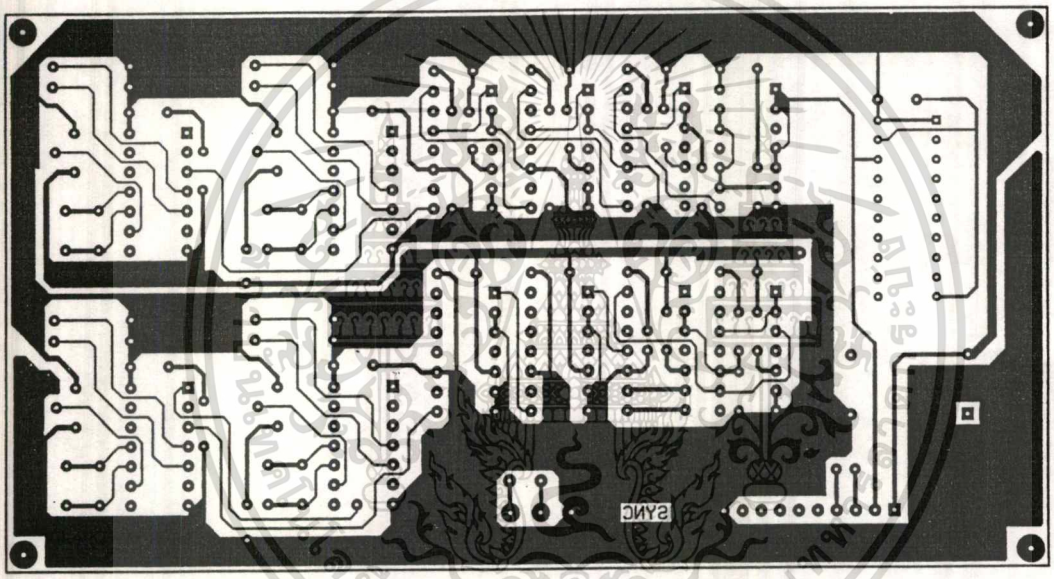
รูปที่ ค.2 การวางอุปกรณ์บนวงจร Sync Monitor และ Sync Variable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



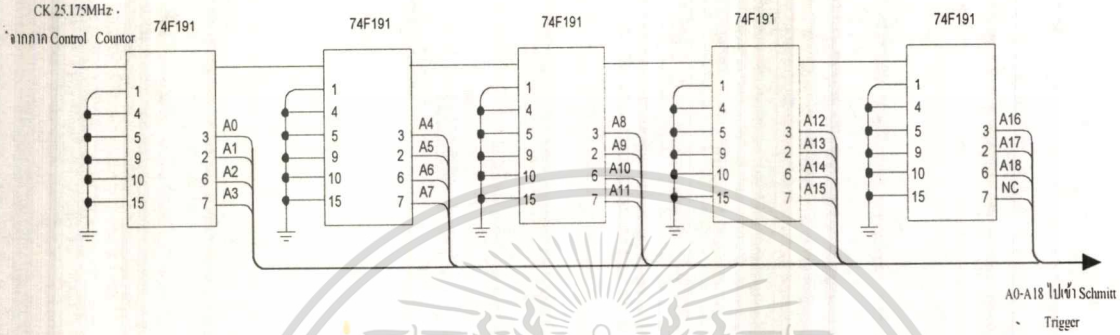
รูปที่ ค.3 ลายวงจรพิมพ์ด้านบนวงจร Sync Monitor และ Sync Variable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



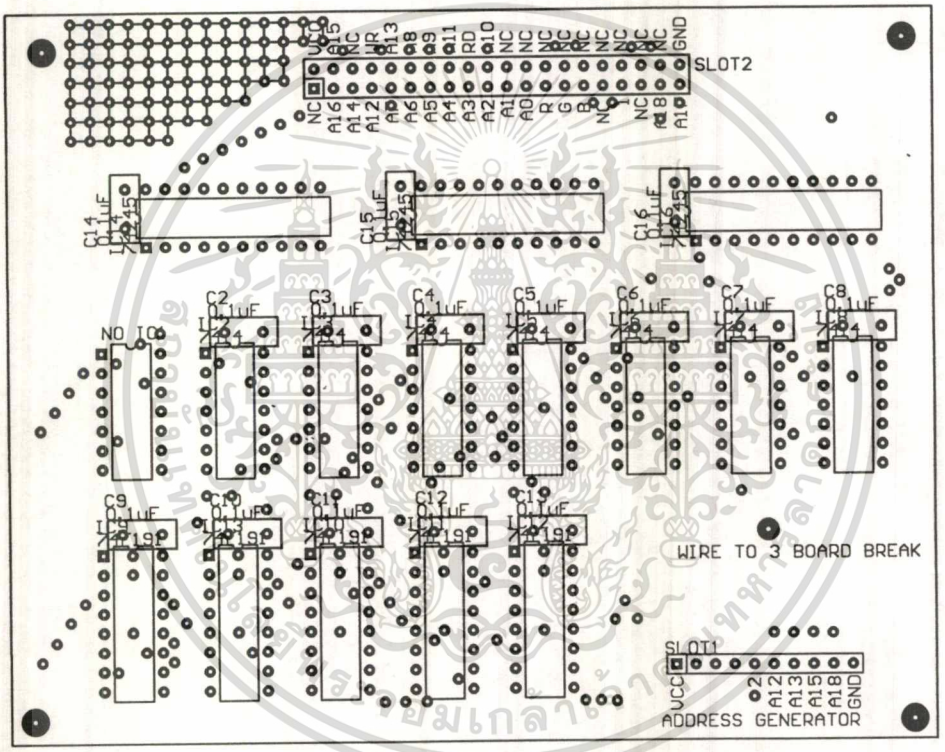
รูปที่ ค.4 ลายวงจรพิมพ์ด้านล่างวงจร Sync Monitor และ Sync Variable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



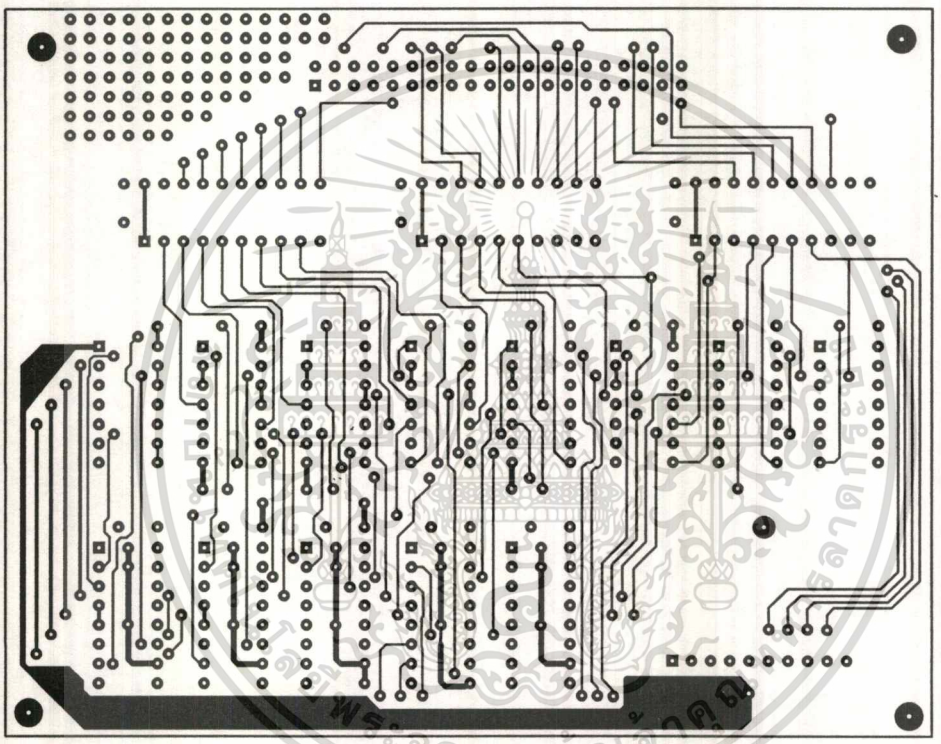
รูปที่ ค.5 วงจรแอดเดรสเจนเนอร์เรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



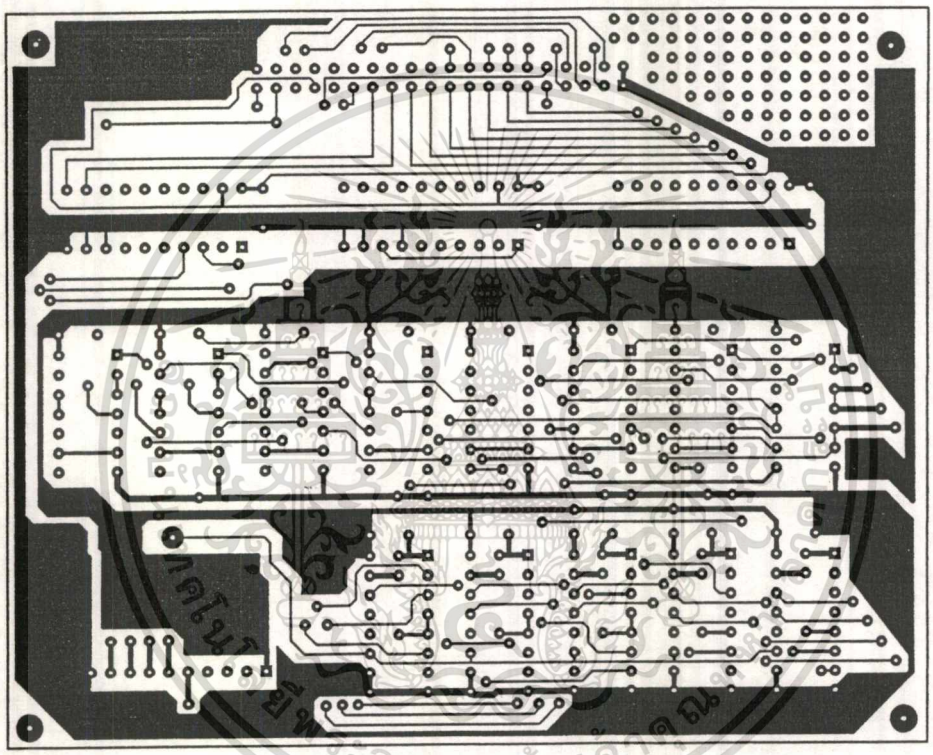
รูปที่ ค.6 การวางอุปกรณ์บนวงจรแอดเดรสเจนเนอร์เรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



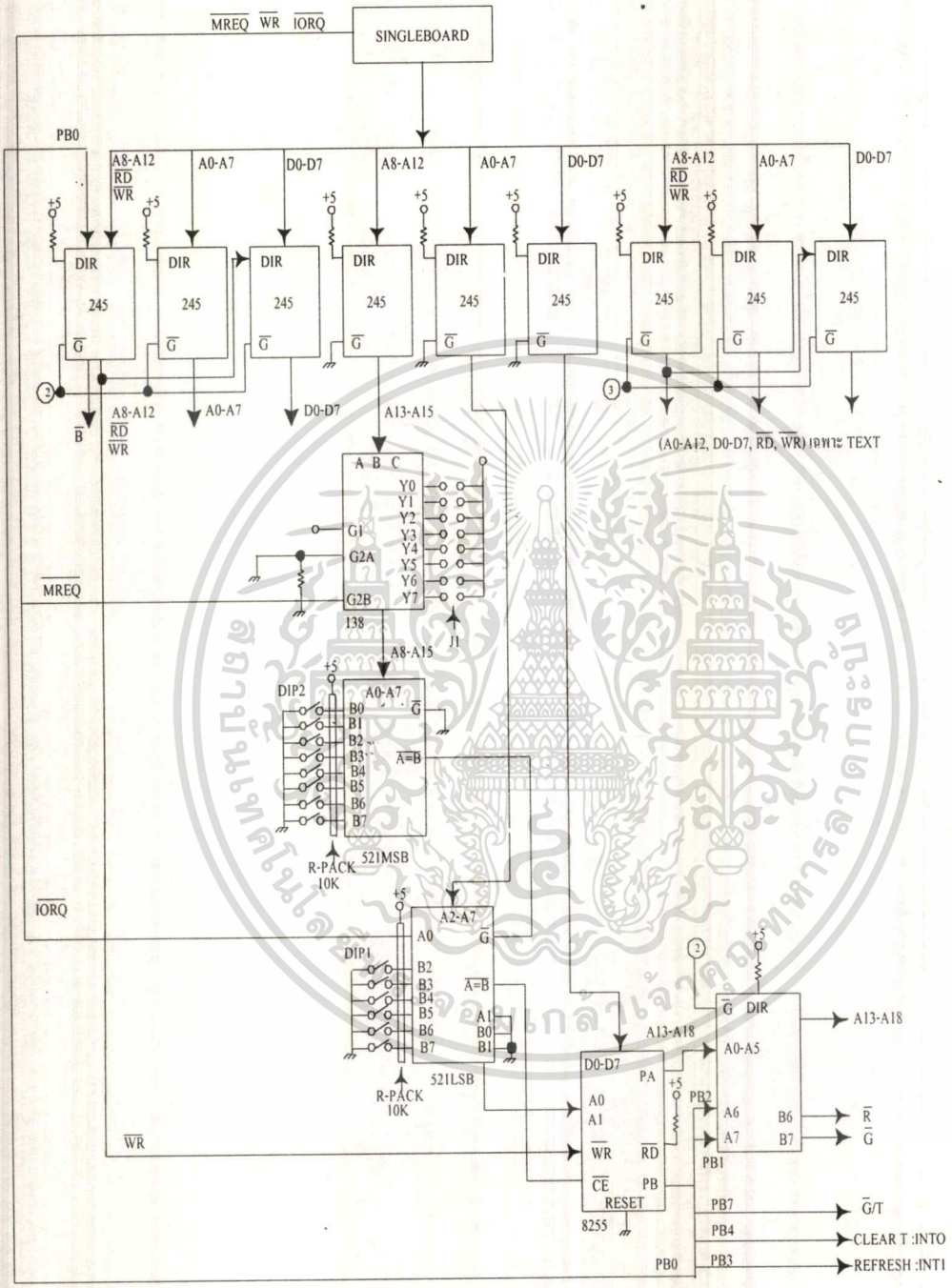
รูปที่ ค.7 ลายวงจรพิมพ์ด้านบนวงจรแอดเดรสเจนเนอร์เรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



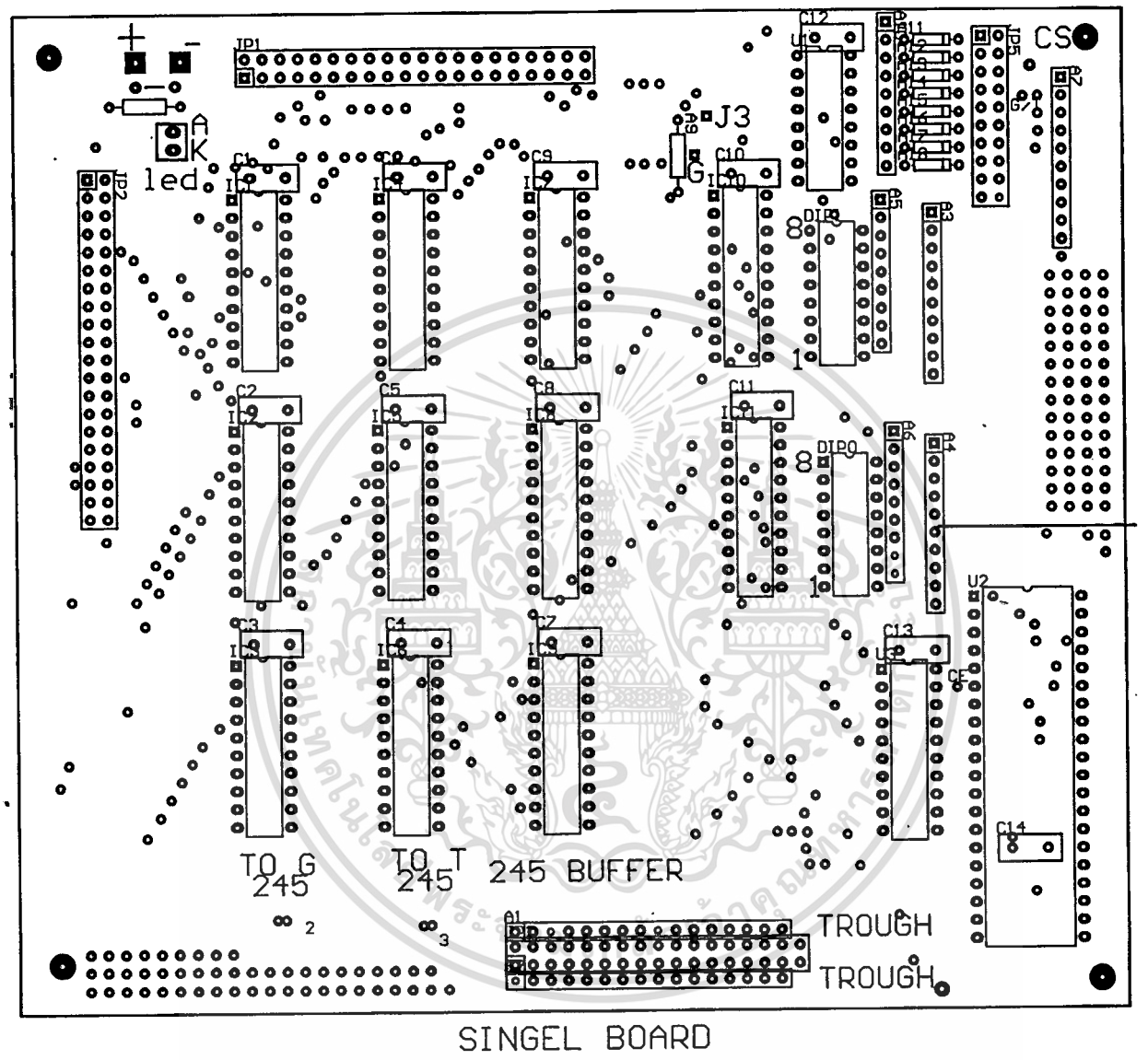
รูปที่ ค.8 ลายวงจรพิมพ์ด้านล่างวงจรแอดเดรสเจนเนอร์เรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



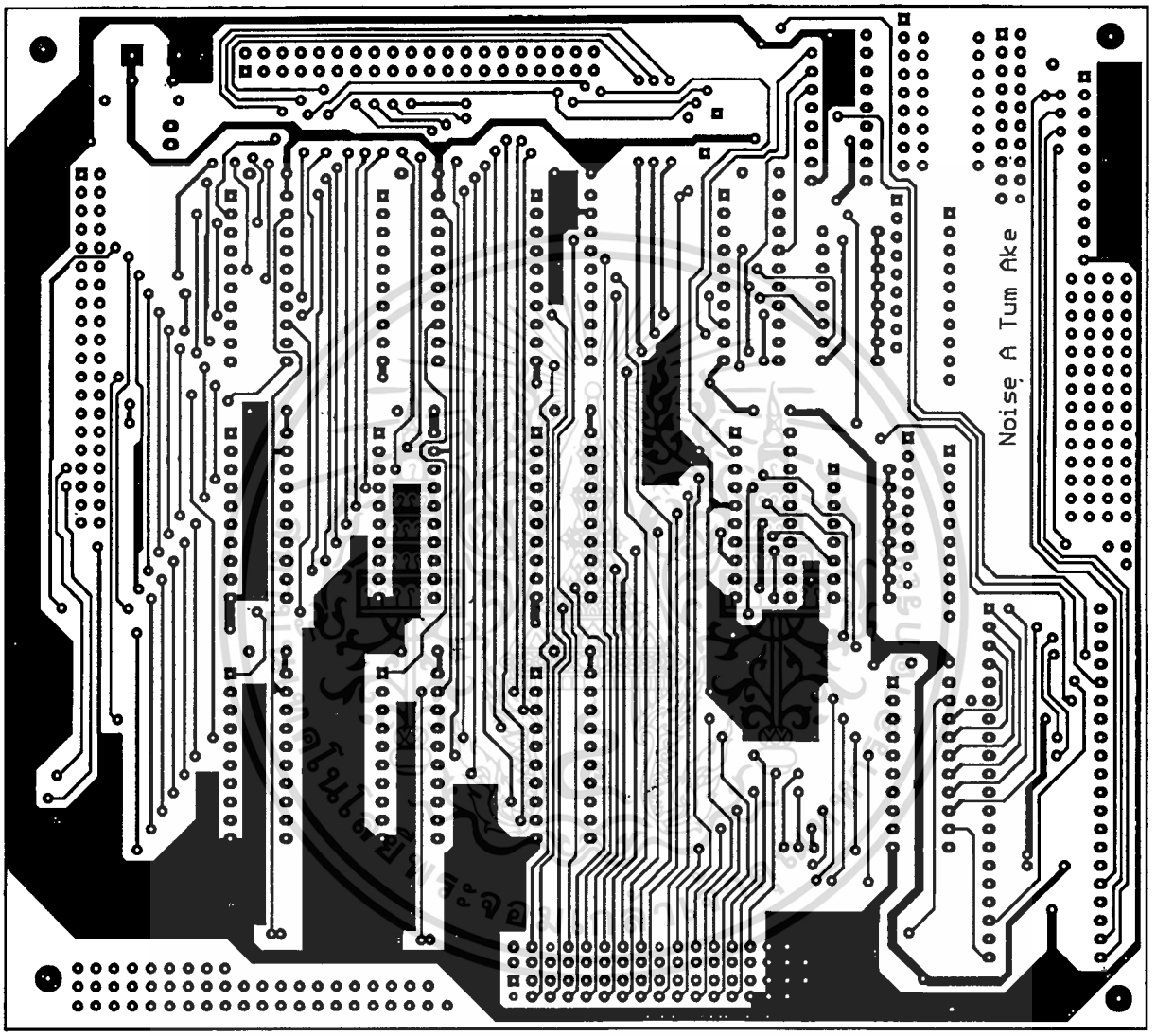
รูปที่ ค.9 วงจรอินเตอร์เฟสซิงเกิลบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



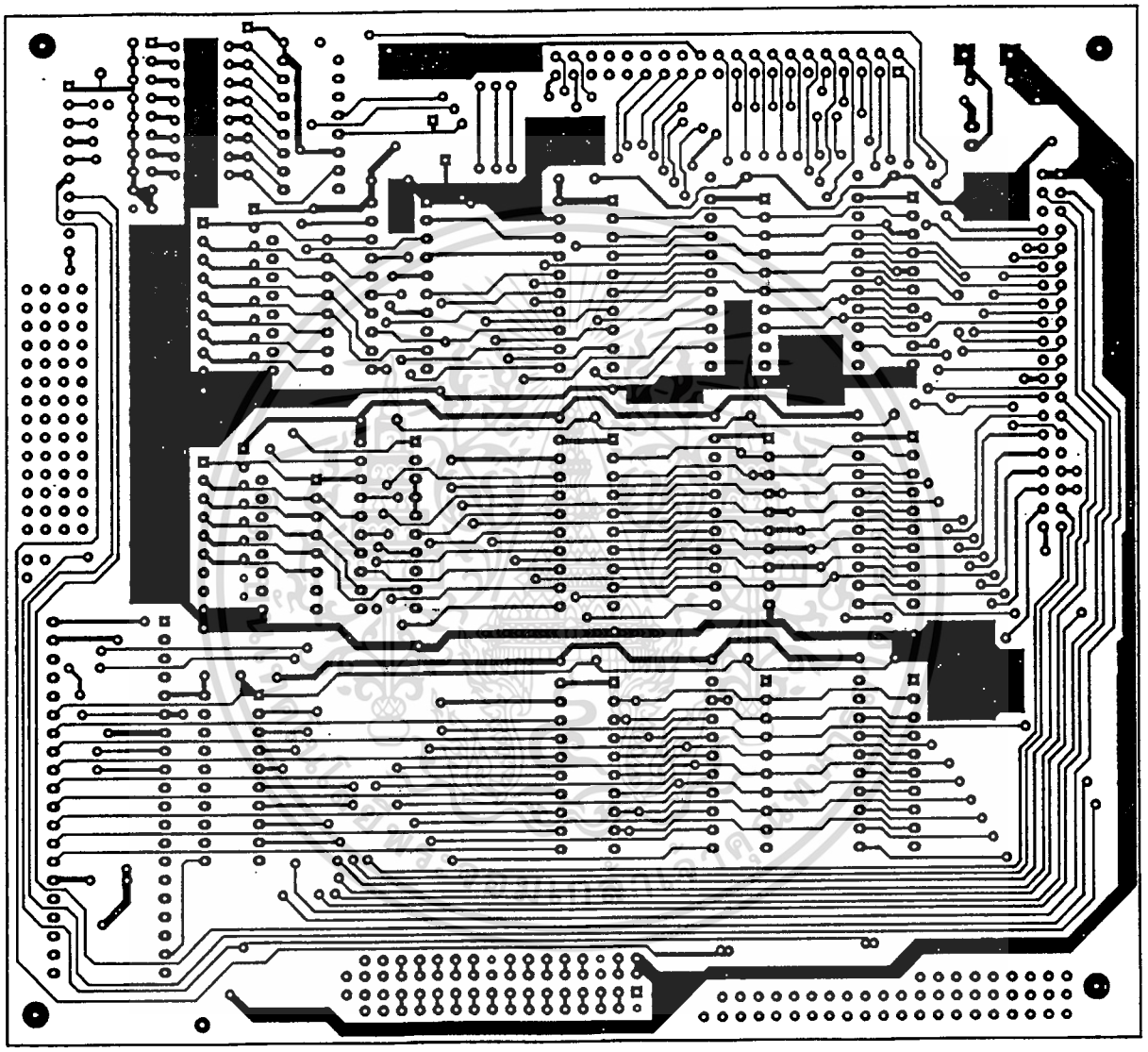
รูปที่ ค.10 การวางอุปกรณ์บนวงจรอินเตอร์เฟสซิงเกิลบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



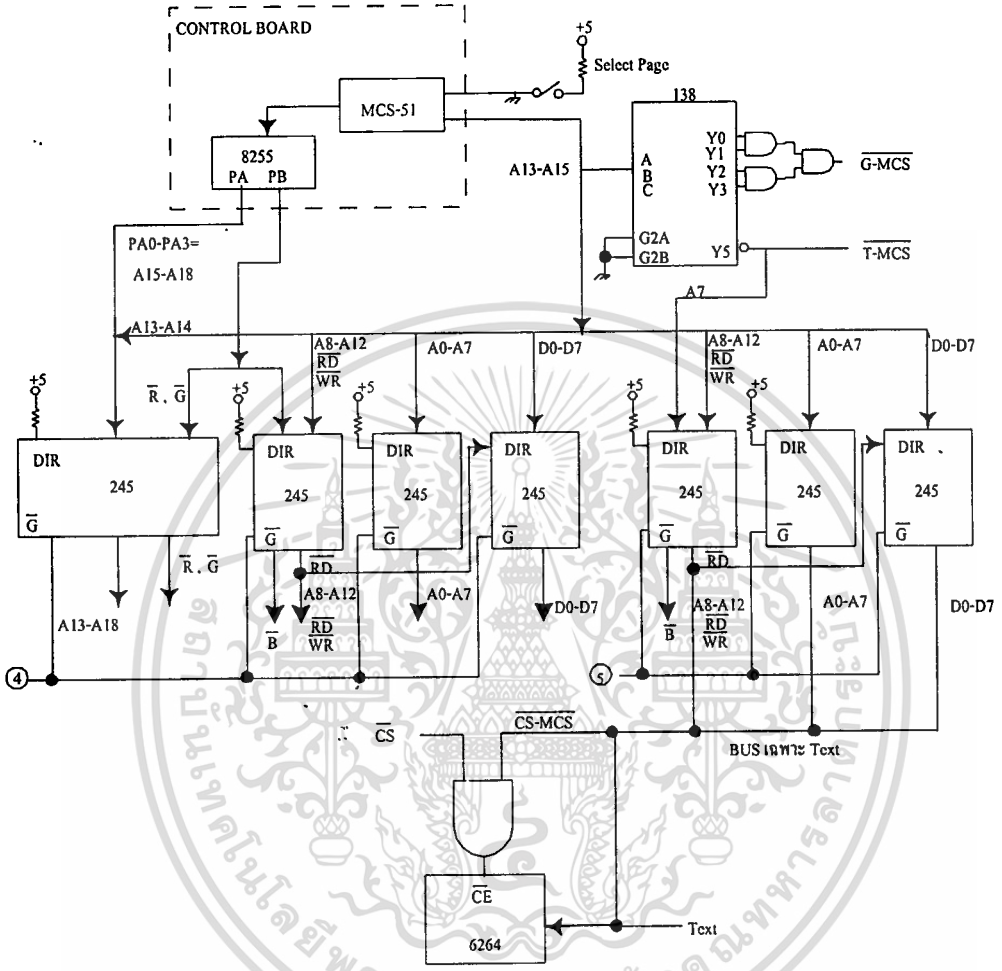
รูปที่ ค.11 ลายวงจรพิมพ์ด้านบนวงจรอินเตอร์เฟสซิงเกิลบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



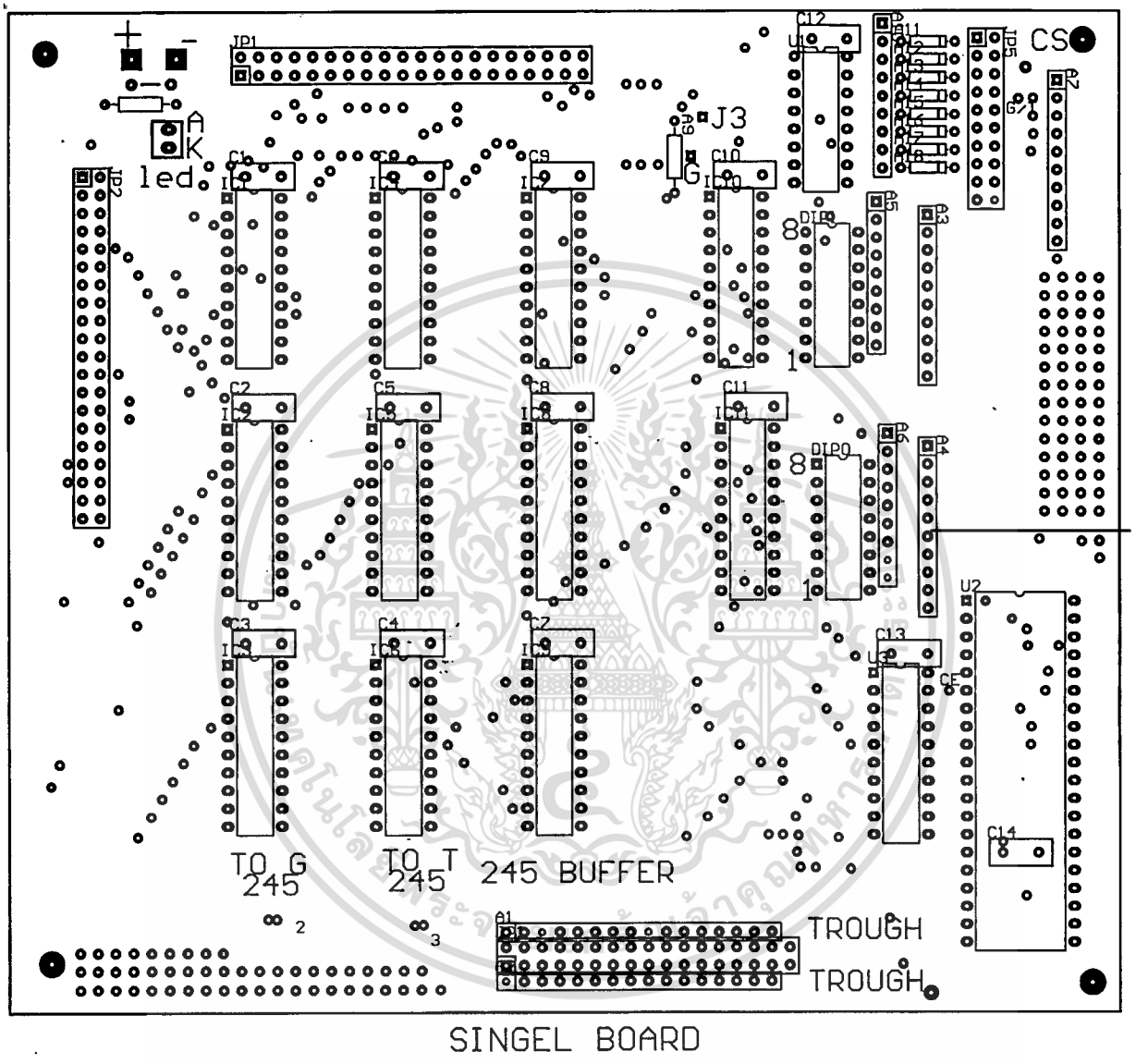
รูปที่ ค.12 ลายวงจรพิมพ์ด้านล่างวงจรอินเตอร์เฟสซิงเกิลบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



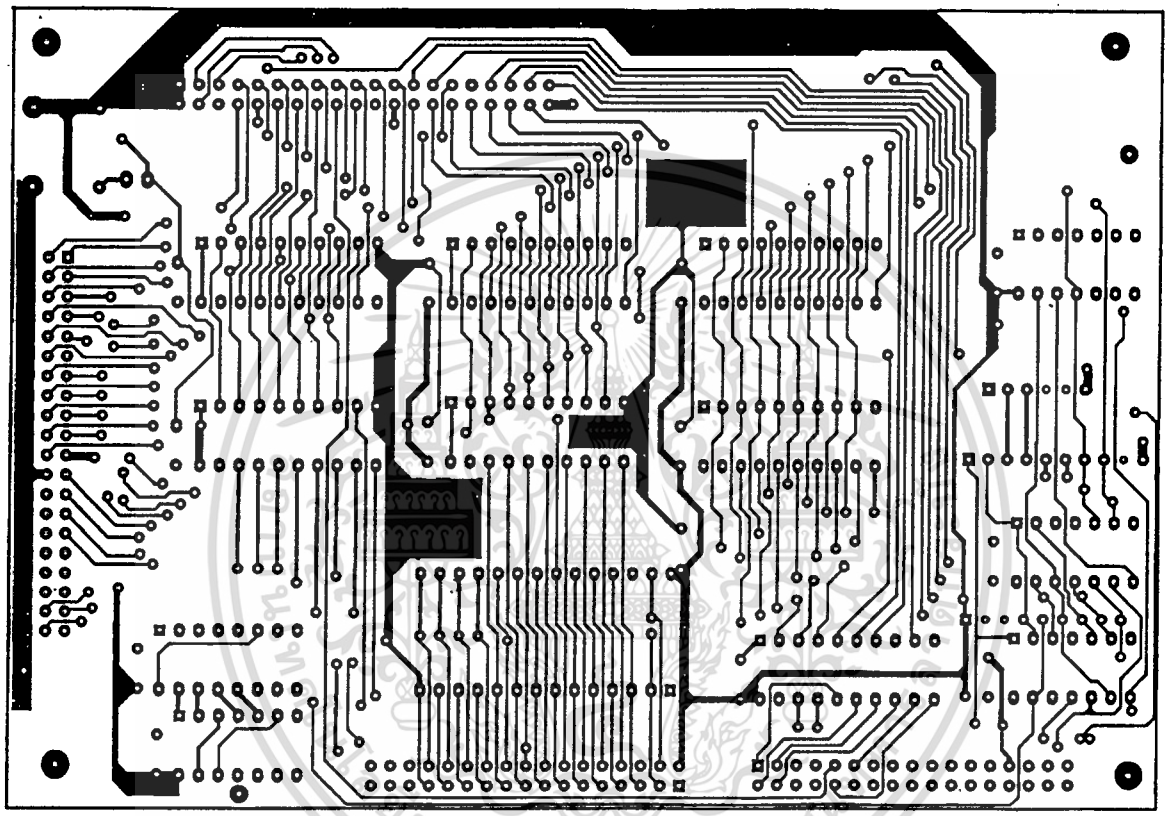
รูปที่ ค.13 วงจรควบคุมการอินเตอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



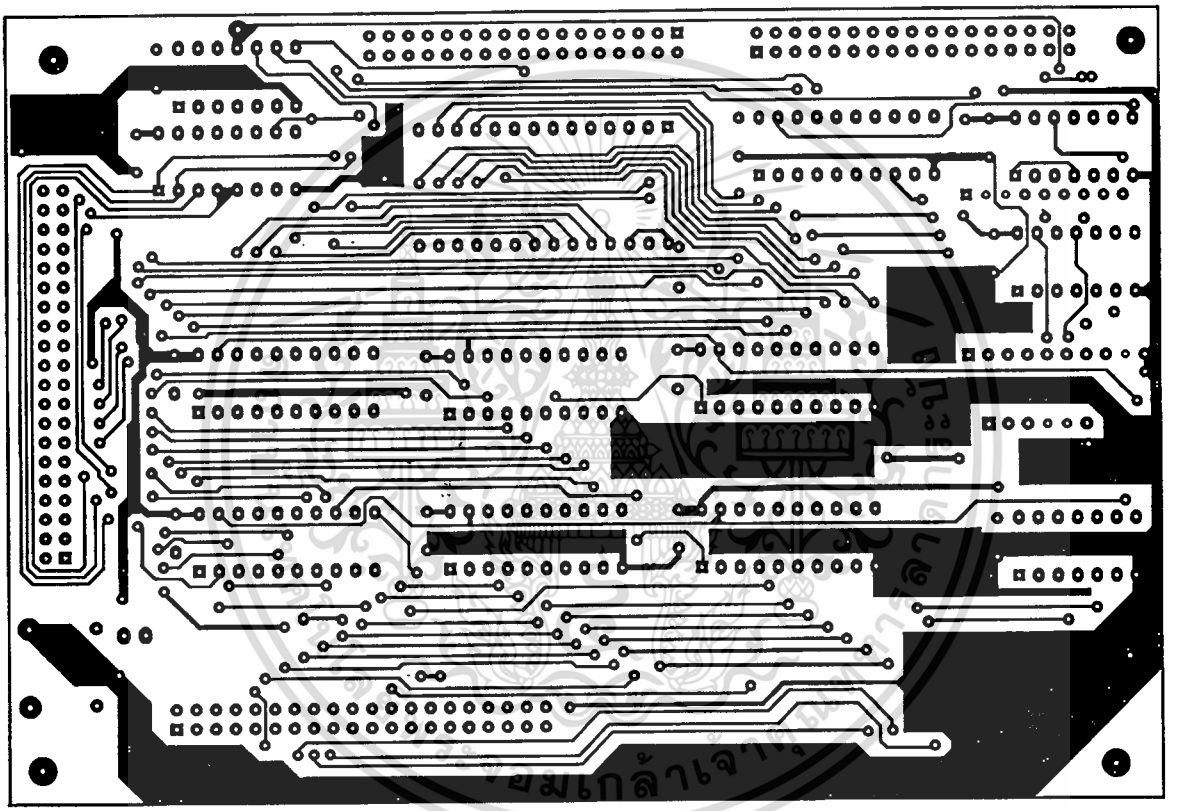
รูปที่ ค.14 การวางอุปกรณ์บนวงจรควบคุมการอินเตอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



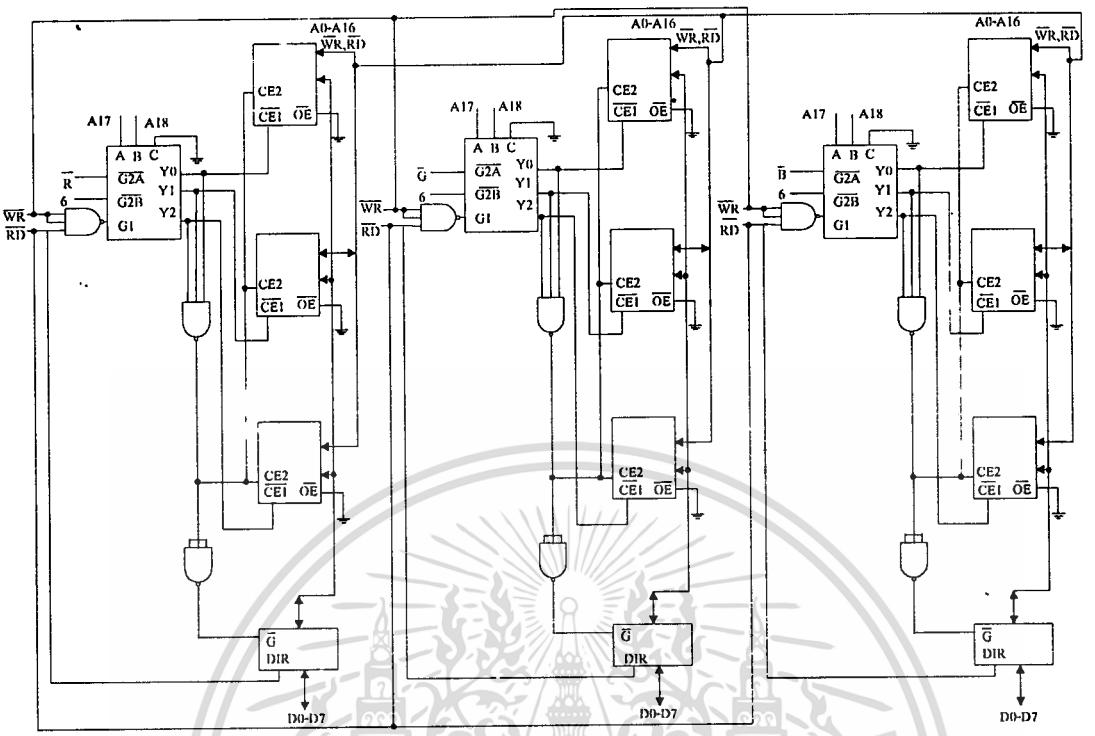
รูปที่ ค.15 ลายวงจรพิมพ์ด้านล่างวงจรควบคุมการอินเตอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



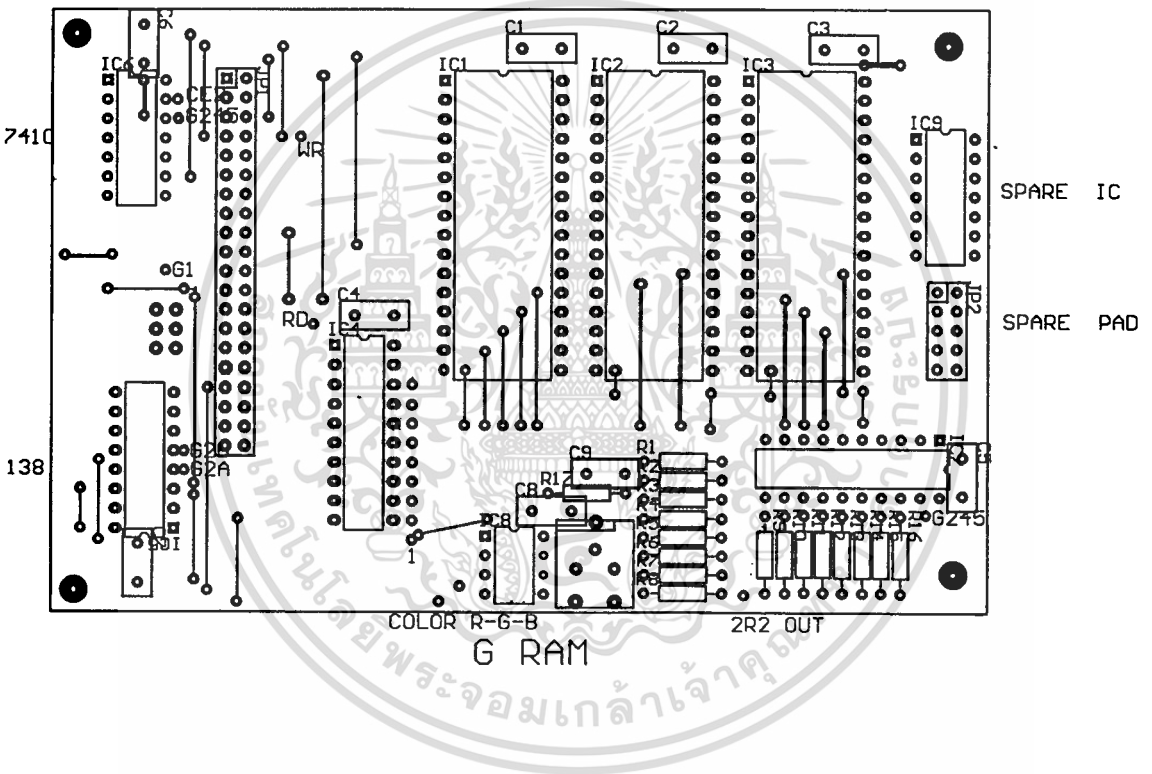
รูปที่ ค.16 ลายวงจรพิมพ์ด้านบนวงจรควบคุมการอินเตอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



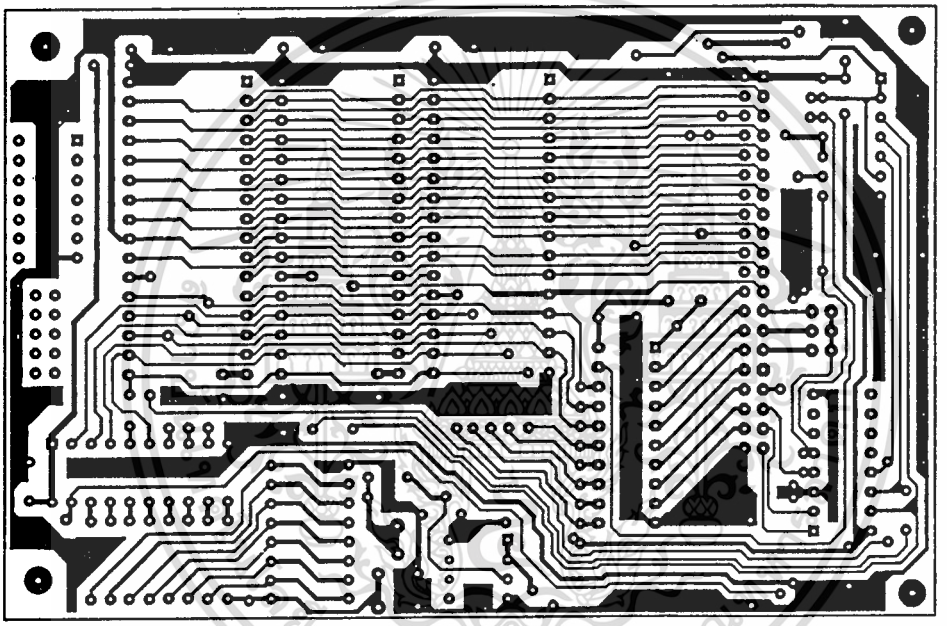
รูปที่ ค.17 วงจรกราฟฟิกแรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



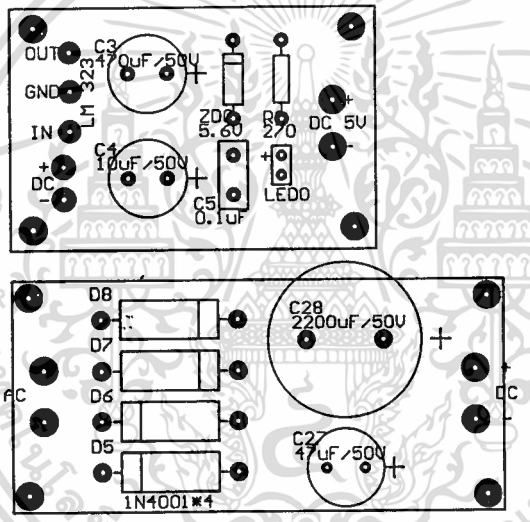
รูปที่ ค.18 การวางอุปกรณ์ล่างวงจรกราฟฟิกแรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



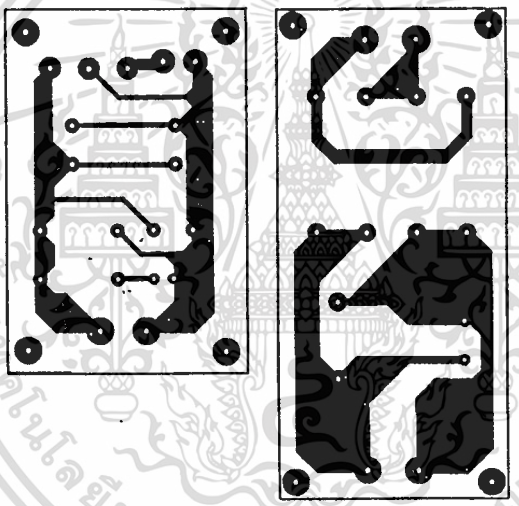
รูปที่ ค.19 ลายวงจรพิมพ์ด้านล่างวงจรกราฟฟิกแรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



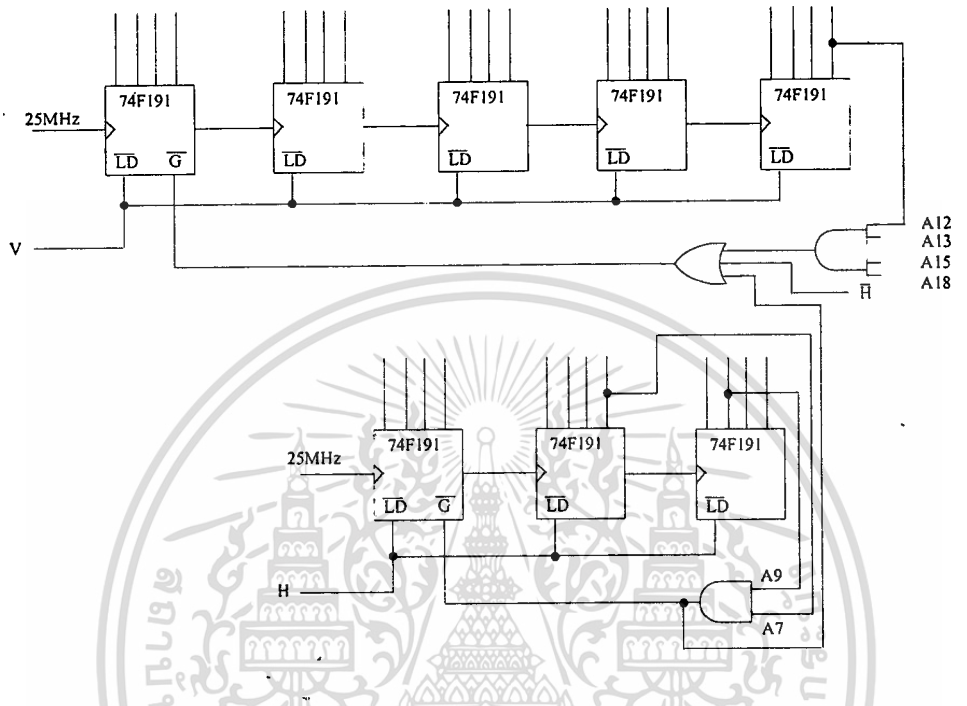
รูปที่ ค.20 การวางอุปกรณ์บนวงจรแหล่งจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



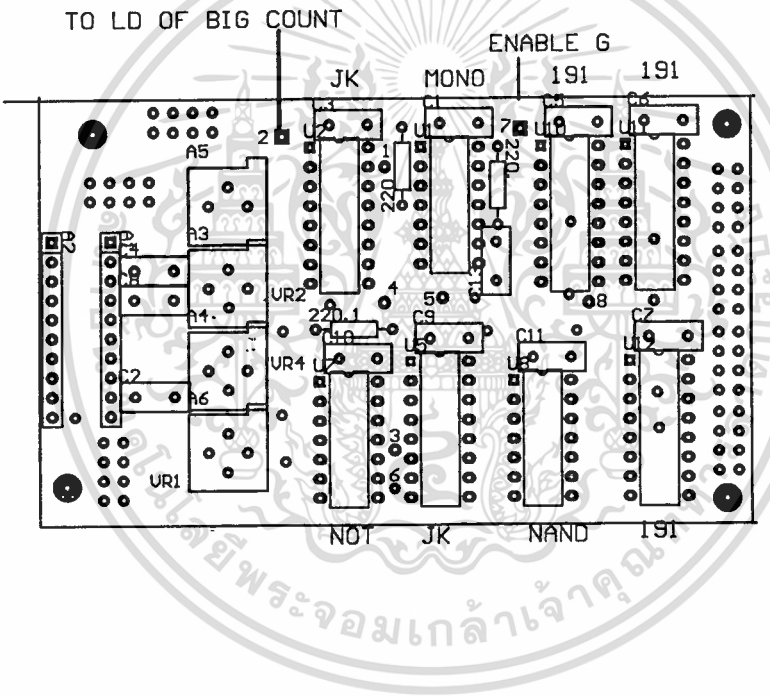
รูปที่ ค.21 ลายวงจรพิมพ์ด้านล่างวงจรแหล่งจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



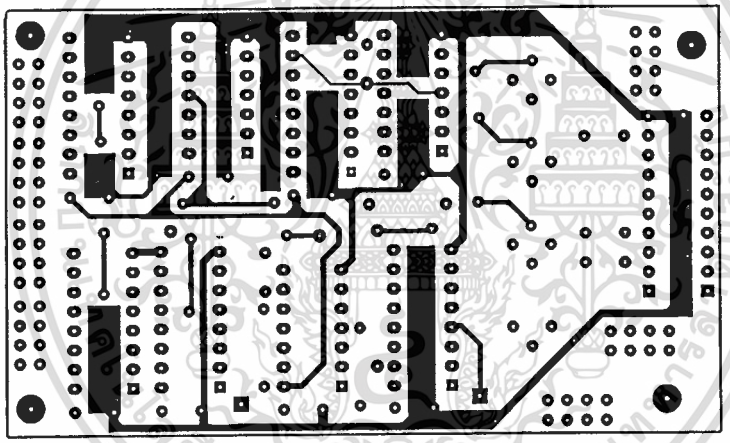
รูปที่ ค.22 วงจรควบคุมการนับจุดนับเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



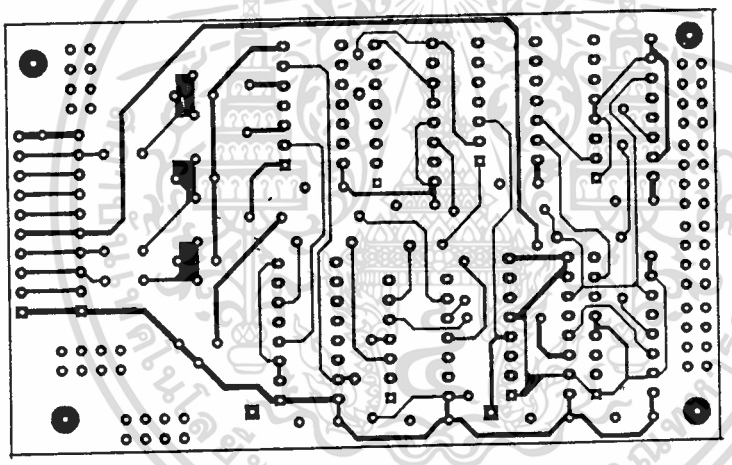
รูปที่ ค.23 การวางอุปกรณ์บนวงจรควบคุมการนับจุดนับเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.24 ลายวงจรพิมพ์ด้านบนวงจรควบคุมการนับจุดนับเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.25 ลายวงจรพิมพ์ด้านล่างวงจรควบคุมการนับจุดนับเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง

รายละเอียดอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128B Series

131,072-word × 8-bit High speed CMOS Static RAM

HITACHI

ADE-203-243C (Z)
Rev. 3.0
Aug. 10, 1996

Description

The Hitachi HM628128B is a CMOS static RAM organized 131,072-word × 8-bit. It realizes higher density, higher performance and low power consumption by employing 0.8 µm Hi-CMOS shrink process technology. It offers low power standby power dissipation, therefore, it is suitable for battery backup systems. The device, packaged in a 525 mil SOP or a 8 mm × 20 mm TSOP or a 600 mil plastic DIP is available.

Features

- Single 5 V supply
- High speed
  - — Fast access time: 70/85/100/120 ns (max)
- Low power
  - — Standby: 10 µW (typ) (L/L-SL version)
  - — Operation: 50 mW/MHz (typ)
- Completely static memory. No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
  - — Three state output
- Directly TTL compatible all inputs and outputs
- Capability of battery backup operation (L/L-SL version). 2 chip selection for battery backup

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

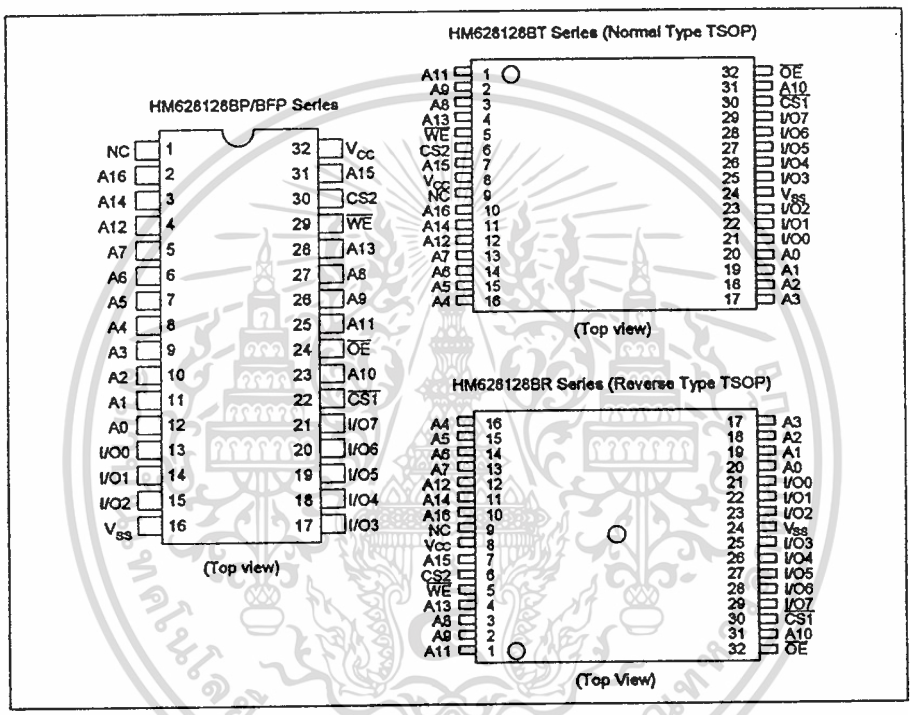
HM628128B Series

Ordering Information

Type No.	Access time	Data retention current	Package
HM628128BLP-7	70 ns	50 µA	600-mil 32-pin plastic DIP (DP-32)
HM628128BLP-8	85 ns	50 µA	
HM628128BLP-10	100 ns	50 µA	
HM628128BLP-12	120 ns	50 µA	
HM628128BLP-7SL	70 ns	15 µA	600-mil 32-pin plastic DIP (DP-32)
HM628128BLP-8SL	85 ns	15 µA	
HM628128BLP-10SL	100 ns	15 µA	
HM628128BLP-12SL	120 ns	15 µA	
HM628128BLFP-7	70 ns	50 µA	525-mil 32-pin plastic SOP (FP-32D)
HM628128BLFP-8	85 ns	50 µA	
HM628128BLFP-10	100 ns	50 µA	
HM628128BLFP-12	120 ns	50 µA	
HM628128BLFP-7SL	70 ns	15 µA	525-mil 32-pin plastic SOP (FP-32D)
HM628128BLFP-8SL	85 ns	15 µA	
HM628128BLFP-10SL	100 ns	15 µA	
HM628128BLFP-12SL	120 ns	15 µA	
HM628128BLT-7	70 ns	50 µA	Normal-bend type 32-pin plastic
HM628128BLT-8	85 ns	50 µA	8 mm × 20 mm TSOP (TFP-32D)
HM628128BLT-10	100 ns	50 µA	
HM628128BLT-12	120 ns	50 µA	
HM628128BLT-7SL	70 ns	15 µA	Normal-bend type 32-pin plastic
HM628128BLT-8SL	85 ns	15 µA	8 mm × 20 mm TSOP (TFP-32D)
HM628128BLT-10SL	100 ns	15 µA	
HM628128BLT-12SL	120 ns	15 µA	
HM628128BLR-7	70 ns	50 µA	Reverse-bend type 32-pin plastic
HM628128BLR-8	85 ns	50 µA	8 mm × 20 mm TSOP (TFP-32DR)
HM628128BLR-10	100 ns	50 µA	
HM628128BLR-12	120 ns	50 µA	
HM628128BLR-7SL	70 ns	15 µA	Reverse-bend type 32-pin plastic
HM628128BLR-8SL	85 ns	15 µA	8 mm × 20 mm TSOP (TFP-32DR)
HM628128BLR-10SL	100 ns	15 µA	
HM628128BLR-12SL	120 ns	15 µA	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Arrangement



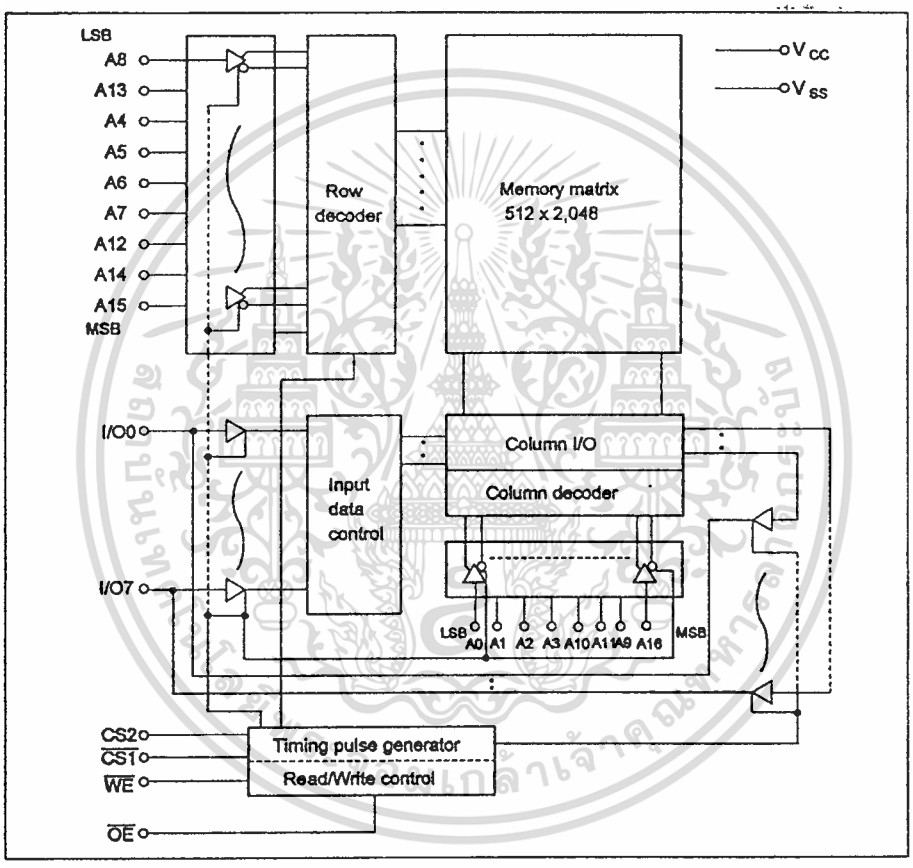
Pin Description

Pin name	Function
A0 to A16	Address input
I/O0 to I/O7	Data input/output
$\overline{CS1}$	Chip select 1
CS2	Chip select 2
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
NC	No connection
V_{cc}	Power supply
V_{ss}	Ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128B Series

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

$\overline{WE}$	$\overline{CS1}$	CS2	$\overline{OE}$	Mode	V_{CC} current	I/O pin	Ref. cycle
×	H	×	×	Standby	I_{SB}, I_{SB1}	High-Z	—
×	×	L	×	Standby	I_{SB}, I_{SB1}	High-Z	—
H	L	H	H	Output disable	I_{CC}	High-Z	—
H	L	H	L	Read	I_{CC}	Dout	Read cycle
L	L	H	H	Write	I_{CC}	Din	Write cycle (1)
L	L	H	L	Write	I_{CC}	Din	Write cycle (2)

Note: × : H or L

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Supply voltage relative to V_{SS}	V_{CC}	−0.5 to + 7.0	V
Voltage on any pin relative to V_{SS}	V_T	−0.5[*1] to V_{CC} + 0.3[*2]	V
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	−55 to +125	°C
Storage temperature under bias	Tbias	−10 to 85	°C

Notes: 1. V_T min: −3.0 V for pulse half-width ≤ 30 ns
2. Maximum voltage is 7.0 V

Recommended DC Operating Conditions (Ta = 0 to +70 C)

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input high voltage	V_{IH}	2.2	—	V_{CC} + 0.3	V
Input low voltage	V_{IL}	−0.3 [*1]	—	0.8	V

Note: 1. V_{IL} min: −3.0 V for pulse half-width ≤ 30 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128B Series

DC Characteristics (Ta = 0 to +70 C, V_{CC} = 5 V ± 10%, V_{SS} = 0 V)

Parameter	Symbol	Min	Typ*1	Max	Unit	Test conditions
Input leakage current	$\|I_{LI}\|$	—	—	1	µA	Vin = V_{SS} to V_{CC}
Output leakage current	$\|I_{LO}\|$	—	—	1	µA	$\overline{CS1}$ = V_{IH} or CS2 = V_{IL} or $\overline{OE}$ = V_{IH} or $\overline{WE}$ = V_{IL}, $V_{I/O}$ = V_{SS} to V_{CC}
Operating power supply current: DC	I_{CC}	—	15	25	mA	$\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, Others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
Operating power supply current	I_{CC1}	—	35	70	mA	Min cycle, duty = 100%, $\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, Others = V_{IH}/V_{IL}, $I_{I/O}$ = 0 mA
	I_{CC2}	—	10	20	mA	Cycle time = 1 µs, duty = 100%, $I_{I/O}$ = 0 mA, $\overline{CS1}$ ≤ 0.2 V, CS2 ≥ V_{CC} – 0.2 V, Others = V_{IH}/V_{IL}, V_{IH} ≥ V_{CC} – 0.2 V, V_{IL} ≤ 0.2 V
Standby power supply current: DC	I_{SB}	—	1	2	mA	CS2 = V_{IL} or $\overline{CS1}$ = V_{IH}, CS2 = V_{IH}
Standby power supply current (1): DC	I_{SB1}	—	2*2	100*2	µA	0 V ≤ Vin ≤ V_{CC} (1) 0 V ≤ CS2 ≤ 0.2 V or (2) $\overline{CS1}$ ≥ V_{CC} – 0.2 V, CS2 ≥ V_{CC} – 0.2 V
	I_{SB1}	—	2*3	50*3	µA	
Output high voltage	V_{OL}	—	—	0.4	V	I_{OL} = 2.1 mA
Output low voltage	V_{OH}	2.4	—	—	V	I_{OH} = –0.1 mA

Notes: 1. Typical values are at V_{CC} = 5.0 V, Ta = +25°C and not guaranteed.
2. This characteristic is guaranteed only for L version.
3. This characteristic is guaranteed only for L-SL version.

Capacitance (Ta = 25°C, f = 1.0 MHz)

Parameter	Symbol	Min	Typ	Max	Unit	Test conditions
Input capacitance*1	Cin	—	—	8	pF	Vin = 0 V
Input/output capacitance*1	$C_{I/O}$	—	—	10	pF	$V_{I/O}$ = 0 V

Note: 1. This parameter is sampled and not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (Ta = 0 to +70 C, V_{CC} = 5.0 V ±10%, unless otherwise noted.)

Test Conditions

- Input pulse levels: 0.8 V to 2.4 V
- Input rise and fall time: 5 ns
- Input and output timing reference levels: 1.5 V
- Output load: 1 TTL Gate and C_L (100 pF) (Including scope and jig)

Read Cycle

		HM628128B									
		-7		-9		-10		-12			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Unit	Notes
Read cycle time	t_{RC}	70	—	85	—	100	—	120	—	ns	
Address access time	t_{AA}	—	70	—	85	—	100	—	120	ns	
Chip selection to output valid	t_{CO1}	—	70	—	85	—	100	—	120	ns	
	t_{CO2}	—	70	—	85	—	100	—	120	ns	
Output enable to output valid	t_{OE}	—	35	—	45	—	50	—	60	ns	
Chip selection to output in low-Z	t_{LZ1}	10	—	10	—	10	—	10	—	ns	2, 3
	t_{LZ2}	10	—	10	—	10	—	10	—	ns	
Output enable to output in low-Z	t_{OLZ}	5	—	5	—	5	—	5	—	ns	2, 3
Chip deselection to output in high-Z	t_{HZ1}	0	25	0	30	0	35	0	45	ns	1, 2, 3
	t_{HZ2}	0	25	0	30	0	35	0	45	ns	
Output disable to output in high-Z	t_{OHZ}	0	25	0	30	0	35	0	45	ns	1, 2, 3
Output hold from address change	t_{OH}	10	—	10	—	10	—	10	—	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Cycle

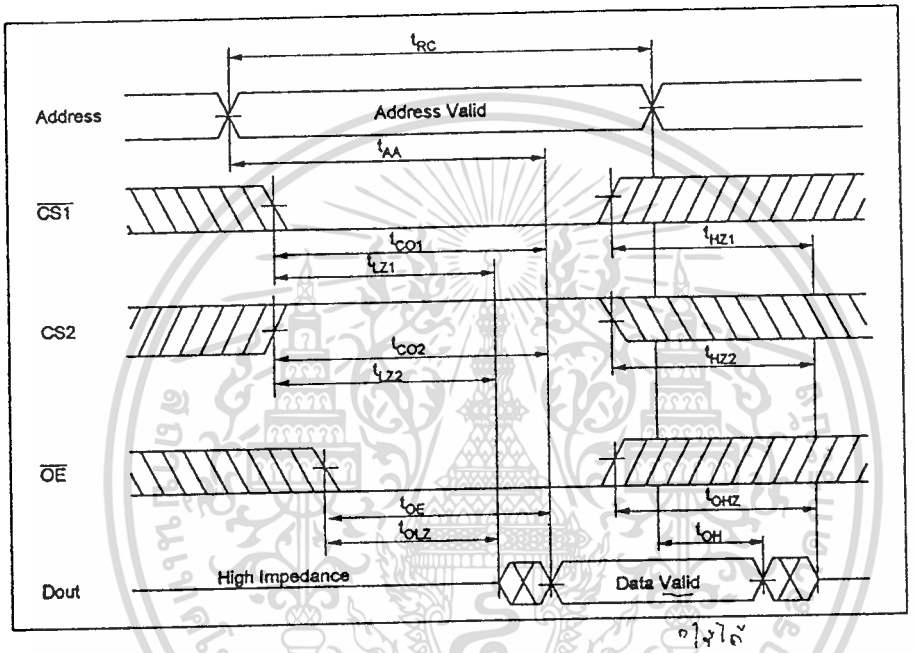
		HM628128B									
		-7		-8		-10		-12			
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Unit	Notes
Write cycle time	t_{WC}	70	—	85	—	100	—	120	—	ns	
Chip selection to end of write	t_{CW}	60	—	75	—	80	—	85	—	ns	5
Address setup time	t_{AS}	0	—	0	—	0	—	0	—	ns	6
Address valid to end of write	t_{AW}	60	—	75	—	80	—	85	—	ns	
Write pulse width	t_{WP}	50	—	55	—	60	—	70	—	ns	4, 13
Write recovery time	t_{WR}	0	—	0	—	0	—	0	—	ns	7
Write to output in high-Z	t_{WHZ}	0	25	0	30	0	35	0	40	ns	1, 2, 8
Data to write time overlap	t_{DW}	30	—	35	—	40	—	45	—	ns	
Data hold from write time	t_{DH}	0	—	0	—	0	—	0	—	ns	
Output active from end of write	t_{OW}	5	—	5	—	5	—	5	—	ns	2
Output disable to output in High-Z	t_{OHZ}	0	25	0	30	0	35	0	45	ns	1, 2, 8

Notes:
1. t_{HZ}, t_{OHZ} and t_{WHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.
2. This parameter is sampled and not 100% tested.
3. At any given temperature and voltage condition, t_{HZ} max is less than t_{LZ} min both for a given device and from device to device.
4. A write occures during the overlap of a low $\overline{CS1}$, a high CS2, and a low $\overline{WE}$. A write begins at the latest transition among $\overline{CS1}$ going low, CS2 going high, and $\overline{WE}$ going low. A write ends at the earliest transition among $\overline{CS1}$ going high, CS2 going low, and $\overline{WE}$ going high. t_{WP} is measured from the beginning of write to the end of write.
5. t_{CW} is measured from the later of $\overline{CS1}$ going low or CS2 going high to the end of write.
6. t_{AS} is measured from the address valid to the beginning of write.
7. t_{WR} is measured from the earliest of $\overline{CS1}$ or $\overline{WE}$ going high or CS2 going low to the end of write cycle.
8. During this period, I/O pins are in the output state; therefore, the input signals of the opposite phase to the outputs must not be applied.
9. If $\overline{CS1}$ goes low simultaneously with $\overline{WE}$ going low or after $\overline{WE}$ going low, the outputs remain in a high impedance state.
10. Dout is the same phase of the latest written data in this write cycle.
11. Dout is the read data of next address.
12. If $\overline{CS1}$ is low and CS2 high during this period, I/O pins are in the output state. Therefore, the input signals of the opposite phase to the outputs must not be applied to them.
13. In the write cycle with $\overline{OE}$ low fixed, t_{WP} must satisfy the following equation to avoid a problem of data bus contention.
$t_{WP} \geq t_{DW}$ min + t_{WHZ} max

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

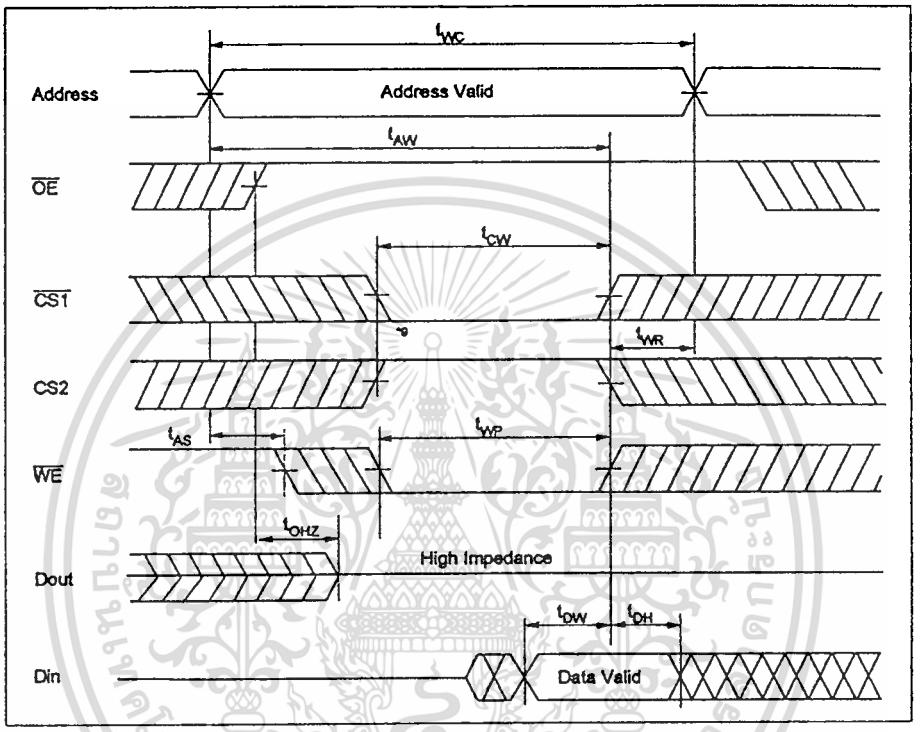
Timing Waveform

Read Timing Waveform ($\overline{WE}$ = V_{IH})



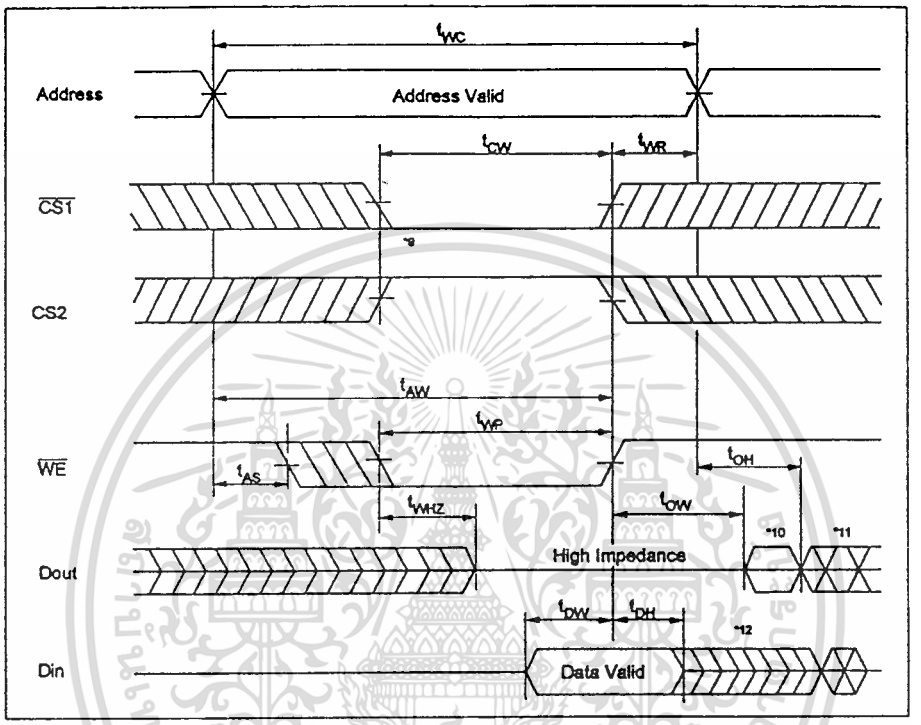
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (1) ($\overline{OE}$ Clock)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (2) ($\overline{OE}$ Low Fixed)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low V_{CC} Data Retention Characteristics (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ[4]	Max	Unit	Test conditions[3]
V_{CC} for data retention	V_{DR}	2.0	—	—	V	0V ≤ Vin ≤ V_{CC} (1) 0 V ≤ CS2 ≤ 0.2 V or (2) CS2 ≥ V_{CC} – 0.2 V $\overline{CS1}$ ≥ V_{CC} – 0.2 V
Data retention current	I_{CCDR} (L version)	—	1	50[1]	µA	V_{CC} = 3.0 V, 0V ≤ Vin ≤ V_{CC} (1) 0 V ≤ CS2 ≤ 0.2 V or (2) CS2 ≥ V_{CC} – 0.2 V, $\overline{CS1}$ ≥ V_{CC} – 0.2 V
	I_{CCDR} (L-SL version)	—	1	15[2]	µA	
Chip deselect to data retention time	t_{CDR}	0	—	—	ns	See retention waveform
Operation recovery time	t_R	5	—	—	ms	

Notes: 1. This characteristic is guaranteed only for L version, 20 µA max. at Ta = 0 to 40°C.
2. This characteristic is guaranteed only for L-SL version, 3 µA max. at Ta = 0 to 40°C.
3. CS2 controls address buffer, $\overline{WE}$ buffer, $\overline{CS1}$ buffer, $\overline{OE}$ buffer, and Din buffer. If CS2 controls data retention mode, Vin levels (address, $\overline{WE}$, $\overline{OE}$, $\overline{CS1}$, I/O) can be in the high impedance state. If $\overline{CS1}$ controls data retention mode, CS2 must be CS2 ≥ V_{CC} – 0.2 V or 0 V ≤ CS2 ≤ 0.2 V. The other input levels (address, $\overline{WE}$, $\overline{OE}$, I/O) can be in the high impedance state.
4. Typical values are at V_{CC} = 3.0 V, Ta = +25 C and not guaranteed.

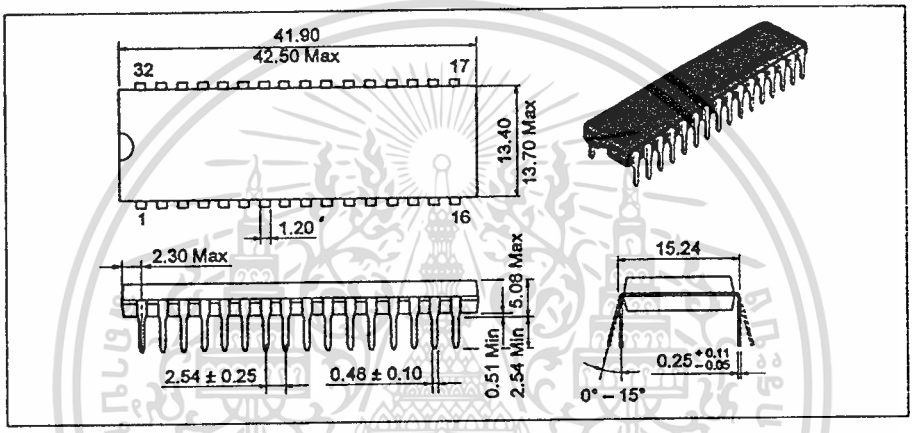
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128B Series

Package Dimensions

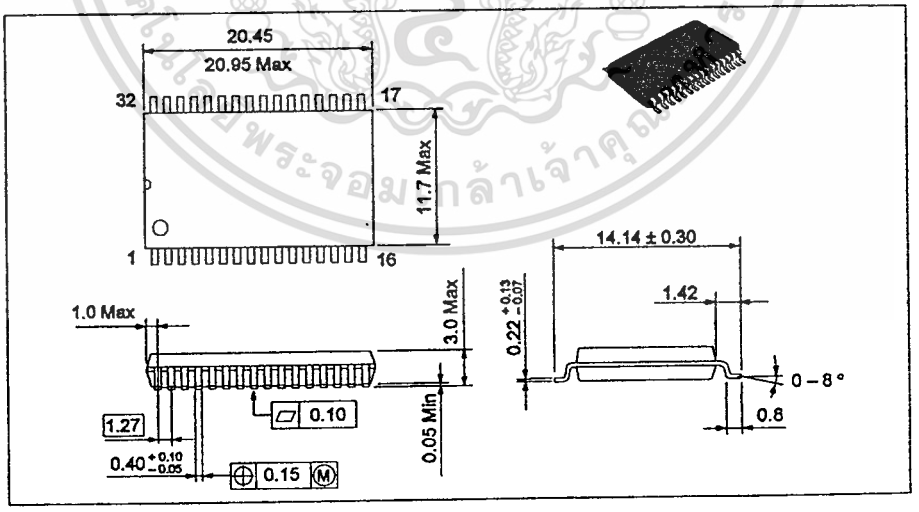
HM628128BLP Series (DP-32)

Unit: mm



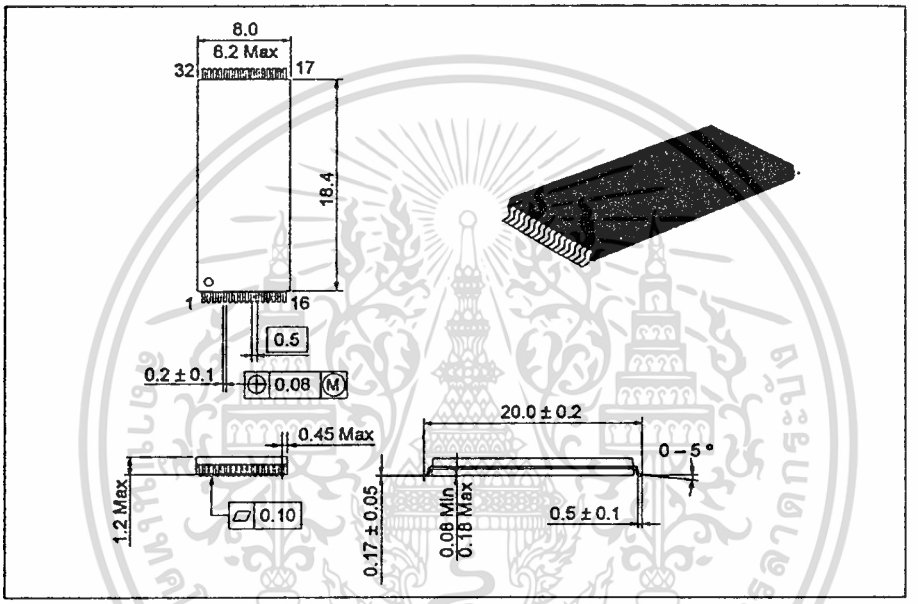
HM628128BLFP Series (FP-32D)

Unit: mm



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128BLR Series (TFP-32D) Unit: mm

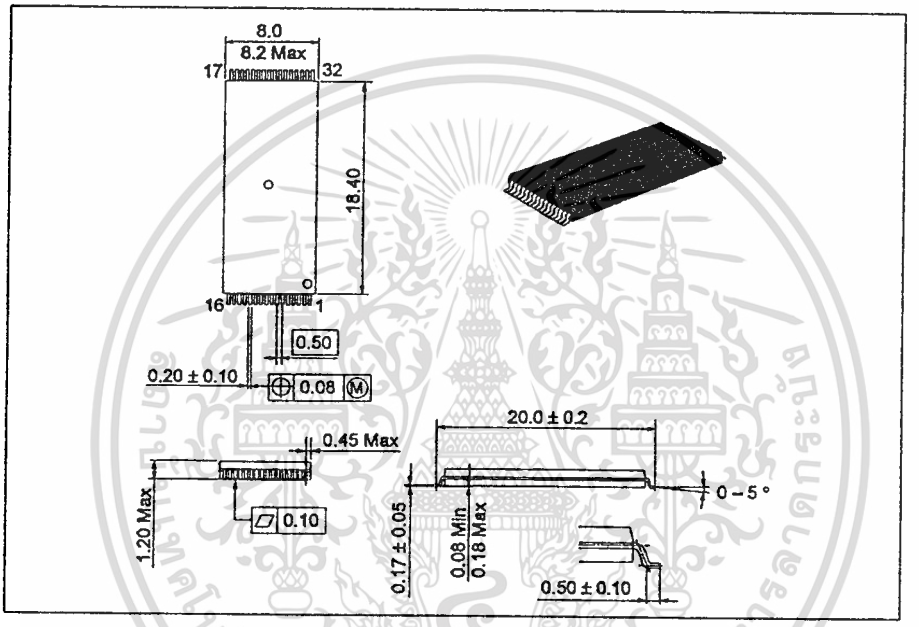


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128B Series

HM628128BLR Series (TFP-32DR)

Unit: mm



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When using this document, keep the following in mind:

1. This document may, wholly or partially, be subject to change without notice.
2. All rights are reserved: No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without Hitachi's permission.
3. Hitachi will not be held responsible for any damage to the user that may result from accidents or any other reasons during operation of the user's unit according to this document.
4. Circuitry and other examples described herein are meant merely to indicate the characteristics and performance of Hitachi's semiconductor products. Hitachi assumes no responsibility for any intellectual property claims or other problems that may result from applications based on the examples described herein.
5. No license is granted by implication or otherwise under any patents or other rights of any third party or Hitachi, Ltd.
6. MEDICAL APPLICATIONS: Hitachi's products are not authorized for use in MEDICAL APPLICATIONS without the written consent of the appropriate officer of Hitachi's sales company. Such use includes, but is not limited to, use in life support systems. Buyers of Hitachi's products are requested to notify the relevant Hitachi sales offices when planning to use the products in MEDICAL APPLICATIONS.

HITACHI

Hitachi, Ltd.
Semiconductor & IC Div.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100, Japan
Tel: Tokyo (03) 3270-2111
Fax: (03) 3270-5109

For further information write to:

Hitachi America, Ltd.
Semiconductor & IC Div.
2000 Sierra Point Parkway
Brisbane, CA. 94005-1835
U S A
Tel: 415-589-8300
Fax: 415-583-4207

Hitachi Europe GmbH
Electronic Components Group
Continental Europe
Domacher Straße 3
D-85622 Feldkirchen
München
Tel: 089-9 91 80-0
Fax: 089-9 29 30 00

Hitachi Europe Ltd.
Electronic Components Div.
Northern Europe Headquarters
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA
United Kingdom
Tel: 0628-585000
Fax: 0628-778322

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 0104
Tel: 535-2100
Fax: 535-1533

Hitachi Asia (Hong Kong) Ltd.
Unit 706, North Tower,
World Finance Centre,
Harbour City, Canton Road
Tsim Sha Tsui, Kowloon
Hong Kong
Tel: 27359218
Fax: 27306071

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM628128B Series

Revision Record

Rev.	Date	Contents of Modification	Drawn by	Approved by
0.0	Oct. 5, 1994	Initial Issue	M. Higuchi	K. Yoshizaki
1.0	Dec. 20, 1994	DC Characteristics I_{CC} max: 15 mA to 25 mA I_{CC2} typ: 5 mA to 10 mA I_{CC2} max: 10 mA to 20 mA	M. Higuchi	K. Yoshizaki
2.0	Mar. 20, 1995	Low Vcc Data Retention Characteristics Addition of note 3: typical values at V_{CC} = 3.0 V, Ta = +25 C and not guaranteed	M. Higuchi	K. Yoshizaki
3.0	Aug. 10, 1996	Change of format Addition of HM628128B-10/10SL Series AC Characteristics Change order of note.		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM6264BI Series

8,192-word × 8-bit High Speed CMOS Static RAM

HITACHI

ADE-203-492A (Z)
Rev. 1.0
Sep. 5, 1996

Description

The Hitachi HM6264BI is 64k-bit static RAM organized 8-kword × 8-bit. It realizes higher performance and low power consumption by 1.5 µm CMOS process technology. The device, packaged in 450 mil SOP (foot print pitch width), 600 mil plastic DIP, is available for high density mounting.

Features

- High speed
  - — Fast access time: 100/120 ns (max)
- Low power
  - — Standby: 10 µW (typ)
  - — Operation: 15 mW (typ) (f = 1 MHz)
- Single 5 V supply
- Completely static memory
  - — No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
  - — Three state output
- Directly TTL compatible
  - — All inputs and outputs
- Battery backup operation capability
- Operating temperature range
  - — –40 C to +85 C

Ordering Information

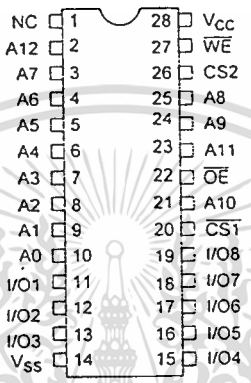
Type No.	Access time	Package
HM6264BLPI-10	100 ns	600-mil, 28-pin plastic DIP (DP-28)
HM6264BLPI-12	120 ns	
HM6264BLFPI-10T	100 ns	450-mil, 28-pin plastic SOP(FP-28DA)
HM6264BLFPI-12T	120 ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM6264BI Series

Pin Arrangement

HM6264BLPI/BLFPI Series



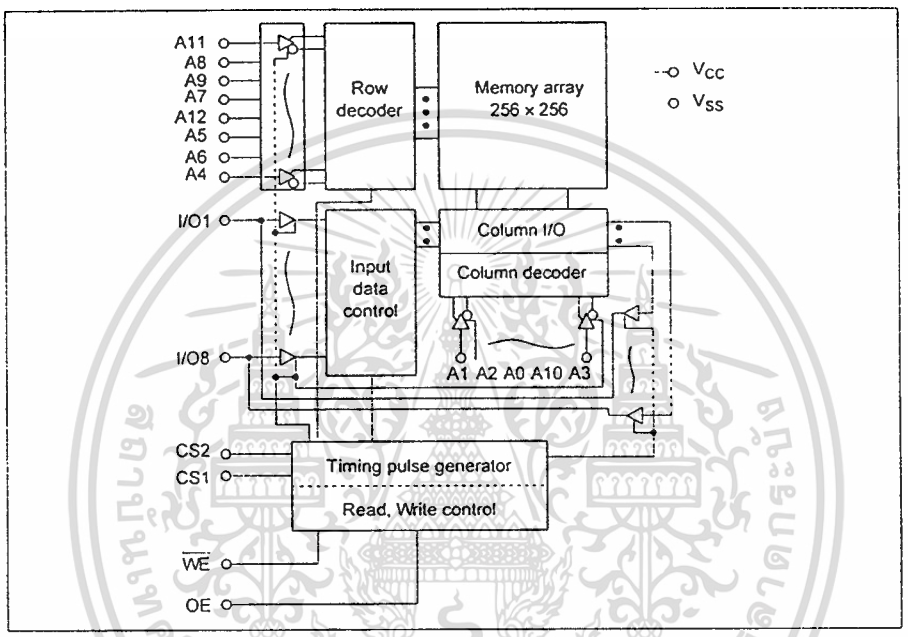
(Top view)

Pin Description

Pin name	Function
A0 to A12	Address input
I/O1 to I/O8	Data input/output
$\overline{CS1}$	Chip select 1
CS2	Chip select 2
$\overline{WE}$	Write enable
$\overline{OE}$	Output enable
NC	No connection
V_{cc}	Power supply
V_{ss}	Ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

$\overline{WE}$	$\overline{CS1}$	CS2	$\overline{OE}$	Mode	V_{CC} current	I/O pin	Ref. cycle
×	H	×	×	Not selected (power down)	I_{SB}, I_{SB1}	High-Z	—
×	×	L	×	Not selected (power down)	I_{SB}, I_{SB1}	High-Z	—
H	L	H	H	Output disable	I_{CC}	High-Z	—
H	L	H	L	Read	I_{CC}	Dout	Read cycle (1)–(3)
L	L	H	H	Write	I_{CC}	Din	Write cycle (1)
L	L	H	L	Write	I_{CC}	Din	Write cycle (2)

Note: ×: H or L

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Power supply voltage*1	V_{CC}	–0.5 to +7.0	V
Terminal voltage*1	V_T	–0.5*2 to V_{CC} + 0.3*3	V
Power dissipation	P_T	1.0	W
Operating temperature	Topr	–40 to +85	°C
Storage temperature	Tstg	–55 to +125	°C
Storage temperature under bias	Tbias	–40 to +85	°C

Notes: 1. Relative to V_{SS}
2. V_T min: –3.0 V for pulse half-width ≤ 50 ns
3. Maximum voltage is 7.0 V

Recommended DC Operating Conditions (Ta = –40 to +85°C)

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input high voltage	V_{IH}	2.4	—	V_{CC} + 0.3	V
Input low voltage	V_{IL}	–0.3*1	—	0.6	V

Note: 1. V_{IL} min: –3.0 V for pulse half-width ≤ 50 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Characteristics (Ta = –40 to +85°C, V_{CC} = 5 V ±10%, V_{SS} = 0 V)

Parameter	Symbol	Min	Typ[1]	Max	Unit	Test conditions
Input leakage current	$\|I_{LI}\|$	—	—	2	µA	Vin = V_{SS} to V_{CC}
Output leakage current	$\|I_{LO}\|$	—	—	2	µA	$\overline{CS1}$ = V_{IH} or CS2 = V_{IL} or $\overline{OE}$ = V_{IH} or $\overline{WE}$ = V_{IL}, $V_{I/O}$ = V_{SS} to V_{CC}
Operating power supply current	I_{CCOC}	—	7	20	mA	$\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, $I_{I/O}$ = 0 mA others = V_{IH}/V_{IL}
Average operating power supply current	I_{CC1}	—	30	50	mA	Min cycle, duty = 100%, $\overline{CS1}$ = V_{IL}, CS2 = V_{IH}, $I_{I/O}$ = 0 mA others = V_{IH}/V_{IL}
	I_{CC2}	—	3	8	mA	Cycle time = 1 µs, duty = 100%, $I_{I/O}$ = 0 mA $\overline{CS1}$ ≤ 0.2 V, CS2 ≥ V_{CC} – 0.2 V, V_{IH} ≥ V_{CC} – 0.2 V, V_{IL} ≤ 0.2 V
Standby power supply current	I_{SB}	—	1	3	mA	$\overline{CS1}$ = V_{IH}, CS2 = V_{IL}
	I_{SB1}[2]	—	2	200	µA	$\overline{CS1}$ ≥ V_{CC} – 0.2 V, CS2 ≥ V_{CC} – 0.2 V or 0 V ≤ CS2 ≤ 0.2 V, 0 V ≤ Vin
Output low voltage	V_{OL}	—	—	0.4	V	I_{OL} = 2.1 mA
Output high voltage	V_{OH}	2.4	—	—	V	I_{OH} = –1.0 mA

Notes: 1. Typical values are at V_{CC} = 5.0 V, Ta = +25°C and not guaranteed.
2. V_{IL} min = –0.3V

Capacitance (Ta = 25°C, f = 1.0 MHz)

Parameter	Symbol	Min	Typ	Max	Unit	Test conditions
Input capacitance[1]	Cin	—	—	5	pF	Vin = 0 V
Input/output capacitance[1]	$C_{I/O}$	—	—	7	pF	$V_{I/O}$ = 0 V

Note: 1. This parameter is sampled and not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (Ta = –40 to +85°C, V_{CC} = 5 V ± 10%, unless otherwise noted.)

Test Conditions

- Input pulse levels: 0.6 V to 2.4 V
- Input and output timing reference level: 1.5 V
- Input rise and fall time: 10 ns
- Output load: 1 TTL Gate + C_L (100 pF) (including scope & jig)

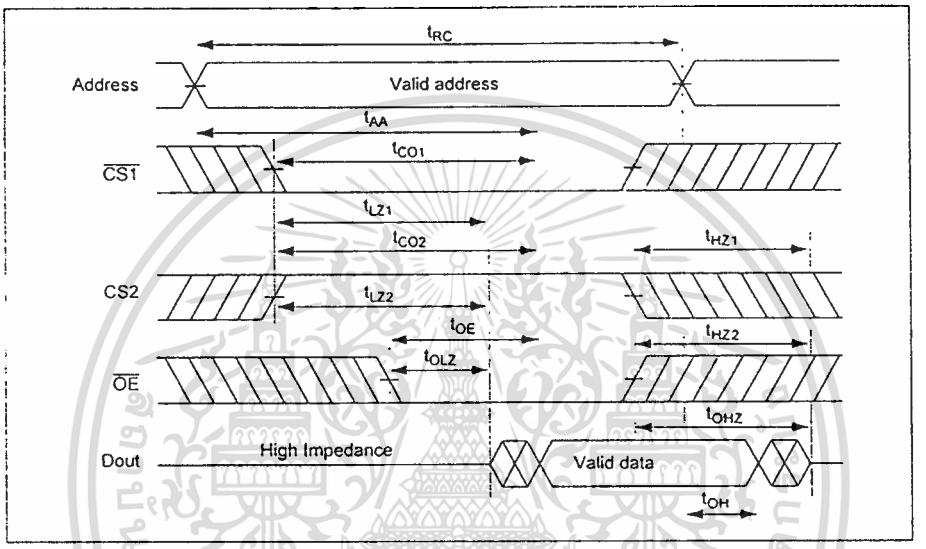
Read Cycle

Parameter		Symbol	HM6264BI-10 Min	HM6264BI-10 Max	HM6264BI-12 Min	HM6264BI-12 Max	Unit	Notes
Read cycle time		t_{RC}	100	—	120	—	ns	
Address access time		t_{AA}	—	100	—	120	ns	
Chip select access time	$\overline{CS1}$	t_{CO1}	—	100	—	120	ns	
	CS2	t_{CO2}	—	100	—	120	ns	
Output enable to output valid		t_{OE}	—	50	—	60	ns	
Chip selection to output in low-Z	$\overline{CS1}$	t_{LZ1}	10	—	10	—	ns	2
	CS2	t_{LZ2}	10	—	10	—	ns	2
Output enable to output in low-Z		t_{OLZ}	5	—	5	—	ns	2
Chip deselection in to output in high-Z	$\overline{CS1}$	t_{HZ1}	0	35	0	40	ns	1, 2
	CS2	t_{HZ2}	0	35	0	40	ns	1, 2
Output disable to output in high-Z		t_{OHZ}	0	35	0	40	ns	1, 2
Output hold from address change		t_{OH}	10	—	10	—	ns	

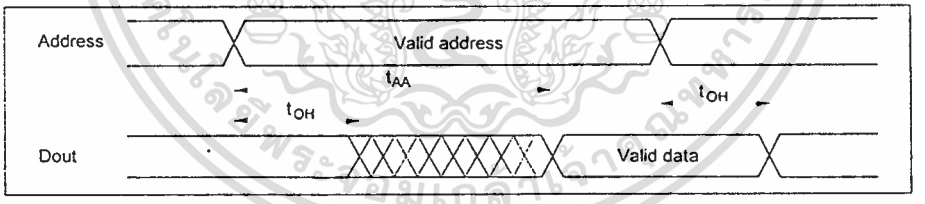
Notes: 1. t_{HZ} is defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.
2. At any given temperature and voltage condition, t_{HZ} maximum is less than t_{LZ} minimum both for a given device and from device to device.
3. Address must be valid prior to or simultaneously with $\overline{CS1}$ going low or CS2 going high.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Read Timing Waveform (1) ($\overline{WE}$ = V_{IH})

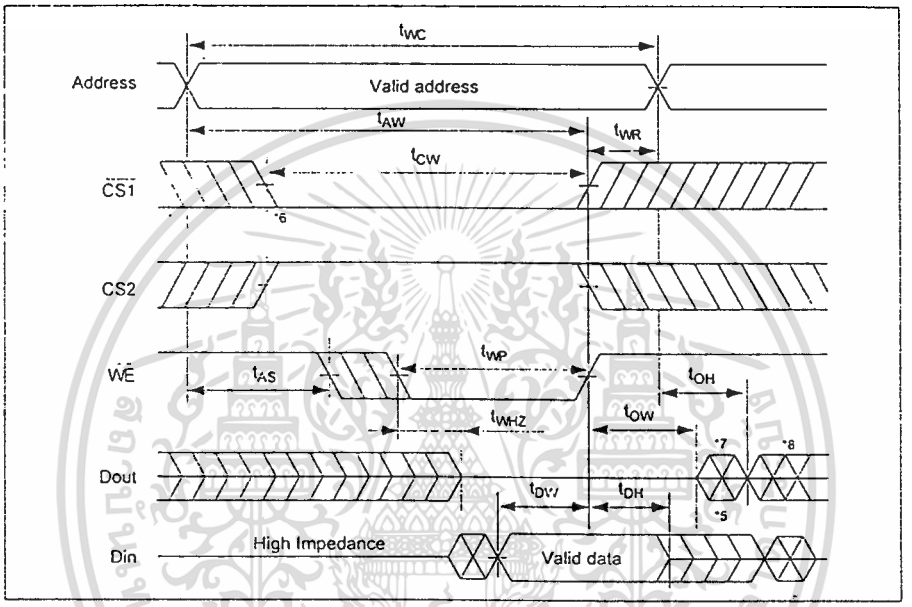


Read Timing Waveform (2) ($\overline{WE}$ = V_{IH}, $\overline{OE}$ = V_{IL})



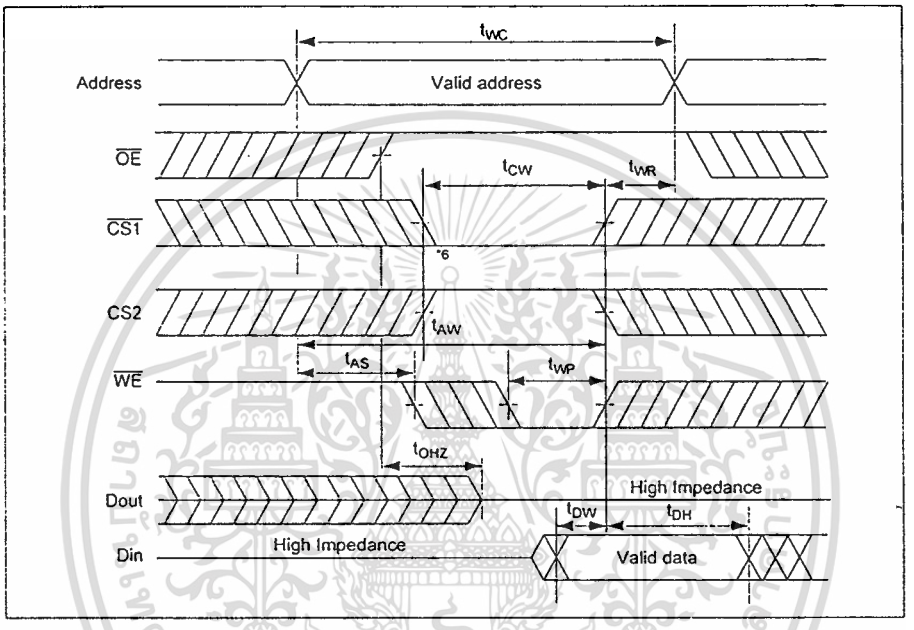
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (2) ($\overline{OE}$ Low Fixed) ($\overline{OE}$ = V_{IL})



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Timing Waveform (1) ($\overline{OE}$ Clock)

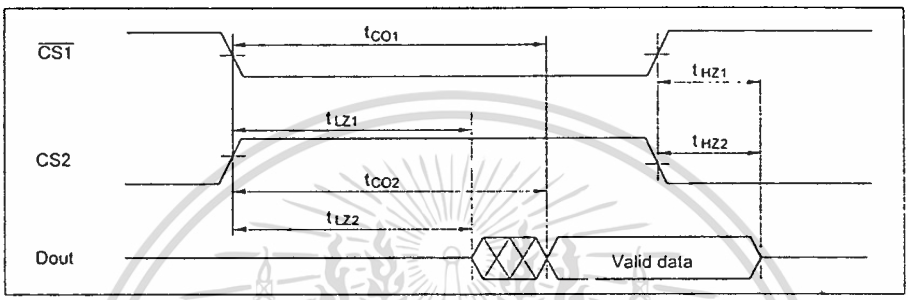


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$t_{wp} \geq t_{wlz}$ max + t_{bw} min.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Read Timing Waveform (3) ($\overline{WE}$ = V_{IH}, $\overline{OE}$ = V_{IL})[*3]



Write Cycle

Parameter	Symbol	HM6264BI-10 Min	HM6264BI-10 Max	HM6264BI-12 Min	HM6264BI-12 Max	Unit	Notes
Write cycle time	t_{WC}	100	—	120	—	ns	
Chip selection to end of write	t_{CW}	80	—	85	—	ns	2
Address setup time	t_{AS}	0	—	0	—	ns	3
Address valid to end of write	t_{AW}	80	—	85	—	ns	
Write pulse width	t_{WP}	60	—	70	—	ns	1, 9
Write recovery time	t_{WR}	0	—	0	—	ns	4
$\overline{WE}$ to output in high-Z	t_{WHZ}	0	35	0	40	ns	5
Data to write time overlap	t_{DW}	40	—	40	—	ns	
Data hold from write time	t_{DH}	0	—	0	—	ns	
Output active from end of write	t_{OW}	5	—	5	—	ns	
Output disable to output in high-Z	t_{OHZ}	0	35	0	40	ns	5

Notes: 1. A write occurs during the overlap of a low $\overline{CS1}$, and high CS2, and a high $\overline{WE}$. A write begins at the latest transition among $\overline{CS1}$ going low, CS2 going high and $\overline{WE}$ going low. A write ends at the earliest transition among $\overline{CS1}$ going high CS2 going low and $\overline{WE}$ going high. Time t_{WP} is measured from the beginning of write to the end of write.

2. t_{CW} is measured from the later of $\overline{CS1}$ going low or CS2 going high to the end of write.
3. t_{AS} is measured from the address valid to the beginning of write.
4. t_{WR} is measured from the earliest of $\overline{CS1}$ or $\overline{WE}$ going high or CS2 going low to the end of write cycle.
5. During this period, I/O pins are in the output state, therefore the input signals of the opposite phase to the outputs must not be applied.
6. If $\overline{CS1}$ goes low simultaneously with $\overline{WE}$ going low after $\overline{WE}$ goes low, the outputs remain in high impedance state.
7. Dout is the same phase of the written data in this write cycle.
8. Dout is the read data of the next address
9. In the write cycle with $\overline{OE}$ low fixed, t_{WP} must satisfy the following equation to avoid a problem of data bus contention

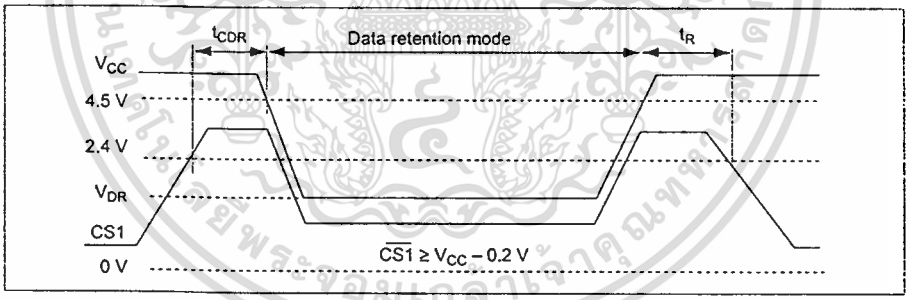
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low V_{CC} Data Retention Characteristics (Ta = –40 to +85°C)

Parameter	Symbol	Min	Typ[1]	Max	Unit	Test conditions[2,3]
V_{CC} for data retention	V_{DR}	2.0	—	—	V	$\overline{CS1} \geq V_{CC} - 0.2$ V, CS2 ≥ V_{CC} –0.2 V or CS2 ≤ 0.2 V Vin ≥ 0 V
Data retention current	I_{CCDR}	—	1[1]	100[1]	µA	V_{CC} = 3.0 V, 0 V ≤ Vin ≤ V_{CC} $\overline{CS1} \geq V_{CC}$ –0.2 V, CS2 ≥ V_{CC} –0.2 V or 0 V ≤ CS2 ≤ 0.2 V
Chip deselect to data retention time	t_{CDR}	0	—	—	ns	See retention waveform
Operation recovery time	t_R	5	—	—	ms	

Notes: 1. Reference data at Ta = 25°C.
2. V_{IL} min = –0.3V.
3. CS2 controls address buffer, $\overline{WE}$ buffer, $\overline{CS1}$ buffer, $\overline{OE}$ buffer, and Din buffer. If CS2 controls data retention mode, Vin levels (address, $\overline{WE}$, $\overline{OE}$, $\overline{CS1}$, I/O) can be in the high impedance state. If $\overline{CS1}$ controls data retention mode, CS2 must be CS2 ≥ V_{CC} – 0.2 V or 0 V ≤ CS2 ≤ 0.2 V. The other input levels (address, $\overline{WE}$, $\overline{OE}$, I/O) can be in the high impedance state.

Low V_{CC} Data Retention Timing Waveform (1) ($\overline{CS1}$ Controlled)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When using this document, keep the following in mind:

1. This document may, wholly or partially, be subject to change without notice.
2. All rights are reserved: No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without Hitachi's permission.
3. Hitachi will not be held responsible for any damage to the user that may result from accidents or any other reasons during operation of the user's unit according to this document.
4. Circuitry and other examples described herein are meant merely to indicate the characteristics and performance of Hitachi's semiconductor products. Hitachi assumes no responsibility for any intellectual property claims or other problems that may result from applications based on the examples described herein.
5. No license is granted by implication or otherwise under any patents or other rights of any third party or Hitachi, Ltd.
6. MEDICAL APPLICATIONS: Hitachi's products are not authorized for use in MEDICAL APPLICATIONS without the written consent of the appropriate officer of Hitachi's sales company. Such use includes, but is not limited to, use in life support systems. Buyers of Hitachi's products are requested to notify the relevant Hitachi sales offices when planning to use the products in MEDICAL APPLICATIONS.

HITACHI

Hitachi, Ltd.
Semiconductor & IC Div.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100, Japan
Tel: Tokyo (03) 3270-2111
Fax: (03) 3270-5109

For further information write to:

Hitachi America, Ltd.
Semiconductor & IC Div.
2000 Sierra Point Parkway
Brisbane, CA. 94005-1835
U S A
Tel: 415-589-8300
Fax: 415-583-4207

Hitachi Europe GmbH
Electronic Components Group
Continental Europe
Domacher Straße 3
D-85622 Feldkirchen
München
Tel: 089-9 91 80-0
Fax: 089-9 29 30 00

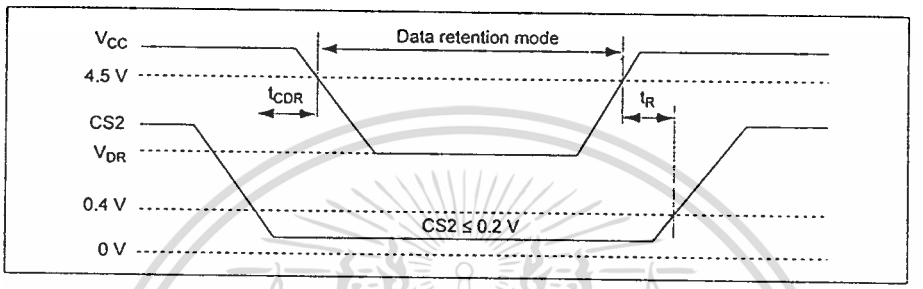
Hitachi Europe Ltd.
Electronic Components Div.
Northern Europe Headquarters
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA
United Kingdom
Tel: 0628-585000
Fax: 0628-778322

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 0104
Tel: 535-2100
Fax: 535-1533

Hitachi Asia (Hong Kong) Ltd.
Unit 706, North Tower,
World Finance Centre,
Harbour City, Canton Road
Tsim Sha Tsui, Kowloon
Hong Kong
Tel: 27359218
Fax: 27306071

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

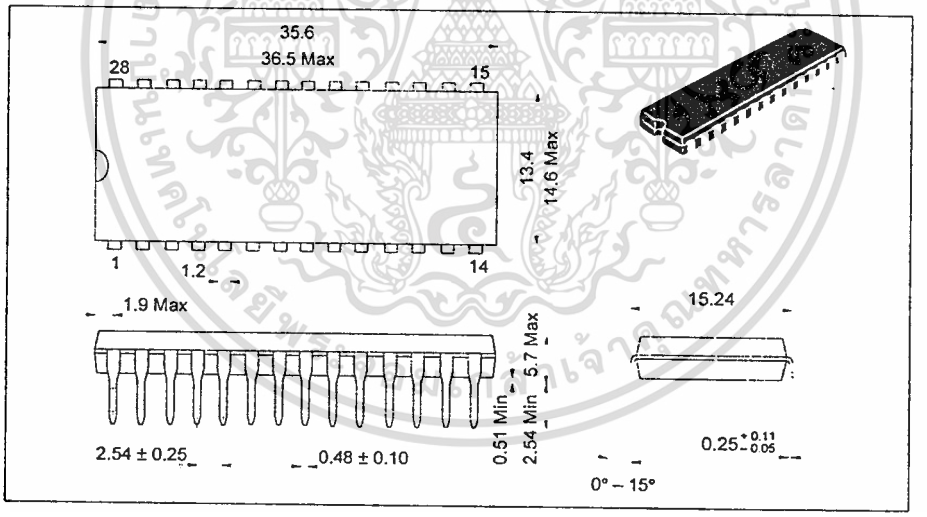
Low V_{CC} Data Retention Timing Waveform (2) (CS2 Controlled)



Package Dimensions

HM6264BLFPI Series (DP-28)

Unit: mm



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM6264BI Series

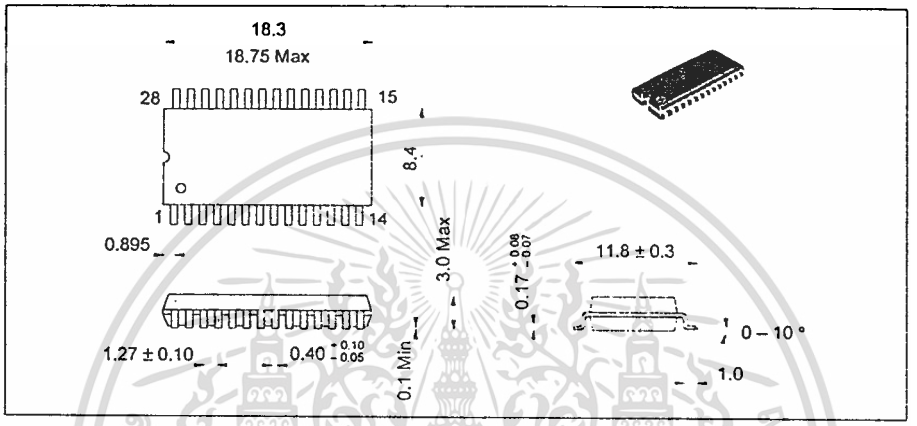
Revision Record

Rev.	Date	Contents of Modification	Drawn by	Approved by
0.0	Dec. 1, 1995	Initial issue	I. Ogiwara	K. Yoshizaki
1.0	Sep. 5, 1996	Deletion of Preliminary		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM6264BI Series

HM6264BLPI Series (FP-28DA) Unit: mm



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

กฤษดา วิศวธีรานนท์. **ไอซีดิจิตอล**. กรุงเทพฯ : เอช-เอน การพิมพ์, 2532

ปรเมษฐ์ ประนยานันทน์ และปิยพงศ์ เผ่าวนิช. **คู่มือและการประยุกต์ใช้งานไมโครคอนโทรลเลอร์ MCS-51**. กรุงเทพฯ : เอช-เอน การพิมพ์, 2536

ยืน ภู่วรวรรณ. **เทคโนโลยีฮาร์ดแวร์ IBM PC** . กรุงเทพฯ : เอช-เอน การพิมพ์, 2523

โยธิน พรหมลี และคณะ. "**ระบบการบันทึกภาพด้วยไมโครคอมพิวเตอร์.**" ปริญญานิพนธ์ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิศวกรรมโทรคมนาคม, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2534

รัชนัย อินทุใส และไตรภพ อินทุใส. **ไมโครคอนโทรลเลอร์** . กรุงเทพฯ : ฟิสิกส์เซ็นเตอร์, 2523

วิบูลย์ ชื่นแขก. **ไมโครโปรเซสเซอร์**. พิมพ์ครั้งที่ 2. กรุงเทพฯ : สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ, 2532

สมยศ จุณณะปิยะ. **การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ตระกูล MCS-51** . กรุงเทพฯ : คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2541

สุเจตน์ จันทรังษ์. **ไมโครคอนโทรลเลอร์ชิพเดี่ยว 8051** . กรุงเทพฯ : คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง

ชื่อผู้ทำปริญญานิพนธ์	นายพิพัฒน์ ประจญศานต์
วันเดือนปีเกิด	29 เมษายน 2520
สถานที่เกิด	จังหวัดนครราชสีมา
ภูมิลำเนาเดิม	1584 ถ.มิตรภาพ ต.ในเมือง อ.เมือง จ.นครราชสีมา 30000
ที่อยู่ปัจจุบัน	224 ถ.มุขมนตรี ต.ในเมือง อ.เมือง จ.นครราชสีมา 30000
โทรศัพท์	044-256357
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนสวนหม่อน
มัธยมศึกษา	โรงเรียนราชสีมาวิทยาลัย
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคนครราชสีมา
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	สถาบันเทคโนโลยีราชมงคล วิทยาเขตภาคตะวันออกเฉียงเหนือนครราชสีมา
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
คติพจน์	ทุกคนเลือกที่จะเกิดไม่ได้ แต่ทุกๆ คนเลือกที่จะทำความดีได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง

ชื่อผู้ทำปริญญานิพนธ์	นายสิทธิพงศ์ ขัดฝั้น
วันเดือนปีเกิด	5 สิงหาคม 2519
สถานที่เกิด	จังหวัดลำปาง
ภูมิลำเนาเดิม	150 หมู่ 6 ต.ปงยางคก อ.ห้างฉัตร จ.ลำปาง 52190
ที่อยู่ปัจจุบัน	150 หมู่ 6 ต.ปงยางคก อ.ห้างฉัตร จ.ลำปาง 52190
โทรศัพท์	054-367542
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนบ้านจำ
มัธยมศึกษา	โรงเรียนห้างฉัตรวิทยา
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคลำปาง
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคลำปาง
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ทุนการศึกษา	ทุนกู้ยืมเพื่อการศึกษาปี 2540
คติพจน์	จะพูดดีแค่ไหนก็ตาม ถ้าไม่ทำมันก็ไม่เสร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง

ชื่อผู้ทำปริญญานิพนธ์	นายสุรศักดิ์ ดุงแก้ว
วันเดือนปีเกิด	29 ธันวาคม 2519
สถานที่เกิด	จังหวัดอุดรธานี
ภูมิลำเนาเดิม	282/5 ต.ศรีสุทโธ อ.บ้านดุง จ.อุดรธานี 41190
ที่อยู่ปัจจุบัน	282/5 ต.ศรีสุทโธ อ.บ้านดุง จ.อุดรธานี 41190
โทรศัพท์	042-271013
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนศรีขวัญเมือง
มัธยมศึกษา	โรงเรียนบ้านดุงวิทยา
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคอุดรธานี
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	สถาบันเทคโนโลยีราชมงคล วิทยาเขตขอนแก่น
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
คติพจน์	คนเลวที่ชอบช่วยเหลือคนอื่น ยังประเสริฐกว่าคนดีที่ไม่เคยช่วยเหลือใครเลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง

ชื่อผู้ทำปริญญานิพนธ์	นายอมร ศรีแก้ว
วันเดือนปีเกิด	20 ธันวาคม 2520
สถานที่เกิด	กรุงเทพมหานคร
ภูมิลำเนาเดิม	134 หมู่บ้านถนอมสุข ถนนสวนผัก แขวงฉิมพลี เขตตลิ่งชัน กรุงเทพมหานคร 10170
ที่อยู่ปัจจุบัน	70/178 หมู่บ้านสินทวีวิลล่า ถนนพระราม 2 แขวงบางมด เขตจอมทอง กรุงเทพมหานคร 10150
โทรศัพท์	02-8671431
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนกันตะบุตร
มัธยมศึกษา	โรงเรียนมัธยมสาธิตวิทยาลัยครูสวนสุนันทา
ประกาศนียบัตรวิชาชีพ (ปวช.)	โรงเรียนเทคโนโลยีสยาม
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	สถาบันเทคโนโลยีราชมงคล วิทยาเขตเทคนิค กรุงเทพมหานคร
ปริญญาตรี	สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
คติพจน์	ตนเป็นที่พึ่งแห่งตน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้