สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องรับ-ส่งข้อมูลแบบไร้สาย

WIRELESS DATA TRANSCEIVER

โดย

นางสาวนภาพร ตติยกิจเจริญ

นายปวีณ ตั้งสุขสันต์

นายภาคภูมิ ชวนไชยะกูล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

วพ.
ส 197ด
2542

เลขหมู่.....
เลขทะเบียน 37163
วัน, เดือน, ปี 4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ-ส่งข้อมูลแบบไร้สาย
WIRELESS DATA TRANSCEIVER

โดย

นางสาวนภาพร ตติยกิจเจริญ 39014244
นายปวีณ ตั้งสุขสันต์ 39014317
นายภาคภูมิ ชวนไชยะกูล 39014386

อาจารย์ที่ปรึกษา
ดร.สุทธิชัย นพนาคีพงษ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับ-ส่งข้อมูลแบบไร้สาย**

WIRELESS DATA TRANSCEIVER

ผู้จัดทำ

1.นางสาวนภาพร ตติยกิจเจริญ 39014244

2.นายปวีณ ตั้งสุขสันต์ 39014317

3.นายภาคภูมิ ชวนไชยะกูล 39014386

อาจารย์ที่ปรึกษา

(ดร.สุทธิชัย นพนาคีพงษ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ-ส่ง ข้อมูลแบบไร้สาย

WIRELESS DATA TRANSCEIVER

โดย นางสาวนภาพร ตติยกิจเจริญ 39014244
นายปวีณ ตั้งสุขสันต์ 39014317
นายภาคภูมิ ชวนไชยะกูล 39014386

อาจารย์ที่ปรึกษา ดร.สุทธิชัย นพนาคีพงษ์

บทคัดย่อ

โครงงานนี้เป็นการเสนอเกี่ยวกับเครื่องรับ-ส่ง ที่สามารถส่งข้อมูลได้พร้อมๆกัน 8 ช่องสัญญาณ โดยที่สัญญาณอนาล็อกจากช่องอินพุทต่างๆ จะถูกเปลี่ยนเป็นสัญญาณดิจิตอลโดยวิธีการของพัลซ์โคดมอดูเลชั่น จากนั้นสัญญาณดิจิตอลที่ได้จะถูกนำไปมัลติเพล็กซ์ต่อโดยวิธีการของการมัลติเพล็กซ์แบบแบ่งเวลา ข้อมูลที่ได้จะถูกส่งออกอากาศไปยังด้านรับ ส่วนทางด้านรับก็จะทำการดีมัลติเพล็กซ์เอาข้อมูลจากช่องสัญญาณอินพุทต่างๆออกมา สุดท้ายก็จะใช้วิธีการของการอินเตอร์เฟสข้อมูล ก็จะทำให้ข้อมูลแสดงผลทางจอคอมพิวเตอร์ได้

ABSTRACT

This project presents the transceiver which can simultaneously transmit the data on eight channels. The analogue signal from input channels is converted to digital signal by means of Pulse Code Modulation. After that, the digital signal is multiplexed by means of Time Division Multiplex. The data is transmitted through the air media to the receiver. Next, the receiver will demultiplex the data from input channels. Finally using the technique of interfacing, the data will display on the computer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีหรือหลักการ	2
2.1 การสื่อสารข้อมูลแบบดิจิตอล	2
2.1.1 รูปแบบการสื่อสารข้อมูลแบบอนุกรม	2
2.1.2 การส่งข้อมูลแบบซิงโครนัสและแบบอะซิงโครนัส	4
2.1.3 หลักการของพัลซ์โคดมอดูเลชั่น	7
2.1.4 การเข้ารหัส	8
2.2 การมัลติเพล็กซ์	12
2.2.1 วิธีมัลติเพล็กซ์แบบแบ่งตามช่องว่าง	12
2.2.2 วิธีมัลติเพล็กซ์แบบแบ่งตามความถี่	12
2.2.3 วิธีมัลติเพล็กซ์แบบแบ่งตามเวลา	13
2.3 การมอดูเลตสัญญาณดิจิตอล	13
2.3.1 ฟรีเควนซีชิฟคีย์อิ้ง	13
2.3.2 แอมปลิจูดชิฟคีย์อิ้ง	15
2.3.3 เฟสชิฟคีย์อิ้ง	17
2.3.4 เฟสแอมปลิจูดมอดูเลชั่น	19
2.3.5 หลักการในการมอดูเลตสัญญาณฟรีเควนซีชิฟคีย์อิ้ง	19
2.4 เฟสล็อกลูป	19
2.4.1 หลักการของเฟสล็อกลูป	20
2.4.2 การนำวงจรเฟสล็อกลูปไปใช้งาน	21
2.4.3 ข้อดีและข้อเสียของวงจรเฟสล็อกลูป	24
2.5 ส่วนของการติดต่อกับคอมพิวเตอร์	24
2.5.1 สัญญาณต่างๆบนสล็อตของ IBM PC	25
2.5.2 การจัดแอดเดรสสำหรับ อินพุท/เอาต์พุท	27
2.5.3 การใช้งานแอดเดรสสำหรับ อินพุท/เอาต์พุทใน IBM PC	28
บทที่ 3 การคำนวณและการสร้าง	31
3.1 การออกแบบวงจรภาคส่ง	31
3.1.1 ผังการทำงานของภาคส่งทางด้านไฟฟ้า	32
3.1.2 วงจรทางด้านเครื่องส่ง	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

3.1.3 การทำงานของภาคส่งสัญญาณออกอากาศ 37
3.2 การออกแบบวงจรภาครับ 37
3.2.1 ภาครับสัญญาณจากการส่งออกอากาศ 37
3.2.2 ภาครับสัญญาณไฟฟ้า 39
3.2.3 การทำงานส่วนต่างๆของไฟล์วชาร์ต 49
3.2.4 ภาคจ่ายไฟทางด้านส่ง 52
3.2.5 ภาคจ่ายไฟทางด้านรับ 52
บทที่ 4 การทดลองและผลการทดลอง 54
4.1 การทดลองส่วนของวงจรภาคส่ง 54
4.2 การทดลองส่วนของวงจรภาครับ 54
4.3 ผลการทดลองของวงจรส่วนต่างๆ 55
4.3.1 ผลการทดลองภาคส่ง 55
4.3.2 ผลการทดลองภาครับ 61
4.4 ปัญหาที่พบในการทดลอง 70
บทที่ 5 บทวิจารณ์และบทสรุป 71
5.1 สรุปผลการทดลอง 71
5.2 บทวิจารณ์ 71

ภาคผนวก
กิตติกรรมประกาศ
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปภาพ	หน้า
รูปที่ 2.1 แสดงการส่งข้อมูลแบบขนาน	3
รูปที่ 2.2 แสดงการส่งข้อมูลแบบอนุกรม	3
รูปที่ 2.3 แสดงรูปแบบการสื่อสารข้อมูลแบบข้อมูลอนุกรม	4
รูปที่ 2.4 แสดงการส่งข้อมูลแบบซิงโครนัส	5
รูปที่ 2.5 แสดงตัวอย่างของการหาอักขระซิงโครนัส	5
รูปที่ 2.6 แสดงการส่งข้อมูลแบบไม่สัมพันธ์	6
รูปที่ 2.7 แสดงขั้นตอนในวิธีพีซีเอ็ม	7
รูปที่ 2.8 แสดงการเปรียบเทียบระหว่างสัญญาณ NRZ และ RZ	9
รูปที่ 2.9 แสดงสัญญาณยูนิโพลาร์และสัญญาณ AMI	9
รูปที่ 2.10 แสดงรหัสยูนิโพลาร์ ไบโพลาร์ และเพาเวอร์สเปกตรัม	10
รูปที่ 2.11 แสดงการเปลี่ยนสัญญาณไบนารีเป็นรหัส CMI	10
รูปที่ 2.12 แสดงความสัมพันธ์ระหว่างรหัส AMI และ HDB-3	11
รูปที่ 2.13 แสดงการมัลติเพล็กซ์แบบแบ่งตามความถี่	12
รูปที่ 2.14 แสดงการมัลติเพล็กซ์แบบแบ่งตามเวลา	13
รูปที่ 2.15 แสดงหลักการทำงานของเอฟเอสเค	14
รูปที่ 2.16 แสดงรูปแบบของการมอดูเลตทางแอมปลิจูด	15
รูปที่ 2.17 แสดง ออน-ออฟ เอเอสเค	16
รูปที่ 2.18 แสดง เฟส รีเวอซอล คีย์อิ้ง	16
รูปที่ 2.19 แสดงการมอดูเลตแบบ เอเอสเค	17
รูปที่ 2.20 แสดงสัญญาณเฟสชิฟคีย์อิงค์	18
รูปที่ 2.21 แสดงการแบ่งสัญญาณเฟสชิฟคีย์อิงค์	18
รูปที่ 2.22 แสดงเฟสของสัญญาณในการส่งด้วยความเร็ว 900 บิตต่อวินาที	19
รูปที่ 2.23 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูป	20
รูปที่ 2.24 แสดงคุณลักษณะระหว่างความถี่กับเออเรอร์โวลท์เตจของเฟสล็อกลูป	21
รูปที่ 2.25 แสดงวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป	22
รูปที่ 2.26 แสดงวงจรเลื่อนความถี่	22
รูปที่ 2.27 แสดงการตรวจสัญญาณเอเอ็มแบบโคฮีเรนต์โดยใช้วงจรเฟสล็อกลูป	24
รูปที่ 2.28 แสดงสล็อตบนคอมพิวเตอร์	25
รูปที่ 2.29 แสดงขาสัญญาณต่างๆใน อินพุท/เอาต์พุท สล็อตบน IBM PC	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปภาพ	หน้า
รูปที่ 2.30 แสดงการใช้แอดเดรสบิตต่างๆในการอ้างแอดเดรสของพอร์ทใน IBM PC	28
รูปที่ 2.31 แสดงการใช้งานแอดเดรสของพอร์ทบน IBM PC	28
รูปที่ 2.32 แสดงการใช้งานแอดเดรสต่างๆสำหรับพอร์ท อินพุท/เอาต์พุท ของ IBM PC	29
รูปที่ 2.33 การใช้งานแอดเดรสสำหรับพอร์ท I/O	30
รูปที่ 3.1 บล็อกไดอะแกรมภาคส่ง	31
รูปที่ 3.2 บล็อกไดอะแกรมภาครับ	31
รูปที่ 3.3 ผังการทำงานของภาคส่งทางด้านไฟฟ้า	32
รูปที่ 3.4 วงจรเข้ารหัสสัญญาณ พีซีเอ็ม และมัลติเพล็กซ์	33
รูปที่ 3.5 วงจรเข้ารหัส	34
รูปที่ 3.6 สัญญาณที่จุดต่างๆ ของวงจรเข้ารหัส	35
รูปที่ 3.7 วงจรสร้างสัญญาณคล็อก	35
รูปที่ 3.8 วงจรจัดช่องสัญญาณ	36
รูปที่ 3.9 ไทมมิ่งไดอะแกรมของวงจรจัดช่องสัญญาณ	36
รูปที่ 3.10 วงจรมอดูเลตของภาคส่ง	37
รูปที่ 3.11 วงจรดีมอดูเลตของภาครับ	38
รูปที่ 3.12 วงจรขยายสัญญาณและเปรียบเทียบแรงดัน	38
รูปที่ 3.13 บล็อกไดอะแกรมภาครับสัญญาณไฟฟ้า	39
รูปที่ 3.14 วงจรคล็อกรีโคเวอร์รี่	41
รูปที่ 3.15 ส่วนของวงจรโมโนสเตเบิล มัลติไวเบรเตอร์	42
รูปที่ 3.16 ไทมมิ่งไดอะแกรม แสดงการทำงานของวงจรโมโนสเตเบิล มัลติไวเบรเตอร์	42
รูปที่ 3.17 บล็อกไดอะแกรมของส่วนเฟสล็อกลูป	43
รูปที่ 3.18 ส่วนของวงจรเฟสล็อกลูป	43
รูปที่ 3.19 ไทมมิ่งไดอะแกรมของส่วนเฟสล็อกลูป	43
รูปที่ 3.20 วงจรโลพาสฟิวเตอร์	44
รูปที่ 3.21 แสดงการทำงานของวงจรแยกสัญญาณซิงค์และข้อมูล	44
รูปที่ 3.22 แสดงไทมมิ่งไดอะแกรมของวงจรแยกสัญญาณซิงค์	45
รูปที่ 3.23 วงจรแยกสัญญาณซิงค์	46
รูปที่ 3.24 แสดงผังการทำงานของ SIPO และวงจรจัดช่องสัญญาณ	46
รูปที่ 3.25 แสดงไทมมิ่งไดอะแกรมของวงจรจัดช่องสัญญาณด้านรับ	47
รูปที่ 3.26 วงจร SIPO และวงจรจัดช่องสัญญาณ และส่วนอินเตอร์เฟส	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปภาพ	หน้า
รูปที่ 3.27 โฟล์วชาร์ต การทำงานหลักของโปรแกรมแสดงผลข้อมูล 8 ช่องสัญญาณ	50
รูปที่ 3.28 โฟล์วชาร์ต การทำงานของส่วนแสดงผลเฉพาะช่องสัญญาณ	51
รูปที่ 3.29 แหล่งจ่ายไฟทางด้านรับ	52
รูปที่ 3.30 แหล่งจ่ายไฟทางด้านส่ง	53
รูปที่ 4.1 แสดงระหว่างช่วงเวลาของการทำงานแต่ละแชนแนล กับคล็อก 128 กิโลเฮิร์ต	55
รูปที่ 4.2 แสดงผลการทดลองในส่วนของวงจรเข้ารหัสแบบ RZ	56
รูปที่ 4.3 แสดงเวลาของแต่ละแชนแนล ในการทำมัลติเพล็กซ์สัญญาณของแต่ละแชนแนล	57
รูปที่ 4.4 แสดงสัญญาณข้อมูลของแต่ละแชนแนล	58
รูปที่ 4.5 (ก) แสดงรูปสเป็กตรัมของความถี่คลื่นพาหะที่ความถี่ 389 เมกกะเฮิร์ต	59
(ข) แสดงผลสเป็กตรัมที่มีการมอดูเลตแบบแอมปลิจูดชิฟคีย์อิ้ง	59
รูปที่ 4.6 แสดงรูปสัญญาณที่ผ่านการมอดูเลต	60
รูปที่ 4.7 แสดงสัญญาณที่รับได้ที่เครื่องรับภาคดีมอดูเลต	61
รูปที่ 4.8 แสดงผลการทำงานของวงจรภาคขยายสัญญาณและเปรียบเทียบแรงดัน	62
รูปที่ 4.9 แสดงผลการทดลองการทำงานของวงจรโมโนสเตเบิล มัลติไวเบรเตอร์	63
รูปที่ 4.10 แสดงการสัมพันธ์กันระหว่างสัญญาณอินพุทกับคล็อกของภาคคล็อกรีไดเวอร์รี่	64
รูปที่ 4.11 แสดงผลจากการทดลองการทำงานของภาคแยกสัญญาณซิงค์และข้อมูล	65
รูปที่ 4.12 แสดงผลจากการทดลองการทำงานของส่วน SIPO	66
รูปที่ 4.13 แสดงผลจากการทดลองความสัมพันธ์ระหว่างสัญญาณต่างๆ ของส่วนจัดช่องสัญญาณ	67
รูปที่ 4.14 แสดงการจัดวางแผงวงจรภายในเครื่องส่ง	68
รูปที่ 4.15 แสดงการจัดวางแผงวงจรภาครับ	68
รูปที่ 4.16 แสดงผลส่วนของโปรแกรมประมวลผลและกราฟ	69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

เนื่องจากในปัจจุบันนี้เป็นโลกของข้อมูลข่าวสาร ดังนั้นถ้าบุคคลใดสามารถที่จะสื่อสารข้อมูลได้สะดวกรวดเร็ว สามารถควบคุมการนำข่าวสาร หรือ สามารถนำข่าวสารมาประยุกต์ใช้งานได้ บุคคลนั้นก็จะสามารถวางแผนการทำงานต่างๆได้สะดวกและรวดเร็ว รวมทั้งการนำข้อมูลข่าวสารมาใช้เพิ่มประสิทธิภาพภายในองค์กรหรือหน่วยงานในบริษัทได้ ทั้งในด้านของฐานข้อมูลทางสถิติ ในด้านของระบบรักษาความปลอดภัย และอื่นๆ

ดังนั้นในโครงงานนี้จึงได้นำเสนอการส่งผ่านข้อมูลแบบไร้สายจากจุดหนึ่งไปยังอีกจุดหนึ่ง โดยข้อมูลข่าวสารที่จะส่งเป็นสัญญาณอนาล็อกที่ได้จากตัวเซนเซอร์ต่างๆ 8 แหล่ง แล้วทำการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลก่อน โดยใช้เทคนิคของพัลซ์โคดมอดูเลชั่น เมื่อได้รหัสสัญญาณดิจิตอลแล้วก็ทำการมัลติเพล็กซ์สัญญาณดิจิตอลทั้ง 8 แหล่ง โดยใช้เทคนิคการมัลติเพล็กซ์แบบแบ่งเวลา เมื่อผ่านการมัลติเพล็กซ์แล้วสัญญาณของแต่ละแชนแนลจะถูกส่งเรียงกันออกมา แล้วส่งออกอากาศมายังด้านรับ ส่วนทางด้านรับก็จะทำการดีเทคสัญญาณของแต่ละแชนแนลเพื่อนำข้อมูลต่างๆกลับคืนมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีหรือหลักการ

2.1 การสื่อสารข้อมูลแบบดิจิตอล

การสื่อสารข้อมูลแบบดิจิตอล นั้นข้อมูลจากแหล่งกำเนิดจะอยู่ในลักษณะสัญญาณดิจิตอลและข้อมูลที่รับได้ก็จะอยู่ในลักษณะดิจิตอลเช่นเดียวกัน ข่าวสารจากแหล่งกำเนิดอาจจะเป็นรหัสของตัวอักษร ตัวเลข เครื่องหมายที่อยู่ในรูปเลขฐานสอง หรือสัญญาณอนาล็อกที่ทำการเปลี่ยนเป็นสัญญาณดิจิตอลแล้ว เป็นต้น

การถ่ายโอนข้อมูลจากที่หนึ่งไปยังอีกที่หนึ่งนั้นมีอยู่ 2 ประเภท

1.การถ่ายโอนข้อมูลแบบขนาน ลักษณะการส่งข้อมูลแบบขนาน ทำได้โดยการส่งข้อมูลออกมาทีละ 1 ไบต์จากอุปกรณ์ส่งไปยังอุปกรณ์รับ ตัวกลางระหว่าง อุปกรณ์รับ-ส่งจะต้องมีช่องทางให้ข้อมูลเดินทางอย่างน้อย 8 ช่องทาง โดยมากจะเป็นสายขนานให้กระแสไฟฟ้าวิ่งมากกว่าจะเป็นตัวกลางชนิดอื่น ดังแสดงในรูปที่ 2.1 เนื่องจากมีการลดทอนของสัญญาณเนื่องจากความต้านทานของสาย ระยะทางระหว่าง อุปกรณ์รับ-ส่งจึงไม่ควรเกิน 100 ฟุต ปัญหาที่เกิดขึ้นหากระยะทางของสายมากกว่านี้ คือ ระดับของกราวน์ในทางไฟฟ้าที่จุดรับผิดไปจากจุดส่งทำให้เกิดการผิดพลาดในการรับสัญญาณทางด้านรับได้

จะเห็นว่าการส่งแบบขนานส่วนมากจะทำในระยะทางใกล้ๆ เนื่องจากจะต้องมีช่องทางเดินของสัญญาณมากกว่า 8 สาย

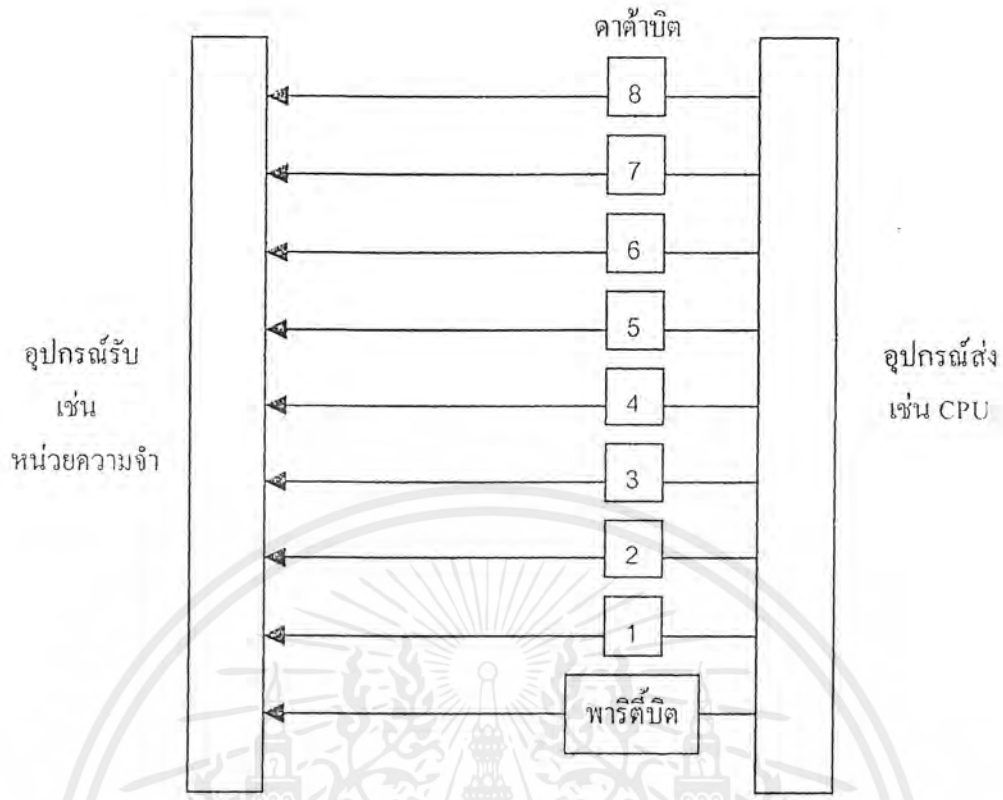
2.การถ่ายโอนข้อมูลแบบอนุกรม ในการถ่ายโอนข้อมูลแบบอนุกรม ข้อมูลจะถูกส่งออกมาทีละบิตระหว่างอุปกรณ์รับ-ส่ง จะเห็นว่าการส่งข้อมูลแบบนี้จะช้ากว่าแบบขนานที่กล่าวมาแล้วอย่างแน่นอน แต่สาเหตุที่มีการนิยมใช้การส่งแบบนี้กันก็เพราะตัวกลางที่ใช้ในการสื่อสารแบบนี้ต้องการเพียงช่องสัญญาณเดียว ทำให้ค่าใช้จ่ายเรื่องของสื่อกลางถูกกว่าแบบขนาน สำหรับการส่งในระยะทางไกลๆ ดังแสดงในรูปที่ 2.2 จากรูปที่ 2.2 แสดงให้เห็นการส่งข้อมูลแบบอนุกรม ข้อมูลจากอุปกรณ์ส่งจะถูกเปลี่ยนให้เป็นอนุกรมเสียก่อนแล้วค่อยทยอยส่งออกทีละบิตไปยังอุปกรณ์รับ ที่อุปกรณ์รับจะต้องมีการเปลี่ยนข้อมูลที่ส่งมาทีละบิตให้เป็นสัญญาณแบบขนานซึ่งลงตัวพอดีนั่นคือ บิตที่ 1 ลงที่ ดาต้า บัส(data bus) เส้นที่ 1 พอดี การที่จะทำให้การแปลงสัญญาณจากอนุกรมทีละบิตให้ลงพอดีนั้นจำเป็นที่จะต้องมีกลไกที่เหมาะสมเพื่อป้องกันการผิดพลาดในการรับ กลไกที่ว่านี้แบ่งออกเป็น 2 แบบ คือ 1.การส่งข้อมูลแบบซิงโครนัส 2.การส่งข้อมูลแบบอะซิงโครนัส

2.1.1รูปแบบการสื่อสารข้อมูลแบบอนุกรม

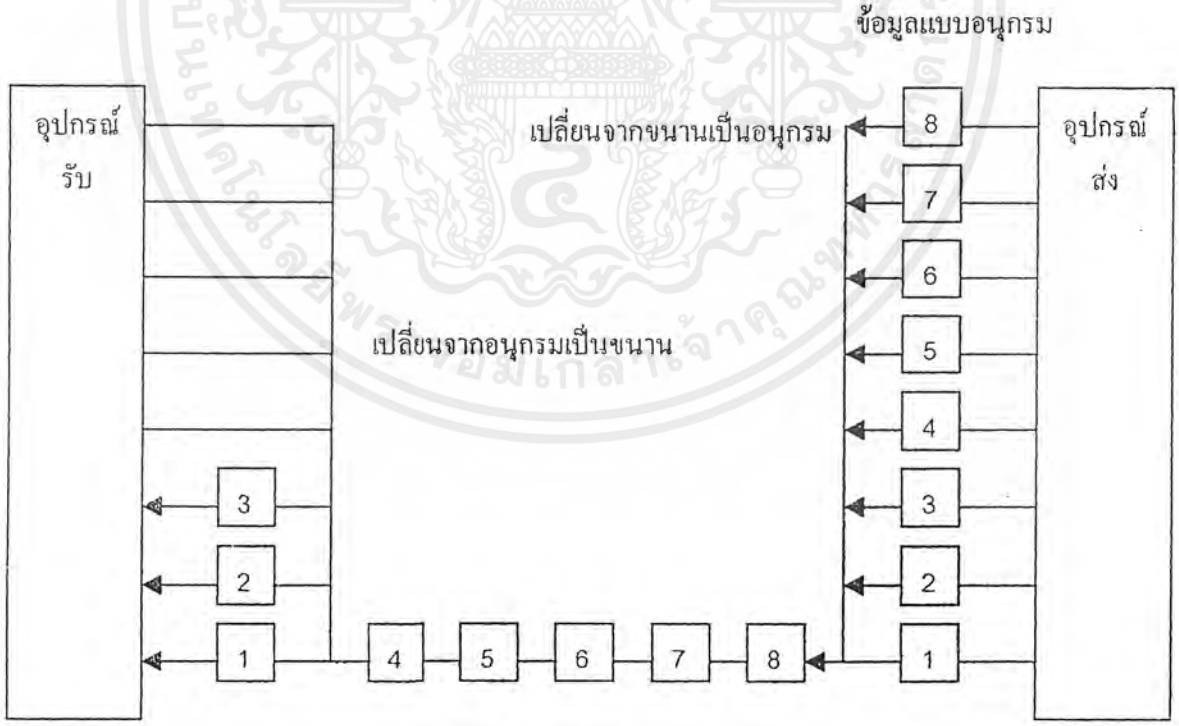
การติดต่อสื่อสารแบบอนุกรมอาจแบ่งตามรูปได้ 3 แบบ

1.แบบซิมเพล็กซ์ (Simplex) ข้อมูลที่ส่งได้ในทางเดียวเท่านั้น บางครั้งก็เรียกว่าการส่งทิศทางเดียว ในการสื่อสารแบบนี้อุปกรณ์สื่อสารด้านหนึ่ง จะส่งข้อมูลไปในช่องสัญญาณได้เท่านั้นแต่จะรับข้อมูลจากช่องสัญญาณไม่ได้ แต่อุปกรณ์สื่อสารอีกด้านหนึ่งจะรับข้อมูลจากช่องสัญญาณได้เท่านั้น และจะส่งข้อมูลไปในช่องสัญญาณไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงการส่งข้อมูลแบบขนาน

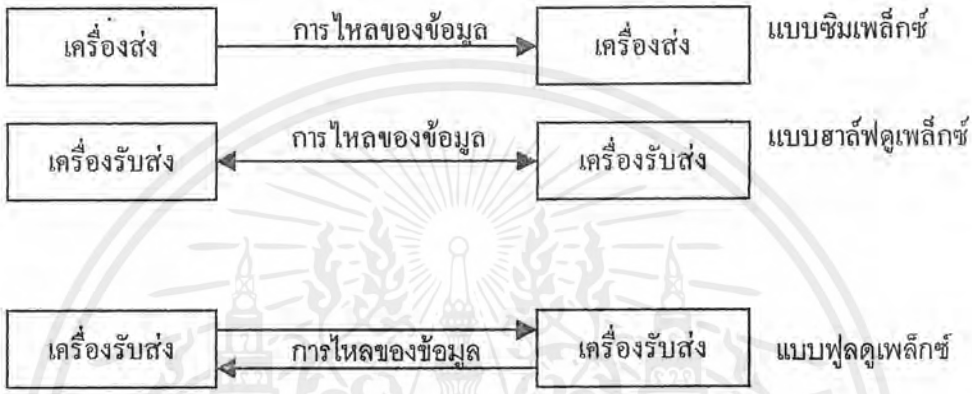


รูปที่ 2.2 แสดงการส่งข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.แบบฮาล์ฟดูเพล็กซ์ (Half Duplex) หมายถึงการสื่อสารข้อมูลใน 2 ทิศทางแต่ในช่วงเวลาหนึ่งได้เพียงทิศทางเดียวเท่านั้น อุปกรณ์สื่อสารทั้ง 2 ด้านจะผลัดกันรับ-ส่ง การสื่อสารแบบนี้ส่วนใหญ่แล้วจะใช้ระบบสาย 2 เส้น

3.แบบฟูลดูเพล็กซ์ (Full Duplex) หมายถึงการสื่อสารข้อมูล 2 ทิศทางพร้อมกัน การสื่อสารแบบนี้ใช้ได้ทั้งระบบสาย 2 เส้น และสาย 4 เส้น แต่ในระบบสาย 2 เส้น จะต้องอาศัยเทคนิคการแบ่งความถี่เข้าช่วย คือ จะส่งในความถี่ช่วงหนึ่งและจะรับในความถี่อีกช่วงหนึ่ง



รูปที่ 2.3 แสดงรูปแบบการสื่อสารข้อมูลแบบข้อมูลอนุกรม

2.1.2 การส่งข้อมูลแบบซิงโครนัสและแบบอะซิงโครนัส (Synchronous and Asynchronous Transmission)

การส่งข้อมูลแบบซิงโครนัส หมายถึง การที่ด้านรับอ่านข้อมูลเข้ามาในจังหวะเดียวกับด้านส่ง โดยใช้สัญญาณนาฬิกาเป็นตัวกำหนดจังหวะการทำงานของรีจิสเตอร์ทั้งสองให้ทำงานสัมพันธ์กัน นอกจากนี้เมื่อจังหวะเวลาถูกตั้งให้ซิงโครนัสกับทางด้านรับได้แล้ว ข้อมูลจะถูกส่งไปบนทางติดต่อในแบบบิตต่อบิตต่อเนื่องกันไปอาศัยช่วงเวลาระหว่างบิตต่อบิตมีค่าเท่ากันโดยไม่ต้องมีบิตเริ่มส่งหรือบิตจบคอยกำกับ ทำให้ความเร็วในการส่งข้อมูลมีสูง ข้อเสียของการส่งแบบซิงโครนัส คือ การที่ต้องมีสัญญาณนาฬิกาขนานไปกับข้อมูล ทำให้ต้องการทางติดต่อช่องที่สองเพิ่มขึ้น โดยเฉพาะกรณีระยะทางไกลๆเป็นการยากมากที่จัดหาทางติดต่อแยกต่างหากสำหรับสัญญาณนาฬิกา นอกจากนี้ทางด้านรับต้องมีวงจรเฟสล็อคลูป (PLL) เพิ่ม ทำหน้าที่รับข้อมูลจังหวะเวลาจากด้านส่ง และสร้างสัญญาณนาฬิกาขึ้นมาใหม่ทางด้านรับ เพื่อให้เกิดการซิงโครนัสขึ้น อาจกล่าวได้ว่าการส่งแบบซิงโครนัสมีค่าใช้จ่ายแพงกว่าแบบอะซิงโครนัส

สิ่งที่ควรเพิ่มเติมในการส่งข้อมูลแบบสัมพันธ์ (Synchronous Transmission) มีดังนี้

ข้อมูลในแบบซิงโครนัสนี้ จะถูกจัดการให้อยู่ในรูปของชุดข้อมูลที่มีลักษณะพิเศษ คือ ช่วงระยะเวลาระหว่างตัวอักษรด้วยกันจะไม่มี ทำให้การส่งข้อมูลเป็นไปอย่างต่อเนื่อง ซึ่งตัวอักษรจะแทนด้วยรหัสเลขฐานสอง เช่น รหัสแอสคี ดังรูปที่ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป ตัวอักษรจาก A-K ถูกส่งออกไปอย่างต่อเนื่อง โดยที่ช่วงเวลาระหว่างตัวอักษรมีค่าเท่ากับศูนย์ ทางด้านรับ (ด้านเอ) จะต้องทราบตำแหน่งแรกของตัวอักษรตัวแรกสุดรวมทั้งขนาดของตัวอักษรและความเร็ว ในการส่งด้วย อย่างเช่นในกรณีตัวอักษรเป็นรหัสแอสกี พบว่าแต่ละตัวอักษรมีขนาด 8 บิต เมื่อถึงจุดนี้พบว่า ปัญหาที่เกิดขึ้นคือ ทำอย่างไรจึงจะรู้ตำแหน่งบิตแรกของตัวอักษรตัวแรกได้ มีการแก้ปัญหาโดยการกำหนด ตัวอักขระแบบพิเศษที่ใช้เฉพาะทำหน้าที่การซิงโครนัสเท่านั้นเรียกว่าอักขระการควบคุมซิงโครนัส

รูปที่ 2.4 แสดงการส่งข้อมูลแบบซิงโครนัส

อย่างเช่นทางด้านส่งรหัสแอสกีใช้ค่า TC9 แทน SYN Character การที่มีอักขระ “SYN” เพื่อแจ้งให้ ด้านรับทราบว่าข้อมูลหลังจากอักขระ SYN คือข่าวสารที่ต้องการติดต่อรับได้เลย

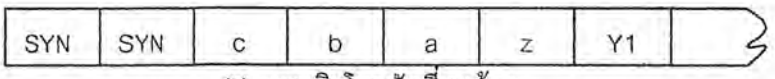
ส่วนทางด้านรับจะมีขั้นตอนการทำงานดังนี้

1.ด้านรับทำการตรวจสอบ อักขระ SYN ในสายข้อมูลให้พบก่อน โดยมีการกำหนดรูปแบบบิตของอักขระ SYN เป็น 00010110 (พาริตี้คี่)

2.ตำแหน่งที่ด้านรับกำลังตรวจสอบ จะนำข้อมูลขณะนั้นไปเปรียบเทียบกับอักขระ SYN แล้วจะสามารถรับ อักษรหลังจากนั้นไปได้อย่างต่อเนื่อง

อย่างไรก็ตามก็ยังมีปัญหาเกิดขึ้นตามมา ดังตัวอย่างในรูปที่ 2.5

(a) การซิงโครนัสที่ผิดพลาด

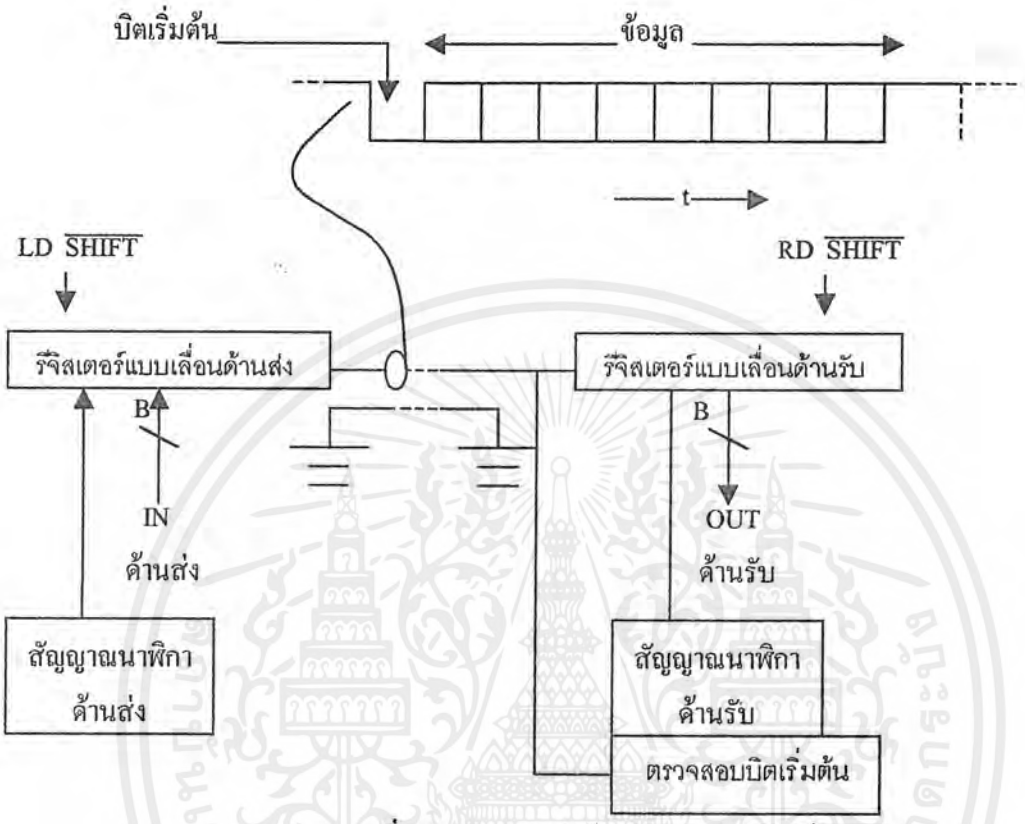


(b) การซิงโครนัสที่ถูกต้อง

รูปที่ 2.5 แสดงตัวอย่างของการหาอักขระซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลแบบไม่สัมพันธ์ (Asynchronous Transmission) พิจารณาจากรูป



รูปที่ 2.6 แสดงการส่งข้อมูลแบบไม่สัมพันธ์

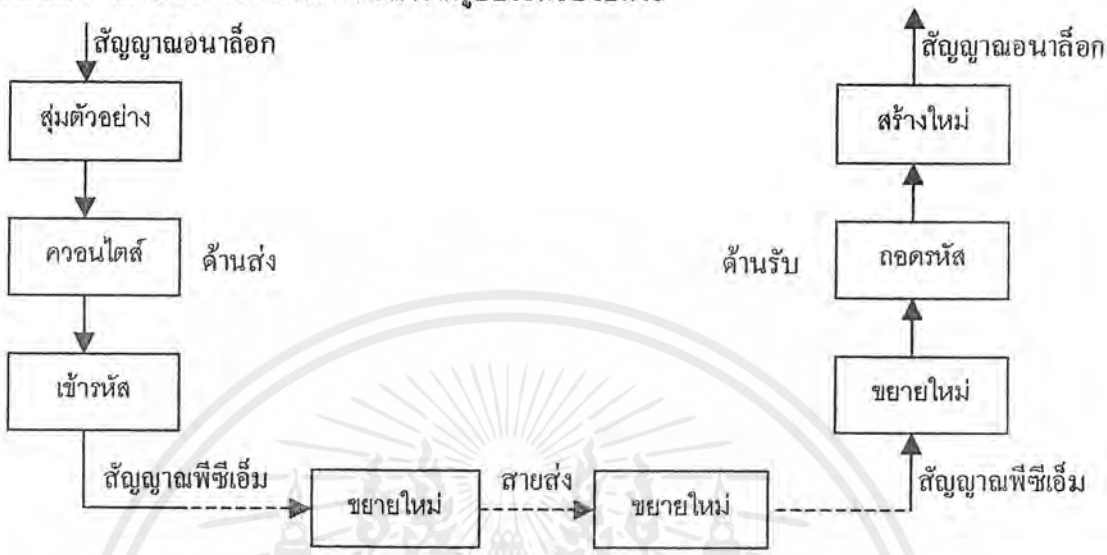
จากรูปพบว่าวิธีนี้ไม่จำเป็นต้องมีการซิงโครนัสกันตลอดเวลาบนทางติดต่อข้อมูล โดยจะมีการซิงโครนัสก็ต่อเมื่อมีข้อมูลที่จะรับ-ส่งเท่านั้น จึงต้องมีการใช้บิตเริ่มต้น (Start Bit) เพื่อให้ทางด้านรับตรวจจับการเริ่มส่งของข้อมูล และมีผลให้วงจรกำเนิดสัญญาณนาฬิกาภายในด้านรับเกิดการทำงาน เพื่อให้เกิดการซิงโครนัสกันในการรับ-ส่งข้อมูล

สำหรับความถี่ในการทำงานของสัญญาณกำเนิดสัญญาณนาฬิกา ทั้งทางด้านส่งและทางด้านรับมีค่าเท่ากัน และขึ้นอยู่กับอัตราบิตที่ใช้ด้วย นอกจากนี้มีการเพิ่มบิตลงในข้อมูล ทำให้ความเร็วในการส่งข้อมูลช้ากว่าแบบสัมพันธ์ แต่ค่าใช้จ่ายต่ำกว่าด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 หลักการของพีซีเอ็ม

จัดเป็นวิธีหนึ่งของการแปลงสัญญาณอนาล็อก เป็นสัญญาณดิจิตอล และสามารถนำมาแปลงกลับเป็นรูปเดิมได้อีก ขั้นตอนในวิธีพีซีเอ็ม พิจารณาจากรูปประกอบไปด้วย



รูปที่ 2.7 แสดงขั้นตอนในวิธี พีซีเอ็ม

จากรูปในวิธีการเลือกจุดต่างๆ บนกราฟเสียงที่เป็นอนาล็อก เรียกว่า การสุ่มตัวอย่าง (sample) ขอให้เข้าใจว่าสัญญาณที่ถูกสุ่มตัวอย่างในระบบ พีซีเอ็ม คือสัญญาณ PAM ของสัญญาณอนาล็อก เพราะการส่งแบบพีซีเอ็มคือการนำสัญญาณ PAM มาเข้ารหัสแบบดิจิตอล

สำหรับทฤษฎีในการสุ่มตัวอย่าง (sample theorem) ต้องมีการกำหนดค่าความถี่ในการสุ่มตัวอย่าง (sampilng frequency : fs) ให้มีค่าอย่างน้อยเป็น 2 เท่า ของความถี่สูงสุดของสัญญาณอินพุท เพราะจะทำให้สัญญาณจากการสุ่มตัวอย่าง สามารถบรรจุข่าวสารข้อมูลทั้งหมดของสัญญาณดั้งเดิมไว้ได้ ซึ่งในกรณีของเสียงมนุษย์ ควรใช้ความถี่สุ่มตัวอย่างเท่ากับ 8 กิโลเฮิร์ต(kHz) เพราะเสียงมนุษย์มีค่าความถี่สูงสุดเป็น 3,400 เฮิร์ต(Hz) (ในทางปฏิบัติคิดเป็น 4 กิโลเฮิร์ต) หรือ คิดได้ว่าช่วงเวลาระหว่างการสุ่มตัวอย่างเท่ากับ 1/8000 วินาที = 125 ไมโครวินาที

เมื่อได้สัญญาณ PAM แล้ว ค่าแอมปลิจูดของสัญญาณจะถูกจัดระดับเรียกว่า ควอนไตส์ (Quantizing) ซึ่งค่าแอมปลิจูดจะถูกแบ่งเป็นช่วงๆเท่ากัน เรียกว่าระดับการควอนไตส์ และแบ่งเป็น 8 ระดับ จากระดับที่ศูนย์ถึงเจ็ด ขนาดของแอมปลิจูดของสัญญาณ PAM จะถูกจัดให้อยู่ในระดับควอนไตส์ที่อยู่ที่ใกล้ที่สุด เช่นที่เวลา t1 สัญญาณอยู่ระหว่างระดับที่ 5 กับระดับที่ 6 แต่ให้อยู่ใกล้ระดับที่ 6 มากกว่า จึงเทียบค่าสถานะบิตให้เป็นระดับที่ 6 คือ 110 ในตัวอย่างเรากำหนดให้ 1 ระดับ แทน 3 บิต จึงแปลงเป็นรหัสฐานสอง (Encoding) ได้ดังนี้

-ที่เวลา t2 สัญญาณอยู่ระดับที่ 6 จึงเทียบเท่ากับ 110

-ที่เวลา t3 แทนได้ด้วยระดับที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-ที่เวลา t4 แทนได้ด้วยระดับที่ 2

-ที่เวลา t5 แทนได้ด้วยระดับที่ 1 และเวลาอื่นๆก็คิดเป็นหลักการนี้

เราได้เปลี่ยนสัญญาณดิจิตอลจากการควอนไตส์และเข้ารหัสฐานสองตามขบวนพัลซ์ได้แล้ว ซึ่งกรรมวิธีของการสุ่มตัวอย่างและการควอนไตส์ จะให้ค่าดิจิตอลที่แทนสัญญาณอนาล็อกที่เกิดขึ้นออกมา แต่ไม่เหมาะสำหรับการส่งไปตามสายหรือตามระบบส่งของวิทยุ จึงจำเป็นที่ต้องมีการแปรรูปแบบของสัญญาณที่แตกต่าง ซึ่งกรรมวิธีที่ใช้เรียกว่า การเข้ารหัส (encoding) โดยปกติค่าที่ได้จากการสุ่มตัวอย่างจะอยู่ในกลุ่มของเลขฐานสอง

ตามปกติแล้วค่าควอนไตส์ที่ได้จากการสุ่มตัวอย่างจะมีค่า 1 ใน 256 ค่ารูปแบบของเลขฐานสองที่ได้จากการสุ่มตัวอย่างจะอยู่ในกลุ่มของเลข 8 หลัก เรียกว่าค่าของพีซีเอ็ม (PCM word) จุดประสงค์สำหรับการส่งผ่านเลขฐานสองที่มีค่าเป็น "0" หรือ "1" ก็เพื่อแสดงการมีหรือขาดหายของสัญญาณพัลซ์ทางไฟฟ้านั่นเอง

ในสายส่งพัลซ์ที่มีลักษณะเป็นค่าของพีซีเอ็ม จะมีความเพี้ยนเกิดขึ้นทีละน้อย ตราบใดที่มันสามารถแยกพัลซ์ที่มีหรือขาดหายไป ก็จะไม่มีการสูญเสียข้อมูลข่าวสารเกิดขึ้น พัลซ์ที่เกิดขึ้นอย่างต่อเนื่องถูกนำมาขยายใหม่ (regenerated) ตัวอย่างเช่น พัลซ์ที่มีความเพี้ยนมากๆจะถูกนำมาขยายใหม่ ทำให้ข้อมูลข่าวสารสามารถส่งไปในระยะทางไกลโดยไม่มีความผิดเพี้ยนเกิดขึ้น ซึ่งเป็นข้อดีอย่างหนึ่งของการส่งข้อมูลแบบดิจิตอล

ทางด้านรับค่าของพีซีเอ็มถูกถอดรหัส แล้วผ่านทางการควอนไตส์ของค่าสุ่มตัวอย่างออกมา เป็นสัญญาณอนาล็อก ซึ่งสัญญาณอนาล็อกที่ออกมาจะแตกต่างกับสัญญาณอนาล็อกที่ป้อนเข้ามาเพียงเล็กน้อยเท่านั้น ซึ่งค่าแตกต่างนี้คือ ค่าความเพี้ยนเนื่องจากการควอนไตส์ (*Quantizing distortion*)

2.1.4 การเข้ารหัส

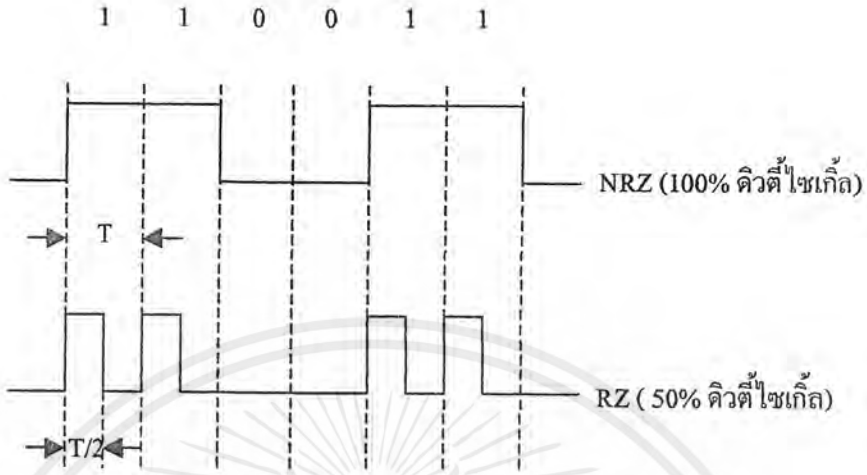
รหัส Non-Return-to-Zero (NRZ)

รหัสไบนารี NRZ ถูกนำมาใช้ในพื้นที่ของโครงข่ายดิจิตอลสวิชชิ่ง โดยมีลักษณะที่ระหว่างบิตต่อบิตของสัญญาณจะไม่กลับมาสู่ระดับ 0 และจะมีลักษณะตรงกันข้ามกับรหัส Return-to-Zero (RZ) ซึ่งในระหว่างบิตต่อบิตของสัญญาณจะกลับมาสู่ระดับ 0 ก่อนเสมอ ดังแสดงการเปรียบเทียบไว้ดังรูปที่ 2.8 สำหรับรหัส NRZ นี้ไม่เหมาะสมที่จะใช้สำหรับการส่งสัญญาณดิจิตอลไปตามสาย ด้วยเหตุผลดังต่อไปนี้

ก) องค์ประกอบกระแสตรง (DC) จะไม่สามารถผ่านทรานส์ฟอร์เมอร์ในสายส่งได้ จึงทำให้เป็นปัญหาสำหรับการอิควอไลซ์ที่รีเจนเนอร์เรทีฟรีพีทเตอร์ ตลอดเส้นทางการส่ง

ข) ในรีเจนเนอร์เรทีฟรีพีทเตอร์จะต้องสร้างวงจรตั้งเวลา(timing circuit) สำหรับซิงโครนัส ตัวรีพีทเตอร์เองโดยอาศัยสัญญาณดิจิตอลที่รับเข้ามา ดังนั้นถ้าใช้รหัส NRZ เป็นข้อมูลสำหรับการตั้งเวลานี้ อาจเกิดการผิดพลาดเนื่องจากในสายส่งอาจจะมีขบวนพัลซ์ที่เป็น "0" หรือ"1" ต่อเนื่องกันนานเกินไป ด้วยเหตุนี้ในระบบการส่งสัญญาณแบบดิจิตอลจึงใช้รหัสที่เป็น 3 ระดับแทนรหัส NRZ

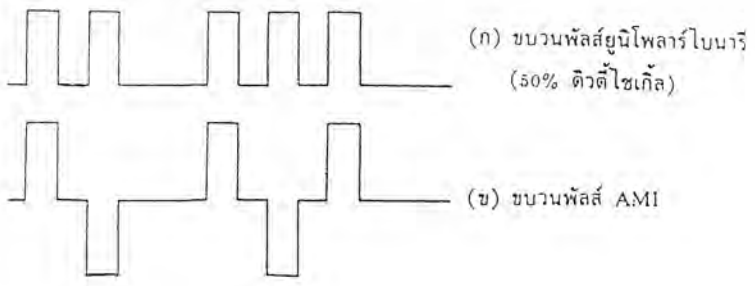
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 การเปรียบเทียบระหว่างสัญญาณ NRZ และ RZ

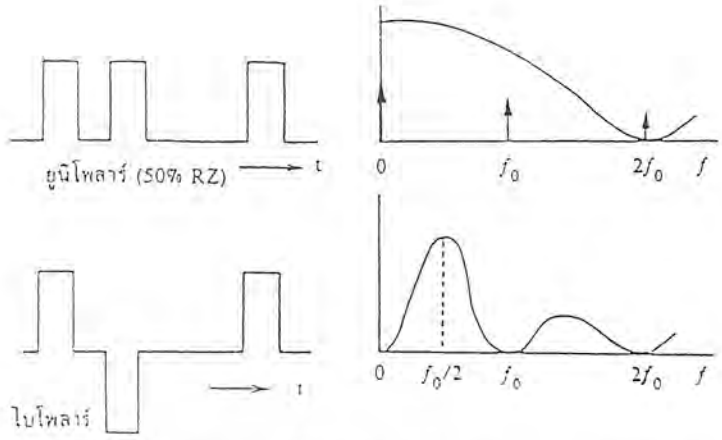
รหัส AMI (Alternate Mark Inversion)

โดยทั่วไปภายในอุปกรณ์ด้านส่งจะประมวลสัญญาณเป็นแบบยูนิโพลาร์ (Unipolar) อย่างเช่น NRZ ก่อนที่จะส่งออกสายส่งจะทำเป็นไบโพลาร์ ซึ่งรหัส AMI ก็เป็นชนิดหนึ่งของไบโพลาร์ รหัสนี้พัลซ์ที่เป็น "1"จะถูกส่งออกไปเป็นบวกและลบสลับกันไปตามรูปที่2.9การใช้รหัสนี้จะขจัดปัญหาเรื่อง DC ซึ่งไม่สามารถผ่าน ทรานฟอร์เมอร์คัปปลิ้งให้หมดไปได้ สิ่งที่เป็นปัญหาที่จะเกิดขึ้นในการใช้รหัสนี้จะมีเพียงอย่างเดียวคือความน่าจะเป็นขบวนพันล์ที่เป็น "0" ต่อเนื่องกันนาน แต่อย่างไรก็ตามความน่าจะเป็นของการเกิดกรณีนี้จะน้อยจึงไม่เป็นปัญหาในทางปฏิบัติ นอกจากนั้นที่สำคัญที่สุดคือการเลือกรูปร่างและขนาดของพัลซ์ที่เหมาะสมในการที่จะส่งออกไป เนื่องจากในย่านความถี่สูง S/N จะมีค่าน้อย ดังนั้นถ้าเป็นไปได้ต้องทำให้พลังงานของสัญญาณเคลื่อนที่ไปอยู่ที่ผ่านความถี่ต่ำ แต่ในขณะเดียวกันสัญญาณนั้นต้องรวมข่าวสารของความถี่คล็อก (clock) ไว้อย่างเพียงพอด้วย อย่างไรก็ตามรหัส AMI นี้จะสนองความต้องการทั้งสองอย่างดังกล่าวไปด้วยดี การเปรียบเทียบพัลซ์แบบยูนิโพลาร์และไบโพลาร์ พร้อมทั้งเพาเวอร์สเปคตรัมของมันจะแสดงไว้ดังรูปที่ 2.10



รูปที่ 2.9 สัญญาณยูนิโพลาร์และสัญญาณ AMI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

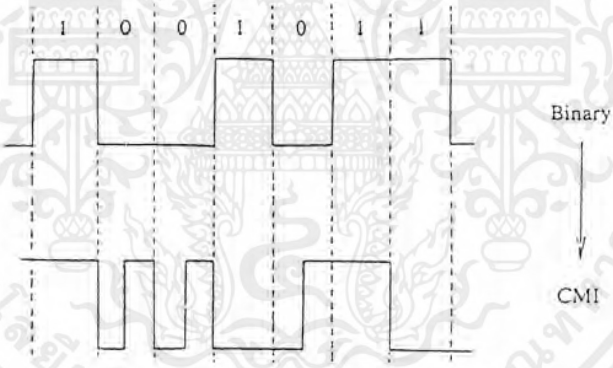


รูปที่ 2.10 รหัสยูนิโพลาร์ ไบโพลาร์ และเพาเวอร์สเปคตรัม

รหัส Coded Mark Inversion (CMI)

ถ้ารหัสเดิมเป็น "1" ให้ทำเป็น "1" และ "0" สลับกันไป สำหรับสัญญาณเดิมที่เป็น "0" ให้ทำเป็น "0" ในช่วงครึ่งบิตแรก และเป็น "1" ในช่วงครึ่งบิตหลังดังแสดงไว้ในรูปที่ 2.11

รหัส CMI นี้ CCITT กำหนดให้ใช้สำหรับสายส่งที่มีบิตเรท 139.264 เมกะบิต/วินาที



รูปที่ 2.11 การเปลี่ยนสัญญาณไบนารีเป็นรหัส CMI

รหัส High Density Bipolar (HDB-3)

เมื่อข้อมูลถูกส่งไปในสายส่งเป็นระบบพีซีเอ็ม แล้ว อาจเกิดกรณีที่ขบวนพัลซ์เป็น "0" ต่อเนื่องกันนานเกินไป ซึ่งจะเป็นผลทำให้ทางด้านรับไม่สามารถจะใช้ตั้งเวลาเพื่อใช้ในการซิงโครนัสได้ หรือไม่สามารถจะแยกความถี่คล็อก ออกจากข้อมูลที่ส่งออกมาได้ จึงใช้รหัส HDB-3 เพื่อแก้ปัญหานี้โดยการจำกัดจำนวน "0" ที่ต่อเนื่องกันนานๆให้เหลือเพียง 3 บิต แล้วส่ง "1" ตามไปในบิตถัดมา อย่างไรก็ตามรหัส HDB-3 มีกฎเกณฑ์ในการสร้างดังนี้

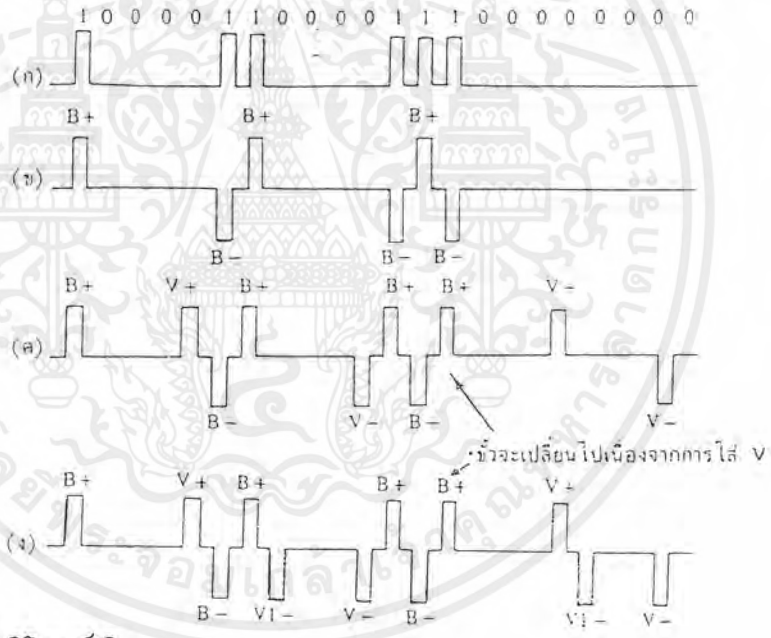
ก) สมมติว่าสัญญาณไบนารีแบบยูนิโพลาร์เป็นไปตามรูปที่ 2.12 ก่อนอื่นเปลี่ยนสัญญาณนี้ให้เป็นรหัสตามกฎของ AMI คือพัลซ์ลูกต่อไปจะมีขั้วสลับกับของพัลซ์ที่มาก่อนดังในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข) กรณีที่สัญญาณไบนารีเดิมเป็น "0" หรือเรียกว่า "สเปส(space)" ในการสร้างรหัส HDB-3 นั้น ยังคงให้เป็น space แต่ถ้า space ต่อเนื่องกันใน 1 ช่วง (string) มี 4 บิตหรือมากกว่า ต้องทำให้บิตที่ 4 เป็น "1" หรือ "มาร์ค(mark)" เสมอ สำหรับขั้วของพัลซ์ ที่ใส่ลงไปนี้ต้องมี ลักษณะที่ฝืนกฎของ AMI ซึ่งพัลซ์เหล่านี้แสดงไว้ในรูป (ค) ด้วย V+ และ V- ทั้งนี้ขึ้นอยู่กับขั้วของมัน

ค) การใส่พัลซ์เพิ่มลงไปนี้จะทำให้สเปสที่ยาวนั้นสั้นลง แต่ในขณะเดียวกันต้องคำนึงว่าจะต้องไม่มีองค์ประกอบ DC ปนอยู่ ดังนั้นพัลซ์ที่ใส่ลงไปนี้จะต้องมีขั้วที่เป็นไปตามกฎของรหัส AMI กล่าวคือเมื่อพัลซ์แรกเป็น V+ ก็ต้องตามด้วย V- หรือในทางตรงกันข้าม

ง) ในบางกรณีสัญญาณไบนารีเดิมที่เป็น "1" ซึ่งแสดงไว้ด้วย B+ หรือ B- และสัญญาณพัลซ์ที่ใส่ลงไป คือ V+ หรือ V- นั้นอาจมีขั้วที่ตรงกันข้ามกันซึ่งเป็นการฝืนกฎข้อ(ค) ในกรณีเช่นนี้ที่สเปสแรกของช่วงจะใส่มาร์ค ซึ่งมีขั้วเหมือนกับ V+ หรือ V- ในช่วงเดียวกัน ทั้งนี้เพื่อทำให้แน่ใจว่าพัลซ์ V+ หรือ V- ไม่ใช่ไบนารีพัลซ์เหมือนเดิม พัลซ์ที่ใส่เพิ่มนี้แสดงด้วย V1+ หรือ V1- ตามรูปที่2.12



(ก) ขบวนพัลซ์ยูนิโพลาร์เดิม

(ข) พัลซ์ AMI

(ค) พัลซ์ AMI ที่ใส่ไวโอเลชั่น "V" หลังจากมี "0" ต่อเนื่อง 3 บิต

(ง) รหัส HDB-3

รูปที่ 2.12 ความสัมพันธ์ระหว่างรหัส AMI และ HDB-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การมัลติเพล็กซ์ (Multiplexing)

ความหมายของการมัลติเพล็กซ์ ถ้าพิจารณาในแง่ระบบการสื่อสาร คือ การรวมสัญญาณที่มากกว่า 2 สัญญาณเข้าด้วยกัน และส่งไปบนสายเคเบิล 1 เส้นหรือทางวิทยุ 1 ทางติดต่อ ซึ่งสัญญาณดั้งเดิมเป็นได้ทั้งเสียงมนุษย์ สัญญาณวีดีโอ ข้อมูลคอมพิวเตอร์หรืออื่นๆ สำหรับผลลัพธ์ของสัญญาณที่รวมกัน ถูกส่งไปบนช่วงความกว้างแถบ (Bandwidth) ที่พอดีกับข้อมูลทั้งหมด เมื่อถึงด้านรับ สัญญาณที่รวมกันจะถูกแยกออกมาตามที่มาในทางด้านส่ง

ถ้าใช้ความหมายเกี่ยวกับการติดต่อของข้อมูลคอมพิวเตอร์ เช่นช่องสัญญาณมัลติเพล็กซ์ คือที่ซึ่งอุปกรณ์หลายชนิดสามารถทำงานพร้อมกัน อย่างเช่นเครื่องพิมพ์หลายเครื่อง ที่ทำงานในเวลาเดียวกันได้บนช่องการสื่อสารเพียง 1 ช่อง

สำหรับเทคนิคที่ใช้ในระบบมัลติเพล็กซ์มีอยู่ 2 อย่างคือ

1.แบบอนาล็อก ใช้วิธีมัลติเพล็กซ์แบบแบ่งตามความถี่ (FDM)

2.แบบดิจิตอล ใช้วิธีมัลติเพล็กซ์แบบแบ่งตามเวลา(TDM)

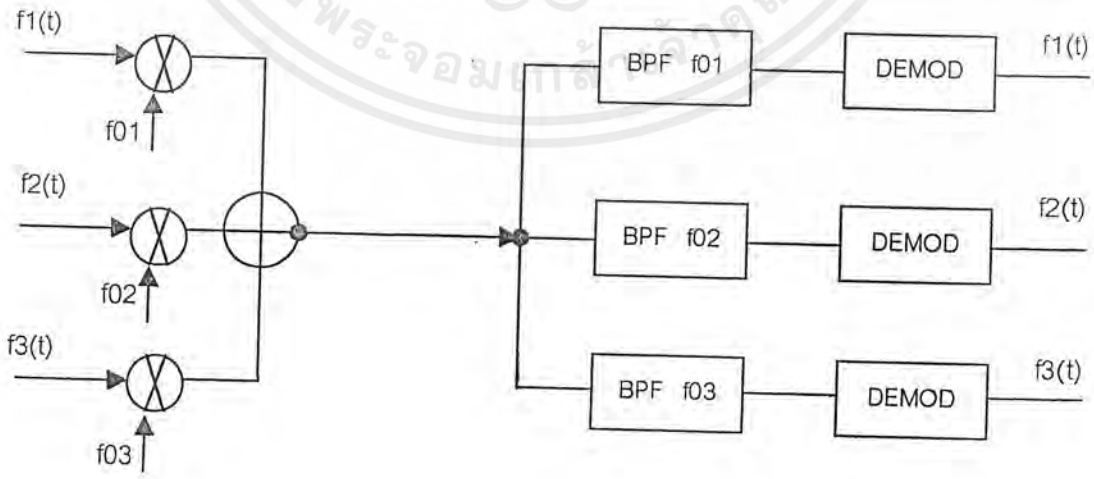
วิธีการมัลติเพล็กซ์ อยู่ 3 วิธี อธิบายได้ดังนี้

2.2.1 วิธีมัลติเพล็กซ์แบบแบ่งตามช่องว่าง (Space-Division Multiplexing)

หมายถึงการรวมสายส่งมากกว่าหนึ่งสายเข้าด้วยกัน อย่างเช่นสายเคเบิลแบบเส้นคู่ ถูกสร้างมาเพื่อให้รวมสายเดี่ยวแบบคู่เข้าด้วยกันเป็นร้อยๆเส้น

2.2.2วิธีการมัลติเพล็กซ์แบบแบ่งตามความถี่ (Frequency Division Multiplexing :FDM)

เป็นการจัดส่งข้อมูลโดยใช้เทคนิคทางความถี่ คือจะแบ่งความถี่ออกเป็นช่วงๆแล้วให้ความถี่แต่ละช่วง ใช้ในการส่งข้อมูลแต่ละช่อง สามารถอธิบายได้ตามรูปที่ 2.13 วิธีแบบ FDM มีใช้ในงานกระจายคลื่นสัญญาณวิทยุและโทรทัศน์ ส่วนงานทางระบบโทรศัพท์ก็ใช้เช่นกัน กล่าวคือช่องการติดต่อเสียงพูด จำนวน 24 ช่องที่ความถี่ 3 กิโลเฮิร์ต สามารถมัลติเพล็กซ์ไปบนสายส่งแบบคู่ตีเกลียวจำนวน 1 เส้น



รูปที่2.13 แสดงมัลติเพล็กซ์แบบแบ่งตามความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.14 แสดงการมัลติเพล็กซ์แบบแบ่งตามเวลา

2.2.3 วิธีการมัลติเพล็กซ์แบบแบ่งตามเวลา (Time Division Multiplexing :TDM)

หลักการแบบ TDM คือการส่งสัญญาณหลายๆสัญญาณไปบนสายเส้นเดียวกันโดยอาศัยการแบ่งเวลาช่วงสั้นๆ ดังรูปที่ 2.14 มีการตัดต่อสัญญาณตามลำดับที่กำหนดไว้ (S1,S2,S3) ภายในเวลา (Time slot) เพื่อสัญญาณทั้งหมดถูกส่งไปในทางติดต่อเดียวกัน ในรูปแบบของเฟรมดังรูป จัดว่าขั้นตอนดังกล่าวคือ การมัลติเพล็กซ์ ส่วนการดีมัลติเพล็กซ์ต้องมีการตัดต่อแยกลำดับสัญญาณให้ถูกต้อง ซึ่งกำหนดช่วงเวลาให้แน่นอน เราเรียกการทำให้ช่วงเวลามีความสัมพันธ์กันนี้ว่า การซิงโครนัส

สำหรับวิธีนี้ ในสัญญาณแต่ละตัวอาจมีการสูญเสียเกิดขึ้นได้ ถ้าทางติดต่อกำลังต่อกับสัญญาณคนละตัว ซึ่งเกิดจากการซิงโครนัสที่ผิดพลาด

2.3 การมอดูเลทสัญญาณดิจิตอล

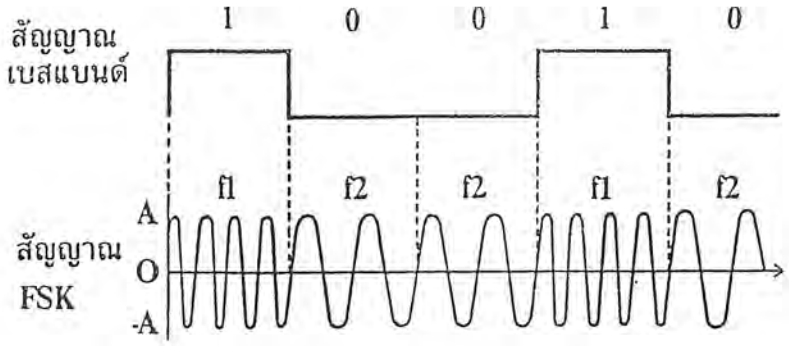
การส่งสัญญาณดิจิตอล เช่น สัญญาณ พีซีเอ็ม (PCM) โดยคลื่นวิทยุไมโครเวฟจำเป็นที่จะต้องเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณในย่านความถี่วิทยุเทคนิคในการมอดูเลตสัญญาณดิจิตอลนี้มี3แบบด้วยกัน คือ

1. ฟรีเควนซีชิฟคีย์อิ้ง (Frequency Shift Keying : FSK)
2. แอมปลิจูดชิฟคีย์อิ้ง (Amplitude Shift Keying : ASK)
3. เฟสชิฟคีย์อิ้ง (Phase Shift Keying : PSK)

2.3.1 ฟรีเควนซีชิฟคีย์อิ้ง

แรกเริ่มทีเดียวการแปลงสัญญาณลอจิกให้เหมาะสมกับการส่งผ่านไปในสายโทรศัพท์ใช้วิธีการ เอฟเอสเค (FSK) นี้คือ ใช้ความถี่ของเสียงสองความถี่สำหรับแทนสัญญาณ ลอจิก “1” และ ลอจิก “0” ฝ่ายรับก็พยายามจับเอาสองความถี่ที่ว่านี้มาแปลงเป็นสัญญาณลอจิก กลับคืนความถี่ของเสียงทั้งสองเสียงต้องห่างกันพอที่จะแยกออกจากกันได้โดยวงจรอิเล็คทรอนิกส์ และก็จะต้องไม่ห่างเกินจนตกขอบของความสามารถของสายโทรศัพท์ที่จะนำพาไปได้ รูปที่ 2.15 แสดงหลักการทำงานของเอฟเอสเค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 แสดงหลักการทำงานของเอฟเอสเค

เนื่องจากแถบความถี่คลื่นที่สายโทรศัพท์ยอมให้ผ่านไปได้อยู่ในช่วง 300 เฮิรต์ ถึง 3400 เฮิรต์ จึงสามารถแบ่งความถี่ในย่านนั้นออกเป็น 4 คลื่นเสียงที่สำคัญ สำหรับสถานีส่งสองเสียง สถานีรับสองเสียง เนื่องจากต้องการให้การติดต่อเป็นแบบฟูลดูเพล็กซ์ คือทั้งรับและส่งได้ในเวลาเดียวกันจำเป็นจะต้องแยกสถานีตอบรับ ฝ่าย ออริจิเนต (Originate) จะต้องใช้ความถี่ส่งสองความถี่สำหรับสัญญาณลอจิก "0" และ "1" ฝ่าย อานเซอร์ (Answer) จะต้องใช้ความถี่อีกสองความถี่ที่แตกต่างไปจากฝ่ายส่ง (เพื่อป้องกันการรบกวนกันเอง) สำหรับแทนสัญญาณลอจิก "0" และ "1" เช่นเดียวกันจะได้รับและส่งในเวลาเดียวกันเป็นฟูลดูเพล็กซ์ได้ มาตรฐานความถี่ที่ใช้กันอยู่ กรณีความเร็วไม่เกิน 300 บอด ของ เบลล์(Bell) 103 และ CCITT V.21

สถานีรับและสถานีส่งใช้ความถี่ต่างกันในการมอดูเลตสัญญาณลอจิก "0" และ "1" การดีมอดูเลตต้องให้ตรงกับความถี่ของฝ่ายตรงข้ามที่ส่งมา ยกตัวอย่างเช่น โมเด็มชนิด เบลล์ 103 ถ้าหากใช้เป็นฝ่าย ออริจิเนท (Originate) จะส่งสัญญาณลอจิก "1" ด้วยความถี่ 1270 เฮิรต์ และ ลอจิก "0" ด้วยความถี่ 1070 เฮิรต์ ขณะเดียวกันก็จะต้องมีตัวกรองความถี่เพื่อป้องกันความถี่อื่นๆเข้ามารบกวนเครื่องรับ วงจรกรองความถี่ที่ว่าจะต้องแยกความถี่ของฝ่ายรับและส่งออกจากกัน

เนื่องจากความถี่ของเสียงที่ใช้มีความถี่ต่ำ การมอดูเลต แบบ เอฟเอสเค ย่อมทำให้การถ่ายโอนข้อมูลเร็วกว่าความถี่นั้นไม่ได้แน่นอน เนื่องจากวงจรรับจะต้องดีเทค (Detect) ให้ได้ว่ามีความถี่เปลี่ยนแปลงเกิดขึ้นอย่างน้อยความถี่จะต้องปรากฏให้เห็น 2 ถึง 3 ไซเคิล ลองคำนวณดูง่ายๆ ความถี่ต่ำสุดที่ใช้ในโมเด็มชนิด 103 คือ 1070 เฮิรต์ ต้องใช้อย่างน้อย 2 ไซเคิลต่อการมอดูเลต 1 บิต จะเห็นว่าการถ่ายโอนข้อมูลจะเร็วกว่า 600 บิตต่อวินาที ได้ยาก

ถ้าใช้เทคนิค เอฟเอสเคเหมือนเดิมแต่แยกความถี่ของสองเสียงที่ใช้แทน "0" และ "1" ให้ห่างกัน จำนวน ไซเคิล ที่ใช้มอดูเลตก็จะน้อยลงจะแยกความถี่ให้ห่างกันได้ก็ต้องส่งได้ทีละข้าง หรือ เป็นฮาฟดูเพล็กซ์ ระบบ เบลล์ 202 ใช้เทคนิคอันนี้ในการส่งข้อมูลด้วยความเร็ว 1200 บอด โดยใช้ความถี่ 1200 เฮิรต์ แทน มาร์ค (ลอจิก 1) และ 2200 เฮิรต์ แทนสเปส (ลอจิก 0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณี CCITT ที่ตรงกับ เบลล์ 202 จะเป็น V.23 ต่างกันที่มีโหมด (Mode) ให้เลือก 2 โหมด คือ 600 บอด และ 1200 บอด โดยทั้งสองโหมด ใช้ความถี่ต่างกัน คือ

โหมด 1 (600 บอด) 1300 เฮิรต์ (มาร์ค) 1700 เฮิรต์ (สเปส)

โหมด 2 (1200 บอด) 1300 เฮิรต์ (มาร์ค) 2100 เฮิรต์ (สเปส)

นอกเหนือไปจากนั้น V.23 ยังสามารถให้ฝ่ายรับทำการส่งข้อมูลกลับมาได้ด้วยความเร็ว 75 บอด โดยใช้ เอฟเอสเค 390 เฮิรต์ แทน มาร์ค 450 เฮิรต์ แทนสเปส ในกรณีเช่นนี้เหมาะสำหรับการติดต่อกับเทอร์มินอลที่ผู้ใช้ป้อนข้อมูลทางคีย์บอร์ด (ค่าเฉลี่ย 1 คำมี 4 ตัวอักษร และ 1 ตัวอักษรใช้ 8 บิต บวก สตาร์ทบิตอีก 2 บิต)

2.3.2 แอมปลิจูดชิฟคีย์อิ้ง

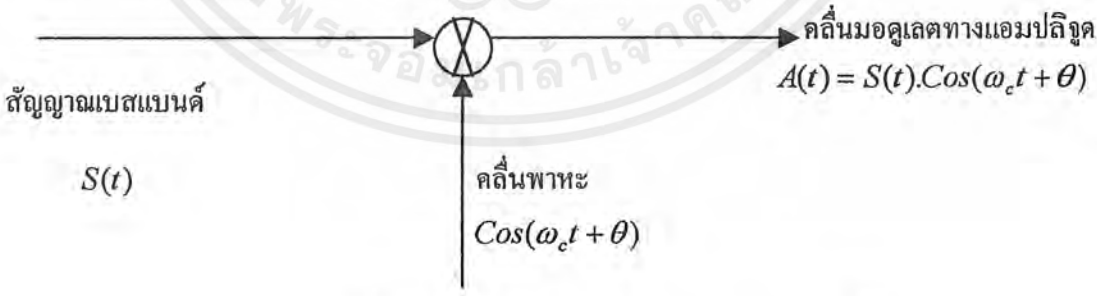
คลื่นที่ถูกโมดูเลททางแอมปลิจูด ถูกทำให้แอมปลิจูดของคลื่นพาหะเปลี่ยนแปลงเป็นสัดส่วนกับสัญญาณเบสแบนด์ ซึ่งทำได้โดยการคูณคลื่นพาหะซายด์เข้ากับสัญญาณเบสแบนด์ ดังแสดงในรูปที่2.16คลื่นที่ถูกมอดูเลตทางแอมปลิจูด A(t) สามารถกำหนดโดย

$$A(t) = S(t).Cos(\omega_c t + \theta)$$

$S(t)$: สัญญาณเบสแบนด์

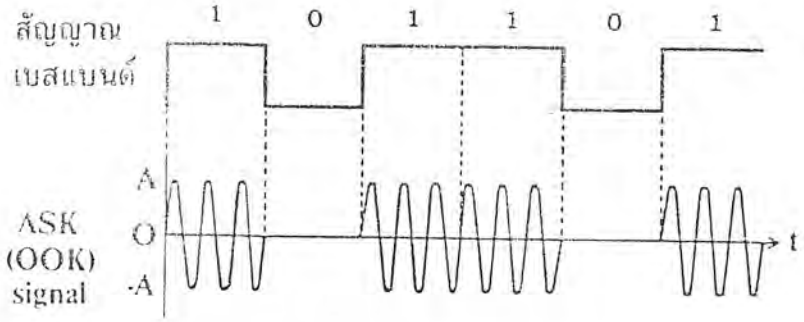
$Cos(\omega_c t + \theta)$: คลื่นพาหะ

พิจารณาสัญญาณเบสแบนด์ ซึ่งเป็นยูนิโพลาร์พัลส์ ดังแสดงในรูปที่ 2.17 เมื่อพัลส์เป็น 1 จะมีคลื่นพาหะออกมา และเมื่อพัลส์เป็น 0 จะไม่มีคลื่นพาหะออกมา การมอดูเลตทางแอมปลิจูดแบบนี้เรียกว่า ออน-ออฟ เอเอสเค(ON-OFF ASK) หรือ ออน-ออฟ คีย์อิ้ง(ON-OFF Keying (OOK))



รูปที่2.16 แสดงรูปแบบของการมอดูเลตทางแอมปลิจูด

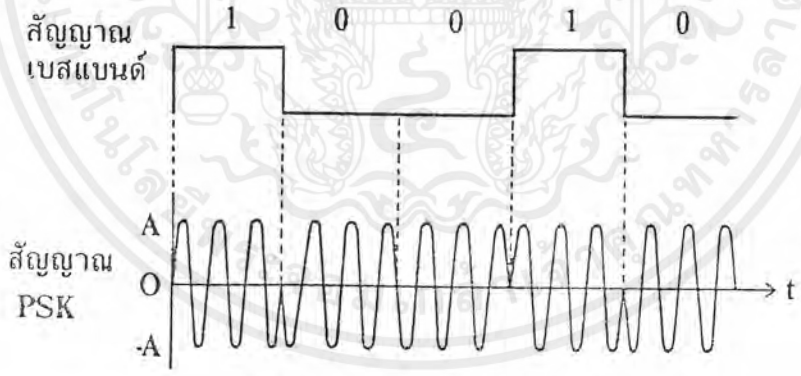
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$S(t) = \begin{cases} A \cos 2\ \pi\ fct & \text{for } 1 \\ 0 & \text{for } 0 \end{cases}$$

รูปที่2.17 แสดง ออน-ออฟ เอเอสเค

ต่อไปถ้าเราพิจารณาสัญญาณเบสแบนด์ ที่เป็นไบโพลาร์พัลส์ เมื่อพัลส์เป็น 1 ทิศทางของแอมปลิจูดคลื่นพาหะจะกลับกันกับกรณีเมื่อพัลส์เป็น –1 หรือในอีกแง่หนึ่ง ก็คือเฟสจะกลับกัน การมอดูเลตทางแอมปลิจูดแบบนี้จึงเรียกว่า เฟส เทิน-โอเวอร์ เอเอสเค (phase turned-over ASK) หรือ เฟส รีเวอซอล คีย์อิ้ง (phase reversal keying (PRK))

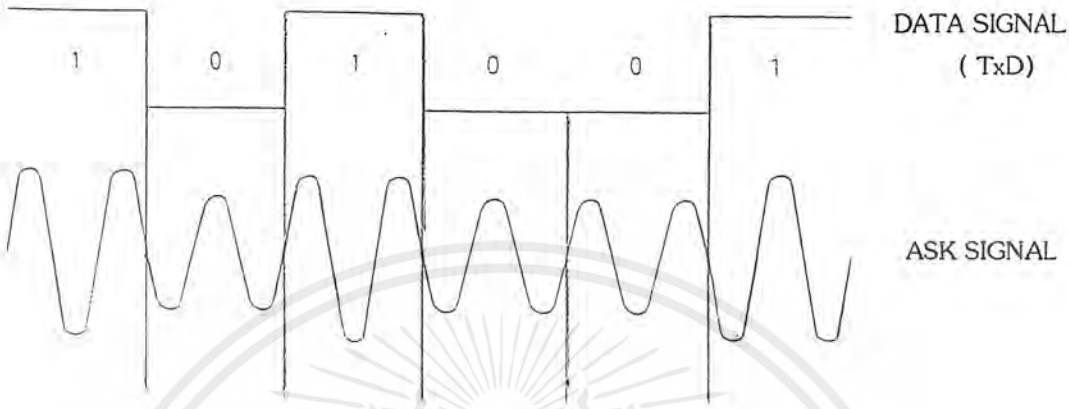


รูปที่ 2.18 แสดง เฟส รีเวอซอล คีย์อิ้ง

เอเอสเค นี้เป็นเทคนิคอย่างหนึ่งของการมอดูเลตสัญญาณเสียงเข้ากับสัญญาณพาหะ ซึ่งเป็นสัญญาณรูปซายน์ที่มีความถี่สูงทำให้สัญญาณที่ผ่านการมอดูเลตแล้วมีลักษณะการเปลี่ยนแปลงของสัญญาณพาหะตามแอมปลิจูด (ความสูงของคลื่น)ของสัญญาณเสียงแต่ความถี่ของสัญญาณพาหะยังคงที่ดังรูปที่ 2.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่2.19 แสดงการโมดูเลตแบบ เอเอสเค

จุดสำคัญของการมอดูเลต แบบนี้ก็อยู่ที่ "แอมปลิจูดเปลี่ยนแปลง แต่ความถี่คงที่" นอกจากนี้รายละเอียดอื่นๆ ของแอมปลิจูดมอดูเลชั่นยังมีอีกมากมายเช่น การใช้เทคนิคของการตัดสัญญาณพาหะออกไปที่เรียกว่าซับเปรสแคเรียร์ (Suppress Carrier) เช่น ในการส่งกระจายคลื่นแบบดับเบิลไซด์แบนด์ซับเปรสแคเรียร์ (Double Sideband Suppress Carrier : DSB-SC) และซิงเกิลไซด์แบนด์ซับเปรสแคเรียร์(Single Sideband Suppress Carrier : SSB-SC)

สำหรับหลักการทำงานของโมเด็มที่ใช้เทคนิคการมอดูเลตแบบ เอเอสเค นั้น ในส่วนของวงจรทางด้านส่งจะต้องทำการแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอนาล็อกก่อนโดยใช้ดีทูเอคอนเวอร์เตอร์(D/A converter) แล้วผ่านขบวนการมอดูเลต ส่งออกไป ส่วนในโมเด็มทางด้านรับ เมื่อรับสัญญาณเข้ามาก็จะผ่านขบวนการดีมอดูเลต แยกเอาสัญญาณพาหะออกแล้วจึงส่งผ่านวงจรเอทูดีคอนเวอร์เตอร์ (A/D converter) เพื่อแปลงสัญญาณอนาล็อกไปเป็นสัญญาณดิจิตอล แล้วส่งเข้าเทอร์มินอลใช้งานต่อไป

2.3.3 เฟสชิพคีย์อิ้งค์ (Phase Shift Keying)

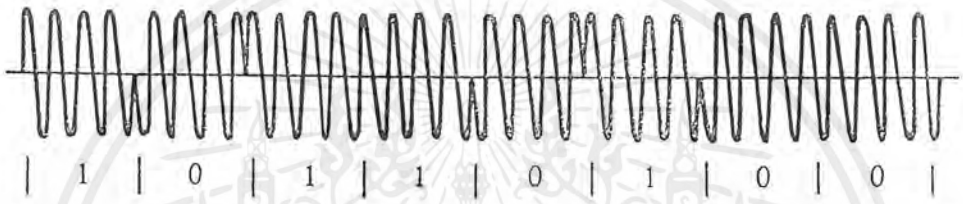
ในการถ่ายโอนข้อมูลที่ต้องใช้ความเร็วสูง ใช้วิธีการที่เรียกว่า เฟสชิพคีย์อิ้งค์ แทนที่จะใช้ความถี่ในการแทนสัญญาณลอจิกกลับใช้สัญญาณเสียงความถี่เดียวแต่ใช้เฟสที่ต่างกันออกไปสำหรับแทนสัญญาณลอจิก

การกำหนดคลื่นรูปซายน์ ก็เหมือนกับการหมุนของเข็มนาฬิกาเทียบกับแนวนอนขณะใดขณะหนึ่ง แล้วนำมาพล็อต(plot) เทียบกับแกนเวลา จะได้รูปร่างของคลื่นรูปซายน์ เข็มที่ใช้หมุน เรียกว่า เวคเตอร์(vector) มุมที่หมุนไปเรียกว่าเฟส ฉะนั้นเฟสของสัญญาณคลื่นซายน์ จะมีตั้งแต่ 0 ถึง 360 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
37163

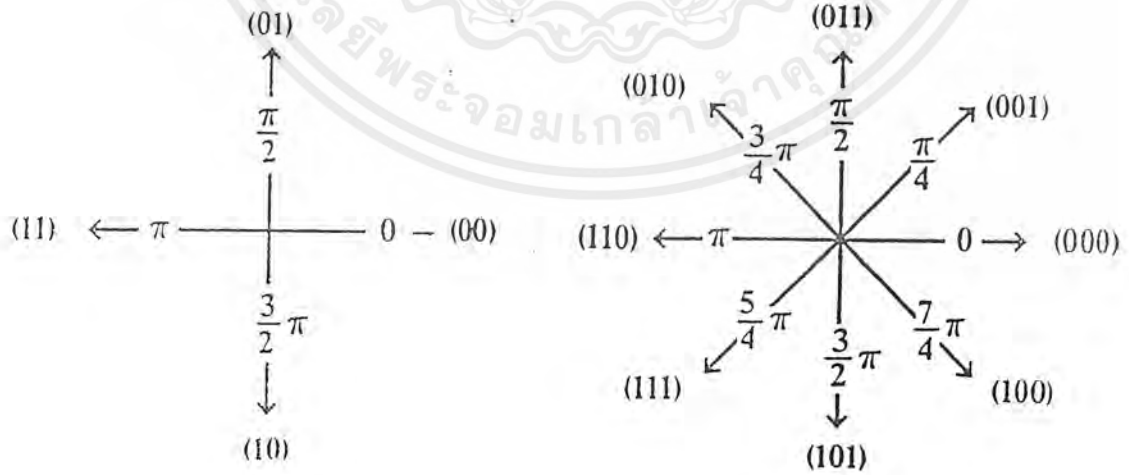
ถ้าหากจะเลือกใช้เฟสในการโมดูเลตสัญญาณลอจิก จะแบ่งเฟสที่ใช้ออกเป็น 2 เฟสในการโมดูเลตสัญญาณลอจิก"0" และ "1" คือใช้เฟส 0 แทน "0" และเฟส 180 แทน "1" ลักษณะของสัญญาณจากโมเด็มก็จะเป็นดังรูปที่ 2.20

ถ้าหากเปลี่ยนแปลงสัญญาณ PSK ออกเป็น 4 เฟส คือ 0,90,180,270 องศา โดยเราแทนเฟสทั้ง 4 ด้วยเลขฐานสอง 2 หลัก หรือ 2 บิท ในกรณีเช่นนี้ การเปลี่ยนเฟสครั้งหนึ่งเท่ากับว่าเราได้ข้อมูลถึง 2 บิท ในลักษณะเช่นนี้ อัตราบิทจะเป็น 2 เท่าของอัตราบอด เพราะอัตราบอดคือ อัตราการเปลี่ยนแปลงสัญญาณใน 1 วินาที แต่การเปลี่ยนแปลงสัญญาณหนึ่งครั้ง ข้อมูลเปลี่ยนแปลง 2 บิท ความเร็วในการโอนข้อมูลจึงเป็น 2 เท่าของอัตราบอด อัตราในการส่ง 1200 บอด เท่ากับได้ความเร็วในการถ่ายโอนข้อมูล 2400 บิทต่อวินาที



รูปที่ 2.20 แสดงสัญญาณ PSK

ถ้าแบ่งสัญญาณออกเป็น 8 ตัว คือ 0,45,90,125,180,225,270 และ 315 องศา โดยแต่ละเฟสแทนด้วยข้อมูล 3 บิท จะเห็นว่าความเร็วในการถ่ายโอนข้อมูลจะกลายเป็น 3 เท่าของอัตราบอด ถ้าใช้อัตราบอดเท่ากับ 1600 บอด ก็จะได้ความเร็วของการถ่ายโอนข้อมูลทำได้เร็วถึง 4800 บิทต่อวินาที การแบ่งสัญญาณแสดงดังรูป 2.21

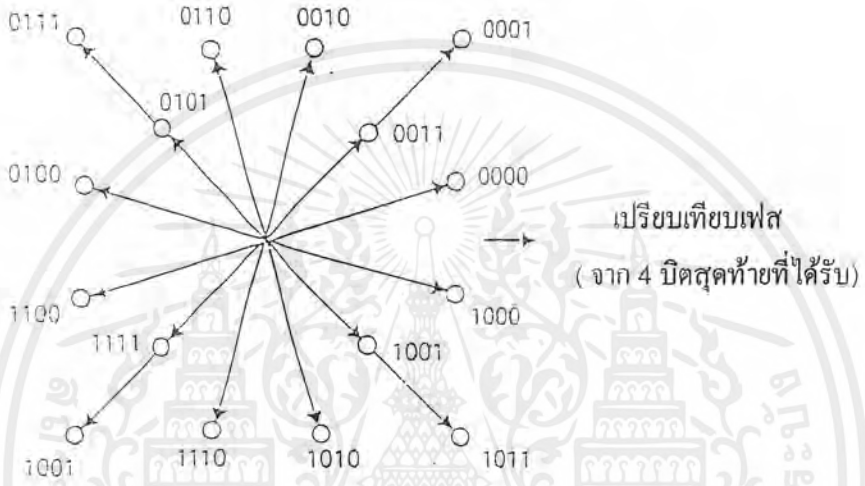


รูปที่ 2.21 แสดงการแบ่งสัญญาณPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 เฟสแอมปลิจูดมอดูเลชั่น (Phase Amplitude Modulation)

วิธีการที่จะเพิ่มความเร็วในการถ่ายโอนข้อมูลให้สูงขึ้นโดยการเอาความสูงหรือแอมปลิจูดของสัญญาณเข้ามามอดูเลตด้วย เรียกว่า เฟสแอมปลิจูดมอดูเลชั่น (Phase Amplitude Modulation) หรือบางทีเรียกว่า ควอดราเจอร์แอมปลิจูดมอดูเลชั่น โมเด็มที่ส่งด้วยความเร็ว 9,600 บิตต่อวินาที แบ่งเฟสออกเป็น 12 เฟส มีอยู่ 4 เฟสที่มีโอกาสมีแอมปลิจูดได้สองค่ารวมแล้วทั้งหมดสามารถใช้เลขฐานสอง 4 บิท แทนเฟสและแอมปลิจูดทั้ง 16 สถานะ สัญญาณในสายใช้ความเร็ว 2,400 บอด ก็จะสามารถให้ความเร็วในการถ่ายโอนได้ถึง 9,600 บิตต่อวินาที รูปที่ 2.22 แสดงไดอะแกรมของสัญญาณ



รูปที่ 2.22 แสดงเฟสของสัญญาณในการส่งด้วยความเร็ว 9600 บิตต่อวินาที

2.3.5 หลักการในการมอดูเลตสัญญาณฟรีเควนซีชิพคีย์อิ้ง

เมื่อได้ทราบเทคนิคการทำงานและลักษณะอย่างคร่าวๆของวิธีการมอดูเลตแบบต่างๆแล้ว ต่อไปจะกล่าวถึงหลักการในการสร้างสัญญาณเหล่านี้ โดยจะกล่าวถึงเฉพาะวิธีการของ ฟรีเควนซีชิพคีย์อิ้งเท่านั้นว่า โมเด็มสร้างสัญญาณเหล่านี้ขึ้นมาได้อย่างไร

ในโมเด็มจะประกอบไปด้วยออสซิลเลเตอร์ที่กำเนิดสัญญาณพาหะด้วยความถี่ 1270 เฮิร์ต และ1070 เฮิร์ต โดยที่ออสซิลเลเตอร์ตัวบนจะทำงานเมื่อสัญญาณที่เข้ามามีระดับโวลท์เตจเกิน –5 โวลท์ ส่วนออสซิลเลเตอร์ตัวล่างจะทำงาน และตัวบนจะหยุดทำงานเมื่อระดับโวลท์เตจของสัญญาณที่เข้ามาเกินกว่า +5 โวลท์ เมื่อรับเอาต์พุทที่ออกจากพอร์ท RS-232-C เข้ามายังอินพุทของออสซิลเลเตอร์ ก็สามารถทำให้ออสซิลเลเตอร์ทั้งสองทำงานได้ดังนี้

2.4 เฟสล็อกลูป (Phase Lock Loop)

เฟสล็อกลูป เป็นอิเล็กทรอนิกส์เซอร์โว ซึ่งสามารถควบคุมออสซิลเลเตอร์ให้ผลิตความถี่ล็อกหรือชิงค์กับความถี่ที่เข้ามา เมื่อเฟสของความถี่จากออสซิลเลเตอร์เปลี่ยน แสดงว่าสัญญาณที่เข้ามาความถี่เปลี่ยนไป เอาต์พุทจากเฟสดีเทคเตอร์จะมีค่าเพิ่มขึ้นหรือลดลง ควบคุมให้ออสซิลเลเตอร์ผลิตความถี่ให้ตรงและล็อกกับสัญญาณที่เข้ามา ดังนั้นโวลท์เตจเฉลี่ยที่ได้จากเฟสดีเทคเตอร์ไปควบคุมออสซิลเลเตอร์จึงเป็นฟังก์ชั่นของ

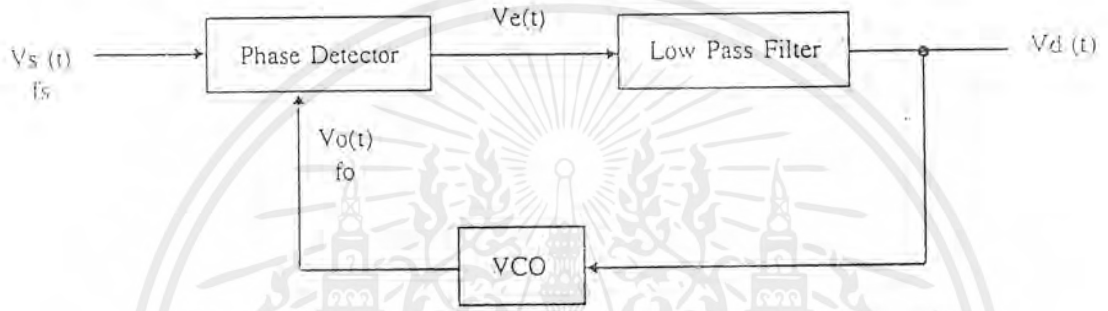
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณความถี่ที่เข้ามา อาทิเช่นหากสัญญาณที่เข้ามาเป็น เอฟเอ็ม (FM) แล้วเอาต์พุตที่ได้จากเฟสดีเทคเตอร์ผ่าน โลพาสฟิลเตอร์(Low Pass Filter) จะเป็นสัญญาณที่ถูกทำการดีมอดูเลตนั่นเอง

ในปัจจุบันด้วยการพัฒนาด้านเซมิคอนดักเตอร์ ทำให้วงจรเฟสล็อกลูป ที่ซับซ้อนสามารถถูกบรรจุอยู่ใน ไอ.ซี. เล็กๆเพียงตัวเดียว เมื่อใช้งานก็เพียงต่ออุปกรณ์ภายนอกเพียงไม่กี่ตัว ทำให้ง่าย สะดวก และประหยัดหลายประการ

2.4.1 หลักการของเฟสล็อกลูป

หลักการเบื้องต้นของเฟสล็อกลูป ก็มาจากระบบการป้อนกลับ ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วน ดังบล็อกไดอะแกรมในรูป ที่มีเฟสดีเทคเตอร์ โลพาสฟิลเตอร์ และ โวลท์เตจคอนโทรลออสซิลเลเตอร์



รูปที่ 2.23 บล็อกไดอะแกรมของวงจรเฟสล็อกลูป

ในขณะที่ไม่มีสัญญาณป้อนเข้ามา Vd จะเท่ากับศูนย์ และ วีซีโอ (VCO) จะผลิตความถี่แบบที่เรียกว่า ฟรีรันนิ่ง (Freerunning) เท่ากับ fo เมื่อมีอินพุท Vs ป้อนเข้ามามีความถี่เท่ากับ fs วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ วีซีโอ ถ้าfs และ fo แตกต่างกันจะได้ Ve (Error Voltage) จากเอาต์พุทของเฟสดีเทคเตอร์ผ่านโลพาสฟิลเตอร์เป็น Vd ไปเข้า วีซีโอ ปรับความถี่ fo ให้เท่ากับ fs และเมื่อ fo เท่ากับ fs ก็คือสภาวะล็อกหรือซิงค์ เอาต์พุทจากเฟสดีเทคเตอร์ Ve จะเป็นศูนย์ และ Vd ก็เท่ากับศูนย์

ในเรื่องของเฟสล็อกลูป มีคำที่มักเข้าใจสับสนกันบ่อยๆคือคำว่า ล็อกเรนจ์ (Lock Range) กับคำว่า แคปเจอร์เรนจ์ (Capture Range) ซึ่งมีความหมายแตกต่างกัน ดังนี้

ล็อกเรนจ์ หมายถึงย่านความถี่ที่ใกล้เคียงกับ fo ซึ่งเฟสล็อกลูปยังสามารถล็อกกับสัญญาณที่เข้ามา ค่าของ ล็อกเรนจ์ จะลดลงเมื่ออัตราการขยายทั้งหมดของเฟสล็อกลูปลดลง

แคปเจอร์เรนจ์ หมายถึงบริเวณแถบความถี่ที่ใกล้เคียงกับ fo ที่เฟสล็อกลูปเริ่มล็อกกับสัญญาณที่เข้า ค่าของแคปเจอร์เรนจ์ ขึ้นอยู่กับแบนวิดท์ของโลพาสฟิลเตอร์คือจะลดลงเมื่อแบนวิดท์แคบ และโดยปกติแคปเจอร์เรนจ์ จะมีค่าน้อยกว่า ล็อกเรนจ์ เพื่อให้เข้าใจคำว่า ล็อกเรนจ์ และ แคปเจอร์เรนจ์ง่ายขึ้นลองพิจารณาดูจากรูปที่ 2.24 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับเออเรอร์โวลท์เตจ ของเฟสล็อกลูปดังรูป

จากส่วนบนของรูปที่2.23 สมมติว่าสัญญาณที่เข้ามามีความถี่ค่อยๆเปลี่ยนไป จากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้นและ Vd เท่ากับศูนย์ จนกระทั่งความถี่ของสัญญาณที่เข้ามา fs ซึ่งเป็นความถี่ต่ำสุดของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

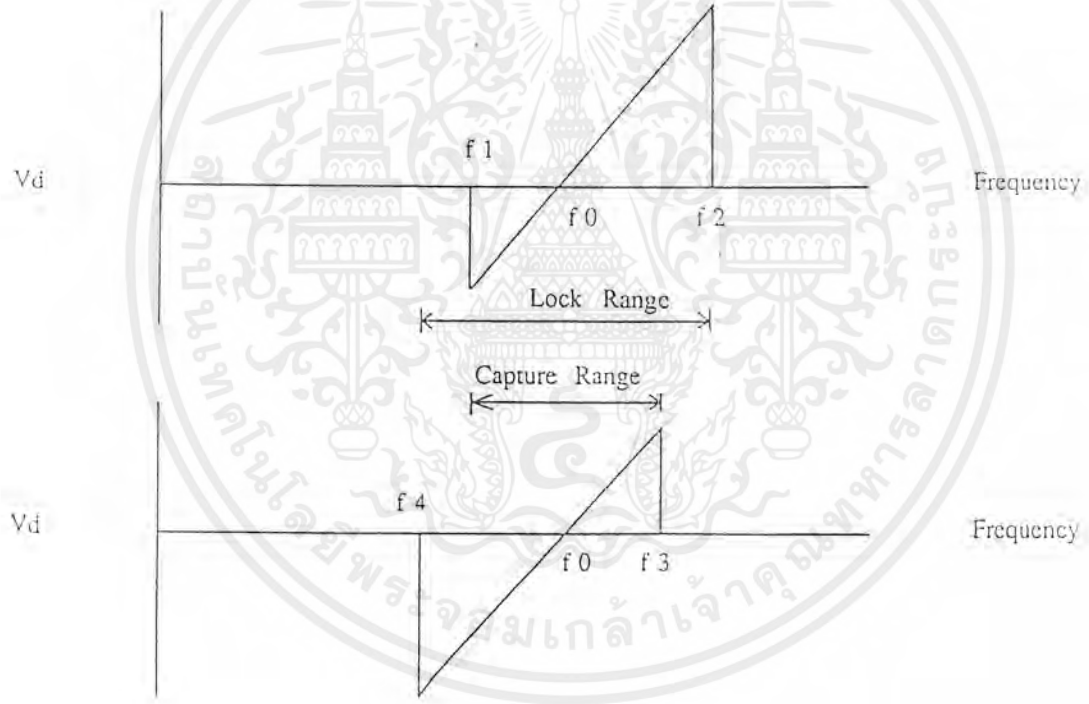
แคปเจอร์เรนจ์ ทำให้เฟสล็อกลูปเริ่มล็อกกับ fs และ Vd มีค่าเป็นลบเพื่อปรับ วีซีโอ ให้ fo เท่ากับ fs แต่ในที่นี้เราสมมติว่า fs เปลี่ยนไปเรื่อยๆ ซึ่งจะทำให้ค่าของ Vd เป็นลบน้อยลง

จนกระทั่ง fs เท่ากับ fo ทำให้ Vd เท่ากับศูนย์ จากนั้น Vd จะเริ่มเป็นบวก และมากขึ้นเรื่อยๆจนกระทั่ง fs = f2 ซึ่งเป็นความถี่สูงสุดของ ล็อกเรนจ์ จะทำให้หลุดการล็อกและ Vd เท่ากับศูนย์

ในทางกลับกัน ถ้า fs เปลี่ยนจากสูงลงมาต่ำ ให้พิจารณารูปที่ 2.24 ส่วนล่าง เฟสล็อกลูปจะเริ่มล็อกเมื่อ fs = f3 ซึ่งเป็นค่าสูงสุดของ แคปเจอร์เรนจ์ ทำให้ Vd มีค่าเป็นบวกทันทีเมื่อ fs ลดลงจน fs = fo จะได้ Vd เท่ากับศูนย์แล้วมีค่าเป็นลบมากขึ้นเรื่อยๆจนกระทั่ง fs = f4 ซึ่งเป็นค่าต่ำสุดของ ล็อกเรนจ์ จะทำให้ fs หลุดจากการล็อกของเฟสล็อกลูปและ Vd กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

Lock Range = f2 - f4

Capture Range = f3 + f1



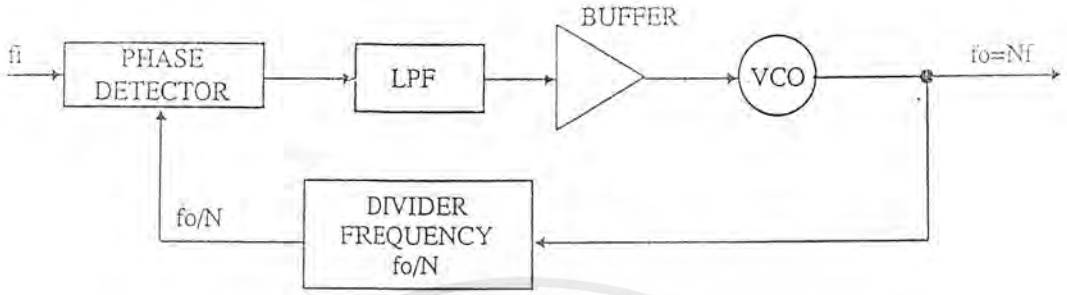
รูปที่ 2.24 คุณลักษณะระหว่างความถี่กับเออเรอร์โวลท์เตจของเฟสล็อกลูป

2.4.2 การนำวงจรเฟสล็อกลูปไปใช้งาน

(ก) การสังเคราะห์ความถี่ ตัวอย่างการใช้วงจรเฟสล็อกลูปอีกอย่างหนึ่งที่พบบ่อยคือ ใช้สังเคราะห์ (Frequency synthesizer) วงจรนี้จะให้สัญญาณออกมามีความถี่ซึ่งเลือกได้เป็นค่าๆ ไป (Discrete) เช่น เลือกได้ระหว่าง 2.0 เมกะเฮิร์ต ถึง 3.0 เมกะเฮิร์ต เป็นขั้นๆ (Steps) ขั้นละ 0.1 เมกะเฮิร์ต เป็นต้น หลักการของวงจรก็คือ การคูณความถี่มาตรฐานด้วยเลขจำนวนเต็ม N ที่เลือกค่าได้ เช่น คูณความถี่มาตรฐาน 0.1 เมกะเฮิร์ต ด้วยเลขจำนวนเต็ม N ที่เลือกค่าได้ระหว่าง 20 ถึง 30 วงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูปแสดงอยู่ในรูปที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

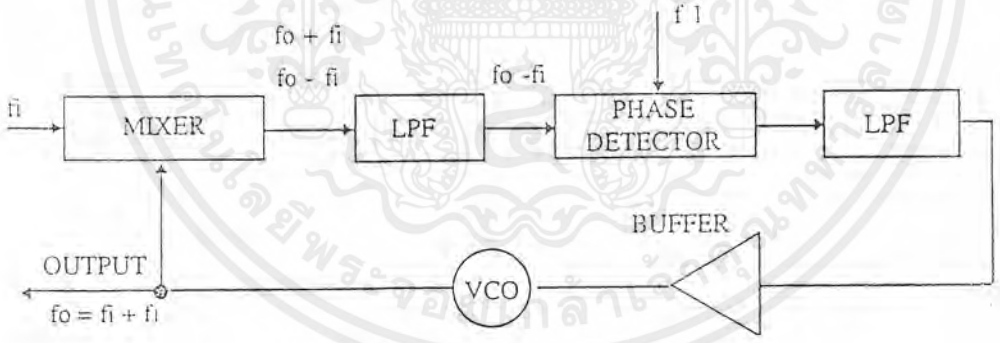
2.25 จะเห็นได้ว่า การแทรกวงจรหาความถี่เข้าในวงรอบจะเป็นการล็อกความถี่ f_0/N เข้ากับความถี่มาตรฐาน fi ความถี่ของ วีซีโอ จะเท่ากับ fo = Nfi ตามที่ต้องการ



รูปที่2.25 แสดงวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป

ในทำนองคล้ายคลึงกัน ถ้าสัญญาณออกของ วีซีโอ มีฮาร์โมนิกอยู่ด้วยมาก เราอาจปรับความถี่มาตรฐานขาเข้า fi ให้ตรงกับฮาร์โมนิกที่ m ของสัญญาณจาก วีซีโอ นั่นคือ fi = mfo สภาพการล็อกที่ฮาร์โมนิกเช่นนี้ จะทำให้ได้ความถี่หลักมูลของวีซีโอเท่ากับ fo = fi/m วงจรเฟสล็อกลูปทำหน้าที่เป็นวงจรหารความถี่

ถ้าต้องการเลื่อนความถี่จากค่ามาตรฐานค่าหนึ่งไปเล็กน้อย เช่น จากค่า fi เป็น fi + fl การใช้เทคนิคการผสม (Mixing) จะไม่ได้ผลนัก เพราะถ้า fi มีค่าเล็กการกรองเอาแต่ความถี่ fi + fl ไว้โดยตัดความถี่ fi – fl ออกไปจะทำได้ยาก จึงควรใช้วงจรเฟสล็อกลูป ดังในรูปที่ 2.26 ซึ่งจะทำให้ไม่มีปัญหาในการกรอง



รูปที่ 2.26 วงจรเลื่อนความถี่

วงจรเฟสล็อกลูปนี้นำสัญญาณออกจาก วีซีโอ มาผสมกับสัญญาณเข้า แล้วกรองเอาเฉพาะความถี่ผลต่าง fo – fl ซึ่งจะนำไปเปรียบเทียบกับความถี่ fi

เมื่อเกิดการล็อกจะได้ fo – fl = fi นั่นคือ fo = fi + fi ความถี่ของ วีซีโอ จะเท่ากับความถี่มาตรฐานเลื่อนไป fi

(ข) การเข้าจังหวะ (Synchronization) ระบบเฟสล็อกลูป อาจใช้ประโยชน์ในการเพิ่มเสถียรภาพความถี่ของวงจรแกว่งได้ เช่น ถ้ามีวงจรแกว่งกำลังสูง แต่เสถียรภาพความถี่ไม่ดีและมีวงจรแกว่งกำลังต่ำๆ แต่เสถียรภาพดี ก็ให้ได้ใช้วงจรแรกเป็น วีซีโอ และวงจรที่สองใช้สำหรับให้สัญญาณเข้าของเฟสล็อกลูป เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดการล็อกแรงดันออกจาก วีซีโอ ก็จะมีระดับสูงและมีเสถียรภาพความถี่ดี อนึ่งวงจรแกว่งกำลังสูงแต่เสถียรภาพอาจทำงานที่ความถี่ต่ำกว่า เช่น เป็นวงจรแกว่งที่ให้ผลึก การเข้าจังหวะอาจทำได้โดยการล็อกความถี่ของ วีซีโอ เข้ากับฮาร์โมนิกสูงๆของสัญญาณเข้า การล็อกอาจเกิดขึ้นได้โดยใช้สัญญาณเข้าเพียงนิดเดียวจึงไม่มีปัญหาในการล็อกที่ฮาร์โมนิกสูง

หลักการเดียวกันนี้ อาจใช้ในการควบคุมความเร็วของมอเตอร์ได้ ในที่นี้ วีซีโอ ก็คือตัวมอเตอร์ซึ่งอาจใช้สวิตช์ไว้ใกล้ๆแกน เมื่อมอเตอร์หมุนหนึ่งรอบ สวิตช์ก็จะเปิด-ปิดครั้งหนึ่งหรือหลายครั้ง ทำให้ได้สัญญาณไฟฟ้าออกมามีความถี่เป็นจำนวนเต็มเท่าของความเร็วของมอเตอร์สัญญาณนี้จะนำไปเปรียบเทียบกับความถี่มาตรฐาน ซึ่งอาจได้จากการหารความถี่ของวงจรแกว่งที่ใช้ผลึกสัญญาณที่ได้ออกมา เมื่อผ่านการกรองและการขยายก็จะนำไปใช้ขับนำมอเตอร์ และควบคุมความเร็วของมัน เมื่อเกิดการล็อกความเร็วของมอเตอร์จะมีเสถียรภาพเท่ากับความถี่มาตรฐาน

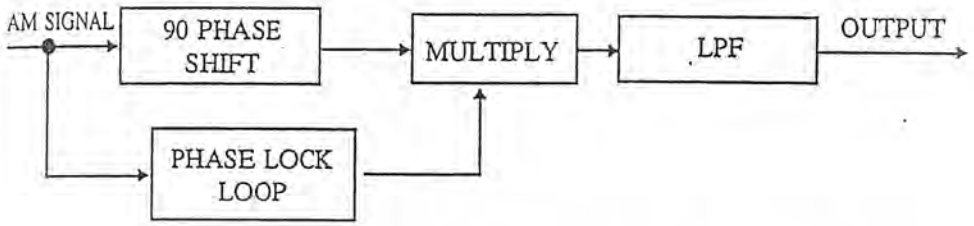
ในบางกรณี สัญญาณเข้าจังหวะมีลักษณะไม่ครบสมบูรณ์ คือขาดเป็นห้วงๆ ที่ต้องการคือสร้างเสริมขึ้นใหม่ได้ครบรูป เช่นให้เป็นสัญญาณสี่เหลี่ยมจัตุรัสที่บริบูรณ์ ในกรณีนี้อาจใช้ วงจรเฟสล็อกลูปได้โดยที่ วีซีโอ จะให้สัญญาณสี่เหลี่ยมจัตุรัสที่เข้าจังหวะกับสัญญาณที่ได้รับเป็นห้วงๆ นั้น ในช่วงที่ไม่มีสัญญาณเข้า ยังพอมี "ความทรงจำ" และยังไม่ทันจะเปลี่ยนจากความถี่เดิม ก็มีสัญญาณมาเข้าจังหวะให้เป็นห้วงๆ ไป ตัวอย่างดังกล่าวนี้จะพบได้ในการเข้าจังหวะสัญญาณของเครื่องรับโทรทัศน์สีในระบบเชิงเลข และในระบบโทรมาตรที่ใช้ พีซีเอ็ม(PCM)

(ค) การตรวจจับสัญญาณ (Detection) หรือวงจรเลือกความถี่ในกรณีที่สัญญาณมีองค์ประกอบความถี่หลายความถี่และต้องการเลือกเฟ้นเพียงความถี่เดียว ก็อาจทำได้โดยใช้วงจรเฟสล็อกลูป โดยปรับความถี่อิสระให้ตรงกับความถี่ที่ต้องการ และปรับแถบของวงรอบให้แคบ เพื่อว่าวงจรเฟสล็อกลูปจะได้ล็อกกับความถี่นั้นในกรณีนี้ สัญญาณของ วีซีโอ จะมีความถี่เท่ากับสัญญาณที่ต้องการ ส่วนความถี่อื่นๆ ที่สัญญาณเข้ามากล่าวได้ว่า วงจรเฟสล็อกลูปทำหน้าที่เป็นตัวกรองเสียงรบกวนโดยกำเนิด เป็นสัญญาณขึ้นใหม่จากสัญญาณเล็กๆที่จมอยู่ในเสียงรบกวน

ซึ่งวงจรเฟสล็อกลูปทำหน้าที่คล้ายวงจรเลือกความถี่ ต่างกันที่ว่าสัญญาณออกจาก วีซีโอ แม้จะตรงตามสัญญาณเข้าในแง่ความถี่ แต่ก็ไม่เกี่ยวข้องกับสัญญาณเข้าในแง่ช่วงสูง เลยพิจารณาในแง่นี้จะเห็นว่า เมื่อใช้วงจรเฟสล็อกลูปสำหรับดีมอดูเลต สัญญาณเอฟเอ็มวงจรก็จะมีอำนาจเลือกสรรความถี่ในตัววงจรเฟสล็อกลูปนี้ อาจใช้ประกอบการดีมอดูเลตสัญญาณเอเอ็มได้อย่างมีคุณภาพ เป็นที่ทราบกันว่า ถ้ามีเสียงรบกวนผนวกกับสัญญาณเอเอ็มมาก วิธีหนึ่งที่ใช้ได้ดีในการขจัดเสียงรบกวนคือ การตรวจจับแบบโคฮีเร้นต์ (Coherent detection) กล่าวคือ เอาสัญญาณเอเอ็มคูณกับสัญญาณอ้างอิง มีความถี่เดียวกันแต่ปราศจากเสียงรบกวน ผลคูณที่ได้จะประกอบด้วย ค่าไฟตรงที่เป็นปฏิภาคกับช่วงสูงของสัญญาณเข้า และองค์ประกอบความถี่สูงอื่นๆ ซึ่งจะถูกขจัดโดยวงจรผ่านต่ำ เสียงรบกวนหรือสัญญาณแทรกที่ความถี่ไม่ตรงกับสัญญาณอ้างอิง จะไม่ให้ค่าไฟตรงจึงถูกวงจรผ่านต่ำกรองอากาศออกหมด ในการดีมอดูเลตเช่นนี้วงจรเฟสล็อกลูปจะเป็นตัวกำเนิดสัญญาณอ้างอิง ซึ่งมีความถี่ตรงกับสัญญาณเอเอ็มและมีเสียงรบกวนปนอยู่น้อยมาก แต่สัญญาณจะต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มุมกับสัญญาณเอเอ็มอยู่ 90 องศา จึงจำเป็นต้องเพิ่มวงจรเลื่อนความถี่เข้าไปก่อนที่จะทำการตรวจจับแบบโคฮี-เรนต์



รูปที่ 2.27 การตรวจสัญญาณเอเอ็มแบบโคฮีเรนต์โดยใช้วงจรเฟสล็อกลูป

2.4.3 ข้อดีและข้อเสียของวงจรเฟสล็อกลูป

วงจรเฟสล็อกลูปมีข้อดีหลายประการสำหรับการใช้งานบางอย่าง ซึ่งไม่มีวงจรอื่นที่จะเทียบเท่าอย่างไรก็ดี ในการใช้งานบางอย่างนั้นก็อาจใช้วงจรกรองแบบแอลซี (LC) หรือ อาร์ซี (RC) แทนได้ ข้อดีของวงจรเฟสล็อกลูปเมื่อเปรียบเทียบกับวงจรกรองในงานแบบอาร์ซี ได้แก่

1. ทำงานได้ดีที่ความถี่สูง วงจรประมวลเฟสล็อกลูปสามารถทำงานได้ที่ความถี่สูงกว่า 100 เมกะเฮิร์ต ส่วนวงจรประมวลที่ต่อเป็นวงจรกรองในงานนั้นจะทำงานได้ถึงความถี่ประมาณ 100 เมกะเฮิร์ต
2. อำนาจเลือกสรร (Selectivity) และความถี่ไม่ขึ้นต่อกัน กล่าวคือ ความถี่กลางกำหนดโดยความถี่อิสระของ วีซีโอ ส่วนอำนาจการเลือกสรร ขึ้นอยู่กับลักษณะของวงจรผ่านต่ำ จึงไม่มีปัญหาการเรียงคลื่น (Alignment) อย่างเช่น วงจรเลือกความถี่หลายๆหน่วย
3. องค์ประกอบภายนอก วงจรประมวลผลมีน้อยหรือปรับคลื่นได้ง่าย โดยทั่วไปความถี่อิสระของวีซีโอ กำหนดโดย C ตัวเดียวหรือ C กับ R ซึ่งจะปรับคลื่นได้ตั้งแต่ค่าต่ำกว่า กิโลเฮิร์ต ถึง 100 เมกะเฮิร์ต

อย่างไรก็ดี เมื่อเทียบกับวงจรกรอง LC หรือวงจรกรองในงานแล้ว วงจรเฟสล็อกลูปมีข้อเสียดังนี้

1. ไม่ให้ข้อมูลเกี่ยวกับช่วงสูงวงจรเฟสล็อกลูปสนองตอบต่อความถี่เท่านั้นตราบเท่าที่สัญญาณเข้ามีขนาดใหญ่พอที่จะทำให้เกิดการล็อก วงจรจะไม่สนองตอบต่อช่วงสูงของสัญญาณเข้า
2. สนองตอบต่อฮาร์โมนิกวงจรเฟสล็อกลูป ตอบสนองต่อฮาร์โมนิก หรือฮาร์โมนิกย่อยของสัญญาณเข้า ทำให้การขจัดสัญญาณแทรกแซงที่มีความถี่เป็นอัตราส่วนจำนวนเต็มกับสัญญาณไม่สู้ได้ผลนัก
3. ขาดเทคนิคการสังเคราะห์ เนื่องจากลักษณะการจับของวงจรเฟสล็อกลูปเป็นแบบไม่เป็นเชิงเส้น เทคนิคการสังเคราะห์ให้ได้วงจรที่มีลักษณะเชิงความถี่ตามข้อกำหนดจึงเป็นช่วงที่ยากมาก

2.5 ส่วนของการติดต่อกับคอมพิวเตอร์

คอมพิวเตอร์สามารถเชื่อมต่อกับอุปกรณ์ภายนอกต่างๆ เพื่อทำการวัดปริมาณทางกายภาพ และส่งผลกลับในการควบคุมปริมาณทางกายภาพที่แวดล้อมตัวเราอาจจะเป็นภายในบ้าน ห้องทดลอง โรงงานอุตสาหกรรรมก็ได้ ปริมาณกายภาพเหล่านี้ได้แก่ อุณหภูมิ ความชื้น ระดับเป็นต้น โดยคอมพิวเตอร์จะมีเส้นทางในการเชื่อมต่อกับเครื่องมือและอุปกรณ์ภายนอกเข้ากับคอมพิวเตอร์ประกอบด้วยอุปกรณ์ 2 ส่วน คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ส่วนของ ฮาร์ดแวร์ (hard ware หรือ Interface Card)

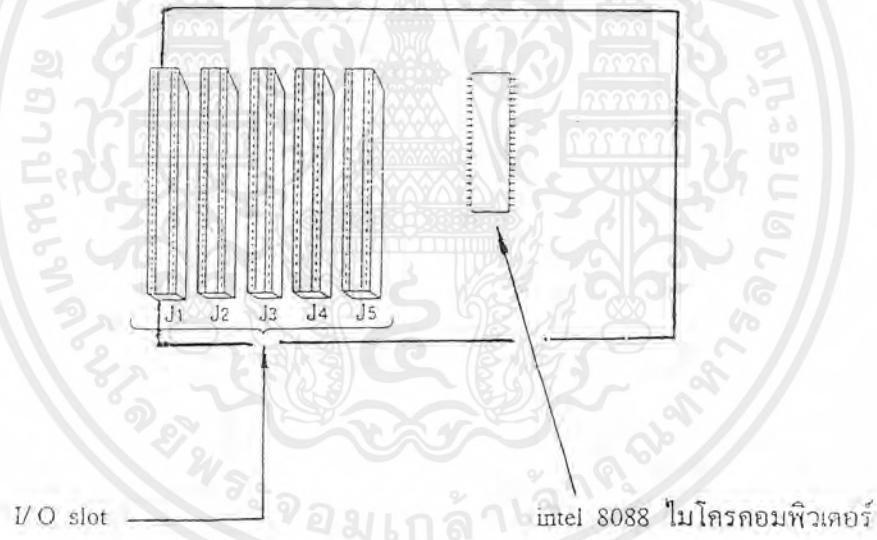
โดยส่วนนี้จะทำหน้าที่ในการแปลงสัญญาณอนาล็อกจากอุปกรณ์ภายนอกมาเป็นสัญญาณดิจิตอลเพื่อส่งไปควบคุมอุปกรณ์เอาต์พุทต่อไป นอกจากนี้ ยังมีหน้าที่อีกหลายอย่างซึ่งแล้วแต่ผู้ออกแบบว่าจะกำหนดให้การ์ดนี้ทำหน้าที่อะไรบ้าง

2. ส่วนของ ซอฟท์แวร์ (soft ware)

ส่วนนี้ทำหน้าที่ในการควบคุมการทำงานของการ์ดอินเตอร์เฟสและนำสัญญาณจากภายนอกที่ผ่านการแปลงเรียบร้อยแล้วมาแสดงผลทางจอภาพ โดยในส่วนนี้ประกอบด้วยโปรแกรมต่างๆที่ทำหน้าที่ในการสั่งการให้คอมพิวเตอร์ทำงาน ตามที่ผู้เขียนโปรแกรมได้กำหนดไว้ เช่น ให้รับค่าที่อินพุทเข้ามาประมวลผล การแสดงผลหน้าจอในโหมดกราฟฟิก การกำหนดพารามิเตอร์ต่างๆ เกี่ยวกับการควบคุม เป็นต้น

จากที่กล่าวมาเป็นรายละเอียดของการอินเตอร์เฟสโดยทั่วไป

ในการนำข้อมูลเข้า (input data) และ การส่งข้อมูลออก (output data) ต้องกระทำผ่านทางการ์ดอินเตอร์เฟส ซึ่งเสียบลงบนอินพุท/เอาต์พุท สล็อต (I/O slot) ของคอมพิวเตอร์ ดังนั้นก่อนอื่นเราควรทราบรายละเอียดเกี่ยวกับ อินพุท/เอาต์พุท สล็อต ก่อนดังรูปที่ 2.28 ซึ่งแสดง อินพุท/เอาต์พุท สล็อต บน IBM PC



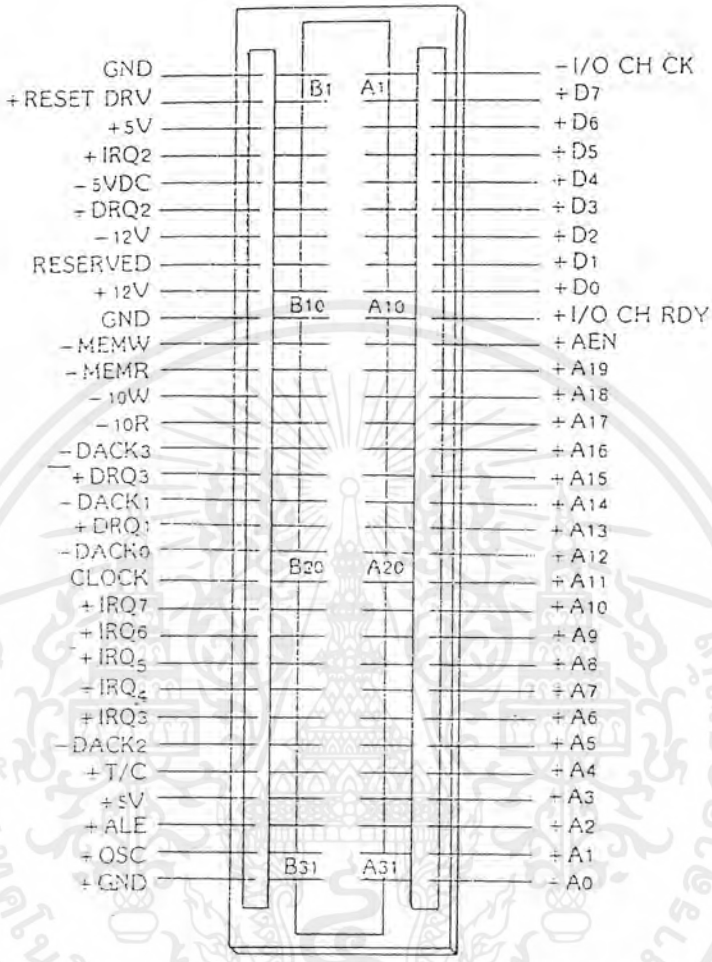
รูปที่ 2.28 สล๊อตบนคอมพิวเตอร์

2.5.1 สัญญาณต่างๆบนสล๊อตของ IBM PC

ภายใน IBM PC ได้มีการออกแบบให้สามารถที่จะเพิ่มเติมวงจรอินเตอร์เฟสเข้าไปในภายหลังได้ โดยผ่านสล๊อตที่อยู่บนเมนบอร์ด (Main Board) สำหรับสล๊อตบนเมนบอร์ดจะมีจำนวน 5 สล๊อต ซึ่งแต่ละสล๊อตจะมีจำนวน 62 ขา แบ่งเป็น 2 ข้างๆ ละ 31 ขา ส่วนการเรียกตำแหน่งขาของสล๊อตเหล่านี้จะขึ้นอยู่กับว่าขานั้นอยู่ข้างใดของสล๊อตโดยขาที่อยู่ทางด้านซ้ายของสล๊อตจะเรียกโดยใช้อักษร "B" นำหน้าเลขตำแหน่งของขา ส่วนทางด้านขวาของสล๊อตเรียกโดยใช้อักษร "A" นำหน้าเลขตำแหน่งของขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับขาต่างๆ บนสล๊อตที่ต่อเชื่อมสัญญาณต่างๆบนเมนบอร์ด แสดงดังรูปที่ 2.29 และจะแบ่งสัญญาณต่างๆที่ IBM PC จัดมาให้เป็นกลุ่มดังนี้



รูปที่ 2.29 ขาสัญญาณต่างๆ ใน อินพุท/เอาต์พุท สล็อต บน IBM PC

ลักษณะของการจัดแบ่งกลุ่มขาสัญญาณ

1. สัญญาณนาฬิกาประกอบด้วย	- ขา OSC (Oscillator)
	- ขา CLK (Clock)
2. แอดเดรส บัส (Address Bus) ประกอบด้วย	- ขา A0-A19
3. ดาต้า บัส (Data Bus) ประกอบด้วย	- ขา D0-D7
4. สัญญาณขบวนการอินเตอร์รัพท์	- ขา IRQ2-IRQ7 (Interrupt Request 2-7)
5. สัญญาณขบวนการ DMA ประกอบด้วย	- ขา DRQ1-DRQ3 (DMA Request 1-3)
	- ขา DACK0-DACK3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(DMA Acknowledge 0-3)

- ขา AEN (Adress Enable)
- ขา T/C(Terminal Count)

6. สัญญาณการรีเซ็ต ประกอบด้วย
   - ขา Reset DRV
7. สัญญาณควบคุมการใช้บัส ประกอบด้วย
   - ขา IOR(I/O Read)
   - ขา IOW(I/O /Write)
   - ขา MEMW (Memory Write)
   - ขา MEMR (Memory Read)
8. สัญญาณการติดต่อ I/O ประกอบด้วย
   - ขา I/O CHECK (I/O Channel Check)
   - ขา I/O CHRDY (I/O Channel Ready)
9. สัญญาณไฟเลี้ยงของระบบ ประกอบด้วย
   - ขา +5 , -5 Vdc
   - ขา +12 , -12 Vdc
   - ขา GND

สำหรับการจัดสัญญาณบนสล๊อตของ IBM PC /XT นั้นจะมีจำนวนสล๊อตบนเมนบอร์ดเพิ่มขึ้นเป็น 8 สล๊อตแต่การจัดสัญญาณต่างๆ ในทั้ง 8 สล๊อตจะยังคงเหมือนกับ IBM PC เพียงแต่สัญญาณต่างๆที่ส่งออกมายังขาของสล๊อตที่ 8 นั้นจะถูกต่อผ่านวงจรขับกระแส (Buffer) ก่อนและในสล๊อตที่ 8 นี้ขา B8 จะถูกใช้งานด้วย โดยจะถูกใช้เป็นขา CARD SLCTD (Card Selected) ซึ่งขาสัญญาณนี้จะเป็นขาสัญญาณอินพุทจากวงจรภายนอกที่เสียบอยู่บนสล๊อตที่แปดเพื่อบอกให้วงจรเมนบอร์ดทราบว่าการ์ดที่อยู่บนสล๊อตนี้ถูกใช้งานอยู่ซึ่งจะทำให้ไดรเวอร์บนเมนบอร์ดทำการอ่านหรือส่งข้อมูลไปยังสล๊อตที่แปด

2.5.2 การจัดแอดเดรสสำหรับ I/O

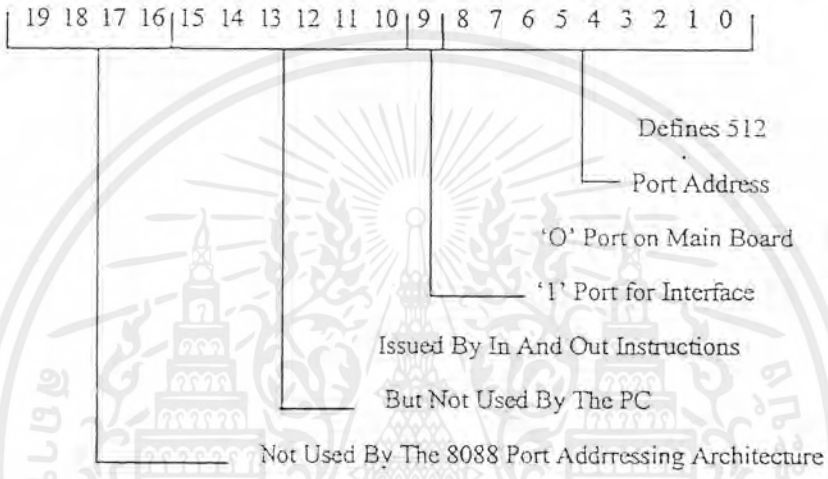
ในการควบคุมและตรวจสอบสภาวะการทำงาน รวมทั้งการอ่านข้อมูลจากอุปกรณ์ที่เป็นชิพซัพพอร์ทหรือการ์ดต่างๆ ที่ใช้ในระบบของ IBM PC นั้น จะกระทำโดยผ่านพอร์ทอินพุท/เอาต์พุท ของระบบดังนั้นในการที่จะใช้งานหรือควบคุมการทำงานของอุปกรณ์เหล่านี้ จึงจำเป็นต้องศึกษาถึงวิธี การควบคุมพอร์ทอินพุท/เอาต์พุท ต่างๆ ของระบบ และศึกษาถึงการอ้างแอดเดรสด้วย สำหรับแอดเดรสของพอร์ทอินพุท/เอาต์พุทต่างๆ นั้นจะเป็นแอดเดรสที่ถูกสร้างขึ้นโดย 8088 ซึ่งแอดเดรสเหล่านี้เป็นแอดเดรสที่จัดไว้สำหรับพอร์ท อินพุท/เอาต์พุทโดยเฉพาะ คือ แยกออกจากแอดเดรสของหน่วยความจำโดยเด็ดขาด ส่วนการส่งข้อมูลให้พอร์ทเหล่านี้ จะทำโดยการใช้คำสั่ง OUT ของ 8088 ส่งข้อมูลไปยังดพอร์ทที่ต้องการ และสำหรับการตรวจสอบหรือการอ่านข้อมูลจากพอร์ทก็จะทำได้โดยใช้คำสั่ง IN ของ 8088 อ่านข้อมูลจากแอดเดรสของพอร์ทที่ต้องการ

ภายใน 8088 นี้จะมีแอดเดรสสำหรับใช้กับพอร์ท อินพุท/เอาต์พุท อยู่ทั้งหมด 65,356 หรือ 64 กิโลแอดเดรส (ในขณะที่มีแอดเดรสสำหรับหน่วยความจำอยู่ 1 เมกะไบท์) ซึ่งทำให้การอ้างแอดเดรสของพอร์ทอินพุท/เอาต์พุท ที่ทำงานร่วมกับ 8088 นั้น ต้องใช้จำนวนแอดเดรส 16 เส้น คือ A0-A15 แต่สำหรับใน IBM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PC นี้ จะถูกออกแบบมาให้ใช้เส้นแอดเดรสเฉพาะ 10 เส้นล่าง คือ A0-A9 เท่านั้น ดังนั้น ในการดีโคดแอดเดรสในการใช้พอร์ทบน IBM PC โดยใช้แอดเดรส จึงใช้เส้นแอดเดรส A0-A9 เท่านั้นเองดังนั้นเมื่อมีการอ้างพอร์ทต่างๆในทางซอฟท์แวร์ เส้นแอดเดรส 8 บิตบนจึงไม่มีผลต่อการอ้างพอร์ท คือ ถือว่าเป็นพอร์ทเดียวกัน

เนื่องจากใน IBM PC ได้ใช้งานเส้นแอดเดรสเพียง 10 เส้น ดังนั้นจึงสามารถอ้างแอดเดรสของพอร์ทได้สูงสุดเพียง 1024 พอร์ทเท่านั้น นอกจากนี้ใน IBM PC ยังได้แบ่งการทำงานของพอร์ท 1024 พอร์ทนี้ออกเป็น 2 ส่วน คือ ถ้าข้อมูลในบิต A9 เป็น "0" แล้วจะเป็นพอร์ทที่ใช้งานสำหรับบนเมนบอร์ดของ IBM PC และถ้าข้อมูลในบิต A9 เป็น "1" จะเป็นพอร์ทที่สามารถถูกใช้จากการ์ดต่างๆได้



รูปที่ 2.30 การใช้แอดเดรสบิตต่างๆในการอ้างแอดเดรสของพอร์ทใน IBM PC

2.5.3 การใช้งานแอดเดรสสำหรับพอร์ท อินพุท/เอาต์พุท ใน IBM PC

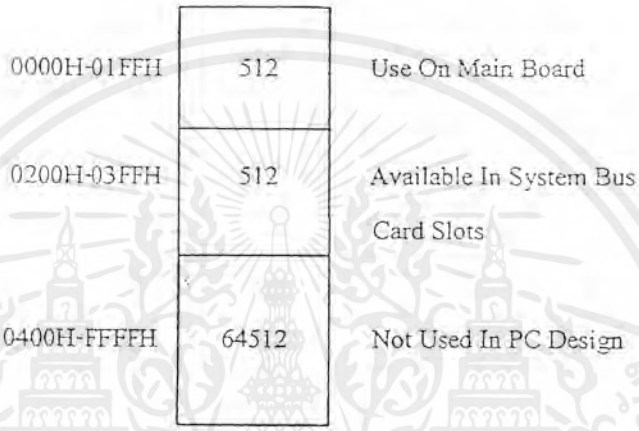
0000H-001FH	32	0000H-000FH	(16)	DMA CHIP
0020H-003FH	32	0020H-0021H	(2)	INTERRUPT CHIP
0040H-005FH	32	0040H-0043H	(4)	TIMER COUNTER CHIP
0060H-007FH	32	0060H-0063H	(4)	PPI CHIP
0080H-009FH	32	0080H-0083H	(4)	DMA PAGE REISTER
00A0H-00BFH	32	00A0H	(1)	NMI MASK BIT
00C0H-01FFH	320	NOT DECODED OR USED ON THE BASEBOARD		

รูปที่ 2.31 การใช้งานแอดเดรสของพอร์ทบน IBM PC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ในกลุ่มแรกนี้ เป็นกลุ่มของพอร์ท อินพุท/เอาต์พุท ที่อยู่บนเมนบอร์ดของ IBM PC ซึ่งจะมีแอดเดรสอยู่ในตำแหน่ง 0000H จนถึง 01FFH (โดยใช้ A10-A15 เป็น "0") หรือ แอดเดรสที่บิต A9 เป็น "0" นั่นเอง

สำหรับแอดเดรสพอร์ทในกลุ่มนี้จะถูกใช้ในการอ้างแอดเดรสพอร์ทของชิพชัพพอร์ท และอุปกรณ์ที่เป็น อินพุท/เอาต์พุทต่างๆ ที่อยู่บนเมนบอร์ด (Main Board) ของ IBM PC



รูปที่ 2.32 การใช้งานแอดเดรสต่างๆสำหรับพอร์ท อินพุท/เอาต์พุท ของ IBM PC

จากรูปที่ 2.32 จะพบว่าแอดเดรส 00C0H จนถึงแอดเดรส 01FFH นั้นไม่ได้ถูกใช้งานบนเมนบอร์ดของ
IBM PC ดังนั้นในกรณีนี้เราก็สามารถที่จะใช้งานแอดเดรสต่างๆ เหล่านี้ได้แต่อย่างไรก็ตามแอดเดรสเหล่านี้ยังคงถูกดีโคดให้เป็นแอดเดรสที่ใช้ในการอ่านข้อมูลจากพอร์ทอินพุท/เอาต์พุทบนเมนบอร์ดเท่านั้น ดังนั้นการใช้ค่าแอดเดรส 00C0H-01FFH กับพอร์ทอินพุท/เอาต์พุทบนการ์ดหรือวงจรอินเตอร์เฟสที่เราสร้างขึ้นนั้นต้องเป็นพอร์ทเอาต์พุทเพียงชนิดเดียวเท่านั้น

2. ในกลุ่มที่สองนี้ จะเป็นกลุ่มของพอร์ท อินพุท/เอาต์พุท ที่ถูกใช้งานอยู่บนการ์ดที่ใช้เสียบบนสล๊อตต่างๆ ของ IBM PC สำหรับแอดเดรสของพอร์ทเหล่านี้จะเริ่มต้นจากแอดเดรส 0200H จนถึง 03FFH ซึ่งก็คือ แอดเดรสที่มีบิต A9 เป็น "1" นั่นเอง สำหรับการใช้งานแอดเดรสของพอร์ท อินพุท/เอาต์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0200H	1	NOT USED
0201H	1	COLTROL ADAPTER
0202H-0277H	118	NOT USED
0278H-027FH	8	SECOND PRINTER PORT ADAPTER
0280H-0287H	120	NOT USED
0288H-028FH	8	SECOND SERIAL PORT ADAPTER CARD
0300H-0377H	120	NOT USED
0378H-037FH	8	PRINTER PORT ADAPTER CARD
0380H-03AFH	48	NOT USED
03B0H-03BFH	16	MONOCROME AND PRINTER ADAPTER
03C0H-03CFH	16	NOT USED
03D0H-03DFH	16	COLOUR GRAPHICS ADAPTER
03E0H-03EFH	16	NOT USED
03F0H-03F7H	8	DISKDRIVE ADAPTER CARD
03F8H-03FFH	8	SERIAL PORT ADAPTER CARD

รูปที่ 2.33 การใช้งานแอดเดรสสำหรับพอร์ท I/O

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้าง

พิจารณาการออกแบบวงจรจะแยกการออกแบบเป็นส่วนๆเพื่อให้เข้าใจได้ง่ายจะแสดงเป็นบล็อคไดอะแกรมดังรูปที่ 3.1 หลักการของการส่งข้อมูลแบบไร้สายสามารถพิจารณาการทำงานของแต่ละส่วนได้ดังนี้

รูปที่3.1 บล็อกไดอะแกรมภาคส่ง

ภาคส่ง

ส่วนที่ 1. พีซีเอ็มโคดเดอร์(PCM CODER) ทำหน้าที่ในการแปลงสัญญาณอนาล็อกเป็นดิจิตอลและทำการเข้ารหัสสัญญาณได้เอาต์พุทจากภาคนี้เป็น สัญญาณดิจิตอลของข้อมูลแต่ละแชนแนล

ส่วนที่ 2. ไทมดิวิชั่นมัลติเพล็กซ์(Time Division Multiplex) ทำหน้าที่รวมสัญญาณดิจิตอลที่ได้จากส่วนพีซีเอ็ม โคดเดอร์ แต่ละช่องซึ่งเป็นข้อมูลอนุกรม โดยใช้หลักการมัลติเพล็กซ์แบบแบ่งเวลา

ส่วนที่ 3. มอดูเลเตอร์(Modulater) ทำหน้าที่ในการมอดูเลตสัญญาณเพื่อส่งออกอากาศไปยังภาครับ

รูปที่3.2 บล็อกไดอะแกรมภาครับ

ภาครับ

ส่วนที่ 1. ดีมอดูเลเตอร์ (Demodulater) : ทำหน้าที่ในการดีมอดูเลตสัญญาณที่ส่งมา

ส่วนที่ 2. ดีมัลติเพล็กซ์ (Demultiplex) : ทำหน้าที่แยกสัญญาณดิจิตอลของแต่ละช่องสัญญาณออกจากกัน

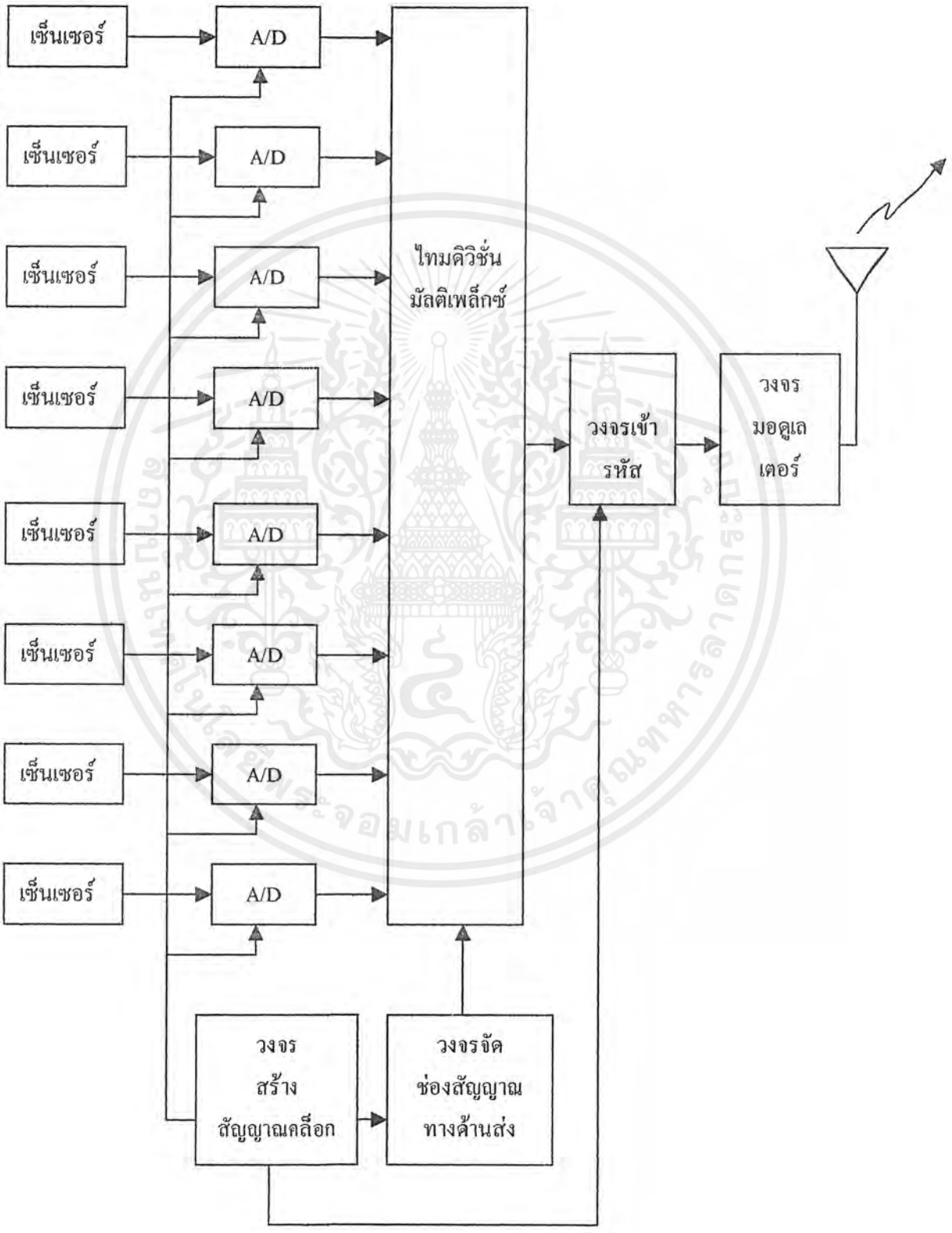
ส่วนที่ 3. อินเตอร์เฟส (Interface) : ทำหน้าที่เชื่อมต่อข้อมูลที่ออกจากดีมัลติเพล็กซ์กับคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 การออกแบบวงจรภาคส่ง

ภาคส่งสามารถแยกออกเป็น 2 ส่วน คือ ภาคส่งสัญญาณไฟฟ้า กับ ภาคส่งสัญญาณออกอากาศ ซึ่งมีรายละเอียดทั้ง 2 ส่วนแสดงดังนี้

3.1.1 ผังการทำงานของภาคส่งทางด้านไฟฟ้า



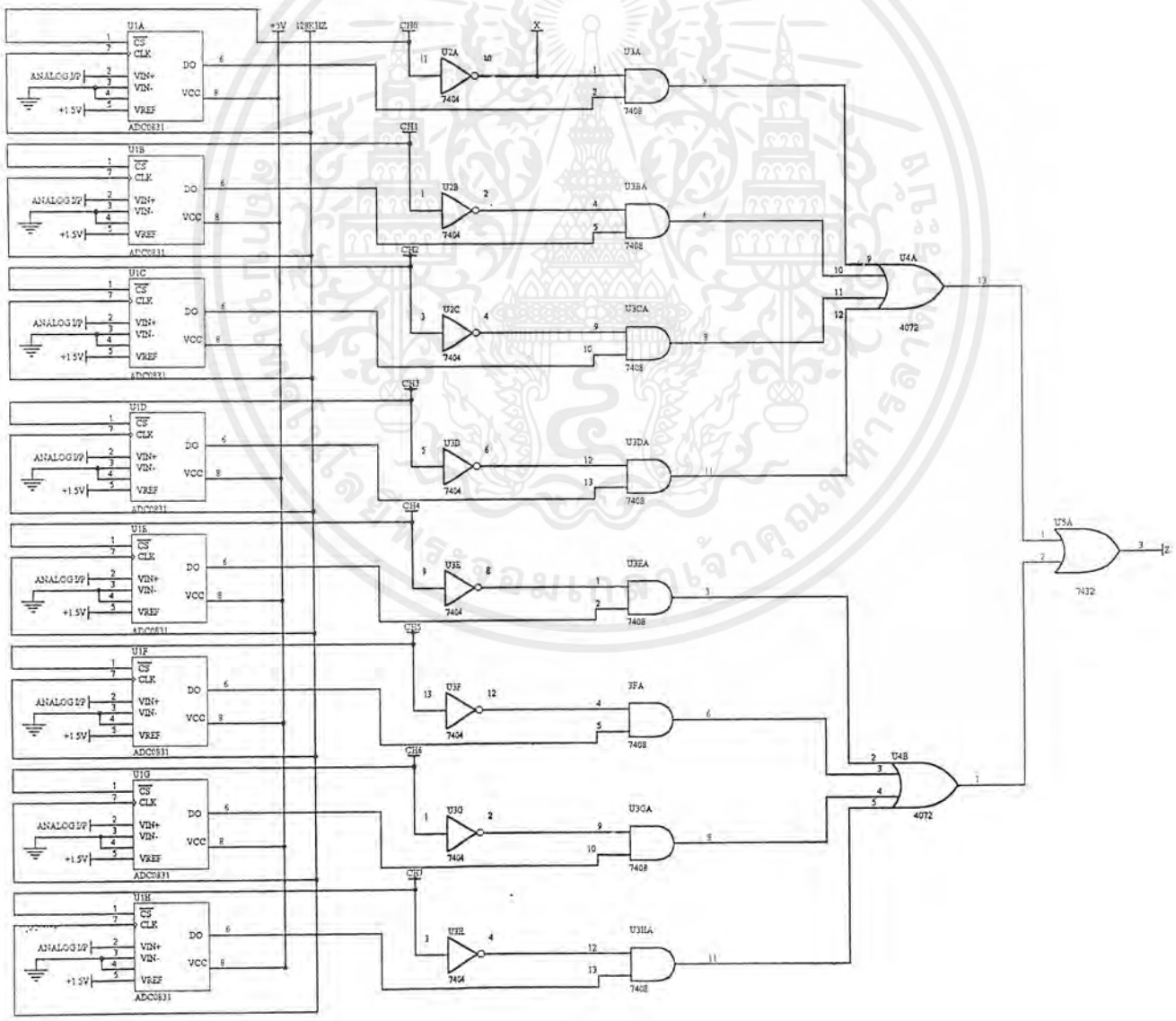
รูปที่ 3.3 ผังการทำงานของภาคส่งทางด้านไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้านอินพุทของเครื่องส่งจะเป็นสัญญาณอนาล็อกที่ได้มาจากตัวเซนเซอร์ ซึ่งจะทำการป้อนเข้าวงจรเข้ารหัสพีซีเอ็ม และได้เอาต์พุทที่ออกมาเป็นสัญญาณดิจิตอลที่มีอัตราการส่ง 128 กิโลบิต/วินาที จากนั้นสัญญาณดิจิตอลที่ได้จากแต่ละช่องสัญญาณจะถูกนำมารวมกันเพื่อให้ข้อมูลที่ออกมาเป็นแบบอนุกรม โดยทำการมัลติเพล็กซ์แบบ ไทมดิวิชั่นมัลติเพล็กซ์ โดยจะใช้สัญญาณจากวงจรจัดช่องสัญญาณในการออกแบบ ได้แบ่งเวลาในการมัลติเพล็กซ์ไว้ช่องละ 78.125 ไมโครเซค ดังนั้น 8 ช่องจะใช้เวลา 625 ไมโครเซค ซึ่งเรียกว่า แฟรม หลังจากนั้นสัญญาณดิจิตอลที่ถูกมัลติเพล็กซ์แล้ว จะถูกส่งไปยังวงจรเข้ารหัสแบบ RZ โดยทำการเติมบิตซิงค์ให้แต่ละแชนแนล และเมื่อเข้ารหัสเรียบร้อยแล้วก็จะส่งเข้าไปยังภาคส่งสัญญาณออกอากาศต่อไป

3.1.2 วงจรทางด้านเครื่องส่ง

1. วงจรเข้ารหัสสัญญาณ พีซีเอ็ม และ มัลติเพล็กซ์



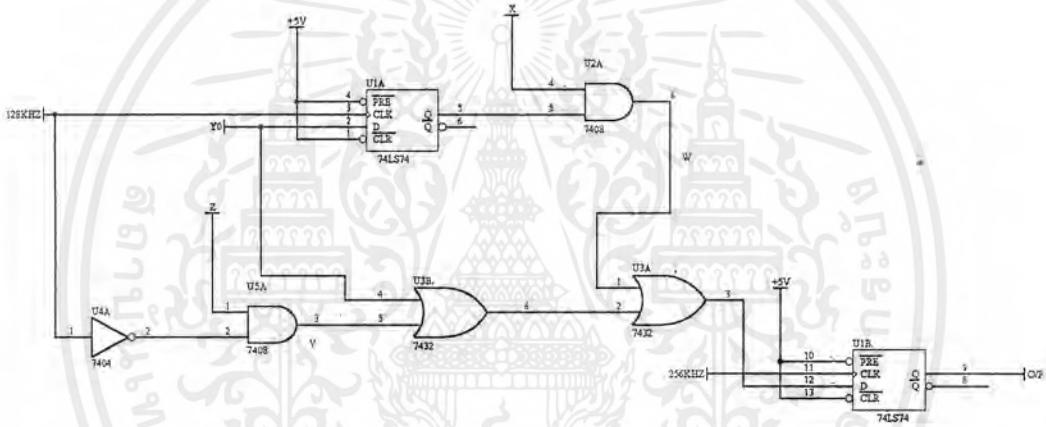
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่3.4 วงจรเข้ารหัสสัญญาณ พีซีเอ็ม และ มัลติเพล็กซ์

จากรูปที่3.4 วงจรเข้ารหัส พีซีเอ็ม ใช้ ไอซี เบอร์ ADC0831 ช่องสัญญาณละหนึ่งตัวอินพุทของวงจรจะเป็นสัญญาณอนาล็อกที่ได้มาจากตัวเซนเซอร์เอาต์พุทที่ได้จากขา 6 เป็นสัญญาณ พีซีเอ็ม 8 บิต ซึ่งมีอัตราบิตในการส่ง 128 กิโลบิต/วินาที

ในส่วนของมัลติเพล็กซ์ได้ใช้แอนด์เกทเบอร์ 74LS08 ทำหน้าที่ซิงค์ไครไนซ์สัญญาณ พีซีเอ็ม ให้ตรงกับสัญญาณจัดช่องเวลาที่ส่งมาจากวงจรจัดช่องสัญญาณ โดยเมื่อวงจรจัดช่องสัญญาณส่งสัญญาณมา 74LS08 ก็ทำการเปิดเกท เพื่อให้ข้อมูลแต่ละช่องถูกส่งออกไป โดยแต่ละช่องจะถูกส่งออกไปไม่พร้อมกันขึ้นอยู่กับวงจรจัดช่องสัญญาณ ส่วน ไอซี 4072 และ ไอซี 7432 ทำหน้าที่รวมสัญญาณ พีซีเอ็ม ในแต่ละช่องสัญญาณให้เป็นสัญญาณอนุกรม เรียงต่อกันไป

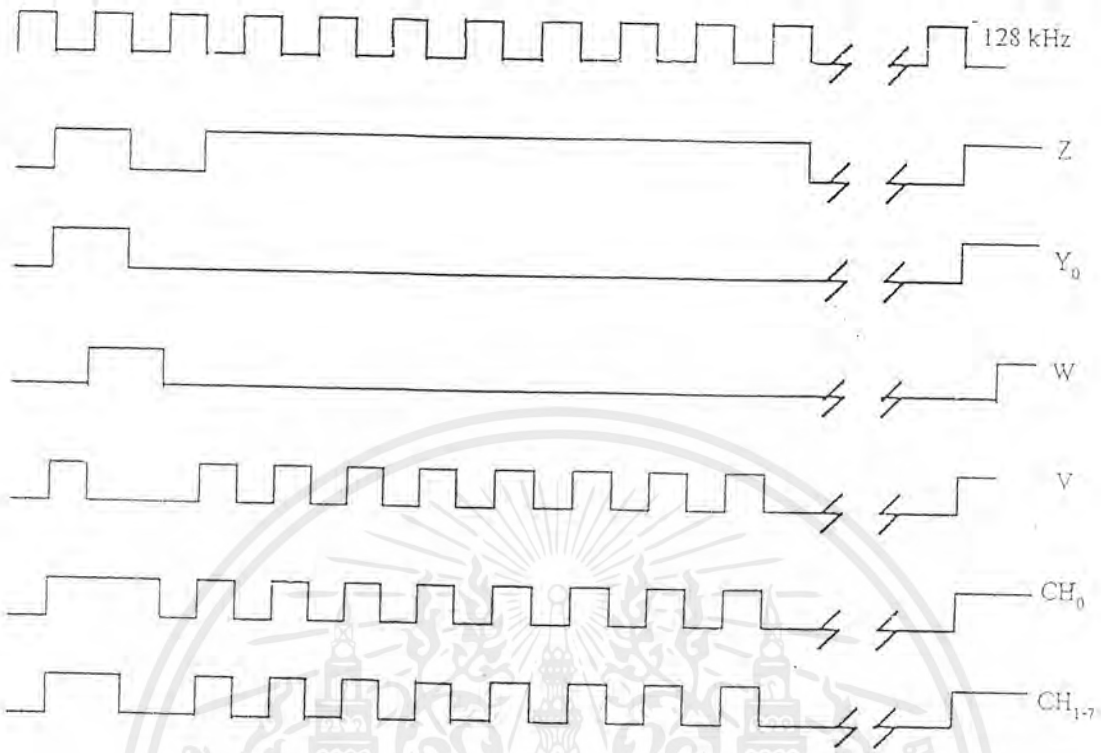
2.วงจรเข้ารหัส



รูปที่ 3.5 วงจรเข้ารหัส

จากรูปที่ 3.5 จะนำสัญญาณ พีซีเอ็ม ที่มัลติเพล็กซ์แล้วมาเข้ารหัสแบบ RZ เพื่อใช้ในการดีเทคสัญญาณของภาครับ โดยนำสัญญาณ พีซีเอ็ม แอนด์ กับ คล็อก ส่วน ไอซี 74LS32 ทำหน้าที่สร้างบิตซิงค์ขึ้นมา 1 บิต แล้วนำไปรวมกับสัญญาณ RZ จะทำให้ได้ เอาต์พุท ของแต่ละแชนแนลมีบิตซิงค์อยู่ข้างหน้าบิตข้อมูลอยู่ 2 บิต โดยอีก 1 บิต ได้มาจาก ไอซี4515 จากการออกแบบวงจรเข้ารหัสนั้นต้องการให้แต่ละแชนแนลมีบิตซิงค์อยู่หน้าบิตข้อมูลอยู่ 2 บิต โดยให้บิตซิงค์ 2 บิตของ แชนแนลศูนย์(CH_0) นั้นเป็นหนึ่งอยู่บิตครึ่งและเป็นศูนย์ครึ่งบิต ส่วนบิตซิงค์ 2 บิต ของแชนแนลหนึ่ง(CH_1) ถึงแชนแนลเจ็ด(CH_7) จะเป็น 1 และ 0

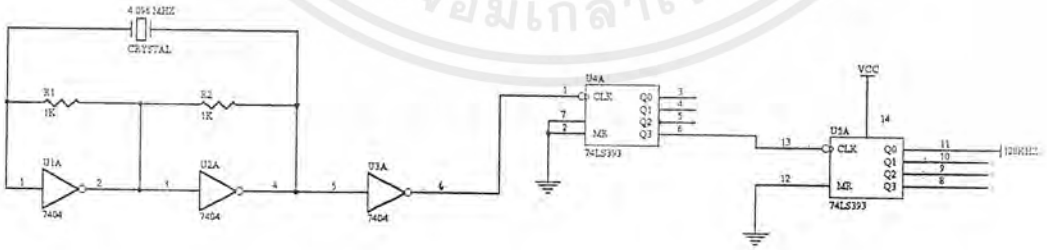
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 สัญญาณที่จุดต่างๆของวงจรเข้ารหัส

จากรูปที่ 3.6 ถ้าสัญญาณ พีซีเอ็ม ที่จุด Z มีลักษณะดังรูปเมื่อนำมาแอนด์กับคล็อกจะได้ที่จุด V แล้วนำไป OR กับ Y_0 จะได้ออกมาที่จุด U แล้วนำไป OR สัญญาณที่จุด W อีกทีหนึ่งก็จะได้เอาต์พุทออกมา แล้วใช้ดีฟลิบฟลอบเป็นตัวแซมปลิ้งออกไปสู่ภาคต่อไป

3. วงจรสร้างสัญญาณคล็อก

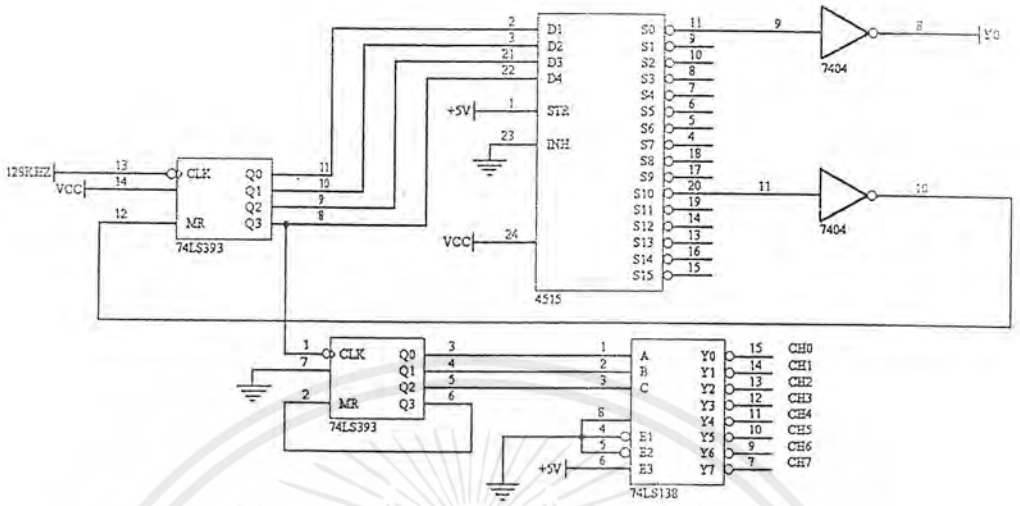


รูปที่ 3.7 วงจรสร้างสัญญาณคล็อก

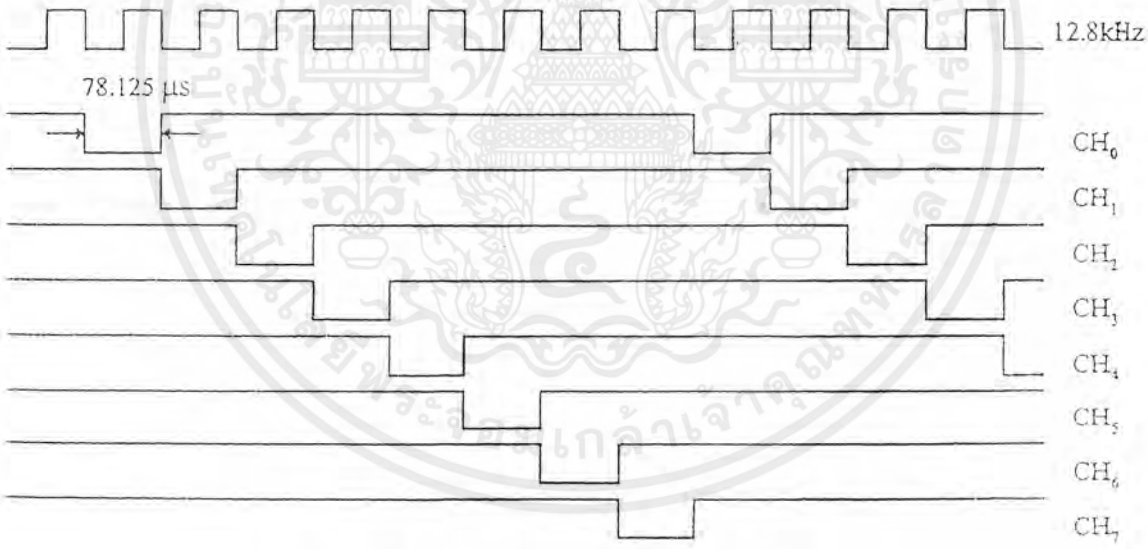
ในส่วนของวงจรสร้างคล็อกนั้นใช้ ไอซีเบอร์ 74LS393 ซึ่งเป็นไบนารี่เคาท์เตอร์ทำการหารความถี่จากคริสตอล 4.096 เมกะเฮิร์ต ให้เหลือความถี่ที่ต้องการคือ 256 กิโลเฮิร์ต และ 128 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วงจรจัดช่องสัญญาณ



รูปที่ 3.8 วงจรจัดช่องสัญญาณ



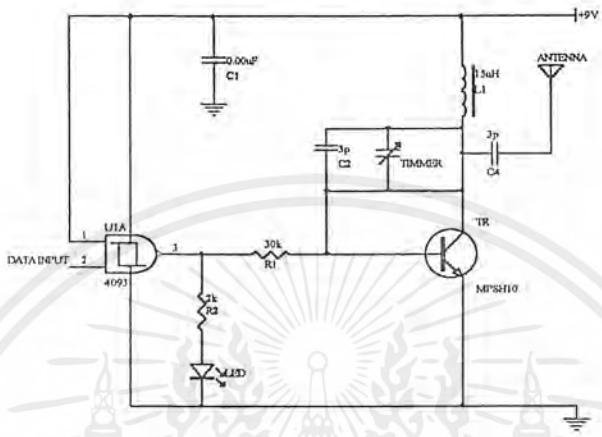
รูปที่ 3.9 ไทมมิ่งไดอะแกรมของวงจรจัดช่องสัญญาณ

เวลาที่ใช้ในการมัลติเพล็กซ์ในแต่ละช่องสัญญาณ จะใช้เวลา 78.125 ไมโครเซค จากวงจรจะใช้วงจรนับ 74LS393 เป็นตัวหารความถี่จาก 128 กิโลเฮิร์ต ให้เหลือ 12.8 กิโลเฮิร์ต แล้วนำความถี่ 12.8 กิโลเฮิร์ต นี้ไปใช้ในวงจรจัดช่องสัญญาณโดยจะใช้วงจรนับ 74LS393 ต่องกับ 74LS138 ซึ่งเป็นตัวถอดรหัสสัญญาณไบนารี่ 8 ช่อง และ เอาต์พุท แอคทีฟที่ลอจิก " 0 " จะเห็นว่าความถี่ 12.8 กิโลเฮิร์ต นี้จะทำให้ได้เวลาในแต่ละช่องสัญญาณเท่ากับ 78.125 ไมโครเซคพอดี ส่วนไอซี4515 นั้นเป็น ตัวถอดรหัสสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไบนารี่ 16 ช่อง โดยใช้สร้างบิตซิงค์ 1 บิต คือที่จุด Y_0 และใช้เป็นตัวเคลียร์ ไอซี 74LS393 เมื่อนับครบ 10 แล้วโดยต่อออกจากขา 20 ของ ไอซี 4515 ไปเข้าขา 12 ของ ไอซี 74LS393

3.1.3 การทำงานของภาคส่งสัญญาณออกอากาศ



รูปที่ 3.10 วงจรมอดูเลตของภาคส่ง

การออกแบบวงจรภาคส่งสัญญาณออกอากาศนี้จะใช้วงจรมอดูเลทแบบเอเอ็ม ใช้คลื่นย่านความถี่ UHF ที่ความถี่ประมาณ 385 เมกกะเฮิร์ต ซึ่งจะใช้วงจรทรานซิสเตอร์เบอร์ MPSH 10 ในการออสซิเลสสัญญาณซายเวฟย่านความถี่ UHF ซึ่งความถี่ที่ได้จะนำไปมอดูเลทกับสัญญาณข้อมูลที่ต้องการส่งเพื่อส่งออกอากาศต่อไป โดยใช้สายอากาศแบบไดโพล ซึ่งสามารถคำนวณหาความยาวสายอากาศได้เป็น ความยาวสายอากาศเท่ากับความยาวคลื่นส่วนสี่ ซึ่ง

$$V = f\lambda$$

โดยที่ V คือ ความเร็วคลื่นแม่เหล็กไฟฟ้าเท่ากับ $3*10^8$ เมตร ต่อ วินาที

f คือ ค่าความถี่ มีค่าเท่ากับ $385 * 10^6$ Hz

λ คือ ค่าความยาวคลื่น มีค่าเท่ากับ 0.8 เมตร

ความยาวสายอากาศ เท่ากับ 0.2 เมตร

3.2 การออกแบบวงจรภาครับ

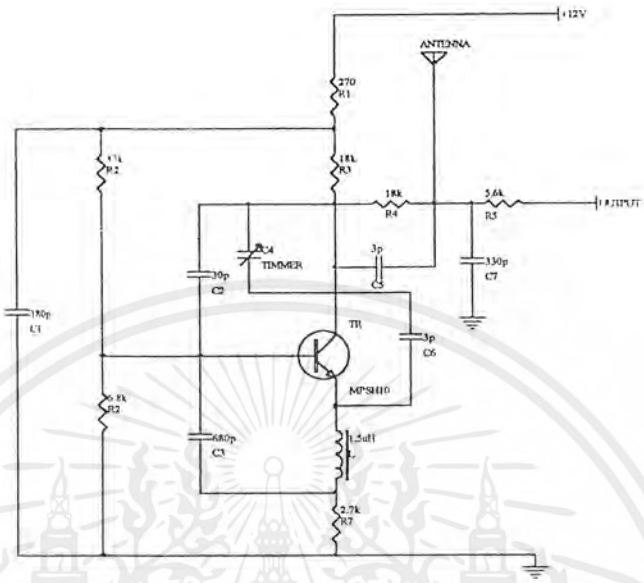
สามารถแยกได้เป็น 2 ส่วน คือ ภาครับที่ได้จากการส่งออกอากาศ กับ ภาครับสัญญาณไฟฟ้า มีรายละเอียดต่างๆดังต่อไปนี้

3.2.1 ภาครับสัญญาณจากการส่งออกอากาศ

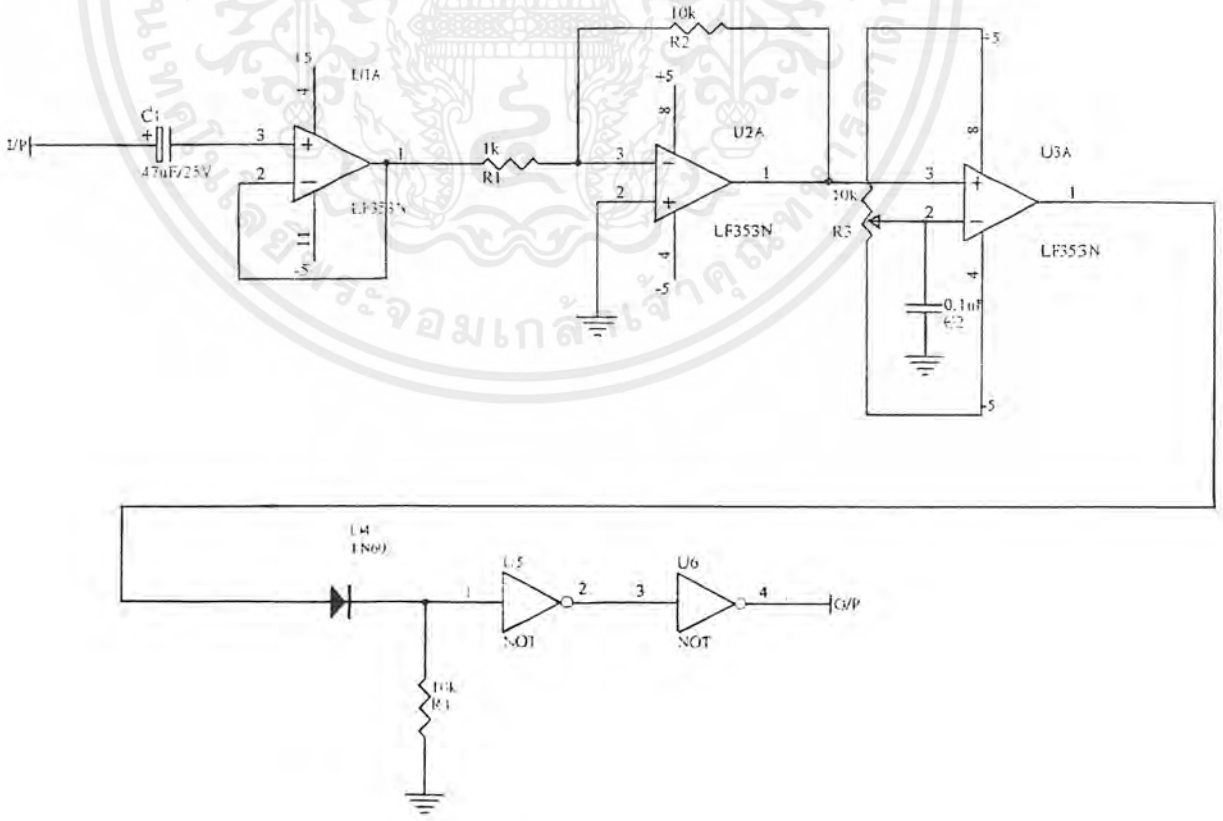
การออกแบบวงจรภาครับสัญญาณจากการส่งออกอากาศนี้ จะใช้ทรานซิสเตอร์เบอร์ MPSH 10 ในการออสซิเลสสัญญาณซายเวฟย่านความถี่ UHF เพื่อใช้ในการดีมอดูเลทสัญญาณ ซึ่งจะดีเทคข้อมูลที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่งมาได้ ซึ่งสัญญาณที่ได้นั้นมีขนาดเล็กมาก ดังนั้นจะต้องนำสัญญาณที่ได้ไปผ่านวงจรขยายสัญญาณ และเปรียบเทียบแรงดัน และนำสัญญาณที่ได้เข้าภาครับสัญญาณไฟฟ้า



รูปที่3.11 วงจรดีมอดูเลตของภาครับ



รูปที่ 3.12 วงจรขยายสัญญาณและเปรียบเทียบแรงดัน

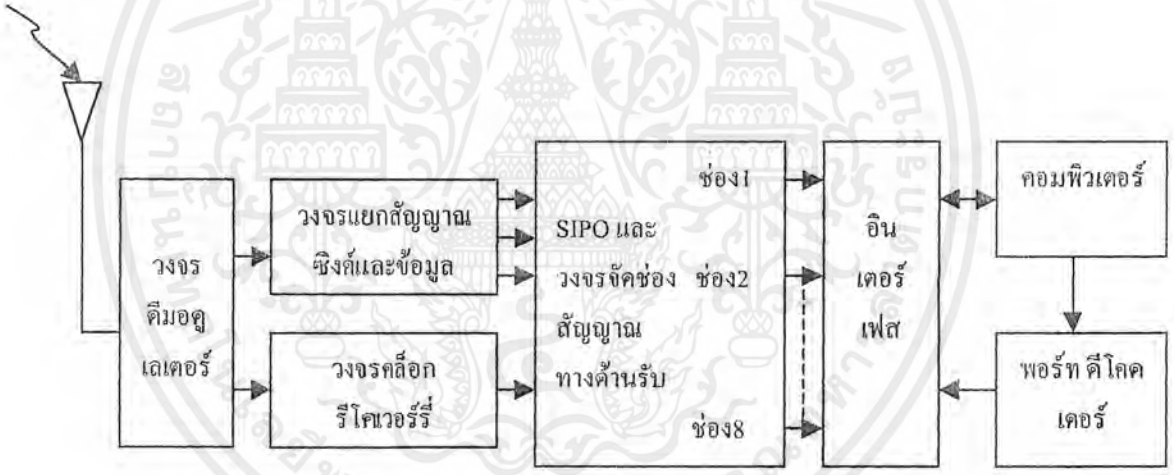
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 ภาครับสัญญาณไฟฟ้า

หน้าที่การทำงานของแต่ละบล็อก

1. คล็อกรีโคเวอร์รี่ (CLOCK RECOVERY) ทำหน้าที่สร้างคล็อกที่ซิงโครไนซ์กับข้อมูลที่เข้ามา
2. วงจรแยกสัญญาณซิงค์และข้อมูล (SYN & DATA SEPARATOR) ทำหน้าที่แยกเอาสัญญาณซิงค์และข้อมูลออกมา
3. SIPO และ วงจรจัดช่องสัญญาณ (CHANNEL ASSIGNMENT) ทำหน้าที่แซมปลิ้งข้อมูลออกมาเป็นแบบขนาน 8 บิต กำหนดช่องของข้อมูลให้ตรงกับด้านส่งและทำหน้าที่พักข้อมูลเพื่อเชื่อมข้อมูลเข้ากับคอมพิวเตอร์
4. อินเตอร์เฟส ทำหน้าที่เชื่อมข้อมูลแบบขนาน 8 บิต กับ คอมพิวเตอร์
5. พอร์ท ดีโคดเดอร์ ทำหน้าที่จัดสรรแอดเดรสของคอมพิวเตอร์ให้กับช่องข้อมูล
6. คอมพิวเตอร์ ทำหน้าที่อ่านข้อมูลแต่ละช่องเข้ามาแสดงผลและจัดเก็บข้อมูล

ดังรูปที่ 3.13



รูปที่ 3.13 บล็อกไดอะแกรมภาครับสัญญาณไฟฟ้า

ผังการทำงานภาครับ

สัญญาณจากภาครับที่ได้จากการส่งออกอากาศเรานำมาสร้างคล็อกเพื่อใช้แยกข้อมูล สัญญาณจัดช่อง (12.8 กิโลเฮิร์ต) และ สัญญาณจัดเฟรม (1.6 กิโลเฮิร์ต) ซึ่งทำงานในส่วนของ วงจรแยกสัญญาณซิงค์และข้อมูลผ่านเข้าส่วนของบล็อกแบบขนาน 8 บิต ผ่านเข้าส่วนของการอินเตอร์เฟส หลังจากนั้นคอมพิวเตอร์จะทำหน้าที่โหลดข้อมูลไปประมวลผล แสดงผล และจัดเก็บข้อมูล ส่วน พอร์ท ดีโคดเดอร์ทำหน้าที่กำหนดแอดเดรสของการ์ดอินเตอร์เฟสที่จะติดต่อ

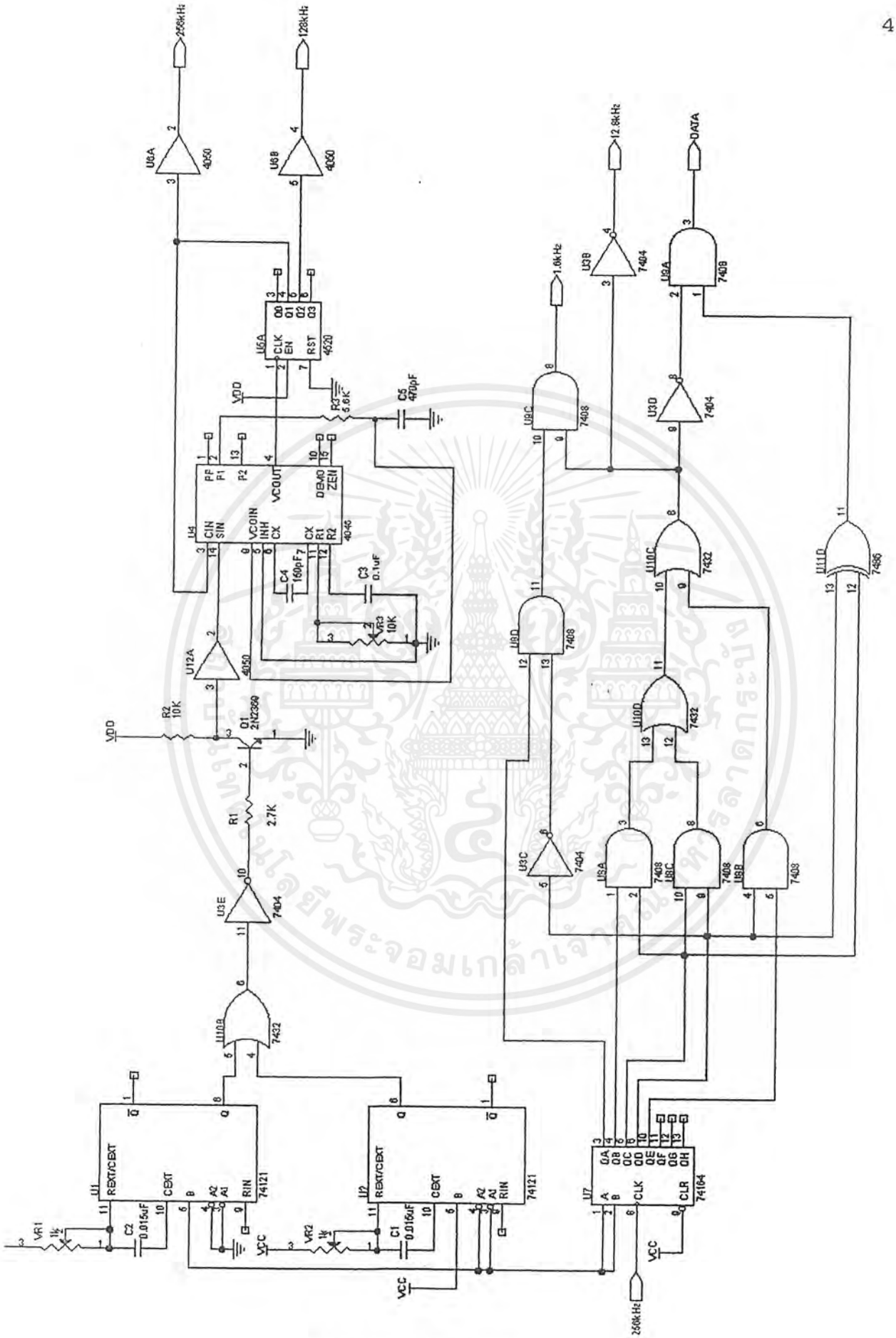
1. คล็อกรีโคเวอร์รี่

ส่วนสำคัญประกอบไปด้วย 74LS121 ซึ่งเป็นโมโนสเตเบิลมัลติไวเบรเตอร์ จะทำหน้าที่ตรวจจับขอบขาขึ้นของพัลซ์ที่เข้ามา จากนั้นจะหน่วงเวลาในการออฟ ซึ่งความกว้างของพัลซ์จะขึ้นอยู่กับค่าเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

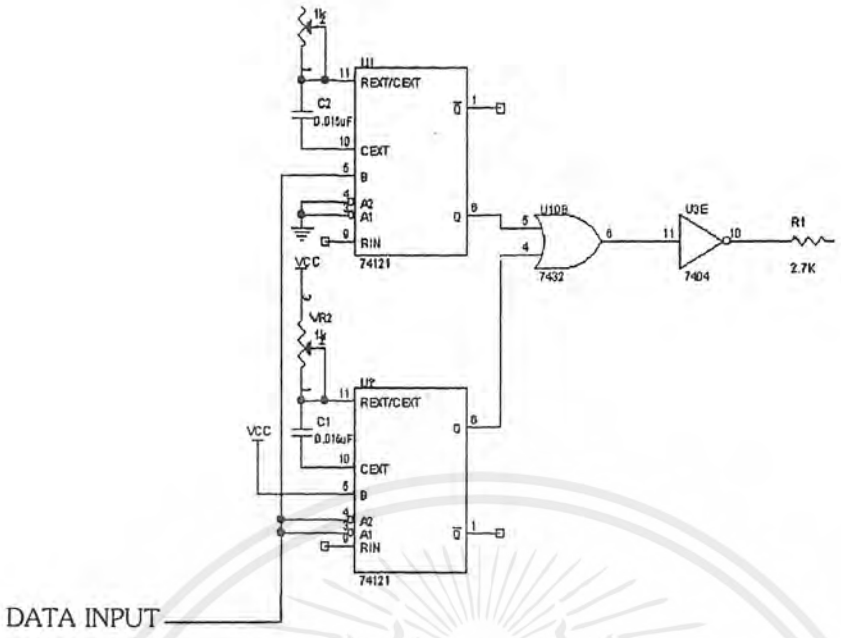
คงที่ (time constant) ของ R และ C ส่วนอีกตัวก็เช่นเดียวกันแต่จะตรวจจับขอบขาลงแทน ในที่นี้กำหนดความกว้างของพัลซ์ประมาณ 1.953 ไมโครเซค ซึ่งสัญญาณที่ได้ของแต่ละตัวนำมา OR กัน นำไปขับทรานซิสเตอร์เพื่อปรับระดับแรงดันเป็น 0 โวลท์ และ 15โวลท์ ป้อนให้กับ เฟส คอมพาเรเตอร์ (Phase Comparater) I (A_{IN}) ของ เฟสล็อกลูป เบอร์4046B เพื่อทำการเปรียบเทียบเฟสกับคล็อก ที่สร้างขึ้นมาโดย วีซีโอ(VCO : Voltage Control Oscillater) ซึ่งผ่านวงจรหาร 4 โดยไอซีเบอร์4520 ที่ขา B_{IN} (Pin3) ได้ Error Voltage ที่ขา PC_1 ผ่านโลพาส ฟิวเตอร์(Lowpass filter) ป้อนให้กับ Vco_{in} เพื่อไปควบคุม VCO ให้สร้างความถี่เป็น 4 เท่าของ Input Signal (A_{IN}) ซึ่งจะได้สัญญาณที่ขา A_{IN} และ B_{IN} มีความถี่เท่ากัน และเฟสต่างกันประมาณ 90 องศา โดย Input Signal และ Vco Out จะต้องมี duty cycle 50 % การล็อกจึงจะเกิดขึ้นได้ ดังรูปที่ 3.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

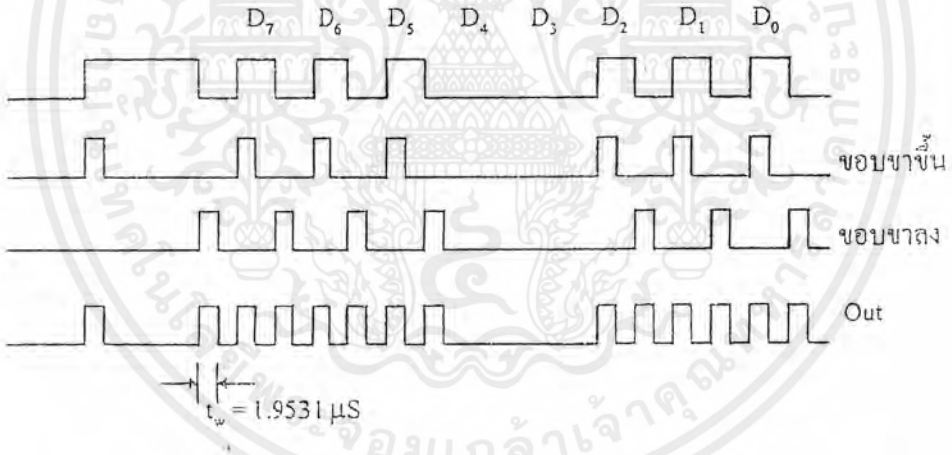


รูปที่ 3.14 วงจรคลอกรโคเวอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

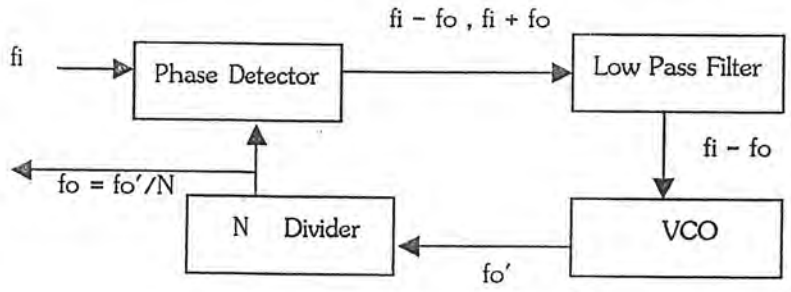


รูปที่ 3.15 ส่วนของวงจร โมโนสเตเบิล มัลติไวเบรเตอร์ (Monostable Multivibrater)

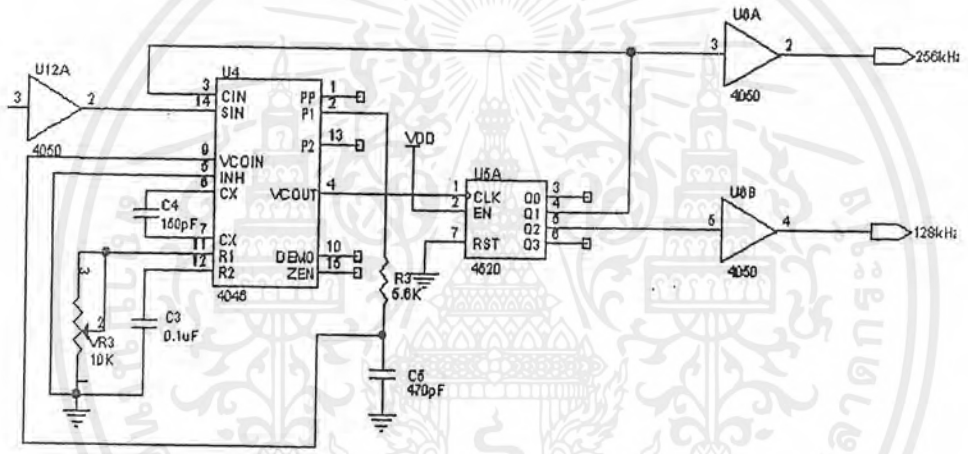


รูปที่ 3.16 ไทมมิ่งไดอะแกรม แสดงการทำงานของวงจร โมโนสเตเบิล มัลติไวเบรเตอร์

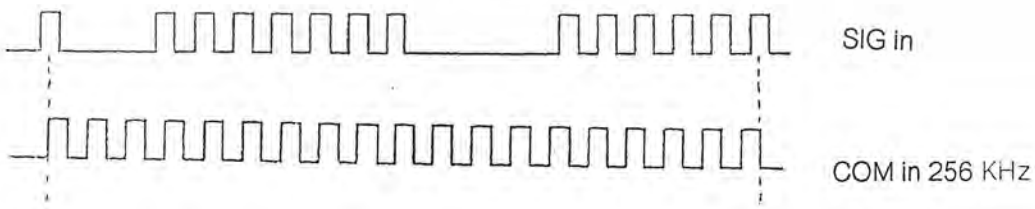
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.17บล็อกไดอะแกรมของส่วน เฟสล็อกลูป

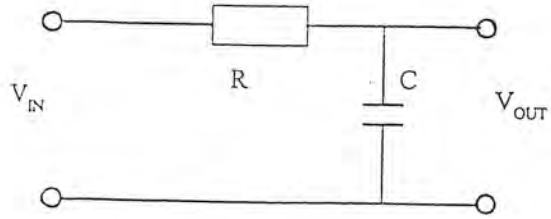


รูปที่3.18 ส่วนของวงจร เฟสล็อกลูป

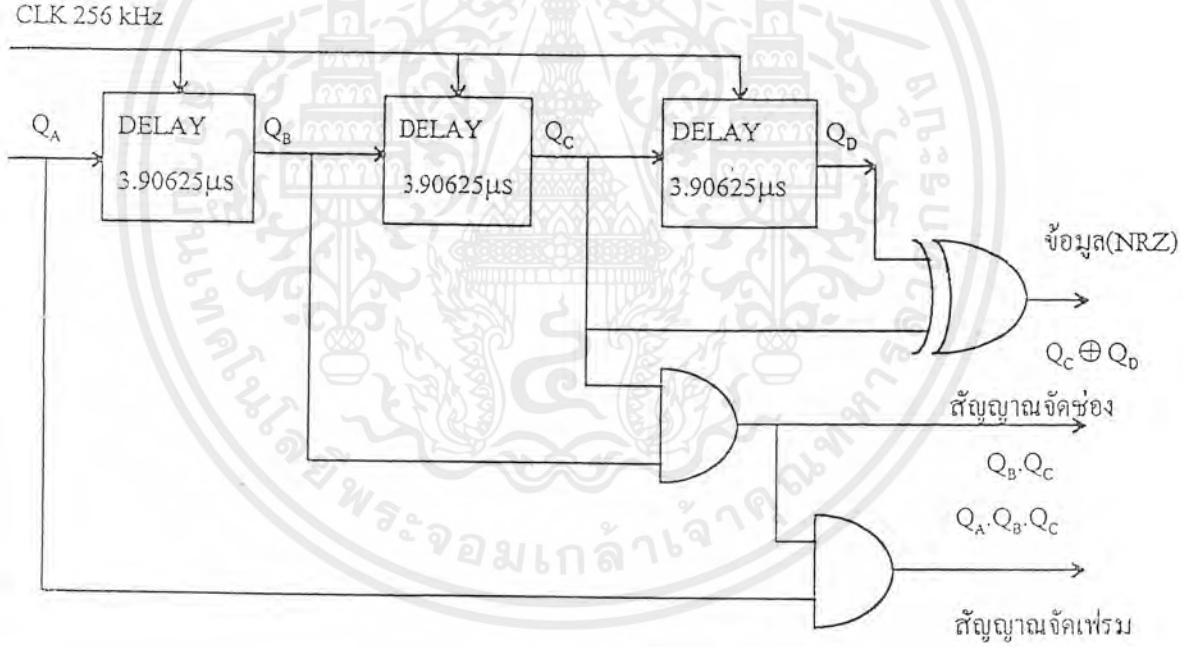


รูปที่3.19 ไทมมิ่งไดอะแกรม แสดงการทำงานของวงจร เฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

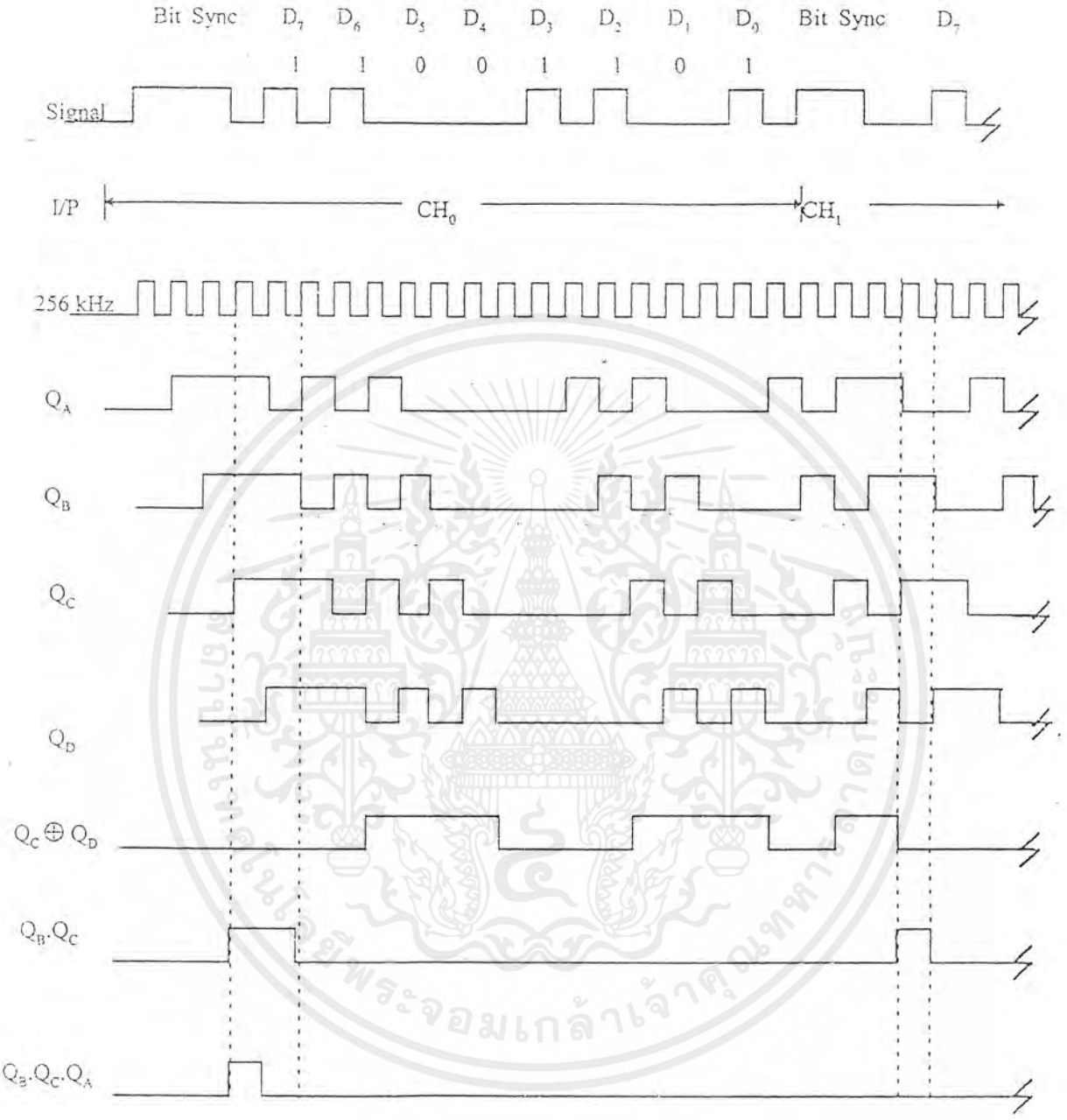


รูปที่ 3.20 วงจรโลพาส ฟิวเตอร์



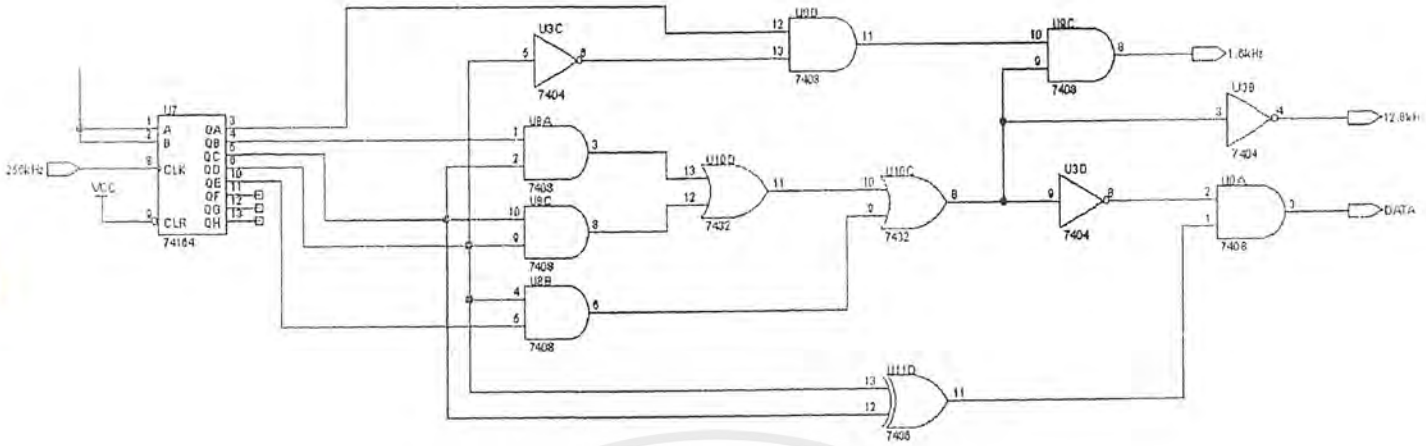
รูปที่ 3.21 แสดงการทำงานของวงจรแยกสัญญาณซิงค์และข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



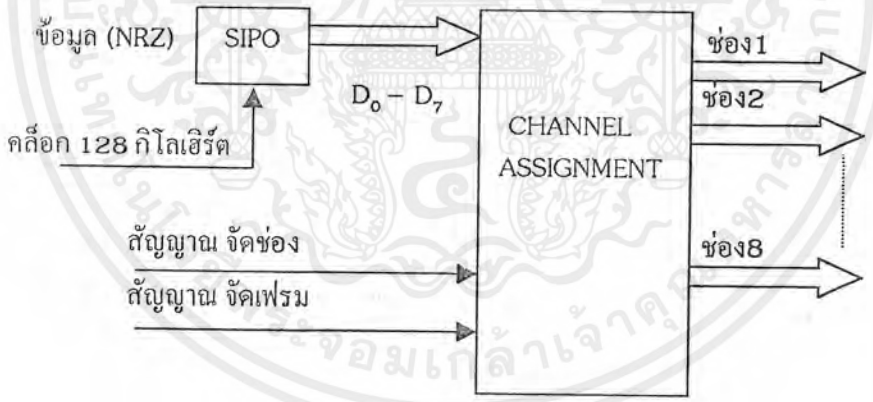
รูปที่ 3.22 แสดง ไทมมิ่ง ไดอะแกรม ของวงจรแยกสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



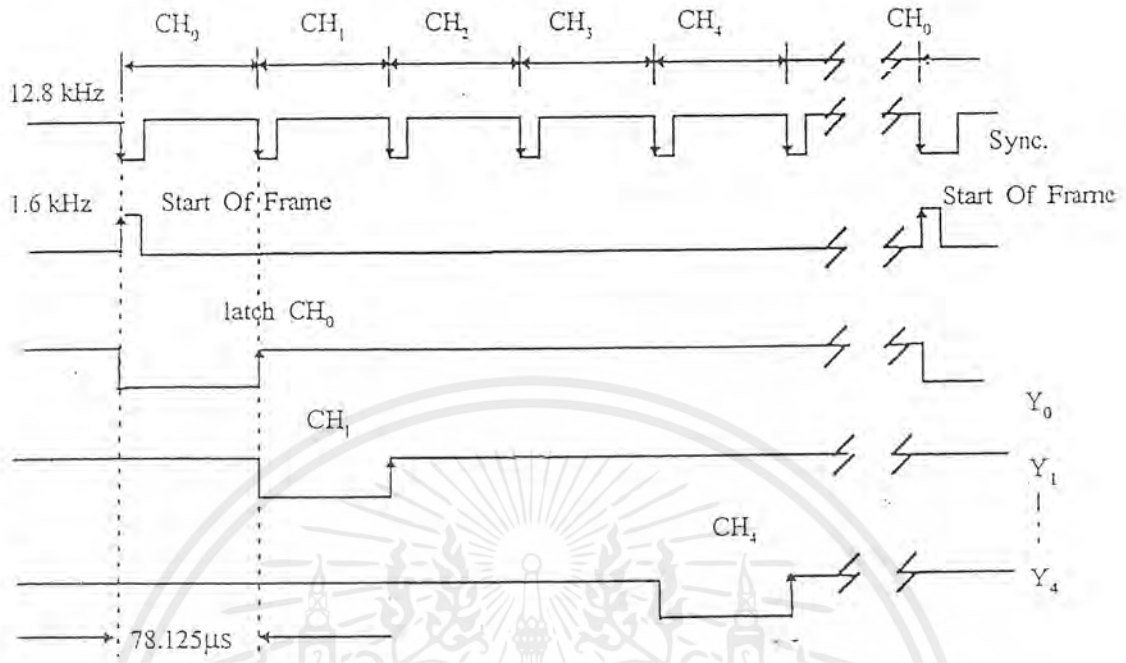
รูปที่ 3.23 วงจรแยกสัญญาณซิงค์

3. SIPO และ วงจรจัดช่องสัญญาณ



รูปที่ 3.24 แสดงผังการทำงานของวงจร SIPO และ วงจรจัดช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

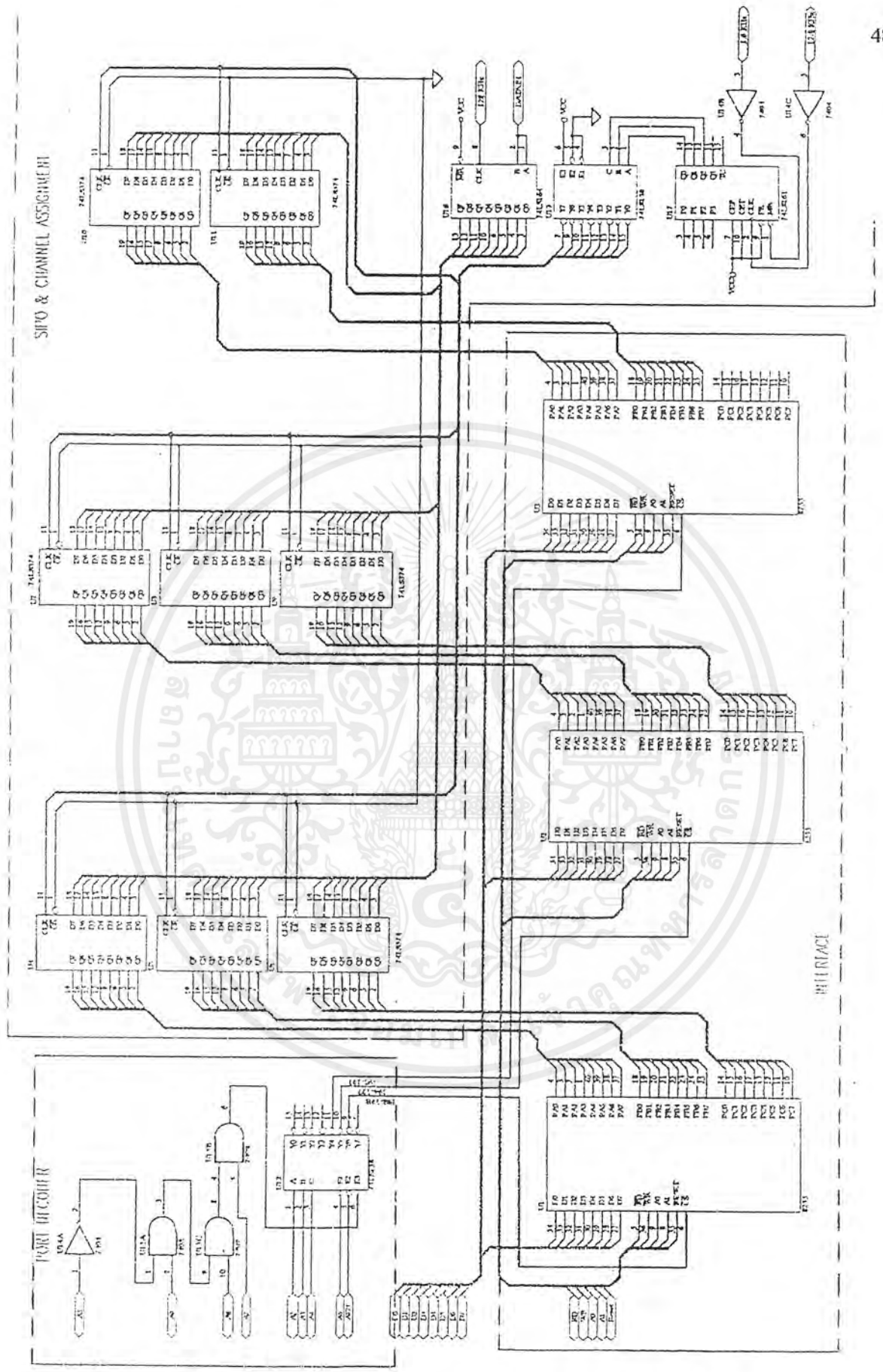


รูปที่ 3.25 แสดง ไทมมิ่งไดอะแกรม ของวงจรจัดช่องสัญญาณด้านรับ

จากไทมมิ่งไดอะแกรมสัญญาณจัดช่อง(12.8กิโลเฮิร์ต) จะถูกทำการนับโดยเริ่มต้นเมื่อมีสัญญาณจัดเฟรม (1.6 กิโลเฮิร์ต) ซึ่งจะใช้เวลาในการนับแต่ละครั้งเท่ากับ 78.125 ไมโครเซค และจะได้สัญญาณ Y_0-Y_7 เพื่อใช้ในการจัดช่องของข้อมูลต่อไป

จากวงจรในรูปที่ 3.26 ไอซี 74LS164 ทำหน้าที่เป็นตัวแซมปลิ้งข้อมูลจากอนุกรมเป็นขนานขนาด 8 บิต โดยใช้คล็อก 128 กิโลเฮิร์ต ไอซี 74LS374 ทำหน้าที่พักข้อมูลของแต่ละช่อง โดยควบคุมจากไอซี 74LS161และ 74LS138 ซึ่ง ไอซี 74LS161 ทำหน้าที่นับ 8 โดยใช้คล็อก 12.8 กิโลเฮิร์ต และสัญญาณจัดเฟรมจะเคลียร์การนับเมื่อเริ่มต้นเฟรมใหม่ ไอซี 74LS138 จะเป็นตัวสร้างสัญญาณที่ใช้กำหนดช่องของข้อมูลที่จะออกให้ตรงกับด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.26 วงจร SIPO และ วงจรจัดช่องสัญญาณ และ ส่วนอินเตอร์เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. พอร์ท ดีโคดเดอร์ และ อินเตอร์เฟส

ในส่วนของอินเตอร์เฟสใช้การเชื่อมต่อข้อมูลแบบขนาน 8 บิต โดยใช้ ไอซี 8255 3 ตัว ในส่วนของพอร์ท ดีโคดเดอร์ ได้แก่ ไอซี 74LS138 ไอซี 74LS08 ไอซี 74LS04 ทำหน้าที่กำหนดแอดเดรสให้กับไอซี 8255 3 ตัว ซึ่งใช้เป็นช่องสัญญาณ 8 ช่อง ได้แก่ 390-393 , 394-397, 398-39B ตามลำดับ

5. คอมพิวเตอร์

ทำหน้าที่อ่านข้อมูลของแต่ละช่องจากการ์ดอินเตอร์เฟสมาแสดงผลที่หน้าจอภาพนอกแสดงข้อมูลแบบเส้นกราฟให้บันทึกข้อมูลลงแผ่นดิสและค้นหาข้อมูลและปริ้นออกปริ้นเตอร์

6. โปรแกรม

ทำหน้าที่ใช้ควบคุมคอมพิวเตอร์ให้ทำงานโดยใช้ภาษาวิชวล เบสิก (Visual Basic) จุดประสงค์เพื่อต้องการแสดงข้อมูลจากช่องสัญญาณ 8 ช่อง บนหน้าจอคอมพิวเตอร์ โดยแสดงการทำงานด้วยโฟล์วชาร์ตอย่างคร่าวๆ

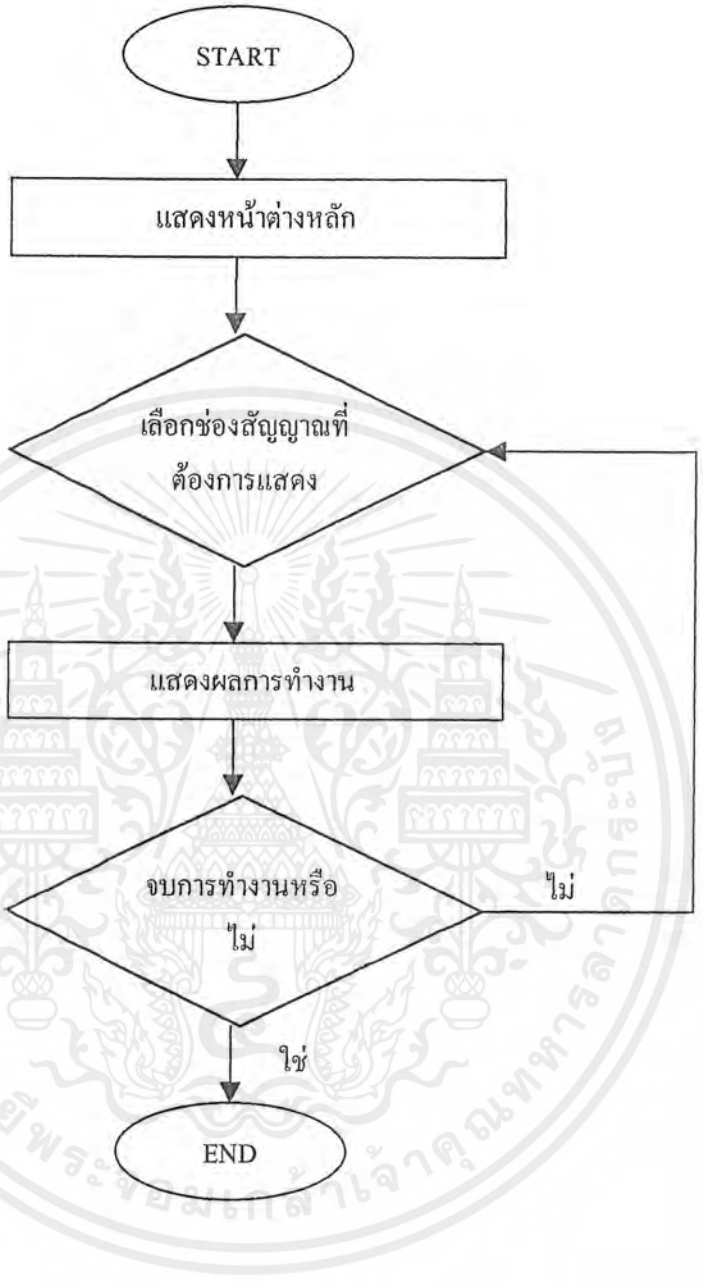
3.2.3 การทำงานส่วนต่างๆของโฟล์วชาร์ต

ส่วนการทำงานหลักของโปรแกรม ทำหน้าที่แสดงข้อมูลแต่ละช่องพร้อมกัน โดยมีส่วนหลักๆ คือส่วนรับข้อมูลจากพอร์ต ประมวลผลและแสดงผล ซึ่งการประมวลผลคือการแปลงจากระดับของสัญญาณที่เข้ามา (256 ระดับ) ไปเป็นข้อมูลอุณหภูมิ

นอกจากนั้นยังทำหน้าที่เลือกการทำงานว่าจะใช้การแสดงผลแบบกราฟที่ช่องสัญญาณใดบ้าง ในที่นี้โปรแกรมออกแบบไว้สำหรับสัญญาณอุณหภูมิ

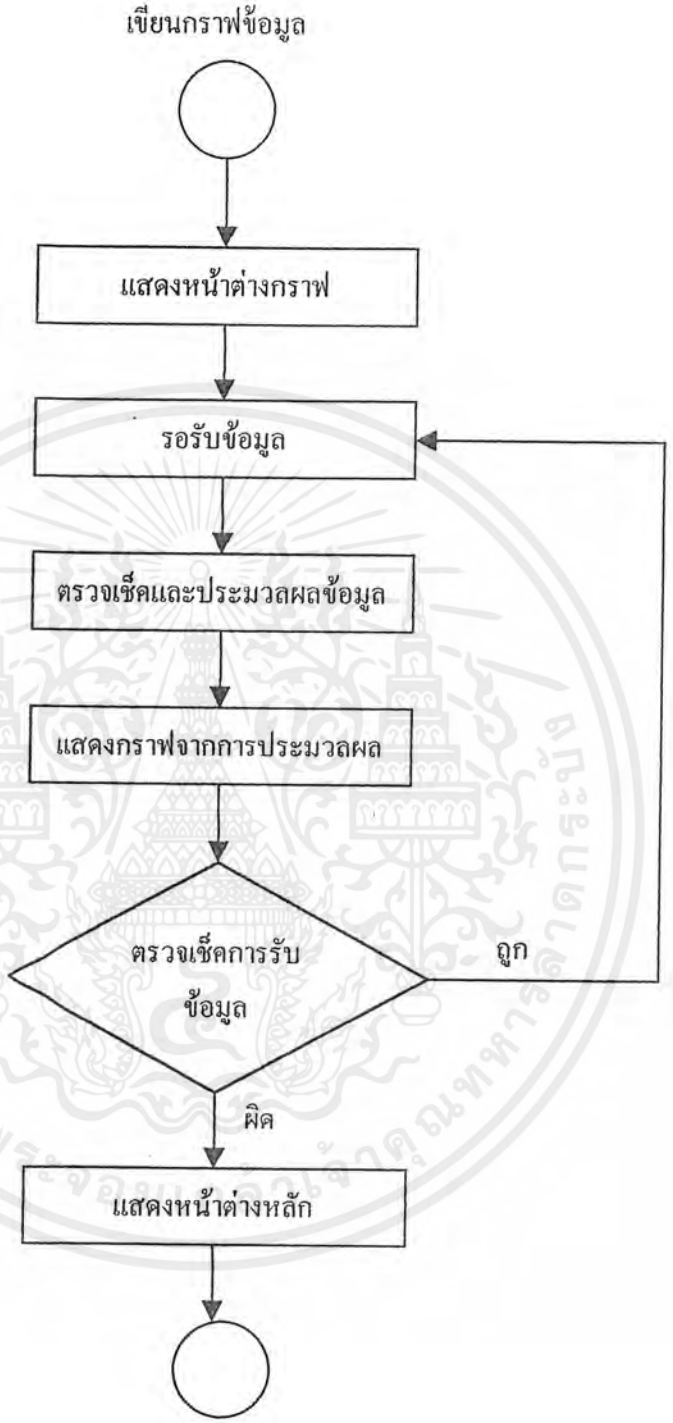
รายละเอียดการทำงานส่วนแสดงผลเฉพาะช่องสัญญาณนั้นเมื่อทำการเลือกแสดงผลเฉพาะช่องสัญญาณโดยทำการเลือกช่องสัญญาณ (ซึ่งสามารถเลือกแสดงผลได้หลายช่องสัญญาณ) ที่ต้องการแสดงแล้วทำการกดปุ่มเลือก แล้วเครื่องคอมพิวเตอร์จะทำการรับข้อมูลจากพอร์ทที่กำหนดไว้ แล้วนำข้อมูลที่ได้มาประมวลผลและแสดงผลด้วยกราฟ จากนั้นจะทำการวนลูปรับข้อมูลตัวต่อไปตามเวลาที่เราได้กำหนดแล้วนำมาประมวลผลและแสดงด้วยกราฟต่อไปจนจะหยุดการทำงานของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.27 โฟล์วชาร์ต การทำงานหลักของโปรแกรมแสดงผลข้อมูล 8 ช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.28 โฟล์วชาร์ต การทำงานของส่วนแสดงผลเฉพาะช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 ภาคจ่ายไฟทางด้านส่ง

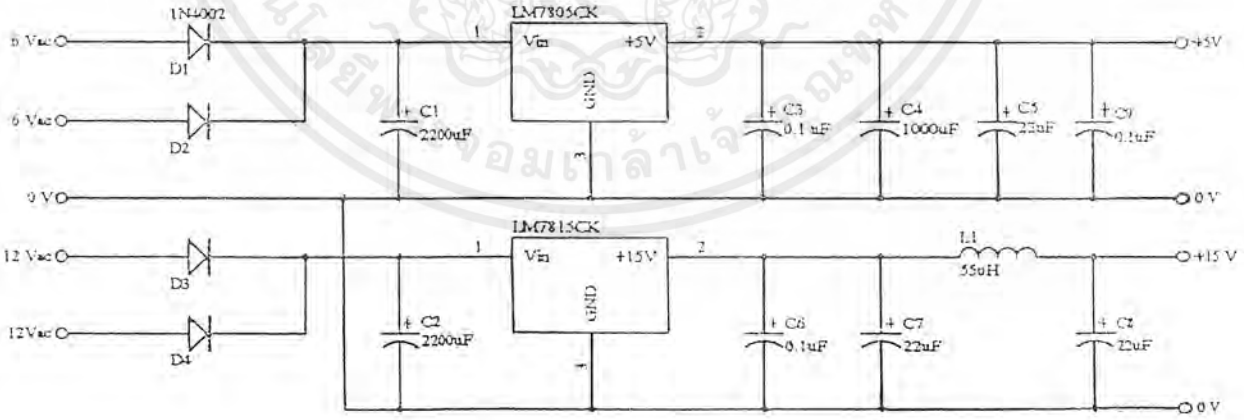
ทางด้านเครื่องส่งจะใช้แหล่งจ่ายไฟคงที่ +5V เพียงอย่างเดียวในการจ่ายไฟให้กับวงจรทางเครื่องส่ง ซึ่งสามารถอธิบายการทำงานของวงจรได้ดังนี้

วงจรเรคกูเลเตอร์ วงจรนี้จะต่อแบบอนุกรม ให้ออปแอมป์เป็นตัวเปรียบเทียบแรงดันที่ขาอินพุททั้งสองของออปแอมป์ CA3160 ขา 3 มีการกำหนดแรงดันไว้ที่ 2V โดยซีเนอร์ไดโอด ZD_5 กับความต้านทาน R30 ที่ขา 2 จะต่อเข้ากับเอาต์พุท ซึ่งเป็นเส้นทางการตรวจจับ ในกรณีนี้ เราจะปรับค่า VR_6 ให้ได้แรงดันคงที่ 5V เมื่อมีการเปรียบเทียบแรงดันที่ขาอินพุททั้งสองให้เท่ากัน แล้วจะมีกระแสจากขา 6 ของ CA3160 ไปไบอัสให้ทรานซิสเตอร์ Q9(TIP31C) และทรานซิสเตอร์ Q10(MJ15024) ที่ต่อกันอยู่แบบดาร์ลิงตัน ทำงานโดยทำหน้าที่เหมือนกับแหล่งจ่ายกระแสจะช่วยกันนำกระแสที่ออกจากขา 6 ของออปแอมป์โดยค่าเกณฑ์รวมของแหล่งจ่ายกระแสเท่ากับผลคูณ ß ของ Q9 กับ Q10

ไอซี 3160 นี้ต้องการไฟเลี้ยง +12 V เข้ามาที่ขา 7 โดยเราจะใช้ไอซีเรกูเลเตอร์เบอร์ 7812CT เป็นตัวรักษาระดับแรงดันไฟเลี้ยงโดยมีตัวเก็บประจุ C_{26} , C_{27} , C_{29} ต่อเพื่อป้องกันการออสซิเลทที่ความถี่สูง ส่วนC_{28} ใส่ไว้เพื่อปรับปรุงแรงดันเอาต์พุทให้ราบเรียบยิ่งขึ้น แสดงดังรูปที่3.29

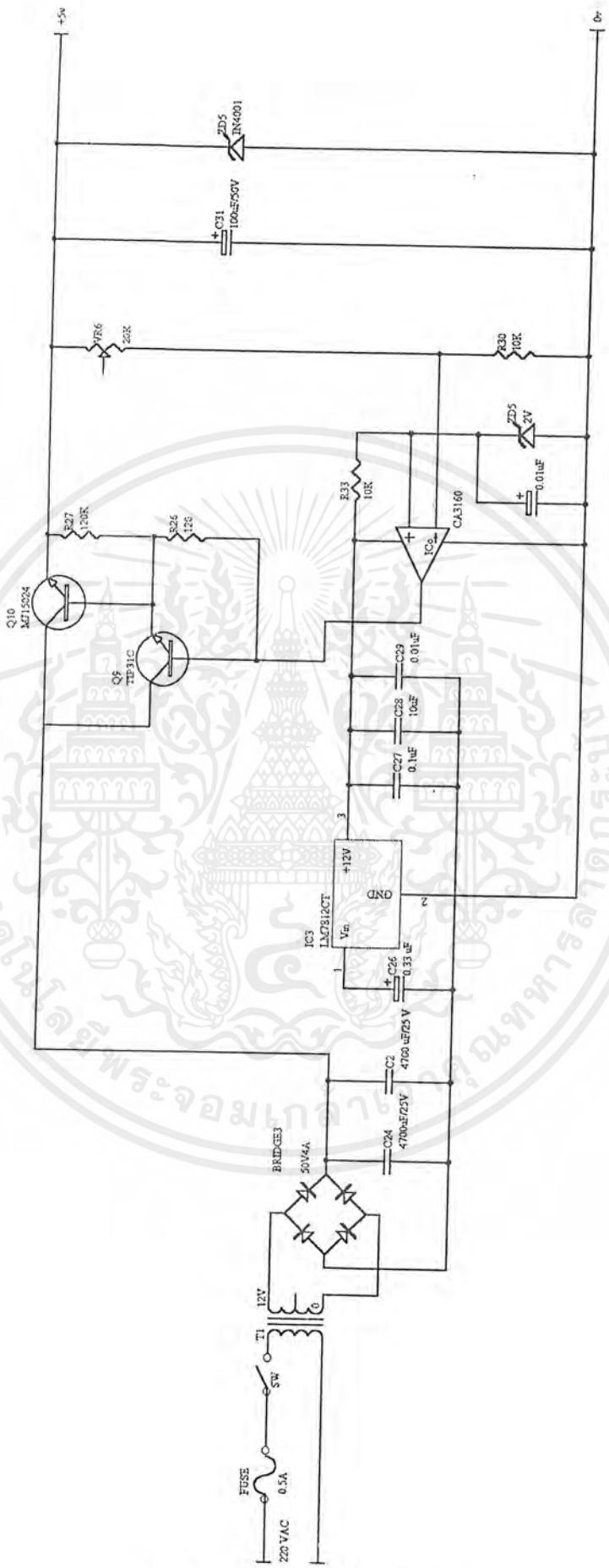
3.2.5 ภาคจ่ายไฟทางด้านรับ

ในส่วนของวงจรทางด้านเครื่องรับจะใช้แหล่งจ่ายไฟคงที่สองชุดคือ แหล่งจ่ายไฟ +5V กับ +15V เป็นตัวจ่ายไฟให้กับวงจร โดยใช้ไอซีเรกูเลเตอร์เบอร์ 7805 และ 7815 ตามลำดับ แรงดันที่ได้จากไอซีทั้งสองตัวจะถูกฟิลเตอร์ด้วยตัวเก็บประจุซึ่งเป็นวงจรกรองแรงดันที่นิยมมากที่สุดโดยมี C_5, C_7 , C_8 มีค่าเท่ากับ 22 ไมโครฟาหรัด เป็นตัวกรองสัญญาณรบกวนความถี่สูงดังรูป 3.29



รูปที่ 3.29 แหล่งจ่ายไฟทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.30 แหล่งจ่ายไฟทางด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดลองส่วนของวงจรภาคส่ง

ขั้นตอนการทดลอง

1. ต่อวงจรภาคส่งข้อมูลทั้ง 8 ช่องและจ่ายไฟให้กับวงจร
2. ทำการป้อนโวลท์เตจ เข้าที่อนาล็อกอินพุท
3. นำออสซิลโลสโคปทำการวัดในส่วนต่างๆของวงจร
4. ป้อนสัญญาณอินพุทจากเซนเซอร์อุณหภูมิ
5. วัดสัญญาณเอาต์พุทตรวจสองกับสเป็กของเซ็นเซอร์

4.2 การทดลองส่วนของวงจรภาครับ

ขั้นตอนการทดลอง

1. ต่อวงจรด้านรับทั้งหมด จ่ายไฟให้และป้อนอินพุทให้กับวงจร

2. วัดสัญญาณเอาต์พุตของวงจร โมโนสเตเบิลที่ขา A_{IN} เมื่อปรับ VR_1 และ VR_2 ประมาณ300 โอห์มจะได้ Wave Form ตามทฤษฎีมี Duty Cycle ประมาณ 50%

3. วัดสัญญาณที่ขา B_{IN} ของเฟสล็อกลูป โดย A_{IN} เท่ากับ 0 ปรับค่า VR_3 จนได้ค่า f_0 เท่ากับ256 kHz และค่า Duty Cycle ประมาณ 50%

4. ต่อสัญญาณจากด้านส่ง วัดค่า f_0 ให้ได้ประมาณ 256 kHz ถ้าไม่ได้ให้ปรับ VR_3

5. วัดสัญญาณเอาต์พุทของวงจรแยกสัญญาณซิงค์ เปรียบเทียบกับทฤษฎี

6. วัดสัญญาณ ของ ไอซี 74LS138 ในส่วนของวงจรจัดช่องสัญญาณ ซึ่งเวลาที่ใช้ในแต่ละช่องต้องเท่ากับ 78.125 ไมโครเซค

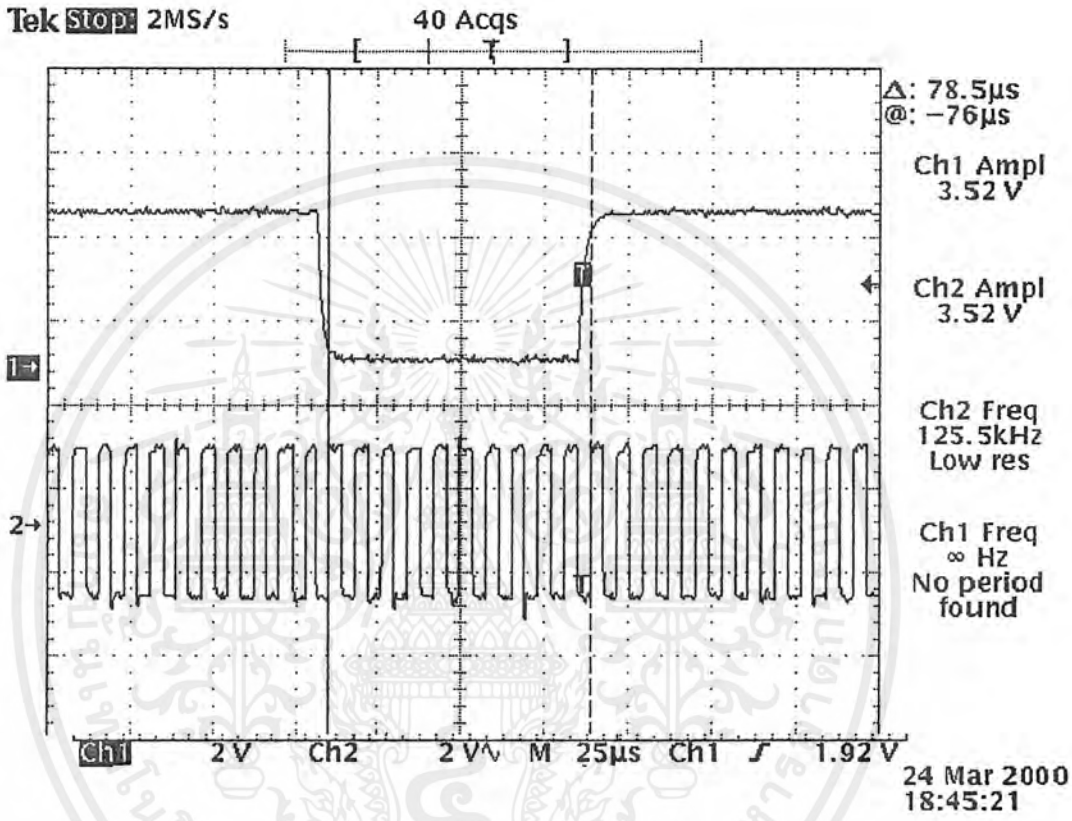
7. เสียบการ์ดอินเตอร์เฟสเข้ากับคอมพิวเตอร์ แล้วรันโปรแกรม ตรวจดูว่าข้อมูลแสดงออกมาตรงกับช่องหรือไม่ และตรวจสอบข้อมูลที่รับถูกต้องหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ผลการทดลองของวงจรส่วนต่างๆ

4.3.1 ผลการทดลองภาคส่ง

(1)



รูปที่ 4.1 แสดงระหว่างช่วงเวลาการทำงานของ 1 ช่องสัญญาณ กับ คล็อก 128 กิโลเฮิร์ต

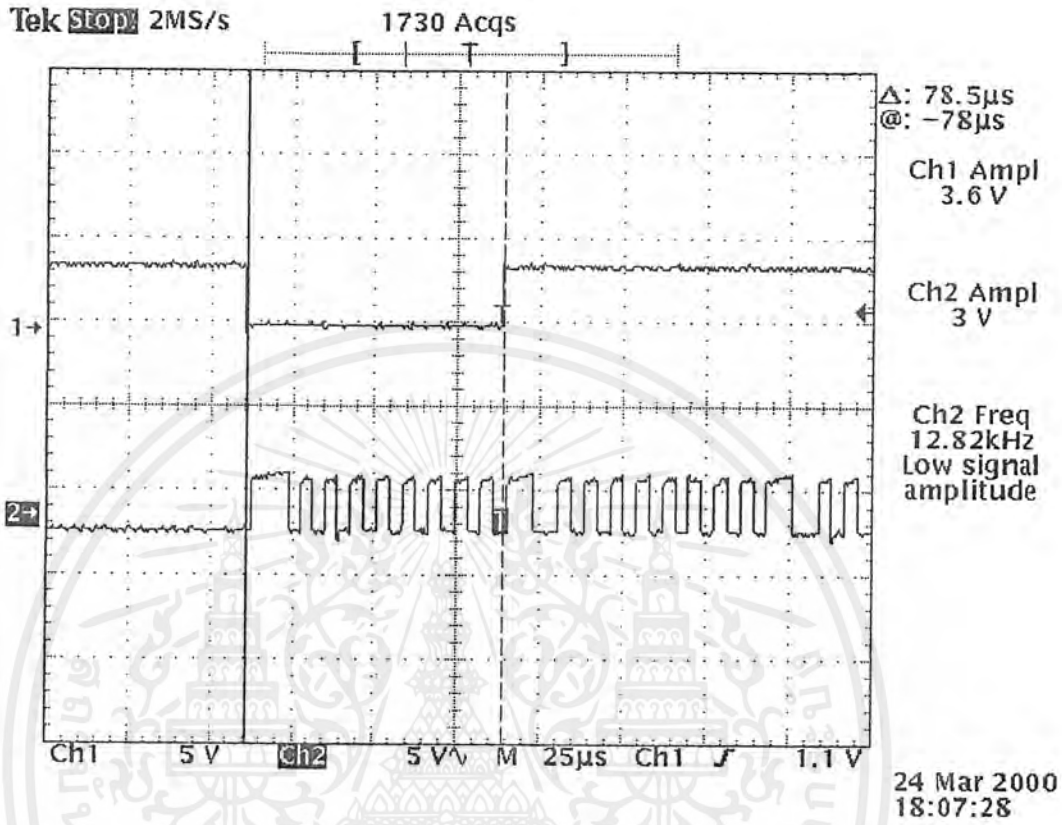
Ch1 แสดงช่วงเวลา 78.125 ไมโครเซค ของ 1 ช่องสัญญาณ

Ch2 แสดงคล็อก 128 กิโลเฮิร์ต

โดย 1 ช่องสัญญาณจะใช้เวลา 78.125 ไมโครเซค ซึ่งจะเท่ากับคล็อก 128 กิโลเฮิร์ต 10 ลูกพอดี ซึ่งแสดงว่าสามารถส่งข้อมูลได้ครั้งละ 10 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(2)



รูปที่ 4.2 แสดงผลการทดลองในส่วนของวงจรเข้ารหัสแบบ RZ ในกรณีที่ข้อมูลเป็น 11111111

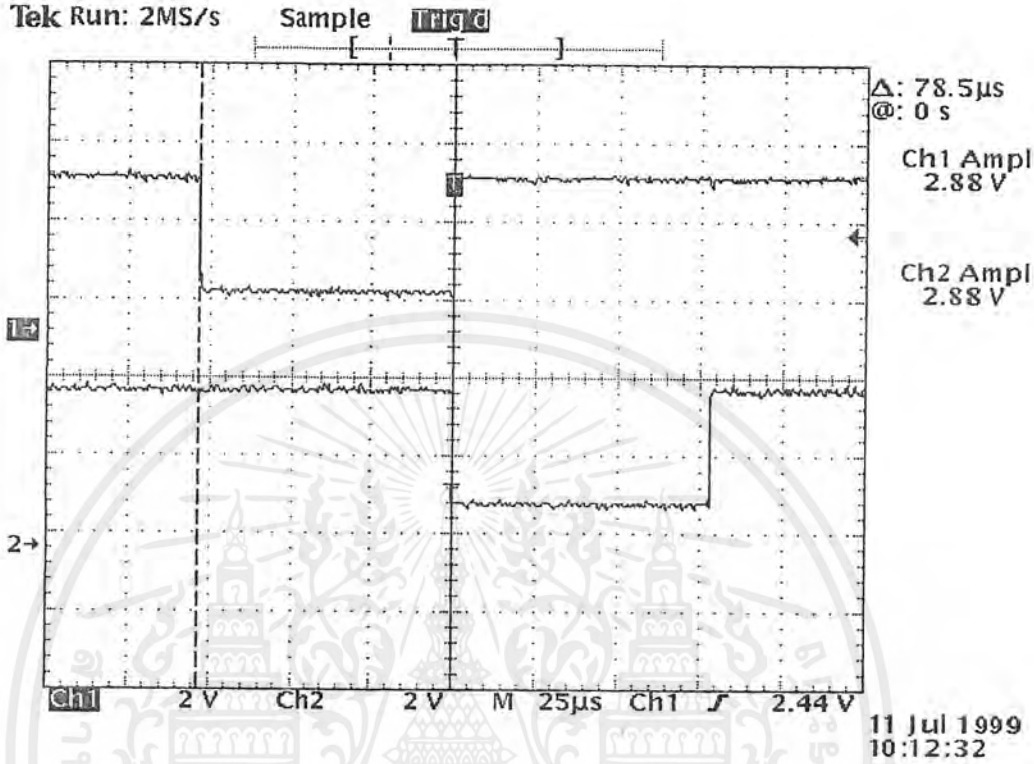
Ch1 แสดงช่วงเวลาการทำงานของ 1 ช่องสัญญาณ 78.125 ไมโครเซค

Ch2 แสดงข้อมูลของช่องสัญญาณที่ศูนย์และที่หนึ่ง ที่เข้ารหัส RZ แล้วข้อมูลเป็น 11111111

เนื่องจากเอาต์พุทที่ได้ของแชนแนลนั้นได้จากการป้อนสัญญาณอนาล็อกอินพุทมากกว่าโวลเทจอ้างอิงของ ADC0831 ทำให้ได้สัญญาณดิจิตอลเอาต์พุทเป็น 1 หมดเมื่อผ่านวงจรเข้ารหัสจะได้สัญญาณดังรูปที่4.2และจะเห็นว่ามีบิตซิงค์อยู่หน้าข้อมูลของแชนแนล ซึ่งเป็นหนึ่งบิตครึ่งกับเป็นศูนย์อีกครึ่งบิต และแชนแนลถัดมาก็เป็นแชนแนลหนึ่ง จะเห็นว่ามีบิตซิงค์อยู่สองบิตเช่นกัน โดยมี 1 กับ 0 อย่างละหนึ่งบิต ซึ่งผลการทดลองนี้ตรงตามที่ได้ทำการออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(3)



รูปที่ 4.3 แสดงเวลาการทำงานของแต่ละช่องสัญญาณ ในการทำมัลติเพล็กซ์ข้อมูลของแต่ละช่องสัญญาณ ซึ่งจะทำให้ A/D มีแซมปลิ้งเรตเท่ากับ 1.6 กิโลเฮิร์ต

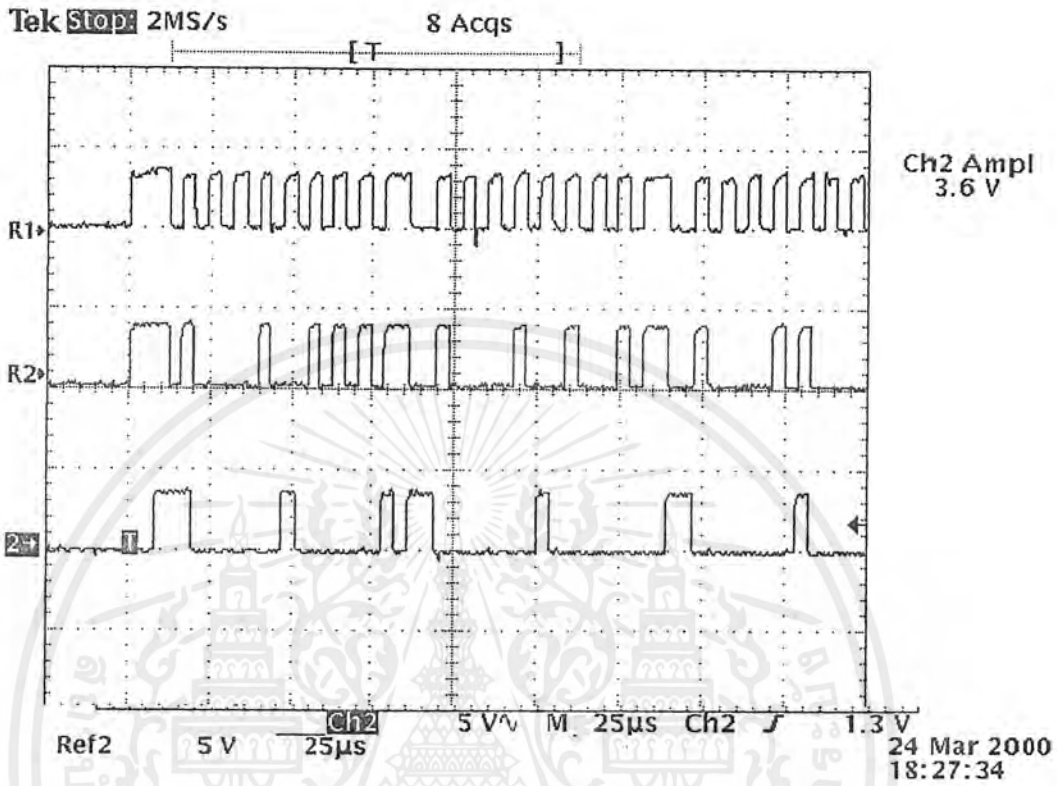
Ch1 แสดงช่องสัญญาณเวลา 78.125 ไมโครเซค ของช่องสัญญาณที่ศูนย์

Ch2 แสดงช่องสัญญาณเวลา 78.125 ไมโครเซค ของช่องสัญญาณที่หนึ่ง

จากรูปแสดงเวลาของช่องสัญญาณที่ศูนย์กับที่หนึ่ง ซึ่งช่องสัญญาณเวลาของช่องสัญญาณถัดไปก็จะต่อกันไปลักษณะนี้ไปเรื่อยๆจนถึงช่องสัญญาณที่เจ็ด แล้วช่องสัญญาณเวลาดังกล่าวก็จะวนกลับมาที่ช่องๆ สัญญาณที่ศูนย์อีกครั้งและจะเป็นลักษณะเช่นนี้ต่อไปเรื่อยๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

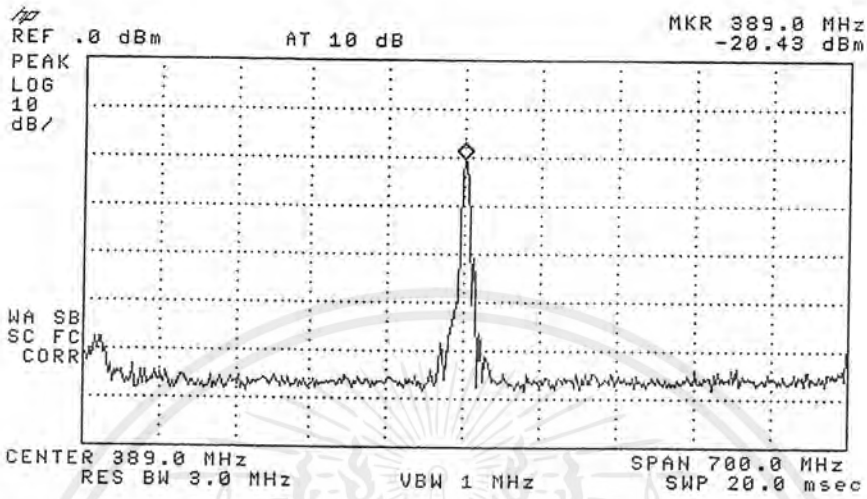
(4)



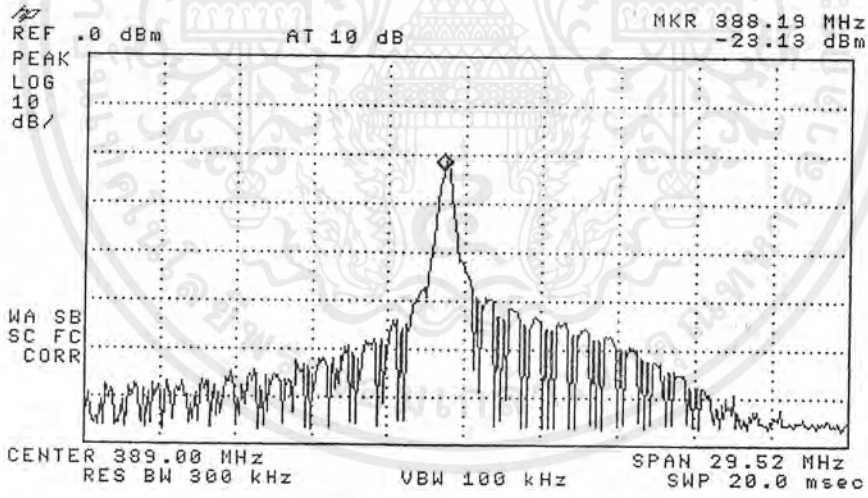
รูปที่ 4.4 R1 แสดงข้อมูลของ ช่องสัญญาณที่ศูนย์และหนึ่ง ที่มีข้อมูลเป็น 11111111(1.5โวลท์)
R2 แสดงข้อมูลของ ช่องสัญญาณที่ศูนย์และหนึ่ง ที่มีข้อมูลเป็น 10010111(0.9โวลท์)
Ch2 แสดงข้อมูลของ ช่องสัญญาณที่ศูนย์และหนึ่ง ที่มีข้อมูลเป็น 00010001(0.1โวลท์)
เมื่อระดับอ้างอิงสัญญาณอินพุตของ A/D เป็น 1.5 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(5)



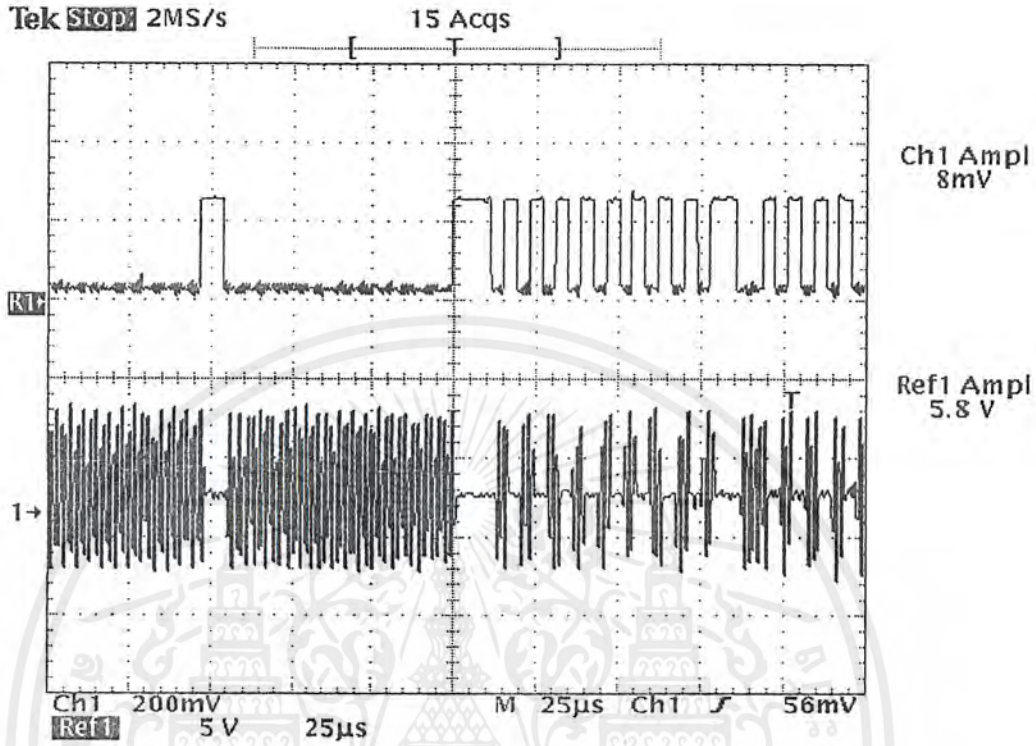
รูปที่ 4.5 (ก) แสดงรูปสเปกตรัมของความถี่คลื่นพาหะที่ความถี่ 389 เมกกะเฮิร์ต



รูปที่ 4.5 (ข) แสดงผลสเปกตรัมที่มีการมอดูเลตแบบแอมปลิจูดชิฟคีย์อิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(6)



รูปที่ 4.6 แสดงรูปสัญญาณที่ผ่านการมอดูเลต

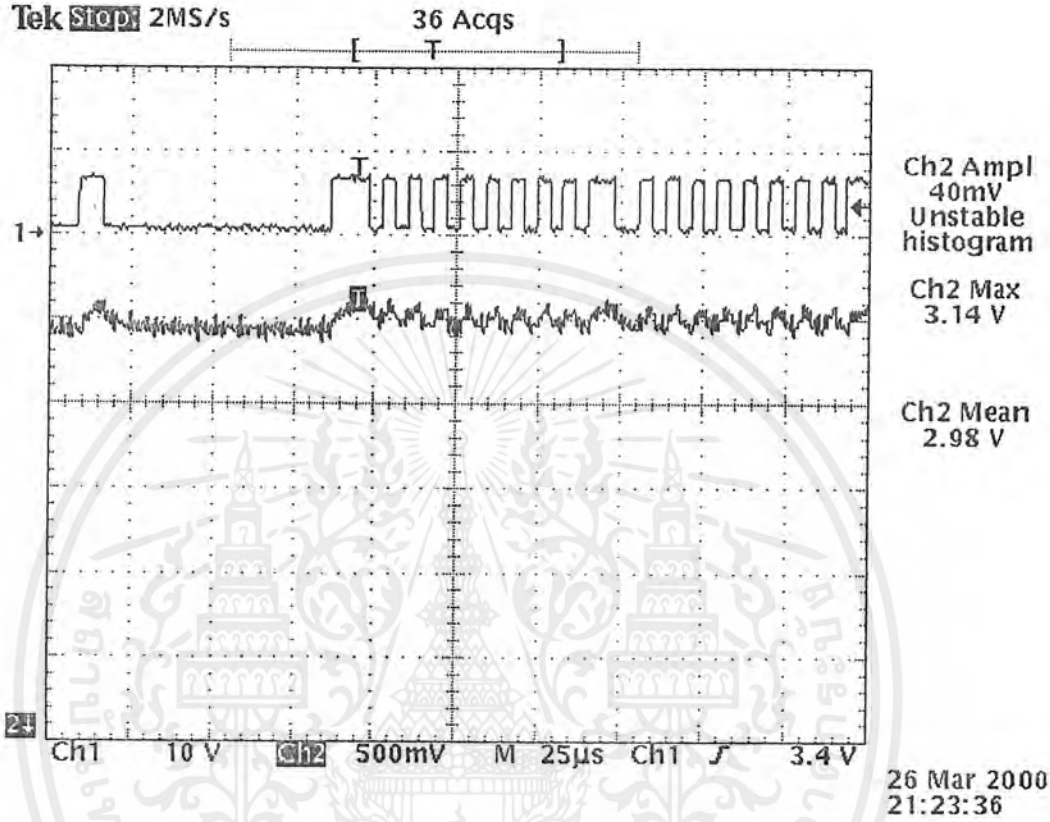
R1 แสดงข้อมูลอินพุทเข้าเครื่องส่งสัญญาณ

Ch1 แสดงสัญญาณที่ผ่านการมอดูเลตแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 ผลการทดลองภาครับ

(7)



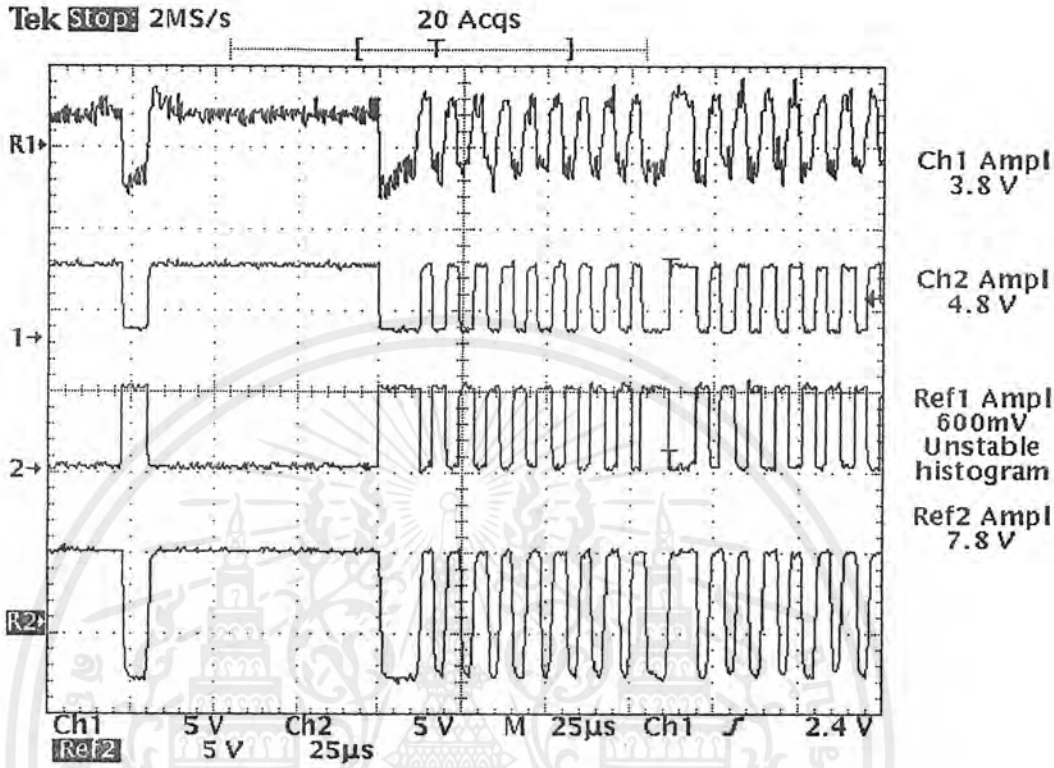
รูปที่ 4.7 แสดงรูปสัญญาณที่รับได้ที่เครื่องรับภาคดีมอดูเลต

Ch1 แสดงข้อมูลที่เป็นอินพุทจากเครื่องส่ง

Ch2 แสดงสัญญาณที่รับได้ที่เครื่องรับภาคดีมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(8)



รูปที่ 4.8 แสดงผลการทำงานของวงจรขยายสัญญาณและเปรียบเทียบแรงดัน

R1 แสดงสัญญาณ 128 กิโลบิต ต่อ วินาที ที่ดีเทครับได้ที่ภาครับ

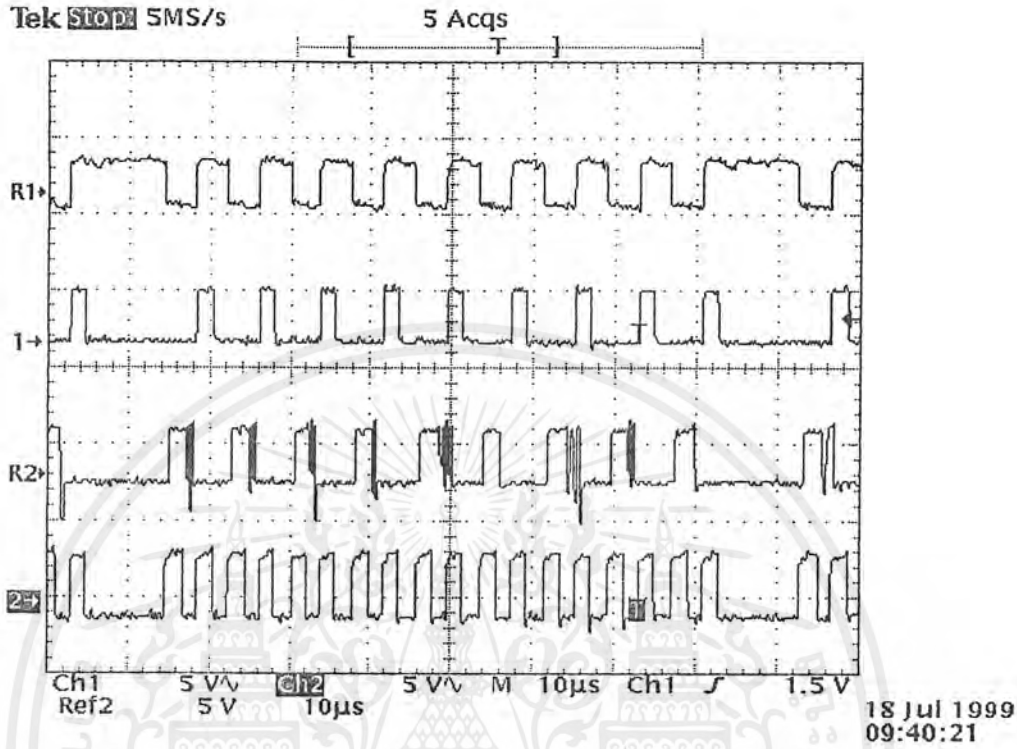
R2 แสดงรูปสัญญาณที่ผ่านวงจรขยายสัญญาณ

Ch1 แสดงสัญญาณที่ผ่านวงจรเปรียบเทียบแรงดัน

Ch2 แสดงสัญญาณที่ผ่านนอตเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(9)



รูปที่4.9 แสดงผลการทดลองการทำงานของวงจรโมโนสเตเบิล มัลติไวเบรเตอร์

R1 เป็นสัญญาณอินพุททางขาเข้า

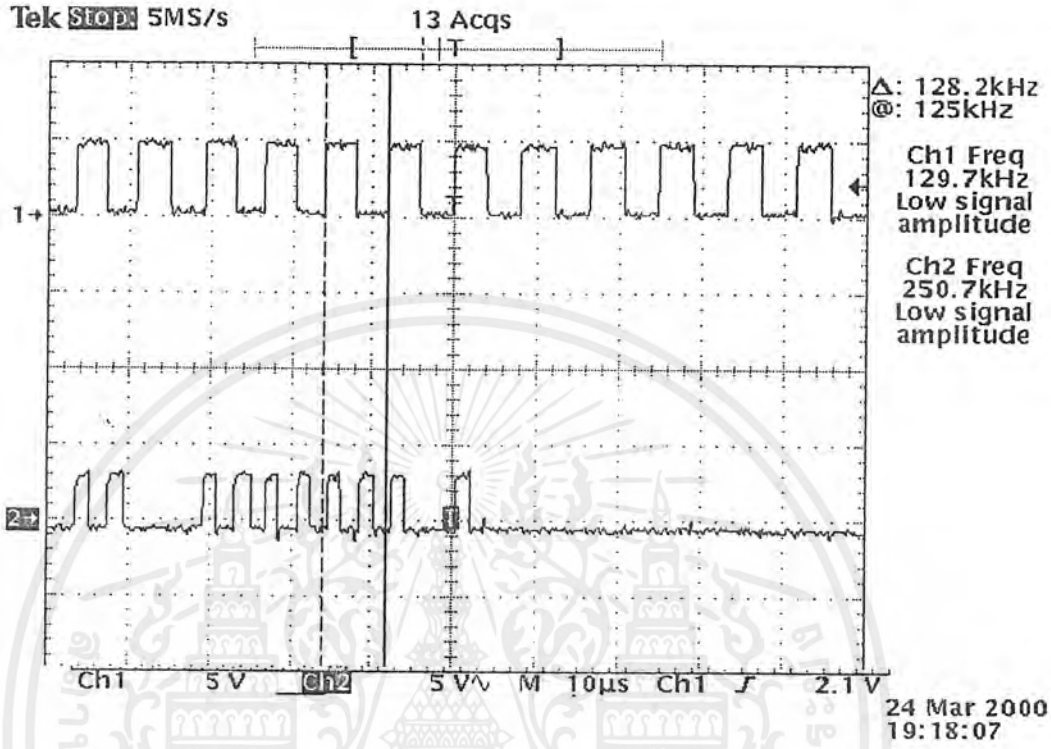
Ch1 เป็นการตรวจจับขอบขาขึ้นของพัลซ์

R2 เป็นการตรวจจับขอบขาลงของพัลซ์

Ch2 เป็นสัญญาณที่ได้จากการรวมสัญญาณ ของการตรวจจับที่ขอบขาขึ้นและลงของพัลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(10)



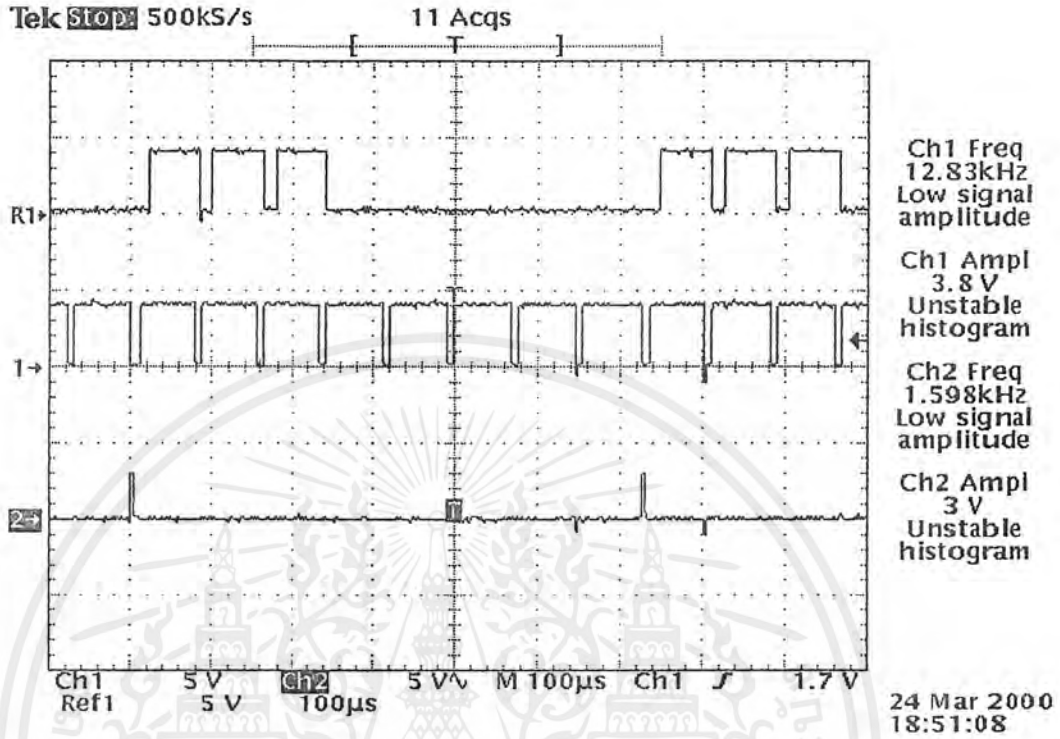
รูปที่ 4.10 แสดงการสัมพันธ์กันระหว่างสัญญาณอินพุทกับคล็อกของภาคคล็อกรีโคเวอร์รี่

Ch1 แสดง คล็อกที่สร้างขึ้นของภาคคล็อกรีโคเวอร์รี่ซึ่งจะมีความถี่ประมาณ128กิโลเฮิร์ต

Ch2 แสดง สัญญาณอินพุทก่อนเข้าภาคคล็อกรีโคเวอร์รี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(11)



รูปที่ 4.11 แสดงผลจากการทดลองการทำงานของภาคแยกสัญญาณซิงค์และ ข้อมูล

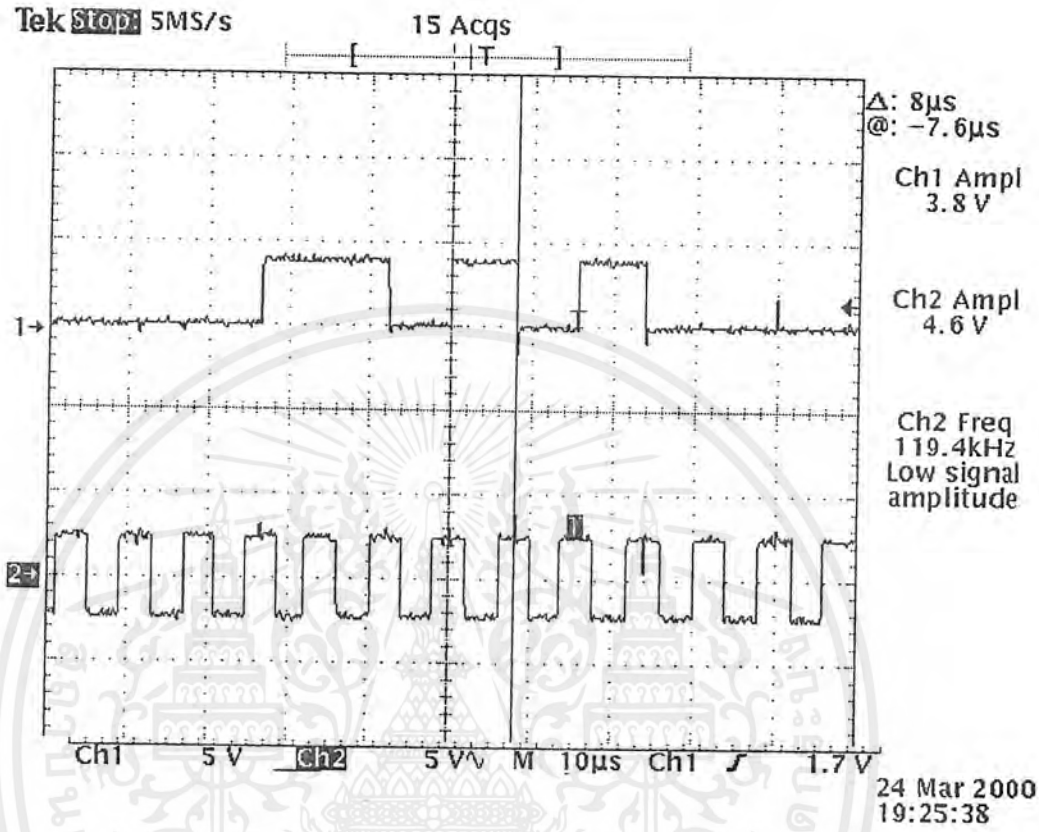
R1 แสดงข้อมูลแบบ NRZ ของช่องสัญญาณที่ศูนย์และหนึ่ง

Ch1 แสดงสัญญาณจัดช่องซึ่งมีความถี่เปลี่ยนแปลงเล็กน้อยเมื่อเปรียบเทียบกับที่ออกแบบไว้คือประมาณ 12.8 กิโลเฮิร์ต

Ch2 แสดงสัญญาณจัดเฟรมมีความถี่ประมาณ 1.6 กิโลเฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(12)



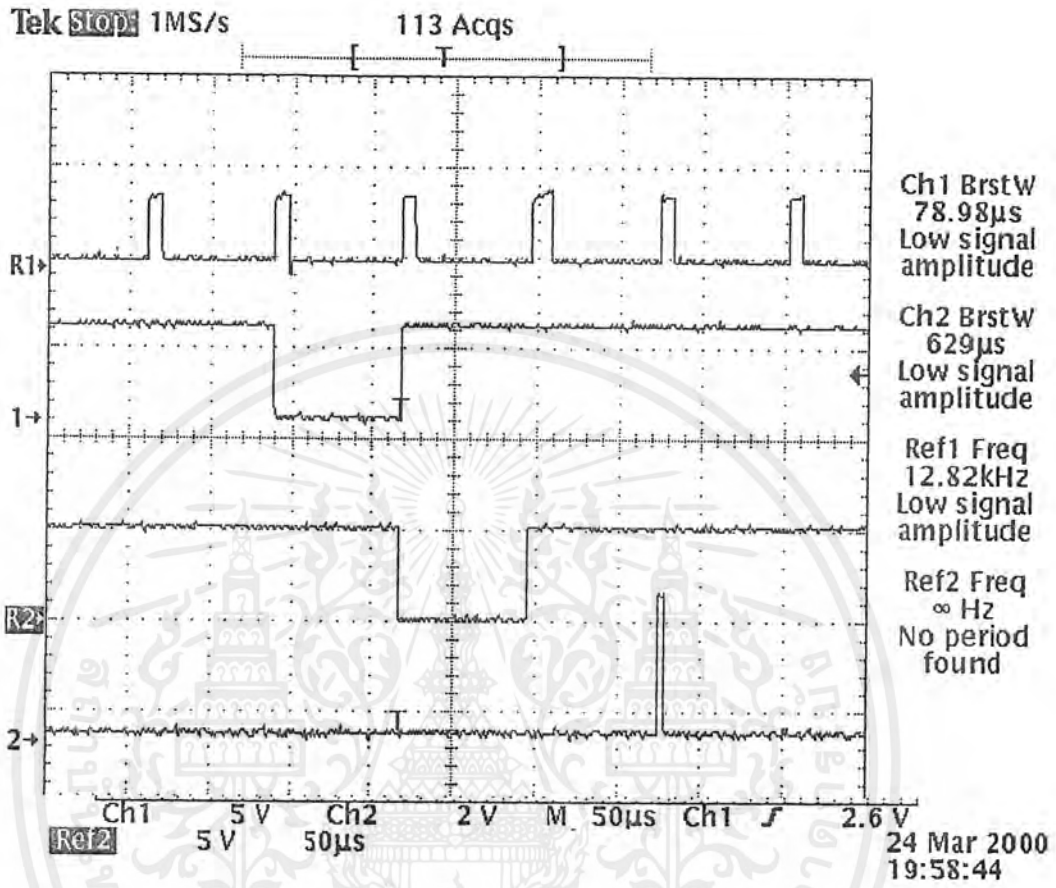
รูปที่ 4.12 แสดงผลจากการทดลองการทำงานของส่วน SIPO ซึ่งจะต้องใช้คล็อกจำนวน 10 ลูกในการแซมปลิ้งข้อมูล ซึ่งข้อมูลที่ได้คือ 00011010 เมื่อ

Ch1 แสดง ข้อมูลที่มีอัตราการส่งข้อมูลเท่ากับ 128 กิโลบิต/วินาที

Ch2 แสดง คล็อกที่ใช้แซมปลิ้งโดยใช้ขอบขาขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(13)



รูปที่ 4.13 แสดงผลการทดลองความสัมพันธ์ระหว่างสัญญาณต่างๆของส่วนจัดช่องสัญญาณ

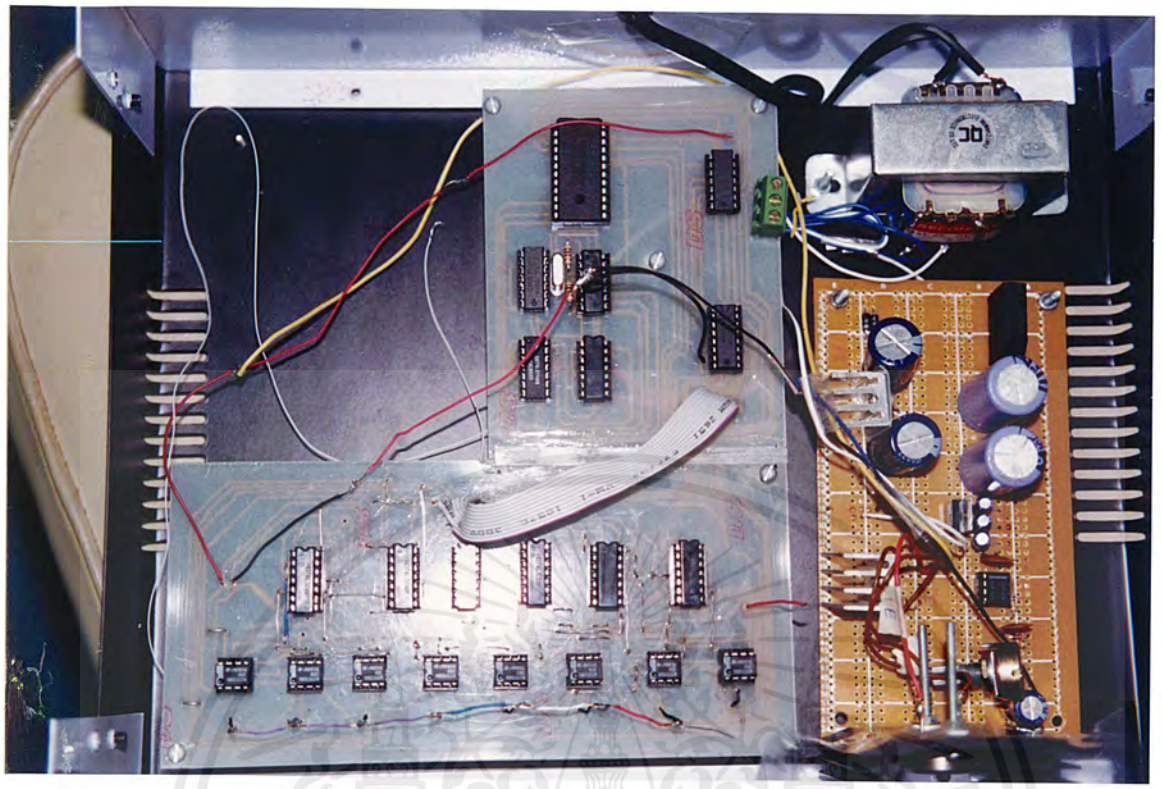
R1 แสดงสัญญาณจัดช่อง

Ch1 แสดงสัญญาณที่ใช้กำหนดช่องข้อมูลช่องที่ศูนย์

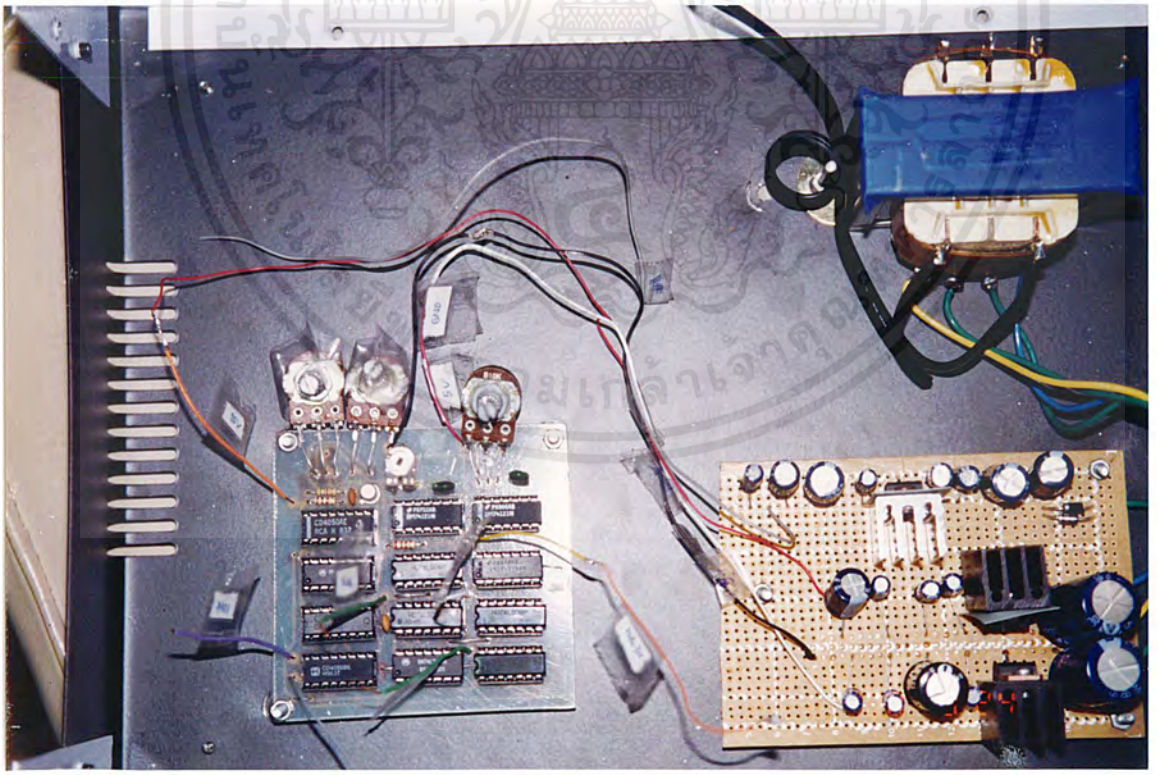
R2 แสดงสัญญาณที่ใช้กำหนดช่องข้อมูลช่องที่หนึ่ง

Ch2 แสดงสัญญาณจัดเฟรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

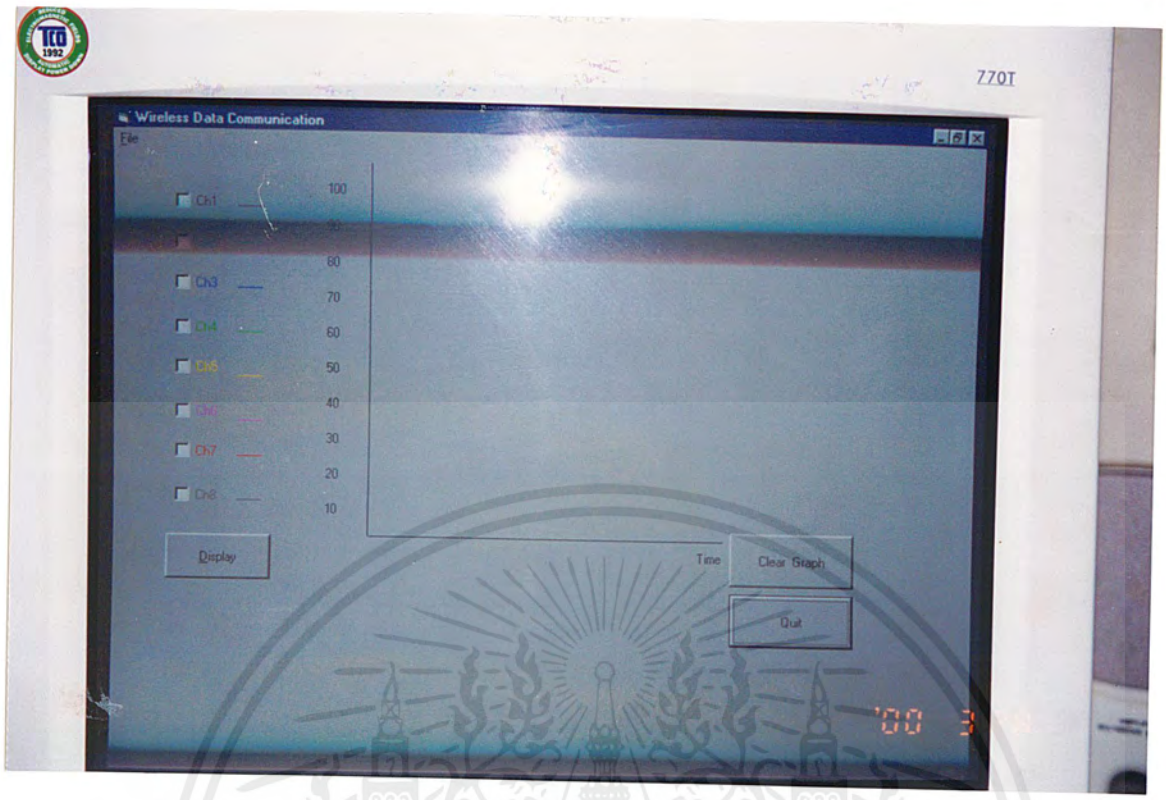


รูปที่ 4.14 แสดงการจัดวางแผงวงจรภายในเครื่องส่ง



รูปที่ 4.15 แสดงการจัดวางแผงวงจรภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 แสดงผลส่วนของโปรแกรมประมวลผลและกราฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ปัญหาที่พบในการทดลอง

ในระบบปฏิบัติการวินโดวส์(Windows) จะมีคุณสมบัติหนึ่งที่เรียกว่า ไดนามิก ลิงค์ ไลบรารี่ (Dynamic Link Library) ที่แทนด้วยคำย่อว่า DLL โดยในวินโดวส์จะเก็บไลบรารี่นี้อยู่ในไฟล์ที่มีส่วนขยายเป็น .dll (ให้ดูในไดเรกทอรี ซิสเต็ม(System) ที่เป็นไดเรกทอรี่ย่อยของวินโดวส์จะมีไฟล์ที่มีส่วนขยายนี้อยู่มากมาย) DLL เป็นไฟล์ที่เก็บโปรแกรมย่อยและฟังก์ชั่น ซึ่งจะถูกโหลดเข้าสู่หน่วยความจำตอนรันโปรแกรมที่มีการเรียกใช้ไฟล์ DLL ไฟล์นั้น และจะมีการทำงานตามโปรแกรมย่อย หรือฟังก์ชั่นในไฟล์ DLL นั้นแล้วจึงส่งค่ากลับมายังโปรแกรมหลักที่เรียกใช้DLL

ข้อดีในการใช้ DLL คือ

- ช่วยลดขนาดของโปรแกรมที่เราสร้าง โดยเตรียมฟังก์ชั่นและโปรแกรมย่อยอยู่ในไฟล์ ที่สามารถใช้ร่วมกันในโปรแกรมอื่นๆ ได้
- ทำให้การทำงานของโปรแกรมเร็วขึ้น เนื่องจากไม่ต้องโหลดไฟล์ทำงานที่มีขนาดใหญ่ แต่โหลดเฉพาะไฟล์ DLL ที่ต้องใช้งานเท่านั้น
- ทำให้โปรแกรมทำงานบางอย่างที่ วิชวล เบสิก (VB)ไม่สามารถทำได้ หรือทำได้แต่ไม่มีประสิทธิภาพเท่าที่ควร

ใน VB6 มีคุณสมบัติที่ทำให้เราสามารถเรียก DLL ได้อย่างง่ายดาย โดยในวินโดวส์จะมีกลุ่มของไฟล์ DLL มาตรฐาน (ไฟล์ User32.dll , Gdi32.dll และ Kernel32.dll) ที่เก็บฟังก์ชั่นและโปรแกรมย่อยที่อยู่ใน Windows API

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

5.1 สรุปผลการทดลอง

เมื่อได้ทำการวัดสัญญาณที่จุดต่างๆแล้วได้ผลการทดลองตามที่ได้ออกแบบไว้คือแชนแนลศูนย์จะมีบิตซิงค์เป็นหนึ่งบิตครึ่ง และเป็นศูนย์ครึ่งบิต ส่วนแชนแนลหนึ่งจะมีบิตซิงค์เป็นหนึ่งและศูนย์อย่างละบิต และสัญญาณเอาต์พุตจะเปลี่ยนตามการเปลี่ยนแปลงของโวลท์เตจทางด้านอินพุท จากการทดลองได้ตั้งโวลท์เตจอ้างอิงไว้ 1.5 โวลท์ ทำให้ถ้าปรับอินพุตมากกว่า 1.5 ทำให้ได้สัญญาณดิจิตอลเอาต์พุตเป็นหนึ่งหมด แต่ถ้าปรับอินพุตน้อยกว่า 1.5 ทำให้ได้สัญญาณดิจิตอลเอาต์พุตเปลี่ยนตามอินพุต

ส่วนของภาคส่งสัญญาณออกอากาศนั้นสามารถส่งข้อมูลได้ และทางภาครับสามารถดีเทคสัญญาณข้อมูลได้ ซึ่งระยะทางที่ได้นั้นไม่ไกลมากนัก แต่ถ้าต้องการระยะทางที่ไกลมากขึ้นก็ต้องทำการเพิ่มกำลังในการส่งให้มากขึ้น

สัญญาณต่างที่วัดได้จากทางภาครับก็มีลักษณะเช่นเดียวกับที่ออกแบบไว้ในทฤษฎี แต่จะแตกต่างในส่วนของความถี่ของสัญญาณที่ได้มีการเปลี่ยนแปลงเล็กน้อยแต่ก็ยอมรับได้ คือไม่ทำให้การแยกช่องสัญญาณแต่ละช่องผิดพลาด

5.2 บทวิจารณ์

จากการทดลองผลการทดลองนั้นใกล้เคียงกับทฤษฎี แต่ความผิดพลาดนั้นเกิดมาจากอุปกรณ์ที่ใช้แล้วเนื่องจากความถี่ที่ใช้ในการแซมปลิ้งของสัญญาณอนาล็อกอินพุตเท่ากับ 1.6 กิโลเฮิร์ต เพราะฉะนั้นความถี่สูงสุดที่สามารถส่งได้ประมาณ 800 เฮิร์ต ซึ่งในโครงงานนี้ได้ออกแบบไว้สำหรับส่งสัญญาณที่ได้จากเซนเซอร์ที่มีการตอบสนองไม่สูงนัก อีกทั้งในการแสดงผลใช้คอมพิวเตอร์เป็นตัวแปลงสัญญาณดิจิตอลเป็นอนาล็อก และถ้าแสดงมากกว่า 20 ครั้งใน 1 วินาที สายตาไม่สามารถแยกได้ จึงไม่มีความจำเป็นที่จะต้องใช้ความถี่แซมปลิ้งสูงๆ นอกจากนี้ ไอซี A/D ที่ใช้ก็มีความเร็วจำกัดคล็อกสูงสุดที่ใช้ประมาณ 400 กิโลเฮิร์ต นอกจากนี้จาก ไอซี A/D นั้นสามารถกำหนดค่าโวลท์เตจอ้างอิงให้เหมาะกับสัญญาณที่ได้จากเซนเซอร์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

ADC0831/ADC0832/ADC0834 and ADC0838 8-Bit Serial I/O A/D Converters with Multiplexer Options

General Description

The ADC0831 series are 8-bit successive approximation A/D converters with a serial I/O and configurable input multiplexers with up to 8 channels. The serial I/O is configured to comply with the NSC MICROWIRE™ serial data exchange standard for easy interface to the COPS™ family of processors, and can interface with standard shift registers or µPs.

The 2-, 4- or 8-channel multiplexers are software configured for single-ended or differential inputs as well as channel assignment.

The differential analog voltage input allows increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

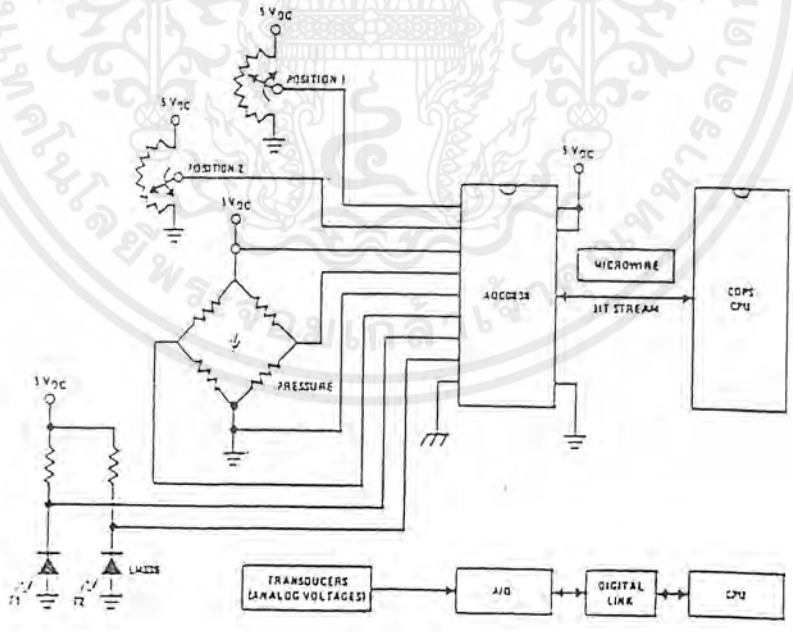
Features

- NSC MICROWIRE compatible—direct interface to COPS family processors
- Easy interface to all microprocessors, or operates "stand-alone"
- Operates ratiometrically or with 5 V_{DC} voltage reference
- No zero or full-scale adjust required
- 2-, 4- or 8-channel multiplexer options with address logic
- Shunt regulator allows operation with high voltage supplies
- 0V to 5V input range with single 5V power supply
- Remote operation with serial digital data link
- TTL/MOS input/output compatible
- 0.3" standard width, 8-, 14- or 20-pin DIP package
- 20 Pin Molded Chip Carrier Package (ADC0838 only)
- Surface-Mount Package

Key Specifications

Resolution	8 Bits
Total Unadjusted Error	±½ LSB and ±1 LSB
Single Supply	5 V_{DC}
Low Power	15 mW
Conversion Time	32 µs

Typical Application

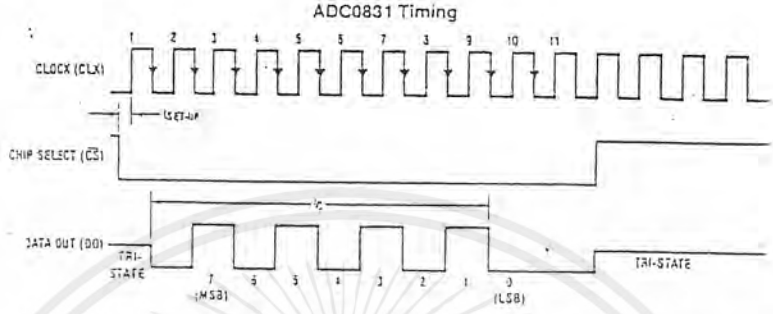


TL/H/5563–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams (Continued)

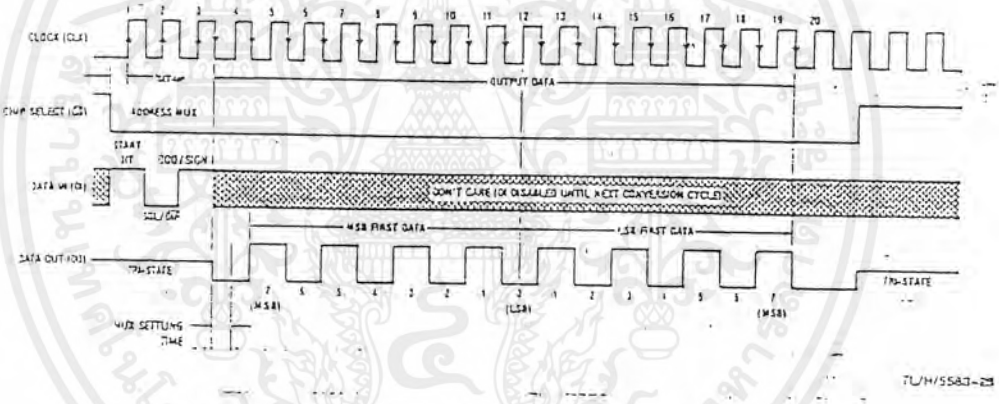
ADC0831 Timing



TL/H/5583–27

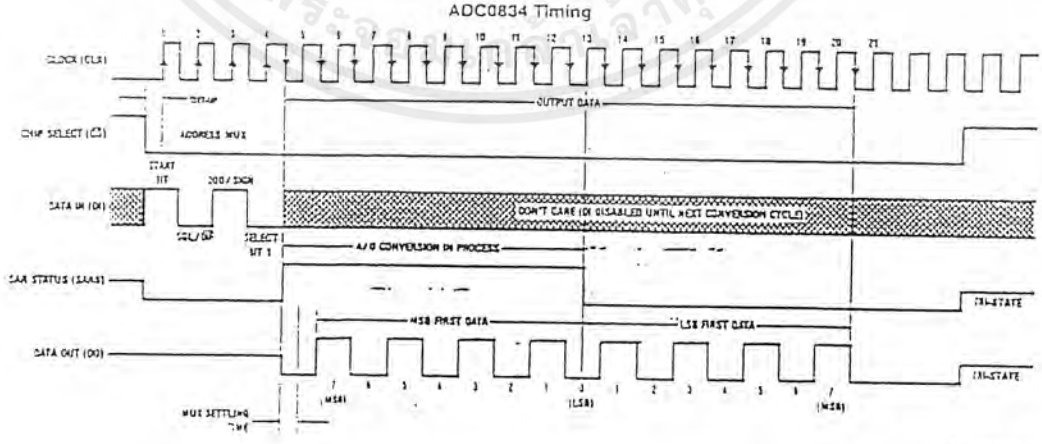
*LSB first output not available on ADC0831

ADC0832 Timing



TL/H/5583–28

ADC0834 Timing



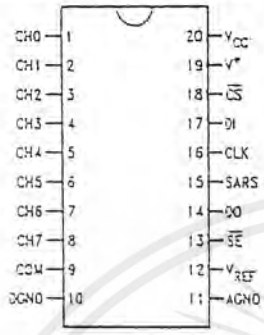
TL/H/5583–5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

ADC0838 8-Channel MUX

Small Outline/Dual-In-Line Package (J, M and N)

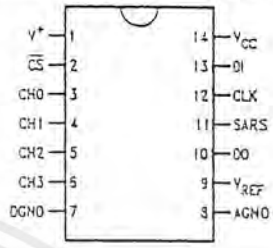


TL/H/5583–8

Top View

ADC0834 4-Channel MUX

Small Outline/Dual-In-Line Package (J, M, and N)



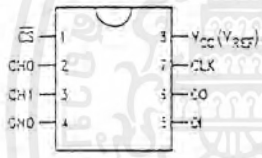
TL/H/5583–30

Top View

COM internally connected to A GND

ADC0832 2-Channel MUX

Dual-In-Line Package (J and N)



TL/H/5583–31

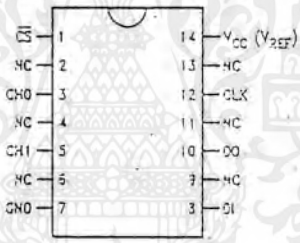
Top View

COM internally connected to GND.

V_{REF} internally connected to V_{CC}

ADC0832 2-Channel MUX

Small Outline Package (M)

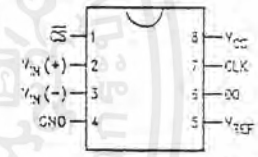


TL/H/5583–41

Top View

ADC0831 Single Differential Input

Dual-In-Line Package (J and N)

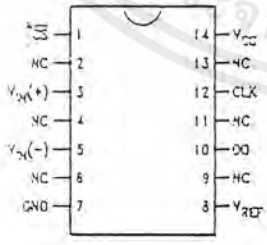


TL/H/5583–32

Top View

ADC0831 Single Differential Input

Small Outline Package (M)

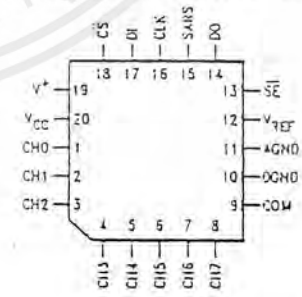


TL/H/5583–42

Top View

ADC0838 8-Channel MUX

Molded Chip Carrier (PCC) Package (V)



TL/H/5583–33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

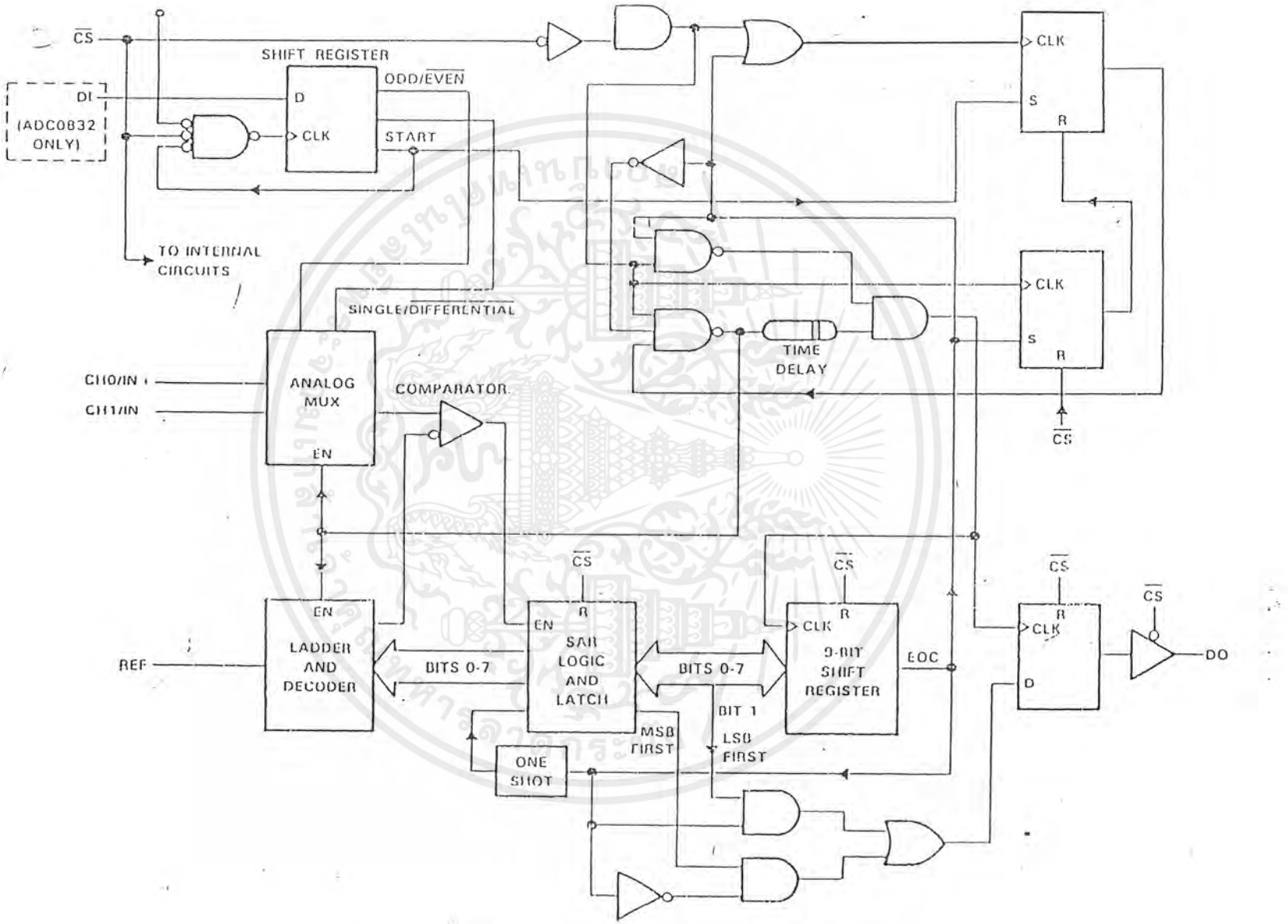


Figure 11-46. ADC0831A-B, ADC0832A-B Functional Block Diagram

MC14046B

Phase Locked Loop

The MC14046B phase locked loop contains two phase comparators, a voltage–controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in}. Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self–bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{out}$, and maintains 90° phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals, $PC2_{out}$ and LD, and maintains a 0° phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source–follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage–to–frequency conversion and motor speed control.

- Buffered Outputs Compatible with MHTL and Low–Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 V
- Pin–for–Pin Replacement for CD4046B
- Phase Comparator 1 is an Exclusive Or Gate and is Duty Cycle Limited
- Phase Comparator 2 switches on Rising Edges and is not Duty Cycle Limited

L SUFFIX
CERAMIC
CASE 620

P SUFFIX
PLASTIC
CASE 648

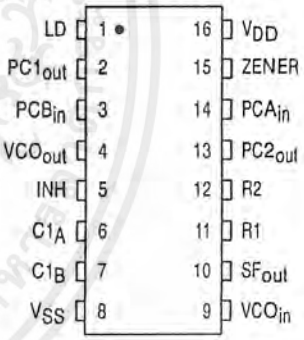
DW SUFFIX
SOIC
CASE 751G

ORDERING INFORMATION

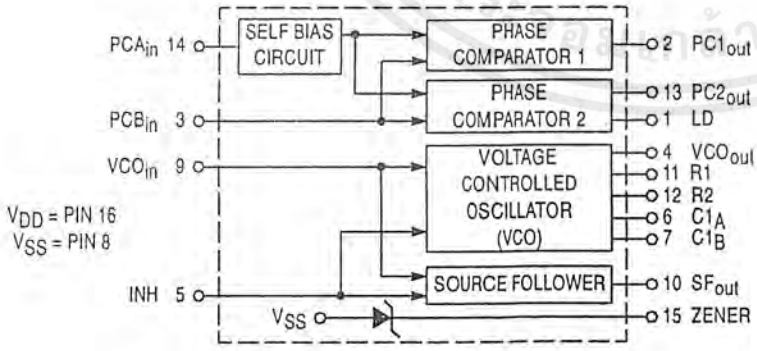
MC14XXXBCP	Plastic
MC14XXXBCL	Ceramic
MC14XXXBDW	SOIC

T_A = – 55° to 125°C for all packages.

PIN ASSIGNMENT



BLOCK DIAGRAM



© Motorola, Inc. 1997

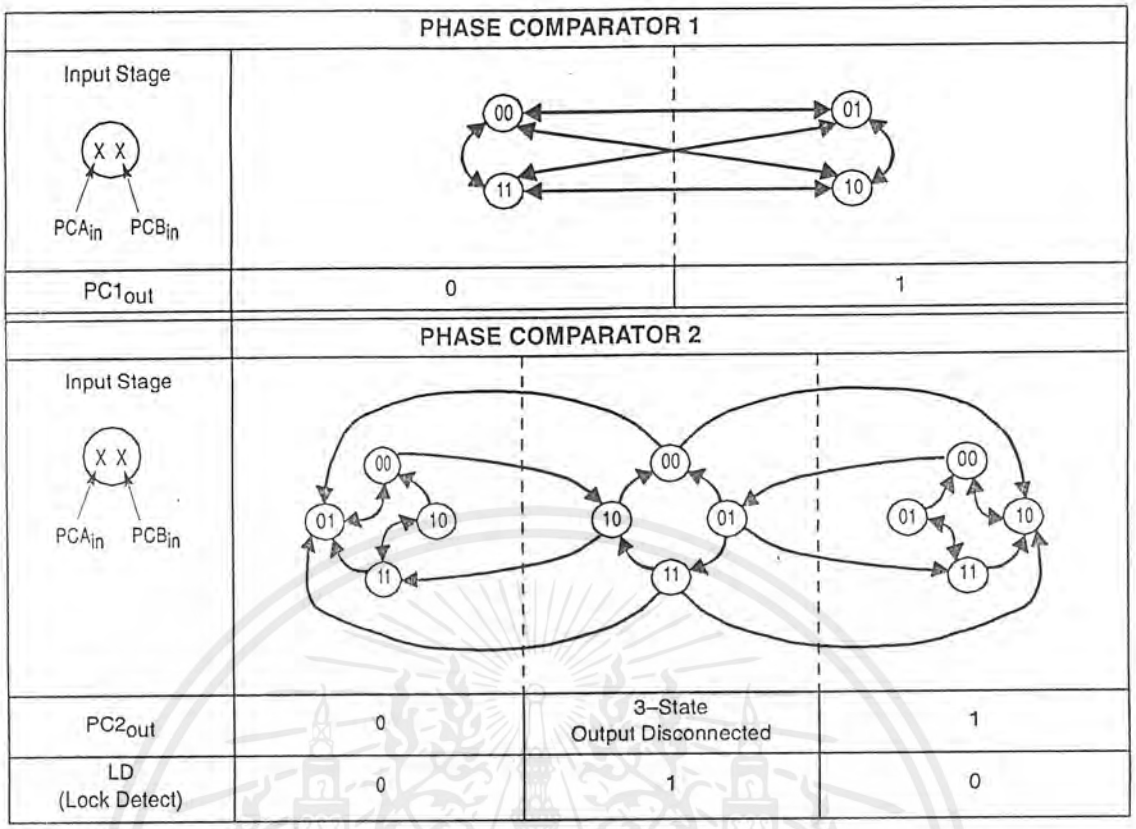
MOTOROLA
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Minimum Device	Typical	Maximum Device	Units
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	—	180	350	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	—	90	150	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	—	65	110	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	—	100	175	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	75	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	37	55	
PHASE COMPARATORS 1 and 2						
Input Resistance — PCA_{in}	R_{in}	5.0	1.0	2.0	—	MΩ
		10	0.2	0.4	—	
		15	0.1	0.2	—	
— PCB_{in}	R_{in}	15	150	1500	—	MΩ
Minimum Input Sensitivity	V_{in}	5.0	—	200	300	mV p–p
AC Coupled — PCA_{in}		10	—	400	600	
C series = 1000 pF, f = 50 kHz		15	—	700	1050	
DC Coupled — PCA_{in}, PCB_{in}	—	5 to 15	See Noise Immunity			
VOLTAGE CONTROLLED OSCILLATOR (VCO)						
Maximum Frequency	f_{max}	5.0	0.5	0.7	—	MHz
(VCO_{in} = V_{DD}, C1 = 50 pF		10	1.0	1.4	—	
R1 = 5.0 kΩ, and R2 = ∞)		15	1.4	1.9	—	
Temperature — Frequency Stability	—	5.0	—	0.12	—	%/°C
(R2 = ∞)		10	—	0.04	—	
		15	—	0.015	—	
Linearity (R2 = ∞)	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R1 > 10 kΩ)		5.0	—	1.0	—	
(VCO_{in} = 5.0 V ± 2.5 V, R1 > 400 kΩ)		10	—	1.0	—	
(VCO_{in} = 7.5 V ± 5.0 V, R1 ≥ 1000 kΩ)		15	—	1.0	—	
Output Duty Cycle	—	5 to 15	—	50	—	%
Input Resistance — VCO_{in}	R_{in}	15	150	1500	—	MΩ
SOURCE-FOLLOWER						
Offset Voltage	—	5.0	—	1.65	2.2	V
(VCO_{in} minus SF_{out}, RSF > 500 kΩ)		10	—	1.65	2.2	
		15	—	1.65	2.2	
Linearity	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R_{SF} > 50 kΩ)		5.0	—	0.1	—	
(VCO_{in} = 5.0 V ± 2.5 V, R_{SF} > 50 kΩ)		10	—	0.6	—	
(VCO_{in} = 7.5 V ± 5.0 V, R_{SF} > 50 kΩ)		15	—	0.8	—	
ZENER DIODE						
Zener Voltage (I_Z = 50 µA)	V_Z	—	6.7	7.0	7.3	V
Dynamic Resistance (I_Z = 1.0 mA)	R_Z	—	—	100	—	Ω

* The formula given is for the typical characteristics only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



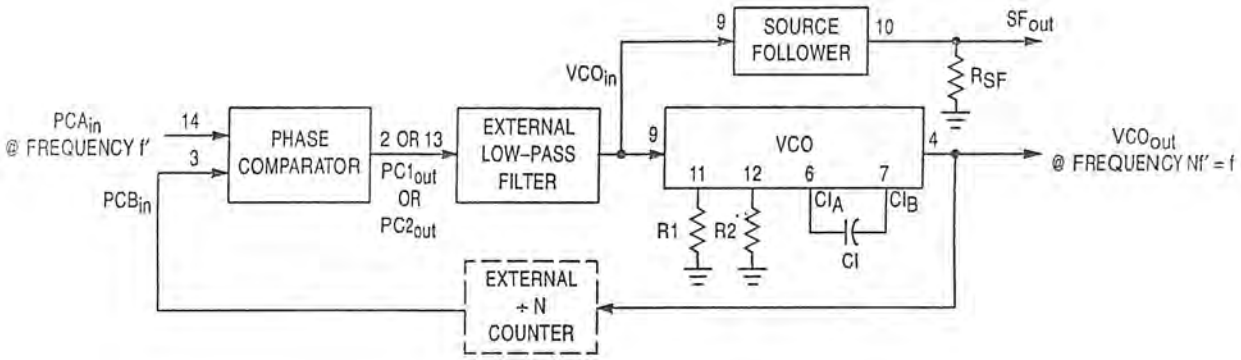
Refer to Waveforms in Figure 3.

Figure 1. Phase Comparators State Diagrams

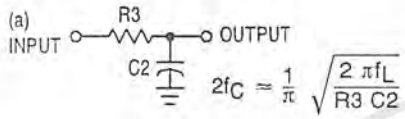
Characteristic	Using Phase Comparator 1	Using Phase Comparator 2
No signal on input PCA_{in}.	VCO in PLL system adjusts to center frequency (f_0).	VCO in PLL system adjusts to minimum frequency (f_{min}).
Phase angle between PCA_{in} and PCB_{in}.	90° at center frequency (f_0), approaching 0° and 180° at ends of lock range ($2f_L$)	Always 0° in lock (positive rising edges).
Locks on harmonics of center frequency.	Yes	No
Signal input noise rejection.	High	Low
Lock frequency range ($2f_L$).	The frequency range of the input signal on which the loop will stay locked if it was initially in lock; $2f_L$ = full VCO frequency range = $f_{max} - f_{min}$.	
Capture frequency range ($2f_C$).	The frequency range of the input signal on which the loop will lock if it was initially out of lock.	
	Depends on low–pass filter characteristics (see Figure 3). $f_C \leq f_L$	$f_C = f_L$
Center frequency (f_0).	The frequency of VCO_{out}, when VCO_{in} = 1/2 V_{DD}	
VCO output frequency (f). Note: These equations are intended to be a design guide. Since calculated component values may be in error by as much as a factor of 4, laboratory experimentation may be required for fixed designs. Part to part frequency variation with identical passive components is typically less than ± 20%.	$f_{min} = \frac{1}{R_2(C_1 + 32\ pF)}$ (V_{CO} input = V_{SS}) $f_{max} = \frac{1}{R_1(C_1 + 32\ pF)} + f_{min}$ (V_{CO} input = V_{DD}) Where: $10K \leq R_1 \leq 1\ M$ $10K \leq R_2 \leq 1\ M$ $100pF \leq C_1 \leq .01\ \mu F$	

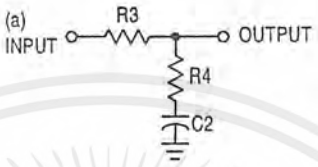
Figure 2. Design Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสาร



Typical Low–Pass Filters





Typically:

$$R_4 C_2 = \frac{6N}{f_{max}} - \frac{N}{2\pi\Delta f}$$

$$(R_3 + 3{,}000\Omega)\ C_2 = \frac{100N\Delta f}{f_{max}^2} - R_4 C_2$$

$$\Delta f = f_{max} - f_{min}$$

NOTE: Sometimes R3 is split into two series resistors each R3 ÷ 2. A capacitor C_C is then placed from the midpoint to ground. The value for C_C should be such that the corner frequency of this network does not significantly affect ω_n. In Figure B, the ratio of R3 to R4 sets the damping, R4 ≅ (0.1)(R3) for optimum results.

Definitions: N = Total division ratio in feedback loop

$K\phi = V_{DD}/\pi$ for Phase Comparator 1

$K\phi = V_{DD}/4\pi$ for Phase Comparator 2

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{V_{DD} - 2\ V}$$

for a typical design $\omega_n \cong \frac{2\pi f_r}{10}$ (at phase detector input)

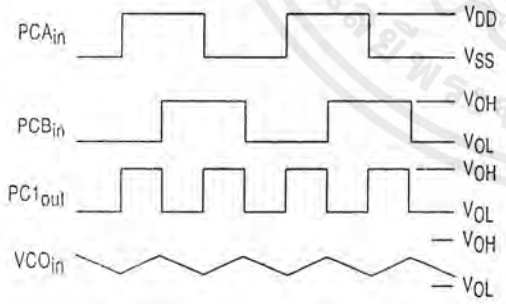
$\zeta \cong 0.707$

LOW–PASS FILTER

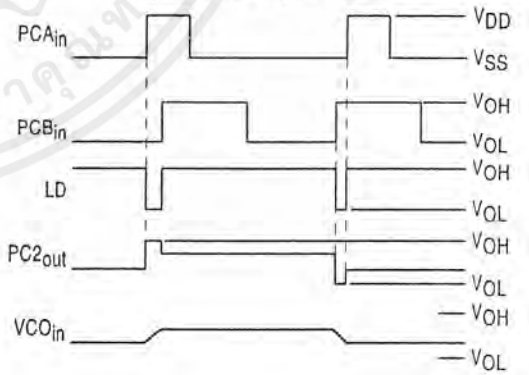
Filter A	Filter B
$\omega_n = \sqrt{\frac{K\phi K_{VCO}}{NR_3C_2}}$	$\omega_n = \sqrt{\frac{K\phi K_{VCO}}{NC_2(R_3 + R_4)}}$
$\zeta = \frac{N\omega_n}{2K\phi K_{VCO}}$	$\zeta = 0.5\ \omega_n\ (R_3C_2 + \frac{N}{K\phi K_{VCO}})$
$F(s) = \frac{1}{R_3C_2S + 1}$	$F(s) = \frac{R_3C_2S + 1}{S(R_3C_2 + R_4C_2) + 1}$

Waveforms

Phase Comparator 1



Phase Comparator 2



Note: for further information, see:

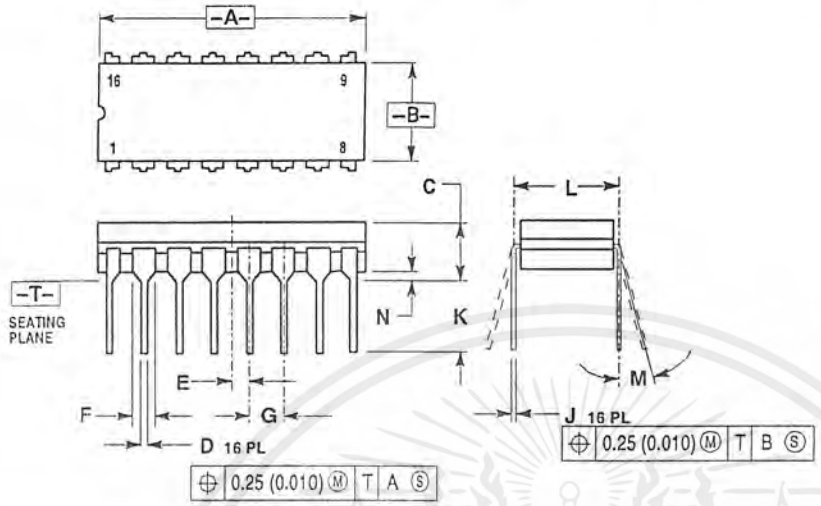
(1) F. Gardner, "Phase–Lock Techniques", John Wiley and Son, New York, 1966.
(2) G. S. Moschytz, "Miniature RC Filters Using Phase–Locked Loop", BSTJ, May, 1965.
(3) Garth Nash, "Phase–Lock Loop Design Fundamentals", AN–535, Motorola Inc.
(4) A. B. Przedpelski, "Phase–Locked Loop Design Articles", AR254, reprinted by Motorola Inc.

Figure 3. General Phase–Locked Loop Connections and Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

OUTLINE DIMENSIONS

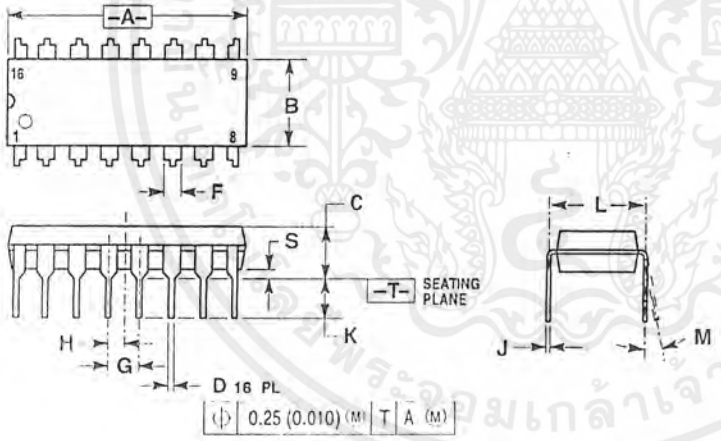
L SUFFIX
CERAMIC DIP PACKAGE
CASE 620–10
ISSUE V



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMENSION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.93
B	0.240	0.295	6.10	7.49
C	—	0.200	—	5.08
D	0.015	0.020	0.39	0.50
E	0.050 BSC		1.27 BSC	
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
H	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

P SUFFIX
PLASTIC DIP PACKAGE
CASE 648–08
ISSUE R



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สามารถที่จะทำสำเร็จลุล่วงไปได้ด้วยดี ต้องขอขอบพระคุณหลายๆฝ่าย ที่คอยให้ความช่วยเหลือตลอดมาโดยเฉพาะอย่างยิ่งพระคุณของบิดามารดา ผู้ซึ่งคอยให้โอกาสและให้การสนับสนุนคณะผู้จัดทำ และต้องขอกราบขอบพระคุณท่านอาจารย์ที่ปรึกษา ดร.สุทธิชัย นพนาคีพงษ์ ที่คอยให้คำปรึกษา และคำแนะนำต่างๆ ตลอดจนอุปกรณ์เครื่องมือต่างๆ ที่ใช้ในการดำเนินงาน นอกจากนี้ยังคณะผู้จัดทำต้องขอขอบคุณ นายเศรษฐกร กาเมือง ,นายชาญยุทธ ดิษฐศิริ ,นายไพสัณฑ์ ชาตีรัตน์ , นายพฤติพงษ์ เลิศชัยมงคล และนายณฤทธิ์ ญังธนิศรา ที่คอยให้คำแนะนำ ทางคณะผู้จัดทำจึงขอขอบคุณไว้ ณ โอกาสนี้ด้วย

คณะผู้จัดทำ
นางสาวนภาพร ตติยกิจเจริญ
นายปวีณ ตั้งสุขสันต์
นายภาคภูมิ ชวนไชยะกูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ณรงค์ เหมกรณ์,**การสื่อสารดาวเทียม**,พิมพ์ครั้งที่1,สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง:กรุงเทพมหานคร,2533
2. บัณฑิต โรจน์อารยานนท์,**หลักการไฟฟ้าสื่อสาร**,พิมพ์ครั้งที่6,สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย, 2540
3 รศ.ยืน ภู่วรวรรณ,น.ต.ไพศาล สงวนหมู่,**การสื่อสารและไมโครคอมพิวเตอร์เนตเวอร์ค**,พิมพ์ครั้งที่ 1,. บริษัทซีเอ็ดยูเคชั่น,2521
4. ดร.ประสิทธิ์ ทีฑพุฒ,**การสื่อสารโทรคมนาคม(Telecommunication)ภาคพื้นฐาน**,พิมพ์ครั้งที่1,บริษัทซีเอ็ดยูเคชั่น,2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้