สวิทช์คาปาซิเตอร์และการประยุกต์ใช้งาน

Switched Capacitor and Application

โดย

นางสาวนันทรัตน์ บุญวิโรจน์ฤทธิ์ 33100164

นางสาวสร้อยฟ้า โต๊ะพันธุ์ลนันต์ 33100407

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033316

สวิทซ์คาปาซิเตอร์และการประยุกต์ใช้งาน

Switched Capacitor and Application

โดย นางสาวนันทรัตน์ บุญวิรัจน์ฤทธิ์ 33100164

นางสาวสร้อยฟ้า รัตะพันธุ์อนันต์ 33100407

อาจารย์ที่ปรึกษา ดร.วิวัฒน์ กิรานนท์

อาจารย์ปรารมภ์ วาดเขียน

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอหลักการประยุกต์ใช้สวิทซ์คาปาซิเตอร์แทนตัวความต้านทาน (resistor) ทั้งในวงจรกรองสัญญาณ (filtering circuit)และวงจรที่ไม่ใช่วงจรกรองสัญญาณ (non filtering circuit) ซึ่งวงจรกรองสัญญาณนั้นได้พิจารณาถึงวงจรไบควอดช่วงความถี่ผ่าน (Biquad banpass filter) โดยสามารถปรับเปลี่ยนความถี่ศูนย์กลาง (centre frequency) ได้จากการเปลี่ยนความถี่ของสัญญาณคล็อคที่ใช้ควบคุมสวิทซ์ ทำให้สามารถใช้งานวงจรไบควอดได้กว้างขึ้น ส่วนวงจรขยายสัญญาณซึ่งมีอัตราการขยายแบบล็อก (Logalithmic Amplifier) และ วงจร ฟลู เวฟ เรคติไฟ-เออร์ (Full wave rectifier) ที่ได้ทำการศึกษาเป็นการชี้ให้เห็นว่าสามารถประยุกต์ใช้สวิทซ์คาปาซิเตอร์ในวงจรอื่นๆทั่วไป ไม่เฉพาะแต่วงจรกรองสัญญาณเท่านั้น

นอกจากนั้นสวิทซ์คาปาซิเตอร์ยังมีข้อดีคือ มีความแม่นยำมากและเหมาะแก่การนำไปสร้างเป็นวงจรรวม (Integrate Circuit)

Abstract

This thesis presents principle of application to use switched capacitor in both filtering and non filtering circuit. The centre frequency of biquad bandpass switched capacitor filter can be changed by changeing the clock frequency that control switch so the circuit is practically applicable. Logalithmic amplifier and full wave rectifier are also investigated to show the potential of switched capacitor in non- filter circuit application. The major adventage of switched capacitor is its high accuracy that is suitable to be realized as integrated circuit in switched capacitor version

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น | ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทนำ	1-6
บทที่ 2 การประยุกต์ใช้สวิทช์คาปาซิเตอร์ในวงจรกรองสัญญาณ	7-40
บทที่ 3 เครื่องขยายสัญญาณซึ่งมีอัตราขยายแบบล็อก	41-53
บทที่ 4 สวิทช์คาปาซิเตอร์ ฟลู เวฟ เรคติไฟเออร์	54-61
สรุปและวิจารณ์	62-62
ภาคผนวก	
เอกสารอ้างอิง	
กิตติกรรมประกาศ	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

เทคโนโลยีสวิทช์คาปาซิเตอร์ เป็นเทคโนโลยีที่กำลังได้รับความสนใจมากเมื่อเทียบกับเทคโนโลยีอื่นซึ่งสร้างให้ใช้งานได้จริงโดยชิพไอซี (Integrated Circuit) ที่ไม่แพงมากนักที่ขึ้นอยู่กับเทคโนโลยีมอส (Metal Oxide Semiconductor)

ในช่วงเวลาก่อน ค.ศ.1970 ยังไม่สามารถสร้างอนาลอกฟิลเตอร์ (analog filter)บนชิพที่เป็นไอซี (chip IC)ได้ ทำให้นักออกแบบทางอนาลอก ไม่สามารถใช้ประโยชน์จากการพัฒนาอันรวดเร็วในเทคโนโลยีวีเอลเอสไอ (Very Large Scale Integrated Circuit)ได้เต็มที่ เป็นผลให้ดิจิตอล ฟิลเตอร์ ซึ่งในช่วงเวลานั้นสามารถสร้างได้ในรูปวีเอลเอสไอแล้วถูกใช้อย่างกว้างขวาง

หลังจากสวิทช์คาปาซิเตอร์ฟิลเตอร์ ถูกค้นพบในปลายทศวรรษ 70 ทุกอย่างก็เปลี่ยนไป ฟิลเตอร์ชนิดนี้ ถูกจัดอยู่ในตระกูลของวงจรรวมอนานาลอกฟิลเตอร์ที่มีความแม่นยาซึ่งเหมาะแก่การนำมาสร้างในระบบวีเอลเอสไอได้มีการใช้สวิทช์คาปาซิเตอร์ ในเทคนิคการประมวลผลสัญญาณ (Signal Processing technique) ปัจจุบันเป็นที่ใช้กันอย่างแพร่หลาย

สวิทช์คาปาซิเตอร์ ฟิลเตอร์เป็นคู่แข่งของดิจิตอล ฟิลเตอร์ซึ่งทำให้เกิดการถกเถียงกันอย่างแพร่หลายว่าเทคนิคด้านอนาลอกหรือดิจิตอลที่จะได้รับบทเด่นในระบบประมวลผลสัญญาณรุ่นใหม่นี้

สวิทช์คาปาซิเตอร์ ฟิลเตอร์ มีลักษณะอันเป็นที่ต้องการอยู่ถึง 2ประการ สำหรับการสร้างฟิลเตอร์ในรูปของวีเอลเอสไอ คือ

1) มีความแม่นยำสูง

2) มีคุณสมบัติที่เหมาะแก่การนำไปสร้างเป็นไอซี

ในช่วงเวลา 5ปี ต่อมา สวิทช์คาปาซิเตอร์ พัฒนาไปมากและดูจะเหนือกว่า ดิจิตอลฟิลเตอร์ในงานประยุกต์ต่างๆ ซึ่งคุณประโยชน์เหล่านี้เนื่องมาจากสาเหตุใหญ่คือ สวิทช์คาปาซิเตอร์มีโครงสร้างวงจรที่ง่าย ทำให้ความเร็วในการประมวลผลสูงกว่า ดิจิตอล ฟิลเตอร์และใช้ไฟเลี้ยง (DC power) ต่ำกว่าดิจิตอล ฟิลเตอร์มาก สำหรับงานประมวลผลสัญญาณอย่างเดียวกัน

สวิทช์คาปาซิเตอร์สามารถสร้างขึ้นด้วยโครงสร้างของแอคทีฟฟิลเตอร์โดยไม่จำเป็นต้องใช้ตัวความต้านทาน (resistor)ในส่วนของแอ้คทีฟเซอร์กิต(active circuit)ซึ่งโดยปกติตัวความต้านจะมีบทบาทในการกำหนดค่า อาร์ซีไทม์คอนสแตนท์ (RC timecons-

tant) ตัวความต้านทานยังคงใช้ ในส่วนอื่นๆของแอคทีฟเซอร์กิต ซึ่งมันไม่มีผลต่อการตอบสนองทางความถี่ (frequency response)

ข้อได้เปรียบที่สำคัญของเทคโนโลยีนี้คือ ราคาถูก มีความแม่นยำถูกต้อง และใช้พื้นที่น้อย ยกตัวอย่างเช่น

สำหรับส่วนกลับของอาร์ซีไทม์คอนสแตนท์ที่ค่า10 k.rad/sเมื่อสมมุติค่าคาปาซิเตอร์ที่ 10 pF จะต้องการความต้านทานประมาณ 10 Megaohm ซึ่งในการสร้างตัวต้านทานค่านี้ในวงจรไอซีจะใช้พื้นที่ 1600mm^2~10^{-3} m^2 ซึ่งใช้เนื้อที่มาก จากเนื้อที่ทั้งหมดของชิพชนิดอนาลอกมอสประมาณ 20000 mm^2 ยิ่งไปกว่านั้นมอสรีซีสเตอร์ (MOS resistor)เมื่อคำนึงถึงการแพร่กระจายหรือโพลีซิลิคอนไลน์(polysilicon line)จะทำให้เกิดสภาวะนอนลิเนียร์(nonlinear)และค่าของมอสรีซีสเตอร์จะไม่ถูกต้อง การทำให้ค่ารีเลทีฟแอคเคอร์เรซี (relative accuracy) ดีกว่า 10% นั้นทำได้ยากแม้ว่าแทคกิ้งเออเรอร์ (tracking error)ระหว่างตัวความต้านทาน 2 ตัวบนชิพเดียวกันจะรักษาให้มีค่าต่ำอยู่ที่ 1-2%

แต่เนื่องจากคาปาซิเตอร์มีขั้นตอนในการผลิตที่แตกต่างไปจากตัวต้านทาน ค่าความผิดพลาดของคาปาซิเตอร์ จึงไม่เปลี่ยนตามค่าความผิดพลาดของตัวต้านทานที่อยู่บนชิพเดียวกัน อย่างไรก็ดีค่าความผิดพลาดในการสร้างคาปาซิเตอร์จะมีค่าประมาณ 10%เช่นเดียวกับการสร้างตัวความต้านทานและแทคกิ้งเออเรอร์ก็จะมีประมาณกันคือ 1 % ดังนั้นเออเรอร์ของอาร์ซีทามคอนสแตนท์ อาจจะมีค่ามากได้ถึง 20% ยิ่งไปกว่านั้นอุณหภูมิและ โวลเตจโคเอฟฟิเชียน(voltage coefficient)ของตัวความต้านทานและตัวเก็บประจุจะไม่สัมพันธ์กัน ดังนั้นไทม์คอนสแตนท์จะเปลี่ยนแปลงไป ขึ้นกับอุณหภูมิและระดับสัญญาณ สรุปคือ การที่ต่ออุปกรณ์ในวงจรแอคทีฟอาร์ซีฟิลเตอร์นั้น ไม่สามารถตอบสนองในด้านความถูกต้องและมั่นคงได้เพราะฉะนั้นจึงได้เกิดความคิดแก้ไขขึ้นซึ่งได้มีผู้นำเสนอครั้งแรกคือ Friedโดยมีแนวความคิด ดังแสดงในรูป 1.1

รูป 1.1กและ 1.1ขจะประกอบด้วยตัวเก็บประจุหนึ่งตัวและมอสสวิทช์สองตัวในรูป-1.1 ค แสดงสัญญาณคล็อค $V\phi_1$ และ$V\phi_2$ซึ่งใช้ควบคุมมอสเฟทสวิทช์ (MOSFET switch)

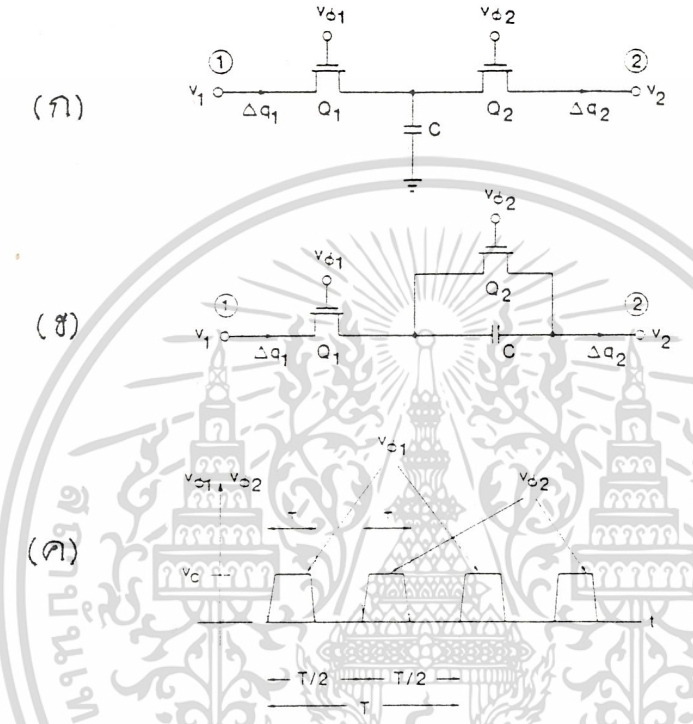
เมื่อ $V\phi_1$ มีค่าเท่ากับ V_cจะเกิดประจุ Q_1จนเต็มเนื่องจาก V_c มีค่ามาก(5-10V) ช่วงเวลานี้ Q_1จะทำให้เกิดตัวความต้านทานต่ำ(switch on)ระหว่างซอส (source)กับเดรน (drain)

เมื่อ $V\phi_1$เป็นศูนย์ Q_1จะทำให้เกิดสภาวะโอเพ็น เซอร์กิต (open circuit) Q_2 และ$V\phi_2$ก็จะมีเงื่อนไขเหมือนดังข้างต้น

สมมุติว่า V_1 และ V_2 เป็นสัญญาณที่เปลี่ยนแปลงอย่างช้าๆระหว่างช่วงเวลาclock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

(T) ซึ่งมันจะไม่เปลี่ยนโดยทันทีทันใด นี้คือกรณีซึ่งถ้ามีส่วนประกอบความถี่สูงสุดใน V_1, V_2 จะต้องน้อยกว่าความถี่คล็อค ($f_c = 1/T$) นั่นคือความถี่คล็อคต้องมากกว่าอย่างน้อยเป็น2 เท่าของความถี่สัญญาณ เพื่อทำให้สัญญาณที่ได้จากการแชมปลิ้งของสวิทช์มีลักษณะเหมือนสัญญาณเดิมมากที่สุด



รูป 1.1 ความต้านทานเสมือน (ก) กรณีแบบชนาน (ข) กรณีแบบอนุกรม
(ค) รูปสัญญาณคล็อค

ในรูป 1.1 ก ประจุ Δq_1 เข้าสู่ตัวเก็บประจุ จากขั้วอินพุทขณะที่ $V\phi_1$ เพิ่มจนถึง V_c เนื่องจากตัวเก็บประจุถูกชาร์จก่อนหน้านี้ด้วย V_2 และขณะนี้ถูกชาร์จอีกผ่าน Q_1 จนมีค่า V_1 ดังนั้น

$$\Delta q = c(V_1 - V_2)$$

เมื่อ $V\phi_1$ เป็นศูนย์ , Q_1 คัทออฟ (cut off) และยังคงค่าโวลเตจที่ V_1
เมื่อ $V\phi_2$ เข้าสู่ค่า V_c จะถูกชาร์จใหม่จนมีค่า V_2 อีก ผ่าน Q_2 ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษา ไม่อนุญาตให้นำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta q_2 = c(V_1-V_2) = \Delta q_1$$

ดังนั้นระหว่างช่วงคาบเวลา (T) คล็อค ประจุ $c(V_1-V_2)$ จะเข้าที่โหนด 1 และออกที่โหนด 2 จึงสามารถนิยามกระแสเฉลี่ย (i) ที่ไหลจาก 1 ไป 2

$$i = \Delta q_1/T = \Delta q_2 /T = c(V_1-V_2)/T$$

หรือ $$i = (1/R)(V_1-V_2)$$

เมื่อ $$R = T/c$$

ดังนั้นกระแสเฉลี่ย i และ โวลเตจ ดิฟเฟอร์เรนซ์ (voltage difference) (V_1-V_2) จะเป็นไปตามกฎของโอห์ม และวงจรในรูป 1.1ก มีพฤติกรรมเป็นตัวต้านทานที่มีค่าT/cโอห์ม ตัวต้านทานแตกต่างจากตัวเก็บประจุที่มันสามารถแพร่กระจาย(dissipate) พลังงานไฟฟ้า แต่สามารถแพร่กระจายพลังงานในสวิทช์และหน่วยความจำของตัวเก็บประจุจะถูกทำลายทุกๆคาบเวลา ดังนั้นพฤติกรรมทางกายภาพ จึงเสมือนมีตัวต้านทานอยู่

ในรูป 1.1ข ก็จะมีการวิเคราะห์ในลักษณะที่คล้ายกัน

เมื่อ $V\phi = V_c$ ตัวเก็บประจุจะถูกดีสชาร์จ (discharge)โดย Q_2 ขณะที่ Q_1ออฟ จนกระทั้ง $\Delta q_1 = \Delta q_2 = 0$

เมื่อ Q_2 ไม่ทำงานและ Q_1 ทำงาน ตัวเก็บประจุจะถูกชาร์จจนมีค่า $V_c = V_1-V_2$ จะได้รับประจุ $\Delta q_1 = \Delta q_2 = c(V_1-V_2)$ ดังนั้นประจุไหลและกระแสเฉลี่ยจะมีค่าเหมือนกับรูป 1.1ก สรุปว่า วงจรนี้ยังคงแสดงค่าความต้านทานเสมือนเท่ากับ T/c

ถึงจุดนี้เป็นที่แน่ชัดว่าแอคทีฟ อาร์ซี ฟิลเตอร์ สามารถใช้สวิทช์คาปาซิเตอร์มาประยุกต์แทนได้ง่ายโดยแทนตัวต้านทานทั้งหมดโดย สวิทช์คาปาซิเตอร์ที่เท่ากัน จะได้เน็ตเวอค (network)ที่ประกอบไปด้วยออปแอมป์ , สวิทช์ และ คาปาซิเตอร์ สมมุติว่าทั้งออปแอมป์และสวิทช์ มีลักษณะในทางอุดมคติ ผลตอบสนองจะขึ้นอยู่กับค่าคาปาซิเตอร์เท่านั้นไทม์คอนสแตนท์ ที่อยู่ในรูป R_1C_2 จะถูกแทนด้วย $(T/C_1)C_2 = (C_2/C_1)f_c$ โดยที่ C_1 เป็นค่าของสวิทช์คาปาซิเตอร์ ที่ใช้แทน R_1 และ f_c เป็นความถี่คล็อก(clock)ดังที่ได้กล่าวไว้ในตอนต้นว่า ค่าของตัวเก็บประจุแต่ละตัว จะถูกพิจารณาถึงความถูกต้องแม่นยำประมาณ 10%, tracking error(ความผิดพลาดในอัตราส่วนของตัวเก็บประจุสองตัวบนชิพเดียวกัน) สา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มารถรักษาให้มีค่าน้อยเพียง 1%หรือน้อยกว่านี้ความถี่คล็อก $f_c = 1/T$ ยังสามารถถูกควบคุมด้วยความแ ม่นย่าโดยใช้คริสตอลออสซิลเลเตอร์ (crytal oscillator) เป็นคล็อกดังนั้นไทม์คอนสแตน (time constant) ของ integrated switch capacitor filterสามารถถูกพิจารณาที่ค่าความถูกต้องแม่นย่าที่ 1% หรือดีกว่านี้ซึ่งพอเพียงในงานประยุกต์การกรองสัญญาณ

พื้นที่ที่ต้องการสำหรับชิพที่เสมือนมีตัวต้านทานอยู่ จะน้อยกว่าการใช้ตัวต้านทานโดยตรง สำหรับกรณีของ R = 10 เมกกะโอห์ม , f_c = 100 กิโลเฮิร์ต ตัวเก็บประจุที่ต้องการคือ $C = T/R = 10^{-12}$ ฟารัด หรือ 1 พิโคฟารัดโดยจะใช้พื้นที่ 4 ตารางมิลลิเมตร ซึ่งน้อยกว่าที่กล่าวในตอนต้นที่ใช้พื้นที่ถึง 1600 ตารางมิลลิเมตร สำหรับการสร้างโดยใช้ตัวต้านทานโดยตรง ดังนั้นสามารถลดพื้นที่ลงถึง 400 เท่า

กล่าวโดยสรุปคือ สวิทช์คาปาซิเตอร์ฟิลเตอร์ เป็นวงจรแซมปลิ้ง(sampling) สัญญาณทางอนาล็อก ซึ่งทำงานโดยตรงกับสัญญาณอนาล็อก และสร้างสัญญาณอนาล็อก เป็นสาคัญ

อุปกรณ์พื้นฐานของสวิทช์คาปาซิเตอร์ฟิลเตอร์ คือ

1. ออปแอม (op-amp)
2. คาปาซิเตอร์ (capacitor)
3. สวิทช์[switch(analog)]ซึ่งขับโดยคล็อก

อุปกรณ์เหล่านี้ต่อรวมกันเพื่อให้เกิดการทำงานเป็นวงจรแซมเปิลข้อมูล และทำหน้าที่กรองสัญญาณ

ลักษณะของฟิลเตอร์ จะถูกกำหนดโดยค่าอัตราส่วนของตัวเก็บประจุโดยตรง อัตราส่วนนี้หาค่าได้แน่นอน (accurately) และสะดวกสบายในการใช้มอสไอซี (mos IC)

ประโยชน์เมื่อนำไปใช้สร้างชิพ

ออปแอมตัวหนึ่งใช้พื้นที่บนชิพ = $5*10^{7}$ m^2

สวิทช์หนึ่งตัวที่ใช้ = $5*10$ m^2

คาปาซิเตอร์ขนาด 1 พิโคฟารัด = $25*10^{2}$ m^2

ดังนั้นชิพหนึ่งตัวมีพื้นที่ = $5*10^{7}$ m^2

เราจะได้รับประโยชน์อย่างอื่นอีก ถ้าสามารถสร้างสวิทช์คาปาซิเตอร์ โดยใช้เทคโนโลยีมอสและแกลเลี่ยมอาร์เซไนด์(galium arsenide)

อุปกรณ์มอสได้ถูกสร้างจนทำให้เราสามารถสร้างสวิทช์คาปาซิเตอร์ฟิลเตอร์ที่ความถี่คล็อกถึง 30 เมกกะเฮิร์ต (คาดว่าสูงสุดอาจได้ถึง 130 เมกกะเฮิร์ต) ส่วนแกลเลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อาร์เซไนด์ยอมให้ความถี่คล็อกขึ้นได้ถึง 250 เมกกะเฮิร์ต (เป็นไปได้ว่าอาจได้ถึง 500 เมกกะเฮิร์ต)

นักออกแบบใช้เทคโนโลยีเหล่านี้สร้าง ระบบประมวลผลสัญญาณอนาล็อกที่มีความเร็วสูงเทคนิคสวิทช์คาปาซิเตอร์ในอนาคตมีแนวโน้มที่จะสร้างฟิลเตอร์ที่ความถี่สูง ๆ

นอกจากนี้ สวิทช์คาปาซิเตอร์ยังสามารถนำไปประยุกต์ใช้ในวงจรที่ไม่ใช่วงจรกรองสัญญาณ เช่น วงจรมอดูเลเตอร์ (Modulator) , เรคติไฟเออร์ (Rectifier), ดีเทคเตอร์ (Detector), สวิทช์คาปาซิเตอร์ ออสซิเลเตอร์ (Swited Capacitor Oscillator) ได้แก่ เฟสชิฟ ออสซิเลเตอร์ , ไซน์เวฟ ออสซิเลเตอร์ เป็นต้น

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2

การประยุกต์ใช้สวิทช์คาปาซิเตอร์ในวงจรกรองสัญญาณ

2.1ทฤษฎี

วงจรกรองสัญญาณ (Filter circuit) ได้รับการพัฒนามาตั้งแต่เป็นวงจรพาสสีพ (passive) มาใช้วงจรแอคทีพ (active) ปัจจุบันนี้สามารถแก้ข้อจำกัดของวงจรแอคทีพฟิลเตอร์ที่การปรับเปลี่ยนความถี่คุณลักษณะต้องอาศัยการเปลี่ยนค่าตัวต้านทานและคาปาซิเตอร์โดยการประยุกต์ใช้สวิทช์คาปาซิเตอร์ ทำให้สามารถปรับเปลี่ยนค่าความถี่ดังกล่าว จากการเปลี่ยนความถี่คล็อคควบคุมสวิทช์ได้

ข้อบกพร่องของวงจรพาสสีพฟิลเตอร์

วงจรพาสสีพประกอบด้วยอุปกรณ์ ตัวต้านทาน, คาปาซิเตอร์และขดลวดตัวนำ มีปัญหามาจากขดลวดตัวนำคือ

1) ขดลวดตัวนำถูกเหนี่ยวนำได้ง่ายเมื่อเข้าใกล้อุปกรณ์อื่น สัญญาณที่ได้จากวงจรจะเกิดการผิดเพี้ยน

2) ขนาดของขดลวดตัวนำที่เป็นอุดมคติทำได้ยาก

3) ขดลวดตัวนำที่ใช้มีขนาดใหญ่ขึ้นตามความถี่ใช้งานที่ลดลง ทำให้สิ้นเปลืองเนื้อที่

วงจรแอคทีพฟิลเตอร์

มีข้อดีกว่าวงจรพาสสีพคือ

1) ความสามารถปรับอัตราขยายและปรับเปลี่ยนความถี่เป็นอิสระต่อกัน

1.1) การปรับเกน (gain) ของออปแอมป์ ซึ่งเป็นส่วนขยายของวงจรได้

1.2) การปรับความถี่คุณลักษณะ จากการเปลี่ยนค่าตัวต้านทาน,คาปาซิเตอร์

2) ไม่มีปัญหาจากโหลด(load)เนื่องจากออปแอมป์มีอินพุทอิมพิแดนซ์(impedance)สูงและเอาท์พุทอิมพิแดนซ์ต่ำ

3) ราคาถูก เนื่องจากออปแอมป์ในปัจจุบันมีราคาถูก

เนื่องจากวงจรแอคทีพฟิลเตอร์มีข้อจำกัดดังกล่าว จึงมีการนำเทคโนโลยีมอสมาใช้ โดยใช้งานวงจรสวิทช์คาปาซิเตอร์แทนตัวต้านทาน สำหรับการสร้างฟิลเตอร์ดังกล่าวมีข้อดีคือ

1) สร้างวงจรลงบนชิพได้จำนวนมากเมื่อใช้สวิทช์คาปาซิเตอร์แทน ซึ่งเทียบกันต่อหนึ่งค่าแล้วตัวต้านทานใช้เนื้อที่บนชิพมากกว่า

2) จากข้อ 1) ทำให้ได้ชิพที่มีอันดับของฟิลเตอร์สูงๆ

3) ความถี่คุณลักษณะของวงจรสามารถปรับเปลี่ยนจากความถี่คล็อคที่ควบคุมสวิทช์

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

2.1.1วงจรไบควอด (Biquad)

การสร้างส่วนของวงจรอันดับสอง(second-order section) โดยใช้ออปแอมป์ตั้งแต่ 3ตัว ขึ้นไปมีประโยชน์อันเป็นหลักใหญ่คือสามารถได้ทรานส์เฟอร์ฟังก์ชันหลายแบบแตกต่างกันในเวลาเดียวกัน จากเอาท์พุทของออปแอมป์แต่ละตัว

การออกแบบนี้มาจากการสร้างวงจร สเตท วาริเอเบิล (state variable) ซึ่งประกาศเป็นครั้งแรกโดย Kerwin, Huelsman และ NewComb (KHN) ภายหลังมีผู้นำไปรีไฟน์ (refined)วงจรดังกล่าวใช้อินทิเกรเตอร์จำนวน n วงจรสำหรับทรานส์เฟอร์ฟังก์ชันจำนวน n อันดับและใช้การเชื่อมอินทิเกรเตอร์ดังกล่าวด้วย สัมประสิทธิ์การสเกล (scaleing coeffient) และวงจรซัมมิ่ง (summing) ที่เหมาะสม ซึ่งเป็นลักษณะที่รู้จักกันดีในการสร้างอนาลอกฟิลเตอร์

สำหรับวงจรอันดับ 2 นั้น ต้องใช้อินทิเกรเตอร์จำนวน 2วงจร ,ซัมมิ่ง 1วงจร จะได้ฟิลเตอร์ที่มี ออปแอมป์ 3 ตัว

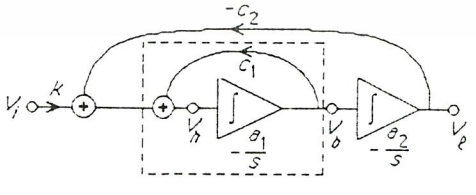
กล่าวโดยสรุปวงจรไบควอดอันดับ 2 มีลักษณะคือ

1) วงจรสเตท วาริเอเบิล แบบหนึ่งต้องมีอินทิเกรเตอร์ 2 ตัวและอินเวอร์เตอร์ 1 ตัว อินทิเกรเตอร์ตัวหนึ่งมีการสูญเสีย(loss)ด้วยค่าของตัวต้านทาน(R) ที่ใช้เซ็ตค่าควอลิตี้แฟคเตอร์ (Quality factor,Q) หรือค่าแดมปิ้ง (damping)

2) ไม่มีส่วนผ่านความถี่สูง (high pass)

3) ส่วนผ่านความถี่ต่ำ (low pass) มีช่วงการใช้งานจำกัด

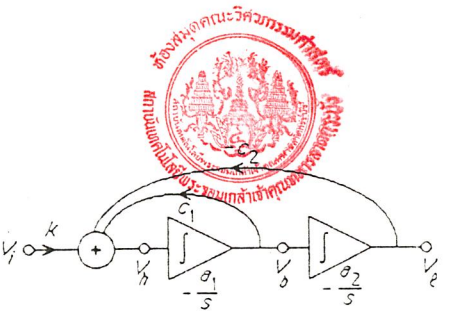
ในการศึกษาวงจรจริงควรเข้าใจการทำงานของวงจรที่ออกแบบนี้ดีขึ้นโดยพิจารณาที่มาจากบล็อคไดอะแกรมพื้นฐาน



รูป 2.1) ฟิลเตอร์ที่มีลูป (loop) ของอินทิเกรเตอร์ 2 ตัว

(Two-intigrator-loop filter)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.2) บล็อคไดอะแกรมซึ่งรวมซัมมิ่งเข้าด้วยกัน

รูป 2.1 แสดงอินทิเกรเตอร์ทั้งแบบลอสซี่ (lossy) และลอสเลส (lossless)เชื่อมต่อกัน ทั้ง 2 ตัวเป็น อินเวอร์ติ้ง อินทิเกรเตอร์ (Inverting Integrator) มีการใช้การป้อนกลับแบบลบ ค่าแฟคเตอร์ $-C_2$ เพื่อที่จะได้เกนของลูปแบบลบ สำหรับระบบที่เสถียร ลอสซี อินทิเกรเตอร์ภายในเส้นประให้ค่า $-a_1/(S+ a_1C_1)$ เมื่อวัลเตจทั้งหมดเทียบกับกราวน์

ในทางปฏิบัติวงจรซัมมิ่งทั้ง 2 จะถูกรวมด้วยกันได้ดังรูป 2.2 และทรานส์เฟอร์ฟังก์ชันที่ใช้งานได้คือ

$$\frac{V_h}{V_i} = \frac{ks^2}{s^2 + a_1c_1s + a_1a_2c_2}$$ ส่วนฟังก์ชันความถี่สูงผ่าน (2.1)

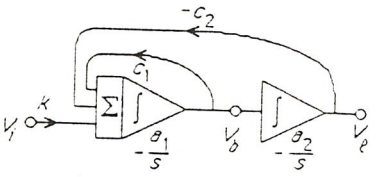
$$\frac{V_b}{V_i} = \frac{ka_1s}{s^2 + a_1c_1s + a_1a_2c_2}$$ ส่วนฟังก์ชันช่วงความถี่ผ่าน (2.2)

$$\frac{V_l}{V_i} = \frac{ka_1a_2}{s^2 + a_1c_1s + a_1a_2c_2}$$ ส่วนฟังก์ชันความถี่ต่ำผ่าน (2.3)

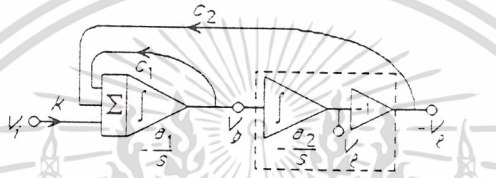
จากรูป 2.2 เพื่อเป็นการประหยัดออปแอมป์ 1 ตัวจะใช้ขั้วอินพุทขาอินเวอร์ติ้งของอินทิเกรเตอร์ตัวแรกแทนวงจรซัมมิ่ง ดังรูป 2.3 จะเห็นว่ายังมี $-C_2$ ซึ่งน้อยกว่าศูนย์ทำให้ยุ่งยากในการใช้ทั้งขาอินเวอร์ติ้งและนอนอินเวอร์ติ้งอินพุท ดังนั้นจึงเพิ่มส่วนอินเวอร์เตอร์เข้าไปในลูปป้อนกลับอันนอก (รูป2.4) จะเห็นว่าส่วนผ่านความถี่สูงสูญไปกับการที่รวมวงจรซัมมิ่งเข้ากับอินทิเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

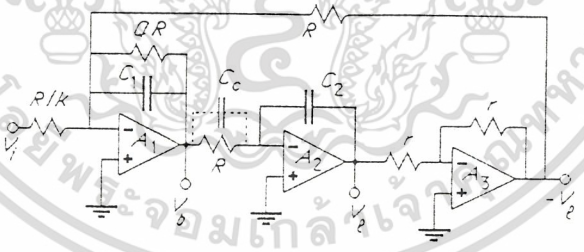
033319



รูป 2.3 ลูปของอินทิเกรเตอร์ 2 ตัวพร้อมซัมมิ่งแบบดิฟเฟอร์เรนเชียลอินพุท



รูป 2.4 การปรับเปลี่ยนขั้นสุดท้ายใช้อินเวอร์เตอร์ 1 ตัว วงจรสุดท้ายเป็นดังรูปเรียกว่า" Tow- Thomas (TT) biquad"



รูป 2.5 วงจรไบควอดแบบ " Tow- Thomas (TT)"

โดยมีค่า $C_1 = C_2 = C$ และ

$$C_c = 4/w_t R$$

C_c เป็นคาปาซิเตอร์ที่ใช้ชดเชย (Compensation Capacitor) สำหรับอินทิเกรเตอร์ตัวหนึ่งใช้ค่า $1/w_t R$ แต่สำหรับวงจรไบควอดแบบทูทอมัส ต้องชดเชยแก่ส่วนอินทิเกรติ้งทั้ง 3 ภาค รวมเป็น $4/w_t R$ จากการที่เฟสแล็ก (lag)ไป 4 ครั้ง ถ้าไม่สนใจค่า C_c ในวงจรและคิดว่าออปแอมป์ทำงานเป็นอุดมคติ จากการวิเคราะห์ง่ายๆ จะได้ทรานส์เฟอร์ฟังก์ชันคือส่วนผ่านช่วงความถี่และส่วนผ่านความถี่ต่ำตามลำดับ

$$\frac{V_b}{V_i} = \frac{-kw_oS}{S^2 + Sw_o/Q + w_o^2} \qquad 2.4$$

$$\frac{V_1}{V_i} = \frac{-kw_o^2}{S^2 + Sw_o/Q + w_o^2} \qquad 2.5$$

โดยเซ็ตค่า $RC = 1/w_o$ และ $C_1 = C_2 = C$

2.1.2 วงจรไบควอดมาตรฐาน

สำหรับวงจรไบควอดที่ได้ศึกษาทดลองได้จากการวิเคราะห์ทรานส์เฟอร์ฟังชันที่เป็นไบควอดดราติกฟังก์ชันมาตรฐาน (Biquadratic function) คือ

$$T(S) = \frac{+Hw_o^2}{S^2 + (w_o/Q)S + w_o^2} \qquad 2.6$$

พิจารณา $T(S)$ ที่เป็นลบและที่ $w_o = 1$ โดยที่ w_o คือความถี่คุณลักษณะและให้เท่ากับ 1

$$T(S) = \frac{V_2}{V_1} = \frac{-H}{S^2 + (S/Q) + 1} \qquad 2.7$$

จัดรูปใหม่จะได้

$$(S^2 + (S/Q) + 1)\, V_2 = -HV_1 \qquad 2.8$$

คูณตลอดด้วย $\frac{1}{S(S + (1/Q))}$ ทั้ง 2 ข้าง

$$1 + \frac{1}{S(S+(1/Q))}\, V_2 = \frac{-HV_1}{S(S+(1/Q))} \qquad 2.9$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

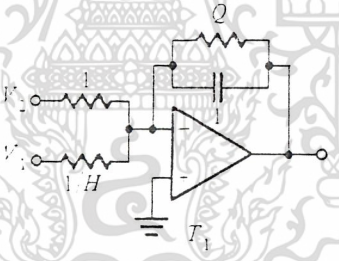
$$V_2 = \frac{-V_2}{S(S + (1/Q))} - \frac{HV_1}{S(S + (1/Q))} \qquad 2.10$$

$$V_2 = \frac{-V_2}{(S + (1/Q))} + \frac{HV_1}{(S+(1/Q))} (1/S)(-1) \qquad 2.11$$

พิจารณาได้ว่าพจน์ -1 เสมือนเป็นวงจรอินเวอร์ติ้ง และ -(1/S) เสมือนวงจรอินเวอร์ติ้งอินทิเกรเตอร์ ที่เหลือเป็นวงจรรวมโวลเตจ (summing voltage) ซึ่งมีทรานส์เฟอร์ฟังก์ชันคือ 1/(S +(1/Q))

การสังเคราะห์วงจรไบควอดพิจารณาว่าสมการ 2.10 เป็นเสมือนวงจร 3 ส่วนมาต่อคาสเคดกัน โดยมีส่วนป้อนกลับมายังอินพุทด้วย

1) <u>วงจรลอสซีอินทิเกรเตอร์ (LossyIntigrator)</u> เลือกใช้ที่มีทรานส์เฟอร์ฟังก์ชันเป็น1/(S +(1/Q))และส่วนวงจรรวมโวลเตจ ใช้ขั้วอินเวอร์ติ้งอินพุทของออปแอมป์แทน โดยป้อนอินพุท V_2และV_1H ได้วงจรดังรูป



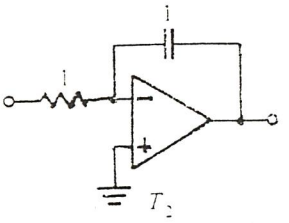
รูป 2.6 วงจรลอสซีอินทิเกรเตอร์

$$\frac{V_{o1}}{(Q/S)/(Q +(1/S))} = \frac{V_2}{1} + V_1H$$

$$V_{o1} = \frac{-1}{S + (1/Q)} \cdot [V_2 + V_1H] \qquad 2.12$$

2) <u>วงจรอินเวอร์ติ้งอินทิเกรเตอร์ (Inverting Intigrator)</u>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

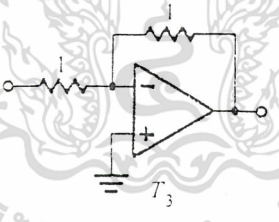


รูป 2.7 วงจรอินเวอร์ติ้งอินทิเกรเตอร์อัตราขยาย -1

$$\frac{V_{o2}}{(1/S)} = -\frac{V_{12}}{1}$$

$$V_{o2} = -\frac{V_{12}}{S} = \frac{V_{o2}}{S} \qquad 2.13$$

3)วงจรอินเวอร์ติ้ง(Unity gain Inverting Amp)



รูป 2.8 วงจรอินเวอร์ติ้งอินทิเกรเตอร์อัตราขยาย -1

$$\frac{V_{o3}}{1} = -\frac{V_{13}}{1} = -\frac{V_{o2}}{1} \qquad 2.14$$

$$V_{o3} = \frac{V_{o1}}{S}(1/S) \qquad 2.15$$

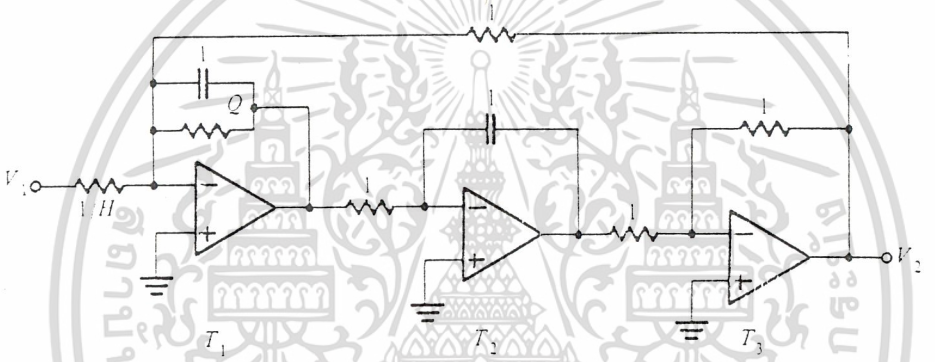
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำค่าในสมการ 2.11 มาแทนจะได้

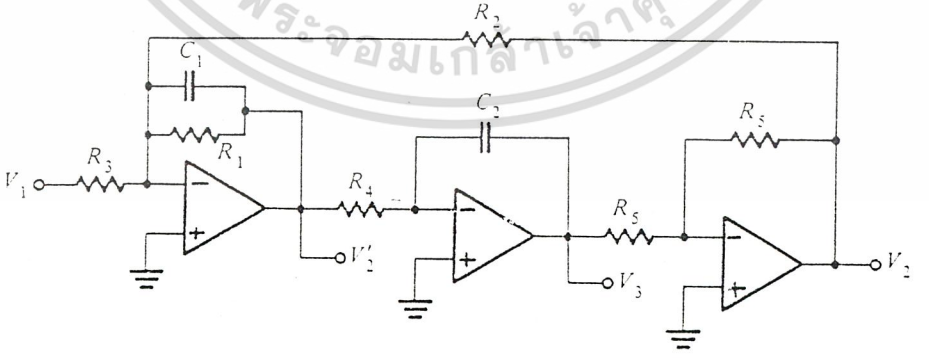
$$V_{o3} = \frac{-1}{(S + (1/Q))} V_2 + HV_1 \quad (-1/S)(S-1) \qquad 2.16$$

ดังนั้น V_{o3} มีค่าเท่ากับ V_2 เมื่อรวมวงจรจึงใช้การป้อนกลับที่อินพุทของวงจรอินเวอร์ติ้งอินทิเกรเตอร์

การรวม 3 วงจรเข้าด้วยกันและป้อนกลับ จาก V_2 มายังอินพุทจะได้วงจรที่เรียกว่า " วงจรไบควอด " หรือ "วงแหวนของ 3 วงจร "(The ring of 3 cct) หรือ "Tow- Thomas"



รูป 2.9 วงจรไบควอด



รูป 2.10 วงจรไบควอดมาตรฐาน

ในการศึกษาวงจรนี้จะสมมุติโดยกำหนดค่า R และ C ดังรูป จากการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิเคราะห์

$$T(S) = \frac{V_2}{V_1} = \frac{-1/(R_3R_4C_1C_2)}{S^2 + (1/R_1C_1)S + 1/(R_2R_4C_1C_2)} \quad 2.17$$

เป็นทรานส์เฟอร์ฟังก์ชันของโลว์พาสที่เป็นลบเมื่อเทียบกับรูปมาตรฐาน

$$\frac{+Hw_o^2}{S^2 + (w_o/Q)S + w_o^2}$$ จะได้

$$w_o^2 = \frac{1}{R_2R_4C_1C_2} \quad 2.18$$

$$\frac{w}{Q} = \frac{1}{R_1C_1} = \frac{1}{Q\,R_2R_4C_1C_2}$$

$$Q = \frac{R_1^2C_1}{R_2R_4C_2} \quad 2.19$$

$$H = \frac{R_2}{R_3} \quad 2.20$$

ถ้าสเกลค่าทั้งความถี่และขนาดให้ $C_1 = C_2 = 1F$, $R_4 = 1$โอห์ม

สมมติว่า $w_o = 1$ เรเดียน /วินาที ดังนั้นเราจะได้

$R_2 = 1$ โอห์ม

$R_1 = Q$ โอห์ม

$R_3 = 1/H$ โอห์ม

ดังวงจรในรูป 2.9 ที่ผ่านมาแล้ว

คุณสมบัติที่สำคัญของวงจรไบควอด คือเป็น Orthogonolly tuned

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

หมายถึง

1. R_2 ใช้ปรับให้ได้ค่า w_o

2. R_1 ใช้ปรับค่า Q ที่ต้องการโดยไม่ต้องเปลี่ยนค่า w_o (ซึ่งได้รับการปรับอยู่ก่อนแล้ว)

3.การปรับ R_3 เพื่อให้ได้ H ที่ต้องการหรือเกนของวงจรโดยไม่มีผลกับ w_o หรือ Q ซึ่งได้รับการเซ็ตค่าก่อน

ทั้งหมดนี้เป็นขั้นตอนที่เรียกว่า " อัลกอริทึมของการปรับค่า (tuning algorithm)" ซึ่งทำให้ได้ orthogonal tuning เรียกว่า iterative หมายถึงว่าการพยายามปรับเปลี่ยนค่าอุปกรณ์จนได้ค่าที่ต้องการ

สิ่งที่น่าสนใจคือ

$$\frac{V_3}{V_2} = -1$$

$$\frac{V_3}{V_1} = \frac{V_2}{V_1} \times \frac{V_3}{V_2} = \frac{-V_2}{V_1} \qquad 2.21$$

แสดงให้เห็นว่า $\frac{V_3}{V_1}$ มีทรานส์เฟอร์ฟังก์ชันแทน"ความถี่ต่ำผ่านไม่กลับเฟส(noninverting lowpass)" ลังเกตที่ V_3 กับ V_2 มีความสัมพันธ์คือ

$$\frac{V_3}{V_2} = \frac{1}{R_4C_2S} \qquad 2.22$$

จากกฎลูกโซ่ (Chain rule)

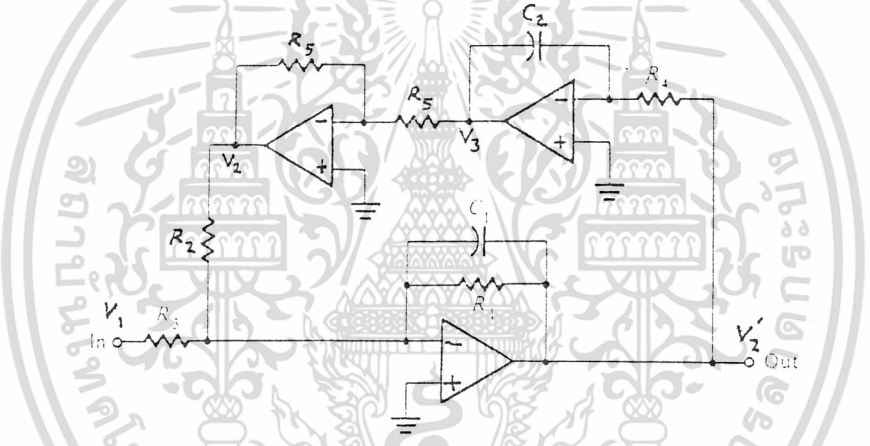
$$\frac{V_2'}{V_3} \times \frac{V_3}{V_2} \times \frac{V_2}{V_1} = \frac{V_2'}{V_1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_2'}{V_1} = \frac{(1/R_3C_1)S}{S^2 + (1/R_1C_1)S + 1/R_2R_4C_1C_2} \qquad 2.23$$

ความสัมพันธ์ของ $\frac{V_2'}{V_1}$ แสดงในรูป 2.11

รูป 2.10 เราพิจารณาหน้าที่ของวงจรอินเวอร์ติ้งเกนหนึ่ง (Unit-gain inverting) เป็นส่วนหนึ่งของวงจรไบควอดซึ่งทำงานด้วยการป้อนกลับแบบลบ โดยเหตุที่แต่ละส่วนในวงจรไบควอดเป็นภาคอินเวอร์ติ้งจึงจะต้องมีวงจรเป็นจำนวนคี่ ไม่เช่นนั้นการป้อนกลับจะเป็นแบบบวก หรืออาจใช้ภาคอินเวอร์ติ้ง 1ภาค และนอนอินเวอร์ติ้ง 2ภาคแทนได้



รูป 2.11 วงจรไบควอดช่วงความถี่ผ่าน

2.2วงจรและการทดลอง

2.2.1)การออกแบบวงจร ยึดหลักต่างๆดังนี้คือ

1)ค่าเบอร์เซ็นต์เตจแบนวิดธ์มากกว่า 80-100% ใช้ภาครีลว์พาสและวงจรผ่านความถี่สูงต่อคาสเคด (cascade) กัน ถ้าน้อยกว่า 80% ใช้วงจรแบนด์พาสฟิลเตอร์จริง

2)คำนึงถึงค่าความถี่ศูนย์กลาง (f_o), ค่า Q และค่าที่ต้องคูณเข้าไป

3)ใช้วงจรที่มีค่านอร์มอไลซ์ (normalize) ความถี่ 1 kHz และอิมพีแด้นซ์ 10 กิโลโอห์ม

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า Q ต่ำ (2-5) ใช้วงจรแบบมัลติเปิ้ลฟีดแบ็ค (Multiple feed-

back)

ค่า Q อื่นๆ ใช้วงจรแบบสเตทวาริเอเบิ้ล (state variable)

4)เลื่อน (shift) ความถี่โดยการคูณหรือหารค่าของ R ที่เป็นตัวกำหนดความถี่

5)สเกลให้ได้ค่าความถี่ศูนย์กลาง และเปลี่ยนค่าของคาปาซิเตอร์

6)สร้างวงจร ,จูน และทดสอบวงจร

การสเกลอิมพีแดนซ์ คูณค่าใดที่ R ต้องนำค่านั้นไปหารค่าคาปาซิเตอร์เดิมได้ค่าคาปาซิเตอร์ใหม่

การสเกลความถี่ ไม่มีผลกับค่า R

วงจรต้นแบบที่ใช้มีลักษณะดังรูป 2.9 โดยค่าของอุปกรณ์ในการนอร์มอไลซ์คือ

$R_1 = Q$ โอห์ม

$R_3 = 1/H$ โอห์ม

$R_4 = R_5 = R_6 = 1$ โอห์ม

$R_2 = w_o = 1$ โอห์ม

สเกลอิมพิแดนซ์ที่ 10 กิโลโอห์ม ค่าต่างๆของอุปกรณ์คือ R 10Q กิโลโอห์ม R 10/H กิโลโอห์ม $R_2 = R_4 = R_5 = R_6$ =10กิโลโอห์ม ค่า $C_1 = C_2$ เป็น $1/10k = 10^{-4}$ F ต่อมาทำการสเกลความถี่ไปที่ f_o =1 kHzหรือw =2 f_o kHz (โดย w_0= 1เป็นตัวกำหนด R_2 สำหรับวงจรนี้) ค่า $C_1=C_2$ จะเปลี่ยนเป็น 10^{-4}=15.92 $x10^3$ nF

เมื่อใช้ความสัมพันธ์ $R_{eq} = 1/f_cC$ โดยจะปรับเปลี่ยนวงจรเป็นสวิทช์คาปาซิเตอร์ไบควอด สำหรับความถี่คล็อค (f_c) = 100 kHzจะได้ค่าอุปกรณ์ที่ใช้ในวงจรดังนี้

อุปกรณ์	ค่าอุปกรณ์	คาปาซิเตอร์ที่ใช้ร่วมกับสวิทช์
R_2 , R_4 , R_5 , R_6	10 กิโลโอห์ม	1nF
R_1 (Q)	5 กิโลโอห์ม	2nF
R_3 (H =5.6)	1.78 กิโลโอห์ม	5.6nF

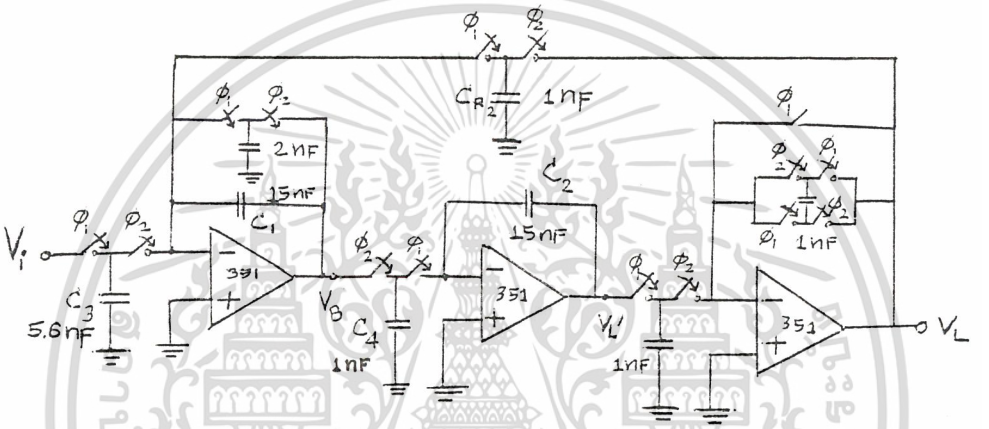
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ C_1, C_2 1.59 nF (ค่าคำนวณ) ใช้ 15nF

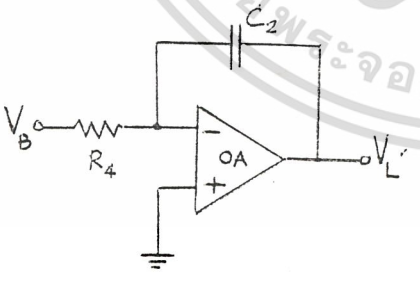
2.2.2)วงจรและการทดลอง

วงจรที่ใช้ทดลองสำหรับความถี่คล็อคควบคุมสวิทช์ 100 kHz และเฟสของคล็อคแสดงดังรูป 2.12

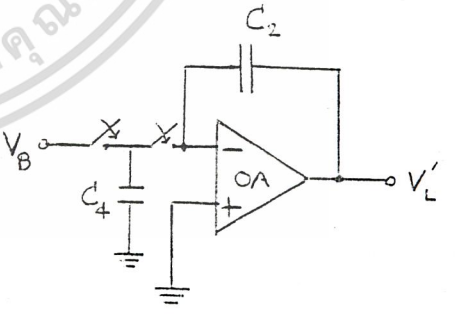
วงจรในรูป 2.12 ประกอบด้วย 3 ส่วน ซึ่งเวลาทำการทดลองพิจารณาให้แต่ละส่วนทำงานตามหน้าที่เสมือนวงจร อาร์ซี และเมื่อประกอบกันแล้วทำงานเป็นยูนิเวอร์ซัลฟิลเตอร์ ซึ่งสนใจเอาท์พุทที่เป็นแบนด์พาส (V_B)



รูป 2.12 สวิทช์คาปาซิเตอร์ไบควอด (ความถี่คล็อค 100 kHz)



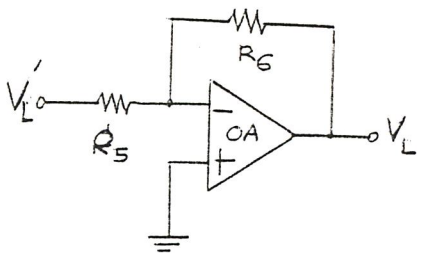
รูป 2.13 ก วงจรอินเวอร์ติ้งอินทิเกรเตอร์



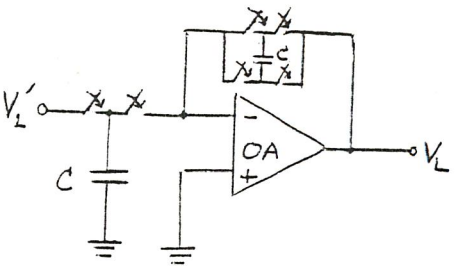
2.13 ข วงจรสมมูลกับรูป ก จากสมการ

$$\frac{V_L'}{V_B} = \frac{-1}{SR_4C_2} \qquad \frac{V_L'}{V_B} = \frac{-(f_cC_4)}{SC_2} \qquad 2.24$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.14 ก วงจรอินเวอร์ติ้งแอมปลิฟลาย

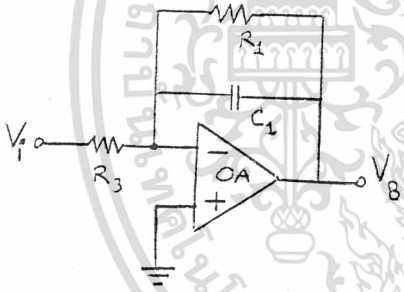


2.14 ข วงจรสมมูลกับรูป ก

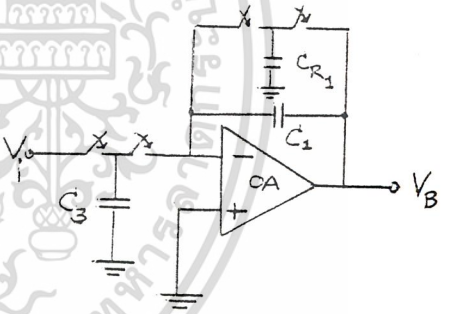
จากสมการ

$$\frac{V_L}{V_L'} = \frac{-R_6}{R_5} = -1$$

$$\frac{V_L}{V_L'} = -1$$



รูป 2.15 ก วงจรอินเวอร์ติ้งลอสซีอินทิเกรเตอร์



2.15 ข วงจรสมมูลกับรูป ก

จากสมการ

$$\frac{V_B}{V_i} = \frac{-(1/R_3C_1)S}{S^2 + (1/R_1C_1)S + 1/R_2R_4C_1C_2}$$

$$\frac{V_B}{V_i} = \frac{-(f_cC_3/C_1)S}{S^2 + (f_cC_{R1}S/C_1) + (f_c^2C_{R2}C_{R4}/C_1C_2)} \quad 2.15$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองทำการจูนค่าความถี่คัตออฟ ซึ่งจะทำให้ค่าความต้านทานเสมือน

ของสวิทช์คาปาซิเตอร์แบรค่าไบ ได้ทำการทดลองโดยใช้ความถี่คล็อค 100 kHz, 50kHz และ 25kHz ตามลำดับ ตามทฤษฎี ทำให้ความถี่คุณลักษณะ (f_o)ลดลงทีละครึ่งหนึ่งตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3ผลการทดลอง

f_c = 100 kHz

V_i = ±2 V.

	Frequency (Hz)	Vout(volt)	dB
1	200	0.080	-7.959
2	300	0.100	-6.021
3	400	0.120	-4.437
4	500	0.170	-1.412
5	600	0.200	0.000
6	700	0.220	0.828
7	800	0.260	2.279
8	900	0.300	3.522
9	1000	0.340	4.609
10	1100	0.380	5.575
11	1200	0.390	5.801
12	1300	0.400	6.021
13	1400	0.420	6.444
14	1500	0.420	6.444
15	1600	0.420	6.444
16	1700	0.410	6.235
17	1800	0.400	6.021
18	1900	0.380	5.575
19	2000	0.380	5.575
20	2100	0.350	4.861
21	2200	0.330	4.350
22	2300	0.320	4.082
23	2400	0.310	3.807
24	2500	0.300	3.522
25	2600	0.290	3.227
26	2700	0.270	2.607
27	2800	0.270	2.607
28	2900	0.250	1.938
29	3000	0.250	1.938
30	3200	0.230	1.214
31	3400	0.210	0.424
32	3800	0.190	-0.446
33	4000	0.170	-1.412
34	5000	0.140	-3.098
35	6000	0.110	-5.193
36	8000	0.090	-6.936
37	10000	0.080	-7.959

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f_c = 50 kHz

V_i = ±2 V.

	Frequency (Hz)	Vout(volt)	dB
1	100	0.048	-12.396
2	200	0.088	-7.131
3	300	0.130	-3.742
4	400	0.180	-0.915
5	500	0.230	1.214
6	600	0.270	2.607
7	700	0.280	2.923
8	800	0.300	3.522
9	900	0.290	3.227
10	1000	0.280	2.923
11	1100	0.250	1.938
12	1200	0.250	1.938
13	1300	0.210	0.424
14	1400	0.210	0.424
15	1500	0.190	-0.446
16	1600	0.180	-0.915
17	1700	0.160	-1.938
18	1800	0.160	-1.938
19	1900	0.160	-1.938
20	2000	0.140	-3.098
21	2100	0.130	-3.742
22	2200	0.120	-4.437
23	2300	0.120	-4.437
24	2400	0.120	-4.437
25	2500	0.110	-5.193
26	2600	0.100	-6.021
27	2700	0.100	-6.021
28	2800	0.095	-6.466
29	2900	0.090	-6.936
30	3000	0.090	-6.936
31	3100	0.090	-6.936
32	3500	0.070	-9.119
33	4000	0.070	-9.119
34	5000	0.050	-12.041
35	6000	0.045	-12.956
36	7000	0.035	-15.139

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f_c = 25 kHz

V_i = ±2 V.

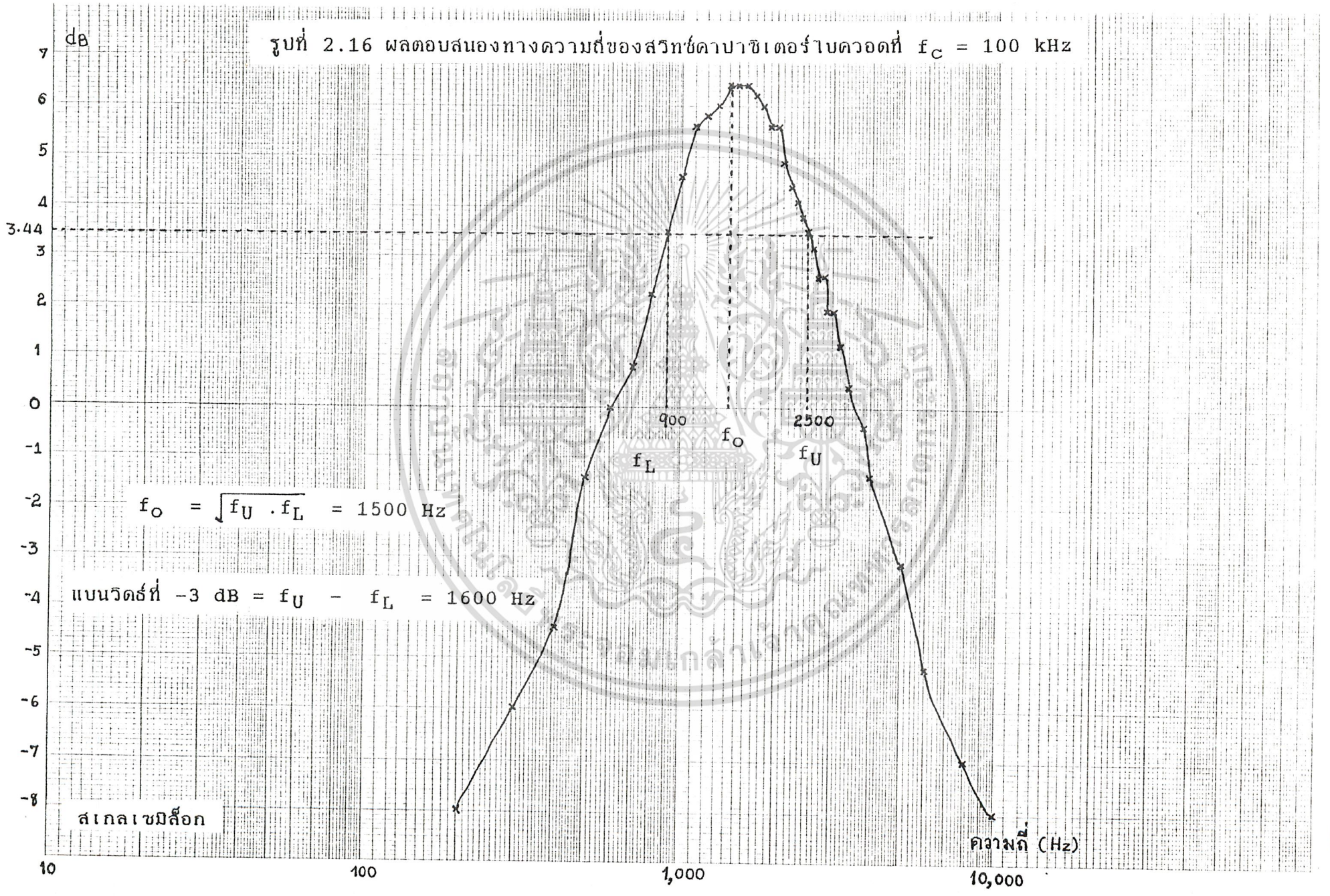
	Frequency (Hz)	Vout(volt)	dB
1	50	0.050	-12.041
2	100	0.100	-6.021
3	200	0.200	0.000
4	300	0.300	3.522
5	350	0.320	4.082
6	400	0.330	4.350
7	500	0.315	3.946
8	600	0.290	3.227
9	800	0.200	0.000
10	1000	0.160	-1.938
11	1100	0.150	-2.499
12	1200	0.130	-3.742
13	1300	0.120	-4.437
14	1400	0.110	-5.193
15	1500	0.100	-6.021
16	1600	0.095	-6.466
17	1800	0.090	-6.936
18	2000	0.080	-7.959
19	2500	0.060	-10.458

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

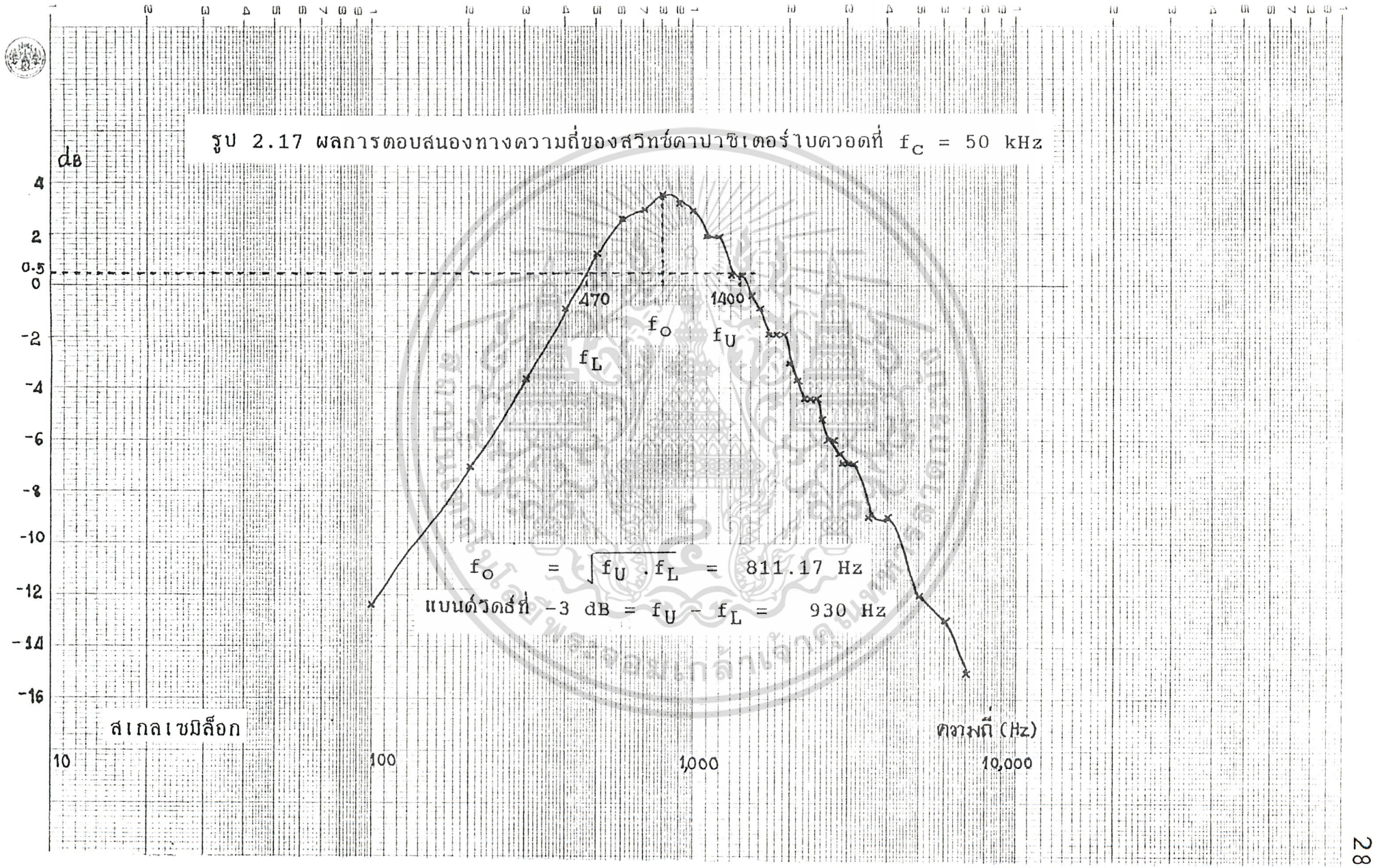
วงจรอาร์ซี ไบควอด

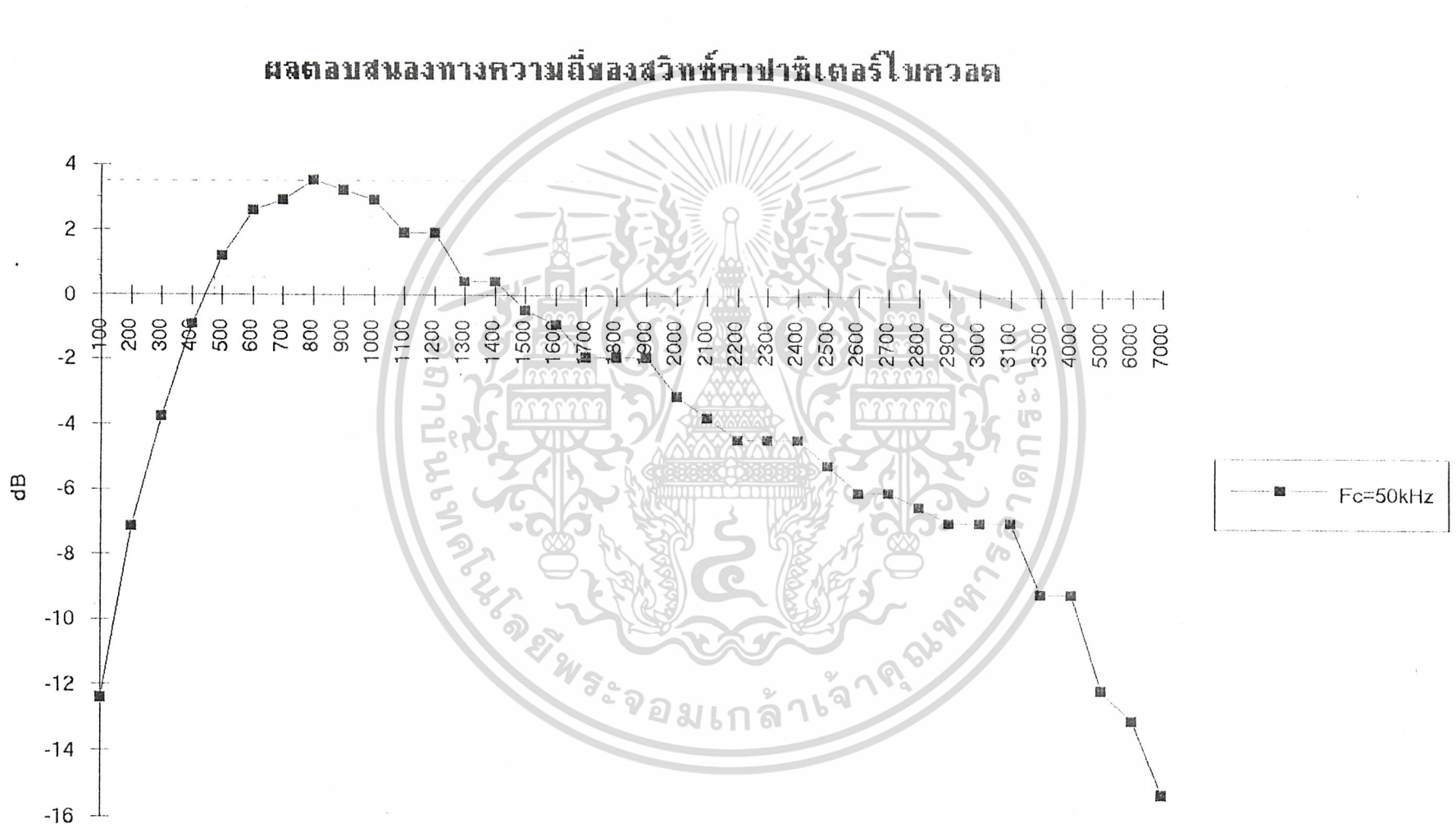
	Frequency (Hz)	Vout(volt)	dB
1	100	0.190	-0.446
2	200	0.260	2.279
3	300	0.320	4.082
4	400	0.370	5.343
5	500	0.400	6.021
6	600	0.440	6.848
7	700	0.460	7.235
8	800	0.480	7.604
9	900	0.470	7.421
10	1000	0.460	7.235
11	1100	0.440	6.848
12	1200	0.420	6.444
13	1300	0.400	6.021
14	1400	0.380	5.575
15	1500	0.350	4.861
16	1600	0.340	4.609
17	1700	0.320	4.082
18	1800	0.300	3.522
19	1900	0.280	2.923
20	2000	0.270	2.607
21	2100	0.260	2.279
22	220	0.250	1.938
23	2300	0.240	1.584
24	2400	0.230	1.214
25	2500	0.220	0.828
26	2600	0.220	0.828
27	2700	0.200	0.000
28	2800	0.195	-0.220
29	2900	0.190	-0.446
30	3000	0.180	-0.915
31	3100	0.180	-0.915
32	3500	0.155	-2.214
33	4000	0.140	-3.098
34	5000	0.105	-5.597
35	6000	0.095	-6.466
36	7000	0.080	-7.959

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


dB
รูปที่ 2.16 ผลตอบสนองทางความถี่ของสวิทช์คาปาซิเตอร์โบควอดที่ f_C = 100 kHz
7
6
5
4
3.44
3
2
1
0
-1
-2
-3
-4
-5
-6
-7
-8
900
f_O
2500
f_L
f_U
$f_O = \sqrt{f_U \cdot f_L}$ = 1500 Hz
แบนวิดธ์ที่ -3 dB = f_U - f_L = 1600 Hz
สเกลเซมิล็อก
10
100
1,000
10,000
ความถี่ (Hz)

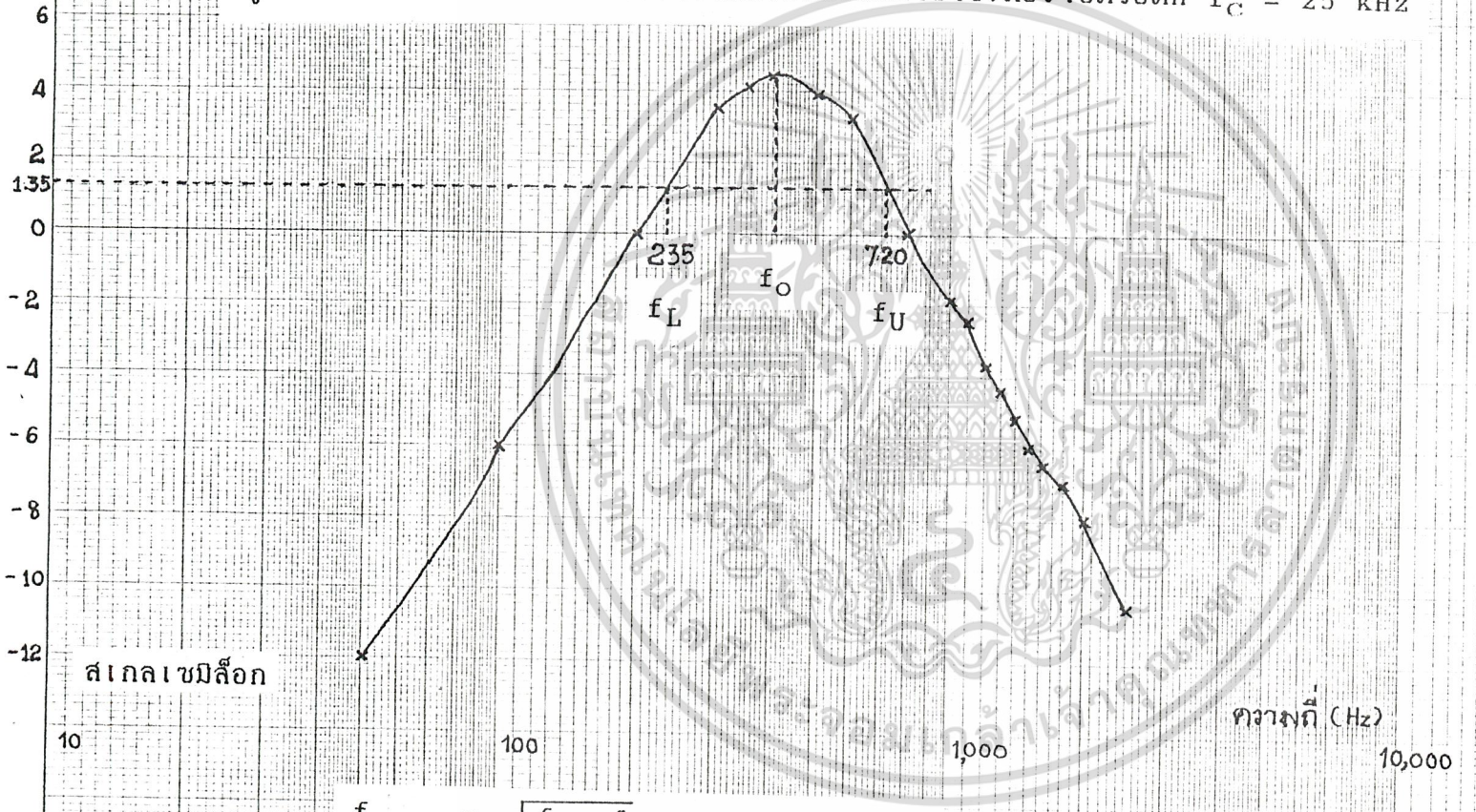
ผลตอบสนองทางความถี่ของสวิทช์คาปาซิเตอร์ไบควอด
dB
8
6
4
2
0
-2
-4
-6
-8
200
300
400
500
600
700
800
900
1000
1100
1200
1300
1400
1500
1600
1700
1800
1900
2000
2100
2200
2300
2400
2500
2600
2700
2800
2900
3000
3200
3400
3800
4000
5000
6000
8000
10000
Fc=100kHz


รูป 2.17 ผลการตอบสนองทางความถี่ของสวิทช์คาปาซิเตอร์ไบควอดที่ f_C = 50 kHz
dB
4
2
0.5
0
-2
-4
-6
-8
-10
-12
-14
-16
470
1400
f_L
f_O
f_U
$f_O = \sqrt{f_U \cdot f_L}$ = 811.17 Hz
แบนด์วิดธ์ที่ -3 dB = $f_U - f_L$ = 930 Hz
สเกลเซมิล็อก
10
100
1,000
10,000
ความถี่ (Hz)



สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

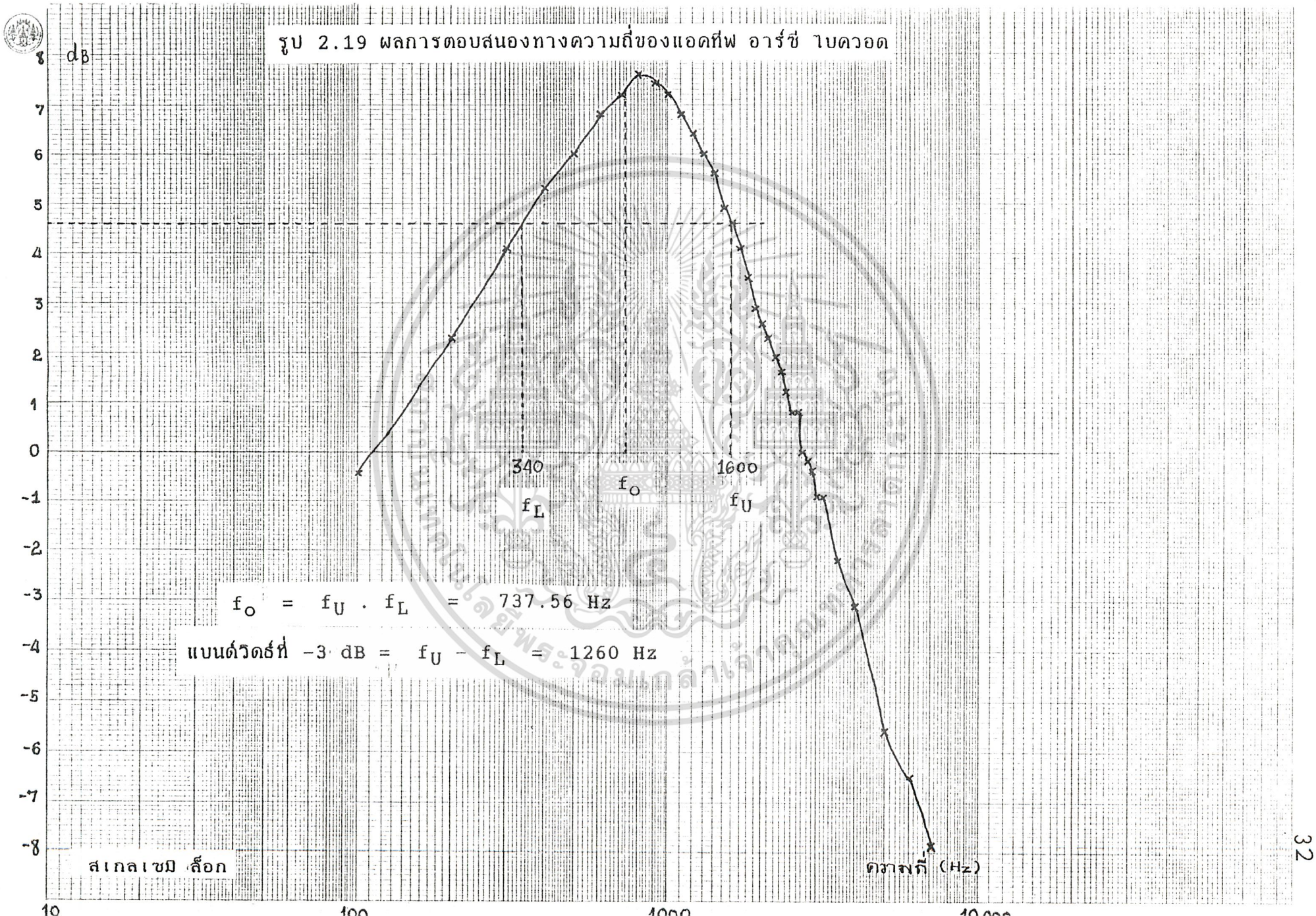
รูป 2.18 ผลการตอบสนองทางความถี่ของสวิทช์คาปาซิเตอร์ไบควอดที่ f_C = 25 kHz

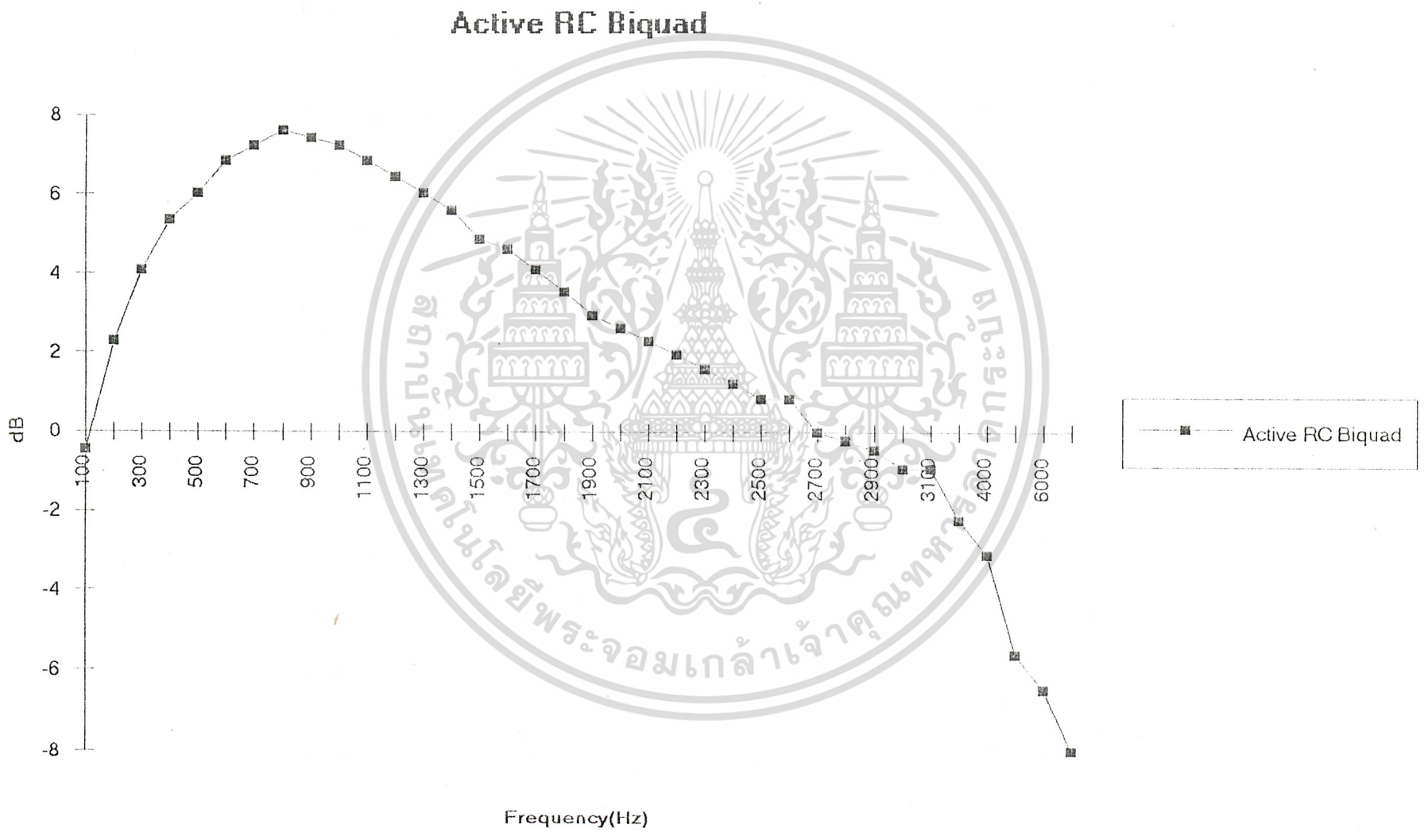


$f_O = \sqrt{f_U \cdot f_L} = 411.34$ Hz

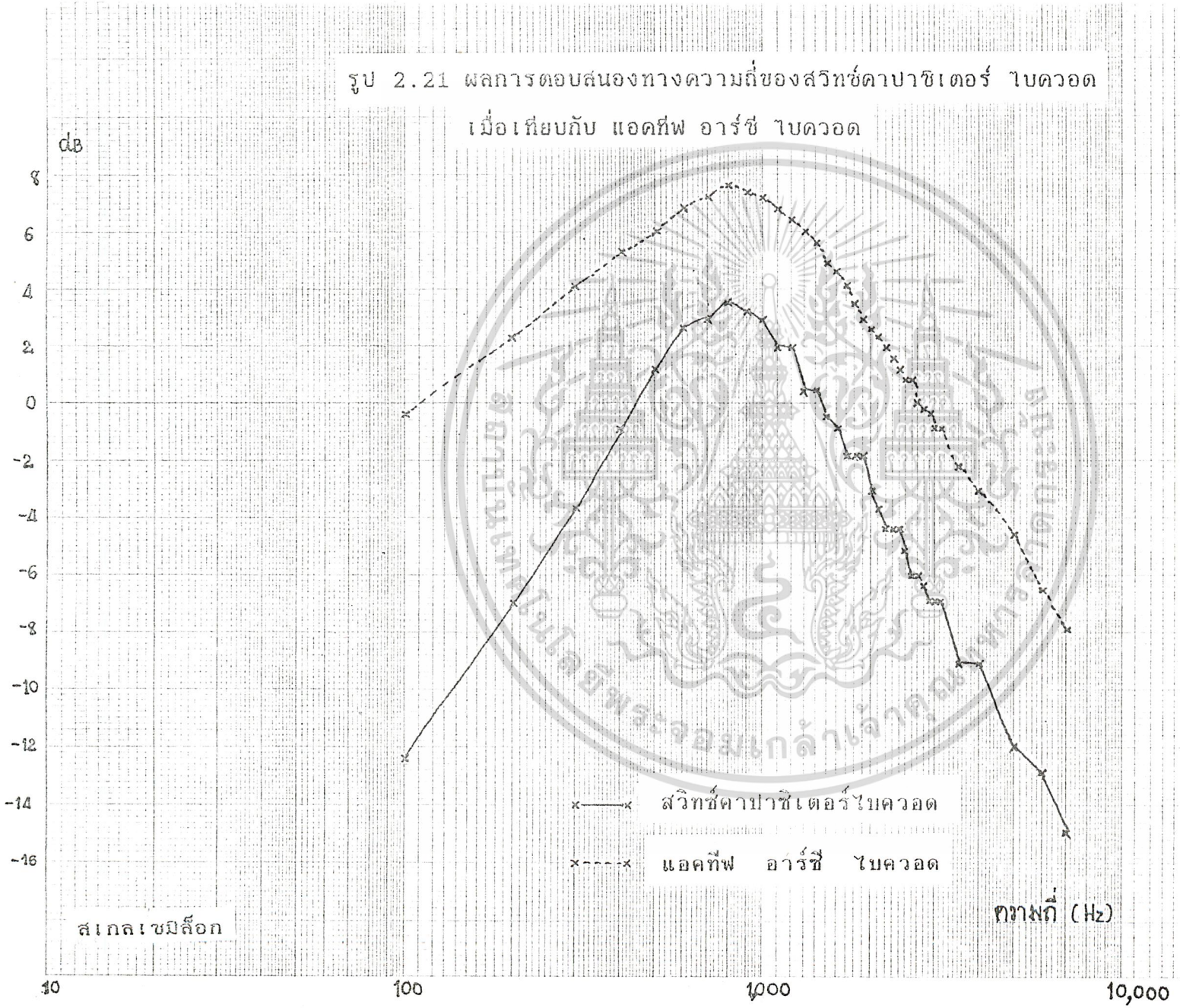
แบนด์วิดธ์ที่ -3 dB = $f_U - f_L = 485$ Hz

ผลตอบสนองทางความถี่ของสวิทช์คาปาซิเตอร์โมดวลต
6
4
2
0
-2
-4
-6
-8
-10
-12
-14
dB
50
100
200
300
350
400
500
600
800
1000
1100
1200
1300
1400
1500
1600
1800
2000
2500
Fc =25 kHz


รูป 2.19 ผลการตอบสนองทางความถี่ของแอคทีฟ อาร์ซี ไบควอด
dB
8
7
6
5
4
3
2
1
0
-1
-2
-3
-4
-5
-6
-7
-8
340
f_L
f_O
1600
f_U
$f_O = f_U \cdot f_L = 737.56$ Hz
แบนด์วิดธ์ที่ -3 dB = $f_U - f_L = 1260$ Hz
สเกลเซมิ ล็อก
ความถี่ (Hz)
10
100
1000
10000

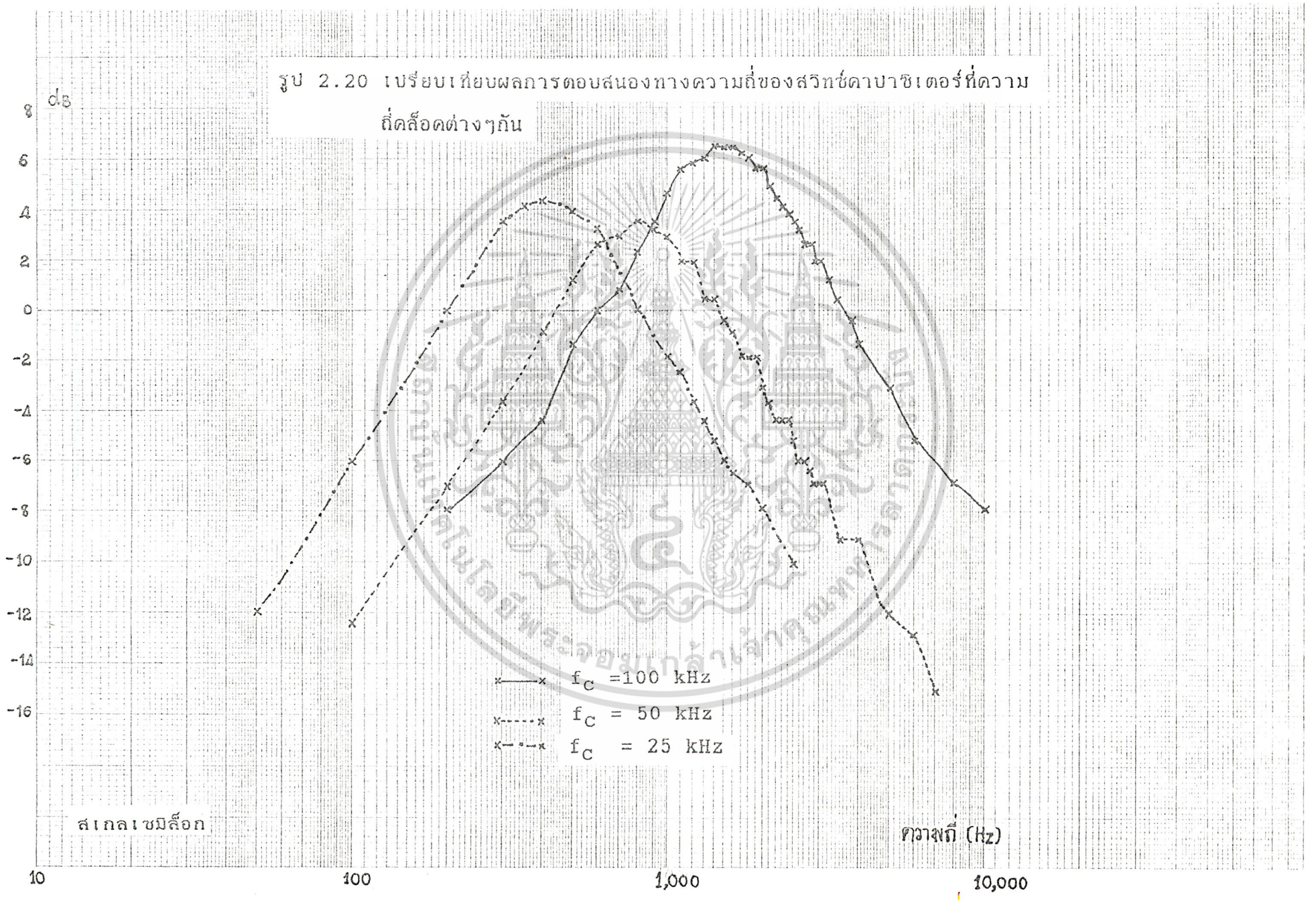

Active RC Biquad
8
6
4
2
0
-2
-4
-6
-8
dB
100
300
500
700
900
1100
1300
1500
1700
1900
2100
2300
2500
2700
2900
3100
4000
6000
Frequency(Hz)
Active RC Biquad

รูป 2.21 ผลการตอบสนองทางความถี่ของสวิทซ์คาปาซิเตอร์ ไบควอด
เมื่อเทียบกับ แอคทีฟ อาร์ซี ไบควอด



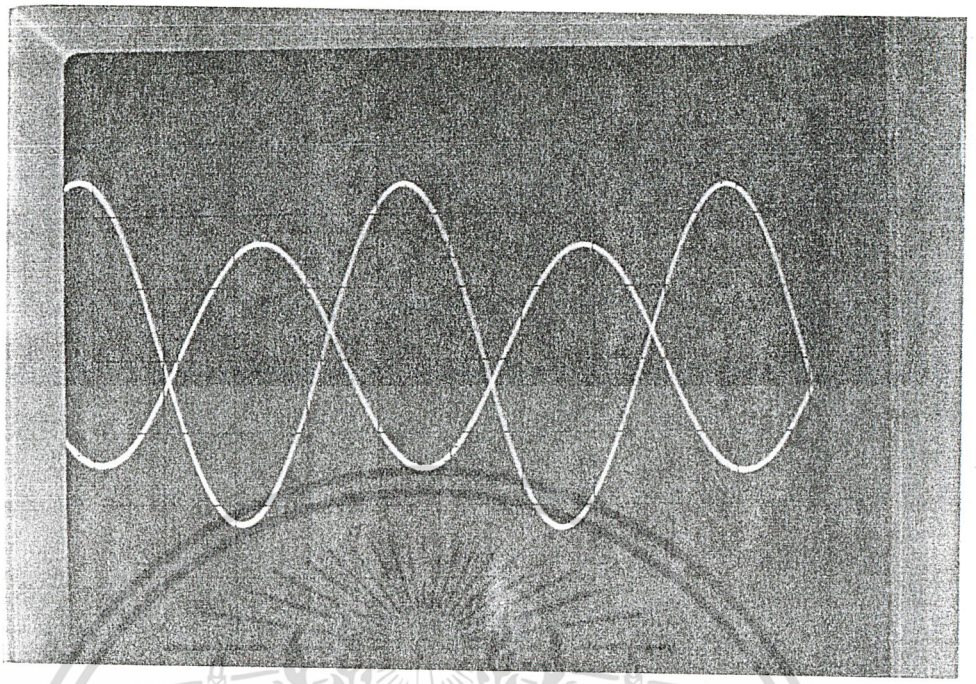
10
5
0
-5
-10
-15
-20
dB
100
300
500
700
900
1100
1300
1500
1700
1900
2100
2300
2500
2700
2900
3100
6000
Frequency(Hz)
Active RC biquad
switched capacitor biquad

รูป 2.20 เปรียบเทียบผลการตอบสนองทางความถี่ของสวิทช์คาปาซิเตอร์ที่ความถี่คล็อคต่างๆกัน

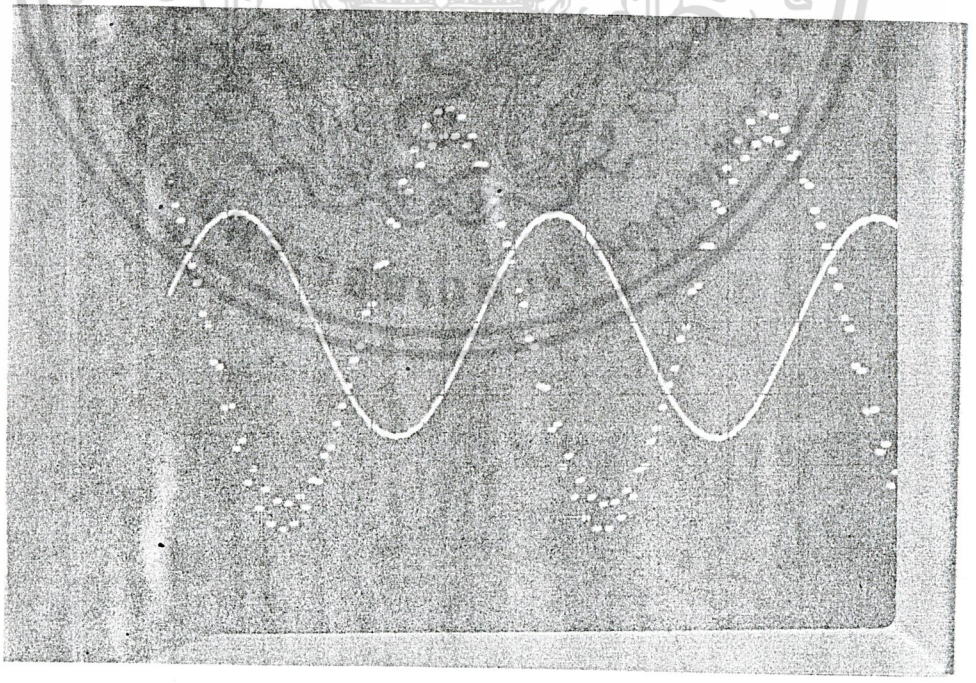


สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ขนาดอินพุท $V_i = \pm 0.2$ โวลต์ , ความถี่ 500 เฮิร์ท

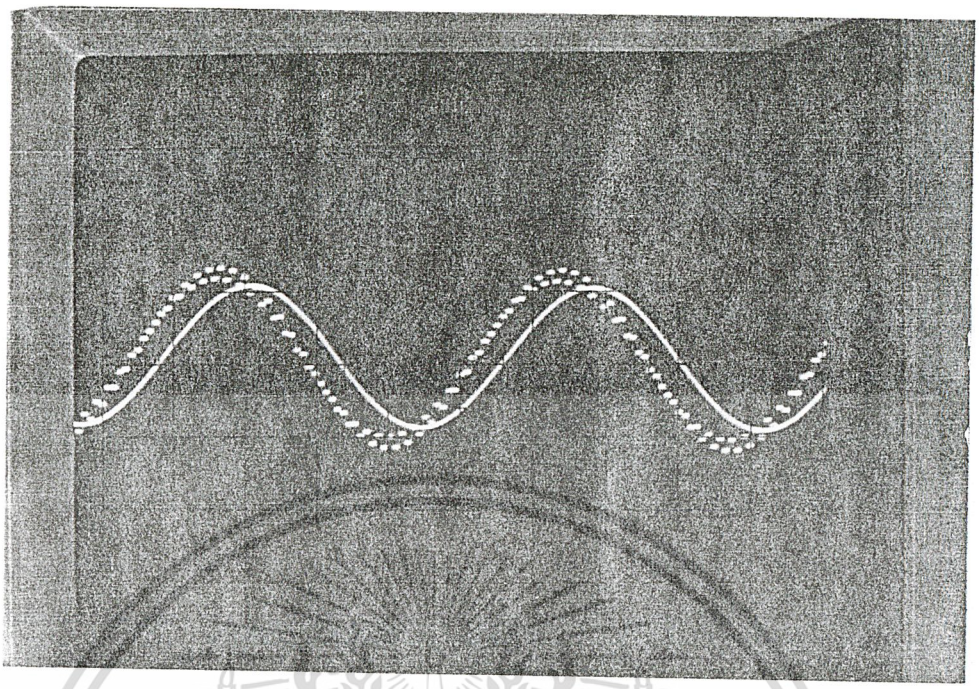


รูป 2.22 รูปคลื่นจากวงจรแอคทีฟ อาร์ซี ไบควอด



รูป 2.23 รูปคลื่นจากวงจรสวิทช์คาปาซิเตอร์ ไบควอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.24 รูปคลื่นเปรียบเทียบจากวงจรทั้งสอง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4สรุปและวิจารณ์

จากหลักการสร้างวงจรไบควอด ซึ่งประยุกต์ใช้สวิทช์คาปาซิเตอร์แทนตัวความต้านทานในวงจรแอคทีฟ อาร์ซี ไบควอด (Active RC Biquad) จะพบว่าผลการทดลองที่ได้มีค่าใกล้เคียงกัน ดังในรูป 2.17ซึ่งใช้สวิทช์คาปาซิเตอร์ที่มีสัญญาณคล็อคควบคุมสวิทช์(f_c)=50kHzในวงจรไบควอด จะมีค่าแบนด์วิดธ์ (BW) ประมาณ 930 Hz และความถี่ศูนย์กลาง (f_o) อยู่ที่ 811.17 Hz

เมื่อเทียบกับรูปที่ 2.19 ที่เป็นวงจรแอคทีฟ อาร์ซีไบควอด แบนด์วิดธ์จะมีค่าประมาณ 1260 Hz และมีความถี่ศูนย์กลางที่ 737.56 Hz ซึ่งจากการเปรียบเทียบผลทั้ง2วงจร แสดงให้เห็นว่า สามารถใช้สวิทช์คาปาซิเตอร์แทนตัวความต้านทานได้ แม้ว่าจะมีความคลาดเคลื่อนเกิดขึ้นซึ่งอาจเกิดจาก -ค่าความผิดพลาดของอุปกรณ์ตัวความต้าน- และคาปาซิเตอร์

-ค่าแรงดันไฟฟ้าออฟเซ็ตของออปแอมป์ ซึ่งได้กล่าวไว้ในภาคผนวก ข

-การเดินสายต่างๆในวงจรอาจทำให้เกิดสเตรย์ คาปาซิแตนซ์(stray capacitance)

และนอกจากนั้นอาจเกิดจากความผิดพลาดของผู้ทดลองในการอ่านค่าต่างๆ

ข้อสังเกตอย่างหนึ่ง ที่แสดงให้เห็นว่าวงจรสวิทช์คาปาซิเตอร์มีการใช้งานที่กว้างกว่าวงจรแอคทีฟ อาร์ซี ไบควอด คือเมื่อเปลี่ยนความถี่ของสัญญาณคล็อคที่ใช้ควบคุมสวิทช์ เพิ่มขึ้นเป็น 2 เท่า ทำให้แบนด์วิดธ์เพิ่มขึ้นประมาณ 2เท่าเช่นกัน และสามารถเลื่อนความถี่ศูนย์กลาง (f_o) สูงขึ้นประมาณ 2 เท่า ดังรูป 2.16 , 2.17 ,2.18 ทำให้วงจรมีความยืดหยุ่น (flexible)สูง เมื่อเทียบกับวงจรแอคทีฟ อาร์ซี ไบควอดจะสามารถใช้งานได้เฉพาะในช่วงการตอบสนองทางความถี่ที่ได้ออกแบบไว้

วงจรที่ได้ออกแบบมีย่านการทำงานในช่วงความถี่เสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3

เครื่องขยายสัญญาณซึ่งมีอัตราการขยายแบบล็อก

(Logalithmic Amplifier)

3.1 ทฤษฎี

เครื่องขยายสัญญาณซึ่งมีอัตราขยายแบบล็อก ปรกติจะสร้างขึ้นโดยใช้ไดโอด หรือทรานซิสเตอร์เป็นวงจรป้อนกลับของออปแอมป์ และใช้คุณสมบัติความสัมพันธ์ระหว่างกระแสที่ผ่านไดโอดกับศักย์ไฟฟ้าที่ตกคร่อมไดโอดตาม 3.1 เป็นหลัก

$$I = I_a(e^{qV/KT}-1) \qquad (3.1)$$

เพราะสัญลักษณ์ต่างๆที่ใช้ใน 3.1 นี้เป็นที่รู้จักกันดีทั่วไป ฉะนั้นในที่นี้จะขอเว้นการกล่าวถึงความหมายของสัญญลักษณ์นั้นๆ เพื่อเป็นการประหยัดหน้ากระดาษ

เครื่องขยายสัญญาณซึ่งมีอัตราการขยายแบบล็อกโดยอาศัยหลักการดังกล่าวนี้มีข้อเสียซึ่งเห็นได้ชัดดังต่อไปนี้คือ

1.มีอัตราการเปลี่ยนแปลงของศักย์ไฟฟ้าทางเอาท์พุทต่ำมาก กล่าวคือแม้จะมีการเปลี่ยนแปลงของศักย์ไฟฟ้าทางอินพุทถึง 10 เท่าตัว(1 decade) ก็จะมีการเปลี่ยนแปลงศักย์ไฟฟ้าทางด้านเอาท์พุทประมาณ 60 mV เท่านั้นเอง

2.อุณหภูมิมีอิทธิพลต่อค่าศักย์ไฟฟ้า ที่ได้จากเอาท์พุทมากดังจะเห็นได้จาก 3.1 ว่าอุณหภูมิ T ปรากฏอยู่ในพจน์เอกซ์โปเนนเชียล และยิ่งกว่านั้นค่ากระแสอิ่มตัว I_a ก็ยังขึ้นอยู่กับอุณหภูมิด้วย

สำหรับค่ากระแส I ที่ค่าคงที่ ศักย์ไฟฟ้าจะเปลี่ยนไปประมาณ -2 mV/C นั่นคือถ้าสมมติว่า อุณหภูมิเปลี่ยนไป 30 °C ย่อมจะเป็นผลทำให้เกิดการเปลี่ยนไปของศักย์ไฟฟ้าที่เอาท์พุท เป็นจำนวนเท่ากับการเปลี่ยนแปลงที่เกิดจากศักย์ไฟฟ้า ที่อินพุทเปลี่ยนไป 10เท่าตัว ดังนั้นเครื่องขยายสัญญาณซึ่งมีอัตราการขยายแบบล็อก ซึ่งใช้ไดโอดหรือทรานซิสเตอร์จึงจำเป็นที่จะต้องมีวงจรสำหรับชดเชย ต่ออิทธิพลของการเปลี่ยนแปลงอุณหภูมิเป็นอย่างดี เพื่อแก้ปัญหาดังกล่าวมาแล้วได้มีการคิดวงจรเครื่องขยายสัญญาณแบบล็อกที่ใช้เทคนิคการกระตุ้น IC 555 โดยการประจุไฟฟ้าให้เก็บตัวเก็บประจุขึ้น แต่วิธีการดังกล่าวก็ยังมีข้อเสีย ที่เอาท์พุทของวงจรนั้นจะกระเพื่อม (ripple) ของสัญญาณสูง ผลตอบสนองช้า และทั้งยังมีค่าผิดพลาดที่เกิดขึ้นจากความกว้างของสัญญาณที่นำมาใช้กระตุ้นการทำงานของ IC 555 ด้วย

วงจรที่ได้นำเสนอนี้ ใช้หลักการคายประจุในวงจร RC มาควบคุมการประจุไฟฟ้าของวงจรอินทิเกรเตอร์ และทำการสุ่มและรักษา (sample&hold) ค่าสัญญาณเอาท์พุทนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น

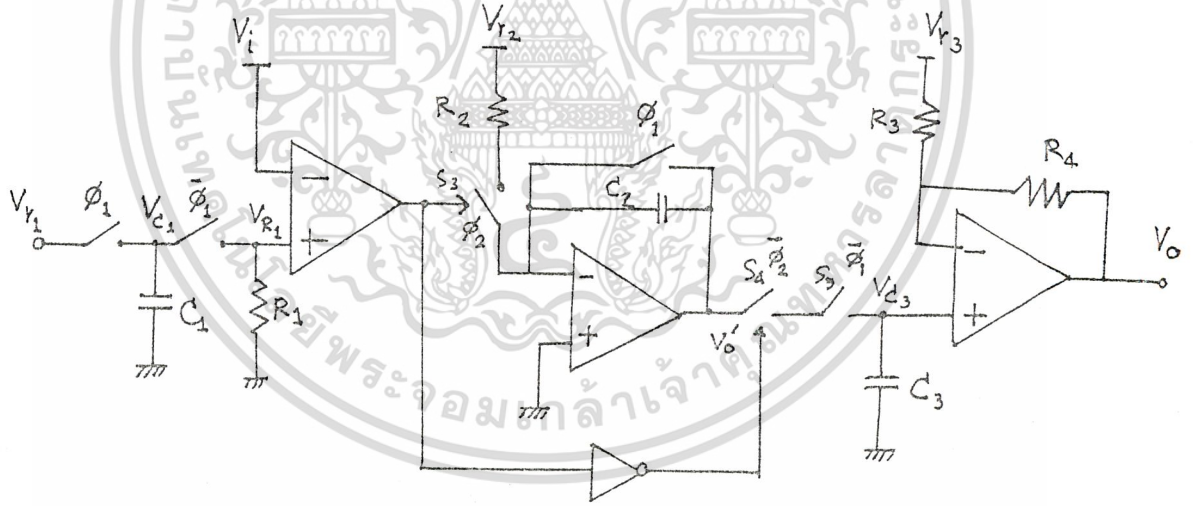
าว้ ทาให้เกิดมีการเปลี่ยนแปลงของศักย์ไฟฟ้าที่เอาท์พุท ในลักษณะที่เป็นเชิงล็อก เมื่อเทียบค่าศักย์ไฟฟ้าที่อินพุท วงจรนี้มีข้อดีเหนือกว่าวงจรขยายสัญญาณซึ่งมีอัตราขยายสัญญาณแบบล็อกแบบเดิม คือ

1.อุณหภูมิมีอิทธิพลต่ออัตราการขยายน้อยมาก

2.อัตราการเปลี่ยนแปลงของศักย์ไฟฟ้าที่อินพุท สามารถทาให้เกิดการเปลี่ยนแปลงของศักย์ไฟฟ้าที่เอาท์พุทได้มาก (ขึ้นอยู่กับอัตราการประจุของตัวเก็บประจุในวงจรอินติเกรเตอร์)

ข้อจากัดของวงจรใหม่นี้คือ สามารถใช้ได้ดีในย่านความถี่ที่ไม่สูงนัก เช่น ใช้ในย่านความถี่เสียงเป็นต้น เพราะมีหลักการทางานโดยอาศัย เทคนิคของการส่งสัญญาณ (sampling technique)

วงจรเครื่องขยายสัญญาณ ซึ่งมีอัตราขยายสัญญาณแบบล็อกแบบใหม่นี้ มีวงจรดังแสดงในรูป 3.1 วงจรนี้ทางานโดยมีวงจรที่สร้างสัญญาณควบคุมสวิทช์ ϕ_1และ ϕ_2 ที่มีลักษณะสัมพันธ์กันดังรูป 3.2



รูป 3.1 เครื่องขยายเสียงที่มีอัตราการขยายแบบล็อก

เมื่อ ϕ_1 on จะทาให้เกิดการประจุ C_1 ให้มีศักย์ไฟฟ้าคร่อมตัว C_1 เท่ากับค่าศักย์ไฟฟ้าอ้างอิง (reference voltage) V_{r1} และเมื่อ ϕ_1 off และ ϕ_2 on จะเกิดการคายประจุของ C_1 ผ่าน R_1 ขึ้นทาให้เกิดศักย์ไฟฟ้า V_{r1} คร่อม R_1 ที่เปลี่ยนแปลงตามเวลาในลักษณะเอกโปเนนเชียล กล่าวคือ

$$V_{R1}=V_{R1}e^{(t-t0)/R1C1} \qquad (3.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สาหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งนี้ ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย t_0 ในที่นี้คือเวลาที่ C1 เริ่มต้นคายประจุ (เวลาที่ $_2$ เริ่ม on) ค่าศักย์ไฟฟ้า V_{r2} นี้จะถูกนำมาเปรียบเทียบกับระดับศักย์ไฟฟ้าอินพุท V_1 โดยอาศัย IC A_1 เป็นตัวทำการเปรียบเทียบ โดย IC A_1 ให้เอาท์พุท $_2$ ออกมาเป็นค่าบวก เมื่อ $V_{R1}>V_1$

ดังนั้นช่วงเวลา T ที่ เอาท์พุท ของ IC A_1 มีค่าเป็นบวกสามารถคำนวณได้โดยอาศัย(3.2) เมื่อให้ $t-t_0 = T$ กล่าวคือ

$$V_{r1}e^{(tr/R1C1)} = V_i \qquad (3.3)$$

ซึ่งจะคำนวณต่อไปได้ว่า

$$e^{(tr/R1C1)} = V_i/V_{r1} \qquad (3.4)$$

หรือ

$$T = R_1C_1 \ln V_i - R_1C_1 \ln V_{ri}$$

$$= R_1C_1 \ln V_i - K \qquad (3.5)$$

โดยในที่นี้ $K = R_1C_1 \ln V_i$ ซึ่งมีค่าคงที่ถ้าศักย์ไฟฟ้าอ้างอิง V_{ri} คงที่ และเพราะสวิทช์ S_3 ถูกควบคุมให้ทำงานโดย ϕ_2 ดังนั้นวงจรอินติเกรเตอร์ IC A_2 จะอินติเกรตสัญญาณจากศักย์ไฟฟ้าอ้างอิง V_{r2} เป็นเวลา T วินาที เพราะฉะนั้นถ้าสมมติว่าเวลาเริ่มต้นไม่มีประจุค้างอยู่บน C_2 เลย เอาท์พุท V_0 ของอินติเกรเตอร์ (IC A_2) จะมีค่าสูงสุดคือ

$$V_o'/_{max} = (V_{r2}T)/R_2T_2) \qquad (3.6)$$

สวิทช์ S_5 จะทำงานร่วมกันเหมือน AND GATE ที่จะสุ่มเก็บค่าเอาท์พุทจาก IC A_2 ไว้บน C_3 ในช่วงเวลาที่เอาท์พุทของ IC A_1 มีค่าเป็นศูนย์ และสัญญาณ O_2 on ซึ่งจะเห็นได้ว่า ถ้าอินพุทอิมพีแดนว์ของ ic a_3 และความต้านทานขณะปิด (off resistance) ของสวิทช์ S_3 มีค่าสูงมาก C_3ก็จะทำหน้าที่รักษาศักย์ไฟฟ้าคร่อมตัวมันเอง ให้มีค่าคงที่เท่ากับ $V'_o/_{max}$ อยู่ตลอดเวลา IC_3 นอกจากจะเป็นส่วนหนึ่งของ holding circuit ให้กับค่าสัญญาณบน C_3 แล้วยังทำหน้าที่เป็นวงจร differential amplifier ซึ่งให้เอาท์พุท V_oที่สามารถคำนวณได้ดังต่อไปนี้ คือ

$$V_o = V_{c1}\ (1+R_4/R_3) - V_{r3}\ R_4/R_3 \qquad (3.7)$$

โดยในที่นี้ V_{c3} และ V_{r3} คือค่าศักดาไฟฟ้าที่คร่อม C_3 และศักดาไฟหน้าอ้างอิงที่ต่ออยู่กับ R_3 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การแสวงหากำไร ทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจาก V_{c3} จะถูก hold ให้เท่ากับ $V'_{o/max}$ อยู่ตลอดเวลา ดังนั้นโดยอาศัย (2-4) , (2-5) และ (2-6) เราจะได้

$$V_o = \{V_{r2}(R_1C_1 \ln V_1 - K)(1+R_4/R_3) / (R_2C_2)\} - (V_{r3} R_4/R_3)$$

$$= [V_{r2}(R_3 + R_4)(R_1C_1 \ln V_1 - K)/R_2R_3C_2)] - (V_{r3} R_4/R_3) \quad (3.8)$$

ถ้าเราเลือกใช้ค่า $V_{r3} = -[KV_{r2}(R_3+R_4) / (R_2R_4C_2)]$ แล้วจะได้

$$V_o = (R_3+ R_4)V_{r2} R_1C_1 \ln V_i / (R_2R_3C_2)$$

$$= \frac{(R_3+ R_4) V_{r2} R_1C_1 \log V_i/\log e}{R_2R_3C_2}$$

$$V_o = K \log V_i \quad (\text{โดยที่ } K = \frac{(R_3+ R_4) V_{r2} R_1C_1}{R_2R_3C_2} / \log e) \quad (3.9)$$

ซึ่งเราจะพบว่า เอาท์พุท V_o นี้จะเปลี่ยนตามค่าล็อกของอินพุท V_i ต่อมาเมื่อสัญญาณควบคุม ϕ_1 ถึงเวลา on เราจะพบว่าสถานภาพต่างๆของวงจรถูก resetกลับไปสู่สถานะเดิมที่เริ่มต้น กล่าวคือ C_1 จะถูกประจุเพื่อให้มีศักดาไฟฟ้าคร่อมตัวมันเท่ากับ V_{r1}และประจุบน C_2 จะมีค่าเท่ากับศูนย์ ยกเว้นเพียงแต่ศักดาไฟฟ้าคร่อม C_3 เท่านั้นที่จะถูกรักษาไว้ให้มีค่าคงที่เท่าเดิม คือ ค่าตาม (3.6)ซึ่งหมายความว่า เอาท์พุท V_o จะมีค่าแปรผันตามค่าล็อกของอินพุท V_i ดังความสัมพันธ์(3.9)ตลอดเวลา

เมื่ออินพุท V_iมีค่าเปลี่ยนไป โดยที่ $V_i < V_{r1}$ และช่วงเวลา T ตาม (3.5) มีค่าน้อยกว่าช่วงเวลา on ของสัญญาณควบคุม ϕ_2 วงจรนี้ก็ยังทำงานได้เช่นเดียวกับได้อธิบายมาแล้วนี้ โดยค่าศักย์ไฟฟ้าตามจุดต่างๆ ก็จะเปลี่ยนไปขึ้นอยู่กับค่าอินพุท V_i ที่เข้ามานั้น และ เอาท์พุท V_o ก็จะยังคงเปลี่ยนตามค่าล็อกของ V_i ตามความสัมพันธ์(3.9) เช่นเดิม

เนื่องจากการทำงานของวงจรนี้ให้ความสัมพันธ์ระหว่างเอาท์พุทและอินพุทเป็นไปตาม (3.9) เราจึงกล่าวได้ว่า วงจรนี้ทำงานเป็นเครื่องขยายสัญญาณแบบล็อกได้ตามต้องการ

3.2การทดลองและผล

ได้ทดลองต่อวงจรตามรูป 3.1 โดยใช้ IC เบอร์ LF 351 สำหรับ A_1, A_2 และ A_3 ใช้ R_1 = 680 โอห์ม , R_2 = 2 กิโลโอห์ม , R_3 ,R_4 = 1 กิโลโอห์ม,C_1 = C_2 = C_3 =0.03 ไมโครฟารัด , V_{r3} = -1 โวลท์ และ V_{r2} = 2.5 โวลท์ ใช้ ϕ_1 และ ϕ_2 เป็นสัญญาณความถี่เท่ากับ 6 กิโลเฮร์ต ความสัมพันธ์ของ V_i และ V_o ที่ได้จากการทดลองโดยที่ V_{r1}= 5.5 โวลท์ ,V_{r1} =

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในการแสวงหาผลประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 โวลท์ และ V_{r1} = 3 โวลท์ มีดังแสดงในรูป 3.2 ซึ่งจะเห็นได้ว่า วงจรทำงานเป็นวงจรขยายสัญญาณเชิงล็อกได้ดีพอสมควร เนื่องจากค่าเอาท์พุทที่ได้ยังมีค่าคลาดเคลื่อนจากทางทฤษฎีอยู่

ผลการทดลอง

V_{r1} = 3 โวลท์

โวลท์เตจอินพุท V_i (V)	โวลท์เตจเอาท์พุท V_o (V)
2.35	0.72
2.25	0.46
2.0	0.18
1.75	0.10
1.825	0
1.5	-0.375
1.25	-0.745
1.00	-1.12
0.75	-1.7
0.50	-2.63
0.28	-3.85

V_{r1} = 4.5 โวลท์

โวลท์เตจอินพุท V_i (V)	โวลท์เตจเอาท์พุท V_o (V)
3.5	0.72
3.25	0.36
3.0	0.21
2.75	0.04

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โวลท์เตจอินพุท V_i (V)	โวลท์เตจเอาท์พุท V_o (V)
2.7	0
2.5	-0.145
2.25	-0.39
2.0	-0.59
1.75	-0.88
1.5	-1.2
1.25	-1.52
1.0	-1.98
0.75	-2.58
0.5	-3.3
0.385	-3.86

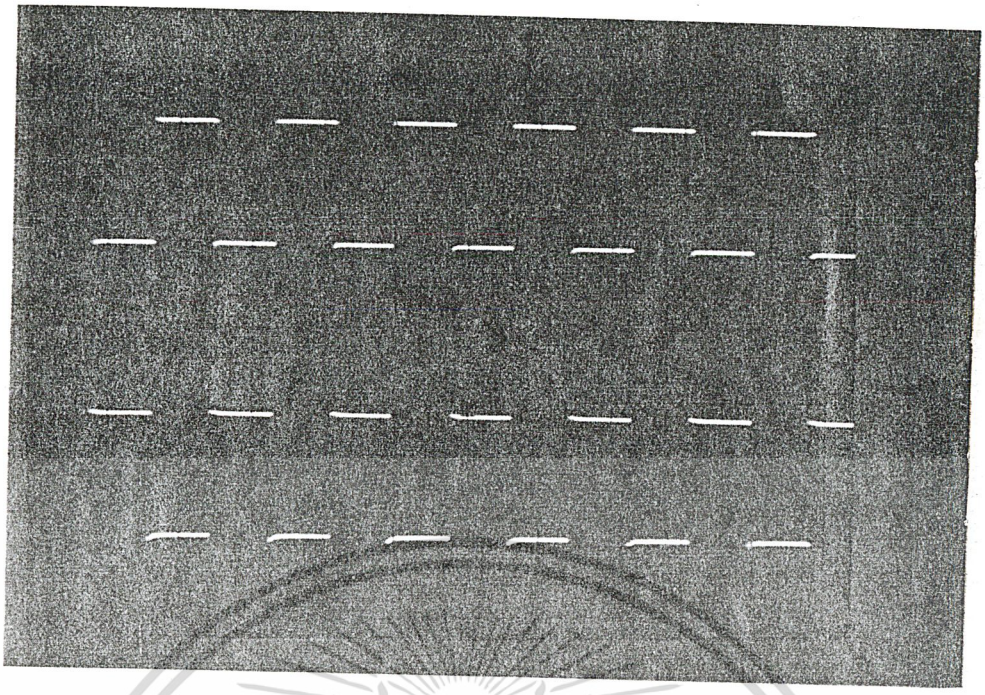
V_{r1} = 5.5 V

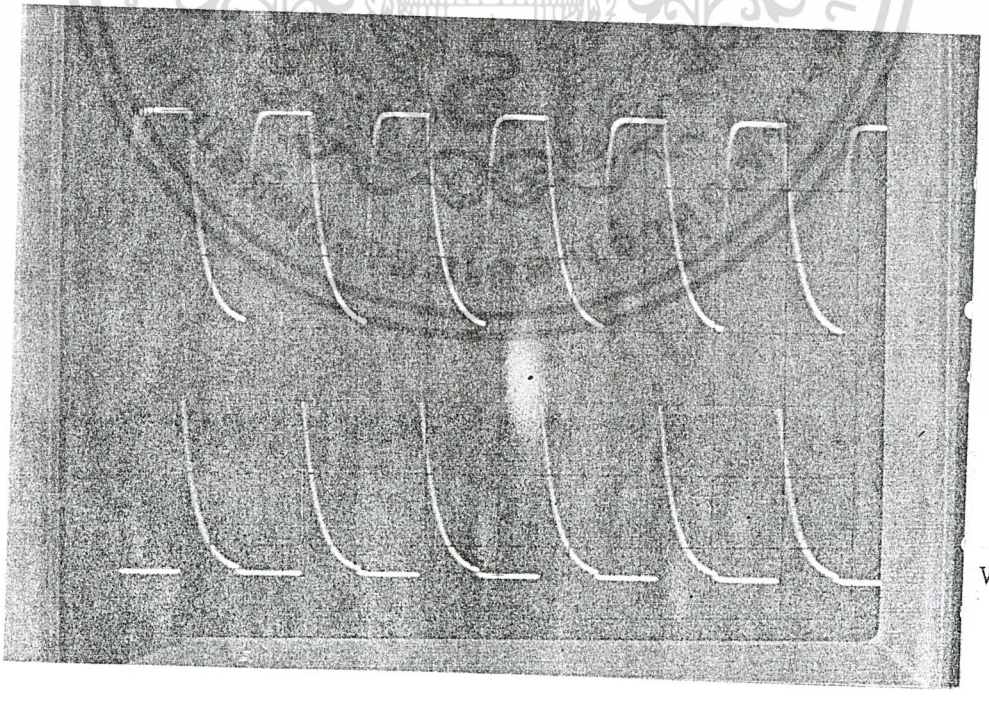
โวลท์เตจอินพุท V_i (V)	โวลท์เตจเอาท์พุท V_o (V)
4.4	0.72
4.25	0.475
4.0	0.385
3.75	0.19
3.5	0.044
3.45	0
3.25	-0.16
3.0	-0.36
2.75	-0.59
2.5	-0.86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โวลท์เตจอินพุท V_i(V)	โวลท์เตจเอาท์พุท V_o (V)
2.25	-1.18
2.0	-1.5
1.75	-1.35
1.5	-2.5
1.25	-3.3
1.2	-3.5
1.15	-3.7
1.1	-3.85

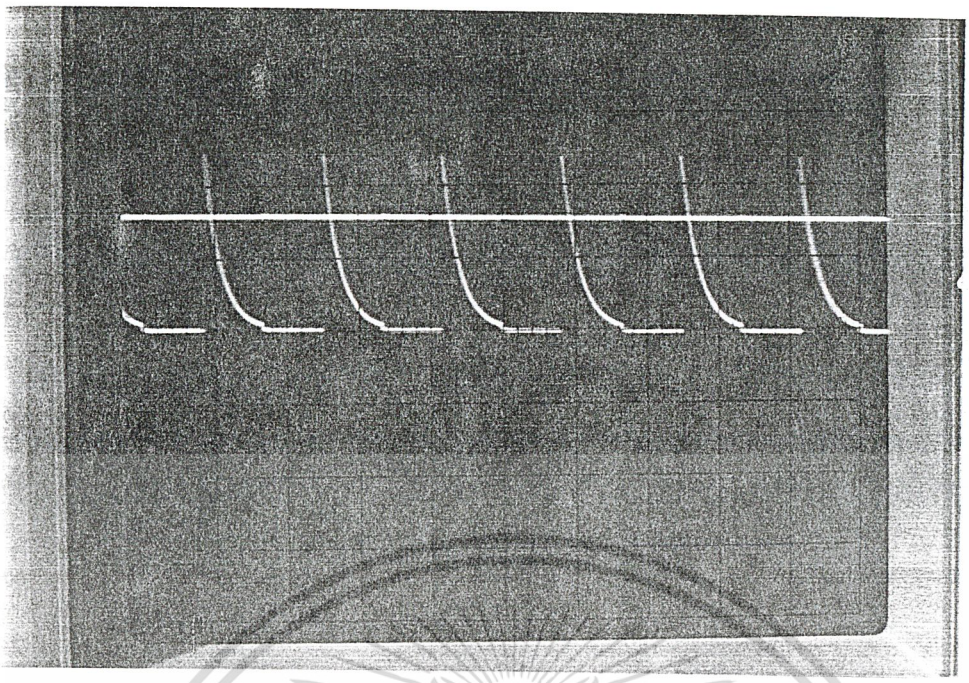
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

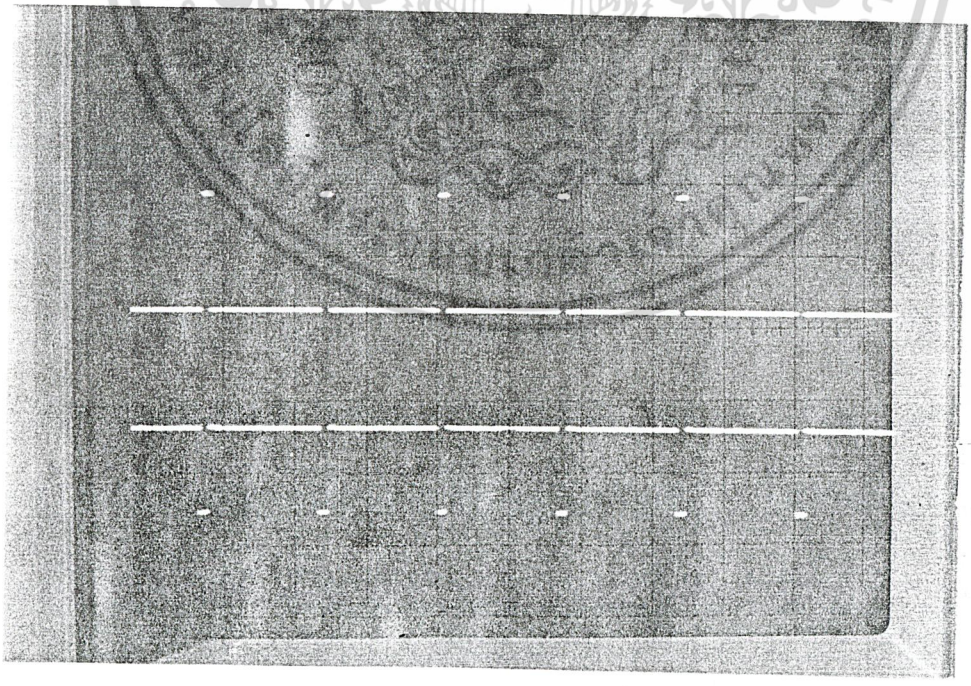




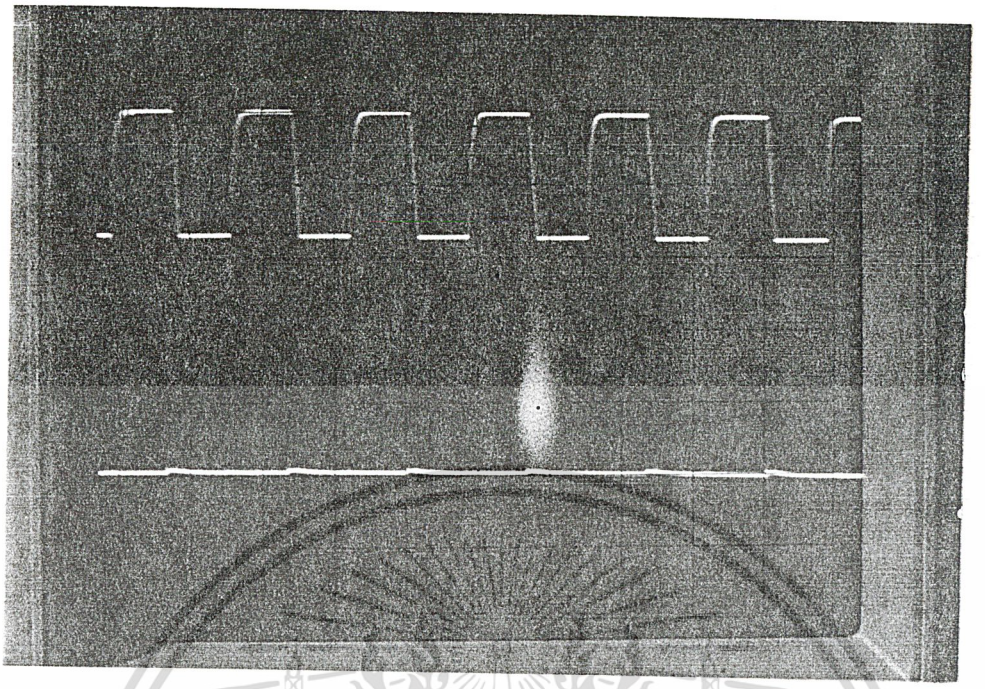
รูป 3.2 รูปคลื่นตามจุดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



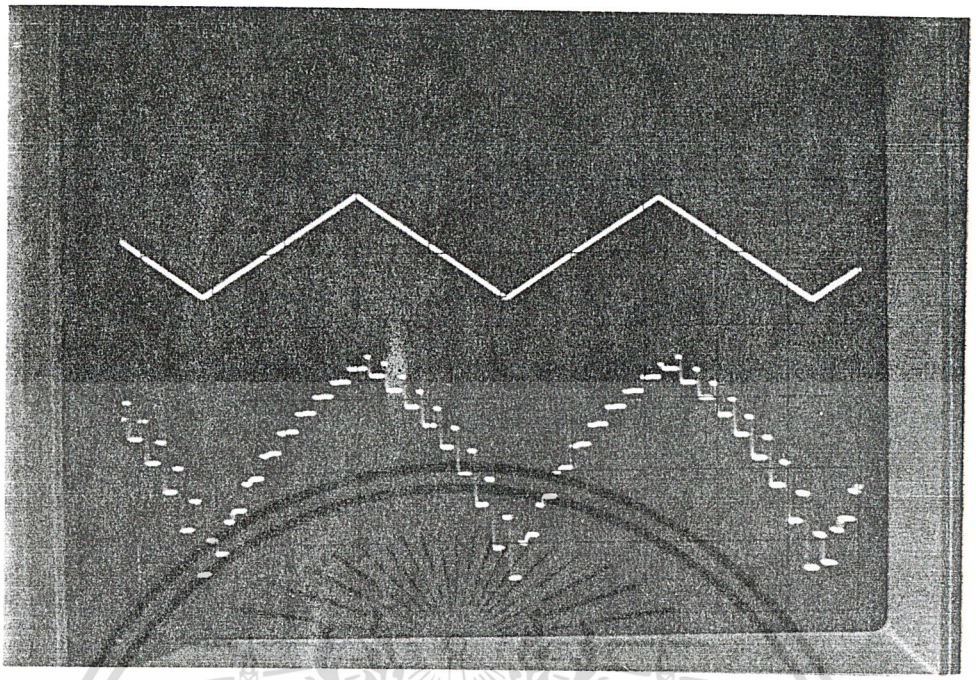


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

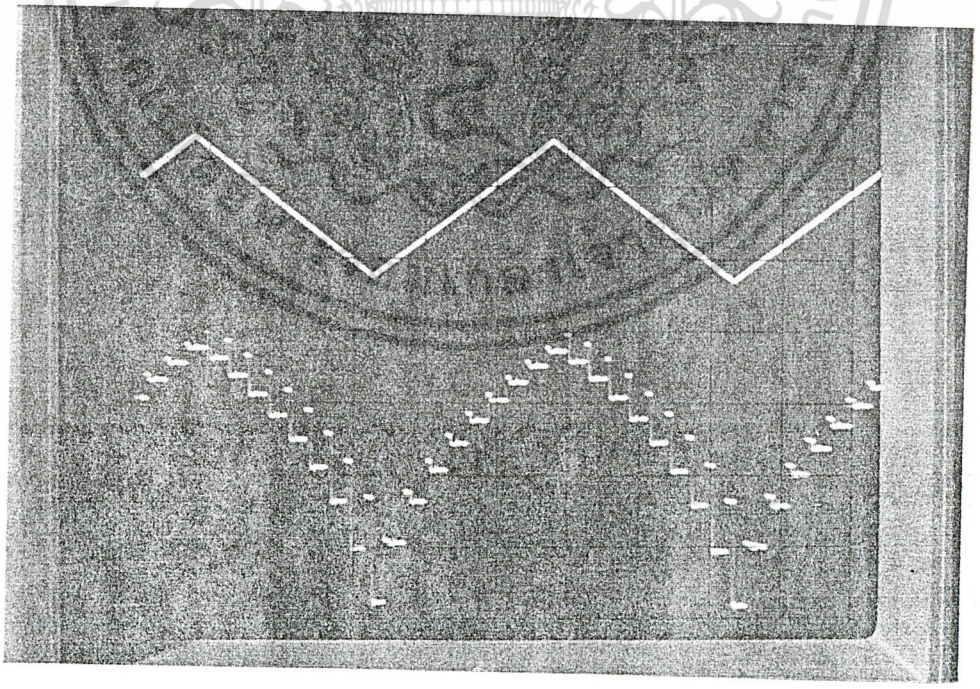


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.3 ผลการทดลองเมื่อเปลี่ยนค่าศักย์ไฟฟ้าอ้างอิงต่างๆกัน



$V_i = \pm$ 1.2 โวลต์ , ความถี่ 450 เฮิร์ท



$V_i = \pm$ 1 โวลต์ , ความถี่ 390 เฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.4 แสดงลักษณะของเอาท์พุ๊เมื่ออินพุทเป็นสัญญาณสามเหลี่ยม

3.3สรุปและวิจารณ์

การทดลองนี้ ได้ทดลองสร้างวงจรขยายสัญญาณเชิงล็อก ซึ่งประยุกต์ใช้หลักการคายประจุของคาปาซิเตอร์ วงจรจะทำงานได้ดีในย่านความถี่ไม่สูงนัก เช่น ย่านความถี่เสียง และสามารถปรับระดับศูนย์ของเอาท์พุทได้โดยการปรับค่า V_{r1} โดยต้องเลือกใช้

1)ตัวเก็บประจุที่มีอัตราการรั่วของประจุน้อย

2)ไอซี ออปแอมป์ ที่มีอินพุทอิมพีแดนซ์สูง เพื่อลดความคลาดเคลื่อน

3)ค่าอุปกรณ์ R_1และ R_2 ให้มีค่าเวลาคงตัว (time constant) ประมาณ 1/5 เท่าของ ϕ_1 หรือ ϕ_2 on

อนึ่งเอาท์พุทของวงจรจะมีการกระเพื่อม (ripple) มาก ถ้าเกิดการรั่วของคล็อคควบคุมสวิทช์ที่มีระดับสัญญาณแรงเกินไปที่สวิทช์ S_4 ,S_5 การลดการกระเพื่อมของเอาท์พุททำโดยแทน S_4,S_5 ที่ต่ออนุกรมกันด้วยสวิทช์ตัวเดียว ซึ่งมีสัญญาณคล็อคควบคุมเกิดจากการรวมคล็อคควบคุมสวิทช์ S_4 กับคล็อคควบคุมสวิทช์ S_5

3.4วิเคราะห์

จากผลการทดลอง

1)เมื่อป้อนระดับไฟตรง เอาท์พุทที่ออกมาเป็นกระแสตรงที่แปรค่าตามระดับอินพุท ดังสมการ (3.9) $V_o = k\log V_i$ เอาท์พุทที่ได้จะมีการกระเพื่อมเกิดขึ้นเนื่องมาจากการรั่วของคล็อคควบคุมสวิทช์ โดยเฉพาะที่สวิทช์ S_4 และ S_5 จะมีผลมาก

ผลการทดลองเมื่อแปรค่า V_i ทีละน้อย V_{out} ที่ได้ออกมามีขีดจำกัด ในช่วงคาบเวลา $T = R_1C_1\ln V_i - k$ และในขณะที่การทำงานเป็นล็อกแอมป์บลิไฟเออร์ต้องป้อนค่า V_i ในช่วงที่เกิดการคายประจุหรือรูปเอ็กโปเนนเชียล ดังในรูป 3.2 ที่ระดับสัญญาณ V_{R1}

2)เมื่อแปรค่า V_{r3} จาก 3 V , 4.5 V , 5.5 V เอาท์พุทที่ได้ที่ค่า V_{r3} ต่างๆกันจะมีค่ามากที่สุดและต่ำที่สุด ประมาณได้ว่าเท่ากัน จากสมการ (3.9) กล่าวได้ว่า

$$k = \frac{V_o}{\log V_i}$$

จากสมการข้างต้น V_o มีช่วงจำกัด ทำให้ค่า k ที่ได้จากการแปรค่าV_iในช่วงน้อยๆมีค่าสูงกว่าเมื่อเทียบกับค่า k ที่ได้จากการแปรค่า V_i ในช่วงมาก ดังเช่นผลการทดลอง จะพบว่า

V_{r3} = 3 V มีเกน k มากที่สุด

V_{r3} = 5.5 V มีเกน k น้อยที่สุด

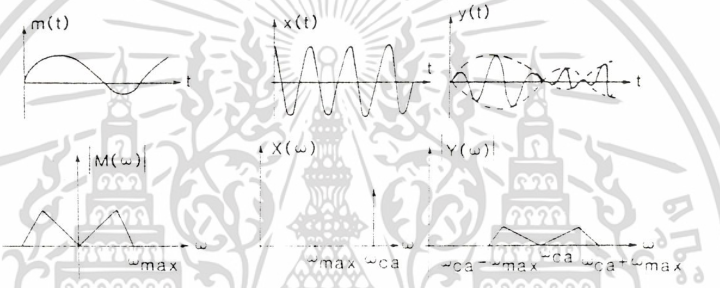
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

สวิทช์คาปาซิเตอร์ ฟูลเวฟ เรคติไฟเออร์ (SC Full Wave Rectifier)

4.1 ทฤษฎี

วงจรสวิทช์คาปาซิเตอร์สามารถใช้เป็น ฟูลเวฟ เรคติไฟเออร์ ซึ่งวงจรดังกล่าวจะเปลี่ยนกลับสัญญาณอินพุท $V_{in}(t)$ เป็นค่าสัมบูรณ์ของมัน $|V_{in}(t)|$ วิธีง่ายๆคือการสร้างจากการผนวกวงจรคอมพาราเตอร์ (Comparator) หนึ่งตัวเข้ากับมอดูเลเตอร์ (modulator)



รูป 4.1

แอมปลิจูดมอดดูเลชั่น (amplitude Modulating): รูปคลื่นและสเปคตรัมของสัญญาณมอดูเลติ้ง m(t),คลื่นพาห์ x(t) ที่เป็นคลื่นไซน์ และสัญญาณที่ผ่านการมอดูเลตแล้วy(t)

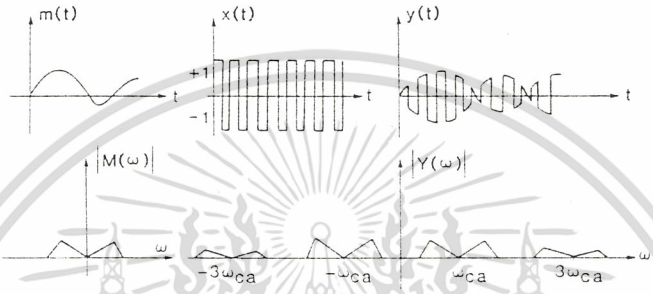
ส่วนสำคัญของวงจรนอนลิเนียร์จะผลิตสเปคตรัมสัญญาณอินพุทขึ้นมาใหม่ที่เลื่อนสเปคตรัมไปตามแกน w เพื่อที่จะเลื่อนสเปคตรัม M(w) ของสัญญาณ m(t)ไปเท่ากับ w_a เราสามารถสร้างสัญญาณ $y(t)=m(t)\cos w_{ca}t$ โดยฟูเรียทรานสฟอร์มของ $\cos w_{ca}t$ คือ $\pi\delta(w-w_{ca})+\pi\delta(w+w_{ca})$ ทำการคูณใน time domain โดยตรงเพื่อแปลงให้อยู่ในรูปโดเมนความถี่และการแปลงโดย $\delta(w\pm w_{ca})$ จะเพียงเลื่อนสเปคตรัมออกไป $\pm w_{ca}$ เท่านั้น ดังนั้นสเปคตรัมของ $y(t)=m(t)\cos w_{ca}t$ คือ

$$Y(w) = (1/2)M(w+w_{ca})+(1/2)M(w-w_{ca}) \qquad (4.1)$$

ดังนั้น M(w) ถูกเลื่อนออกไปเท่ากับ $\pm w_{ca}$ รูป 4.1 แสดงรูปคลื่นและสเปคตรัมของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$m(t), x(t)=\cos w_{ca}t$ และ $Y(t)=m(t)x(t)$ รูป 4.1 คือกรณีทั่วไปที่สมมติว่า w_{ca} มากกว่า w_{max} (ความถี่สูงสุดของ M(w)) จนกระทั่งไม่เกิดความผิดพลาดขึ้นในระหว่าง operation รูปคลื่นของ y(t) ที่แสดงคือ ขนาด (amplitude) ของ X(t) (ปกติเรียกว่า คลื่นพาห์(carrier))ที่ถูกเปลี่ยนแปลงโดยสัญญาณ modulating (m(t)) ดังนั้นขบวนการนี้คือ amplitude modulation และวงจรที่ทำให้เกิดผลดังกล่าวเรียกว่า amplitude modulator



รูป 4.2 รูปคลื่นและสเปคตรัมสำหรับคลื่นพาห์ที่เป็นสี่เหลี่ยม

โดยทั่วไปคลื่นพาห์เป็นสัญญาณรายเวลา(periodic signal) ถ้าคาบของคลื่นพาห์คือ $T_{ca}=2\pi/w_{ca}$ แล้วการกระจายอนุกรมฟูริเยร์ คือ

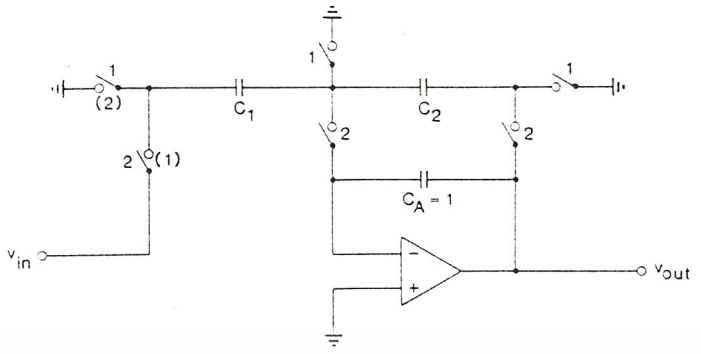
$$x(t)=\sum_{n=-\infty}^{\infty} a_n e^{jnWca} \qquad (4.2)$$

เนื่องจากการแปลงฟูเรียร์ของ e^{jnWca} คือ $2\pi\delta(w-nw_{ca})$ ใช้หลักการเดียวกันซึ่งกล่าวไว้ในตอนต้นในสมการ 4.1 เราจะได้สเปคตรัมของสัญญาณที่ผ่านการ modulate แล้ว

$$Y(w)=\sum_{n=-}^{\infty} a_n M(w-nw_{ca}) \qquad (4.3)$$

สังเกตว่าสัญญาณคลื่นพาห์ x(t) ไม่ได้อยู่ในสัญญาณเอาท์พุทโดยตรง ดังนั้นขบวนการนี้คือ การ mod แบบกดสัญญาณคลื่นพาห์ไว้ suppressed-carrier modulation) side band อันแรกที่ $w\pm w_{ca}$ แทนสัญญาณเอาท์พุทที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.3 แอมป์อินติเกรเตอร์ที่มีเกนดีซี $-C_1/C_2$ หรือ $+C_1/C_2$

สัญญาณคลื่นพาห์ที่เป็นสัญญาณคาบเวลาซึ่งถูกสร้างจากวงจรสวิทช์คาปาซิเตอร์จะได้เป็นคลื่นสี่เหลี่ยมซึ่งมีค่าสลับระหว่าง $\pm V$ สำหรับ $x(t)$ สัมประสิทธิ์ a_n จะเป็น 0 ทุกค่าของ n เป็น คู่ และขนาดจะลดลงเป็น 1/n สำหรับค่า n ที่เป็นจำนวนคี่ ดังนั้นเพื่อความง่ายจึงใช้ V=1 จะได้รูปคลื่นและสเปคตรัมของรูป 4.2

รูป 4.4 สเปรคตรัมของ m(t), Y(w)หลังการมอดูเลต และ
สเปคตรัม Y(w-w_c)ที่หนึ่ง สร้างขึ้นโดย w_c

วิธีง่ายเพื่อทำการ modulation กับคลื่นพาห์ที่เป็นสี่เหลี่ยมคือ เลือกขั้วของสัญญาณอินพุท m(t) ตามคาบเวลา พิจารณาตัวอย่างเช่น วงจรคาปาซิเตอร์ของรูป 4.3 ซึ่งสัญญาณนาฬิกา(clock) ที่ควบคุมสวิทช์ทุกตัวจะอยู่ที่อัตรา $w_c=2\pi/T$ ถ้าเฟสของสัญญาณนาฬิกาที่ไม่มีวงเล็บถูกนำมาใช้ที่ขั้วของอินพุทแล้ววงจรจะแสดงตัวเป็น damped

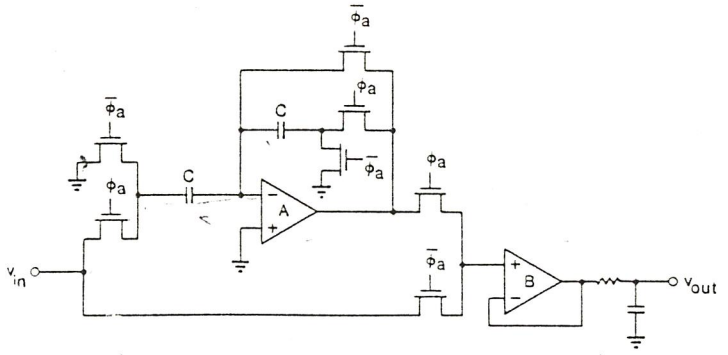
integrator ที่มีอัตราการขยายดีซี (dc gain) เป็นลบ : $-c_1/c_2$ ในทางตรงกันข้ามถ้าใช้เฟสในวงเล็บ(ยังคงเป็น damped integrator) ที่มีอัตราการขยายดีซี (dc gain) เป็นบวก : c_1/c_2 (นั่นคือสัญญาณครึ่งคาบเวลาถูกดีเลย์(delay) T/2) ดังนั้นโดยการเปลี่ยนระหว่างเฟสของสัญญาณนาฬิกา ขั้วของสัญญาณอินพุทจะกลับขั้ว เฟสของสัญญาณนาฬิกาที่สวิทช์ทุกๆ T_{cal} 2 วินาทีเปรียบเสมือนการคูณอินพุทด้วยสัญญาณคลื่นสี่เหลี่ยมที่มีค่า peak ± 1 และความถี่ $w_{ca}=2\pi/T_{ca}$ วงจร stray intensive SC modulator ที่ทำงานตามหลักการนี้แสดงในรูป 4.5 เฟสของสัญญาณนาฬิกา ϕ_1และ ϕ_2 จะทำงานด้วยอัตราของสัญญาณนาฬิกา w_c ที่เร็วที่อัตราความถี่คลื่นพาห์ w_{ca} ที่ช้าโดยทั่วไป w_c มากกว่า w_{ca} (ประมาณ 30 เท่าหรือมากกว่า)

สัญญาณพิเศษที่ดีเลย์ (delay) T/2 มาจากวงจร ϕ_a มีอัตราช้าเป็นผลให้สัญญาณคลื่นพาห์ไม่สมมาตรทำให้เกิดดีซีออฟเซ็ต ใน x(t) สมการ 4.2 และ 4.3 ทำให้เกิดการป้อนกลับของสัญญาณมอดูเลต m(t) ลงใน Y(t) เราสามารถป้องกันได้ว่า ถ้ามีภาคของการสุ่มและรักษานำหน้า modulator จนกระทั่ง v_{in} เปลี่ยนเมื่อเฟส 1 มีอัตราเร็ว ใน กรณีนี้ v_{in} จะไม่เปลี่ยนระยะห่างระหว่างดีเลย์ T/2 ดังนั้น delayจะไม่มีผลและเป็นไปได้ที่จะใช้สวิทช์ที่ซับซ้อนมากขึ้น เพื่อกำจัดผลกระทบของdelay

ในการออกแบบของ modulator ของรูป 4.3 ควรระมัดระวังเป็นพิเศษ (และทุกวงจรที่คล้ายกันนี้) เพื่อหลีกเลี่ยง intermodulation ซึ่งจะไปซ้อนกลับสัญญาณที่ mod แล้ว modulate signal ที่ต้องการ เพื่อที่จะแสดงถึงปัญหา สมมติว่า อัตราของสัญญาณอินพุทที่ขยายจาก dc ถึง 1 kHz แล้วสเปคตรัมที่ต้องการของสัญญาณที่ถูกมอดูเลทแล้ว คือ $f_{ca} = W_{ca}/2\pi$ =3kHz และ $f_c= W_c/2\pi$ =115kHz และสเปคตรัมของสัญญาณอินพุทขยายจาก dc ถึง 1 kHz แล้วมีสเปคตรัมที่ต้องการของ สัญญาณที่ถูก modulate แล้ว คือ $f_{ca}\pm$1kHz อยู่ในช่วง 2-4 kHz

เนื่องจากสัญญาณนาฬิกา ϕ_a จะให้ ไซด์แบนด์ที่มีเลขดัชนีเป็นเลขคี่ที่มีจุดศูนย์กลางที่ w_{ca}, $3w_{ca}$, $5w_{ca}$ ขนาด (amplitude) เหล่านี้จะลดลงเป็น 1/n ดังนั้น sideband ที่ 39 จะมีจุดศูนย์กลางที่ 39x3 kHz = 117kHz และมีระดับเพียง $20\log_{10}$ 39 = 31.8 dB ต่ำกว่าไซด์แบนด์ที่หนึ่งต้องการเมื่อไซด์แบนด์ที่ 39 ถัดไปถูกสุ่มที่อัตราสัญญาณนาฬิกาที่เร็ว f_c=115kHz สเปคตรัมจะถูกสร้างใหม่และเลื่อนไปที่ $117+nf_c$ โดยที่ n=0, $\pm$ 1,$\pm$ 2,... สำหรับ n=-1 สเปคตรัมจะมีช่วงความถี่ 1-3 kHz โดยที่มันจะซ้อนกับสเปคตรัมของสัญญาณสัญญาณที่ถูก modulate ที่อยู่ในช่วง 2-4kHz

เอกสารนี้มีลิขสิทธิ์ ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.5 สวิทช์คาปาซิเตอร์มอดูเลเตอร์ พร้อมคล็อคสัญญาณเดียว

เพื่อหลีกเลี่ยงเหตุการณ์เช่นนี้ อัตราสัญญาณนาฬิกาที่เร็ว w_c ควรจะเป็นจำนวนเท่าที่เป็นจำนวนเต็มของความถี่คลื่นพาห์ที่ต่ำกว่า (w_{ca}) จนกระทั่ง $w_c = Nw_{ca}$. N คือจำนวนเต็ม ถ้าแบนด์วิดธ์ของ m(t) ถูกจำกัดในช่วง $-w_{ca}/2 < w < w_{ca}/2$ และ N เป็นจำนวนคี่ ไซด์แบนด์ที่สร้างขึ้นมาใหม่จะไม่ซ้อนกัน ในรูป 4.4 สำหรับ N=5 ซึ่งแสดงสเปคตรัมของ m(t) , สเปคตรัมของ Y(w) หลังจากการมอดดูเลตและสเปคตรัม $Y(w-w_c)$ ที่หนึ่งที่สร้างขึ้นโดยสัญญาณนาฬิกาที่มีความเร็วสูง เห็นได้ชัดเลยว่า ไซด์แบนด์ที่สร้างขึ้นใหม่นั้นจะสลับกับ Y(w) และไม่เกิดความผิดเพี้ยนจาก intermodulation ในช่วงของศูนย์กลาง w_{ca} ที่เราสนใจ ในทำนองเดียวกันสำหรับสเปคตรัมที่สร้างขึ้นใหม่ $Y(w+w_c)$, $Y(w+3w_c)$ และอื่นๆ ดังนั้นสามารถใช้แบนด์พาสฟิลเตอร์ เพื่อกำจัดทุกไซด์แบนด์ที่ไม่ต้องการและคงช่วงจุดศูนย์กลางที่ w_{ca} ไว้

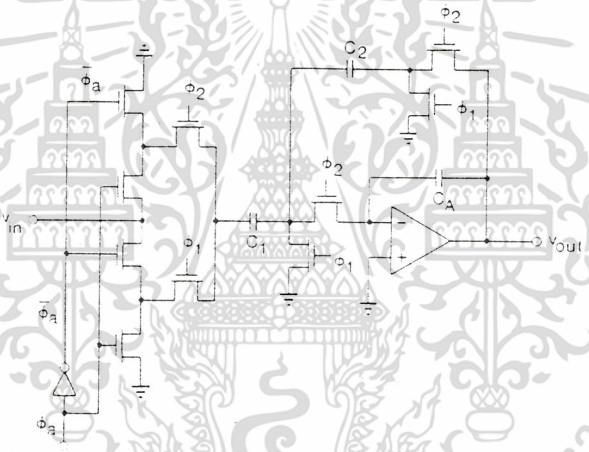
ในหลักการที่คล้ายกันแสดงว่า ถ้า N เป็นจำนวนคู่ ไซด์แบนด์จะซ้อนกันในลักษณะที่ไม่เกิดความผิดเพี้ยนขึ้นเพียงแต่ ขนาดของสัญญาณที่ถูกมอดดูเลตจะเปลี่ยนแปลงเนื่องจากการรวมไซด์แบนด์ ในตอนนี้สามารถใช้ โลว์พาสฟิลเตอร์ กำจัดส่วนที่ไม่ต้องการที่เกิดจากการมอดูเลต ซึ่งเป็นวงจรที่ง่ายกว่าแบนด์พาสฟิลเตอร์ที่ใช้สำหรับค่า n ที่เป็นจำนวนคี่

อีกวิธีสำหรับหลีกเลี่ยงความผิดเพี้ยนที่เกิดจาก intermodulation ที่มีสาเหตุจากการเกิดพร้อมกันของ 2 สัญญาณนาฬิกาโดยใช้เพียง 1 สัญญาณนาฬิกา ดังที่แสดงไว้ในรูป 4.5 เป็น มอดูเลเตอร์กดสัญญาณพาห์ ซึ่งใช้สัญญาณนาฬิกา ϕ_a เป็นสัญญาณนาฬิกาของอินทิเกรเตอร์(integrator) ในวงจรนี้เมื่อ $\phi_a = 0$ สัญญาณอินพุทจะถูกป้อนโดยตรงไปยัง เอาท์พุท บัฟเฟอร์ แอมปลิไฟเออร์ และไปยังเอาท์พุท ระหว่างคาบเวลานี้สถานะของอินเวอร์เตอร์(ประกอบไปด้วย ออปแอมป์ A และคาปาซิเตอร์ 2 ตัว ถูกรีเซ็ต และแรงดันออฟเซ็ท (offset) ถูกเก็บไว้สำหรับการหักล้างดังในวงจรของรูป 4.8 เมื่อ $\phi_a = 1$ v_{in} ถูกเปลี่ยนกลับโดยออปแอมป์ A แล้วป้อนไปยัง บัฟเฟอร์ B ควรนำอนาลอก ฟิลเตอร์แบบเวลาต่อเนื่อง (แสดงให้เห็นแผนผังโดย RC ladder) มาใช้เพื่อกดไซด์แบนด์ที่มีอันดับสูงจนกระทั่งสวิทช์คาปาซิเตอร์ตัวสุดท้าย (SC post filter) สา

มารถกำหนดจุดศูนย์กลางของสเปคตรัมที่ $\pm w_{ca}$ โดยปราศจากผลกระทบจาก aliasing วงจรยังสามารถใช้เป็น ซิงเกิล ไซด์แบนด์ ฟิลเตอร์ (SSB filter) ถ้าแบนด์พาสสวิทซ์คาปาซิเตอร์ ฟิลเตอร์ ถูกใช้เป็นวงจรกรองสัญญาณตัวหลังที่ยอมให้ไซด์แบนด์หนึ่งผ่านไปได้และกำจัดอีกไซด์แบนด์

SC Full-wave Rectifier

ฟูล เวฟ เรคติไฟเออร์ จะเปลี่ยนกลับสัญญาณอินพุท $V_{in}(t)$ เป็นค่าสัมบูรณ์ของมัน $|V_{in}(t)|$ วิธีง่ายๆ คือ ในการสร้าง สวิทซ์คาปาซิเตอร์ ฟูล เวฟ เรคติไฟเออร์ คือการรวมวงจรคอมพาราเตอร์(Comparator)หนึ่งตัวเข้ากับมอดูเลเตอร์(modulator)



รูป 4.6 มอดดูเลเตอร์ที่ใช้สวิทซ์คาปาซิเตอร์ที่มีสัญญาณนาฬิกา 2 สัญญาณ

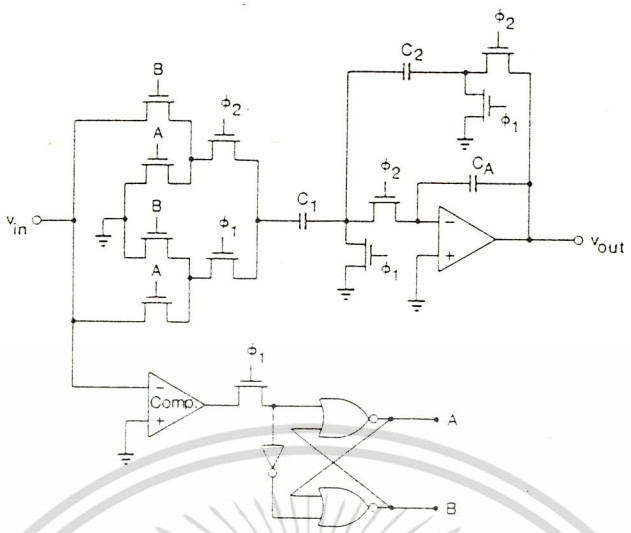
พิจารณาวงจร modulator ถ้าสัญญาณแคร์ริคล็อค ϕ_a มีที่มาจาก $V_{in}(t)$ เช่น ϕ_a="0" สำหรับ $V_{in}(t)>0$ และϕ_a="1" สำหรับ $V_{in}(t)<0$ แล้ววงจรจะกลับสัญญาณลบไม่กลับสัญญาณบวก ดังนั้น V_{out} $|V_{in}|$

ในความเป็นจริงแล้วภาค mod จาก C_1, C_2, C_4 และออปแอมป์เป็น LPF และมันแปลงรูปคลื่นของ v_{in} แม้ว่าสำหรับค่า $v_{in} > 0$ แต่อย่างไรก็ตามถ้าแบนด์วิดธ์ที่ -3 dB ของฟิลเตอร์กว่างกว่าสเปคตรัมของ V_{in} มากๆแล้วผลกระทบจากค่าจำกัดของ band นี้จะละทิ้งได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรของ สวิทซ์คาปาซิเตอร์ ฟูล เวฟ เรคติไฟเออร์ที่สร้างจากมอดดูเลเตอร์

ของรูป 4.1 แสดงดังต่อไปนี้



รูป 4.7 สวิทช์คาปาซิเตอร์ ฟูล เวฟ เรคติไฟเออร์
a.วงจรที่สมบูรณ์ b.คอมพาราเตอร์ที่มีการชดเชยออฟเซ็ต

เมื่อ A ถูกเซ็ตเป็น "1" ถ้า $V_{in}>0$; และถ้าเป็น $V_{in}<0$ ในขณะที่ B ถูกเซ็ตาให้เป็น A โดยคอมพาราเตอร์และแลตช์ซึ่งตามมา แต่ละเวลาที่ ϕ_1 มีระดับสูง สัญญาณ AและB จะเซ็ตขั้วของทรานสเพอร์ฟังก์ชั้น เพื่อที่ว่าจะกลับสัญญาณอินพุทลบแต่ไม่กลับสัญญาณอินพุทบวก

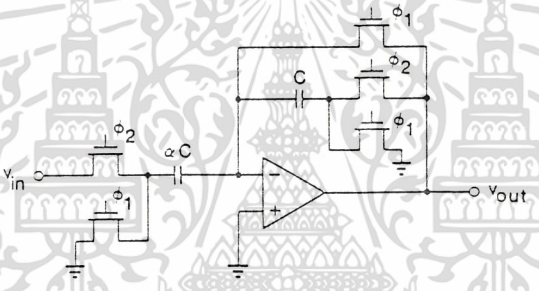
เหมือนกับ D/A Convertor วงจรคอมพาราเตอร์อาจสร้างส่วนกำจัดออฟเซ็ตาได้เหมือนกันโดยการทำ ออโตซีโรอิง แสดงดังรูป 4.2b เมื่อ ϕ_2 มีระดับสูง C จะเก็บค่าออฟเซ็ตโวลเตจ V_{off} ต่อจากนั้นเมื่อ $\phi 1$ มีระดับสูง, $V_{in}+V_{off}$ จะป้อนแก่อินพุทของแอมปลิไฟเออร์ เอาท์พุท V_{out} จะเป็นอิสระจาก V_{off} ตราบเท่าที่อัตราการขยายของแอมปลิไฟเออร์มีค่าสูงพอ

ดังได้กล่าวแล้ว ในการต่อเข้ากับ modulator ข้างบน ทางผ่านของสัญญาณจาก V_{in} -> V_{out} จะไม่มี delay ถ้า A ="0" (i,e, if $V_{in}<0$) แต่มี delay T/2 ถ้า A = "1" (i,e, if $V_{in}>0$) ซึ่งจะทำให้เกิด "polarity-dependent jitter"

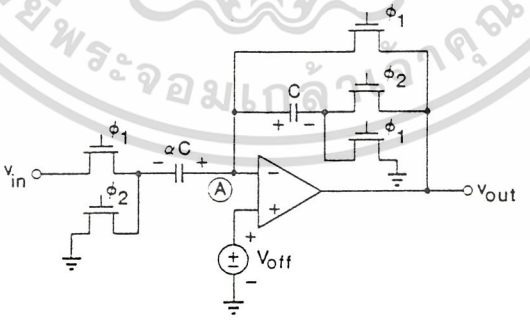
jitter จะถูกจำกัดถ้า V_{in} เป็นสัญญาณที่ถูก sample and held ซึ่งเปลี่ยนแปลงเพียง เมื่อเกิด loading edge ของเฟสคล็อค 1 เท่านั้นดังนั้น dalay จะไม่มีผล

ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าแรงดันไฟฟ้าอินพุท(V_{out}) ของวงจรในรูป 4.6 ยังรวมเทอมความผิดพลาดอันเนื่องมาจาก แรงดันไฟฟ้าออฟเซ็ต (offset voltage) ของออปแอมป์ในส่วนบนของทางเดินของสัญญาณ เทอมความผิดพลาดนี้คือ $(1+C_1/C_2)V_{off}$ โดยที่ V_{off} คือแรงดันไฟฟ้าออฟเซ็ตอ้างอิงอินพุทของออปแอมป์ ถ้าความผิดพลาดที่ไม่สามารถยอมรับได้ แนผังการชดเชยค่าออฟเซ็ตของรูป 4.8 และ 4.9 สามารถใช้ได้วงจรทั้งหมด(ซึ่งในขณะนี้ได้รวมส่วนยกเลิกค่าออฟเซ็ตสำหรับแอมปลิไฟเออร์ทั้งสอง) ดังแสดงในรูป 6.35 ดังที่อธิบายไว้ในตอนต้น เอาท์พุทของออปแอมป์จะมีค่าขึ้นลงระหว่าง $|V|$ และ V_{off} ดังนั้นจะมีค่า V_{out} เมื่อ ϕ_2 มีระดับสูงและออปแอมป์ยังต้องมีค่าสลู เรท (slew rate)สูงและแซทเทลลิง(settling time) เร็ว



รูป 4.8 อินเวอสติงโวลเตจแอมป์ ที่จำกัดออฟเซ็ตแล้ว



รูป 4.9 นอนอินเวอสติงโวลเตจแอมป์ ที่จำกัดออฟเซ็ตแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปและวิจารณ์

สวิทช์คาปาซิเตอร์เป็นวงจรพื้นฐานที่น่าสนใจ มีข้อดีซึ่งเหมาะในการใช้ประยุกต์วงจรต่างๆ ปริญญานิพนธ์ฉบับนี้ศึกษาทดลองในระดับการต่อวงจรดีสครีต (นำตัวอุปกรณ์มาต่อวงจร ไม่ใช่ปลูกสารบนชิพ) เพื่อเป็นแนวทางสำหรับการพัฒนาวงจรเพื่อประโยชน์ใช้งานต่อไป

การศึกษาให้เข้าใจถึงปัญหาที่อาจเกิดขึ้นได้ของสวิทช์คาปาซิเตอร์ เช่น การรั่วของคล็อค การผิดพลาดที่เกิดจากการทำงานของสวิทช์ รวมถึงการต่อวงจรที่ดี และแก้ปัญหาจุดเสียในวงจร ทำให้วงจรทำงานได้ดีตามทฤษฎี

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

<u>การเลือกรูปร่างของฟิลเตอร์</u> (Filter shape)

วงจรแบนด์พาสฟิลเตอร์ โดยปกติมีค่า Q สูงกว่าและค่า damping ต่ำกว่าวงจรโลว์พาสและวงจรผ่านความถี่สูง สามารถนำวงจรแบนด์พาสที่เป็นอันดับสอง จำนวนตั้งแต่ 1,2,3 และหลายๆวงจร เพื่อสร้างรูปร่างของผลตอบสนองความถี่ (frequency response)อันดับสูงขึ้นได้ โดยแฟคเตอร์ของรูปร่างดังกล่าวได้จากการเลือกค่าควอลิตี้แฟคเตอร์ (quality factor, Q)ที่เป็นตัวเซ็ตแบนด์วิดธ์ของวงจรโดยตรง โดยปกติไม่สามารถสร้างฟิลเตอร์ที่ เสถียร,มีค่า Q สูง และง่ายต่อการจูนค่า โดยใช้ไอซีเดี่ยวได้ วงจรที่ใช้ไอซีเดี่ยว (single IC circuit) ใช้งานที่ค่า Q อยู่ในช่วง 2-5 ถ้าต้องการค่า Q ที่ช่วงกว้างๆ ให้เลือก ต้องใช้วงจรมัลติเบิ้ลไอซี ได้แก่วงจรสเตทวาริเอเบิ้ล หรือวงจรไบควอด ซึ่งมีค่า Q ระหว่าง 25-100

การออกแบบจำกัดรูปร่างของแบนด์พาสมี 5 ลักษณะที่นิยม คือ

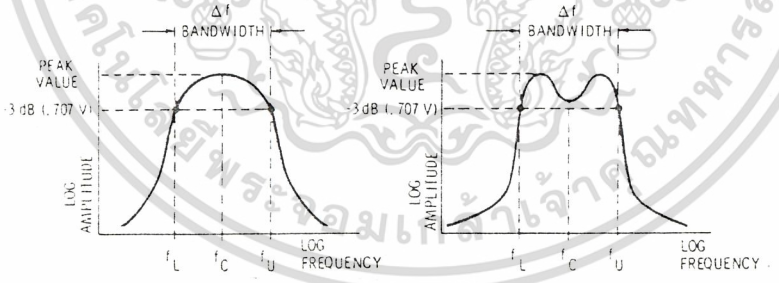
1)แมกซิมัม พีคเนส (Maximum-Peakedness)

2)แอมปลิจูดราบเรียบที่สุด (Flattest-Amplitude)

3)พาสแบนด์ที่มีดรูป (droop) มาก 1 dB

4)พาสแบนด์ที่มีดรูป มาก 2 dB

5)พาสแบนด์ที่มีดรูป มาก 3 dB



รูปที่ 1 รูปร่างของแบนด์พาสและคำศัพท์เฉพาะ

f_L : ความถี่คัทออฟด้านต่ำ (Lower-3 dB Cut off frequency)

f_C : ความถี่ศูนย์กลาง (Centre frequency)

f_U : ความถี่คัทออฟด้านสูง (Upper-3 dB Cut off frequency)

Δf : แบนด์วิดธ์ (Bandwidth)

ความถี่ศูนย์กลางของแบนด์วิดธ์ฟิลเตอร์ ที่มีโพลเดียวเรียกได้อีกว่า ความถี่รีโซแนนซ์ (resonance frequency) พึงระลึกเสมอว่า

$$f_C \neq (f_U + f_L)/2$$

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ $f_C = \sqrt{f_U f_L}$

ถ้ากำหนด $f_C = 1$ จะสเกลวงจรได้ง่าย

$\Delta f = f_U - f_L$

มีค่าที่แสดงความสัมพันธ์ของความถี่ศูนย์กลางกับแบนด์วิดธ์ของวงจร 2 ค่า คือ

1)**<u>นอร์มัลไลซ์ แบนด์วิดธ์</u>** (หรือแฟรกชันนัลแบนด์วิดธ์) [Normalized (Fractional) bandwidth]

มีค่าเท่ากับ $(f_U - f_L)/f_C = (f_U - f_L)/\sqrt{f_U f_L}$

2)**<u>เปอร์เซ็นต์เตจ แบนด์วิดธ์</u>** (Percentage bandwidth)

มีค่าเท่ากับ $100\% \cdot (f_U - f_L)/\sqrt{f_U f_L}$

เปอร์เซ็นต์เตจแบนด์วิดธ์ = 100% นอมัลไลซ์แบนด์วิดธ์

ปัญหาในวงจรฟิลเตอร์จะเกิดขึ้นเมื่อ เปอร์เซ็นต์เตจแบนด์วิดธ์มีค่าน้อยกว่า 50% สำหรับฟิลเตอร์ความถี่เสียงย่าน 300-3000 Hz มีค่าดังกล่าวเท่ากับ

$(3000-300)/\sqrt{(3000)(300)} = 284.6\ \%$

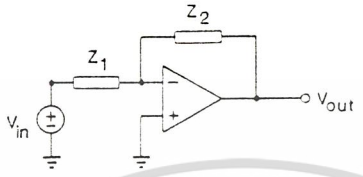
ซึ่งกว้างมากเกินไป (>80 %) ถ้าจะได้วงจรกรองที่ดีต้องมีการนำส่วนโลว์พาสและวงจรผ่านความถี่สูงมาต่อ (Over Lap)กัน ตัวอย่างได้แก่ โฟนออดิโอ(phone audio) ค่าเปอร์เซ็นต์เตจแบนด์วิดธ์ที่แคบ (<80 %)จะต้องสร้างแบนด์พาสฟิลเตอร์ขึ้นจริงๆ ได้แก่ โมเดมดาต้าฟิลเตอร์ ความถี่ช่วง 900-1300 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

<u>ภาคอัตราขยายของสวิทช์คาปาซิเตอร์</u> (Switched-Capacitor gain stage)

การทำงานโดยทั่วไปในงานประมวลผลสัญญาณอนาลอก (analog signal processing) คือการขยายแรงดันไฟฟ้า (voltage) ซึ่งวงจรที่มีลักษณะการทำงานเช่นนี้ใช้กันบ่อย แสดงดังในรูปที่ 1

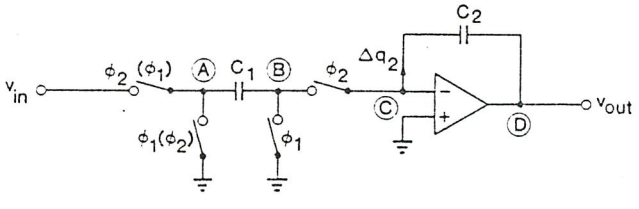


รูปที่ 1 วงจรขยายแรงดันไฟฟ้า (Voltage amplifier circuit)

ความสัมพันธ์ระหว่างอินพุทและเอาท์พุท คือ

$$V_{out}/V_{in} = -Z_2/Z_1 \qquad (1)$$

ถ้า $Z_2 = kZ_1$ โดยที่ k เป็นค่าคงที่ ดังนั้นจะได้ค่าอัตตราขยายคงที่ ในเทคโนโลยีไบโพลาร์ (Bipolar) Z_1 และ Z_2 จะเลือกใช้ตัวความต้านทานที่ถูกต้อง ในเทคโนโลยีมอส มักจะใช้การรวมของคาปาซิเตอร์ (capacitor) และสวิทช์ รูปแบบที่ง่ายที่สุดคือเลือก Z_1 และ Z_2 เป็นคาปาซิเตอร์ที่คงที่ (ไม่มีสวิทช์) อย่างไรก็ตาม ขั้วอินเวอสติงอินพุท(inverting input terminal) ของออปแอมป์จะลอยตัวและมีกระแสรั่วไหลเพียงเล็กน้อย จะชาร์จ (charge) สเตย์ คาปาซิแตนซ์ (stray capacitance)ที่มีขนาดเล็ก ระหว่างขั้วนี้และกราวด์ (ground) เปรียบเหมือนแรงดันไฟฟ้าตรง ซึ่งทำให้ออปแอมป์อิ่มตัว (saturate) วิธีง่ายอีกวิธีคือ Z_1 และ Z_2 เป็นสวิทช์คาปาซิเตอร์ ดังแสดงระหว่างโหนดอินพุท และโหนด c ในรูปที่ 2



รูปที่ 2

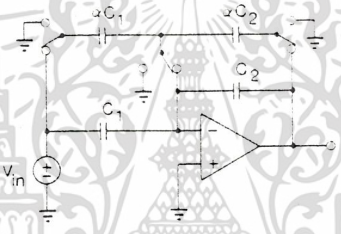
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตาม ถ้าพิจารณา Z_2 คือ อิมพิแดนซ์ย้อนกลับ (feedback impedance)แล้ว ระหว่าง 1/2 ของทุกรอบสัญญาณนาฬิกา ส่วนฟีดแบคจะเปิดวงจร ระหว่างเวลานี้ออปแอมป์อาจจะอิ่มตัวและคงสถานะเดิมไว้

เนื่องจากคาปาซิเตอร์ที่คงที่จะให้ฟีดแบคอย่างต่อเนื่อง แต่ยอมให้มีกระแสรั่วไหลไปสะสมในสเตรย์คาปาซิแตนซ์ ที่ขั้วอินพุทของออปแอมป์ ขณะที่สวิทช์ของคาปาซิเตอร์จะดีสชาร์จ (discharge) สเตรย์ คาปาซิเตอร์ แต่จะไม่มีฟีดแบคอย่างต่อเนื่อง เพื่อให้ได้การต่อลักษณะดังกล่าว จะใช้การรวมแบบขนานของการต่อทั้งสอง จะพิจารณา Z_1 และ Z_2 ในวงจรด้วยวิธีนี้ และสวิทช์ที่อินพุทของออปแอมป์จะถูกนำมารวมได้อย่างเหมาะสม ดังแสดงในรูปที่ 3 ทรานเฟอร์ ฟังก์ชันใน z โดเมน จะได้ว่า

$$H_z = V_{out}(Z)/V_{in}(Z) = -C_1/C_2 \qquad (2)$$

ดังนั้น H(z) จะเป็นค่าคงที่ที่ไม่ขึ้นกับความถี่



รูปที่ 3 วงจรขยายแรงดันไฟฟ้า แบบสวิทช์คาปาซิเตอร์

สังเกตว่า (2)ไม่ได้คำนึงถึงรูปแบบ (ต่อเนื่อง หรือแซมเปิ้ล และโฮล(sample-and-held) ของสัญญาณอินพุท $V_{in}(t)$ ถ้าส่วนประกอบทั้งหมดเป็นไปในทางอุดมคติจะไม่พิจารณาอะไลซิง (aliasing) ที่จำกัดแบนด์วิดช์ (bandwidth) ของสัญญาณ และความถี่ของสัญญาณนาฬิกา ในความจริง พาราซิติค คาปาซิแตนซ์ (parasitic capacitance) จะเกี่ยวข้องกับสวิทช์ที่ยอมให้ความถี่ของสัญญาณนาฬิกาที่มีสัญญาณรบกวนอยู่ไปปรากฏในทางเดินของสัญญาณ เพื่อทำการแยกระหว่างสัญญาณและสัญญาณนาฬิกาที่มีสัญญาณรบกวนอยู่ ความถี่ของสัญญาณนาฬิกา $f_c = 1/T$ ควรมากกว่าความถี่สูงสุดของสัญญาณ

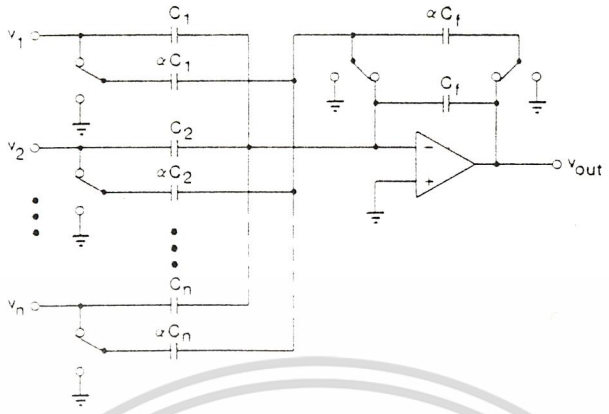
วงจรในรูปที่ 3 สามารถใช้ในกรณีทั่วไป เมื่อมีหลายๆ สัญญาณอินพุท (รูปที่ 4) ความสัมพันธ์ของอินพุทและเอาท์พุท จะเป็น

$$V_{out}(z) = -\sum_{i=1}^{n}[(C_i/C_f).V_i(z)] \qquad (3)$$

ถ้า $C_1 = C_2 = \ldots\ldots = C_n$ $V_{out}(z)$ จะเป็นสัดส่วนตรงกับผลรวม

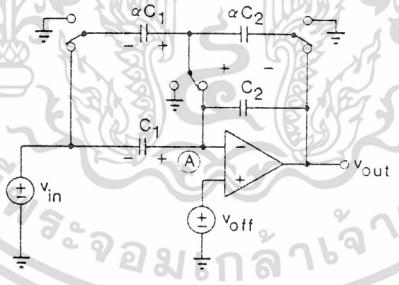
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้

ของแรงดันไฟฟ้าอินพุท



รูปที่ 4 วงจรขยายแรงดันไฟฟ้าที่มีสัญญาณอินพุท n สัญญาณ

ข้อเสียเปรียบของวงจรในรูปที่ 1-4 คือแรงดันไฟฟ้าออฟเซ็ต (offset voltage) ของออปแอมป์ ที่มีผลต่อแรงดันไฟฟ้าเอาท์พุท (V_{out})



รูปที่ 5 วงจรขยายแรงดันไฟฟ้าแบบสวิทช์คาปาซิเตอร์
ที่แสดงถึงแรงดันไฟฟ้าออฟเซ็ตทางอินพุท

V_{off} แสดงถึงแรงดันไฟฟ้าออฟเซ็ตทางอินพุท วงจรเสมือนของรูปที่ 5 สามารถแสดงถึงผลกระทบนี้ได้ เพื่อวิเคราะห์แรงดันไฟฟ้าตรงเอาท์พุท (V_{os})ที่สภาวะสเตดดี้สเตจ (steady - stage) ที่เกี่ยวกับ V_{off} จะสมมติว่าออปแอมป์มีคุณสมบัติในทางอุดมคติ ที่มีอัตราขยายและแบนด์วิทช์เป็นอินฟินิตี้ และ $V_{in} = 0$ แรงดันไฟฟ้าที่โหนด A

ก็คือ V_{off} และแรงดันตกคร่อม C_1 และ C_2 กับ V_{off} และ $V_{off} - V_{os}$ ตามลำดับ ทั้งสองค่าจะเป็นค่าคงที่ เมื่อ $\propto C_1$ ถูกสวิทช์เข้าไปในวงจร ดังแสดงในรูปที่ 5 จะมีประจุ $\Delta q_1 = \propto C_1 V_{off}$ จากโหนด A ขณะที่ $\propto C_2$ ที่เวลาเดียวกันจะมีประจุ $\Delta q_2 = \propto C_2(V_{off} - V_{os})$ เนื่องจากประจุของ C_1 และ C_2 ไม่เปลี่ยนแปลง เพราะฉะนั้น $\Delta q_1 + \Delta q_2 = 0$ และ

$$\propto C_1 V_{off} = \propto C_2(V_{os} - V_{off})$$

และ

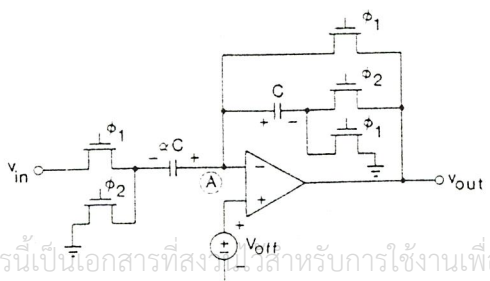
$$V_{os} = (1+C_1/C_2)V_{off} = (1+|A_v|)V_{off} \qquad (4)$$

โดยที่ $|A_v| = C_1/C_2$ คืออัตราขยายของแอมพลิไฟเออร์ (Amplifier) ค่าโดยทั่วไปของ $|A_v|=5\sim20$ V_{off} มีค่าประมาณ 10 mV ดังนั้น $V_{os} \sim 0.1$ V สามารถเกิดขึ้นได้ ค่านี้ยังเปลี่ยนแปลงตามอุณหภูมิและเวลา ในการประยุกต์ใช้งานไม่สามารถยอมรับค่าออฟเซ็ตเอาท์พุทที่มีค่ามากได้

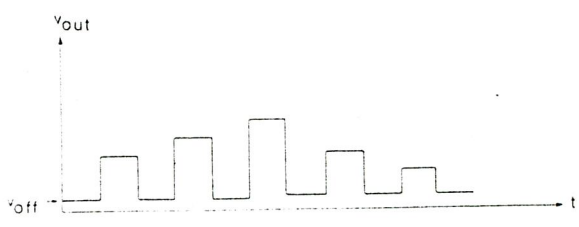
เพื่อลดผลกระทบของแรงดันไฟฟ้าออฟเซ็ตของออปแอมป์ จะนำวงจรชดเชย (compensated circuit) ของรูปที่ 6 มาใช้ (ซึ่งสวิทช์ถูกแทนด้วย MOSFET 1 ตัว) เมื่อ ϕ_1 = "1" ขั้วอินเวอสติง อินพุท (inverting input terminal) ของออปแอมป์จะลัดวงจรกับโหนดเอาท์พุทและจะให้ผลแบบอัตราขยายแรงดันไฟฟ้าเท่ากับหนึ่ง ที่มีแรงดันไฟฟ้าเอาท์พุทเป็น V_{off} ดังนั้นคาปาซิเตอร์ $\propto C$ ถูกชาร์จด้วย $V_{off}- V_{in}$ ขณะที่ C ถูกชาร์จด้วย V_{off} เมื่อ ϕ_2 มีระดับสูง $\propto C$ ถูกชาร์จอีกด้วย V_{off} และ C ถูกชาร์จด้วย $V_{off}-V_{out}$ ถ้าเวลาที่เกิดนี้คือ t=nT ประจุที่เก็บไว้ที่โหนด A

$$\propto C\{ V_{off}-[V_{off}-V_{in}(nT-T/2)]\}+C\{V_{off}-V_{out}(nT)-V_{off}\} = 0 \qquad (5)$$

ในสมการนี้ v_{off} สามารถยกเลิกได้ และผลลัพธ์ คือ $v_{out}(nT)=\propto v_{in}(nT-T/2)$



(ก)



(ข)

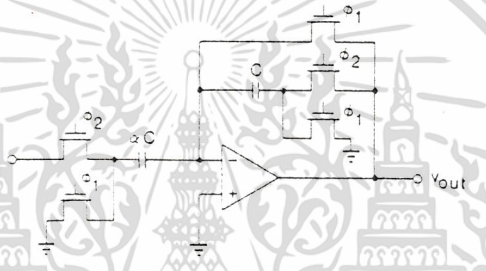
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6 การชดเชยออฟเซ็ตของนอนอินเวอสติงโวลเตจแอมปลิไฟเออร์

(noninverting voltage amplifier) (ก) วงจร (ข)รูปคลื่นเอาท์พุท

ดังนั้นทรานสเฟอร์ฟังก์ชัน คือ $H(z)=\alpha z^{-1/2}$ นั่นคือจะทำให้เกิดอัตราขยายที่เป็นบวกคือ α และมีดีเลย์เท่ากับ T/2 และแรงดันไฟฟ้าออฟเซ็ตเอาท์พุท คือ $V_{os} = 0$

โดยการเปลี่ยนเฟส (phase) ของสัญญาณนาฬิกาที่ขั้วอินพุท ทำให้ได้อินเวอสติง โวลเตจ แอมพลิไฟเออร์ (รูปที่ 7) โดยการวิเคราะห์วงจรที่คล้ายกับวงงจรในรูปที่ 6 สามารถแสดงให้เห็นว่า ทรานสเฟอร์ฟังก์ชัน คือ $H(z) = -\alpha$ ดังนั้นวงจรนี้จะเป็นวงจรอินเวอส์ติ้งแอมพลิไฟเออร์ที่ไม่มีดีเลย์และมีอัตราขยายเป็น α เหมือนดังข้างต้น v_{off} จะถูกยกเลิกโดยการจัดเรียงสวิทช์



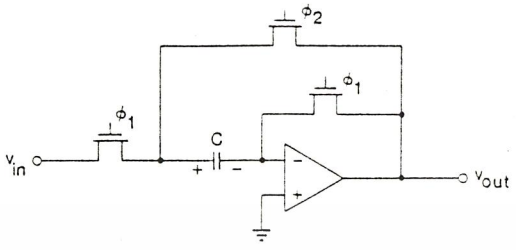
รูปที่ 7 การชดเชยออฟเซ็ตของอินเวอสติง โวลเตจ แอมพลิไฟเออร์

ดังได้กล่าวไว้ข้างต้น ในวงจรของรูปที่ 6 และรูปที่ 5 แรงดันไฟฟ้าเอาท์พุท คือ v_{off} เมื่อใดก็ตามที่ ϕ_1 มีระดับสูง และจะมีค่าเอาท์พุทเมื่อ ϕ_2 มีระดับสูง ตัวอย่างเช่น วงจรในรูปที่ 6(a) จะได้รูปคลื่นเอาท์พุทดังแสดงในรูปที่ 6 (b) เห็นได้ชัดว่าออปแอมป์ต้องมีค่าสลู เรท (slew rate) สูงและเซ็ตเทลลิง ทาม (settling time) เร็ว โดยเฉพาะอย่างยิ่งถ้าอัตราของสัญญาณนาฬิกามีค่าสูง เนื่องจากราคาของส่วนประกอบที่เพิ่มขึ้นเพียงเล็กน้อยในการชดเชยออฟเซ็ต ทำให้ข้อเสียเปรียบนี้หมดไป

วงจรชดเชยออฟเซ็ตที่ดีเลย์ครึ่งคาบ แสดงในรูปที่ 8 เมื่อ ϕ_1 มีระดับสูง คาปาซิเตอร์ C จะได้รับแรงดันไฟฟ้า $v_{in}-v_{off}$ เมื่อ ϕ_2 มีระดับสูง แรงดันไฟฟ้าเอาท์พุท คือ

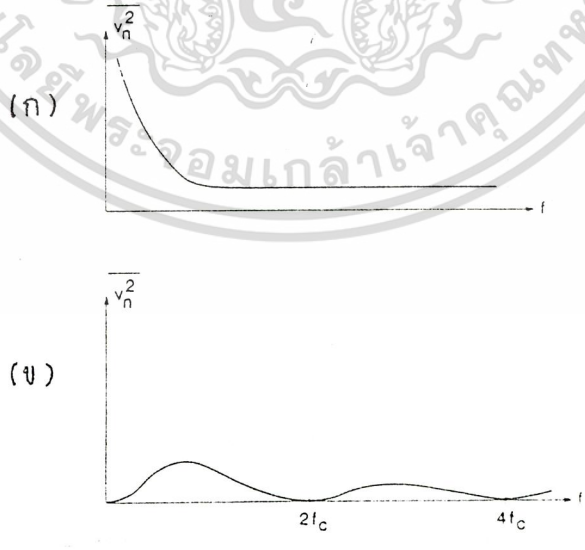
$$v_{in}-v_{off}+v_{off} = v_{in} \qquad (6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8 วงจรชดเชยออฟเซ็ตที่มีดีเลย์ครึ่งคาบ (offset-compensated half period deley circuit)

สัญญาณรบกวนที่มีความถี่ต่ำซึ่งไม่เปลี่ยนแปลงระหว่างคาบสัญญาณนาฬิกา T จะถูกตัดทิ้งโดยการชดเชยออฟเซ็ต ดังนั้นปัญหาของสัญญาณรบกวน 1/f จะลดลงได้มาก รูปที่ 9 (ก) และรูปที่ 9 (ข) แสดงถึงสเปคตรัมของสัญญาณรบกวนที่เอาท์พุทที่ไม่มีและมีการชดเชยออฟเซ็ต ตามลำดับ สังเกตว่าการตัดทิ้งของสัญญาณรบกวนจะเกิดที่ $2f_c$, $4f_c$, ... ซึ่งเสมือนกระแสตรงสำหรับสัญญาณรบกวนแบบสุ่ม (sample noise)



รูปที่ 9 กำลังงานของสัญญาณรบกวนสำหรับโวลเตจแอมพลิไฟเออร์ แบบสวิทช์คาปาซิเตอร์ (ก)ไม่มีการชดเชยออฟเซ็ต (ข)มีการชดเชยออฟเซ็ต

ไม่ว่ากรณีใดๆ ทั้งสิ้น ลิขสิทธิ์ในวิทยานิพนธ์นี้เป็นของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

MOTOROLA

MC14066B

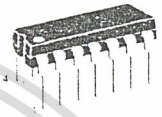
QUAD ANALOG SWITCH/QUAD MULTIPLEXER

The MC14066B consists of four independent switches capable of controlling either digital or analog signals. This quad bilateral switch is useful in signal gating, chopper, modulator, demodulator and CMOS logic implementation.

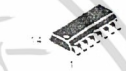
The MC14066B is designed to be pin-for-pin compatible with the MC14016B, but has much lower ON resistance. Input voltage swings as large as the full supply voltage can be controlled via each independent control input.

- Triple Diode Protection on All Control Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Linearized Transfer Characteristics
- Low Noise — 12 nV/√ Cycle, f ≥ 1.0 kHz typical
- Pin-for-Pin Replacement for CD4016, CD4016, MC14016B
- For Lower R_{ON}, Use The HC4066 High-Speed CMOS Device

L SUFFIX
CERAMIC
CASE 632



P SUFFIX
PLASTIC
CASE 646



D SUFFIX
SOIC
CASE 751A

ORDERING INFORMATION

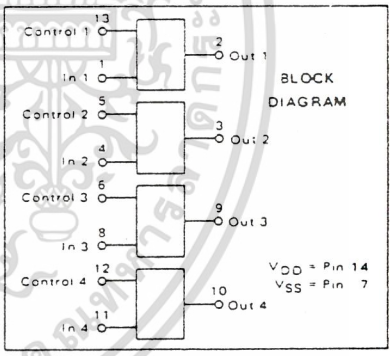
MC14XXXBCP Plastic
MC14XXXBCL Ceramic
MC14XXXBD SOIC

T_A = −55° to 125°C for all packages.

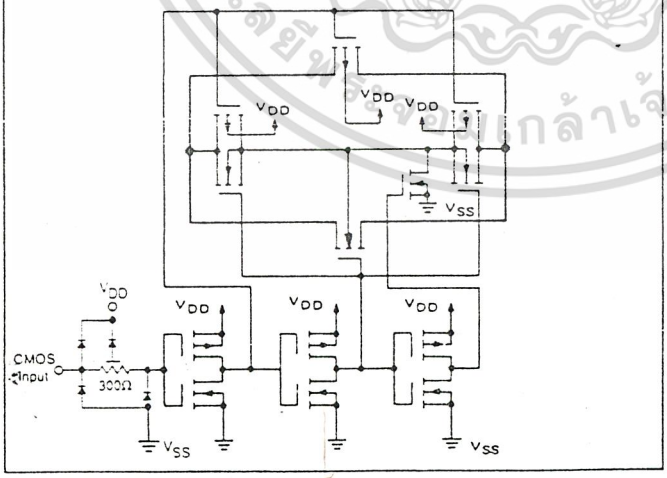
MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	−0.5 to +18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	−0.5 to V_{DD} +0.5	V
I_{in}	Input Current (DC or Transient), per Control Pin	±10	mA
I_{sw}	Switch Through Current	±25	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature (8-Second Soldering)	260	°C

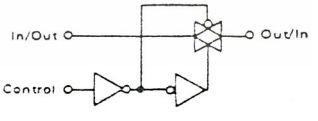
*Maximum Ratings are those values beyond which damage to the device may occur.
†Temperature Derating: Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C
Ceramic "L" Packages: – 12 mW/°C From 100°C To 125°C



CIRCUIT SCHEMATIC
(1/4 OF DEVICE SHOWN)



LOGIC DIAGRAM AND TRUTH TABLE
(1/4 OF DEVICE SHOWN)



Control	Switch
0 = V_{SS}	OFF
1 = V_{DD}	ON

Logic Diagram Restrictions
$V_{SS} \leq V_{in} \leq V_{DD}$
$V_{SS} \leq V_{out} \leq V_{DD}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

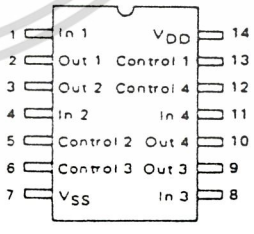
ELECTRICAL CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C unless otherwise noted.)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ #	Max	Unit
Propagation Delay Times (V_{SS} = 0 Vdc)						
Input to Output (R_L = 10 kΩ)	t_{PLH}, t_{PHL}					ns
t_{PLH}, t_{PHL} = (0.17 ns/pF) C_L + 15.5 ns		5.0	—	20	40	
t_{PLH}, t_{PHL} = (0.08 ns/pF) C_L + 6.0 ns		10	—	10	20	
t_{PLH}, t_{PHL} = (0.06 ns/pF) C_L + 4.0 ns		15	—	7.0	15	
Control to Output (R_L = 1 kΩ) (Figure 2)						
Output "1" to High Impedance	t_{PHZ}	5.0	—	40	80	ns
		10	—	35	70	
		15	—	30	60	
Output "0" to High Impedance	t_{PLZ}	5.0	—	40	80	ns
		10	—	35	70	
		15	—	30	60	
High Impedance to Output "1"	t_{PZH}	5.0	—	60	120	ns
		10	—	20	40	
		15	—	15	30	
High Impedance to Output "0"	t_{PZL}	5.0	—	60	120	ns
		10	—	20	40	
		15	—	15	30	
Second Harmonic Distortion (V_{SS} = −5 Vdc) (V_{in} = 1.77 Vdc, RMS Centered @ 0.0 Vdc, R_L = 10 kΩ, f = 1.0 kHz)	—	5.0	—	0.1	—	%
Bandwidth (Switch ON) (Figure 3) (V_{SS} = −5 Vdc) (R_L = 1 kΩ, $20 \log \frac{V_{out}}{V_{in}}$ = −3 dB, C_L = 50 pF, V_{in} = 5 V_{p-p})	—	5.0	—	55	—	MHz
Feedthrough Attenuation (Switch OFF) (V_{SS} = −5 Vdc) (V_{in} = 5 V_{p-p}, R_L = 1 kΩ, f_{in} = 1.0 MHz) (Figure 3)	—	5.0	—	−50	—	dB
Channel Separation (Figure 4) (V_{SS} = −5 Vdc) (V_{in} = 5 V_{p-p}, R_L = 1 kΩ, f_{in} = 8.0 MHz) (Switch A ON, Switch B OFF)	—	5.0	—	−50	—	dB
Crosstalk, Control Input to Signal Output (Figure 5) (V_{SS} = −5 Vdc) (R_1 = 1 kΩ, R_L = 10 kΩ, Control t_{TLH} = t_{THL} = 20 ns)	—	5.0	—	300	—	mV_{p-p}

*The formulas given are for the typical characteristics only at 25°C.
#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD}	Test Conditions	−55°C		25°C			125°C		Unit
				Min	Max	Min	Typ #	Max	Min	Max	
SUPPLY REQUIREMENTS (Voltages Referenced to V_{EE})											
Power Supply Voltage Range	V_{DD}	—		3.0	18	3.0	—	18	3.0	18	V
Quiescent Current Per Package	I_{DD}	5.0	Control Inputs: V_{in} = V_{SS} or V_{DD}. Switch I/O: $V_{SS} \le V_{I/O} \le V_{DD}$, and $\Delta V_{switch} \le 500$ mV**	—	0.25	—	0.005	0.25	—	7.5	μA
		10		—	0.5	—	0.010	0.5	—	15	
		15		—	1.0	—	0.015	1.0	—	30	
Total Supply Current (Dynamic Plus Quiescent, Per Package	$I_{D(AV)}$	5.0	T_A = 25°C only The channel component, (V_{in} − V_{out}) R_{on}, is not included.)	Typical (0.07 μA/kHz)f + I_{DD}							μA
		10		Typical (0.20 μA/kHz)f + I_{DD}							
		15		Typical (0.36 μA/kHz)f + I_{DD}							
CONTROL INPUTS (Voltages Referenced to V_{SS})											
Low-Level Input Voltage	V_{IL}	5.0	R_{on} = per spec, I_{off} = per spec	—	1.5	—	2.25	1.5	—	1.5	V
		10		—	3.0	—	4.50	3.0	—	3.0	
		15		—	4.0	—	6.75	4.0	—	4.0	
High-Level Input Voltage	V_{IH}	5.0	R_{on} = per spec, I_{off} = per spec	3.5	—	3.5	2.75	—	3.5	—	V
		10		7.0	—	7.0	5.50	—	7.0	—	
		15		11	—	11	8.25	—	11	—	
Input Leakage Current	I_{in}	15	V_{in} = 0 or V_{DD}	—	±0.1	—	±0.00001	±0.1	—	±1.0	μA
Input Capacitance	C_{in}	—		—	—	—	5.0	7.5	—	—	pF
SWITCHES IN AND OUT (Voltages Referenced to V_{SS})											
Recommended Peak-to-Peak Voltage Into or Out of the Switch	$V_{I/O}$	—	Channel On or Off	0	V_{DD}	0	—	V_{DD}	0	V_{DD}	V_{p-p}
Recommended Static or Dynamic Voltage Across the Switch** (Figure 1)	ΔV_{switch}	—	Channel On	0	600	0	—	600	0	300	mV
Output Offset Voltage	V_{OO}	—	V_{in} = 0 V, No Load	—	—	—	10	—	—	—	μV
ON Resistance	R_{on}	5.0	$\Delta V_{switch} \le 500$ mV**, V_{in} = V_{IL} or V_{IH} (Control), and V_{in} = 0 to V_{DD} (Switch)	—	800	—	250	1050	—	1200	Ω
		10		—	400	—	120	500	—	520	
		15		—	220	—	80	280	—	300	
ΔON Resistance Between Any Two Channels in the Same Package	ΔR_{on}	5.0		—	70	—	25	70	—	135	Ω
		10		—	50	—	10	50	—	95	
		15		—	45	—	10	45	—	65	
Off-Channel Leakage Current (Figure 6)	I_{off}	15	V_{in} = V_{IL} or V_{IH} (Control) Channel to Channel or Any One Channel	—	±100	—	±0.05	±100	—	±1000	nA
Capacitance, Switch I/O	$C_{I/O}$	—	Switch Off	—	—	—	10	15	—	—	pF
Capacitance, Feedthrough (Switch Off)	$C_{I/O}$	—		—	—	—	0.47	—	—	—	pF

#Data labeled "Typ" is not to be used for design purposes, but is intended as an indication of the IC's potential performance.
**For voltage drops across the switch (ΔV_{switch}) > 600 mV (> 300 mV at high temperature), excessive V_{DD} current may be drawn; i.e. the current out of the switch may contain both V_{DD} and switch input components. The reliability of the device will be unaffected unless the Maximum Ratings are exceeded. (See first page of this data sheet.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14001B
Quad 2-Input NOR Gate

MC14002B
Dual 4-Input Nor Gate

MC14011B
Quad 2-Input NAND Gate

MC14012B
Dual 4-Input NAND Gate

MC14023B
Triple 3-Input NAND Gate

MC14025B
Triple 3-Input NOR Gate

MC14068B
8-Input NAND Gate

MC14071B
Quad 2-Input OR Gate

MC14072B
Dual 4-Input OR Gate

MC14073B
Triple 3-Input AND Gate

MC14075B
Triple 3-Input OR Gate

MC14078B
8-Input NOR Gate

MC14081B
Quad 2-Input AND Gate

MC14082B
Dual 4-Input AND Gate

B-SUFFIX SERIES CMOS GATES

The B Series logic gates are constructed with P and N channel enhancement mode devices in a single monolithic structure (Complementary MOS). Their primary use is where low power dissipation and/or high noise immunity is desired.

- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- All Outputs Buffered
- Capable of Driving Two Low-power TTL Loads or One Low-power Schottky TTL Load Over the Rated Temperature Range.
- Double Diode Protection on All Inputs Except: Triple Diode Protection on MC14011B and MC14081B
- Pin-for-Pin Replacements for Corresponding CD4000 Series B Suffix Devices (Exceptions: MC14068B and MC14078B)

L SUFFIX
CERAMIC
CASE 632

P SUFFIX
PLASTIC
CASE 646

D SUFFIX
SOIC
CASE 751A

ORDERING INFORMATION

MC14XXXBCP Plastic
MC14XXXBCL Ceramic
MC14XXXBD SOIC

T_A = −55 to 125°C for all packages.

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	−0.5 to +18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	−0.5 to V_{DD} +0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	±10	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature (8-Second Soldering)	260	°C

*Maximum Ratings are those values beyond which damage to the device may occur.
†Temperature Derating: Plastic "P and D/DW" Packages: −7.0 mW/°C From 65°C To 125°C
Ceramic "L" Packages: −12 mW/°C From 100°C To 125°C

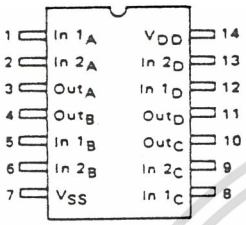
This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

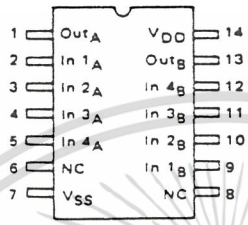
CMOS B-SERIES GATES

PIN ASSIGNMENTS

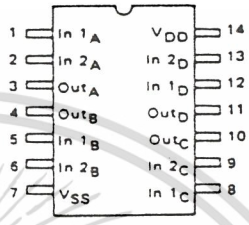
MC14001B
Quad 2-Input NOR Gate



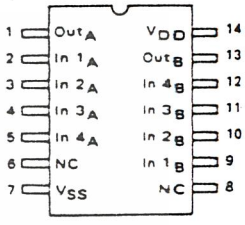
MC14002B
Dual 4-Input NOR Gate



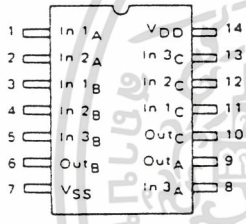
MC14011B
Quad 2-Input NAND Gate



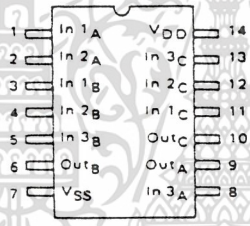
MC14012B
Dual 4-Input NAND Gate



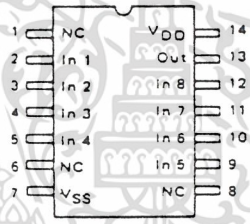
MC14023B
Triple 3-Input NAND Gate



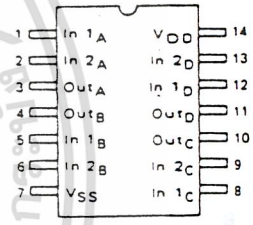
MC14025B
Triple 3-Input NOR Gate



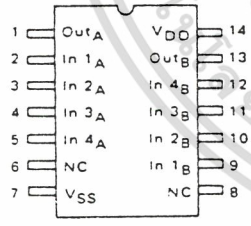
MC14068B
8-Input NAND Gate



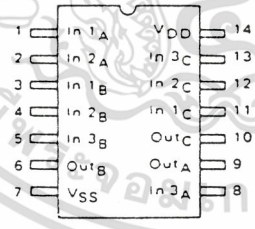
MC14071B
Quad 2-Input OR Gate



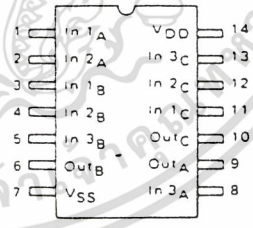
MC14072B
Dual 4-Input OR Gate



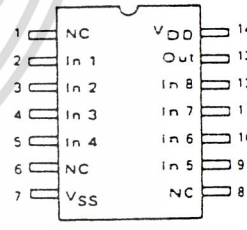
MC14073B
Triple 3-Input AND Gate



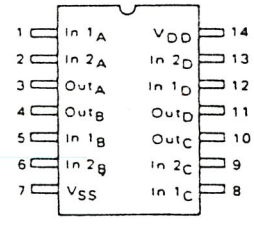
MC14075B
Triple 3-Input OR Gate



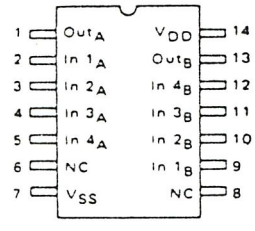
MC14078B
8-Input NOR Gate



MC14081B
Quad 2-Input AND Gate



MC14082B
Dual 4-Input AND Gate



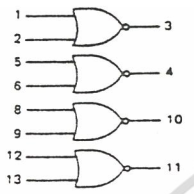
NC = No Connection

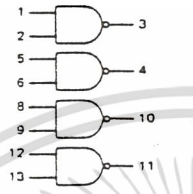
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

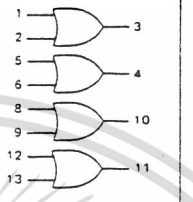
CMOS B-SERIES GATES

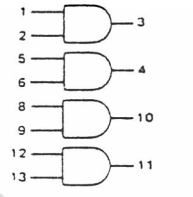
LOGIC DIAGRAMS

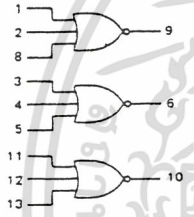
	NOR	NAND	OR	AND
2 INPUT	MC14001B Quad 2-Input NOR Gate	MC14011B Quad 2-Input NAND Gate	MC14071B Quad 2-Input OR Gate	MC14081B Quad 2-Input AND Gate
3 INPUT	MC14025B Triple 3-Input NOR Gate	MC14023B Triple 3-Input NAND Gate	MC14075B Triple 3-Input OR Gate	MC14073B Triple 3-Input AND Gate
4 INPUT	MC14002B Dual 4-Input NOR Gate	MC14012B Dual 4-Input NAND Gate	MC14072B Dual 4-Input OR Gate	MC14082B Dual 4-Input AND Gate
8 INPUT	MC14078B 8-Input NOR Gate	MC14068B 8-Input NAND Gate		

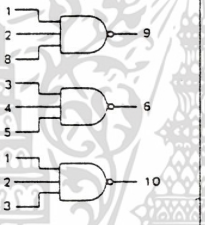


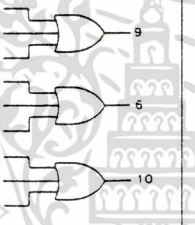


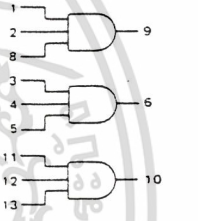


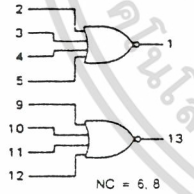


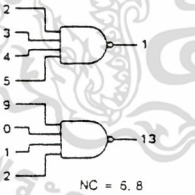


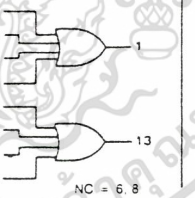


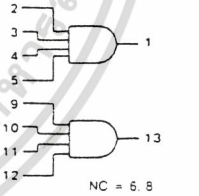


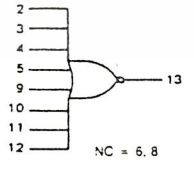


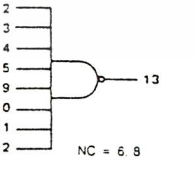












V_{DD} = Pin 14
V_{SS} = Pin 7
for All Devices

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS B-SERIES GATES

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	−55°C Min	−55°C Max	25°C Min	25°C Typ #	25°C Max	125°C Min	125°C Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage "0" Level (V_O = 4.5 or 0.5 Vdc)	V_{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc
(V_O = 9.0 or 1.0 Vdc)		10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	—	4.0	—	6.75	4.0	—	4.0	
"1" Level (V_O = 0.5 or 4.5 Vdc)	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 Vdc)		15	11	—	11	8.25	—	11	—	
Output Drive Current (V_{OH} = 2.5 Vdc) Source	I_{OH}	5.0	−3.0	—	−2.4	−4.2	—	−1.7	—	mAdc
(V_{OH} = 4.6 Vdc)		5.0	−0.64	—	−0.51	−0.88	—	−0.36	—	
(V_{OH} = 9.5 Vdc)		10	−1.6	—	−1.3	−2.25	—	−0.9	—	
(V_{OH} = 13.5 Vdc)		15	−4.2	—	−3.4	−8.8	—	−2.4	—	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 Vdc)		15	4.2	—	3.4	8.8	—	2.4	—	
Input Current	I_{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	μAdc
Input Capacitance (V_{in} = 0)	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package)	I_{DD}	5.0	—	0.25	—	0.0005	0.25	—	7.5	μAdc
		10	—	0.5	—	0.0010	0.5	—	15	
		15	—	1.0	—	0.0015	1.0	—	30	
Total Supply Current**† (Dynamic plus Quiescent, Per Gate, C_L = 50 pF)	I_T	5.0	I_T = (0.3 μA/kHz) f + I_{DD}/N							μAdc
		10	I_T = (0.6 μA/kHz) f + I_{DD}/N							
		15	I_T = (0.9 μA/kHz) f + I_{DD}/N							

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

**The formulas given are for the typical characteristics only at 25°C.

†To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50\ pF) + (C_L - 50)\ Vfk$$

where: I_T is in μA (per package), C_L in pF, V = (V_{DD} − V_{SS}) in volts, f in kHz is input frequency, and k = 0.001 × the number of exercised gates per package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14049B
MC14050B

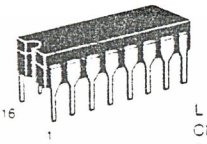
HEX BUFFER

The MC14049B Hex Inverter Buffer and MC14050B Noninverting Hex Buffer are constructed with MOS P-Channel and N-Channel enhancement mode devices in a single monolithic structure. These complementary MOS devices find primary use where low power dissipation and or high noise immunity is desired. These devices provide logic level conversion using only one supply voltage, V_{DD}.

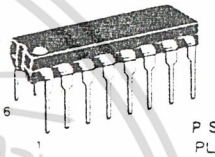
The input-signal high level (V_{IH}) can exceed the V_{DD} supply voltage for logic level conversions. Two TTL DTL loads can be driven when the devices are used as a CMOS-to-TTL DTL converter (V_{DD} = 5.0 V, $V_{OL} \leq$ 0.4 V, $I_{OL} \geq$ 3.2 mA).

Note that pins 13 and 16 are not connected internally on these devices; consequently connections to these terminals will not affect circuit operation.

- High Source and Sink Currents
- High-to-Low Level Converter
- Supply Voltage Range = 3.0 V to 18 V
- V_{IN} can exceed V_{DD}
- Meets JEDEC B Specifications
- Improved ESD Protection On All Inputs



L SUFFIX
CERAMIC
CASE 620



P SUFFIX
PLASTIC
CASE 648

D SUFFIX
SOIC
CASE 751B

ORDERING INFORMATION

MC14XXXBCL	Ceramic
MC14XXXBCP	Plastic
MC14XXXBD	SOIC

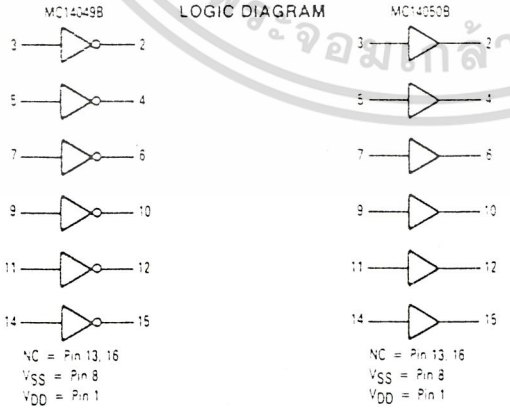
T_A = −55°C to −125°C for all packages

MAXIMUM RATINGS[1] (Voltages referenced to V_{SS})

Characteristic	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	−0.5 to −18	Vdc
Input Voltage (DC or Transient)	V_{IN}	−0.5 to −18	Vdc
Output Voltage (DC or Transient)	V_{out}	−0.5 to V_{DD} + 0.5	Vdc
Input Current (DC or Transient), per pin	I_{in}	±10	mA
Output Current (DC or Transient), per pin	I_{out}	−45	mA
Power Dissipation, per Package[2] (Plastic Ceramic) (SOIC)	P_D	825 740	mW
Storage Temperature	T_{stg}	−65 to −150	°C
Lead Temperature (8-Second Soldering)	T_L	260	°C

[1]Maximum Ratings are those values beyond which damage to the device may occur.
[2]Temperature Derating: See Figure 3.

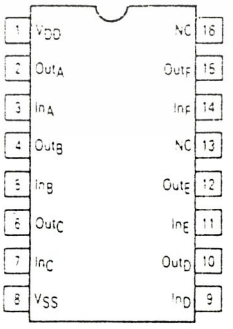
LOGIC DIAGRAM



NC = Pin 13, 16
V_{SS} = Pin 8
V_{DD} = Pin 1

NC = Pin 13, 16
V_{SS} = Pin 8
V_{DD} = Pin 1

PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Voltages referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	− 55°C Min	− 55°C Max	− 25°C Min	− 25°C Typ[1]	− 25°C Max	+ 125°C Min	+ 125°C Max	Unit
Output Voltage "0" Level	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
$V_{in} = V_{DD}$		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
"1" Level	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
$V_{in} = 0$		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage "0" Level	V_{IL}									Vdc
(V_O = 4.5 Vdc)		5.0	—	1.5	—	2.25	1.5	—	1.5	
(V_O = 9.0 Vdc)		10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 Vdc)		15	—	4.0	—	6.75	4.0	—	4.0	
"1" Level	V_{IH}									Vdc
(V_O = 0.5 Vdc)		5.0	3.5	—	3.5	2.75	—	3.5	—	
(V_O = 1.0 Vdc)		10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 Vdc)		15	11	—	11	8.25	—	11	—	
Output Drive Current	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	− 1.6	—	− 1.25	− 2.5	—	− 1.0	—	
(V_{OH} = 9.5 Vdc)		10	− 1.6	—	− 1.30	− 2.6	—	− 1.0	—	
(V_{OH} = 13.5 Vdc)		15	− 4.7	—	− 3.75	− 10	—	− 3.0	—	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	3.75	—	3.2	6.0	—	2.6	—	mAdc
(V_{OL} = 0.5 Vdc)		10	10	—	8.0	16	—	6.6	—	
(V_{OL} = 1.5 Vdc)		15	30	—	24	40	—	19	—	
Input Current	I_{in}	15	—	± 0.1	—	± 0.00001	± 0.1	—	± 1.0	μAdc
Input Capacitance (V_{in} = 0)	C_{in}	—	—	—	—	10	20	—	—	pF
Quiescent Current (Per Package)	I_{DD}	5.0	—	1.0	—	0.002	1.0	—	30	μAdc
		10	—	2.0	—	0.004	2.0	—	60	
		15	—	4.0	—	0.006	4.0	—	120	
Total Supply Current [2,3] (Dynamic plus Quiescent, per package) (C_L = 50 pF on all outputs, all buffers switching	I_T	5.0	$I_T = (1.8\ \mu A/kHz)\ f + I_{DD}$							μAdc
		10	$I_T = (3.5\ \mu A/kHz)\ f + I_{DD}$							
		15	$I_T = (5.3\ \mu A/kHz)\ f + I_{DD}$							

[1] Data labeled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.
[2] The formulas given are for the typical characteristics only at + 25°C
[3] To calculate total supply current at loads other than 50 pF:
$I_T(C_L) = I_T(50\ pF) + (C_L - 50)\ Vfk$
Where: I_T is in μA (per Package), C_L in pF, $V = (V_{DD} - V_{SS})$ in volts, f in kHz is input frequency and k = 0.002.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields **referenced to the V_{SS} pin only**. Extra precautions must be taken to avoid applications of any voltage higher than the maximum rated voltages to this high-impedance circuit. For proper operation, the ranges $V_{SS} \leq V_{in} \leq 18$ V and $V_{SS} \leq V_{out} \leq V_{DD}$ are recommended.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] Roubin Gregorian & Giabor C. Tenes " Analog MOS Integrated Circuit for signal processing," John Wiley & sons Inc. 1986

[2] ME Van Valkenburg " Analog Filter Design," Holt Rinehart and Winston Inc

[3] Rolf Schaumann , Mohamned Si Ghausi Kenneth Ri Vaker "Design of Analog Filter," Prentice Han Inc , 1990

[4] Don Lancaster "Active Filter Cookbook," Howard W Soms & Co. ,1975

[5] วิวัฒน์ กิรานนท์ ,ปราโมทย์ วาดเขียน และ จริยา เลิศจรัสอร่ามดี "เครื่องขยายสัญญาณซึ่งมีอัตราการขยายแบบล็อกชนิดใหม่" การประชุมวิชาการวิศวกรรมไฟฟ้าสถาบันอุดมศึกษาของรัฐ ครั้งที่ 13 ณ มหาวิทยาลัยเชียงใหม่ หน้าที่ 149-155

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ ด้วยคำแนะนำจากท่านอาจารย์และความช่วยเหลือจากเพื่อนๆ ที่ได้ให้กำลังใจตลอดจนตระเตรียมงานจนสำเร็จไปด้วยดี ผู้จัดทำจึงขอขอบคุณไว้ ณ โอกาสนี้ และหากมีข้อผิดพลาดประการใด คณะผู้จัดทำขออภัยมา ณ ที่นี้ด้วย

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้