เทคนิคการมอดดูเลชั่นแบบเอ็มเอสเค
MSK MODULATION

โดย

นาย ชฎากรณ์ วีรการณ์
นาย วรากร อรัญดร
นาย นุวัฒน์ หลีวิจิตร

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต
สาขาเทคโนโลยีโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ MSK MODULATION

โดย

นาย ชฎากรณ์ วีรการณ์
นาย วรากร อรัญดร
นาย นุวัฒน์ หลีวิจิตร

ภาควิชา เทคนิคอุตสาหกรรม

อาจารย์ที่ปรึกษา อาจารย์ ดลชัย สุขเจริญผล

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังอนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการการสอบปริญญานิพนธ์

.....อาจารย์ที่ปรึกษา
(อาจารย์ ดลชัย สุขเจริญผล)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

.....กรรมการ
(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคการมอดดูเลชั่นแบบเอ็มเอสเค
MINIMUM SHIFT KEYING

นาย ชฎากรณ์ วีรการณ์
นาย วรากร อรัญดร
นาย นุวัฒน์ หลีวิจิตร

อาจารย์ที่ปรึกษา อาจารย์ ดลชัย สุขเจริญผล

บทคัดย่อ

เทคนิคดิจิตอลมอดดูเลชั่นแบบเอ็มเอสเค ดูเหมือนกับแบบเอฟเอสเคที่มีความถี่เบี่ยงเบน (ความถี่บิตเรท หาร สี่) หรือ คล้ายกับ ออฟเซ็ต-คีย์ ควอเตอร์นารีเฟสชิฟ รูปแบบมอด และ ดีมอด แบบเอ็มเอสเค เป็นการลดกระบวนการจาก โคฮีเรนท์ ไบเฟส เคอิ้ง เมื่ออัตราส่วนของความถี่แคเรียต่อบิตเรทสูงขึ้นดังนั้นวิธีนี้ไม่ต้องการความเที่ยงตรงของการเปรียบเทียบเฟสของคู่ออสซิเลเตอร์ทางด้านส่งแบบที่รู้จักกันคือ ดีเอ็มเอสเคที่มีความสามารถในการแก้ความผิดพลาดให้ถูกต้อง สามารถทำให้เหมาะสมกับ ดีเอ็มเอ ของดาวเทียม วิทยุเคลื่อนที่และระบบไมโครเวฟ

ABTRACT

Minimum shift keying (MSK) is a digital modulation technique which is similar to frequency shift keying (FSK) with peak frequency deviation precisely equal to frequency bitrate divided by four. Modulation anddemodulation in the MSK format are reduce to the process of coherent biphase keying. Accuracy phase comparision of the pair of oscillators in the transmitter. This modem, known as DMSK , equipped to reduce error correction capability. Which suitable for TDMA satellite systems, mobile radio and microwave systems applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ		
บทที่ 1	บทนำและหลักการเบื้องต้นของระบบ MSK	1
บทที่ 2	หลักการทำงานของภาคส่ง	14
บทที่ 3	การออกแบบและสร้างวงจรภาคส่ง	33
บทที่ 4	หลักการทำงานของภาครับ	41
บทที่ 5	การออกแบบและสร้างวงจรภาครับ	53
บทที่ 6	ผลการทดลอง	65
บทที่ 7	สรุปผลและการพัฒนา	69
กิตติกรรมประกาศ		
ภาคผนวก		
หนังสืออ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคการมอดดูเลชั่นแบบเอ็มเอสเค

(MSK MODULATION)

จุดประสงค์

1. เพื่อนำความรู้ที่เรียนมาประยุกต์ในการทำโครงงานปริญญานิพนธ์
2. เพื่อทำการปรับปรุงแก้ไขโครงงานในระบบเดิม
3. เพื่อเรียนรู้การออกแบบและการคำนวนโดยใช้ Integrated Circuits
4. เพื่อศึกษาเทคนิคในการลดแถบความถี่ของ FSK และการออกแบบวงจรด้วย circuit devices

ขอบเขตของงาน

ในการทำโครงงานครั้งนี้วงจรที่ใช้ในการออกแบบประกอบด้วยวงจรต่อไปนี้ สำหรับ TRANSMITTER ทำในส่วนของ

1. SERIAL TO PARALLAL
2. DIFFERENTIAL ENCODE / DECODE
3. LOW PASS FILTER
4. PHASE SHIFT 90°
5. BALANCE MODULATION (BM)
6. VOLTAGE CONTROL OSCILATOR (v.c.o)
7. PULSE SHAPING
8. IF AMPLIFIER AND BAND PASS FILTER

สำหรับ RECEIVER ทำในส่วนของ

1. CARRIER RECOVERY
2. DEMODULATUION
   - CLOCK RECOVERY
   - INTEGRATE AND DUMP
3. PHASE SHIFT 90
4. RECEIVER FILTER
5. DECISION THRESHOLD
6. PARALLAL TO SERIAL (ODD-EVEN MUX)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในปัจจุบันระบบดิจิตอลได้นำมาใช้ในการสื่อสาร โดยที่ระบบไม่เพียงแต่จะเป็นโครงข่ายที่ทำให้เกิดการประหยัดเท่านั้น แต่ยังทำให้เกิดประสิทธิภาพสูงขึ้น

*เทคนิคการ Modulation ในระบบ Digital Radios ที่นิยมใช้มี 3 วิธี

1. Frequency Shift Keying (FSK)
2. Phase Shift Keying (BPSK)
3. Quadrature Amplitude Modulation (QAM)

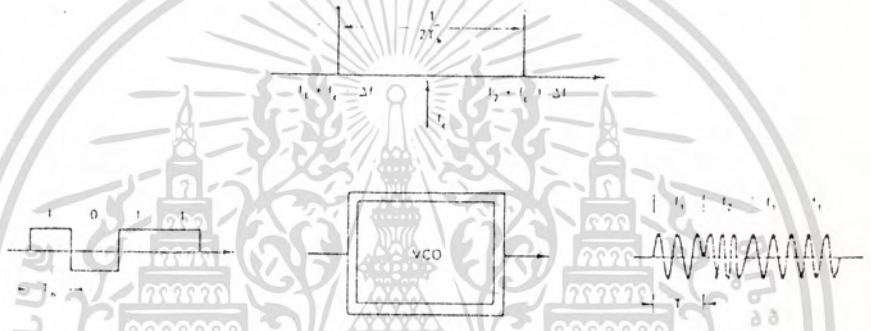
สำหรับเทคนิคการ MOD ทั้ง 3 เป็นมาตราฐานการผสมสัญญาณของโมเด็มที่ใช้กันมากแต่โครงงานนี้จะใช้เทคนิคการ MOD แบบ MSK (MINIMUM SHIFT KEYING) ซึ่งเป็นระบบ digital modulation พัฒนามาจากระบบ FSK (FREQUENCY SHIFT KEYING) การใช้งานก็นำไปใช้ได้เหมือนกับระบบทั้ง 3 ข้างต้นแต่คุณสมบัติพิเศษคือ ประสิทธิภาพในการประหยัดพลังงานเนื่องจากมีการกระจายของสเปคตรัมน้อยกว่า FSK แบบเก่าและจากเหตุผลนี้จึงนำเทคนิคการ MOD แบบ MSK ไปใช้ เป็นโมเด็มรับส่งวิทยุ และนำไปปรับปรุงระบบการ Modulation หรือออกแบบระบบ Digital Radios ใหม่ที่ต้องการให้มี B.W. ต่อช่องสัญญาณต่ำ เช่น การให้บริการข้อมูลต่าง ๆ วิทยุติดตามตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

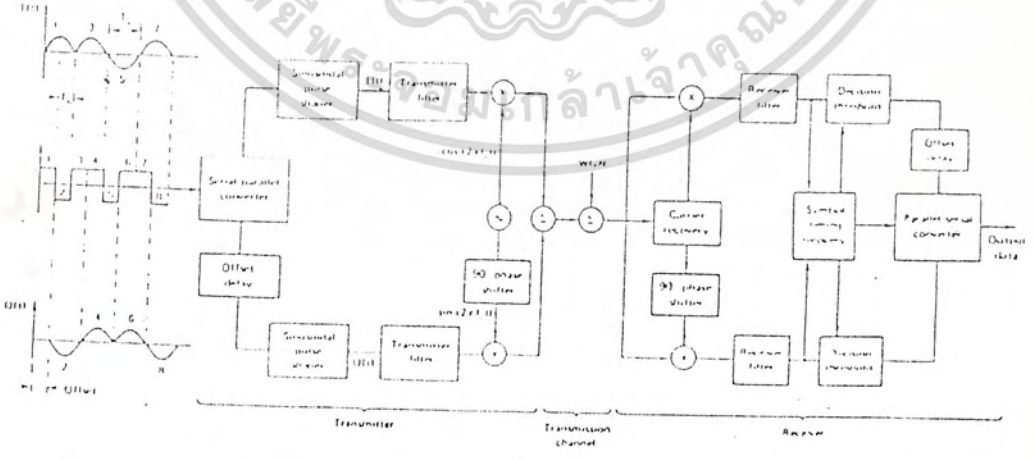
หลักการเบื้องต้นของ MSK

คลื่นความถี่ FM เป็นคลื่นความถี่ที่ใช้เทคนิคสายต่อเนื่อง สำหรับการส่งผ่านข้อมูลนั้นในทางตัวเลขของระบบ FM รู้จักในนามของระบบ FSK ส่งข้อมูลจำนวนมากได้ในพิสัย 50 bit/sec ถึง 1 Mbit/sec สำหรับระบบไม่รวมนัย MSK หรือ FFSK บทนี้จะบรรยายถึงหลักการของระบบปฏิบัติการและคุณสมบัติของระบบ MSK

หลักการของ MSK



รูปที่ 1.1



รูปที่ 1.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แผนผังแสดงขั้นตอนของมอดดูเลเตอร์ FFSK ในแผนภาพออสซิลเลเตอร์ ควบคุมแรงดันแสดงถึงความเป็นไปได้ของการเสริมของมอดดูเลเตอร์สถานะ 1 แสดง ผลต่างการส่งความถี่ f_2 และสถานะ 0 แสดงผลต่อการส่งความถี่ f_1

$$\Delta f = (f_2 - f_1)/2 = 1/4T_b \qquad [\ 1.1\ ]$$

ณ ที่ T_b เป็นหน่วยบิตระหว่างข้อมูล input สังเกตุว่าความสัมพันธ์ร่วมนัยระหว่างคลื่นที่ส่งและอัตราบิตเป็นสิ่งที่จำเป็น ตอนนี้มาดูสัญญาณ FFSK อาจจะกำเนิดกระแสในอาการคล้าย ๆ กันสู่มอดดูเลชั่น OK-QPSK สัญญาณ SPSK (t) โดย

$$S_{msk}(t) = A\cos(2\pi\Delta ft)\cos(2\pi f_c t) - A\sin(2\pi\Delta ft)\sin(2\pi f_c t) \qquad [\ 1.2\ ]$$

จากสมการ MSK ความถี่พาหะที่ไม่ได้มอดดูเล f_c ถูกควบคุมทั้งในเฟสและในสัญญาณ quadarture baseband serial to parallel ของข้อมูลที่ แปลงถูกส่งไปสู่ sinusoidal pulse shaper ใน baseband ช่อง I นั้น pulse shaper ก่อให้เกิด $\cos(+\pi t/2T_b)$ ขณะที่ช่อง Q offset delay T_b ใน ตัวเชื่อมกับ pulse-Shaper กำหนดโดย

$$\cos\ (\pi t - \pi T_b)/2T_b = \sin\ (\pi t/2T_b) \qquad [\ 1.3\ ]$$

Sinusoidal pulse shapers สามารถเพิ่มเติม switch filters ขณะนี้ให้ที่จะพิสูจน์โดยสมการดังกล่าวก่อให้เกิดสัญญาณ MSK sinusoidal pulse shaping หมายถึง modulator output มีทั้ง positive or negative มีเฟสเปลี่ยนแบบ linear อัตราที่เกี่ยวกับการส่งขึ้นอยู่กับข้อมูล input amplitude และ phase ของสัญญาน output ของการ modulating เป็นผลรวมของสัญญาณ (ซึ่งไม่ได้ผ่านfilter) มี amplitude คงที่ (คือ เวลาที่ไม่แปรผัน) มันสามารถส่งผ่านเครื่องมือจำกัด Amplitude การเพิ่มสัญญานในแบบเดียวกันกับ FM.

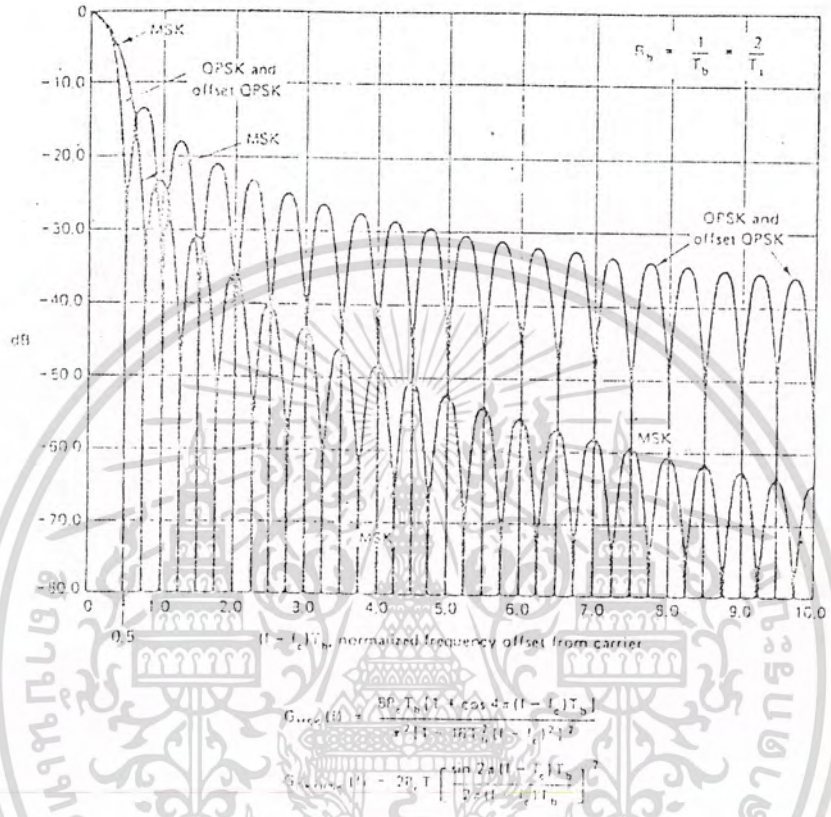
MSK demodulator กระทำในแบบเดียวกันกับ offset QPSK ตัวรับดังที่บรรยายไปแล้วอย่างไรก็ดีการ filter ที่ต่างกันเพื่อความแน่ใจ ISI-free ในการส่ง bit rate และการแยกคลื่นความถี่เกี่ยวพันธ์กันโดยสมการข้างต้น การประยุกต์ต่อระบบการออกแบบ MSK จะง่ายในการส่งสัญญาณ 4 สถานะ

แสดงรูปแบบของ modulator การส่งลูกคลื่นมี 3 แบบ คือ MSK,offset QPSK และ QPSK ปรากฏทุก ๆ $2T_b$ ต่อวินาที คือ การเพิ่มของสัญญาณขณะที่ OKQPSK และ MSK ปรากฏทุก ๆ T_b ต่อวินาทีในระบบเดิม +90 องศา เฟสต่อการส่ง และเฟสของ +180 องศา ที่เป็นไปได้ขณะที่ใน OKQPSK ถูกจำกัดที่ +90 องศา มากกว่ากลุ่มของสัญญาณ 4 สถานะใน MSK การส่งเฟสเชิงเส้น T_b วินาทีนั้นต่อเนื่องกันตลอดเวลา

MSK spectrum and spectral efficency

ด้วยวิวัฒนาการที่คล้าย ๆ กัน สำหรับวิธีการ QPSK และ OKQPSK เราอาจจะรวมการ modulation MSK เท่ากันกับความถี่ spectrum ของ I และ Q baseband เราจึงได้สมการที่1.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.3

$$G_{msk}(f) = [8P_cT_b(1+\cos 4\pi(f-f_c)T_b]/\pi^2\,[1-16T_b^2(f-f_c)^2]^2 \qquad [\,1.4\,]$$

เมื่อ f_c = unmodulted carrier frequency

P_c = total power in modulation waveform

$T_b = 1/f_b$ = bit rate

$T_s = 1/f_s = 2T_b$ = symbol durtion

Power spectrum ปกติของ QPSK,offset QPSK และ MSK เป็นฟังก์ชั่นของความถี่ และ binary bit rate $R_b = 1/T_b$ ดังแสดงในรูปหน้าต่อไป QPSK จะมีกว้างของ main lobe $+1/2T_b$ และ MSK กว้างกว่า $+3/4T_b$ มีค่าที่ ใหญ่กว่าของ $(f-f_o)/T_b$ MSK จะมี spectrum ตกไปสู่ $(f)^{-4}$ QPSK เป็นสัดส่วน ต่อ $(f)^{-2}$spectrum ที่ไม่ได้ filter เป็นสัดส่วนของความสัมพันธ์ต่อ การออกแบบที่สถานี ณ ที่กำลังสูง high power amplifier(HPA) ถูกใช้ในแบบไม่เชิงเส้น แต่ระบบดาวเทียมประยุกต์ใช้ได้ที่ถูกกว่าที่เรียกว่า Nyquist

การประยุกต์ของ Nyquist เกี่ยวข้องกับการแทรกแซง การส่งคลื่นที่ซึ่ง baseband ถูกจำกัดให้มี spectrum ที่พอเพียงของ 2b/sec Hz ในการเข้าใจและ เรียนรู้ถึงการ filter ของระบบ MSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

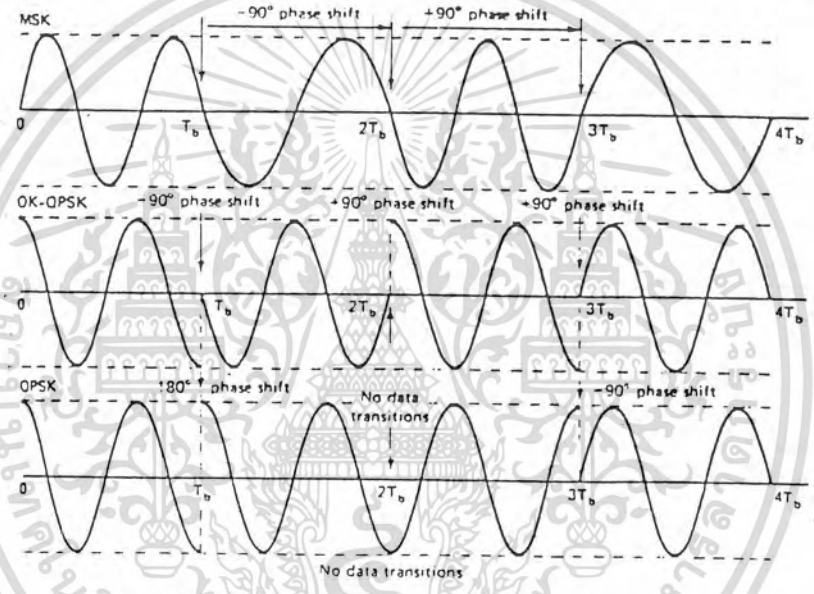
$$G_{msk}(f) = 8P_cT_b[1+\cos 4\pi(f-f_c)T_b]/\pi^2[1-16T_b^2(f-f_c)^2]^2 \quad [1.5]$$

$$G_{okqpsk}(f) = 2P_cT_b[\sin 2\pi(f-f_c)T_b)^2/[2\pi(f-f_c)T_b]^2 \quad [1.6]$$

$$P_e = f(E_b/N_o)\ P_e$$

ที่ไม่ได้ filter FFSK แบบเดียวกับการจับคู่ของเครื่องรับ QPSK เป็นการสลับกันกับชื่อ FFSK P_e ของ bandlimited gray coded ของระบบ FFSK แสดงว่าเป็นระบบ QPSK ดังนั้นถ้าระบบ MSK เป็นทางบวกการตอบสนองของช่องทางการ filter ก็เป็นเรื่องเดียวกับ Nyquist's ISI-free ดังสมการ

$$P_{e(msk)} = 1/2\ erf_c[E_b/N_o]^{1/2} = P_{e(qpsk)} \quad [1.7]$$



Modulated carrier waveforms in MSK, offset QPSK, and conventional QPSK. Note that the amplitude envelope of these *unfiltered* signals is constant. (After [Gronemeyer and McBride, 1976], with permission from the IEEE, © 1976.)

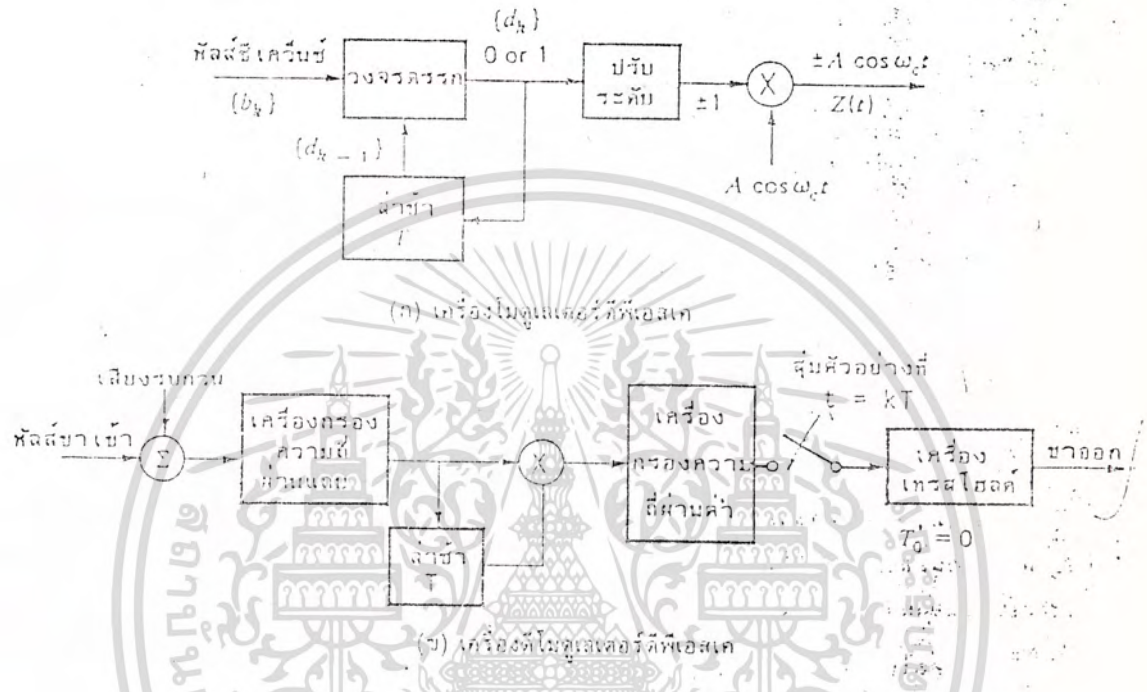
รูปที่ 1.4

DIFFERENTIAL ENCODE OF MSK

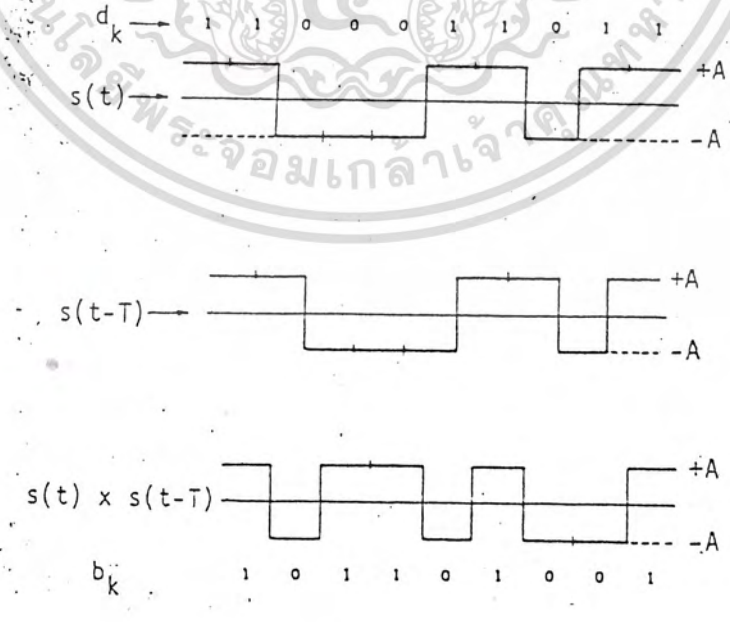
ระบบ MSK แม้จะมีความสามารถสูงหรือมีความผิดพลาดต่ำ เมื่อเทียบกับระบบดิจิตอลมอดดูเลชั่นแบบอื่นที่ค่า SNR หรือ E/N เดียวกัน แต่มีข้อเสียที่ต้องมีสัญญาณอ้างอิงที่มีความถี่เดียวกับสัญญาณ MSK ขาเข้าหรือที่เรียกว่า การรับแบบโคฮีเร็นท์ในทางปฏิบัติสัญญาณอ้างอิงนั้นกำเนิดได้ยากเพราะไม่มีเครื่องสั่นความถี่ (Oscilator) ใดที่จะกำเนิดความถี่คงที่ได้ตลอดเวลา จึงมีการวิจัยค้นพบ differential โดยใช้หลักการเปรียบเทียบความแตกต่างขั้นของบิตที่เข้ามาเปรียบเทียบกับบิตก่อนหน้า ที่ถูกป้อนกลับโดยมีความล่าช้าทางเวลาเท่ากับ 1 คาบเวลาของพัลซ์บิตพอดี (T) ถ้า ไม่มีความแตกต่างให้พัลซ์เป็น "1"และถ้ามีความแตกต่างให้พัลซ์ "0"และเฟสของ differential of MSK มีค่าเท่ากับ "0"เมื่อให้พัลซ์ "1" จะเท่ากับ $-\pi$ และเท่ากับ π เมื่อให้พัลซ์ "0" ดังรูป 1.6 การลงรหัสนั้นแสดงในตาราง1.1 ส่วนทางภาครับของ DMSK ก็เช่นเดียวกับภาคส่งสัญญาณ DMSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่มีค่าเฟสเท่ากับ "0" หรือ "π" หรือมีขั้วเป็น 1 และ -1 (ถ้าค่าเท่ากับ T ผลคูณเลขฐานสองก็จะได้พัลซ์เป็น 0 หรือ 1 ตามต้องการซึ่งตรงกับทางภาคส่งในกรณีนี้จะเกิดการเฟดดิ่งอย่างช้า ๆ เมื่อเทียบกับอัตราการส่งบิตจะทำให้เฟสของพัลซ์ S(t) และ S(t-T) ได้รับผลกระทบเท่ากันและข่าวสารที่ทำการเปรียบเทียบยังคงอยู่ไม่มีการเปลี่ยนแปลงดังรูป 1.6



รูปที่ 1.5



รูปที่ 1.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1.1 แสดงการลงรหัส differential และการถอดรหัส

ซีเคว็นซ์ขาเข้า (b_k)	1 0 1 1 0 1 0 0 1
ซีเคว็นซ์การลงรหัส (d_k)	1 # 1 0 0 0 1 1 0 1 1
เฟสที่ส่ง	0 0 π π π 0 0 π 0 0
ขาออกของเฟสที่เปรียบเทียบ	+ - + + - + - - +
ซีเคว็นซ์ของบิตขาออก	1 0 1 1 0 1 0 0 1

Minimum Shift Keying

ข้อดีของ OQPSK ที่เหนือกว่า QPSK นั้น คือการชับเพรสสัญญาณรบกวน cut of band ปรับปรุงมาจาก QPSK รูปแบบ QPSK ปรับปรุงขึ้นเพื่อหลีกเลี่ยงความไม่ต่อเนื่องของการเปลี่ยนแปลงทางเฟส จึงทำให้เกิดการออกแบบ continous phase modulationขึ้น(CPM) MSK เป็นกรณีพิเศษของ continous-phase frequency shift keying (CPFSK) หรือเป็นกรณีพิเศษของ OQPSK ที่ชิมบอล weight ing แบบ Sine CPFSK หรือ MSK สามารถเขียนเป็นสมการได้

$$S(t) = \cos\left[2\pi \left(f_o + \frac{d_k}{4T}\right) t + X_k \right] \qquad [1.8]$$

$$;kT < t < (k+1)\,T$$

โดยที่ f_o เป็นความถี่แคเรีย

$d_k = +1$ สำหรับข้อมูลไบโพล่าร์ถูกส่งที่อัตรา $R=1/T$

X_k เป็นค่าคงที่ทางเฟส เป็นผลมาจาก binary data interval (Kth)

สังเกตถ้า $d_k=1$ ความถี่ที่สูงจะเป็น $f_o+1/4T$ และถ้า $d_k=-1$ ความถี่ที่ส่งจะเป็น $f_o-1/4T$ แบนวิดท์จึงน้อยกว่าFSK มาก จึงเรียกว่า Minimum shiftkeyingแต่ละ T วินาที ของ data interval ค่าของ $X_k = 0$ หรือ π กำหนดโดยความต้องการเฟสของรูปสัญญาณที่ต่อเนื่องที่ t=kTเกิดผลใน recursive phase constraint ของ X_k คือ

$$X_k = \left[X_{k-1} + \frac{\pi k}{2}\,(d_{k-1} - d_k)\right] \text{ modulo } 2\pi \qquad [1.9]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการ [1.8] สามารถลดลงในการนำเสนอแบบ quardrature ได้ ดังนี้และจากเอกลักษณ์ทางตรีโกณมิติจะได้

$$S(t) = a_k \cos\pi \frac{t}{2T} \cos 2\pi f_o t - b_k \sin\pi \frac{t}{2T} \sin 2\pi f_o t \qquad [1.10]$$

$$; kT < t < (k+1)\,T$$

โดยที่

$$a_k = \cos X_k = +1$$

$$b_k = d_k \cos X_k = +1 \qquad [1.11]$$

ส่วนประกอบ in-phase(I) เป็นเอกลักษณ์ คือ $a_k \cos\pi(t/2T)\cos 2\pi f_o t$ โดยที่ $\cos 2\pi f_o t$ คือแคเรีย $\cos(\pi t/2T)$ พิจารณาได้เป็น sinusoidal symbol weighting และ a_k เป็นเทอม data-dependent ในทำนองเดียวกันส่วนประกอบ quadrature(Q) เป็นเอกลักษณ์ของ $b_k \sin(\pi t/2T)\sin 2\pi f_o t$ จะปรากฏเทอม a_k และ b_k ที่เปลี่ยนแปลงทุก ๆ T วินาทีเมื่อข้อมูลเข้าเปลี่ยนแปลงทำให้ d_k เปลี่ยนแปลงเช่นกัน แต่เพราะการจำกัด continous เฟสเทอม a_k เปลี่ยนค่าที่จุดตัด Zero ของ $\cos(\pi t/2T)$ เท่านั้น และเทอม b_k จะเปลี่ยนแปลงค่าที่จุดตัดศูนย์ของ $\sin(\pi t/2T)$ ชิมบอล weighting ในแชนเน็ล I หรือ Q เป็นครึ่งไซเคิลของสัญญาณไซน์ อัตรา 2T วินาที และเครื่องหมายเปลี่ยนแปลงในกรณีของ OQPSK ส่วนประกอบ I และ Q จะ offset ที่ T วินาที และสัมพันธ์กัน

สังเกต X_k ในสมการ [1.9] ความแตกต่างระหว่าง prior data bit กับ present data bit differentialencodingเทอม a_k และ b_k ใน สมการ[1.10] เป็นส่วนประกอบ differentiallyencoded ของข้อมูล d_k ส่วนบิตต่อบิต independent data (d_k) เครื่องหมายของ I หรือ Q แชนแน็ลเป็น แบบ random จาก 1 ใน 2T วินาที ของพัลซ์ interval ต่อไป เป็นกรณีพิเศษของ OQPSK สามารถเขียนสมการ [1.10] ได้อีกแบบดังนี้

$$S(t) = d_I(t)\cos\pi \frac{t}{2T} \cos 2\pi f_o t + d_Q(t)\sin\pi \frac{t}{2T} \sin 2\pi f_o t \qquad [1.12]$$

โดยที่ $d_I(t)$ และ $d_Q(t)$ เป็นสัญญาณบิต even และ odd ตามลำดับรูปแบบ MSK ในสมการนี้บางครั้งหมายถึงprecodedMSK รูป 1.7 แสดงรูปตาม สมการ [1.12] a) และ c)แสดงสัญญาณไซน์ weighting ของช่องสัญญาณ I และ Qการคูณสัญญาณไซน์ทำให้เกิดการเปลี่ยนแปลงเฟสดังรูป b) และ d) แสดง การมอดูเลทของ Orthogonal Component $\cos(2\pi f_o t)$ และ $\sin(2\pi f_o t)$ ตามลำดับ โดยรูปแบบของสัญญาณเปลี่ยนไปตามข้อมูลรูป c) ซึ่งเป็นการรวมของ Orthogonal Component ด้าน I และ Q

คุณสมบัติของการมอดูเลทแบบ MSK ดูจากสมการ [1.12] และรูป 1.7

1.รูปสัญญาณ S(t) มี envelope ที่คงที่

2.เฟสคงที่ในย่านแคเรีย RF เมื่อเกิดการเปลี่ยนแปลง

3.รูปสัญญาณ S(t) อนุมาณเป็นรูปสัญญาณ FSK ได้ ที่ความถี่สัญญาณ $f_o + 1/4T$ และ $f_o - 1/4T$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

minimum tone separation ที่ต้องการสำหรับ MSK คือ

$$(fo+1/4T)-(fo-1/4T) = 1/2T \qquad [1.13]$$

ซึ่งเท่ากับครึ่งบิตเรท สังเกตได้ว่า tone spacing ของ MSK เป็นครึ่งหนึ่ง (1/T)สำหรับ noncherent detection ของสัญญาณ FSK

Power Spectrum Density (PSD),G(f) ของ QPSK และ OQPSK เขียนได้ดังนี้

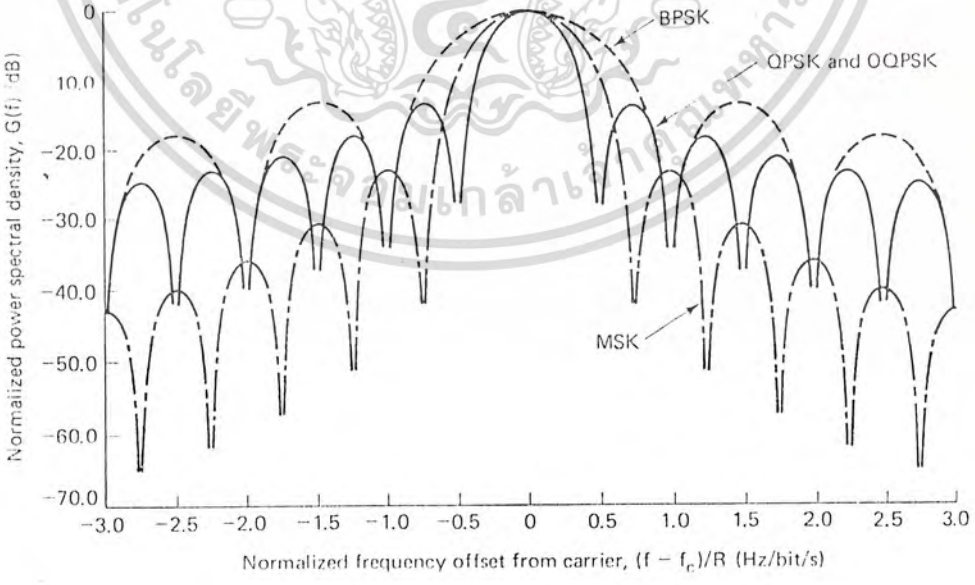
$$G(f) = 2PT\frac{(\sin 2\pi ft)^2}{2\pi ft} \qquad [1.14]$$

โดยที่ P คือ กำลังเฉลี่ยในสัญญาณที่มอดูเลทแล้ว

สำหรับ MSK นั้น G(f) เขียนได้ดังนี้

$$G(f) = \frac{16PT}{\pi^2}\frac{(\cos 2\pi ft)^2}{(1-16f^2T^2)} \qquad [1.15]$$

นอร์มัลไรซ์ PSD (P=1w) ของ QPSK,OQPSK และ MSK แสดงได้ดังรูปที่ 1.8 สเปคตรัมพล็อตของ BPSK ถูกนำมาเปรียบเทียบร่วมด้วย เพื่อให้เห็นได้ชัดเจน MSK มี side lobe อยู่ด้านล่างกว่า QPSK และ OQPSK จากรูปจะเห็นว่า MSK มีสเปคตรัมที่มีประสิทธิภาพมากกว่า OQPSK หรือ QPSK แต่ MSK จะมี main lobe (โลบหลัก) ที่กว้างกว่า QPSK และ OQPSK ดังนั้น MSK จึงไม่เหมาะสำหรับการสื่อสารสัญญาณแบบ Narrowband



Normalized power spectral density for BPSK, QPSK, OQPSK, and MSK. (Reprinted with permission from F. Amoroso, "The Bandwidth of Digital

รูปที่ 1.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033311

Error Performance ของ OQPSK และ MSK

BPSK และ QPSK มี bit error probability เหมือนกัน เพราะ QPSK เสมือนกับสัญญาณ 2 BPSK นั้นเอง OQPSK ทางทฤษฎีมี bit error performanceเหมือน BPSK และ QPSK

MSKใช้รูปสัญญาณซิมบอลตรงกันพอดีคือ +cos ($\pi t/2T$) และ +sin ($\pi t/2T$) ส่วนเกิน 2T ไปมอดูเลทกับ 2ส่วนประกอบ quadratures ของแคเรียถ้าใช้ matched filter ในการกู้ data จากสมการ [1.12] MSK มี error performance เหมือนกับ BPSK,QPSK และ OQPSK ถ้า MSK ใช้ differentically encoded data จะมี error probability performancerเหมือนกับแบบ coherent detectionของ differentially encoded PSK ระบบ QPSK ต้องใช้ fully coherent หรือ differentially coherent ดีเทคชั่น MSK เป็นชนิดหนึ่งของ FSK สามารถจะดีเทคแบบ non-coherent ก็ได้

Continous Phase FSK

อีกวิธีการหนึ่งของการสร้าง FSK เพื่อผลิตความถี่จากออสซิลเลเตอร์ตัวเดียว ผลที่ได้เป็นสัญญาณข้อมูลซึ่งสัญญาณนี้ว่า continuous phase FSK (CPFSK) รูปสัญญาณสามารถเขียนเป็นสมการได้ดังนี้

$$S_{psk}(t) = \begin{cases} S_1(t) = A\cos(\omega_o t - \Delta\omega t + \theta_o), & o<t<T_b \text{ ส่ง } m_1 \\ S_2(t) = A\cos(\omega_o t + \Delta\omega t + \theta_o), & o<t<T_b \text{ ส่ง } m_2 \end{cases} \qquad [\ 1.16\ ]$$

Power Spectrum of CFSK

PSD ของ CPFSK จากสมการ [1.16] power spectrum L CPFSK (W) สำหรับค่า $-\alpha<\omega<\alpha$ เขียนได้ดังสมการ

$$L_{CPFSK}(\omega) = L(\omega) + L(-\omega) \qquad [\ 1.17\ ]$$

โดยที่ $$L(\omega) = \frac{A^2 T_b (\omega T_b)^2 S_a{}^2[\gamma_1(\omega)] S_a{}^2[\gamma_2(\omega)]}{4\ [1+C^2{}_a - 2C_a\cos[(\omega-\omega_o)T_b]]} \qquad [\ 1.18\ ]$$

$$\gamma_1(\omega) = (\omega - \omega_o + \Delta\omega)\frac{T_b}{2} \qquad [\ 1.19\ ]$$

$$\gamma_2(\omega) = (\omega - \omega_o - \Delta\omega)\frac{T_b}{2} \qquad [\ 1.20\ ]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_a = \cos(\Delta\omega T_b) \qquad [1.21]$$

Minimum Shift Keying

Minimun shift keying เป็นชื่อเรียกที่ได้มาจาก CPFSK โดยจะ keying ระหว่างความถี่ทั้ง 2 ความถี่ถูกแยกโดยครึ่งหนึ่งของ data bit rate ความถี่ทั้ง 2 นี้ คือ $\omega_1 = \omega_o - \Delta\omega$ และ $\omega_2 = \omega_o + \Delta\omega$ โดยที่ $+\Delta\omega$ เป็นความถี่เบี่ยงเบนที่เกิดจากสัญญาณ ข้อมูลดิจิตอล (โพล่าร์ NRZ ที่แอมปลิจูด +1) MSK ถูกกำหนดโดย

$$\Delta\omega = \frac{\omega b}{4} = \frac{\pi}{2Tb} \qquad [1.22]$$

โดยที่ T_b เป็น ระยะเวลาปกติของบิตข้อมูล และ $\omega_b = 2\pi/T_b$

คุณสมบัติของ MSK ประการหนึ่งที่แยกออกจาก CPFSK เนื่องจากระบบ CPFSK ไม่ fully utilize ทุกเฟสข้อมูล เมื่อปรากฏเป็นรูปสัญญาณที่ภาครับ แม้ว่าจะมีการซิงโครไนซ์ที่เพียงพอ ระหว่างภาครับและภาคส่ง โดยเฟสของโลคัลออสซิลเลเตอร์ การใช้เฟสของข้อมูลนี้ทำให้ noise performance ของระบบ MSK ดีขึ้นกว่าระบบ CPFSK เดิม

รูปสัญญาณของ MSK สามารถแบ่งอย่างกว้าง ๆได้ 2 ประเภท คือ แบบ parallel(ขนาน) และแบบอนุกรม (serial) MSK แบบขนานรูปแบบจะคล้ายกับแบบออฟเซ็ท ควอดดราเจอร์ PSK (OQPSK)ส่วน MSK แบบอนุกรมจะมีโครงสร้างง่ายกว่าแบบขนาน และมักจะใช้ในระบบที่มีอัตราส่งข้อมูลสูง

MSK แบบขนาน -TYPE II

ใน MSK Type I ชิมบอล waveform ในแชนเน็ล Q จะเปลี่ยนแปลงโดยที่ครึ่งไซเคิลของ $\cos(\pi t/2T_b)$ หรือ $\sin(\pi t/2T_b)$ เปลี่ยนแปลง(สลับ) เครื่องหมาย ส่วน TYPE II นั้น รูปสัญญาณครึ่งไซเกิลจะเป็นบวกตลอดสัญญาณที่ส่งออกนั้นหาจากรูป 1.9 (a) ถ้าฟูลเวฟเรคติไฟร์ (ที่มี O/P -I/P characteristic แบบ linear) แทนมัลติไพเออร์ในส่วน $\cos(\pi t/2T_b)$ และ $\sin(\pi t/2Tb)$ ส่วนมอดูเลเตอร์ที่ปรับปรุงแสดงดังรูป 1.9 (a) โดยที่ต้องจัดพัลซ์เซฟปิ้งให้เหมาะสมส่วนภาครับ แสดงได้ดังรูป (b) จากการวิเคราะห์ปรับปรุงระบบ TYPE I สามารถเขียนสมการแสดงสัญญาณ MSK TYPE II ได้ ดังนี้คือ

$$S_{MSK}(t) = \begin{cases} (-1)^{(k+1)/2} A[(\frac{d_k+d_{k-1}}{2})\cos(\omega_o t+\theta_o-\Delta\omega t) \\ +(\frac{d_k-d_{k-1}}{2})\cos(\omega_o t+\theta_o-\Delta\omega t)] \quad ,k \text{ odd} \\ (-1)^{k/2} A[-(\frac{d_k-d_{k-1}}{2})\cos(\omega_o t+\theta_o-\Delta\omega t) \\ +(\frac{d_k+d_{k-1}}{2})\cos(w_o t+\theta_o+\Delta wt)] \quad ,k \text{ even} \end{cases} \qquad [1.23]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ข้อมูล bit interval คือ k สมการที่จะเหมือนกับ MSK-TYPE I แต่ TYPE II นี้จะไม่มี one-to-one frequency/data correspondance ใน TYPE I สามารถแสดง one-to-one correspondance ได้ไม่ถูก restored โดยสัญญาณข้อมูลที่ทำการดิฟเฟอเรนเชียลเอ็นโคดแล้ว

ส่วน Serial MSK จะไม่กล่าวถึงในที่นี้ เนื่องจากได้ศึกษาใช้งานแบบ parallel MSK

Power Spectrum ของ MSK

Power Spectrum ของสัญญาณMSK โดยที่ $\Delta\omega Tb = \pi/2$ เขียนได้โดยง่ายที่สุดคือ

$$y = \frac{(\pi A)^2}{4}\frac{T_b}{4}\left(\frac{\cos^2[(\omega-\omega_o)T_b]}{[[\pi/4]^2-[(\omega-\omega_o)T_b/2]^2]^2}\right.$$

$$\left.+\frac{\cos^2[(\omega+\omega_o)T_b]}{[[\pi/4]^2-[(\omega+\omega_o)T_b/2]^2]^2}\right) \qquad [\ 1.24\ ]$$

Noise Performance ของ MSK

ในระบบ PSK(ที่ใช้โพล่าร์ -NRZ) และ QPSK จะมีค่าเฉลี่ย bit error probability (P_c) เหมือนกัน ส่วน OQPSK นั้นมี P_c เท่ากัน(ภายใต้สภาวะเดียวกัน)ดังนั้น MSK ซึ่งมีการทำงานคล้ายกับ OQPSK จึงมี P_cเท่ากันด้วย จึงได้ Pc ของระบบ parallel MSK, PSK, QPSK และ OQPSK เท่ากัน ดังสมการ 1.25

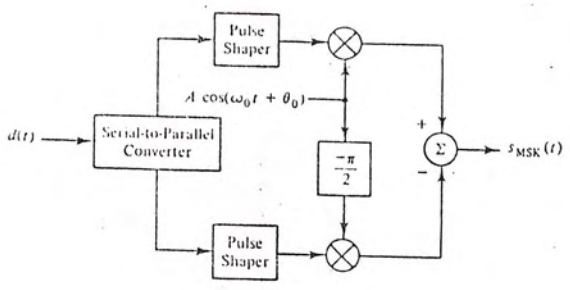
$$P_c = \frac{(1)}{2}\,\mathrm{erfc}\,[E_b/N_o]^{1/2} \qquad [\ 1.25\ ]$$

โดยที่ E_b เป็นอัตราเฉลี่ย error ในภาครับต่อบิตที่ noise density (No)

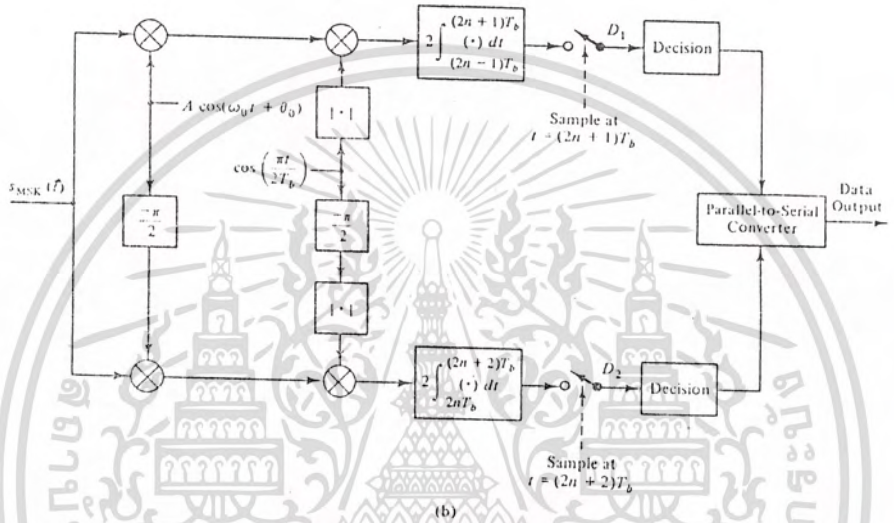
erfc = error function

รูปแสดง P_c พล็อตของระบบ MSK และระบบอื่นๆ ดังในรูปที่ 1.9

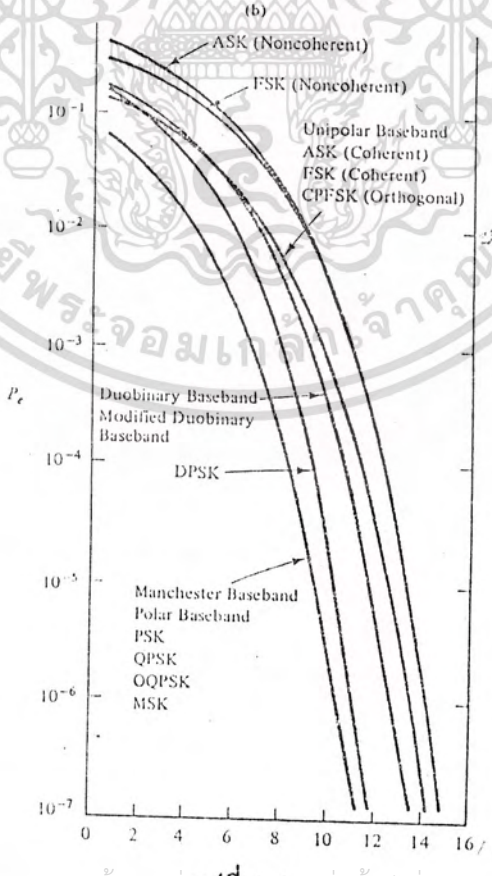
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



(b)



รูปที่ 1.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการทำงานของภาคส่ง

ฟรีเควนซี่เรสปอนส์ของฟิลเตอร์แบบอุดมคติหรือแบบ brick wall

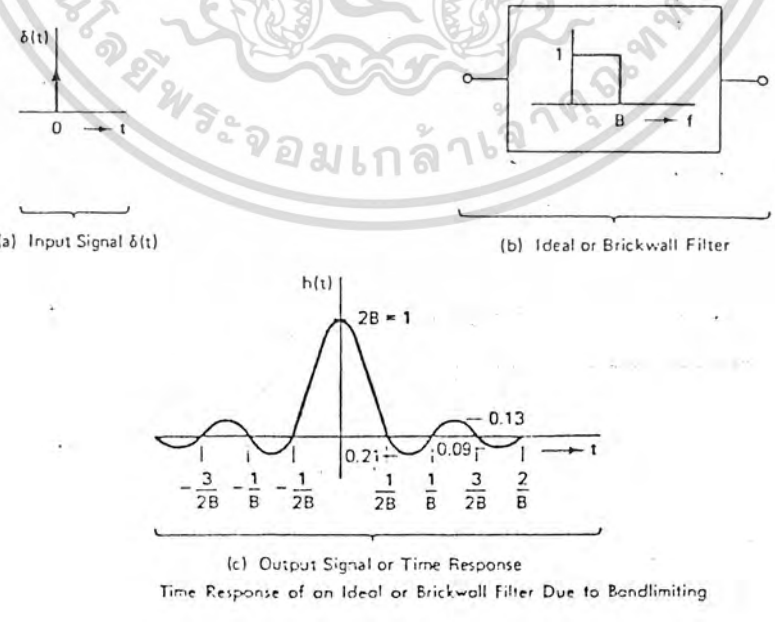
ลักษณะของระบบแสดงได้ดังรูป 2.1 ในระบบนี้ อิมพัลซ์อินพุท f(t) ถูกใช้ในการ ส่งข้อมูลในช่องสัญญาณ ที่มีเรสปอนส์ความถี่สัมพันธ์กับฟิลเตอร์ความถี่ต่ำแบบอุดมคติหรือ brick wall และมีแบนวิดท์เท่ากับ B แม้ว่าลักษณะของฟิลเตอร์และเรสปอนส์จะไม่สามารถเป็นจริงได้เนื่องจากการเกิด roll-off ที่ไม่จำกัดของฟิลเตอร์ แต่แบบนี้จะให้เรสปอนส์ประมาณใกล้เคียงได้ จะใช้พัลซ์แบบสั้นๆ เพื่อจำกัด bandlimit ของระบบ

จากรูป2.1 c ผลของ bandlimiting ที่เป็นสัญญาณอิมพัลซ์จะเกิดการสั่น (ringing) หรือ เกิด time sprcading ของพัลซ์

รูปสัญญาณ o/p กำหนดได้โดยสมการ 2.1

$$h(t) = 2B \sin 2B = \frac{2B \sin 2\pi Bt}{2\pi Bt} \qquad [\ 2.1\ ]$$

จากสมการแสดงถึงรายละเอียดของสัญญาณที่อัตรา 1/t และแอมปลิจูดที่ผ่านศูนย์ที่จุดต่างๆ ทุก t = n/2B โดยที่ n เป็นจำนวนเต็ม จากฟังก์ชั่นไซน์เป็นศูนย์เมื่อ $2\pi Bt = n\pi$ ถ้าสัญญาณเป็นพัลซ์เทรนที่ใช้กับระบบ bandlimit หางของพัลซ์ต่างๆ จะเลื่อมทับกัน (overlap) ในการดีเทคสัญญาณจะพิจารณาเฉพาะพัลซ์หลัก (major pulsc) กรณีนี้แสดงได้โดยรูปที่ 2.2 การเกิด timedelay ของระบบ ทำให้ response ของสัญญาณ อิมพัลซ์ลูกที่ 3 และ 4 เกิดขึ้นที่จุด sampling ที่ t=0 การรบกวนแบบนี้เป็นแบบธรรมดาซึ่ง เรียกว่า inter-symbol interference (ISI)



รูปที่ 2.1

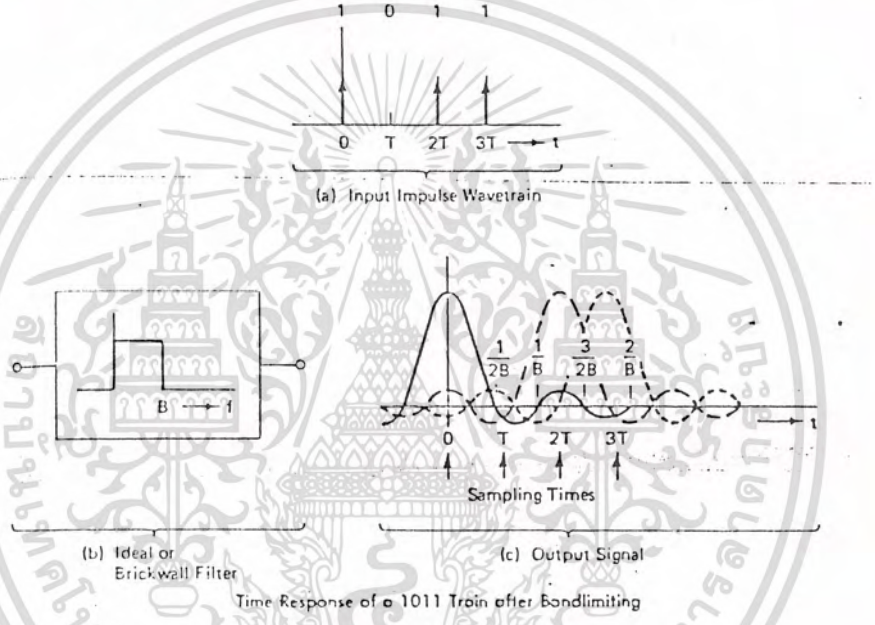
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ระยะเวลาแซมเปิล t = T หางของพัลซ์ที่ปรากฏภายใน sampling slot ซึ่งจะเกิดเป็นแรงดันขึ้นแทนที่ศูนย์ ถ้าค่าของแรงดันมากพอจะทำให้เกิดปัญหาขึ้นได้มาก

ผลจาก ISI สามารถทำให้ลดลงได้โดย

1. กำหนด timing ของพัลซ์เทรน และแซมพลิง interval ให้สัมพันธ์กับแบนด์วิดท์ของระบบ
2. ใช้พัลซ์ และ แชนเน็ล shaping

โดย timing ของพัลซ์เทรนจะทำให้เกิดหรือไม่เกิด พัลซ์ที่ interval ของ T = 1/2 B และดีเทคที่อัตราเดียวกัน หางของพัลซ์ข้างเดียวจะเป็นศูนย์โวลท์ และการรบกวนกันจะไม่เกิดขึ้น



รูปที่ 2.2

ที่ระยะแซมพลิงคงที่พัลซ์ที่เกิดเป็นไปตามรูปที่ 2.3 โดยที่ระยะแซมพลิงเกิดขึ้นที่มัลติเปิลของ $T = 1/f_s = 1/2B$ หรือที่อัตรา f_s 2 เท่าของแบนด์วิดท์ที่ส่งอัตรานี้เรียกว่า Nyquist rate

$$\text{อัตราพัลซ์} = 2B \qquad [\ 2.2\ ]$$

โดยที่ B เป็นแบนด์วิดท์ช่องสัญญาณแบบ Low - Pass

ถ้าแซมพลิงที่ภาครับกำหนดที่ระยะถูกต้อง หรือที่ทุก ๆ $T = 1/f_s = 1/2B$ ดังนั้น ISI จึงจะไม่เกิดขึ้น

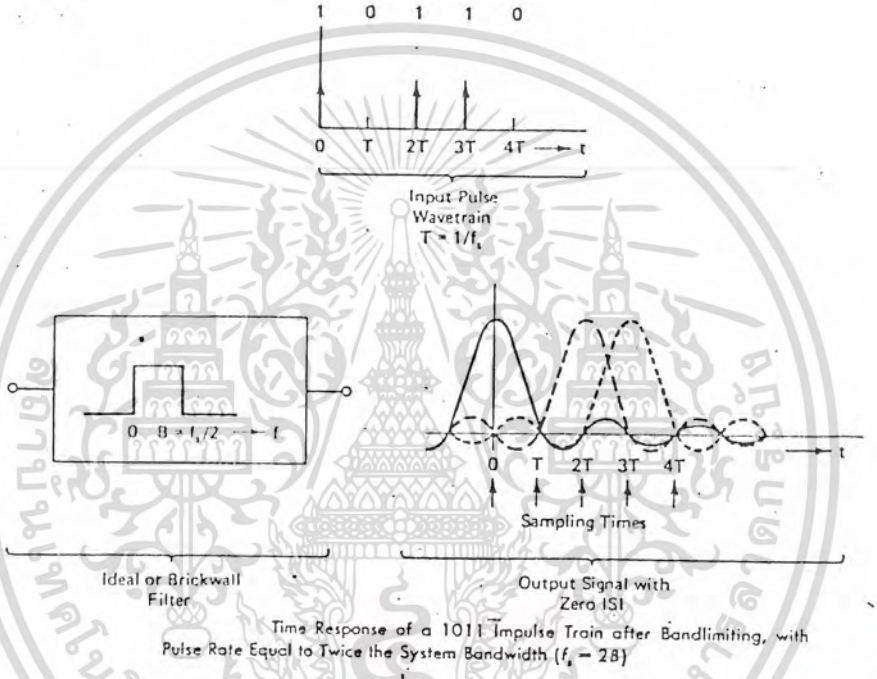
ดังนั้นแบนด์วิดท์จึงเท่ากับ ครึ่งหนึ่งของอัตราพัลซ์

$$B = f_s/2 \qquad [\ 2.3\ ]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใส่ทุก ๆ sampling time ที่ภาครับ ระยะเวลาสั้น ๆที่ใช้มีผลใน substantial แอมปลิจูดที่ระยะเวลา sampling ความแม่นยำและคงที่ของ OSCจะต้องไม่เกินเฟส 50 องศาจากสัญญาณที่รับเข้ามา อุปกรณ์จึงแพงกว่าระบบอื่นมากในการนำไปใช้งาน และความคลาดเคลื่อนที่เกิดจากการเปลี่ยนแปลงอุณหภูมิก็เป็นปัญหาที่สำคัญเช่นกัน

ไพล็อตโทนใช้กำเนิดความถี่แซมพลิง แต่ noise ในระบบสามารถเกิดเป็น timing jitter ในสัญญาณไพล็อตได้ ไพล็อตโทนใช้เพื่อแยกสัญญาณได้ง่ายขึ้น แต่การสื่อสารแบบ parallel ในส่วน transmistion path เพื่อหลีกเลี่ยง crosstalk และเฟส jitter สามารถ introduced เป็นผลการเปลี่ยนแปลงในเกนของ parallel path

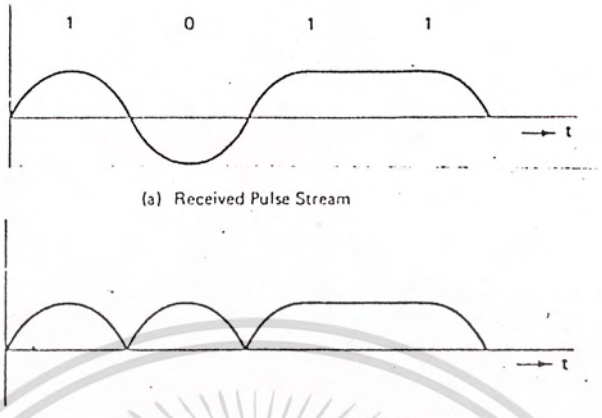


รูปที่ 2.3

รูปที่ 2.3 bandlimit ของระบบป้องกันความถี่แซมพลิงจากภาคส่งมีอัตราพัลซ์ 1 /T = fs แบนด์วิดท์ limit ของฟิลเตอร์อุดมคติแบบ Low - Pass มี cutoff frequency fs/2 จะไม่ผ่านที่ความถี่แซมพลิง (f_s) เพื่อให้ได้ timing จากพัลซ์สตรีม สัญญาณถูกเรคติไฟล์แบบฟูลเวฟซึ่งทำให้เกิด doubling ที่ฮาร์โมนิกส์แรกของสัญญาณ รูปที่2.4 สัญญาณปกติของสัญญาณภาครับก่อนและหลังเรคติไฟล์ สัญญาณที่ถูกเรคติไฟล์ประกอบด้วย ส่วนประกอบสเปคตรัมที่อัตราพัลซ์ 1 /T หรือ f_s ซึ่งจะถูก extracted โดยค่าของ sharply - tuned แบนด์พาสฟิลเตอร์ ในความเป็นจริงหางของพัลซ์จะมีความกว้างจำกัด แต่จะไม่หมดไปในช่วงเวลาของ T เมื่อ B =f_s/2 จะเกิดความกว้างพัลซ์ที่ศูนย์ ถ้าพัลซ์วิดท์ไม่มาก ISI จะเกิดได้เสมอ เรสปอนส์ของฟิลเตอร์อุดมคติแบบ Low - Pass จะไม่ดีเลย์ที่พัลซ์สี่เหลี่ยมที่กว้าง t_p แสดงได้โดยสมการที่ [2.4] รูปที่ 2.5 แสดงเรสปอนส์สำหรับดิฟเฟอเรนเชียลพัลซ์ เพื่อ B = 4 KHz

$$g(t) = \frac{t_p}{\pi} \int_0 \frac{\sin\omega t_p/2 \cos\omega t d\omega}{\omega t_p/2} \qquad [\ 2.4\ ]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

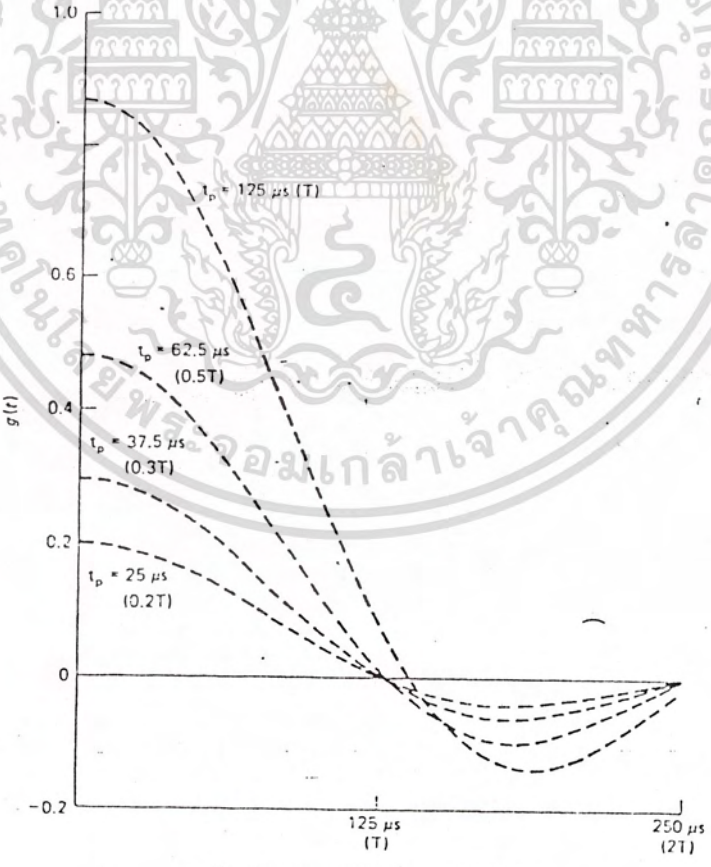


(a) Received Pulse Stream

(b) Rectified Pulse Stream

Timing Extraction Employing Rectification

รูปที่ 2.4



(b) Response of a 4 kHz Low Pass Filter

รูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 2.1 แสดงความสัมพันธ์เป็นเปอร์เซนต์ของแซมเปิล g (0)'s Amplitude ที่ปรากฏที่ระยะแซมเปิลข้างเคียง ± T เช่นเมื่อพัลซ์ดูเรชั่น t_p = 0.3 T เปอร์เซนต์ error จะเป็น 0.76

ตาราง 2.1

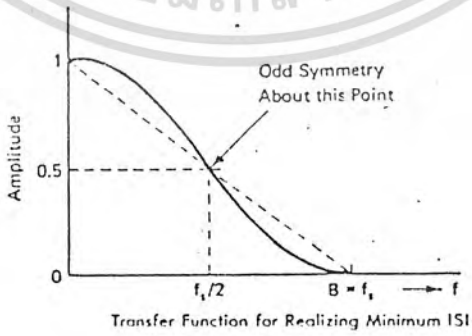
Table 9-1 Relative Percentages of Pulse Present in Terms of the Maximum Amplitude, at Adjacent Sampling Points

Pulse Duration	% error at $t = \pm T$
0.2T	0.33
0.3T	0.76
0.5T	2.1
T	8.7

เนื่องจากการเกิด undershoot และ overshoot ปรากฏที่ระยะแซมเปิลข้าง เคียงเป็นผลของระยะเวลาที่ชิฟไปของอัตราสัญญาณ และพัลซ์ที่ไม่เป็นศูนย์ (non-zero pulse) ระบบอื่นๆ ได้มีการพัฒนาขึ้นเพื่อลดปัญหานี้ ฟิลเตอร์อุดมคติสร้างไม่ได้ในทางปฏิบัติการแก้ปัญหาในปัจจุบันมี 2 วิธี จะใช้แบบที่ยอมรับได้คือ raised cosine เรสปอนส์ หรือ partial เรสปอนส์ encoding

Raised cosine Channel Response

ในทางปฏิบัตินั้นฟิลเตอร์แบบอุดมคติ หรือ brickwall ไม่สามารถสร้างได้ ในการออกแบบแชนเน็ลสื่อสารแบบดิจิตอล จะต้องใช้วิธีที่ปฏิบัติต่อไปนี้แทนผลของ filterresponse แบบนี้สามารถเป็นจริงได้ ซึ่งจะเกิด overshoot และ undershoot น้อยที่สุดที่จุดผ่านศูนย์ที่ระยะแซมพลิงติดกัน เมื่อใช้รวมกับพัลซ์ shape แชนเน็ลและอิควอไลเซอร์จะมี odd ทรานเฟอร์ฟังก์ชั่นสมมาตรที่ B/2 ดังแสดงในรูปที่ 2.6 ฟิลเตอร์นี้สามารถเป็นจริงได้ ถ้าเรสปอนส์ไม่เปลี่ยนแปลงทันทีทันใดและจำกัด slope ในลักษณะนี้หางของพัลซ์ข้างเคียงจะไม่รบกวนกับพัลซ์หลัก แชนเน็ลการสื่อสารจะชดเชย สำหรับการเบี่ยงเบนใดๆ ของพัลซ์จากฟังก์ชั่นอิมพัลซ์



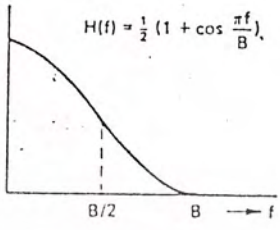
Transfer Function for Realizing Minimum ISI

รูปที่ 2.6

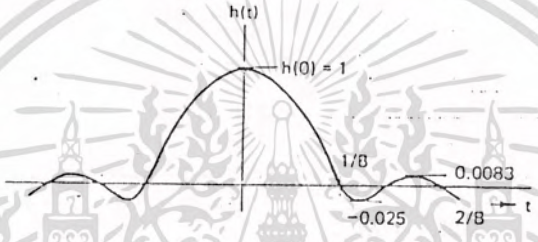
วิธีแก้ปัญหาอย่างหนึ่ง คือ การออกแบบแชนเน็ลสื่อสารแบบ raised - cosine response ดังในรูปที่ 2.7 (a) แม้ว่าเรสปอนส์จะไม่เป็นเส้นตรง แต่สามารถประมาณได้ใกล้เคียงเรสปอนส์แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

brick wall โดยให้ gradual roll-off สูงขึ้น 1.5 time ของ Nyquist rate แต่จะcut offที่ 2 เท่าของ Nyquist rate raised-cosine response แสดงได้ดังรูป(a) ส่วนอิมพัลซเรสปอนส์แสดงได้ดังรูป(b)



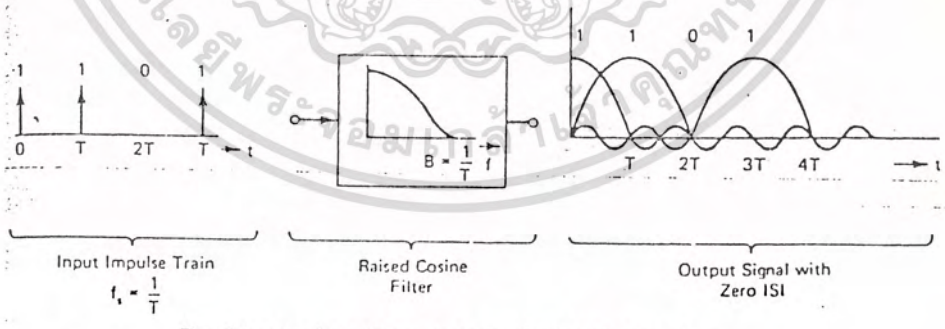
(a) Frequency Response



(b) Impulse Response
Raised-Cosine Channel Response

รูปที่ 2.7

ISI จะไม่เกิดขึ้นถ้าพัลซ์เทรนมีระยะเวลาที่ทุกๆ time interval T = 1/B หางของพัลซ์ข้างเคียงจะเป็นศูนย์โวลท์การพิจารณาจะพบว่ามีพัลซ์หรือไม่มีพัลซ์เท่านั้น ที่ระยะแซมพลิงคงที่ดังแสดงในรูปที่ 2.8



Time Response of a 1101-Impulse Train after Bandlimiting with a Raised Cosine Filter in which Pulse Rate Equals Filter Bandwidth ($f_s = B$)

รูปที่ 2.8

แบนด์วิดท์ของแชนเน็ลสื่อสารถูก double (เปรียบเทียบกับกรณีของ brick wallจะชิฟไปที่ f_s หรือ 2 เท่าของแบนด์วิดท์สัญญาณอนาล็อก ซึ่งเป็นที่รู้จักกันในทฤษฎีการแซมพลิง) error จาก undershoot หรือ overshoot สามารถลดลงได้ slope ของ riding curve จะเปลี่ยนที่จุด sampling time ซึ่งแบบนี้ยินยอมให้เกิด jitterได้มากกว่าแบบ sinx/x หรือแบบ brick wall

เอกสารนี้สงวนลิขสิทธิ์ ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้ Pulse shaping เพื่อลดสัญญาณรบกวน ISI

ให้ N = จำนวน time slots โดยที่ T_s เป็น frame time

N_b= เป็นไบนารีบิตใน time slots

ดังนั้น อัตราของ bit interval คือ $T_b = T_s/NN_b$ วินาที

ที่เวลาเซมเปิลใดๆ ถ้าแรงดันที่เกิดจากชิมบอล สัมพันธ์กับแซมเปิลก็จะไม่เกิด I&I ขึ้น ตำแหน่งนี้สัมพันธ์กับรูปสัญญาณที่ส่งออกไปทั้งหมดผ่านจุด null ที่ระยะเวลาแซมเปิลแต่ถ้าชิมบอลเหล่านี้ถูกส่งออกไปทุกๆ T_s/NN_b วินาทีเราต้องการรูปสัญญาณที่ทุกๆ ชิมบอลเป็นคาบๆ ทุกจุด null เพื่อป้องกันสัญญาณรบกวนที่ไม่ต้องการของแซมเปิลที่เกิดขึ้น

ตัวอย่างหนึ่งของรูปสัญญาณที่เหมาะสมตามทฤษฎีนี้ คือ สัญญาณ sin(x)/x ที่ถูกพบ โดยบังเอิญในการแซมพลิง ซึ่งสัมพันธ์กับเรสปอนส์ของ low pass channel แบบอุดมคติโดยส่งสัญญาณเป็นพัลซ์ที่แคบมาก (impulsive) เพื่อใช้สัญญาณนี้ซึ่งมีปัญหามาก ผลคูณ (รวม) ทั้งหมดของสเปคตรัมของรูปสัญญาณที่ส่ง channel transfer finction และเครื่องรับแบบ matched filter จะต้องมี low pass แบบ rectangular ผลที่ได้จะไม่ค่อยเป็นไปได้จริงและยากที่จะประมาณ (กำหนด) ในทางปฏิบัติ แต่ในทางปฏิบัติยังคงรักษาการชิงโครไนซ์ของจุด sample ให้เพียงพอแก่สัญญาณ sin (x)/x ให้มากที่สุด

ต่อมาในปี 1928 Nyquist ได้ปรับปรุงและบรรยายถึงสัญญาณพัลซ์ ในการกระจายออกเป็น null ที่จะได้รับขณะเวลาเดียวกัน โดยสเปคตรัม magnitude ถูกประมาณไว้อย่างใกล้เคียงกับฟิลเตอร์ทรานสเฟอร์ฟังก์ชั่นที่เป็นจริงได้ ผลของ Nyquist นี้เรียกว่า vestigial-symmetry theorem ดูได้จากรูปแบบของสเปคตรัม มีหลายรูปแบบดังแสดงในรูปที่ 2.9(a) เป็น real และ odd symmetry ประมาณที่สุด $\omega = \pm \omega$ รูปแบบของสเปคตรัม จะถูกกำหนดโดยใกล้เคียงที่สุด จากคุณสมบัติแบบ gradual rool-off และยังแสดง location ของ null ที่อ้างอิงไว้

พิสูจน์ทฤษฎี vestigial-symmetry ของ Nyquist โดย $\omega_1 \leq \omega$ กรณีนี้ต้อง การใช้ในทางปฏิบัติ โดยสามารถแยกสเปคตรัม $S_o(\omega)$ ได้เป็นผลรวมของส่วนประกอบ ractangular และส่วนประกอบที่ odd symmetry ประมาณ $\pm \omega$ ดูรูปประกอบจากรูป 2.9(b) และ (c)

อินเวอร์สทรานสฟอร์มอย่างง่ายของส่วนประกอบแสดงได้ดังสมการ

$$h(t) = \frac{\omega \sin(\omega t)}{\pi \omega t}$$

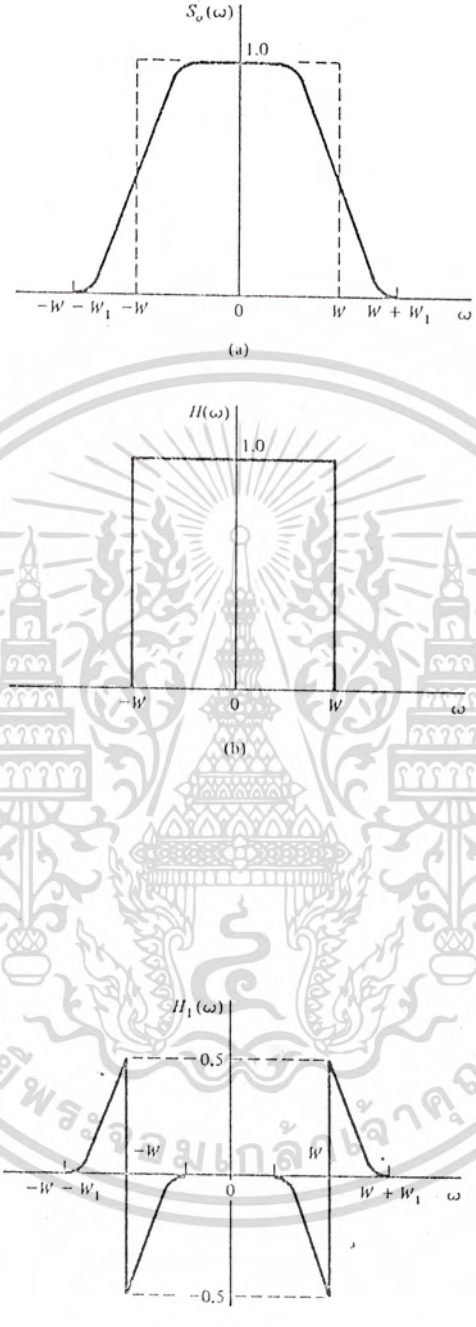
$$h(t) = \frac{-2}{\pi} \sin(\omega t) \int_o^{\omega} H_1(\omega + W)\sin(\omega t) \qquad [\ 2.5\ ]$$

ฟังก์ชันของเวลา $S_o(t)$ สัมพันธ์กับ สเปคตรัม $S_o(\omega)$ ได้เป็น

$$S_o(t) = \frac{\omega \sin(\omega t)}{\pi \omega t} \int_0^{1-2t} H(\omega_1 + W)\sin(\omega t)d\omega \qquad [\ 2.6\ ]$$

โดยไม่พิจารณาค่าคงที่ที่ได้จากเทอมภายในวงเล็บใหญ่ แฟคเตอร์ $\sin(\omega t)/\omega t$ รับรองถึงการมีอยู่ของคาบ null ส่วน $H_1(\omega)$ สามารถเลือกได้ตามสมควร ISI จะเป็นศูนย์ถ้าชิมบอลใน PCM พัลซ์เทรน ถูกส่งถ่ายในพัลซ์ที่มีรูปแบบของ $S_o(t)$ นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Spectrums associated with Nyquist's vestigial-symmetry theorem. (a) A spectrum with the required symmetry, (b) its rectangular component, and (c) its components with odd symmetry about $\pm W$ [2].

รูปที่2.9

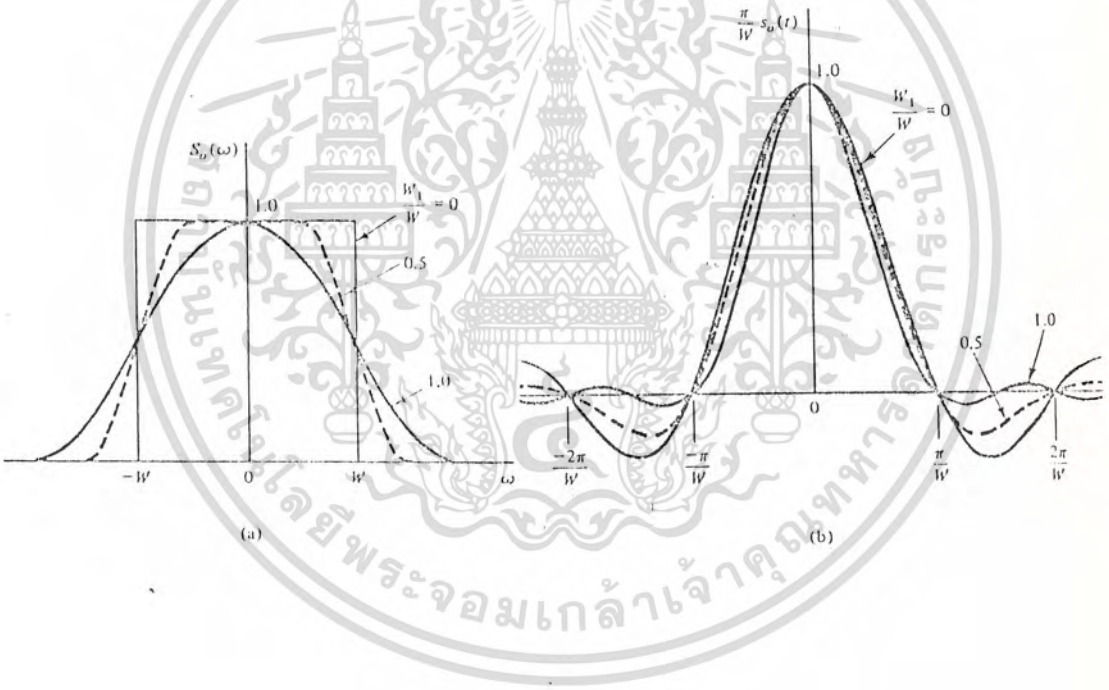
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพิจารณาสเปคตรัมของ raised-cosine กำหนดได้โดย

$$S_o(\omega) = \begin{cases} 1, & \omega < \omega - \omega \\ \frac{1}{2} + \frac{1}{2}\cos[\omega - \omega + \omega_1], & \omega - \omega_1 \le \omega \le \omega + \omega_1 \\ 0, & \omega + \omega_1 < \omega \end{cases} \qquad [2.7]$$

จากนั้นจะได้อินเวอร์ฟูเรียร์ทรานสฟอร์มเป็น

$$S_o(t) = \frac{\omega}{\pi} \frac{\sin(\omega t)}{\omega t} \left| \frac{\cos(\omega_1 t)}{1-(2\omega t/\pi^2)} \right| \qquad [2.8]$$



รูปที่ 2.10

ทั้ง 2 ฟังก์ชั่นนี้แสดงไว้ในรูปที่ 2.10 ที่ ω_1/ω = 0, 0.5 และ 1 พัลซ์ดังรูป b) มีความสำคัญมาก เมื่อ ω_1/ω = 1.0 ไซด์โลบจะเล็กมากๆ (31.5 dB จากยอดหรือต่ำกว่ามากๆ) แสดงถึงการเกิด ISI จะเล็กมากที่ปรากฏใน timing error เมื่อรวมกับ null ที่เกิดที่ $t = \pm(2n+1)\pi/2\omega$ โดย n = 1,2,..., จะทำให้เกิด สัญญาณรบกวนที่ต่ำ อัตราครึ่งแอมปลิจูดพัลซ์ของ ω_1/ω จะอยู่ที่ π/ω เป็นระยะเวลาของ 1 บิต การสะท้อนของสัญญาณจะมีหลายขั้วที่เกิดจากพัลซ์ต่างๆ แต่ที่จุด null π/ω และส่วนต่อๆไปจะเกิดเฉพาะ null ทุกๆ π/ω วินาที ข้อดีนี้คือจะมีการซิงค์โครไนซ์สัญญาณที่รับมาจากภาครับสัญญาณดิจิตอลได้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลซ์ shaping จะส่งรหัสซิมบอลที่ 1 symbol ต่อ π/ω วินาที ในกรณีนอัตรา สัญญาณคือ ω/π แต่โดยรวมแล้วยังคงได้พัลซ์ shaping ที่เป็น $\omega+\omega_1$ เสมอเมื่อเปรียบ เทียบกับการส่งสัญญาณแบบอุดมคติแล้ว จะกลายเป็นการส่งสัญญาณที่ $(\omega+\omega_1)/\pi$ ซิมบอล/วินาที ซึ่งได้อัตราส่วนความแตกต่างเป็น $\omega/(\omega+\omega_1)$

<u>สัญญาณแบบ Partial Response เพื่อควบคุม Interference</u>

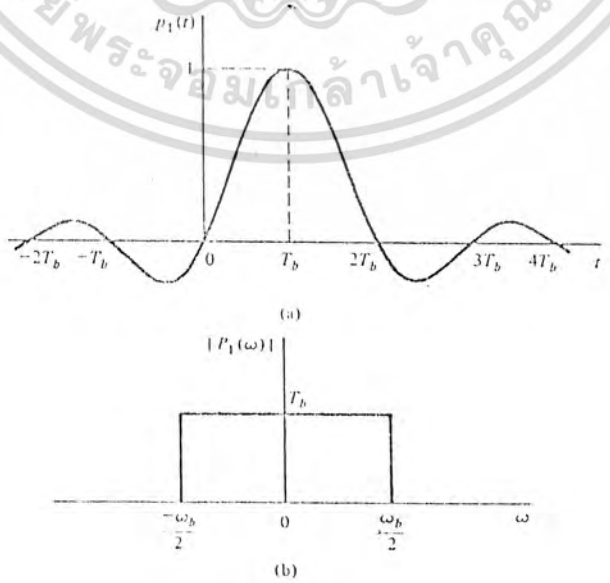
รูปสัญญาณของทฤษฎี vestigial-symmetry ของ Nyquist ในทางทฤษฎีจะไม่เกิด ISI เพราะคาบ null ในซิมบอล interval ติดกัน ที่ระยะแซมเปิล interval นี้เพื่อจะให้ได้สภาวะนี้จึงต้องเพิ่มแบนด์วิดท์ขึ้นเป็น $\omega = \pi/T_b = \omega_b/2$ ถ้าเราเปลี่ยนแปลงจากสภาวะไม่เกิด ISI ไปเป็นสภาวะที่ควบคุม ISI ได้ แบนด์วิดท์ก็จะเพิ่มขึ้นเท่าที่จำเป็น

เราจะสร้างรูปสัญญาณที่เหมาะสม เริ่มจากพัลซแบนด์วิดท์ต่ำสุด ดังบรรยายได้โดยทฤษฎี vestigial symmetry ของ Nyquist กำหนดได้โดย

$$P_1(t) = S_a\left[\frac{\pi(t-T_b)}{T_b}\right] \qquad [2.9]$$

$$P_1(t) = T_b \,\mathrm{rect}\left(\frac{\omega}{\omega_b}\right) \exp\left(\frac{-j\pi\omega}{\omega_b}\right) \qquad [2.10]$$

รูปสัญญาณแสดงได้ในรูปที่ 2.11 ถ้ารูปสัญญาณมีความสัมพันธ์ตามนี้ มีซิมบอล interval จาก $t = 0$ ถึง $t = T_b$ จะเกิด null ขึ้นที่ระยะแซมเปิลทั้งหมดยกเว้นที่ $t = T_b$ เท่านั้น สัญญาณนี้จะไม่เกิด ISI ขึ้น แต่ไม่สามารถสร้างได้จริง เราต้องสร้างรูปสัญญาณใหม่ $P_2(t)$ โดยเพิ่ม $P_1(t)$ เข้าไปพร้อมทั้ง delay ไป 1 symbol ได้ดังนี้



รูปที่ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P_2(t) = P_1(t)+P_1(t-T_b)$$

$$= S_a\left[\frac{\pi(t-T_b)}{T_b}\right] + S_a\left[\frac{\pi(t-T_b)}{T_b}\right]$$

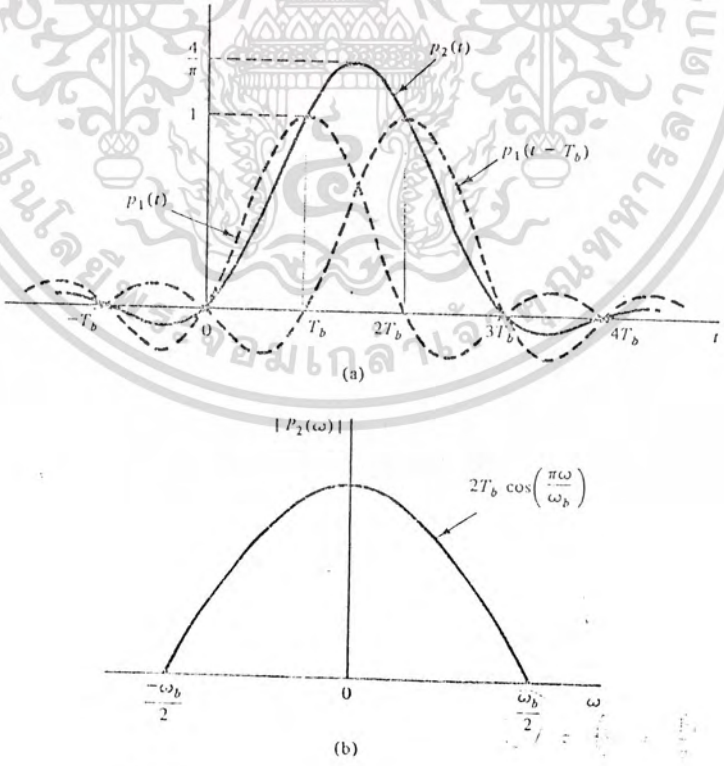
$$= \frac{\pi\cos[\pi/T_b)\ (t-3T_b/2)]}{(\pi/2)^2-[(\pi/T_b)(t-3T_b/2)]^2} \qquad [\ 2.11\ ]$$

ส่วนสเปคตรัมของ $P_2(t)$ คือ $P_2(\omega)$

$$P_2(\omega) = P_1(\omega)+P_1(\omega)\exp(1-j\omega T_b)$$

$$= P_1(\omega)\ 2\cos\left[\frac{\pi\omega}{\omega_b}\right]\exp\left[\frac{-j\pi\omega}{\omega_b}\right] \qquad [\ 2.12\ ]$$

$P_2(\omega)$ และ $P_2(t)$ แสดงในรูป 2.12 $P_2(t)$ สัมพันธ์กับ bit interval จาก $t = 0$ ถึง $t = T_b$ จะให้แอมปลิจูด 1.0 ที่ค่า sample $t = T_b$ second interval ที่ส่งต่อไปคือ $t = 2T_b$ ซึ่งเรียกว่า partial response สัญญาณอื่น ๆที่ให้ที่ interval แรกจะไม่สำคัญแซมเปิลจะส่งสัญญาณจาก Partial response เท่านั้น



(a) A waveform used for partial response signaling and (b) the magnitude of the spectrum of $p_2(t)$.

รูปที่ 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณา interval 2 และกำหนดกรณี polar PCM เป็นบิต 1 หรือ 0 ใน interval ใดๆ ผลที่ส่งคือ $P_2(t)$ หรือ $-P_2(t)$ ซึ่งเป็นแบบ modify partial response

ข้อดีของรูปสัญญาณแบบ partial Response คือ

1. ส่งข้อมูลด้วยอัตรา $f_b = 1/T_b$ บิต/วินาที ซึ่งต้องการแบนด์วิดท์เพียง $f_b/2$ Hz เท่านั้น

2. สเปคตรัมของ $P_2(t)$ กำหนดได้ง่ายในทางปฏิบัติ ซึ่งจะง่ายกว่าแบบอุดมคติการประยุกต์อีกอย่างหนึ่งในรูปสัญญาณแบบ partial response ถูกออกแบบเพื่อให้ค่า spectral ที่เล็กและความถี่ใกล้เคียง DC.

โครงสร้าง $P_3(t)$ เป็นดังนี้

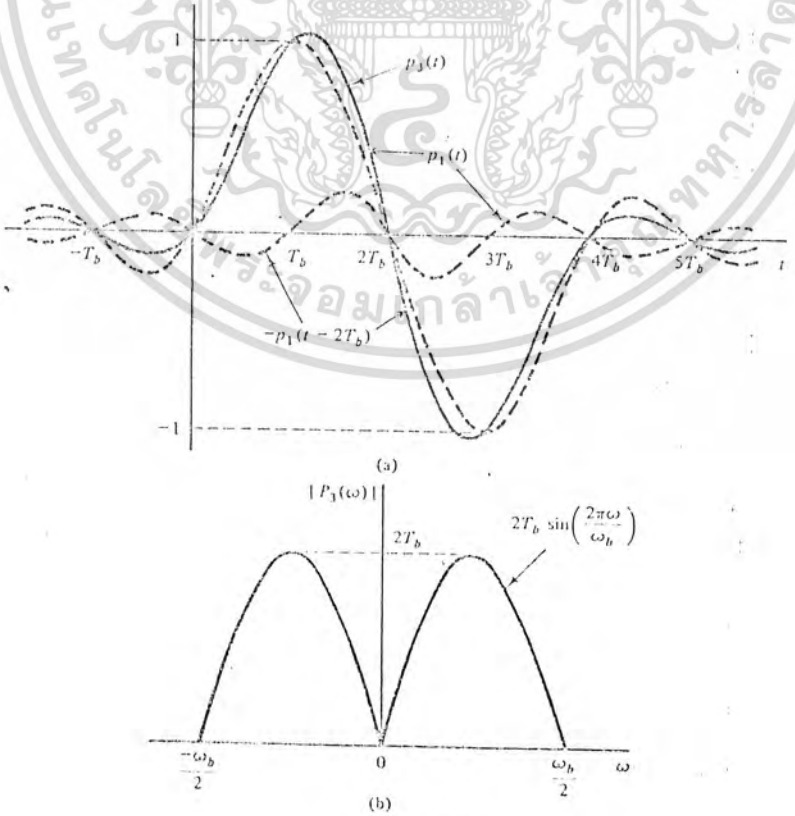
$$P_3(t) = P_1(t) - P_1(t-2T_b)$$

$$= S_a\left[\frac{\pi(t-T_b)}{T_b}\right] - S_a\left[\frac{\pi(t-3T_b)}{T_b}\right]$$

$$= \frac{2\pi\sin[(\pi/T_b)(t-2T_b)]}{[(\pi/T_b)(t-2T_b)]^2-\pi^2} \qquad [2.13]$$

สเปคตรัมของ $P_3(t)$ คือ $P_3(\omega)$

$$P_3(\omega) = P_1(\omega)\, 2j \sin\left[\frac{2\pi\omega}{\omega_b}\right] \exp\left[\frac{-j2\pi\omega}{\omega_b}\right] \qquad [2.14]$$



รูปที่ 2.13

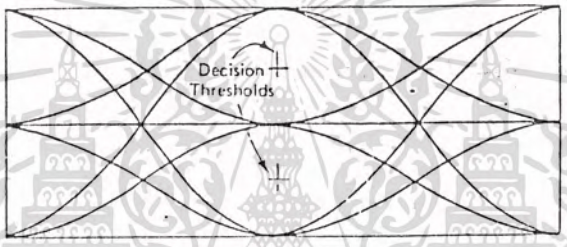
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณ P_3 (t) และขนาดของ spectrum แสดงไว้ในรูปที่ 2.13

รูปสัญญาณโพล่าร์ PCM ถูกกำหนดจาก $P_3(t)$ หรือ $-P_3(t)$ ในแต่ละบิต interval ให้เป็น 1 หรือ 0 ตามลำดับ

Eye Diagram

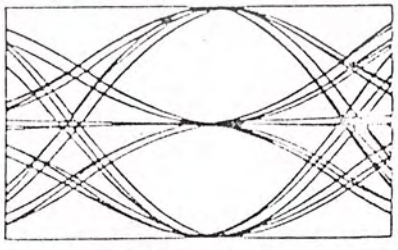
ในการพิจารณาผลของนอยส์แบบ random, jitter หรือผลอื่นๆที่ทำให้เกิด ISI ของสัญญาณพัลซ์สตรีมที่เข้ามา จะใช้ eye ไอไดอะแกรมในการพิจารณาไดอะแกรมสร้างได้โดยใช้ออสซิลโลสโคปวัด ป้อนสัญญาณเข้าทาง Vertical ของสโคป ส่วน timebase (horizontal axis) ถูก trigger ด้วยสัญญาณ clock ใน eye ไดอะแกรมจะเห็นถึงผลของนอยส์ ที่ทำให้บริเวณรอบๆตามัวไม่ชัดเจน



(a) Ideal Three-Level System

รูปที่ 2.14 (a)

ในรูป 2.14(a) แสดงไอไดอะแกรมขณะดีที่สุดและช่วงที่มีนอยส์ตามลำดับจุดที่ไดอะแกรมเปิดกว้างมากที่สุด การแยกสัญญาณเป็นไปได้สูงสุด นอยส์ที่จะทำให้เกิด error ย่อมต้องการ amplitude ที่มีค่ามากๆ Decision Threshold ควรจะตั้งไว้ที่ระดับที่ horizontal eye มีการเปิดมากที่สุด



(c) Noisy System

รูปที่ 2.14 (b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากคุณสมบัติในการรับ-ส่งไม่สมบูรณ์พอ ทำให้เกิดเฟส jitter ซึ่งจะลดการเปิด eye ทางแนวนอน และการเปิด ISI จะลดการเกิด eye ทั้งแนวนอน และแนวตั้ง

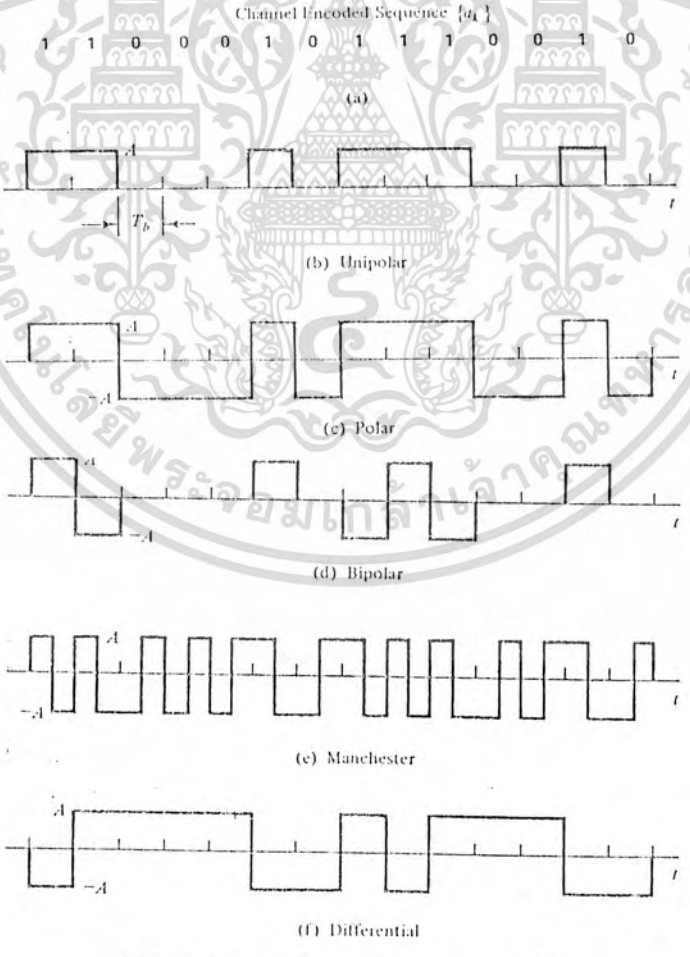
อัตราการปิด "ตา" ต่อเวลา แสดงความไวของระบบที่มีต่อ timing error ถ้าการ sampling instant หนีจากตำแหน่งที่เป็น ideal เพียงเล็กน้อย จะทำให้การเปิด "ตา" ทางแนวตั้งลดลงอย่างมาก ในทางปฏิบัติจะทำให้ system performanceเลวลงอย่างมาก

สามารถหา noise margin ได้จาก eye diagram อีกด้วย noise margin จะแสดงความแตกต่างของ voltage ระหว่างdicision threshold กับเส้นรอบในของ 'eye' ทำการวัดขณะที่ sampling การ distortion โดยเฉพาะจาก ISI ทำให้เกิดขอบตาเข้าใกล้เส้น decisionthreshold มากขึ้นการวิเคราะห์ eye ไดอะแกรมทำให้สามารถลดสาเหตุที่ทำให้เกิด การเลวลงของระบบให้ต่ำที่สุด

<u>รูปแบบของสัญญาณดิจิตอล</u>

รูปสัญญาณดิฟเฟอเรนเชียล

รูปสัญญาณดิฟเฟอเรนเชียลเกิดจากเทคนิคการเข้ารหัส รูปสัญญาณจะมีเพียง 2 ระดับคือ A และ -A ดังแสดงในรูป 2.15 (f) รูปสัญญาณแบบนี้บางครั้งเรียกว่า NRZ mark

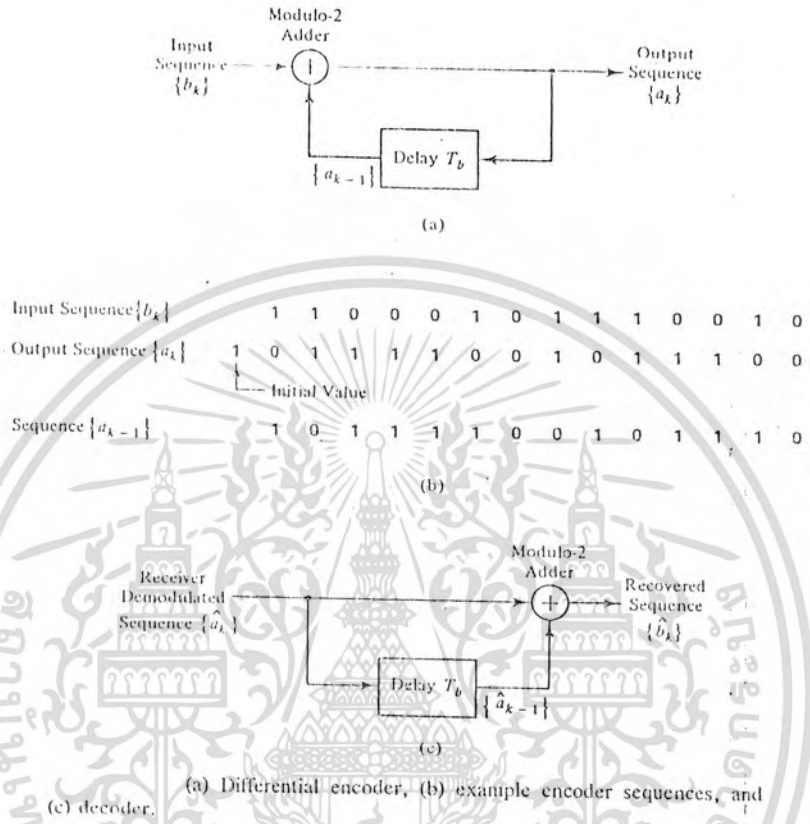


Waveform formats for the digital sequence of (a): (b) Unipolar, (c) polar, (d) bipolar, (e) Manchester, and (f) differential formats.

รูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนอีกรูปแบบหนึ่งคือ NRZ-space ที่มีการเปลี่ยนแปลงระดับทุกครั้งที่เป็น 0 และไม่เปลี่ยนแปลงเมื่อบิตเป็น 1



(a) Differential encoder, (b) example encoder sequences, and (c) decoder.

รูปที่ 2.16

รูปที่ 2.16(a) แสดงการเข้ารหัสสัญญาณดิฟเฟอเรนเชียล ทุกครั้งที่มีอินพุต $[b_k]$ เข้าไปจะได้เอาต์พุต $[a_k]$ ออกมา เมื่อเริ่มต้นบิตของ input sequence เอาท์พุตจะถูกเซ็ตให้เป็น 1 หรือ 0 ก่อนก็ได้ สมการของเอาต์พุตคือ

$$a_k = b_k + a_{k-1} \qquad [\ 2.15\ ]$$

ตัวอย่างจะใช้ sequence ตามรูป (b) และกำหนด initial value เป็น 1

ส่วนในภาครับการดีมอดูเลทสัญญาณเหมือนในกรณีโพล่าร์ -NRZ แต่ขณะทำการดีมอดูเลท sequence จะต้องทำการ decode sequence จาก $[a_k]$ ให้เป็น $[b_k]$ โดยที่สัมพันธ์กู้สัญญาณเดิม $[b_k]$ ดีโค้ดเดอร์แสดงได้ดังรูป (c) ส่วนสมการการทำงานก็คือ

$$b_k = a_k + a_{k-1} \qquad [\ 2.16\ ]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการของดิฟเฟอร์เรนเชียลเอ็นโค้ดดิ้ง มีข้อดีคือ ถ้ารูปสัญญาณที่ส่งมาตรงกันข้ามก็จะไม่มีผลต่อการดีโค้ดสัญญาณ ยังคงดีโค้ดได้สัญญาณเดิมที่ถูกต้องอยู่ เรียกว่าสามารถแก้การเกิด phase ambiguity ได้

Balanced Modulator

บาลานซ์มอดูเลเตอร์ เป็นหัวใจสำคัญของหลักการมอดูเลชั่น และดีมอดูเลชั่นแบบ SSB วงจรใดๆ ที่ต้องการเทอมของเอาต์พุต เป็นผลคูณ (product) ของสัญญาณอินพุต 2 สัญญาณสามารถใช้บาลานซ์มอดูเลเตอร์ได้ วงจรบาลานซ์มอดูเลเตอร์แบ่งได้ 3 แบบคือวงจร FET บาลานซ์มอดูเลเตอร์ , วงจรรวมบาลานซ์มอดูเลเตอร์ และDoubleบาลานซ์ Ring Modulator ในที่นี้จะใช้วงจรบาลานซ์มอดูเลเตอร์

วงจรรวม (Integrated circuit) บาลานซ์มอดูเลเตอร์

บาลานซ์มอดูเลเตอร์สำหรับบรรจุอยู่ในรูปแบบ IC ได้ ดังรูป 2.17 แสดงวงจรภายในของวงจรรวมบาลานซ์มอดูเลเตอร์ที่มีความคล่องตัวสูงสามารถนำไปประยุกต์ใช้งานได้หลายอย่าง วงจรเป็นรูปแบบหนึ่งของวงจรที่ใช้หลักการสวิตชิ่งคาบสัญญาณ ที่มีขั้วแตกต่างกันให้ผลของการคูณสัญญาณเป็น square wave การวิเคราะห์ส่วนต่างๆ ของวงจร เมื่อใช้บาลานซ์มอดูเตอร์กับแคเรียอินพุตขนาดใหญ่ จะได้แคเรีย ที่ถูกพิจารณาให้เป็นสวิตช์ชิ่งโวลท์เตจ ซึ่งเกิดการเปลี่ยนแปลงที่ทรานซิสเตอร์สวิตช์ Q1,Q4 และ Q2,Q3 จะ On และ Off โดยแต่ละคู่จะถูกสวิตช์เข้าด้วยกัน รูป b)แสดงสภาวะของวงจรเมื่อแคเรียทำการสวิตช์ Q2,Q3 ให้ On (Q1,Q4 Off) สมมุติว่ากระแสเบสมีเพียงเล็กน้อยในกรณีนี้ ผลรวมของกระแสที่ junction A และ B คือ

$$I_2 = I + i_e \quad \text{ที่ junction A}$$
$$I_1 = I + i_e \quad \text{ที่ junction B}$$

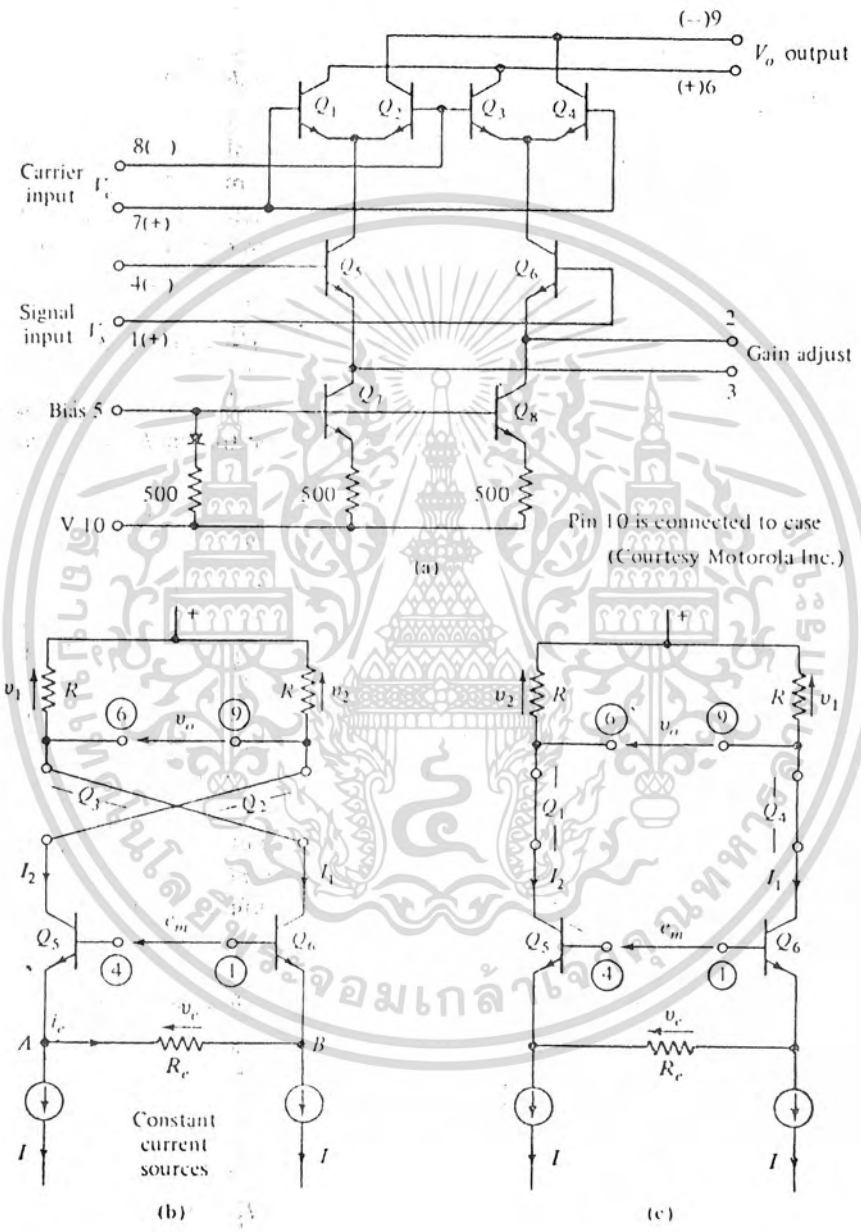
แรงดันเอาต์พุต (V_o) คือ

$$\begin{aligned} V_o &= V_2 - V_1 \\ &= R(I_2 - I_1) \\ &= R(2i_c) \end{aligned} \qquad [2.17]$$

จาก Kirchhoft's voltage law ที่ลูปของ e_m และ R_e จะได้

$$e_m = V_{be}5 + V_e - V_{be}6$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



An integrated circuit balanced modulator: (a) circuit of the Motorola MC1596 balanced modulator; (b) equivalent circuit for the condition when negative carrier voltage has switched on transistors Q_2, Q_3; (c) equivalent circuit for the condition when positive carrier voltage has switched on transistors Q_1, Q_4. Extracted from *Motorola Application Note AN531*. (Courtesy Motorola, Inc.)

รูปที่ 2.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรทำงานที่ $I >> i_e$ ดังนั้น $V_{be}5 \sim V_{be}6$

ดังนั้น $e_m \sim V_e$

จาก $ic = V_e/R_e$

$= e_m/R_e$ [2.18]

เมื่อ e_m เป็นแรงดันมอดูเลติ้ง แทนที่สมการ [2.18] ลงในสมการ [2.17] ได้

$$V_o = 2Re_m/R_e \quad [\ 2.19\ ]$$

เมื่อแคเรียอินพุตเปลี่ยนขั้ว ทรานซิสเตอร์ Q1, Q4 จะสวิตช์ On ส่วน Q2, Q3 จะสวิตช์ Off วงจรดังในรูป c) แรงดันเอาต์พุตขณะนี้คือ

$$V_o = V_1 - V_2$$
$$= -2Re_m/R_e \quad [\ 2.20\ ]$$

แคเรียทำให้เกิดการสวิตช์ของ Vo ที่ความถี่แคเรียนี้ Vo จะอยู่ระหว่าง $\pm e_m 2R/Re$ แสดงไว้ในสมการ [2.19] และ [2.20] การใช้ฟังก์ชั่นสแควร์เวฟ p(t) ทำให้เกิดการสวิตช์ที่บาลานซ์มอด โดยที่ความถี่แคเรียเดียวกันนี้ จะได้สมการใหม่แทนที่สมการ [2.19] และ [2.20]เป็น

$$V_o = (\ 2R/R_e)\ p(t)e_m \quad [\ 2.21\ ]$$

สัญญาณสแควร์สามารถวิเคราะห์ได้เป็นอนุกรมของสัญญาณไซน์ กำหนดให้ Ampli tude เป็น Unity (1) p(t) จะได้เป็น

$$p(t) = \sin\omega_c t + (1/3)\sin 3\omega_c t + (1/5)\sin 5\omega_c t \ldots\ldots \quad [\ 2.22\ ]$$

จากสมการที่ [2.21] และ [2.22] จะเห็นว่าแรงดันเอาต์พุตจะประกอบด้วยผลคูณของเทอม $e_m \sin\omega_c t$ ส่วนการมอดูเลชั่นสัญญาณไซน์สามารถได้ดังสมการ [2.23]

$$\sin\omega_c t \sin\omega_m t = 1/2[\cos(\omega_c t - \omega_m t) - \cos(\omega_c t + \omega_m t)] \quad [\ 2.23\ ]$$

ซึ่งแสดงเอาต์พุตที่ประกอบด้วย upper และ side frequency

สำหรับส่วนประกอบที่ฮาร์โมนิกอื่นๆ ของความถี่แคเรีย สามารถฟิลเตอร์ออกไปได้ แคเรียและฮาร์โมนิกต่างๆ จะไม่ปรากฏที่เอาต์พุต

ทรานซิสเตอร์ Q1, Q2, Q2, Q4 จะถูกสวิตช์โดยแคเรียสัญญาณไซน์ low-level ไซด์แบนด์รอบๆ ฮาร์โมนิกของแคเรีย จะไม่ปรากฏที่เอาต์พุต โหมดการทำงานแบบนี้นับเป็นข้อดีที่จะได้ไม่ต้องใช้การฟิลเตอร์ที่เอาต์พุต แต่ข้อเสียคือระดับเอาต์พุตขึ้นอยู่กับ Carrier Amplitude

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของวงจรรวมบาลานซ์มอดูเลเตอร์คือ สามารถทำให้แต่ละส่วนใกล้เคียงแบบอุดมคติมากที่สุด (เช่น การแมทช์ของคุณสมบัติต่าง ๆ) มากกว่าแบบอื่น ๆ และวงจรยังไม่ต้องใช้ทรานสฟอร์เมอร์อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการสร้างวงจรภาครับ

วงจร PULSE SHAPING

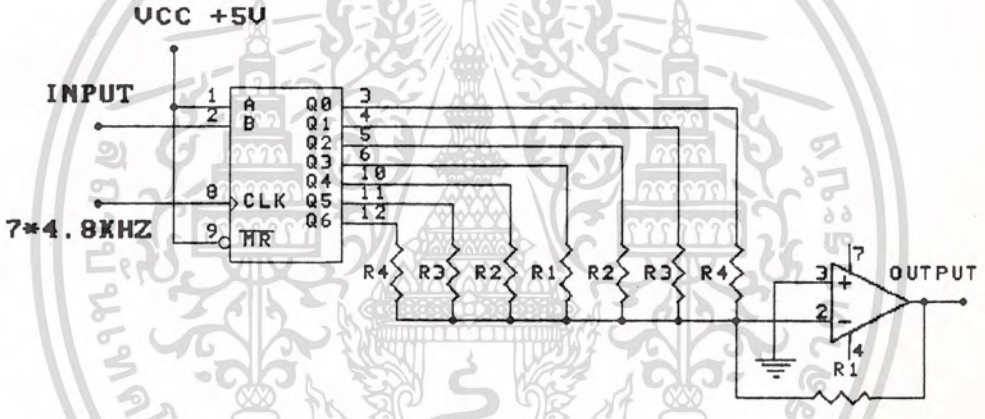
ในการออกแบบ pulse shapping จะใช้คุณสมบัติของ D F/F ในการจัดรูปจาก PULSE เป็นรูปขั้นบันได โดยใช้ IC 74LS164 โดยป้อนสัญญาน clock 7 เท่าของ $T_b/2$ โดยที่มีความต้านตานปรับค่าที่ ขา Q_a - Q_g เป็นตัวปรับอัตราแรงดันที่ออกเป็นบันไดค่าความต้านตานในทฤษฎีดังในรูป 3.1

R1 =2.2K

R2 =2.38K

R3 =3.12K

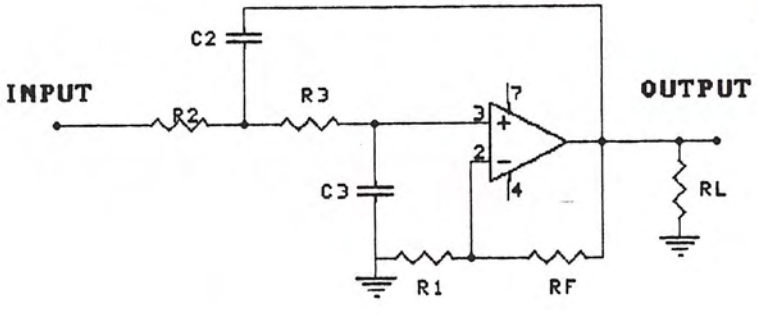
R4 =5.75K



รูปที่ 3.1 วงจร Pulse Shapping

วงจร LOW PASS FILTER

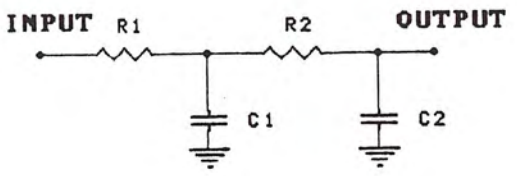
วงจรกรองความถี่ต่ำแบบบัสเตอร์เวอดร์ เป็นวงจรที่มีกราฟความชันของการตอบสนองที่ -40 dB/decade ซึ่งแสดงวงจรและกราฟแสดงผลการตอบสนองความถี่ ตามรูป 3.2



รูปที่ 3.2 วงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปสามารถเขียนวงจรสมมูลย์ได้ดังรูป 3.3



รูปที่ 3.3 วงจรสมมูลย์

จากวงจรที่ 3.2 สามารถเขียนสมการความถี่ cutoff (f_H)

$$f_H = \frac{1}{2\pi\sqrt{R_2R_3C_2C_3}} \qquad [\ 3.1\ ]$$

จากสมการที่ [3.1] สามารถคำนวนหาค่า R_2 , R_3 , C_2 , C_3 โดยการกำหนดค่าให้ $R_2 = R_3 = R$ และกำหนดค่าของ $C_2 = C_3 = C$ ดังนั้นสามารถเขียนสมการใหม่ได้ว่า

$$f_H = \frac{1}{2\pi RC} \qquad [\ 3.2\ ]$$

ถ้าทราบความถี่ f_H และกำหนดค่าของ C จะหาค่า R ได้จากสมการ [3.2] ได้ว่า

$$R = \frac{1}{2\pi f_H C} \qquad [\ 3.3\ ]$$

จากสมการที่ [3.3] ให้ความถี่ f_H = 2400 Hz ; C = 0.1 μF
ดังนั้น

$$R = \frac{1}{2\pi * 2400 * 0.1 * 10^{-6}}$$

$$R = 663.1456$$

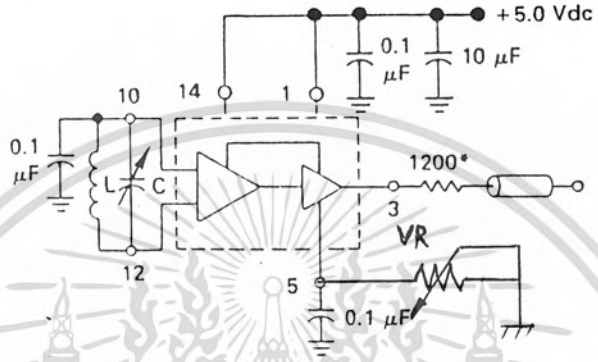
การขยายของวงจรหาได้จาก $A_F = 1 + \frac{R_F}{R_1}$ [3.4]

จากสมการที่ [3.4] ให้การขยายมีค่า $A_F = 2$
จะได้ $R_1 = R_F = 10$ K

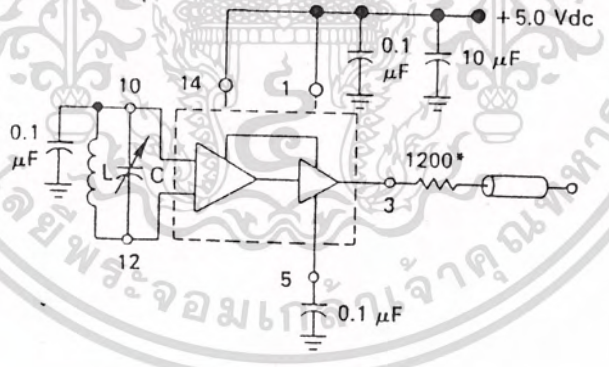
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจร กำเนิดความถี่1 MH_Z</u>

ในการออกแบบวงจรกำเนิดความถี่ (VCO) โดยใช้ไอซีเบอร์ MC 1648 ทำการกำเนิดความถี่ ในการออกแบบวงจรมีอยู่ด้วยกัน 3 แบบ คือ วงจรกำเนิดความถี่แบบ FixedTank Circuit วงจรกำเนิดความถี่แบบ Variable Tank Circuit และวงจรกำเนิดความถี่แบบ Wideband VCO ในที่นี้จะใช้เป็นแบบ Fixed Tank Circuit โดยใช้คุณสมบัติของวงจร TUNE LC



รูปที่ 3.4 วงจร VCO แบบ Fixed Tank Circuit (sine)



รูปที่ 3.5 วงจร VCO แบบ Fixed Tank Circuit (square)

สูตรที่ใช้คำนวน

$$f_o = 2\pi (LC)^{-1/2} \qquad [\ 3.5\ ]$$

โดย f_o = ความถี่ที่เราต้องการที่นี้ 1 MH_Z

L = inductor กำหนดให้มีค่าเท่ากับ 15μH

C = capacitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ [3.5] และค่าที่กำหนดไว้สามารถหาค่าของ C ได้

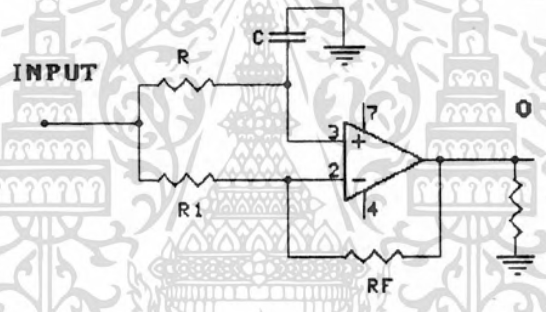
$$C = \frac{1}{(2\pi f_o)^2 L}$$

$$= \frac{1}{(2\pi * 10^6)^2 * 15 * 10^{-6}}$$

$$= 1.688 \text{ nF}$$

<u>วงจร PHASE SHIFT 90 องศา</u>

ในการออกแบบวงจร Phase Shift เพื่อทำการเลื่อนสัญญาณที่เข้ามาทางอินพุท หรือเป็นการหน่วงเวลาสัญญาณอินพุทต์ให้ช้าลง ซึ่งสามารถเขียนวงจรและกราฟแสดงผลการตอบสนองต่อความถี่ ดังรูปที่ 3.6



รูปที่ 3.6 วงจร Phase Shift

จากรูปวงจรที่ 3.6 เมื่อกำหนดให้ค่าของ $R_1 = R_F$ จะได้สมการ output voltage (v_o) ดังต่อไปนี้

$$v_o = -v_{in} + \frac{-jXc}{R-jXc} v_{in} \quad (2) \qquad [\ 3.6\ ]$$

โดยที่ $-j = 1/j$

$Xc = 1/2\pi fC$

f = ความถี่ที่จะใช้ในการ Shift

แทนค่าของ $-j$ และ Xc จะได้สมการใหม่ดังนี้

$$v_o = v_i\left(-1 + \frac{2}{j2\pi fRC+1}\right)$$

$$\frac{v_o}{v_{in}} = \frac{1 - j2\pi fRC}{1 + j2\pi fRC} \qquad [\ 3.7\ ]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถคำนวณหาค่าของมุม phase shift ได้จากสมการ

$$\phi = -2 \tan^{-1} \frac{(2\pi fRC)}{1} \qquad [\ 3.8\ ]$$

เพราะฉะนั้นถ้าต้องการให้มีมุมของ phase (ϕ) = -90° สามารถหาค่าของอุปกรณ์ได้โดยกำหนดค่า capacitor และค่าของ freqency ที่ต้องการ จากสมการที่ [3.8]

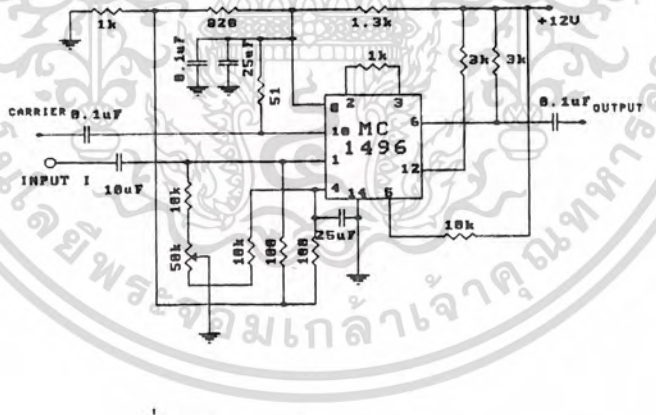
$$R = \frac{1}{2\pi fc}$$

$$= \frac{1}{2\pi * 10^{6} * 0.1 * 10^{-9}}$$

$$= 1.5915\ K$$

<u>วงจร BALANCE MODULATION</u>

ในการออกแบบ balance modulation จะใช้ IC MC 1496 L จาก Data sheet MC 1496L ในการออกแบบจะเป็นแบบ suppress carrier โดยการปรับความต้านทาน 50K ระหว่างขา 1 กับขา 4 ของ MC 1496 L สัญญาณออกทางขา 6 ดังรูป 3.7



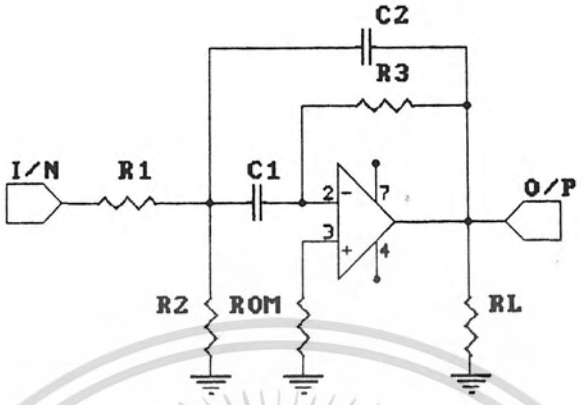
รูปที่ 3.7 วงจร Balance Modulation

<u>วงจร BAND-PASS FILTER</u>

ในการออกแบบกรองแถบความถี่ผ่าน (BPF)เป็นการกำหนดให้ย่านความถี่ใดความถี่หนึ่งผ่าน ซึ่งสามารถกำหนดแถบความถี่ได้จากความถี่ต่ำ (f_L) จนถึงความถี่สูง (f_H) ซึ่งสามารถเขียนวงจรและกราฟแสดงผลการตอบสนองความถี่ ได้แสดงดัง รูป 3.8

วงจรกรองแถบความถี่ผ่าน แบ่งออกได้ 2 ชนิด คือ Wide Band-Pass Filter และ Narrow Band-Pass Filter ความแตกต่างอยู่ที่ Quality Factor (Q) ถ้าหากค่า Q มีค่าน้อยกว่า 10 จะเป็น Wide Band ถ้าหากค่า Q มีค่ามากกว่า 10 จะเป็น Narrow Band ค่าของ Q จะมีความสัมพันธ์กับความถี่และแบนด์วิดท์ (BW) ดังสมการข้างล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจร Band-Pass Filter

$$Q = \frac{f_c}{BW} = \frac{f_c}{f_H - f_L} \qquad [3.9]$$

$$f_c = \sqrt{f_H f_L} \qquad [3.10]$$

f_H = ความถี่ cutoff ที่ความถี่สูง

f_L = ความถี่ cutoff ที่ความถี่ต่ำ

จากรูปวงจรที่ 3.8 สามารถออกแบบได้โดยกำหนดให้ค่า $C_1 = C_2 = C$ แล้วหาค่า R_1 ; R_2 ; R_3 จากสมการต่อไปนี้

$$R_1 = \frac{Q}{2\pi f_c C A_F} \qquad [3.11]$$

$$R_2 = \frac{Q}{2\pi f_c C\,(2Q^2 - A_F)} \qquad [3.12]$$

$$R_3 = \frac{Q}{2\pi f_c C} \qquad [3.13]$$

จากรูปวงจรที่ 3.8 มีค่า

f_c = 1 MH_z

f_H = 1009.6 KH_z

f_L = 990.4 KH_z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ [3.9] สามารถหาค่า Q ได้

$$Q = \frac{f_c}{f_H - f_L}$$

$$= \frac{10^6}{1009.6*10^3 * 990.4*10^3}$$

$$= 52.08$$

จากสมการที่ [3.11],[3.12],[3.13] สามารถหาค่า R_1 , R_2 , R_3 โดยการกำหนดให้

$C_1 = C_2 = C = 0.1$ nF

$A_F = 10$

$$R_1 = \frac{52.08}{2\pi*10^6*0.1*10^{-9}*10}$$

$$= 8.288 \text{ K}$$

$$R_2 = \frac{52.08}{2\pi*10^6*0.1*10^{-9}\,(2*(52.08)^2-10)}$$

$$= 15.308$$

$$R_3 = \frac{52.08}{\pi*10^6*0.1*10^{-9}}$$

$$= 165.77$$

การหาค่าอัตราการขยาย (A_F) หาได้จากสมการ

$$A_F = \frac{R_3}{2R} \qquad [\ 3.14\ ]$$

เงื่อนไขในการกำหนดอัตราการขยาย (A_F)

$$A_F < 2Q^2 \qquad [\ 3.15\ ]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเปลี่ยนความถี่ f_c ไปเป็นความถี่ f_c' โดยไม่มีการเปลี่ยนอัตราการขยาย สามารถคำนวนหาค่าของ R_2' จากสมการ

$$R_2' = R_2\left(\frac{f_2}{f_1'}\right)^2 \qquad [\ 3.16\ ]$$

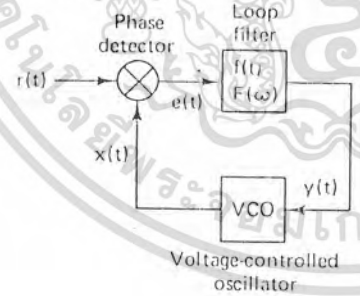
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
หลักการของภาครับ

<u>การซิงโครไนซ์สัญญาณภาครับ</u>(Receiver Synchronization)

<u>ระบบโคฮีเรนท์</u> (Coherent Synchrontzation: Phase-Locked Loops)

หัวใจสำคัญของวงจรเฟสซิงโครไนซ์เซชั่นคือ เฟสล็อกลูป (PLL) บล๊อกไดอะแกรมของ PLL แบบพื้นฐานแสดงได้ดังรูป 4.1 PLL เป็นเซอร์โว-คอนโทรลลูป คอยควบคุมพารามิเตอร์ (เฟสของภาคกำเนิดสัญญาณภายใน) ให้เป็นไปตามสัญญาณแคเรียที่รับเข้ามา PLL ประกอบด้วย 3 ส่วนสำคัญ คือ เฟสดีเทคเตอร์ ลูปฟิลเตอร์ และโวลท์เตจคอนโทรลออสซิลเลตอร์ (VCO) เฟสดีเทคเตอร์เป็นอุปกรณ์ที่ให้ค่าความต่างเฟสระหว่างสัญญาณที่รับเข้ามากับสัญญาณที่ผลิตขึ้น สัญญาณ ที่รับเข้ามากับสัญญาณที่ผลิตขึ้น จะมีการเปลี่ยนแปลงที่สัมพันธ์กัน ความแตกต่างทางเฟสหรือเฟสเออเรอร์จะเป็นสัญญาณที่ผ่านไปภาคลูปฟิลเตอร์ ลูปฟิลเตอร์จะควบคุมเรสปอนส์ของ PLL ที่เปลี่ยนแปลงจากสัญญาณเออเรอร์นี้ การออกแบบลูปที่ดีนั้นต้อง สามารถติดตาม (track) การเปลี่ยนแปลงในเฟสของสัญญาณที่รับเข้ามาได้ แต่ต้องไม่มีเรสปอนส์ที่กว้างจนรับสัญญาณนอยส์เข้ามาด้วย VCO เป็นอุปกรณ์ที่ผลิตสัญญาณแคเรียที่ภาครับขึ้นมา VCO ก็คือ ออสซิลเลเตอร์กำเนิดสัญญาณไซน์ ที่ถูกควบคุมความถี่โดยระดับแรงดันที่อินพุต ในรูป 4.1 เฟสดีเทคเตอร์แสดงเป็นสัญลักษณ์มัลติไพร์เออร์ ลูปฟิลเตอร์แสดงได้โดยฟังก์ชั่นอิมพัลซ์เรสปอนส์ f(t) หรือฟูเรียทรานสฟอร์ม F(ω)



Schematic of the basic phase-locked loop.

รูปที่ 4.1

VCOเป็นออสซิลเลเตอร์ที่ความถี่ O/P เป็นฟังก์ชั่นแบบลิเนียร์กับสัญญาณ I/P โดยกำหนดอยู่ในระยะหนึ่ง แรงดันอินพุตเป็นบวกจะทำให้ VCO ผลิตความถี่ที่มากกว่า ขณะยังไม่ควบคุม(ω_o) ในขณะที่แรงดันอินพุตเป็นลบจะทำให้ความถี่เฟส-ล็อกจะเกิดขึ้นโดยการป้อนค่าจากเฟสเออเรอร์ที่ผ่านฟิลเตอร์ระหว่างสัญญาณที่รับเข้ามา r(t) และO/P ของ VCO[x(t)] ป้อนกลับไปที่อินพุตและอินพุตของVCOคือ y(t)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาสมการนอร์มัลไรซ์ของสัญญาณ I/P ได้

$$r(t) = \sin [\omega_o t + \theta(t)] \qquad [\ 4.1\ ]$$

โดยที่ ω_o เป็นความถี่แคเรีย และ $\theta(t)$ เป็นเฟสที่เปลี่ยนแปลงไปและพิจารณาสมการเอาต์พุตนอร์มัลไรซ์ของ VCO ได้

$$x(t) = 2\cos [\omega_o t+\theta'(t)] \qquad [\ 4.2\ ]$$

สัญญาณที่ O/P ของเฟสดีเทคเตอร์เป็นสมการเอาท์พุตเออเรอร์คือ

$$\begin{aligned} c(t) &= x(t)r(t) = 2\cos [\omega_o t+\theta'(t)] \sin [\omega_o t + \theta(t)] \\ &= \sin [\theta(t)-\theta'(t)]+ \sin[2\omega_o t+\theta(t)+\theta'(t)] \end{aligned} \qquad [\ 4.3\ ]$$

กำหนดให้ลูปฟิลเตอร์เป็นแบบ LOWPASS ทำให้เทอมที่ 2 ของสมการ (4.3) หายไปการกำหนดฟิลเตอร์แบบ LOW PASS นี้เป็นกรณีปกติที่ใช้ในการออกแบบลูป LPF ทำให้สัญญาณเออเรอร์เป็นฟังก์ชั่น ของเฟสที่แตกต่างระหว่างอินพุต (สมการ 4.1) กับเอาท์พุต VCO (สมการ 4.2) เป็นค่าที่แน่นอนแม่นยำของ สัญญาณเออเรอร์ที่ต้องการในระบบความถี่ O/P ของ VCO เป็นคาบเวลาที่สัมพันธ์กับ (เป็นอนุพันธ์) อาร์กิวเมนต์ ของฟังก์ชันไซน์ในสมการ (4.2) ถ้าเรากำหนด ω_o เป็นความถี่ที่ยังไม่ได้ควบคุมของ VCO (ความถี่ O/P เมื่อแรงดัน I/P เป็นศูนย์) เราจะรู้ค่าความแตกต่างของความถี่ O / PVCO จาก ω_oที่เป็นความแตกต่างของคาบเวลาของเทอมเฟส $\theta'(t)$ ความถี่ O/P ของ VCO เป็นลิเนียร์ฟังก์ชั่น ของแรงดันอินพุต เมื่อแรงดันอินพุตเป็นศูนย์ก็จะผลิตความถี่ ω_o ซึ่งการผลิตความถี่จะเป็นอัตราส่วนกับค่าจากแรงดันอินพุต y(t) หรือ

$$\begin{aligned} \Delta\omega(t) &= \frac{d}{dt}[\theta'(t)] = K_o\, y(t) \\ &= K_o\, \theta(t) * f(t) \\ &= K_o\, [\theta(t) - \theta'(t)] * f(t) \end{aligned} \qquad [\ 4.4\ ]$$

โดยที่ $\Delta\omega(t)$ เป็นความแตกต่างของความถี่ เครื่องหมาย * เป็น convolution operation ค่าโดยประมาณจะแม่นยำขึ้นถ้า O/P ของเฟสเออเรอร์แคบที่สภาวะลูปปกติ แฟคเตอร์ K_o คือ เกนของ VCO และ f(t) เป็นลูปฟิลเตอร์อิมพัลซ์เรสปอนส์ สมการความแตกต่างทางลิเนียร์ใน $\theta'(t)$ เรียกว่า linearized loop equation ที่แสดงความสัมพันธ์ในการกำหนดลักษณะของลูประหว่างการทำงานปกติ (กรณีแสดงเฟสเออเรอร์มีค่าน้อย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

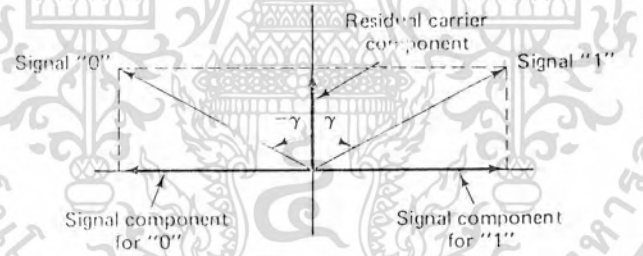
Suppressed Carrier loops

(Squaring loop carrier recovery)

PLL ที่ใช้เพื่อจุดประสงค์นี้ถูกกำหนดโดย แคเรียอินพุตแบบที่เป็นไซน์ที่คงที่ เรียกว่า positiveaverage energy ในกรณีของระบบสื่อสารแบบมอดูเลททางเฟส ถ้าแคเรียเฟสเปลี่ยนแปลงจากการมอดูเลทน้อยกว่า $\pi/2$ rad จะเกิดพลังงานบวกที่ความถี่แคเรียเรียกว่า ระบบที่ออกแบบนี้มีส่วนประกอบแคเรีย residual (residualcarrier component) และในการพัฒนา PLL ในที่นี้จะใช้โดยตรงกับส่วนประกอบแคเรียนี้ ไดอะแกรมของสัญญาณ สำหรับระบบไบนารีเฟสมอดูเลทที่แสดงส่วนประกอบ แคเรีย residual ดังในรูป 4.2 มุมของการมอดูเลทเป็น $\gamma < \pi / 2$ ในช่วงหนึ่งระบบมอดูเลททางเฟสมักจะถูกออกแบบในลักษณะนี้ สำหรับ residual carrier component มีทั้งใน sense และ wasted energy ใน sense energy นั้นจะไม่ใช้ residualcarrier component ส่งข่าวสารข้อมูลจะส่งเฉพาะแคเรียเท่านั้น ในระบบเฟสมอดูเลทสมัยใหม่ส่วนมาก จะเป็นระบบซับเพรสแคเรีย จะส่งพลังงานไปในสัญญาณมอดูเลชั่น

พิจารณาจากตัวอย่างของสัญญาณ BPSK คือ

$$r(t) = m(t)\sin(\omega_o t+\theta)+n(t) \qquad [\ 4.5\ ]$$



รูปที่ 4.2

โดยที่ m(t) = + 1 ที่เท่ากับ Probabillity นี่คือการส่งแบบซับเพรสแคเรีย พลังงาน เฉลี่ยที่ความถี่ ω_o= 0 rad. ในรูปที่ 4.2 สัญญาณนี่เป็นสภาวะที่ r = $\pi/2$ รูปที่แสดงในกรณีนี้ส่วนประกอบแคเรียทางแนวตั้งจะหายไป เพื่อหา (acquire) และติดตาม (track) เฟสของแคเรีย ผลของการมอดูเลทจะถูกตัด (กำจัด) ออกไป อีกกรณีหนึ่งที่กำจัดการมอดูเลทออกไปคือการยกกำลังสองสัญญาณ นั่นคือ

$$\begin{aligned} r^2(t) &= m^2(t)\sin^2(\omega_o t+\theta) + n^2(t) + 2n(t)m(t)\sin(\omega_o t+\theta) \\ &= \frac{1}{2} - \frac{1}{2}\cos(2\omega_o t+2\theta) + n^2(t) + 2n(t)m(t)\sin(\omega_o t+\theta) \end{aligned} \qquad [\ 4.6\ ]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่$m^2(t)=1$เทอมที่2ของสมการ (4.6) เป็นเทอม carrier-related (ที่2เท่าของความถี่แคเรียเดิม) ดังนั้นสามารถ acquiredและ trackedที่ PLL ได้เช่น การจัดวงจรในรูป 4.3 เมื่อสัญญาณเข้ามาเป็นแบบซับเพรสแคเรียถูกยกกำลังสอง ส่วนประกอบความถี่สองเท่าที่ได้จะถูก acquired และ trackedเข้ากับ PLL

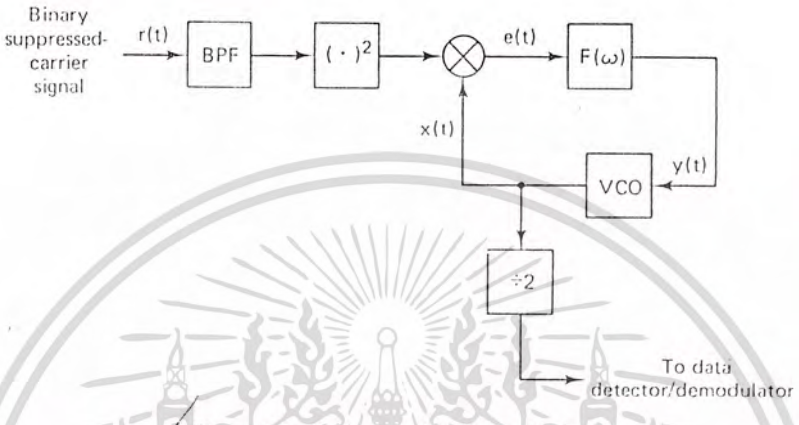


Figure 8.5 Basic squaring loop schematic.

รูปที่ 4.3

ปัญหาบางอย่างที่ขั้นตอนนี้เปรียบเทียบจากสมการ (4.6) กรณีแรกทำให้มุมเฟสทั้งหมดเป็น 2 เท่า เฟสนอยส์และเฟสจิตเตอร์จึงเพิ่มเป็น 2 เท่าด้วย และเฟสเออเรอร์ที่เปลี่ยนแปลงไป (สัมพันธ์กับเฟสนอยส์ยกกำลังสอง) คือจะเพิ่มขึ้นโดยแฟคเตอร์ 4 เท่าของสัญญาณเดิม มุมที่ doubling นี้จะปรับ (offset) โดยวงจรหาร 2 ที่เอาท์พุตของ VCO และกรณีนี้จะไม่เกิดผลโดยตรงที่สัญญาณเอาต์พุตของลูปที่ถูกใช้โดย data demodulator แต่การเปลี่ยนแปลงภายในอย่างมากจะเกิด PLL ที่ต้องการอัตราส่วนแคเรียต่อนอยส์มากกว่า 6 dB และมากกว่าระบบ residual carrier ในลำดับที่รักษาสภาพเฟสล็อกของ effective noise เทอมที่เกี่ยวข้องกับลูปโอเปอเรชันเพราะเทอม cross-correlation ระหว่างนอยส์กับสัญญาณในสมการ (4.6) สำหรับกรณีของลูป S/N ratio ขนาดกลาง หรือ เล็ก เทอมนอยส์ทั้งสองจะลดลงได้ถ้า S/Nratio เพิ่มขึ้นสัมพันธ์กับสัญญาณแคเรียเดิมที่ยังไม่มอดูเลท loss ที่เกิดจากเทอม signal-times-noise และ noise-times-noise เรียกว่า loop squaring loss (SL)Gardnerแสดงไว้ว่าถ้า I/P นอยส์process [n(t)] เป็น narrowband Gaussian noise ของแบนด์วิดท์ (B_i) Sqauring loss ที่เกิดขึ้นกำหนดโดย

$$SL = 1 + N_o B_i \qquad [\ 4.7\ ]$$

โดยที่ N_o คือ ซิงเกิลไซด์ PSD ของ prefiltered นอร์มัลไรซ์ White Gaussian noise process สมการ [4.7] เป็น upper bound เพราะแบนด์วิดท์ฟิลเตอร์ (B_i) เป็นที่รู้กันว่าต้องกว้างเพียงพอที่สัญญาณผ่านได้โดยไม่เกิด distortion ในการออกแบบ จริงสัญญาณ distortion จะถูก traded (กำหนดไว้) สำหรับ Squaring loss

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนอร์มัลไรซ์ในสมการ (4.7)เกี่ยวกับกำลัง (power) ของสัญญาณเทอมที่สองเป็นอัตราส่วนกับ S/N ratio คือ

$$P_i = \frac{1}{2N_oB_i} \qquad [\ 4.8\ ]$$

โดยที่ P_i เป็น S/N ratio ในอินพุตฟิลเตอร์แบนด์วิดท์ สำหรับค่า S/N ratio ขนาดใหญ่ เฟส O/P จะเปลี่ยนแปลงมากสามารถกำหนดได้ดังนี้

$$S^2\theta' = 2N_oB_LS_L$$
$$= 2N_oB_L(1+\frac{1}{2Pi}) \qquad [\ 4.9\ ]$$

เทอมนำหน้าของสมการนี้เป็นเอกลักษณ์ของสมการ $S^2\theta=2N_oB_L$ แสดงเฟสที่เปลี่ยนแปลงของ PLL สามารถเห็นได้จากอินพุตขนาดใหญ่ ของ S/N ratio เทอมที่สองใน Squaringloss จะหายไปส่วนที่เหลือเท่านั้นที่เป็น phase variance ของ PLL อีกปัญหาหนึ่งที่ยุ่งยากเกี่ยวกับลูปซับเพรสแคเรีย คือ false lock ปัญหานี้เฉพาะระหว่าง acquistion หรือ reacquisition ของเฟสแคเรียอินเตอร์แอคชั่นของ data stream ที่เป็นลูปแบบไม่มีลิเนียร์ (เฉพาะวงจร squaring) และลูปฟิลเตอร์จะเกิดไซด์แบนด์ในสเปคตรัมเป็นอินพุตที่เฟสดีเทคเตอร์ ไซด์แบนด์นี้จะมีส่วนประกอบความถี่ที่คงที่ส่วนประกอบที่คงที่นี้ จะไม่ยินยอมให้ลูปเกินย่าน capture lock ถ้าลูปถูก capture จึงจะเกิดการทำงานที่ถูกต้อง สัญญาณควบคุม VCO y(t) จะเล็กแต่ O/P ของ VCO จะปรับในความถี่จากส่วนประกอบแคเรียที่ถูกต้อง ส่วน false lock ลูปจะ tracking ตามส่วนประกอบความถี่ไซด์แบนด์ และแคเรียจริงจะถูกฟิลเตอร์ออกโดยลูปฟิลเตอร์ลูปแคเรียส่วนที่เหลือมีส่วนประกอบที่ไม่ลิเนียร์เพียงเล็กน้อยเท่านั้นไม่ทำให้เกิด false locking ขึ้นได้

<u>ภาคซิงโครไนซ์ข้อมูล</u> (Data Synchronizers)

ข่าวสารที่ส่งในระบบดิจิตอล จำเป็นต้องมีการส่งสัญญาณ แบบซิงโครนัสที่มีความต่อเนื่องและมีรูปแบบการดีเทคสัญญาณให้ได้ผลดีนั้น ต้องมีตัวสร้างสัญญาณ clock ขึ้นมา ซึ่งสัมพันธ์กับสัญญาณพัลซ์เทรนที่รับมา

ข้อมูลจะถูกมอดูเลทกับสัญญาณแคเรียก่อนที่จะส่งออกทางช่องสัญญาณหลักการที่ใช้มอดูเลชันแบบมีประสิทธิภาพสูงเรียกว่า แบบโคฮีเรนท์ โดยใช้เฟสของข้อมูลที่ส่งมากับแคเรียการดีมอดูเลทต้องสร้างแคเรียที่ภาครับขึ้น ซึ่งเฟสจะต้องสัมพันธ์กับสัญญาณที่รับมา

วงจรทางภาครับต้องสร้างสัญญาณ carrier และสัญญาณ clock ขึ้นมาเรียกว่า carrier และ clock synchronizer PLL ถูกนำไปใช้ในภาคซิงโครไนซ์อย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการโดยทั่ว ๆ ไป (General Principle)

เทคนิคการมอดูเลทแบบซับเพรสแคเรีย จะส่งแถบพลังงานเฉพาะไซด์แบนด์และไม่ เกิดการสิ้นเปลืองบนส่วนประกอบแคเรียที่แยกกัน

พัลซ์ข้อมูลจะเป็นแบบต่อเนื่อง (ส่วนประกอบไม่ diserete) ที่ความถี่ clock ตัว อย่างเช่น สัญญาณมาตราฐาน สัญญาณสี่เหลี่ยม สัญญาณ random สัญญาณ NRZ สัญญาณเหล่านี้มี spectral null ที่ความถี่ clock

PLL แบบย่านแคบ จะต้องสร้างสัญญาณส่วนประกอบขึ้นที่ความถี่ที่ trackc ได้ เมื่อส่วนประกอบขาดจาก efficient ของสัญญาณข้อมูล PLL แบบธรรมดา ๆ จะ fail to track และไม่สามารถที่จะสร้าง data synchronizer ได้

วงจรไม่ลิเนียร์เหมาะสมใช้ในการสร้าง carrier หรือ clock ขึ้นมาใหม่อุปกรณ์ regenerator เป็นส่วนหนึ่งของ (intergral portion) data synchronizer ลักษณะของความไม่ลิเนียร์ไม่ปรากฏใน PLL จนปัจจุบัน

Regenerator ทั้ง 2 แบบ a) รีเจนเนอเรเตอร์แยกจากวงจร จะสร้างแคเรีย หรือ clock ที่ต้องการ ซึ่งถูก track ในลักษณะธรรมดาโดยPLL ทั่วไป

b) การใช้เฟสดีเทคเตอร์ในตัวเองประกอบกับอุปกรณ์ non linear จะผลิตแรงดัน ค่าคลาดเคลื่อนจากสัญญาณข้อมูลโดย clocking carrier หรือ clock component

ขั้นตอนในออกแบบ synchronizer

- ออกแบบอุปกรณ์ non lincar ที่เหมาะสมกับงาน
- แยกแยะสัญญาณรบกวน และวิเคราะห์ performance
- เลือกพารามิเตอร์ ของ PLL ให้เหมาะสม

ภาคซิงโครไนเซอร์สัญญาณแคเรีย (carrier synchronizer)

ในการส่งสัญญาณแบบ BPSK ถ้าบิตข้อมูลส่งเป็น 1 สัญญาณจะมีเฟส +90 องศาถ้าบิตข้อมูลเป็น O สัญญาณจะมีเฟส -90 องศา พัลซ์จะมีระยะเวลา T วินาทีต่อบิตที่แน่นอนถ้าจำนวนบิต 1 และ 0 ถูกส่งไปเท่า ๆ กัน จะ suppressed carrier ถ้าสัญญาณเบสแบนด์เป็น m(t) สัญญาณที่ส่งออกจะเป็น

$$V_s(t) = m(t)\sin(\omega_i t + \theta_i) \qquad [4.10]$$

โดยที่ ω_i เป็นความถี่แคเรีย และ θ_i เป็นเฟสของสัญญาณ

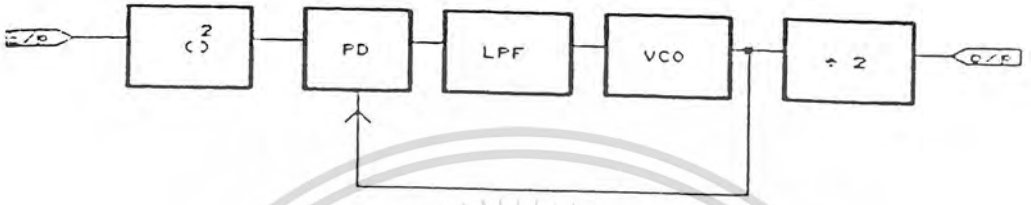
รูปแบบของวงจร

ในขณะที่ใช้กันมี 3 แบบ คือ squaring loop,costas loop และ remodulator (inverse modulator หรือ ummodulator)

ในรูปที่ 4.4 Squaring loop มีอุปกรณ์ไม่ลิเนียร์เป็นส่วนประกอบและ model เป็นอุปกรณ์ square-law เอาท์พุตของอุปกรณ์ไม่ลิเนียร์นี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_x(t) = m^2(t) \sin^2(\omega_i t+\theta_i)$$
$$= \frac{1}{2} m^2(t) [1 - \cos (2\omega_i t+2\theta_i)] \qquad [\ 4.11\ ]$$



รูปที่ 4.4

PLL แบบธรรมดาทำงานที่ความถี่แคเรีย 2 เท่าของคล็อกสู่ฮาร์โมนิกที่ 2 และเอาท์พุตของ VCO ถูกหาร 2 เพื่อให้ได้สัญญาณเปรียบเทียบที่ความถี่สัญญาณ อุปกรณ์ฮาร์โมนิกที่ 2 exists สำหรับรูปแบบข่าวสารต่าง ๆ ซึ่ง avg(m^2) = 0

พิจารณาที่ภาคความถี่ 2 เท่า อินพุตประกอบด้วย เฟส + 90 องศา ความถี่จะเป็นสองเท่าของเฟสแต่ละเฟสเซอร์ fall ontop ที่ + 180 องศา ที่เอาต์พุต doubler เฟสเซอร์อินพุตเฉลี่ยถูกจำกัดออกไปและไม่มีส่วนประกอบ carrier ที่อินพุต/เอาท์พุตเฟสเซอร์เพิ่มขึ้นเป็นสัญญาณที่แรงในฮาร์โมนิคที่ 2

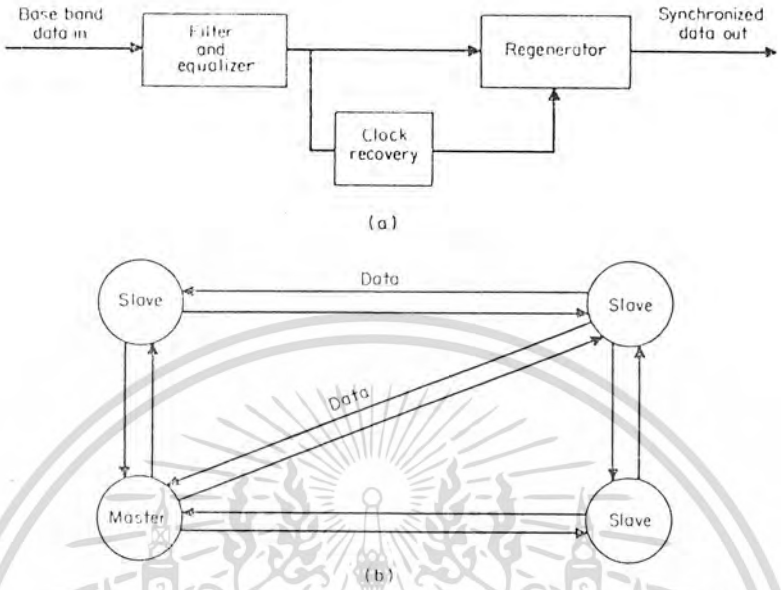
ภาคหาร 2 ต่อจาก VCO นั้นทำงานทั้ง 2 เฟสเซอร์ กำหนดจากค่า random เริ่มต้นสภาวะของภาคหารความถี่ เพราะเฟสไม่ถูกกำหนดไว้ เป็นไปได้ที่จะเกิดการตัดสินให้บิทเป็น 1 หรือ 0 โดยปราศจากสัญญาณข้อมูล เรียกว่า เกิด ambiguity

การเกิด ambiguity ของเทคนิคการมอดูเลทแบบเฟสชิฟ ถ้าข่าวสารส่งมาในความต่างเฟส = N จะมี N-fold ambiguity เกิดขึ้นในภาคกู้สัญญาณข้อมูล ความผิดพลาดนี้ไม่ใช่ข้อผิดพลาดของ $( )^2$ loop หรือ carrier synchronizer แต่เกิดจากวิธีชับเพรสแคเรีย แต่สามารถแก้ไขได้โดยการเข้ารหัสสัญญาณแบบพิเศษหรือการส่งแบบอัดข้อมูล การแก้ปัญหา Ambiguity สามารถแก้ไขได้ดังจะพบได้จากภาคเข้ารหัสสัญญาณ (Differential Encoding)

Bit Synchronizer (Clock Recovery)

เราใช้เฟส-ล็อกลูปในวงจร carrier และ clock recovery ของระบบสื่อสารแบบซิงโครนัสทำให้ปัญหาบางอย่างเกี่ยวกับการซิงโครไนซ์บิต หมดไป รูป 4.5 แสดงความสำคัญของวงจร clock recovery ในระบบสื่อสารแบบดิจิตอล ในรูป (a) clock ที่กู้คืนมาได้จะนำไปใช้ regenerate ข้อมูลที่รับมาได้ รูป b) แสดงเครือข่ายดิจิตอลแบบ master-slave โดย clock ที่ใช้แยกไปแต่ละโหนดจะเป็นลูกข่ายของ clock ในโหนดหลัก (master-station)

เอกสารนี้มีไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Use of bit synchronization in a digital network. (*a*) Use of recovered clock to regenerate data; (*b*) clocks in several slave stations are derived from data originating in a master station.

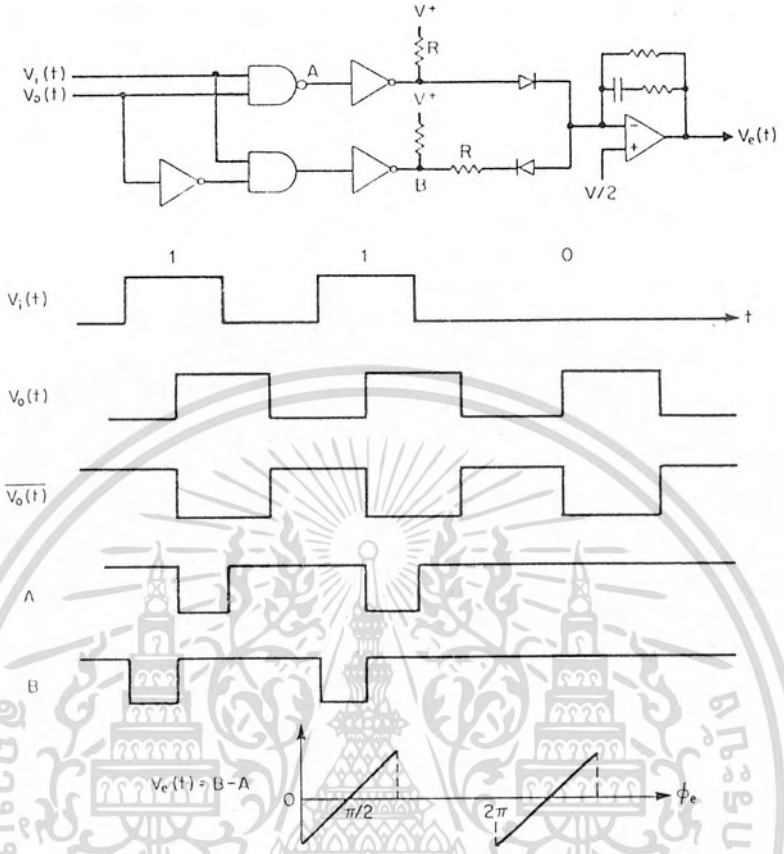
รูปที่ 4.5

จากรูป 4.6 คริสตอลที่มีย่านความถี่แคบมากของ PLL จะใช้ดึงสัญญาณ clock มาจากข้อมูลที่เข้ามา อินพุตที่ลูปถูกกำหนดให้เป็นสัญญาณ clock แบบต่อเนื่อง แต่ถ้าใช้เฟสดีเทคเตอร์แบบรูป 4.7 สัญญาณข้อมูลที่รับมาเป็นแบบ RZ ข้อมูลจะถูกใช้เป็นอินพุตที่ลูปโดยตรง

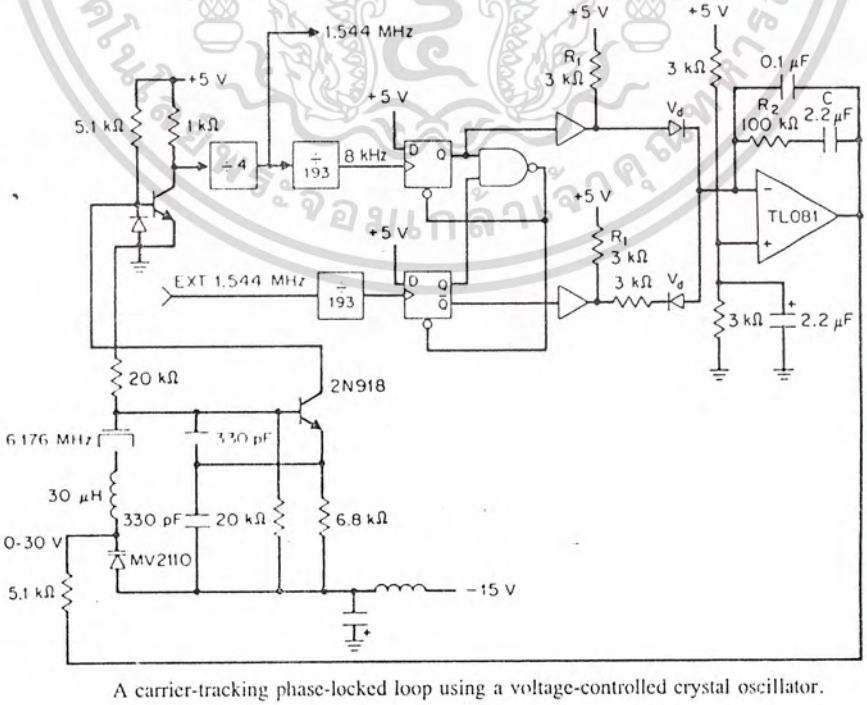
แต่เพื่อประสิทธิภาพในการสื่อสารข้อมูลส่วนมากจะไม่ใช้แบบ RZ ของสเปคตรัมจะ ไม่ตัดเส้นที่ความถี่ clock จึงจำเป็นที่ต้องใช้อุปกรณ์ non-linear เพื่อแปลงสัญญาณ RZ ก่อนใช้กับลูปรูป 4.8 แสดงเทคนิคแบบหนึ่งที่ใช้แปลงสัญญาณ RZ เป็น NRZ และให้ได้สเปคตรัมตามกำหนด จะสังเกตุเห็นเส้นประที่ความถี่ clock ใน RZ สเปคตรัม ซึ่งจะยอมรับการแปลง process เกี่ยวกับ differentiating, squaring และ limiting

ข้อมูล RZ จะใช้กับ lock ของลูป หรือจะใช้กระตุ้นของวงจร LC เพื่อกู้สัญญาณ Clock Q ที่คงที่ของวงจรจูน LC ปกติกลำดับของ magnitude ต่ำกว่าจากการออกแบบ PLL Clock ที่กู้ได้ที่ PLL โดยปกติจะคุณภาพดีกว่าวงจรแบบพาสซีฟ โดยเฉพาะในสภาวะที่เกิด jitter ในการใช้งานบางกรณีที่สัญญาณ clock ที่กู้ได้มีความสัมพันธ์ตาม low-Q ของวงจรจูน และ Clock นี้ถูกใช้เป็นอินพุตของ PLL เพื่อให้ได้ clock ที่มีความคงที่สูงรูป 4.9 แสดงการใช้เทคนิคเพื่อลด jitter ของข้อมูลอินพุตที่ดีที่สุด ข้อมูลอินพุตถูกบันทึกลงในแอดเดรส 8 บิต latch ที่ clock ติดตามอินพุต jitter (ถูก derived โดยวงจรแบบ low-Q) แต่ละบิตจะถูกเก็บลงใน latch ของ clock 8 คาบ บิตข้อมูลออกจาก jitter-free clock อย่างน้อย ที่สุด 4 clock (คาบ) หลังจากถูกบันทึกการจัดวงจรแบบนี้จะ absorb แมกนิจูดของ jitter ประมาณ ± 4 time slots การ clear ขนาดของบัฟเฟอร์จะกำหนดจำนวนของ jitter ที่จะ absorb ได้โดยวิธีการนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



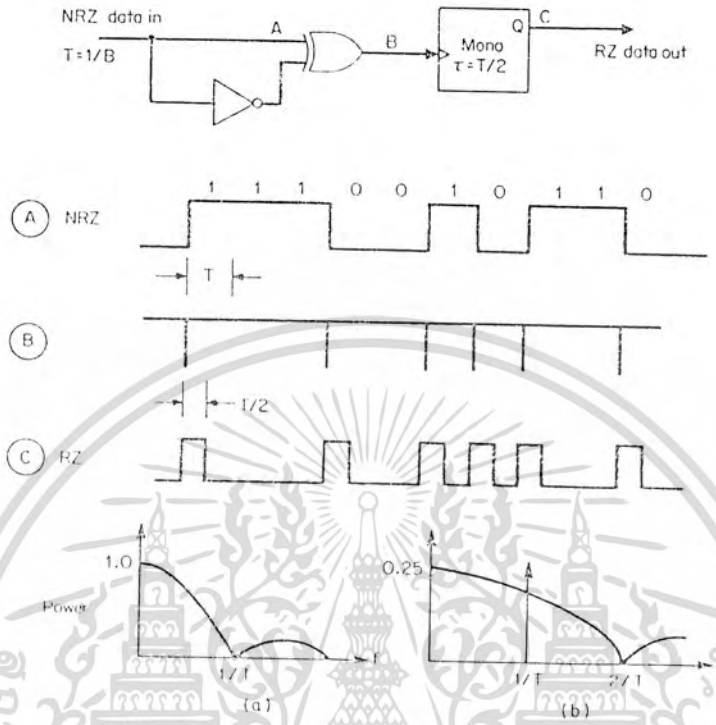
A digital phase detector for use with random input data (RZ, pulse-width = $T/2$).



A carrier-tracking phase-locked loop using a voltage-controlled crystal oscillator.

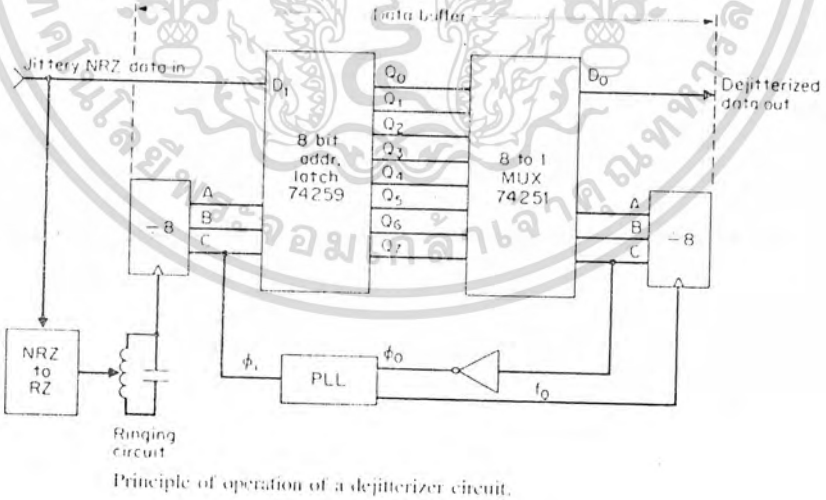
รูปที่ 4.6 ,4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Derivation of RZ data from NRZ data input. (*a*) Spectrum of NRZ data; (*b*) spectrum of RZ data (width = T/2).

รูปที่ 4.8



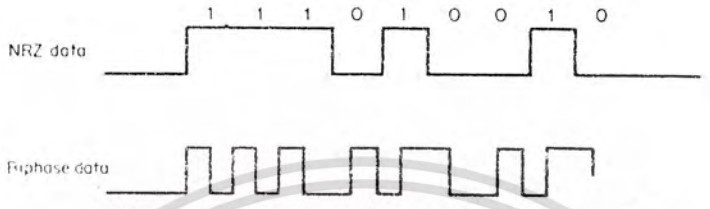
Principle of operation of a dejitterizer circuit.

รูปที่ 4.9

วงจรจูน LC หรือ PLL ทำงานได้ผลดีพอที่ทำให้ข้อมูล NRZ มีจำนวนของ transitions พอเพียงในช่วงระยะเวลาหนึ่ง สำหรับข้อมูลที่ไม่กำหนดหรือไม่ควบคุมจำนวนของ 1 หรือ 0 ในข้อความจะก่อให้เกิดปัญหาในวงจรกู้สัญญาณ clock ดังนั้นจึงต้องทำการ scramble สัญญาณ NRZ ก่อนส่ง เพื่อลด probability ของ transition และจะใช้วงจร encoding ต่อที่ clock extraction ทางภาครับตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเฟสเอ็นโค้ด ถึงจะใช้กับการส่งหรือเก็บข้อมูลแบบ low-speed (เรียกว่าเป็น biphase-encoding) ดังแสดงในรูป 4.10 การเข้ารหัสข้อมูลมี 2 transitions (1 0 หรือ 0 1) ทุกๆอินพุตที่แตกต่างกัน จะเกิดการเปลี่ยนแปลงขึ้นที่ความถี่สูงของข้อมูล transition



Phase-encoded data has a higher rate of transitions than NRZ data, thus facilitating clock recovery.

รูปที่ 4.10

จะต้องทำให้ clock recovery สัมพันธ์กัน พลังงานในสเปคตรัมของข้อมูล เฟส-เอ็นโค้ด จะเลื่อนไปข้างหน้าที่ย่านความถี่สูงขึ้น จากกรณีเช่นนี้หรือกรณีอื่นในการเข้ารหัสจะทำให้แบนด์-วิดท์ขยายออก

Correlation receiver : Integrate and dump

เครื่องรับที่ใช้วิธีการเปรียบเทียบสัญญาณระหว่างสัญญาณที่สร้างขึ้นมาที่ภาครับกับสัญญาณ incoming นั้น การปฏิบัติเกี่ยวกับเปรียบเทียบสัญญาณ 2 สัญญาณเรียกว่า correlation จะทำการ correlat สองสัญญาณ คือ สัญญาณ x(t) และ y(t) สัญญาณทั้งสองนี้ต้องคูณเข้าด้วยกัน แล้วผลลัพธ์จะถูกบวกเข้าด้วยกันหรือถูก integrate ตลอดย่าน time interval ที่เปรียบเทียบสัญญาณทั้งสองนี้ ดังแสดงสมการได้คือ

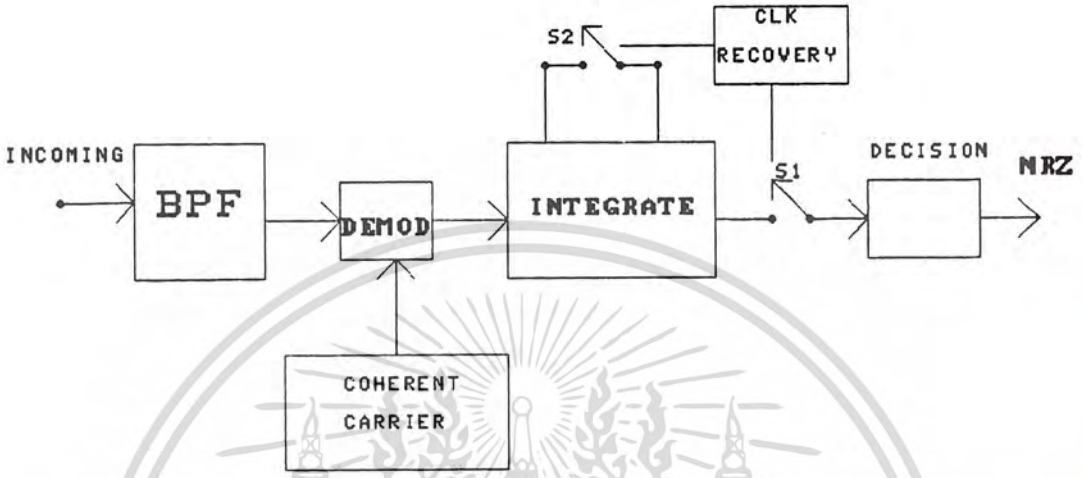
$$\text{correlation } (x,y) = \int_0 x(t) \cdot y(t)dt \qquad [\ 4.12\ ]$$

โดยที่ T_b คือ timeintervalหรือระยะเวลาของหนึ่ง bit time interval

เมื่อสัญญาณทั้งสองเหมือนกันผลของการ correlation จะได้ high (positive) แต่ถ้าไม่เหมือนกัน ผลลัพธ์จะได้ low (0) ถ้าสัญญาณตรงกันข้ามกัน ผลลัพธ์จะได้ negative

สัญญาณ incoming carrier ที่มี noise ปนมาด้วย จะผ่านแบนด์พาสฟิลเตอร์โดย ฟิลเตอร์ยอมให้สัญญาณในย่านใช้งานผ่านออกไปได้ ยกเว้นนอยส์ที่ปะปนมา เครื่องรับจะผลิตสัญญาณ carrier ใหม่ขึ้นมาจากภาค carrier recovery โดยที่มีความถี่และเฟสเดียวกันกับ carrier ในเครื่องส่ง จึงเรียก carrier นี้ว่า coherent carrier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.11

สัญญาณ incoming คูณเข้ากับ coherent carrier ผลลัพธ์จากการคูณจะนำไปอินทิเกรท (บวกกัน) ตลอด bit period โดยวงจร integrator ที่ปลายสุดของ bitperiod เอาต์พุตของอินทิเกรเตอร์จะให้ positive หรือ Negative ตามแต่สัญญาณที่ทำการ correlation ได้ ส่วนปลายของ bit period สวิตช์ S_2 ถูกทำให้ close และจากนั้นอุปกรณ์ Threshold ของภาค Decision จะทำการตัดสินอย่างรวดเร็ว ว่าผลลัพธ์ของ correlation นี้จะเป็นบวก หรือลบ และจะให้บิต 1 หรือ 0 ออกที่เอาท์พุต

หลังจากทำการตัดสินบิตไปแล้ว S_2จะเปิดอีก ส่วนสวิตช์ S_1 จะปิดชั่วขณะเพื่อทำให้ผลลัพธ์ของ correlation ในวงจรอินทิเกรเตอร์ถูก reset ให้เป็นศูนย์ก่อนเพื่อให้ขบวนการ correlation ของบิตต่อไปเป็นไปอย่างถูกต้องไม่มีอิทธิพลจากบิตก่อนหน้ามารบกวน ดังนั้นสัญญาณที่ผ่านการ multiply แล้วจะถูกอินทิเกรทตลอดย่าน bit period และผลของการอินทิเกรทจะถูก clear หรือ dumped ทุก ๆบิต period เครื่องรับชนิดนี้อาจเรียกได้ว่า integrat and dump reciever

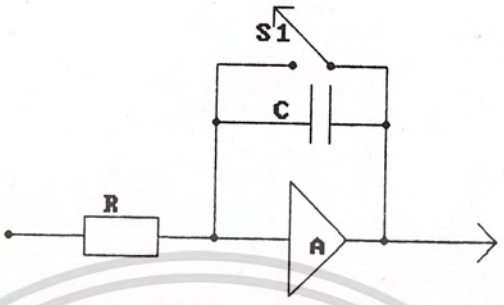
เพื่อให้การทำงานของภาคนี้ถูกต้อง จำเป็นต้องมีองค์ประกอบที่สำคัญดังนี้

1. carrier ทางด้านรับจะต้อง coherent กับทางด้านส่ง

2. การ regenerator bit-clock หรือ bit time ในเครื่องรับต้องถูกต้อง เพื่อให้สวิตช์ต่าง ๆ ทำงานในชั่วขณะเวลาที่ถูกต้องที่สุด

ในรูปที่ 4.12 หลักการเบื้องต้นของอินทิเกรตRC Networkโดยมี ideal Amplitier ทำหน้าที่เป็น ideal integration circuit ส่วนสวิทช์ S_1 จะ close ทุก ๆ T_b วินาทีในการใช้งานจริงจะใช้สวิตช์อิเล็กทรอนิกส์แทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบและการสร้างวงจรภาครับ

PHASE LOCKED LOOP

ลูปพื้นฐานและอุปกรณ์ในลูป

ระบบเฟสล็อก (phase locked loop:PLL) เป็นระบบที่เอาเฟสของสัญญาณเอาท์พุทป้อนกลับ (feed back) มาควบคุมความถี่ของลูปแสดงโครงสร้างของระบบในรูปที่ 5.1

รูปที่ 5.1 โครงสร้างของระบบเฟสล็อกลูป

โดย θ_o (S) เฟสเอาท์พุทของระบบ (rad)
θ_i (S) เฟสอินพุทหรือเฟสอ้างอิงของระบบ (rad)
θ_e (S) เฟสเออร์เรอร์ของระบบ (rad)
PD เฟสดีเทคเตอร์
VCO วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน
F(s) วงจรกรองความถี่ต่ำผ่าน

1.แบบจำลองเฟสล็อกลูป

โดยแท้จริงแล้ว PLL เป็นระบบไม่เชิงเส้นแต่สามารถจะจำลองระบบ เพื่อให้ง่ายต่อการวิเคราะห์และกำหนดเงื่อนไขในการออกแบบให้เป็นระบบเชิงเส้น [3] โดยให้ความต่างเฟสระหว่างเฟสดีเทคเตอร์อินพุทและเฟสที่ป้อนกลับมีเฟสแตกต่างกันไม่มาก และให้เฟสเอาท์พุทของเฟสดีเทคเตอร์เป็นแรงดัน (V_a) โดยขึ้นอยู่กับความต่างเฟสอินพุทและเฟสป้อนกลับหรือ เขียนได้เป็น

$$V_a = K_d (\theta_i - \theta_o) \qquad [5.1]$$

โดย K_d เป็นค่าเฟสดีเทคเตอร์เกนมีขนาดเป็น V/rad และในกรณีที่ให้ระบบเป็นแบบเชิงเส้นเราจะได้ความถี่เอาท์พุทของวงจร VCO ที่เบี่ยงเบนออก จากความถี่ศูนย์กลางคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta\omega = K_o V_c \qquad [\ 5.2\ ]$$

โดย V_c เป็นแรงดันอินพุทของวงจร VCO , K_O เป็น VCO เกนมีขนาด rad/v ดังนั้นเขียนความถี่ที่เอาท์พุทของ vco คือ

$$\omega_o = \omega c + \Delta\omega = \omega_c + K_o V_c \qquad [\ 5.3\ ]$$

โดย ω_c เป็นความถี่อิสระ (free running) ของ VCO และ จากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลาหรือเขียนได้เป็น

$$\Delta\omega = d\theta_o /dt = K_o V_c \qquad [\ 5.4\ ]$$

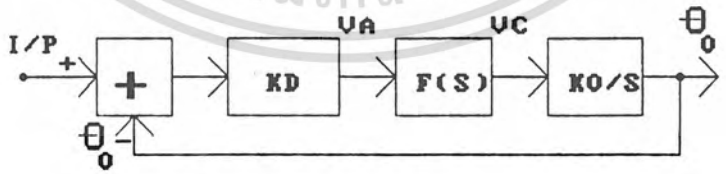
หรือเขียนเฟสเอาท์พุทของลูปอยู่ในรูปของ

$$\theta_o (t) = \int \Delta\omega\ dt \qquad [\ 5.5\ ]$$

กรณีในระบบของ PLL ถ้าทำการวิเคราะห์ด้วยการลาปลาซทรานฟอร์ม (Laplacetransform) เขียนเฟสเอาท์พุทเขียนได้เป็น

$$\theta_o (s) = (K_o V_c)/S \qquad [\ 5.6\ ]$$

ดังนั้นระบบ PLL สามารถแสดงแบบจำลองได้ดังรูป 5.2



รูปที่ 5.2 แบบจำลองของ PLL

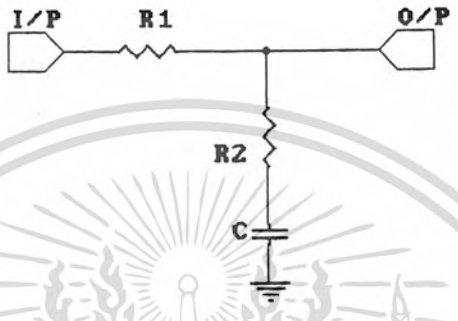
โดยจากรูปเราสามารถเขียนทรานเฟอร์ฟังก์ชั่นของระบบได้คือ

$$\theta_o(s) / \theta_i(s) = (K_d K_o F(s)/S)/(1 + K_d K_o F(s)/S) \qquad [\ 5.7\ ]$$

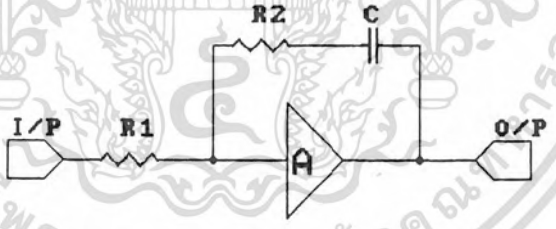
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกรองความถี่ในลูป</u>

สำหรับกรณีวงจรกรองความถี่ต่ำผ่าน F(s) ในลูปซึ่งเป็นตัวควบคุมคุณสมบัติไดนามิก ของลูปสำหรับในที่นี้ขอกล่าวไว้ 2 ประเภท คือ วงจรกรองแบบพาสซีฟหรือวงจรกรองเป็นลีด- แล็ก (Lead-lag filter) และวงจรกรองความถี่แบบแอคตีฟ



รูปที่ 5.3 วงจรกรองแบบพาสซีฟ



รูปที่ 5.4 วงจรกรองแบบแอคตีฟ

วงจรกรองแบบพาสซีฟ หรือวงจรกรองเป็นลีด-แล็ก (lead-lag filter) แสดงในรูปที่ 2.11 ทรานเฟอร์ฟังก์ชั่นคือ

$$F(s) = (ST_2 + 1)/(ST_1 + 1) \qquad [\ 5.8\ ]$$

โดย $T_1 = (R_1 + R_2)C$

$T_2 = R_2C$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่แบบแอคตีฟ มีทรานเฟอร์ฟังก์ชันแสดงได้คือ

$$F(s) = (ST_2 + 1)/ST_1 \qquad [5.9]$$

โดย $T_1 = R_1C$

$T_2 = R_2C$

โดย A เป็นเกนของวงจรกรองความถี่กำหนดให้มีค่ามาก ถ้าแทนสมการ [5.8] ลงในสมการ [5.7] จะได้ทรานเฟอร์ฟังก์ชั่นของเฟสเอาท์พุทต่อเฟสอินพุทคือ

$$H_1(s) = \theta_o(s) / \theta_i(s)$$
$$= (K_oK_d(ST_2+1)/T_1)/[S^2+S(1+K_oK_dT_2)/T_1+K_oK_d/T_1] \qquad [5.10]$$

หรือถ้าวงจรกรองแบบแอคตีฟ แทนสมการ [5.9] ลงในสมการ [5.7] จะได้ทรานเฟอร์ฟังก์ชั่นของ PLL คือ

$$H_2(s) = [K_oK_d(ST_2+1)/T_1]/[S^2+S(K_oK_dT_2)/T_1+K_oK_d/T_1 \qquad [5.11]$$

จากทรานเฟอร์ฟังก์ชั่น [5.10] , [5.11] เขียนให้อยู่ในเทอมของระบบป้อนกลับแบบเซอร์โว(servo) ได้เป็น

$$H_2(s) = \frac{2s\omega_nS + \omega_n^2}{s^2+2s\omega_nS+\omega_n^2}$$

โดยที่ $\omega_n = \sqrt{K_oK_d/T_1}$

$$= \frac{T_2\sqrt{K_oK_d/T_1}}{2}$$

และค่าเฟสเออเรอร์เป็นความแตกต่างระหว่างเฟสอินพุทกับเฟสที่ป้อนกลับมาจะได้

$$\theta_e = \theta_1 - \theta_o$$

ทรานเฟอร์ฟังก์ชั่นดังนี้

$$\frac{\theta_e}{\theta i} = \frac{1 - \theta_o(s)}{\theta_i}$$

หรือเขียนได้

$$\frac{\theta_e(s)}{\theta_1(s)} = \frac{S}{S + K_oK_dF(s)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า PLL ใช้วงจรกรองชนิด ลีด-แล็ก แบบพาสซีฟแล้ว ทรานเฟอร์ฟังก์ชั่นของเฟสเออเรอร์ต่อเฟสอินพุทเขียนได้เป็น

$$H_3(s) = \frac{\theta_e(s)}{\theta_1(s)} = \frac{S(S + \omega_n^2/K_oK_d)}{S + 2\omega_nS + \omega_n} \quad [5.12]$$

$$= \frac{S[S + 1/T_1]}{S + 2\omega_nS + \omega_n} \quad [5.13]$$

ถ้ากำหนดค่าลูปเกนมากกว่าความถี่ธรรมชาติ ($K_oK_d >> \omega_n$) แล้ว

$$H_3(s) = \frac{S^2}{S + 2\omega_nS + \omega_n}$$

สำหรับทรานเฟอร์ฟังก์ชัน ของเฟสเออเรอร์ต่อเฟสอินพุทของ PLL ที่ใช้วงจรกรองแบบแอคตีฟหาได้โดยแทน

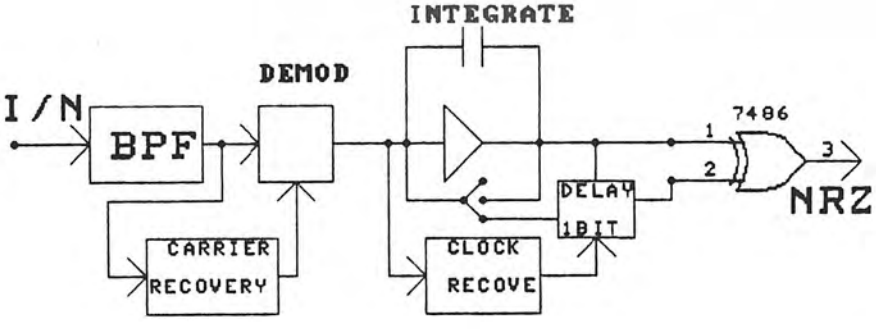
$$H_4(S) = \frac{\theta_e}{\theta_1} = \frac{s^2}{s^2 + 2\omega_ns + \omega_n^2}$$

<u>เฟสดีเทคเตอร์</u>

เป็นอุปกรณ์เปรียบสัญญาณระหว่าง สัญญาณอินพุท กับสัญญาณที่ PLL สร้างขึ้นและให้แรงดันเอาท์พุทแปรตามความแตกต่างของเฟสของทั้ง 2 สัญญาณ เป็นแรงดันดีซีซึ่งแรงดันนี้จะเป็นแรงดันไบอัสแก่ VCO ของ PLL สำหรับเฟสดีเทคมี 2 แบบ คือ แบบอนาล็อก กับแบบดิจิตอล

<u>การออกแบบวงจร ดีมอดดูเลชั่น MSK</u>

สำหรับภาคดีมอดดูเลชั่นของ MSK ในวิทยานิพนธ์นี้มีโครงสร้างดังรูป 5.5



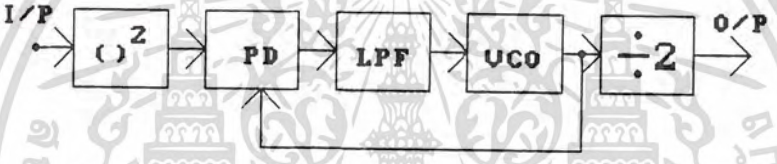
รูปที่ 5.5 โครงสร้างดีมอดดูเลชั่น MSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของวงจรดีมอดดูเลชั่น MSK ซึ่งประกอบด้วยวงจรกรองความถี่วงจร โคฮีเรนท์ดีมอดูเลชั่นซึ่งประกอบด้วยวงจรกู้สัญญาณคลื่นพาหะ วงจรคูณสัญญาณ วงจรอินทิเกรทแอนดัมพ์และสำหรับการส่งสัญญาน MSK ที่ภาคส่งของสัญญาน เบสแบนด์ การเข้ารหัสเป็น NRZ ดังนั้นเพื่อให้สามารถถอดรหัสเป็น NRZได้ที่ภาครับจะต้องมีวงจรกู้สัญญานนาฬิกาและวงจรถอดรหัส

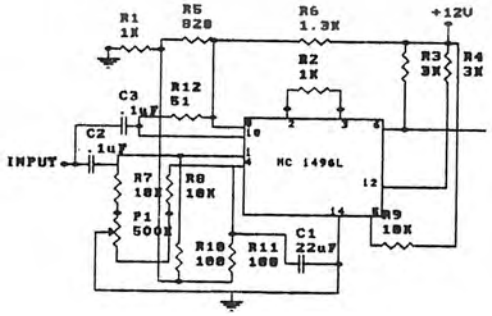
<u>วงจรกู้สัญญานคลื่นพาห์</u>

เป็นวงจรที่สร้างสัญญานคลื่นพาห์ขึ้นที่ภาครับของ วงจรดีมอดดูเลชั่น MSK โดย สัญญานที่สร้างขึ้นมาจะมีคุณสมบัติซิงโครไนซ์ทางเฟสคลื่นพาห์ ที่ภาคส่งโดยวงจรกู้สัญญานคลื่นพาห์ หรือวงจรสร้างสัญญาน$\text{Cos}\omega_c t$ ขึ้นที่ภาครับมีหลายชนิด เช่น squaringloop costasloop แต่ในการทดลองนี้จะเป็นแบบ squaringloop costasloop หรือ ลูปยกกำลังสอง สำหรับการกู้คลื่นพาห์ โดยสามารถแสดงดังหลักการต่อไปนี้ ดังรูป 5.6



รูปที่ 5.6 โครงสร้างลูปยกกำลังสอง

ลูปยกกำลังสองจะประกอบด้วยภาคยกกำลังสองของสัญญานและวงจร PLL วงจรหารสอง การทำงานของวงจรลูปยกกำลังสองเมื่อรับสัญญานอินพุท MSK ขึ้นอยู่กับสัญญาน เบสแบนด์ วงจรยกกำลังสองทำหน้าที่ ยกกำลังสองสัญญานคลื่นพาห์ โดยเอาท์พุทของวงจรยกกำลังสองจะได้ฮาร์โมนิคที่สองของ $\text{Cos}\omega_c t$ หรือ $\text{Cos}2\omega_c t$,สัญญาน $\text{Cos}2\omega_c t$ จะเป็นอินพุทหรือสัญญานอ้างอิงของ PLL โดย PLL จะล็อกเฉพาะสัญญาน $\text{Cos}2\omega_c t$ สำหรับด้าน I และ $\text{Sin}2\omega_c t$ ทางด้าง Q ซึ่ง PLL จะถูกหน่วงเวลาไป 90 องศา



รูปที่ 5.7 วงจรยกกำลังสอง

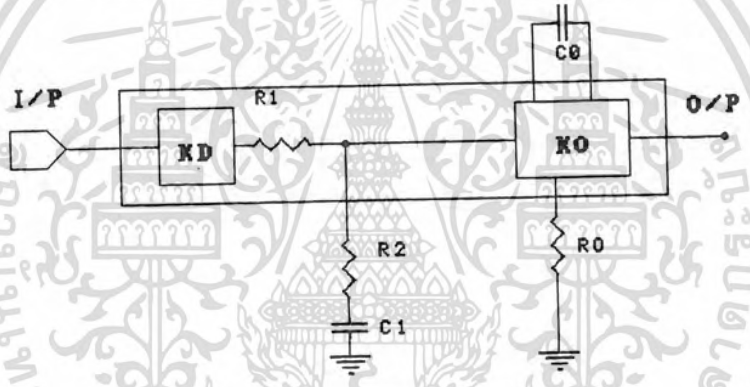
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.วงจรยกกำลังสอง

จะใช้วงจรคูณสัญญานโดยเอาสัญญานอินพุทของ วงจรคูณสัญญานต่อเข้าด้วยกันกับสัญญานที่ต้องการยกกำลังสองโดยวงจรที่ใช้คูณ เป็นวงจรรวมสำหรับคูณสัญญานขนาดเล็กในที่นี้ ใช้ MC1496L โดยอินพุทมีขนาด 60 mv ซึ่งเป็นสัญญานเอาท์พุทของวงจรกรองความถี่ผ่าน

2.วงจร PLL

วงจร PLL ใช้สำหรับล็อกสัญญานคลื่นพาห์สองเท่าโดยใช้วงจรรวม NE564 โดยแสดงรูปดังรูปต่อไปโดยความถี่ศูนย์กลาง f_o ของลูปคำนวณได้จากค่า R_oC_o ตั้งให้มีค่าเป็นสองเท่าของ 1 MHz มีค่าเท่ากับ2 MHz



รูปที่ 5.8 โครงสร้างของ PLL

สูตรคำนวณ f_o

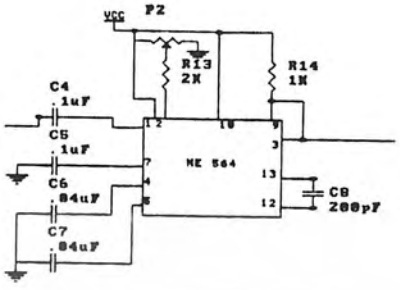
$$f_o = \frac{1}{25R_oC_o}$$

เมื่อค่า Ro เท่ากับ 100 โอห์ม สามารถหาค่า c ได้ เมื่อ f_o เท่ากับ 2 MHz สำหรับการกำหนดค่าเวลาคงที่ของวงจรกรองความถี่ต่ำผ่าน สามารถกำหนดให้มีค่า T มากๆ เมื่อ T เท่ากับ RC

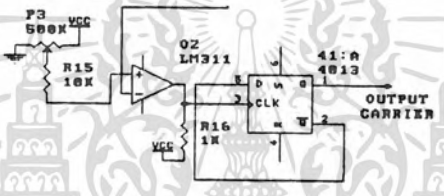
3.วงจรหารสอง

วงจรหารสองเอาท์พุทที่ออกจากวงจร PLL ดังรูป 5.10 โดยวงจรประกอบไปด้วย LM311 สำหรับปรับแรงดันเอาท์พุทของวงจร PLL ให้เป็นระดับแรงดัน TLL วงจรรวม 74LS74 สำหรับเป็นวงจรหาร 2 และทรานซิสเตอร์ Q_2 ต่อเป็นวงจร บัฟเฟอร์ที่เอาท์พุท โดยระดับแรงดันเอาท์พุทของวงจรหาร 2 จะถูกลดระดับแรงดันลงประมาณ 60 mv สำหรับวงจรคูณภาคต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



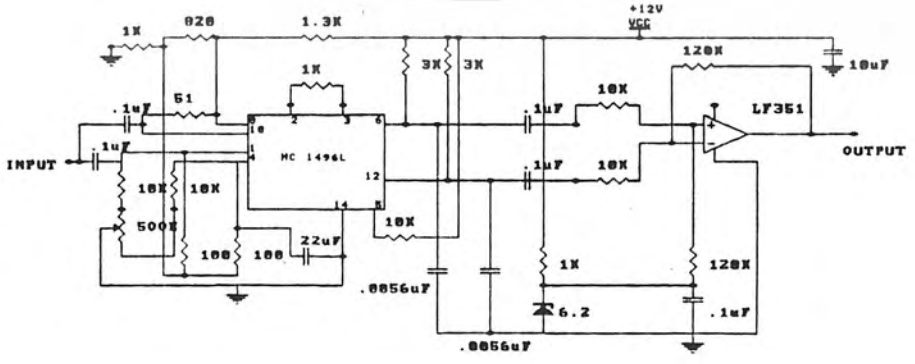
รูปที่ 5.9 PLL ยกกำลังสอง



รูปที่ 5.10 วงจรหารสอง

<u>วงจรคูณสัญญานคลื่นพาห์กลับกับสัญญาน MSK</u>

วงจรคูณสัญญานคลื่นพาห์กับสัญญาน MSK ใช้วงจรรวม MC1496L โดยสัญญานป้อนเข้าที่ขา 1 และที่ขา 10 ซึ่งขา 10 เป็นสัญญานจากวงจรกู้สัญญานคลื่นพาห์โดยขนาดของสัญญานจะต้องเล็กไม่เกิน 60 mv เอาท์พุทของวงจรคูณอยู่ที่ขา 6 และขา 12

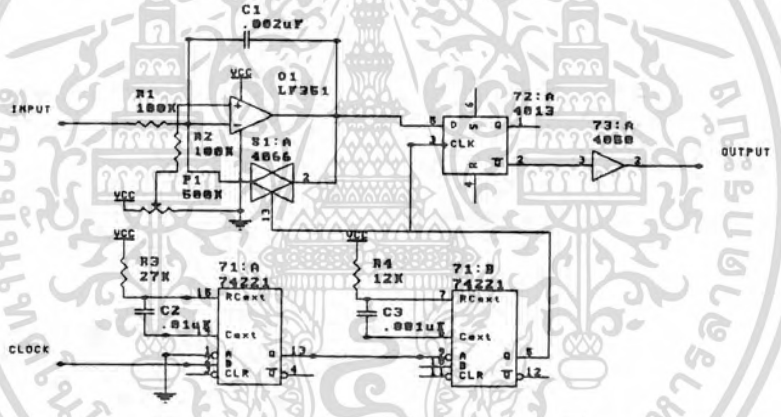


รูปที่ 5.11 วงจรคูณสัญญานคลื่นพาห์กับสัญญาน MSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรอินทิเกรทแอนดั้มท์</u>

ถึงแม้ว่าสัญญานเอาท์พุทของวงจรคูณจะเป็นสัญญานเบสแบนด์ แล้วก็ตามจะเกิดการสั่นเนื่องจากสัญญานรบกวน เพื่อให้สัญญานเบสแบนด์มีความแน่นอนทางภาครับ จำเป็นต้องมีการอินทิเกรทที่ช่วง 1 บิท เพื่อพิจารณาว่าสัญญานเบสแบนด์มีทิศทางไปทางใด แล้วทำการตัดสินระดับที่ปลายช่วงเวลา 1 บิท และก่อนที่จะทำการอินทิเกรทสัญญานรูปต่อไป จะต้องทำการรีเซทหรือดั้มท์ในวงจรอินทิเกรทที่มีค่า 0 ทุกครั้ง วงจรนี้ประกอบไปด้วย วงจรอินทิเกรท ฟลิบฟลอบอีเล็กทรอนิกส์สวิตซ์และวงจรชิงก์พัลซ์ จากอินพุทของวงจรคือสัญญานเบสแบนด์ ที่เอาท์พุทของวงจรคูณคลื่นพาห์กับสัญญาน MSK โดยสัญญานอินพุทมีอาการสั่นขึ้นอยู่กับสัญญาน SNR โดยเบสแบนด์ที่ถูกอินทิเกรทซึ่งเป็นเอาท์พุทของวงจรอินเวอร์ติ้ง จากปลายช่วงสัญญาน เบสแบนด์แต่ละช่วงจะถูกรีเซทโดย ชิงก์พัลซ์ ซึ่งสัญญานชิ่งพัลซ์จะได้จากวงจรกู้สัญญานนาฬิกาสำหรับเอาท์พุทของวงจรอินเวอร์ติง อินทิเกรทจะป้อนให้กับฟลิบฟลอบ เพื่อให้ตัดสินใจระดับลอจิก โดยเอาท์พุทของฟลิบฟลอบจะให้สัญญานเบสแบนด์ที่ถูกหน่วงเวลาไป 1 บิท โดยขนาดของการสั่นของสัญญานเบสแบนด์ลดลง



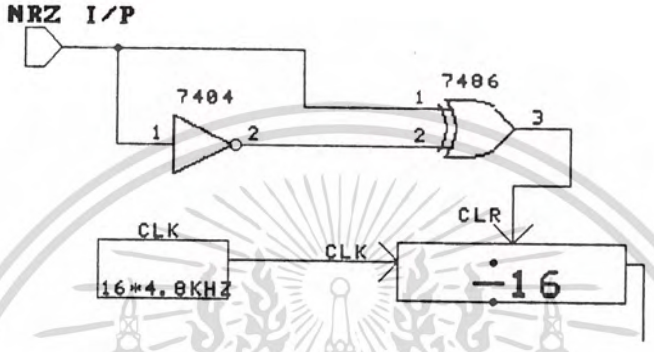
รูปที่ 5.12 วงจรอินทิเกรทแอนดั้มพ์

<u>วงจรกู้สัญญานนาฬิกา</u>

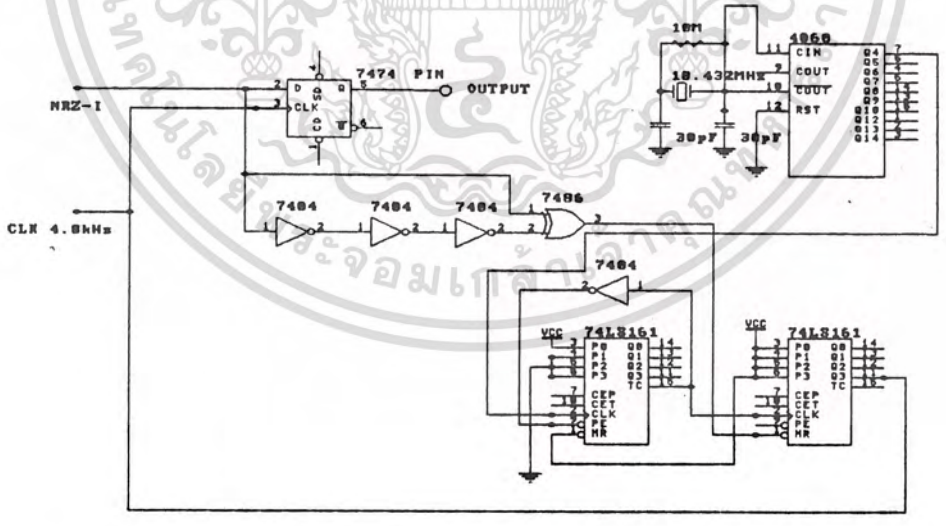
สำหรับสร้างสัญญานนาฬิกาทางภาครับโดยให้ชิงก์กับภาคส่ง วงจรจะประกอบไปด้วยวงจรสร้างสัญญานอ้างอิง ซึ่งสร้างความถี่ขนาด 16 เท่าของ bps วงจร หาร 16 วงจรหาการเปลี่ยนแปลงของขอบสัญญาน วงจร PLL โดยจากอินพุทของสัญญานเบสแบนด์ จะถูกนำมาหาขอบของสัญญานโดยใช้ วงจรนอทเกท หน่วงสัญญานเบสแบนด์ ที่อินพุทแล้วทำการ X-OR เข้ากับสัญญานเบสแบนด์เดิมซึ่งจะทำให้ที่เอาท์พุท X-OR ได้สัญญาน พัลซ์แคบๆ ซึ่งเกิดขึ้นทุกการเปลี่ยนแปลงสัญญานอินพุทโดยสัญญาน พัลซ์นี้จะเป็นสัญญานเคลียร์ ให้กับวงจรหาร 16 โดยที่อินพุทเป็นความถี่ 16 เท่าของ bps ดังนั้นความถี่ของสัญญานนาฬิกาที่เอาท์พุทวงจรหาร 16 จะเป็นความถี่ของสัญญานนาฬิกาที่ชิงก์กับสัญญานเบสแบนด์ ที่เข้ามาโดยขนาดของความถี่ของสัญญานนาฬิกาที่เอาท์พุทของวงจรหาร 16 จะถูกปรับอัตราการหารที่ต่าง ๆกัน โดยขึ้นอยู่กับขอบของสัญญานเบสแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่อินพุทของวงจรกู้สัญญานนาฬิกา โดยที่เอาท์พุทของวงจรหาร 16 จะมีความถี่เท่ากับ bps ทางด้าน I และ Q แต่ยังมีการสั่นดังนั้นจึงให้ วงจร PLL ทำหน้าที่คล้ายกับวงจรกรองความถี่ผ่านย่าน ทำการสร้างเฉพาะความถี่นาฬิกาที่ไม่มีการสั่นผ่านเข้าไปเป็นสัญญานนาฬิกาเอาท์พุท



รูปที่ 5.13 แสดงหลักการกู้สัญญานนาฬิกา



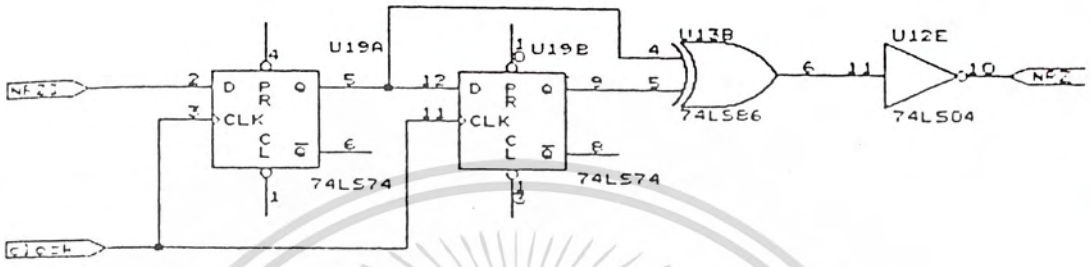
รูปที่ 5.14 วงจรกู้สัญญานนาฬิกา

วงจรสร้างความถี่อ้างอิง 16 เท่า ของ bps ด้าน I ด้าน Q ประกอบไปด้วยวงจรรวม 4060 วงจรรวม 74LS161 วงจรรวม 74LS90 วงจรรวม MC4046 วงจร VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรถอดรหัส</u>

สำหรับการถอดรหัสเบสแบนด์ NRZ-I ซึ่งใช้เป็น NRZ-L นั้นใช้วงจรหน่วงเวลา 1 บิท ใช้ X-OR 74LS86 และ ดีฟลิบฟลอบ เช่นเดียวกับวงจรเข้ารหัสสัญญาน

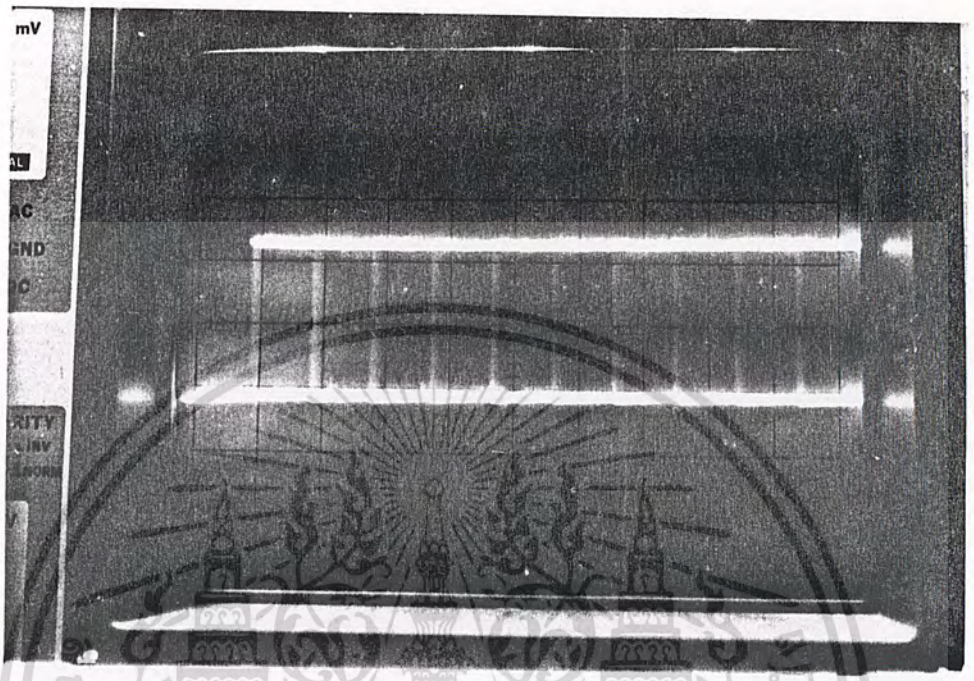


รูปที่ 5.15 วงจรถอดรหัส

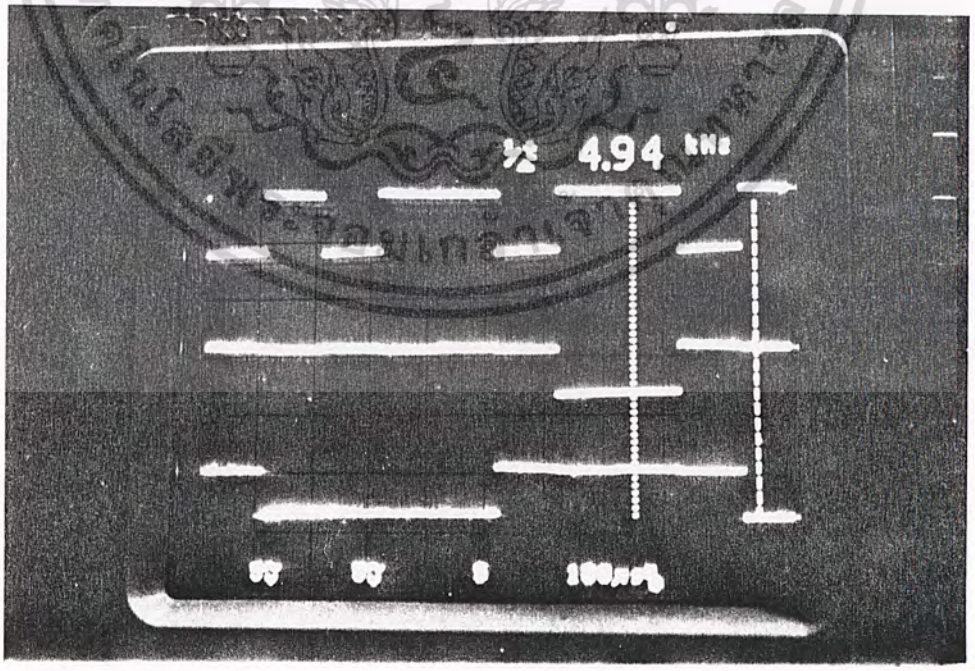
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

ผลการทดลอง

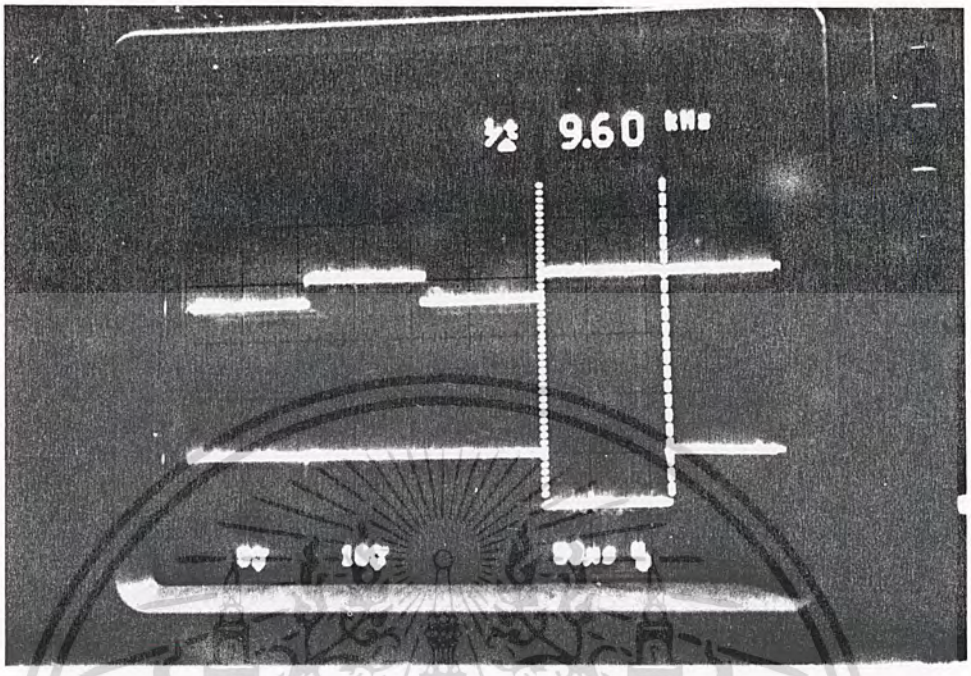


จากรูป เป็นสัญญาณ PRBS ที่มีบิตเรทเท่ากับ 9.6 Kbps เป็นอินพุตให้กับ SERRIER TO PARALLEL

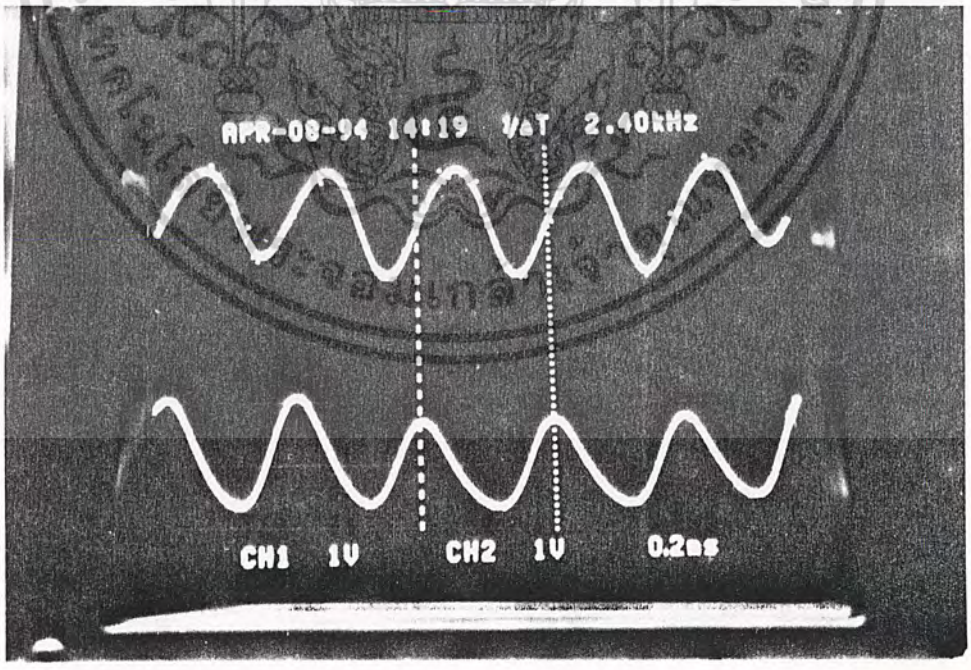


จากรูป เป็นสัญญาณที่ OUTPUT ช่องสัญญาณ I และ Q ที่ออกจาก SERRIER TO PARALLEL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



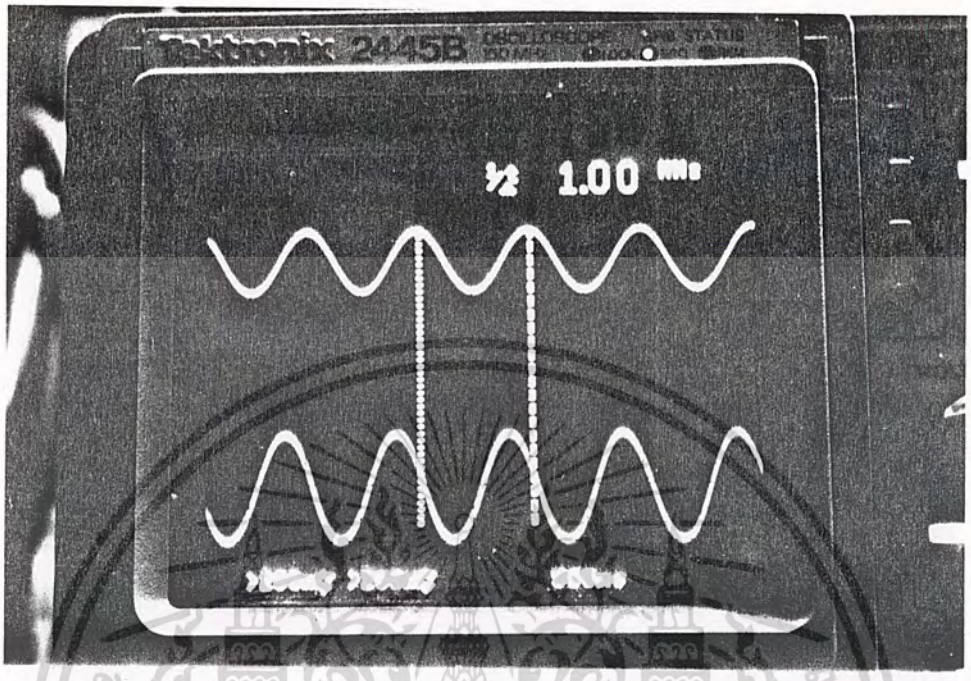
จากรูป เป็นสัญญาณที่ผ่าน DIFFERENTIAL ทางด้าน I และ Q



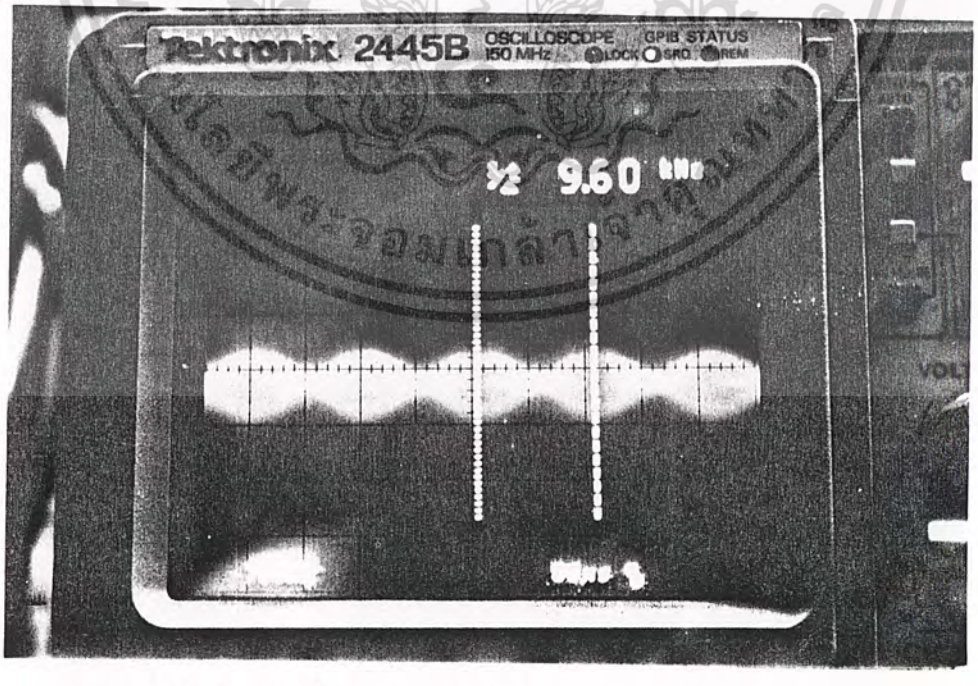
จากรูป เป็นสัญญาณที่ออกจาก PULSE SHAPPING ทางด้าน Q จะ SHIFT 90 องศาเมื่อ

เทียบกับด้าน I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

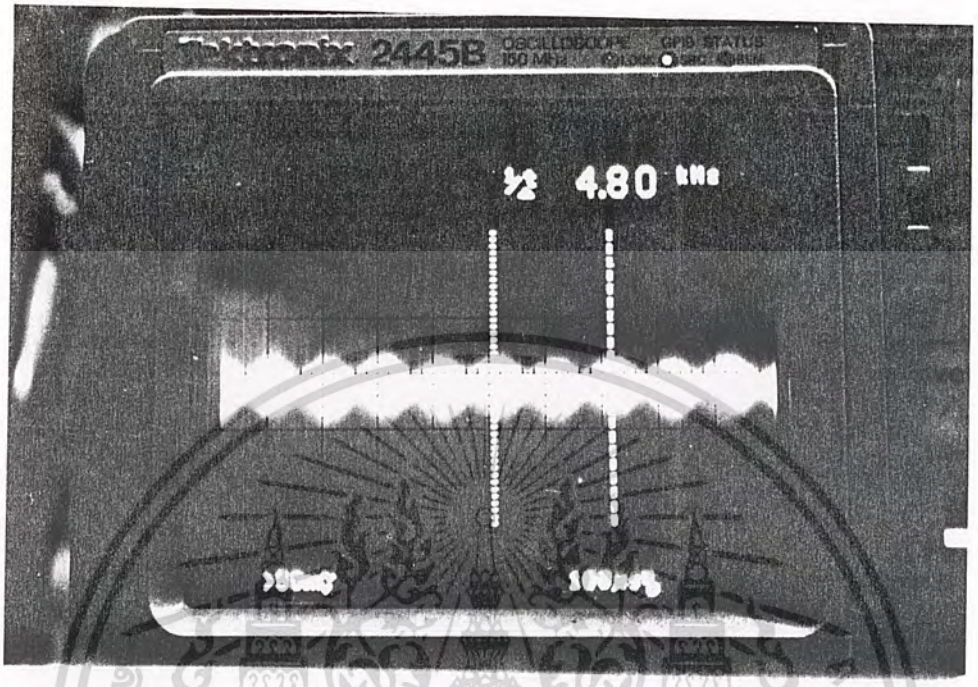


จากรูป เป็นสัญญาณ VCO 1 MHz และ SHIFT 90 องศา

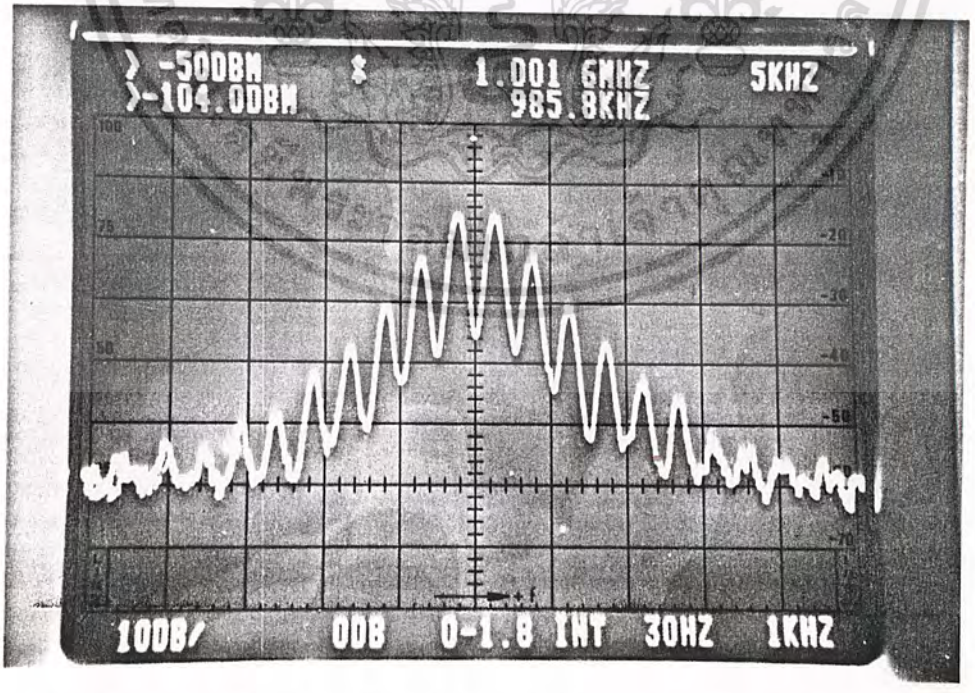


จากรูป เป็นสัญญาณที่ออกจาก BALANCE MOD ทางด้าน I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

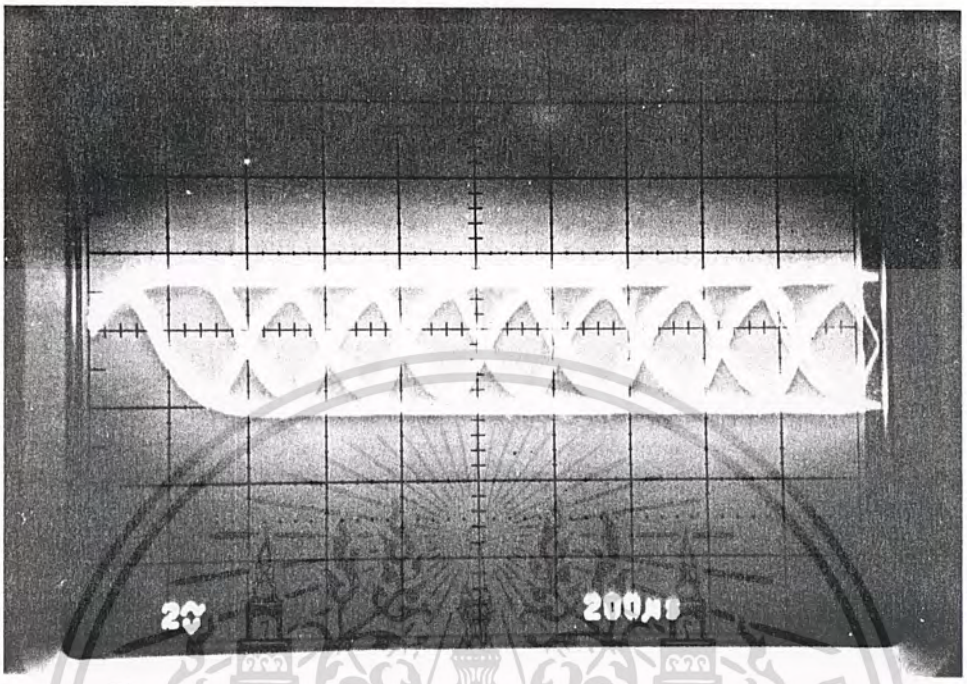


จากรูปเป็นสัญญาณที่ออกจาก BALANCE MOD ทางด้าน Q

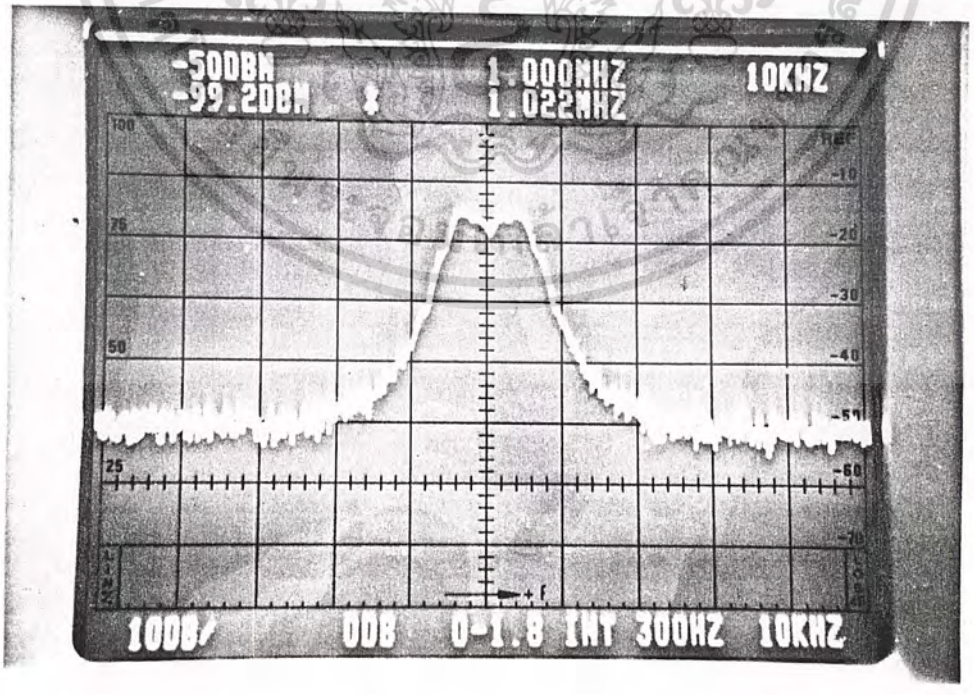


รูปแสดงการกระจายของสเปคตรัม ของสัญญาณที่ผ่านมอดดูเลเตอร์ MSK และที่ NULL ที่หนึ่ง $f_c+1/4T_b$ ทางด้าน UPPER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

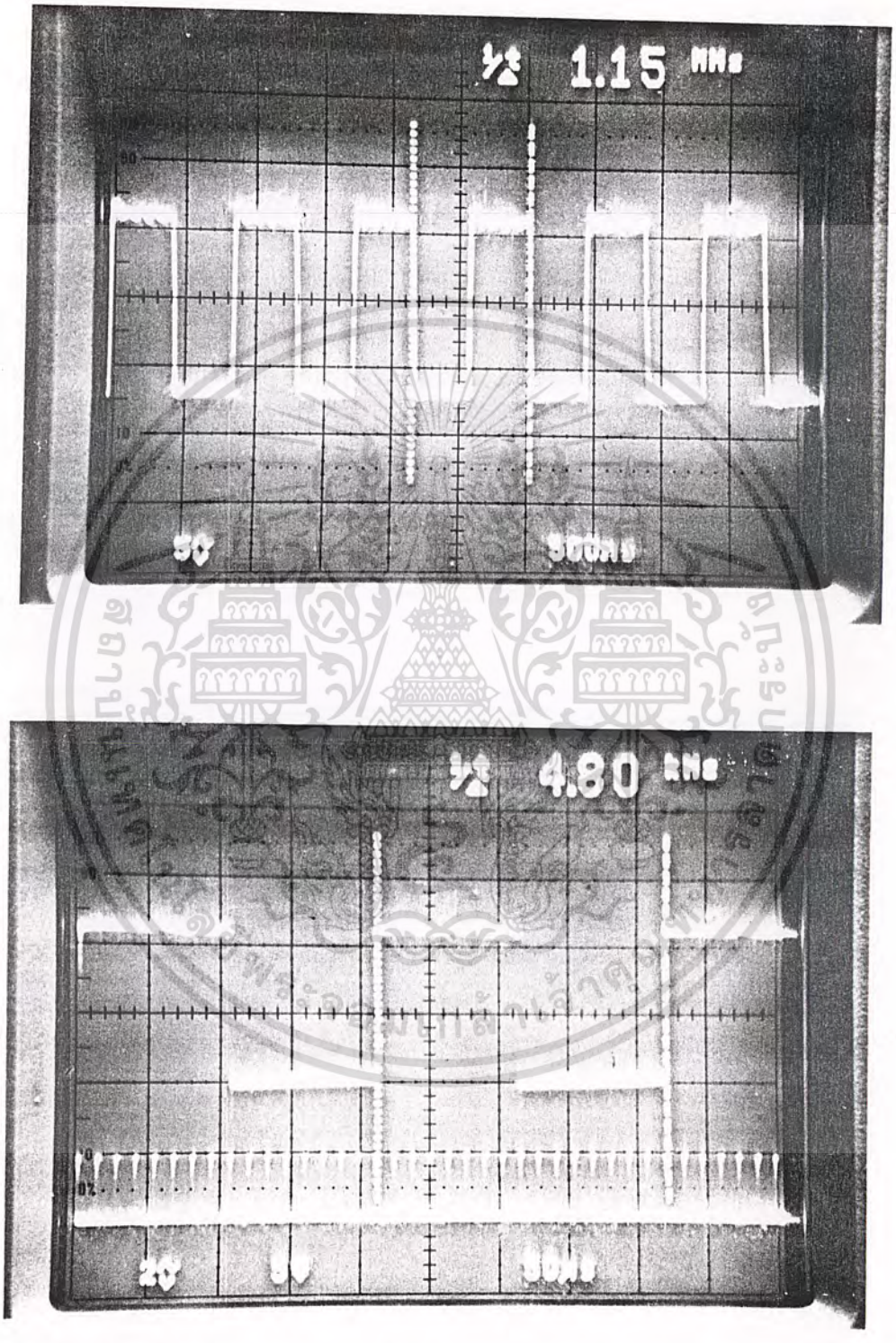


รูปแสดงการเกิด eye diagram ที่ผ่าน Pluse Shaping



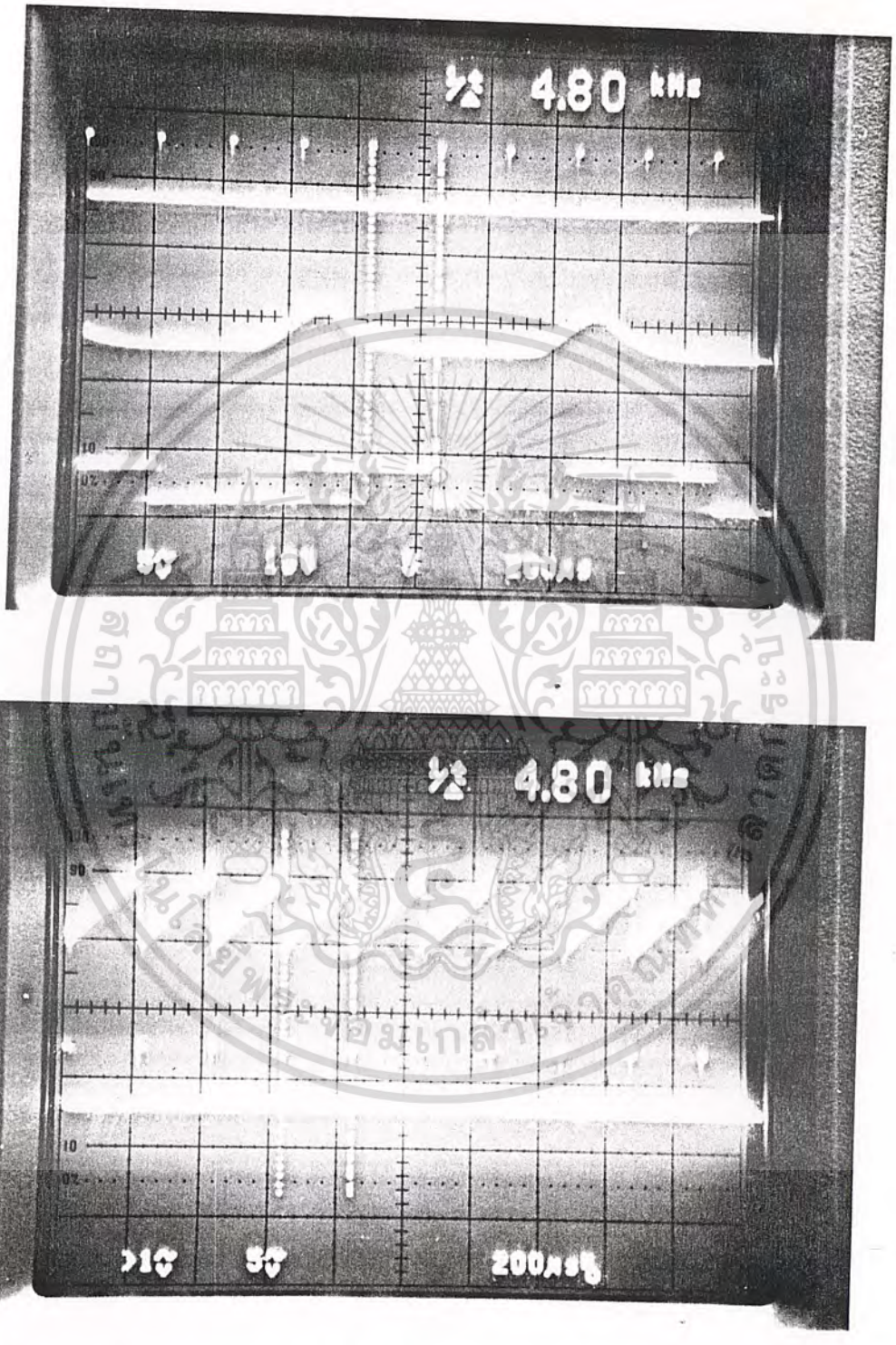
รูปแสดงการกระจายสเปคตรัมโดยเราให้จุดสูงสุดอยู่ที่ 68.4 dBm และที่ต่ำสุดอยู่ที่ 96 dBm จะให้ Band width 40 kHz ซึ่งได้จากการปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดง Clock Recovery 4.8 kHz โดยใช้ Cystal 18.432 MHz หาร 16 โดย 4060 หาร 15 ที่ 74LS161 และหาร 16 ที่ 74LS161 จะได้สัญญาณที่ความถี่ 4.8 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงการ Integrate and Dump โดยที่สัญญาณ Triger ที่เกิดจาก Clock Recovery ที่ 4.8 kHz และรูปแสดงสัญญาณ Integrate และ Data Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปผลการทอดลองและการพัฒนาเพื่อประยุกต์

ผลจากการดำเนินการทอดลองและการทำปริญญานิพนธ์ ในส่วนของการทำ PROJECT MSK MODULATION ได้ทำการทอดลองในส่วนของภาคส่งและในส่วนของภาครับ

ในส่วนของภาคส่ง

ได้ทำการทอดลองและทำการพัฒนาและทำการปรับปรุงปริญญานิพนธ์ฉบับบดั่งเดิม ซึ่งได้ทำการพัฒนาวงจรใหม่ และมีการเปลี่ยนแปลงรูปแบบซึ่งผลการปฏิบัติเป็นที่หน้าพอใจ แต่มีปัญหาในส่วนของสัญญาณ NOISE และในส่วนการออกแบบวงจร

ในส่วนของภาครับ

ได้นำรูปแบบวงจรและการคำนวณจากวิทยานิพนธ์ ของอาจารย์ กฤษดากร กร่อมการมาทำการทดลอง แต่มีปัญหาในส่วนของการ DETECT ข้อมูล เนื่องจากทางด้านภาคส่งมีปัญหาในเรื่องของ NOISE

การพัฒนาและการประยุกต์

ในส่วนของการพัฒนาเพื่อเป็นแนวทางในการที่จะศึกษาในส่วนของการสื่อสารข้อมูลโดยนำเทคนิคการ มอดดูเลชั่นแบบ MSK เพื่อเป็นแบบอย่างในการพัฒนาในขั้นต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

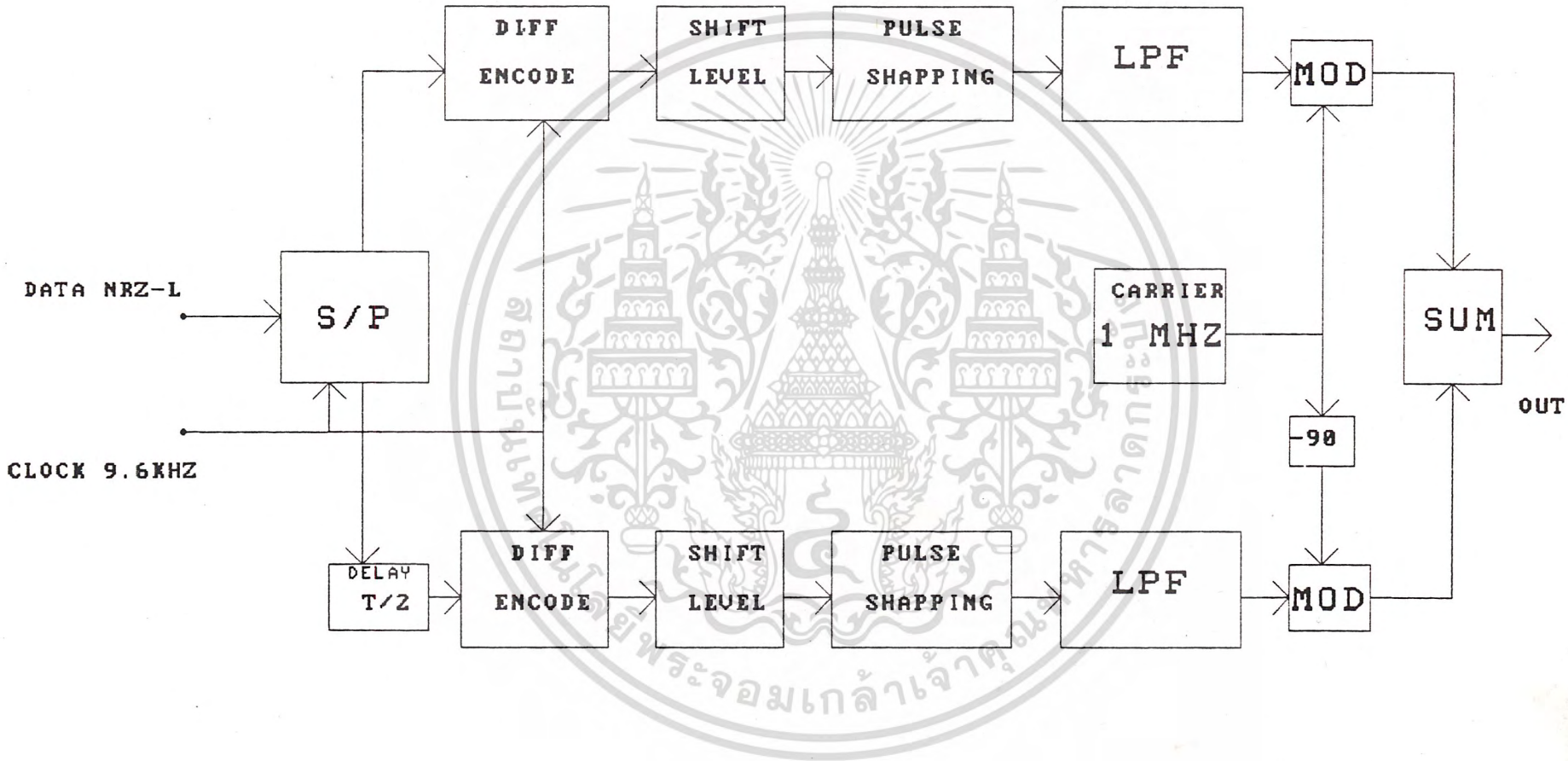
กิตติกรรมประกาศ

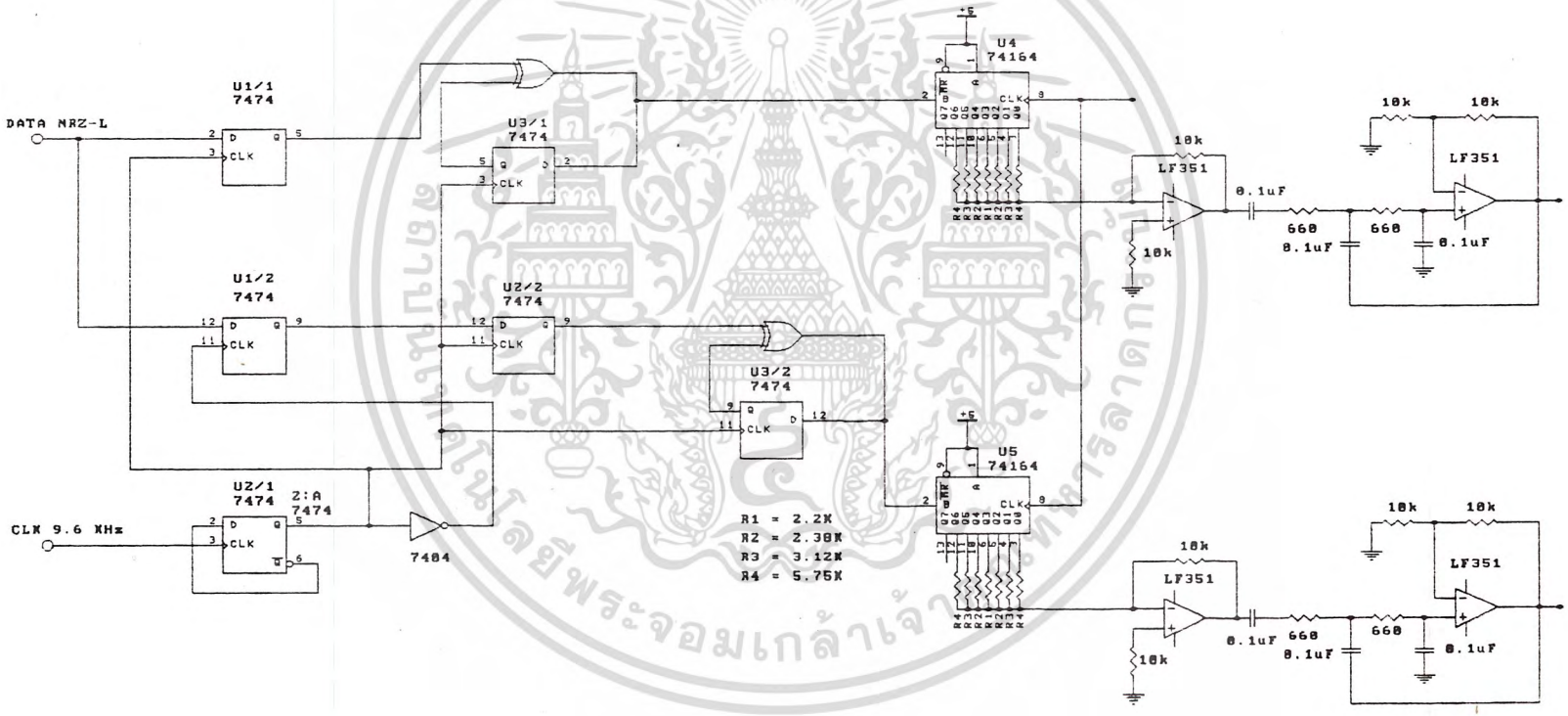
ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปด้วยดีเนื่องจาก อาจารย์ ดลชัย สุขเจริญผล ซึ่งเป็นอาจารย์ที่ปรึกษา ได้ให้ข้อมูล และรายละเอียดเนื้อหาต่าง ๆ ในการทำปริญญานิพนธ์ฉบับนี้ และขอขอบพระคุณ อาจารย์ กฤษดากร กร่อมการ ซึ่งได้ให้คำปรึกษาต่าง ๆ ซึ่งเป็นประโยชน์กับการทำปริญญานิพนธ์ และขอบคุณเพื่อน ๆ ทุกคนที่ให้ข้อมูลและกำลังใจ

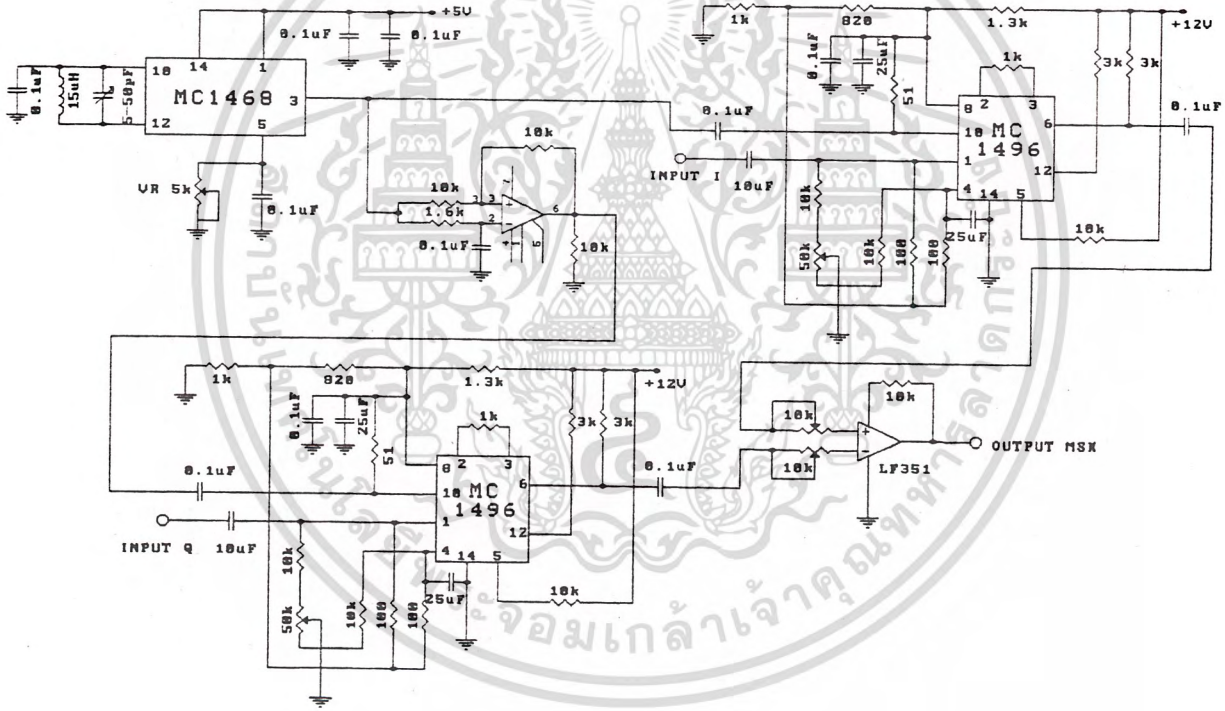
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

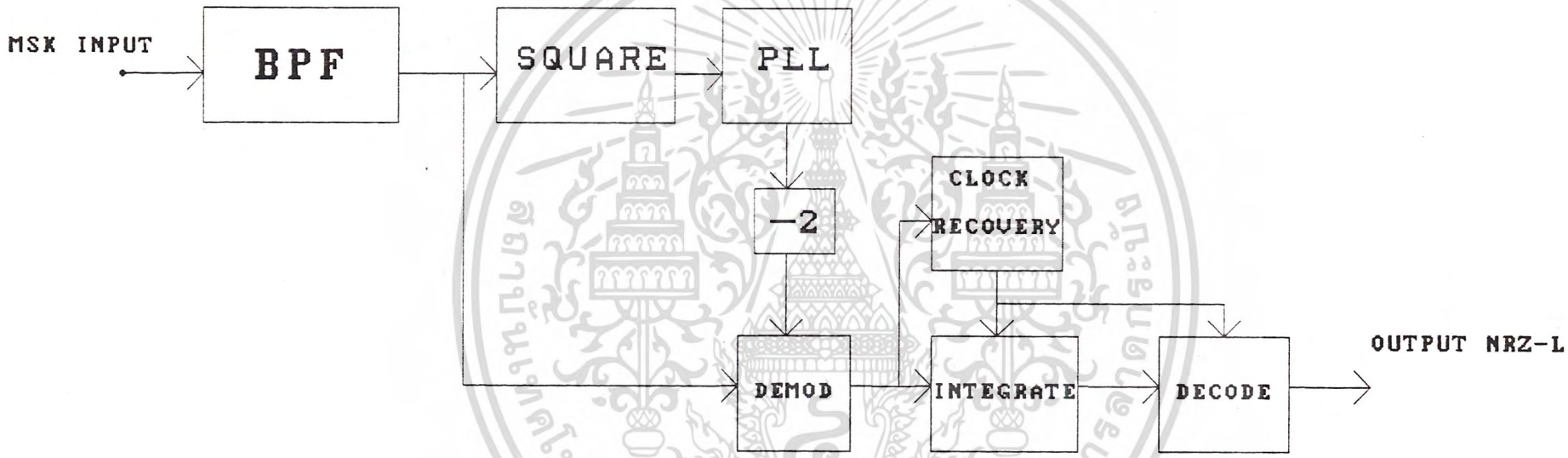
ภาคผนวก

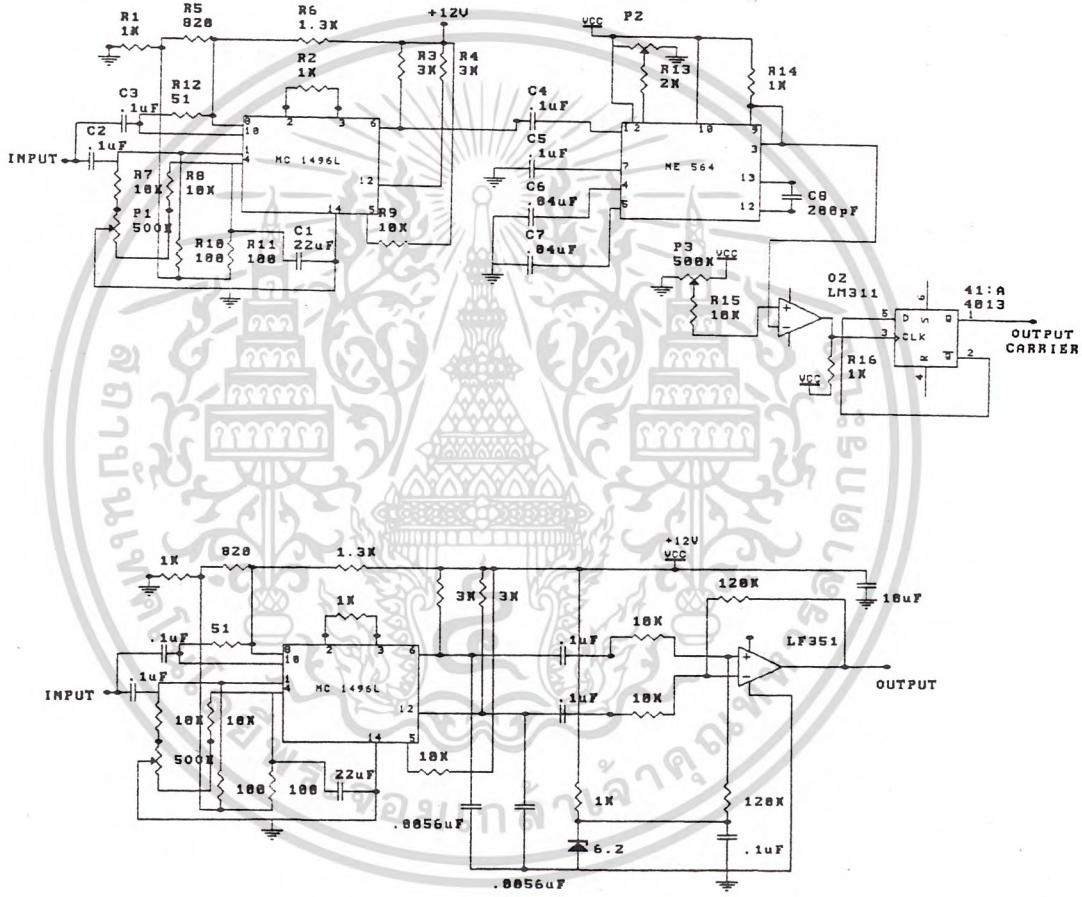
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

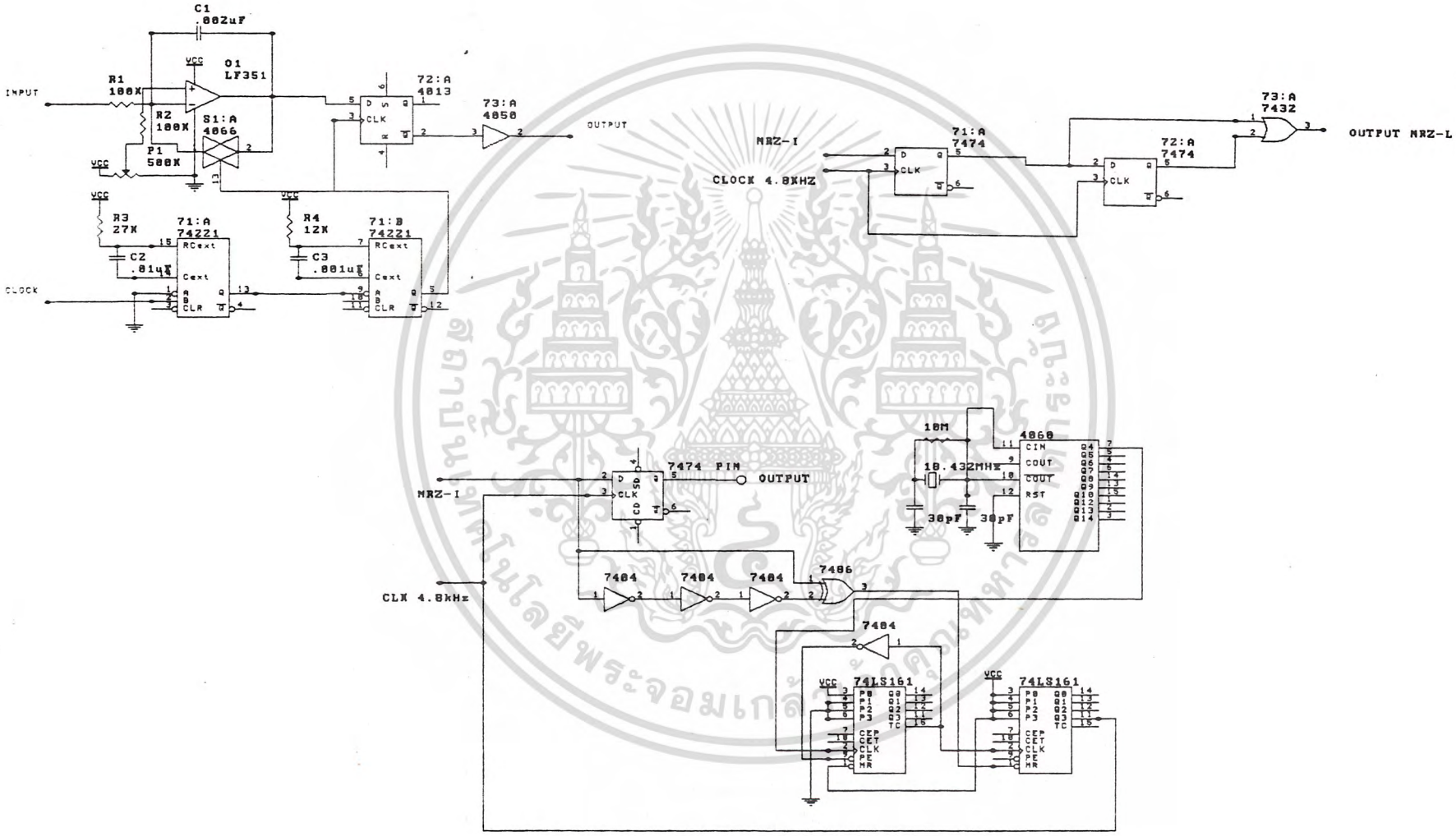

DIFF
ENCODE
SHIFT
LEVEL
PULSE
SHAPPING
LPF
MOD
DATA NRZ-L
S/P
CARRIER
1 MHZ
SUM
OUT
CLOCK 9.6KHZ
-90
DELAY
T/2
DIFF
ENCODE
SHIFT
LEVEL
PULSE
SHAPPING
LPF
MOD


DATA NRZ-L
CLK 9.6 KHz
U1/1
7474
U1/2
7474
U2/1
7474
2:A
7474
U2/2
7474
U3/1
7474
U3/2
7474
7404
U4
74164
U5
74164
+5
R1 = 2.2K
R2 = 2.38K
R3 = 3.12K
R4 = 5.75K
10k
LF351
0.1uF
660
0.1uF


MC1468
MC 1496
MC 1496
LF351
+5V
+12V
0.1uF
15uH
5-50pF
VR 5k
10k
1.6k
1k
820
1.3k
3k
25uF
51
50k
100
INPUT I
INPUT Q
OUTPUT MSX


MSK INPUT
BPF
SQUARE
PLL
÷2
CLOCK
RECOVERY
DEMOD
INTEGRATE
DECODE
OUTPUT NRZ-L


R1 1K
R5 820
R6 1.3K
+12V
R2 1K
R3 3K
R4 3K
R12 51
C3 .1uF
C2 .1uF
INPUT
MC 1496L
R7 10K
R8 10K
P1 500K
R10 100
R11 100
C1 22uF
R9 10K
C4 .1uF
C5 .1uF
C6 .04uF
C7 .04uF
VCC
P2
R13 2K
R14 1K
ME 564
C8 200pF
P3 500K
R15 10K
OZ LM311
41:A 4013
D S Q
CLK
R R Q
OUTPUT CARRIER
R16 1K
1K
820
1.3K
+12V
VCC
1K
3K 3K
120K
10uF
.1uF
51
.1uF
.1uF
10K
LF351
OUTPUT
MC 1496L
.1uF
10K
10K
10K
500K
100
100
22uF
10K
.0056uF
1K
120K
6.2
.1uF
.0056uF


C1
.002uF
VCC
O1
LF351
INPUT
R1
100K
R2
100K
S1:A
4066
P1
500K
72:A
4013
73:A
4050
OUTPUT
R3
27K
71:A
74221
C2
.01uF
CLOCK
R4
12K
71:B
74221
C3
.001uF
MRZ-I
CLOCK 4.8KHZ
71:A
7474
72:A
7474
73:A
7432
OUTPUT NRZ-L
7474 PIN
OUTPUT
10M
18.432MHz
4060
30pF
30pF
7404
7404
7404
7486
7404
CLK 4.8KHz
74LS161
74LS161

MOTOROLA

MC1648

VOLTAGE-CONTROLLED OSCILLATOR

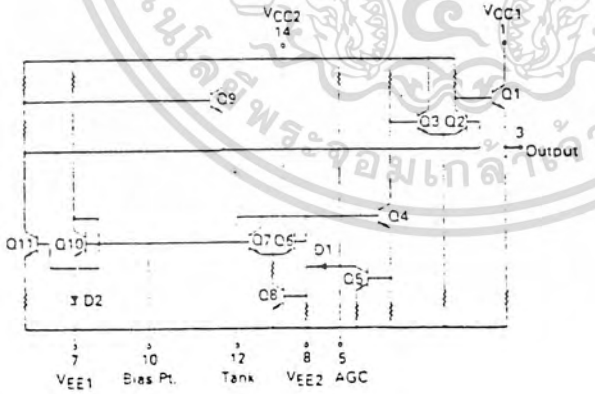
The MC1648 requires an external parallel tank circuit consisting of the inductor (L) and capacitor (C).

A varactor diode may be incorporated into the tank circuit to provide a voltage variable input for the oscillator (VCO). The MC1648 was designed for use in the Motorola Phase-Locked Loop shown in Figure 9. This device may also be used in many other applications requiring a fixed or variable frequency clock source of high spectral purity. (See Figure 2.)

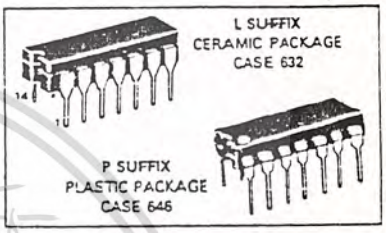
The MC1648 may be operated from a +5.0 Vdc supply or a −5.2 Vdc supply, depending upon system requirements.

Supply Voltage	Gnd Pins	Supply Pins
+5.0 Vdc	7, 8	1, 14
−5.2 Vdc	1, 14	7, 8

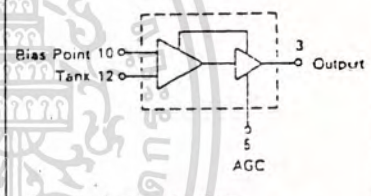
FIGURE 1 — CIRCUIT SCHEMATIC



VOLTAGE-CONTROLLED OSCILLATOR



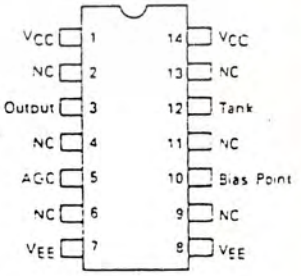
LOGIC DIAGRAM



Input Capacitance = 6.0 pF typ
Maximum Series Resistance for L (External Inductance) = 50 Ω typ
Power Dissipation = 150 mW typ (pkg) (+5.0 Vdc Supply)
Maximum Output Frequency = 225 MHz typ

V_{CC1} = Pin 1
V_{CC2} = Pin 14
V_{EE} = Pin 7

PIN ASSIGNMENT



@ Test Temperature	TEST VOLTAGE/CURRENT VALUES (Volts) V_{IHmax}	V_{ILmin}	V_{CC}	mAdc I_L
MC1648				
−30°C	−2.0	−1.5	5.0	−5.0
−25°C	−1.85	−1.35	5.0	−5.0
+85°C	−1.7	−1.2	5.0	−5.0

ELECTRICAL CHARACTERISTICS

Supply Voltage = +5.0 Volts

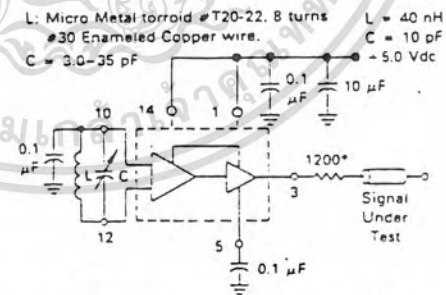
Characteristic	Symbol	−30°C Min	−30°C Max	+25°C Min	+25°C Max	+85°C Min	+85°C Max	Unit	Conditions
Power Supply Drain Current	I_E	—	—	—	41	—	—	mAdc	Inputs and outputs open.
Logic "1" Output Voltage	V_{OH}	3.955	4.185	4.04	4.25	4.11	4.36	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3.
Logic "0" Output Voltage	V_{OL}	3.16	3.4	3.2	3.43	3.22	3.475	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3.
Bias Voltage	V_{Bias}*	1.6	1.9	1.45	1.75	1.3	1.6	Vdc	V_{ILmin} to Pin 12.
		Min	Typ / Max	Min	Typ / Max	Min	Typ / Max		
Peak-to-Peak Tank Voltage	V_{p-p}	—	— / —	—	400 / —	—	— / —	mV	
Output Duty Cycle	Vdc	—	— / —	—	50 / —	—	— / —	%	See Figure 3.
Oscillation Frequency	f_{max}**	—	225 / —	200	225 / —	—	225 / —	MHz	

*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.

**Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

FIGURE 2 — SPECTRAL PURITY OF SIGNAL OUTPUT FOR 200 MHz TESTING

B.W. = 10 kHz
Center Frequency = 100 MHz
Scan Width = 50 kHz/div
Vertical Scale = 10 dB/div



*The 1200 ohm resistor and the scope termination impedance constitute a 25:1 attenuator probe. Coax shall be CT-070-50 or equivalent.

@ Test Temperature	TEST VOLTAGE/CURRENT VALUES (Volts) V_{IHmax}	V_{ILmin}	V_{CC}	mAdc I_L
	MC1648			
−30°C	−3.2	−3.7	−5.2	−5.0
+25°C	−3.35	−3.85	−5.2	−5.0
+85°C	−3.5	−4.0	−5.2	−5.0

ELECTRICAL CHARACTERISTICS

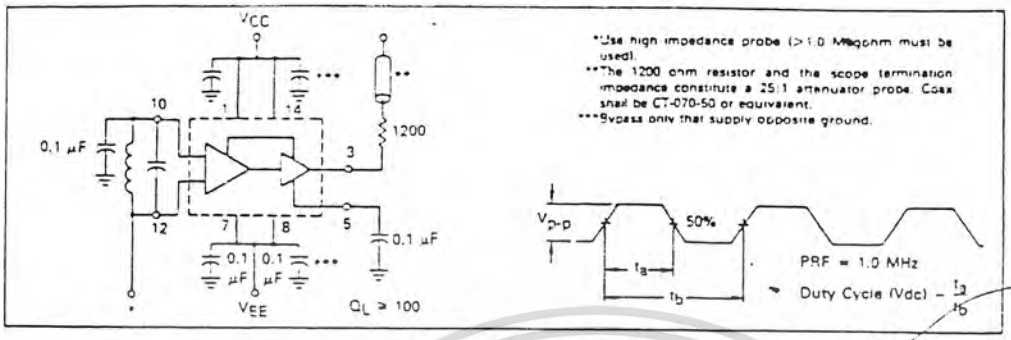
Supply Voltage = +5.0 Volts

Characteristic	Symbol	−30°C Min	−30°C Max	+25°C Min	+25°C Max	+85°C Min	+85°C Max	Unit	Conditions
Power Supply Drain Current	I_E	—	—	—	41	—	—	mAdc	Inputs and outputs open.
Logic "1" Output Voltage	V_{OH}	−1.045	−0.815	−0.96	−0.75	−0.89	−0.64	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3.
Logic "0" Output Voltage	V_{OL}	−1.89	−1.65	−1.95	−1.62	−1.83	−1.575	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3.
Bias Voltage	V_{bias}*	−3.6	−3.3	−3.75	−3.45	−3.9	−3.6	Vdc	V_{ILmin} to Pin 12.
		Min	Typ Max	Min	Typ Max	Min	Typ Max		
Peak-to-Peak Tank Voltage	V_{p-p}	—	— —	—	400 —	—	— —	mV	See Figure 3.
Output Duty Cycle	Vdc	—	— —	—	50 —	—	— —	%	
Oscillation Frequency	f_{max}**	—	225 —		200 225 —	—	225 —	MHz	

*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.
**Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

FIGURE 3 — TEST CIRCUIT AND WAVEFORMS



OPERATING CHARACTERISTICS

Figure 1 illustrates the circuit schematic for the MC1648. The oscillator incorporates positive feedback by coupling the base of transistor Q6 to the collector of Q7. An automatic gain control (AGC) is incorporated to limit the current through the emitter-coupled pair of transistors (Q7 and Q6) and allow optimum frequency response of the oscillator.

In order to maintain the high Q of the oscillator, and provide high spectral purity at the output, transistor Q4 is used to translate the oscillator signal to the output differential pair Q2 and Q3. Q2 and Q3, in conjunction with output transistor Q1, provides a highly buffered output which produces a square wave. Transistors Q9 and Q11 provide the bias drive for the oscillator and output buffer. Figure 2 indicates the high spectral purity of the oscillator output (pin 3).

When operating the oscillator in the voltage controlled mode (Figure 4), it should be noted that the cathode of the varactor diode (D) should be biased at least "2" V_{EE} above V_{EE} (≈1.4 V for positive supply operation).

When the MC1648 is used with a constant dc voltage to the varactor diode, the output frequency will vary slightly because of internal noise. This variation is plotted versus operating frequency in Figure 5.

FIGURE 4 — THE MC1648 OPERATING IN THE VOLTAGE CONTROLLED MODE

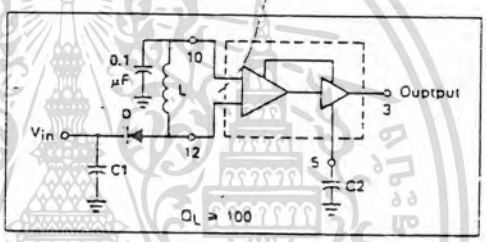
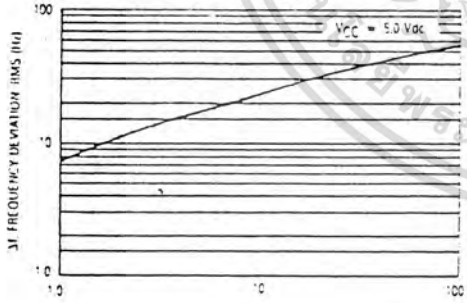
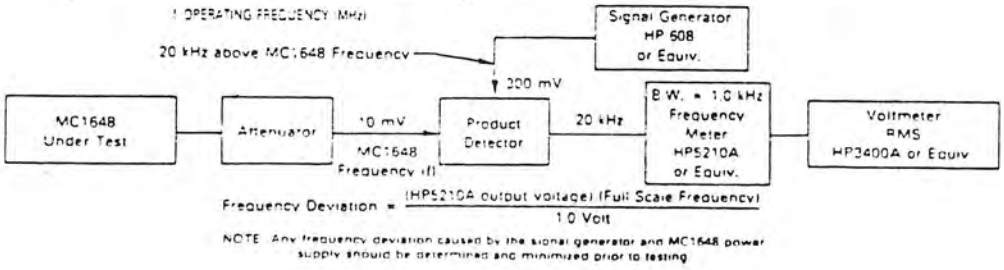


FIGURE 5 — NOISE DEVIATION TEST CIRCUIT AND WAVEFORM



Oscillator Tank Components
(Circuit of Figure 4)

f MHz	D	L μH
1.0–10	MV2115	100
10–60	MV2116	2.3
50–100	MV2106	0.15



$$\text{Frequency Deviation} = \frac{(\text{HP5210A output voltage})(\text{Full Scale Frequency})}{1.0\ \text{Volt}}$$

NOTE: Any frequency deviation caused by the signal generator and MC1648 power supply should be determined and minimized prior to testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRANSFER CHARACTERISTICS IN THE VOLTAGE CONTROLLED MODE USING EXTERNAL VARACTOR DIODE AND COIL. T_A = 25°C

FIGURE 6

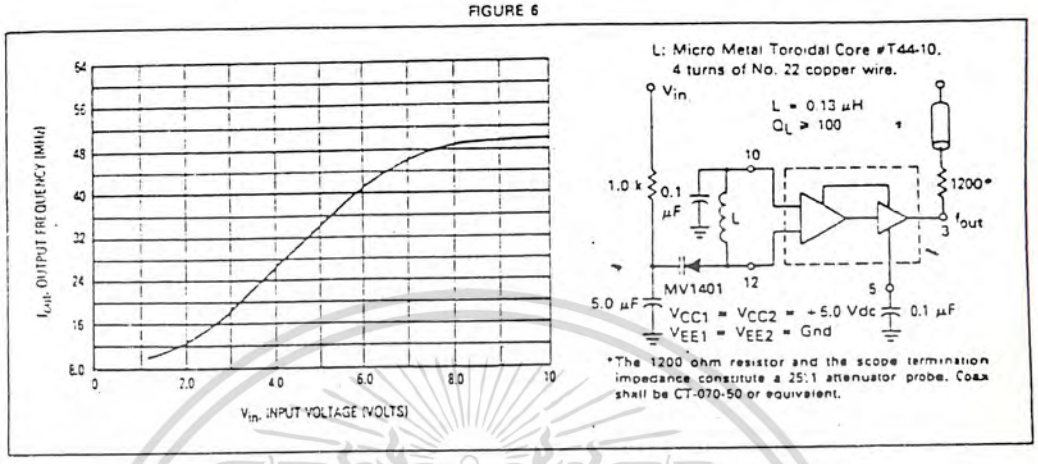


FIGURE 7

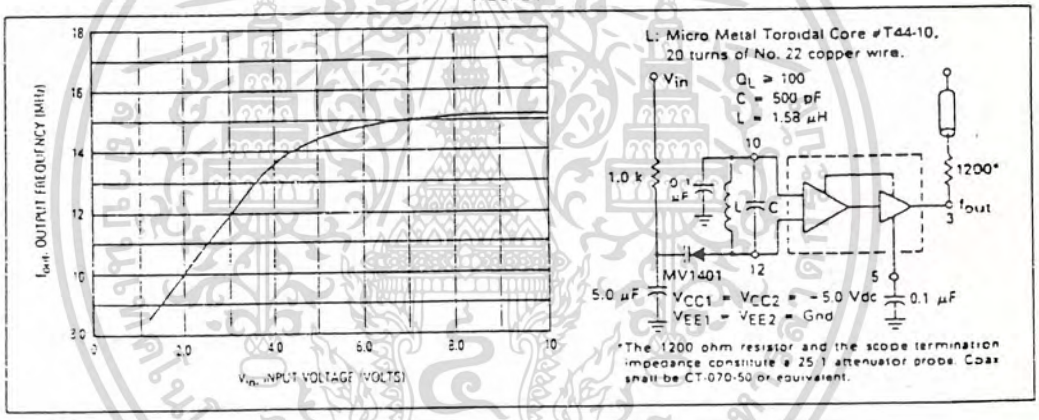
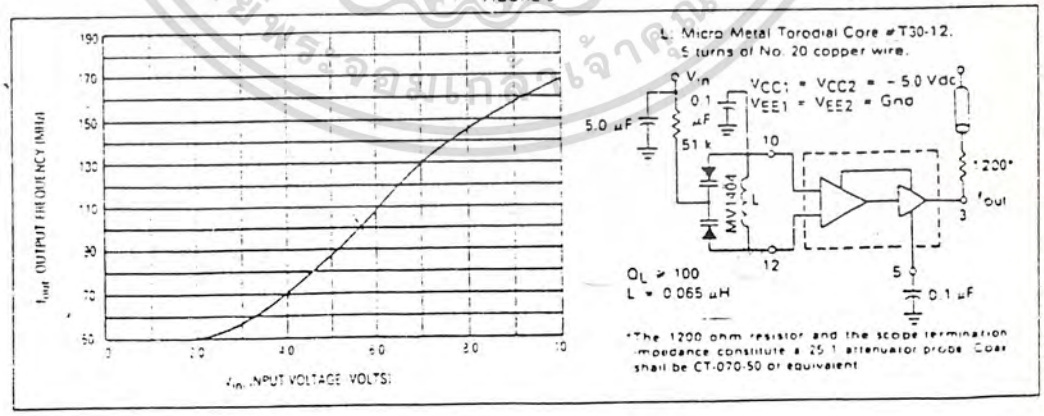


FIGURE 8



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical transfer characteristics for the oscillator in the voltage controlled mode are shown in Figures 6, 7, and 8. Figures 6 and 8 show transfer characteristics employing only the capacitance of the varactor diode (plus the input capacitance of the oscillator, 6.0 pF typical). Figure 7 illustrates the oscillator operating in a voltage controlled mode with the output frequency range limited. This is achieved by adding a capacitor in parallel with the tank circuit as shown. The 1.0 kΩ resistor in Figures 6 and 7 is used to protect the varactor diode during testing. It is not necessary as long as the dc input voltage does not cause the diode to become forward biased. The larger-valued resistor (51 kΩ) in Figure 8 is required to provide isolation for the high-impedance junctions of the two varactor diodes.

The tuning range of the oscillator in the voltage controlled mode may be calculated as:

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_{D(min)} + C_S}}{\sqrt{C_{D(min)} + C_S}}$$

where $f_{min} = \frac{1}{2\pi\sqrt{L(C_{D(max)} + C_S)}}$

C_S = shunt capacitance (input plus external capacitance).

C_D = varactor capacitance as a function of bias voltage.

Good RF and low-frequency bypassing is necessary on the power supply pins. (See Figure 2.)

Capacitors (C1 and C2 of Figure 4) should be used to bypass the AGC point and the VCO input (varactor diode), guaranteeing only dc levels at these points.

For output frequency operation between 1.0 MHz and 50 MHz a 0.1 μF capacitor is sufficient for C1 and C2. At higher frequencies, smaller values of capacitance should be used; at lower frequencies, larger values of capacitance. At high frequencies the value of bypass capacitors depends directly upon the physical layout of the system. All bypassing should be as close to the package pins as possible to minimize unwanted lead inductance.

The peak-to-peak swing of the tank circuit is set internally by the AGC circuitry. Since voltage swing of the tank circuit provides the drive for the output buffer, the AGC potential directly affects the output waveform. If it is desired to have a sine wave at the output of the MC1648, a series resistor is tied from the AGC point to the most negative power potential (ground if +5.0 volt supply is used, −5.2 volts if a negative supply is used) as shown in Figure 10.

At frequencies above 100 MHz typ, it may be desirable to increase the tank circuit peak-to-peak voltage in order to shape the signal at the output of the MC1648. This is accomplished by tying a series resistor (1.0 kΩ minimum) from the AGC to the most positive power potential (+5.0 volts if a +5.0 volt supply is used, ground if a −5.2 volt supply is used). Figure 11 illustrates this principle.

APPLICATIONS INFORMATION

The phase locked loop shown in Figure 9 illustrates the use of the MC1648 as a voltage controlled oscillator. The figure illustrates a frequency synthesizer useful in tuners for FM broadcast, general aviation, maritime and land-mobile communications, amateur and CB receivers. The system operates from a single −5.0 Vdc supply, and requires no internal translations, since all components are compatible.

Frequency generation of this type offers the advantages of single crystal operation, simple channel selection, and elimination of special circuitry to prevent harmonic lockup. Additional features include dc digital switching (preferable over RF switching with a multiple crystal system), and a broad range of tuning (up to 150 MHz, the range being set by the varactor diode).

The output frequency of the synthesizer loop is determined by the reference frequency and the number programmed at the programmable counter; $f_{out} = Nf_{ref}$. The channel spacing is equal to frequency (f_{ref}).

For additional information on applications and designs for phase locked-loops and digital frequency synthesizers, see Motorola Brochure BR504/D, Electronic Tuning Address Systems, (ETAS).

Figure 10 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To obtain a sine wave at the output, a resistor is added from the AGC circuit (pin 5) to V_{EE}.

Figure 11 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To extend the useful range of the device (maintain a square wave output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1496
MC1596

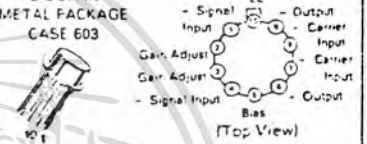
BALANCED MODULATOR/DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
  – 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection – 85 dB typ

BALANCED MODULATOR DEMODULATOR

G SUFFIX
METAL PACKAGE
CASE 603



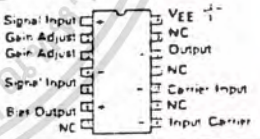
(Top View)

L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN ASSIGNMENTS



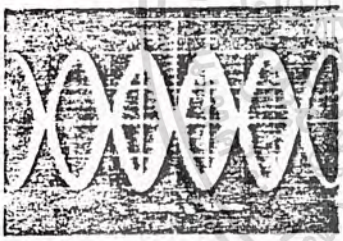


FIGURE 1 –
SUPPRESSED CARRIER
OUTPUT WAVEFORM

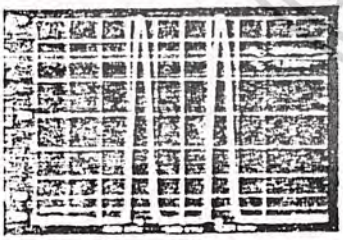


FIGURE 2 –
SUPPRESSED CARRIER
SPECTRUM

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1596L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	–55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

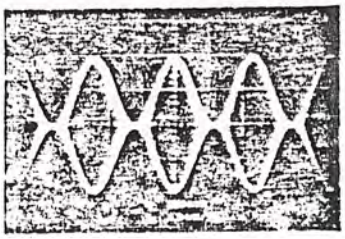


FIGURE 3 –
AMPLITUDE MODULATION
OUTPUT WAVEFORM

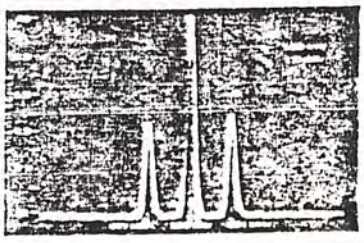


FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_9 - V_6$, $V_7 - V_4$, $V_7 - V_1$, $V_E - V_4$, $V_E - V_6$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	±5.0 ±($I_5 R_e$)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C, all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough V_C = 60 mV(rms) sine wave and offset adjusted to zero, f_C = 1.0 kHz	5	1	V_{CFT}	—	40	—	—	40	—	μVrms
f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mV(p-p) square wave: offset adjusted to zero, f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	mV(rms)
offset not adjusted, f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression (f_S = 10 kHz, 300 mVrms) f_C = 500 kHz, 60 mVrms sine wave	5	2	V_{CS}	50	65	—	40	65	—	dB
f_C = 10 MHz, 60 mVrms sine wave				—	50	—	—	50	—	
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms) Carrier Input Port, V_C = 60 mV(rms) sine wave, f_S = 1.0 kHz, 300 mVrms sine wave	8	8	BW_{3dB}	—	300	—	—	300	—	MHz
Signal Input Port, V_S = 300 mVrms sine wave, V_C = 0.5 Vdc				—	80	—	—	80	—	
Signal Gain V_S = 100 mV(rms), f = 1.0 kHz, V_C = 0.5 Vdc	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance	6	—	r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz Parallel Output Resistance	6	—	r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$, $I_{bC} = \frac{I_7 + I_8}{2}$	7	—	I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	μA
Input Offset Current $I_{ioS} = I_1 - I_4$, $I_{ioC} = I_7 - I_8$	7	—	$\lvert I_{ioS}\rvert$ $\lvert I_{ioC}\rvert$	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	$\lvert TC_{Io}\rvert$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\lvert I_{oo}\rvert$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	$\lvert TC_{Ioo}\rvert$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, V_C = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current $I_6 + I_9$	7	6	I_{CC}	—	2.0	3.0	—	2.0	4.0	mAdc
I_{10}			I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to the device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION*

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_E + 2r_e} \text{ where } r_e = \frac{26\ mV}{I_5\ (mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5.

$$V_S = I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_9 = V_6$, $I_5 = I_6 = I_9$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{10}) + I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_B << I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega \quad \text{where: } R_5 \text{ is the resistor between pin 5 and ground}$$

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

$$30\ \text{Vdc} \geq |(V_6, V_9) - (V_7, V_8)| \geq 2\ \text{Vdc}$$

$$30\ \text{Vdc} \geq |(V_7, V_8) - (V_1, V_4)| \geq 2.7\ \text{Vdc}$$

$$30\ \text{Vdc} \geq |(V_1, V_4) - (V_5)| \geq 2.7\ \text{Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9,\ V_7 = V_8,\ V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$|Y_{21C}| = \left.\frac{i_o\ (\text{each sideband})}{v_s\ (\text{signal})}\right| V_o = 0$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$|Y_{21S}| = \left.\frac{i_o\ (\text{signal})}{v_s\ (\text{signal})}\right| V_c = 0.5\ \text{Vdc},\ V_o = 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Output Signal, V_o

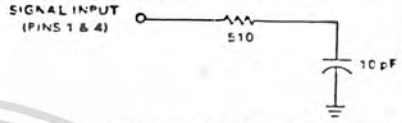
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 kOhm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS*

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION

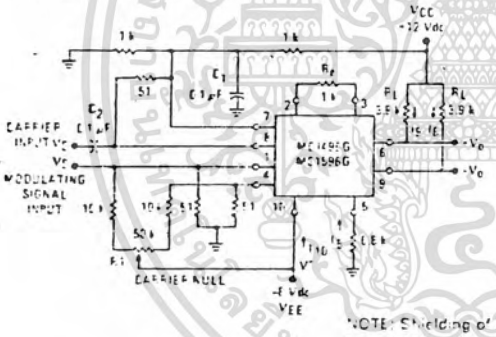
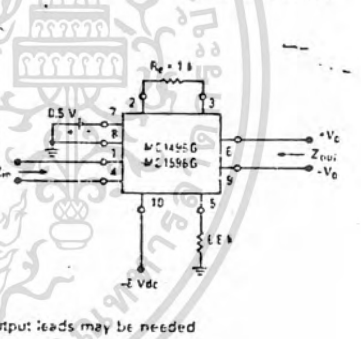


FIGURE 6 – INPUT-OUTPUT IMPEDANCE



*NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 – BIAS AND OFFSET CURRENTS

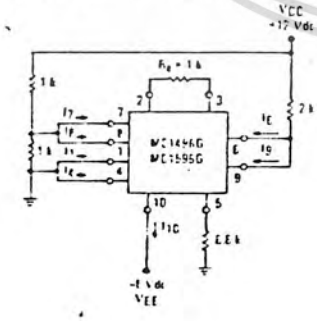
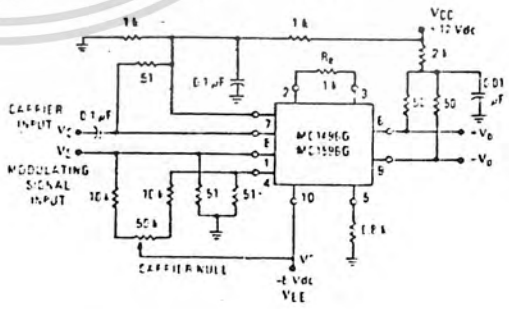


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON MODE GAIN

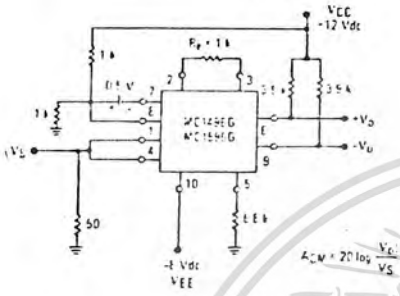
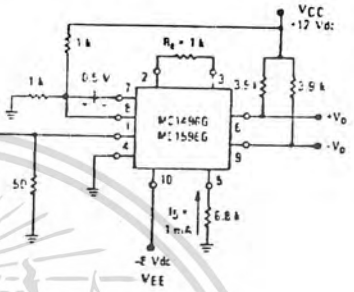


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5. f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

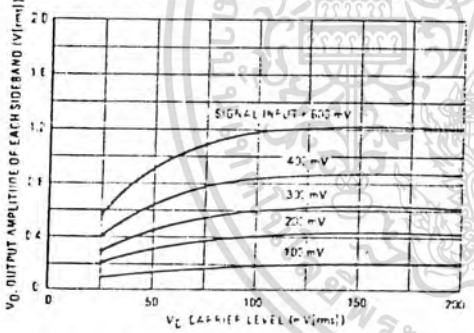


FIGURE 12 – SIGNAL-PORT PARALLEL EQUIVALENT INPUT RESISTANCE versus FREQUENCY

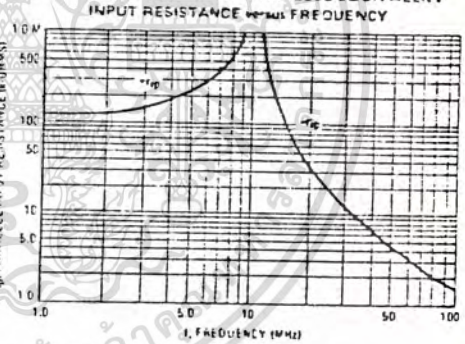


FIGURE 13 – SIGNAL-PORT PARALLEL EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

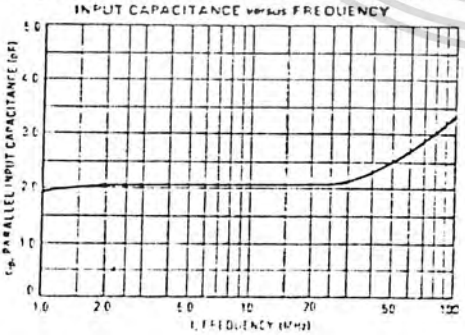
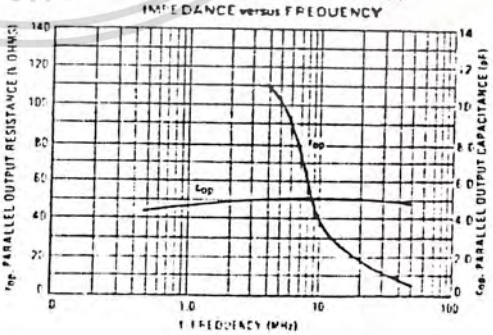


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

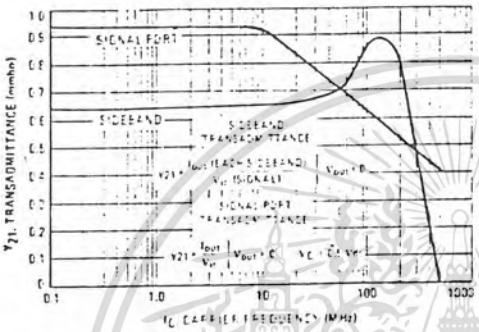


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

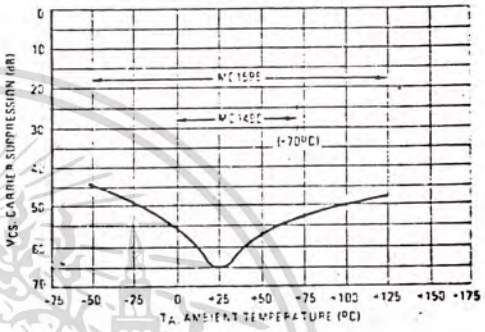


FIGURE 17 – SIGNAL PORT FREQUENCY RESPONSE

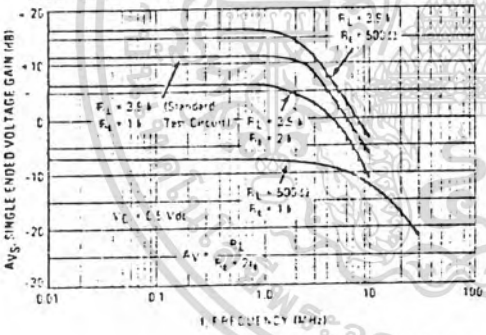


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

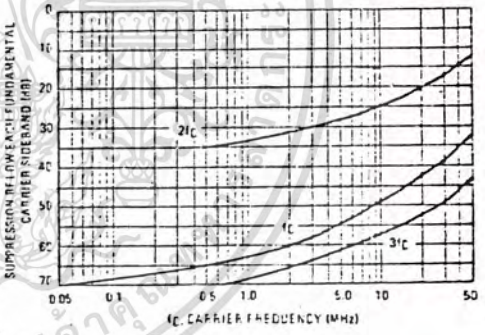


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

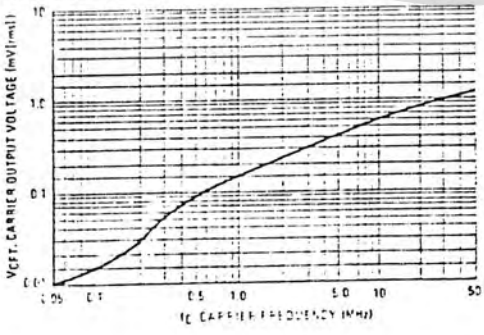
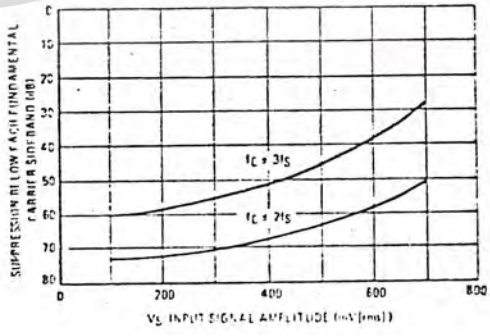


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

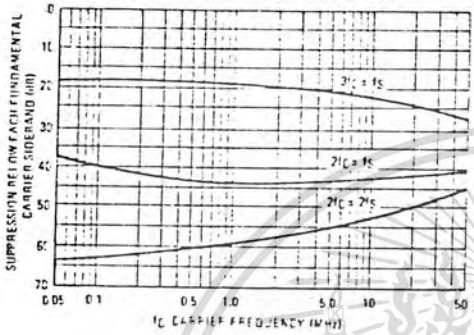
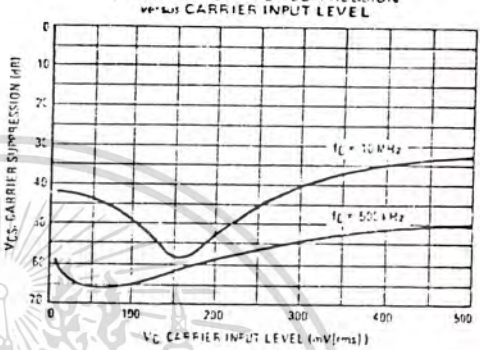


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 23 – CIRCUIT SCHEMATIC*

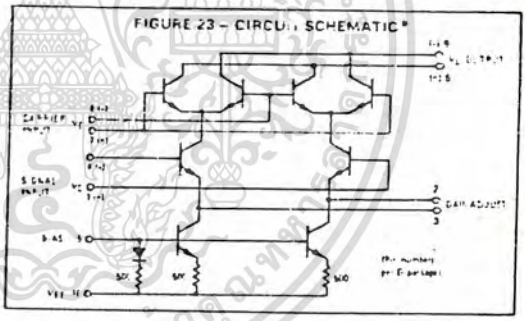
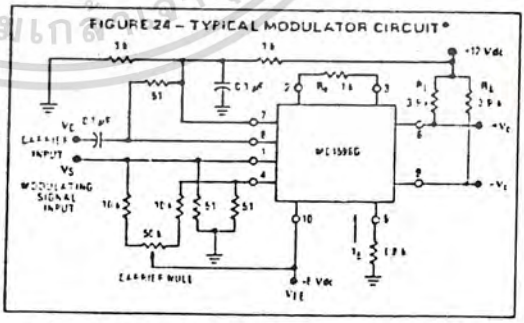


FIGURE 24 – TYPICAL MODULATOR CIRCUIT*



*For number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression.

$$V \approx (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)(\frac{KT}{q})}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}(\frac{KT}{q})(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C;
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 µF capacitors on pins 7 and 8 should be increased to 1.0 µF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596 MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596 MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Pin number references pertain to the device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

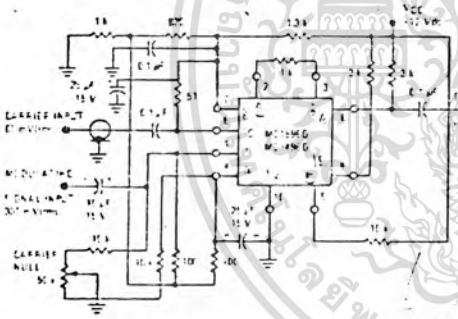


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

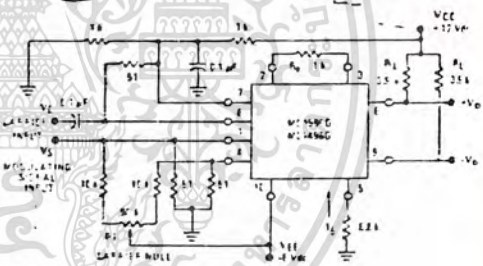


FIGURE 28 – AM MODULATOR CIRCUIT

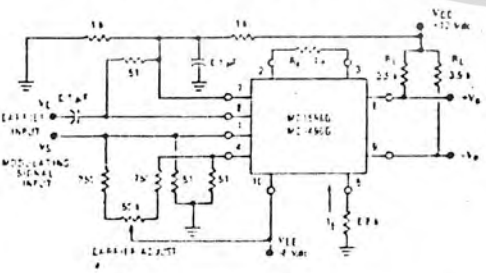
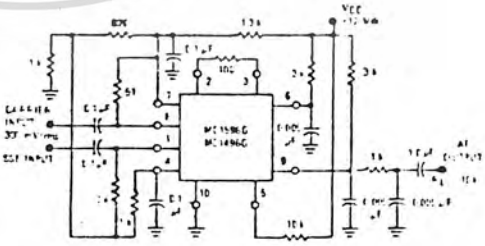


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



PHASE LOCKED LOOP

SE/NE564

DESCRIPTION

The NE564 is a versatile, high guaranteed frequency Phase Locked Loop designed for operation up to 50MHz. As shown in the block diagram, the NE564 consists of a VCO, limiter, phase comparator, and post detection processor.

APPLICATIONS

- High speed modems
- FSK receivers and transmitters
- Frequency synthesizers
- Signal generators
- Various satcom/TV systems

FEATURES

- Operation with single 5V supply
- TTL compatible inputs and outputs
- Guaranteed operation to 50MHz
- External loop gain control
- Reduced carrier feedthrough
- No elaborate filtering needed in FSK applications
- Can be used as a modulator
- Variable loop gain (Externally Controlled)

PIN CONFIGURATION

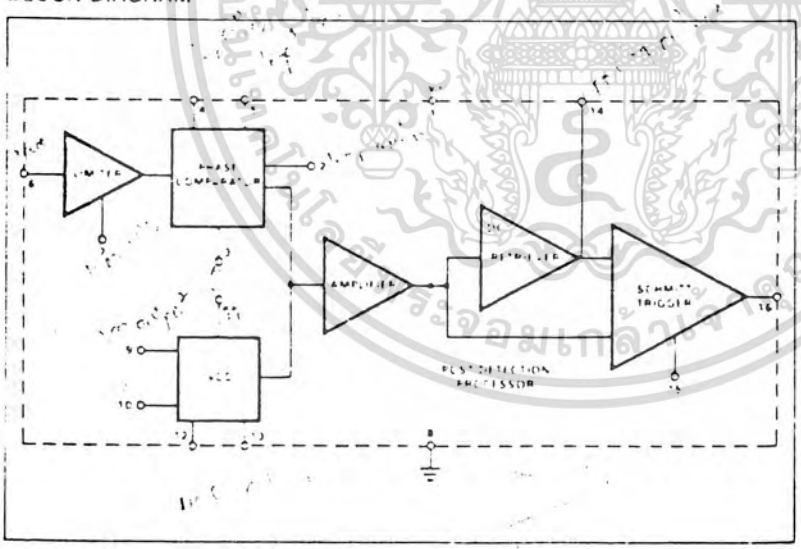
ORDER NUMBERS
NE SE564I NE SE564N
NE 564D

ABSOLUTE MAXIMUM RATINGS

	PARAMETER		RATING	UNIT
V+	Supply voltage			V
	Pin 1		14	
	Pin 10		6	
P_D	Power dissipation		600	mW
T_A	Operating temperature	NE	0 to 70	°C
	Operating temperature	SE	−55 to +125	
T_{stg}	Storage temperature		−65 to 150	°C

NOTE
Operation above 5 volts will require heatsinking of the case.

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE LOCKED LOOP

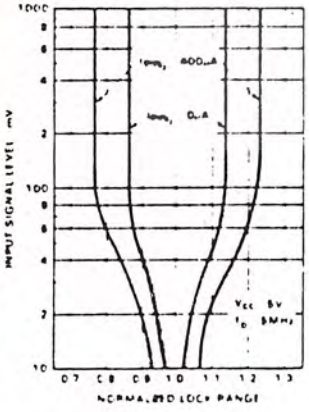
SE/NE564

ELECTRICAL CHARACTERISTICS V_{CC} = 5V, T_A = 25°C, f_o = 5MHz, I_E = 400μA unless otherwise specified

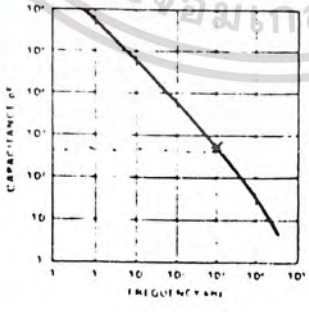
PARAMETER	TEST CONDITIONS	SE564			NE564			UNIT
		Min	Typ	Max	Min	Typ	Max	
Maximum VCO frequency	C_o = 0 (stray)	50	65		45	60		MHz
Lock range	Input ≥ 200mVrms T_A = 25°C	40	70		40	70		% of f_o
	= 125°C	20	30					
	= −55°C	50	80					
	= 0°C					70		
	= 70°C					40		
Capture range	Input ≥ 200mVrms, R_2 = 270Ω	20	30		20	30		% of f_o
VCO frequency drift with temperature	f_o = 5MHz, T_A = −55°C to 125°C		400	1000				PPM/°C
	= 0°C to 70°C					400	1250	
	f_o = 500KHz, T_A = −55°C to 125°C		250	500				
	= 0°C to 70°C					400	850	
VCO free running frequency	C_o = 91pF, R_C = 100Ω "internal"	4	5	6	3.5	5	6.5	MHz
VCO frequency change with supply voltage	V_{CC} = 4.5V to 5.5V		3	8		3	8	% of f_o
Demodulated output voltage	Modulation frequency: 1KHz, f_o = 5MHz, input deviation:							
	2%, T = 25°C	16	28		16	28		mVrms
	1%, T = 25°C	8	14		8	14		mVrms
	= 0°C					13		mVrms
	= −55°C	6	10					mVrms
	= 70°C					15		mVrms
	= 125°C	12	16					mVrms
Distortion	Deviation 1% to 8%		1			1		%
Signal to noise ratio	Std. condition, 1% to 10% dev.		40			40		dB
AM rejection	Std. condition, 30% AM		35			35		dB
Demodulated Output at operating voltage	Modulation frequency: 1KHz, f_o = 5MHz, input deviation: 1%							
	V_{CC} = 4.5V	7	12		7	12		mVrms
	V_{CC} = 5.5V	8	14		8	14		mVrms
Supply current	V_{CC} = 5V, I_1, I_{10}		45	60		45	60	mA
Output								
"1" output leakage current	V_{OUT} = 5V, Pin 16, 9		1	20		1	20	μA
"0" output voltage	I_{OUT} = 2mA, Pin 16, 9		0.3	0.6		0.3	0.6	V
	I_{OUT} = 6mA, Pin 16, 9		0.4	0.8		0.4	0.8	V

TYPICAL PERFORMANCE CHARACTERISTICS

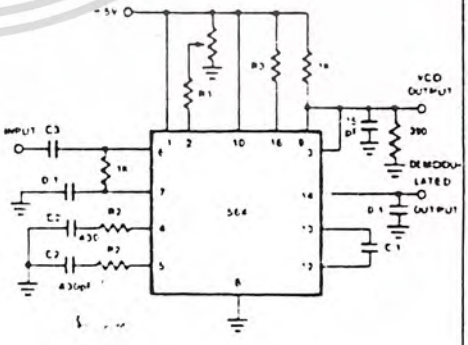
LOCK RANGE vs SIGNAL INPUT



VCO CAPACITOR vs FREQUENCY



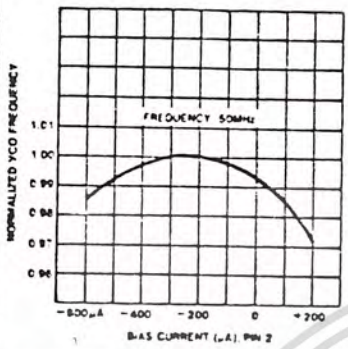
SE NE 564 TEST CIRCUIT



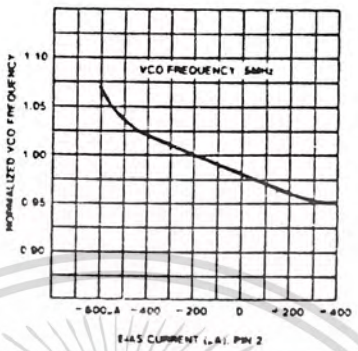
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE LOCKED LOOP

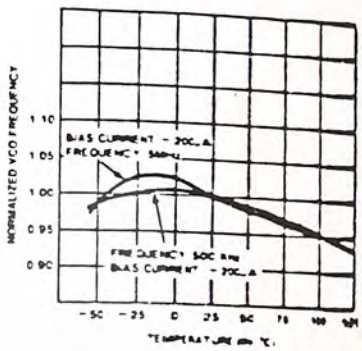
TYPICAL NORMALIZED VCO FREQUENCY AS A FUNCTION OF PIN 2 BIAS CURRENT



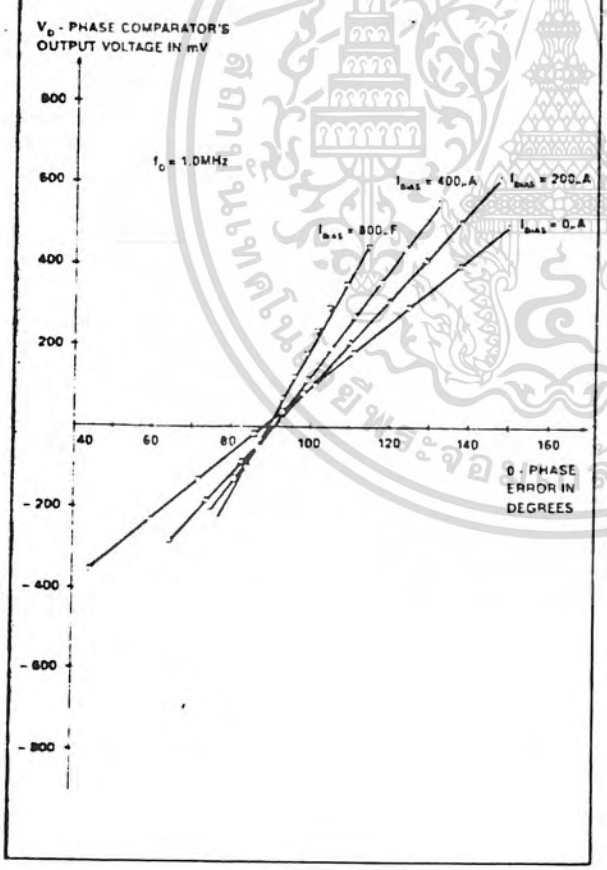
TYPICAL NORMALIZED VCO FREQUENCY AS A FUNCTION OF PIN 2 BIAS CURRENT



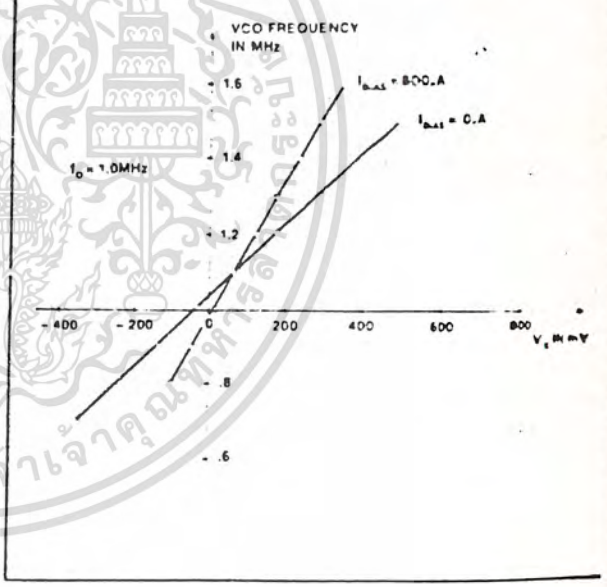
NORMALIZED VCO FREQUENCY AS A FUNCTION OF TEMPERATURE



VARIATION OF THE PHASE COMPARATOR'S OUTPUT VOLTAGE VERSUS PHASE ERROR AND BIAS CURRENT (K_D)



VCO OUTPUT FREQUENCY AS A FUNCTION OF INPUT VOLTAGE AND BIAS CURRENT (K_O)



SIG-56 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION (figure 1)

The NE564 is a monolithic phase locked loop with a post detection processor. The use of Schottky clamped transistors and optimized device geometries extends the frequency of operation to greater than 50MHz. In addition to the classical PLL applications the NE564 can be used as a modulator with adjustable frequency deviation.

The output voltage of the PLL can be written as shown in the following equation.

$$V_o = \frac{(f_o - f_o)}{K_{VCO}} \qquad \text{Equation 1}$$

K_{VCO} = conversion gain of the VCO
f_{in} = frequency of the input signal
f_o = free running frequency of the VCO

The process of recovering FSK signals involves the conversion of the PLL output into logic compatible signals. For high data rates, a considerable amount of carrier will be present at the output of the PLL due to the wideband nature of the loop filter. To avoid the use of complicated filters, a comparator with hysteresis or Schmitt trigger is required. With the conversion gain of the VCO, the output voltage as given by Equation 1 varies according to the frequency deviation of f_{in} from f_o. Since this differs from system to system, it is necessary that the hysteresis of the Schmitt trigger be capable of being changed, so that it can be optimized for a particular system. This is accomplished in the 564 by varying the voltage at pin 9 which results in a change of the hysteresis of the Schmitt trigger.

For FSK signals, an important factor to be considered is the drift in the free running frequency of the VCO itself. If this changes due to temperature, according to Equation 1 it will result in a change in the dc levels of the PLL signals and consequently to errors in the digital output signal. This is especially true for narrow band signals where the deviation may itself may be less than the change due to temperature. This effect can be eliminated if the dc or average value of the signal is retrieved and used as the reference to the comparator. In this manner, variations in the dc levels of the PLL output do not affect the FSK output.

VCO Section

Due to its inherent high frequency performance, an emitter coupled oscillator is used in the VCO. In the circuit, shown in the equivalent schematic, transistors Q_{21} and Q_{23} with current sources $Q_{25} - Q_{26}$ form the basic oscillator. The approximate free running frequency of the oscillator is shown in the following equation:

$$f_o = \frac{1}{22\ R_C\ (C_1 + C_S)} \qquad \text{Equation 2}$$

$R_C = R_{19} = R_{20} = 400\Omega$ (INTERNAL)
C_1 = external frequency setting capacitor
C_S = stray capacitance

Variation of V_d (phase detector output voltage) changes the frequency of the oscillator. As indicated by Equation 2, the frequency of the oscillator has a negative

5

EQUIVALENT SCHEMATIC

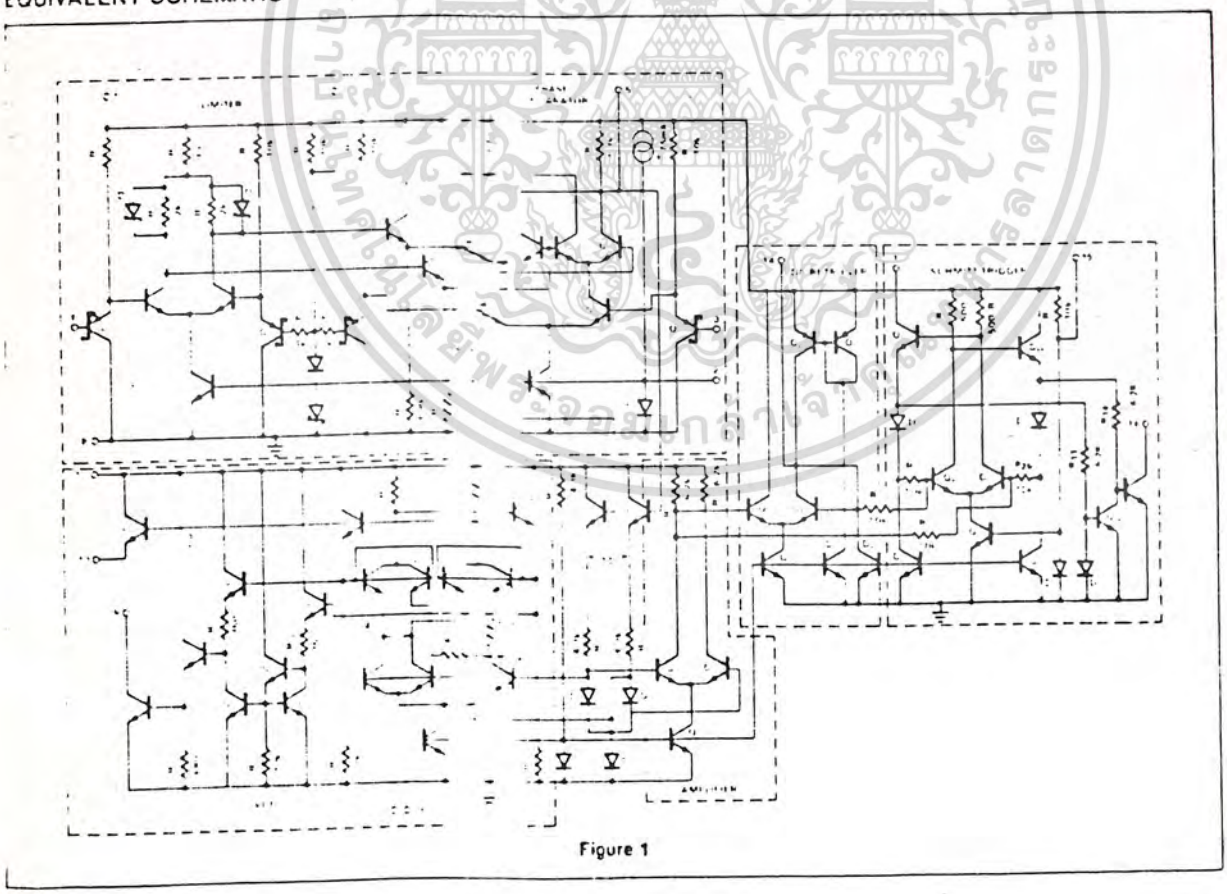


Figure 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIG-57

temperature coefficient due to the positive temperature coefficient of the monolithic resistor. To compensate for this, a current I_R with negative temperature coefficient is introduced to achieve a low frequency drift with temperature.

Phase Comparator Section

The phase comparator consists of a double balanced modulator with a limiter amplifier to improve AM rejection. Schottky clamped vertical PNPs are used to obtain TTL level inputs. The loop gain can be varied by changing the current in Q_4 and Q_{15} which effectively changes the gain of the differential amplifiers. This can be accomplished by introducing a current at pin 2.

Post Detection Processor Section

The post detection processor consists of a unity gain transconductance amplifier and comparator. The amplifier can be used as a dc retriever for demodulation of FSK signals and as a post detection filter for linear FM demodulation. The comparator has adjustable hysteresis so that phase jitter in the output signal can be eliminated.

As shown in the equivalent schematic the dc retriever is formed by the transductance amplifier Q_{42}–Q_{43} together with an external capacitor which is connected at the amplifier output (pin 14). This forms an integrator whose output voltage is shown in the following equation:

$$V_O = \frac{g_m}{C_2} \int V_{in} dt \qquad \text{Equation 3}$$

g_m = transconductance of the amplifier
C_2 = capacitor at the output (pin 14)
V_{in} = signal voltage at amplifier input

With proper selection of C_2, the integrator time constant can be varied so that the output voltage is the dc or average value of the input signal for use in FSK, or as a post detection filter in linear demodulation.

The comparator with hysteresis is made up of Q_{49}–Q_{50} with positive feedback being provided by Q_{47}-Q_{48}. The hysteresis is varied by changing the current in Q_{52} with a resulting variation in the loop gain of the comparator. This method of hysteresis control, which is a dc control, provides symmetric variation around the nominal value.

Design Formula

The free running frequency of the VCO is shown by the following equation:

$$f_o = \frac{1}{25\ R_C\ (C_1 + C_S)} \qquad \text{Equation 4}$$

R_C = 2000Ω
C_1 = external cap in farads
C_S = stray capacitance

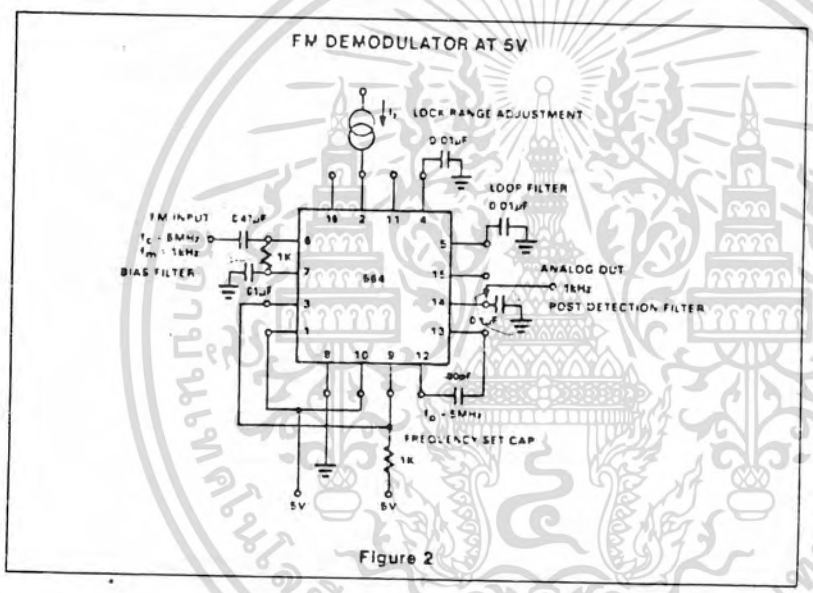


Figure 2

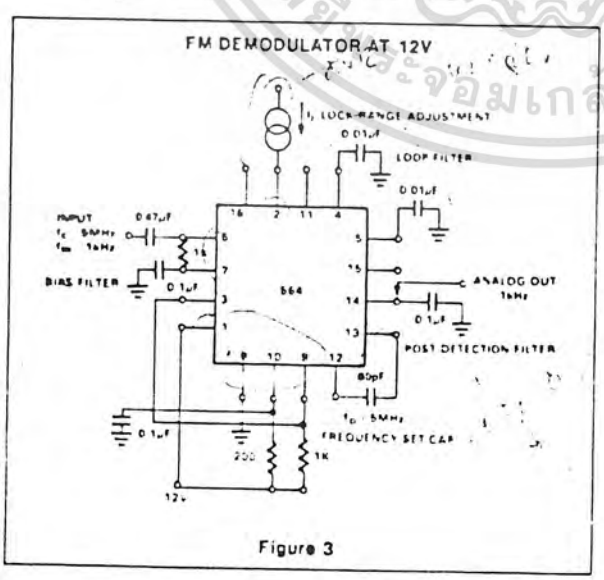


Figure 3

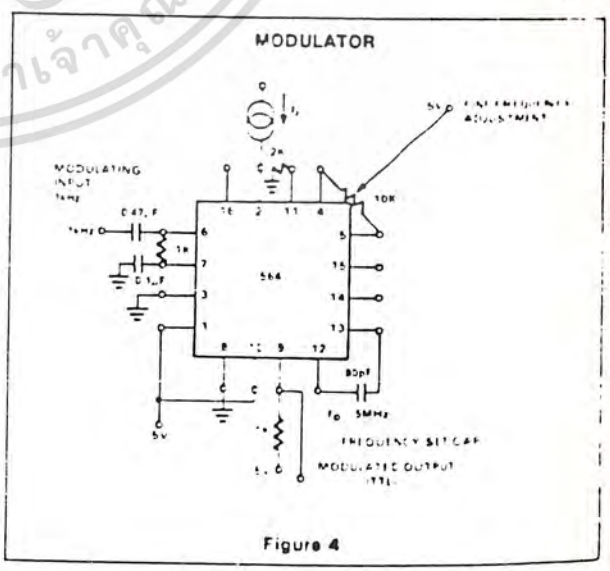


Figure 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The loop filter diagram shown is explained by the following equation:

$$F(s) = \frac{1}{1 + sRC_3} \text{ (First Order)} \qquad \text{Equation 5}$$

$R = R_{12} = R_{13} = 1.3k\Omega$ (INTERNAL)*

By adding capacitors to pins 4 and 5, a pole is added to the loop transfer function at

$$\omega_c = \frac{1}{RC_3}$$

*Refer to Figure 1.

APPLICATIONS

FM DEMODULATOR

The NE564 can be used as an FM demodulator. The connections for operation at 5V and 12V are shown in figures 2 and 3 respectively. The input signal is ac coupled with the output signal being extracted at pin 14. Loop filtering is provided by the capacitors at pins 4 and 5 with additional filtering being provided by the capacitor at pin 14. Since the conversion gain of the VCO is not very high, to obtain sufficient demodulated output signal the frequency deviation in the input signal should be 1% or higher.

MODULATION TECHNIQUES

The NE564 phase locked loop can be modulated at either the loop filter ports (pins 4 and 5) or the input port (pin 6) as shown in figure 4. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in figure 5. This curve will be appropriate for signals injected into pins 4 and 5 as shown in figure 4.

FSK Demodulation

The 564 PLL is particularly attractive for FSK demodulation since it contains an internal voltage comparator and VCO which have TTL compatible inputs and outputs, and it can operate from a single 5 volt power supply. Demodulated dc voltages associated with the mark and space frequencies are recovered with a single external capacitor in a dc retriever without utilizing extensive filtering networks. An internal comparator, acting as a Schmitt trigger with an adjustable hysteresis, shapes the demodulated voltages into compatible TTL output levels. The high frequency design of the 564 enables it to demodulate FSK at high data rates in excess of 1.0M baud.

Figure 5 shows a high-frequency FSK decoder designed for input frequency deviations of ± 1.0MHz centered around a free-running frequency of 10.8MHz. The value of the timing capacitance required was estimated from figure 8 to be approximately 40pF. A trimmer capacitor was added to fine tune f_o to 10.8MHz.

The lock range graph indicates that the ± 1.0MHz frequency deviations will be within the lock range for input signal levels greater than approximately 50mV with zero pin 2 bias current. While strictly this figure is appropriate only for 5MHz, it can be used as a guide for lock range estimates at other f_o frequencies.

The hysteresis was adjusted experimentally via the 10kΩ potentiometer and 2kΩ bias arrangement to give the waveshape shown in figure 7 for 20K, 500K, 2M baud rates with square wave FSK modulation. Note the magnitude and phase relationships of the phase comparators output voltages with respect to each other and to the FSK output. The high frequency sum components of the input and VCO frequency also are visible as noise on the phase comparators outputs.

10.8MHz FSK DECODER USING THE 564

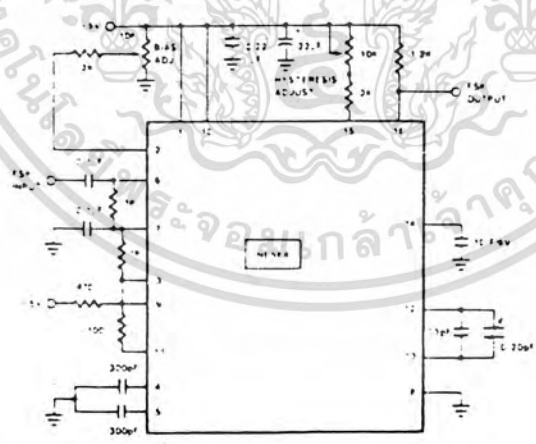
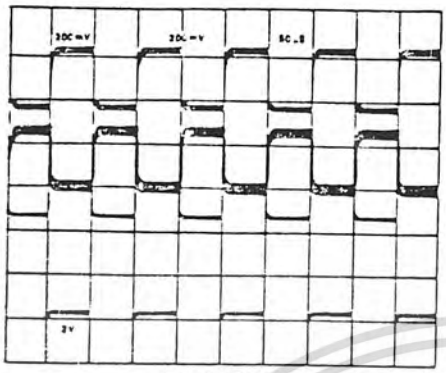


Figure 5

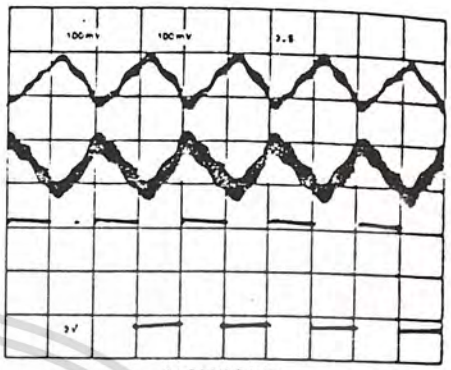
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIG-59

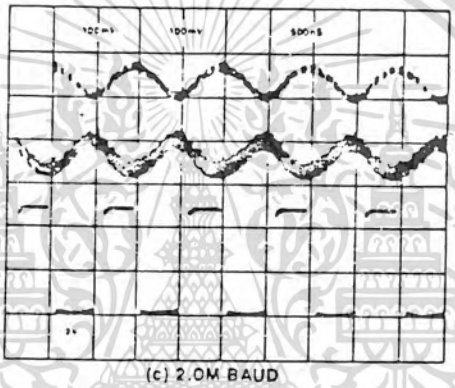
PHASE COMPARATOR (PINS 4 AND 5) AND FSK (PIN 16) OUTPUTS FOR DATA RATES OF



(a) 20K BAUD



(b) 500K BAUD



(c) 2.0M BAUD

NOTE
Top trace-pin 4
Center trace-pin 5
Bottom trace-pin 16

Figure 6

OUTLINE OF SETUP PROCEDURE

1. Determine operating frequency of the VCO – .
   If ÷ N in feedback loop, then
   $f_o = N \times f_{in}$.
2. Calculate value of the VCO frequency set capacitor:
   $$C_O \approx \frac{1}{2500\, f_o}$$
3. Set I_2 (current sinking into Pin 2) for ≅ 100μA. After operation is obtained, this value may be adjusted for best dynamic behavior.
4. Check VCO output frequency with digital counter at Pin 9 of device (loop open, VCO to ø det.). Adjust C_O trim or frequency adj. Pin 4-5 for exact center frequency if needed.
5. Close loop and inject input signal to Pin 6. Monitor Pin 3 and 6 with two channel scope. Lock should occur with $\Delta\phi_{3\text{-}6}$ equal to 90° (phase error).
6. If pulsed burst or ramp frequency is used for input signal, special loop filter design may be required in place of simple single capacitor filter on Pin 4 and 5. (See PLL application section in Analog Manual.)
7. The input signal to Pin 6 and the VCO feedback signal to Pin 3 must have a duty cycle of 50% for proper operation of the phase detector. Due to the nature of a balanced mixer if signals are not 50% in duty cycle, D.C. offsets will occur in the loop which tend to create an artificial or biased VCO offset.
8. For multiplier circuits where phase jitter is a problem, loop filter capacitors may be increased to a value of 10-50μF on Pin 4, 5. Also careful supply decoupling may be necessary. This includes the counter chain V_{CC} lines.

NE564 PHASE LOCKED FREQUENCY MULTIPLIER WITH VCXO

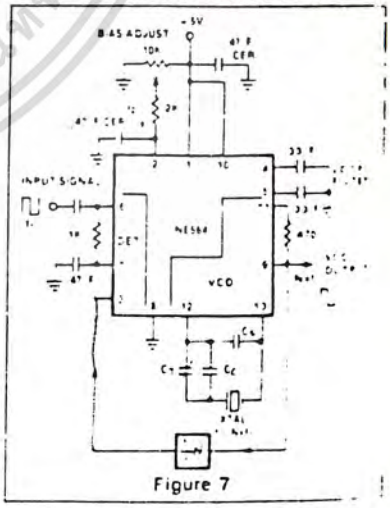


Figure 7

*For additional information, consult the Applications Section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The loop filter diagram shown is explained by the following equation:

$$F(s) = \frac{1}{1 + sRC_3} \text{ (First Order)} \qquad \text{Equation 5}$$

$R = R_{12} = R_{13} = 1.3k\Omega$ (INTERNAL)*

By adding capacitors to pins 4 and 5, a pole is added to the loop transfer function at

$$\omega = \frac{1}{RC_3}$$

*Refer to Figure 1.

APPLICATIONS

FM DEMODULATOR

The NE564 can be used as an FM demodulator. The connections for operation at 5V and 12V are shown in figures 2 and 3 respectively. The input signal is ac coupled with the output signal being extracted at pin 14. Loop filtering is provided by the capacitors at pins 4 and 5 with additional filtering being provided by the capacitor at pin 14. Since the conversion gain of the VCO is not very high, to obtain sufficient demodulated output signal the frequency deviation in the input signal should be 1% or higher.

MODULATION TECHNIQUES

The NE564 phase locked loop can be modulated at either the loop filter ports (pins 4 and 5) or the input port (pin 6) as shown in figure 4. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in figure 5. This curve will be appropriate for signals injected into pins 4 and 5 as shown in figure 4.

FSK Demodulation

The 564 PLL is particularly attractive for FSK demodulation since it contains an internal voltage comparator and VCO which have TTL compatible inputs and outputs, and it can operate from a single 5 volt power supply. Demodulated dc voltages associated with the mark and space frequencies are recovered with a single external capacitor in a dc retriever without utilizing extensive filtering networks. An internal comparator, acting as a Schmitt trigger with an adjustable hysteresis, shapes the demodulated voltages into compatible TTL output levels. The high frequency design of the 564 enables it to demodulate FSK at high data rates in excess of 1.0M baud.

Figure 5 shows a high-frequency FSK decoder designed for input frequency deviations of ± 1.0MHz centered around a free-running frequency of 10.8MHz. The value of the timing capacitance required was estimated from figure 8 to be approximately 40pF. A trimmer capacitor was added to fine tune f_o to 10.8MHz.

The lock range graph indicates that the ± 1.0MHz frequency deviations will be within the lock range for input signal levels greater than approximately 50mV with zero pin 2 bias current. While strictly this figure is appropriate only for 5MHz, it can be used as a guide for lock range estimates at other f_o frequencies.

The hysteresis was adjusted experimentally via the 10kΩ potentiometer and 2kΩ bias arrangement to give the waveshape shown in figure 7 for 20K, 500K, 2M baud rates with square wave FSK modulation. Note the magnitude and phase relationships of the phase comparators output voltages with respect to each other and to the FSK output. The high frequency sum components of the input and VCO frequency also are visible as noise on the phase comparators outputs.

10.8MHz FSK DECODER USING THE 564

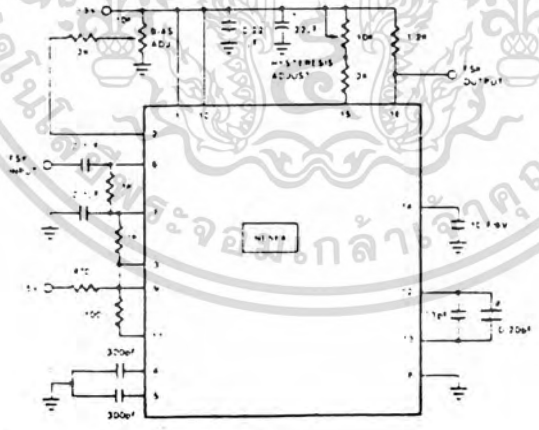
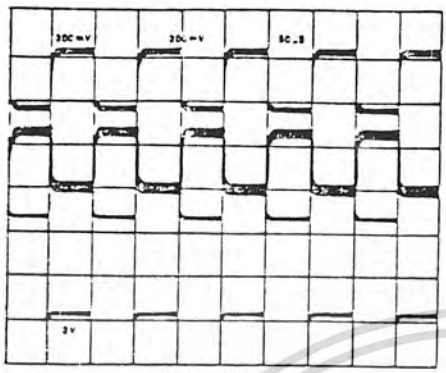


Figure 5

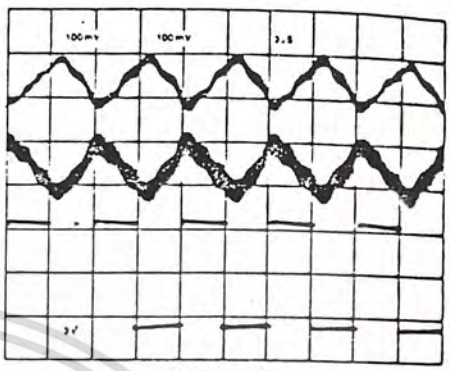
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIG-59

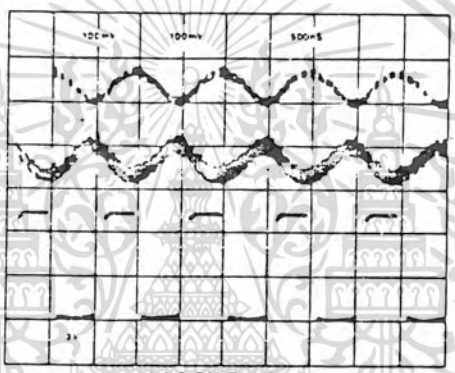
PHASE COMPARATOR (PINS 4 AND 5) AND FSK (PIN 16) OUTPUTS FOR DATA RATES OF



(a) 20K BAUD



(b) 500K BAUD



(c) 2.0M BAUD

NOTE
Top trace-pin 4
Center trace-pin 5
Bottom trace-pin 16

Figure 6

OUTLINE OF SETUP PROCEDURE

1. Determine operating frequency of the VCO – .
   If ÷ N in feedback loop, then $f_o = N \times f_{in}$.
2. Calculate value of the VCO frequency set capacitor:
   $$C_O \approx \frac{1}{2500\, f_o}$$
3. Set I_2 (current sinking into Pin 2) for ≅ 100μA. After operation is obtained, this value may be adjusted for best dynamic behavior.
4. Check VCO output frequency with digital counter at Pin 9 of device (loop open, VCO to ø det.). Adjust C_O trim or frequency adj Pin 4-5 for exact center frequency if needed.
5. Close loop and inject input signal to Pin 6. Monitor Pin 3 and 6 with two channel scope. Lock should occur with $\Delta\phi_{3\text{-}6}$ equal to 90° (phase error).
6. If pulsed burst or ramp frequency is used for input signal, special loop filter design may be required in place of simple single capacitor filter on Pin 4 and 5. (See PLL application section in Analog Manual.)
7. The input signal to Pin 6 and the VCO feedback signal to Pin 3 must have a duty cycle of 50% for proper operation of the phase detector. Due to the nature of a balanced mixer if signals are not 50% in duty cycle, D.C. offsets will occur in the loop which tend to create an artificial or biased VCO offset.
8. For multiplier circuits where phase jitter is a problem, loop filter capacitors may be increased to a value of 10-50μF on Pin 4 5. Also careful supply decoupling may be necessary. This includes the counter chain V_{CC} lines.

NE564 PHASE LOCKED FREQUENCY MULTIPLIER WITH VCXO

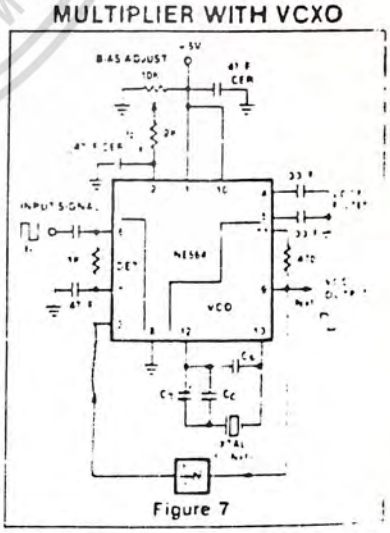


Figure 7

*For additional information, consult the Applications Section.

SIG-60 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

MOTOLOLA RF DEVICE DATA VOLUME I ; AMERICA,1988

MOTOLOLA RF DEVICE DATA VOLUME III ; AMERICA,1988

MOTOLOLA SMALL SIGNALS DATA BOOKS ; AMERICA,1988

MOTOLOLA ECL DATA BOOK ; AMERICA,1988

MOTOLOLA LINEAR DATA BOOK ; AMERICA,1988

A.C.BINGHAM THE THEORY AND PRACTICE OF MODEM DESIGN ; AMERICA,1988

E.ZIEMER, L.PETERSON DIGITAL COMMUNICATION AND SPREAD SPECTRUM SYSTEM ; AMERICA,1985

W.COUCH DIGITAL AND ANALOG COMMUNICATION SYSTEM ; AMERICA,1987

Z.PEEBLES DIGITAL COMMUNICATION SYSTEMS ; AMERICA,1987

L.HILBURN, E.JOHNSON MANUAL OF ACTIVE FILTER DESIGN ; AMERICA,1973

บันทิต โรจน์อารยานนท์ หลักการไฟฟ้าสื่อสาร ; จุฬา ,1989

ดร.ประสิทธิ์ ประพิณมงคลการ หลักการระบบสื่อสาร ; ซีเอ็ดฯ ,1990

ซีเอ็ดยูเคชั่น คู่มือเทียบเบอร์ IC TTL ; ซีเอ็ดฯ ,1991

ซีเอ็ดยูเคชั่น คู่มือ TRANSISTORS ; ซีเอ็ดฯ ,1991

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้