

เครื่องตั้งเวลาและโทรศัพท์สั่งงาน
CONTROL LOAD BY TIMER AND TELEPHONE



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
ภาควิชาเทคนิคอุตสาหกรรม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2536

033302

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONTROL LOAD BY TIMER AND TELEPHONE



Mr. TRIRATN SOMDETH
Mr. PROT PEUKPONG
Mr. SURAPONG PAVEE-NAAPICHART

Project Report Submitted in Partial Fulfillment of the requirements

For the Bachelor's Degree

Department of Industrial Technology

Faculty of Engineering

King Mongkut's Institute of Technology Ladkrablang

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
1993
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์

เครื่องตั้งเวลาและโทรศัพท์สั่งงาน

CONTROL LOAD BY TIMER AND TELEPHONE

โดย

นายไทรรัตน์ สมเค็ง
นายพรต เมือกม่วง
นายสุรพงษ์ ปวีณอภิชาติ

อาจารย์ที่ปรึกษา

อาจารย์ ไพศาล สิทธิโยภากุล

บทคัดย่อ

เครื่องตั้งเวลาและโทรศัพท์สั่งงาน เป็นเครื่องอำนวยความสะดวก ให้กับบุคคลที่อยู่นอกบ้านที่ต้องการจะเปิดเครื่องใช้ไฟฟ้าภายในบ้านหรือปิดเครื่องใช้ไฟฟ้าภายในบ้านได้ในบางครั้งขณะอยู่นอกบ้านแล้วต้องการจะเปิดแอร์ก่อนที่จะเข้าบ้าน เพื่อที่เข้ามาแล้วอากาศจะได้เย็นสบาย ก็สามารถตั้งเวลาเปิดแอร์ก่อนที่จะเราออกจากบ้านไป หรือเราโทรศัพท์เข้ามาเปิดแอร์ก่อนที่จะเราเข้าบ้าน หรือถ้าเราตั้งเวลาเปิดแอร์ไว้ แต่วันนั้นเราไม่กลับบ้าน เราก็สามารถโทรศัพท์สั่งให้แอร์หยุดทำงานได้ จึงเป็นจุดมุ่งหมายของวิทยานิพนธ์ฉบับนี้

วิทยานิพนธ์ฉบับนี้ได้นำวงจรมาทดลองเป็นส่วนใหญ่ โดยมีไมโครโปรเซสเซอร์ Z-80 เป็นหน่วยประมวลผลกลาง แล้วนำประกอบกันเป็นเครื่องตั้งเวลาและโทรศัพท์สั่งงาน

ABSTRACT

Control load by timer and telephone is a convenience machinist for people. When you are stay in somewhere and would like to control by switch off the electric machine in your house. You could do that just call a phone to your house or residential by place the command to the machine.

Herein this equipments are assembled and carry out by mean of Microprocessor Z-84C11 which in the central processing unit of control load by timer and telephone.

หัวข้อปริญญาบัตร

เครื่องตั้งเวลาและโทรศัพท์สั่งงาน

CONTROL LOAD BY TIMER AND TELEPHONE

โดย

นายไตรรัตน์ สมเด็จพระ
นายพรต เมื่อกม่อง
นายสุรพงษ์ ปวีณอภิชาติ

ภาควิชา

เทคนิคอุตสาหกรรม

อาจารย์ที่ปรึกษา

อาจารย์ ไพศาล สิทธิโยภากุล

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้รับ
ปริญญาบัตรฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญาบัตร

..... อาจารย์ที่ปรึกษา
()

..... กรรมการ
()

..... กรรมการ
()

..... กรรมการ
()

..... กรรมการ
()

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Report

CONTROL LOAD BY TIMER AND TELEPHONE

By

Mr. TRIRATN SOMDETCHEE
MR. PROT PEAKPONG
MR. SURAPONG PAVEE-NAAPICHART

Department of

Industrial Technology

Advisor

Mr. PAISARN SITTIYOPAKUL

**Accepted by the Faculty of Engineering, King Mongkut's Institute of Technology,
Ladkrabang in partial fulfillment of the requirements for the Bachelor's degree.**

Project Report Committee

..... **Chairman**

()

..... **Committee**

()

..... **Committee**

()

..... **Committee**

()

..... **Committee**

()

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลงได้ด้วยความร่วมมือและความตั้งใจในการทำงานของเพื่อนร่วมงานในกลุ่ม Project ทั้งได้รับคำแนะนำจากอาจารย์ที่ปรึกษาทางด้านเทคนิคและแนวความคิดต่างๆ นอกจากนี้ยังได้รับคำแนะนำจากรุ่นพี่ที่ช่วยให้อำนาจการศึกษาด้านซอฟต์แวร์ คือ

พี่ เอกสิทธิ์ สุรศักดิ์ พี่ พนม เพ็ญสว่าง ตลอดจนเพื่อนๆ ทุกคนที่ช่วยให้คำแนะนำ คณะผู้จัดทำ ขอกล่าวขอบคุณไว้ ณ โอกาสนี้



นายไตรรัตน์
นายพรต
นายสุรพงษ์

สมเด็จ
เพ็ญผ่อง
ปวีณภิษาค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า	
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎี	2
	2.1 Z84C11	2
	2.2 DTMF DECODER	17
	2.3 วงจรโมโนสเตเบิล	24
	2.4 ระบบสัญญาณต่างๆ ของโทรศัพท์	32
บทที่ 3	หลักการออกแบบและการทำงานของวงจร	36
บทที่ 4	สรุปและวิจารณ์	43
บทที่ 5	วิธีการใช้งาน	44
บทที่ 6	ข้อเสนอแนะและแนวทางการออกแบบต่อไป	47
ภาคผนวก		
	ก. โฟล์ดชาร์ตแสดงขั้นตอนการเขียนโปรแกรม	
	ข. โปรแกรมการทำงาน	
	ค. DATA SHEET	

บทที่ 1

บทนำ

ในปัจจุบันเทคโนโลยีได้มีการพัฒนาขึ้นตลอดเวลา และในการพัฒนาเทคโนโลยีนี้ทำให้มีเรื่องอำนวยความสะดวกมากขึ้น เช่น ธนาคาร ก็จะมีตู้ ATM. สำหรับฝากเงินหรือโอนเงินได้รวดเร็ว เป็นต้น และโครงการชิ้นนี้ก็เป็นเรื่องอำนวยความสะดวกอีกชิ้นหนึ่ง คือ เครื่องตั้งเวลาและโทรศัพท์สั่งงาน ซึ่งเป็นการพัฒนาเทคโนโลยีอีกรูปแบบหนึ่ง โดยอาศัยไมโครโปรเซสเซอร์มาควบคุมการเปิด-ปิด เครื่องใช้ไฟฟ้าภายในบ้าน ซึ่งจะมี 2 ส่วน คือ ส่วนตั้งเวลาเปิด-ปิด เครื่องใช้ไฟฟ้า กับส่วนโทรศัพท์ ที่สามารถโทร.เข้ามาเปิด-ปิด เครื่องใช้ไฟฟ้าภายในบ้านได้ และโครงการชิ้นนี้ก็เป็นการพัฒนาเทคโนโลยีอีกรูปแบบหนึ่ง

วัตถุประสงค์

1. เพื่อให้เกิดความเข้าใจและสามารถนำไมโครคอนโทรลเลอร์เบอร์ Z84C11 ในตระกูล Z-80 ไปใช้งานได้
2. เพื่อให้เกิดการประยุกต์นำโครงการนี้ไปใช้งานให้เกิดประโยชน์ต่อไป
3. ศึกษาการเขียนโปรแกรมอย่างมีขั้นตอนและถูกต้อง
4. เพื่อให้เข้าใจหลักการและสัญญาณต่าง ๆ ที่ใช้ในระบบโทรศัพท์
5. สามารถนำสัญญาณต่าง ๆ ที่ใช้ในระบบโทรศัพท์นำไปประยุกต์ใช้งานได้

บทที่ 2

ทฤษฎี

2.1 Z84C11

PARALLEL I/O CONTROLLER

คุณสมบัติ

- ประกอบด้วย Z80CPU, Z84C30, Z80CTC, พอร์ตขนาด 8 บิต ขนานกัน 5 พอร์ต
- ความเร็วในการทำงานสูง
- ใช้กำลังงานน้อยในการทำงานทั้ง 4 MODE
- สามารถต่อใช้งานเข้ากับอุปกรณ์ TTL หรือ CMOS
- ลักษณะเด่นของ Z84C11

มี IDEL 2 MODE สลับสับน

สามารถสร้างสัญญาณ WATCH DOG TIMER (WDT)

EV MODE สามารถเลือกและตัดแปลงแก้ไขง่าย

สร้าง WAIT STATE ได้

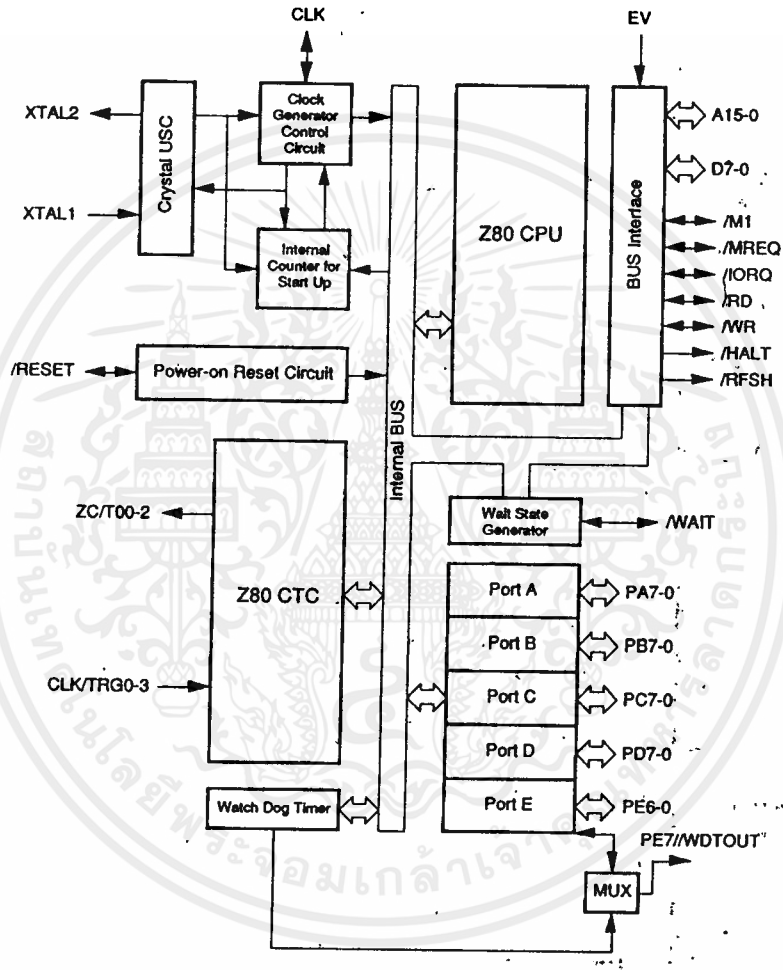
สามารถเลือก CLOCK จากภายนอกหรือภายในเป็นอินพุท

รายละเอียดโดยทั่วไป

Z84C11 PARALLEL I/O CONTROLLERS (PIC) เป็นไมโครโปรเซสเซอร์ CMOS ขนาด 8 บิต เป็นการรวม CTC และ พอร์ตขนาด 8 บิต 8 พอร์ต ในตัวเดียวกันมี 100 ขา Z84C11 มีขีดความสามารถสูง และสามารถใช้งานแทน Z84C11 ได้ ดังรูปที่ 1 แสดงบล็อกไดอะแกรมของ Z84C11 รูปที่ 2 แสดงขาต่างๆ

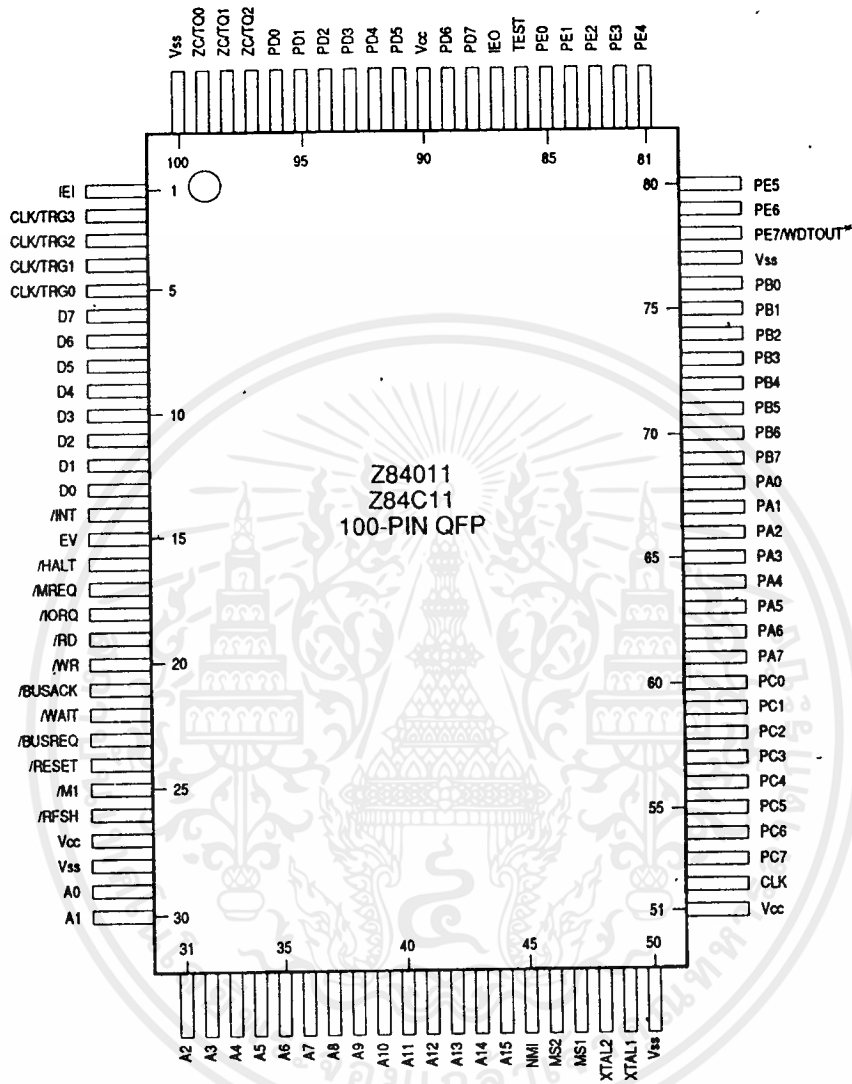
Z84C11 สามารถใช้ร่วมกับ HARD WARE พื้นฐานของ Z80 ได้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 แสดงบล็อกไดอะแกรมของ Z84C11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2 แสดงขาต่างๆ ของ Z84C11
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รายละเอียดของขาแต่ละขา

ขาต่างๆ ที่แสดงในรูปที่ 2 มีรายละเอียดและหมายเลขต่างๆ ดังนี้ CPU SIGNALS

A15-A0 (29-44) ADDRESS BUS เป็น I/O ขนาด 16 บิต เพื่อใช้เป็นทางเข้าติดต่อกับหน่วยความจำ

D7-D0 (6-13) DATA BUS เป็น I/O ขนาด 8 บิต เพื่อใช้ในการรับส่งข้อมูลระหว่าง CPU กับอุปกรณ์ สนับสนุนภายนอก

/RD (19) READ SIGNAL เป็น I/O เพื่อใช้ทำหน้าที่อ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์ I/O เมื่อได้รับสัญญาณจากอุปกรณ์ภายนอก

/WR (20) WRITE SIGNAL เป็น I/O เพื่อใช้ส่งข้อมูลจากอุปกรณ์ภายนอกไปไว้ในหน่วยความจำ

หรือจากหน่วยความจำไปยังอุปกรณ์ภายนอก เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

/MERQ (17) MEMORY REQUEST SIGNAL เป็นเอาต์พุต 3-STATE แอคทีฟที่ลอจิก “0” เพื่อเป็นบอกว่า CPU กำลังติดต่อกับหน่วยความจำ

/IORQ (18) INPUT OUTPUT REQUEST SIGNAL เป็น I/O แอคทีฟที่ลอจิก “0” เพื่อเป็นการบอกว่า CPU กำลังติดต่อกับอุปกรณ์ I/O เมื่อ IORQ และ M1 แอคทีฟพร้อมกันเป็นการบ่งบอกการตอบรับการอินเทอร์รัพท์

/M1 (25) MACHINE CYCLE เป็น I/O จะแอคทีฟขณะที่ CPU ทำการเฟรช OP-CODE ของคำสั่งในกรณีที่คำสั่งที่จะเฟรชเข้ามามีขนาด 2 ไบท์ M1 จะแอคทีฟทุก ๆ ไซเคิลการเฟรช แต่ละไบท์

/RFSH (26) REFRESH SIGNAL เป็นเอาต์พุต 3-STATE จะแอคทีฟเมื่อ 7 บิตล่าง (A0-A6) ของแอสเซมบลีให้คาร์รีเฟรชออกมา

/INT (14) MASKABLE INTERRUPT REQUEST SIGNAL เป็น I/O จะแอคทีฟที่ลอจิก “0” เพื่อบอกให้รู้ว่ามีการขออินเทอร์รัพท์จากอุปกรณ์ภายนอก CPU จะตรวจสอบระดับสัญญาณที่ขานี้ทุก ๆ สิ้นสุดการทำงานแต่ละคำสั่ง

/NMI (45) NON-MASKABLE INTERRUPT REQUEST SIGNAL เป็นอินพุตแอคทีฟที่ลอจิก “0” เป็นสัญญาณขออินเทอร์รัพท์ที่มีระดับความสำคัญสูงกว่า INT และไม่สามารถปฏิเสธได้

/HALT (16) HALT SIGNAL เป็นเอาต์พุต 3-STATE แอคทีฟที่ลอจิก “0” เพื่อเป็นตัวบอกให้ CPU ทำคำสั่งภายใน

/BUSRQ (23) BUS REQUEST SIGNAL เป็นอินพุตแอคทีฟที่ลอจิก “0” เพื่อต้องการขอใช้บัส ซึ่ง ADDRESS BUS, DATA BUS, /MREQ, /IORQ, /RD และ /WR จะอยู่ในสภาวะ HIGH IMPEDANCE

/BUSACK (21) BUS ACKNOWLEDGE SIGNAL เป็นเอาต์พุต 3-STATE แอคทีฟที่ลอจิก “0” เพื่อเป็นการยอมรับสัญญาณ /BUSRQ จะทำให้ ADDRESS BUS, DATA BUS, /MREQ, /IORQ, /RD และ /WR จะมีสภาวะเป็น HIGH IMPEDANCE

/WAIT (22) เป็น I/O แอคทีฟที่ลอจิก “0” เพื่อเป็นการตรวจสอบให้อุปกรณ์สนับสนุนภายนอกทำงานให้ทันกับการทำงานของ Z84C11

CTC SIGNAL

CLK/TRG 0-3 (2-5) EXTERNAL CLOCK เป็น CLOCK จากภายนอก มี 4 ขา อยู่ในลักษณะ COUNTER/TIMER 4 CHANNELS ใน COUNTER MODE จะนับลดลงครั้งละหนึ่งที่ขอบขาขึ้นของพัลส์ ใน TIMER MODE สามารถโปรแกรมได้ว่าจะให้เริ่มทำงานที่ขอบขาขึ้นหรือลง

ZC/TO 0-2 (97-99) เป็นเอาต์พุต ใน COUNTER หรือ TIMER MODE พัลส์จะเป็นเอาต์พุตเมื่อนับถอยหลังเข้าสู่ศูนย์

จุดประสงค์โดยทั่วไปของพอร์ต I/O

PA7-PA0 (61-68) PORT A เป็น I/O พอร์ตที่เชื่อมต่อกับระบบภายนอก สามารถเป็นได้ทั้งอินพุตและเอาต์พุต

PB7-PB0 (69-76) PORT B เป็น I/O พอร์ตที่เชื่อมต่อกับระบบภายนอก สามารถเป็นได้ทั้งอินพุตและเอาต์พุต

PC7-PC0 (53-60) PORT C เป็น I/O พอร์ตที่เชื่อมต่อกับระบบภายนอก สามารถเป็นได้ทั้งอินพุตและเอาต์พุต

PD7-PD0 (88,89,91-96) PORT D เป็น I/O พอร์ตที่เชื่อมต่อกับระบบภายนอก สามารถเป็นได้ทั้งอินพุตและเอาต์พุต

PE7-PE0 (85-79) PORT E เป็น I/O พอร์ตที่เชื่อมต่อกับระบบภายนอก สามารถเป็นได้ทั้งอินพุตและเอาต์พุต

PE7 (78) PORT E7 WATCH DOG TIMER OUTPUT (WDT OUT) เป็น I/O พอร์ต ซึ่งขานี้เป็น TIMER หรือขาอินพุต/เอาต์พุตได้ เมื่อ WDT OUT ENABLE ขานี้จะไม่คำนึงถึงโปรแกรมที่เป็น I/O พอร์ต

สัญญาณควบคุมระบบ

IEI (1) Z80CTC INTERRUPT ENABLE INPUT SIGNAL เป็นสัญญาณอินพุตเพื่อขออินเตอร์รัพท์ Z80CTC สัญญาณนี้ใช้ด้วยกันกับ IEO โดยเรียงลำดับความสำคัญเมื่อมีการขอจากอุปกรณ์ภายนอก

IEO (87) Z80CTC INTERRUPT ENABLE OUTPUT SIGNAL เป็นสัญญาณเอาต์พุตอินเตอร์รัพท์ Z80CTC IEO จะควบคุมการขออินเตอร์รัพท์จากอุปกรณ์ภายนอก IEO จะแอกทีฟเมื่อ IEI เป็น "1" และ CPU ไม่มีการขออินเตอร์รัพท์จากอุปกรณ์ภายนอกตัวอื่น

/RESET (24) RESET SIGNAL ใช้เพื่อให้ MPU และอุปกรณ์ในระบบเริ่มทำงานใหม่

XTAL1 (49) เป็นที่เชื่อมต่อกับ CRYSTAL OSCILLATOR เป็นแบบ PARALLEL RESONANT ถ้ามี CLOCK จากภายนอกเป็นอินพุตให้ CTC แล่งจ่าย CLOCK จะจ่ายมาสู่ TERMINAL XTAL1 นี้

XTAL2 (48) จุดต่อ CRYSTAL OSCILLATOR

CLK (52) เป็น CLOCK ของระบบ

MS1,MS2 (47,48) MODE SELEC 1,2 เป็นอินพุตสำหรับเลือกโหมดการทำงานโดยขึ้นอยู่กับสถานะของขาทั้งสองนี้ ซึ่งจะเลือก 1 ใน 4 โหมดนี้คือ RUN, IDEL1, IDEL2 หรือ STOP

EV (15) EVALUATOR SIGNAL เมื่อขานี้เป็น "1" PIC จะอยู่ใน EVALUATOR MODE

VCC (27,51,90) POWER +5 โวลท์

VSS (28,50,77,100) GND 0 โวลท์

หน้าที่การทำงาน

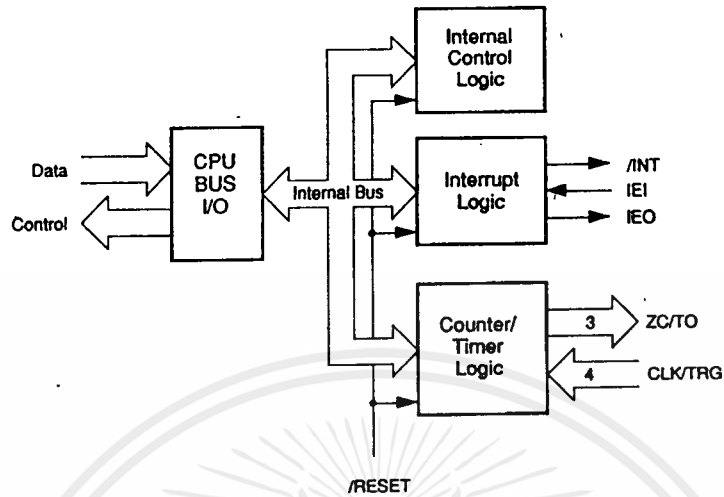
Z84C11 สามารถแยกการทำงานดังบล็อกไดอะแกรมรูปที่ 1 ดังต่อไปนี้ Z80CPU และ Z80CTC เหมือนกับแยกเป็นคนละส่วนกัน เพราะฉะนั้นรายละเอียดของแต่ละหน่วยขึ้นอยู่กับความต้องการของผู้ใช้ ดังรายละเอียดของแต่ละหน่วยต่อไปนี้

Z84C30 COUNTER/TIMER LOGIC UNIT

LOGIC UNIT สามารถกำหนดได้โดยผู้ใช้ ระหว่าง 4 บิต กับ 8 บิตของ COUNTER/TIMER ของ Z84C30 ดังรูปที่ 3 COUNTER/TIMER สามารถโปรแกรมได้โดย CPU ว่าจะนำมาใช้เป็น COUNTER หรือ

TIMER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 แสดงบล็อกโคอะแกรมของ CTC

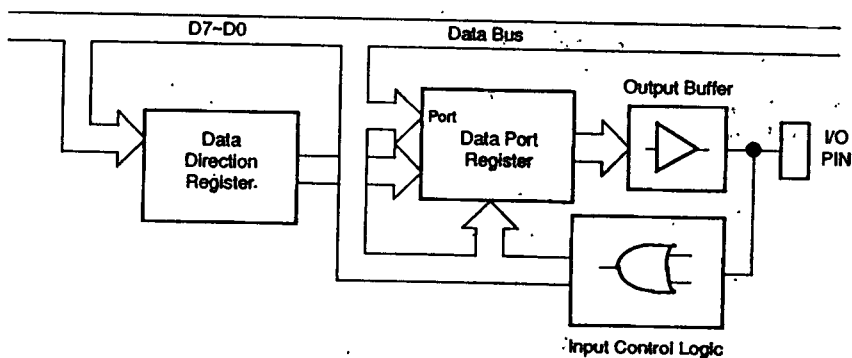
แต่ละ CHANNEL ของ COUNTER/TIMER ถูกออกแบบให้มี 8 บิต (ใช้ใน TIMER MODE) และกำหนดให้เป็น 8 บิต เมื่อเป็น COUNTER เพื่อใช้ในการแก้ปัญหาแต่ละ CHANNEL มี CLOCK/TRIGGER เป็น INPUT เพื่อหาจำนวนสุ่การนับและเอาท์พุท

จุดประสงค์โดยทั่วไปของพอร์ต I/O

PIC มีพอร์ต I/O 5 ชุดๆ ละ 2 บิต ดังรูปที่ 4 แสดงบล็อกโคอะแกรมของพอร์ต I/O แต่ละพอร์ตจะมีรีจิสเตอร์ 2 ตัว คือ รีจิสเตอร์สำหรับรับข้อมูลของพอร์ต (PORT DATA REGISTER) และรีจิสเตอร์บอกทิศทางของข้อมูล (DATA DIRECTION REGISTER) ซึ่งแสดงทิศทางการส่งข้อมูลแต่ละบิต เมื่อบิตใดถูกสั่งให้เป็นเอาท์พุทนั้นข้อมูลใน PORT DATA REGISTER จะถูกส่งกับไปผ่านทางคำสั่ง I/O การกระอนุแอกเครสของรีจิสเตอร์นี้ให้ดูจากตารางที่ 1

หมายเหตุ

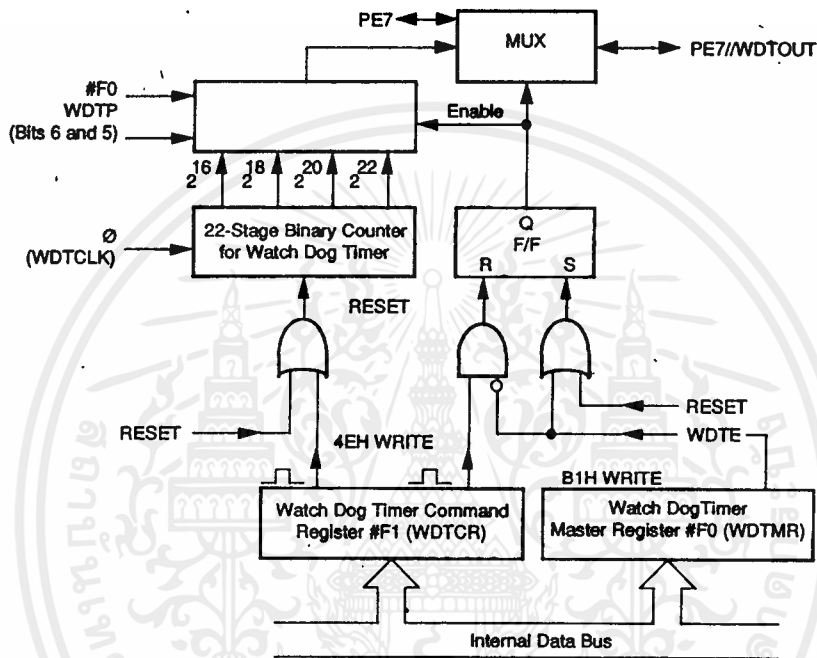
Z84C11 พอร์ต E7 บิต 7 จะถูก MULTIPLEX ด้วย WDT OUT เมื่อสั่งให้ TIMER ENABLE WDT OUT จะถูกเปลี่ยนให้เป็น I/O พอร์ต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 4 แสดงบล็อกโคอะแกรมของ I/O PORT ดั้หน้าไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WATCH DOG TIMER (WDT) LOGIC UNIT (LU)

LU จะถูกรวมอยู่ใน Z84C11 ในตัวเพิ่มสมรรถนะ LU ทำหน้าที่ตรวจสอบการ ERROR และแก้ไขให้หายไป ดังรูปที่ 5 แสดงบล็อกไดอะแกรมของ WDT เมื่อ WDT ถูก ENABLE สัญญาณ PE7/WDT OUT จะแสดงเหมือนเป็น /WDT OUT ระหว่างที่หยุดการใช้งาน WDT จะหยุดด้วย และมันจะ DISABLE โดย POWER-ON RESET



รูปที่ 5 แสดงบล็อกไดอะแกรมของ WATCH DOG TIMER

WDT OUT (PE7//WDT OUT)

เนื่องจาก Z84C11 ไม่มีขา WDT OUT ดังนั้น WDT OUT จะถูกรวมอยู่กับ PE7 เมื่อ WDT OUT ถูก ENABLE จะทำงานเป็นพอร์ต I/O ตามปกติ เมื่อ WDT OUT เป็น "0" เอาท์พุทจาก PE7//WDT OUT หลังจากช่วงเวลาหนึ่งที่ระบุใน WDTP ช่วงที่ว่าสัญญาณพัลส์จะเป็นดังนี้ ขึ้นอยู่กับการตั้งค่า PE7//WDT OUT

PE7//WDT OUT ถูกต่อเข้ากับ RESET สัญญาณ "0" จะส่งออกเท่ากับ 5 TcC

PE7//WDT OUT ถูกต่อเข้ากับขาอื่นๆ สัญญาณ "0" จะหยุดจนกระทั่ง WDT ถูก CLEAR โดยโปรแกรมหรือรีเซ็ต

CGC LOGIC UNIT

PIC มี CGC (CLOCK GENERATOR/CONTROLLER) ในตัวเอง สามารถใช้ได้กับอินพุทแบบ CRYSTAL หรือ CLOCK อินพุทของระบบที่ขา XTAL 1 ซึ่งจะให้สัญญาณนาฬิกาแบบหาร 2 ซึ่งจะได้เวลาเป็นครึ่งหนึ่งของความเร็วแก๊นพุท

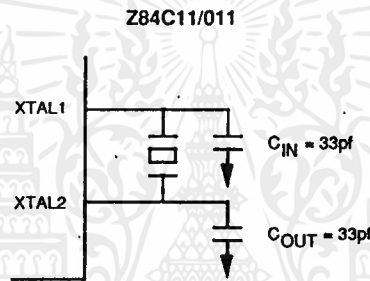


หมายเหตุ

Z84C11 สามารถต่อ CLOCK จากภายนอกได้ที่ขา CLK ซึ่ง OSCILLATOR และวงจรหาร 2 จะถูก BY PASS ไป ถ้า CLOCK จากภายนอกต่อเข้าที่ XTAL1 OSCILLATOR จะถูกใช้และวงจรจะหาร 2 จะถูกใช้ขึ้นอยู่กับบิต D4 ของ WDTMR ในโหมด POWER DOWN ของ Z84C11 จะเปลี่ยนไปขึ้นอยู่กับว่า CLOCK ที่ต่อเข้าว่าเข้าที่ขา XTAL1 หรือเข้าที่ขา CLK

แหล่งกำเนิด CLOCK ของระบบ

PIC มีวงจร OSCILLATOR ภายในและ CLOCK จะเกิดขึ้นจากการต่อ CRYSTAL ไปที่จุดต่อภายนอก (XTAL1, XTAL2) สัญญาณ CLOCK ที่ออกมามีความเร็วเท่ากับครึ่งหนึ่งของต้นกำเนิด ดังรูป 6 เป็นตัวอย่างการต่อ CLOCK



รูปที่ 6 วงจรการต่อ CRYSTAL

Z84C11 ความเร็ว CLOCK เท่ากับครึ่งหนึ่งของแหล่งกำเนิด ลักษณะของ CRYSTAL กับค่า CAPACITOR เป็นดังนี้ (ค่า CAPACITOR ขึ้นอยู่กับความถี่ของ CRYSTAL)

- ชนิดของ CRYSTAL ปกติจะเป็นชนิดขนาน
- ความคลาดเคลื่อนของความถี่ ; ไชงานอิสระ
- CL,LOAD CAPACITANCE; โดยประมาณ 22 pF
- RS, ความต้านทานเสมือนต่ออนุกรม น้อยกว่าหรือเท่ากับ 60 โอห์ม
- ระดับแรงขับ : 10 mW (สำหรับความถี่น้อยกว่าหรือเท่ากับ 10 MHz)
- $C_{in} = C_{out} = 33pF$

POWER-ON RESET LOGIC UNIT

Z84C11 มีลักษณะเด่นของวงจร POWER-ON RESET ในระหว่าง POWER-UP เกทชนิด OPEN DRAIN ของ POWER-ON วงจรจะทำให้ขา/RESET เป็น "O" ในช่วง 25-75 MS หลังจากผ่านแหล่งจ่ายประมาณ 2.2 โวลต์ หลังจากสิ้นสุดกระบวนการ POWER-ON RESET เกทจะหยุดการขับ ขา RESET และจำเป็นต้องมีความต้านทานแบบ PULL-UP จากภายนอกมาต่อขา RESET

WAIT STATE GENERATOR UNIT

เป็นตัวสร้างสัญญาณ WAIT STATE ให้ CPU สถานะของอินพุต WAIT จะถูกดึงออกมาโดยโปรแกรมเรียก ขกวันเมื่อมีการเรียก WAIT STATE สำหรับการอินเทอร์รัพท์แบบ DAISY CHAIN รีจิสเตอร์ที่ใช้ควบคุม WAIT STATE จะถูกโปรแกรมได้โดย CPU ให้ทำงานในลักษณะต่างดังนี้

- MEMORY WAIT AND OP-CODE WAIT
- I/O WAIT
- INTERRUPT VECTOR WAIT
- INTERRUPT DAISY CHAIN WAIT

โหมดประเมินผล

PIC มีโหมดนี้เพื่อให้ใช้ระบบที่พัฒนามาน Z80 ทำให้ใช้แทน Z80 ได้

หมายเหตุ

Z84C11 ถ้าขา EV ถูกป้อน VCC Z84C11 จะอยู่ใน EV โหมด ในโหมดนี้ภายใน CPU จะถูกตัดออกจากบัสภายในและสัญญาณ 3-STATE ที่กล่าวมา รวมทั้ง /BUSACK และ /RFSH จะเป็น 3-STATE หรือเป็นอินพุต ข้อสังเกตคือขา /WAIT จะกลายเป็นขาเอาท์พุทในโหมดนี้ และแหล่งกำเนิด WAIT STATE จะสร้างสภาวะรอกอย่างเดียว ถ้ามีตัวสร้าง WAIT STATE แยกต่างหากจะต้องคิดแปลงก่อน

Z84C11 จะทำงานเหมือนปกติเมื่อ /BUSREQ ถูกแทรกจากตัวแปรภายนอก ทำให้สัญญาณ 3-STATE เป็น 3 สถานะโดย Z84C11 หลังจากการหน่วงเวลา 1 ขอบ ในกรณีนี้ /RFSH, /M1, /HALT และ /BUSREQ จะยังคงแอคทีฟ

PROGRAMMING

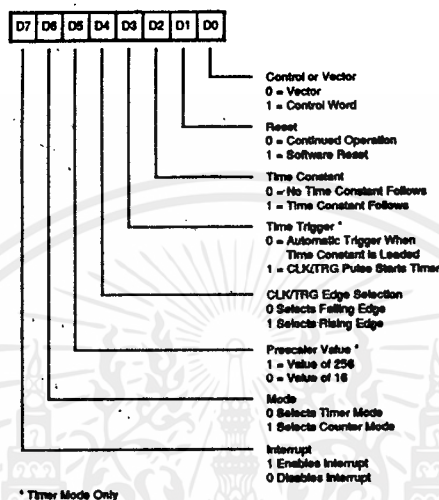
แอดแตรส PIC ในการติดต่อกับอุปกรณ์ I/O ดังตารางที่ 1 โดย DECODE จาก A7-A0

ตารางที่ 1 I/O CONTROL REGISTER ADDRESS

Address	Device	Channel	Register
10h	CTC	Ch 0	Control Register
11h	CTC	Ch 1	Control Register
12h	CTC	Ch 2	Control Register
13h	CTC	Ch 3	Control Register
50h	PIA	Port A	Port A Data Port (PADP)
54h	PIA	Port A	Port A Data Direction Register (PADR)
51h	PIA	Port B	Port B Data Port (PBDP)
55h	PIA	Port B	Port B Data Direction Register (PBDR)
52h	PIA	Port C	Port C Data Port (PCDP)
56h	PIA	Port C	Port C Data Direction Register (PCDR)
30h	PIA	Port D	Port D Data Port (PDDP)
34h	PIA	Port D	Port D Data Direction Register (PDDR)
40h	PIA	Port E	Port E Data Port (PEDP)
44h	PIA	Port E	Port E Data Direction Register (PEDR)
F0h	WDT		Watch Dog Timer Master Register (WDTMR; Not with Z84011)
F1h	WDT		Watch Dog Timer Control Register (WDTICR; Not with Z84011)
EEh	Misc		System Control Register Pointer (SCRIP; Not with Z84011)
EFh	Misc		System Control Data Port (SCDP; Not with Z84011) through SCRIP and SCDP Control Register 00 - Wait State Control register (WCR) Control Register 01 - Memory Wait state Boundary Register (MWBDR)

CHANNAL CONTROL WORD

เป็นการเซตโหมดการทำงานและพารามิเตอร์ เมื่อบิต D0 เป็น “1” เป็นตัวแสดงบอกว่าขณะนี้เป็นการ CONTROL WORD



รูปที่ 7 แสดง CTC CANNAL CONTROL WORD

บิต D7 (INTERRUPT ENABLE) บิตนี้เป็นบิตที่ตอบรับการขออินเตอร์รัพท์ เมื่อบิตนี้เป็น “1” สามารถขออินเตอร์รัพท์ได้ โดยจะทำให้ COUNTER นับลงถึงศูนย์จึงเริ่มทำงาน ถ้าบิตนี้เป็น “0” ไม่สามารถขออินเตอร์รัพท์ได้

บิต D6 (MODE BIT) บิตนี้เป็นตัวเลือกระหว่าง TIMER โหมดหรือ COUNTER โหมด โดยถ้าบิตนี้เป็น “0” เป็น TIMER โหมด ถ้าเป็น “1” เป็น COUNTER โหมด

บิต D5 (PRESCALAR FACTOR) บิตนี้เป็นตัวเลือกว่าจะเลือกตัวหาร เริ่มแรก ใช้ใน TIMER โหมด โดยถ้าบิตนี้เป็น “1” จะถูกหารด้วย 256 ถ้าบิตนี้เป็น “0” จะถูกหารด้วย 6

บิต D4 (CLOCK/TRIGGER EDGE SELECTOR) บิตนี้เป็นตัวเลือกว่าจะแอกทีฟที่ขอบไหนของสัญญาณที่เข้ามา ถ้าบิตนี้เป็น “1” แอกทีฟที่ของขาขึ้นของสัญญาณ ถ้าเป็น “0” แอกทีฟที่ขอบขาลง

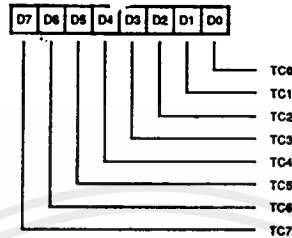
บิต D3 (TIMER TRIGGER) บิตนี้ใช้งานใน TIMER โหมดเท่านั้น เป็นตัวเลือกสัญญาณ TRIGGER โดยถ้าบิตนี้เป็น “1” จะเป็นสัญญาณ TRIGGER จากภายนอกถ้าเป็น “0” จะเริ่มทำงานโดยทันทีที่มีการโหลด TIME CONSTANT

บิต D2 (TIME CONSTANT) บิตนี้เป็นตัวชี้บอกว่า WORD ต่อไปจะเป็นค่า TIME CONSTANT ตามมาเมื่อบิตนี้มีลอจิกเป็น “1” แต่ถ้าบิตนี้มีลอจิกเป็น “0” ไม่มี

บิต D1 (SOFTWARE RESET) บิตนี้จะรีเซตการทำงานของฮาร์ดแวร์เมื่อบิตนี้มีลอจิกเป็น “1” ซึ่งทำให้การนับ การแสดงฐานเวลาหยุดลง ถ้าบิตนี้เป็น “0” การทำงานเป็นไปอย่างปกติต่อเนื่อง

TIME CONSTANT WORD

ก่อนที่ CHANNEL ต่างๆ จะเริ่มต้นนับจะต้องมีการโหลดค่า TIME CONSTANT ก็คือค่าอะไรก็ได้ตั้งแต่ 1 ถึง 256 ถ้าทุกบิตเป็น “0” หมดจะทำให้การนับของ COUNTER ทำงานที่ 256 (รูปที่ 8)

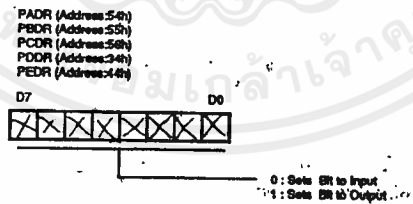


รูปที่ 8 CTC TIME CONSTANT WORD

PIA REGISTER

การกำหนดการทำงานของพอร์ท

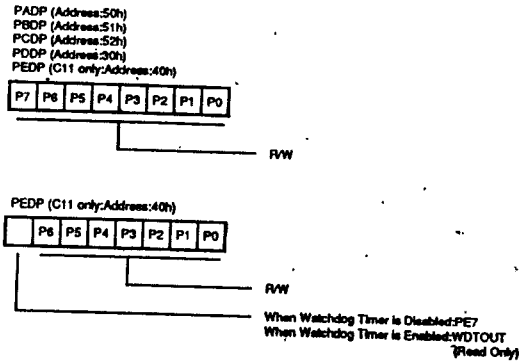
พอร์ท PIA สามารถใช้สนับสนุนเพื่อการรวมกัน ของบิตอินพุทและเอาต์พุท เพื่อควบคุมโดยการเขียน PORT DIRECTION REGISTER (PADR, PBDR, PCDR, PDDR, PEDR) ถ้าเป็น “1” เป็นการเซ็ทให้เป็นเอาต์พุท ถ้าเป็น “0” เป็นการเซ็ทให้เป็นอินพุท (รูปที่ 10)



รูปที่ 10 PORT DIRECTION REGISTER

PORT DATA PORT

ข้อมูลที่เก็บในรีจิสเตอร์นี้จะถูกส่งไปยังบิตของพอร์ทที่กำหนด โดยเอาต์พุทมันจะเก็บข้อมูล จนกระทั่งมีการเปลี่ยนแปลงโดยCPUเมื่อบิตที่กำหนดให้เป็นเอาต์พุทอ่านเข้าสูรีจิสเตอร์นี้จะทำให้มีกระแสค่าหนึ่งไปยังพอร์ท (รูปที่ 11)



รูปที่ 11 PORT DATA PORT

การเขียน PORT DATA PORT

เมื่อบิตที่กำหนดให้เป็นอินพุท การเขียนข้อมูลลงสู่ตำแหน่งบิตที่กำหนดให้เป็นอินพุท เป็นการเปลี่ยนแปลงความสำคัญของ PORT DATA PORT จะมีผลต่อการทำงานภายนอก เมื่อตำแหน่งของบิตที่กำหนดเป็น เอาท์พุท การเขียนข้อมูลลงสู่ตำแหน่งที่กำหนดให้เป็นเอาท์พุท ข้อมูลจะถูกเก็บเข้าสู่ PORT DATA PORT การอ่าน PORT DATA PORT

ถ้าตำแหน่งบิตที่ถูกกำหนดให้เป็นอินพุท การอ่านข้อมูลสู่บิตที่เป็นอินพุทจะอ่านจากพอร์ทโดยตรง ความสำคัญของพอร์ทนี้คือไม่มีการเปลี่ยนแปลง ถ้าตำแหน่งบิตที่กำหนดให้เป็นเอาท์พุทจะอ่านข้อมูลจาก PORT DATA PORT

WATCH DOG TIMER CONTROL REGISTER (WDTMR)

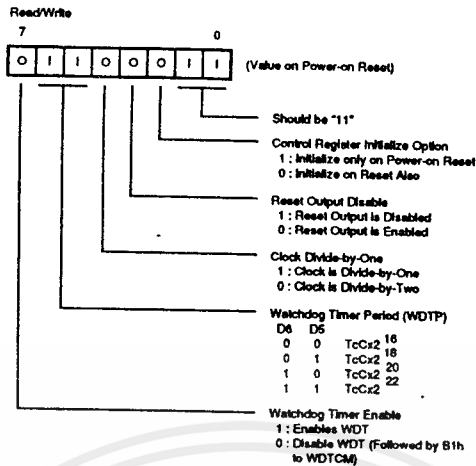
WDTMR จะถูกควบคุมโดยรีจิสเตอร์ 2 ตัว คือ WDT MASTER REGISTER (WDTMR) และ WDT COMMAND REGISTER (WDCR) ลอจิกของ WDT จะเป็นแบบ DOUBLE KEY เพื่อป้องกันการ ERROR นอกจากนี้ WDT ยังควบคุมการ POWER-DOWN ด้วย DOUBLE KEY นั้นจำเป็นต้องใช้เมื่อต้องการปิด WDT

ENABLING THE WDT โดยตั้ง WDT ENABLE, บิต D7 เป็น "1" และ WDT PERIODIC FIELD (D5,D6:WDIP) เป็นคาบเวลาที่ต้องการเหล่านั้นอยู่ใน WDT

DISABLING THE WDT โดยการเคลียร์ WDTE เป็น "0" และเขียนข้อมูล B1H ลงใน WDCR

CLEARING THE WDT โดยการเขียนข้อมูล 4EH ลงใน WDCR WDT MASTER REGISTER (WDTMR)

รีจิสเตอร์ที่ใช้ควบคุมการทำงานของ WDT และทำหน้าที่ต่างๆ ของระบบ (รูปที่ 12)



รูปที่ 12 WDT MASTER REGISTER

บิต D7 (WDT ENABLE) บิตนี้ควบคุมการแอกทีฟของ WDT โดย WDT จะ ENABLE เมื่อบิตนี้เป็น "1" และจะ DISABLE เมื่อบิตนี้เป็น "0"

บิต D6-D5 (WDT PERIODIC FIELD) สองบิตนี้เป็นตัวกำหนดความต้องการระยะเวลาโดยมีค่าดังนี้

- 00 PERIOD IS (TcC x 2¹⁶)
- 01 PERIOD IS (TcC x 2¹⁸)
- 10 PERIOD IS (TcC x 2²⁰)
- 11 PERIOD IS (TcC x 2²²)

บิต D4 (CLOCK DIVIDE-BY-ONE-OPTION) ถ้าเป็น "0" ENABLE เป็น "1" DISABLE

บิต D3 (RESET OUTPUT DISABLE) ถ้าบิตนี้เป็น "0" รีเซ็ตเอาต์พุตเป็น ENABLE ถ้าเป็น "1" รีเซ็ตเอาต์พุตเป็น DISABLE บิตนี้จะควบคุมสัญญาณ /RESET

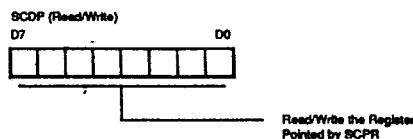
บิต D2 (CONTROL REGISTER INITIALIZE OPTION)

บิต D2 (CONTROL REGISTER INITIALIZE OPTION) ถ้าเป็น "0" INITIALIZE ON RESET ALSO ถ้าเป็น "1" INITIALIZE ONLY POWER RESET

บิต D1-D0 (RESERVDE) สองบิตนี้เป็น RESERVE และโปรแกรมให้เป็น "11"

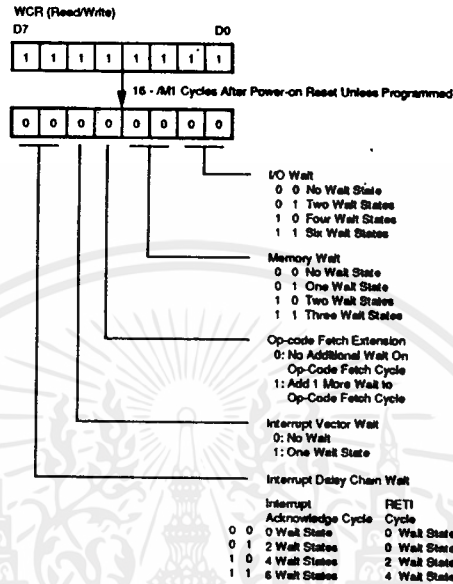
ระบบควบคุมพอร์ทข้อมูล (SYSTEM CONTROL DATA PORT)

รีจิสเตอร์นี้เป็นทางเข้า WCR และ MWBR (รูปที่ 13)



WAIT STATE CONTROL REGISTER (WCR)

รีจิสเตอร์นี้เป็นทางผ่าน SCDP ซึ่งจะชี้ค่า OOH ใน SCDP (รูปที่ 14) ซึ่งเก็บไว้ด้วยกัน Z84C11 เก็บหมายเลขสูงสุดของ WAIT STATE คือ 16/M1 CYCLE หลังจากรีเซ็ต POWER มันจะจัดลำดับความสำคัญของรีจิสเตอร์นี้



รูปที่ 14 WAIT STATE CONTROL REGISTER

บิตที่ D7-D6 (INTERRUPT DAISY CHAIN WAIT) สองบิตนี้จะระบุจำนวน WAIT STATES ตามสถานะข้างล่าง

INTERRUPT ACKNOWLEDGE	FETI CYCLE
00 NO WAIT STATES	NO WAIT STATES
01 2 WAIT STATES	NO WAIT STATES
10 4 WAIT STATES	2 WAIT STATES
11 6 WAIT STATES	4 WAIT STATES

บิต D5 (INTERRUPT VECTOR) ถ้าเป็น "0" จะไม่มี WAIT STATE ถ้าเป็น "1" มี 1 WAIT STATE

บิต D4 (OPCODE FETCH EXTENSION) ถ้าบิตนี้เป็น "1" จะบวกเพิ่มอีก 1 WAIT STATE บน OP CODE ที่เข้ามา ถ้าเป็น "0" ไม่มีการบวกเพิ่ม

บิต D3-D2 (MEMORY WAIT STATE) สองบิตนี้จะระบุจำนวน WAIT STATES ของหน่วยความจำ ดังสถานะข้างล่าง

00	NO	WAIT STATES
01	1	WAIT STATES
10	2	WAIT STATES
11	3	WAIT STATES

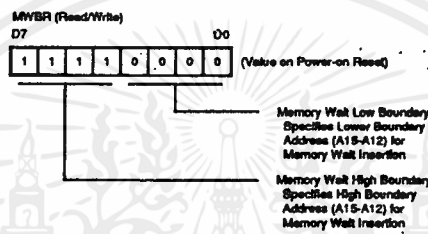
บิต D1-D0 (I/O WAIT STATE) สองบิตนี้จะระบุจำนวน WAIT STATES ของ I/O ดัง

สถานะข้างล่าง เอกสารนี้จัดทำขึ้นเพื่อสนับสนุนการดำเนินงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

00	NO	WAIT STATES
01	2	WAIT STATES
10	4	WAIT STATES
11	6	WAIT STATES

MEMORY WAIT BOUNDARY REGISTER (MWBR)

รีจิสเตอร์นี้จะกำหนด ADDRESS ให้แก่ MEMORY WAIT STATE เมื่อ ADDRESS ของหน่วยความจำอยู่ในช่วงดังกล่าว แหล่งกำเนิด WAIT STATE จะใส่ค่า WAIT นี้ลงในหน่วยความจำ (รูปที่ 15) รีจิสเตอร์นี้จะควบคุมเฉพาะสำหรับการอ่านหรือเขียน และการเฟรช OP CODE



รูปที่ 15 MEMORY WAIT BOUNDARY REGISTER

โหมดการทำงาน

โหมดการทำงานมี 4 โหมด เพื่อเชื่อมต่อ PIC กับแหล่งกำเนิด CLOCK ทั้ง 4 โหมด คือ RUN MODE, IDLE MODE1, IDLE MODE 2 และ STOP MODE

การทำงานของแต่ละโหมดจะมีผลเมื่อหยุดคำสั่งภายใน MPU เริ่มทำงานใหม่จากที่หยุดภายใต้ IDLE MODE 1,2 หรือ STOP MODE โดยรีเซ็ตอินพุท หรือการขออินเตอร์รัพท์ (NMI, INI) การเลือกโหมดนี้กำลังงานจะต่ำลง และสามารถเลือกโหมดได้โดยขา MS และ MS2

RUN MODE (MS1 = 1, MS2 = 1) การทำงานของ PIC จะต่อเนื่องกัน เมื่อ CLK เป็นเอาต์พุทแหล่งจ่าย CLOCK สู่ภายนอกอย่างต่อเนื่อง

IDLE MODE1 (MS1 = 0, MS2 = 0) การทำงานจะมีการออสซิลเลทภายในต่อเนื่องและการจ่าย CLOCK ถึงภายนอกต่อเนื่อง CLOCK เอาท์พุท (CLK) จะหยุดที่ระดับ "0" โหมดนี้ไม่สามารถรองรับ Z84C11 เมื่อใช้ CLOCK จากภายนอกไปที่ขา CLK

IDLE MODE2 (MS1 = 0, MS2 = 1) การออสซิลเลทภายในและการทำงานของ CTC ต่อเนื่อง เมื่อขา CLK ถูกเลือกให้เป็นเอาต์พุทจ่าย CLOCK สู่ภายนอกอย่างต่อเนื่อง แต่ CLOCK ภายในที่ให้ CPU และ WDT และหยุดที่ระดับ "0" ของ T4 STATE การทำงานโหมดนี้จะเกิดขึ้นทันทีหลังจากคำสั่งที่ทำอยู่ โหมดนี้สามารถนำ CLOCK จากภายนอกมาต่อที่ขา CLK ได้

STOP MODE (MS1 = 1, MS2 = 0) การทำงานต่างๆ ได้แก่ การออสซิลเลทภายใน, CLOCK OUTPUT (CLK), CLOCK ภายใน และ WDT จะหยุดที่ระดับ T4 STATE เป็น "0" การหยุดการทำงานนี้จะเกิดขึ้นทันทีหลังจากสิ้นสุดคำสั่งทำอยู่

ตารางที่ 2 DEVICE STATUS IN HALT STATE

MODE	CGC	CPU	CTE	WDT	CLK
IDEL1	O	X	X	X	X
IDEL2	O	X	O	X	O
STOP	X	X	X	X	X
RUN	O	O	O	O	O

หมายเหตุ

O = การทำงาน

X = หยุดการทำงาน

2.2 DTMF Decoder

โทรศัพท์ชนิดกดปุ่มแบบ DTMF ประกอบด้วยปุ่มกดจำนวน 12 ปุ่ม มีการทำงานเป็นแบบ Dual Multi Frequency ปุ่มกดจะแบ่งเป็น Row 4 แถว Column 4 แถว ประกอบกันเป็นรูป Matrix ในแต่ละ Row และ Column จะมีค่าความถี่ประจำตำแหน่งอยู่ ดังรูปที่ 1

			C1	C2	C3
			1209Hz	1336Hz	1447Hz
1	2	3	1	2	3
			697Hz		
4	5	6	4	5	6
			770Hz		
7	8	9	7	8	9
			852Hz		
*	0	#	*	0	#
			941Hz		

รูปที่ 1 ค่าความถี่ประจำหมายเลข ในระบบโทรศัพท์

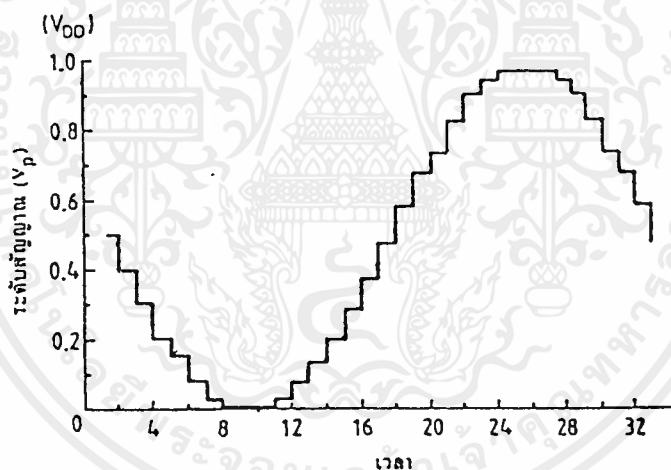
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้ใดเห็นหน้าไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงาน เมื่อกดปุ่มหมายเลขใดหมายเลขหนึ่ง จะประกอบไปด้วย Tone เสียง 2 ความถี่ด้วยกันคือ ความถี่สูงและความถี่ต่ำ ซึ่งแต่ละหมายเลขจะให้ค่าความถี่คู่ต่างกัน จากปุ่มกดจะพบว่าหมายเลข 1, 4, 7 และ * อยู่ใน Column ที่ 1 โดยหมายเลข 1, 2, 3 อยู่ใน Row ที่ 1 ตัวเลขแต่ละตัวเป็นการพบกันของความถี่ทาง Row (ความถี่ต่ำ) กับความถี่ทาง Column (ความถี่สูง) ยกตัวอย่างเช่นเมื่อกดปุ่มเลข “5” จะอยู่ใน Column ของ 1336 Hz และ Row 770 Hz ดังนั้นหากกดปุ่มเลข “5” จะผลิตสัญญาณ Output 2 ความถี่ออกมา ซึ่งเรียกว่า DTMF

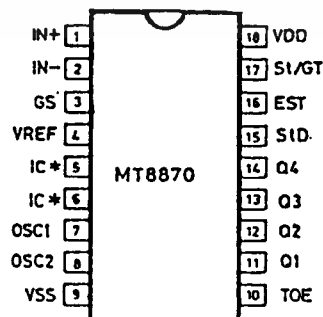
ดังนั้น ในการสร้างวงจรถอดรหัส DTMF ก็โดยการสร้างวงจรเพื่อถอดรหัสค่าความถี่เหล่านั้นนั่นเอง ในปัจจุบันได้มีอุปกรณ์ที่ทำหน้าที่นี้โดยเฉพาะ คือเป็น IC เบอร์ MT8870 ของบริษัท INTEL ซึ่งจะทำหน้าที่รับสัญญาณ DTMF มาแปลงให้เป็นค่าตัวเลขฐานสองขนาด 4 บิต ดังนั้นในโครงการนี้จึงได้เลือกใช้ IC เบอร์นี้ มาทำเป็นวงจรถอดรหัส DTMF

2.2.1 MT8870 DTMF Decoder

IC เบอร์ MT8870 นี้ จะทำหน้าที่รับสัญญาณ DTMF ซึ่งเป็นสัญญาณ Analog 2 ความถี่ ได้อย่างดีถึงแม้ว่าสัญญาณที่ได้จากการกดปุ่มของโทรศัพท์แบบทัชโทนจะมีลักษณะไม่เป็นคลื่น Sine ที่แท้จริง ดังรูปที่ 2 IC เบอร์นี้ก็ยังสามารถยอมรับและถอดรหัสออกมาได้



รูปที่ 2 ลักษณะสัญญาณ DTMF ที่ได้จากโทรศัพท์



* ต่อกับ VSS

MT8870BE 18 PIN PLASTIC
MT8870RC 18 PIN CERDIP

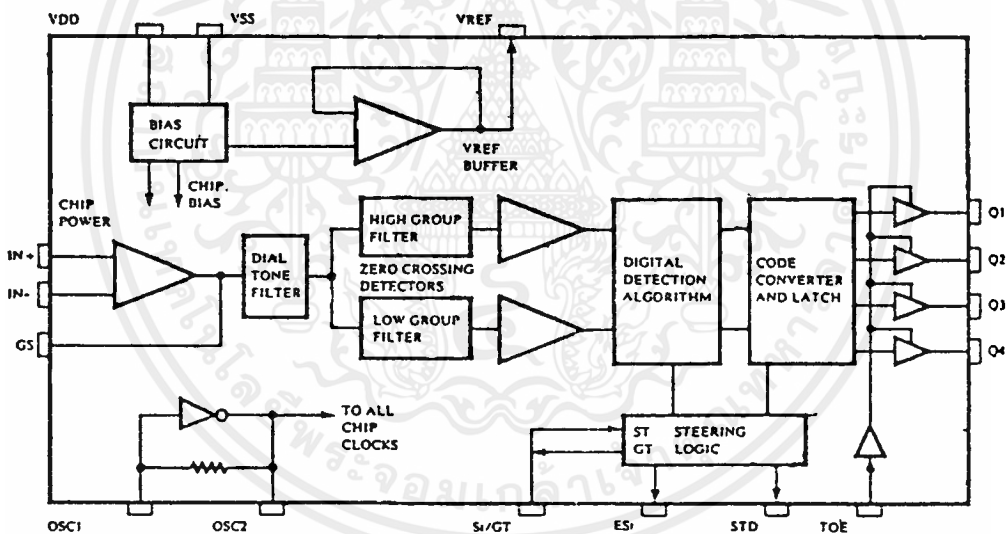
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ รูปที่ 3 แสดงรายละเอียดขาของ MT8870 ญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 คุณสมบัติของ MT8870

- เป็นตัวรับและถอดรหัสความถี่ DTMF
- กินไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกับ TTL
- สามารถตั้งอัตราขยายภายในตัวไอซีได้
- สามารถปรับกรด์ไทม์ (Guard time) ได้
- เป็นไอซีคุณภาพสูง

2.2.3 โครงสร้างภายในของ MT8870

MT8870 ประกอบไปด้วยวงจรกรองความถี่ และวงจรถอดรหัสฟังก์ชันทางดิจิทัล ในส่วนของวงจรกรองความถี่ใช้เทคนิคของสวิทช์ Capacitor Filter สำหรับกรองความถี่สูงและต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิทัล เพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ ออกเป็นเลขฐานสองขนาด 4 บิต และตรวจสอบช่วงเวลาที่สำคัญเข้ามา ส่วนภาคอินพุทเป็นออปแอมป์ที่สามารถปรับอัตราขยายได้ โดยต่ออุปกรณ์ภายนอกเอาท์พุทเป็นวงจรแลทช์ 3 สถานะ



รูปที่ 4 โครงสร้างภายในของ MT8870

2.2.4 ฟังก์ชันการทำงานภายใน

ภายใน MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วนคือ

1. ภาคกรองความถี่ (Filter section) ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่คือช่วงความถี่สูงและช่วงความถี่ต่ำ โดยใช้วงจรกรองแถบความถี่อันดับ 6 ชนิดสวิทช์คาปาซิเตอร์ (six-order switched capacitor band pass filter) ซึ่งความถี่ที่แยกได้มี 2 ช่วงคือช่วงความถี่สูงและช่วงความถี่ต่ำ

2. ภาคถอดรหัส (Decoder section)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

F_{LOW}	F_{HIGH}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1447	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1447	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1447	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1447	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

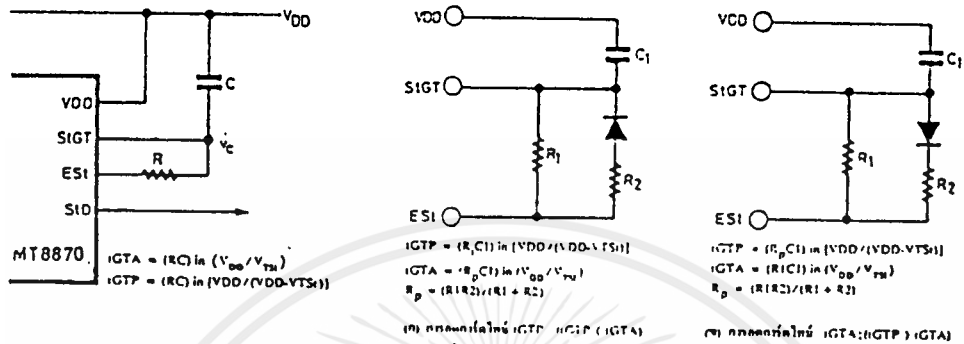
รูปที่ 5 แสดงค่าที่ถอดรหัสได้จากความถี่ต่างๆ

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้ว จะผ่านเข้าวงจรถอดรหัสความถี่ออกเป็นตัวเลข โดยใช้เทคนิคการนับแบบดิจิตอล และมีการตรวจสอบความถี่ที่เข้ามาว่า เป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบว่าความถี่นั้นถูกต้อง สัญญาณที่ขา EST (early steering) ก็ จะแอกทิฟ สำหรับค่าที่ถอดรหัสได้จากความถี่ต่างๆ นั้น แสดงในรูปที่ 5

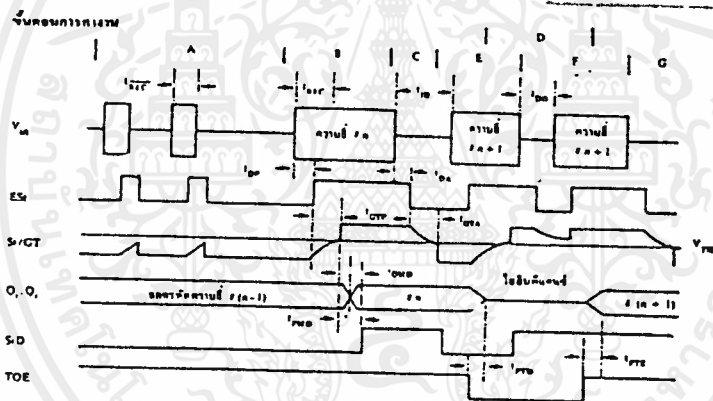
3. ภาคตรวจสอบสัญญาณ (Steering circuit) ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่ เอาท์พุท จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลา การกดปุ่มโทรศัพท์ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลายาวเท่าใดสามารถตั้งได้โดยใช้ RC ต่อภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนักผู้ใดเห็นไปใช้ประโยชน์ในการค้า ไม่ว่ากรรมใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ขา ESt จะเป็น “high” นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามา จากรูปที่ 6 เมื่อขา ES1 เป็น “high” ทำให้ Vc สูงขึ้น ตัวเก็บประจุ C จะคายประจุ ทำให้แรงดัน Vc สูงขึ้นจนถึงค่าเทรชโฮลต์ วงจรถอดรหัสจึงจะถอดรหัสออกเป็นตัวเลขขนาด 4 บิต รายละเอียดการทำงานสามารถดูได้จาก Timing diagram ในรูปที่ 7



รูปที่ 6 แสดงวงจรตรวจสอบสัญญาณ และการกำหนดเวลาการตีพิมพ์



รูปที่ 7 แสดงแผนภูมิเวลา (timing diagram) ของ MT8870

อธิบายขั้นตอนการทำงาน

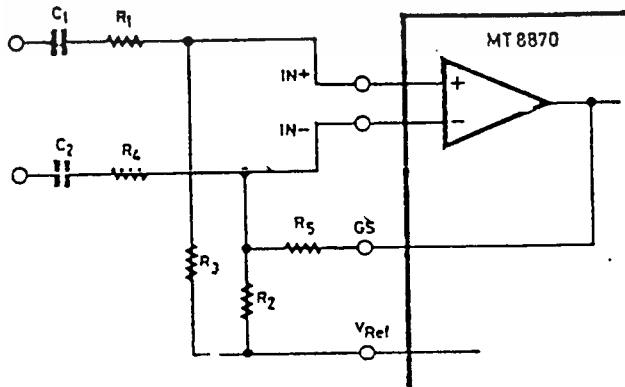
- A - ตรวจพบความถี่เข้ามา แต่คาบเวลาไม่ถูกต้อง เอาท์พุทไม่เปลี่ยน
- B - ความถี่ #n ถูกตรวจพบและมีคาบเวลาที่ถูกต้อง ความถี่ถูกถอดรหัสและแลทซ์ไว้ที่เอาท์พุท
- C - จบความถี่ #n ช่วงห่างถูกต้อง เอาท์พุทยังคงแลทซ์อยู่จนกว่าจะได้รับความถี่ที่ถูกต้องใหม่
- D - เอาท์พุทเปลี่ยนเป็นโฮอิมพีแดนซ์
- E - ความถี่ #n+1 ถูกตรวจพบ คาบเวลาถูกต้อง ความถี่ถูกถอดรหัสและแลทซ์ไว้
- F - ความถี่ #n+1 หายไป ช่วงห่างไม่ถูกต้องเอาท์พุทยังคงแลทซ์อยู่
- G - จบความถี่ #n+1 ช่วงห่างถูกต้องเอาท์พุทยังคงแลทซ์อยู่จนถึงความถี่ใหม่ที่ถูกต้อง

สัญลักษณ์

- V_{in} - สัญญาณความถี่ DTMF ที่เข้ามา
- ES_t - Early steering output ใช้แสดงความถี่ที่ถูกต้อง
- St/GT - Steering input/Guard time output สำหรับต่อกับ RC ภายนอก
- Q₁-Q₄ - เอาท์พุท BCD ขนาด 4 บิต
- StD - Delayed Steering output ใช้แสดงค่าความถี่ที่ได้รับหรือหายไป มีคาบเวลาตามที่กำหนด เพื่อแสดงความถูกต้องของสัญญาณ
- TOE - Tone output enable (input) ใช้ควบคุม Q₁-Q₄ ให้เป็นไฮอิมพีแดนซ์
- tREC - คาบเวลานานที่สุด ที่ตรวจพบความถี่ DTMF แล้วยังไม่ถูกต้อง
- tREC - คาบเวลาสั้นสุดที่ต้องการเพื่อแสดงว่าสัญญาณถูกต้อง
- tID - เวลาสั้นสุดระหว่างสัญญาณ DTMF ที่ถูกต้อง 2 สัญญาณ
- tDO - เวลานานสุด ที่ยอมให้สัญญาณหายไปได้ ในคาบเวลาความถี่ที่ถูกต้อง
- tDP - เวลาที่ใช้ในการตรวจพบสัญญาณความถี่ DTMF ที่ถูกต้อง
- tDA - เวลาที่ใช้ในการตรวจการหายไป ของสัญญาณความถี่ DTMF ที่ถูกต้อง
- tGTP - การ์ดไทม์ของการปรากฏความถี่ DTMF
- tGTA - การ์ดไทม์ของการหายไปของความถี่ DTMF

สำหรับค่าการ์ดไทม์ (Guard time) นั้นหมายถึง ช่วงคาบเวลาของความถี่ที่เข้ามา ซึ่งจะต้องนานเท่ากับหรือมากกว่าช่วงเวลาที่เราตั้งไว้ จึงจะได้รับการยอมรับว่า สัญญาณความถี่นั้นถูกต้อง หรือพูดได้ว่าเวลาที่เรากำหนดไว้โดย RC ก็คือ การ์ดไทม์นั่นเอง เมื่อสัญญาณความถี่เข้ามานานเท่าหรือมากกว่าเวลาที่กำหนดไว้ จึงจะสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่เข้ามาสั้นกว่าก็จะเป็นการถอดรหัสเป็นตัวเลขออกไป การตั้งเวลาและคำนวณเวลาดูได้จากรูปที่ 8

4. ภาคขยายสัญญาณความแตกต่าง (Differential Input) วงจรส่วนอินพุทของ MT8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยาย โดยต่อวงจรภายนอกเพิ่มเข้าไปดังรูปที่ 8 ซึ่งสามารถคำนวณอัตราขยายความแตกต่างของอินพุทและอิมพีแดนซ์ได้ดังนี้



ภาคขยายความแตกต่างค่านอินพุท

$C_1 = C_2 = 10 \text{ nF}$
 $R_1 = R_4 = R_5 = 100 \text{ K}\Omega$ ค่าผิดพลาด $\pm 1\%$
 $R_2 = 60 \text{ K}\Omega, R_3 = 37.5 \text{ K}\Omega$ ค่าผิดพลาด $\pm 5\%$

$$R_3 = \frac{R_1 R_4}{R_1 + R_4}$$

 อัตราขยายแรงดัน ($A_v \text{ dif}$) = $-\frac{R_5}{R_1}$
 อินพุทอิมพีแดนซ์

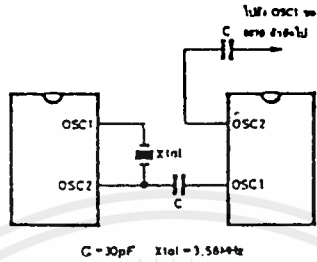
$$(Z_{in diff}) = 2 \sqrt{R_1^2 + \left(\frac{1}{\omega C}\right)^2}$$

รูปที่ 8 แสดงการต่อวงจรภายนอกขยายสัญญาณความแตกต่าง

อัตราขยาย ($A_v \text{ diff}$) = R_2/R_1

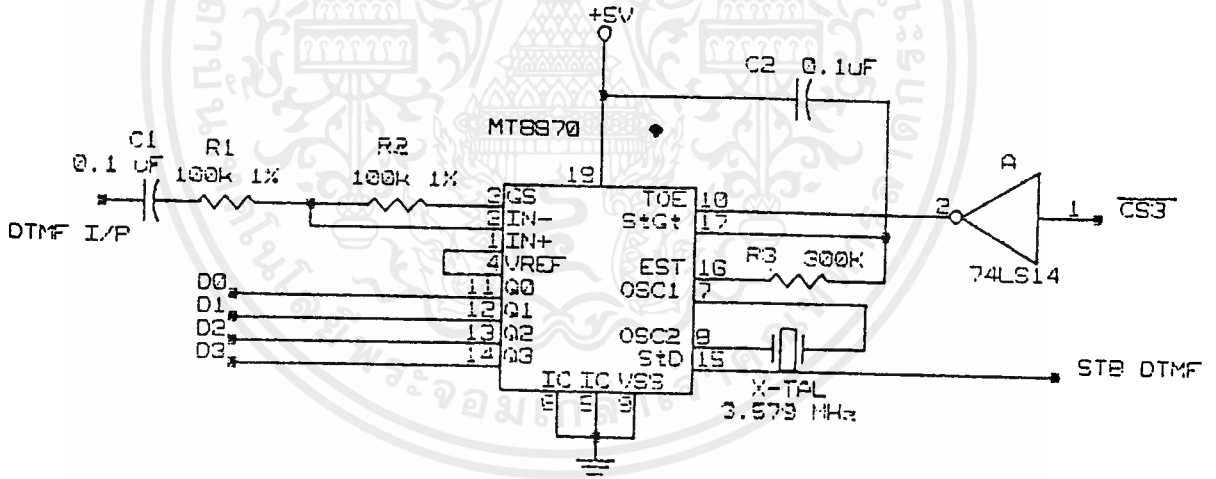
อินพุทอิมพีแดนซ์ ($Z_{in \text{ diff}}$) = $2 R_1^2 + (1/wc)^2$

5. ภาคกำเนิดความถี่ (Oscillator) ในภาคนี้ภายในไอซีมีวงจรเวลาอยู่ภายใน เพียงแต่ต่อ X-TAL ขนาด 3.58 MHz ก็สามารถใช้งานได้ทันที ลักษณะการต่อวงจรดังแสดงในรูปที่ 9



รูปที่ 9 แสดงการต่อวงจรผลิตความถี่

2.2.5 วงจรใช้งาน



รูปที่ 10 แสดงวงจรใช้งานของ MT8870

จากคุณสมบัติและโครงสร้างของ MT8870 ที่กล่าวมา จึงได้นำมาประกอบเป็นวงจรดังรูปที่ 10 ซึ่งจะมีการทำงานดังนี้

สัญญาณความถี่ DTMF จะเข้ามาทางขา non-inverting input (ขา 2) โดยผ่าน C_1 เป็นตัว coupling สัญญาณและจะมี R_1, R_2 เป็นตัวปรับอัตราขยายให้เหมาะสม ส่วน R_3, C_2 จะเป็นตัวกำหนดการดีทอมป์เอาท์พุท ในที่นี้ใช้ค่า $R_3 = 300 \text{ kohm}$, $C_2 = 0.1 \text{ uF}$ ซึ่งจะได้ค่าการดีทอมป์ประมาณ 20 ms

ในขณะที่ MT8870 ทำการ Decode สัญญาณ DTME ออกมานั้น มันจะส่งสัญญาณ STD ออกมาที่ขา 15 เพื่อไปบอกให้ CPU รู้ว่าขณะนี้ มี DATA ที่จะส่งให้ CPU แล้ว เมื่อ CPU รู้ก็จะส่งสัญญาณ CS3 มาเข้าที่ขา

TOE ของ MT8870 เพื่อเป็น output enable ให้กับ MT8870 ที่ขา TOE นี้หากได้รับ logic “0” จะทำให้ Q_1 - Q_4 มีสถานะเป็น high impedance ฉะนั้นหาก CPU รับรู้ว่ามี การ Decode สัญญาณ DTMF และต้องการ DATA ก็จะต้องส่ง CS₃ มาให้ สัญญาณที่ได้จากการ Decode จะออกมาเป็นรหัสเลขฐานสอง โดยเป็น Data D₀-D₃ ให้กับ CPU เพื่อให้ CPU นำไปประมวลผลต่อไป

จากวงจรและการทำงานที่กล่าวมานี้เมื่อนำมาประกอบวงจรทดลองเพื่อเลือกค่าอุปกรณ์ RC ที่เหมาะสม ปรากฏว่าค่าของ R₃ และ C₂ นั้นมีความสำคัญมาก เพราะจะเป็นการกำหนดช่วงเวลาของสัญญาณ DTMF ที่จะยอมรับ ซึ่งค่า C₂ นั้นทางบริษัทที่ผลิตไอซีเบอร์นี้ได้แนะนำให้ใช้ค่า 0.1 uF แล้วเลือกค่า R₃ ตามต้องการ ซึ่งค่า 300 kohm นั้นเป็นค่าที่เหมาะสมที่สุด สำหรับการใช้งานโทรศัพท์ของคนทั่วไปที่จะกดปุ่มโทรศัพท์และทำให้ ไอซี MT8870 รับรหัสตัวเลขได้ทุกตัวและถูกต้อง

2.3 วงจรโมโนสเตเบิล

วงจรดิจิทัลที่ใช้งานกันอยู่ทั่วไปจะถูกออกแบบให้ทำงานตามจังหวะเวลาเพื่อให้การทำงานนั้นถูกต้อง ดังนั้นเรื่องทีกล่าวต่อไปนี้จึงเป็นส่วนกำเนิดสัญญาณเพื่อป้อนให้วงจรดิจิทัลทำงานตามจังหวะเวลาที่เราเรียกกันว่า “วงจรโมโนสเตเบิล”

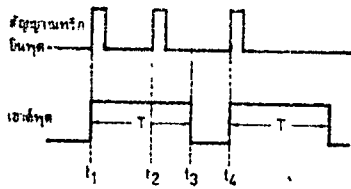
โมโนสเตเบิลคือยีนต์เดี่ยว

วงจรโมโนสเตเบิล มัลติไวเบเรเตอร์ (monostable multivibrator) หรือบางครั้งอาจเรียกว่าวงจร “one-shot” เป็นวงจรที่สามารถนำไปใช้งานได้หลายประเภท ยกตัวอย่างเช่น ใช้เป็นวงจรช่วยกำจัดสัญญาณรบกวนในระบบสัญญาณดิจิทัล หรือเป็นวงจรสร้างสัญญาณพัลส์ที่มีความกว้างตามต้องการ หรือเป็นวงจรตั้งเวลาต่างๆ และอื่นๆ อีกมาก

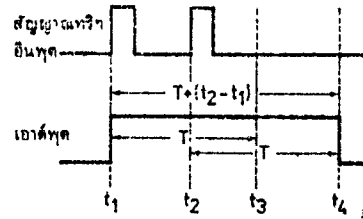
คำว่า “โมโนสเตเบิล” นั้นหมายถึงว่า วงจรนั้นจะมีสถานะของเอาต์พุตเพียงเท่านั้นที่เสถียรอยู่ได้ ซึ่งอาจจะมีสถานะลอจิกเป็น “สูง” หรือ “ต่ำ” แล้วแต่การออกแบบวงจร การทำงานของวงจรโมโนสเตเบิลนั้น โดยปกติแล้วเอาต์พุตจะอยู่ที่สถานะที่เสถียรนั่นเอง แต่เมื่อมีสัญญาณพัลส์เข้ามากระตุ้นทางอินพุต จะทำให้เอาต์พุตมีการเปลี่ยนแปลงสถานะเป็นตรงข้าม ซึ่งจะคงสถานะนั้นอยู่ในช่วงเวลาหนึ่งที่สามารถกำหนดได้จากการออกแบบวงจร แล้วจึงเปลี่ยนกลับมาสถานะเดิมที่เสถียรอีกครั้งหนึ่ง

วงจรโมโนสเตเบิลแบ่งออกเป็น 2 แบบใหญ่ๆ คือ แบบรับการกระตุ้นซ้ำ (retriggerable) และแบบไม่รับการกระตุ้นซ้ำ (non-retriggerable) ซึ่งทั้งสองแบบมีหลักการการทำงานคล้ายกัน แต่ต่างกันที่การรับการกระตุ้นของอินพุตซ้ำหรือไม่ โดยจะกล่าวถึงหลักการการทำงานและประโยชน์ในการใช้งานภายหลัง

ในรูปที่ 1 และ 2 แสดงถึงจังหวะการทำงานของวงจรโมโนสเตเบิลทั้งสองแบบ ซึ่งจะให้เห็นข้อแตกต่างระหว่างกันได้ชัดเจน โดยในรูปที่ 1 เป็นแบบไม่รับการกระตุ้นซ้ำ สถานะเดิมของเอาต์พุตจะเป็นลอจิก “ต่ำ” เมื่อมีพัลส์มากระตุ้นทางอินพุตที่เวลา t_1 เอาต์พุตจะเปลี่ยนสถานะจากเดิมในทันทีเป็นลอจิก “สูง” และจะคงสถานะเช่นนั้นอยู่ในช่วงเวลา T ที่สามารถกำหนดได้จากวงจร เมื่อพ้นช่วงเวลา T ไปแล้ว เอาต์พุตก็จะกลับมาสู่สถานะเดิมและจะคงอยู่เช่นนั้นต่อไปจนกระทั่งมีพัลส์มากระตุ้นทางอินพุตครั้งต่อไป (เมื่อเวลา t_2)



รูปที่ 1 จังหวะการทำงานของวงจรมอนอสเตเบิลแบบไม่รับการกระตุ้นซ้ำ



รูปที่ 2 จังหวะการทำงานของวงจรมอนอสเตเบิลแบบรับการกระตุ้นซ้ำ

คุณสมบัติที่สำคัญของมอนอสเตเบิลแบบไม่รับการกระตุ้นซ้ำนี้ ถ้าจะดูจากรูปที่ 1 จะเห็นได้ว่าที่จังหวะเวลา t_2 มีพัลส์มากระตุ้นทางอินพุตครั้งที่สอง แต่ในขณะนั้นเอาต์พุตยังอยู่ในสถานะลอจิก “สูง” อยู่ เนื่องจากยังไม่ครบช่วงเวลา T ผลของการกระตุ้นในครั้งที่สองนี้ จะไม่มีผลอย่างใดกับวงจรทั้งสิ้น แต่เมื่อพ้นช่วงเวลา T ไปแล้ว หากมีพัลส์เข้ามาอีกก็จะรับการกระตุ้นนั้น เช่น ที่เวลา t_4 นั้นก็หมายความว่าการทำงานของมอนอสเตเบิลแบบนี้จะไม่ยอมรับการกระตุ้นซ้ำ ถ้าหากการทำงานของวงจรมอนอสเตเบิลเนื่องจากการกระตุ้นครั้งแรกยังไม่สิ้นสุดลง

การใช้งานอย่างหนึ่งของมอนอสเตเบิลแบบนี้ก็คือ การแก้ปัญหาของการเกิด “สภาวะกระโดด” (bounce) ของสวิตช์ เนื่องจากว่าสวิตช์เชิงกลทั่วไปไป (สวิตช์กดหรือโยก) จะมีปัญหาของการสัมผัสของหน้าสัมผัสของสวิตช์ ซึ่งในความรู้สึกทั่วๆ ไปจะคิดว่าการกดหรือโยกสวิตช์ครั้งหนึ่งก็มักจะทำให้หน้าสัมผัสของสวิตช์เกิดการสัมผัสกันเพียงครั้งเดียว แต่ถ้าจะมองให้ถี่กลงไปแล้ว ปรากฏว่าก่อนที่จะหน้าสัมผัสจะสัมผัสกันสนิทนั้น จะเกิดการกระโดดของหน้าสัมผัสครั้งหรือสองครั้งหรือหลายๆ ครั้ง เกิดขึ้นเสมอ สิ่งนี้ถูกเรียกว่าสภาวะกระโดดของสวิตช์นั่นเอง สภาวะนี้จะคงอยู่ในช่วงเวลาประมาณ 2-5 มิลลิวินาที ซึ่งถ้านำสวิตช์นี้ไปใช้งานธรรมดา เช่น เปิด/ปิดหลอดไฟหรือเครื่องไฟฟ้า ก็จะไม่เกิดปัญหาขึ้น แต่ถ้าใช้สวิตช์นี้ในการควบคุมหรือกำหนดสัญญาณให้แก่วงจรดิจิทัลแล้วเช่น คีย์บอร์ดของคอมพิวเตอร์จะเกิดปัญหานั้นทันที เนื่องจากพัลส์ของการกระโดดของสวิตช์นั่นเอง ทำให้แทนที่จะเกิดพัลส์เพียงลูกเดียว กลับเกิดพัลส์ถึง 2-3 ลูก ซึ่งจะทำให้การทำงานของระบบผิดพลาดไป

วิธีการแก้ปัญหาดังกล่าวสามารถทำได้โดยการใช้วงจรมอนอสเตเบิลแบบไม่รับการกระตุ้นซ้ำที่ออกแบบให้ช่วงเวลา T มีค่ามากกว่า 5 มิลลิวินาที มาต่ออนุกรมเข้ากับสวิตช์ ดังนั้นเอาต์พุตของมอนอสเตเบิลจะเป็นลอจิก “สูง” เมื่อเกิดการกระโดดของสวิตช์ครั้งแรกและจะคงค้างสภาวะอยู่เช่นนั้นจนครบเวลา T ซึ่งสภาวะการกระโดดของสวิตช์ได้สิ้นสุดลงแล้ว จึงทำให้ได้พัลส์เพียงลูกเดียวตามต้องการ ซึ่งจากวิธีการนี้สามารถดัดแปลงนำไปใช้ในการจำกัดสัญญาณรบกวนในระบบสัญญาณดิจิทัลได้

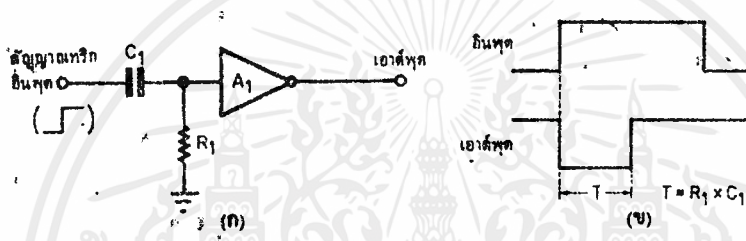
จังหวะการทำงานของวงจรมอนอสเตเบิลแบบรับการกระตุ้นซ้ำได้แสดงไว้ในรูปที่ 2 ก็เช่นเดียวกับแบบแรก ช่วงเวลาที่มอนอสเตเบิลคงสภาวะที่ไม่เสถียรอยู่นั้นเป็นช่วงเวลา T ซึ่งได้รับการกระตุ้นจากพัลส์ที่เวลา t_1 โดยปกติแล้วเอาต์พุตนี้จะเปลี่ยนสภาวะกลับมาเช่นเดิม เมื่อพ้นช่วงเวลา T นี้ไปแล้วคือที่เวลา t_3 แต่เมื่อเวลา t_2 ก็มีพัลส์ลูกที่ 2 เข้ามากระตุ้นอีกครั้งหนึ่ง ซึ่งจะเป็นการเริ่มต้นการทำงานครั้งใหม่ จึงเริ่มนับช่วงเวลา T ใหม่อีกครั้งหนึ่ง ดังนั้นช่วงเวลาทั้งหมดที่มอนอสเตเบิลค้างสภาวะอยู่อย่างนั้นจะเป็นช่วงเวลา $T + (t_2 - t_1)$ นั่นเอง

การประยุกต์ใช้งานอย่างหนึ่งของวงจรมอนอสเตเบิลแบบนี้ ได้แก่ระบบเตือนภัยของการทำงานผิดปกติของระบบที่ทำงานเป็นช่วงเวลาๆ ที่ต่อเนื่องกันตัวอย่างเช่นระบบเตือนภัยของการตรวจสอบการหายใจของคนไข้ในโรงพยาบาล ซึ่งการหายใจแต่ละครั้งจะให้พัลส์ไปกระตุ้นการทำงานของมอนอสเตเบิลแบบรับการกระตุ้นซ้ำนี้ ที่ออกแบบให้

ช่วงเวลา T มากกว่าจังหวะของการหายใจของคนปกติ หากคนไข้มีการหายใจจังหวะปกติจะทำให้เอาต์พุตของโมโนสเตเบิลคงสภาพเป็นลอจิก “สูง” ไปตลอด แต่ถ้าหากคนไข้มีการหายใจช้าลงกว่าปกติ โมโนสเตเบิลจะเปลี่ยนสภาวะมาเป็นลอจิก “ต่ำ” ซึ่งจะทำให้เกิดเสียงสัญญาณเตือนให้พยาบาลทราบได้ในทันที

ตัวอย่างวงจรโมโนสเตเบิล

จะขอยกตัวอย่างวงจรโมโนสเตเบิลที่นิยมใช้กันบางวงจร เช่น ในรูปที่ 3 แสดงถึงวงจรที่เรียกว่า ฮาล์ฟ-โมโนสเตเบิล (half-monostable หรือเรียกว่า quasi-monostable) โดยที่ A_1 เป็นอินเวอร์เตอร์แบบ CMOS (หรืออาจใช้เกตแบบอื่นๆ มาสร้างเป็นอินเวอร์เตอร์ได้เช่นกัน) เมื่อสัญญาณทริกหรือสัญญาณกระตุ้นที่เป็นลอจิก “สูง” เข้ามาจะทำให้เอาต์พุต ซึ่งเดิมเป็นลอจิก “สูง” เปลี่ยนเป็นลอจิก “ต่ำ” ในทันที และจะคงสภาวะอยู่เช่นนั้นจนครบช่วงเวลาที่กำหนดไว้ด้วยค่าของ R_1 และ C_1 ซึ่งมีค่าประมาณ $T = R_1 \times C_1$

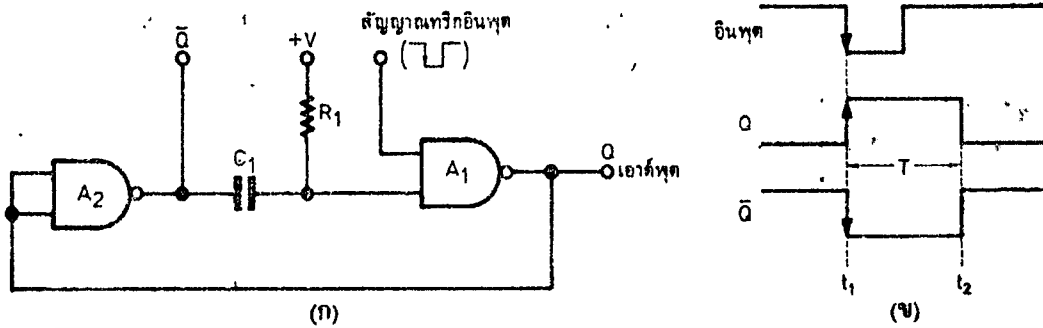


รูปที่ 3 วงจรฮาล์ฟ-โมโนสเตเบิลที่ใช้อินเวอร์เตอร์และจังหวะการทำงาน

แต่สิ่งที่สำคัญที่สุดจะทำให้วงจรนี้ทำงานได้ถูกต้องนั้นคือ สัญญาณทริกที่เข้ามานั้นจะต้องมีความกว้างของพัลส์มากกว่าช่วงเวลาที่กำหนดไว้โดย R_1 และ C_1 เนื่องจากสัญญาณทริกเป็นตัวอัดประจุให้กับ C_1 ด้วยอัตราความเร็วที่กำหนดด้วยค่ากระแสที่ผ่าน R_1 ดังนั้นวงจรนี้จะทำงานได้ถูกต้องก็ต่อเมื่อ C_1 ถูกอัดประจุจนทำให้แรงดันคร่อม R_1 มีค่าเป็นลอจิก “ต่ำ” ของอินเวอร์เตอร์เหตุนี้เองจึงเรียกวงจรนี้ว่า “ฮาล์ฟ-โมโนสเตเบิล” ที่รับการทริกด้วยขอบขาขึ้น (positive-edge triggering) ในทางกลับกันเราสามารถดัดแปลงวงจรนี้ให้รับการทริกด้วยขอบขาลง (negative-edge triggering) ได้เช่นกัน โดยการเปลี่ยนแปลงวงจรให้ R_1 ไปต่อกับ $+V$ แทนที่จะเป็นกราวด์ แต่เอาต์พุตที่ได้จะกลับกันคือ ขณะปกติจะเป็นลอจิก “ต่ำ” แต่เมื่อมีสัญญาณทริกมากระตุ้น จะเปลี่ยนเป็นลอจิก “สูง”

วงจรในรูปที่ 4 เป็นวงจรโมโนสเตเบิลที่ใช้ NAND-เกต 2 ตัว ซึ่งจะรับอินพุตที่ขอบขาลงของสัญญาณทริก โดยที่ A_1 เป็น NAND-เกตที่รับอินพุตในสภาวะปกติขาอินพุตข้างหนึ่งของ A_1 ที่ติดอยู่กับ R_1 และ C_1 จะมีสถานะเป็นลอจิก “สูง” และขาอินพุตอีกข้างหนึ่งเป็นลอจิก “สูง” เช่นกัน (ยังไม่มีสัญญาณทริก) ดังนั้นเอาต์พุตของ A_1 จะเป็นลอจิก “ต่ำ” ซึ่งมีผลทำให้เอาต์พุตของ A_2 เป็นลอจิก “สูง” ทำให้ C_1 อยู่ในสภาวะคายประจุออก และจะคงสภาพเช่นนี้อยู่จนเมื่อมีสัญญาณทริกเข้ามาจะทำให้เอาต์พุตของ A_1 เปลี่ยนเป็นลอจิก “สูง” ในทันที ซึ่งมีผลทำให้เอาต์พุตของ A_2 เปลี่ยนเป็นลอจิก “ต่ำ” C_1 จะถูกอัดประจุด้วยกระแสที่ไหลผ่าน R_1 ในขณะนั้นก็จะทำให้ขาอินพุตของ A_1 ที่ติดต่อกับ C_1 และ R_1 นั้นเปลี่ยนเป็นลอจิก “ต่ำ” ด้วยในทันทีจึงทำให้เอาต์พุตของ A_1 คงสภาพเป็นลอจิก “สูง” อยู่เช่นกัน จนกระทั่งแรงดันตกคร่อม C_1 มีค่าเป็นลอจิก “สูง” ซึ่งจะเป็นตามช่วงเวลา $T = R_1 \times C_1$ นั้นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

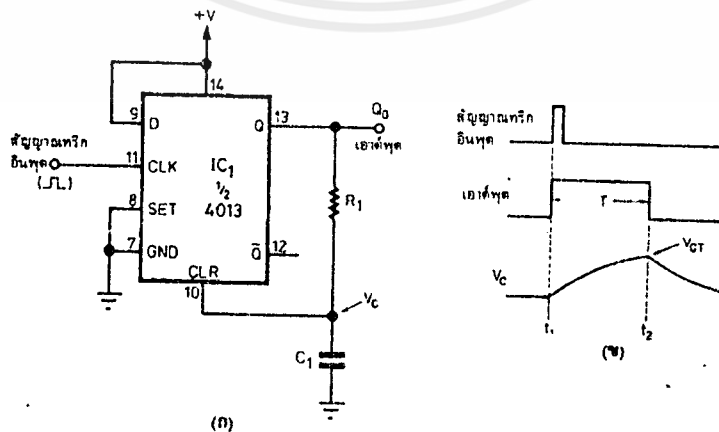


รูปที่ 4ก. วงจรโมโนสเตเบิลโดยใช้ NAND-เกต และรูป ข. จังหวะการทำงาน

เอาต์พุตของวงจรนี้จะมี \bar{Q} และ Q ซึ่งตรงกันข้ามกัน แล้วแต่ละเชือกใช้ แต่สิ่งสำคัญของวงจรมี คือความกว้างของสัญญาณทริกที่เข้ามาจะต้องน้อยกว่าความกว้างของช่วงเวลา T ที่กำหนดโดย R_1 และ C_1 วงจรนี้จึงจะทำงานได้ถูกต้อง

โมโนสเตเบิลจากไอซี CMOS และ TTL

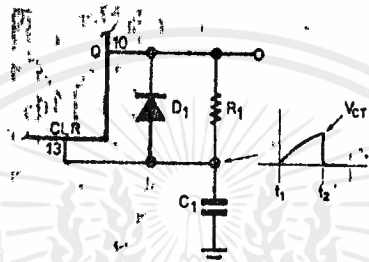
รูปที่ 5ก. แสดงถึงการนำเอา D-ฟลิปฟล็อปมาสร้างเป็นวงจรโมโนสเตเบิลโดยใช้ CMOS เบอร์ 4013 ซึ่งภายในประกอบด้วย D ฟลิปฟล็อป 2 ตัว ที่ขา D ของฟลิปฟล็อปจะต่ออยู่กับ +V ทำให้ที่ขานี้เป็นลอจิก “สูง” และต่อขา SET ลงกราวด์ ส่วนขา CLR ต่อเข้ากับ C_1 โดยมี R_1 ต่ออยู่กับขา Q เอาต์พุต ดังนั้นในการเริ่มทำงานของวงจรนี้ ลอจิกที่ขา CLR จะเป็น “0” (เนื่องจาก V_C แรงดันคร่อม C_1) จะมีค่าเป็น 0 โวลต์ ขอให้ดูจังหวะการทำงานในรูปที่ 5ข. เมื่อมีสัญญาณทริกเข้ามาทางขา CLK ซึ่งจะจัดต้องเป็นพัลส์บวกจะทำให้ Q เปลี่ยนสถานะเป็นลอจิก “สูง” ในทันที และจะคงค้างอยู่เช่นนั้น แม้ว่าสัญญาณทริกจะหมดไปแล้ว เมื่อ Q เป็นลอจิก “สูง” ก็จะทำให้เกิดการอัดประจุเข้าสู่ C_1 ด้วยกระแสที่ผ่าน R_1 ดังนั้น V_C จะมีค่าสูงขึ้น แต่เมื่อ V_C มีค่าถึงระดับลอจิก “สูง” ก็จะเป็นการ CLEAR ฟลิปฟล็อป เนื่องจากขา CLR เป็นลอจิก “สูง” ทำให้ Q เปลี่ยนสภาวะลงมาเป็นลอจิก “ต่ำ” ดังเดิม



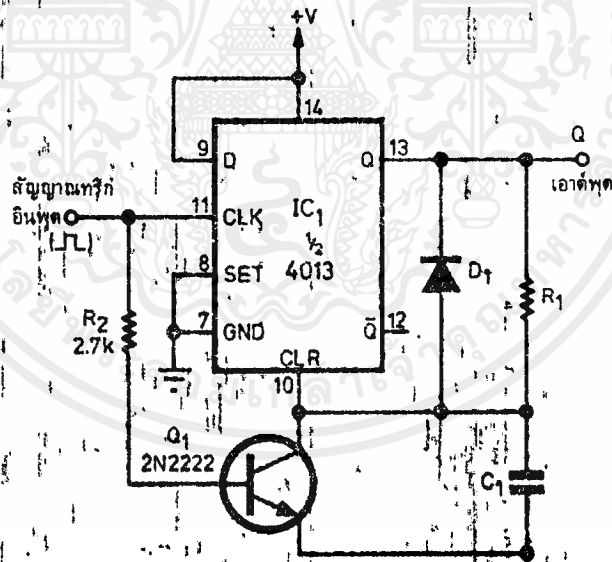
รูปที่ 5ก. วงจรโมโนสเตเบิลแบบไม่รับการกระตุ้นซ้ำโดยใช้ D-ฟลิปฟล็อป และรูป ข. จังหวะการทำงาน

จึงเห็นได้ว่า Q จะคงเป็นลอจิก “สูง” ในช่วงเวลาที่ถูกกำหนดด้วยค่าของ R_1 และ C_1 แต่เนื่องจากเมื่อ Q เป็นลอจิก “ต่ำ” แล้วนั้น C_1 จะคายประจุออกผ่าน R_1 เพื่อกลับสู่สภาวะปกติ ช่วงเวลาในการคายประจุนี้ เท่ากับช่วงเวลาในการอัดประจุเช่นเดียวกัน ซึ่งหากมีสัญญาณทริกเข้ามาในช่วงที่คายประจุไม่หมด ก็จะทำให้การทำงานของวงจรมืดไป คือช่วงเวลาที่คงสภาวะเอาท์พุทเป็นลอจิก “สูง” นั้น จะสั้นลงกว่าเดิม

การลดช่วงเวลาของการคายประจุนี้ สามารถทำได้โดยการต่อไดโอด D_1 เข้าไปในวงจร โดยคร่อม R_1 ไว้ ดังแสดงไว้ในรูปที่ 6 ดังนั้นการคายประจุของ C_1 จะผ่าน D_1 แทน เนื่องจากมีความต้านทานน้อยกว่า R_1 มาก เพราะเป็นการต่อแบบไบแอสตรง (forward bias) ให้แก่ไดโอด ในขณะที่ Q เป็นลอจิก “ต่ำ” และ V_C มีค่ามากกว่า 0.6 โวลต์ จึงส่งผลให้ช่วงเวลาของการคายประจุนี้ลดลงกว่าเดิมมาก

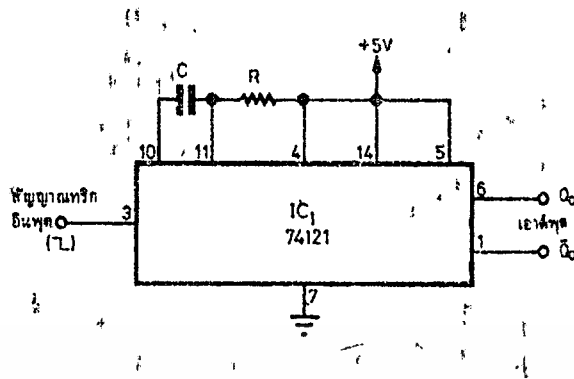


รูปที่ 6 การต่อไดโอดเพื่อลดช่วงเวลาในการคายประจุของวงจรในรูปที่ 5 ก.

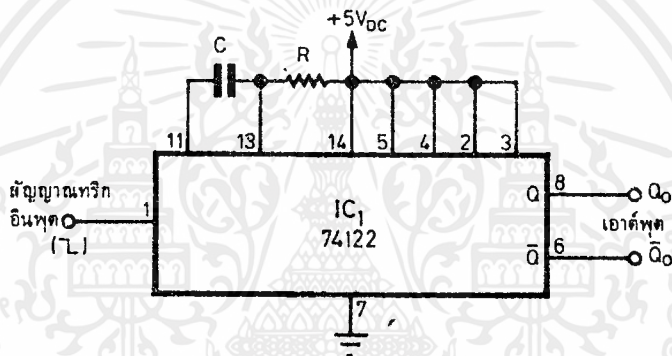


รูปที่ 7 การดัดแปลงวงจรในรูปที่ 5ก. ให้เป็นโมโนสเตเบิลแบบรับการกระตุ้นซ้ำ

วงจรโมโนสเตเบิลที่กล่าวมาแล้วในรูปที่ 3, 4 และ 5 นั้น เป็นวงจรโมโนสเตเบิลแบบไม่รับการกระตุ้นซ้ำทั้งสิ้น ส่วนวงจรในรูปที่ 7 เป็นการดัดแปลงวงจรในรูปที่ 5 ให้เป็นแบบยอมรับการกระตุ้นซ้ำ ตามลักษณะของวงจรจะมีลักษณะคล้ายกับวงจรเดิมมากแต่มีการเพิ่มทรานซิสเตอร์ขึ้นอีก 1 ตัว โดยต่อคร่อม C_1 ทำหน้าที่คล้ายกับสวิทซ์ในการคายประจุของ C_1 เมื่อมีสัญญาณทริกบวกเข้ามาจะทำให้เอาท์พุท Q เป็นลอจิก “สูง” ใน



รูปที่ 9 การใช้ TTL เบอร์ 74121 เป็นโมโนสเตเบิล



รูปที่ 10 การใช้ TTL เบอร์ 74122 เป็นโมโนสเตเบิล

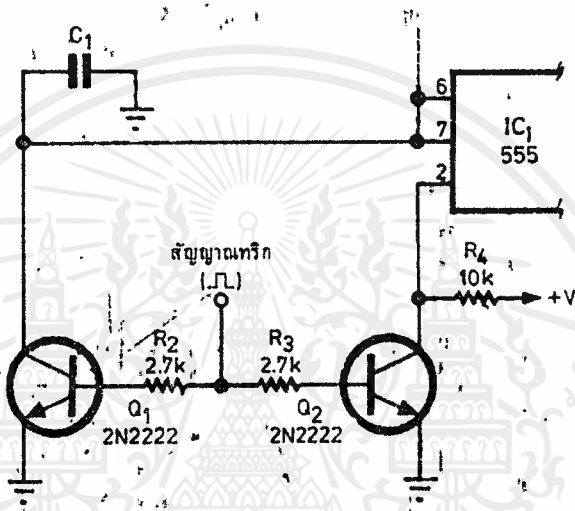
โมโนสเตเบิลจากไอซี 555

ไอซีอีกเบอร์หนึ่งที่นิยมใช้กันมากคือ เบอร์ 555 ซึ่งถูกออกแบบให้ใช้งานได้ทั้งเป็นโมโนสเตเบิล และตัวให้ความถี่หรือออสซิลเลเตอร์ ที่มีทั้งแบบที่เป็นไบโพล่าทรานซิสเตอร์และแบบที่เป็น CMOS ข้อดีของ ไอซีเบอร์นี้ คือสามารถใช้แรงดันซัพพลายได้ตั้งแต่ +4.5 ไปจนถึง +18 โวลต์ ซึ่งสะดวกต่อการใช้ร่วมกับวงจร ดิจิตอลทั้งแบบ TTL และ CMOS โดยปกติแล้วไอซีเบอร์นี้สามารถให้กระแสเอาต์พุตได้ถึง 200 mA ดังนั้น จึงสามารถนำไปใช้ขับรีเลย์, LED หรืออุปกรณ์ที่ใช้กระแสไม่มากนักได้ โดยไม่จำเป็นต้องมีทรานซิสเตอร์มาช่วย

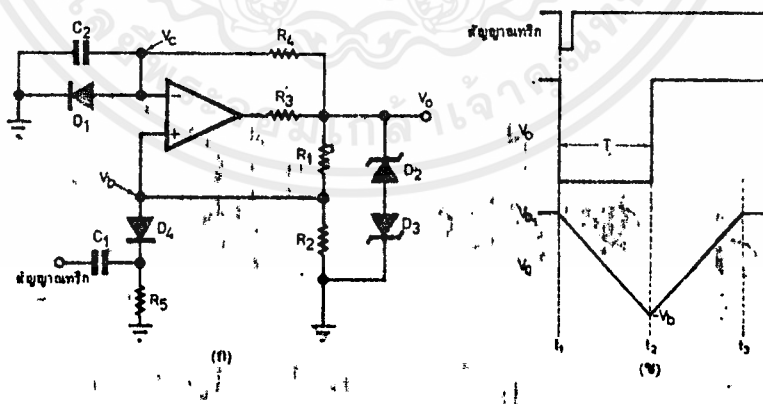
ในรูปที่ 11 แสดงถึงการใช้อิซีเบอร์ 555 มาสร้างเป็นโมโนสเตเบิลแบบไม่รับการกระตุ้นซ้ำ โดยปกติ แล้วขา 2 (สัญญาณทรigger) จะต้องเป็นลอจิก “สูง” ตลอดเวลา จนกว่าจะมีสัญญาณทรiggerที่ทำให้แรงดันที่ขา 2 นี้ มีค่าต่ำกว่า +V/3 ซึ่งจะทำให้ขา 3 (เอาต์พุต) เปลี่ยนไปเป็นลอจิก “สูง” และคงสถานะอยู่เช่นนั้นตามช่วงเวลาที่กำหนด โดย $T = 1.1 \times R_1 \times C_1$ เช่น ถ้าใช้ $R_1 = 47$ และ $C_1 = 0.1 \mu F$ จะได้ $T = 5.2 \times 10^{-3}$ วินาที

นอกจากนี้ 555 ยังสามารถใช้เป็นโมโนสเตเบิลแบบรับการกระตุ้นซ้ำได้ ดังแสดงไว้ในรูปที่ 12 เช่นเดียวกับวงจรที่ใช้ D - ฟลิปฟลอปที่กล่าวไปแล้ว ซึ่งใช้ทรานซิสเตอร์ตัวหนึ่งเข้าช่วยในการคายประจุของ C_1 ในทำนองเดียวกัน สำหรับ 555 นี้ทรานซิสเตอร์ทั้งสองจะทำงานพร้อมๆ กัน เมื่อมีพัลส์บวกเข้ามาทางอินพุต

ข้อสังเกตทิศทางของสัญญาณทริกในรูปที่ 11 และ 12 จะตรงข้ามกัน โดยปกติและระดับแรงดันที่ขา 2 นี้ จะมีค่าเป็น +V เสมอ จึงต้องต่อ R4 เข้ากับ +V แต่เมื่อมีสัญญาณทริกบวกเข้ามา ก็จะทำให้ Q₂ นำกระแส มีผลทำให้ขา 2 มีแรงดันเกือบเป็นกราวด์ นั่นคือจะเป็นสัญญาณทริกให้กับ 555 นั่นเอง ในขณะที่ขา 1 ก็ จะนำกระแสด้วย ดังนั้นจะทำหน้าที่ในการคายประจุออกของ C₁ ลงกราวด์ และจะเริ่มต้นการอัดประจุใหม่เมื่อ พัลส์บวกนี้ผ่านไปแล้ว เอาท์พุทจะคงสภาวะเป็นลอจิก “สูง” ตามช่วงเวลาเดิมคือ $T = 1.1 \times R_1 \times C_1$ แต่ถ้า ในขณะที่ยังไม่ครบช่วงเวลานี้เกิดมีพัลส์บวกเข้ามาใหม่ก็จะทำให้ Q₁ ทำงานอีกครั้ง ทำให้ C₁ ถูกคายประจุ ออกและก็จะเริ่มอัดประจุใหม่อีกเป็นเช่นนี้เรื่อย ๆ จึงมีลักษณะเป็นโมโนสเตเบิลแบบรับการกระตุ้นซ้ำ



รูปที่ 12 การใช้ไอซีเบอร์ 555 มาสร้างเป็นโมโนสเตเบิลแบบรับการกระตุ้นซ้ำ



รูปที่ 13ก. การใช้อป-แอมป์มาสร้างเป็นวงจรโมโนสเตเบิล และรูป ข. จังหวะการทำงาน

โมโนสเตเบิลจากออปแอมป์

วงจรโมโนสเตเบิลแบบสุดท้ายที่จะกล่าวถึงในที่นี้คือ การใช้อป-แอมป์ ดังแสดงไว้ในรูปที่ 13ก. ซึ่งมี

จังหวะการทำงานแสดงไว้ในรูปที่ 13ข. โดยออป-แอมป์จะทำหน้าที่เป็นตัวเปรียบเทียบระดับแรงดัน (compara-ราคา

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

tor) ที่ขาอินพุททั้งสอง ซึ่งกำหนดให้ขาอินพุทข้างหนึ่งมีระดับแรงดันคงที่เพื่อจะใช้เป็นระดับเปรียบเทียบกับแรงดันของอีกขาหนึ่งที่มีการเปลี่ยนแปลง หากมีค่าสูงกว่าหรือต่ำกว่าแรงดันคงที่นั้น จะทำให้เอาท์พุทของออป-แอมป์มีการเปลี่ยนแปลง

สภาวะปกติเมื่อไม่มีสัญญาณมากระตุ้นนั้น จะมีเอาท์พุทเป็น $+V_O$ ในขณะที่ V_C มีค่าประมาณ 0.7 โวลต์ เนื่องจากไดโอด D_1 แต่เมื่อมีสัญญาณทริกเข้ามา เอาท์พุทจะเปลี่ยนเป็น $-V_O$ ในทันที ซึ่ง V_C จะมีค่าลดลงเนื่องจาก C_2 ถูกอัดประจุผ่าน R_4 ด้วยแรงดันเอาท์พุท $-V_O$ ที่เวลา T_2 ค่าแรงดัน $-V_C$ จะมีค่าเท่ากับ $-V_b$ ซึ่งเป็นค่าแรงดันที่กำหนดไว้ใช้ในการเปรียบเทียบ ดังนั้นจะทำให้เอาท์พุทเปลี่ยนกันไปเป็นลอจิก “สูง” ดังเดิม โดยจะมีช่วงเวลาที่ เป็นลอจิก “ต่ำ” เป็น

$$T = (R_4 C_2) \ln \frac{1 + (V_{D1}/V_O)}{1 - \beta}$$

โดยที่มีค่าเป็น $R_2/(R_1+R_2)$ แต่ถ้า V_O มีค่ามากกว่า V_{D1} มาก และ $R_1 = R_2$ ดังนั้นช่วงเวลานี้จะเป็น $T = 0.69 R_4 C_2$ ส่วนซีเนอร์ไดโอด D_2 และ D_3 ทำหน้าที่จำกัดระดับเอาท์พุท โดยที่ $+V_O$ จะมีค่าเป็น $V_{D2} + 0.7$ โวลต์ และ $-V_O$ มีค่าเป็น $V_{D3} + 0.7$ โวลต์ ซึ่งโดยปกติแล้ว $V_{D2} = V_{D3}$ ดังนั้นจะทำให้ค่าของ $+V_O$ และ $-V_O$ มีค่าเท่ากัน แต่ต่างกันที่เครื่องหมาย

2.4 ระบบสัญญาณต่างๆ ของโทรศัพท์

ลักษณะของสัญญาณต่างๆ ภายในระบบเครื่องตัดต่อโทรศัพท์อัตโนมัติมีสัญญาณโทรศัพท์ที่สำคัญ ดังนี้

1. สัญญาณให้หมุน (Dial Tone) คือสัญญาณที่เครื่องชุมสายโทรศัพท์แจ้งให้ผู้ใช้โทรศัพท์ทราบว่าเครื่องชุมสายพร้อมแล้วที่จะให้ผู้ใช้โทรศัพท์กดหมายเลขโทรศัพท์ที่ต้องการติดต่อดูด้วย

ลักษณะของสัญญาณ เป็นสัญญาณที่มีความถี่ประมาณ 400 Hz ดังต่อเนื่องกันตลอด (หรือที่เรียกกันทั่วไปว่า สัญญาณแอมวกรน)

2. สัญญาณไม่ว่าง (Busy Tone) คือสัญญาณที่เครื่องชุมสายโทรศัพท์แจ้งให้ผู้ใช้โทรศัพท์ทราบหลังจากที่กดหมายเลขที่ต้องการติดต่อดูด้วย ให้ทราบว่าไม่สามารถติดต่อกับสายนั้นได้

ลักษณะของสัญญาณ เป็นสัญญาณที่มีความถี่ประมาณ 400 Hz ที่ดัง และ ดับ ทุกๆ 0.5 วินาที

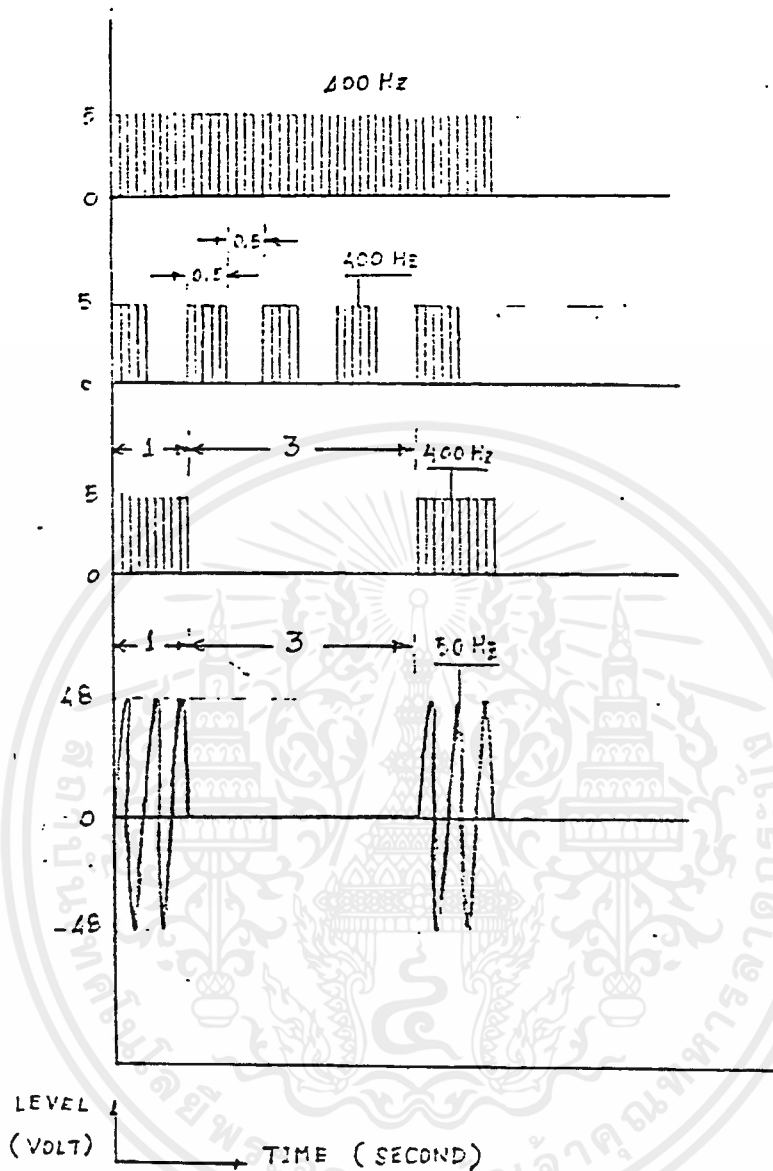
3. สัญญาณเรียกกลับ (Ringback Tone) คือสัญญาณที่เครื่องชุมสายโทรศัพท์แจ้งให้ผู้ใช้โทรศัพท์หลังจากกดหมายเลขที่ต้องการติดต่อดูด้วย ให้ทราบว่าสามารถติดต่อกับสายโทรศัพท์ที่ต้องการได้

ลักษณะของสัญญาณ เป็นสัญญาณที่มีความถี่ประมาณ 400 Hz ดังประมาณ 1 วินาที และดับประมาณ 3 วินาที

4. สัญญาณเล็อก (Ringing Tone) คือสัญญาณที่เครื่องชุมสายโทรศัพท์ ส่งไปยังเครื่องโทรศัพท์ภายใน ทำให้กระดิ่งโทรศัพท์ดังขึ้น เพื่อแจ้งให้ทราบว่าผู้ใช้ต้องการติดต่อดูด้วย

ลักษณะของสัญญาณ เป็นสัญญาณ AC 50 Hz ที่มี Voltage ขนาดประมาณ 80 V_{p-p} ถึง 100 V_{p-p} ดัง และ ดับ เป็นช่วงๆ เหมือนกันและพร้อมกันกับสัญญาณเรียกกลับ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้นไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงลักษณะและช่วงเวลาของสัญญาณต่างๆ ของโทรศัพท์

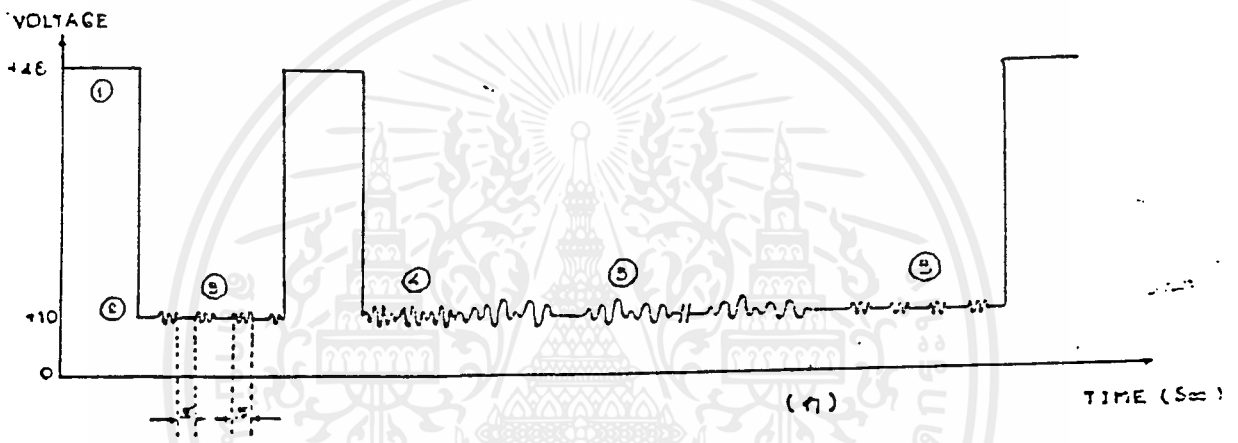
ระบบการต่อของเครื่องชุมสายโทรศัพท์และสัญญาณที่คู่สายโทรศัพท์

- ระบบต่อต้านผู้เรียก

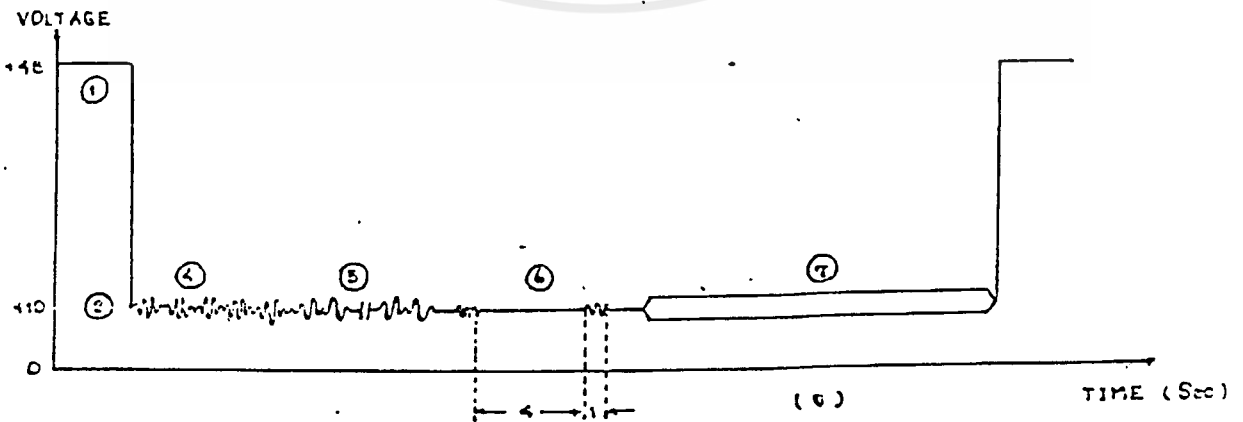
เมื่อผู้เรียกยกหูขึ้นเพื่อจะทำการเรียกจะทำให้ DC VOLTAGE ที่คู่สายโทรศัพท์เปลี่ยนจาก 48 โวลต์ เป็น 10 โวลต์ ภาพที่ 2.2 เครื่องชุมสายโทรศัพท์จะรู้ว่าเป็นการเริ่มต้นการเรียกก็จะส่งสัญญาณให้หมุนไปยังผู้เรียก (ถ้าไม่วางก็จะส่งสัญญาณไม่วาง ไปยังผู้เรียกทำให้ผู้เรียกวางหู และเริ่มทำการเรียกใหม่) เมื่อผู้เรียกได้ยินสัญญาณให้หมุน ก็จะทำการกดหมายเลขของผู้รับปลายทางเป็นสัญญาณดีทีเอ็มเอฟ วงจรคู่สายของเครื่องชุมสายโทรศัพท์จะทำการแปรรหัสและปฏิบัติการ พร้อมกันนั้นเครื่องชุมสายโทรศัพท์จะตัดสัญญาณให้หมุนทันทีที่รับสัญญาณดีทีเอ็มเอฟ ที่กดหมายเลขตัวแรก เครื่องชุมสายโทรศัพท์รับหมายเลขของผู้รับทำการแปรตัวเลขระบุ

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของสำนักงานคณะกรรมการการค้ำ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรหัสชุมสายที่กดหมายเลขมาเมื่อรู้ตำแหน่งของผู้รับแล้ว เครื่องชุมสายโทรศัพท์ จะจองทางผ่านระหว่างผู้เรียกและผู้เรียกแล้วส่งสัญญาณกริ่งเรียกกลับไปยังผู้เรียก และในขณะที่วงจรคู่สายส่งสัญญาณ กริ่งเรียกไปยังผู้รับ เมื่อผู้รับมาตอบรับการเรียก สัญญาณตอบรับจะถูกส่งไปยังเครื่องชุมสายโทรศัพท์จะตัดสัญญาณกริ่งเรียกด้านผู้รับ และยกเลิกสัญญาณเรียกกลับด้านผู้เรียกและทำให้ทางผ่านระหว่าง RBT และผู้เรียกว่าง ขณะเดียวกันก็จะสร้างทางผ่านด้านผู้รับ การสนทนาจึงสามารถเริ่มต้นได้

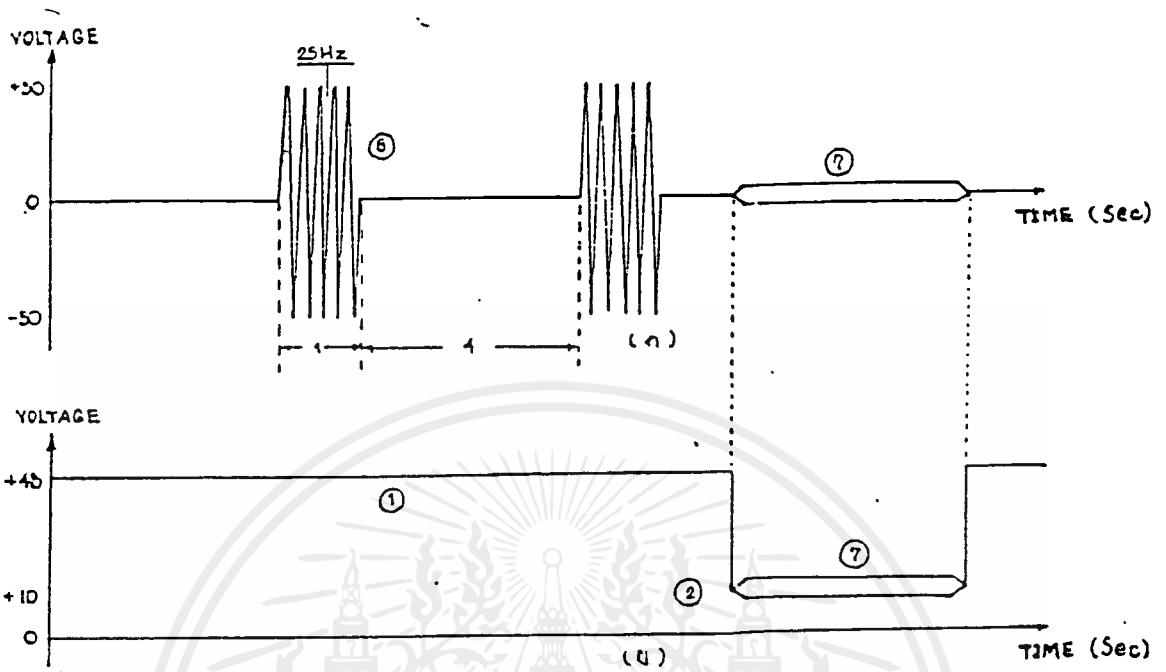


รูปที่ 2.2 ผู้เรียกทำการเรียกผู้รับไม่สำเร็จ



รูปที่ 2.3 ผู้เรียกทำการเรียกผู้รับสำเร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ... อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงลักษณะของสัญญาณทางผู้รับเมื่อถูกเรียก
 (ก) ทำการวัดสัญญาณทางด้าน AC
 (ข) ทำการวัดสัญญาณทางด้าน DC

ระบบการเรียกด้านผู้รับ

เมื่อผู้รับถูกเรียกจากผู้เรียก เครื่องชุมสายโทรศัพท์จะส่งสัญญาณกริ่งเรียกขนาด 100 VAC ไปยังผู้รับเพื่อทำการเรียกผู้รับ ดังรูปที่ 2.4 (ก) เมื่อผู้รับตอบการเรียกจะทำให้ DC VOLTAGE เปลี่ยนจาก 48 V เป็น 10 V ทำให้วงจรคู่สายตัดสัญญาณกริ่งเรียกระหว่างผู้เรียกกับผู้รับการสนทนาจึงจะสามารถเริ่มต้นได้ ดังรูปที่ 2.4 (ข) สถานะวางหูของผู้เรียกจะเลิกทางเสียงผู้พูดผ่านและทำให้ผู้รับวางหูตามวงจรคู่สายจะตรวจรู้ว่าเป็นการเลิกสนทนาติดต่อ

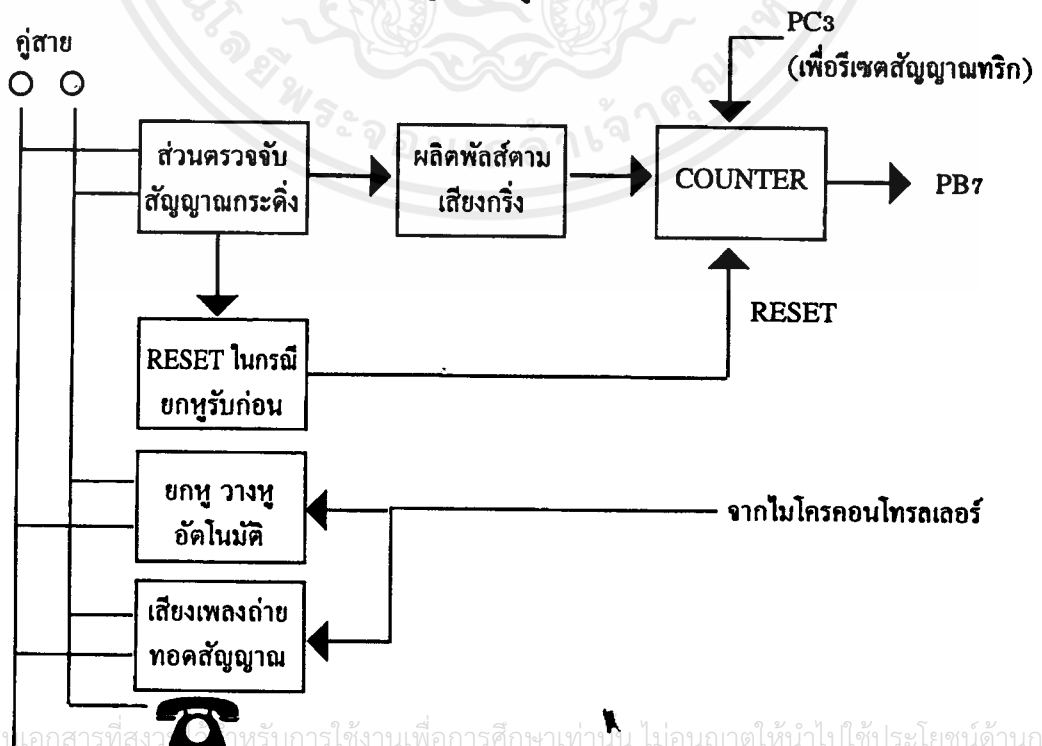
บทที่ 3

หลักการออกแบบและการทำงานของวงจร

ในการออกแบบนั้น จะต้องคำนึงจุดประสงค์ต่างๆ เพื่อนำมาพิจารณาในการออกแบบวงจร โดยจุดประสงค์ที่ต้องการ คือ

1. ส่วนเช็กรinging เพื่อทำการตรวจเช็คสัญญาณ Ringing ให้ได้จำนวนครั้งตามต้องการหลังจากเช็กรinging ครบ จำนวนที่ต้องการแล้วจะส่งสัญญาณมาเข้าที่ Port B บิตที่ 7
2. เมื่อมีสัญญาณให้ที่ Port B บิตที่ 7 แล้ว วงจรที่ทำหน้าที่ในการเช็คเวลา (จำนวนครั้งของ Ringing) จะโคดมาทำงานในส่วนของการรับโทรศัพท์โดยควบคุมด้วยโปรแกรม (เวลาใน RTC ยังคงทำงานอยู่ต่อไป)
3. ส่วนรับโทรศัพท์อัตโนมัติ
4. ส่วนส่งสัญญาณเสียงเพลงแสดงการรับโทรศัพท์
5. ส่วนส่งสัญญาณเสียงเพลงแสดงสถานะโหนดปัจจุบัน (ON หรือ OFF)

การทำงานของส่วนเช็กรinging และการยกหูอัตโนมัติ หลักการทำงานอธิบายได้ดัง Block Diagram ดังรูปที่ 1



จาก Block ไดอะแกรม และวงจรสามารถอธิบายได้คือ ในสภาวะสายว่างจะมีแรงดันประมาณ 48 โวลต์ ซึ่งจ่ายมาจากขุมสายโทรศัพท์ และเมื่อมีผู้เรียกเลขหมายเข้ามาทางขูดสายจะจ่ายสัญญาณกระดิ่งมาเป็นแรงดัน กระแสสลับที่มีแรงดันประมาณ 100 Vp-p เป็นเวลา 2 วินาที และหยุดเป็นเวลา 4 วินาที เป็นจังหวะ ซึ่งแรงดัน นี้จะทำให้กระดิ่งภายในโทรศัพท์ทำงาน และทางขุมสายจะรับทราบการยกหูของโทรศัพท์เมื่อมีการยกหู สวิตช์ ภายในตัวโทรศัพท์จะทำการต่อคู่สายเข้ากับวงจรภายในที่มีความต้านทานทางกระแสตรงต่ำ ก็จะเกิดการครบวงจรขึ้น ทำให้แรงดัน 48 โวลต์ ตกลงเหลือประมาณ 5-10 โวลต์ แล้วแต่ชนิดของโทรศัพท์นั้นๆ และเมื่อ ขุมสายรับรู้แล้วจะต่อคู่สายเข้ากับผู้เรียกทำให้ติดต่อกันได้

จากหลักการข้างต้นนำมาออกแบบส่วนตรวจสัญญาณกระดิ่ง โดยส่วนของตัวตรวจจับสัญญาณกระดิ่ง คือ Q1 และวงจรส่วนหน้าโดยมี C1,C2 และ D1,D2 ต่อประกอบกันเป็นวงจรถ่ายทอดสัญญาณกระดิ่ง โดยยอมให้กระแสสลับไหลผ่านเท่านั้น เมื่อมีสัญญาณกระดิ่งผ่าน C1 C2 มาได้ ก็จะถูกเรกติฟาย โดย D3-D6 ที่ต่อเป็นบริจค์เรกติฟาย สัญญาณกระดิ่ง $16 \text{ Hz} \pm 100 \text{ V}$ ก็จะถูกแปลงเป็นสัญญาณพัลส์ $32 \text{ Hz} + 100 \text{ V}$ แล้วผ่าน R1 ค่า $820 \text{ K}\Omega$ เพื่อให้มีแรงดันที่เหมาะสม

ตัวเก็บประจุ C3,C4 และตัวต้านทาน R2 ต่อเข้าด้วยกันเป็นวงจรฟิลเตอร์ ให้แรงดันที่ขาเบส-อิมิตเตอร์ ของทรานซิสเตอร์ Q1 ค่อยเพิ่มขึ้น และเมื่อเพิ่มถึงระดับหนึ่งทรานซิสเตอร์ Q1 จะนำกระแสทำให้เกิดพัลส์ที่ขอบขาลง เพื่อป้อนให้วงจร MONOSTABLE ผลิตพัลส์ โดยผ่านเกตแบบ NOT 2 ตัว เพื่อทำหน้าที่บัฟเฟอร์และรักษาสถานะโลจิกให้เป็น “0” และ “1” ที่แน่นอน

เมื่อเอาท์พุทที่ได้จาก MONOSTABLE จะถูกป้อนเข้าไปเป็นคล็อกให้กับ IC5 4017 ที่ทำหน้าที่เป็น CONTER และสัญญาณพัลส์ส่วนหนึ่งจะถูก FEED BACK กลับไปยังวงจรส่วนหน้าโดยผ่าน R4,R5 เพื่อให้ทรานซิสเตอร์ Q2,Q3 ทำงานให้สถานะที่ขาเบสของทรานซิสเตอร์ Q1 มีสถานะเป็นศูนย์ เพื่อรอสัญญาณครั้งต่อไป เพื่อให้ได้การนับสัญญาณกระดิ่งตามจำนวนครั้งที่ต้องการ

ในกรณีที่ผู้รับโทรศัพท์ก่อนนับสิ้นสุดลง ส่วนของ IC5 จะต้องทำการ RESET ตัวเองให้เป็น “0” เพื่อการนับใหม่ โดยสัญญาณที่จะนำมา RESET นี้ ได้จาก MONOSTABLE IC1 555 มาผ่านวงจร MONOSTABEL แบบรับการกระตุ้นซ้ำ ซึ่งมี IC3 Q4,Q5,R16,R17 ทำหน้าที่เป็น MONOSTABLE

แบบรับการกระตุ้นซ้ำ โดยต้องเป็นช่วงเวลาประมาณ 4 วินาที เพื่อให้มีเวลาพอที่จะรับสัญญาณ กระดิ่งครั้งต่อไป ซึ่งช่วงเวลานี้ถูกกำหนดโดย R18,R19.C10,C11 จากนั้นเอาท์พุทที่ได้จะผ่าน IC4 ที่เป็น Op-Amp Comparotor เพื่อนำสัญญาณที่ได้ไปเป็นสัญญาณ RESET ให้แก่ IC5

จาก IC5 เมื่อนับครบจำนวนครั้งที่ต้องการแล้วจะผ่าน IC 7474 เพื่อให้ต่อสถานะเป็น “1” คงตัวตลอดเพื่อไปทริกที่ PB7

จากนั้นโปรแกรมจะทำการรับหูดโนมิติโดยการส่งสัญญาณมาที่พอร์ท เพื่อทำการขับริเลย์ ผ่าน ทรานซิสเตอร์ BC 549 เพื่อนำกระแสให้รีเลย์ทำงาน

ขณะนี้หน้าคอนแทคของรีเลย์ จะทำการต่อขดไพมารีของ T1 เข้ากับคู่สายโทรศัพท์และเชื่อมต่อ วงจรถ่ายทอดเสียงเพลงเข้ากับคู่สายไปในเวลาเดียวกัน ส่วน R5 ที่ต่ออนุกรมอยู่ด้วยนั้นเป็นการทำให้ความต้านทานรวมของคู่สายโทรศัพท์เหมาะสม

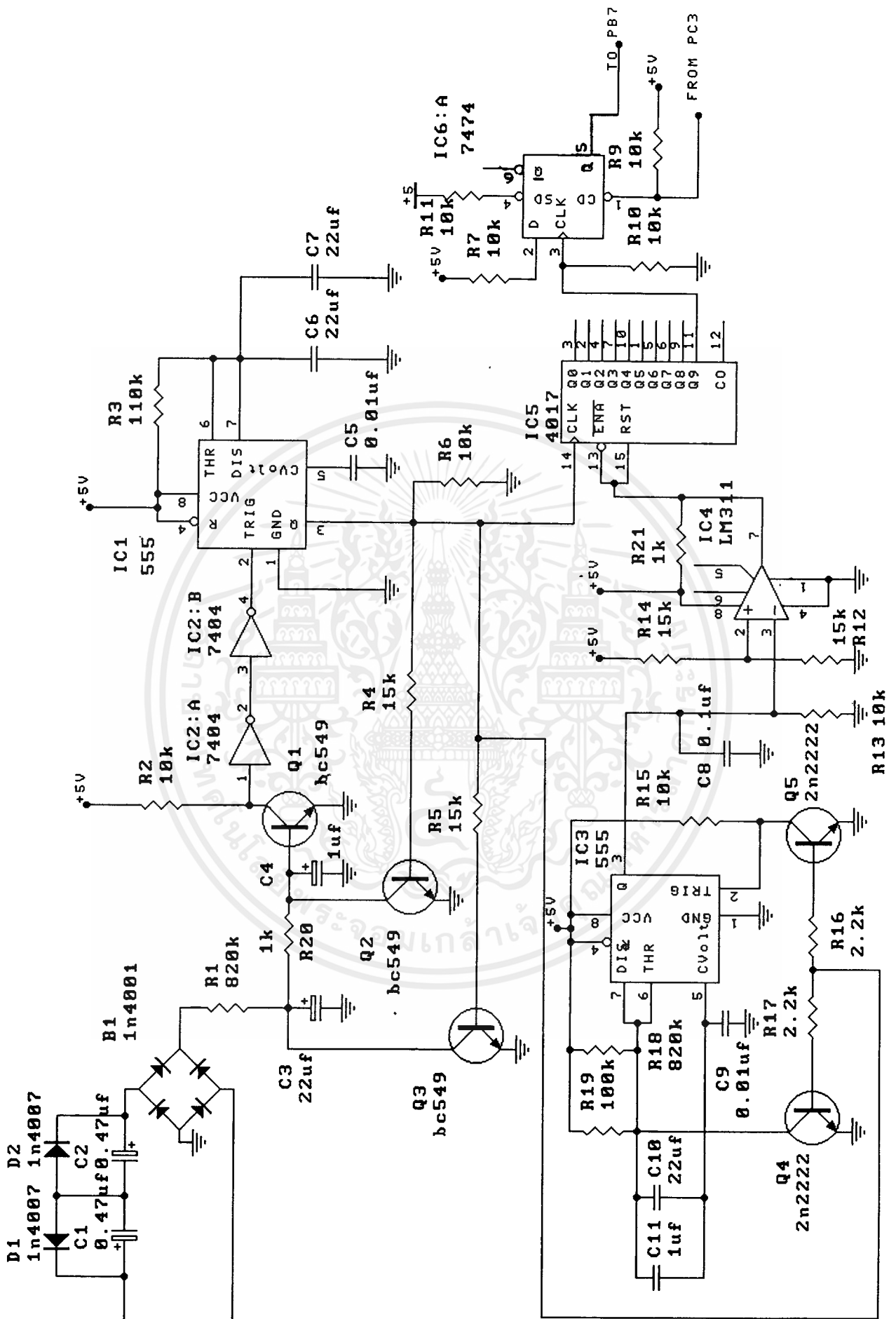
โดยส่วนของกำเนิดเสียงเพลงมี UM66 เป็น IC กำเนิดเสียงเพลง (IC2,IC3) สัญญาณที่ได้จาก UM66 ทั้ง 2 จะผ่าน VR1, VR2 ค่า $10k\Omega$ และ C3,C4 ค่า $2.2 \mu F$ ไปยัง IC5, IC6 เบอร์ LM380N ทำหน้าที่ขยายเสียงออกไปยังหม้อแปลงแมทซ์ ซึ่ง โดยผ่าน C5,C6,C7,C8 ค่า $220 \mu F$ และ $0.1 \mu F$ ตามลำดับ ดังวงจรตามรูป

ส่วนการถอดรหัส DTMF ที่ใช้ MT8870 อินพุตจะต่อจากหม้อแปลงแมทซ์ และเอาท์พุทที่ได้คือ STD,Q1,Q2,Q3,Q4 จะต่อไปยัง Port B บิตที่ 0 ถึงบิตที่ 4 โดยบิตที่ 4 ต้องต่อผ่าน T ฟลิปฟลอปที่ทำจาก D ฟลิปฟลอปเบอร์ 7474

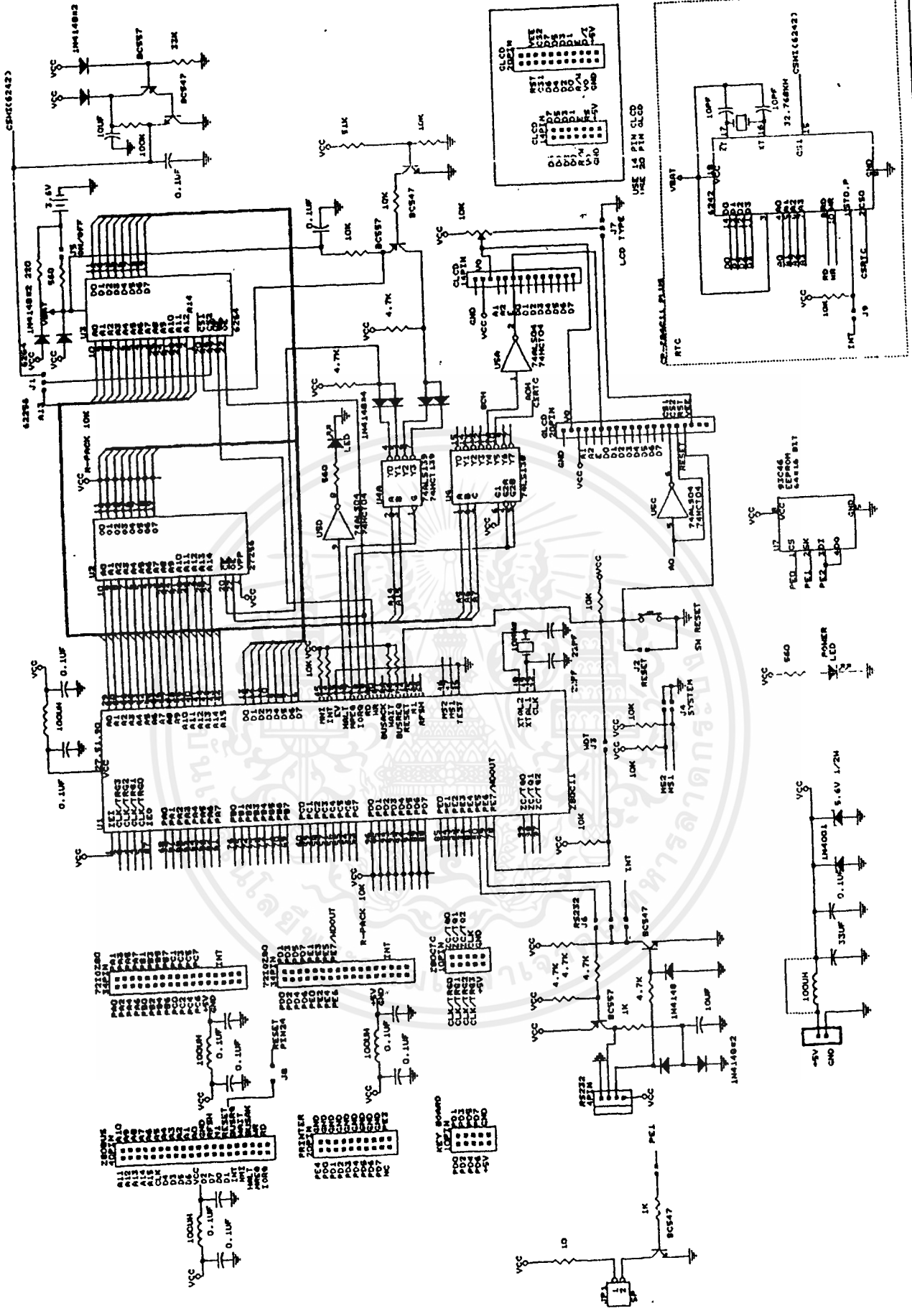
ส่วนการจับโหนดจะต่ออินพุทจากพอร์ท A บิตที่ 0-บิตที่ 7 ผ่าน R ค่า $15k\Omega$ ไปยังทรานซิสเตอร์เบอร์ BC549 เพื่อขับรีเลย์เพื่อควบคุมโหนดต่อไป

ในส่วนของ RTC ใช้ IC เบอร์ 6242 คู่กับ CPU Z84C11 เพื่อเป็นฐานเวลาให้กับ CPU เพื่อนำมาใช้ในส่วนของ การตั้งเวลา ซึ่ง 6242 ที่ใช้ในปริณญาณิพนธ์นี้คือเป็นพอร์ทอยู่ที่แอดแตรส_____ และต่อสัญญาณอินเทอร์รัพท์เข้ากับ CPU โดยตรง ส่วนรายละเอียดของ IC 6242 นี้ดูได้จากภาคผนวก ก.

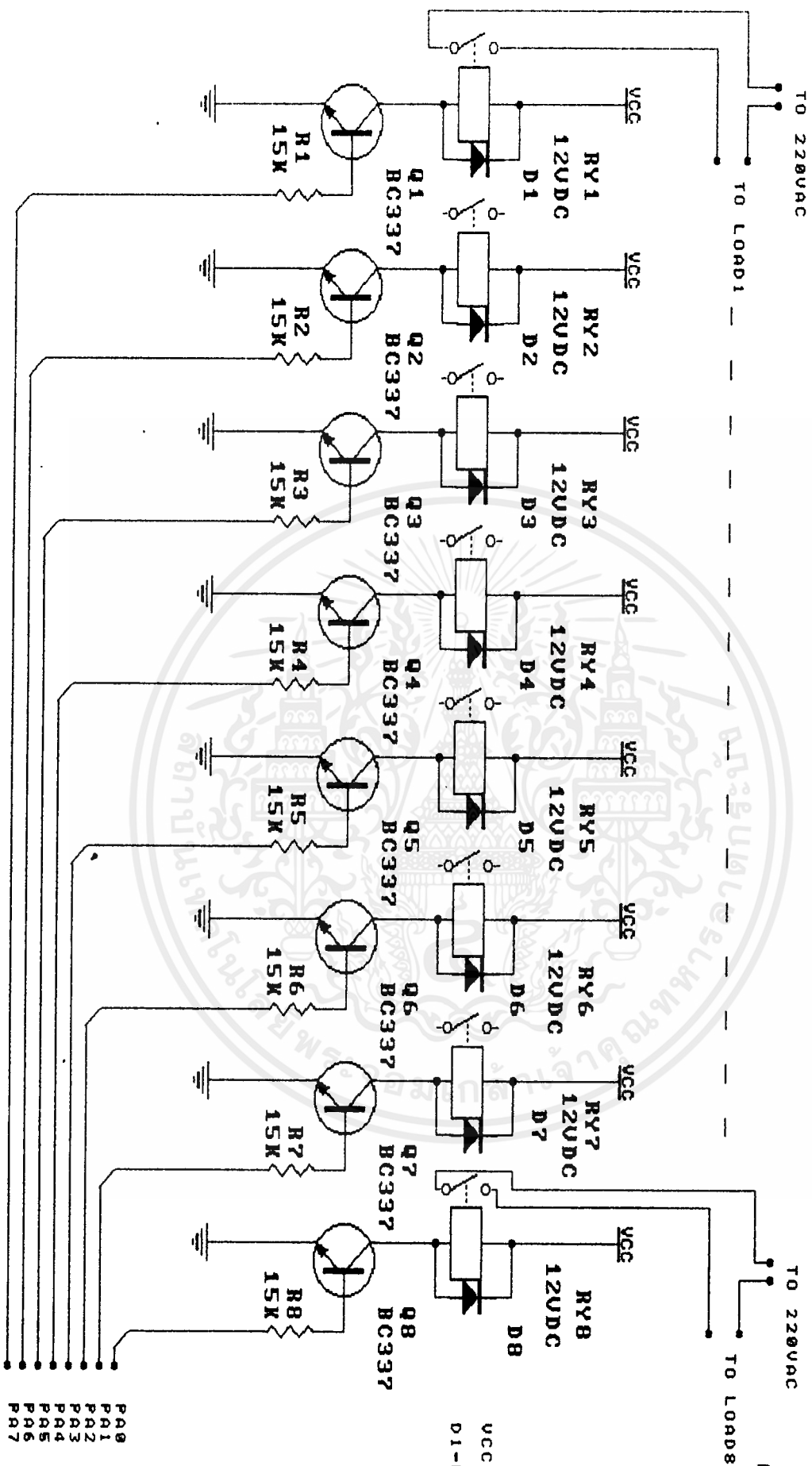




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เฉพาะในการศึกษาเท่านั้น เมื่อนำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

สรุปและวิจารณ์

1. ในการออกแบบส่วนการเช็ค Ringing นั้น ในขั้นแรกสัญญาณที่ได้จากทรานซิสเตอร์ Q1 จะรวมมากจึงต้องใส่ NOT GATE 2 ตัว เพื่อให้ได้ LIGIC ที่แน่นอนขึ้น โดยมีสถานะการ ON และ OFF เหมือนเดิม
2. ส่วนการถอดรหัส DTMF สัญญาณ STD มีลักษณะเป็นพัลส์ ซึ่งยากต่อการเขียนโปรแกรม จึงเปลี่ยนเอาสัญญาณนี้มาผ่าน T ฟลิปฟลอป เพื่อให้สถานะค้างเป็นลอจิก HI และลอจิก LOW เพื่อการง่ายต่อการเขียนโปรแกรม

จากปัญญานิพนธ์นี้ทุกส่วนสามารถนำไปใช้งานได้มีประสิทธิภาพ และได้ผลเป็นที่น่าพอใจ ไม่ว่าจะเป็นส่วนของการตั้งเวลาส่วนของการโทรศัพท์ ส่วนข้อเสนอแนะในการนำไปประโยชน์ใช้งานต่างๆ หรือนำไปประยุกต์โปรแกรมใหม่ เพื่อให้เกิดประโยชน์สูงสุดนั้น ศึกษาได้จากภาคผนวก ทั้งไฟล์ซาร์ตและโปรแกรม

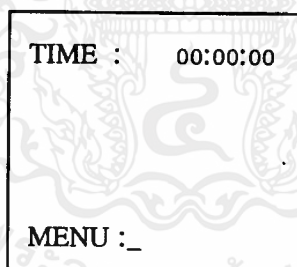
บทที่ 5

วิธีการใช้งาน

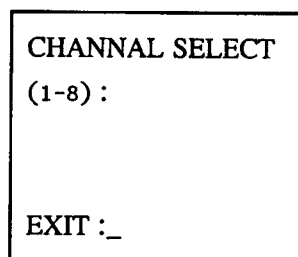
การใช้งานเครื่องตั้งเวลาและสั่งงานทางโทรศัพท์
การใช้งานส่วนของการตั้งเวลา

ขั้นตอนการตั้งเวลาเปิด-ปิด

1. ปกติจอภาพจะแสดงดังรูปข้างล่าง



2. เมื่อกดปุ่ม **MENU** จอภาพจะแสดงดังรูปข้างล่าง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. กดหมายเลข CHANNAL ที่ต้องการจอภาพจะแสดงดังรูปข้างล่าง

```

CHANNEL 1

ON : 00:00
OFF : 00:00

EXIT :_

```

4. ถ้ากดหมายเลข CHANNAL ผิด สามารถกดปุ่ม **EXIT** เพื่อเลือก CHANNAL ใหม่

5. ขณะที่ตั้งเวลา ถ้าหากใส่ค่าตัวเลขผิด เราสามารถใช้ปุ่ม **DEL** เพื่อลบค่าตัวเลขนั้นได้

6. เมื่อใส่ค่าตัวเลขเรียบร้อยแล้วกดปุ่ม **EXIT** 2 ครั้งจอภาพจะแสดงดังรูป

ในข้อ 2 ซึ่งเราสามารถจะเลือก CHANNAL อื่นๆ หรือออกจาก MENU ก็ได้

ขั้นตอนการตั้งเวลา

1. กดจอภาพจะแสดงดังรูปข้างล่าง

```

TIME : 00:00:00

MENU :_

```

2. กดปุ่ม จอภาพจะแสดงดังรูปข้างล่าง

```

TIME : 00:00:00

Enter new time
SET : 00:00:00

```

3. ใส่ค่าเวลาที่ต้องการ แล้วกดปุ่ม **ENT**

4. เมื่อใส่ค่าผิด สามารถกดปุ่ม **DEL** เพื่อลบตัวเลขที่ใส่ผิดใส่ตัวเลขใหม่

การใช้งานส่วนของโทรศัพท์

1. เมื่อโทรศัพท์เข้าไปยังเครื่องรับ ถ้ามีสัญญาณ RINGING ประมาณ ๑ ครั้ง แล้วไม่มีการยกหู จะมี การยกหูอัตโนมัติ แล้วจะมีเสียงเพลงประมาณ 5 วินาที
2. หลังจากเสียงเพลงจบ จะรอการรับคีย์ประมาณ 5 วินาที ถ้าไม่มีการกดคีย์จะทำการวางหูอัตโนมัติ
3. การกดคีย์จะมีรูปแบบดังนี้ *(CH)#(N/F)
4. เมื่อทำการ SET ค่าเสร็จแล้วให้กดคีย์ '๑' เพื่อทำการวางหู

หมายเหตุ (CH) คือ หมายเลข CHANNEL ที่ต้องการ ON,OFF
(N/F) คือ ON หรือ OFF

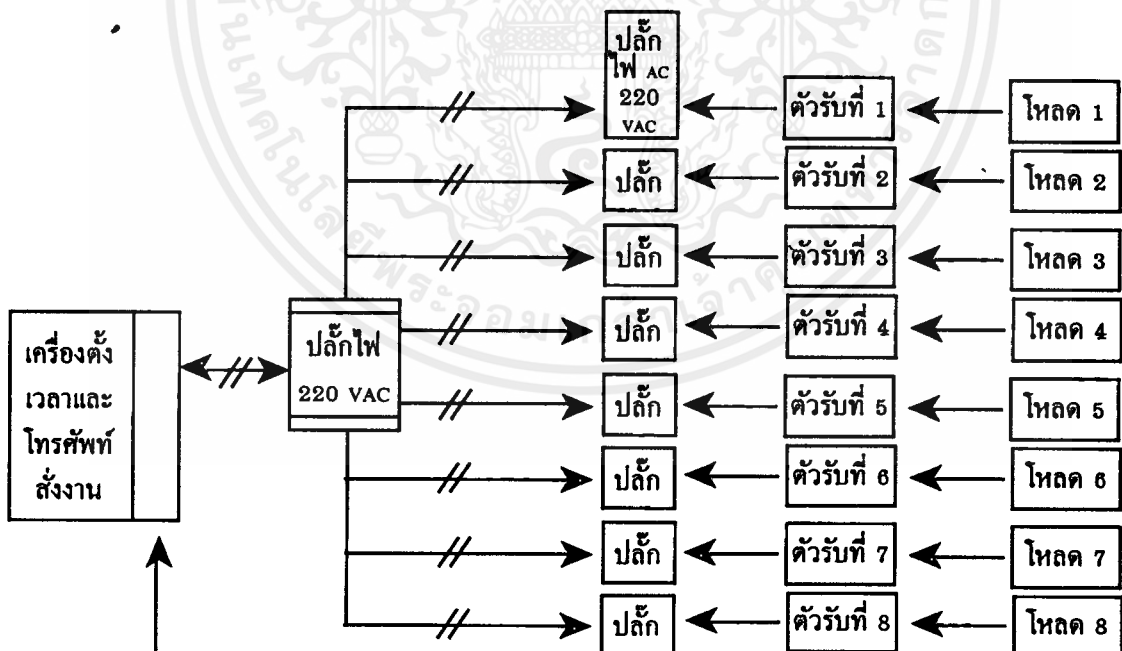


บทที่ 6

ข้อเสนอแนะและแนวทางการออกแบบต่อไป

ข้อเสนอแนะและแนวทางการออกแบบต่อไป

1. ให้มีระบบการเช็คการควบคุมโหลดว่าถูกต้องหรือไม่
2. ส่วนสัญญาณควบคุมโหลดไปตามสัญญาณ AC 220V (ปลั๊กไฟ) โดยมีตัวรับที่ปลั๊กของแต่ละโหลด ดังรูปด้านล่าง
3. ใช้ระบบ WATCH DOG ในการควบคุม CPU และควบคุมการทำงานของ Hardware ทั้งระบบ ให้มีความถูกต้องมากยิ่งขึ้น



เพิ่มส่วนของการส่งข้อมูล
ไปตาม Line AC

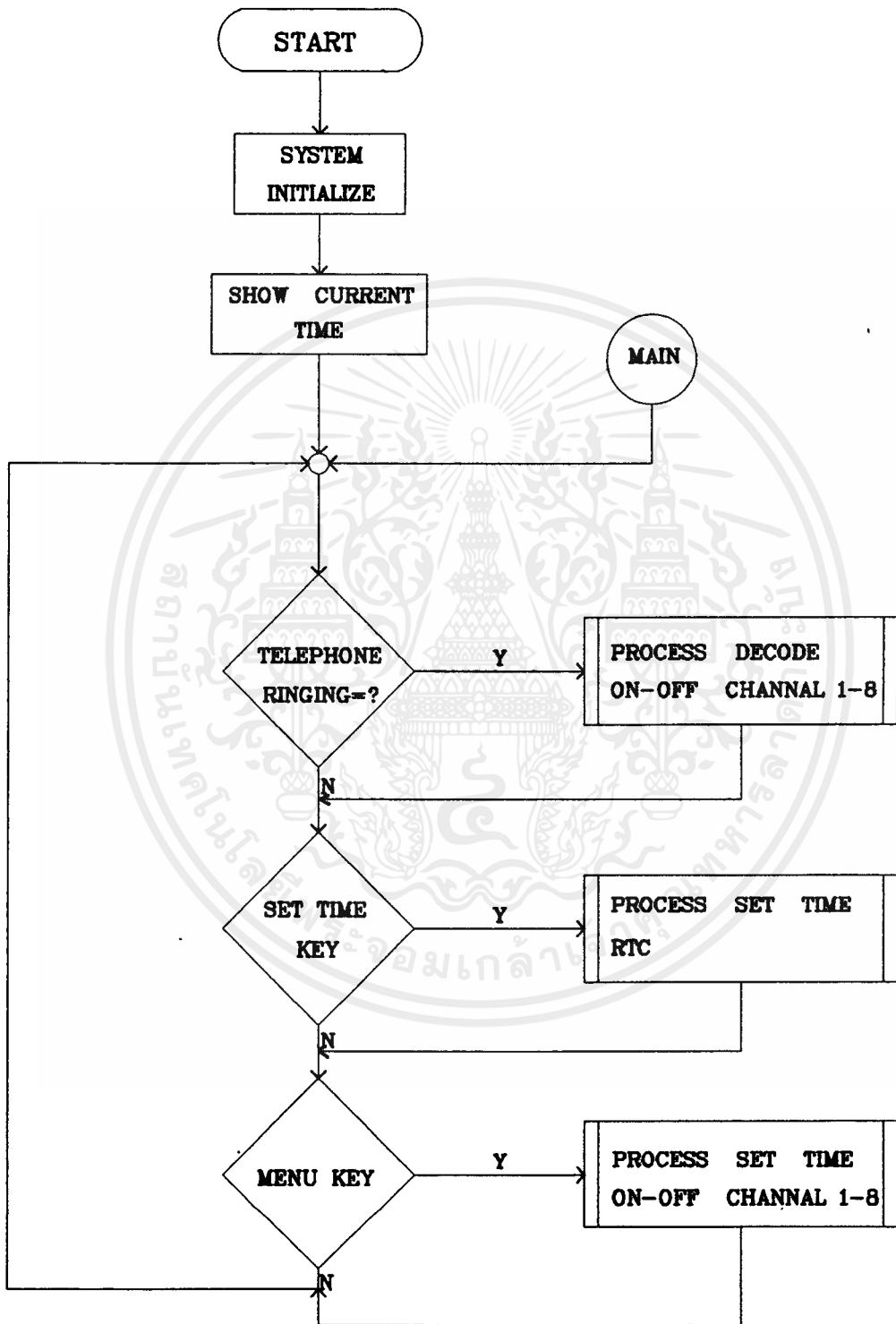
เพิ่มส่วนของตัวรับ 8 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

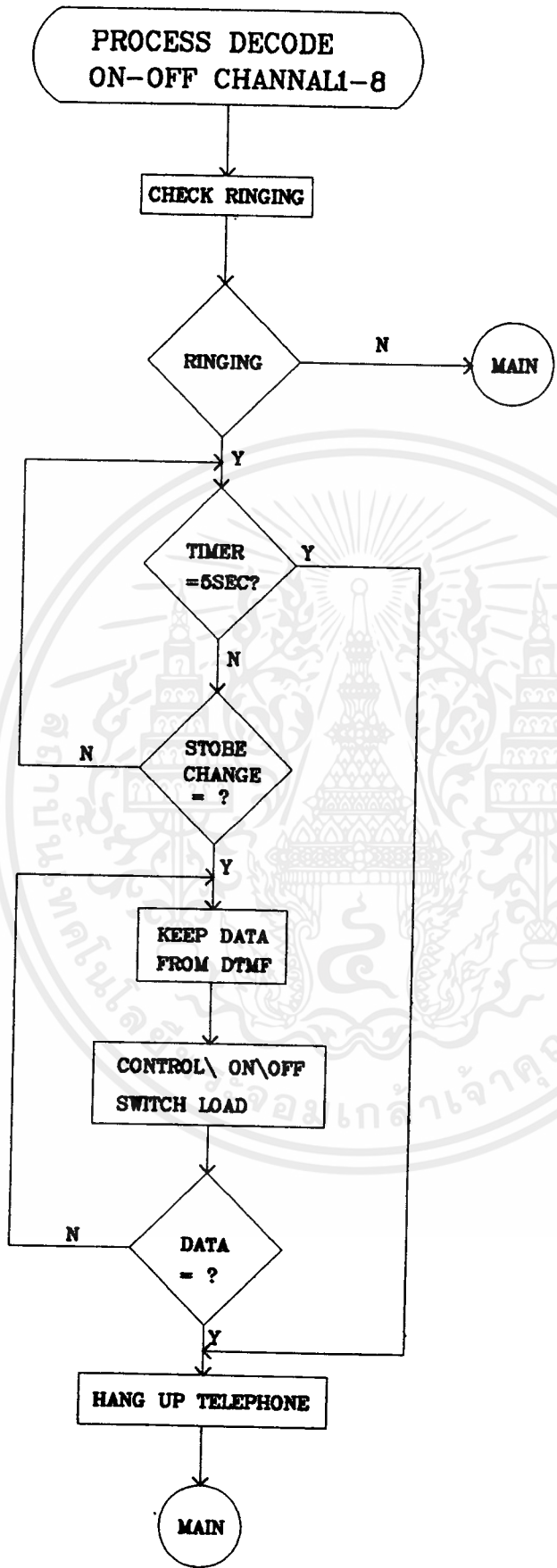


ภาคผนวก ก.
ไฟล์ชาร์ตแสดงขั้นตอนการเขียนโปรแกรม

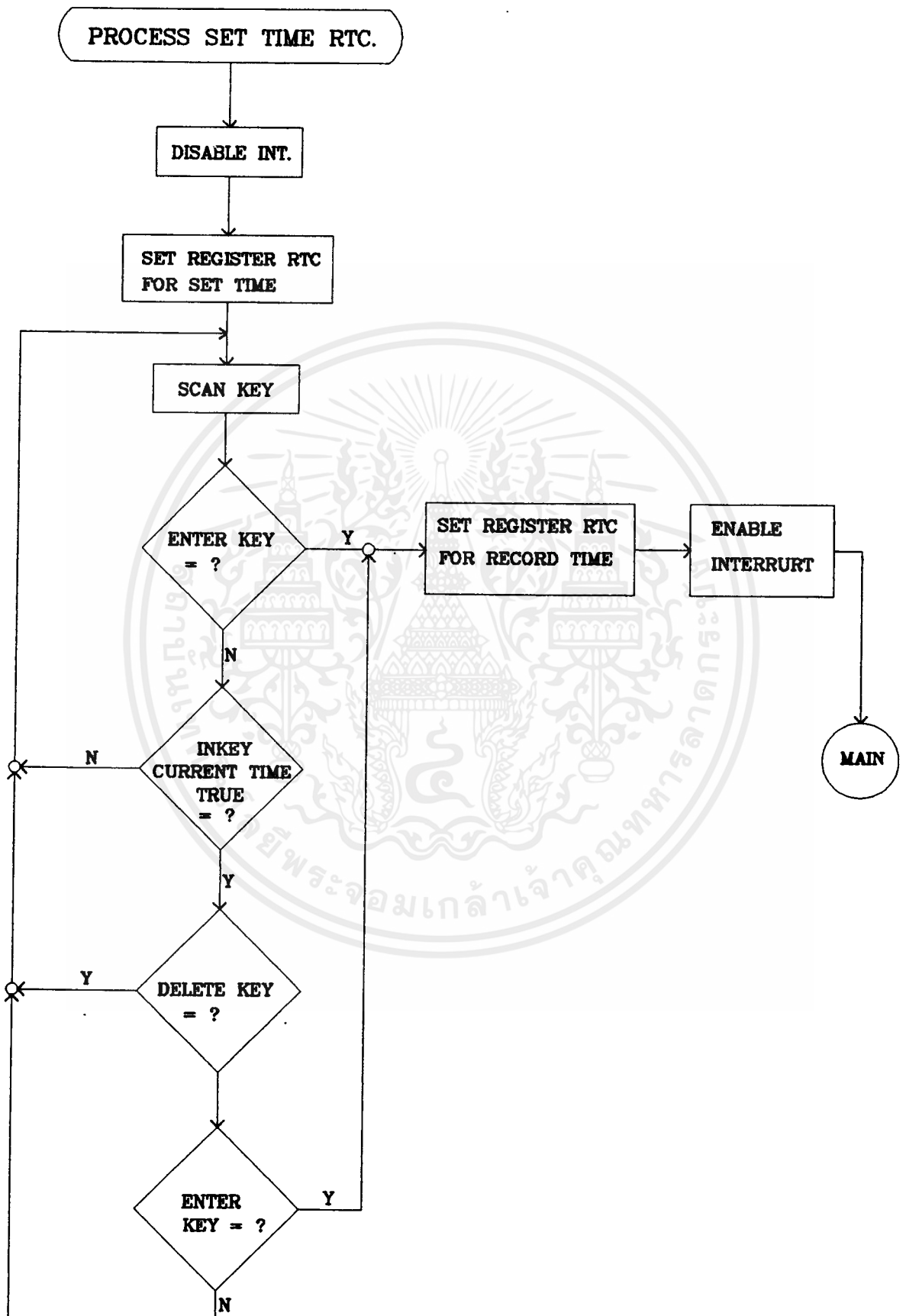
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

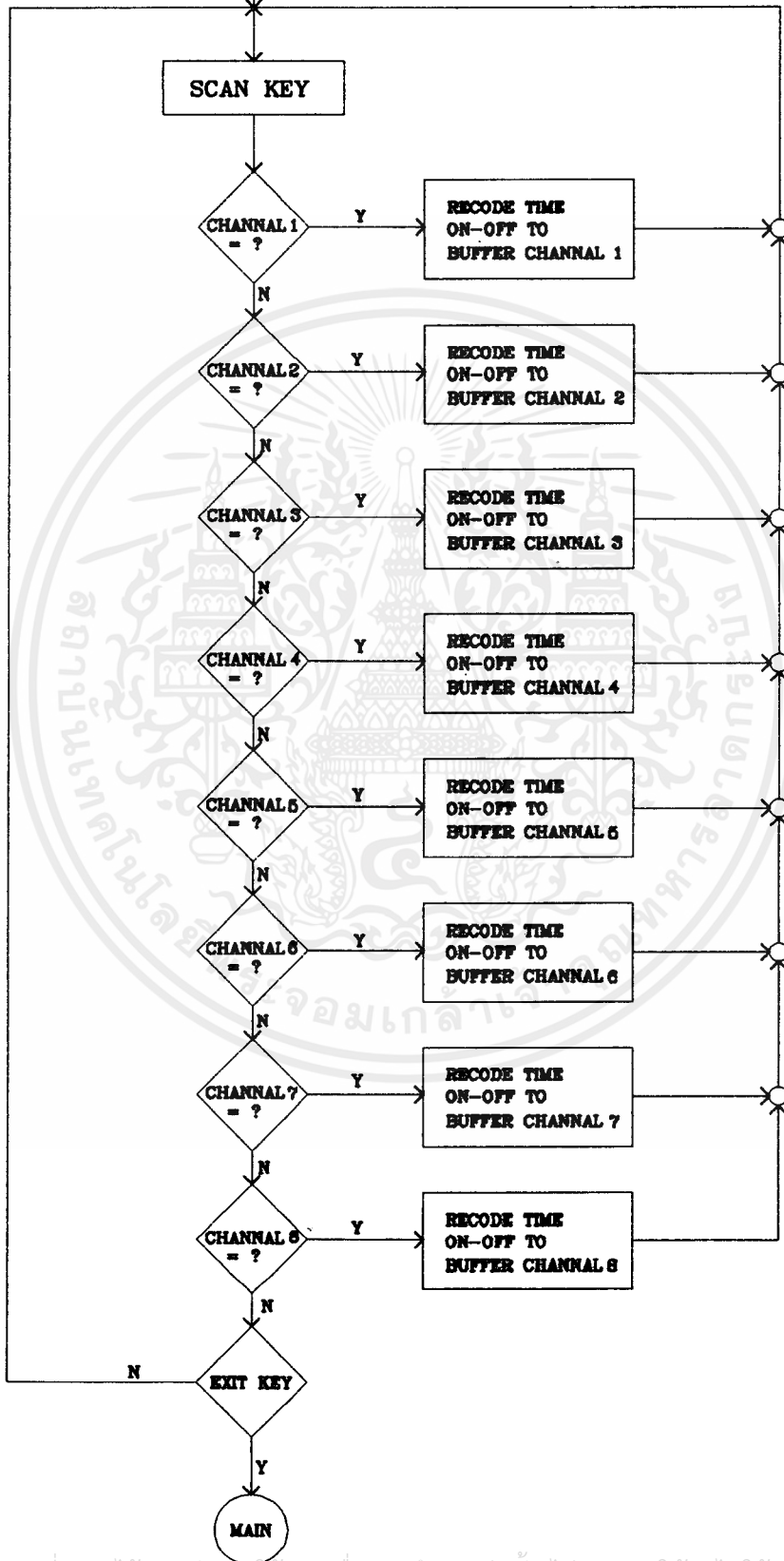


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

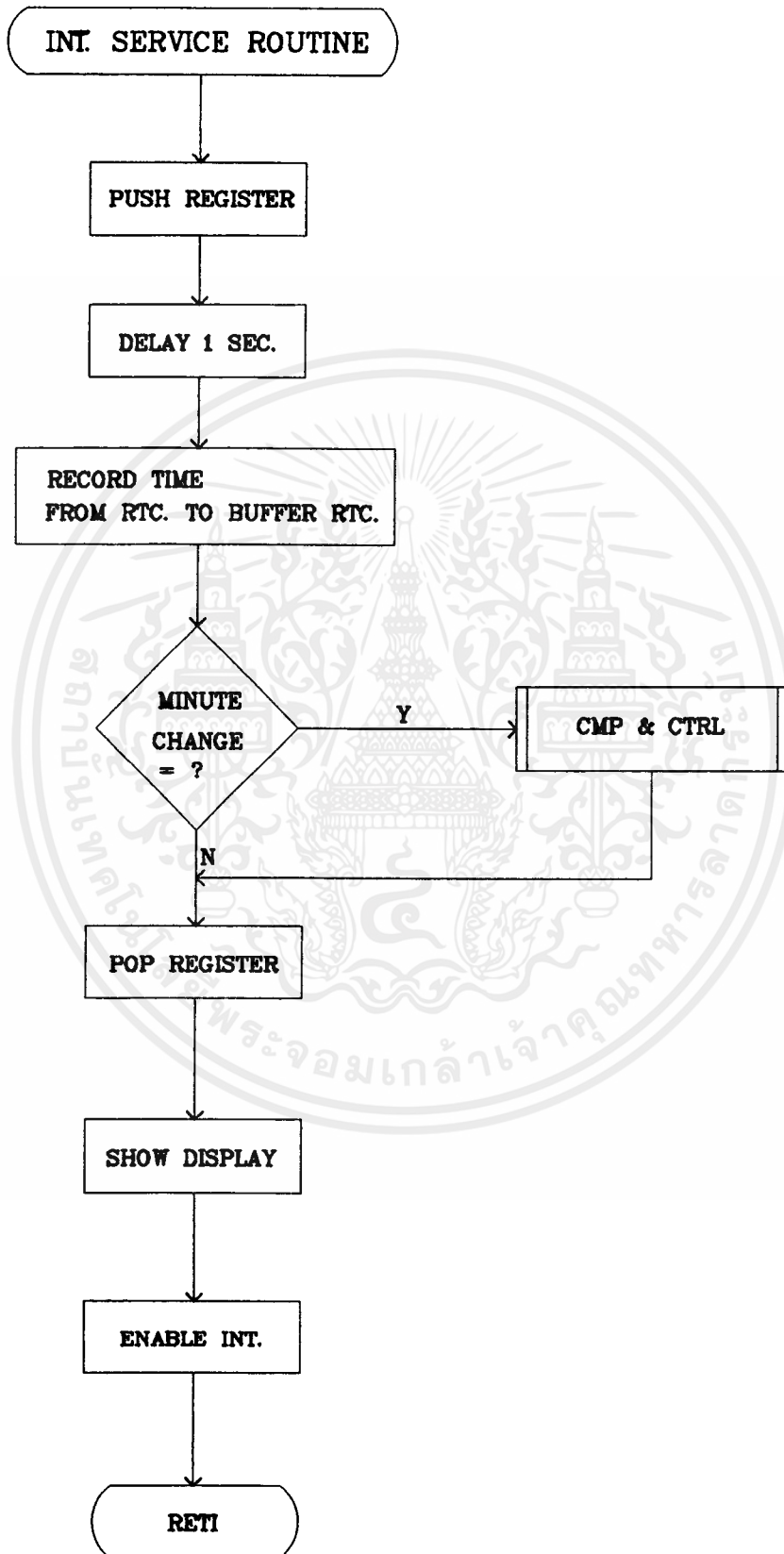


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

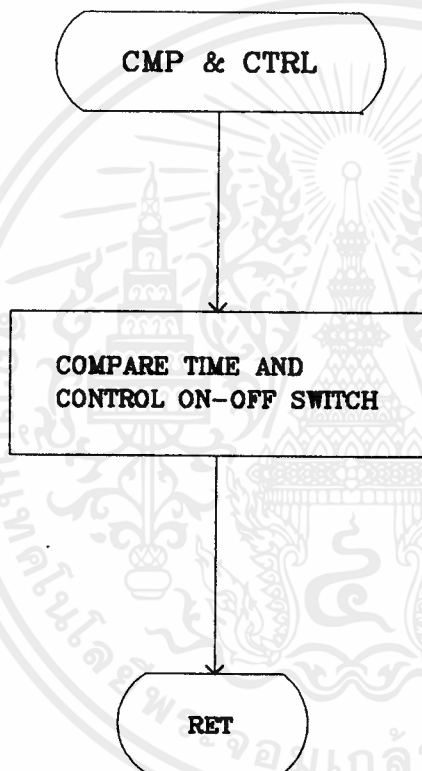
**PROCESS SET TIME
ON-OFF CH1-8**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0000 CPU "64180.TBL"
0000 HOF "INT8"

0000 ORG 0000H
0000 C33B00 JP START

00A0 = RTC: EQU 0A0H
00A0 = SEC1: EQU RTC
00A1 = SEC10: EQU RTC+1
00A2 = MIN1: EQU RTC+2
00A3 = MIN10: EQU RTC+3
00A4 = HOUR1: EQU RTC+4
00A5 = HOUR10: EQU RTC+5
00AD = CREG_D: EQU RTC+0DH
00AE = CREG_E: EQU RTC+0EH
00AF = CREG_F: EQU RTC+0FH
0008 = BS: EQU 8H
0050 = PORT_A: EQU 50H
0051 = PORT_B: EQU 51H
0052 = PORT_C: EQU 52H
0030 = PORT_D: EQU 30H
0054 = PORT_AI: EQU 54H
0055 = PORT_BI: EQU 55H
0056 = PORT_CI: EQU 56H
0034 = PORT_DI: EQU 34H
0080 = PSIGN: EQU 80H ;WRITE INSTRUCTION CODE
0082 = PDATA: EQU 82H ;WRITE DATA
0084 = PREAD: EQU 84H ;READ BUSY FLAG AND ADDRESS

0038 ORG 38H
0038 C31007 JP INT

;*****
;* INITIAL ALL *
;*****
003B F3 START: DI
003C ED56 IM 1 ;INTERRUPT MODE 1
003E 31FFFF LD SP,OFFFH

;*****INITIAL KEYBORD AND LCD *****

0041 CD290B CALL INITLCD
0044 AF XOR A
0045 3EFF LD A,OFFH
0047 D354 OUT (PORT_AI),A ;PORT_A,OUTPUT
0049 D356 OUT (PORT_CI),A ;PORT_C,OUTPUT
004B AF XOR A
004C D355 OUT (PORT_BI),A ;PORT_B,INPUT
004E 3E0F LD A,0FH
0050 D334 OUT (PORT_DI),A ;PORT_D,INPUT & OUTPUT
0052 3E00 LD A,0
0054 D350 OUT (PORT_A),A ;CLEAR RELAY
0056 CDF20E CALL LDTABLE ;LOAD TAB TO MEM

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

;***** SET RTC *****

```
0059 3E01          LD  A,01H          ;SET 24H OR 12H
005B D3AF          OUT (CREG_F),A
005D 3E04          LD  A,04H          ;SET 24H
005F D3AF          OUT (CREG_F),A
0061 D3AE          OUT (CREG_E),A     ;SET INT 1sec
```

;***** SHOW TIME OLD *****

```
0063 DD214082 TIME_OLD: LD  IX,8240H
0067 CD720A       CALL SHOW2
006A FB          EI
```

;***** MAIN PROGRAM *****

```
006B AF          XOR  A
006C D352          OUT (PORT_C),A
006E 3E08          LD  A,08H
0070 D352          OUT (PORT_C),A     ;WAIT FOR RINGING
```

```
0072 DB51 MAIN:      IN  A,(PORT_B)      ;CHECK RINGING SIGNAL
0074 CB7F          BIT  7,A
0076 CA7F00        JP  Z,CHK_KEYBOARD
0079 CD660B        CALL MAIN_1
007C C37200        JP  MAIN
```

```
007F CD8604 CHK_KEYBOARD: CALL SWITCH_
0082 3AC382        LD  A,(KEYF)
0085 FEFF          CP  OFFH
0087 CA7200        JP  Z,MAIN
008A CD6704        CALL KBD_
008D CD230A        CALL CHK_SET_TIME ;SET NEW TIME
0090 C29900        JP  NZ,CHK_KEY_MENU
0093 CDA600        CALL TIME
0096 C37200        JP  MAIN
```

```
0099 CD290A CHK_KEY_MENU: CALL CHK_MENU ;CHECK MENU
009C C27200        JP  NZ,MAIN
009F CDAB00        CALL MENU
00A2 FB          EI
00A3 C37200        JP  MAIN
```

;***** ENTER NEW TIME *****

```
00A6 CDA405 TIME:      CALL SET
00A9 FB          EI
00AA C9          RET
```

;***** MENU *****

```
00AB F3          MENU:      DI
00AC CD7F0A LOOP_NEW: CALL SHOW3
00AF 3E46          LD  A,46H
00B1 CD490B        CALL GOTO
00B4 CD6704        CALL KBD_
00B7 3AC282        LD  A,(SWITCH)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

00BA FE31      CHAN_1:      CP   31H
00BC C2C500    JP   NZ,CHAN_2      ;CHANNAL 1
00BF CD2001    CALL ON_OFF_1
00C2 C3AC00    JP   LOOP_NEW

00C5 FE32      CHAN_2:      CP   32H
00C7 C2D000    JP   NZ,CHAN_3      ;CHANNAL 2
00CA CD3501    CALL ON_OFF_2
00CD C3AC00    JP   LOOP_NEW
00D0 FE33      CHAN_3:      CP   33H
00D2 C2DB00    JP   NZ,CHAN_4      ;CHANNAL 3
00D5 CD4A01    CALL ON_OFF_3
00D8 C3AC00    JP   LOOP_NEW

00DB FE34      CHAN_4:      CP   34H
00DD C2E600    JP   NZ,CHAN_5      ;CHANNAL 4
00E0 CD5F01    CALL ON_OFF_4
00E3 C3AC00    JP   LOOP_NEW

00E6 FE35      CHAN_5:      CP   35H
00E8 C2F100    JP   NZ,CHAN_6      ;CHANNAL 5
00EB CD7401    CALL ON_OFF_5
00EE C3AC00    JP   LOOP_NEW

00F1 FE36      CHAN_6:      CP   36H
00F3 C2FC00    JP   NZ,CHAN_7      ;CHANNAL 6
00F6 CD8901    CALL ON_OFF_6
00F9 C3AC00    JP   LOOP_NEW

00FC FE37      CHAN_7:      CP   37H
00FE C20701    JP   NZ,CHAN_8      ;CHANNAL 7
0101 CD9E01    CALL ON_OFF_7
0104 C3AC00    JP   LOOP_NEW

0107 FE38      CHAN_8:      CP   38H
0109 C21201    JP   NZ,NO_CHANNAL ;CHANNAL 8
010C CDB301    CALL ON_OFF_8
010F C3AC00    JP   LOOP_NEW

0112 FE3E      NO_CHANNAL:  CP   3EH
0114 C2AC00    JP   NZ,LOOP_NEW    ;EXIT TO SHOW TIME
0117 CD1E01    CALL EXT

011A C37200    JP   MAIN

011D C9                RET

;***** EXIT ROUTINE *****

011E FB      EXT:      EI
011F C9                RET

;***** SET ON_OFF (1-8) *****

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0120 DDE5      ON_OFF_1:    PUSH IX
0122 DD210080          LD   IX,8000H
0126 CD900A          CALL SHOW_1
0129 CDCF01          CALL KEY_ON_OFF
012C CD2F03          CALL KEEP_BUF           ;KEEP TIME ON_OFF
012F CD8103          CALL KEEP_CHAN1
0132 DDE1            POP  IX
0134 C9              RET
0135 DDE5      ON_OFF_2:    PUSH IX
0137 DD214080          LD   IX,8040H
013B CD990A          CALL SHOW_2
013E CDCF01          CALL KEY_ON_OFF
0141 CD2F03          CALL KEEP_BUF           ;KEEP TIME ON_OFF
0144 CD9A03          CALL KEEP_CHAN2
0147 DDE1            POP  IX
0149 C9              RET
014A DDE5      ON_OFF_3:    PUSH IX
014C DD218080          LD   IX,8080H
0150 CDA20A          CALL SHOW_3
0153 CDCF01          CALL KEY_ON_OFF
0156 CD2F03          CALL KEEP_BUF           ;KEEP TIME ON_OFF
0159 CDB303          CALL KEEP_CHAN3
015C DDE1            POP  IX

015E C9              RET
015F DDE5      ON_OFF_4:    PUSH IX
0161 DD21C080          LD   IX,80C0H
0165 CDAB0A          CALL SHOW_4
0168 CDCF01          CALL KEY_ON_OFF
016B CD2F03          CALL KEEP_BUF           ;KEEP TIME ON_OFF
016E CDCC03          CALL KEEP_CHAN4
0171 DDE1            POP  IX

0173 C9              RET

0174 DDE5      ON_OFF_5:    PUSH IX
0176 DD210081          LD   IX,8100H
017A CDB40A          CALL SHOW_5
017D CDCF01          CALL KEY_ON_OFF
0180 CD2F03          CALL KEEP_BUF           ;KEEP TIME ON_OFF
0183 CDE503          CALL KEEP_CHAN5
0186 DDE1            POP  IX

0188 C9              RET

0189      ON_OFF_6:    PUSH IX
0189 DDE5            LD   IX,8140H
018B DD214081          CALL SHOW_6
018F CDBD0A          CALL KEY_ON_OFF
0192 CDCF01          CALL KEEP_BUF           ;KEEP TIME ON_OFF
0195 CD2F03          CALL KEEP_CHAN6
0198 CDFE03          CALL KEEP_CHAN6
019B DDE1            POP  IX

019D C9              RET

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

019E DDE5      ON_OFF_7:      PUSH IX
01A0 DD218081  LD IX,8180H
01A4 CDC60A    CALL SHOW_7
01A7 CDCF01    CALL KEY_ON_OFF
01AA CD2F03    CALL KEEP_BUF      ;KEEP TIME ON_OFF
01AD CD1704    CALL KEEP_CHAN7
01B0 DDE1      POP IX

01B2 C9        RET

01B3 DDE5      ON_OFF_8:      PUSH IX
01B5 DD21C081  LD IX,81C0H
01B9 CDCF0A    CALL SHOW_8
01BC CDCF01    CALL KEY_ON_OFF
01BF CD2F03    CALL KEEP_BUF      ;KEEP TIME ON_OFF
01C2 CD3004    CALL KEEP_CHAN8
01C5 DDE1      POP IX

01C7 C9        RET

;***** KEYING ON_OFF (1-8) *****

01C8 CD6704    RX:            CALL KBD_
01CB 3AC282    LD A,(SWITCH)
01CE C9        RET

01CF 3E45      KEY_ON_OFF:    LD A,45H      ;SET POSITION LOAD DATA
01D1 CD490B    CALL GOTO

01D4 CDC801    MORE_2:       CALL RX      ;SET TIME ON
01D7 CD2FOA    CALL CHK_EXIT
01DA C2DE01    JP NZ,CONT1
01DD C9        RET      ;JP EXT
01DE FE33      CONT1:        CP 33H      ;LESS=3
01E0 D2D401    JP NC,MORE_2
01E3 32C782    LD (BUF_HOUR10+1),A
01E6 DD7715    LD (IX+15H),A

01E9 CD4904    CALL WR_DATA  ;HOUR10

01EC 3E46      REC_ON_2:     LD A,46H    ;SET POSITION LOAD DATA
01EE CD490B    CALL GOTO

01F1 CDC801    MORE_3:       CALL RX
01F4 CD170A    CALL CHK_DEL
01F7 C20002    JP NZ,WRITE1
01FA CDCF09    CALL CLR_HH10
01FD C3CF01    JP KEY_ON_OFF

0200 3AC782    WRITE1:      LD A,(BUF_HOUR10+1)
0203 FE32      CP 32H
0205 CA5104    JP Z,LESS_N4  ;IF = 2,HOUR1 < 4
0208 CD110A    CALL CHK_9    ;IF < 2,HOUR1 < 9
020B D2F101    JP NC,MORE_3

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

020E 3AC282 LOWER_4: LD A,(SWITCH)
0211 32CB82 LD (BUF_HOUR1+1),A
0214 DD7716 LD (IX+16H),A

0217 CD4904 CALL WR_DATA

021A 3E48 REC_ON_3: LD A,48H ;SET POSITION LOAD DATA MIN
021C CD490B CALL GOTO

021F CDC801 MORE_5_ON: CALL RX
0222 CD170A CALL CHK_DEL
0225 C22E02 JP NZ,WRITE2
0228 CDD409 CALL CLR_HH1
022B C3EC01 JP REC_ON_2

022E CD0B0A WRITE2: CALL CHK_5
0231 D21F02 JP NC,MORE_5_ON

0234 3AC282 LD A,(SWITCH)
0237 32CF82 LD (BUF_MIN10+1),A
023A DD7718 LD (IX+18H),A
023D CD4904 CALL WR_DATA

0240 3E49 REC_ON_4: LD A,49H ;SET POSITION LOAD DATA MI
0242 CD490B CALL GOTO

0245 CDC801 MORE_9_ON: CALL RX
0248 CD170A CALL CHK_DEL
024B C25402 JP NZ,WRITE3
024E CDD909 CALL CLR_MM10
0251 C31A02 JP REC_ON_3

0254 CD110A WRITE3: CALL CHK_9
0257 D24502 JP NC,MORE_9_ON
025A 3AC282 LD A,(SWITCH)
025D 32D382 LD (BUF_MIN1+1),A
0260 DD7719 LD (IX+19H),A
0263 CD4904 CALL WR_DATA ;MIN1

0266 CDC801 WAIT1: CALL RX ;WAIT KEY ENTER
0269 CD170A CALL CHK_DEL
026C C27502 JP NZ,ON_OK
026F CDDE09 CALL CLR_MM1
0272 C34002 JP REC_ON_4

0275 CD1D0A ON_OK: CALL CHK_ENT
0278 C26602 JP NZ,WAIT1

027B 3E15 REC_OFF_1: LD A,15H ;START SET TIME OFF
027D CD490B CALL GOTO

0280 CDC801 UPPER_2: CALL RX
0283 FE33 CONT2: CP 33H

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรรมใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0285 D28002      JP  NC,UPPER_2
0288 32C882      LD  (BUF_HOUR10+2),A
028B DD7725      LD  (IX+25H),A

028E CD4904      CALL WR_DATA          ;HOUR10

0291 3E16        REC_OFF_2:          LD  A,16H            ;SET POSITION LOAD DATA
0293 CD490B      CALL GOTO

0296 CDC801      UPPER_3:           CALL RX
0299 CD170A      CALL CHK_DEL
029C C2A502      JP  NZ,WRITE4
029F CDE309      CALL CLR_HHF10
02A2 C37B02      JP  REC_OFF_1

02A5 3AC882      WRITE4:           LD  A,(BUF_HOUR10+2)
02A8 FE32        CP  32H
02AA CA5C04      JP  Z,LESS_OFF_4
02AD CD110A      CALL CHK_9
02B0 D29602      JP  NC,UPPER_3

02B3 3AC282      LOWER_OFF_4:      LD  A,(SWITCH)
02B6 32CC82      LD  (BUF_HOUR1+2),A
02B9 DD7726      LD  (IX+26H),A

02BC CD4904      CALL WR_DATA          ;HOUR1

02BF 3E18        REC_OFF_3:          LD  A,18H            ;SET POSITION LOAD DATA
02C1 CD490B      CALL GOTO

02C4 CDC801      UPPER_5:           CALL RX
02C7 CD170A      CALL CHK_DEL
02CA C2D302      JP  NZ,WRITE5
02CD CDE809      CALL CLR_HHF1
02D0 C39102      JP  REC_OFF_2

02D3 CD0B0A      WRITE5:           CALL CHK_5           ;CHECK < 5
02D6 D2C402      JP  NC,UPPER_5

02D9 3AC282      LD  A,(SWITCH)
02DC 32D082      LD  (BUF_MIN10+2),A
02DF DD7728      LD  (IX+28H),A

02E2 CD4904      CALL WR_DATA          ;MIN10

02E5 3E19        REC_OFF_4:          LD  A,19H            ;SET POSITION LOAD DATA
02E7 CD490B      CALL GOTO

02EA CDC801      UPPER_9:           CALL RX
02ED CD170A      CALL CHK_DEL
02F0 C2F902      JP  NZ,WRITE6
02F3 CDED09      CALL CLR_MMF10
02F6 C3BF02      JP  REC_OFF_3

02F9 CD110A      WRITE6:           CALL CHK_9           ;CHECK < 9

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรรมใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

02FC D2EA02      JP   NC,UPPER_9
02FF 3AC282      LD   A,(SWITCH)
0302 32D482      LD   (BUF_MIN1+2),A
0305 DD7729      LD   (IX+29H),A
0308 CD4904      CALL WR_DATA          ;MIN1

030B CDC801      WAIT2:      CALL RX
030E CD170A      CALL CHK_DEL
0311 C21A03      JP   NZ,OFF_OK
0314 CDF209      CALL CLR_MMF1
0317 C3E502      JP   REC_OFF_4

031A CD1D0A      OFF_OK:     CALL CHK_ENT
031D C20B03      JP   NZ,WAIT2

0320 3E55        LD   A,55H
0322 CD490B      CALL GOTO

0325 CDC801      WAIT_EXT:   CALL RX
0328 CD2F0A      CALL CHK_EXIT
032B C22503      JP   NZ,WAIT_EXT
032E C9          RET

;***** KEEP VALUE BINARY TO BUFFER *****

032F F5          KEEP_BUF:   PUSH AF
0330 D5          PUSH DE
0331 3AC782      LD   A,(BUF_HOUR10+1)
0334 E60F        AND   OFH
0336 CD7C03      CALL SHIFT          ;SHIFT LEFT
0339 57          LD   D,A
033A 3ACB82      LD   A,(BUF_HOUR1+1)
033D E60F        AND   OFH
033F B2          OR   D
0340 32DE82      LD   (HOUR_ON),A

0343 3ACF82      LD   A,(BUF_MIN10+1)
0346 E60F        AND   OFH
0348 CD7C03      CALL SHIFT          ;SHIFT LEFT
034B 57          LD   D,A
034C 3AD382      LD   A,(BUF_MIN1+1)
034F E60F        AND   OFH
0351 B2          OR   D
0352 32F082      LD   (MIN_ON),A

0355 3AC882      LD   A,(BUF_HOUR10+2)
0358 E60F        AND   OFH
035A CD7C03      CALL SHIFT          ;SHIFT LEFT
035D 57          LD   D,A
035E 3ACC82      LD   A,(BUF_HOUR1+2)
0361 E60F        AND   OFH
0363 B2          OR   D
0364 32E782      LD   (HOUR_OFF),A

0367 3AD082      LD   A,(BUF_MIN10+2)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

036A E60F      AND  OFH
036C CD7C03    CALL SHIFT          ;SHIFT LEFT
036F 57        LD   D,A
0370 3AD482    LD   A,(BUF_MIN1+2)
0373 E60F      AND  OFH
0375 B2        OR   D
0376 32F982    LD   (MIN_OFF),A

0379 D1        POP  DE
037A F1        POP  AF

037B C9        RET

```

***** SHIFT LEFT DATA 4 BIT *****

```

037C 07        SHIFT:  RLCA
037D 07        RLCA
037E 07        RLCA
037F 07        RLCA
0380 C9        RET

```

***** KEEP DATA INTO CHANNEL *****

```

0381 3ADE82    KEEP_CHAN1: LD   A,(HOUR_ON)
0384 32DF82    LD   (HOUR_ON+1),A

0387 3AF082    LD   A,(MIN_ON)
038A 32F182    LD   (MIN_ON+1),A

038D 3AE782    LD   A,(HOUR_OFF)
0390 32E882    LD   (HOUR_OFF+1),A

0393 3AF982    LD   A,(MIN_OFF)
0396 32FA82    LD   (MIN_OFF+1),A
0399 C9        RET

039A 3ADE82    KEEP_CHAN2: LD   A,(HOUR_ON)
039D 32E082    LD   (HOUR_ON+2),A

03A0 3AF082    LD   A,(MIN_ON)
03A3 32F282    LD   (MIN_ON+2),A

03A6 3AE782    LD   A,(HOUR_OFF)
03A9 32E982    LD   (HOUR_OFF+2),A

03AC 3AF982    LD   A,(MIN_OFF)
03AF 32FB82    LD   (MIN_OFF+2),A
03B2 C9        RET

03B3 3ADE82    KEEP_CHAN3: LD   A,(HOUR_ON)
03B6 32E182    LD   (HOUR_ON+3),A

03B9 3AF082    LD   A,(MIN_ON)
03BC 32F382    LD   (MIN_ON+3),A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

03BF	3AE782		LD	A,(HOUR_OFF)
03C2	32EA82		LD	(HOUR_OFF+3),A
03C5	3AF982		LD	A,(MIN_OFF)
03C8	32FC82		LD	(MIN_OFF+3),A
03CB	C9		RET	
03CC	3ADE82	KEEP_CHAN4:	LD	A,(HOUR_ON)
03CF	32E282		LD	(HOUR_ON+4),A
03D2	3AF082		LD	A,(MIN_ON)
03D5	32F482		LD	(MIN_ON+4),A
03D8	3AE782		LD	A,(HOUR_OFF)
03DB	32EB82		LD	(HOUR_OFF+4),A
03DE	3AF982		LD	A,(MIN_OFF)
03E1	32FD82		LD	(MIN_OFF+4),A
03E4	C9		RET	
03E5	3ADE82	KEEP_CHAN5:	LD	A,(HOUR_ON)
03E8	32E382		LD	(HOUR_ON+5),A
03EB	3AF082		LD	A,(MIN_ON)
03EE	32F582		LD	(MIN_ON+5),A
03F1	3AE782		LD	A,(HOUR_OFF)
03F4	32EC82		LD	(HOUR_OFF+5),A
03F7	3AF982		LD	A,(MIN_OFF)
03FA	32FE82		LD	(MIN_OFF+5),A
03FD	C9		RET	
03FE	3ADE82	KEEP_CHAN6:	LD	A,(HOUR_ON)
0401	32E482		LD	(HOUR_ON+6),A
0404	3AF082		LD	A,(MIN_ON)
0407	32F682		LD	(MIN_ON+6),A
040A	3AE782		LD	A,(HOUR_OFF)
040D	32ED82		LD	(HOUR_OFF+6),A
0410	3AF982		LD	A,(MIN_OFF)
0413	32FF82		LD	(MIN_OFF+6),A
0416	C9		RET	
0417	3ADE82	KEEP_CHAN7:	LD	A,(HOUR_ON)
041A	32E582		LD	(HOUR_ON+7),A
041D	3AF082		LD	A,(MIN_ON)
0420	32F782		LD	(MIN_ON+7),A
0423	3AE782		LD	A,(HOUR_OFF)
0426	32EE82		LD	(HOUR_OFF+7),A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0429 3AF982      LD  A,(MIN_OFF)
042C 320083      LD  (MIN_OFF+7),A
042F C9          RET

0430 3ADE82      KEEP_CHAN8:    LD  A,(HOUR_ON)
0433 32E682      LD  (HOUR_ON+8),A

0436 3AF082      LD  A,(MIN_ON)
0439 32F882      LD  (MIN_ON+8),A

043C 3AE782      LD  A,(HOUR_OFF)
043F 32EF82      LD  (HOUR_OFF+8),A

0442 3AF982      LD  A,(MIN_OFF)
0445 320183      LD  (MIN_OFF+8),A
0448 C9          RET

```

***** DATA WRITE BYTE *****

```

0449 3AC282      WR_DATA:      LD  A,(SWITCH)
044C 57          LD  D,A
044D CD580B      CALL WRBYTE
0450 C9          RET

```

***** LOWER 4 MODE ON *****

```

0451 3AC282      LESS_N4:     LD  A,(SWITCH)
0454 FE34      CP  34H
0456 D2F101      JP  NC,MORE_3
0459 C30E02      JP  LOWER_4

```

***** LOWER 4 MODE OFF *****

```

045C 3AC282      LESS_OFF_4: LD  A,(SWITCH)
045F FE34      CP  34H
0461 D29602      JP  NC,UPPER_3
0464 C3B302      JP  LOWER_OFF_4

```

***** DEBOUND *****

```

0467 CD8604      KBD_:       CALL SWITCH_
046A 3AC382      LD  A,(KEYF)
046D FE00      CP  00H
046F C26704      JP  NZ,KBD_
0472 CD8604      P1:        CALL SWITCH_
0475 3AC382      LD  A,(KEYF)
0478 FEFF      CP  OFFH
047A C27204      JP  NZ,P1
047D 3AC282      LD  A,(SWITCH)
0480 C62F      ADD A,2FH
0482 32C282      LD  (SWITCH),A
0485 C9          RET

```

***** SCAN KEY *****

```

0486 3EFE      SWITCH_:   LD  A,1111110B      ;ROW1
0488 D330      OUT (PORT_D),A

```

```

048A DB30      KEYIN1:      IN A,(PORT_D)
048C 5F        LD E,A
048D E610     AND 00010000B
048F CA0405   JP Z,SW1_
0492 7B       LD A,E
0493 E620     AND 00100000B
0495 CA0E05   JP Z,SW2_
0498 7B       LD A,E
0499 E640     AND 01000000B
049B CA1805   JP Z,SW3_
049E 7B       LD A,E
049F E680     AND 10000000B
04A1 CA2205   JP Z,SW4_
;*****
04A4 3EFD     LD A,11111101B      ;ROW2
04A6 D330     OUT (PORT_D),A
04A8 DB30     IN A,(PORT_D)
04AA 5F       LD E,A
04AB E610     AND 00010000B
04AD CA2C05   JP Z,SW5_
04B0 7B       LD A,E
04B1 E620     AND 00100000B
04B3 CA3605   JP Z,SW6_
04B6 7B       LD A,E
04B7 E640     AND 01000000B
04B9 CA4005   JP Z,SW7_
04BC 7B       LD A,E
04BD E680     AND 10000000B
04BF CA4A05   JP Z,SW8_
;*****
04C2 3EFD     LD A,11111011B     ;ROW3
04C4 D330     OUT (PORT_D),A
04C6 DB30     IN A,(PORT_D)
04C8 5F       LD E,A
04C9 E610     AND 00010000B
04CB CA5405   JP Z,SW9_
04CE 7B       LD A,E
04CF E620     AND 00100000B
04D1 CA5E05   JP Z,SW10_
04D4 7B       LD A,E
04D5 E640     AND 01000000B
04D7 CA6805   JP Z,SW11_
04DA 7B       LD A,E
04DB E680     AND 10000000B
04DD CA7205   JP Z,SW12_
;*****
04E0 3EF7     LD A,11110111B     ;ROW4
04E2 D330     OUT (PORT_D),A
04E4 DB30     IN A,(PORT_D)
04E6 5F       LD E,A
04E7 E610     AND 00010000B
04E9 CA7C05   JP Z,SW13_
04EC 7B       LD A,E
04ED E620     AND 00100000B
04EF CA8605   JP Z,SW14_

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

04F2 7B          LD A,E
04F3 E640        AND 01000000B
04F5 CA9005      JP Z,SW15_
04F8 7B          LD A,E
04F9 E680        AND 10000000B
04FB CA9A05      JP Z,SW16_
04FE 3EFF        LD A,OFFH
0500 32C382      LD (KEYF),A
0503 C9          RET

```

;*****

```

0504 3E0B        SW1_: LD A,0BH
0506 32C282      LD (SWITCH),A
0509 AF          XOR A
050A 32C382      LD (KEYF),A
050D C9          RET
050E 3E0A        SW2_: LD A,0AH
0510 32C282      LD (SWITCH),A
0513 AF          XOR A
0514 32C382      LD (KEYF),A
0517 C9          RET
0518 3E09        SW3_: LD A,09H
051A 32C282      LD (SWITCH),A
051D AF          XOR A
051E 32C382      LD (KEYF),A
0521 C9          RET
0522 3E08        SW4_: LD A,08H
0524 32C282      LD (SWITCH),A
0527 AF          XOR A
0528 32C382      LD (KEYF),A
052B C9          RET
052C 3E01        SW5_: LD A,01H
052E 32C282      LD (SWITCH),A
0531 AF          XOR A
0532 32C382      LD (KEYF),A
0535 C9          RET
0536 3E07        SW6_: LD A,07H
0538 32C282      LD (SWITCH),A
053B AF          XOR A
053C 32C382      LD (KEYF),A
053F C9          RET
0540 3E06        SW7_: LD A,06H
0542 32C282      LD (SWITCH),A
0545 AF          XOR A
0546 32C382      LD (KEYF),A
0549 C9          RET
054A 3E05        SW8_: LD A,05H
054C 32C282      LD (SWITCH),A
054F AF          XOR A
0550 32C382      LD (KEYF),A
0553 C9          RET
0554 3E0C        SW9_: LD A,0CH
0556 32C282      LD (SWITCH),A
0559 AF          XOR A
055A 32C382      LD (KEYF),A

```

```

055D C9          RET
055E 3E04      SW10 :   LD A,04H
0560 32C282    LD (SWITCH),A
0563 AF        XOR A
0564 32C382    LD (KEYF),A
0567 C9        RET
0568 3E03      SW11_:   LD A,03H
056A 32C282    LD (SWITCH),A
056D AF        XOR A
056E 32C382    LD (KEYF),A
0571 C9        RET
0572 3E02      SW12_:   LD A,02H
0574 32C282    LD (SWITCH),A
0577 AF        XOR A
0578 32C382    LD (KEYF),A
057B C9        RET
057C 3E0D      SW13_:   LD A,0DH
057E 32C282    LD (SWITCH),A
0581 AF        XOR A
0582 32C382    LD (KEYF),A
0585 C9        RET
0586 3E0E      SW14_:   LD A,0EH
0588 32C282    LD (SWITCH),A
058B AF        XOR A
058C 32C382    LD (KEYF),A
058F C9        RET
0590 3E0F      SW15_:   LD A,0FH
0592 32C282    LD (SWITCH),A
0595 AF        XOR A
0596 32C382    LD (KEYF),A
0599 C9        RET
059A 3E10      SW16_:   LD A,10H
059C 32C282    LD (SWITCH),A
059F AF        XOR A
05A0 32C382    LD (KEYF),A
05A3 C9        RET
;***** SHOW LAST HOUR *****

05A4 F3        SET:    DI
05A5 F5        PUSH AF
05A6 3E07      LD A,07 ;SET TIME
05A8 D3AF      OUT (CREG_F),A
05AA F1        POP AF
05AB DD210082  LD IX,8200H
05AF CD9307    CALL OLD_TIME
05B2 CD650A    CALL SHOW1
;***** INKEY FOR RECORD TIME *****

05B5 3E55      REC:    LD A,55H
05B7 CD490B    CALL GOTO
05BA CD6704    CALL KBD_ ;HOUR10
05BD CD1D0A    CALL CHK_ENT
05C0 CA0007    JP Z,SETEND
05C3 3AC282    LD A,(SWITCH)
05C6 FE33      CP 33H

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

05C8 D2B505                JP    NC,REC

05CB 3AC282                REC_SHOW: LD    A,(SWITCH)
05CE 32C682                LD    (BUF_HOUR10),A    ;KEEP DATA TO HOUR10
05D1 DD7735                LD    (IX+35H),A        ;SHOW HOUR10
05D4 CD650A                CALL  SHOW1

05D7 3E56                  INKEY1:  LD    A,56H
05D9 CD490B                CALL  GOTO
05DC CD6704                CALL  KBD_                ;HOUR1
05DF CD170A                CALL  CHK_DEL
05E2 CA8D09                JP    Z,CLR_HOUR10
05E5 CD1D0A                CALL  CHK_ENT
05E8 C2F105                JP    NZ,RECH1
05EB CD350A                CALL  LOAD_HOUR10
05EE C30007                JP    SETEND                ;RETURN TO DISPLAY

05F1 AF                    RECH1:   XOR    A
05F2 3AC682                LD    A,(BUF_HOUR10)
05F5 FE32                  CP    32H
05F7 CA000A                JP    Z,CHK_3                ;CHECK < 3
05FA CD110A                CALL  CHK_9                ;CHECK < 9
05FD D2D705                JP    NC,INKEY1

0600 3AC282                RECH1_SHOW: LD    A,(SWITCH)
0603 32CA82                LD    (BUF_HOUR1),A    ;KEEP DATA TO HOUR1
0606 DD7736                LD    (IX+36H),A        ;SHOW HOUR1
0609 CD650A                CALL  SHOW1

060C 3E58                  INKEY2:  LD    A,58H
060E CD490B                CALL  GOTO
0611 CD6704                CALL  KBD_                ;MIN10
0614 CD170A                CALL  CHK_DEL
0617 CA9809                JP    Z,CLR_HOUR1
061A CD1D0A                CALL  CHK_ENT
061D C22906                JP    NZ,RECM10
0620 CD350A                CALL  LOAD_HOUR10
0623 CD3D0A                CALL  LOAD_HOUR1
0626 C30007                JP    SETEND

0629 CDOB0A                RECM10: CALL  CHK_5                ;CHECK < 5
062C D20C06                JP    NC,INKEY2
062F DD7738                LD    (IX+38H),A        ;SHOW MIN10
0632 CD650A                CALL  SHOW1
0635 3AC282                LD    A,(SWITCH)
0638 32CE82                LD    (BUF_MIN10),A

063B 3E59                  INKEY3:  LD    A,59H
063D CD490B                CALL  GOTO
0640 CD6704                CALL  KBD_                ;MIN1
0643 CD170A                CALL  CHK_DEL
0646 CAA309                JP    Z,CLR_MIN10
0649 CD1D0A                CALL  CHK_ENT
064C C25B06                JP    NZ,RECM1
064F CD350A                CALL  LOAD_HOUR10

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0652 CD3D0A      CALL  LOAD_HOUR1
0655 CD450A      CALL  LOAD_MIN10
0658 C30007      JP    SETEND

065B CD110A      RECM1:  CALL  CHK_9                ;CHECK < 9
065E D23B06      JP    NC,INKEY3
0661 DD7739      LD    (IX+39H),A                ;SHOW MIN1
0664 CD650A      CALL  SHOW1
0667 3AC282      LD    A,(SWITCH)
066A 32D282      LD    (BUF_MIN1),A

066D 3E5B        INKEY4: LD    A,5BH
066F CD490B      CALL  GOTO
0672 CD6704      CALL  KBD_                      ;SEC10
0675 CD170A      CALL  CHK_DEL
0678 CAAE09      JP    Z,CLR_MIN1

067B CD1D0A      CALL  CHK_ENT
067E C29006      JP    NZ,RECS10
0681 CD350A      CALL  LOAD_HOUR10
0684 CD3D0A      CALL  LOAD_HOUR1
0687 CD450A      CALL  LOAD_MIN10
068A CD4D0A      CALL  LOAD_MIN1
068D C30007      JP    SETEND

0690 CD0B0A      RECS10: CALL  CHK_5
0693 D26D06      JP    NC,INKEY4
0696 DD773B      LD    (IX+3BH),A                ;SHOW SEC10
0699 CD650A      CALL  SHOW1
069C 3AC282      LD    A,(SWITCH)
069F 32D682      LD    (BUF_SEC10),A

06A2 3E5C        INKEY5: LD    A,5CH
06A4 CD490B      CALL  GOTO
06A7 CD6704      CALL  KBD_                      ;SEC1
06AA CD170A      CALL  CHK_DEL
06AD CAB909      JP    Z,CLR_SEC10
06B0 CD1D0A      CALL  CHK_ENT
06B3 C2C806      JP    NZ,RECS1
06B6 CD350A      CALL  LOAD_HOUR10
06B9 CD3D0A      CALL  LOAD_HOUR1
06BC CD450A      CALL  LOAD_MIN10
06BF CD4D0A      CALL  LOAD_MIN1
06C2 CD550A      CALL  LOAD_SEC10
06C5 C30007      JP    SETEND
06C8 CD110A      RECS1:  CALL  CHK_9
06CB D2A206      JP    NC,INKEY5
06CE DD773C      LD    (IX+3CH),A                ;SHOW SEC1
06D1 CD650A      CALL  SHOW1
06D4 3AC282      LD    A,(SWITCH)
06D7 32DA82      LD    (BUF_SEC1),A

06DA 3E5D        REC_FINAL: LD    A,5DH
06DC CD490B      CALL  GOTO
06DF CD6704      CALL  KBD_                      ;TIME OK PRESS KEY ENTER
06E2 CD170A      CALL  CHK_DEL

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

06E5 CAC409      JP    Z,CLR_SEC1
06E8 CD1D0A      CALL  CHK_ENT
06EB C2DA06      JP    NZ,REC_FINAL
06EE CD350A      CALL  LOAD_HOUR10
06F1 CD3D0A      CALL  LOAD_HOUR1
06F4 CD450A      CALL  LOAD_MIN10
06F7 CD4D0A      CALL  LOAD_MIN1
06FA CD550A      CALL  LOAD_SEC10
06FD CD5D0A      CALL  LOAD_SEC1

```

;***** SETEND *****

```

0700 F5          SETEND:  PUSH  AF
0701 AF          XOR    A
0702 D3AD        OUT   (CREG_D),A
0704 3E04        LD    A,04H
0706 D3AF        OUT   (CREG_F),A
0708 F1          POP   AF
0709 CD720A      CALL  SHOW2
070C CD6E09      CALL  CLR_SHOW1
070F C9          RET

```

;***** RTC INTERRUPT SERVICE *****

```

0710 F3          INT:    DI
0711 F5          PUSH  AF
0712 C5          PUSH  BC
0713 D5          PUSH  DE
0714 E5          PUSH  HL

0715 21C082      LD    HL,COUNT_15
0718 34          INC   (HL)

0719 06Q8        LD    B,8
071B C5          BSLOOP: PUSH BC
071C 1608        LD    D,BS
071E CD580B      CALL  WRBYTE
0721 3E00        LD    A,00H
0723 3D          LOOP:  DEC  A
0724 060A        LD    B,10
0726 10FE        LOOP1: DJNZ LOOP1
0728 20F9        JR    NZ,LOOP
072A C1          POP   BC
072B 10EE        DJNZ BSLOOP

072D DBA4        IN    A,(HOUR1)
072F E60F        AND   0FH
0731 32CD82      LD    (BUF_HOUR1+3),A
0734 C630        ADD   A,30H
0736 DD7706      LD    (IX+06H),A

0739 DBA5        IN    A,(HOUR10)
073B E60F        AND   0FH
073D 32C982      LD    (BUF_HOUR10+3),A

```

```

0740 C630          ADD  A,30H
0742 DD7705       LD   (IX+05H),A

0745 DBA2         IN   A,(MIN1)
0747 E60F         AND  0FH
0749 32D582       LD   (BUF_MIN1+3),A
074C BB          CP   E
074D CA5807       JP   Z,SUM 30H
0750 5F          LD   E,A
0751 CDE107       CALL COMP_ON_OFF1 ;COMPARE 8_CHANNEL
0754 DBA2         IN   A,(MIN1)
0756 E60F         AND  0FH
0758 C630         ADD  A,30H
075A DD7709       LD   (IX+09H),A
075D DBA3         IN   A,(MIN10)
075F E60F         AND  0FH
0761 32D182       LD   (BUF_MIN10+3),A
0764 C630         ADD  A,30H
0766 DD7708       LD   (IX+08H),A

```

SUM_30H:

```

0769 DBA0         IN   A,(SEC1)
076B E60F         AND  0FH
076D 32DD82       LD   (BUF_SEC1+3),A
0770 C630         ADD  A,30H
0772 DD770C       LD   (IX+0CH),A

```

```

0775 DBA1         IN   A,(SEC10)
0777 E60F         AND  0FH
0779 32D982       LD   (BUF_SEC10+3),A
077C C630         ADD  A,30H
077E DD770B       LD   (IX+0EH),A
0781 CDC407       CALL SUM_

```

```

0784 CD720A       CALL SHOW2
0787 3E55         LD   A,55H
0789 CD490B       CALL GOTO

```

```

078C E1          POP  HL
078D D1          POP  DE
078E C1          POP  BC
078F F1          POP  AF
0790 FB          EI
0791 ED4D       RETI

```

***** SHOW OLD TIME FOR SET NEW TIME*****

```

0793 3AC982       OLD_TIME: LD   A,(BUF_HOUR10+3)
0796 C630         ADD  A,30H
0798 DD7705       LD   (IX+05H),A

```

```

079B 3ACD82       LD   A,(BUF_HOUR1+3)
079E C630         ADD  A,30H
07A0 DD7706       LD   (IX+06H),A

```

```

07A3 3AD182      LD    A,(BUF_MIN10+3)
07A6 C630        ADD   A,30H
07A8 DD7708      LD    (IX+08H),A

07AB 3AD582      LD    A,(BUF_MIN1+3)
07AE C630        ADD   A,30H
07B0 DD7709      LD    (IX+09H),A

07B3 3AD982      LD    A,(BUF_SEC10+3)
07B6 C630        ADD   A,30H
07B8 DD770B      LD    (IX+0BH),A

07BB 3ADD82      LD    A,(BUF_SEC1+3)
07BE C630        ADD   A,30H
07C0 DD770C      LD    (IX+0CH),A

07C3 C9          RET

;***** SUM 10,1 *****
07C4 3AC982      LD    A,(BUF_HOUR10+3)
07C7 CD7C03      CALL SHIFT
07CA 57          LD    D,A
07CB 3ACD82      LD    A,(BUF_HOUR1+3)
07CE B2          OR    D
07CF 32C482      LD    (HOUR_RTC),A      ;KEEP HOUR RTC

07D2 3AD182      LD    A,(BUF_MIN10+3)
07D5 CD7C03      CALL SHIFT
07D8 57          LD    D,A
07D9 3AD582      LD    A,(BUF_MIN1+3)
07DC B2          OR    D
07DD 32C582      LD    (MIN_RTC),A      ;KEEP MINUTE RTC
07E0 C9          RET

;***** COMPARE RTC WITH ON_OFF TIME *****
07E1 D5          COMP_ON_OFF1:  PUSH DE
07E2 E5          PUSH HL
07E3 21C182      LD    HL,STATUS
07E6 3AC482      LD    A,(HOUR_RTC)
07E9 ED5BDF82    LD    DE,(HOUR_ON+1)
07ED BB          CP    E      ;COMPARE RTC,ON_CHAN1
07EE C2FE07      JP    NZ,COMP_OFF1    ;NOT EQUAL CHANNAL1

07F1 3AC582      LD    A,(MIN_RTC)
07F4 ED5BF182    LD    DE,(MIN_ON+1)
07F8 BB          CP    E      ;COMPARE RTC,ON_CHAN1
07F9 C2FE07      JP    NZ,COMP_OFF1    ;NOT EQUAL CHANNAL1

07FC CBC6        SET_ 0,(HL)      ;L=0000 0001

07FE 3AC482      COMP_OFF1:    LD    A,(HOUR_RTC)
0801 ED5BE882    LD    DE,(HOUR_OFF+1)
0805 BB          CP    E      ;COMPARE RTC,OFF_CHAN1

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0806 C21608          JP    NZ,COMP_ON_OFF2      ;NOT EQUAL CHANNAL1

0809 3AC582          LD    A,(MIN_RTC)
080C ED5BFA82        LD    DE,(MIN_OFF+1)
0810 BB              CP    E                    ;COMPARE RTC,OFF_CHAN1
0811 C21608          JP    NZ,COMP_ON_OFF2      ;NOT EQUAL CHANNAL1

0814 CB86            RES   0,(HL)                ;L=0000 0000

0816 3AC482          COMP_ON_OFF2: LD    A,(HOUR_RTC)
0819 ED5BE082        LD    DE,(HOUR_ON+2)
081D BB              CP    E
081E C22E08          JP    NZ,COMP_OFF2         ;NOT EQUAL CHANNAL2

0821 3AC582          LD    A,(MIN_RTC)
0824 ED5BF282        LD    DE,(MIN_ON+2)
0828 BB              CP    E                    ;COMPARE RTC,ON_CHAN2
0829 C22E08          JP    NZ,COMP_OFF2         ;NOT EQUAL CHANNAL2

082C CBCE            SET_  1,(HL)                ;L=0000 0010

082E 3AC482          COMP_OFF2:  LD    A,(HOUR_RTC)
0831 ED5BE982        LD    DE,(HOUR_OFF+2)
0835 BB              CP    E                    ;COMPARE RTC,OFF_CHAN2
0836 C24608          JP    NZ,COMP_ON_OFF3      ;NOT EQUAL CHANNAL2

0839 3AC582          LD    A,(MIN_RTC)
083C ED5BFB82        LD    DE,(MIN_OFF+2)
0840 BB              CP    E                    ;COMPARE RTC,OFF_CHAN2
0841 C24608          JP    NZ,COMP_ON_OFF3      ;NOT EQUAL CHANNAL2

0844 CB8E            RES   1,(HL)                ;L=0000 0000

0846 3AC482          COMP_ON_OFF3: LD    A,(HOUR_RTC)
0849 ED5BE182        LD    DE,(HOUR_ON+3)
084D BB              CP    E
084E C25E08          JP    NZ,COMP_OFF3         ;NOT EQUAL CHANNAL3

0851 3AC582          LD    A,(MIN_RTC)
0854 ED5BF382        LD    DE,(MIN_ON+3)
0858 BB              CP    E                    ;COMPARE RTC,ON_CHAN3
0859 C25E08          JP    NZ,COMP_OFF3         ;NOT EQUAL CHANNAL3

085C CBD6            SET_  2,(HL)                ;L=0000 0100

085E 3AC482          COMP_OFF3:  LD    A,(HOUR_RTC)
0861 ED5BEA82        LD    DE,(HOUR_OFF+3)
0865 BB              CP    E                    ;COMPARE RTC,OFF_CHAN3
0866 C27608          JP    NZ,COMP_ON_OFF4      ;NOT EQUAL CHANNAL3

0869 3AC582          LD    A,(MIN_RTC)
086C ED5BFC82        LD    DE,(MIN_OFF+3)
0870 BB              CP    E                    ;COMPARE RTC,OFF_CHAN3
0871 C27608          JP    NZ,COMP_ON_OFF4      ;NOT EQUAL CHANNAL3

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0874 CB96 RES 2,(HL) ;L=0000 0000

0876 3AC482 COMP_ON_OFF4: LD A,(HOUR_RTC)
0879 ED5BE232 LD DE,(HOUR_ON+4)
087D BB CP E
087E C28E08 JP NZ,COMP_OFF4 ;NOT EQUAL CHANNAL4

0881 3AC582 LD A,(MIN_RTC)
0884 ED5BF482 LD DE,(MIN_ON+4)
0888 BB CP E ;COMPARE RTC,ON_CHAN4
0889 C28E08 JP NZ,COMP_OFF4 ;NOT EQUAL CHANNAL4

088C CBDE SET_ 3,(HL) ;L=0000 1000

088E 3AC482 COMP_OFF4: LD A,(HOUR_RTC)
0891 ED5BEB82 LD DE,(HOUR_OFF+4)
0895 BB CP E ;COMPARE RTC,OFF_CHAN4
0896 C2A608 JP NZ,COMP_ON_OFF5 ;NOT EQUAL CHANNAL4

0899 3AC582 LD A,(MIN_RTC)
089C ED5BFD82 LD DE,(MIN_OFF+4)
08A0 BB CP E ;COMPARE RTC,OFF_CHAN4
08A1 C2A608 JP NZ,COMP_ON_OFF5 ;NOT EQUAL CHANNAL4

08A4 CB9E RES 3,(HL) ;L=0000 0000

08A6 3AC482 COMP_ON_OFF5: LD A,(HOUR_RTC)
08A9 ED5BE382 LD DE,(HOUR_ON+5)
08AD BB CP E
08AE C2BE08 JP NZ,COMP_OFF5 ;NOT EQUAL CHANNAL5

08B1 3AC582 LD A,(MIN_RTC)
08B4 ED5BF582 LD DE,(MIN_ON+5)
08B8 BB CP E ;COMPARE RTC,ON_CHAN5
08B9 C2BE08 JP NZ,COMP_OFF5 ;NOT EQUAL CHANNAL5

08BC CBE6 SET_ 4,(HL) ;L=0001 0000

08BE 3AC482 COMP_OFF5: LD A,(HOUR_RTC)
08C1 ED5BEC82 LD DE,(HOUR_OFF+5)
08C5 BB CP E ;COMPARE RTC,OFF_CHAN5
08C6 C2D608 JP NZ,COMP_ON_OFF6 ;NOT EQUAL CHANNAL5

08C9 3AC582 LD A,(MIN_RTC)
08CC ED5BFE82 LD DE,(MIN_OFF+5)
08D0 BB CP E ;COMPARE RTC,OFF_CHAN5
08D1 C2D608 JP NZ,COMP_ON_OFF6 ;NOT EQUAL CHANNAL5

08D4 CBA6 RES 4,(HL) ;L=0000 0000

08D6 3AC482 COMP_ON_OFF6: LD A,(HOUR_RTC)
08D9 ED5BE482 LD DE,(HOUR_ON+6)
08DD BB CP E
08DE C2EE08 JP NZ,COMP_OFF6 ;NOT EQUAL CHANNAL6

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

08E1	3AC582		LD	A, (MIN_RTC)	
08E4	ED5BF682		LD	DE, (MIN_ON+6)	
08E8	BB		CP	E	;COMPARE RTC,ON_CHAN6
08E9	C2EE08		JP	NZ,COMP_OFF6	;NOT EQUAL CHANNAL6
08EC	CBEE		SET	5, (HL)	;L=0010 0000
08EE	3AC482	COMP_OFF6:	LD	A, (HOUR_RTC)	
08F1	ED5BED82		LD	DE, (HOUR_OFF+6)	
08F5	BB		CP	E	;COMPARE RTC,OFF_CHAN6
08F6	C20609		JP	NZ,COMP_ON_OFF7	;NOT EQUAL CHANNAL6
08F9	3AC582		LD	A, (MIN_RTC)	
08FC	ED5BFF82		LD	DE, (MIN_OFF+6)	
0900	BB		CP	E	;COMPARE RTC,OFF_CHAN6
0901	C20609		JP	NZ,COMP_ON_OFF7	;NOT EQUAL CHANNAL6
0904	CBAE		RES	5, (HL)	;L=0000 0000
0906	3AC482	COMP_ON_OFF7:	LD	A, (HOUR_RTC)	
0909	ED5BE582		LD	DE, (HOUR_ON+7)	
090D	BB		CP	E	
090E	C21E09		JP	NZ,COMP_OFF7	;NOT EQUAL CHANNAL7
0911	3AC582		LD	A, (MIN_RTC)	
0914	ED5BF782		LD	DE, (MIN_ON+7)	
0918	BB		CP	E	;COMPARE RTC,ON_CHAN7
0919	C21E09		JP	NZ,COMP_OFF7	;NOT EQUAL CHANNAL7
091C	CBF6		SET_	6, (HL)	;L=0100 0000
091E	3AC482	COMP_OFF7:	LD	A, (HOUR_RTC)	
0921	ED5BEE82		LD	DE, (HOUR_OFF+7)	
0925	BB		CP	E	;COMPARE RTC,OFF_CHAN7
0926	C23609		JP	NZ,COMP_ON_OFF8	;NOT EQUAL CHANNAL7
0929	3AC582		LD	A, (MIN_RTC)	
092C	ED5B0083		LD	DE, (MIN_OFF+7)	
0930	BB		CP	E	;COMPARE RTC,OFF_CHAN7
0931	C23609		JP	NZ,COMP_ON_OFF8	;NOT EQUAL CHANNAL7
0934	CBB6		RES	6, (HL)	;L=0000 0000
0936	3AC482	COMP_ON_OFF8:	LD	A, (HOUR_RTC)	
0939	ED5BE682		LD	DE, (HOUR_ON+8)	
093D	BB		CP	E	
093E	C24E09		JP	NZ,COMP_OFF8	;NOT EQUAL CHANNAL8
0941	3AC582		LD	A, (MIN_RTC)	
0944	ED5BF882		LD	DE, (MIN_ON+8)	
0948	BB		CP	E	;COMPARE RTC,ON_CHAN8
0949	C24E09		JP	NZ,COMP_OFF8	;NOT EQUAL CHANNAL8
094C	CBFE		SET_	7, (HL)	;L=1000 0000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

094E 3AC482    COMP OFF8:    LD    A,(HOUR_RTC)
0951 ED5BEF82 LD    DE,(HOUR_OFF+8)
0955 BB        CP    E                                ;COMPARE RTC,OFF_CHAN8
0956 C26609    JP    NZ,SET_PORT                       ;NOT EQUAL CHANNEL8

0959 3AC582    LD    A,(MIN_RTC)
095C ED5B0183 LD    DE,(MIN_OFF+8)
0960 BB        CP    E                                ;COMPARE RTC,OFF_CHAN8
0961 C26609    JP    NZ,SET_PORT                       ;NOT EQUAL CHANNEL8

0964 CBBE      RES    7,(HL)                            ;L=0000 0000

0966 3AC182    SET_PORT:    LD    A,(STATUS)
0969 D350      OUT    (PORT_A),A
096B E1        POP    HL
096C D1        POP    DE
096D C9        RET

```

;***** CLEAR DATA SET SHOW1 *****

```

096E F5        CLR_SHOW1:   PUSH AF
096F DDE5      PUSH IX
0971 DD210082 LD    IX,8200H
0975 3E2D      LD    A,2DH
0977 DD7735    LD    (IX+35H),A
097A DD7736    LD    (IX+36H),A
097D DD7738    LD    (IX+38H),A
0980 DD7739    LD    (IX+39H),A
0983 DD773B    LD    (IX+3BH),A
0986 DD773C    LD    (IX+3CH),A
0989 DDE1      POP    IX
098B F1        POP    AF
098C C9        RET

```

;***** CLEAR DATA AND KEY NEW DATA *****

```

098D 3E2D      CLR_HOUR10: LD    A,2DH
098F DD7735    LD    (IX+35H),A                ;CLEAR DISPLAY HOUR10
0992 CD650A    CALL SHOW1
0995 C3B505    JP    REC

```

```

0998 3E2D      CLR_HOUR1:  LD    A,2DH
099A DD7736    LD    (IX+36H),A                ;CLEAR DISPLAY HOUR1
099D CD650A    CALL SHOW1
09A0 C3D705    JP    INKEY1

```

```

09A3 3E2D      CLR_MIN10:  LD    A,2DH
09A5 DD7738    LD    (IX+38H),A                ;CLEAR DISPLAY MIN10
09A8 CD650A    CALL SHOW1
09AB C30C06    JP    INKEY2

```

```

09AE 3E2D      CLR_MIN1:   LD    A,2DH
09B0 DD7739    LD    (IX+39H),A                ;CLEAR DISPLAY MIN1
09B3 CD650A    CALL SHOW1

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

09B6 C33B06                JP      INKEY3

09B9 3E2D      CLR_SEC10:  LD      A,2DH
09BB DD773B    LD      (IX+3BH),A      ;CLEAR DISPLAY SEC10
09BE CD650A    CALL   SHOW1
09C1 C36D06    JP      INKEY4

09C4 3E2D      CLR_SEC1:   LD      A,2DH
09C6 DD773C    LD      (IX+3CH),A      ;CLEAR DISPLAY SEC1
09C9 CD650A    CALL   SHOW1
09CC C3A206    JP      INKEY5

;***** POSITION CLEAR DATA ON *****

09CF 3E45      CLR_HH10:  LD      A,45H
09D1 C3F709    JP      CLEAN

09D4 3E46      CLR_HH1:   LD      A,46H
09D6 C3F709    JP      CLEAN

09D9 3E48      CLR_MM10:  LD      A,48H
09DB C3F709    JP      CLEAN

09DE 3E49      CLR_MM1:   LD      A,49H
09E0 C3F709    JP      CLEAN

;***** POSITION CLEAR DATA OFF *****

09E3 3E15      CLR_HHF10: LD      A,15H
09E5 C3F709    JP      CLEAN

09E8 3E16      CLR_HHF1:  LD      A,16H
09EA C3F709    JP      CLEAN

09ED 3E18      CLR_MMF10: LD      A,18H
09EF C3F709    JP      CLEAN

09F2 3E19      CLR_MMF1:  LD      A,19H
09F4 C3F709    JP      CLEAN

;***** DELETE DATA ON *****

09F7 CD490B    CLEAN:    CALL   GOTO
09FA 162D      LD      D,2DH
09FC CD580B    CALL   WRBYTE
09FF C9        RET

;***** CHECK < 3 *****

0A00 3AC282    CHK_3:   LD      A,(SWITCH)
0A03 FE34      CP      34H      ;NO.'3'
0A05 D2D705    JP      NC,INKEY1 ;MORE 3
0A08 C30006    JP      RECH1_SHOW

;***** CHECK < 5 *****

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0A0B 3AC282   CHK_5:      LD    A,(SWITCH)
0A0E FE36     CP    36H
0A10 C9       RET

;***** CHECK < 9 *****

0A11 3AC282   CHK_9:      LD    A,(SWITCH)
0A14 FE3A     CP    3AH          ;NO.'9'
0A16 C9       RET

;***** CHECK KEY DELETE *****

0A17 3AC282   CHK_DEL:    LD    A,(SWITCH)
0A1A FE3C     CP    3CH
0A1C C9       RET

;***** CHECK KEY ENTER *****

0A1D 3AC282   CHK_ENT:    LD    A,(SWITCH)
0A20 FE3D     CP    3DH
0A22 C9       RET

;***** CHECK KEY SET TIME *****

0A23 3AC282   CHK_SET_TIME: LD  A,(SWITCH)
0A26 FE3B     CP    3EH
0A28 C9       RET

;***** CHECK KEY MENU *****

0A29 3AC282   CHK_MENU:   LD    A,(SWITCH)
0A2C FE3F     CP    3FH
0A2E C9       RET

;***** CHECK KEY EXIT *****

0A2F 3AC282   CHK_EXIT:   LD    A,(SWITCH)
0A32 FE3E     CP    3EH
0A34 C9       RET

;***** LOAD DATA TO RTC *****

0A35 3AC682   LOAD_HOUR10: LD  A,(BUF_HOUR10)
0A38 E60F     AND  0FH
0A3A D3A5     OUT (HOUR10),A
0A3C C9       RET

0A3D 3ACA82   LOAD_HOUR1: LD  A,(BUF_HOUR1)
0A40 E60F     AND  0FH
0A42 D3A4     OUT (HOUR1),A
0A44 C9       RET

0A45 3ACE82   LOAD_MIN10: LD  A,(BUF_MIN10)
0A48 E60F     AND  0FH

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

0A4A D3A3      OUT (MIN10),A
0A4C C9        RET

0A4D 3AD282    LOAD_MIN1:    LD A,(BUF_MIN1)
0A50 E60F      AND 0FH
0A52 D3A2      OUT (MIN1),A
0A54 C9        RET

0A55 3AD682    LOAD_SEC10:   LD A,(BUF_SEC10)
0A58 E60F      AND 0FH
0A5A D3A1      OUT (SEC10),A
0A5C C9        RET

0A5D 3ADA82    LOAD_SEC1:    LD A,(BUF_SEC1)
0A60 E60F      AND 0FH
0A62 D3A0      OUT (SEC1),A
0A64 C9        RET

```

;***** SHOW DISPLAY *****

```

0A65 E5        SHOW1:      PUSH HL
0A66 DD210082  LD IX,8200H
0A6A 210082    LD HL,8200H
0A6D CDD80A    CALL DISP
0A70 E1        POP HL
0A71 C9        RET

0A72 E5        SHOW2:      PUSH HL
0A73 DD214082  LD IX,8240H
0A77 214082    LD HL,8240H
0A7A CDD80A    CALL DISP
0A7D E1        POP HL
0A7E C9        RET

0A7F E5        SHOW3:      PUSH HL
0A80 DDE5      PUSH IX
0A82 DD218082  LD IX,8280H
0A86 218082    LD HL,8280H
0A89 CDD80A    CALL DISP
0A8C DDE1      POP IX
0A8E E1        POP HL
0A8F C9        RET

```

;***** SHOW CHANNAL 1-8 *****

```

0A90 E5        SHOW_1:    PUSH HL
0A91 210080    LD HL,8000H
0A94 CDD80A    CALL DISP
0A97 E1        POP HL
0A98 C9        RET

0A99 E5        SHOW_2:    PUSH HL
0A9A 214080    LD HL,8040H
0A9D CDD80A    CALL DISP
0AA0 E1        POP HL

```

```

OAA1 C9          RET
OAA2 E5          SHOW_3:  PUSH HL
CAA3 218080      LD HL,8080H
OAA6 CDD80A      CALL DISP
OAA9 E1          POP HL
OAAA C9          RET

OAA8 E5          SHOW_4:  PUSH HL
OAA8 21C080      LD HL,80C0H
OAAF CDD80A      CALL DISP
OAB2 E1          POP HL
OAB3 C9          RET

OAB4 E5          SHOW_5:  PUSH HL
OAB5 210081      LD HL,8100H
OAB8 CDD80A      CALL DISP
OABB E1          POP HL
OABC C9          RET

OABD E5          SHOW_6:  PUSH HL
OABE 214081      LD HL,8140H
OAC1 CDD80A      CALL DISP
OAC4 E1          POP HL
OAC5 C9          RET

OAC6 E5          SHOW_7:  PUSH HL
OAC7 218081      LD HL,8180H
OACA CDD80A      CALL DISP
OACD E1          POP HL
OACE C9          RET

OACF E5          SHOW_8:  PUSH HL
OAD0 21C081      LD HL,81C0H
OAD3 CDD80A      CALL DISP
OAD6 E1          POP HL
OAD7 C9          RET

;*****

OAD8 F5          DISP:   PUSH AF
OAD9 CD290B      CALL INITLCD
OADC 3E01        LD A,1
OADE CDF20A      CALL WRLINE
OAE1 3E02        LD A,2
OAE3 CDF20A      CALL WRLINE
OAE6 3E03        LD A,3
OAE8 CDF20A      CALL WRLINE
OAEB 3E04        LD A,4
OAEF CDF20A      CALL WRLINE
OAF0 F1          POP AF
OAF1 C9          RET

;***** WRITE LINE 16 CHAR *****

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

OAF2 FE01      WRLINE:      CP      1
OAF4 280D      JR      Z,WRL1
OAF6 FE02      CP      2
OAF8 2810      JR      Z,WRL2
OAF A FE03     CP      3
OAF C 2813     JR      Z,WRL3
OAF E FE04     CP      4
OB00 2816     JR      Z,WRL4
OB02 C9        RET
;NO WRITE LINE

OB03 3E00      WRL1:      LD A,00H
OB05 CD490B    CALL GOTO
OB08 1813      JR WRLM

OB0A 3E40      WRL2:      LD A,40H
OB0C CD490B    CALL GOTO
OB0F 180C      JR WRLM

OB11 3E10      WRL3:      LD A,10H
OB13 CD490B    CALL GOTO
OB16 1805      JR WRLM

OB18 3E50      WRL4:      LD A,50H
OB1A CD490B    CALL GOTO

OB1D 0610      WRLM:      LD B,16 ;16 CHR
OB1F 56        WRL:      LD D,(HL)
OB20 C5        PUSH BC
OB21 CD580B    CALL WRBYTE
OB24 C1        POP BC
OB25 23        INC HL
OB26 10F7     DJNZ WRL
OB28 C9        RET ;RETURN OF WRITE LINE

;***** INITIAL LCD DISPLAY *****
OB29 3E38      INITLCD:   LD A,00111000B ;function set 38H
;DL=1 8 bit,N=1 1/16 duty,F=0 5*7

OB2B D380      OUT (PSIGN),A
OB2D CD5F0B    CALL DELAY
OB30 CD5F0B    CALL DELAY ;DELAY > 4.1 ms
OB33 3E0F     LD A,00001111B ;display on/off control
;D=1 off,C=1 cursor on,B=1 blink

OB35 D380      OUT (PSIGN),A
OB37 CD5F0B    CALL DELAY
OB3A 3E06     LD A,00000110B ;entry mode set
;I/D=1 increment,S=0 right

OB3C D380      OUT (PSIGN),A
OB3E CD5F0B    CALL DELAY

OB41 3E01     LD A,00000001B ;clear all display
OB43 D380      OUT (PSIGN),A
OB45 CD510B    CALL READ
OB48 C9        RET

;*****

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

;***** GOTO POSITION *****

OB49 CBFF GOTO: SET 7,A ;set DD RAM
OB4B D380 OUT (PSIGN),A
OB4D CD510B CALL READ
OB50 C9 RET

;***** READ BESY FLAG *****

OB51 DB84 READ: IN A,(PREAD) ;WAIT UNTIL BESY
OB53 CB7F BIT 7,A
OB55 20FA JR NZ,READ
OB57 C9 RET

;***** WRITE DATA SUB *****

OB58 7A WRBYTE: LD A,D ;write data
OB59 D382 OUT (PDATA),A
OB5B CD510B CALL READ
OB5E C9 RET

;***** DELAY *****

OB5F 0600 DELAY: LD B,00H
OB61 00 DEL1: NOP
OB62 00 NOP
OB63 10FC DJNZ DEL1
OB65 C9 RET

;*****
;* MAIN TELEPHONE *
;*****

OB66 3E01 MAIN_1: LD A,01H ;AUTO HANG ON
OB68 D352 OUT (PORT_C),A

OB6A CD960B CALL LINE_MUSIC1
OB6D CDC20B CALL STOBE ;CHECK STOBE 10SEC
OB70 3AC082 LD A,(COUNT_15)
OB73 FE05 CP 5
OB75 CA7200 JP Z,MAIN

OB78 CDE40B CALL CHK_STAR ;CHECK KEY FOR CONTROL
OB7B DDE0B AGAIN: CALL CHK_CH ;CHECK AND CONTROL CHANN
OB7E CDAE0B NEW: CALL CHK_DTMF9
OB81 CA8C0B JP Z,HANG_UP

OB84 FE0D CP 0DH
OB86 C27E0B JP NZ,NEW
OB89 C37B0B JP AGAIN

OB8C AF HANG_UP: XOR A
OB8D D352 OUT (PORT_C),A ;HANG UP
OB8F 3E08 LD A,08H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

OB91 D352          OUT (PORT_C),A          ;CLEAR D F/F
OB93 C37200        JP MAIN

;***** ON LINE AND MUSIC *****
OB96 3E03          LINE_MUSIC1: LD A,0000011B
OB98 D352          OUT (PORT_C),A          ; ON LINE AND MUSIC

OB9A CDB50B        CALL DELAY_5          ; MUSIC 5 SECOND

OB9D 3E01          LD A,01H
OB9F D352          OUT (PORT_C),A
OBA1 C9            RET

;***** ON LINE AND MUSIC *****
OBA2 3E05          LINE_MUSIC2: LD A,00000101B
OBA4 D352          OUT (PORT_C),A          ; ON LINE AND MUSIC

OBA6 CDB50B        CALL DELAY_5          ; MUSIC 5 SECOND

OBA9 3E01          LD A,01H
OBAB D352          OUT (PORT_C),A
OBAD C9            RET

;***** CHECK KEY_9 (HANG UP) *****
OBAE DB51          CHK_DTMF9: IN A,(PORT_B)
OBBO E60F          AND 0FH
OBB2 FE09          CP 09H
OBB4 C9            RET

;***** DELAY FOR MUSIC 5 SECOND*****
OBB5 AF           DELAY_5: XOR A
OBB6 32C082        LD (COUNT_15),A          ;CLEAR BUFFER COUNT
OBB9 3AC082        INC_COUNT: LD A,(COUNT_15)
OBBC FE05          CP 5
OBBE C2B90B        JP NZ,INC_COUNT
OBC1 C9            RET

;*****
;*                STOBE CHECK                *
;*****

OBC2 DB51          STOBE: IN A,(PORT_B)
OBC4 E610          AND 10H
OBC6 4F            LD C,A          ;STOBE FIRST STATUS

OBC7 AF           XOR A
OBC8 32C082        LD (COUNT_15),A          ;CLEAR COUNTER TIME
OBCB 3AC082        CHK_TIME: LD A,(COUNT_15)
OBCE FE05          CP 5          ;CHECK TIME 5 SEC
OBD0 C2DB0B        JP NZ,STOBE_IN

OBD3 AF           XOR A
OBD4 D352          OUT (PORT_C),A          ;HANG UP

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OB D6 3E08
OB D8 D352
OB DA C9

LD A,C8H
OUT (PORT_C),A
RET

;CLEAR D F/F
;RETURN TO MAIN TELEPHON

***** CHECK STROBE STATUS *****

OB DB 51
OB DD E610
OB DF B9
OB E0 CACB0B
OB E3 C9

STROBE_IN: IN A,(PORT_B) ;STROBE CHECK
AND 10H
CP C ;CHECK STROBE IN
JP Z,CHK_TIME
RET ;RETURN TO MAIN

***** CHECK DATA STAR DTMF *****

OB E4 DB51
OB E6 E60F
OB E8 FE0D
OB EA C2E40B
OB ED C9

CHK_STAR: IN A,(PORT_B)
AND 0FH
CP 0DH ;'*'=13
JP NZ,CHK_STAR
RET

***** CHECK CHANNEL (1-8) DTMF *****

OB EE DB51
OB F0 E60F

CHK_CH: IN A,(PORT_B)
AND 0FH

OB F2 FE08
OB F4 C2040C
OB F7 CD820C
OB FA CD910C
OB FD CDF90D
OC 00 CD710E
OC 03 C9

CH1: CP 08H ;'1'
JP NZ,CH2
CALL CHK_SHARP
CALL CONT_CH1
CALL CLR_HH_ON1
CALL CLR_SCR1
RET ;RETURN TO MAIN

OC 04 FE04
OC 06 C2160C
OC 09 CD820C
OC 0C CDA60C
OC 0F CD080E
OC 12 CD7D0E
OC 15 C9

CH2: CP 04H ;'2'
JP NZ,CH3
CALL CHK_SHARP
CALL CONT_CH2
CALL CLR_HH_ON2
CALL CLR_SCR2
RET ;RETURN TO MAIN

OC 16 FE0C
OC 18 C2280C
OC 1B CD820C
OC 1E CDBB0C
OC 21 CD170E
OC 24 CD890E
OC 27 C9

CH3: CP 0CH ;'3'
JP NZ,CH4
CALL CHK_SHARP
CALL CONT_CH3
CALL CLR_HH_ON3
CALL CLR_SCR3
RET ;RETURN TO MAIN

OC 28 FE02
OC 2A C23A0C
OC 2D CD820C
OC 30 CDD00C
OC 33 CD260E
OC 36 CD950E

CH4: CP 02H ;'4'
JP NZ,CH5
CALL CHK_SHARP
CALL CONT_CH4
CALL CLR_HH_ON4
CALL CLR_SCR4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

OC39 C9                                RET                                ;RETURN TO MAIN

OC3A FE0A    CH5:    CP    0AH                                ;'5'
OC3C C24C0C    JP    NZ,CH6
OC3F CD820C    CALL   CHK_SHARP
OC42 CDE50C    CALL   CONT_CH5
OC45 CD350E    CALL   CLR_HH_ON5
OC48 CDA10E    CALL   CLR_SCR5
OC4B C9                                RET                                ;RETURN TO MAIN

OC4C FE06    CH6:    CP    06H                                ;'6'
OC4E C25E0C    JP    NZ,CH7
OC51 CD820C    CALL   CHK_SHARP
OC54 CDFA0C    CALL   CONT_CH6
OC57 CD440E    CALL   CLR_HH_ON6
OC5A CDAD0E    CALL   CLR_SCR6
OC5D C9                                RET                                ;RETURN TO MAIN

OC5E FE0E    CH7:    CP    0EH                                ;'7'
OC60 C2700C    JP    NZ,CH8
OC63 CD820C    CALL   CHK_SHARP
OC66 CD0F0D    CALL   CONT_CH7
OC69 CD530E    CALL   CLR_HH_ON7
OC6C CDB90E    CALL   CLR_SCR7
OC6F C9                                RET                                ;RETURN TO MAIN

OC70 FE01    CH8:    CP    01H                                ;'8'
OC72 C2EE0B    JP    NZ,CHK_CH
OC75 CD820C    CALL   CHK_SHARP
OC78 CD240D    CALL   CONT_CH8
OC7B CD620E    CALL   CLR_HH_ON8
OC7E CDC50E    CALL   CLR_SCR8
OC81 C9                                RET                                ;RETURN TO MAIN

;***** CHECK '#' KEY *****

OC82 DB51    CHK_SHARP:    IN    A,(PORT_B)
OC84 E60F    AND    0FH
OC86 FE03    CP    03H                                ; '#'
OC88 C2820C    JP    NZ,CHK_SHARP
OC8B C9                                RET                                ;RETURN TO CALL CHK_SHARP

;***** CONTROL ON_OFF CH (1-8) *****

OC8C DB51    IN_ON_OFF:    IN    A,(PORT_B)
OC8E E60F    AND    0FH
OC90 C9                                RET

OC91 CD8C0C    CONT_CH1:    CALL   IN_ON_OFF

OC94 FE05    OPEN1:    CP    05H                                ;OFF KEY
OC96 C29D0C    JP    NZ,CLOSE1
OC99 CD990D    CALL   OFF_CH1
OC9C C9                                RET

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0C9D FE08	CLOSE1:	CP	08H	;ON KEY
0C9F C2910C		JP	NZ,CONT_CH1	
0CA2 CD390D		CALL	ON_CH1	
0CA5 C9		RET		
0CA6 CD8C0C	CONT_CH2:	CALL	IN_ON_OFF	
0CA9 FE05	OPEN2:	CP	05H	;OFF KEY
0CAB C2B20C		JP	NZ,CLOSE2	
0CAE CDA50D		CALL	OFF_CH2	
0CB1 C9		RET		
0CB2 FE08	CLOSE2:	CP	08H	;ON KEY
0CB4 C2A60C		JP	NZ,CONT_CH2	
0CB7 CD450D		CALL	ON_CH2	
0CBA C9		RET		
0CBB CD8C0C	CONT_CH3:	CALL	IN_ON_OFF	
0CBE FE05	OPEN3:	CP	05H	;OFF KEY
0CC0 C2C70C		JP	NZ,CLOSE3	
0CC3 CDB10D		CALL	OFF_CH3	
0CC6 C9		RET		
0CC7 FE08	CLOSE3:	CP	08H	;ON KEY
0CC9 C2BB0C		JP	NZ,CONT_CH3	
0CCC CD510D		CALL	ON_CH3	
0CCF C9		RET		
0CD0 CD8C0C	CONT_CH4:	CALL	IN_ON_OFF	
0CD3 FE05	OPEN4:	CP	05H	;OFF KEY
0CD5 C2DC0C		JP	NZ,CLOSE4	
0CD8 CDBD0D		CALL	OFF_CH4	
0CDB C9,		RET		
0CDC FE08	CLOSE4:	CP	08H	;ON KEY
0CDE C2D00C		JP	NZ,CONT_CH4	
0CE1 CD5D0D		CALL	ON_CH4	
0CE4 C9		RET		
0CE5 CD8C0C	CONT_CH5:	CALL	IN_ON_OFF	
0CE8 FE05	OPEN5:	CP	05H	;OFF KEY
0CEA C2F10C		JP	NZ,CLOSE5	
0CED CDC90D		CALL	OFF_CH5	
0CF0 C9		RET		
0CF1 FE08	CLOSE5:	CP	08H	;ON KEY
0CF3 C2E50C		JP	NZ,CONT_CH5	
0CF6 CD690D		CALL	ON_CH5	
0CF9 C9		RET		
0CFA CD8C0C	CONT_CH6:	CALL	IN_ON_OFF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

OCFD FE05      OPEN6:      CP      05H      ;OFF KEY
OCFF C2060D    JP      NZ,CLOSE6
OD02 CDD50D    CALL   OFF_CH6
OD05 C9        RET

OD06 FE08      CLOSE6:     CP      08H      ;ON KEY
OD08 C2FA0C    JP      NZ,CONT_CH6
OD0B CD750D    CALL   ON_CH6
OD0E C9        RET

OD0F CD8C0C    CONT_CH7:  CALL   IN_ON_OFF

OD12 FE05      OPEN7:      CP      05H      ;OFF KEY
OD14 C21B0D    JP      NZ,CLOSE7
OD17 CDE10D    CALL   OFF_CH7
OD1A C9        RET

OD1B FE08      CLOSE7:     CP      08H      ;ON KEY
OD1D C20F0D    JP      NZ,CONT_CH7
OD20 CD810D    CALL   ON_CH7
OD23 C9        RET

OD24 CD8C0C    CONT_CH8:  CALL   IN_ON_OFF

OD27 FE05      OPEN8:      CP      05H      ;OFF KEY
OD29 C2300D    JP      NZ,CLOSE8
OD2C CDED0D    CALL   OFF_CH8
OD2F C9        RET

OD30 FE08      CLOSE8:     CP      08H      ;ON KEY
OD32 C2240D    JP      NZ,CONT_CH8
OD35 CD8D0D    CALL   ON_CH8
OD38 C9        RET

;***** ON SWITCH *****

OD39 21C182    ON_CH1:    LD      HL,STATUS
OD3C CBC6      SET_ 0,(HL)
OD3E CDEC0E    CALL   CONT_SW
OD41 CD960B    CALL   LINE_MUSIC1
OD44 C9        RET

OD45 21C182    ON_CH2:    LD      HL,STATUS
OD48 CBCE      SET_ 1,(HL)
OD4A CDEC0E    CALL   CONT_SW
OD4D CD960B    CALL   LINE_MUSIC1
OD50 C9        RET

OD51 21C182    ON_CH3:    LD      HL,STATUS
OD54 CBD6      SET_ 2,(HL)
OD56 CDEC0E    CALL   CONT_SW
OD59 CD960B    CALL   LINE_MUSIC1
OD5C C9        RET

OD5D 21C182    ON_CH4:    LD      HL,STATUS

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

OD60 CBDE          SET 3,(HL)
OD62 CDECOE        CALL CONT_SW
OD65 CD960B        CALL LINE_MUSIC1
OD68 C9            RET

OD69 21C182        ON_CH5:    LD  HL,STATUS
OD6C CBE6          SET_ 4,(HL)
OD6E CDECOE        CALL CONT_SW
OD71 CD960B        CALL LINE_MUSIC1
OD74 C9            RET

OD75 21C182        ON_CH6:    LD  HL,STATUS
OD78 CBEE          SET_ 5,(HL)
OD7A CDECOE        CALL CONT_SW
OD7D CD960B        CALL LINE_MUSIC1
OD80 C9            RET

OD81 21C182        ON_CH7:    LD  HL,STATUS
OD84 CBF6          SET_ 6,(HL)
OD86 CDECOE        CALL CONT_SW
OD89 CD960B        CALL LINE_MUSIC1
OD8C C9            RET

OD8D 21C182        ON_CH8:    LD  HL,STATUS
OD90 CBFE          SET_ 7,(HL)
OD92 CDECOE        CALL CONT_SW
OD95 CD960B        CALL LINE_MUSIC1
OD98 C9            RET
;***** OFF SWITCH *****

OD99 21C182        OFF_CH1:   LD  HL,STATUS
OD9C CB86          RES  0,(HL)
OD9E CDECOE        CALL CONT_SW
ODA1 CDA20B        CALL LINE_MUSIC2
ODA4 C9            RET

ODA5 21C182        OFF_CH2:   LD  HL,STATUS
ODA8 CB8E          RES  1,(HL)
ODAA CDECOE        CALL CONT_SW
ODAD CDA20B        CALL LINE_MUSIC2
ODB0 C9            RET

ODB1 21C182        OFF_CH3:   LD  HL,STATUS
ODB4 CB96          RES  2,(HL)
ODB6 CDECOE        CALL CONT_SW
ODB9 CDA20B        CALL LINE_MUSIC2
ODBC C9            RET

ODBD 21C182        OFF_CH4:   LD  HL,STATUS
ODCO CB9E          RES  3,(HL)
ODC2 CDECOE        CALL CONT_SW
ODC5 CDA20B        CALL LINE_MUSIC2
ODC8 C9            RET

ODC9 21C182        OFF_CH5:   LD  HL,STATUS

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

ODCC CBA6                RES 4,(HL)
ODCE CDEC0E             CALL CONT_SW
ODD1 CDA20B             CALL LINE_MUSIC2
ODD4 C9                 RET

ODD5 21C182            OFF_CH6:    LD  HL,STATUS
ODD8 CRAE                RES 5,(HL)
ODDA CDEC0E             CALL CONT_SW
ODDD CDA20B             CALL LINE_MUSIC2
ODE0 C9                 RET

ODE1 21C182            OFF_CH7:    LD  HL,STATUS
ODE4 CBB6                RES 6,(HL)
ODE6 CDEC0E             CALL CONT_SW
ODE9 CDA20B             CALL LINE_MUSIC2
ODEC C9                 RET

ODED 21C182            OFF_CH8:    LD  HL,STATUS
ODF0 CBBE                RES 7,(HL)
ODF2 CDEC0E             CALL CONT_SW
ODF5 CDA20B             CALL LINE_MUSIC2
ODF8 C9                 RET

;***** CLEAR DATA BUFFER CH(1-8) *****
ODF9 3E2D                CLR_HH_ON1: LD  A,2DH
ODFB 32DF82             LD  (HOUR_ON+1),A
ODFE 32F182             LD  (MIN_ON+1),A
OE01 32E882             LD  (HOUR_OFF+1),A
OE04 32FA82             LD  (MIN_OFF+1),A
OE07 C9                 RET

OE08 3E2D                CLR_HH_ON2: LD  A,2DH
OE0A 32E082             LD  (HOUR_ON+2),A
OE0D 32F282             LD  (MIN_ON+2),A
OE10 32E982             LD  (HOUR_OFF+2),A
OE13 32FB82             LD  (MIN_OFF+2),A
OE16 C9                 RET

OE17 3E2D                CLR_HH_ON3: LD  A,2DH
OE19 32E182             LD  (HOUR_ON+3),A
OE1C 32F382             LD  (MIN_ON+3),A
OE1F 32EA82             LD  (HOUR_OFF+3),A
OE22 32FC82             LD  (MIN_OFF+3),A
OE25 C9                 RET

OE26 3E2D                CLR_HH_ON4: LD  A,2DH
OE28 32E282             LD  (HOUR_ON+4),A
OE2B 32F482             LD  (MIN_ON+4),A
OE2E 32EB82             LD  (HOUR_OFF+4),A
OE31 32FD82             LD  (MIN_OFF+4),A
OE34 C9                 RET

OE35 3E2D                CLR_HH_ON5: LD  A,2DH
OE37 32E382             LD  (HOUR_ON+5),A
OE3A 32F582             LD  (MIN_ON+5),A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

OE3D 32EC82      LD (HOUR_OFF+5),A
OE40 32FE82      LD (MIN_OFF+5),A
OE43 C9          RET

OE44 3E2D        CLR_HH_ON6:     LD A,2DH
OE46 32E482      LD (HOUR_ON+6),A
OE49 32F682      LD (MIN_ON+6),A
OE4C 32ED82      LD (HOUR_OFF+6),A
OE4F 32FF82      LD (MIN_OFF+6),A
OE52 C9          RET

OE53 3E2D        CLR_HH_ON7:     LD A,2DH
OE55 32E582      LD (HOUR_ON+7),A
OE58 32F782      LD (MIN_ON+7),A
OE5B 32EE82      LD (HOUR_OFF+7),A
OE5E 320083      LD (MIN_OFF+7),A
OE61 C9          RET

OE62 3E2D        CLR_HH_ON8:     LD A,2DH
OE64 32E682      LD (HOUR_ON+8),A
OE67 32F882      LD (MIN_ON+8),A
OE6A 32EF82      LD (HOUR_OFF+8),A
OE6D 320183      LD (MIN_OFF+8),A
OE70 C9          RET

;***** CLEAR DISPLAY ON_OFF *****

OE71 DDE5        CLR_SCR1:       PUSH IX
OE73 DD210080    LD IX,8000H
OE77 CDD10E      CALL MID_LINE
OE7A DDE1        POP IX
OE7C C9          RET

OE7D DDE5        CLR_SCR2:       PUSH IX
OE7F DD214080    LD IX,8040H
OE83 CDD10E      CALL MID_LINE
OE86 DDE1        POP IX
OE88 C9          RET

OE89 DDE5        CLR_SCR3:       PUSH IX
OE8B DD218080    LD IX,8080H
OE8F CDD10E      CALL MID_LINE
OE92 DDE1        POP IX
OE94 C9          RET

OE95 DDE5        CLR_SCR4:       PUSH IX
OE97 DD21C080    LD IX,80C0H
OE9B CDD10E      CALL MID_LINE
OE9E DDE1        POP IX
OEAA C9          RET

OEAA DDE5        CLR_SCR5:       PUSH IX
OEAA DD210081    LD IX,8100H
OEAA CDD10E      CALL MID_LINE
OEAA DDE1        POP IX

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

OEAC C9                                RET

OEAD DDE5      CLR_SCR6:             PUSH IX
CEAF DD2140E1  LD IX,8140H
OEB3 CDD10E    CALL MID_LINE
OEB6 DDE1      POP IX
OEB8 C9        RET

OEB9 DDE5      CLR_SCR7:             PUSH IX
OEBB DD218081 LD IX,8180H
OEBF CDD10E    CALL MID_LINE
OEC2 DDE1      POP IX
OEC4 C9        RET

OEC5 DDE5      CLR_SCR8:             PUSH IX
OEC7 DD21C081 LD IX,81C0H
OECB CDD10E    CALL MID_LINE
OECE DDE1      POP IX
OED0 C9        RET

;***** LOAD MID LINE FOR DISPLAY *****
OED1 3E2D      MID_LINE:             LD A,2DH
OED3 DD7715    LD (IX+15H),A
OED6 DD7716    LD (IX+16H),A
OED9 DD7718    LD (IX+18H),A
OEDC DD7719    LD (IX+19H),A

OEDF DD7725    LD (IX+25H),A
OEE2 DD7726    LD (IX+26H),A
OEE5 DD7728    LD (IX+28H),A
OEE8 DD7729    LD (IX+29H),A
OEEB C9        RET

;***** CONTROL LOAD ON_OFF *****
OEEC 3AC182    CONT_SW:             LD A,(STATUS)
OEEF D350      OUT (PORT_A),A
OEF1 C9        RET

;***** LOAD TABLE TO MEMORY *****
OEF2 21FEOE    LDTABLE:             LD HL,TAB_1
OEF5 110080    LD DE,8000H
OEF8 01C002    LD BC,2C0H
OEFB EDB0      LDIR
Oefd C9        RET

;***** TABLE CHANNAL 1-8 *****
OEFE 4348414E4E TAB_1:             DFB "CHANNAL 1"
OFOE 4F4E3A2020 DFB "ON: ---:--"
OF1E 4F46463A20 DFB "OFF: ---:--"
OF2E 455849543A DFB "EXIT:"

OF3E 4348414E4E TAB_2:             DFB "CHANNAL 2"

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

OF4E 4F4E3A2020      DFB "ON:  --:--  "
OF5E 4F46463A20      DFB "OFF: --:--  "
OF6E 455849543A      DFB "EXIT:      "

OF7E 4348414E4E  TAB_3:  DFB "CHANNAL 3  "
OF8E 4F4E3A2020      DFB "ON:  --:--  "
OF9E 4F46463A20      DFB "OFF: --:--  "
OFAE 455849543A      DFB "EXIT:      "

OFBE 4348414E4E  TAB_4:  DFB "CHANNAL 4  "
OFCE 4F4E3A2020      DFB "ON:  --:--  "
OFDE 4F46463A20      DFB "OFF: --:--  "
OFEE 455849543A      DFB "EXIT:      "

OFFE 4348414E4E  TAB_5:  DFB "CHANNAL 5  "
100E 4F4E3A2020      DFB "ON:  --:--  "
101E 4F46463A20      DFB "OFF: --:--  "
102E 455849543A      DFB "EXIT:      "

103E 4348414E4E  TAB_6:  DFB "CHANNAL 6  "
104E 4F4E3A2020      DFB "ON:  --:--  "
105E 4F46463A20      DFB "OFF: --:--  "
106E 455849543A      DFB "EXIT:      "

107E 4348414E4E  TAB_7:  DFB "CHANNAL 7  "
108E 4F4E3A2020      DFB "ON:  --:--  "
109E 4F46463A20      DFB "OFF: --:--  "
10AE 455849543A      DFB "EXIT:      "

10BE 4348414E4E  TAB_8:  DFB "CHANNAL 8  "
10CE 4F4E3A2020      DFB "ON:  --:--  "
10DE 4F46463A20      DFB "OFF: --:--  "
10EE 455849543A      DFB "EXIT:      "

```

***** GENERAL TABLE *****

```

10FE 54494D4520  TAB1:  DFB "TIME  :  :  "
110E 2020202020      DFB "      "      "
111E 456E746572      DFB "Enter new time "
112E 5345542020      DFB "SET  --:--:--  "

113E 54494D4520  TAB2:  DFB "TIME  :  :  "
114E 2020202020      DFB "      "      "
115E 2020202020      DFB "      "      "
116E 4D454E553A      DFB "MENU:_  "

117E 4348414E4E  TAB3:  DFB "CHANNAL SELECT "
118E 28312D3829      DFB "(1-8):_  "
119E 2020202020      DFB "      "      "
11AE 455849543A      DFB "EXIT:      "

```

82C0

ORG 82COH

```

*****
;*                               VARIABLE                               *
*****

```

82C0	COUNT_15:	DFS 1
82C1	STATUS:	DFS 1
82C2	SWITCH:	DFS 1
82C3	KEYF:	DFS 1
82C4	HOUR_RTC:	DFS 1
82C5	MIN_RTC:	DFS 1
82C6	BUF_HOUR10:	DFS 4
82CA	BUF_HOUR1:	DFS 4
82CE	BUF_MIN10:	DFS 4
82D2	BUF_MIN1:	DFS 4
82D6	BUF_SEC10:	DFS 4
82DA	BUF_SEC1:	DFS 4
82DE	HOUR_ON:	DFS 9
82E7	HOUR_OFF:	DFS 9
82F0	MIN_ON:	DFS 9
82F9	MIN_OFF:	DFS 9
0000		END



0007	A	0B7B	AGAIN	0000	B
0008	BS	071B	BSLOOP	82CA	BUF_HOUR1
82C6	BUF_HOUP10	82D2	BUF_MIN1	82CE	BUF_MIN10
82DA	BUF_SEC1	82D6	BUF_SEC10	0001	C
0BF2	CH1	0C04	CH2	0C16	CH3
0C28	CH4	0C3A	CH5	0C4C	CH6
0C5E	CH7	0C70	CH8	00BA	CHAN_1
00C5	CHAN_2	00D0	CHAN_3	00DB	CHAN_4
00E6	CHAN_5	00F1	CHAN_6	00FC	CHAN_7
0107	CHAN_8	0A00	CHK_3	0A0B	CHK_5
0A11	CHK_9	0BEE	CHK_CH	0A17	CHK_DEL
0BAE	CHK_DTMF9	0A1D	CHK_ENT	0A2F	CHK_EXIT
007F	CHK_KEYBOARD	0099	CHK_KEY_MENU	0A29	CHK_MENU
0A23	CHK_SET_TIME	0C82	CHK_SHARP	0BE4	CHK_STAR
0BCB	CHK_TIME	09F7	CLEAN	0C9D	CLOSE1
0CB2	CLOSE2	0CC7	CLOSE3	0CDC	CLOSE4
0CF1	CLOSE5	0D06	CLOSE6	0D1B	CLOSE7
0D30	CLOSE8	09D4	CLR_HH1	09CF	CLR_HH10
09E8	CLR_HHF1	09E3	CLR_HHF10	0DF9	CLR_HH_ON1
0E08	CLR_HH_ON2	0E17	CLR_HH_ON3	0E26	CLR_HH_ON4
0E35	CLR_HH_ON5	0E44	CLR_HH_ON6	0E53	CLR_HH_ON7
0E62	CLR_HH_ON8	0998	CLR_HOUR1	098D	CLR_HOUR10
09AE	CLR_MIN1	09A3	CLR_MIN10	09DE	CLR_MM1
09D9	CLR_MM10	09F2	CLR_MMF1	09ED	CLR_MMF10
0E71	CLR_SCR1	0E7D	CLR_SCR2	0E89	CLR_SCR3
0E95	CLR_SCR4	0EA1	CLR_SCR5	0EAD	CLR_SCR6
0EB9	CLR_SCR7	0EC5	CLR_SCR8	09C4	CLR_SEC1
09B9	CLR_SEC10	096E	CLR_SHOW1	07FE	COMP_OFF1
082E	COMP_OFF2	085E	COMP_OFF3	088E	COMP_OFF4
08BE	COMP_OFF5	08EE	COMP_OFF6	091E	COMP_OFF7
094E	COMP_OFF8	07E1	COMP_ON_OFF1	0816	COMP_ON_OFF2
0846	COMP_ON_OFF3	0876	COMP_ON_OFF4	08A6	COMP_ON_OFF5
08D6	COMP_ON_OFF6	0906	COMP_ON_OFF7	0936	COMP_ON_OFF8
01DE	CONT1	0283	CONT2	0C91	CONT_CH1
0CA6	CONT_CH2	0CB8	CONT_CH3	0CD0	CONT_CH4
0CE5	CONT_CH5	0CFA	CONT_CH6	0D0F	CONT_CH7
0D24	CONT_CH8	0EEC	CONT_SW	82C0	COUNT_15
00AD	CREG_D	00AE	CREG_E	00AF	CREG_F
0002	D	0B61	DEL1	0B5F	DELAY
0BB5	DELAY_5	0AD8	DISP	0003	E
011E	EXT	0B49	GOTO	0004	H
0B8C	HANG_UP	00A4	HOUR1	00A5	HOUR10
82E7	HOUR_OFF	82DE	HOUR_ON	82C4	HOUR_RTC
0BB9	INC_COUNT	0B29	INITLCD	05D7	INKEY1
060C	INKEY2	063B	INKEY3	066D	INKEY4
06A2	INKEY5	0710	INT	0C8C	IN_ON_OFF
0467	KBD_	032F	KEEP_BUF	0381	KEEP_CHAN1
039A	KEEP_CHAN2	03B3	KEEP_CHAN3	03CC	KEEP_CHAN4
03E5	KEEP_CHAN5	03FE	KEEP_CHAN6	0417	KEEP_CHAN7
0430	KEEP_CHAN8	82C3	KEYF	048A	KEYIN1
01CF	KEY_ON_OFF	0005	L	0EF2	LDTABLE
0451	LESS_N4	045C	LESS_OFF_4	0B96	LINE_MUSIC1
0BA2	LINE_MUSIC2	0A3D	LOAD_HOUR1	0A35	LOAD_HOUR10
0A4D	LOAD_MIN1	0A45	LOAD_MIN10	0A5D	LOAD_SEC1
0A55	LOAD_SEC10	0723	LOOP	0726	LOOP1
00AC	LOOP_NEW	020E	LOWER_4	02B3	LOWER_OFF_4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรรมใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0072	MAIN	0B66	MAIN_1	00AB	MENU
0ED1	MID_LINE	00A2	MIN1	00A3	MIN10
82F9	MIN_OFF	82F0	MIN_ON	82C5	MIN_RTC
01D4	MORE_2	01F1	MORE_3	021F	MORE_5_ON
0245	MORE_9_ON	0B7E	NEW	0112	NO_CHANNAI
0D99	OFF_CH1	0DA5	OFF_CH2	0DB1	OFF_CH3
0DBD	OFF_CH4	0DC9	OFF_CH5	0DD5	OFF_CH6
0DE1	OFF_CH7	0DED	OFF_CH8	031A	OFF_OK
0793	OLD_TIME	0D39	ON_CH1	0D45	ON_CH2
0D51	ON_CH3	0D5D	ON_CH4	0D69	ON_CH5
0D75	ON_CH6	0D81	ON_CH7	0D8D	ON_CH8
0120	ON_OFF_1	0135	ON_OFF_2	014A	ON_OFF_3
015F	ON_OFF_4	0174	ON_OFF_5	0189	ON_OFF_6
019E	ON_OFF_7	01B3	ON_OFF_8	0275	ON_OK
0C94	OPEN1	0CA9	OPEN2	0CBE	OPEN3
0CD3	OPEN4	0CE8	OPEN5	0CFD	OPEN6
0D12	OPEN7	0D27	OPEN8	0472	P1
0082	PDATA	0050	PORT_A	0054	PORT_AI
0051	PORT_B	0055	PORT_BI	0052	PORT_C
0056	PORT_CI	0030	PORT_D	0034	PORT_DI
0084	PREAD	0080	PSIGN	0B51	READ
05B5	REC	05F1	RECH1	0600	RECH1_SHOW
065B	RECM1	0629	RECM10	06C8	RECS1
0690	RECS10	06DA	REC_FINAL	027B	REC_OFF_1
0291	REC_OFF_2	02BF	REC_OFF_3	02E5	REC_OFF_4
01EC	REC_ON_2	021A	REC_ON_3	0240	REC_ON_4
05CB	REC_SHOW	00A0	RTC	01C8	RX
00A0	SEC1	00A1	SEC10	05A4	SET
0700	SETEND	0966	SET_PORT	037C	SHIFT
0A65	SHOW1	0A72	SHOW2	0A7F	SHOW3
0A90	SHOW_1	0A99	SHOW_2	0AA2	SHOW_3
0AAB	SHOW_4	0A84	SHOW_5	0ABD	SHOW_6
0AC6	SHOW_7	0ACF	SHOW_8	003B	START
82C1	STATUS	0BC2	STOBE	0BDB	STOBE_IN
07C4	SUM_	0758	SUM_30H	055E	SW10_
0568	SW11_	0572	SW12_	057C	SW13_
0586	SW14_	0590	SW15_	059A	SW16_
0504	SW1_	050E	SW2_	0518	SW3_
0522	SW4_	052C	SW5_	0536	SW6_
0540	SW7_	054A	SW8_	0554	SW9_
82C2	SWITCH	0486	SWITCH_	10FE	TAB1
113E	TAB2	117E	TAB3	0EFE	TAB_1
0F3E	TAB_2	0F7E	TAB_3	0FBE	TAB_4
0FFE	TAB_5	103E	TAB_6	107E	TAB_7
10BE	TAB_8	00A6	TIME	0063	TIME_OLD
0280	UPPER_2	0296	UPPER_3	02C4	UPPER_5
02EA	UPPER_9	0266	WAIT1	030B	WAIT2
0325	WAIT_EXT	0B58	WRBYTE	0200	WRITE1
022E	WRITE2	0254	WRITE3	02A5	WRITE4
02D3	WRITE5	02F9	WRITE6	0B1F	WRL
0B03	WRL1	0B0A	WRL2	0B11	WRL3
0B18	WRL4	0AF2	WRLINE	0B1D	WRLM
0449	WR_DATA				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ค.
DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ISO²-CMOS MT8870C/MT8870C-1 Integrated DTMF Receiver

9161-002 094-NA

ISSUE 1

November 1987

Features

- Complete DTMF Receiver
- Low Power Consumption
- Internal Gain Setting Amplifier
- Adjustable Guard Time
- Central Office Quality
- Power-down Mode
- Inhibit Mode

Applications

- Receiver System for British Telecom (BT) or CEPT Spec (MT8870C-1)
- Paging Systems
- Repeater Systems/Mobile Radio
- Credit Card Systems
- Remote Control
- Personal Computers
- Telephone Answering Machine

Pin Connections

IN +	1	18	VDD
IN -	2	17	Sl/GT
GS	3	16	ES1
VRef	4	15	Sl/D
INH	5	14	Q4
PWDN	6	13	Q3
OSC1	7	12	Q2
OSC2	8	11	Q1
VSS	9	10	TOE

Ordering Information

MT8870CE/MT8870CE-1 Plastic DIP
 MT8870CC/MT8870CC-1 Cerdip
 MT8870CS/MT8870CS-1 SOIC
 -40 °C to +85 °C

Description

The MT8870C/MT8870C-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions, fabricated in Mitel's double poly ISO²-CMOS technology. The filter section uses switched capacitor techniques for

high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

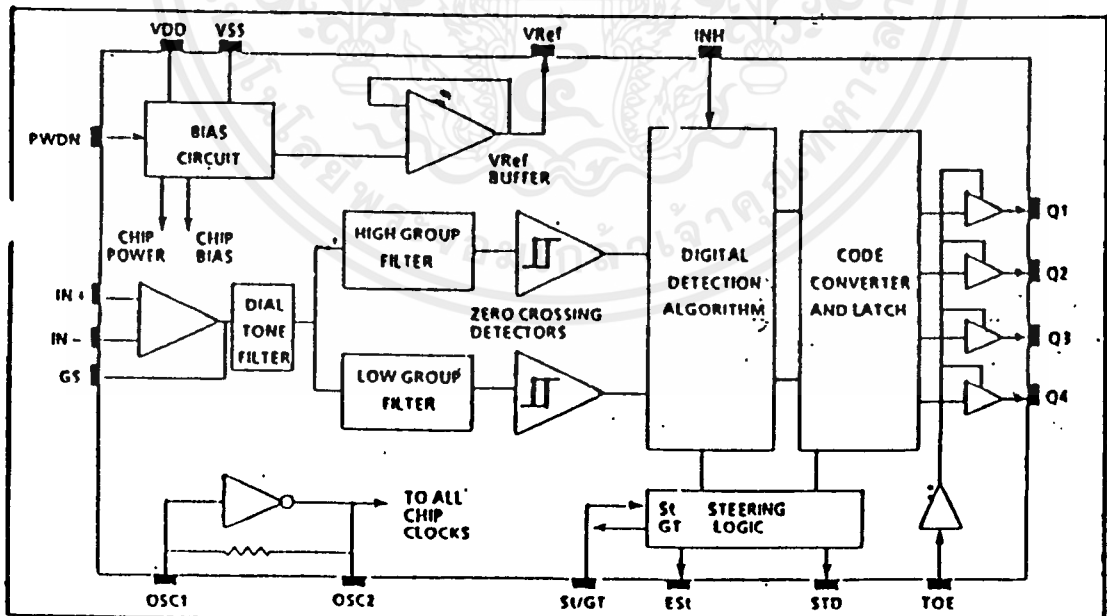


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISO²-CMOS MT8870C/MT8870C-1

AC Electrical Characteristics - $V_{DD} = 5.0V \pm 5\%$, $V_{SS} = 0V$, $-40^\circ C \leq T_o \leq +85^\circ C$, using Test Circuit shown in Figure 2.

	Characteristics	Sym	Min	Typ [†]	Max	Units	Conditions
T I M I N G	Tone present detect time	t_{DP}	5	11	14	ms	Note 12
	Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 12
	Tone duration accept	t_{REC}			40	ms	User adjustable
	Tone duration reject	t_{REC}	20			ms	User adjustable
	Interdigit pause accept	t_{ID}			40	ms	User adjustable
	Interdigit pause reject	t_{DO}	20			ms	User adjustable
O U T P U T S	Propagation delay (St to Q)	t_{PQ}		8	11	μs	TOE = V_{DD}
	Propagation delay (St to StD)	t_{PSID}		12	16	μs	TOE = V_{DD}
	Output data set up (Q to StD)	t_{QSID}		3.4		μs	TOE = V_{DD}
	Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 k Ω , 50 pF
	Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 k Ω , 50 pF
C L O C K	Crystal /clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
	Clock input rise time	t_{RHCL}			110	ns	Ext. clock
	Clock input fall time	t_{HLCL}			110	ns	Ext. clock
	Clock input duty cycle	DC _{CL}	40	50	60	%	Ext. clock
	Capacitive load (OSC2)	C_{LO}			30	pF	

[†] Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.

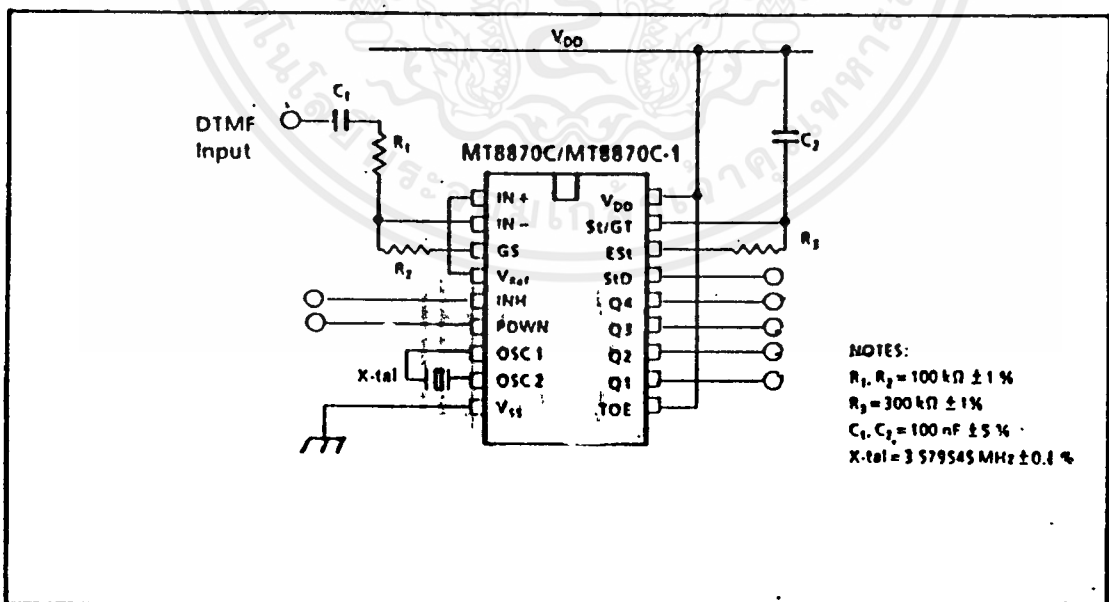


Figure 2 - Single-Ended Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870C/MT8870C-1 ISO²-CMOS

MT8870C-1 AC Electrical Characteristics¹ - $V_{DD} = 5.0V \pm 5\%$, $V_{SS} = 0V$, $-40^\circ C \leq T_O \leq +85^\circ C$, using Test Circuit shown in Figure 2.

	Characteristics	Sym	Min	Typ ²	Max	Units	Notes ³
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	$V_{DD} = 5.0V$ 1,2,3,5,6,9
			21.8		869	mV _{RMS}	
2	Input Signal Level Reject		-37			dBm	$V_{DD} = 5.0V$ 1,2,3,5,6,9
			10.9			mV _{RMS}	
3	Negative twist accept				6	dB	2,3,6,9
4	Positive twist accept				6	dB	2,3,6,9
5	Frequency deviation accept		$\pm 1.5\% \pm 2 \text{ Hz}$				2,3,5,9
6	Frequency deviation reject		$\pm 3.5\%$				2,3,5,9
7	Third tone tolerance		-18.5			dB	2,3,4,5,9,13
8	Noise tolerance			-12		-dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

¹Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

⁴NOTES

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration = 40 ms, tone pause = 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by $\pm 1.5\% \pm 2 \text{ Hz}$.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) $\pm 2\%$.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. For guard time calculation purposes.
13. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870C/MT8870C-1 ISO²-CMOS

Pin Description

Pin #	Name	Description
1	IN+	Non-Inverting Op-Amp (Input).
2	IN-	Inverting Op-Amp (Input).
3	GS	Gain Select. Gives access to output of front end differential amplifier for connection of feedback resistor.
4	V _{Ref}	Reference Voltage (Output). Nominally V _{DD} /2 is used to bias inputs at mid-rail (see Fig.2).
5	INH	Inhibit (Input). Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	PWDN	Power Down (Input). Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	OSC1	Clock (Input).
8	OSC2	Clock (Output). A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	V _{SS}	Negative Power Supply (Input).
10	TOE	Three State Output Enable (Input). Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	Q1-Q4	Three State Data (Output). When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	StD	Delayed Steering (Output). Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V _{1St} .
16	ESt	Early Steering (Output). Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	St/GT	Steering Input/Guard time (Output) Bidirectional. A voltage greater than V _{1St} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V _{1St} frees the device to accept a new tone pair. The GT output acts to reset the external steering time constant; its state is a function of ESt and the voltage on St.
18	V _{DD}	Positive power supply (Input).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870C/MT8870C-1 ISO²-CMOS

Absolute Maximum Ratings*

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V _{DD}		6	V
2	Voltage on any pin	V _I	V _{SS} - 0.3	V _{DD} + 0.3	V
3	Current at any pin (other than supply)	I _I		10	mA
4	Storage temperature	T _{STG}	-65	+150	°C
5	Package power dissipation	P _D		1000	mW

* Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied. Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ ¹	Max	Units	Test Conditions
1	DC Power Supply Voltage	V _{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T _O	-40		+85	°C	
3	Crystal/Clock Frequency	f _c		3.579545		MHz	
4	Crystal/Clock Freq. Tolerance	Δf _c		±0.1		%	

¹ Typical figures are at 25 °C and are for design aid only; not guaranteed and not subject to production testing.

DC Electrical Characteristics - V_{DD} = 5.0V ± 5%, V_{SS} = 0V, -40 °C ≤ T_O ≤ +85 °C, unless otherwise stated

	Characteristics	Sym	Min	Typ ¹	Max	Units	Test Conditions		
1	S U P P L Y	Standby supply current	I _{DDO}		100	μA	PWDN = V _{DD}		
2		Operating supply current	I _{DD}	3.0	9.0	mA			
3		Power consumption	P _O		15	50	mW	f _c = 3.579545 MHz	
4	I N P U T S	High level input	V _{IH}	3.5		V	V _{DD} = 5.0V		
5		Low level input voltage	V _{IL}			1.5	V	V _{DD} = 5.0V	
6		Input leakage current	I _{IH} /I _{IL}		0.1		μA	V _{IN} = V _{SS} or V _{DD}	
7		Pull up (source) current	I _{SO}		7.5	20	μA	TOE (pin 10) = 0, V _{DD} = 5.0V	
8		Pull down (sink) current	I _{SI}		15	45	μA	INH = 5.0V, PWDN = 5.0V, V _{DD} = 5.0V	
9		Input impedance (IN +, IN -)	R _{IN}		10		MΩ	@ 1 kHz	
10		Steering threshold voltage	V _{TST}	2.2		2.5	V	V _{DD} = 5.0V	
11		O U T P U T S	Low level output voltage	V _{OL}		V _{SS} + 0.03	V	No load	
12			High level output voltage	V _{OH}	V _{DD} - 0.03			V	No load
13			Output low (sink) current	I _{OL}	1.0	2.5		mA	V _{OUT} = 0.4 V
14	Output high (source) current		I _{OH}	0.4	0.8		mA	V _{OUT} = 4.6 V	
15	V _{Ref} output voltage		V _{Ref}	2.4		2.7	V	No load, V _{DD} = 5.0V	
16	V _{Ref} output resistance		R _{OR}		10		kΩ		

¹ Typical figures are at 25 °C and are for design aid only; not guaranteed and not subject to production testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISO²-CMOS MT8870C/MT8870C-1

Operating Characteristics - $V_{DD} = 5.0V \pm 5\%$, $V_{SS} = 0V$, $-40^\circ C \leq T_0 \leq +85^\circ C$, unless otherwise stated.
Gain Setting Amplifier

	Characteristics	Sym	Min	Typ ¹	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \leq V_{IN} \leq V_{DD}$
2	Input resistance	R_{IN}	10			M Ω	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	$-3.0V \leq V_{IN} \leq 3.0V$
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_c	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load $\geq 100 k\Omega$ to V_{SS}
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Maximum resistive load (GS)	R_L			50	k Ω	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870C AC Electrical Characteristics - $V_{DD} = 5.0V \pm 5\%$, $V_{SS} = 0V$, $-40^\circ C \leq T_0 \leq +85^\circ C$, using Test Circuit shown in Figure 2.

	Characteristics	Sym	Min	Typ ¹	Max	Units	Notes ²
1	Valid input signal levels (each tone of composite signal)		-29			dBm	1, 2, 3, 5, 6, 9
			-27.5			mV _{RMS}	1, 2, 3, 5, 6, 9
					+1	dBm	1, 2, 3, 5, 6, 9
					869	mV _{RMS}	1, 2, 3, 5, 6, 9
2	Negative twist accept				6	dB	2, 3, 6, 9
3	Positive twist accept				6	dB	2, 3, 6, 9
4	Frequency deviation accept		$\pm 1.5\% \pm 2 \text{ Hz}$				2, 3, 5, 9
5	Frequency deviation reject		$\pm 3.5\%$				2, 3, 5, 9
6	Third tone tolerance			-16		dB	2, 3, 4, 5, 9, 10
7	Noise tolerance			-12		dB	2, 3, 4, 5, 7, 9, 10
8	Dial tone tolerance			+22		dB	2, 3, 4, 5, 8, 9, 11

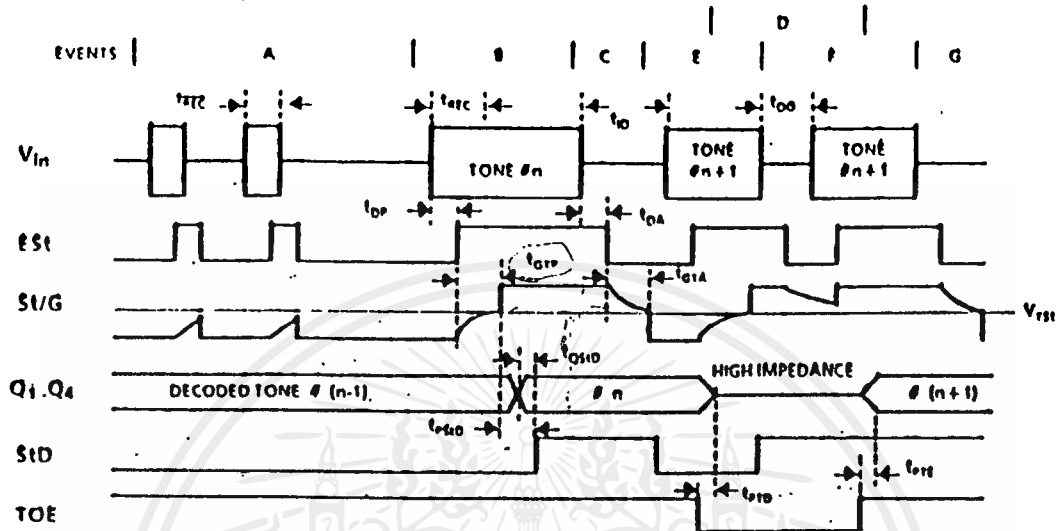
¹ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

NOTES

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration = 40 ms, tone pause = 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by $\pm 1.5\% \pm 2 \text{ Hz}$.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) $\pm 2\%$.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. For standard time calculation purposes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISO²-CMOS MT8870C/MT8870C-1



EXPLANATION OF EVENTS

- A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.
- B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS.
- C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.
- D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.
- E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).
- F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.
- G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

- V_{in} DTMF COMPOSITE INPUT SIGNAL.
- EST EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
- S/G STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
- Q_1-Q_4 4-BIT DECODED TONE OUTPUT.
- StD DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.
- TOE TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.
- t_{arc} MAXIMUM DTMF SIGNAL DURATION NOT DETECTED AS VALID
- t_{arc} MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION.
- t_{td} MINIMUM TIME BETWEEN VALID DTMF SIGNALS.
- t_{do} MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.
- t_{dp} TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.
- t_{da} TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.
- t_{dt} GUARD TIME, TONE PRESENT.
- t_{da} GUARD TIME, TONE ABSENT

Figure 3- Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870C/MT8870C-1 ISO²-CMOS

Functional Description

The MT8870C/MT8870C-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 4). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone

simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (EST) output will go to an active state. Any subsequent loss of signal condition will cause EST to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by EST. A logic high on EST causes v_c (see Figure 5) to rise as the capacitor discharges. Provided signal condition is maintained, EST remains high for the validation period (t_{GT}). v_c reaches the threshold (V_{15}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD} . GT continues to drive high as long as EST remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (STD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate

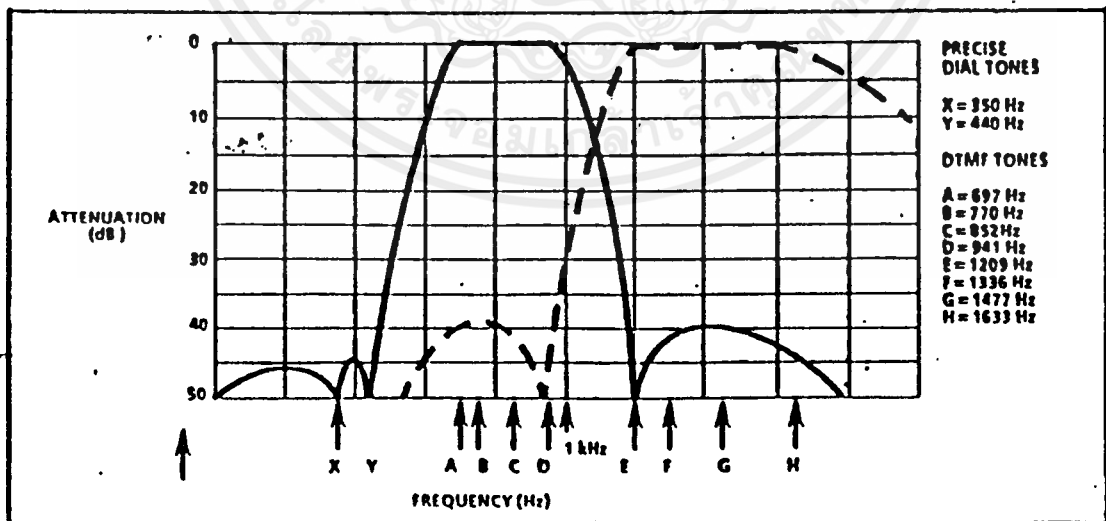


Figure 4. Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870C/MT8870C-1 ISO²-CMOS

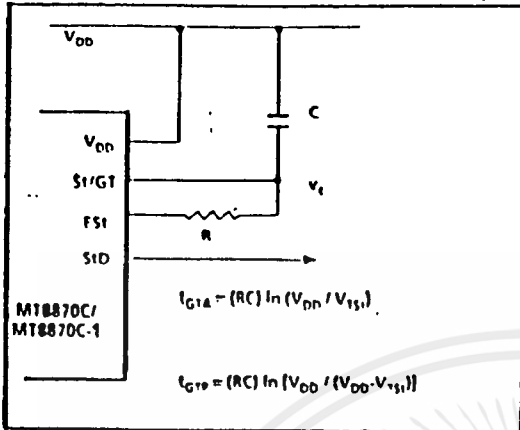


Figure 5- Basic Steering Circuit

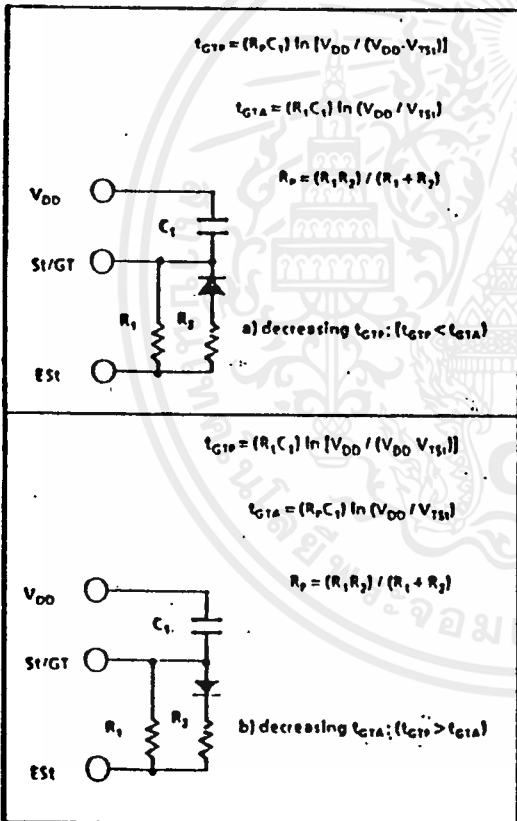


Figure 6- Guard Time Adjustment Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 2 (Single Ended Input Configuration). However, it is possible to configure several MT8870C/MT8870C-1 devices

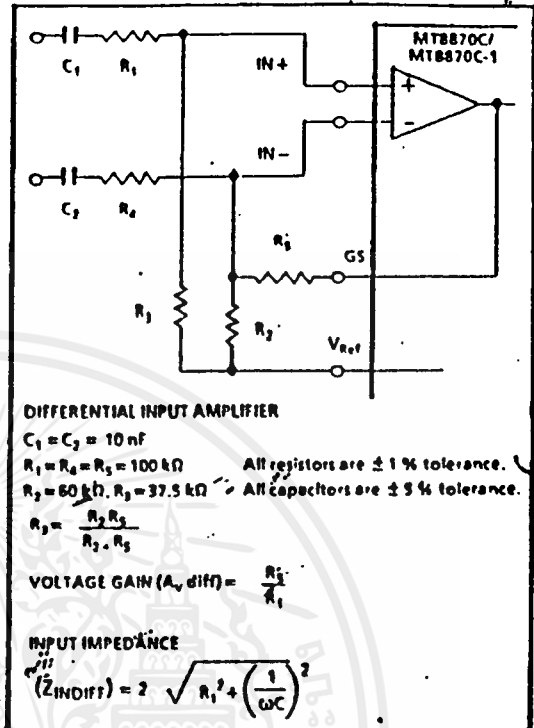


Figure 7- Differential Input Configuration

employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 8 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e.; precision balancing capacitors are not required.

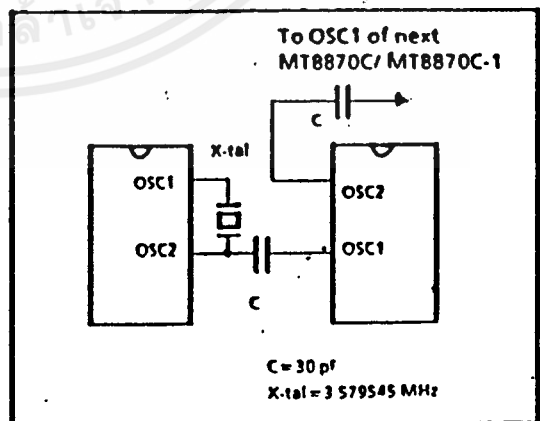


Figure 8- Oscillator Connection

ISO²-CMOS MT8870C/MT8870C-1

APPLICATION

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 10 illustrates the use of MT8870C-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870C-1. As shown in the diagram, the component values of R_1 and R_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 9.

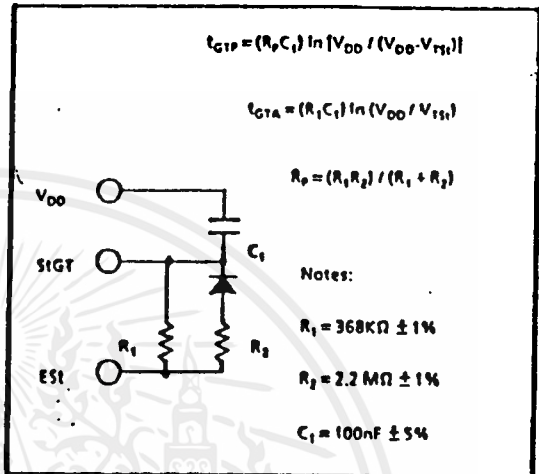


Figure 9 - Non-Symmetric Guard Time Circuit

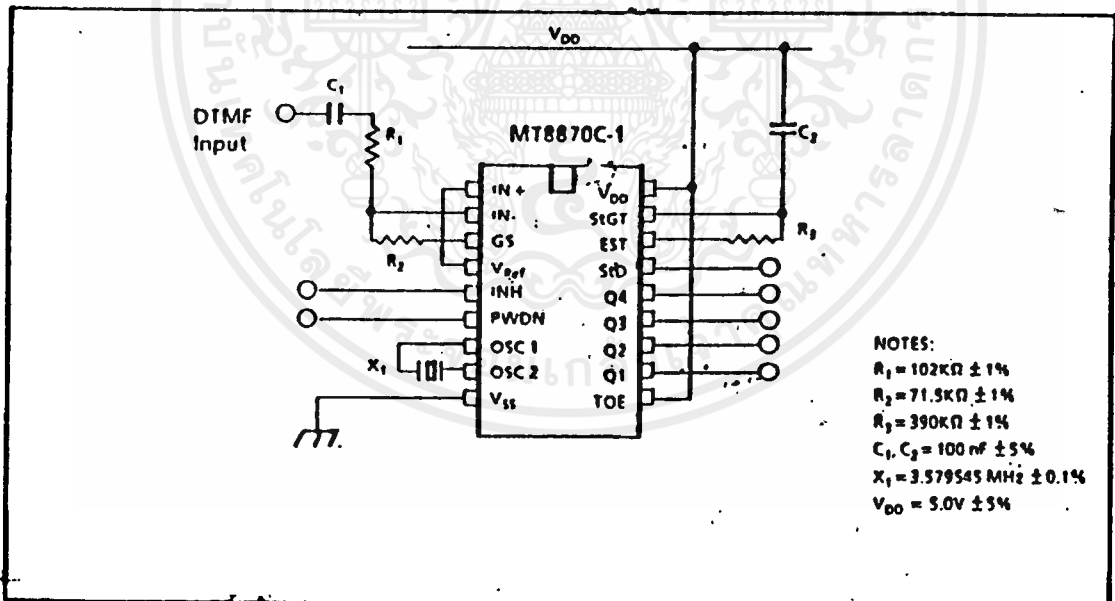


Figure 10 - Single-Ended Input Configuration for BT or CEPT Spec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LINEAR INTEGRATED CIRCUITS

TYPES SE555, NE555 PRECISION TIMERS

BULLETIN NO. DL-S 12053, SEPTEMBER 1973—REVISED OCTOBER 1979

- Timing from Microseconds to Hours
- Astable or Monostable Operation
- Adjustable Duty Cycle
- TTL-Compatible Output Can Sink or Source up to 200 mA
- Designed to be Interchangeable with Signetics SE555/NE555

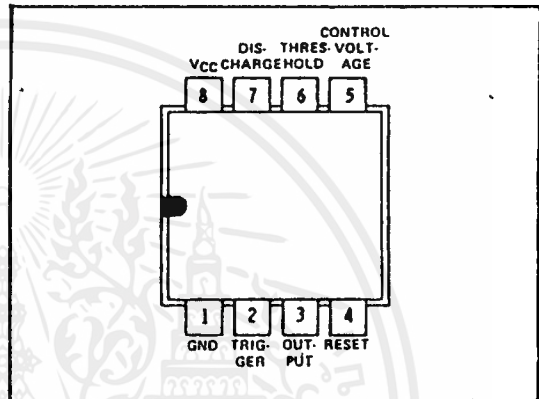
description

The SE555 and NE555 are monolithic timing circuits capable of producing accurate time delays or oscillation. In the time-delay or monostable mode of operation, the timed interval is controlled by a single external resistor and capacitor network. In the astable mode of operation, the frequency and duty cycle may be independently controlled with two external resistors and a single external capacitor.

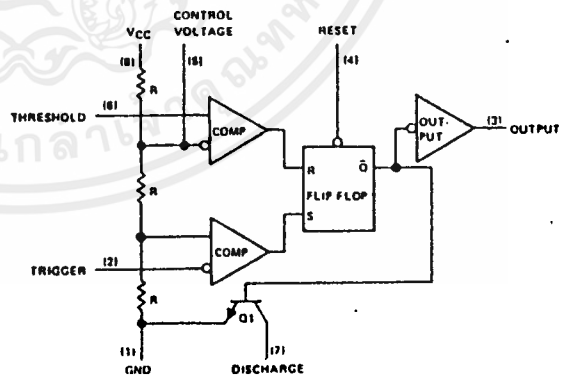
The threshold and trigger levels are normally two-thirds and one-third, respectively, of V_{CC} . These levels can be altered by use of the control voltage terminal. When the trigger input falls below the trigger level, the flip-flop is set and the output goes high. When the threshold input rises above the threshold level, the flip-flop is reset and the output goes low. The reset input can override all other inputs and can be used to initiate a new timing cycle. When the reset input goes low, the flip-flop is reset and the output goes low. When the output is low, a low-impedance path is provided between the discharge terminal and ground.

The output circuit is capable of sinking or sourcing current up to 200 milliamperes. Operation is specified for supplies of 5 to 15 volts. With a 5-volt supply, output levels are compatible with TTL inputs.

JG OR P DUAL-IN-LINE PACKAGE
(TOP VIEW)

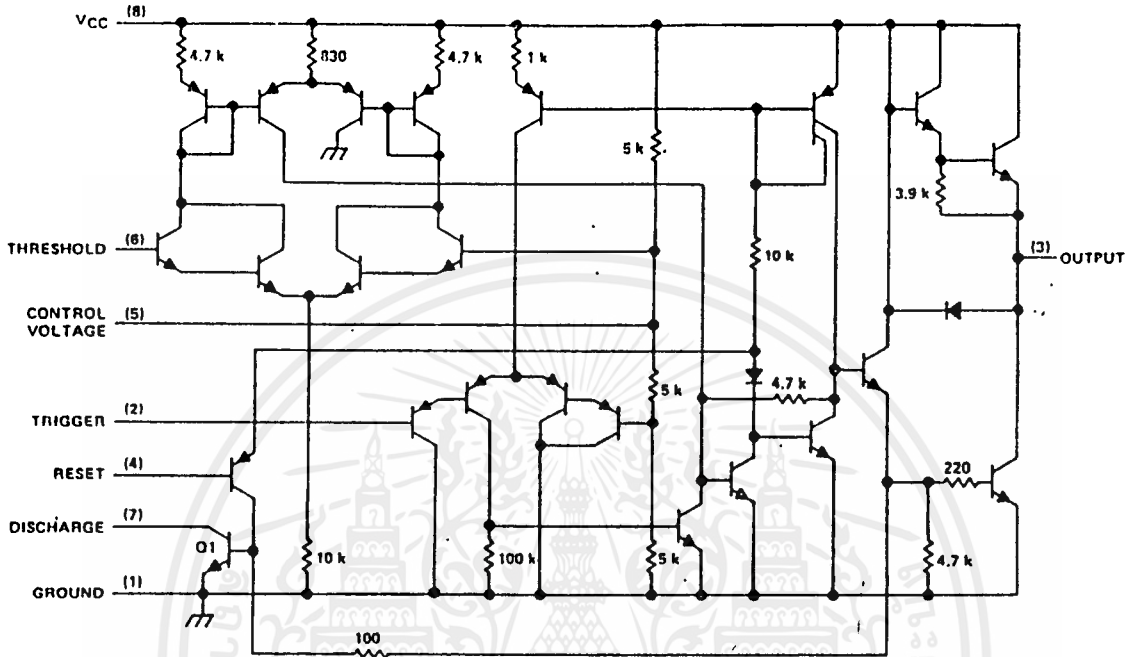


functional block diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

schematic



Resistor values shown are nominal and in ohms.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	18 V
Input voltage (control voltage, reset, threshold, trigger)	V_{CC}
Output current	± 225 mA
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 2)	600 mW
Operating free air temperature range:	
SE555	-55°C to 125°C
NE555	0°C to 70°C
Storage temperature range	-65°C to 150°C
Lead temperature 1/16 inch (1,6 mm) from case for 60 seconds: JG package	300°C
Lead temperature 1/16 inch (1,6 mm) from case for 10 seconds: P package	260°C

NOTES: 1. All voltage values are with respect to network ground terminal.

2. For operation above 25°C free-air temperature, refer to Dissipation Derating Table. In the JG package, SE555 chips are alloy-mounted, NE555 chips are glass-mounted.

recommended operating conditions

	SE555			NE555			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5		18	4.5		18	V
Input voltage, V_I (control voltage, reset, threshold, trigger)			V_{CC}			V_{CC}	V
Output Current, I_O			± 200			± 200	mA
Operating free-air temperature, T_A	-55		125	0		70	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SE555, NE555 PRECISION TIMERS

electrical characteristics at 25°C free-air temperature, V_{CC} = 5 V to 15 V (unless otherwise noted)

PARAMETER	TEST CONDITIONS	SE555			NE555			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
Threshold voltage level as a percentage of supply voltage		66.7			66.7			%
Threshold current (see Note 3)		0.1 0.25			0.1 0.25			μA
Trigger voltage level	V _{CC} = 15 V	4.8	5	5.2	5			V
	V _{CC} = 5 V	1.45	1.67	1.9	1.67			
Trigger current		0.5			0.5			μA
Reset voltage level		0.4	0.7	1	0.4	0.7	1	V
Reset current		0.1			0.1			mA
Control voltage (open-circuit)	V _{CC} = 15 V	9.6	10	10.4	9	10	11	V
	V _{CC} = 5 V	2.9	3.3	3.8	2.6	3.3	4	
Low-level output voltage	V _{CC} = 15 V	I _{OL} = 10 mA	0.1	0.15	0.1	0.25	V	
		I _{OL} = 50 mA	0.4	0.5	0.4	0.75		
		I _{OL} = 100 mA	2	2.2	2	2.5		
		I _{OL} = 200 mA	2.5		2.5			
	V _{CC} = 5 V	I _{OL} = 5 mA			0.25	0.35		
		I _{OL} = 8 mA	0.1	0.25				
High-level output voltage	V _{CC} = 15 V	I _{OH} = -100 mA	13	13.3	12.75	13.3	V	
		I _{OH} = -200 mA		12.5		12.5		
	V _{CC} = 5 V	I _{OH} = -100 mA	3	3.3	2.75	3.3		
Supply current	Output low, No load	V _{CC} = 15 V	10 12		10 15		mA	
		V _{CC} = 5 V	3 5		3 6			
	Output high, No load	V _{CC} = 15 V	9 11		9 14			
		V _{CC} = 5 V	2 4		2 5			

NOTE 3: This parameter influences the maximum value of the timing resistors R_A and R_B in the circuit of Figure 13. For example when V_{CC} = 5 V the maximum value is R = R_A + R_B ≈ 20 MΩ.

operating characteristics, V_{CC} = 5 V and 15 V

PARAMETER	TEST CONDITIONS†	SE555			NE555			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
Initial error of timing interval	R _A = 1 kΩ to 100 kΩ, T _A = 25°C	0.5	2		1			%
Temperature coefficient of timing interval	R _B = 0 to 100 kΩ, T _A = MIN to MAX	30 100			60			ppm/°C
Supply voltage sensitivity of timing interval	C = 0.1 μF, T _A = 25°C	0.05	0.2		0.1			%/V
Output pulse rise time	C _L = 15 pF, T _A = 25°C	100			100			ns
Output pulse fall time		100			100			ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

DISSIPATION DERATING TABLE

PACKAGE	POWER RATING	DERATING FACTOR	ABOVE T _A
JG (Alloy-Mounted Chip)	600 mW	8.4 mW/°C	79°C
JG (Glass-Mounted Chip)	600 mW	6.6 mW/°C	59°C
P	600 mW	6.0 mW/°C	75°C

Also see Dissipation Derating Curves, Section 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS†

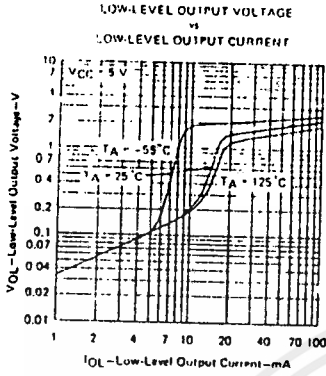


FIGURE 1

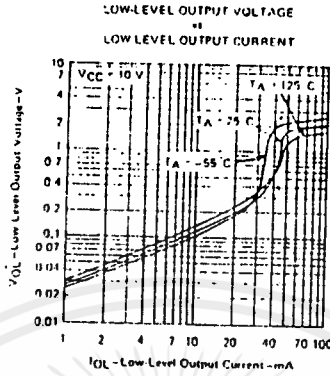


FIGURE 2

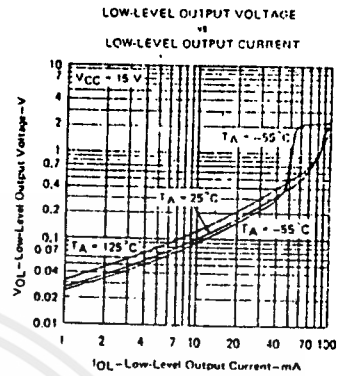


FIGURE 3

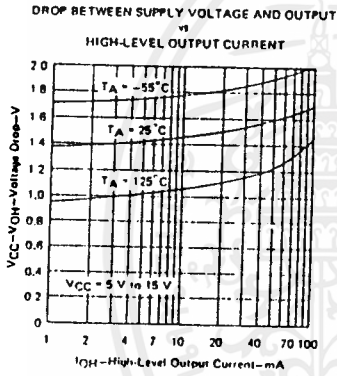


FIGURE 4

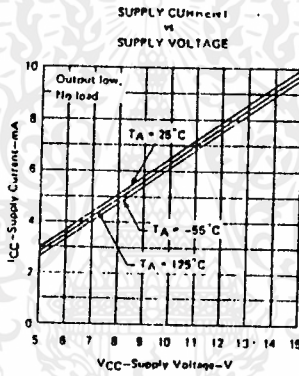


FIGURE 5

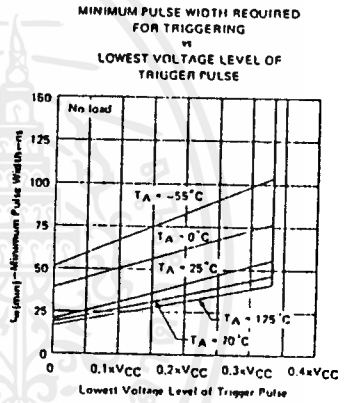


FIGURE 6

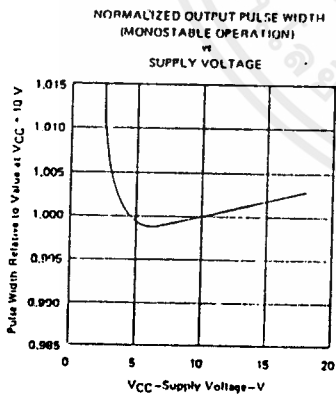


FIGURE 7

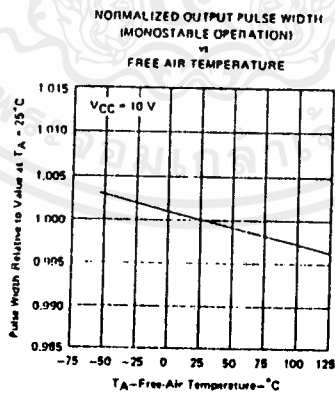


FIGURE 8

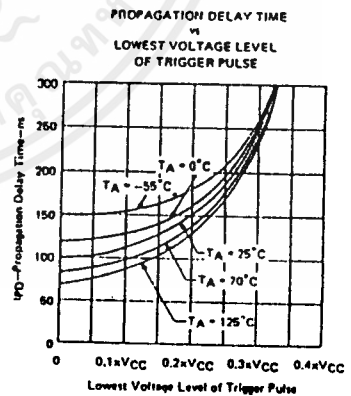


FIGURE 9

† Data for temperatures below 0°C and above 70°C are applicable for SE555 circuits only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SE555, NE555 PRECISION TIMERS

TYPICAL APPLICATION DATA

monostable operation

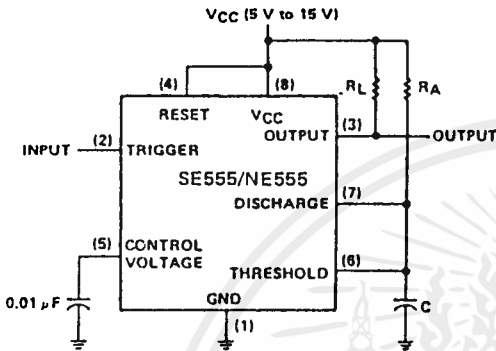


FIGURE 10—CIRCUIT FOR MONOSTABLE OPERATION

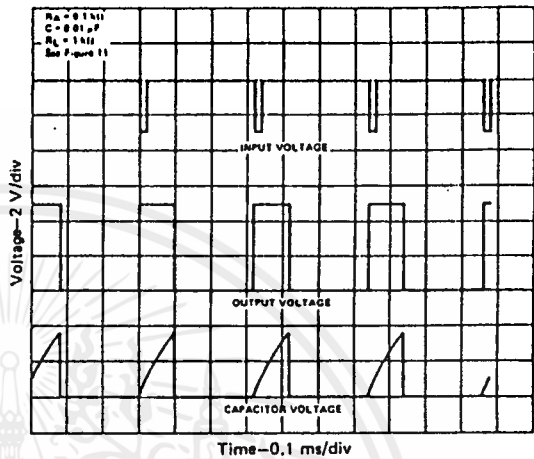


FIGURE 11—TYPICAL MONOSTABLE WAVEFORMS

For monostable operation, the SE555/NE555 may be connected as shown in Figure 10. If the output is low, application of a negative-going pulse to the trigger input sets the flip-flop (\bar{Q} goes low), drives the output high, and turns off Q1. Capacitor C is then charged through R_A until the voltage across the capacitor reaches the threshold voltage of the threshold input. If the trigger input has returned to a high level, the output of the threshold comparator will reset the flip-flop (\bar{Q} goes high), drive the output low, and discharge C through Q1.

Monostable operation is initiated when the trigger input voltage falls below the trigger threshold. Once initiated, the sequence will complete only if the trigger input is high at the end of the timing interval. Because of the threshold level and saturation voltage of Q1, the output pulse width is approximately $t_w = 1.1 R_A C$. Figure 12 is a plot of the time constant for various values of R_A and C. The threshold levels and charge rates are both directly proportional to the supply voltage, V_{CC} . The timing interval is therefore independent of the supply voltage, so long as the supply voltage is constant during the time interval.

Applying a negative-going trigger pulse simultaneously to the reset and trigger terminals during the timing interval will discharge C and re-initiate the cycle, commencing on the positive edge of the reset pulse. The output is held low as long as the reset pulse is low. When the reset input is not used, it should be connected to V_{CC} to prevent false triggering.

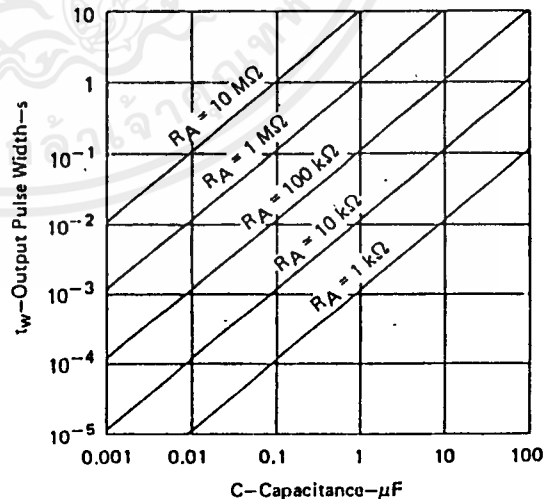
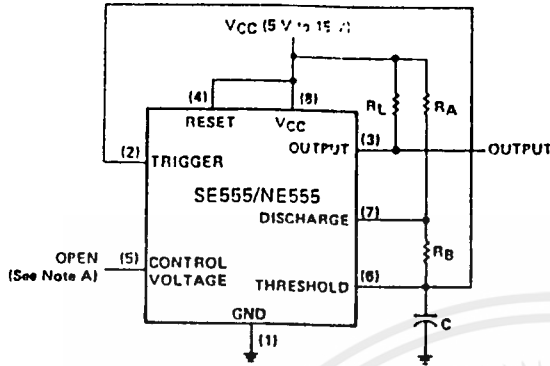


FIGURE 12—OUTPUT PULSE WIDTH vs CAPACITANCE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

astable operation

TYPICAL APPLICATION DATA



NOTE A: Decoupling the control voltage input (pin 5) to ground with a capacitor may improve operation. This should be evaluated for individual applications.
 FIGURE 13—CIRCUIT FOR ASTABLE OPERATION

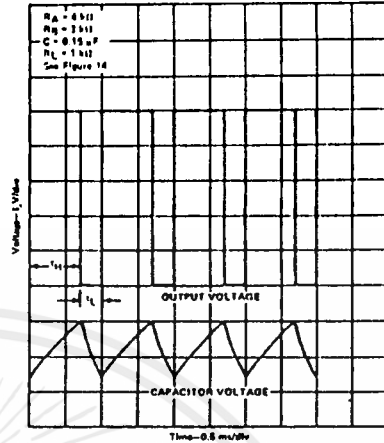


FIGURE 14—TYPICAL ASTABLE WAVEFORMS

Addition of a second resistor, R_B , to the circuit of Figure 10, as shown in Figure 13, and connection of the trigger input to the threshold input will cause the SE555/NE555 to self-trigger and run as a multivibrator. The capacitor C will charge through R_A and R_B then discharge through R_B only. The duty cycle may be controlled, therefore, by the values of R_A and R_B .

This astable connection results in capacitor C charging and discharging between the threshold-voltage level ($\approx 0.67 \cdot V_{CC}$) and the trigger-voltage level ($\approx 0.33 \cdot V_{CC}$). As in the monostable circuit, charge and discharge times (and therefore the frequency and duty cycle) are independent of the supply voltage.

Figure 14 shows typical waveforms generated during astable operation. The output high-level duration t_H and low-level duration t_L may be found by:

$$t_H = 0.693 (R_A + R_B) C$$

$$t_L = 0.693 (R_B) C$$

Other useful relationships are shown below.

$$\text{period} = t_H + t_L = 0.693 (R_A + 2R_B) C$$

$$\text{frequency} \approx \frac{1.44}{(R_A + 2R_B) C}$$

$$\text{Output driver duty cycle} = \frac{t_L}{t_H + t_L} = \frac{R_B}{R_A + 2R_B}$$

$$\text{Output waveform duty cycle} = \frac{t_H}{t_H + t_L} = 1 - \frac{R_B}{R_A + 2R_B}$$

$$\text{Low-to-high ratio} = \frac{t_L}{t_H} = \frac{R_B}{R_A + R_B}$$

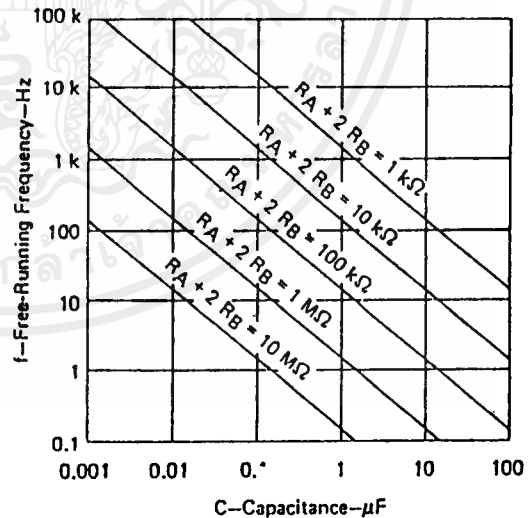


FIGURE 15—FREE-RUNNING FREQUENCY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SE555, NE555 PRECISION TIMERS

TYPICAL APPLICATION DATA

missing-pulse detector

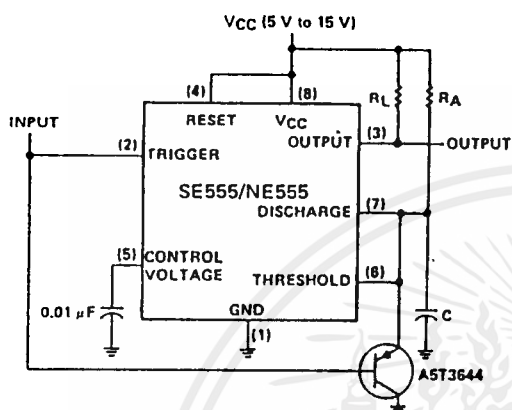


FIGURE 16—CIRCUIT FOR MISSING-PULSE DETECTOR

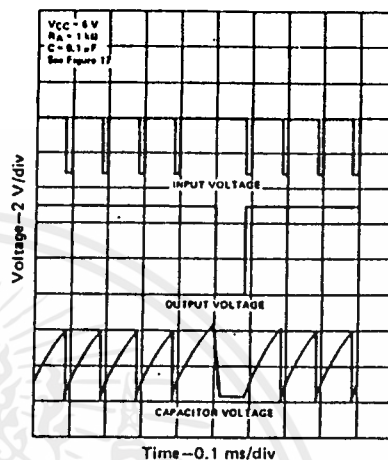


FIGURE 17—MISSING-PULSE DETECTOR WAVEFORMS

The circuit shown in Figure 16 may be utilized to detect a missing pulse or abnormally long spacing between consecutive pulses in a train of pulses. The timing interval of the monostable circuit is continuously retriggered by the input pulse train as long as the pulse spacing is less than the timing interval. A longer pulse spacing, missing pulse, or terminated pulse train will permit the timing interval to be completed, thereby generating an output pulse as illustrated in Figure 17.

frequency divider

By adjusting the length of the timing cycle, the basic circuit of Figure 10 can be made to operate as a frequency divider. Figure 18 illustrates a divide-by-3 circuit that makes use of the fact that retriggering cannot occur during the timing cycle.

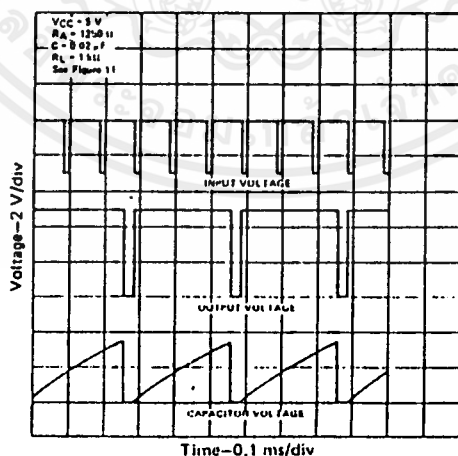
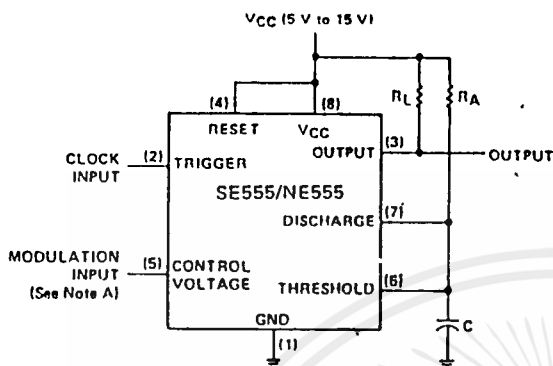


FIGURE 18—DIVIDE-BY-THREE CIRCUIT WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION DATA

pulse-width modulation



NOTE A: The modulating signal may be direct or capacitively coupled to the control voltage terminal. For direct coupling, the effects of modulation source voltage and impedance on the bias of the SE555/NE555 should be considered.

FIGURE 19—CIRCUIT FOR PULSE-WIDTH MODULATION

The operation of the timer may be modified by modulating the internal threshold and trigger voltages. This is accomplished by applying an external voltage (or current) to the control voltage pin. Figure 19 is a circuit for pulse-width modulation. The monostable circuit is triggered by a continuous input pulse train and the threshold voltage is modulated by a control signal. The resultant effect is a modulation of the output pulse width, as shown in Figure 20. A sine-wave modulation signal is illustrated, but any wave-shape could be used.

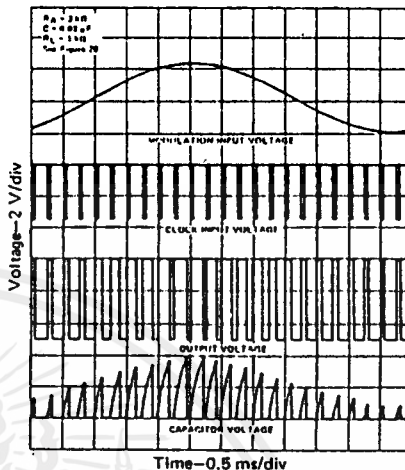
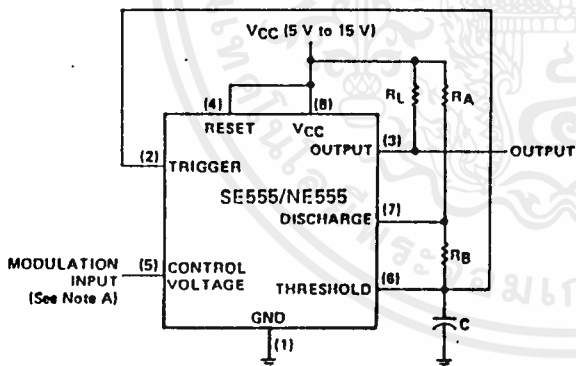


FIGURE 20—PULSE-WIDTH-MODULATION WAVEFORMS

pulse-position modulation



NOTE A: The modulating signal may be direct or capacitively coupled to the control voltage terminal. For direct coupling, the effects of modulation source voltage and impedance on the bias of the SE555/NE555 should be considered.

FIGURE 21—CIRCUIT FOR PULSE-POSITION MODULATION

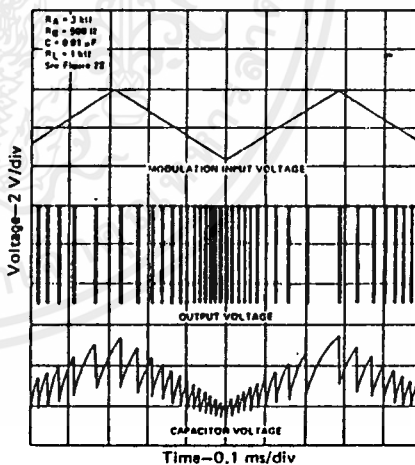


FIGURE 22—PULSE POSITION-MODULATION WAVEFORMS

The SE555/NE555 may be used as a pulse-position modulator as shown in Figure 21. In this application, the threshold voltage, and thereby the time delay, of a free-running oscillator is modulated. Figure 22 shows such a circuit, with a triangular-wave modulation signal, however, any modulating wave-shape could be used.

TYPES SE555, NE555 PRECISION TIMERS

TYPICAL APPLICATION DATA

sequential timer

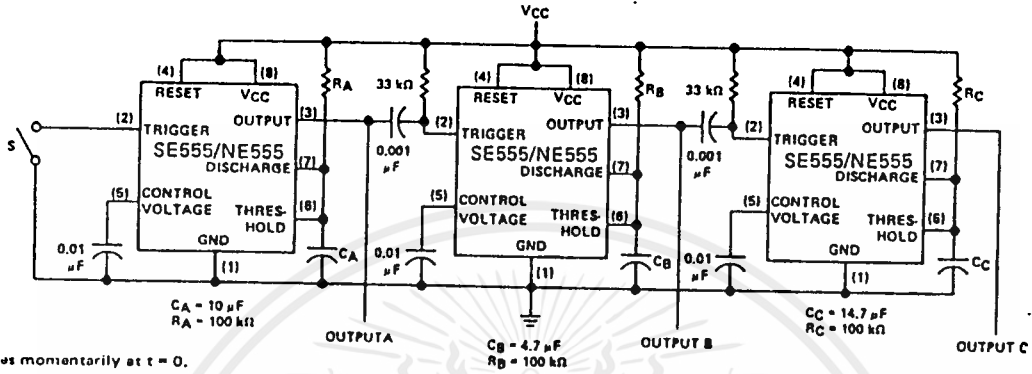


FIGURE 23—SEQUENTIAL TIMER CIRCUIT

Many applications, such as computers, require signals for initializing conditions during start-up. Other applications such as test equipment require activation of test signals in sequence. SE555/NE555 circuits may be connected to provide such sequential control. The timers may be used in various combinations of astable or monostable circuit connections, with or without modulation, for extremely flexible waveform control. Figure 23 illustrates a sequencer circuit with possible applications in many systems and Figure 24 shows the output waveforms.

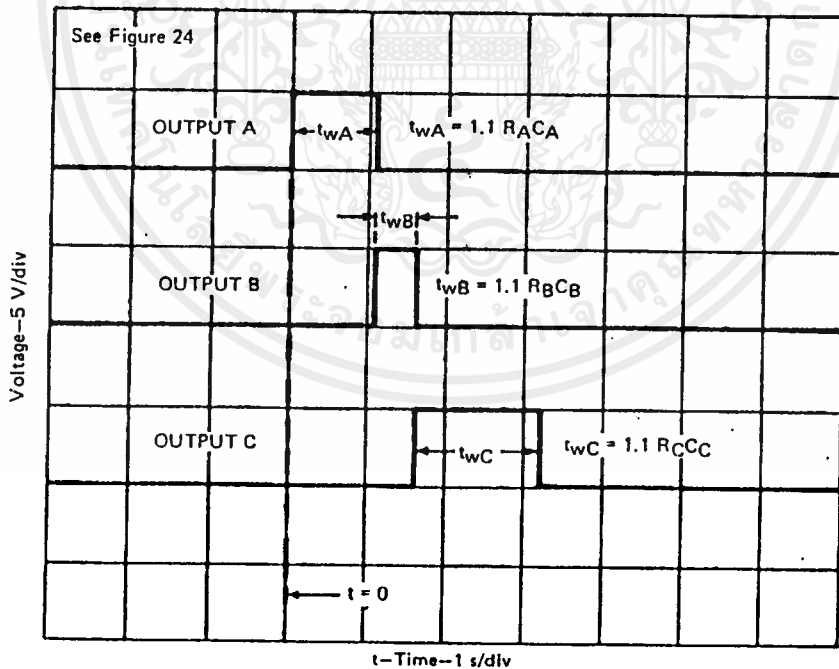


FIGURE 24—SEQUENTIAL TIMER WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

General Description

The LM311 is a voltage comparator that has input currents more than a hundred times lower than devices like the LM306 or LM710C. It is also designed to operate over a wider range of supply voltages from standard $\pm 15V$ op amp supplies down to the single 5V supply used for IC logic. Its output is compatible with RTL, DTL and TTL as well as MOS circuits. Further, it can drive lamps or relays, switching voltages up to 40V at currents as high as 50 mA.

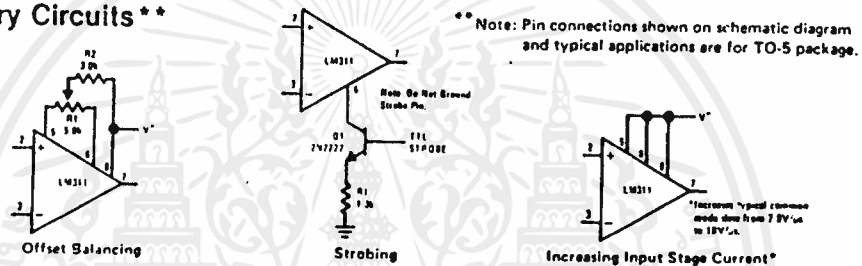
- Differential input voltage range: $\pm 30V$
- Power consumption: 135 mW at $\pm 15V$

Both the input and the output of the LM311 can be isolated from system ground, and the output can drive loads referred to ground, the positive supply or the negative supply. Offset balancing and strobe capability are provided and outputs can be wire OR'ed. Although slower than the LM306 and LM710C (200 ns response time vs 40 ns) the device is also much less prone to spurious oscillations. The LM311 has the same pin configuration as the LM306 and LM710C. See the "application hints" of the LM311 for application help.

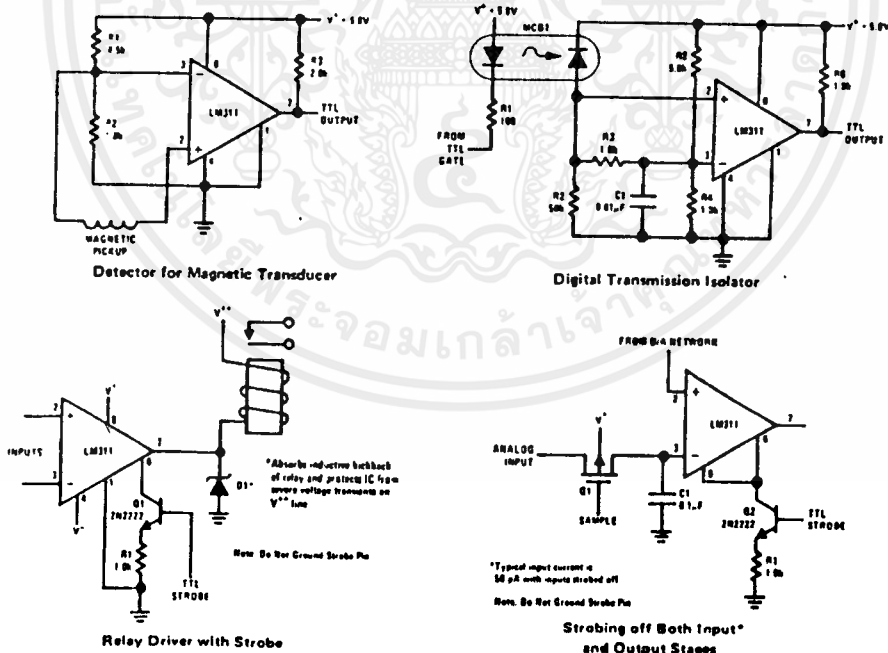
Features

- Operates from single 5V supply
- Maximum input current: 250 nA
- Maximum offset current: 50 nA

Auxiliary Circuits**



Typical Applications**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Total Supply Voltage (V_{S+})	36V
Output to Negative Supply Voltage (V_{7+})	40V
Ground to Negative Supply Voltage (V_{1+})	30V
Differential Input Voltage	$\pm 30V$
Input Voltage (Note 1)	$\pm 15V$
Power Dissipation (Note 2)	500 mW
Output Short Circuit Duration	10 sec
Operating Temperature Range	$0^{\circ}C$ to $70^{\circ}C$
Storage Temperature Range	$-65^{\circ}C$ to $150^{\circ}C$
Lead Temperature (soldering, 10 sec)	$300^{\circ}C$
Voltage at Strobe Pin	$V^+ - 5V$

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage (Note 4)	$T_A = 25^{\circ}C$, $R_S \leq 50k$		2.0	7.5	mV
Input Offset Current (Note 4)	$T_A = 25^{\circ}C$		6.0	50	nA
Input Bias Current	$T_A = 25^{\circ}C$		100	250	nA
Voltage Gain	$T_A = 25^{\circ}C$	40	200		V/mV
Response Time (Note 5)	$T_A = 25^{\circ}C$		200		ns
Saturation Voltage	$V_{IN} \leq -10$ mV, $I_{OUT} = 50$ mA $T_A = 25^{\circ}C$		0.75	1.5	V
Strobe ON Current	$T_A = 25^{\circ}C$		3.0		mA
Output Leakage Current	$V_{IN} \geq 10$ mV, $V_{OUT} = 35V$ $T_A = 25^{\circ}C$, $I_{STROBE} = 3$ mA		0.2	50	nA
Input Offset Voltage (Note 4)	$R_S \leq 50k$			10	mV
Input Offset Current (Note 4)				70	nA
Input Bias Current				300	nA
Input Voltage Range		-14.5	13.8-14.7	13.0	V
Saturation Voltage	$V^+ \geq 4.5V$, $V^- = 0$ $V_{IN} \leq -10$ mV, $I_{SINK} \leq 8$ mA		0.23	0.4	V
Positive Supply Current	$T_A = 25^{\circ}C$		5.1	7.5	mA
Negative Supply Current	$T_A = 25^{\circ}C$		4.1	6.0	mA

Note 1: This rating applies for $\pm 15V$ supplies. The positive input voltage limit is 30V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30V below the positive supply, whichever is less.

Note 2: The maximum junction temperature of the LM311 is $110^{\circ}C$. For operating at elevated temperatures, devices in the TO-8 package must be derated based on a thermal resistance of $150^{\circ}C/W$, junction to ambient, or $45^{\circ}C/W$, junction to case. The thermal resistance of the dual-in-line package is $100^{\circ}C/W$, junction to ambient.

Note 3: These specifications apply for $V_S = \pm 15V$ and the Ground pin at ground, and $0^{\circ}C < T_A < +70^{\circ}C$, unless otherwise specified. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to $\pm 15V$ supplies.

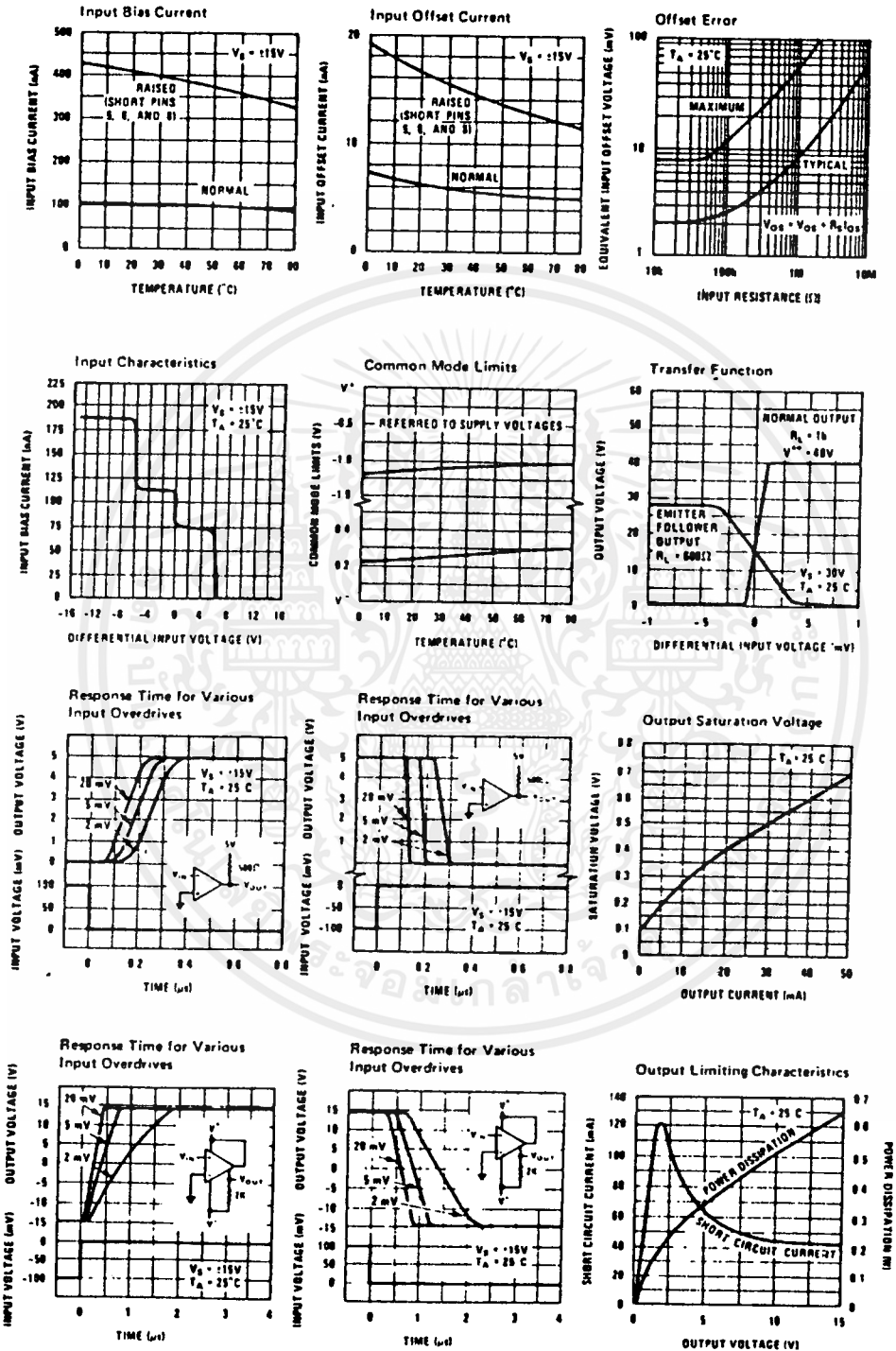
Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with 1 mA load. Thus, these parameters define an error band and take into account the worst-case effects of voltage gain and input impedance.

Note 5: The response time specified (see definitions) is for a 100 mV input step with 5 mV overdrive.

Note 6: Do not short the strobe pin to ground; it should be current driven at 3 to 5 mA.

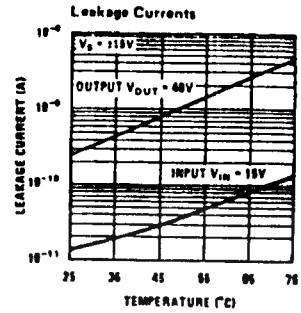
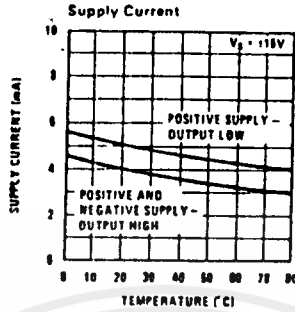
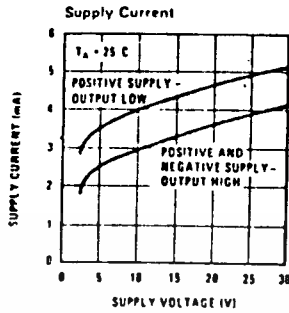
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

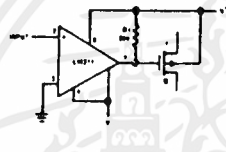


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

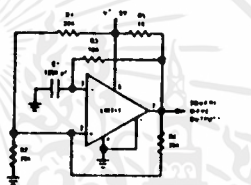
Typical Performance Characteristics (Continued)



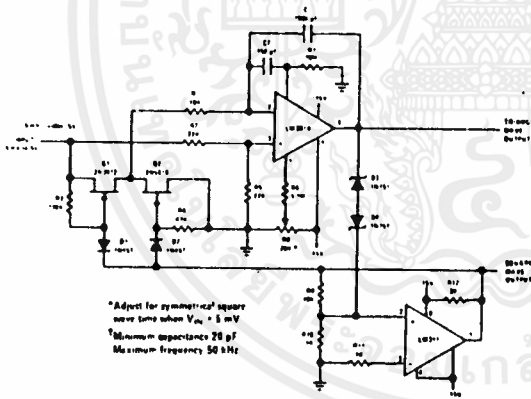
Typical Applications



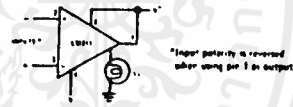
Zero Crossing Detector
Driving MOS Switch



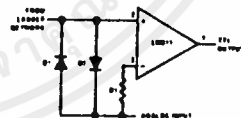
100 kHz Free Running Multivibrator



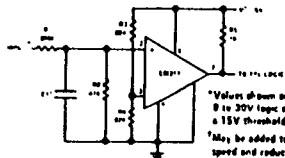
10 Hz to 10 kHz Voltage Controlled Oscillator



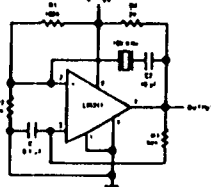
Driving Ground-Referenced Load



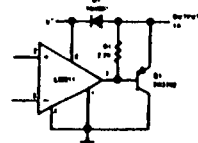
Using Clamp Diodes to Improve Response



TTL Interface with High Level Logic



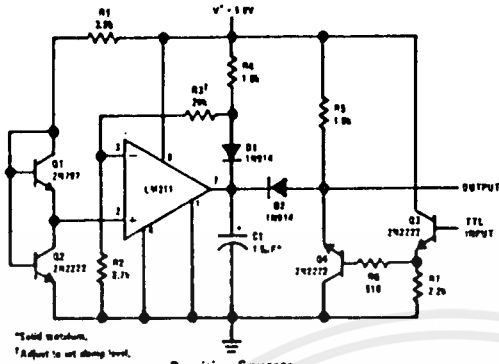
Crystal Oscillator



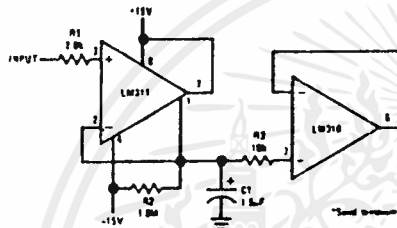
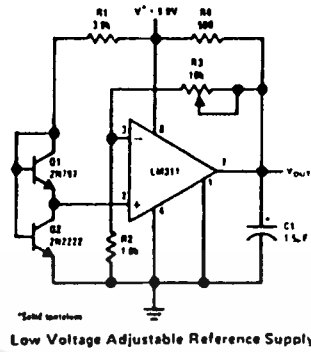
Comparator and Solenoid Driver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรรมใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

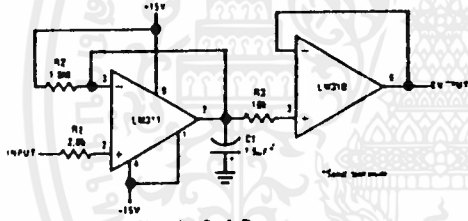
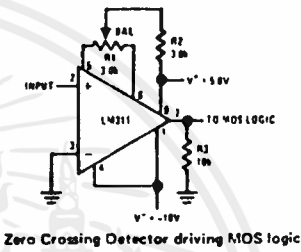
Typical Applications (Continued)



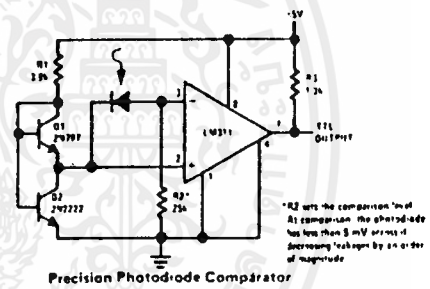
Precision Squarer



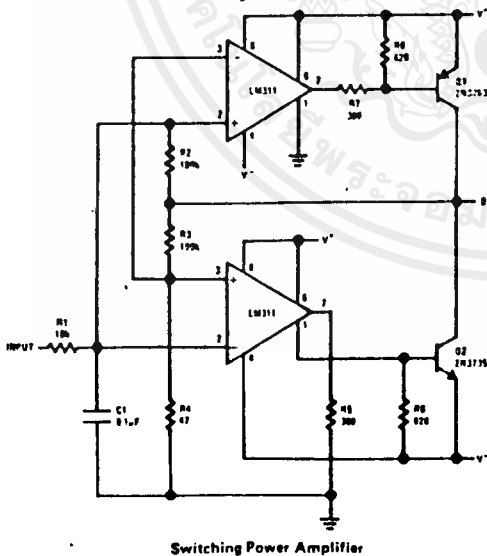
Positive Peak Detector



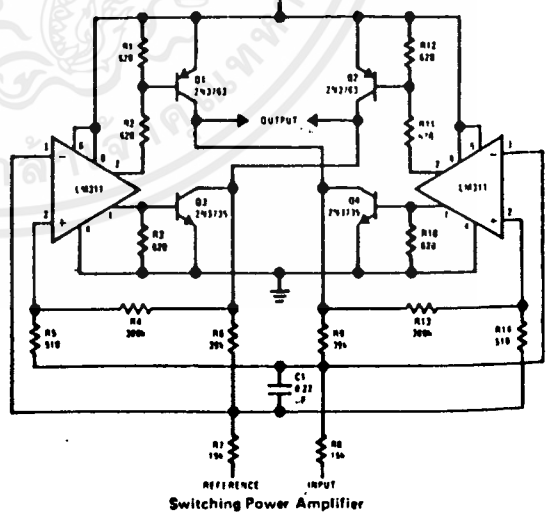
Negative Peak Detector



Precision Photodiode Comparator



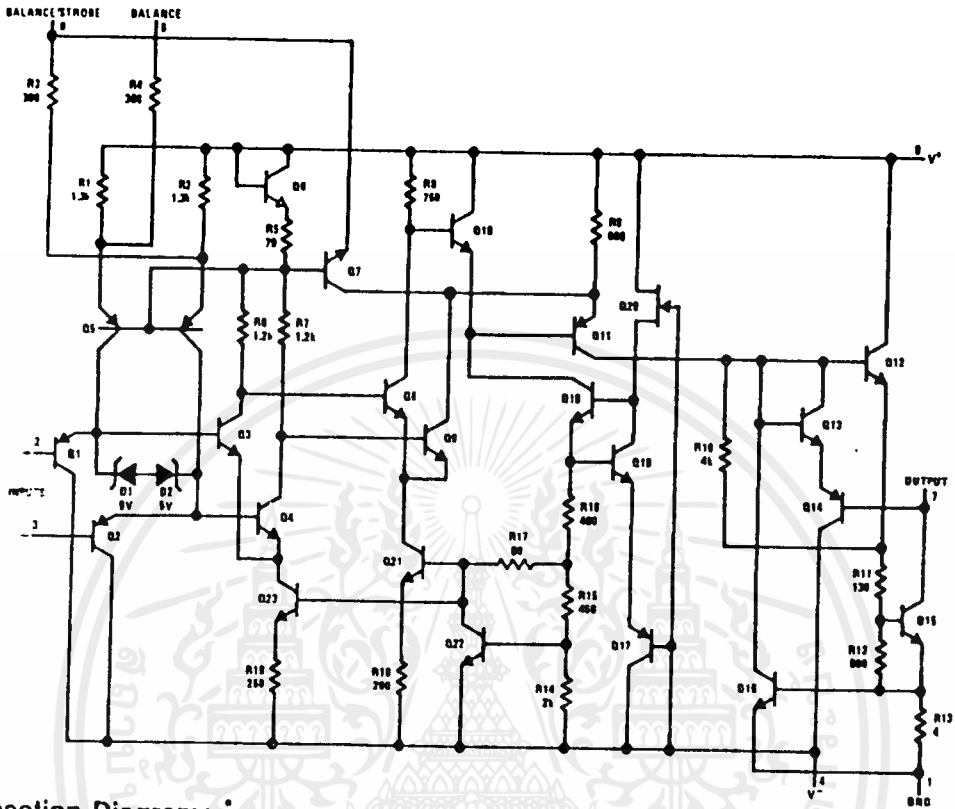
Switching Power Amplifier



Switching Power Amplifier

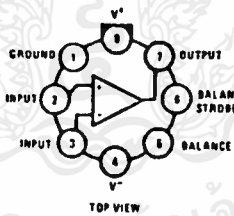
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



Connection Diagrams

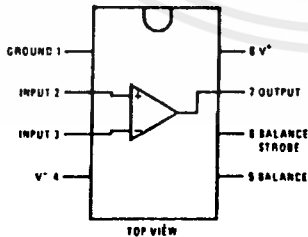
Metal Can Package



Order Number LM311H
See NS Package HO8C

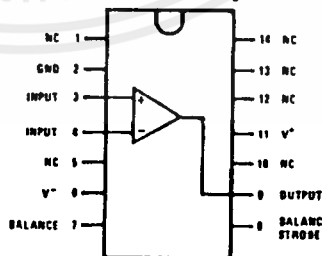
TOP VIEW

Dual-In-Line Package



Order Number LM311N
See NS Package NO8B
Order Number LM311J-8
See NS Package JO8A

Dual-In-Line Package



Order Number LM311N-14
See NS Package N14A
Order Number LM311J
See NS Package J14A

Note: Pin 8 connected to bottom of package

*Pin connections shown on schematic diagram and typical applications are for TO-5 package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints

CIRCUIT TECHNIQUES FOR AVOIDING OSCILLATIONS IN COMPARATOR APPLICATIONS

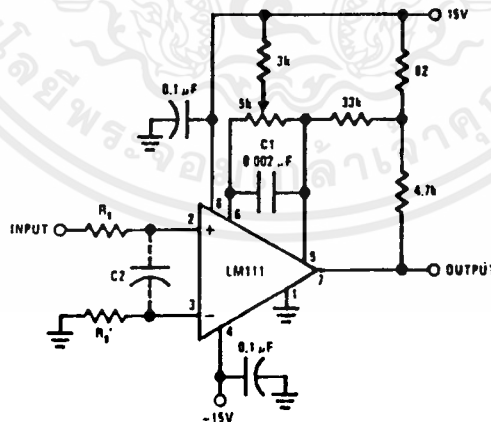
When a high-speed comparator such as the LM111 is used with fast input signals and low source impedances, the output response will normally be fast and stable, assuming that the power supplies have been bypassed (with $0.1 \mu\text{F}$ disc capacitors), and that the output signal is routed well away from the inputs (pins 2 and 3) and also away from pins 5 and 6.

However, when the input signal is a voltage ramp or a slow sine wave, or if the signal source impedance is high ($1 \text{ k}\Omega$ to $100 \text{ k}\Omega$), the comparator may burst into oscillation near the crossing-point. This is due to the high gain and wide bandwidth of comparators like the LM111. To avoid oscillation or instability in such a usage, several precautions are recommended, as shown in Figure 1 below.

1. The trim pins (pins 5 and 6) act as unwanted auxiliary inputs. If these pins are not connected to a trim-pot, they should be shorted together. If they are connected to a trim-pot, a $0.01 \mu\text{A}$ capacitor C1 between pins 5 and 6 will minimize the susceptibility to AC coupling. A smaller capacitor is used if pin 5 is used for positive feedback as in Figure 1.
2. Certain sources will produce a cleaner comparator output waveform if a 100 pF to 1000 pF capacitor C2 is connected directly across the input pins.
3. When the signal source is applied through a resistive network, R_S , it is usually advantageous to choose an R_S' of substantially the same value, both for DC and for dynamic (AC) considerations. Carbon, tin-oxide, and metal-film resistors have all been used successfully in comparator input circuitry. Inductive wirewound resistors are not suitable.

4. When comparator circuits use input resistors (eg. summing resistors), their value and placement are particularly important. In all cases the body of the resistor should be close to the device or socket. In other words there should be very little lead length or printed-circuit foil run between comparator and resistor to radiate or pick up signals. The same applies to capacitors, pots, etc. For example, if $R_S = 10 \text{ k}\Omega$, as little as 5 inches of lead between the resistors and the input pins can result in oscillations that are very hard to damp. Twisting these input leads tightly is the only (second best) alternative to placing resistors close to the comparator.

5. Since feedback to almost any pin of a comparator can result in oscillation, the printed circuit layout should be engineered thoughtfully. Preferably there should be a groundplane under the LM111 circuitry, for example, one side of a double-layer circuit card. Ground foil (or, positive supply or negative supply foil) should extend between the output and the inputs, to act as a guard. The foil connections for the inputs should be as small and compact as possible, and should be essentially surrounded by ground foil on all sides, to guard against capacitive coupling from any high-level signals (such as the output). If pins 5 and 6 are not used, they should be shorted together. If they are connected to a trim-pot, the trim-pot should be located, at most, a few inches away from the LM111, and the $0.01 \mu\text{F}$ capacitor should be installed. If this capacitor cannot be used, a shielding printed-circuit foil may be advisable between pins 6 and 7. The power supply bypass capacitors should be located within a couple inches of the LM111. (Some other comparators require the power-supply bypass to be located immediately adjacent to the comparator.)



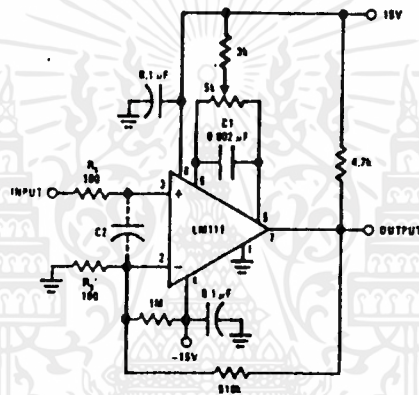
Pin connections shown are for LM111H in 8-lead TO-5 hermetic package

FIGURE 1. Improved Positive Feedback

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

6. It is a standard procedure to use hysteresis (positive feedback) around a comparator, to prevent oscillation, and to avoid excessive noise on the output because the comparator is a good amplifier for its own noise. In the circuit of *Figure 2*, the feedback from the output to the positive input will cause about 3 mV of hysteresis. However, if R_3 is larger than 100Ω , such as $50\text{ k}\Omega$, it would not be reasonable to simply increase the value of the positive feedback resistor above $510\text{ k}\Omega$. The circuit of *Figure 3* could be used, but it is rather awkward. See the notes in paragraph 7 below.
7. When both inputs of the LM111 are connected to active signals, or if a high-impedance signal is driving the positive input of the LM111 so that positive feedback would be disruptive, the circuit of *Figure 1* is ideal. The positive feedback is to pin 5 (one of the offset adjustment pins). It is sufficient to cause 1 to 2 mV hysteresis and sharp transitions with input triangle waves from a few Hz to hundreds of kHz. The positive-feedback signal across the 82Ω resistor swings 240 mV below the positive supply. This signal is centered around the nominal voltage at pin 5, so this feedback does not add to the V_{OS} of the comparator. As much as 8 mV of V_{OS} can be trimmed out, using the $5\text{ k}\Omega$ pot and $3\text{ k}\Omega$ resistor as shown.
8. These application notes apply specifically to the LM111, LM211, LM311, and LF111 families of comparators, and are applicable to all high-speed comparators in general, (with the exception that not all comparators have trim pins).



Pin connections shown are for LM111H in 8-lead TO-5 hermetic package

FIGURE 2. Conventional Positive Feedback

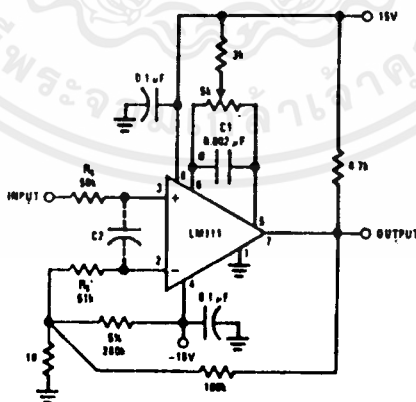


FIGURE 3. Positive Feedback With High Source Resistance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4017AB



CMOS DECADE COUNTER/DIVIDER

FEATURES

- ◆ 10 Decoded Decimal Outputs
- ◆ Direct Reset
- ◆ Trigger from either Edge of Clock Input
- ◆ Carry Output for Cascading Stages
- ◆ Fully Static Operation - DC to 5MHz @ 10Vdc

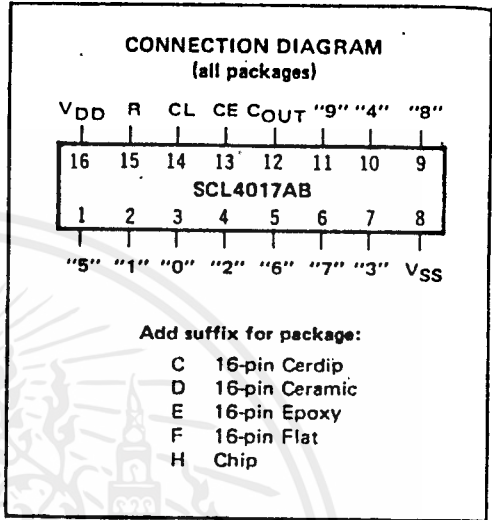
DESCRIPTION

The SCL4017AB consists of a 5-stage Johnson Decade Counter and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset-signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out (COUT) signal completes one cycle every 10 clock input cycles and is used to directly clock the succeeding counter in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.



RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	VDD - VSS	3 to 15	Vdc
Operating Temperature	TA	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

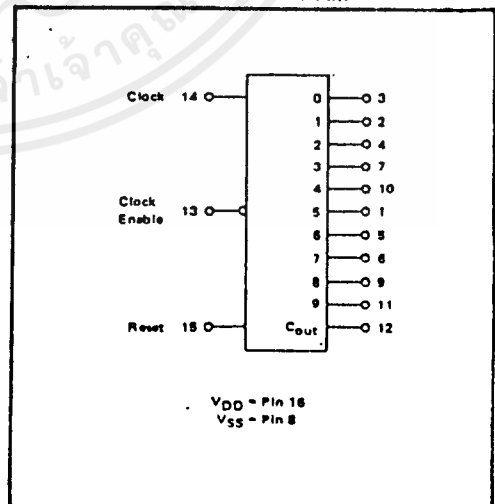
FUNCTIONAL TRUTH TABLE
(Positive Logic)

Clock	Clock Enable	Reset	Decode Output = n
0	X	0	n
X	1	0	n
X	X	1	0
~	0	0	n + 1
~	X	0	n
X	~	0	n
1	~	0	n + 1

x = Don't Care

If n < 5 Carry = "1", Otherwise = "0"

BLOCK DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS¹

PARAMETER	V _{DD} (V _{dcl})	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units		
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.			
QUIESCENT DEVICE CURRENT	I _{DD}	5 V _{IN} =V _{SS} or V _{DD}	-	5	-	0.05	5	-	150	μAdc		
		10 All valid input combinations	-	10	-	0.1	10	-	300			
		15	-	20	-	0.2	20	-	600			
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device Decoded Outputs	I _{OH}	5 V _{OH} = 4.6V	-0.05	-	-0.04	-0.3	-	-0.028	-	mAdc		
		10 V _{OH} = 9.5V	-0.125	-	-0.1	-0.75	-	-0.07	-			
		15 V _{OH} = 13.5V	-0.375	-	-0.3	-2.5	-	-0.21	-			
		V _{IN} =V _{SS} or V _{DD}										
		Carry Output	5 V _{OH} = 4.6V	-0.25	-	-0.2	-0.75	-	-0.14		-	mAdc
		10 V _{OH} = 9.5V	-0.62	-	-0.5	-1.1	-	-0.35	-			
	15 V _{OH} = 13.5V	-1.9	-	-1.5	-3.5	-	-1.1	-				
	E device Decoded Outputs	I _{OH}	5 V _{OH} = 4.6V	-0.048	-	-0.04	-0.3	-	-0.032	-	mAdc	
			10 V _{OH} = 9.5V	-0.12	-	-0.1	-0.75	-	-0.08	-		
			15 V _{OH} = 13.5V	-0.36	-	-0.3	-2.5	-	-0.24	-		
		Carry Output	5 V _{OH} = 4.6V	-0.24	-	-0.2	-0.75	-	-0.16	-	mAdc	
			10 V _{OH} = 9.5V	-0.6	-	-0.5	-1.1	-	-0.4	-		
15 V _{OH} = 13.5V			-1.8	-	-1.5	-3.5	-	-1.2	-			
OUTPUT LOW (SINK) CURRENT C, D, F, H device Decoded Outputs	I _{OL}	5 V _{OL} = 0.4V	0.05	-	0.04	0.4	-	0.028	-	mAdc		
		10 V _{OL} = 0.5V	0.125	-	0.1	1.0	-	0.07	-			
		15 V _{OL} = 1.5V	0.375	-	0.3	3.0	-	0.21	-			
		V _{IN} =V _{SS} or V _{DD}										
		Carry Output	5 V _{OL} = 0.4V	0.25	-	0.2	0.75	-	0.14		-	mAdc
			10 V _{OL} = 0.5V	0.62	-	0.5	1.3	-	0.35		-	
	15 V _{OL} = 1.5V		1.9	-	1.5	4.0	-	1.1	-			
	E device Decoded Outputs	I _{OL}	5 V _{OL} = 0.4V	0.048	-	0.04	0.4	-	0.032	-	mAdc	
			10 V _{OL} = 0.5V	0.12	-	0.1	1.0	-	0.08	-		
			15 V _{OL} = 1.5V	0.36	-	0.3	3.0	-	0.24	-		
		Carry Output	5 V _{OL} = 0.4V	0.24	-	0.2	0.75	-	0.16	-	mAdc	
			10 V _{OL} = 0.5V	0.6	-	0.5	1.3	-	0.4	-		
15 V _{OL} = 1.5V			1.8	-	1.5	4.0	-	1.2	-			

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

= + 85°C for E device.

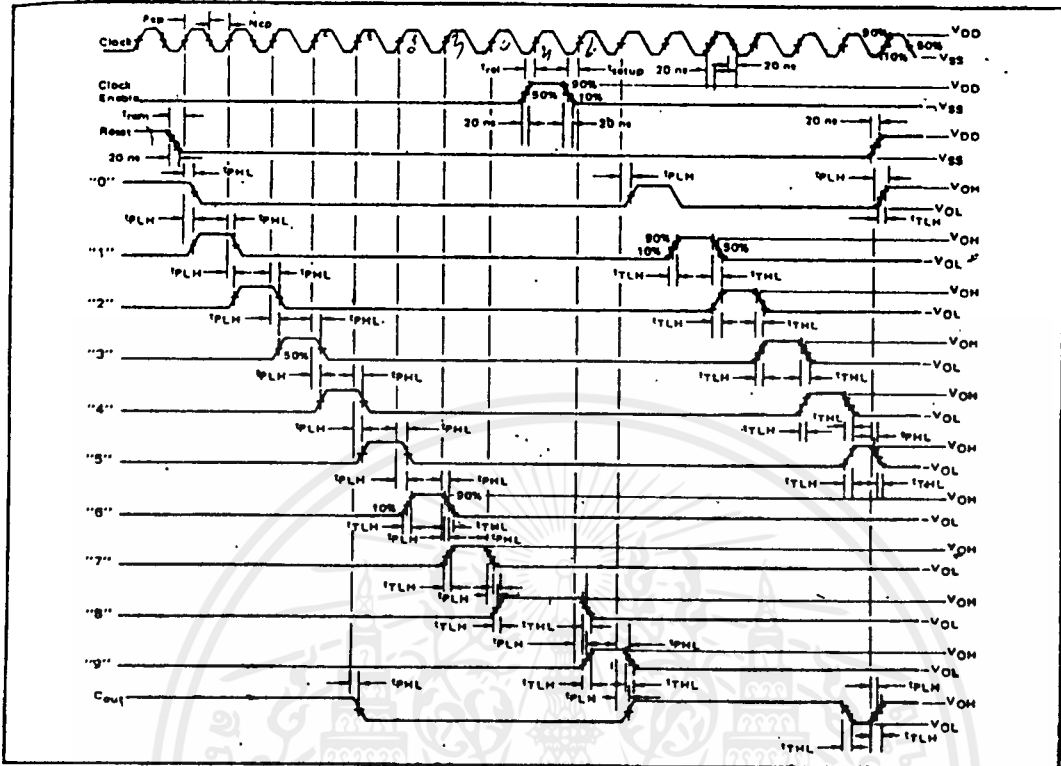
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

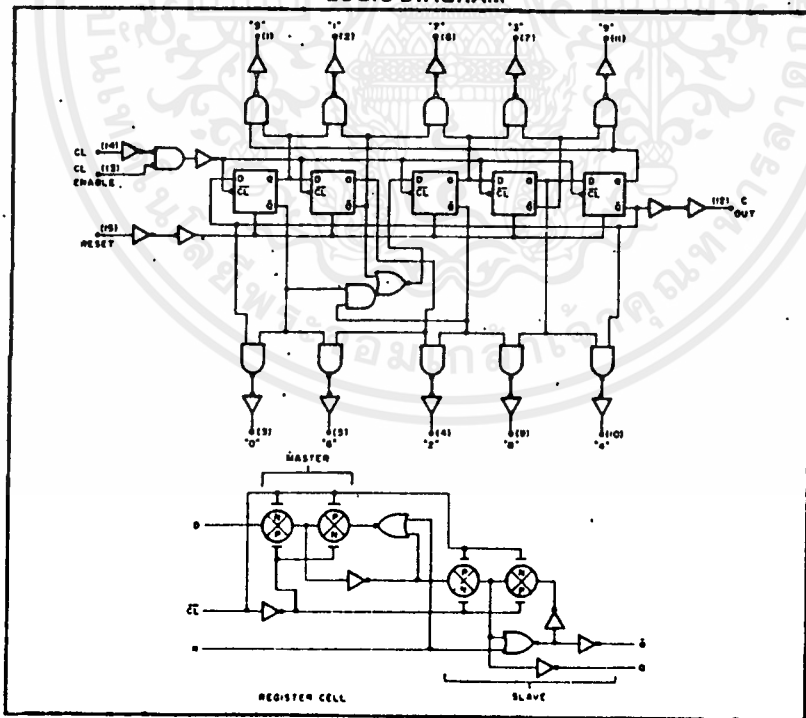
DYNAMIC CHARACTERISTICS ($C_L = 50\text{pF}$, $T_A = 25^\circ\text{C}$)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units	
CLOCKED OPERATION							
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	—	600	1200	ns	
		10	—	240	480		
		15	—	180	360		
	To Carry Output	t_{PLH}, t_{PHL}	5	—	500	1000	ns
			10	—	200	400	
			15	—	150	300	
OUTPUT TRANSITION TIME Decoded Outputs	t_{TLH}, t_{THL}	5	—	250	500	ns	
		10	—	125	250		
		15	—	90	180		
	Carry Output	t_{TLH}, t_{THL}	5	—	180	360	ns
			10	—	90	180	
			15	—	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	—	200	400	ns	
		10	—	100	200		
		15	—	80	160		
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.25	2.5	—	MHz	
		10	2.5	5.0	—		
		15	3.0	6.0	—		
MAXIMUM CLOCK OR ENABLE RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	—	—	μs	
		10	15	—	—		
		15	5	—	—		
MINIMUM ENABLE SETUP TIME	t_{setup}	5	—	175	350	ns	
		10	—	75	150		
		15	—	55	110		
MINIMUM ENABLE REMOVAL TIME	t_{rem}	5	—	250	500	ns	
		10	—	100	200		
		15	—	75	150		
RESET OPERATION							
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	—	500	1000	ns	
		10	—	200	400		
		15	—	140	280		
	To Carry Output	t_{PLH}	5	—	400	800	ns
			10	—	150	300	
			15	—	110	220	
MINIMUM RESET PULSE WIDTH	PW_R	5	—	150	300	ns	
		10	—	75	150		
		15	—	60	120		
RESET REMOVAL TIME	t_{rem}	5	—	250	500	ns	
		10	—	100	200		
		15	—	80	160		

AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



LOGIC DIAGRAM

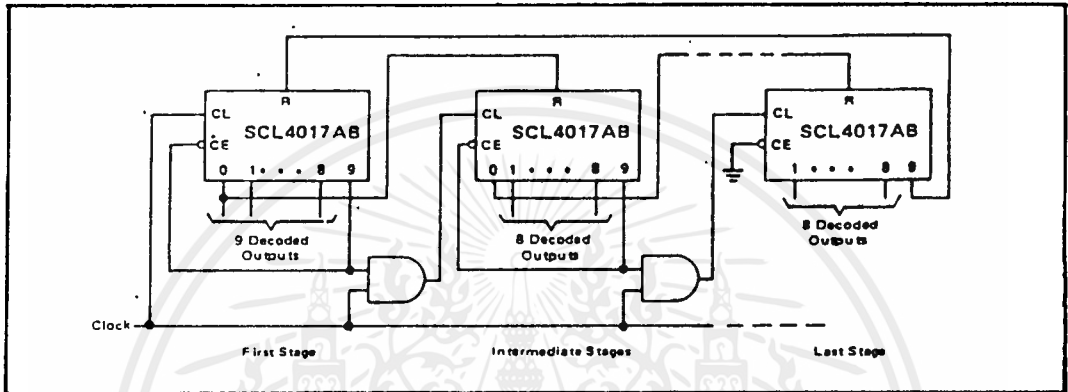


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

COUNTER EXPANSION

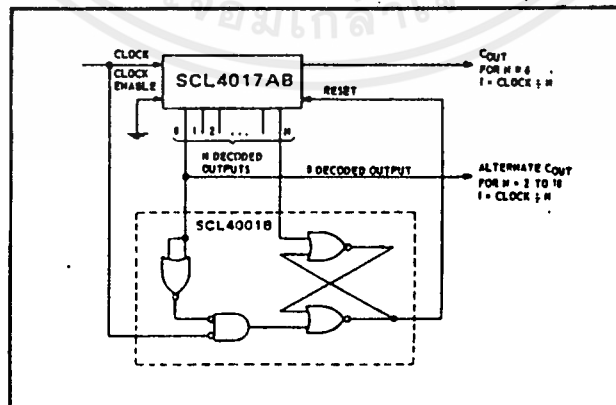
This figure shows a technique for extending the number of decoded output states for the SCL4017AB. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).



DIVIDE-BY-N COUNTER

When the Nth decoded output is reached (Nth clock pulse), the S-R flip-flop (constructed from the SCL4001B) generates a reset pulse which clears the SCL4017AB to its zero count. At this time, if the Nth decoded output is greater than or equal to 6, the COUT line goes high to clock the next counter section. The "0" decoded output also goes high at this time. Coincidence of the clock "low" and decoded "0" output "high" resets the S-R flip-flop to enable the SCL4017AB.

If the Nth decoded output is less than 6, the COUT line will not go high, and, therefore, cannot be used. In this case, the "0" decoded output may be used to perform the clock function for the next counter.



5404/7404 Hex Inverter

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package	
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF
T.I.	SN54S04	JL		W1	SN54H04	JL		W	SN54LS04	JL		W2	SN5404	JL		W1	SN54L04	JL		TZ
FAIRCHILD	F54S04	JL		W1	F54H04	JL		W1	F54LS04	JL		W2	F5404	JL		W1	F54L04	JL		TZ
MOTOROLA	MC14S04	JL		W1	MC14H04	JL		W1	MC14LS04	JL		W2	MC1404	JL		W1	MC14L04	JL		TZ
N.S.C.	DM14S04	JL		W1	DM14H04	JL		W1	DM14LS04	JL		W2	DM1404	JL		W1	DM14L04	JL		TZ
PHILIPS	NT4S04	JL		W1	NT4H04	JL		W1	NT4LS04	JL		W2	FJH211/7404	JL		W1				
SIGNETICS	S54S04	JL		W1	S54H04	JL		W1	S54LS04	JL		W2	S5404	JL		W1	S54L04	JL		TZ
SIEMENS	N14S04	JL		W1	N14H04	JL		W1	N14LS04	JL		W2	N1404	JL		W1	N14L04	JL		TZ
FUJITSU									74LS04	JL		W2	MB418	JL		W1				
HITACHI	HC14S04	JL		W1	HC14H04	JL		W1	HC14LS04	JL		W2	HD7404	JL		W1	HD74L04	JL		TZ
MITSUBISHI	M55004	JL		W1					M74LS04	JL		W2	M53204	JL		W1				
NEC	74S04	JL		W1					74LS04	JL		W2	μPB235	JL		W1				
TOSHIBA													TD3404A	JL		W1				

Electrical Characteristics SN54LS04:SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage	V _{CC}	Operating free-air temperature range	SN54LS04	-55°C to 125°C
Input current	I _I	Storage temperature range	SN74LS04	-65°C to 150°C
				-55°C to 150°C

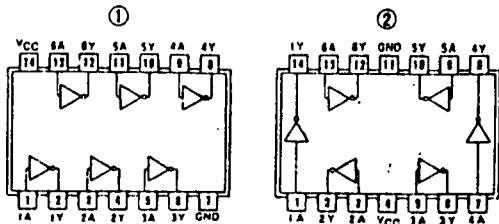
recommended operating conditions

PARAMETER	SN54LS04			SN74LS04			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage	4.5	5	5.5	4.5	5	5.5	V
High-level output current			-100			-100	mA
Low-level output current			0			0	mA
Storage free-air temperature	-55		125	-65		150	°C

electrical characteristics over recommended operating free-air temperature range

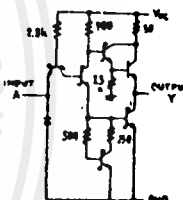
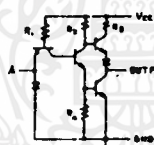
PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
V _{IH}	High-level input voltage		2		V
V _{IL}	Low-level input voltage			0.8	V
V _I	Input current	V _{CC} = MIN, I _I = -15 mA		-1.5	mA
V _{OH}	High-level output voltage	V _{CC} = MIN, I _{OL} = I _{OL} max.	2.7	3.4	V
V _{OL}	Low-level output voltage	V _{CC} = MAX, I _{OH} = 2V, I _{OL} = 4 mA		0.4	V
I _I	Input current at max. input voltage	V _{CC} = MAX, V _I = 7V		0.1	mA
I _{IH}	High-level input current	V _{CC} = MAX, V _{IH} = 2.7V		20	μA
I _{IL}	Low-level input current	V _{CC} = MAX, V _{IL} = 0.8V		-0.4	mA
I _{OS}	Short-circuit output current	V _{CC} = MAX		-20	mA
I _{CC1}	Supply current	Total, outputs high	1.2	2.4	mA
I _{CC2}	Supply current	Total, outputs low	3.6	6.6	mA
I _{CC}	Supply current	Average per gate (50% duty cycle)	0.4		mA
t _{PLH}	Propagation delay time, low-to-high-level output	V _{CC} = 5V, T _A = 25°C, C _L = 15 pF, R _L = 2 kΩ	9	15	ns
t _{PHL}	Propagation delay time, high-to-low-level output		10	15	ns

Pin Assignments (Top View)



positive logic:
Y = X

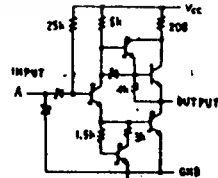
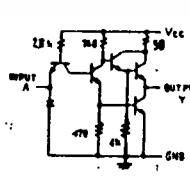
Schematics (each gate)



Circuit	Q1	Q2	Q3	Q4
54	4n	1.5n	13p	1n
74	40n	25n	150p	12p

Input clamp diodes not on SN54LS/74LS circuits.

*04, *L04 CIRCUITS

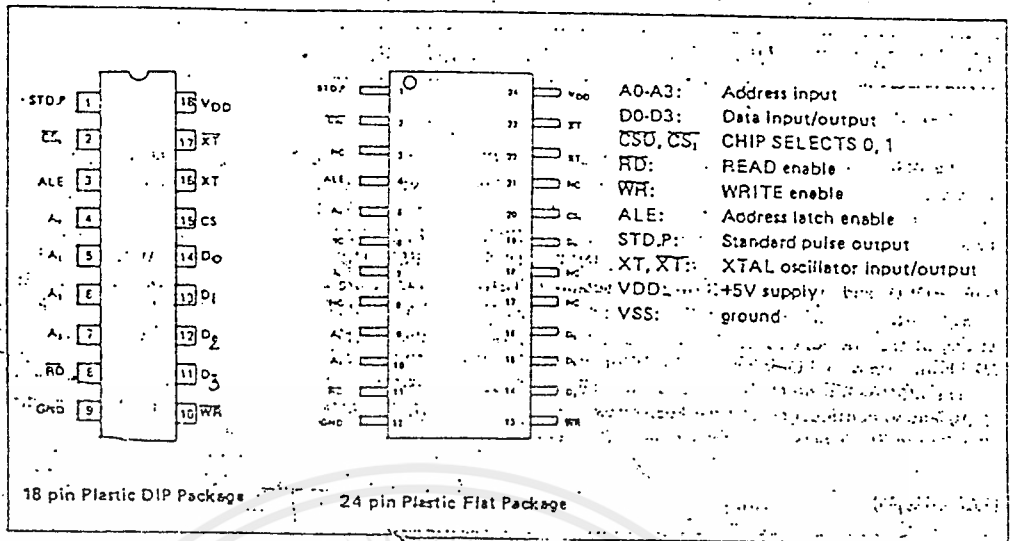


Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time, and for SN54H/74H and SN54S/74S, duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN CONFIGURATION



REGISTER TABLE

Address Input	Address Input				Register Name	Data				Control Value	Description
	A ₃	A ₂	A ₁	A ₀		D ₃	D ₂	D ₁	D ₀		
0	0	0	0	0	S ₁	S ₄	S ₅	S ₆	S ₇	0 ~ 9	1-second digit register
1	0	0	0	1	S ₁₀	S ₁₃	S ₁₄	S ₁₅	S ₁₆	0 ~ 5	10-second digit register
2	0	0	1	0	M ₁	m ₄	m ₅	m ₆	m ₇	0 ~ 9	1-minute digit register
3	0	0	1	1	M ₁₀	m ₁₃	m ₁₄	m ₁₅	m ₁₆	0 ~ 5	10-minute digit register
4	0	1	0	0	H ₁	h ₄	h ₅	h ₆	h ₇	0 ~ 9	1-hour digit register
5	0	1	0	1	H ₁₀	h ₁₃	h ₁₄	h ₁₅	h ₁₆	0 ~ 2 or 0 ~ 1	PM/AM, 10-hour digit register
6	0	1	1	0	D ₁	d ₄	d ₅	d ₆	d ₇	0 ~ 9	1-day digit register
7	0	1	1	1	D ₁₀	d ₁₃	d ₁₄	d ₁₅	d ₁₆	0 ~ 3	10-day digit register
8	1	0	0	0	MO ₁	mo ₄	mo ₅	mo ₆	mo ₇	0 ~ 9	1-month digit register
9	1	0	0	1	MO ₁₀	mo ₁₃	mo ₁₄	mo ₁₅	mo ₁₆	0 ~ 1	10-month digit register
A	1	0	1	0	Y ₁	y ₄	y ₅	y ₆	y ₇	0 ~ 9	1-year digit register
B	1	0	1	1	Y ₁₀	y ₁₃	y ₁₄	y ₁₅	y ₁₆	0 ~ 9	10-year digit register
C	1	1	0	0	W	w ₄	w ₅	w ₆	w ₇	0 ~ 6	Week register
D	1	1	0	1	CD	30-sec. ADJ.	IRQ FLAG	BUSY	HOLD		Control Register D
E	1	1	1	0	CE			ITRPT /STND	MASK		Control Register E
F	1	1	1	1	CF	TEST	24/12	STOP	REST		Control Register F

REST = RESET

ITRPT/STND = INTERRUPT/STANDARD

Note 1) - Bit * does not exist (unrecognized during a write and held at "0" during a read).

Note 2) - Be sure to mask the AM/PM bit when processing 10's of hour's data.

Note 3) - BUSY bit is read only. The IRQ FLAG bit can only be set to a "0". Setting the IRQ FLAG to a "1" is done by hardware.

OSCILLATOR FREQUENCY DEVIATIONS

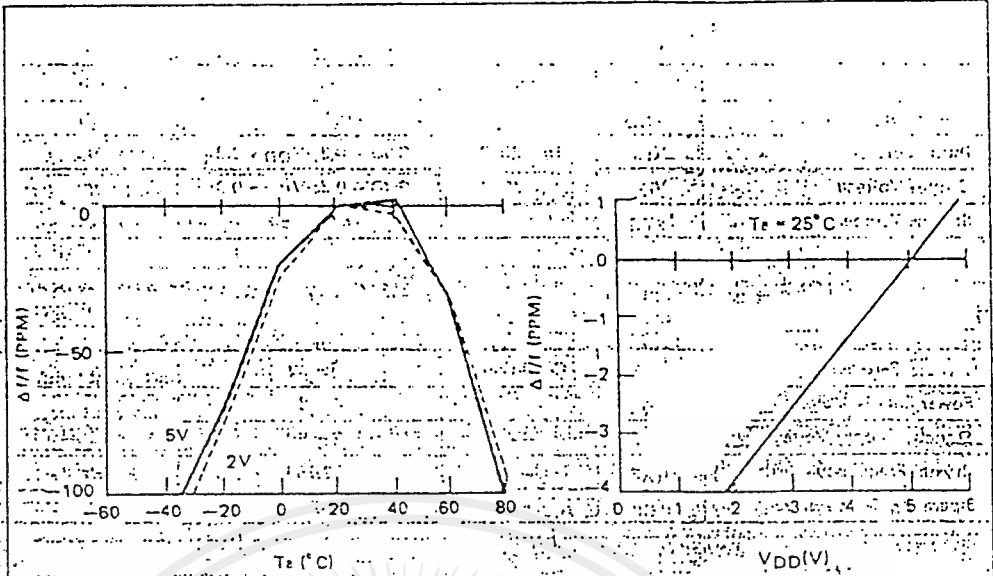
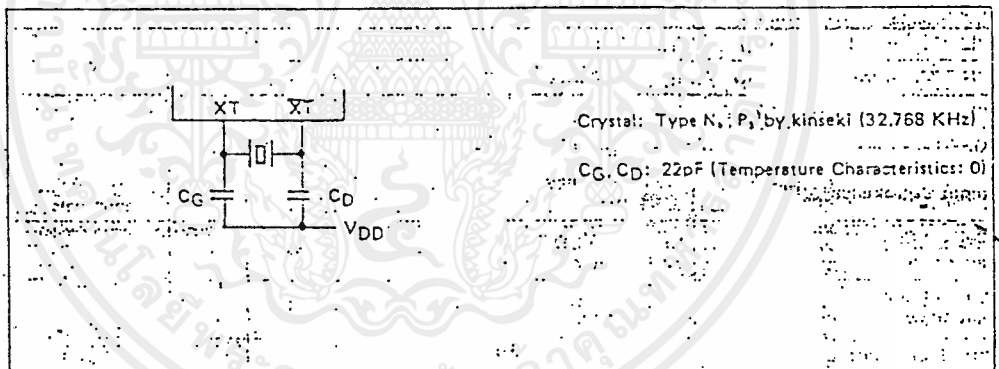


Figure 2. Frequency Deviation (PPM) vs Temperature

Figure 3. Frequency Deviation (PPM) vs Voltage

Note: -1. The graphs above showing frequency deviation vs temperature/voltage are primarily characteristic of the MSM6242B with the oscillation circuit described below.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

ABSOLUTE MAXIMUM RATINGS

Parameter	Symbol	Condition	Rating	Unit
Power Supply Voltage	V _{DD}	T _a = 25°C	-0.3~7	V
Input Voltage	V _I		GND - 0.3~V _{DD} + 0.3	V
Output Voltage	V _O		GND - 0.3~V _{DD} + 0.3	V
Storage Temperature	T _{STG}		-55~+150	°C

OPERATING CONDITIONS

Parameter	Symbol	Condition	Rating	Unit
Power Supply Voltage	V _{DD}	-	4 ~ 6	V
Standby Supply Voltage	V _{BAK}	-	2 ~ 6	
Crystal Frequency	f(XT)	-	32.768	kHz
Operating Temperature	T _{OP}	-	-30~+85	°C

D.C. CHARACTERISTICS

V_{DD} = 5V ± 10%, T_A = -30 ~ +85

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit	Applicable Terminal
"H" Input Voltage	V _{IH1}	-	2.2	-	-	V	All input terminals except CS ₁
"L" Input Voltage	V _{IL1}	-	-	-	0.8		
Input Leak Current	I _{LK1}	V _I = V _{DD} /0V	-	-	1/-1	μA	Input terminals other than D ₄ ~ D ₅
Input Leak Current	I _{LK2}	-	-	-	10/-10		
"L" Output Voltage	V _{OL1}	I _{OL} = 2.5mA	-	-	0.4	V	D ₄ ~ D ₅
"H" Output Voltage	V _{OH}	I _{OH} = -400μA	2.4	-	-		
"L" Output Voltage	V _{OL2}	I _{OL} = 2.5mA	-	-	0.4	V	STD.P
OFF Leak Current	I _{OFFLK}	V = V _{DD} /0V	-	-	10		
Input Capacitance	C _I	Input frequency 1MHz	-	5	-	PF	All input terminals
Current Consumption	I _{DD1}	f(XT) = 32.768 KHz T _a = 25°C	V _{DD} = 5V		30	μA	V _{DD}
Current Consumption	I _{DD2}		V _{DD} = 2V		10		
"H" Input Voltage	V _{IH2}	V _{DD} = 2~5.5V	4/5V _{DD}		-	V	CS ₁
"L" Input Voltage	V _{IL2}		1/5V _{DD}		-		

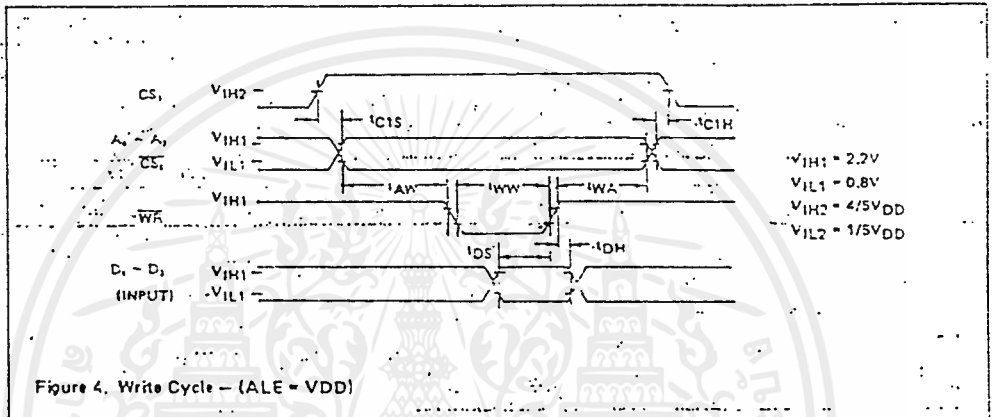
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS

(1) WRITE mode (ALE = V_{DD})

(V_{DD} = 5V ± 10%, T_a = -30 ~ +85°C)

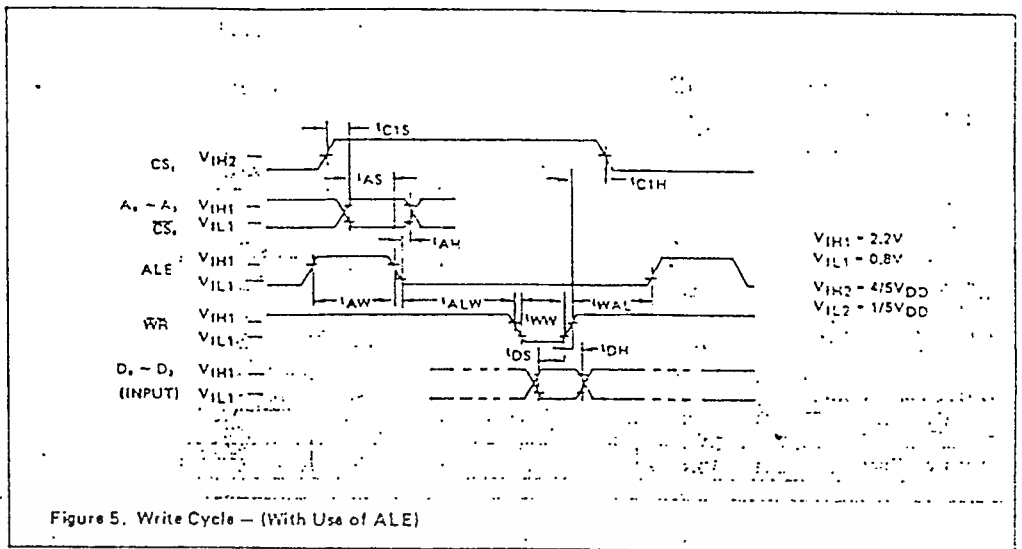
Parameter	Symbol	Condition	Min.	Max.	Unit
CS ₁ Set up Time	t _{C1S}	—	1000	—	ns
CS ₁ Hold Time	t _{C1H}	—	1000	—	
Address Stable Before WRITE	t _{AW}	—	20	—	
Address Stable After WRITE	t _{WA}	—	10	—	
WRITE Pulse Width	t _{WW}	—	120	—	
Data Set up Time	t _{DS}	—	100	—	
Data Hold Time	t _{DH}	—	10	—	



(2) WRITE mode (With use of ALE)

(V_{DD} = 5V ± 10%, T_a = -30°C)

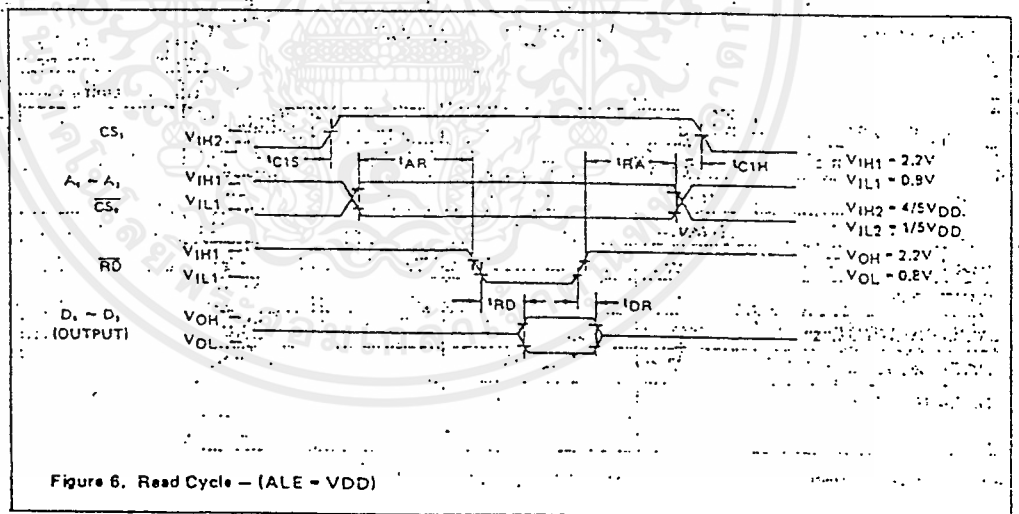
Parameter	Symbol	Condition	Min.	Max.	Unit
CS ₁ Set up Time	t _{C1S}	—	1000	—	ns
Address Set up Time	t _{AS}	—	25	—	
Address Hold Time	t _{AH}	—	25	—	
ALE Pulse Width	t _{AW}	—	40	—	
ALE Before WRITE	t _{ALW}	—	10	—	
WRITE Pulse Width	t _{WW}	—	120	—	
ALE After WRITE	t _{WAL}	—	20	—	
DATA Set up Time	t _{DS}	—	100	—	
DATA Hold Time	t _{DH}	—	10	—	
CS ₁ Hold Time	t _{C1H}	—	1000	—	



(3) READ mode (ALE = V_{DD})

(V_{DD} = 5V ± 10%, T_a = -30 ~ +85°C)

Parameter	Symbol	Condition	Min.	Max.	Unit
CS _i Set Up Time	t _{C1S}		1000	—	
CS _i Hold Time	t _{C1H}		1000	—	
Address Stable Before READ	t _{AR}		20	—	ns
Address Stable After READ	t _{RA}		0	—	
RD to Data	t _{RD}	C _L = 150pF	—	120	
Data Hold	t _{DR}		0	—	

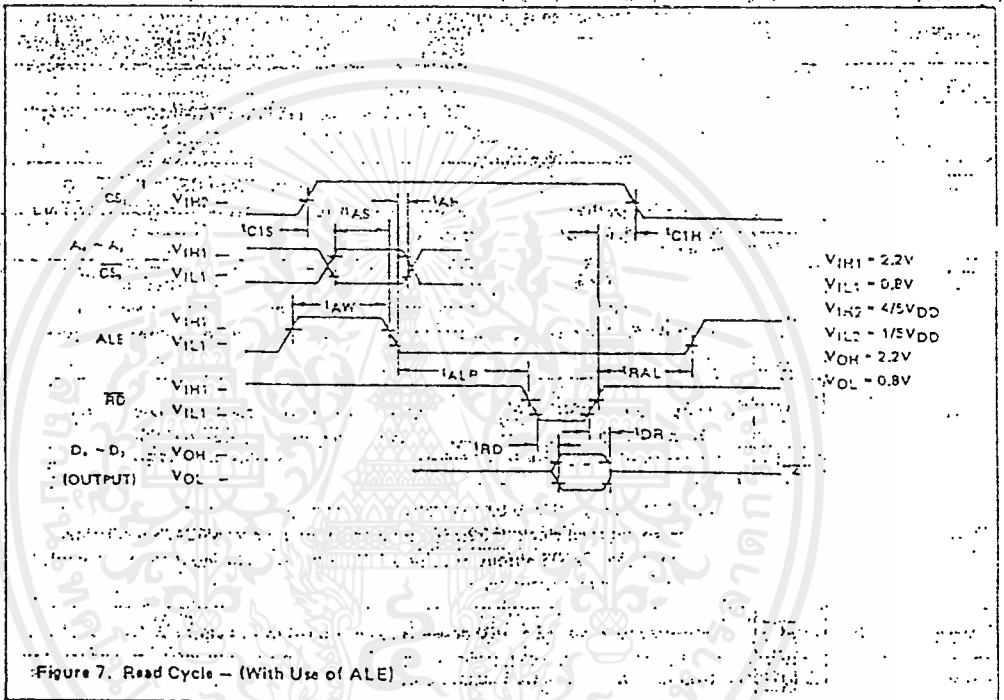


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(4) READ mode (With use of ALE)

(V_{DD} = 5V ± 10%, T_a = -30~+85°C)

Parameter	Symbol	Condition	Min.	Max.	Unit
CS ₁ Set up Time	tC1S	—	1000	—	ns
Address Set up Time	tAS	—	25	—	ns
Address Hold Time	tAH	—	25	—	ns
ALE Pulse Width	tAW	—	40	—	ns
ALE Before READ	tALR	—	10	—	ns
ALE after READ	tRAL	—	10	—	ns
RD to Data	tRD	C _L = 150pF	—	120	ns
DATA Hold	tDR	—	0	—	ns
CS ₁ Hold Time	tC1H	—	1000	—	ns



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

Name	Pin No.		Description
	RS	GS	
D ₀	14	19	Data Input/Output pins to be directly connected to a microcontroller bus for reading and writing of the clock/calendar's registers and control registers. D ₀ = LSB and D ₃ = MSB.
D ₁	13	16	
D ₂	12	15	
D ₃	11	14	
A ₄	4	5	Address input pin for use by a microcomputer to select internal clock/calendar's registers and control registers for Read/Write operations (See Function Table Figure 1). Address input pins A ₀ -A ₃ are used in combination with ALE for addressing registers.
A ₁	5	7	
A ₂	6	9	
A ₃	7	10	
ALE	3	4	Address Latch Enable pin. This pin enables writing of address data when ALE = 1 and CS ₀ = 0; address data is latched when ALE = 0. Microcontroller/Microprocessors having an ALE output should connect to this pin; otherwise it should be connected at V _{DD} .
WR	10	13	Writing of data is performed by this pin. When CS ₁ = 1 and CS ₀ = 0, D ₀ ~ D ₃ data is written into the register at the rising edge of WR.
RD	8	11	Reading of register data is accomplished using this pin. When CS ₁ = 1, CS ₀ = 0 and RD = 0, the data of the register is output to D ₀ ~ D ₃ . If both RD and WR are set at 0 simultaneously, RD is to be inhibited.
CS ₀	2	2	Chip Select Pins. These pins enable/disable ALE, RD and WR operation. CS ₀ and ALE work in combination with one another, while CS ₁ work independent with ALE. CS ₁ must be connected to power failure-detection as shown in Figure 18.
CS ₁	15	20	
STD.P	1 4	1	Output pin of N-CH OPEN DRAIN type. The output data is controlled by the D ₁ data content of CE register. This pin has a priority to CS ₀ and CS ₁ . Refer to Figure 9 and FUNCTIONAL DESCRIPTION OF REGISTERS.
XT	16	22	32.768 kHz crystal is to be connected to these pins. When an external clock of 32.768 kHz is to be used for MSME242's oscillation source, either CMOS output or pull-up TTL output is to be input from XT, while XT should be left open.
XT	17	23	
V _{DD}	18	24	Power supply pin, +2 ~ +6V power is to be applied to this pin.
GND	9	12	Ground pin.
			<div style="text-align: center;"> <p style="text-align: center;">The impedance of the crystal should be less than 30kΩ</p> </div>
			<div style="text-align: center;"> </div>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION OF REGISTERS

$S_1, S_{10}, MI_1, MI_{10}, H_1, H_{10}, D_1, D_{10}, M\bar{O}_1, M\bar{O}_{10}, Y_1, Y_{10}, W$

- a) These are abbreviations for SECOND1, SECOND10, MINUTE1, MINUTE10, HOUR1, HOUR10, DAY1, DAY10, MONTH1, MONTH10, YEAR1, YEAR10, and WEEK. These values are in BCD notation.
- b) All registers are logically positive. For example, $(S_8, S_4, S_2, S_1) = 1001$ which means 9 seconds.
- c) If data is written which is out of the clock register data limits, it can result in erroneous clock data being read back.
- d) PM/AM, h_2, h_3, h_4 . In the mode setting of 24-hour mode, PM/AM bit is ignored, while in the setting of 12-hour mode h_2 is to be set. Otherwise it causes a discrepancy. In reading out the PM/AM bit in the 24-hour mode, it is continuously read out as 0. In reading out h_2 bit in the 12-hour mode, 0 is written into this bit first, then it is continuously read out as 0 unless 1 is being written into this bit.
- e) Registers Y_1, Y_{10} , and Leap Year. The MSM6242B is designed exclusively for the Christian Era and is capable of identifying a leap year automatically. The result of the setting of a non-existent day of the month is shown in the following example:—If the date February 29 or November 31, 1985, was written, it would be changed automatically to March 1, or December 1, 1985 at the exact time at which a carry pulse occurs for the day's digit.
- f) The Register W data limits are 0–6 (Table 1 shows a possible data definition).

TABLE 1

W_2	W_1	W_0	Day of Week
0	0	0	Sunday
0	0	1	Monday
0	1	0	Tuesday
0	1	1	Wednesday
1	0	0	Thursday
1	0	1	Friday
1	1	0	Saturday

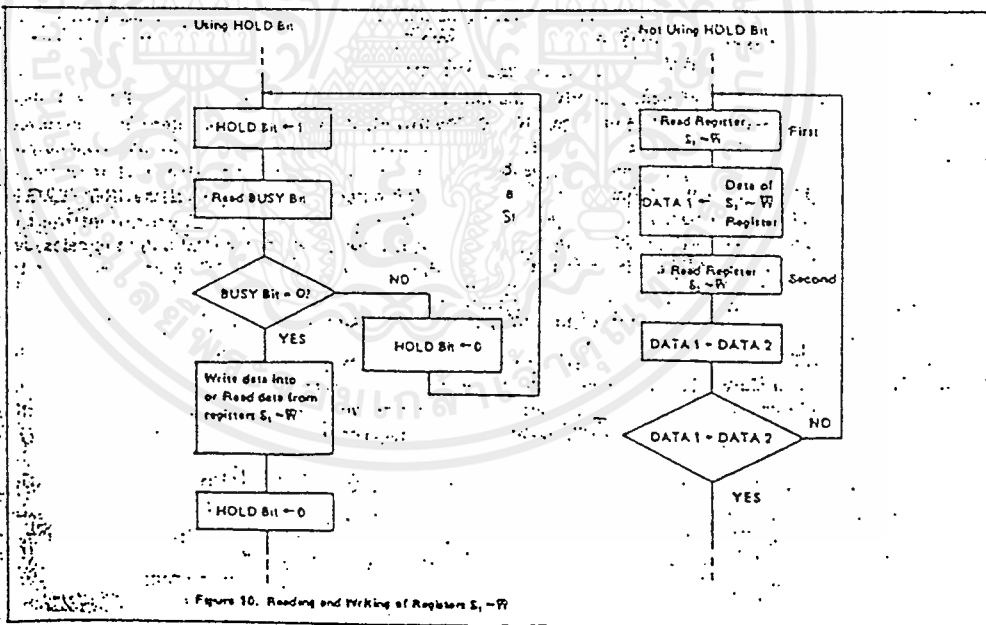
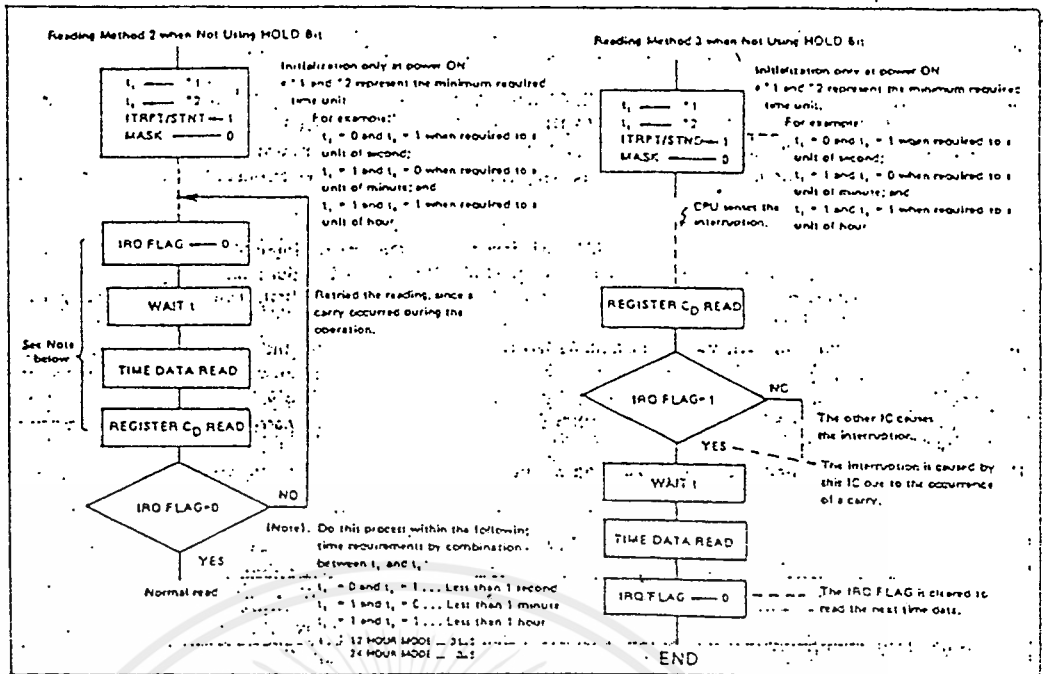


Figure 10. Reading and Writing of Registers $S_1 - W$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



■ CD REGISTER (Control D Register)

- a) HOLD (D0) — Setting this bit to a "1" inhibits the 1Hz clock to the S1 counter, at which time the Busy status bit can be read. When Busy = 0, register's $S_1 \sim \bar{W}$ can be read or written. During this procedure if a carry occurs the S1 counter will be incremented by 1 second after HOLD = 0 (this condition is guaranteed as long as HOLD = 1 does not exceed 1 second in duration). If CS1 = 0 then HOLD = 0 irrespective of any condition.
- b) BUSY (D1) — Status bit which shows the interface condition with microcontroller/microprocessors. As for the method of writing into and reading from $S_1 \sim \bar{W}$ (address $\phi \sim C$), refer to the flow chart described in Figure 10.
- c) IRQ FLAG (D2) — This status bit corresponds to the output level of the STD.P output. When STD.P = 0, then IRQ = 1; when STD.P = 1, then IRQ = 0. The IRQ FLAG indicates that an interrupt has occurred to the microcomputer if IRQ = 1. When D0 of register C_E (MASK) = 0, then the STD.P output changes according to the timing set by D3 (t_1) and D2 (t_2) of register E. When D1 of register E (ITRPT/STND) = 1 (interrupt mode), the STD.P output remains low until the IRO FLAG is written to a "0". When IRQ = 1 and timing for a new interrupt occurs, the new interrupt is ignored. When ITRPT/STND = 0 (Standard Pulse Output mode) the STD.P output remains low until either "0" is written to the IRQ FLAG; otherwise, the IRQ FLAG automatically goes to "0" after 7.8125 ms.
- When writing the HOLD or 30 second adjust bits of register D, it is necessary to write the IRQ FLAG bit to a "1".
- d) 30 ADJ (D3) — When 30-second adjustment is necessary, a "1" is written to bit D3 during which time the internal clock registers should not be read from or written to. 125 μ s after bit D3 = 1 it will automatically return to a "0", and at that time reading or writing of registers can occur.

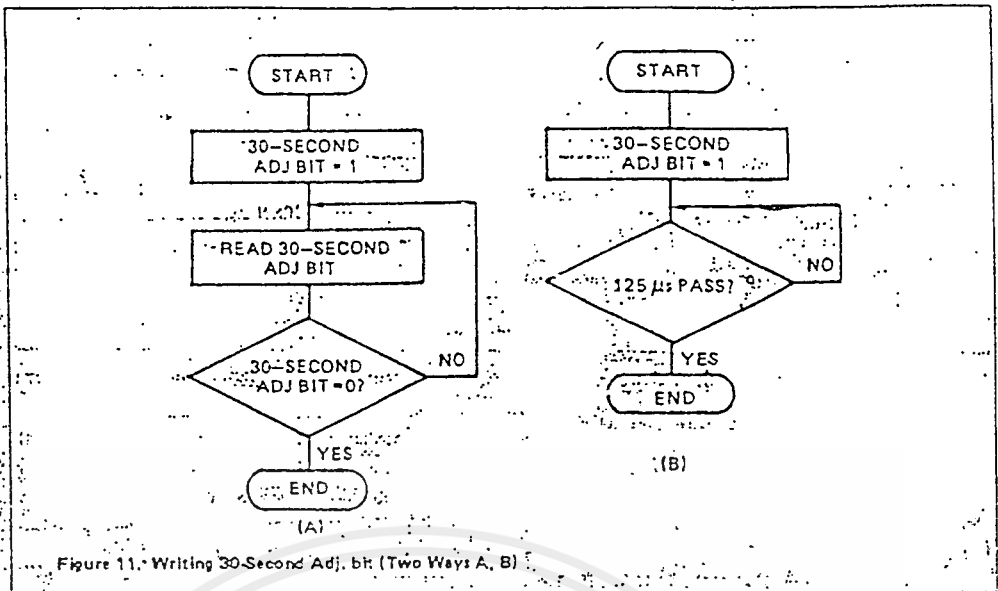


Figure 11. Writing 30-Second Adj. bit (Two Ways A, B)

CE REGISTER (Control E Register)

- a) MASK (D0) — This bit controls the STD.P output. When MASK = 1, then STD.P = 1 (open); when MASK = 0, then STD.P = output mode. The relationship between the MASK bit and STD.P output is shown in Figure 12.
- b) INTRPT/STND (D1) — The INTRPT/STND input is used to switch the STD.P output between its two modes of operation, interrupt and Standard timing waveforms. When INTRPT/STND On a fixed cycle waveform with a low-level pulse width of 2.8125 ms is present at the STD.P output. At this time the MASK bit must equal 0, while the period in either mode is determined by T0(D2) and T1(D3) of Register E.
- c) T0 (D2), T1 (D3) — These two bits determine the period of the STD.P output in both Interrupt and Fixed timing waveform modes. The tables below show the timing associated with the T0, T1 inputs as well as their relationship to INTRPT/STND and STD.P.

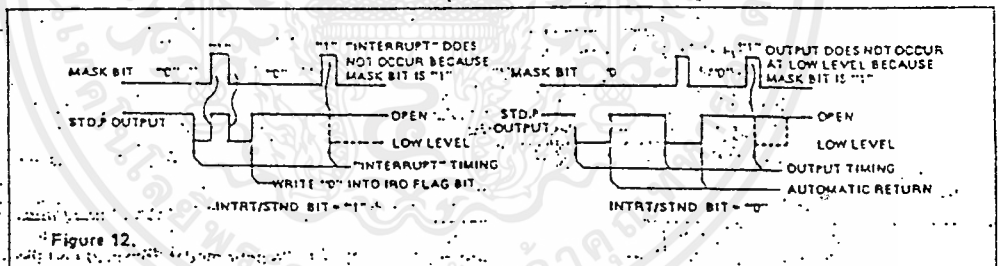
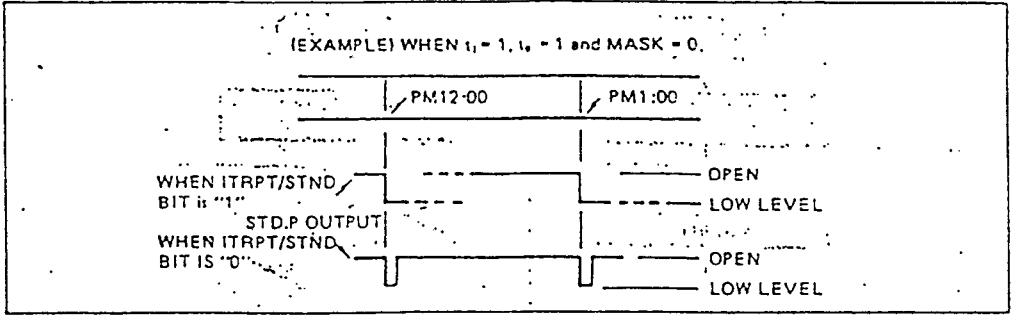


Figure 12.

T ₀	T ₁	Period	Duty CYCLE of "0" level when INTRPT/STND bit is "0"
0	0	1/64 second	1/2
0	1	1 second	1/128
1	0	1 minute	1/7680
1	1	1 hour	1/460800

TABLE 2

The timing of the STD.P output designated by T1 and T0 occurs the moment that a carry occurs to a clock digit.



- d) The low-level pulse width of the fixed cycle waveform (ITRPT/STND = 0) is 7.8125 ms independent of T0/T1 inputs.
- e) The fixed cycle waveform mode can be used for adjustment of the oscillator frequency time base. (See Figure 14).
- f) During ± 30 second adjustment a carry can occur that will cause the STD.P output to go low when T0/T1 = 1,0 or 1,1. However, when T1/T0 = 0,0 and ITRPT/STND = 0, carry does not occur and the STD.P output resumes normal operation.
- g) The STD.P output is held (frozen) at the point at which STOP = 1 while ITRPT/STND = 0.
- h) No STD.P output change occurs as a result of writing data to registers S1 ~ H1.

CF REGISTER (Control F Register)

- a) REST (D0) — This bit is used to clear the clock's internal divider/counter of less than a second. When "RESET" REST = 1, the counter is Reset for the duration of REST. In order to release this counter from Reset, a "0" must be written to the REST bit. If CSI = 0 then REST = 0 automatically.
- b) STOP (D1) — The STOP FLAG Only inhibits carries into the 8192Hz divider stage. There may be up to 122 μ s delay before timing starts or stops after changing this flag; 1 = STOP/0 = RUN.

5

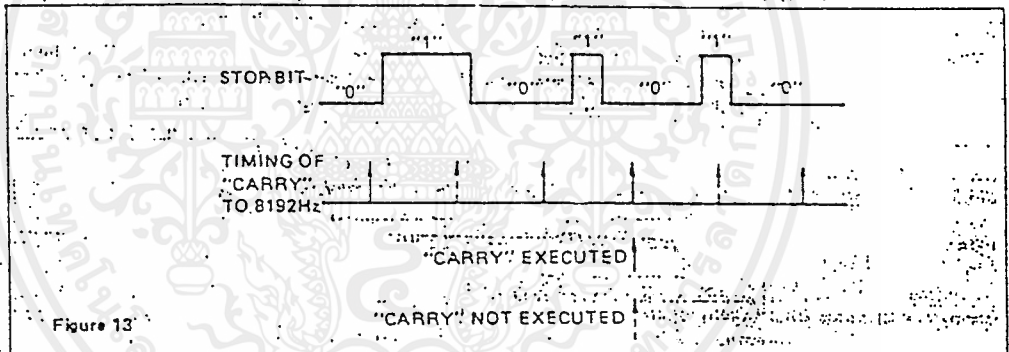
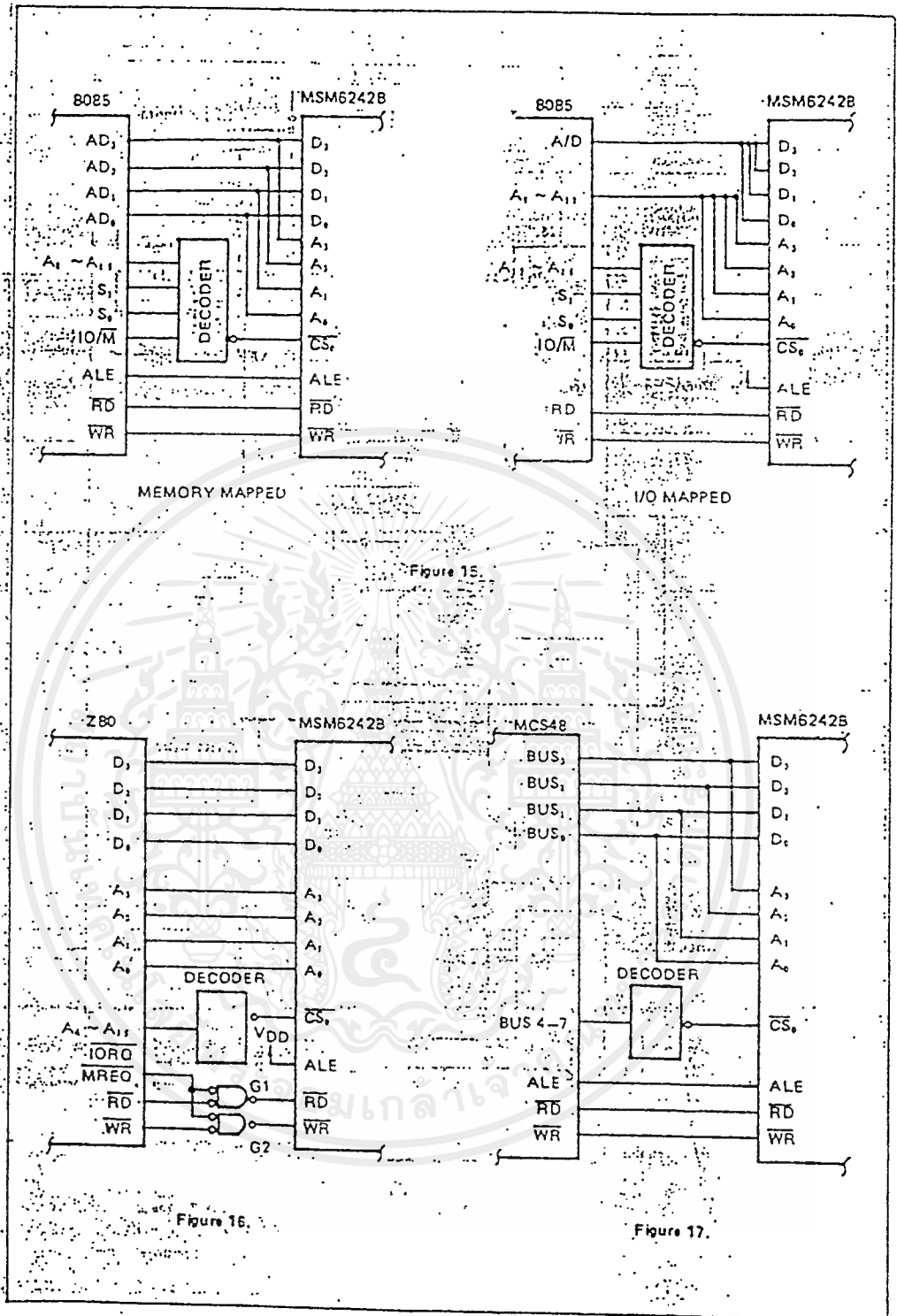


Figure 13

- c) 24/12 (D2) — This bit is for selection of 24/12 hour time modes. If D2 = 1—24 hour mode is selected and the PM/AM bit is Invalid. If D2 = 0—12 hour mode is selected and the PM/AM bit is valid.
 - "24 HOUR/12 HOUR" Setting of the 24/12 hour bit is as follows:
 - 1) REST bit = 1
 - 2) 24/12 hour bit = 0 or 1
 - 3) REST bit = 0
 * REST bit must = 1 to write to the 24/12 hour bit.
- d) TEST (d3) — When the TEST flag is a "1", the input to the SECONDS counter comes from the counter/divider stage instead of the 15th divider stage. This makes the SECONDS counter count at 5.4163KHz instead of 1Hz. When TEST = 1 (Test Mode) the STOP & REST (Reset) flags do not inhibit internal counting. When Hold = 1 during Test (Test = 1) internal counting is inhibited; however, when the HOLD FLAG goes Inactive (Hold = 0) counter updating is not guaranteed.

TYPICAL APPLICATION INTERFACE WITH MSM6242B AND MICROCONTROLLERS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS - INTERFACE WITH MSM80C49

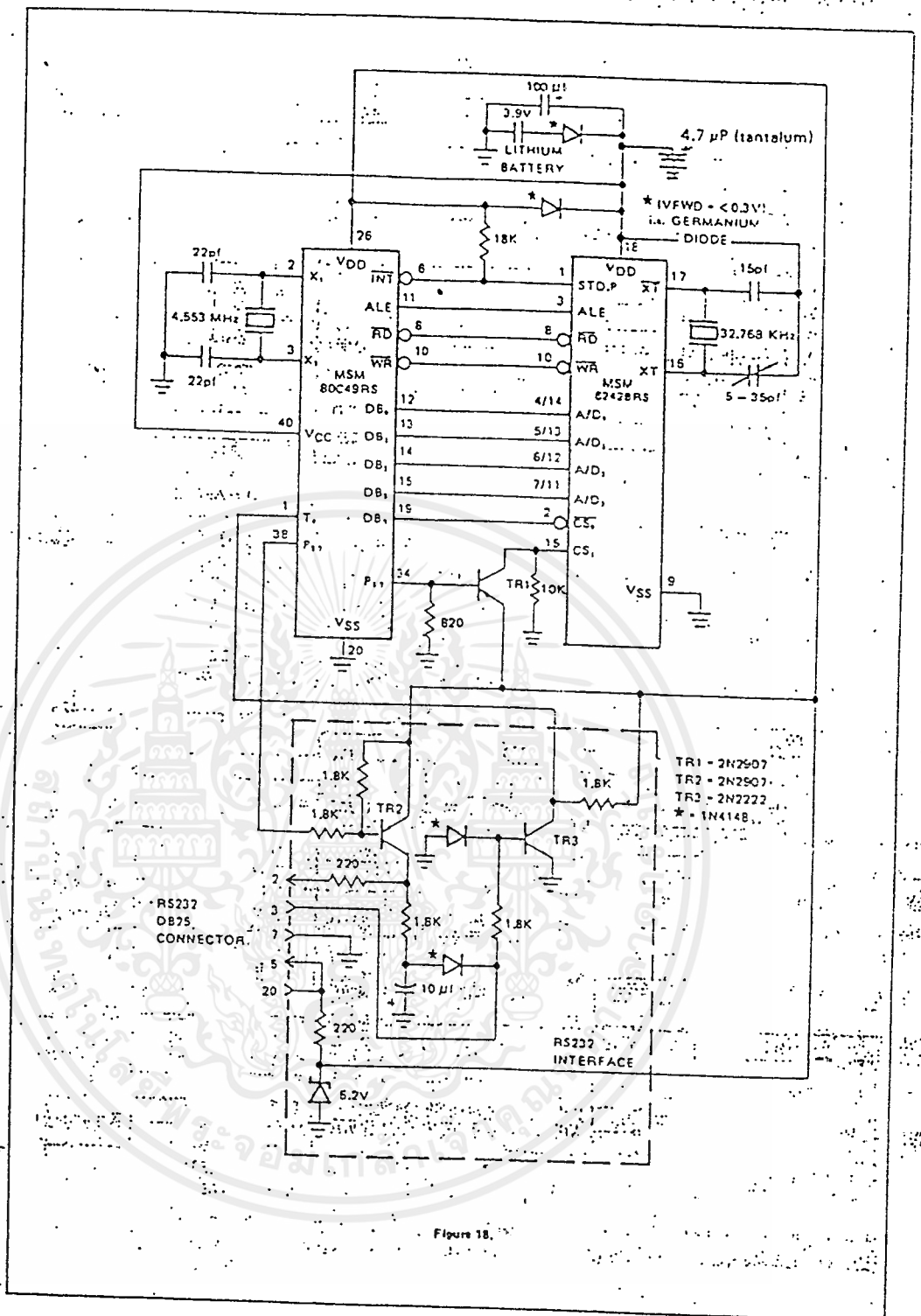
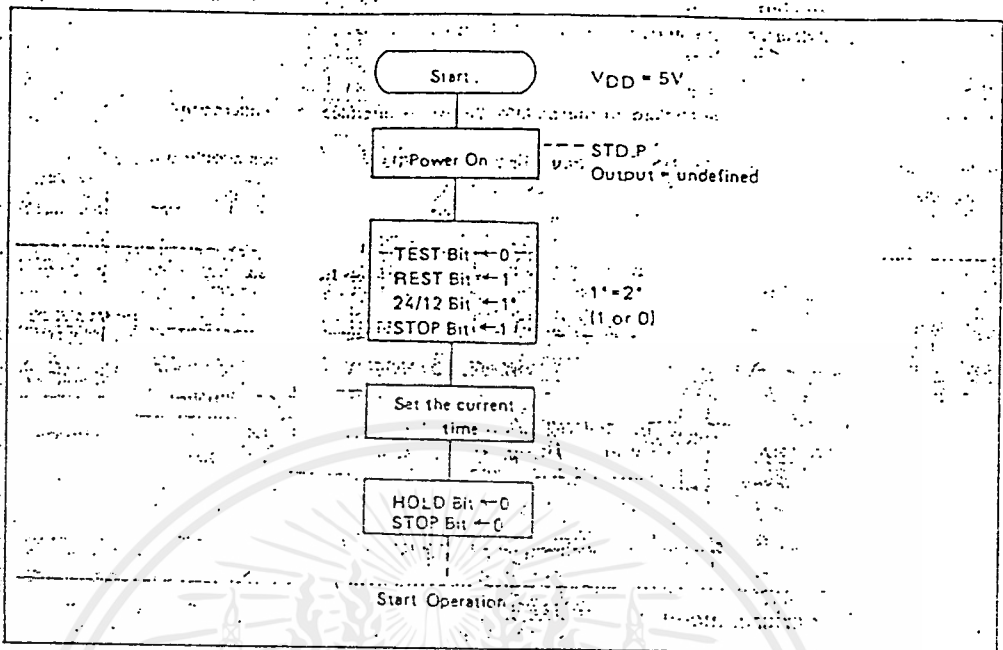


Figure 18.

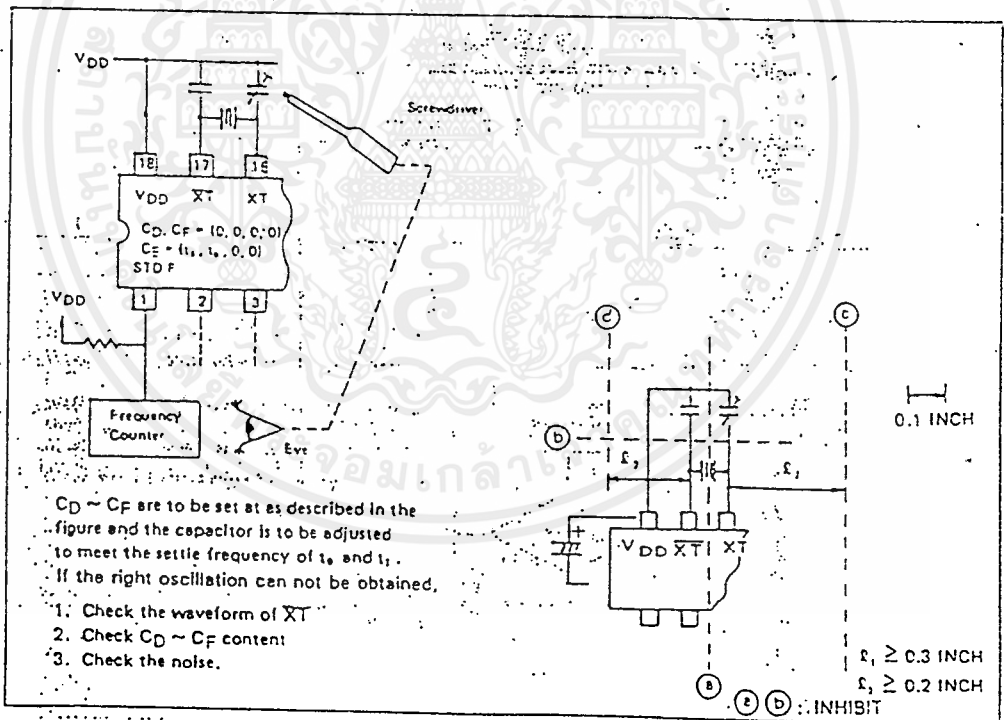
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION NOTE

1. Power Supply



2. Adjustment of Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

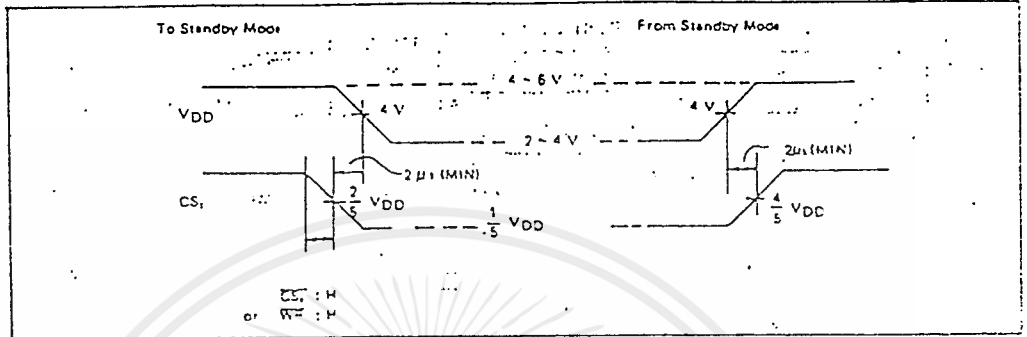
3. CH₁ (Chip Select)

V_{IH} and V_{IL} of CH₁ has 3 functions.

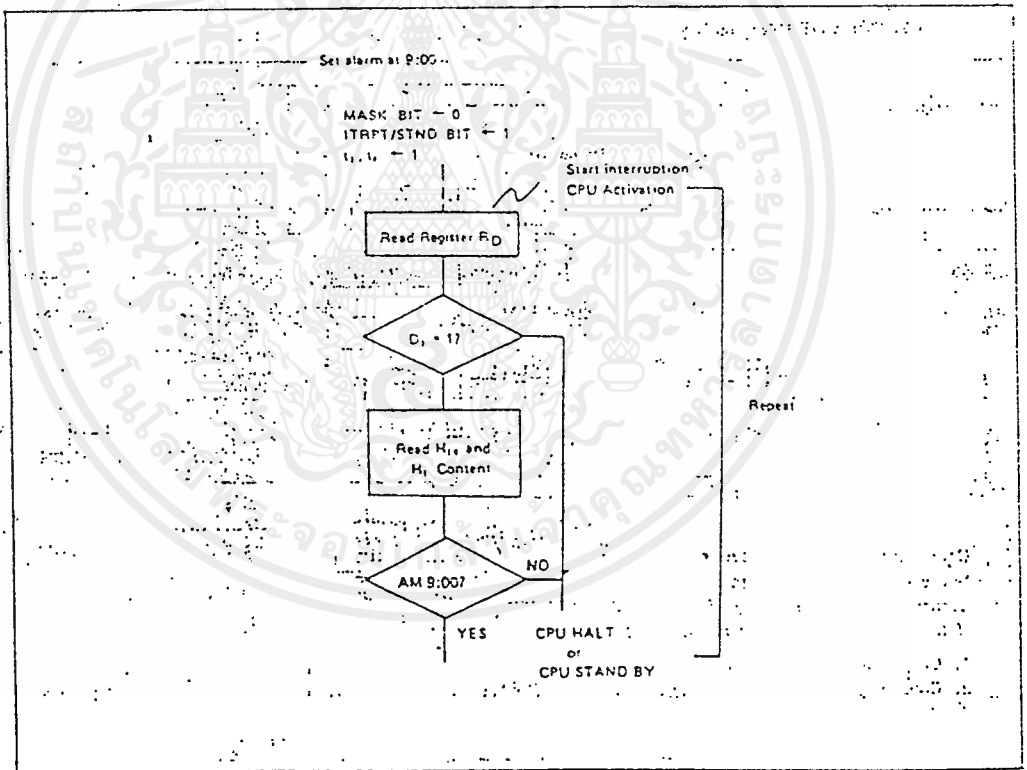
- To accomplish the interface with a microcontroller/microprocessor.
- To inhibit the control bus, data bus and address bus and to reduce input gate pass current in the stand-by mode.
- To protect internal data when the mode is moved to and from standby mode.

To realize the above functions:

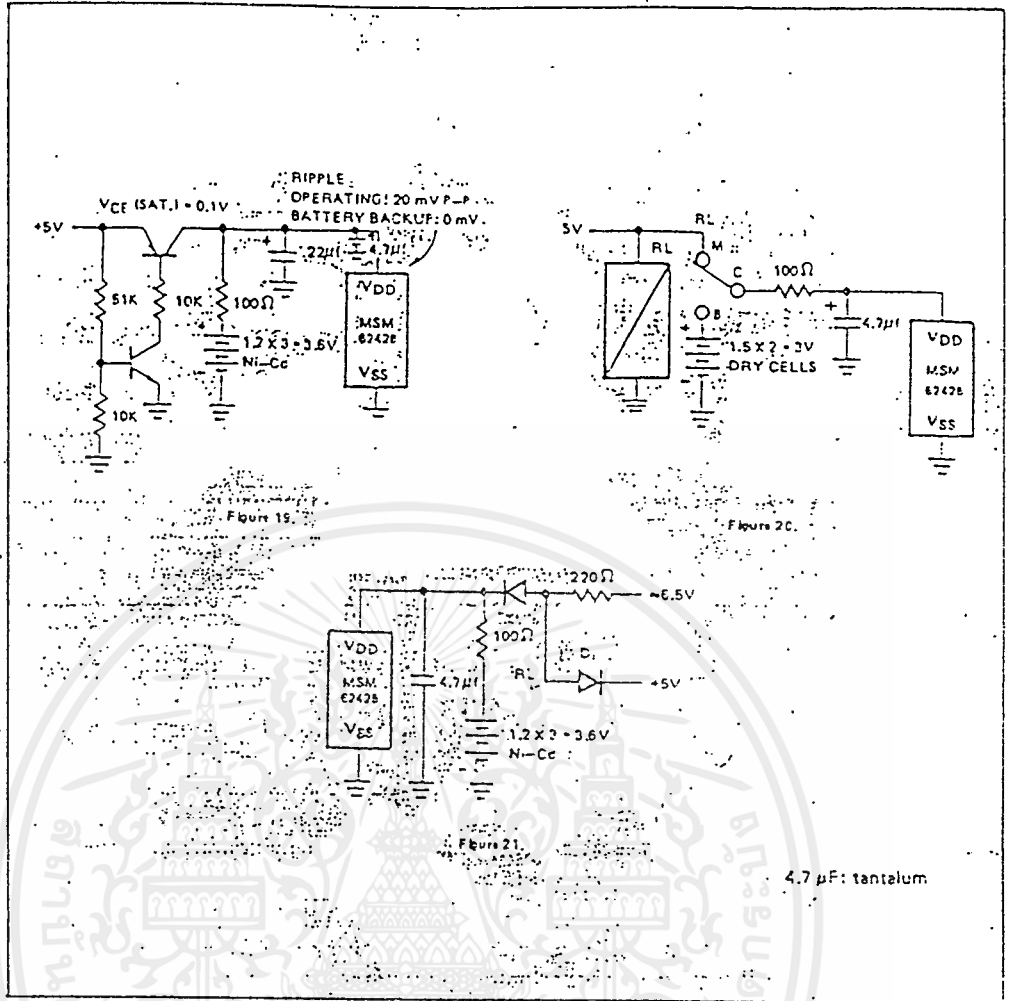
- More than $\frac{4}{5} V_{DD}$ should be applied to the MSM6242B for the interface with a microcontroller/microprocessor in 5V operation.
- In moving to the standby mode, $\frac{1}{5} V_{DD}$ should be applied so that all data buses should be disabled. In the standby mode, approx. 0V should be applied.
- To and from the standby mode, obey following Timing chart.



4. Set STD.P at alarm mode

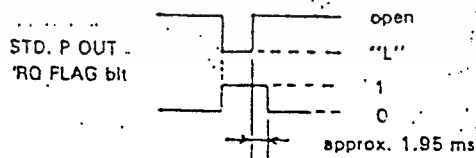


TYPICAL APPLICATION – POWER SUPPLY CIRCUIT



SUPPLEMENTARY DESCRIPTION

- When "0" is written to the IRQ FLAG bit, the IRQ FLAG bit is cleared. However, if "0" is assigned to the IRQ FLAG bit when written to the other bits, the 30-sec ADJ bit and the HOLD bit, the IRQ FLAG = 1 and was generated before the writing and IRQ FLG = 1 generated in a moment then will be cleared. To avoid this, always set "1" to the IRQ FLAG unless "0" is written to it intentionally. By writing "1" to it, the IRQ FLAG bit does not become "1".
- Since the IRQ FLAG bit becomes "1" in some cases when rewriting either of the I₁, I₀, or ITRPT/STND bit of register C₂, be sure to write "0" to the IRQ FLAG bit after writing to make valid the IRQ FLAG = 1 to be generated after it.
- The relationship between STD. P OUT and IRQ FLAG bit is shown below:



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

- ROBERT R. COUGIJLIN AND FREDERICK F. DRISCOLL.
'OPERATIONAL AMPLIFIERS AND LINEAR INTEGRATED CIRCUITS'
THIRD EDITION, Prentice-Hall International Editons
- บัณฑิต จามรฤติ "คู่มือการใช้โปรแกรม ORCAD/SDT & PROTEL" บริษัท ซีเอ็ดดูเคชั่น จำกัด
- ปริชญานิพนธ์ เครื่องชุมสายอัตโนมัติ และระบบควบคุมการสั่งงานทางโทรศัพท์
- ZILOG INTELLIGENT PERIPHERAL CONTROLLERS
- อรรถสิทธิ์ หล้าสกุล "ไมโครโปรเซสเซอร์พื้นฐาน"
ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- บริษัท ซีเอ็ดดูเคชั่น จำกัด "คู่มือ IC CMOS 4000 SERIES" "คู่มือ IC TTL"