การออกแบบวงจรรวมวิธีเซมิคัสตอม ดีไซน์ โดยใช้ ไลบรารี่มาตรฐาน

SEMICUSTOM INTEGRATED CIRCUIT DESIGN USING STANDARD CELL LIBRARIES

โดย

นางสาวปัทมา ลีฬหะบำรุง

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมคอมพิวเตอร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

033284

ปริญญานิพนธ์ปีการศึกษา 2536
ภาควิชา คอมพิวเตอร์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง การออกแบบวงจรรวมวิธีเซมิคัสตอม ดีไซน์โดยใช้ สแตนดาร์ดเซล ไลบรารี่

ผู้จัดทำ
นางสาวปัทมา ลีพหะบำรุง

อาจารย์ที่ปรึกษา
(บรรจง ปิยธำรง)

การออกแบบวงจรรวมวิธีเซมิคัสตอม ดีไซน์ โดยใช้ ไลบรารี่มาตรฐาน

Semicustom Integrated Circuit Design using Standard Cell Libraries

นางสาวปัทมา ลีพหะบำรุง
อาจารย์ บรรจง ปิยธำรง อาจารย์ที่ปรึกษา
ปีการศึกษา 2536

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการศึกษา เกี่ยวกับเทคโนโลยีการออกแบบผังวงจรรวม ซึ่งในปัจจุบันมีการสร้าง และ พัฒนาซอฟท์แวร์ ที่สนับสนุนการออกแบบผังวงจรรวมนี้มากมาย จึงจำเป็นที่ผู้ใช้จะต้องทราบถึงคุณสมบัติของการออกแบบในแต่ละวิธี และเลือกวิธีที่เหมาะสมที่สุด มาใช้ในการออกแบบ ซึ่งในการศึกษาครั้งนี้ได้ทดลองออกแบบผังวงจรเอแอลยู (ALU : Arthmetic Logic Unit) ซึ่งเป็นวงจรที่มีความสามารถ ในการกระทำการทางคณิตศาสตร์ และตรรกหลายอย่าง จึงเป็นที่นิยมใช้กันอย่างแพร่หลาย และได้ใช้ซอฟท์แวร์ที่ทำงานได้บนเครื่องไมโครคอมพิวเคอร์ ซึ่งตัวผังวงจร นี้จะนำไปใช้เป็นแม่แบบในการผลิตซิลิกอนชิปต่อไป

Abstact

This thesis is reseach about an integrated circuit design technology , which now , there are many product and development of software to support this technology. So user need to know about property of each design's method and select the best method to design. This research test to design ALU circuit which has ability in many arithmetic and logic functions so it's popular for usage. This research use software which run on microcomputer. However , this circuit will be model for produce silicon ship.

สารบัญเรื่อง

		หน้า
บทที่ 1	บทนำ	
	1.1 ระบบการออกแบบวงจรรวม	1
	1.2 วัตถุประสงค์และขอบเขตของโครงงาน	4
	1.3 ประโยชน์ที่คาดว่าจะได้รับ	5
บทที่ 2	เทคโนโลยีของทรานซิสเตอร์ และ ขั้นตอนการผลิต	
	2.1 เทคโนโลยีในการพัฒนาระบบคอมพิวเตอร์	6
	2.2 วิธีการออกแบบไอซี	6
	2.3 ทรานซิสเตอร์แบบมอส,ซีมอส และขั้นตอนการผลิต	7
	2.4 ขั้นตอนการสร้างชิป	12
บทที่ 3	การออกแบบวงจรรวมวิธีเซมิคัสตอม ดีไซน์	
	3.1 การออกแบบลอจิก	14
	3.2 การออกแบบลายวงจร	14
บทที่ 4	การทดลองและผลออกทดลอง	
	4.1 วงจรเอแอลยู	19
	4.2 การออกแบบผังวงจรเอแอลยู	20
บทที่ 5	สรุปและวิจารณ์	
ภาคผนวก		31
กิตติกรรมประกาศ		127
บรรณานุกรม		128

สารบัญภาพ

		หน้า
รูปที่ 1.1	วงจรอิเล็กทรอนิกส์บนแผ่นซิลิกอน	1
รูปที่ 1.2	การลดลงของความกว้างของทรานซิสเตอร์ในแต่ละปี	2
รูปที่ 1.3	พื้นที่เฉลี่ยของชิปในแต่ละปี	2
รูปที่ 1.4	แสดงขั้นตอนการออกแบบและขั้นตอนถัดไป ซึ่งเพิ่มรายละเอียดของผลที่ได้จากขั้นตอนก่อน	3
รูปที่ 2.1 (ก)	แสดงเลย์เอาท์จากส่วนบนของทรานซิสเตอร์	7
รูปที่ 2.1 (ข)	แสดงสัญลักษณ์ของ เอ็นมอส	8
รูปที่ 2.1 (ค)	แสดงสัญลักษณ์ของ พีมอส	8
รูปที่ 2.2	หน้าตัดของทรานซิสเตอร์แบบ มอส	9
รูปที่ 2.3	ขั้นตอนการสร้างทรานซิสเตอร์แบบ เอ็นมอส	9
รูปที่ 2.4	แสดงอินเวอร์เตอร์แบบ ซีมอส และ เอ็นมอส	10
รูปที่ 2.5	ขั้นตอนการสร้างวงจรแบบ ซีมอส	11
รูปที่ 2.6	ขั้นตอนการผลิตชิป	12
รูปที่ 3.1	แสดงขั้นตอนการออกแบบวงจรรวมโดยใช้ทูลส์ของแทนเนอร์	18
รูปที่ 3.2	การวางตำแหน่งอุปกรณ์ บนเลย์เอาท์โดยวิธี มินคัต	15
รุปที่ 3.3	วิธีรวมอุปกรณ์	15
รูปที่ 3.4	การวางเส้นทางสายไฟ ด้วยวิธีของลี จากจุด A ไปยังจุด B	16
รูปที่ 4.1	รูปวงจร เอแอลยู	22
รูปที่ 4.2	แสดงไอซี เอแอลยู เบอร์ 74HS181	19
รูปที่ 4.3	แสดงวงจรสมมูลย์ ของแนนด์เกท 5 อินพุท	19
รูปที่ 4.4	เลย์เอาท์ของอินเวอร์เตอร์	23
รูปที่ 4.5	เลย์เอาท์ของแนนด์ 2 อินพุท	24
รูปที่ 4.6	เลย์เอาท์ของแนนด์ 3 อินพุท	25
รูปที่ 4.7	เลย์เอาท์ของแนนด์ 4 อินพุท	26
รูปที่ 4.8	เลย์เอาท์ของเอ็กซ์คลูซีฟออร์	27
รูปที่ 4.9	รูปวงจร เอแอลยู หลังการประยุกต์	28

สารบัญตาราง

หน้า

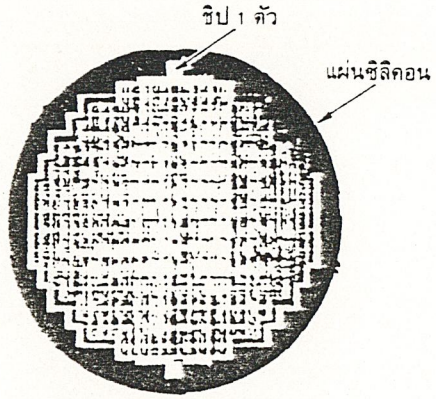
ตารางที่ 4.1	แสดงถึงความสามารถของวงจร เอแอลยู (แอคทีฟ-โลว์ ดาต้า)	29
ตารางที่ 4.2	แสดงถึงความสามารถของวงจร เอแอลยู (แอคทีฟ-ไฮ ดาต้า)	29

บทที่ 1
บทนำ

1.1 ระบบการออกแบบวงจรรวม

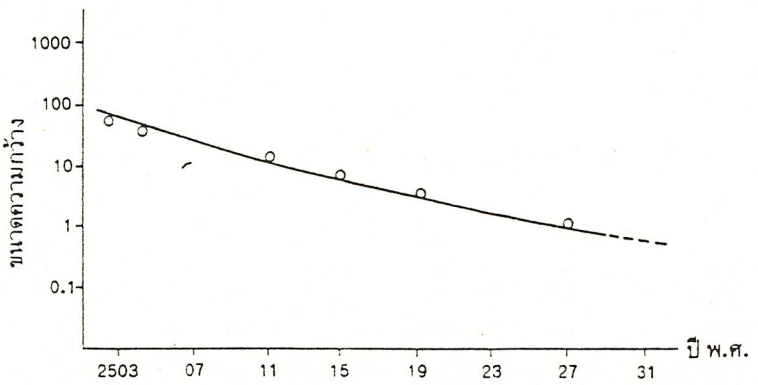
1.1.1 เทคโนโลยี วีแอลเอสไอ

เทคโนโลยีการออกแบบ ทางอิเล็กทรอนิกส์ เริ่มจากการใช้หลอดวิทยุ แล้วพัฒนามาเป็นการใช้ทรานซิสเตอร์เป็นตัวๆต่อกัน แต่เนื่องจาก ความจำเป็นในหลายๆ ด้าน เช่น ความเจริญเติบโตทางอุตสาหกรรม และ เศรษฐกิจ ทำให้การผลิตวงจร โดยใช้ ทรานซิสเตอร์ แต่ละตัวต่อกัน ล้าสมัย และไม่อาจจะรองรับ ความซับซ้อนของวงจร รวมทั้งความเร็วของการทำงานของวงจรได้ เทคโนโลยี การผลิต และ การบรรจุทรานซิสเตอร์หลาย ๆ ตัว รวมทั้งการผลิตตัวต้านทาน และ ตัวจุบนแผ่นซิลิคอนเดียวกันจึงได้ถูกพัฒนาขึ้น รูปที่ 1.1 แสดงแผ่นซิลิคอน ซึ่งประกอบไปด้วย ตารางสี่เหลี่ยม แต่ละตาราง คือ วงจรสำเร็จรูป ที่ผลิตขึ้นมา เพื่อทำหน้าที่ที่ต้องการ เช่น ทำหน้าที่ เอแอลยู (ALU : arithmetic logic unit) วงจรเลื่อนข้อมูล เป็นต้น เราจะเรียกแต่ละตารางว่าชิป (chip)



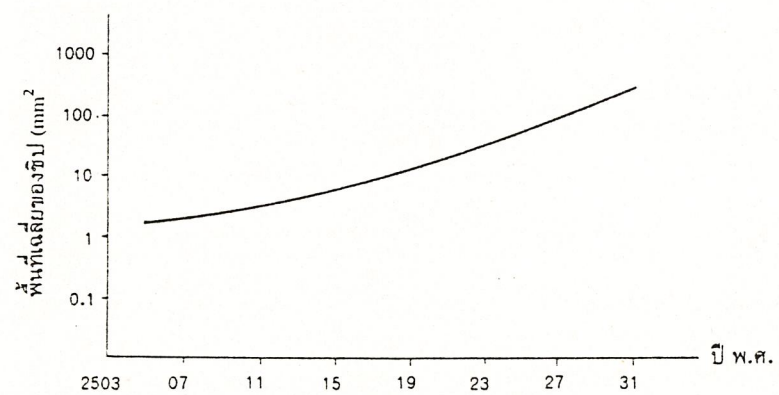
รูปที่ 1.1 วงจรอิเล็กทรอนิกส์บนแผ่นซิลิคอน

เราสามารถแบ่งช่วงเวลาการพัฒนาเทคโนโลยีทางการออกแบบอิเล็กทรอนิกส์ ออกตามจำนวนทรานซิสเตอร์ที่บรรจุ ในหนึ่งชิป สิ่งที่น่าสนใจเกี่ยวกับจำนวนทรานซิสเตอร์ ต่อ ชิป ก็คือ ขนาดของทรานซิสเตอร์แต่ละตัว ถ้าเราเอาชิปประเภท แอลเอสไอ และ วีแอลเอสไอ มาเทียบดู จะเห็นว่า ขนาดของวีแอลเอสไอชิป ไม่ได้ใหญ่กว่า แอลเอสไอชิป มากนัก แต่จำนวนทรานซิสเตอร์ มีมากกว่าหลายเท่า เหตุผล ก็คือว่า ขนาดของทรานซิสเตอร์ใน วีแอลเอสไอ ชิป นั้นเล็กกว่าขนาดของทรานซิสเตอร์ใน แอลเอสไอ ชิป รูปที่ 1.2 แสดงขนาดของ ทรานซิสเตอร์ที่ลดลงตามปีที่ผ่านไป เนื่องจาก ความก้าวหน้า ทางการผลิต ในปี พ.ศ. 2520 ขนาดความกว้างของ ทรานซิสเตอร์ ที่ผลิตได้คือ 1.25 ไมครอน แต่ในปี พ.ศ. 2530 ขนาดความกว้างดังกล่าวสามารถลดลงน้อยกว่า 1 ไมครอน



รูปที่ 1.2 การลดลงของความกว้างของทรานซิสเตอร์ ในแต่ละปี

สำหรับขนาดของชิปที่เพิ่มขึ้นในแต่ละปีแสดงในรูปที่ 1.3 การเพิ่มขึ้นเกิดเนื่องจาก การประยุกต์ในงานประเภทต่างๆ มีมากขึ้น จำนวนทรานซิสเตอร์ ที่ใส่ลงในหนึ่งชิปจะมีมากขึ้นทำให้ ต้องขยายขนาดของชิป



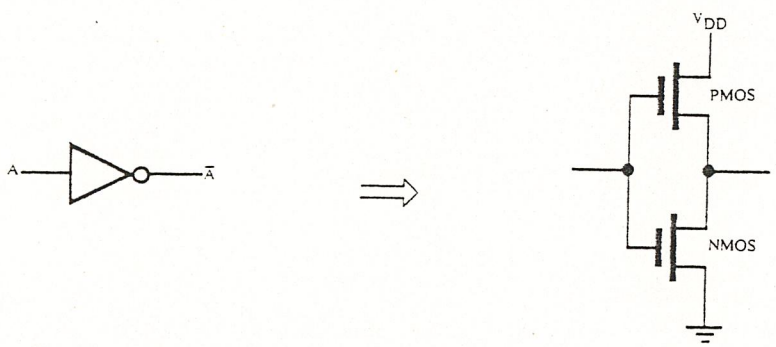
รูปที่ 1.3 พื้นที่เฉลี่ยของชิปในแต่ละปี

เมื่อขนาดของทรานซิสเตอร์ลดลง รวมทั้งความพยายาม ที่จะบรรจุจำนวน ทรานซิสเตอร์ มากๆ ลงในหนึ่งชิป ทำให้วิธีการออกแบบ ในยุคแอลเอสไอ ขาดประสิทธิภาพ การออกแบบในยุคแอลเอสไอทำโดย อาศัย คนออกแบบ ทำหน้าที่วางระบบวงจร วาดแบบแปลน ทรานซิสเตอร์ทุกตัว รวมทั้งการจัดวางตำแหน่ง และ เดินสายต่อทรานซิสเตอร์ทั้งหมดบนชิป แต่ในการออกแบบวีแอลเอสไอนั้น การ

กระทำดังกล่าว เป็นสิ่งที่ยากมาก เนื่องจากความสามารถของคน ไม่อาจจะครอบคลุม ความถูกต้องของการออกแบบทรานซิสเตอร์ จำนวน 100,000 ตัว หรือ มากกว่านี้ ได้อย่างมีประสิทธิภาพ นอกจากนั้นแล้ว การทดสอบความถูกต้อง ของวงจรหลังจากการผลิต ในยุค วีแอลเอสไอ จะยุ่งยากมากกว่า ในยุค แอลเอสไอ เนื่องจาก ระยะห่างระหว่างสาย และ ทรานซิสเตอร์ ในชิปใกล้กันมากกว่าใน แอลเอสไอชิป โอกาสเกิดวงจรลัดมีมากกว่า ดังนั้น เราจำเป็นต้องหาเทคโนโลยีที่จะผลิต ทรานซิสเตอร์ ให้ง่ายต่อการออกแบบ และ ทดสอบความถูกต้อง นอกจากนั้นเรายังจะต้อง คิดหาวิธีที่จะนำเอาความสามารถ และความรอบคอบ ของเครื่องคอมพิวเตอร์ ในยุคปัจจุบัน มาช่วยออกแบบอย่างเป็นระบบ

1.1.2 ระบบขั้นตอนการออกแบบ

วงจร วีแอลเอสไอ เป็นวงจรที่มีความซับซ้อน ของจำนวนทรานซิสเตอร์ สูงมาก ดังนั้น ในการออกแบบเพื่อให้บรรลุจุดมุ่งหมายของงาน เราจำเป็นต้องมีระบบการออกแบบที่ดี ระบบการออกแบบที่ดีควรจะเป็นระบบการออกแบบ ที่สามารถซอยย่อยออกเป็นขั้นตอนต่างๆ ได้ แต่ละขั้นตอน ควรจะสามารถทำต่อเนื่องกัน ขั้นตอนก่อนจะส่งผลที่ได้ไปยัง ขั้นตอนถัดไป ซึ่งในขั้นตอนถัดไปนี้ จะทำหน้าที่เพิ่มรายละเอียด ของผลผลิตจากขั้นตอนก่อน ตัวอย่างเช่น ถ้าขั้นตอนก่อนในผลที่อยู่ในรูปของ โครงสร้างระดับเกท เช่น ในรูปที่ 1.4 ขั้นตอนถัดไปก็ควรจะให้ ความละเอียด ว่าในแต่ละเกทควรจะมีทรานซิสเตอร์ อะไรบ้าง รายละเอียดของการออกแบบทั้งหมด จะสิ้นสุดลงที่ ขั้นตอนสุดท้าย เทคโนโลยีที่ใช้ในรูปที่ 1.4 คือ มอส (MOS : metal oxide semiconductor)



รูปที่ 1.4 แสดงขั้นตอนการออกแบบและขั้นตอนถัดไป ซึ่งเพิ่มรายละเอียดของผลที่ได้ จากขั้นตอนก่อน

1.1.3 เทคโนโลยีการออกแบบโดยใช้เลย์เอาท์ อีดิเตอร์

การออกแบบระบบวงจรรวม ที่เป็นระดับล่างสุด วงจรในระดับนี้ เราเรียกว่า เลย์เอาท์ (layout) ในการสร้างเลย์เอาท์นั้น เราจะเปลี่ยนทรานซิสเตอร์ และ สายไฟ จากวงจรที่เราเห็นทั่วๆ ไป มาเป็นรูปลักษณะทาง เรขาคณิต ของทรานซิสเตอร์ หรือสายไฟต่างๆ เหล่านั้น รูปลักษณะทางเรขาคณิตที่เหมาะสมบนชั้นบนชั้นสารต่างๆ ก็คือ เลย์เอาท์ของวงจรนั้น ตัวเลย์เอาท์นี้จะนำไปใช้เป็นแม่แบบในการผลิตซิลิกอนชิปต่อไป

การออกแบบเลย์เอาท์ วีแอลเอสไอ สามารถทำได้หลายวิธี วิธีที่ง่ายที่สุด คือ วาดรูปลงบนกระดาษสีขาว ที่ตีตารางไว้เหมือนกระดานหมากรุก แต่ละช่องของตาราง จะเป็นสี่เหลี่ยมจัตุรัส กว้าง 1 แลมป์ดา และยาว 1 แลมป์ดา จากนั้นระบายสีรูปสี่เหลี่ยมแต่ละรูป ให้ตรงกับชั้นสารที่ต้องการ แต่ข้อเสียของวิธีนี้ก็คือ เราจะใช้เวลาเป็นจำนวนมาก ในการวาด และข้อผิดพลาดอาจเกิดขึ้น ได้ง่าย เมื่อวงจรที่วาด มีขนาดใหญ่ และ ซับซ้อนขึ้น เราสามารถขจัดจุดอ่อนของการวาดด้วยมือ ได้โดยการใช้คอมพิวเตอร์เข้ามาช่วย ระบบคอมพิวเตอร์ ที่นำมาช่วยในการออกแบบ วงจรวีแอลเอสไอ ที่เป็นที่นิยมกันมาก เรียกว่า วีแอลเอสไอ เลย์เอาท์ อีดิเตอร์ (VLSI layout editor) ระบบนี้ประกอบไปด้วย ตัวคอมพิวเตอร์ อาจเป็นเมนเฟรม หรือ เล็กลง ถึงขนาดไมโครได้ ที่สำคัญก็คือ จะต้องมีจอโทรทัศน์ที่สามารถทำกราฟิกได้ นั่นก็คือ สามารถทำรูปต่างๆ ทางเรขาคณิต ให้ปรากฏบนจอได้ ถ้าสามารถมีสีต่างๆ ได้ก็จะดีมาก เพราะซอฟต์แวร์ส่วนมากที่สนับสนุน การออกแบบวงจร โดยวิธีนี้ จะเป็นอย่างที่ใช้สีในการระบุถึงชั้นสารต่างๆ

ซีซาร์ (caesar) เป็นซอฟต์แวร์ ซึ่งสร้างและพัฒนาโดย จอห์น เอาต์สเตอร์เฮาต์ (John Outsterhout) จุดประสงค์ ของซีซาร์ก็คือ สามารถช่วยวิศวกร ในการออกแบบเลย์เอาต์ ของระบบวงจรวีแอลเอสไอได้อย่างมีประสิทธิภาพ ผู้ใช้ซอฟต์แวร์ชุดนี้สามารถออกแบบวงจรได้ บนหน้าจอมอนิเตอร์ทีเดียวเลย การเพิ่มเติม หรือ แก้ไขวงจรก็สามารถทำได้โดยสะดวกเช่นกัน ผู้ออกแบบวงจร ไม่จำเป็นต้องมี รายละเอียด อะไรมากมายของเลย์เอาท์ ก่อนการออกแบบจริงๆ เพียงแค่มี สติคไดอะแกรม (stick diagram) ก็จะสามารถออกแบบเลย์เอาท์ของวงจรนั้นออกมาได้ เมื่อเราพอใจรูปเลย์เอาท์ แล้ว เราสามารถเก็บเลย์เอาท์นี้ไว้เป็นภาษา ซีไอเอฟ (CIF) เพื่อการใช้งานครั้งต่อๆ ไป และแบบอื่นๆ ได้

การใช้ซีซาร์ในยุคเริ่มแรก เราจะต้องมี คอมพิวเตอร์ที่ทำงาน ภายใต้ระบบดำเนินงานยูนิกซ์ (Unix Operating system) และมีจอมอนิเตอร์หนึ่งจอสำหรับ แสดงตัวหนังสือเกี่ยวกับคำสั่ง และข้อมูลเกี่ยวกับเลย์เอาท์ นอกจากนี้เรายังต้องการจอมอนิเตอร์อีกหนึ่งจอ ที่ทำกราฟิกได้ ซีซาร์สามารถใช้ได้ กับจอ AED 512 , AED 767 , Metheus Omega 440 , Chromatics 7900 , หรือ Vertrix จอเหล่านี้จะต้องต่อกับ เครื่องคอมพิวเตอร์ ผ่านสายนำสัญญาณ RS232 แบบ 9600 บอด

ในปัจจุบันเราสามารถออกแบบวงจรเลย์เอาท์ วีแอลเอสไอ บนไมโครคอมพิวเตอร์ได้ เพราะจริงๆ แล้วตัวไมโครคอมพิวเตอร์ เช่น IBM PC AT มีขีดกำลังความสามารถเกินพอในการ ที่จะทำงานเป็นตัววีแอลเอสไอ เลย์เอาท์ อีดิเตอร์ (VLSI layout editor) ข้อดีอีกประการหนึ่งของไมโครก็คือ มีอุปกรณ์สนับสนุนเกี่ยวกับกราฟิกและสีต่างๆ ได้เป็นอย่างดี ซอฟท์แวร์ตัวนี้ได้แก่ เลย์เอาท์ อีดิทเตอร์ ของบริษัทแทนเนอร์ ซึ่งได้เลือกมาใช้ในการศึกษา และ ทดลองใช้ออกแบบวงจรสำหรับโครงงานนี้

1.2 วัตถุประสงค์และขอบเขตของโครงงาน

1.2.1 วัตถุประสงค์

1.2.1.1 ศึกษาถึงคุณสมบัติของการออกแบบผังวงจรรวมในแต่ละวิธี

1.2.1.2 สามารถพิจารณาเลือกวิธีการออกแบบผังวงจรรวมมาใช้ในการออกแบบให้เหมาะสมได้

1.2.1.3 เพื่อเรียนรู้ขั้นตอนการออกแบบผังวงจรรวม ด้วยวิธีเซมิคัสตอมดีไซด์ โดยใช้

ไลบรารี่มาตราฐาน

1.2.2 ขอบเขตของโครงงาน

1.2.2.1 ศึกษาการออกแบบผังวงจรรวมด้วยวงจรเอแอลยู

1.3 ประโยชน์ที่ได้รับ

ทำให้ทราบถึงเทคโนโลยีการออกแบบผังวงจรรวมและวิธีการออกแบบเพื่อนำไปใช้ในการออกแบบผังวงจร และตรวจสอบการทำงานระดับลอจิกได้ ซึ่งตัวผังวงจรนี้จะนำไปใช้เป็นแม่แบบในการผลิตชิปต่อไป การตรวจสอบล่วงหน้าจะประหยัดเวลาและทรัพสินมากกว่าที่จะไปทำเป็นชิปออกมาจริงๆ แล้วทดลอง

บทที่ 2
เทคโนโลยีของทรานซิสเตอร์และขั้นตอนการผลิต

2.1 เทคโนโลยีการพัฒนาระบบคอมพิวเตอร์

เราสามารถแบ่งการพัฒนาเทคโนโลยีทางการออกแบบอิเล็คทรอนิกส์ ออกตามจำนวนทราน - ซิสเตอร์ที่บรรจุในหนึ่งชิป

ช่วงที่ 1 ทรานซิสเตอร์แบ่งเป็นแบบไบโพลาร์เช่น ทีทีแอล (TTL : transistor transistor logic) , อีซีแอล (ECL : emitter coupled logic) และ แบบมอส (MOS :metal oxide semiconductor)

ช่วงที่ 2 เอสเอสไอ (SSI : small scale integration) จำนวนทรานซิสเตอร์ต่อหนึ่งชิป ยังไม่สูงมาก ประมาณ 10 ถึง 20 ตัว ใช้ทรานซิสเตอร์แบบไบโพลาร์

ช่วงที่ 3 เอ็มเอสไอ (MSI : medium scale integration) จำนวนทรานซิสเตอร์ต่อหนึ่งชิปอยู่ในช่วง 100 ถึง 1,000 ตัว ใช้ทรานซิสเตอร์แบบไบโพลาร์

ช่วงที่ 4 แอลเอสไอ (LSI : large scale integration) เป็น เทคโนโลยีแบบรวมเอสเอสไอ และ เอ็มเอสไอ เข้าด้วยกัน จำนวนทรานซิสเตอร์ต่อหนึ่งชิป จะอยู่ในช่วง 1,000 ตัว ถึง 10,000 ตัว ใช้ทรานซิสเตอร์ แบบไบโพลาร์ ไม่ได้ เพราะมีขนาดใหญ่ ต้องใช้ มอส แทน เช่น เอ็นมอส (NMOS) , พีมอส (PMOS) และ ซีมอส(CMOS)

ช่วงที่ 5 วีแอลเอสไอ (VLSI : very large scale integration) จำนวนทรานซิสเตอร์ต่อชิปมีมากกว่า 10,000 ตัว ซึ่งในปัจจุบันใช้ซีมอสเท่านั้น เพราะขนาดเล็ก ความร้อนต่ำ ทำให้ความสูญเสียต่ำ

ช่วงที่ 6 ยูแอลเอสไอ (ULSI : ultra large scale integration) เป็นการนำวีแอลเอสไอหลายๆ ตัวต่อกัน ซึ่งยังไม่มีการพัฒนาเท่าที่ควร

ช่วงที่ 7 ดับบลิวไอเอส (WIS) จะออกแบบรวมเป็นชิ้นเดียวกัน แต่ละหน่วยทำหน้าที่ต่างกัน เปรียบเสมือนคอมพิวเตอร์ 1 ตัว ในชิปตัวเดียว

ทั้งไบโพลาร์และมอส สร้างโดยใช้ซิลิกอน (Silicon) แต่ปัจจุบันนำแกลเลียม อาเซไนด์ (GaAs: Gallium Arsenide) มาใช้ ซึ่งให้ความเร็วสูงกว่าสารซิลิกอนมาก แต่ต้นทุนการผลิตสูง เพราะในการผลิตจะมีชิ้น ที่เสียมาก

2.2 วิธีการออกแบบไอซี (IC: integration circuit)

เมื่อก่อนนี้ระบบคอมพิวเตอร์ถูกสร้างด้วยเอสเอสไอและเอ็มเอสไอ ซึ่งต้องใช้บอร์ดที่มีขนาดใหญ่ ทำให้ผลิตภัณฑ์ที่ได้มีขนาดใหญ่ และราคาในการผลิตสูง ยิ่งกว่านั้น มันเป็นการยาก ที่จะหาอุปกรณ์สำเร็จรูปที่มีฟังก์ชันตรงตามความต้องการได้ ปัญหาอีกอย่างหนึ่งก็คือ การที่ต้องใช้อุปกรณ์จำนวนมาก ทำให้ต้องมีการเชื่อมต่อกันมาก ซึ่งทำให้เกิดความผิดพลาดเพิ่มขึ้น การลดส่วนประกอบลง จะเพิ่มความน่าเชื่อถือ และกินไฟน้อยลง ประโยชน์ที่สำคัญที่สุด คือ ราคาการทำแผงวงจรพิมพ์จะลดลง ในปัจจุบันนี้มีวิธีการออกแบบ ไอซี ได้ 3 วิธี ได้แก่

2.2.1 ฟูลคัสตอม ดีไซน์ (full custom design) วิธีนี้จะออกแบบวงจรก่อน แล้วจึงสร้างเลย์เอาท์ของเกท (gate) ตามความต้องการของวงจร วิธีนี้มีประสิทธิภาพสูง แต่ใช้เวลาในการทำมาก

2.2.2 เซมิคัสตอม ดีไซน์ (semi custom design) วิธีนี้จะใช้เลย์เอาท์ ของเกทที่มีอยู่แล้ว ในไลบรารี่ (Library) มาต่อกันตามวงจรที่ต้องการ แบ่งออกได้เป็น 2 วิธี คือ

2.2.2.1 เกท-อาร์เรย์ (gate- arrays) บนไดย์ (die) แต่ละตัวจะเชื่อมต่อเลย์เอาท์ภายในแตกต่างกัน ตามวงจรที่ต้องการ ก็จะทำให้ได้วงจรที่แตกต่างกันไป ใช้เวลาในการสร้างน้อย และค่าใช้จ่ายในการทำต่ำ แต่มีข้อเสียคือ จะมีเซลล์ (cells) ที่ไม่ได้ใช้อยู่ ทำให้เสียเนื้อที่ของชิปไป โดยเปล่าประโยชน์

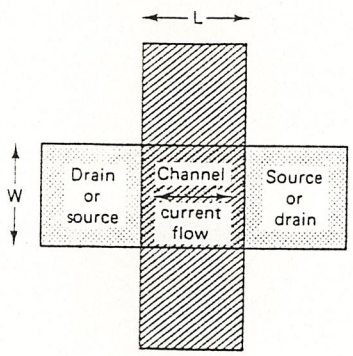
2.2.2.2 สแตนดาร์ด เซล (standard cells) จะสร้างเลย์เอาท์ต่างๆไว้ก่อน เมื่อมีวงจรจึงนำมาลงได ข้อเสียของมันก็คือ จะใช้ได้เฉพาะเลย์เอาท์ ที่ออกแบบไว้แล้วเท่านั้น ดังนั้น จึงต้องมีการประยุกต์ใช้

ในปัจจุบันไอซี ที่ขายกันทั่วไปเป็น เกท-อาร์เรย์ มากที่สุด ประมาณ 90% แต่กำลังเปลี่ยน เป็น สแตนดาร์ดเซล มากขึ้น ส่วนไมโครโปรเซสเซอร์ทุกตัว เป็นฟูลคัสตอม ดีไซน์

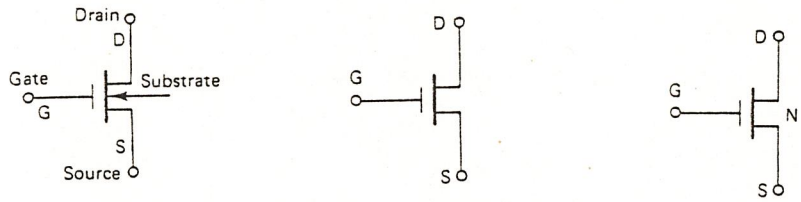
2.2.3 โปรแกรมเอเบิ้ล โลจิก ดีไวซ์ (programmable logic devices) จะใช้ได้กับการออกแบบทั่วๆไป ที่ผู้ใช้สามารถโปรแกรม กับส่วนที่สามารถโปรแกรมได้ อุปกรณ์เหล่านี้จึงมีคุณสมบัติเหมือน เซมิคัสตอม ดีไซน์ พีแอลดีจะมีขนาดเล็ก ใช้ง่าย และใช้เวลาในการสร้างน้อยกว่า เกท-อาร์เรย์ แต่ประสิทธิภาพสู้ เกท-อาร์เรย์ ไม่ได้ การใช้ก็ยังไม่แพร่หลาย แต่คาดว่าในอนาคต จะมีการใช้กัน อย่างแพร่หลาย

2.3 ทรานซิสเตอร์แบบมอส , ซีมอส และขั้นตอนการผลิต

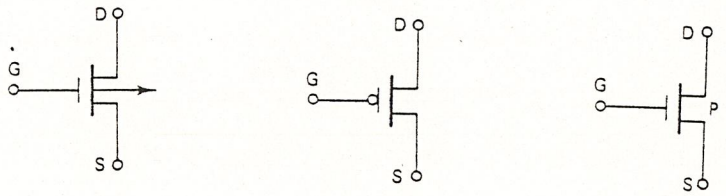
2.3.1 มอส เป็นทรานซิสเตอร์ ที่ทำงานโดยอาศัย ประจุชนิดบวกอย่างเดียว หรือลบอย่างเดียวเท่านั้น ประจุพวกนี้ เคลื่อนไปในช่องที่เราจัดวางไว้โดยการเหนี่ยวนำแรงดันไฟฟ้าจากภายนอก รูป 2.1 (ก) แสดงเลย์เอาท์ จากส่วนบนของทรานซิสเตอร์ L : แทนความยาว และ W : แทนความกว้าง ของชั้นแนลมอสแบ่งออกเป็น 2 ชนิด ได้แก่ 1. เอ็นมอส ซึ่งเป็นมอสที่ทำงานโดยอาศัยประจุลบอย่างเดียว รูป 2.1 (ข) แสดงสัญลักษณ์ของเอ็นมอส และ 2. พีมอส เป็นมอสที่ทำงานโดยอาศัยประจุบวกอย่างเดียว รูป 2.1 (ค) แสดงสัญลักษณ์ของพีมอส



รูปที่ 2.1 (ก) แสดงเลย์เอาท์จากส่วนบนของทรานซิสเตอร์



รูปที่ 2.1 (ข) แสดงสัญลักษณ์ของ เอ็นมอส



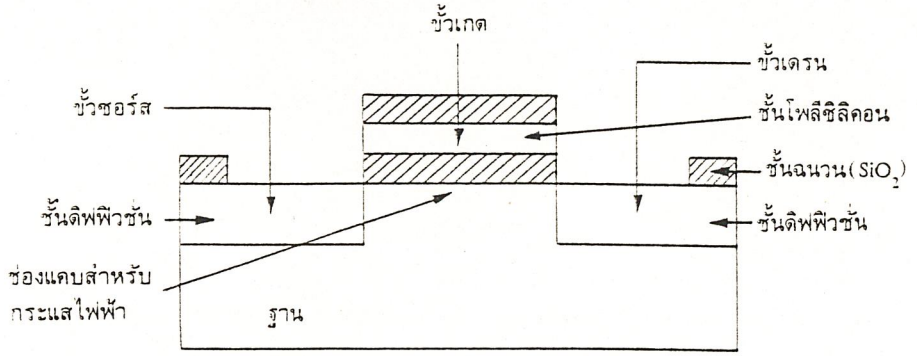
รูปที่ 2.1 (ค) แสดงสัญลักษณ์ของ พีมอส

2.3.1.1 ขั้นตอนการผลิตทรานซิสเตอร์แบบ มอส

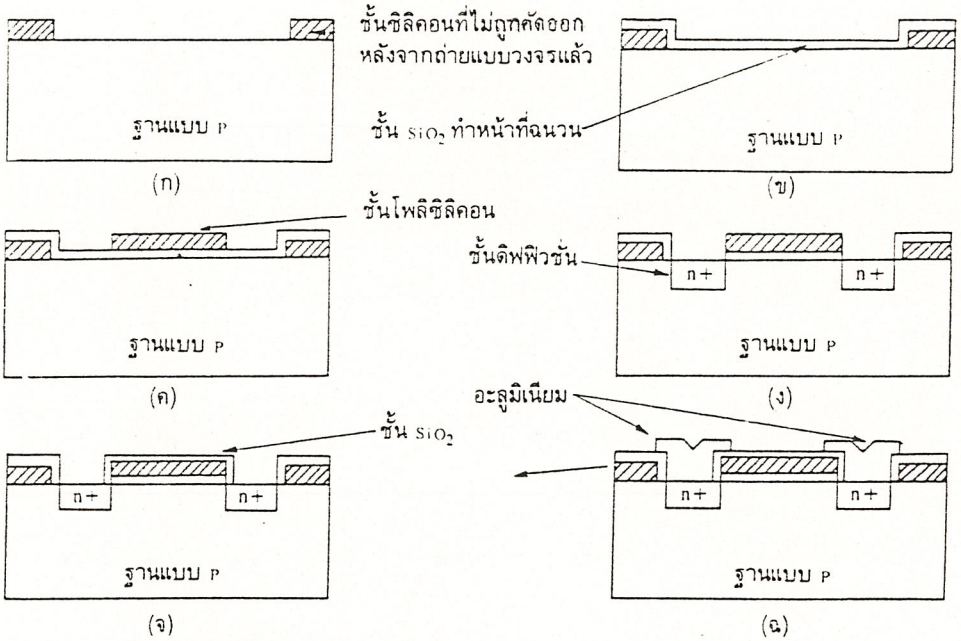
การทำงาน ของทรานซิสเตอร์แบบ มอส อาศัยการเหนี่ยวนำ ประจุบวก หรือ ลบ อย่างใดอย่างหนึ่ง ดังนั้น โครงสร้างของทรานซิสเตอร์ แบบ มอส จะเป็นดังแสดงในรูปที่ 2.2 ตัวทรานซิสเตอร์ประกอบไปด้วย ส่วนต่างๆ 7 ส่วน คือ ขั้วซอร์ส ขั้นเดรน ขั้วเกต ฐานของทรานซิสเตอร์ ชั้นฉนวน ชั้นดิฟฟิวชั่น และชั้นโพลีซิลิคอน

เพื่อให้ง่ายต่อการอธิบายการทำงาน ซึ่งจะนำไปสู่การผลิตทรานซิสเตอร์ จะกล่าวเฉพาะทรานซิสเตอร์ แบบเอ็นมอส (NMOS) เท่านั้น กระแสจะไหลจากซอร์สไปเดรน ผ่านช่องแคบ ของทรานซิสเตอร์ ช่องแคบนี้จะประจุไปด้วย ประจุลบซึ่งเกิดจาก การเหนี่ยวนำแรงดันไฟฟ้าที่เกท เนื่องจากทรานซิสเตอร์ทำงานโดย การเหนี่ยวนำประจุลบ ดังนั้น ฐานของทรานซิสเตอร์ ควรจะเป็นฐานที่มีคุณสมบัติ แบบพี ดังเช่น สารที่ใช้ทำขั้ว พี ในทรานซิสเตอร์ แบบไบโพลาร์ ขั้นตอนการผลิตทรานซิสเตอร์บนแผ่นซิลิคอน จะคล้ายกับขั้นตอนการกัด แผ่นวงจรพิมพ์ แต่ว่าการผลิตทรานซิสเตอร์ จะใช้จำนวนขั้นตอน มากกว่า เนื่องจากมีหลายชั้น

หอสมุดกลาง จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 2.2 หน้าตัดของทรานซิสเตอร์แบบ มอส



รูปที่ 2.3 ขั้นตอนการสร้างทรานซิสเตอร์แบบ เอ็นมอส

ขั้นที่ 1 ถ่ายแบบวงจรบนแผ่น ซิลิคอน ชนิด พี ซึ่งจะใช้เป็นฐานของทรานซิสเตอร์ รูปที่ 2.3 (ก) แสดงภาพหน้าตัดของฐานแบบ พี และ แบบวงจรที่ถ่ายติด การถ่ายแบบวงจรลงบนแผ่นซิลิคอน ปัจจุบันใช้การยิงลำแสงอิเล็กตรอน ซึ่งควบคุมโดยเครื่องคอมพิวเตอร์ แบบวงจรทั้งหมดจะเก็บอยู่ในเครื่องคอมพิวเตอร์ การใช้ลำแสงอิเล็กตรอน จะทำให้ได้ แบบพิมพ์ที่ติดกับแผ่นซิลิคอนชัด และ คมกว่า แบบที่ใช้แผ่นฟิล์ม แล้วฉายแสงเหมือนกับ การถ่ายแบบวงจรลงบน แผ่นวงจรพิมพ์ หลังจากที่ถ่ายแบบวงจร

033284

แล้ว บริเวณแผ่น ซิลิคอน ที่ถูกแสง อิเล็กตรอน จะถูกกำจัดออกไป ทำให้เกิดเป็น ร่อง ในรูปที่ 2.3 (ก) ส่วนแรเงาคือ ส่วนที่ ไม่ถูกแสงอิเล็กตรอน

ขั้นตอนที่ 2 เคลือบผิวซิลิคอนด้วยฉนวน ซึ่งทำจาก ซิลิคอนไดออกไซด์ (SiO_2) ขั้นตอนที่ 2 นี้ (1 อังสตรอม เท่ากับ 10^{-8} เซนติเมตร) รูปที่ 2.3 (ข) แสดงภาพหน้าตัด หลังจากเคลือบด้วยซิลิคอนไดออกไซด์

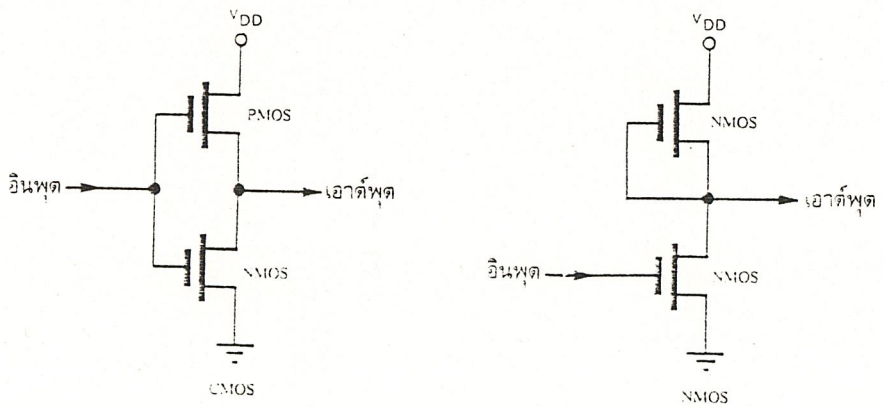
ขั้นตอนที่ 3 วางชั้นโพลีซิลิคอน เพื่อทำหน้าที่เป็นขั้ว สำหรับ เหนี่ยวนำประจุที่ช่องแคบของทรานซิสเตอร์ ความหนาของชั้นโพลีซิลิคอนจะประมาณ 1 ถึง 2 ไมครอน (1 ไมครอน เท่ากับ 10^{-4} เซนติเมตร) รูปที่ 2.3 (ค) แสดงภาพหน้าตัดหลังจากวางชั้นโพลีซิลิคอนแล้ว หลังจากวางชั้นโพลีซิลิคอนบนชั้นซิลิคอนไดออกไซด์ บริเวณที่จะทำขั้วซอร์ส และ เดรน จะถูกเซาะออก โดยจะเซาะเอา ซิลิคอนไดออกไซด์ออก เพื่อเปิดให้สามารถสัมผัสกับฐานของทรานซิสเตอร์ได้

ขั้นตอนที่ 4 อัดชั้นดิฟฟิวชั่นลงไปในฐานแบบ พี ตรงบริเวณที่เซาะเป็น ร่อง สำหรับ ทำขั้ว ซอร์ส และ เดรน ความหนาของชั้นดิฟฟิวชั่นประมาณ 1 ไมครอน รูปที่ 2.3 (ง) แสดงภาพหน้าตัด หลังจากวางชั้นดิฟฟิวชั่นแล้ว

ขั้นตอนที่ 5 เคลือบชั้นฉนวนซิลิคอนไดออกไซด์ ลงไปบนผิวหน้า ของแผ่นซิลิคอน แต่เปิดช่องไว้ตรงตำแหน่ง ซอร์สและ เดรน เพื่อจะได้ต่อขั้วไฟได้ รูปที่ 2.3 (จ) แสดงภาพหน้าตัดหลังจากเคลือบด้วยซิลิคอนไดออกไซด์

ขั้นตอนที่ 6 สร้างขั้วของ ซอร์ส และ เดรน โดยใช้อะลูมิเนียม ดังแสดงในรูปที่ 2.3 (ฉ)

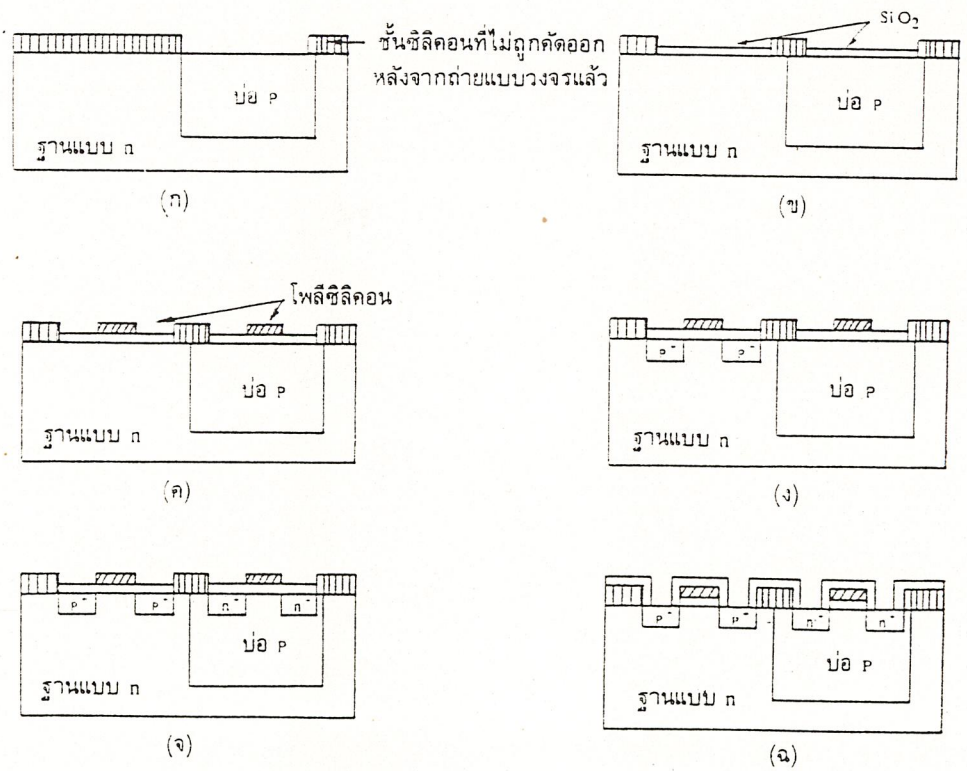
2.3.2 ซีมอส ประกอบไปด้วยทรานซิสเตอร์ แบบ มอส ชนิดที่ทำงานโดยอาศัย ประจุบวก ประกอบกับทรานซิสเตอร์ แบบ มอส ที่ทำงาน โดยอาศัยประจุลบ วงจรซีมอส กินกำลังไฟน้อยมาก เนื่องจากกระแสไหลผ่าน ทรานซิสเตอร์แต่ละตัว แทบไม่มี รูป 2.4 แสดงวงจรอินเวอร์เตอร์ แบบซีมอส และเอ็นมอส



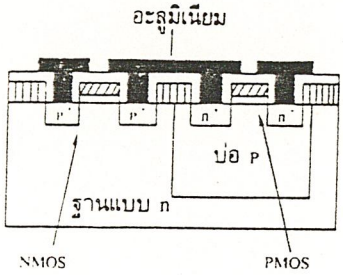
รูป 2.4 แสดงอินเวอร์เตอร์ แบบ ซีมอส และ เอ็นมอส

2.3.2.1 ขั้นตอนการผลิตทรานซิสเตอร์แบบซีมอส

วงจรทรานซิสเตอร์แบบ ซีมอส ต่างจาก วงจร ทรานซิสเตอร์แบบ เอ็นมอส ตรงที่ว่า แทนที่จะใช้ทรานซิสเตอร์แบบ เอ็นมอส อย่างเดียวในการ สร้างวงจร เราผสมทรานซิสเตอร์แบบ พีมอส เข้ามาในวงจรด้วย เพื่อลดกำลังของวงจร ดังนั้น เราจำเป็นต้องหาทางสร้าง เอ็นมอส และ พีมอส ให้อยู่บนแผ่นซิลิคอนเดียวกัน ถ้าสังเกตให้ดีจะเห็นว่าทรานซิสเตอร์แบบ เอ็นมอส ก็คือ ทรานซิสเตอร์แบบ มอส ซึ่งทำงานโดยการเหนี่ยวนำประจุลบ ในขณะที่ ทรานซิสเตอร์แบบ พีมอส ก็คือ ทรานซิสเตอร์แบบ มอส ซึ่งทำงานโดยการเหนี่ยวนำประจุบวก ฉะนั้น เอ็นมอส จึงต้องสร้างบนฐานแบบ พี และ พีมอส จึงต้องสร้างบนฐานแบบ เอ็น ด้วย แนวคิดดังกล่าว ขั้นตอนการสร้าง ซีมอส จึงต้องมากกว่าของ เอ็นมอส รูปที่ 2.5 แสดงขั้นตอนการสร้างทรานซิสเตอร์ เอ็นมอส และ พีมอส บนแผ่นซิลิคอนเดียวกัน พีบวก(P^+) คือ สารแบบพี ในการผลิตแบบนี้เรากำหนดให้ใช้ฐานแบบเอ็นดังนั้น พีมอสจะอาศัยฐานนี้ เพื่อเหนี่ยวนำประจุบวก ส่วน เอ็นมอส จะสร้างบนบ่อแบบ พี ซึ่งฝังอยู่ ภายในฐานแบบ เอ็น อีกที บ่อแบบ พี สร้างขึ้นโดยการอัดสารกึ่งตัวนำที่ให้ประจุบวกได้ลงไปในฐานแบบ เอ็น



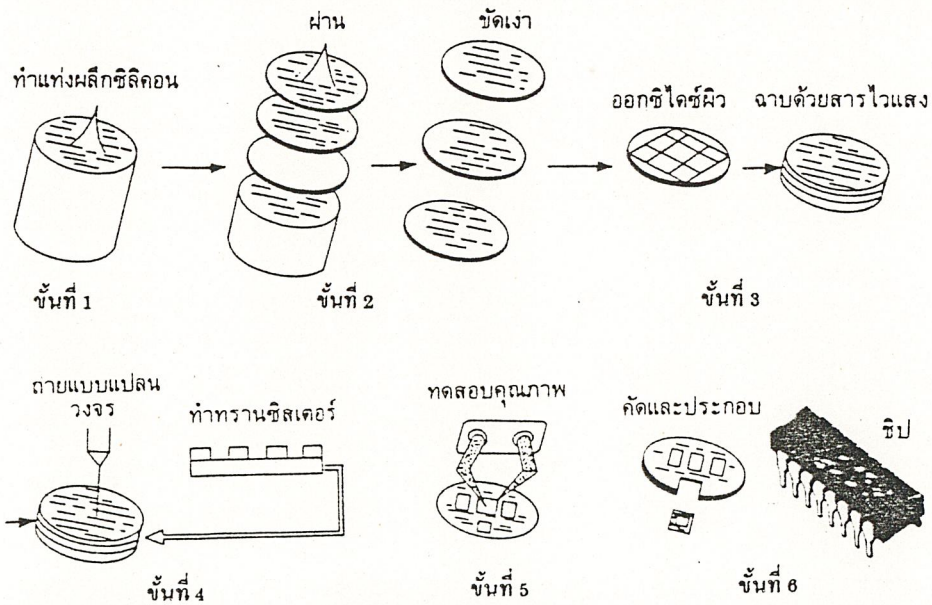
รูปที่ 2.5 ขั้นตอนการสร้างวงจรแบบ ซีมอส



รูปที่ 2.5 (ต่อ)

2.4 ขั้นตอนการสร้างชิป

หลังจากการออกแบบวงจรบนชิปโดยใช้ขั้นตอนต่างๆ แล้ว ขั้นต่อไปก็คือสร้างชิปบนแผ่นซิลิคอน แผ่นซิลิคอน แต่ละแผ่นจะประกอบไปด้วยชิปเป็นจำนวนมากแต่ละชิปอาจจะเหมือนหรือแตกต่างกันก็ได้ สาเหตุที่เราต้องทำชิปเป็นจำนวนมากบนแผ่นซิลิคอนเดียวกัน ก็เพื่อเป็นการเพิ่มอัตราการส่วน ชิปที่ดีต่อจำนวนชิปที่ทำทั้งหมด และ ยังเป็นการเพิ่มปริมาณผลิตภัณฑ์ชิปด้วย ชิปที่ดี คือ ชิปที่ทำงาน ตามวงจรที่เราออกแบบ



รูปที่ 2.6 ขั้นตอนการผลิตชิป

ขั้นตอนการทำชิป แสดงโดยละเอียด ในรูปที่ 2.6 เริ่มแรกผลึกซิลิคอนจะถูกทำให้ละลาย และทำให้เป็นแท่งตัน (ขั้นตอนที่ 1) จากนั้น ก็จะฝาน แท่งผลึกซิลิคอน ออกเป็นแผ่นๆ แล้วทำการขัดเงา (ขั้นตอนที่ 2) เมื่อขัดเสร็จ แผ่นซิลิคอน จะถูกฉาบผิว ด้วยออกซิเจน เพื่อทำให้เป็น ซิลิคอนไดออกไซด์ เพื่อเตรียมการ ในขั้นต่อไป แผ่นซิลิคอนไดออกไซด์ จะถูกเคลือบด้วยสารไวแสงแล้ว แบบแปลนวงจร จะถูกถ่าย ลงบนสารเหล่านี้ (ขั้นตอนที่ 3) ต่อด้วยขบวนการ ผลิตทรานซิสเตอร์ (ขั้นตอนที่ 4) เมื่อทรานซิสเตอร์ถูกผลิตเรียบร้อย ก็หมายความว่าชิปที่ต้องการ สร้างเสร็จสิ้น ชิปแต่ละชิป จะถูกทดสอบคุณภาพดูว่ามีรอยขาด หรือทำหน้าที่ถูกต้องหรือไม่ (ขั้นตอนที่ 5) หลังจากการทดสอบแผ่นซิลิคอน จะถูกคัดออกเป็นชิป และประกอบขา (ขั้นตอนที่ 6) เพื่อส่งออกไปประกอบแผ่นวงจรพิมพ์

บทที่ 3
การออกแบบวงจรรวมวิธีเซมิคัสตอม ดีไซน์

ต่อไปนี้จะกล่าวถึงการออกแบบวงจรรวม วิธีเซมิคัสตอม ดีไซน์ โดยใช้ สแตนดาร์ด เซล ไลบรารี่ ซึ่งจะแบ่งขั้นตอนการออกแบบ เป็น 2 ระดับ คือการออกแบบลอจิก และการออกแบบลายวงจร ดังรูป 3.1 ซึ่งอธิบายขั้นตอนต่างๆ โดยใช้ ทูลส์ของ บริษัทแทนเนอร์

3.1 การออกแบบลอจิก เป็นการออกแบบในระดับเกท มีขั้นตอนดังนี้

3.1.1 ออกแบบวงจร โดยใช้สคิมเมติกไลบรารี่ (SchemLib) ของ ออร์แคด (OrCAD) , แทงโก (Tango) หรือ วิวลอจิก (ViewLogic)

3.1.2 แปลงวงจรเป็นเนทลิสท์ โดยใช้เทคโนโลยี แมปปิ้ง ไลบรารี่ ให้สอดคล้องกับที่เราต้องการ เช่น แอคเทล (Actel) , ฮาร์ริส (Harris), เอ็นซีอาร์ (NCR) หรือ เอสซีมอส (SCMOS)

3.1.3 นำเนทลิสท์ที่ได้ไปทำการ ซิมมูเลท โดยใช้ เกทซิม (GateSim) เพื่อพิสูจน์ว่า ลอจิกของวงจรนี้ถูกต้อง และทำการซิมมูเลทเวลาเพื่อตรวจสอบเวลาในจุดต่างๆ ของวงจร

3.2 การออกแบบลายวงจร

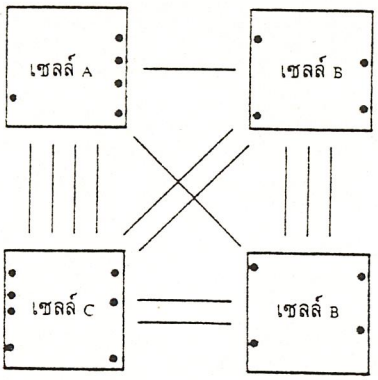
3.2.1 กำหนดเลย์เอาท์ ไลบรารี่ ตามแบบที่เราต้องการ โดยตรวจดูว่าใน ไลบรารี่ นั้นๆ มีเกท ครบถ้วนตามที่เราต้องการหรือไม่ ซึ่งขั้นตอนนี้ควรจะกำหนดไว้ ก่อนการออกแบบลอจิก ถ้ามีไม่ครบให้ ทำการประยุกต์วงจร โดยใช้เกท ที่มีอยู่ แทน จากนั้น ทำการเพลส (place) และ รูท (route) โดยแบ่งเป็น 2 วิธี คือ

3.2.1.1 ทำการเพลสและรูทเอง

วิธีการวางชิ้นส่วนอุปกรณ์บนเลย์เอาท์นี้ จะต้องใช้เนื้อที่น้อย และสายไฟต่อระหว่างอุปกรณ์ จะต้องน้อยที่สุดด้วย วิธีการวางอุปกรณ์ที่เป็นที่รู้จักแพร่หลายชื่อ มิน-คัต (min-cut) โดยนักวิจัยชื่อ บรูเออร์ (Breuer) การวางอุปกรณ์จะเริ่มต้น โดยแบ่งเนื้อที่ของเลย์เอาท์เป็น 2 ด้าน จากนั้นก็แบ่งชิ้นส่วนอุปกรณ์เป็น 2 กลุ่ม ให้แต่ละกลุ่มไปอยู่แต่ละด้าน การจะรวมกลุ่มอย่างไรนั้น จะคำนึงถึงสายไฟระหว่างกลุ่ม ว่ามากน้อยเพียงใด เราจะรวมกลุ่มที่ทำให้สายไฟ จากด้านหนึ่งไปอีกด้านหนึ่ง มีน้อยที่สุด จากรูปที่ 3.2 เราจะเห็นได้ว่า ถ้ารวม A กับ C ไปที่ด้านหนึ่ง และรวม B กับ D ไปอีกด้านหนึ่ง จะได้สายไฟผ่านน้อยที่สุด เราจึงเลือกการรวมกลุ่มชุดนี้ จากนั้นในแต่ละด้าน เราก็แบ่งเป็น 2 และก็ทำเหมือนเดิม จนกระทั่งเราแบ่งไม่ได้ เพราะอุปกรณ์จะเหลือชิ้นเดียว เราก็จะได้ตำแหน่งของอุปกรณ์ตามต้องการ ในการแบ่งเราพยายามแบ่งให้แต่ละด้านมีจำนวนอุปกรณ์ประมาณพอ ๆ กัน

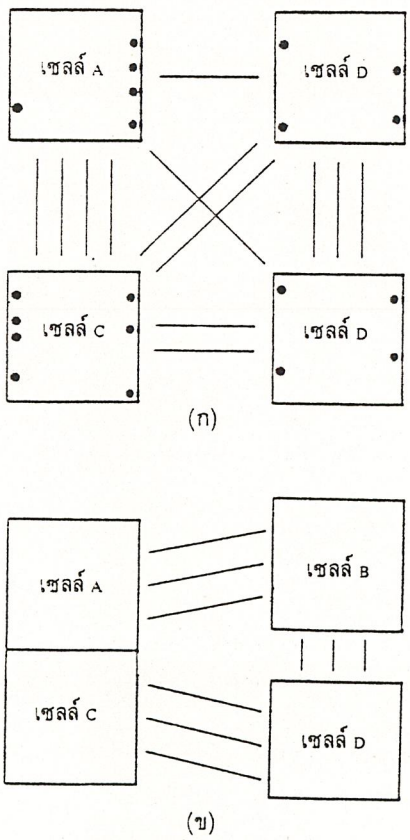
อีกวิธีหนึ่งที่ได้ผลเหมือน ๆ กับวิธีมิน-คัต ทำได้โดยการรวม (ตรงข้ามกับวิธีมิน-คัต ซึ่งเป็นการแบ่ง) ในการรวมนี้ เราจะรวมกลุ่มอุปกรณ์จากกลุ่มเล็ก ๆ ให้เป็นกลุ่มใหญ่ขึ้นเรื่อย ๆ การรวมกลุ่มนั้น จะทำได้ดังเช่น เราจะรวม A กับ C เพราะเมื่อรวมแล้ว จะกำจัดสายไฟออกไปได้มากที่สุด เราจะทำไปเรื่อย ๆ จนได้ผลสุดท้ายออกมาเป็นกลุ่มเดียว และตำแหน่งอุปกรณ์ตามต้องการ

รูป 3.2 แสดงวิธีการวางตำแหน่งอุปกรณ์บนเลย์เอาท์ โดยวิธีมิน-คัต จุดประสงค์ก็คือ การพยายามแบ่งอุปกรณ์ให้อยู่ทางซ้าย-ขวา และล่าง-บน โดยในการแบ่งนี้ เราจะพยายามให้เกิดสายไฟข้ามไปมา น้อยที่สุด



รูปที่ 3.2 การวางตำแหน่งอุปกรณ์บนเลย์เอาท์โดยวิธีมิน-คัต

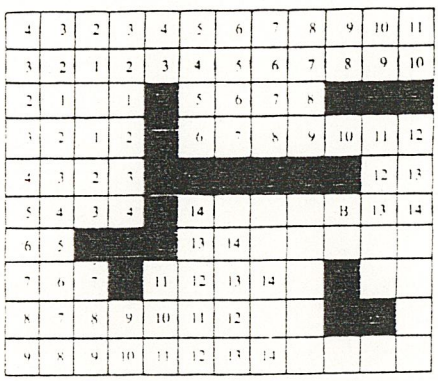
รูปที่ 3.3 แสดงวิธีรวมอุปกรณ์ซึ่งเป็นวิธีตรงข้ามกับวิธีมิน-คัตรูป (ก) เป็นเหตุการณ์ ก่อนเกิดการรวมอุปกรณ์ รูป (ข) เป็นเหตุการณ์ที่เกิดหลังจากรวม A กับ C แล้ว



รูปที่ 3.3 วิธีรวมอุปกรณ์

การเชื่อมโยงสายไฟบนเลย์เอาท์นั้น จะมีอยู่หลายวิธี ในที่นี้จะอธิบายถึง วิธีเบื้องต้นที่มีประสิทธิภาพสูง ซึ่งเป็นต้นกำเนิดหลักของวิธีอื่น ๆ

การเชื่อมโยงสายไฟที่ถือกันว่าเป็นวิธีแรกที่มีประสิทธิภาพนั้น คิดค้นโดยนักวิจัยชื่อ ลี (Lee) ซึ่งเราจะ เรียกว่าวิธีของลี วิธีนี้เลย์เอาท์จะถูกแบ่งเป็นช่อง ๆ เหมือนตารางหมากรุก จากรูปที่ 3.4 เราจะหาเส้นทางของสายไฟที่เชื่อมจุด A เข้ากับจุด B



รูปที่ 3.4 การวางเส้นทางสายไฟด้วย วิธีของลี จากจุด A ไปยังจุด B

วิธีการวางสายไฟของสายไฟฟ้าแบบลีนี้ สามารถแบ่งได้ออกเป็น 3 ขั้นตอนใหญ่ ๆ ขั้นแรกจะเป็นช่วงที่เรียกว่า การแผ่กระจายของคลื่น (wave propagation) เริ่มต้นด้วยการเลือกจุดเริ่มต้นจุดหนึ่ง ในที่นี้เราเลือก A ดังนั้นจุดที่เหลือคือ B จะเป็นสุดท้ายหรือจุดเป้าหมายของเรา จากนั้นเราจะเลียนแบบการเคลื่อนที่ของคลื่นจาก A ซึ่งทำได้โดยใส่ค่า "1" ลงที่ช่องว่างทุกช่องที่มีด้านติดกับ A ต่อไปเราจะใส่ค่าเลข "2" ลงในช่องว่างทุกช่องที่มีด้านติดกับช่องที่มีเลข "1" อยู่ และทำเช่นนี้กับช่องว่างอื่น ๆ ต่อไปเรื่อย ๆ โดยใส่ค่าตัวเลข 3 , 4... ไปเรื่อย ๆ จนกระทั่งเหตุการณ์อย่างใดอย่างหนึ่งต่อไปนี้เกิดขึ้น เหตุการณ์แรกคือเมื่อกำลังจะใส่ค่าตัวเลข k แล้วหาช่องว่างที่ติดกับช่อง k-1 ไม่ได้ เหตุการณ์นี้จะบอกเราว่า เส้นทางเดินสายไฟ ระหว่าง A กับ B ไม่มี สำหรับเหตุการณ์ที่ 2 นั้น จุดเป้าหมายคือ B มีด้านติดกับช่อง k-1 เหตุการณ์นี้บอกเราว่า มีเส้นทางเดินของสายไฟระหว่าง A กับ B และความยาวของสายไฟจะเท่ากับค่าตัวเลข k-1

ขั้นต่อไปจะเรียกว่า การถอยหลังกลับ ซึ่งก็คือ หาเส้นทางของสายไฟจริง ๆ จาก B ไป A เนื่องจากช่อง B ถูกเข้าถึงตอนเราใส่ค่า k ดังนั้น B จึงต้องมีด้านติดกับช่อง k-1 จากรูปที่ 3.4 k =14 และ B มีด้านติดกับช่องเลข 13 จากนั้นเราก็เลื่อนต่อไปเรื่อย ๆ ไปที่เลข 12, 11, ... ,1 และ A ในที่สุด ในการเลื่อนจากเลขมากไปหาเลขน้อยนั้น มีข้อควรคำนึงอย่างหนึ่งก็คือ "อย่าเปลี่ยนทิศทางโดยไม่จำเป็น" เมื่อทำตามนี้แล้ว จะทำให้เราได้เส้นทางที่สั้นกว่าเส้นทางอื่น ๆ

ขั้นสุดท้าย เราจะให้ชื่อช่องทั้งหมดที่ใช้เป็นเส้นทางจาก A มา B และให้จุดสังเกตว่า จะนำไปใช้เป็นเส้นทางอื่นอีกไม่ได้และช่องที่ไม่ได้ใช้เป็นเส้นทางระหว่าง A และ B ก็บอกว่าเป็นช่องว่าง สามารถนำไปใช้สำหรับเส้นทางอื่นต่อไปได้

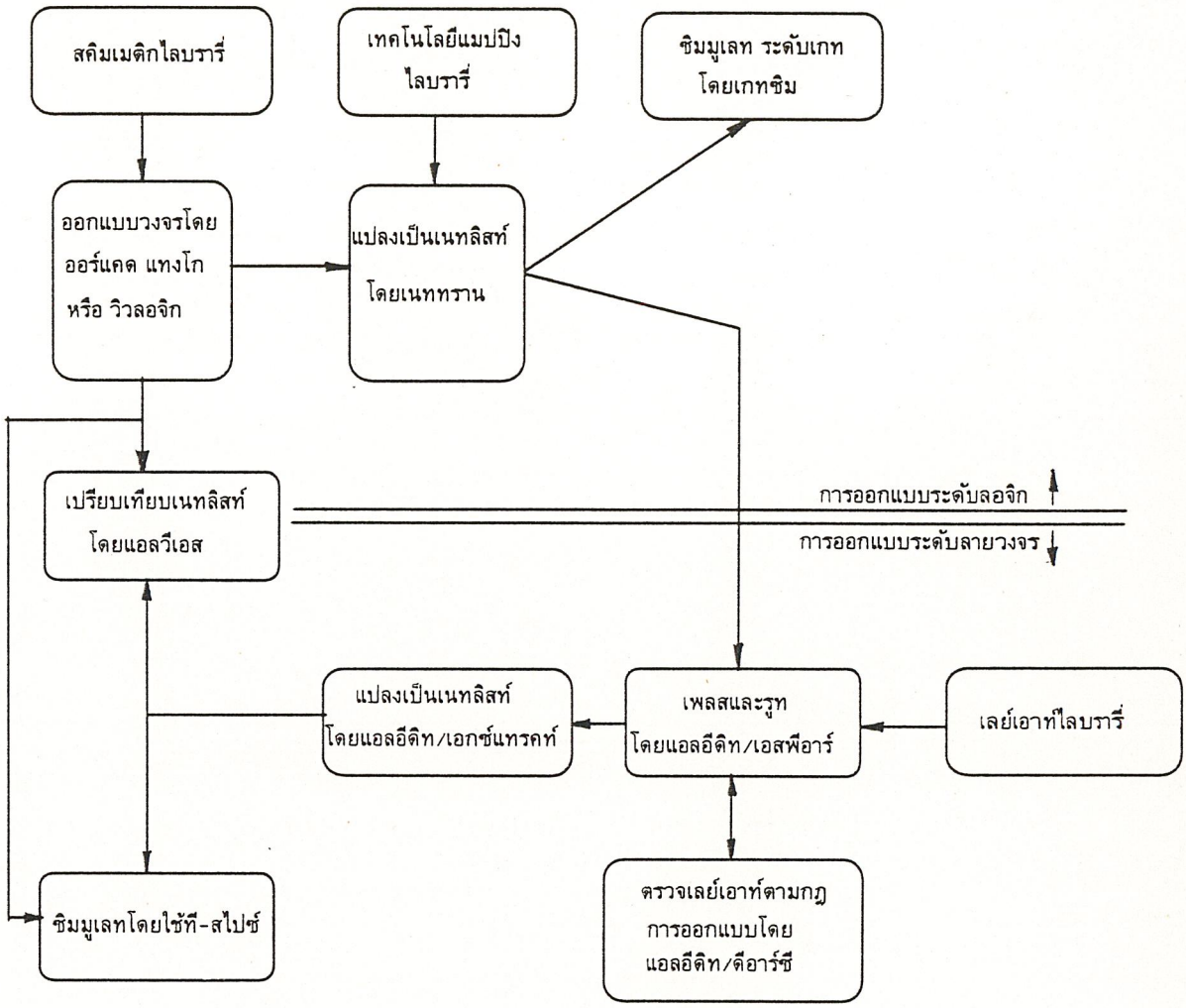
3.2.1.2 ใช้ แอลอีดิท/ เอสพีอาร์ (L-Edit / SPR)

โดยนำเนทลิสท์ที่ได้จากขั้นตอนการออกแบบลอจิกมาใช้ ซึ่ง แอลอีดิท / เอสพีอาร์ จะทำการเพลสและรูท ให้โดยอัตโนมัติ พร้อมทั้งทำ แพดรูท (pad route) และแพดเฟรม เจนเนอร์เรเตอร์ (padframe generator) ซึ่งมันจะทำการตรวจกฎต่างๆ โดย แอลอีดิท / ดีอาร์ซี พร้อมกันไปด้วย ก็จะได้ เลย์เอาท์ของวงจรออกมา

3.2.2 นำเลย์เอาท์ของวงจรมาทำเซอร์กิต เอกซ์แทรคชั่น (Circuit Extraction) โดยใช้ แอลอีดิท/ เอกซ์แทรคท์ (L-Edit/ Extract) จะได้เนทลิสท์ของเลย์เอาท์ออกมา

3.2.3 เปรียบเทียบจำนวนทรานซิสเตอร์ และ โหนด ของ วงจรเกท และเลย์เอาท์ ว่าตรงกัน หรือไม่ จากเนทลิสท์ที่ได้จากการทำลอจิก และเนทลิสท์ของเลย์เอาท์ โดยใช้แอลวีเอส (LVS)

3.2.4 นำไฟล์ เนทลิสท์ที่ได้จากข้อ 2 มาทำการซิมมูเลท โดยใช้ ที-สไปซ์ (T-Spice) เพื่อตรวจสอบลอจิกของวงจรเปรียบเทียบดูว่าตรงกับที่ซิมมูเลท จากวงจร ในระดับเกทหรือไม่

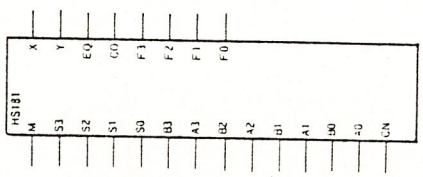


รูปที่ 3.1 แสดงขั้นตอนการออกแบบวงจรรวมโดยใช้ทูลส์ของแทนเนอร์

บทที่ 4
การทดองและผลการทดลอง

4.1 วงจรเอแอลยู (ALU : Arithmetic Logic Unit)

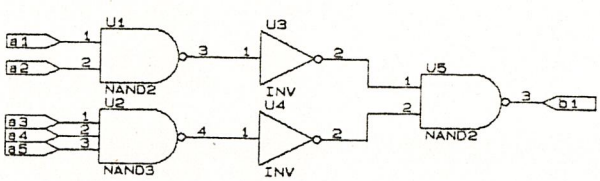
วงจรเอแอลยู นี้มีเกท อยู่ภายในประมาณ 100 เกท ดังรูป 4.1 ใช้ในการกระทำทางคณิตศาสตร์และตรรกหลายๆ อย่าง รูป 4.2 แสดงไอซีเอแอลยู เบอร์ 74HS181 ไอซี ตัวนี้สามารถ กระทำการทางคณิตศาสตร์ได้ 16 อย่าง ของเลขฐานสองขนาด 4 บิท ดังอธิบายไว้ในตาราง 4.1 และ 4.2 โดยการที่จะให้เอแอลยูตัวนี้ กระทำหน้าที่ใด สามารถกำหนดจากสายเลือกการทำงาน 4 สาย (S_0,S_1,S_2,S_3) ส่วนวิธีการเลือกอย่างไรนั้นได้อธิบายไว้ในตารางแล้ว



รูป 4.2 แสดงไอซี เอแอลยู เบอร์ 74HS181

4.1.1 เลย์เอาท์ของเซลล์ที่ต้องใช้

จากวงจรในรูป 4.1 จะเห็นได้ว่าใช้เกท ต่างๆ ดังนี้ อินเวอร์เตอร์ , แนนด์ 2 อินพุท , แนนด์ 3 อินพุท , แนนด์ 4 อินพุท , แนนด์ 6 อินพุท ทำเป็น 5 อินพุท , เอ็กซ์คลูซีฟออร์ และ อินพุท พอร์ท , เอาท์พุทพอร์ท แต่เมื่อมาตรวจกับสแตนดาร์ด เซล ไลบรารี่ ที่เลือกไว้ จะพบว่าไม่มี แนนด์เกท 5 อินพุท หรือ 6 อินพุท จึงต้องประยุกต์ ใช้ อินเวอร์เตอร์, แนนด์ 2 อินพุท และ 3 อินพุท แทน รูปที่ 4.3 แสดงวงจรสมมูลย์ของแนนด์เกท 5 อินพุท



รูป 4.3 แสดงวงจรสมมูลย์ ของแนนด์เกท 5 อินพุท

ดังนั้นจะเห็นว่าต้องใช้เลย์เอาท์ของเซลล์ต่อไปนี้ อินเวอร์เตอร์ , แนนด์ 2 อินพุท , แนนด์ 3 อินพุท , แนนด์ 4 อินพุท , เอ็กซ์คลูซีฟออร์ ซึ่งได้แสดงในรูป 4.4 - 4.8 โดยใช้สีในการ ระบุถึงชั้นสารต่างๆ ดังนี้

☐	โพลี	☐	เมททอล 2
☐	แอคทีฟ	☐	เอ็นเวล
☐	เมททอล 1	☐	พี ซีเล็กท์
☐	เอ็น ซีเล็กท์		เวีย (via)
☐	โพลี คอนแท็กต์	☐	แอคทีฟ คอนแท็กต์

รวมถึงต้องใช้ แพด ต่างๆ ดังนี้ อินพุท แพด , เอาท์พุท แพด , วีดีดี แพด และ กราวด์ แพด

4.2 การออกแบบผังวงวรเอแอลยู

การออกแบบผังวงจร เอแอลยู วิธีเซมิคัสตอม ดีไซน์ โดยใช้สแตนดาร์ด เซลไลบรารี่ เหตุผลที่เลือกวิธีนี้ ก็เนื่องมาจากข้อดีต่างๆ ที่มีเหนือวิธีการออกแบบอื่นๆ คือ สะดวก รวดเร็ว และ ใช้เนื้อที่ ของชิป อย่างมีประสิทธิภาพ

และจากคุณสมบัติของทรานซิสเตอร์แบบต่างๆ ที่ได้กล่าวมาแล้วในบทที่ 2 จะเห็นได้ว่า ซีมอส มีคุณสมบัติที่ดีที่สุด ดังนั้นจึงเลือกใช้ทรานซิสเตอร์ชนิดนี้ในการออกแบบวงจร โดยเลือกใช้เทคโนโลยีไฟล์ Morbn20d.tdb ซึ่งเป็นเทคโนโลยีเอสซีเอ็น (SCN : Scalable CMOS N-Well) มีค่าแลมบ์ด้าเท่ากับ 1 um

หลังจากกำหนดเทคโนโลยี ที่จะใช้ได้แล้ว ก็เริ่มทำขั้นตอนการออกแบบดังนี้

4.2.1 วาดวงจรโดยใช้สคิมเมติกไลบรารี่ ของออร์แคด จะได้วงจรดังรูป 4.9 โดยตั้งชื่อวงจรว่า ALU.SCH จากนั้นทำการแอนโนเทท (annotate) วงจรโดยใช้คำสั่งดังนี้

ANNOTATE ALU.SCH ALU.ANO /U

แล้วแปลงเป็นไวร์ ลิสท์ (wire list) เพื่อนำไปใช้ในขั้นตอนการซิมมูเลท และ การเพลท & รูทต่อไป โดยใช้คำสั่ง

NETLIST ALU.ANO ALU.WIR WIRELIST /S /A

จะได้เอาท์พุทไฟล์ ALU.WIR

4.2.2 ตรวจสอบวงจรด้วยเกทซิม โดยมีขั้นตอนดังนี้

4.2.2.1 สร้างอินพุทไฟล์ .NET โดยใช้ เนททรานแปลง ด้วยคำสั่ง

NETTRAN -M SIMMAP.MAC ALU.WIR -P ALU.TMP

โดย ALU.TMP เป็น มาโครไฟล์ (Macro file) และเอาท์พุทไฟล์ที่ได้คือ ALU.NET

4.2.2.2 สร้างอินพุท เวกเตอร์ แพทเทิร์น ไฟล์ .VEC

4.2.2.3 สร้างซิมมูเลท ไฟล์ .SIM

4.2.2.4 ทำการซิมมูเลทวงจร ด้วยคำสั่ง

GATESIM ALU

จากนั้นตรวจสอบดูเอาท์พุทที่ได้คือ ALU.OUT ว่าถูกต้องหรือไม่ ถ้าไม่ถูก ต้องทราบว่าเพราะเหตุใด และให้แก้ไขจุดนั้น

4.2.3 หลังจากตรวจสอบวงจรว่าถูกต้องแล้ว จึงสร้างไฟล์ .TPR (Tannet Place & Route) โดยใช้เนททรานแปลง เพื่อนำไปใช้ในการเพลทและรูท ด้วยคำสั่ง

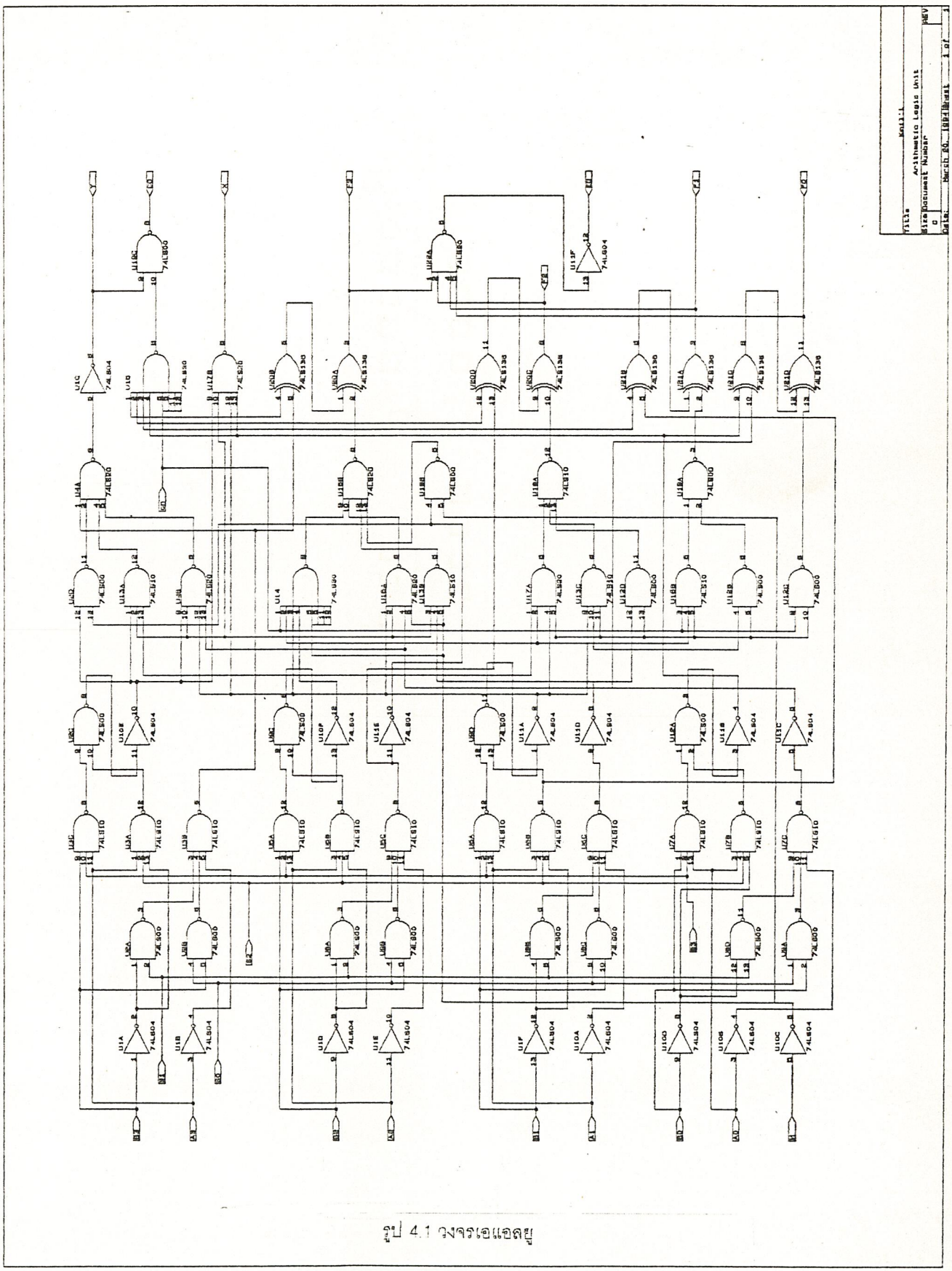
NETTRAN -M SCMOSTPR.MAC -P ALU.TMP ALU ALU.TPR

จะได้ไฟล์ ALU.TPR ซึ่งจะใช้แอลอีดิท / เอสพี ทำการเพลทและรูทให้จะได้เลย์เอาท์ ของวงจร ALU ออกมา (ALU.TDB)

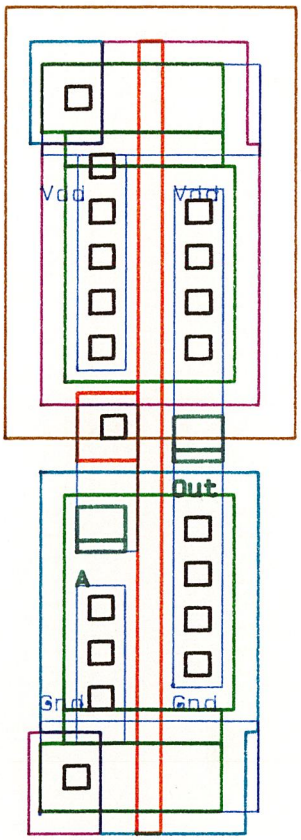
4.2.4 นำเลย์เอาท์ของวงจร ALU (ALU.TDB) มาทำเซอร์กิต เอกซ์แทรคชั่น โดยใช้แอลอีดิท / เอ็กซ์ แทรคท์ จะได้ ไฟล์ ALU.SPC (Spice) ออกมา

4.2.5 เปรียบเทียบจำนวนทรานซิสเตอร์ และ โหนด ของวงจรเกท และเลย์เอาท์ ว่าตรงกันหรือไม่ จากเนทลิสท์ของวงจรระดับเกท และ เนทลิสท์ของเลย์เอาท์ โดยใช้แอลวีเอส จะได้เอาท์พุท ไฟล์ ALU_CMP.OUT ซึ่งผลที่ได้ออกมา พบว่าตรงกัน

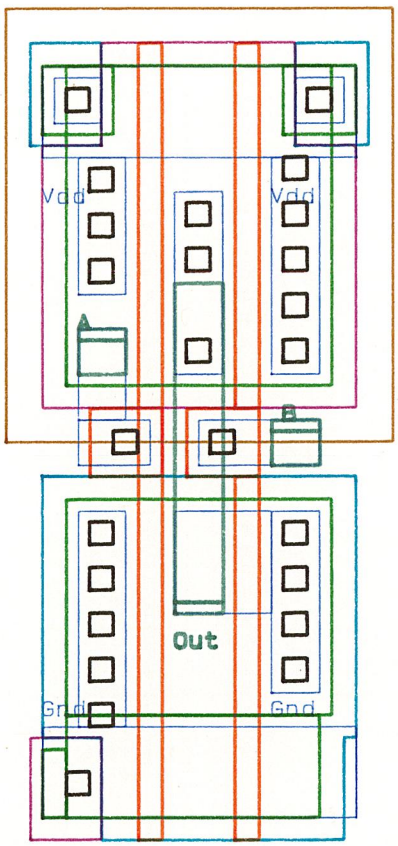
หมายเหตุ ไฟล์อินพุทและเอาท์พุทต่าง ๆ แสดงไว้ในภาคผนวก



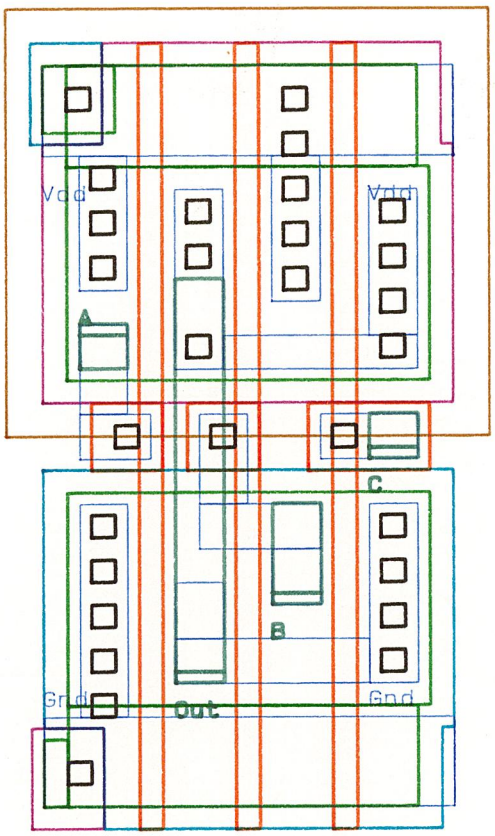
รูป 4.1 วงจรเอแอลยู



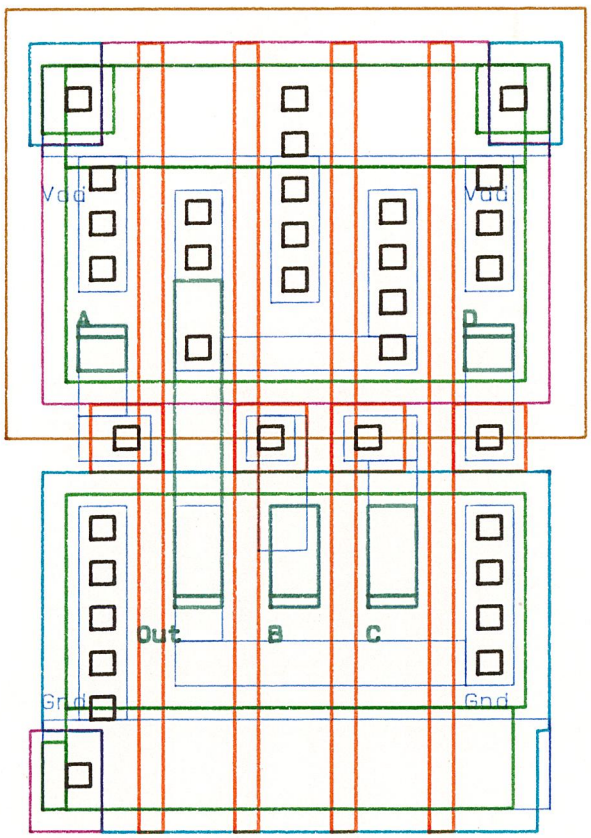
รูปที่ 4.4 เลย์เอาท์ของอินเวอร์เตอร์



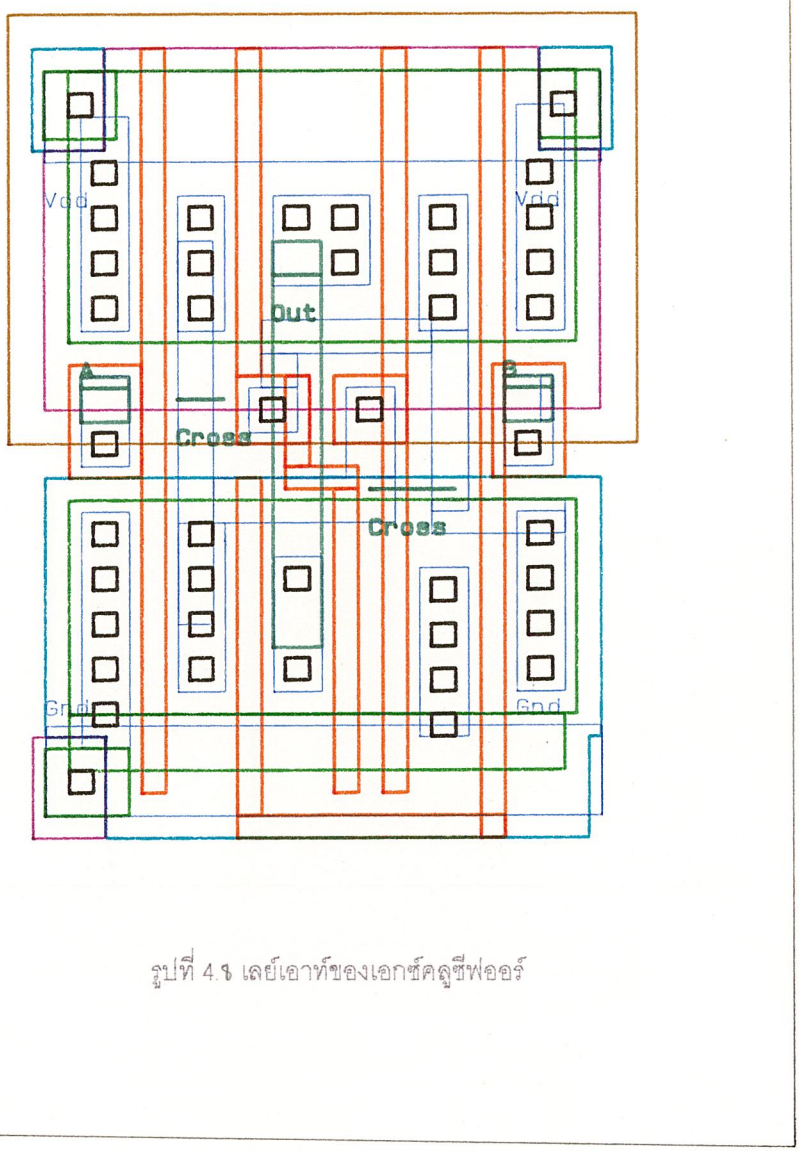
รูปที่ 4.5 เลย์เอาท์ของแนนด์ 2 อินพุท



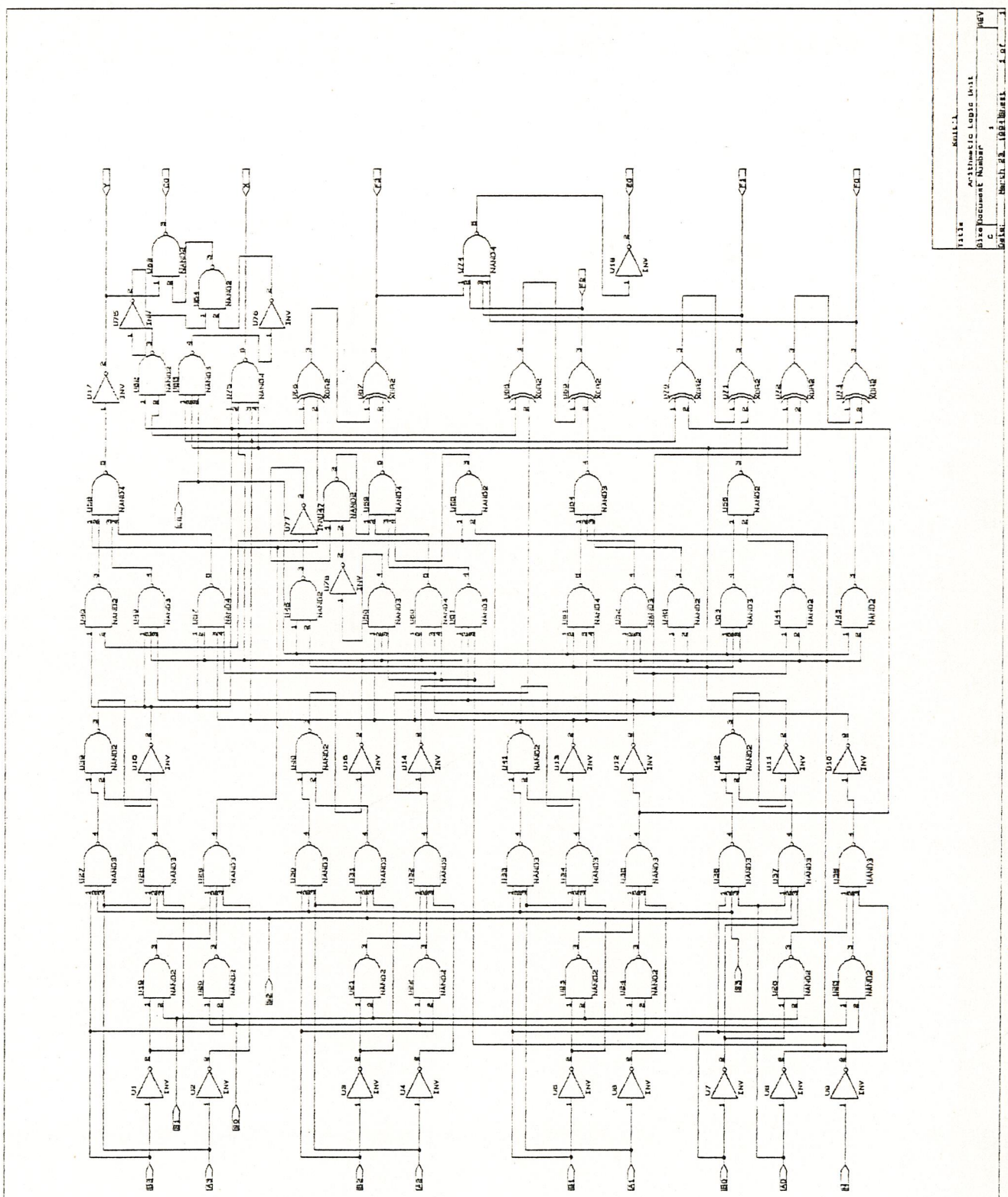
รูปที่ 4.6 เลย์เอาท์ของแนนด์ 3 อินพุท



รูปที่ 4.7 เลย์เอาท์ของแนนด์ 4 อินพุท



รูปที่ 4.1 เลย์เอาท์ของเอกซ์คลูซีฟออร์



รูป 4.9 วงจรเอแอลยูหลังการประยุกต์

ตาราง 4.1 แสดงถึงความสามารถของวงจรเอแอลยู(แอคทีฟ-โลว์ ดาต้า)

สายเลือกการทำงาน				แอคทีฟ-โลว์ ดาต้า		
				M=H	M=L ; กระทำทางคณิตศาสตร์	
S3	S2	S1	S0	ลอจิก ฟังก์ชั่น	Cn =L (ไม่มีตัวทด)	Cn=H (มีตัวทด)
L	L	L	L	$F = \overline{A}$	F = A ลบ 1	F = A
L	L	L	H	$F = \overline{AB}$	F = AB ลบ 1	F = AB
L	L	H	L	$F = \overline{A} + B$	F = A$\overline{B}$ ลบ 1	F = A$\overline{B}$
L	L	H	H	F = 1	F = ลบ1(2's comp)	F = ศูนย์
L	H	L	L	$F = \overline{A + B}$	F = A บวก (A+$\overline{B}$)	F = A บวก (A+$\overline{B}$)บวก 1
L	H	L	H	$F = \overline{B}$	F = AB บวก(A+$\overline{B}$)	F = AB บวก(A+$\overline{B}$) บวก 1
L	H	H	L	$F = \overline{A + B}$	F = A ลบ B ลบ 1	F = A ลบ B
L	H	H	H	$F = \overline{A} + B$	F = A + $\overline{B}$	F = (A+$\overline{B}$) บวก 1
H	L	L	L	$F = \overline{AB}$	F = A บวก(A+B)	F = A บวก (A+B) บวก 1
H	L	L	H	$F = \overline{A + B}$	F = A บวก B	F = A บวก B บวก 1
H	L	H	L	F = B	F = A$\overline{B}$ บวก(A+B)	F = A$\overline{B}$ บวก(A+B) บวก 1
H	L	H	H	F = A + B	F = (A+B)	F = (A+B) บวก 1
H	H	L	L	F = 0	F = A บวก A[a]	F = A บวก A บวก 1
H	H	L	H	$F = A\overline{B}$	F = AB บวก A	F = AB บวก A บวก 1
H	H	H	L	F = AB	F = A$\overline{B}$ บวก A	F = A$\overline{B}$ บวก A บวก 1
H	H	H	H	F = A	F = A	F = A บวก 1

[a] แต่ละบิทจะถูกเลื่อนไปยังตำแหน่งที่มีนัยสำคัญสูงกว่า

ตาราง 4.2 แสดงถึงความสามารถของวงจรเอแอลยู (แอคทีฟ-ไฮ ดาต้า)

สายเลือกการทำงาน				แอคทีฟ - ไฮ ดาต้า		
				M=H	M=L ; กระทำทางคณิตศาสตร์	
S3	S2	S1	S0	ลอจิก ฟังก์ชั่น	$\overline{Cn}$=H (ไม่มีตัวทด)	$\overline{Cn}$ =L (มีตัวทด)
L	L	L	L	$F = \overline{A}$	F = A	F = A บวก 1
L	L	L	H	$F = \overline{A + B}$	F = A + B	F = (A+B) บวก 1
L	L	H	L	$F = \overline{A}B$	F = A + $\overline{B}$	F = (A+$\overline{B}$) บวก 1
L	L	H	H	F = 0	F = ลบ1(2's comp)	F = ศูนย์
L	H	L	L	$F = \overline{AB}$	F = A บวก A$\overline{B}$	F = A บวก A$\overline{B}$ บวก 1
L	H	L	H	$F = \overline{B}$	F = (A+B) บวก A$\overline{B}$	F = (A+B) บวก $\overline{AB}$บวก 1
L	H	H	L	F = A + B	F = A ลบ B ลบ 1	F = A ลบ B
L	H	H	H	$F = A\overline{B}$	F = A$\overline{B}$ ลบ 1	F = A$\overline{B}$
H	L	L	L	$F = \overline{A} + B$	F = A บวก AB	F = A บวก AB บวก 1
H	L	L	H	$F = \overline{A + B}$	F = A บวก B	F = A บวก B บวก 1
H	L	H	L	F = B	F = (A+$\overline{B}$) บวก AB	F = (A+$\overline{B}$) บวก ABบวก 1
H	L	H	H	F = AB	F = AB ลบ 1	F = AB
H	H	L	L	F = 1	F = A บวก A[a]	F = A บวก A บวก 1
H	H	L	H	F = A + $\overline{B}$	F = (A+B) บวก A	F = (A+B) บวก A บวก 1
H	H	H	L	F = A + B	F = (A+$\overline{B}$) บวก A	F = (A+$\overline{B}$) บวก A บวก 1
H	H	H	H	F = A	F = A ลบ 1	F = A

บทที่ 5
สรุปและบทวิจารณ์

สรุป

การออกแบบเลย์เอาท์วงจรรวม ในปัจจุบันนี้ สามารถทำได้ง่าย และ รวดเร็ว เพราะมีการสร้าง และ พัฒนาซอฟต์แวร์ ที่สนับสนุน การออกแบบวงจรนี้มาก ผู้ใช้เพียงแต่ออกแบบวงจร ในระดับเกท แล้วใช้ซอฟต์แวร์ ช่วยแปลงให้เป็นเลย์เอาท์ ซึ่งเป็น ระดับล่างสุด ตัวเลย์เอาท์นี้ จะนำไปใช้เป็นแม่แบบ ในการผลิตซิลิกอนชิป ต่อไป ซึ่งจะต้องมีการปรับเลย์เอาท์ของเราให้มีความถูกต้อง สมบูรณ์ขึ้น โดยใช้เครื่องมืออื่นๆ เช่น การตรวจกฎ , การวางเส้นทางสายไฟ , การเปลี่ยนเลย์เอาท์ เป็นวงจร , การเลียนแบบเวลาในวงจร จะเป็นสิ่งสำคัญ ในการช่วยให้เลย์เอาท์ ของเรามีความถูกต้องยิ่งขึ้น ก่อนที่จะนำเลย์เอาท์นี้ ไปดำเนินการเป็นชิป ออกมาจริงๆ เพราะว่า การที่เราเช็คล่วงหน้า ได้มากที่สุดเท่าใด ว่าวงจรรวมของเราทำงานดีหรือไม่ ก็จะเป็นผลดีเท่านั้น เพราะการเช็คล่วงหน้า จะประหยัดเวลา และทรัพย์สิน มากกว่าที่จะไปทำเป็นชิปออกมาจริงๆ แล้วทดลอง ในประการหลังนี้ จะเสียเวลามากกว่ามาก เนื่องจากการทำชิปเป็น กระบวนการที่ยากกว่า และ ราคาแพงกว่าด้วย

บทวิจารณ์

ในการที่เราจะออกแบบเลย์เอาท์ให้ดี และ ถูกต้องนั้น จะต้องใช้เครื่องมืออื่นๆ ในการออกแบบอีกด้วย รูปเลย์เอาท์ที่ได้ออกมาจากเลย์เอาท์ อีดิเตอร์ นั้นไม่จำเป็นว่า ทุกรูปจะออกมาดีถึงขนาดที่ว่า นำไปเป็นแม่แบบ ในการทำซิลิกอนชิปได้เลย ซึ่งในความเป็นจริง โดยมากแล้ว ส่วนใหญ่ของเลย์เอาท์ จะไม่ทำงาน ตามที่เราต้องการ ถึงแม้ว่า จะผ่านการตรวจสอบแล้วว่าเลย์เอาท์นั้น ตรงกับวงจรต้นแบบ แต่ก็ไม่สามารถ ที่จะรับรองได้ว่า จะทำงานได้ถูกต้อง หรือบางรูป ก็ใช้พื้นที่มากเกินไปโดยไม่จำเป็น ดังนั้น ซอฟต์แวร์ ที่สร้าง และ พัฒนาออกมาเพื่อใช้ในการออกแบบเลย์เอาท์วงจรรวม ควรจะรับรองได้ด้วยว่า เลย์เอาท์นั้น สามารถทำงานได้ถูกต้องจริงๆ

ภาคผนวก
ไฟล์อินพุทและเอาท์พุท ต่าง ๆ

1. ALU.WIR

Wire List

Arithmetic Logic Unit Revised: March 23, 1994

1 Revision:

<<< Component List >>>

INV	U1	INV
INV	U2	INV
INV	U3	INV
INV	U4	INV
INV	U5	INV
INV	U6	INV
INV	U7	INV
INV	U8	INV
INV	U9	INV
INV	U10	INV
INV	U11	INV
INV	U12	INV
INV	U13	INV
INV	U14	INV
INV	U15	INV
INV	U16	INV
INV	U17	INV
INV	U18	INV
INV	U76	INV
INV	U77	INV
INV	U78	INV
INV	U79	INV
NAND2	U19	NAND2

NAND2	U20	NAND2
NAND2	U21	NAND2
NAND2	U22	NAND2
NAND2	U23	NAND2
NAND2	U24	NAND2
NAND2	U25	NAND2
NAND2	U26	NAND2
NAND2	U39	NAND2
NAND2	U40	NAND2
NAND2	U41	NAND2
NAND2	U42	NAND2
NAND2	U43	NAND2
NAND2	U44	NAND2
NAND2	U45	NAND2
NAND2	U46	NAND2
NAND2	U47	NAND2
NAND2	U48	NAND2
NAND2	U55	NAND2
NAND2	U56	NAND2
NAND2	U62	NAND2
NAND2	U63	NAND2
NAND2	U64	NAND2
NAND3	U27	NAND3
NAND3	U28	NAND3
NAND3	U29	NAND3
NAND3	U30	NAND3
NAND3	U31	NAND3
NAND3	U32	NAND3
NAND3	U33	NAND3
NAND3	U34	NAND3
NAND3	U35	NAND3
NAND3	U36	NAND3
NAND3	U37	NAND3
NAND3	U38	NAND3
NAND3	U49	NAND3

NAND3	U50	NAND3
NAND3	U51	NAND3
NAND3	U52	NAND3
NAND3	U53	NAND3
NAND3	U54	NAND3
NAND3	U65	NAND3
NAND4	U57	NAND4
NAND4	U58	NAND4
NAND4	U59	NAND4
NAND4	U60	NAND4
NAND4	U61	NAND4
NAND4	U74	NAND4
NAND4	U75	NAND4
XOR2	U66	XOR2
XOR2	U67	XOR2
XOR2	U68	XOR2
XOR2	U69	XOR2
XOR2	U70	XOR2
XOR2	U71	XOR2
XOR2	U72	XOR2
XOR2	U73	XOR2

<<< Wire List >>>

NODE	REFERENCE	PIN #	PIN NAME	PIN TYPE	PART VALUE
[00001] N00001					
	U39	1	I0	Input	NAND2
	U27	4	O	Output	NAND3
[00002] N00002					
	U48	1	I0	Input	NAND2
	U49	1	I0	Input	NAND3
	U15	2	O	Output	INV
	U57	1	I0	Input	NAND4

U62	1	I0	Input	NAND2
U75	1	I0	Input	NAND4
U66	1	I0	Input	XOR2

[00003] N00003

U58	1	I0	Input	NAND4
U29	4	O	Output	NAND3
U66	2	I1	Input	XOR2

[00004] N00004

U39	3	O	Output	NAND2
U15	1	I	Input	INV

[00005] N00005

U48	3	O	Output	NAND2
U58	2	I1	Input	NAND4

[00006] N00006

U39	2	I1	Input	NAND2
U28	4	O	Output	NAND3

[00007] N00007

U48	2	I1	Input	NAND2
U55	1	I0	Input	NAND2
U14	2	O	Output	INV

[00008] N00008

U58	5	O	Output	NAND4
U17	1	I	Input	INV

[00009] N00009

U58	3	I2	Input	NAND4
U49	4	O	Output	NAND3

[00010] N00010

U58	4	I3	Input	NAND4
U57	5	O	Output	NAND4

[00011] N00011

U76	2	O	Output	INV
U64	1	I0	Input	NAND2

[00012] N00012

U49	2	I1	Input	NAND3
U57	2	I1	Input	NAND4
U62	2	I1	Input	NAND2
U75	2	I1	Input	NAND4
U68	1	I0	Input	XOR2
U16	2	O	Output	INV
U50	2	I1	Input	NAND3
U60	2	I1	Input	NAND4
U51	1	I0	Input	NAND3

[00013] N00013

U62	3	O	Output	NAND2
U76	1	I	Input	INV

[00014] N00014

U19	3	O	Output	NAND2
U29	1	I0	Input	NAND3

[00015] N00015

U49	3	I2	Input	NAND3
U51	2	I1	Input	NAND3
U12	2	O	Output	INV
U45	1	I0	Input	NAND2

[00016] N00016

U28	3	I2	Input	NAND3
U1	2	O	Output	INV

U19	1	I0	Input	NAND2

[00017] N00017

U63	2	I1	Input	NAND2
U64	3	O	Output	NAND2

[00018] N00018

U65	1	I0	Input	NAND3
U57	3	I2	Input	NAND4
U50	1	I0	Input	NAND3
U75	3	I2	Input	NAND4
U70	1	I0	Input	XOR2
U60	1	I0	Input	NAND4
U13	2	O	Output	INV
U61	3	I2	Input	NAND4
U52	1	I0	Input	NAND3

[00019] N00019

U65	4	O	Output	NAND3
U77	1	I	Input	INV

[00020] N00020

U20	3	O	Output	NAND2
U29	2	I1	Input	NAND3

[00021] N00021

U29	3	I2	Input	NAND3
U2	2	O	Output	INV

[00022] N00022

U77	2	O	Output	INV
U64	2	I1	Input	NAND2

[00023] N00023

U40	1	I0	Input	NAND2

U30	4	O	Output	NAND3

[00024] N00024

U46	3	O	Output	NAND2
U78	1	I	Input	INV

[00025] N00025

U78	2	O	Output	INV
U47	1	I0	Input	NAND2

[00026] N00026

U40	3	O	Output	NAND2
U16	1	I	Input	INV

[00027] N00027

U46	2	I1	Input	NAND2
U61	2	I1	Input	NAND4
U11	2	O	Output	INV
U65	2	I1	Input	NAND3
U75	4	I3	Input	NAND4
U53	2	I1	Input	NAND3
U72	1	I0	Input	XOR2

[00028] N00028

U66	3	O	Output	XOR2
U67	1	I0	Input	XOR2

[00029] N00029

U40	2	I1	Input	NAND2
U31	4	O	Output	NAND3

[00030] N00030

U47	3	O	Output	NAND2
U59	1	I0	Input	NAND4

[00031] N00031

U79	2	O	Output	INV
U47	2	I1	Input	NAND2

[00032] N00032

U21	3	O	Output	NAND2
U32	1	I0	Input	NAND3

[00033] N00033

U31	3	I2	Input	NAND3
U3	2	O	Output	INV
U21	1	I0	Input	NAND2

[00034] N00034

U59	2	I1	Input	NAND4
U60	5	O	Output	NAND4

[00035] N00035

U50	4	O	Output	NAND3
U79	1	I	Input	INV

[00036] N00036

U59	5	O	Output	NAND4
U67	2	I1	Input	XOR2

[00037] N00037

U59	3	I2	Input	NAND4
U51	4	O	Output	NAND3

[00038] N00038

U59	4	I3	Input	NAND4
U55	3	O	Output	NAND2

[00039] N00039

U14	1	I	Input	INV

U68	2	I1	Input	XOR2
U32	4	O	Output	NAND3

[00040] N00040

U22	3	O	Output	NAND2
U32	2	I1	Input	NAND3

[00041] N00041

U32	3	I2	Input	NAND3
U4	2	O	Output	INV

[00042] N00042

U74	5	O	Output	NAND4
U18	1	I	Input	INV

[00043] N00043

U41	1	I0	Input	NAND2
U33	4	O	Output	NAND3

[00044] N00044

U41	3	O	Output	NAND2
U13	1	I	Input	INV

[00045] N00045

U68	3	O	Output	XOR2
U69	1	I0	Input	XOR2

[00046] N00046

U41	2	I1	Input	NAND2
U34	4	O	Output	NAND3

[00047] N00047

U23	3	O	Output	NAND2
U35	1	I0	Input	NAND3

[00048] N00048

U61	5	O	Output	NAND4
U54	1	I0	Input	NAND3

[00049] N00049

U34	3	I2	Input	NAND3
U5	2	O	Output	INV
U23	1	I0	Input	NAND2

[00050] N00050

U54	2	I1	Input	NAND3
U52	4	O	Output	NAND3

[00051] N00051

U54	4	O	Output	NAND3
U69	2	I1	Input	XOR2

[00052] N00052

U61	4	I3	Input	NAND4
U52	3	I2	Input	NAND3
U45	2	I1	Input	NAND2
U53	3	I2	Input	NAND3
U44	2	I1	Input	NAND2
U50	3	I2	Input	NAND3
U60	4	I3	Input	NAND4
U51	3	I2	Input	NAND3
U9	2	O	Output	INV
U55	2	I1	Input	NAND2
U43	2	I1	Input	NAND2

[00053] N00053

U54	3	I2	Input	NAND3
U45	3	O	Output	NAND2

[00054] N00054

U52	2	I1	Input	NAND3
U57	4	I3	Input	NAND4
U60	3	I2	Input	NAND4
U10	2	O	Output	INV
U72	2	I1	Input	XOR2
U44	1	I0	Input	NAND2

[00055] N00055

U24	3	O	Output	NAND2
U35	2	I1	Input	NAND3

[00056] N00056

U35	3	I2	Input	NAND3
U6	2	O	Output	INV

[00057] N00057

U70	3	O	Output	XOR2
U71	1	I0	Input	XOR2

[00058] N00058

U70	2	I1	Input	XOR2
U35	4	O	Output	NAND3
U12	1	I	Input	INV

[00059] N00059

U7	2	O	Output	INV
U26	1	I0	Input	NAND2
U37	3	I2	Input	NAND3

[00060] N00060

U42	1	I0	Input	NAND2
U36	4	O	Output	NAND3

[00061] N00061

U42	3	O	Output	NAND2

U11	1	I	Input	INV

[00062] N00062

U53	4	O	Output	NAND3
U56	1	I0	Input	NAND2

[00063] N00063

U42	2	I1	Input	NAND2
U37	4	O	Output	NAND3

[00064] N00064

U56	3	O	Output	NAND2
U71	2	I1	Input	XOR2

[00065] N00065

U56	2	I1	Input	NAND2
U44	3	O	Output	NAND2

[00066] N00066

U26	3	O	Output	NAND2
U38	1	I0	Input	NAND3

[00067] N00067

U72	3	O	Output	XOR2
U73	1	I0	Input	XOR2

[00068] N00068

U10	1	I	Input	INV
U38	4	O	Output	NAND3

[00069] N00069

U25	3	O	Output	NAND2
U38	2	I1	Input	NAND3

[00070] N00070

U43	3	O	Output	NAND2
U73	2	I1	Input	XOR2

[00071] N00071

U38	3	I2	Input	NAND3
U8	2	O	Output	INV

[00072] S3

U27	2	I1	Input	NAND3
U30	2	I1	Input	NAND3
U33	2	I1	Input	NAND3
U36	2	I1	Input	NAND3

[00073] A3

U27	3	I2	Input	NAND3
U28	1	I0	Input	NAND3
U2	1	I	Input	INV

[00074] Y

U17	2	O	Output	INV
U63	1	I0	Input	NAND2

[00075] B3

U20	2	I1	Input	NAND2
U27	1	I0	Input	NAND3
U1	1	I	Input	INV

[00076] S2

U28	2	I1	Input	NAND3
U31	2	I1	Input	NAND3
U34	2	I1	Input	NAND3
U37	2	I1	Input	NAND3

[00077] S1

U19	2	I1	Input	NAND2

U21	2	I1	Input	NAND2
U23	2	I1	Input	NAND2
U26	2	I1	Input	NAND2

[00078] CO

U63	3	O	Output	NAND2

[00079] CN

U65	3	I2	Input	NAND3
U46	1	I0	Input	NAND2
U61	1	I0	Input	NAND4
U53	1	I0	Input	NAND3
U43	1	I0	Input	NAND2

[00080] S0

U20	1	I0	Input	NAND2
U22	1	I0	Input	NAND2
U24	1	I0	Input	NAND2
U25	1	I0	Input	NAND2

[00081] X

U75	5	O	Output	NAND4

[00082] A2

U30	3	I2	Input	NAND3
U31	1	I0	Input	NAND3
U4	1	I	Input	INV

[00083] B2

U22	2	I1	Input	NAND2
U30	1	I0	Input	NAND3
U3	1	I	Input	INV

[00084] F3

U67	3	O	Output	XOR2

U74	1	I0	Input	NAND4

[00085] F2

U74	2	I1	Input	NAND4
U69	3	O	Output	XOR2

[00086] F1

U74	3	I2	Input	NAND4
U71	3	O	Output	XOR2

[00087] F0

U74	4	I3	Input	NAND4
U73	3	O	Output	XOR2

[00088] A1

U33	3	I2	Input	NAND3
U34	1	I0	Input	NAND3
U6	1	I	Input	INV

[00089] B1

U24	2	I1	Input	NAND2
U33	1	I0	Input	NAND3
U5	1	I	Input	INV

[00090] EQ

U18	2	O	Output	INV

[00091] B0

U36	1	I0	Input	NAND3
U25	2	I1	Input	NAND2
U7	1	I	Input	INV

[00092] A0

U36	3	I2	Input	NAND3
U37	1	I0	Input	NAND3

U8	1	I	Input	INV

[00093] VDD

U73	4	VDD	Power	XOR2
U43	4	VDD	Power	NAND2
U38	5	VDD	Power	NAND3
U25	4	VDD	Power	NAND2
U10	3	VDD	Power	INV
U9	3	VDD	Power	INV
U72	4	VDD	Power	XOR2
U44	4	VDD	Power	NAND2
U37	5	VDD	Power	NAND3
U26	4	VDD	Power	NAND2
U11	3	VDD	Power	INV
U8	3	VDD	Power	INV
U71	4	VDD	Power	XOR2
U56	4	VDD	Power	NAND2
U53	5	VDD	Power	NAND3
U42	4	VDD	Power	NAND2
U36	5	VDD	Power	NAND3
U7	3	VDD	Power	INV
U70	4	VDD	Power	XOR2
U45	4	VDD	Power	NAND2
U35	5	VDD	Power	NAND3
U24	4	VDD	Power	NAND2
U52	5	VDD	Power	NAND3
U12	3	VDD	Power	INV
U6	3	VDD	Power	INV
U18	3	VDD	Power	INV
U54	5	VDD	Power	NAND3
U69	4	VDD	Power	XOR2
U61	6	VDD	Power	NAND4
U34	5	VDD	Power	NAND3
U23	4	VDD	Power	NAND2
U13	3	VDD	Power	INV

U5	3	VDD	Power	INV
U68	4	VDD	Power	XOR2
U41	4	VDD	Power	NAND2
U33	5	VDD	Power	NAND3
U74	6	VDD	Power	NAND4
U55	4	VDD	Power	NAND2
U51	5	VDD	Power	NAND3
U60	6	VDD	Power	NAND4
U32	5	VDD	Power	NAND3
U22	4	VDD	Power	NAND2
U14	3	VDD	Power	INV
U4	3	VDD	Power	INV
U59	6	VDD	Power	NAND4
U50	5	VDD	Power	NAND3
U67	4	VDD	Power	XOR2
U31	5	VDD	Power	NAND3
U21	4	VDD	Power	NAND2
U16	3	VDD	Power	INV
U3	3	VDD	Power	INV
U79	3	VDD	Power	INV
U47	4	VDD	Power	NAND2
U66	4	VDD	Power	XOR2
U40	4	VDD	Power	NAND2
U30	5	VDD	Power	NAND3
U78	3	VDD	Power	INV
U46	4	VDD	Power	NAND2
U77	3	VDD	Power	INV
U75	6	VDD	Power	NAND4
U29	5	VDD	Power	NAND3
U20	4	VDD	Power	NAND2
U64	4	VDD	Power	NAND2
U57	6	VDD	Power	NAND4
U2	3	VDD	Power	INV
U65	5	VDD	Power	NAND3
U63	4	VDD	Power	NAND2

U28	5	VDD	Power	NAND3
U19	4	VDD	Power	NAND2
U62	4	VDD	Power	NAND2
U49	5	VDD	Power	NAND3
U15	3	VDD	Power	INV
U1	3	VDD	Power	INV
U76	3	VDD	Power	INV
U17	3	VDD	Power	INV
U58	6	VDD	Power	NAND4
U48	4	VDD	Power	NAND2
U39	4	VDD	Power	NAND2
U27	5	VDD	Power	NAND3

[00094] M

U9	1	I	Input	INV

[00095] GND

U73	5	GND	Power	XOR2
U43	5	GND	Power	NAND2
U38	6	GND	Power	NAND3
U25	5	GND	Power	NAND2
U10	4	GND	Power	INV
U9	4	GND	Power	INV
U72	5	GND	Power	XOR2
U44	5	GND	Power	NAND2
U37	6	GND	Power	NAND3
U26	5	GND	Power	NAND2
U11	4	GND	Power	INV
U8	4	GND	Power	INV
U71	5	GND	Power	XOR2
U56	5	GND	Power	NAND2
U53	6	GND	Power	NAND3
U42	5	GND	Power	NAND2
U36	6	GND	Power	NAND3
U7	4	GND	Power	INV

U70	5	GND	Power	XOR2
U45	5	GND	Power	NAND2
U35	6	GND	Power	NAND3
U24	5	GND	Power	NAND2
U52	6	GND	Power	NAND3
U12	4	GND	Power	INV
U6	4	GND	Power	INV
U18	4	GND	Power	INV
U54	6	GND	Power	NAND3
U69	5	GND	Power	XOR2
U61	7	GND	Power	NAND4
U34	6	GND	Power	NAND3
U23	5	GND	Power	NAND2
U13	4	GND	Power	INV
U5	4	GND	Power	INV
U68	5	GND	Power	XOR2
U41	5	GND	Power	NAND2
U33	6	GND	Power	NAND3
U74	7	GND	Power	NAND4
U55	5	GND	Power	NAND2
U51	6	GND	Power	NAND3
U60	7	GND	Power	NAND4
U32	6	GND	Power	NAND3
U22	5	GND	Power	NAND2
U14	4	GND	Power	INV
U4	4	GND	Power	INV
U59	7	GND	Power	NAND4
U50	6	GND	Power	NAND3
U67	5	GND	Power	XOR2
U31	6	GND	Power	NAND3
U21	5	GND	Power	NAND2
U16	4	GND	Power	INV
U3	4	GND	Power	INV
U79	4	GND	Power	INV
U47	5	GND	Power	NAND2

U66	5	GND	Power	XOR2
U40	5	GND	Power	NAND2
U30	6	GND	Power	NAND3
U78	4	GND	Power	INV
U46	5	GND	Power	NAND2
U77	4	GND	Power	INV
U75	7	GND	Power	NAND4
U29	6	GND	Power	NAND3
U20	5	GND	Power	NAND2
U64	5	GND	Power	NAND2
U57	7	GND	Power	NAND4
U2	4	GND	Power	INV
U65	6	GND	Power	NAND3
U63	5	GND	Power	NAND2
U28	6	GND	Power	NAND3
U19	5	GND	Power	NAND2
U62	5	GND	Power	NAND2
U49	6	GND	Power	NAND3
U15	4	GND	Power	INV
U1	4	GND	Power	INV
U76	4	GND	Power	INV
U17	4	GND	Power	INV
U58	7	GND	Power	NAND4
U48	5	GND	Power	NAND2
U39	5	GND	Power	NAND2
U27	6	GND	Power	NAND3

2. ALU.EDF

```
(EDIF ALU5_SCH
 (status
  (EDIFVersion 1 1 0)
  (EDIFLevel 0)
  (Written
   (TimeStamp 1994  3 21  9 40 52)
   (comment "The ABOVE TimeStamp is local time")
   (accounting Program "NETLIST.EXE")
   (accounting ProgramVersion "    V3.11  29-Jul-88")
   (comment "(C) Copyright 1985,1986,1987 OrCAD Systems Corporation  ALL RIGHTS RESERVED.")
   )
  )
 (external TTL_LIB)
 (external INTEL_LIB)
 (external ANALOG_LIB)
 (external SCHEMLB1_LIB)
 (external SCHEMLB2_LIB)
 (external SCHEMLB3_LIB)
 (external SCHEMLB4_LIB)
 (design ALU5_SCH (qualify lib root))
 (library lib
  (cell root
   (status
    (Written
     (TimeStamp 1994  3 19 19 35  2)
     (comment "The ABOVE TimeStamp is local time")
     (comment "    March 19, 1994")
     (comment "Sheet     1 of     1")
     (comment "DOCUMENT NUMBER  1")
     (comment "TITLE  Arithmetic Logic Unit")
     (comment "Kmit'l")
     )
    )
```

```
(view NETLIST root_NET
 (interface
  (define input port VDD)
  (define output port Y)
  (define input port GND)
  (define input port B3)
  (define output port CO)
  (define input port S1)
  (define input port CN)
  (define input port A3)
  (define input port S0)
  (define output port X)
  (define input port S2)
  (define input port B2)
  (define output port F3)
  (define input port A2)
  (define input port B1)
  (define output port F2)
  (define output port EQ)
  (define input port A1)
  (define input port B0)
  (define input port S3)
  (define output port F1)
  (define input port A0)
  (define input port M)
  (define output port F0)
 )
 (contents
  (instance (qualify SCHEMLB2_LIB INV) INV_NET U1)
  (instance (qualify SCHEMLB2_LIB INV) INV_NET U2)
  (instance (qualify SCHEMLB2_LIB INV) INV_NET U3)
  (instance (qualify SCHEMLB2_LIB INV) INV_NET U4)
  (instance (qualify SCHEMLB2_LIB INV) INV_NET U5)
  (instance (qualify SCHEMLB2_LIB INV) INV_NET U6)
  (instance (qualify SCHEMLB2_LIB INV) INV_NET U7)
```

(instance (qualify SCHEMLB2_LIB INV) INV_NET U8)

(instance (qualify SCHEMLB2_LIB INV) INV_NET U9)

(instance (qualify SCHEMLB2_LIB INV) INV_NET U10)

(instance (qualify SCHEMLB2_LIB INV) INV_NET U11)

(instance (qualify SCHEMLB2_LIB INV) INV_NET U12)

(instance (qualify SCHEMLB2_LIB INV) INV_NET U13)

(instance (qualify SCHEMLB2_LIB INV) INV_NET U14)

(instance (qualify SCHEMLB2_LIB INV) INV_NET U15)

(instance (qualify SCHEMLB2_LIB INV) INV_NET U16)

(instance (qualify SCHEMLB2_LIB INV) INV_NET U17)

(instance (qualify SCHEMLB2_LIB INV) INV_NET U18)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U19)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U20)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U21)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U22)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U23)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U24)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U25)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U26)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U27)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U28)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U29)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U30)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U31)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U32)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U33)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U34)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U35)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U36)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U37)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U38)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U39)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U40)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U41)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U42)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U43)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U44)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U45)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U46)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U47)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U48)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U49)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U50)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U51)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U52)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U53)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U54)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U55)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U56)

(instance (qualify SCHEMLB1_LIB NAND4) NAND4_NET U57)

(instance (qualify SCHEMLB1_LIB NAND4) NAND4_NET U58)

(instance (qualify SCHEMLB1_LIB NAND4) NAND4_NET U59)

(instance (qualify SCHEMLB1_LIB NAND4) NAND4_NET U60)

(instance (qualify SCHEMLB1_LIB NAND4) NAND4_NET U61)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U62)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U63)

(instance (qualify SCHEMLB1_LIB NAND2) NAND2_NET U64)

(instance (qualify SCHEMLB1_LIB NAND3) NAND3_NET U65)

(instance (qualify SCHEMLB1_LIB XOR2) XOR2_NET U66)

(instance (qualify SCHEMLB1_LIB XOR2) XOR2_NET U67)

(instance (qualify SCHEMLB1_LIB XOR2) XOR2_NET U68)

(instance (qualify SCHEMLB1_LIB XOR2) XOR2_NET U69)

(instance (qualify SCHEMLB1_LIB XOR2) XOR2_NET U70)

(instance (qualify SCHEMLB1_LIB XOR2) XOR2_NET U71)

(instance (qualify SCHEMLB1_LIB XOR2) XOR2_NET U72)

(instance (qualify SCHEMLB1_LIB XOR2) XOR2_NET U73)

(instance (qualify SCHEMLB1_LIB NAND4) NAND4_NET U74)

(instance (qualify SCHEMLB1_LIB NAND4) NAND4_NET U75)

(joined

(qualify U39 I0)

```
 (qualify U27 O)
 )
(joined
 (qualify U48 I0)
 (qualify U49 I0)
 (qualify U15 O)
 (qualify U57 I0)
 (qualify U62 I0)
 (qualify U75 I0)
 (qualify U66 I0)
 )
(joined
 (qualify U58 I0)
 (qualify U29 O)
 (qualify U66 I1)
 )
(joined
 (qualify U27 I1)
 (qualify U30 I1)
 (qualify U33 I1)
 S3
 (qualify U36 I1)
 )
(joined
 (qualify U39 O)
 (qualify U15 I)
 )
(joined
 (qualify U48 O)
 (qualify U58 I1)
 )
(joined
 (qualify U27 I2)
 A3
 (qualify U28 I0)
```

```
 (qualify U2 I)
 )
(joined
 (qualify U39 I1)
 (qualify U28 O)
 )
(joined
 (qualify U48 I1)
 (qualify U55 I0)
 (qualify U14 O)
 )
(joined
 (qualify U58 O)
 (qualify U17 I)
 )
(joined
 (qualify U17 O)
 (qualify U63 I0)
 Y
 )
(joined
 (qualify U58 I2)
 (qualify U49 O)
 )
(joined
 (qualify U58 I3)
 (qualify U57 O)
 )
(joined
 B3
 (qualify U20 I1)
 (qualify U27 I0)
 (qualify U1 I)
 )
(joined
```

```
 (qualify U49 I1)
 (qualify U57 I1)
 (qualify U62 I1)
 (qualify U75 I1)
 (qualify U68 I0)
 (qualify U16 O)
 (qualify U50 I1)
 (qualify U60 I1)
 (qualify U51 I0)
 )
(joined
 (qualify U62 O)
 (qualify U64 I0)
 )
(joined
 (qualify U19 O)
 (qualify U29 I0)
 )
(joined
 (qualify U28 I1)
 S2
 (qualify U31 I1)
 (qualify U34 I1)
 (qualify U37 I1)
 )
(joined
 (qualify U49 I2)
 (qualify U51 I1)
 (qualify U12 O)
 (qualify U45 I0)
 )
(joined
 (qualify U19 I1)
 S1
 (qualify U21 I1)
```

```
 (qualify U23 I1)
 (qualify U26 I1)
 )
(joined
 (qualify U28 I2)
 (qualify U1 O)
 (qualify U19 I0)
 )
(joined
 (qualify U63 O)
 CO
 )
(joined
 (qualify U63 I1)
 (qualify U64 O)
 )
(joined
 CN
 (qualify U65 I2)
 (qualify U46 I0)
 (qualify U61 I0)
 (qualify U53 I0)
 (qualify U43 I0)
 )
(joined
 (qualify U65 I0)
 (qualify U57 I2)
 (qualify U50 I0)
 (qualify U75 I2)
 (qualify U70 I0)
 (qualify U60 I0)
 (qualify U13 O)
 (qualify U61 I2)
 (qualify U52 I0)
)
```

```
(joined
 (qualify U65 O)
 (qualify U64 I1)
 )
(joined
 (qualify U20 I0)
 S0
 (qualify U22 I0)
 (qualify U24 I0)
 (qualify U25 I0)
 )
(joined
 (qualify U20 O)
 (qualify U29 I1)
 )
(joined
 (qualify U29 I2)
 (qualify U2 O)
 )
(joined
 (qualify U75 O)
 X
 )
(joined
 (qualify U40 I0)
 (qualify U30 O)
 )
(joined
 (qualify U46 O)
 (qualify U47 I0)
 )
(joined
 (qualify U40 O)
 (qualify U16 I)
 )
```

```
(joined
 (qualify U46 I1)
 (qualify U61 I1)
 (qualify U11 O)
 (qualify U65 I1)
 (qualify U75 I3)
 (qualify U53 I1)
 (qualify U72 I0)
 )
(joined
 (qualify U66 O)
 (qualify U67 I0)
 )
(joined
 (qualify U30 I2)
 A2
 (qualify U31 I0)
 (qualify U4 I)
 )
(joined
 (qualify U40 I1)
 (qualify U31 O)
 )
(joined
 (qualify U47 O)
 (qualify U59 I0)
 )
(joined
 (qualify U47 I1)
 (qualify U50 O)
 )
(joined
 B2
 (qualify U22 I1)
 (qualify U30 I0)
```

```
 (qualify U3 I)
 )
(joined
 (qualify U21 O)
 (qualify U32 I0)
 )
(joined
 (qualify U31 I2)
 (qualify U3 O)
 (qualify U21 I0)
 )
(joined
 (qualify U59 I1)
 (qualify U60 O)
 )
(joined
 (qualify U67 O)
 (qualify U74 I0)
 F3
 )
(joined
 (qualify U59 O)
 (qualify U67 I1)
 )
(joined
 (qualify U59 I2)
 (qualify U51 O)
 )
(joined
 (qualify U59 I3)
 (qualify U55 O)
 )
(joined
 (qualify U14 I)
 (qualify U68 I1)
```

```
 (qualify U32 O)
 )
(joined
 (qualify U22 O)
 (qualify U32 I1)
 )
(joined
 (qualify U32 I2)
 (qualify U4 O)
 )
(joined
 (qualify U74 I1)
 (qualify U69 O)
 F2
 )
(joined
 (qualify U74 O)
 (qualify U18 I)
 )
(joined
 (qualify U74 I2)
 (qualify U71 O)
 F1
 )
(joined
 (qualify U74 I3)
 (qualify U73 O)
 F0
 )
(joined
 (qualify U41 I0)
 (qualify U33 O)
 )
(joined
 (qualify U41 O)
```

```
 (qualify U13 I)
 )
 (joined
 (qualify U68 O)
 (qualify U69 I0)
 )
 (joined
 (qualify U33 I2)
 A1
 (qualify U34 I0)
 (qualify U6 I)
 )
 (joined
 (qualify U41 I1)
 (qualify U34 O)
 )
 (joined
 B1
 (qualify U24 I1)
 (qualify U33 I0)
 (qualify U5 I)
 )
 (joined
 (qualify U23 O)
 (qualify U35 I0)
 )
 (joined
 (qualify U61 O)
 (qualify U54 I0)
 )
 (joined
 (qualify U34 I2)
 (qualify U5 O)
 (qualify U23 I0)
 )
```

```
(joined
 (qualify U54 I1)
 (qualify U52 O)
 )
(joined
 (qualify U54 O)
 (qualify U69 I1)
 )
(joined
 (qualify U61 I3)
 (qualify U52 I2)
 (qualify U45 I1)
 (qualify U53 I2)
 (qualify U44 I1)
 (qualify U50 I2)
 (qualify U60 I3)
 (qualify U51 I2)
 (qualify U9 O)
 (qualify U55 I1)
 (qualify U43 I1)
 )
(joined
 (qualify U54 I2)
 (qualify U45 O)
 )
(joined
 (qualify U18 O)
 EQ
 )
(joined
 (qualify U52 I1)
 (qualify U57 I3)
 (qualify U60 I2)
 (qualify U10 O)
 (qualify U72 I1)
```

```
 (qualify U44 I0)
 )
(joined
 (qualify U24 O)
 (qualify U35 I1)
 )
(joined
 (qualify U35 I2)
 (qualify U6 O)
 )
(joined
 (qualify U70 O)
 (qualify U71 I0)
 )
(joined
 (qualify U70 I1)
 (qualify U35 O)
 (qualify U12 I)
 )
(joined
 B0
 (qualify U36 I0)
 (qualify U25 I1)
 (qualify U7 I)
 )
(joined
 (qualify U7 O)
 (qualify U26 I0)
 (qualify U37 I2)
 )
(joined
 (qualify U42 I0)
 (qualify U36 O)
 )
(joined
```

```
(qualify U42 O)
(qualify U11 I)
)
(joined
(qualify U53 O)
(qualify U56 I0)
)
(joined
(qualify U36 I2)
A0
(qualify U37 I0)
(qualify U8 I)
)
(joined
(qualify U42 I1)
(qualify U37 O)
)
(joined
(qualify U56 O)
(qualify U71 I1)
)
(joined
(qualify U56 I1)
(qualify U44 O)
)
(joined
(qualify U26 O)
(qualify U38 I0)
)
(joined
(qualify U72 O)
(qualify U73 I0)
)
(joined
(qualify U73 VDD)
```

(qualify U43 VDD)

(qualify U38 VDD)

(qualify U25 VDD)

(qualify U10 VDD)

(qualify U9 VDD)

(qualify U72 VDD)

(qualify U44 VDD)

(qualify U37 VDD)

(qualify U26 VDD)

(qualify U11 VDD)

(qualify U8 VDD)

(qualify U71 VDD)

(qualify U56 VDD)

(qualify U53 VDD)

(qualify U42 VDD)

(qualify U36 VDD)

(qualify U7 VDD)

(qualify U70 VDD)

(qualify U45 VDD)

(qualify U35 VDD)

(qualify U24 VDD)

(qualify U52 VDD)

(qualify U12 VDD)

(qualify U6 VDD)

(qualify U18 VDD)

(qualify U54 VDD)

(qualify U69 VDD)

(qualify U61 VDD)

(qualify U34 VDD)

(qualify U23 VDD)

(qualify U13 VDD)

(qualify U5 VDD)

(qualify U68 VDD)

(qualify U41 VDD)

(qualify U33 VDD)

(qualify U74 VDD)

(qualify U55 VDD)

(qualify U51 VDD)

(qualify U60 VDD)

(qualify U32 VDD)

(qualify U22 VDD)

(qualify U14 VDD)

(qualify U4 VDD)

(qualify U59 VDD)

(qualify U50 VDD)

(qualify U67 VDD)

(qualify U31 VDD)

(qualify U21 VDD)

(qualify U16 VDD)

(qualify U3 VDD)

(qualify U47 VDD)

(qualify U66 VDD)

(qualify U40 VDD)

(qualify U30 VDD)

(qualify U46 VDD)

(qualify U75 VDD)

(qualify U29 VDD)

(qualify U20 VDD)

(qualify U64 VDD)

(qualify U57 VDD)

(qualify U2 VDD)

(qualify U65 VDD)

(qualify U63 VDD)

(qualify U28 VDD)

(qualify U19 VDD)

(qualify U62 VDD)

(qualify U49 VDD)

(qualify U15 VDD)

(qualify U1 VDD)

(qualify U17 VDD)

```
 (qualify U58 VDD)
 (qualify U48 VDD)
 (qualify U39 VDD)
 VDD
 (qualify U27 VDD)
 )
(joined
 M
 (qualify U9 I)
 )
(joined
 (qualify U10 I)
 (qualify U38 O)
 )
(joined
 (qualify U25 O)
 (qualify U38 I1)
 )
(joined
 (qualify U43 O)
 (qualify U73 I1)
 )
(joined
 (qualify U38 I2)
 (qualify U8 O)
 )
(joined
 (qualify U73 GND)
 (qualify U43 GND)
 (qualify U38 GND)
 (qualify U25 GND)
 (qualify U10 GND)
 (qualify U9 GND)
 (qualify U72 GND)
 (qualify U44 GND)
```

```
(qualify U37 GND)
(qualify U26 GND)
(qualify U11 GND)
(qualify U8 GND)
(qualify U71 GND)
(qualify U56 GND)
(qualify U53 GND)
(qualify U42 GND)
(qualify U36 GND)
(qualify U7 GND)
(qualify U70 GND)
(qualify U45 GND)
(qualify U35 GND)
(qualify U24 GND)
(qualify U52 GND)
(qualify U12 GND)
(qualify U6 GND)
(qualify U18 GND)
(qualify U54 GND)
(qualify U69 GND)
(qualify U61 GND)
(qualify U34 GND)
(qualify U23 GND)
(qualify U13 GND)
(qualify U5 GND)
(qualify U68 GND)
(qualify U41 GND)
(qualify U33 GND)
(qualify U74 GND)
(qualify U55 GND)
(qualify U51 GND)
(qualify U60 GND)
(qualify U32 GND)
(qualify U22 GND)
(qualify U14 GND)
```

```
(qualify U4 GND)
(qualify U59 GND)
(qualify U50 GND)
(qualify U67 GND)
(qualify U31 GND)
(qualify U21 GND)
(qualify U16 GND)
(qualify U3 GND)
(qualify U47 GND)
(qualify U66 GND)
(qualify U40 GND)
(qualify U30 GND)
(qualify U46 GND)
(qualify U75 GND)
(qualify U29 GND)
(qualify U20 GND)
(qualify U64 GND)
(qualify U57 GND)
(qualify U2 GND)
(qualify U65 GND)
(qualify U63 GND)
(qualify U28 GND)
(qualify U19 GND)
(qualify U62 GND)
(qualify U49 GND)
(qualify U15 GND)
(qualify U1 GND)
(qualify U17 GND)
(qualify U58 GND)
(qualify U48 GND)
(qualify U39 GND)
GND
(qualify U27 GND)
)
)
```

)

)

)

)

3. ALU.TMP

```
$
$ INV – INVERTER
$
.macro  SCMOS_INV  A OUT
.cellcnt 6
"C Inv Out A;"
"U" @ " " OUT A ";"
.eom  SCMOS_INV
$
$
$ XOR2 – 2 INPUT XOR
$
.macro  SCMOS_XOR2  A B OUT
.cellcnt 27
"C XOr2 Out A B;"
"U" @ " " OUT A B ";"
.eom  SCMOS_XOR2
$
$
$ NAND2 – 2 INPUT NAND
$
.macro  SCMOS_NAND2  A B OUT
.cellcnt 12
"C Nand2 Out A B;"
"U" @ " " OUT A B ";"
.eom  SCMOS_NAND2
$
$
$ NAND3 – 3 INPUT NAND
$
.macro  SCMOS_NAND3  A B C OUT
.cellcnt 18
"C Nand3 Out A B C;"
```

```
"U" @ " " OUT A B C ";"
.eom  SCMOS_NAND3
$
$
$ NAND4 – 4 INPUT NAND
$
.macro  SCMOS_NAND4  A B C D OUT
.cellcnt 24
"C Nand4 Out A B C D;"
"U" @ " " OUT A B C D ";"
.eom  SCMOS_NAND4
$
$
$ XOR2 – Exclusive OR
$
.macro VIB_XOR2 A B OUT
<0 SCMOS_XOR2 A B OUT
.eom
$
$
$ INV – Inverter
$
.macro VIB_INV A OUT
<0 SCMOS_INV A OUT
.eom
$
$
$ NAND2 – 2 Input NAND Gate
$
.macro VIB_NAND2 A B OUT
<0 SCMOS_NAND2 A B OUT
.eom
$
$
$ NAND3 – 3 Input NAND Gate
```

```
$
.macro VIB_NAND3 A B C OUT
<0 SCMOS_NAND3 A B C OUT
.eom
$
$
$ NAND4 – 4 Input NAND Gate
$
.macro VIB_NAND4 A B C D OUT
<0 SCMOS_NAND4 A B C D OUT
.eom
$ NAND2 - Two input NAND gate.
$
.macro NAND2 A B OUT VDD GND
.output OUT
<0 VIB_NAND2 A B OUT
.eom NAND2
$ NAND3 - Three input NAND gate.
$
.macro NAND3 A B C OUT VDD GND
.output OUT
<0 VIB_NAND3 A B C OUT
.eom NAND3
$ NAND4 - Four input NAND gate.
$
.macro NAND4 A B C D OUT VDD GND
.output OUT
<0 VIB_NAND4 A B C D OUT
.eom NAND4
$ INV - 1x inverting buffer.
$
.macro INV A ABAR VDD GND
.output ABAR
<0 VIB_INV A ABAR
.eom INV
```

```
$ XOR2 - 2-input exclusive-OR gate.
$
.macro XOR2 A B Q VDD GND
.output Q
<0 VIB_XOR2 A B Q
.eom XOR2
```

4. ALU.NET

```
$ U1=INV B3 U1_P2 VDD GND
U1_P2 .INV B3
$ end of U1
$ U2=INV A3 U2_P2 VDD GND
U2_P2 .INV A3
$ end of U2
$ U3=INV B2 U3_P2 VDD GND
U3_P2 .INV B2
$ end of U3
$ U4=INV A2 U4_P2 VDD GND
U4_P2 .INV A2
$ end of U4
$ U5=INV B1 U5_P2 VDD GND
U5_P2 .INV B1
$ end of U5
$ U6=INV A1 U6_P2 VDD GND
U6_P2 .INV A1
$ end of U6
$ U7=INV B0 U7_P2 VDD GND
U7_P2 .INV B0
$ end of U7
$ U8=INV A0 U8_P2 VDD GND
U8_P2 .INV A0
$ end of U8
$ U9=INV M U9_P2 VDD GND
U9_P2 .INV M
$ end of U9
$ U10=INV U38_P4 U10_P2 VDD GND
U10_P2 .INV U38_P4
$ end of U10
$ U11=INV U42_P3 U11_P2 VDD GND
U11_P2 .INV U42_P3
$ end of U11
```

```
$ U12=INV U35_P4 U12_P2 VDD GND
U12_P2 .INV U35_P4
$ end of U12
$ U13=INV U41_P3 U13_P2 VDD GND
U13_P2 .INV U41_P3
$ end of U13
$ U14=INV U32_P4 U14_P2 VDD GND
U14_P2 .INV U32_P4
$ end of U14
$ U15=INV U39_P3 U15_P2 VDD GND
U15_P2 .INV U39_P3
$ end of U15
$ U16=INV U40_P3 U16_P2 VDD GND
U16_P2 .INV U40_P3
$ end of U16
$ U17=INV U58_P5 Y VDD GND
Y .INV U58_P5
$ end of U17
$ U18=INV U74_P5 EQ VDD GND
EQ .INV U74_P5
$ end of U18
$ U76=INV U62_P3 U76_P2 VDD GND
U76_P2 .INV U62_P3
$ end of U76
$ U77=INV U65_P4 U77_P2 VDD GND
U77_P2 .INV U65_P4
$ end of U77
$ U78=INV U46_P3 U78_P2 VDD GND
U78_P2 .INV U46_P3
$ end of U78
$ U79=INV U50_P4 U79_P2 VDD GND
U79_P2 .INV U50_P4
$ end of U79
$ U19=NAND2 U1_P2 S1 U19_P3 VDD GND
U19_P3 .NAND U1_P2 S1
```

```
$ end of U19
$ U20=NAND2 S0 B3 U20_P3 VDD GND
U20_P3 .NAND S0 B3
$ end of U20
$ U21=NAND2 U3_P2 S1 U21_P3 VDD GND
U21_P3 .NAND U3_P2 S1
$ end of U21
$ U22=NAND2 S0 B2 U22_P3 VDD GND
U22_P3 .NAND S0 B2
$ end of U22
$ U23=NAND2 U5_P2 S1 U23_P3 VDD GND
U23_P3 .NAND U5_P2 S1
$ end of U23
$ U24=NAND2 S0 B1 U24_P3 VDD GND
U24_P3 .NAND S0 B1
$ end of U24
$ U25=NAND2 S0 B0 U25_P3 VDD GND
U25_P3 .NAND S0 B0
$ end of U25
$ U26=NAND2 U7_P2 S1 U26_P3 VDD GND
U26_P3 .NAND U7_P2 S1
$ end of U26
$ U39=NAND2 U27_P4 U28_P4 U39_P3 VDD GND
U39_P3 .NAND U27_P4 U28_P4
$ end of U39
$ U40=NAND2 U30_P4 U31_P4 U40_P3 VDD GND
U40_P3 .NAND U30_P4 U31_P4
$ end of U40
$ U41=NAND2 U33_P4 U34_P4 U41_P3 VDD GND
U41_P3 .NAND U33_P4 U34_P4
$ end of U41
$ U42=NAND2 U36_P4 U37_P4 U42_P3 VDD GND
U42_P3 .NAND U36_P4 U37_P4
$ end of U42
$ U43=NAND2 CN U9_P2 U43_P3 VDD GND
```

```
U43_P3 .NAND CN U9_P2
$ end of U43
$ U44=NAND2 U10_P2 U9_P2 U44_P3 VDD GND
U44_P3 .NAND U10_P2 U9_P2
$ end of U44
$ U45=NAND2 U12_P2 U9_P2 U45_P3 VDD GND
U45_P3 .NAND U12_P2 U9_P2
$ end of U45
$ U46=NAND2 CN U11_P2 U46_P3 VDD GND
U46_P3 .NAND CN U11_P2
$ end of U46
$ U47=NAND2 U78_P2 U79_P2 U47_P3 VDD GND
U47_P3 .NAND U78_P2 U79_P2
$ end of U47
$ U48=NAND2 U15_P2 U14_P2 U48_P3 VDD GND
U48_P3 .NAND U15_P2 U14_P2
$ end of U48
$ U55=NAND2 U14_P2 U9_P2 U55_P3 VDD GND
U55_P3 .NAND U14_P2 U9_P2
$ end of U55
$ U56=NAND2 U53_P4 U44_P3 U56_P3 VDD GND
U56_P3 .NAND U53_P4 U44_P3
$ end of U56
$ U62=NAND2 U15_P2 U16_P2 U62_P3 VDD GND
U62_P3 .NAND U15_P2 U16_P2
$ end of U62
$ U63=NAND2 Y U64_P3 CO VDD GND
CO .NAND Y U64_P3
$ end of U63
$ U64=NAND2 U76_P2 U77_P2 U64_P3 VDD GND
U64_P3 .NAND U76_P2 U77_P2
$ end of U64
$ U27=NAND3 B3 S3 A3 U27_P4 VDD GND
U27_P4 .NAND B3 S3 A3
$ end of U27
```

```
$ U28=NAND3 A3 S2 U1_P2 U28_P4 VDD GND
U28_P4 .NAND A3 S2 U1_P2
$ end of U28
$ U29=NAND3 U19_P3 U20_P3 U2_P2 U29_P4 VDD GND
U29_P4 .NAND U19_P3 U20_P3 U2_P2
$ end of U29
$ U30=NAND3 B2 S3 A2 U30_P4 VDD GND
U30_P4 .NAND B2 S3 A2
$ end of U30
$ U31=NAND3 A2 S2 U3_P2 U31_P4 VDD GND
U31_P4 .NAND A2 S2 U3_P2
$ end of U31
$ U32=NAND3 U21_P3 U22_P3 U4_P2 U32_P4 VDD GND
U32_P4 .NAND U21_P3 U22_P3 U4_P2
$ end of U32
$ U33=NAND3 B1 S3 A1 U33_P4 VDD GND
U33_P4 .NAND B1 S3 A1
$ end of U33
$ U34=NAND3 A1 S2 U5_P2 U34_P4 VDD GND
U34_P4 .NAND A1 S2 U5_P2
$ end of U34
$ U35=NAND3 U23_P3 U24_P3 U6_P2 U35_P4 VDD GND
U35_P4 .NAND U23_P3 U24_P3 U6_P2
$ end of U35
$ U36=NAND3 B0 S3 A0 U36_P4 VDD GND
U36_P4 .NAND B0 S3 A0
$ end of U36
$ U37=NAND3 A0 S2 U7_P2 U37_P4 VDD GND
U37_P4 .NAND A0 S2 U7_P2
$ end of U37
$ U38=NAND3 U26_P3 U25_P3 U8_P2 U38_P4 VDD GND
U38_P4 .NAND U26_P3 U25_P3 U8_P2
$ end of U38
$ U49=NAND3 U15_P2 U16_P2 U12_P2 U49_P4 VDD GND
U49_P4 .NAND U15_P2 U16_P2 U12_P2
```

```
$ end of U49
$ U50=NAND3 U13_P2 U16_P2 U9_P2 U50_P4 VDD GND
U50_P4 .NAND U13_P2 U16_P2 U9_P2
$ end of U50
$ U51=NAND3 U16_P2 U12_P2 U9_P2 U51_P4 VDD GND
U51_P4 .NAND U16_P2 U12_P2 U9_P2
$ end of U51
$ U52=NAND3 U13_P2 U10_P2 U9_P2 U52_P4 VDD GND
U52_P4 .NAND U13_P2 U10_P2 U9_P2
$ end of U52
$ U53=NAND3 CN U11_P2 U9_P2 U53_P4 VDD GND
U53_P4 .NAND CN U11_P2 U9_P2
$ end of U53
$ U54=NAND3 U61_P5 U52_P4 U45_P3 U54_P4 VDD GND
U54_P4 .NAND U61_P5 U52_P4 U45_P3
$ end of U54
$ U65=NAND3 U13_P2 U11_P2 CN U65_P4 VDD GND
U65_P4 .NAND U13_P2 U11_P2 CN
$ end of U65
$ U57=NAND4 U15_P2 U16_P2 U13_P2 U10_P2 U57_P5 VDD GND
U57_P5 .NAND U15_P2 U16_P2 U13_P2 U10_P2
$ end of U57
$ U58=NAND4 U29_P4 U48_P3 U49_P4 U57_P5 U58_P5 VDD GND
U58_P5 .NAND U29_P4 U48_P3 U49_P4 U57_P5
$ end of U58
$ U59=NAND4 U47_P3 U60_P5 U51_P4 U55_P3 U59_P5 VDD GND
U59_P5 .NAND U47_P3 U60_P5 U51_P4 U55_P3
$ end of U59
$ U60=NAND4 U13_P2 U16_P2 U10_P2 U9_P2 U60_P5 VDD GND
U60_P5 .NAND U13_P2 U16_P2 U10_P2 U9_P2
$ end of U60
$ U61=NAND4 CN U11_P2 U13_P2 U9_P2 U61_P5 VDD GND
U61_P5 .NAND CN U11_P2 U13_P2 U9_P2
$ end of U61
$ U74=NAND4 F3 F2 F1 F0 U74_P5 VDD GND
```

```
U74_P5 .NAND F3 F2 F1 F0
$ end of U74
$ U75=NAND4 U15_P2 U16_P2 U13_P2 U11_P2 X VDD GND
X .NAND U15_P2 U16_P2 U13_P2 U11_P2
$ end of U75
$ U66=XOR2 U15_P2 U29_P4 U66_P3 VDD GND
U66_P3 .XOR U15_P2 U29_P4
$ end of U66
$ U67=XOR2 U66_P3 U59_P5 F3 VDD GND
F3 .XOR U66_P3 U59_P5
$ end of U67
$ U68=XOR2 U16_P2 U32_P4 U68_P3 VDD GND
U68_P3 .XOR U16_P2 U32_P4
$ end of U68
$ U69=XOR2 U68_P3 U54_P4 F2 VDD GND
F2 .XOR U68_P3 U54_P4
$ end of U69
$ U70=XOR2 U13_P2 U35_P4 U70_P3 VDD GND
U70_P3 .XOR U13_P2 U35_P4
$ end of U70
$ U71=XOR2 U70_P3 U56_P3 F1 VDD GND
F1 .XOR U70_P3 U56_P3
$ end of U71
$ U72=XOR2 U11_P2 U10_P2 U72_P3 VDD GND
U72_P3 .XOR U11_P2 U10_P2
$ end of U72
$ U73=XOR2 U72_P3 U43_P3 F0 VDD GND
F0 .XOR U72_P3 U43_P3
$ end of U73
```

5. ALU.VEC

```
$
GND  .clk  0  0
VDD  .clk  0  1
A3 .CLK 0 1  500 0 1000 1  1500 0  2000 0 .REP 0
A2 .CLK 0 0  500 1 1000 0  1500 1  2000 1 .REP 0
A1 .CLK 0 0  500 0 1000 1  1500 0  2000 1 .REP 0
A0 .CLK 0 0  500 1 1000 0  1500 1  2000 0 .REP 0

B3 .CLK 0 0  500 1 1000 0  1500 0 .REP 0
B2 .CLK 0 0  500 1 1000 1  1500 0 .REP 0
B1 .CLK 0 0  500 0 1000 1  1500 0 .REP 0
B0 .CLK 0 1  500 1 1000 0  1500 1 .REP 0
$
S3 .CLK 0 0  500 1 1000 1  1500 1  2000 1 .REP 0
S2 .CLK 0 0  500 1 1000 1  1500 1  2000 1 .REP 0
S1 .CLK 0 0  500 0 1000 1  1500 1  2000 0 .REP 0
S0 .CLK 0 0  500 0 1000 1  1500 1  2000 0 .REP 0

CN .CLK 0 0  500 0 1000 0  1500 0 .REP 0
M  .CLK 0 1  500 1 1000 1  1500 1 .REP 0
```

6. ALU.SIM

```
$ GateSim Version 1.00 Demo A
$
NEtfile ALU
$
MOnitor ON
$
$ .VEC.
PAttfile ALU
$
Vlewvector ON
$
DP 1 1 1
$
.tab A3 A2 A1 A0 ;; B3 B2 B1 B0 ;;S3 S2 S1 S0 ;; CN ;; M ;;F3 F2 F1 F0
$
$ Simulate from 0 to 2.0000 us.
$
SImulate 0 10000
$
SImulate +
$
HOrizontal ON
$
SImulate +
$
WAveform ON
$
SImulate +
$
SImulate 200000 382500 STEP 500
$
SImulate 382900 384310 STEP 10
$
```

```
FOrcenode Vdd T    $Power nodes do not need to be tested.
FOrcenode Gnd T
$
STore 0 TO 16000 STEP 100 ALU.OUT
$
QUit
```

7. ALU.OUT

```
$ GateSim - Tanner Research, Inc. Ver 1.11
$   15:56  03/23/94
$     NETWORK file = ALU.NET
$     PATTERN file = ALU.VEC
$

          AAAA  BBBB  SSSS  C  M  FFFF
          3210  3210  3210  N     3210
=========================================

         0 1000  0001  0000  0  1  XXXX
       100 1000  0001  0000  0  1  0111
       200 1000  0001  0000  0  1  0111
       300 1000  0001  0000  0  1  0111
       400 1000  0001  0000  0  1  0111
       500 0101  1101  1100  0  1  0111
       600 0101  1101  1100  0  1  1111
       700 0101  1101  1100  0  1  1111
       800 0101  1101  1100  0  1  1111
       900 0101  1101  1100  0  1  1111
      1000 1010  0110  1111  0  1  1111
      1100 1010  0110  1111  0  1  1010
      1200 1010  0110  1111  0  1  1010
      1300 1010  0110  1111  0  1  1010
      1400 1010  0110  1111  0  1  1010
      1500 0101  0001  1111  0  1  1010
      1600 0101  0001  1111  0  1  0101
      1700 0101  0001  1111  0  1  0101
      1800 0101  0001  1111  0  1  0101
      1900 0101  0001  1111  0  1  0101
      2000 1000  1101  0000  0  1  0101
      2100 1000  1101  0000  0  1  0111
      2200 1000  1101  0000  0  1  0111
```

2300 1000 1101 0000 0 1 0111

2400 1000 1101 0000 0 1 0111

2500 0101 0110 1100 0 1 0111

2600 0101 0110 1100 0 1 1111

2700 0101 0110 1100 0 1 1111

2800 0101 0110 1100 0 1 1111

2900 0101 0110 1100 0 1 1111

3000 1010 0001 1111 0 1 1111

3100 1010 0001 1111 0 1 1010

3200 1010 0001 1111 0 1 1010

3300 1010 0001 1111 0 1 1010

3400 1010 0001 1111 0 1 1010

3500 0101 1101 1111 0 1 1010

3600 0101 1101 1111 0 1 0101

3700 0101 1101 1111 0 1 0101

3800 0101 1101 1111 0 1 0101

3900 0101 1101 1111 0 1 0101

4000 1000 0110 0000 0 1 0101

4100 1000 0110 0000 0 1 0111

4200 1000 0110 0000 0 1 0111

4300 1000 0110 0000 0 1 0111

4400 1000 0110 0000 0 1 0111

4500 0101 0001 1100 0 1 0111

4600 0101 0001 1100 0 1 1111

4700 0101 0001 1100 0 1 1111

4800 0101 0001 1100 0 1 1111

4900 0101 0001 1100 0 1 1111

5000 1010 1101 1111 0 1 1111

5100 1010 1101 1111 0 1 1010

5200 1010 1101 1111 0 1 1010

5300 1010 1101 1111 0 1 1010

5400 1010 1101 1111 0 1 1010

5500 0101 0110 1111 0 1 1010

5600 0101 0110 1111 0 1 0101

5700 0101 0110 1111 0 1 0101

5800 0101 0110 1111 0 1 0101

5900 0101 0110 1111 0 1 0101

6000 1000 0001 0000 0 1 0101

6100 1000 0001 0000 0 1 0111

6200 1000 0001 0000 0 1 0111

6300 1000 0001 0000 0 1 0111

6400 1000 0001 0000 0 1 0111

6500 0101 1101 1100 0 1 0111

6600 0101 1101 1100 0 1 1111

6700 0101 1101 1100 0 1 1111

6800 0101 1101 1100 0 1 1111

6900 0101 1101 1100 0 1 1111

7000 1010 0110 1111 0 1 1111

7100 1010 0110 1111 0 1 1010

7200 1010 0110 1111 0 1 1010

7300 1010 0110 1111 0 1 1010

7400 1010 0110 1111 0 1 1010

7500 0101 0001 1111 0 1 1010

7600 0101 0001 1111 0 1 0101

7700 0101 0001 1111 0 1 0101

7800 0101 0001 1111 0 1 0101

7900 0101 0001 1111 0 1 0101

8000 1000 1101 0000 0 1 0101

8100 1000 1101 0000 0 1 0111

8200 1000 1101 0000 0 1 0111

8300 1000 1101 0000 0 1 0111

8400 1000 1101 0000 0 1 0111

8500 0101 0110 1100 0 1 0111

8600 0101 0110 1100 0 1 1111

8700 0101 0110 1100 0 1 1111

8800 0101 0110 1100 0 1 1111

8900 0101 0110 1100 0 1 1111

9000 1010 0001 1111 0 1 1111

9100 1010 0001 1111 0 1 1010

9200 1010 0001 1111 0 1 1010

9300 1010 0001 1111 0 1 1010

9400 1010 0001 1111 0 1 1010

9500 0101 1101 1111 0 1 1010

9600 0101 1101 1111 0 1 0101

9700 0101 1101 1111 0 1 0101

9800 0101 1101 1111 0 1 0101

9900 0101 1101 1111 0 1 0101

10000 1000 0110 0000 0 1 0101

10100 1000 0110 0000 0 1 0111

10200 1000 0110 0000 0 1 0111

10300 1000 0110 0000 0 1 0111

10400 1000 0110 0000 0 1 0111

10500 0101 0001 1100 0 1 0111

10600 0101 0001 1100 0 1 1111

10700 0101 0001 1100 0 1 1111

10800 0101 0001 1100 0 1 1111

10900 0101 0001 1100 0 1 1111

11000 1010 1101 1111 0 1 1111

11100 1010 1101 1111 0 1 1010

11200 1010 1101 1111 0 1 1010

11300 1010 1101 1111 0 1 1010

11400 1010 1101 1111 0 1 1010

11500 0101 0110 1111 0 1 1010

11600 0101 0110 1111 0 1 0101

11700 0101 0110 1111 0 1 0101

11800 0101 0110 1111 0 1 0101

11900 0101 0110 1111 0 1 0101

12000 1000 0001 0000 0 1 0101

12100 1000 0001 0000 0 1 0111

12200 1000 0001 0000 0 1 0111

12300 1000 0001 0000 0 1 0111

12400 1000 0001 0000 0 1 0111

12500 0101 1101 1100 0 1 0111

12600 0101 1101 1100 0 1 1111

12700 0101 1101 1100 0 1 1111

12800 0101 1101 1100 0 1 1111

12900 0101 1101 1100 0 1 1111

13000 1010 0110 1111 0 1 1111

13100 1010 0110 1111 0 1 1010

13200 1010 0110 1111 0 1 1010

13300 1010 0110 1111 0 1 1010

13400 1010 0110 1111 0 1 1010

13500 0101 0001 1111 0 1 1010

13600 0101 0001 1111 0 1 0101

13700 0101 0001 1111 0 1 0101

13800 0101 0001 1111 0 1 0101

13900 0101 0001 1111 0 1 0101

14000 1000 1101 0000 0 1 0101

14100 1000 1101 0000 0 1 0111

14200 1000 1101 0000 0 1 0111

14300 1000 1101 0000 0 1 0111

14400 1000 1101 0000 0 1 0111

14500 0101 0110 1100 0 1 0111

14600 0101 0110 1100 0 1 1111

14700 0101 0110 1100 0 1 1111

14800 0101 0110 1100 0 1 1111

14900 0101 0110 1100 0 1 1111

15000 1010 0001 1111 0 1 1111

15100 1010 0001 1111 0 1 1010

15200 1010 0001 1111 0 1 1010

15300 1010 0001 1111 0 1 1010

15400 1010 0001 1111 0 1 1010

15500 0101 1101 1111 0 1 1010

15600 0101 1101 1111 0 1 0101

15700 0101 1101 1111 0 1 0101

15800 0101 1101 1111 0 1 0101

15900 0101 1101 1111 0 1 0101

16000 1000 0110 0000 0 1 0101

8. ALU.TPR

```
$ Total number of cells =    94.5
$ U1=INV B3 U1_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU1<0<0 U1_P2 B3;
$ end of U1
$ U2=INV A3 U2_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU2<0<0 U2_P2 A3;
$ end of U2
$ U3=INV B2 U3_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU3<0<0 U3_P2 B2;
$ end of U3
$ U4=INV A2 U4_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU4<0<0 U4_P2 A2;
$ end of U4
$ U5=INV B1 U5_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU5<0<0 U5_P2 B1;
$ end of U5
$ U6=INV A1 U6_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU6<0<0 U6_P2 A1;
$ end of U6
$ U7=INV B0 U7_P2 VDD GND
$ cell count =     6/12
```

```
C Inv Out A;
UU7<0<0 U7_P2 B0;
$ end of U7
$ U8=INV A0 U8_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU8<0<0 U8_P2 A0;
$ end of U8
$ U9=INV M U9_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU9<0<0 U9_P2 M;
$ end of U9
$ U10=INV U38_P4 U10_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU10<0<0 U10_P2 U38_P4;
$ end of U10
$ U11=INV U42_P3 U11_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU11<0<0 U11_P2 U42_P3;
$ end of U11
$ U12=INV U35_P4 U12_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU12<0<0 U12_P2 U35_P4;
$ end of U12
$ U13=INV U41_P3 U13_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU13<0<0 U13_P2 U41_P3;
$ end of U13
$ U14=INV U32_P4 U14_P2 VDD GND
$ cell count =     6/12
```

```
C Inv Out A;
UU14<0<0 U14_P2 U32_P4;
$ end of U14
$ U15=INV U39_P3 U15_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU15<0<0 U15_P2 U39_P3;
$ end of U15
$ U16=INV U40_P3 U16_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU16<0<0 U16_P2 U40_P3;
$ end of U16
$ U17=INV U58_P5 Y VDD GND
$ cell count =     6/12
C Inv Out A;
UU17<0<0 Y U58_P5;
$ end of U17
$ U18=INV U74_P5 EQ VDD GND
$ cell count =     6/12
C Inv Out A;
UU18<0<0 EQ U74_P5;
$ end of U18
$ U76=INV U62_P3 U76_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU76<0<0 U76_P2 U62_P3;
$ end of U76
$ U77=INV U65_P4 U77_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU77<0<0 U77_P2 U65_P4;
$ end of U77
$ U78=INV U46_P3 U78_P2 VDD GND
$ cell count =     6/12
```

```
C Inv Out A;
UU78<0<0 U78_P2 U46_P3;
$ end of U78
$ U79=INV U50_P4 U79_P2 VDD GND
$ cell count =     6/12
C Inv Out A;
UU79<0<0 U79_P2 U50_P4;
$ end of U79
$ U19=NAND2 U1_P2 S1 U19_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU19<0<0 U19_P3 U1_P2 S1;
$ end of U19
$ U20=NAND2 S0 B3 U20_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU20<0<0 U20_P3 S0 B3;
$ end of U20
$ U21=NAND2 U3_P2 S1 U21_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU21<0<0 U21_P3 U3_P2 S1;
$ end of U21
$ U22=NAND2 S0 B2 U22_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU22<0<0 U22_P3 S0 B2;
$ end of U22
$ U23=NAND2 U5_P2 S1 U23_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU23<0<0 U23_P3 U5_P2 S1;
$ end of U23
$ U24=NAND2 S0 B1 U24_P3 VDD GND
$ cell count =    12/12
```

```
C Nand2 Out A B;
UU24<0<0 U24_P3 S0 B1;
$ end of U24
$ U25=NAND2 S0 B0 U25_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU25<0<0 U25_P3 S0 B0;
$ end of U25
$ U26=NAND2 U7_P2 S1 U26_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU26<0<0 U26_P3 U7_P2 S1;
$ end of U26
$ U39=NAND2 U27_P4 U28_P4 U39_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU39<0<0 U39_P3 U27_P4 U28_P4;
$ end of U39
$ U40=NAND2 U30_P4 U31_P4 U40_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU40<0<0 U40_P3 U30_P4 U31_P4;
$ end of U40
$ U41=NAND2 U33_P4 U34_P4 U41_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU41<0<0 U41_P3 U33_P4 U34_P4;
$ end of U41
$ U42=NAND2 U36_P4 U37_P4 U42_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU42<0<0 U42_P3 U36_P4 U37_P4;
$ end of U42
$ U43=NAND2 CN U9_P2 U43_P3 VDD GND
$ cell count =    12/12
```

```
C Nand2 Out A B;
UU43<0<0 U43_P3 CN U9_P2;
$ end of U43
$ U44=NAND2 U10_P2 U9_P2 U44_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU44<0<0 U44_P3 U10_P2 U9_P2;
$ end of U44
$ U45=NAND2 U12_P2 U9_P2 U45_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU45<0<0 U45_P3 U12_P2 U9_P2;
$ end of U45
$ U46=NAND2 CN U11_P2 U46_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU46<0<0 U46_P3 CN U11_P2;
$ end of U46
$ U47=NAND2 U78_P2 U79_P2 U47_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU47<0<0 U47_P3 U78_P2 U79_P2;
$ end of U47
$ U48=NAND2 U15_P2 U14_P2 U48_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU48<0<0 U48_P3 U15_P2 U14_P2;
$ end of U48
$ U55=NAND2 U14_P2 U9_P2 U55_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU55<0<0 U55_P3 U14_P2 U9_P2;
$ end of U55
$ U56=NAND2 U53_P4 U44_P3 U56_P3 VDD GND
$ cell count =    12/12
```

```
C Nand2 Out A B;
UU56<0<0 U56_P3 U53_P4 U44_P3;
$ end of U56
$ U62=NAND2 U15_P2 U16_P2 U62_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU62<0<0 U62_P3 U15_P2 U16_P2;
$ end of U62
$ U63=NAND2 Y U64_P3 CO VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU63<0<0 CO Y U64_P3;
$ end of U63
$ U64=NAND2 U76_P2 U77_P2 U64_P3 VDD GND
$ cell count =    12/12
C Nand2 Out A B;
UU64<0<0 U64_P3 U76_P2 U77_P2;
$ end of U64
$ U27=NAND3 B3 S3 A3 U27_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU27<0<0 U27_P4 B3 S3 A3;
$ end of U27
$ U28=NAND3 A3 S2 U1_P2 U28_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU28<0<0 U28_P4 A3 S2 U1_P2;
$ end of U28
$ U29=NAND3 U19_P3 U20_P3 U2_P2 U29_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU29<0<0 U29_P4 U19_P3 U20_P3 U2_P2;
$ end of U29
$ U30=NAND3 B2 S3 A2 U30_P4 VDD GND
$ cell count =    18/12
```

```
C Nand3 Out A B C;
UU30<0<0 U30_P4 B2 S3 A2;
$ end of U30
$ U31=NAND3 A2 S2 U3_P2 U31_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU31<0<0 U31_P4 A2 S2 U3_P2;
$ end of U31
$ U32=NAND3 U21_P3 U22_P3 U4_P2 U32_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU32<0<0 U32_P4 U21_P3 U22_P3 U4_P2;
$ end of U32
$ U33=NAND3 B1 S3 A1 U33_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU33<0<0 U33_P4 B1 S3 A1;
$ end of U33
$ U34=NAND3 A1 S2 U5_P2 U34_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU34<0<0 U34_P4 A1 S2 U5_P2;
$ end of U34
$ U35=NAND3 U23_P3 U24_P3 U6_P2 U35_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU35<0<0 U35_P4 U23_P3 U24_P3 U6_P2;
$ end of U35
$ U36=NAND3 B0 S3 A0 U36_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU36<0<0 U36_P4 B0 S3 A0;
$ end of U36
$ U37=NAND3 A0 S2 U7_P2 U37_P4 VDD GND
$ cell count =    18/12
```

```
C Nand3 Out A B C;
UU37<0<0 U37_P4 A0 S2 U7_P2;
$ end of U37
$ U38=NAND3 U26_P3 U25_P3 U8_P2 U38_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU38<0<0 U38_P4 U26_P3 U25_P3 U8_P2;
$ end of U38
$ U49=NAND3 U15_P2 U16_P2 U12_P2 U49_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU49<0<0 U49_P4 U15_P2 U16_P2 U12_P2;
$ end of U49
$ U50=NAND3 U13_P2 U16_P2 U9_P2 U50_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU50<0<0 U50_P4 U13_P2 U16_P2 U9_P2;
$ end of U50
$ U51=NAND3 U16_P2 U12_P2 U9_P2 U51_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU51<0<0 U51_P4 U16_P2 U12_P2 U9_P2;
$ end of U51
$ U52=NAND3 U13_P2 U10_P2 U9_P2 U52_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU52<0<0 U52_P4 U13_P2 U10_P2 U9_P2;
$ end of U52
$ U53=NAND3 CN U11_P2 U9_P2 U53_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU53<0<0 U53_P4 CN U11_P2 U9_P2;
$ end of U53
$ U54=NAND3 U61_P5 U52_P4 U45_P3 U54_P4 VDD GND
$ cell count =    18/12
```

```
C Nand3 Out A B C;
UU54<0<0 U54_P4 U61_P5 U52_P4 U45_P3;
$ end of U54
$ U65=NAND3 U13_P2 U11_P2 CN U65_P4 VDD GND
$ cell count =    18/12
C Nand3 Out A B C;
UU65<0<0 U65_P4 U13_P2 U11_P2 CN;
$ end of U65
$ U57=NAND4 U15_P2 U16_P2 U13_P2 U10_P2 U57_P5 VDD GND
$ cell count =    24/12
C Nand4 Out A B C D;
UU57<0<0 U57_P5 U15_P2 U16_P2 U13_P2 U10_P2;
$ end of U57
$ U58=NAND4 U29_P4 U48_P3 U49_P4 U57_P5 U58_P5 VDD GND
$ cell count =    24/12
C Nand4 Out A B C D;
UU58<0<0 U58_P5 U29_P4 U48_P3 U49_P4 U57_P5;
$ end of U58
$ U59=NAND4 U47_P3 U60_P5 U51_P4 U55_P3 U59_P5 VDD GND
$ cell count =    24/12
C Nand4 Out A B C D;
UU59<0<0 U59_P5 U47_P3 U60_P5 U51_P4 U55_P3;
$ end of U59
$ U60=NAND4 U13_P2 U16_P2 U10_P2 U9_P2 U60_P5 VDD GND
$ cell count =    24/12
C Nand4 Out A B C D;
UU60<0<0 U60_P5 U13_P2 U16_P2 U10_P2 U9_P2;
$ end of U60
$ U61=NAND4 CN U11_P2 U13_P2 U9_P2 U61_P5 VDD GND
$ cell count =    24/12
C Nand4 Out A B C D;
UU61<0<0 U61_P5 CN U11_P2 U13_P2 U9_P2;
$ end of U61
$ U74=NAND4 F3 F2 F1 F0 U74_P5 VDD GND
$ cell count =    24/12
```

```
C Nand4 Out A B C D;
UU74<0<0 U74_P5 F3 F2 F1 F0;
$ end of U74
$ U75=NAND4 U15_P2 U16_P2 U13_P2 U11_P2 X VDD GND
$ cell count =    24/12
C Nand4 Out A B C D;
UU75<0<0 X U15_P2 U16_P2 U13_P2 U11_P2;
$ end of U75
$ U66=XOR2 U15_P2 U29_P4 U66_P3 VDD GND
$ cell count =    27/12
C XOr2 Out A B;
UU66<0<0 U66_P3 U15_P2 U29_P4;
$ end of U66
$ U67=XOR2 U66_P3 U59_P5 F3 VDD GND
$ cell count =    27/12
C XOr2 Out A B;
UU67<0<0 F3 U66_P3 U59_P5;
$ end of U67
$ U68=XOR2 U16_P2 U32_P4 U68_P3 VDD GND
$ cell count =    27/12
C XOr2 Out A B;
UU68<0<0 U68_P3 U16_P2 U32_P4;
$ end of U68
$ U69=XOR2 U68_P3 U54_P4 F2 VDD GND
$ cell count =    27/12
C XOr2 Out A B;
UU69<0<0 F2 U68_P3 U54_P4;
$ end of U69
$ U70=XOR2 U13_P2 U35_P4 U70_P3 VDD GND
$ cell count =    27/12
C XOr2 Out A B;
UU70<0<0 U70_P3 U13_P2 U35_P4;
$ end of U70
$ U71=XOR2 U70_P3 U56_P3 F1 VDD GND
$ cell count =    27/12
```

```
C XOr2 Out A B;
UU71<0<0 F1 U70_P3 U56_P3;
$ end of U71
$ U72=XOR2 U11_P2 U10_P2 U72_P3 VDD GND
$ cell count =    27/12
C XOr2 Out A B;
UU72<0<0 U72_P3 U11_P2 U10_P2;
$ end of U72
$ U73=XOR2 U72_P3 U43_P3 F0 VDD GND
$ cell count =    27/12
C XOr2 Out A B;
UU73<0<0 F0 U72_P3 U43_P3;
$ end of U73
```

9. ALU.SPC

```
M1 5991 3838 2556 5991 PMOS L=2U W=28U
M2 2556 4632 5991 5991 PMOS L=2U W=28U
M3 5991 5063 2556 5991 PMOS L=2U W=28U
M4 2556 5064 5991 5991 PMOS L=2U W=28U
M5 5991 3836 5061 5991 PMOS L=2U W=28U
M6 5061 3789 5991 5991 PMOS L=2U W=28U
M7 5991 3318 5061 5991 PMOS L=2U W=28U
M8 5061 2497 5991 5991 PMOS L=2U W=28U
M9 5991 1472 3837 5991 PMOS L=2U W=28U
M10 3837 3729 5991 5991 PMOS L=2U W=28U
.MODEL NMOS
.MODEL PMOS
.MODEL poly2NMOS
.MODEL poly2PMOS
.MODEL NPN
M11 6038 3838 5001 6038 NMOS L=2U W=28U
M12 5001 4632 5003 6038 NMOS L=2U W=28U
M13 5003 5063 5004 6038 NMOS L=2U W=28U
M14 5004 5064 2556 6038 NMOS L=2U W=28U
M15 6038 3836 5007 6038 NMOS L=2U W=28U
M16 5007 3789 5008 6038 NMOS L=2U W=28U
M17 5008 3318 5009 6038 NMOS L=2U W=28U
M18 5009 2497 5061 6038 NMOS L=2U W=28U
M19 4920 1472 5012 6038 NMOS L=2U W=28U
M20 5012 3729 3837 6038 NMOS L=2U W=28U
M21 5991 1469 3837 5991 PMOS L=2U W=28U
M22 3837 4888 5991 5991 PMOS L=2U W=28U
M23 5991 2612 2554 5991 PMOS L=2U W=28U
M24 2554 1310 5991 5991 PMOS L=2U W=28U
M25 5991 4439 2554 5991 PMOS L=2U W=28U
M26 2554 4052 5991 5991 PMOS L=2U W=28U
M27 5991 1895 3764 5991 PMOS L=2U W=28U
M28 3764 3318 5991 5991 PMOS L=2U W=28U
```

M29 5991 3785 3764 5991 PMOS L=2U W=28U

M30 3764 2497 5991 5991 PMOS L=2U W=28U

M31 6038 1469 4918 6038 NMOS L=2U W=28U

M32 4918 4888 4920 6038 NMOS L=2U W=28U

M33 6038 2612 4922 6038 NMOS L=2U W=28U

M34 4922 1310 4923 6038 NMOS L=2U W=28U

M35 4923 4439 4924 6038 NMOS L=2U W=28U

M36 4924 4052 2554 6038 NMOS L=2U W=28U

M37 6038 1895 4927 6038 NMOS L=2U W=28U

M38 4927 3318 4928 6038 NMOS L=2U W=28U

M39 4928 3785 4929 6038 NMOS L=2U W=28U

M40 4929 2497 3764 6038 NMOS L=2U W=28U

M41 5991 2497 4888 5991 PMOS L=2U W=28U

M42 4888 3789 5991 5991 PMOS L=2U W=28U

M43 5991 3785 4888 5991 PMOS L=2U W=28U

M44 4888 1393 5991 5991 PMOS L=2U W=28U

M45 5991 3836 4439 5991 PMOS L=2U W=28U

M46 4439 1471 5991 5991 PMOS L=2U W=28U

M47 5991 1393 4439 5991 PMOS L=2U W=28U

M48 4439 2497 5991 5991 PMOS L=2U W=28U

M49 6038 2497 4837 6038 NMOS L=2U W=28U

M50 4837 3789 4839 6038 NMOS L=2U W=28U

M51 4839 3785 4840 6038 NMOS L=2U W=28U

M52 4840 1393 4888 6038 NMOS L=2U W=28U

M53 6038 3836 4843 6038 NMOS L=2U W=28U

M54 4843 1471 4844 6038 NMOS L=2U W=28U

M55 4844 1393 4845 6038 NMOS L=2U W=28U

M56 4845 2497 4439 6038 NMOS L=2U W=28U

M57 5991 4417 4801 5991 PMOS L=2U W=24U

M58 4800 1396 5991 5991 PMOS L=2U W=24U

M59 4801 4800 5063 5991 PMOS L=2U W=24U

M60 5063 4801 4800 5991 PMOS L=2U W=24U

M61 5991 3318 4793 5991 PMOS L=2U W=24U

M62 4792 1393 5991 5991 PMOS L=2U W=24U

M63 4793 4792 4417 5991 PMOS L=2U W=24U

M64 4417 4793 4792 5991 PMOS L=2U W=24U

M65 4735 1475 5991 5991 PMOS L=2U W=24U

M66 6038 4417 4801 6038 NMOS L=2U W=24U

* M66 Drain Gate Source Bulk (-140 428 -138 452) A = 48, W = 24

M67 6038 1396 4800 6038 NMOS L=2U W=24U

* M67 Drain Gate Source Bulk (-112 428 -110 452) A = 48, W = 24

M68 4801 1396 5063 6038 NMOS L=2U W=24U

* M68 Drain Gate Source Bulk (-132 428 -130 452) A = 48, W = 24

M69 5063 4800 4775 6038 NMOS L=2U W=24U

* M69 Drain Gate Source Bulk (-124 428 -122 452) A = 48, W = 24

M70 4775 4801 6038 6038 NMOS L=2U W=24U

* M70 Drain Gate Source Bulk (-120 428 -118 452) A = 48, W = 24

M71 6038 3318 4793 6038 NMOS L=2U W=24U

* M71 Drain Gate Source Bulk (-186 428 -184 452) A = 48, W = 24

M72 6038 1393 4792 6038 NMOS L=2U W=24U

* M72 Drain Gate Source Bulk (-158 428 -156 452) A = 48, W = 24

M73 4793 1393 4417 6038 NMOS L=2U W=24U

* M73 Drain Gate Source Bulk (-178 428 -176 452) A = 48, W = 24

M74 4417 4792 4781 6038 NMOS L=2U W=24U

* M74 Drain Gate Source Bulk (-170 428 -168 452) A = 48, W = 24

M75 4781 4793 6038 6038 NMOS L=2U W=24U

* M75 Drain Gate Source Bulk (-166 428 -164 452) A = 48, W = 24

M76 6038 1475 4735 6038 NMOS L=2U W=24U

* M76 Drain Gate Source Bulk (-204 428 -202 452) A = 48, W = 24

M77 5991 4397 4736 5991 PMOS L=2U W=24U

* M77 Drain Gate Source Bulk (-232 466 -230 490) A = 48, W = 24

M78 4736 4735 5064 5991 PMOS L=2U W=24U

* M78 Drain Gate Source Bulk (-224 466 -222 490) A = 48, W = 24

M79 5064 4736 4735 5991 PMOS L=2U W=24U

* M79 Drain Gate Source Bulk (-212 466 -210 490) A = 48, W = 24

M80 5991 2497 4728 5991 PMOS L=2U W=24U

* M80 Drain Gate Source Bulk (-278 466 -276 490) A = 48, W = 24

M81 4727 2499 5991 5991 PMOS L=2U W=24U

* M81 Drain Gate Source Bulk (-250 466 -248 490) A = 48, W = 24

M82 4728 4727 4397 5991 PMOS L=2U W=24U

* M82 Drain Gate Source Bulk (-270 466 -268 490) A = 48, W = 24

M83 4397 4728 4727 5991 PMOS L=2U W=24U

* M83 Drain Gate Source Bulk (-258 466 -256 490) A = 48, W = 24

M84 4667 3788 5991 5991 PMOS L=2U W=24U

* M84 Drain Gate Source Bulk (-296 466 -294 490) A = 48, W = 24

M85 4632 4668 4667 5991 PMOS L=2U W=24U

* M85 Drain Gate Source Bulk (-304 466 -302 490) A = 48, W = 24

M86 6038 4397 4736 6038 NMOS L=2U W=24U

* M86 Drain Gate Source Bulk (-232 428 -230 452) A = 48, W = 24

M87 4736 1475 5064 6038 NMOS L=2U W=24U

* M87 Drain Gate Source Bulk (-224 428 -222 452) A = 48, W = 24

M88 5064 4735 4705 6038 NMOS L=2U W=24U

* M88 Drain Gate Source Bulk (-216 428 -214 452) A = 48, W = 24

M89 4705 4736 6038 6038 NMOS L=2U W=24U

* M89 Drain Gate Source Bulk (-212 428 -210 452) A = 48, W = 24

M90 6038 2497 4728 6038 NMOS L=2U W=24U

* M90 Drain Gate Source Bulk (-278 428 -276 452) A = 48, W = 24

M91 6038 2499 4727 6038 NMOS L=2U W=24U

* M91 Drain Gate Source Bulk (-250 428 -248 452) A = 48, W = 24

M92 4728 2499 4397 6038 NMOS L=2U W=24U

* M92 Drain Gate Source Bulk (-270 428 -268 452) A = 48, W = 24

M93 4397 4727 4711 6038 NMOS L=2U W=24U

* M93 Drain Gate Source Bulk (-262 428 -260 452) A = 48, W = 24

M94 4711 4728 6038 6038 NMOS L=2U W=24U

* M94 Drain Gate Source Bulk (-258 428 -256 452) A = 48, W = 24

M95 6038 3788 4667 6038 NMOS L=2U W=24U

* M95 Drain Gate Source Bulk (-296 428 -294 452) A = 48, W = 24

M96 4632 4667 4715 6038 NMOS L=2U W=24U

* M96 Drain Gate Source Bulk (-308 428 -306 452) A = 48, W = 24

M97 4715 4668 6038 6038 NMOS L=2U W=24U

* M97 Drain Gate Source Bulk (-304 428 -302 452) A = 48, W = 24

M98 5991 4379 4668 5991 PMOS L=2U W=24U

* M98 Drain Gate Source Bulk (-324 466 -322 490) A = 48, W = 24

M99 4668 4667 4632 5991 PMOS L=2U W=24U

* M99 Drain Gate Source Bulk (-316 466 -314 490) A = 48, W = 24

M100 5991 3789 4660 5991 PMOS L=2U W=24U

* M100 Drain Gate Source Bulk (-370 466 -368 490) A = 48, W = 24

M101 4659 2494 5991 5991 PMOS L=2U W=24U

* M101 Drain Gate Source Bulk (-342 466 -340 490) A = 48, W = 24

M102 4660 4659 4379 5991 PMOS L=2U W=24U

* M102 Drain Gate Source Bulk (-362 466 -360 490) A = 48, W = 24

M103 4379 4660 4659 5991 PMOS L=2U W=24U

* M103 Drain Gate Source Bulk (-350 466 -348 490) A = 48, W = 24

M104 6038 4379 4668 6038 NMOS L=2U W=24U

* M104 Drain Gate Source Bulk (-324 428 -322 452) A = 48, W = 24

M105 4668 3788 4632 6038 NMOS L=2U W=24U

* M105 Drain Gate Source Bulk (-316 428 -314 452) A = 48, W = 24

M106 6038 3789 4660 6038 NMOS L=2U W=24U

* M106 Drain Gate Source Bulk (-370 428 -368 452) A = 48, W = 24

M107 6038 2494 4659 6038 NMOS L=2U W=24U

* M107 Drain Gate Source Bulk (-342 428 -340 452) A = 48, W = 24

M108 4660 2494 4379 6038 NMOS L=2U W=24U

* M108 Drain Gate Source Bulk (-362 428 -360 452) A = 48, W = 24

M109 4379 4659 4653 6038 NMOS L=2U W=24U

* M109 Drain Gate Source Bulk (-354 428 -352 452) A = 48, W = 24

M110 4653 4660 6038 6038 NMOS L=2U W=24U

* M110 Drain Gate Source Bulk (-350 428 -348 452) A = 48, W = 24

M111 5991 3381 3827 5991 PMOS L=2U W=24U

* M111 Drain Gate Source Bulk (248 180 250 204) A = 48, W = 24

M112 3825 3837 5991 5991 PMOS L=2U W=24U

* M112 Drain Gate Source Bulk (276 180 278 204) A = 48, W = 24

M113 3827 3825 3838 5991 PMOS L=2U W=24U

* M113 Drain Gate Source Bulk (256 180 258 204) A = 48, W = 24

M114 3838 3827 3825 5991 PMOS L=2U W=24U

* M114 Drain Gate Source Bulk (268 180 270 204) A = 48, W = 24

M115 5991 3836 3821 5991 PMOS L=2U W=24U

* M115 Drain Gate Source Bulk (202 180 204 204) A = 48, W = 24

M116 3819 2612 5991 5991 PMOS L=2U W=24U

* M116 Drain Gate Source Bulk (230 180 232 204) A = 48, W = 24

M117 3821 3819 3381 5991 PMOS L=2U W=24U

```
* M117 Drain Gate Source Bulk (210 180 212 204) A = 48, W = 24
M118 3381 3821 3819 5991 PMOS L=2U W=24U
* M118 Drain Gate Source Bulk (222 180 224 204) A = 48, W = 24
M119 5991 3836 2294 5991 PMOS L=2U W=28U
* M119 Drain Gate Source Bulk (160 176 162 204) A = 56, W = 28
M120 2294 3789 5991 5991 PMOS L=2U W=28U
* M120 Drain Gate Source Bulk (168 176 170 204) A = 56, W = 28
M121 5991 2497 2294 5991 PMOS L=2U W=28U
* M121 Drain Gate Source Bulk (176 176 178 204) A = 56, W = 28
M122 5991 3764 3788 5991 PMOS L=2U W=28U
* M122 Drain Gate Source Bulk (126 176 128 204) A = 56, W = 28
M123 3788 3309 5991 5991 PMOS L=2U W=28U
* M123 Drain Gate Source Bulk (134 176 136 204) A = 56, W = 28
M124 5991 1391 3788 5991 PMOS L=2U W=28U
* M124 Drain Gate Source Bulk (142 176 144 204) A = 56, W = 28
M125 5991 3785 1474 5991 PMOS L=2U W=28U
* M125 Drain Gate Source Bulk (92 176 94 204) A = 56, W = 28
M126 5991 1895 1474 5991 PMOS L=2U W=28U
* M126 Drain Gate Source Bulk (76 176 78 204) A = 56, W = 28
M127 1474 3318 5991 5991 PMOS L=2U W=28U
* M127 Drain Gate Source Bulk (84 176 86 204) A = 56, W = 28
M128 5991 2497 3309 5991 PMOS L=2U W=28U
* M128 Drain Gate Source Bulk (42 176 44 204) A = 56, W = 28
M129 3309 1393 5991 5991 PMOS L=2U W=28U
* M129 Drain Gate Source Bulk (50 176 52 204) A = 56, W = 28
M130 5991 3785 3309 5991 PMOS L=2U W=28U
* M130 Drain Gate Source Bulk (58 176 60 204) A = 56, W = 28
M131 5991 3789 3729 5991 PMOS L=2U W=28U
* M131 Drain Gate Source Bulk (0 176 2 204) A = 56, W = 28
M132 3729 1390 5991 5991 PMOS L=2U W=28U
* M132 Drain Gate Source Bulk (8 176 10 204) A = 56, W = 28
M133 5991 3785 3729 5991 PMOS L=2U W=28U
* M133 Drain Gate Source Bulk (16 176 18 204) A = 56, W = 28
M134 5991 2497 1470 5991 PMOS L=2U W=28U
* M134 Drain Gate Source Bulk (-82 176 -80 204) A = 56, W = 28
```

M135 1470 2451 5991 5991 PMOS L=2U W=28U

* M135 Drain Gate Source Bulk (-74 176 -72 204) A = 56, W = 28

M136 5991 3785 1470 5991 PMOS L=2U W=28U

* M136 Drain Gate Source Bulk (-66 176 -64 204) A = 56, W = 28

M137 4052 3789 5991 5991 PMOS L=2U W=28U

* M137 Drain Gate Source Bulk (-108 176 -106 204) A = 56, W = 28

M138 5991 1390 4052 5991 PMOS L=2U W=28U

* M138 Drain Gate Source Bulk (-100 176 -98 204) A = 56, W = 28

M139 5991 3836 4052 5991 PMOS L=2U W=28U

* M139 Drain Gate Source Bulk (-116 176 -114 204) A = 56, W = 28

M140 5991 1226 2551 5991 PMOS L=2U W=28U

* M140 Drain Gate Source Bulk (-150 176 -148 204) A = 56, W = 28

M141 2551 1227 5991 5991 PMOS L=2U W=28U

* M141 Drain Gate Source Bulk (-142 176 -140 204) A = 56, W = 28

M142 5991 2444 2551 5991 PMOS L=2U W=28U

* M142 Drain Gate Source Bulk (-134 176 -132 204) A = 56, W = 28

M143 5991 30 1308 5991 PMOS L=2U W=28U

* M143 Drain Gate Source Bulk (-184 176 -182 204) A = 56, W = 28

M144 1308 2647 5991 5991 PMOS L=2U W=28U

* M144 Drain Gate Source Bulk (-176 176 -174 204) A = 56, W = 28

M145 5991 1225 1308 5991 PMOS L=2U W=28U

* M145 Drain Gate Source Bulk (-168 176 -166 204) A = 56, W = 28

M146 1306 952 5991 5991 PMOS L=2U W=28U

* M146 Drain Gate Source Bulk (-210 176 -208 204) A = 56, W = 28

M147 5991 30 1306 5991 PMOS L=2U W=28U

* M147 Drain Gate Source Bulk (-202 176 -200 204) A = 56, W = 28

M148 5991 16 1306 5991 PMOS L=2U W=28U

* M148 Drain Gate Source Bulk (-218 176 -216 204) A = 56, W = 28

M149 5991 1149 2499 5991 PMOS L=2U W=28U

* M149 Drain Gate Source Bulk (-252 176 -250 204) A = 56, W = 28

M150 2499 1223 5991 5991 PMOS L=2U W=28U

* M150 Drain Gate Source Bulk (-244 176 -242 204) A = 56, W = 28

M151 5991 2404 2499 5991 PMOS L=2U W=28U

* M151 Drain Gate Source Bulk (-236 176 -234 204) A = 56, W = 28

M152 5991 633 1305 5991 PMOS L=2U W=28U

* M152 Drain Gate Source Bulk (-286 176 -284 204) A = 56, W = 28

M153 1305 2647 5991 5991 PMOS L=2U W=28U

* M153 Drain Gate Source Bulk (-278 176 -276 204) A = 56, W = 28

M154 5991 1148 1305 5991 PMOS L=2U W=28U

* M154 Drain Gate Source Bulk (-270 176 -268 204) A = 56, W = 28

M155 5991 858 1303 5991 PMOS L=2U W=28U

* M155 Drain Gate Source Bulk (-328 176 -326 204) A = 56, W = 28

M156 1303 952 5991 5991 PMOS L=2U W=28U

* M156 Drain Gate Source Bulk (-320 176 -318 204) A = 56, W = 28

M157 5991 633 1303 5991 PMOS L=2U W=28U

* M157 Drain Gate Source Bulk (-312 176 -310 204) A = 56, W = 28

M158 5991 1145 2494 5991 PMOS L=2U W=28U

* M158 Drain Gate Source Bulk (-362 176 -360 204) A = 56, W = 28

M159 2494 1146 5991 5991 PMOS L=2U W=28U

* M159 Drain Gate Source Bulk (-354 176 -352 204) A = 56, W = 28

M160 5991 2397 2494 5991 PMOS L=2U W=28U

* M160 Drain Gate Source Bulk (-346 176 -344 204) A = 56, W = 28

M161 6038 3381 3827 6038 NMOS L=2U W=24U

* M161 Drain Gate Source Bulk (248 142 250 166) A = 48, W = 24

M162 6038 3837 3825 6038 NMOS L=2U W=24U

* M162 Drain Gate Source Bulk (276 142 278 166) A = 48, W = 24

M163 3827 3837 3838 6038 NMOS L=2U W=24U

* M163 Drain Gate Source Bulk (256 142 258 166) A = 48, W = 24

M164 3838 3825 3800 6038 NMOS L=2U W=24U

* M164 Drain Gate Source Bulk (264 142 266 166) A = 48, W = 24

M165 3800 3827 6038 6038 NMOS L=2U W=24U

* M165 Drain Gate Source Bulk (268 142 270 166) A = 48, W = 24

M166 6038 3836 3821 6038 NMOS L=2U W=24U

* M166 Drain Gate Source Bulk (202 142 204 166) A = 48, W = 24

M167 6038 2612 3819 6038 NMOS L=2U W=24U

* M167 Drain Gate Source Bulk (230 142 232 166) A = 48, W = 24

M168 3821 2612 3381 6038 NMOS L=2U W=24U

* M168 Drain Gate Source Bulk (210 142 212 166) A = 48, W = 24

M169 3381 3819 3810 6038 NMOS L=2U W=24U

* M169 Drain Gate Source Bulk (218 142 220 166) A = 48, W = 24

M170 3810 3821 6038 6038 NMOS L=2U W=24U

* M170 Drain Gate Source Bulk (222 142 224 166) A = 48, W = 24

M171 6038 3836 3736 6038 NMOS L=2U W=28U

* M171 Drain Gate Source Bulk (160 138 162 166) A = 56, W = 28

M172 3736 3789 3739 6038 NMOS L=2U W=28U

* M172 Drain Gate Source Bulk (168 138 170 166) A = 56, W = 28

M173 3739 2497 2294 6038 NMOS L=2U W=28U

* M173 Drain Gate Source Bulk (176 138 178 166) A = 56, W = 28

M174 6038 3764 3744 6038 NMOS L=2U W=28U

* M174 Drain Gate Source Bulk (126 138 128 166) A = 56, W = 28

M175 3744 3309 3746 6038 NMOS L=2U W=28U

* M175 Drain Gate Source Bulk (134 138 136 166) A = 56, W = 28

M176 3746 1391 3788 6038 NMOS L=2U W=28U

* M176 Drain Gate Source Bulk (142 138 144 166) A = 56, W = 28

M177 3682 3785 1474 6038 NMOS L=2U W=28U

* M177 Drain Gate Source Bulk (92 138 94 166) A = 56, W = 28

M178 6038 1895 3679 6038 NMOS L=2U W=28U

* M178 Drain Gate Source Bulk (76 138 78 166) A = 56, W = 28

M179 3679 3318 3682 6038 NMOS L=2U W=28U

* M179 Drain Gate Source Bulk (84 138 86 166) A = 56, W = 28

M180 6038 2497 3685 6038 NMOS L=2U W=28U

* M180 Drain Gate Source Bulk (42 138 44 166) A = 56, W = 28

M181 3685 1393 3687 6038 NMOS L=2U W=28U

* M181 Drain Gate Source Bulk (50 138 52 166) A = 56, W = 28

M182 3687 3785 3309 6038 NMOS L=2U W=28U

* M182 Drain Gate Source Bulk (58 138 60 166) A = 56, W = 28

M183 6038 3789 3692 6038 NMOS L=2U W=28U

* M183 Drain Gate Source Bulk (0 138 2 166) A = 56, W = 28

M184 3692 1390 3694 6038 NMOS L=2U W=28U

* M184 Drain Gate Source Bulk (8 138 10 166) A = 56, W = 28

M185 3694 3785 3729 6038 NMOS L=2U W=28U

* M185 Drain Gate Source Bulk (16 138 18 166) A = 56, W = 28

M186 6038 2497 3630 6038 NMOS L=2U W=28U

* M186 Drain Gate Source Bulk (-82 138 -80 166) A = 56, W = 28

M187 3630 2451 3633 6038 NMOS L=2U W=28U

```
* M187 Drain Gate Source Bulk (-74 138 -72 166) A = 56, W = 28
M188 3633 3785 1470 6038 NMOS L=2U W=28U
* M188 Drain Gate Source Bulk (-66 138 -64 166) A = 56, W = 28
M189 3570 3789 3638 6038 NMOS L=2U W=28U
* M189 Drain Gate Source Bulk (-108 138 -106 166) A = 56, W = 28
M190 3638 1390 4052 6038 NMOS L=2U W=28U
* M190 Drain Gate Source Bulk (-100 138 -98 166) A = 56, W = 28
M191 6038 3836 3570 6038 NMOS L=2U W=28U
* M191 Drain Gate Source Bulk (-116 138 -114 166) A = 56, W = 28
M192 6038 1226 3574 6038 NMOS L=2U W=28U
* M192 Drain Gate Source Bulk (-150 138 -148 166) A = 56, W = 28
M193 3574 1227 3576 6038 NMOS L=2U W=28U
* M193 Drain Gate Source Bulk (-142 138 -140 166) A = 56, W = 28
M194 3576 2444 2551 6038 NMOS L=2U W=28U
* M194 Drain Gate Source Bulk (-134 138 -132 166) A = 56, W = 28
M195 6038 30 3581 6038 NMOS L=2U W=28U
* M195 Drain Gate Source Bulk (-184 138 -182 166) A = 56, W = 28
M196 3581 2647 3583 6038 NMOS L=2U W=28U
* M196 Drain Gate Source Bulk (-176 138 -174 166) A = 56, W = 28
M197 3583 1225 1308 6038 NMOS L=2U W=28U
* M197 Drain Gate Source Bulk (-168 138 -166 166) A = 56, W = 28
M198 3518 952 3588 6038 NMOS L=2U W=28U
* M198 Drain Gate Source Bulk (-210 138 -208 166) A = 56, W = 28
M199 3588 30 1306 6038 NMOS L=2U W=28U
* M199 Drain Gate Source Bulk (-202 138 -200 166) A = 56, W = 28
M200 6038 16 3518 6038 NMOS L=2U W=28U
* M200 Drain Gate Source Bulk (-218 138 -216 166) A = 56, W = 28
M201 6038 1149 3522 6038 NMOS L=2U W=28U
* M201 Drain Gate Source Bulk (-252 138 -250 166) A = 56, W = 28
M202 3522 1223 3524 6038 NMOS L=2U W=28U
* M202 Drain Gate Source Bulk (-244 138 -242 166) A = 56, W = 28
M203 3524 2404 2499 6038 NMOS L=2U W=28U
* M203 Drain Gate Source Bulk (-236 138 -234 166) A = 56, W = 28
M204 6038 633 3529 6038 NMOS L=2U W=28U
* M204 Drain Gate Source Bulk (-286 138 -284 166) A = 56, W = 28
```

M205 3529 2647 3531 6038 NMOS L=2U W=28U

* M205 Drain Gate Source Bulk (-278 138 -276 166) A = 56, W = 28

M206 3531 1148 1305 6038 NMOS L=2U W=28U

* M206 Drain Gate Source Bulk (-270 138 -268 166) A = 56, W = 28

M207 6038 858 3482 6038 NMOS L=2U W=28U

* M207 Drain Gate Source Bulk (-328 138 -326 166) A = 56, W = 28

M208 3482 952 3485 6038 NMOS L=2U W=28U

* M208 Drain Gate Source Bulk (-320 138 -318 166) A = 56, W = 28

M209 3485 633 1303 6038 NMOS L=2U W=28U

* M209 Drain Gate Source Bulk (-312 138 -310 166) A = 56, W = 28

M210 6038 1145 3489 6038 NMOS L=2U W=28U

* M210 Drain Gate Source Bulk (-362 138 -360 166) A = 56, W = 28

M211 3489 1146 3491 6038 NMOS L=2U W=28U

* M211 Drain Gate Source Bulk (-354 138 -352 166) A = 56, W = 28

M212 3491 2397 2494 6038 NMOS L=2U W=28U

* M212 Drain Gate Source Bulk (-346 138 -344 166) A = 56, W = 28

M213 5991 1915 1302 5991 PMOS L=2U W=28U

* M213 Drain Gate Source Bulk (334 -126 336 -98) A = 56, W = 28

M214 1302 2647 5991 5991 PMOS L=2U W=28U

* M214 Drain Gate Source Bulk (342 -126 344 -98) A = 56, W = 28

M215 5991 1144 1302 5991 PMOS L=2U W=28U

* M215 Drain Gate Source Bulk (350 -126 352 -98) A = 56, W = 28

M216 1300 952 5991 5991 PMOS L=2U W=28U

* M216 Drain Gate Source Bulk (292 -126 294 -98) A = 56, W = 28

M217 5991 1915 1300 5991 PMOS L=2U W=28U

* M217 Drain Gate Source Bulk (300 -126 302 -98) A = 56, W = 28

M218 5991 1147 1300 5991 PMOS L=2U W=28U

* M218 Drain Gate Source Bulk (284 -126 286 -98) A = 56, W = 28

M219 5991 1063 2612 5991 PMOS L=2U W=28U

* M219 Drain Gate Source Bulk (242 -126 244 -98) A = 56, W = 28

M220 2612 1142 5991 5991 PMOS L=2U W=28U

* M220 Drain Gate Source Bulk (250 -126 252 -98) A = 56, W = 28

M221 5991 2348 2612 5991 PMOS L=2U W=28U

* M221 Drain Gate Source Bulk (258 -126 260 -98) A = 56, W = 28

M222 5991 2587 1231 5991 PMOS L=2U W=28U

```
* M222 Drain Gate Source Bulk (200 -126 202 -98) A = 56, W = 28
M223 1231 2647 5991 5991 PMOS L=2U W=28U
* M223 Drain Gate Source Bulk (208 -126 210 -98) A = 56, W = 28
M224 5991 1062 1231 5991 PMOS L=2U W=28U
* M224 Drain Gate Source Bulk (216 -126 218 -98) A = 56, W = 28
M225 5991 1143 1229 5991 PMOS L=2U W=28U
* M225 Drain Gate Source Bulk (158 -126 160 -98) A = 56, W = 28
M226 1229 952 5991 5991 PMOS L=2U W=28U
* M226 Drain Gate Source Bulk (166 -126 168 -98) A = 56, W = 28
M227 5991 2587 1229 5991 PMOS L=2U W=28U
* M227 Drain Gate Source Bulk (174 -126 176 -98) A = 56, W = 28
M228 5991 2556 2557 5991 PMOS L=2U W=28U
* M228 Drain Gate Source Bulk (140 -126 142 -98) A = 56, W = 28
M229 5991 2554 3042 5991 PMOS L=2U W=28U
* M229 Drain Gate Source Bulk (122 -126 124 -98) A = 56, W = 28
M230 5991 2551 1393 5991 PMOS L=2U W=28U
* M230 Drain Gate Source Bulk (96 -126 98 -98) A = 56, W = 28
M231 5991 1307 3318 5991 PMOS L=2U W=28U
* M231 Drain Gate Source Bulk (70 -126 72 -98) A = 56, W = 28
M232 5991 2499 1390 5991 PMOS L=2U W=28U
* M232 Drain Gate Source Bulk (52 -126 54 -98) A = 56, W = 28
M233 5991 1304 2497 5991 PMOS L=2U W=28U
* M233 Drain Gate Source Bulk (26 -126 28 -98) A = 56, W = 28
M234 5991 2494 1471 5991 PMOS L=2U W=28U
* M234 Drain Gate Source Bulk (0 -126 2 -98) A = 56, W = 28
M235 5991 1301 2451 5991 PMOS L=2U W=28U
* M235 Drain Gate Source Bulk (-26 -126 -24 -98) A = 56, W = 28
M236 5991 1230 3836 5991 PMOS L=2U W=28U
* M236 Drain Gate Source Bulk (-44 -126 -42 -98) A = 56, W = 28
M237 5991 42 3785 5991 PMOS L=2U W=28U
* M237 Drain Gate Source Bulk (-78 -126 -76 -98) A = 56, W = 28
M238 5991 30 2444 5991 PMOS L=2U W=28U
* M238 Drain Gate Source Bulk (-112 -126 -110 -98) A = 56, W = 28
M239 5991 16 1225 5991 PMOS L=2U W=28U
* M239 Drain Gate Source Bulk (-130 -126 -128 -98) A = 56, W = 28
```

M240 5991 633 2404 5991 PMOS L=2U W=28U

* M240 Drain Gate Source Bulk (-148 -126 -146 -98) A = 56, W = 28

M241 5991 858 1148 5991 PMOS L=2U W=28U

* M241 Drain Gate Source Bulk (-190 -126 -188 -98) A = 56, W = 28

M242 5991 1915 2397 5991 PMOS L=2U W=28U

* M242 Drain Gate Source Bulk (-208 -126 -206 -98) A = 56, W = 28

M243 5991 1147 1144 5991 PMOS L=2U W=28U

* M243 Drain Gate Source Bulk (-234 -126 -232 -98) A = 56, W = 28

M244 5991 2587 2348 5991 PMOS L=2U W=28U

* M244 Drain Gate Source Bulk (-260 -126 -258 -98) A = 56, W = 28

M245 5991 1143 1062 5991 PMOS L=2U W=28U

* M245 Drain Gate Source Bulk (-286 -126 -284 -98) A = 56, W = 28

M246 5991 3042 5126 5991 PMOS L=2U W=28U

* M246 Drain Gate Source Bulk (-320 -126 -318 -98) A = 56, W = 28

M247 5126 1980 5991 5991 PMOS L=2U W=28U

* M247 Drain Gate Source Bulk (-312 -126 -310 -98) A = 56, W = 28

M248 5991 2294 1980 5991 PMOS L=2U W=28U

* M248 Drain Gate Source Bulk (-354 -126 -352 -98) A = 56, W = 28

M249 1980 1477 5991 5991 PMOS L=2U W=28U

* M249 Drain Gate Source Bulk (-346 -126 -344 -98) A = 56, W = 28

M250 6038 1915 2615 6038 NMOS L=2U W=28U

* M250 Drain Gate Source Bulk (334 -164 336 -136) A = 56, W = 28

M251 2615 2647 2618 6038 NMOS L=2U W=28U

* M251 Drain Gate Source Bulk (342 -164 344 -136) A = 56, W = 28

M252 2618 1144 1302 6038 NMOS L=2U W=28U

* M252 Drain Gate Source Bulk (350 -164 352 -136) A = 56, W = 28

M253 2562 952 2623 6038 NMOS L=2U W=28U

* M253 Drain Gate Source Bulk (292 -164 294 -136) A = 56, W = 28

M254 2623 1915 1300 6038 NMOS L=2U W=28U

* M254 Drain Gate Source Bulk (300 -164 302 -136) A = 56, W = 28

M255 6038 1147 2562 6038 NMOS L=2U W=28U

* M255 Drain Gate Source Bulk (284 -164 286 -136) A = 56, W = 28

M256 6038 1063 2566 6038 NMOS L=2U W=28U

* M256 Drain Gate Source Bulk (242 -164 244 -136) A = 56, W = 28

M257 2566 1142 2568 6038 NMOS L=2U W=28U

```
* M257 Drain Gate Source Bulk (250 -164 252 -136) A = 56, W = 28
M258 2568 2348 2612 6038 NMOS L=2U W=28U
* M258 Drain Gate Source Bulk (258 -164 260 -136) A = 56, W = 28
M259 6038 2587 2573 6038 NMOS L=2U W=28U
* M259 Drain Gate Source Bulk (200 -164 202 -136) A = 56, W = 28
M260 2573 2647 2575 6038 NMOS L=2U W=28U
* M260 Drain Gate Source Bulk (208 -164 210 -136) A = 56, W = 28
M261 2575 1062 1231 6038 NMOS L=2U W=28U
* M261 Drain Gate Source Bulk (216 -164 218 -136) A = 56, W = 28
M262 6038 1143 2504 6038 NMOS L=2U W=28U
* M262 Drain Gate Source Bulk (158 -164 160 -136) A = 56, W = 28
M263 2504 952 2507 6038 NMOS L=2U W=28U
* M263 Drain Gate Source Bulk (166 -164 168 -136) A = 56, W = 28
M264 2507 2587 1229 6038 NMOS L=2U W=28U
* M264 Drain Gate Source Bulk (174 -164 176 -136) A = 56, W = 28
M265 6038 2556 2557 6038 NMOS L=2U W=28U
* M265 Drain Gate Source Bulk (140 -164 142 -136) A = 56, W = 28
M266 6038 2554 3042 6038 NMOS L=2U W=28U
* M266 Drain Gate Source Bulk (122 -164 124 -136) A = 56, W = 28
M267 6038 2551 1393 6038 NMOS L=2U W=28U
* M267 Drain Gate Source Bulk (96 -164 98 -136) A = 56, W = 28
M268 6038 1307 3318 6038 NMOS L=2U W=28U
* M268 Drain Gate Source Bulk (70 -164 72 -136) A = 56, W = 28
M269 6038 2499 1390 6038 NMOS L=2U W=28U
* M269 Drain Gate Source Bulk (52 -164 54 -136) A = 56, W = 28
M270 6038 1304 2497 6038 NMOS L=2U W=28U
* M270 Drain Gate Source Bulk (26 -164 28 -136) A = 56, W = 28
M271 6038 2494 1471 6038 NMOS L=2U W=28U
* M271 Drain Gate Source Bulk (0 -164 2 -136) A = 56, W = 28
M272 6038 1301 2451 6038 NMOS L=2U W=28U
* M272 Drain Gate Source Bulk (-26 -164 -24 -136) A = 56, W = 28
M273 6038 1230 3836 6038 NMOS L=2U W=28U
* M273 Drain Gate Source Bulk (-44 -164 -42 -136) A = 56, W = 28
M274 6038 42 3785 6038 NMOS L=2U W=28U
* M274 Drain Gate Source Bulk (-78 -164 -76 -136) A = 56, W = 28
```

M275 6038 30 2444 6038 NMOS L=2U W=28U

* M275 Drain Gate Source Bulk (-112 -164 -110 -136) A = 56, W = 28

M276 6038 16 1225 6038 NMOS L=2U W=28U

* M276 Drain Gate Source Bulk (-130 -164 -128 -136) A = 56, W = 28

M277 6038 633 2404 6038 NMOS L=2U W=28U

* M277 Drain Gate Source Bulk (-148 -164 -146 -136) A = 56, W = 28

M278 6038 858 1148 6038 NMOS L=2U W=28U

* M278 Drain Gate Source Bulk (-190 -164 -188 -136) A = 56, W = 28

M279 6038 1915 2397 6038 NMOS L=2U W=28U

* M279 Drain Gate Source Bulk (-208 -164 -206 -136) A = 56, W = 28

M280 6038 1147 1144 6038 NMOS L=2U W=28U

* M280 Drain Gate Source Bulk (-234 -164 -232 -136) A = 56, W = 28

M281 6038 2587 2348 6038 NMOS L=2U W=28U

* M281 Drain Gate Source Bulk (-260 -164 -258 -136) A = 56, W = 28

M282 6038 1143 1062 6038 NMOS L=2U W=28U

* M282 Drain Gate Source Bulk (-286 -164 -284 -136) A = 56, W = 28

M283 6038 3042 2278 6038 NMOS L=2U W=28U

* M283 Drain Gate Source Bulk (-320 -164 -318 -136) A = 56, W = 28

M284 2278 1980 5126 6038 NMOS L=2U W=28U

* M284 Drain Gate Source Bulk (-312 -164 -310 -136) A = 56, W = 28

M285 6038 2294 2283 6038 NMOS L=2U W=28U

* M285 Drain Gate Source Bulk (-354 -164 -352 -136) A = 56, W = 28

M286 2283 1477 1980 6038 NMOS L=2U W=28U

* M286 Drain Gate Source Bulk (-346 -164 -344 -136) A = 56, W = 28

M287 1477 3318 5991 5991 PMOS L=2U W=28U

* M287 Drain Gate Source Bulk (190 -444 192 -416) A = 56, W = 28

M288 1417 3318 1477 6038 NMOS L=2U W=28U

* M288 Drain Gate Source Bulk (190 -482 192 -454) A = 56, W = 28

M289 5991 1895 1477 5991 PMOS L=2U W=28U

* M289 Drain Gate Source Bulk (182 -444 184 -416) A = 56, W = 28

M290 5991 1474 1475 5991 PMOS L=2U W=28U

* M290 Drain Gate Source Bulk (156 -444 158 -416) A = 56, W = 28

M291 1475 1385 5991 5991 PMOS L=2U W=28U

* M291 Drain Gate Source Bulk (164 -444 166 -416) A = 56, W = 28

M292 5991 1471 1472 5991 PMOS L=2U W=28U

```
* M292 Drain Gate Source Bulk (130 -444 132 -416) A = 56, W = 28
M293 1472 3785 5991 5991 PMOS L=2U W=28U
* M293 Drain Gate Source Bulk (138 -444 140 -416) A = 56, W = 28
M294 5991 1384 1469 5991 PMOS L=2U W=28U
* M294 Drain Gate Source Bulk (104 -444 106 -416) A = 56, W = 28
M295 1469 1470 5991 5991 PMOS L=2U W=28U
* M295 Drain Gate Source Bulk (112 -444 114 -416) A = 56, W = 28
M296 6038 1895 1417 6038 NMOS L=2U W=28U
* M296 Drain Gate Source Bulk (182 -482 184 -454) A = 56, W = 28
M297 6038 1474 1420 6038 NMOS L=2U W=28U
* M297 Drain Gate Source Bulk (156 -482 158 -454) A = 56, W = 28
M298 1420 1385 1475 6038 NMOS L=2U W=28U
* M298 Drain Gate Source Bulk (164 -482 166 -454) A = 56, W = 28
M299 6038 1471 1423 6038 NMOS L=2U W=28U
* M299 Drain Gate Source Bulk (130 -482 132 -454) A = 56, W = 28
M300 1423 3785 1472 6038 NMOS L=2U W=28U
* M300 Drain Gate Source Bulk (138 -482 140 -454) A = 56, W = 28
M301 6038 1384 1426 6038 NMOS L=2U W=28U
* M301 Drain Gate Source Bulk (104 -482 106 -454) A = 56, W = 28
M302 1426 1470 1469 6038 NMOS L=2U W=28U
* M302 Drain Gate Source Bulk (112 -482 114 -454) A = 56, W = 28
M303 5991 1895 1396 5991 PMOS L=2U W=28U
* M303 Drain Gate Source Bulk (78 -444 80 -416) A = 56, W = 28
M304 1396 3785 5991 5991 PMOS L=2U W=28U
* M304 Drain Gate Source Bulk (86 -444 88 -416) A = 56, W = 28
M305 5991 1393 1385 5991 PMOS L=2U W=28U
* M305 Drain Gate Source Bulk (52 -444 54 -416) A = 56, W = 28
M306 1385 3785 5991 5991 PMOS L=2U W=28U
* M306 Drain Gate Source Bulk (60 -444 62 -416) A = 56, W = 28
M307 5991 1390 1391 5991 PMOS L=2U W=28U
* M307 Drain Gate Source Bulk (26 -444 28 -416) A = 56, W = 28
M308 1391 3785 5991 5991 PMOS L=2U W=28U
* M308 Drain Gate Source Bulk (34 -444 36 -416) A = 56, W = 28
M309 5991 1895 1384 5991 PMOS L=2U W=28U
* M309 Drain Gate Source Bulk (0 -444 2 -416) A = 56, W = 28
```

M310 1384 3318 5991 5991 PMOS L=2U W=28U

* M310 Drain Gate Source Bulk (8 -444 10 -416) A = 56, W = 28

M311 6038 1895 1334 6038 NMOS L=2U W=28U

* M311 Drain Gate Source Bulk (78 -482 80 -454) A = 56, W = 28

M312 1334 3785 1396 6038 NMOS L=2U W=28U

* M312 Drain Gate Source Bulk (86 -482 88 -454) A = 56, W = 28

M313 6038 1393 1338 6038 NMOS L=2U W=28U

* M313 Drain Gate Source Bulk (52 -482 54 -454) A = 56, W = 28

M314 1338 3785 1385 6038 NMOS L=2U W=28U

* M314 Drain Gate Source Bulk (60 -482 62 -454) A = 56, W = 28

M315 6038 1390 1341 6038 NMOS L=2U W=28U

* M315 Drain Gate Source Bulk (26 -482 28 -454) A = 56, W = 28

M316 1341 3785 1391 6038 NMOS L=2U W=28U

* M316 Drain Gate Source Bulk (34 -482 36 -454) A = 56, W = 28

M317 6038 1895 1344 6038 NMOS L=2U W=28U

* M317 Drain Gate Source Bulk (0 -482 2 -454) A = 56, W = 28

M318 1344 3318 1384 6038 NMOS L=2U W=28U

* M318 Drain Gate Source Bulk (8 -482 10 -454) A = 56, W = 28

M319 5991 3836 1310 5991 PMOS L=2U W=28U

* M319 Drain Gate Source Bulk (-26 -444 -24 -416) A = 56, W = 28

M320 1310 1471 5991 5991 PMOS L=2U W=28U

* M320 Drain Gate Source Bulk (-18 -444 -16 -416) A = 56, W = 28

M321 5991 1306 1307 5991 PMOS L=2U W=28U

* M321 Drain Gate Source Bulk (-52 -444 -50 -416) A = 56, W = 28

M322 1307 1308 5991 5991 PMOS L=2U W=28U

* M322 Drain Gate Source Bulk (-44 -444 -42 -416) A = 56, W = 28

M323 5991 1303 1304 5991 PMOS L=2U W=28U

* M323 Drain Gate Source Bulk (-78 -444 -76 -416) A = 56, W = 28

M324 1304 1305 5991 5991 PMOS L=2U W=28U

* M324 Drain Gate Source Bulk (-70 -444 -68 -416) A = 56, W = 28

M325 5991 1300 1301 5991 PMOS L=2U W=28U

* M325 Drain Gate Source Bulk (-104 -444 -102 -416) A = 56, W = 28

M326 1301 1302 5991 5991 PMOS L=2U W=28U

* M326 Drain Gate Source Bulk (-96 -444 -94 -416) A = 56, W = 28

M327 6038 3836 1254 6038 NMOS L=2U W=28U

```
* M327 Drain Gate Source Bulk (-26 -482 -24 -454) A = 56, W = 28
M328 1254 1471 1310 6038 NMOS L=2U W=28U
* M328 Drain Gate Source Bulk (-18 -482 -16 -454) A = 56, W = 28
M329 6038 1306 1258 6038 NMOS L=2U W=28U
* M329 Drain Gate Source Bulk (-52 -482 -50 -454) A = 56, W = 28
M330 1258 1308 1307 6038 NMOS L=2U W=28U
* M330 Drain Gate Source Bulk (-44 -482 -42 -454) A = 56, W = 28
M331 6038 1303 1261 6038 NMOS L=2U W=28U
* M331 Drain Gate Source Bulk (-78 -482 -76 -454) A = 56, W = 28
M332 1261 1305 1304 6038 NMOS L=2U W=28U
* M332 Drain Gate Source Bulk (-70 -482 -68 -454) A = 56, W = 28
M333 6038 1300 1264 6038 NMOS L=2U W=28U
* M333 Drain Gate Source Bulk (-104 -482 -102 -454) A = 56, W = 28
M334 1264 1302 1301 6038 NMOS L=2U W=28U
* M334 Drain Gate Source Bulk (-96 -482 -94 -454) A = 56, W = 28
M335 5991 1229 1230 5991 PMOS L=2U W=28U
* M335 Drain Gate Source Bulk (-130 -444 -128 -416) A = 56, W = 28
M336 1230 1231 5991 5991 PMOS L=2U W=28U
* M336 Drain Gate Source Bulk (-122 -444 -120 -416) A = 56, W = 28
M337 5991 68 1227 5991. PMOS L=2U W=28U
* M337 Drain Gate Source Bulk (-156 -444 -154 -416) A = 56, W = 28
M338 1227 16 5991 5991 PMOS L=2U W=28U
* M338 Drain Gate Source Bulk (-148 -444 -146 -416) A = 56, W = 28
M339 5991 1225 1226 5991 PMOS L=2U W=28U
* M339 Drain Gate Source Bulk (-182 -444 -180 -416) A = 56, W = 28
M340 1226 56 5991 5991 PMOS L=2U W=28U
* M340 Drain Gate Source Bulk (-174 -444 -172 -416) A = 56, W = 28
M341 5991 68 1223 5991 PMOS L=2U W=28U
* M341 Drain Gate Source Bulk (-208 -444 -206 -416) A = 56, W = 28
M342 1223 858 5991 5991 PMOS L=2U W=28U
* M342 Drain Gate Source Bulk (-200 -444 -198 -416) A = 56, W = 28
M343 6038 1229 1172 6038 NMOS L=2U W=28U
* M343 Drain Gate Source Bulk (-130 -482 -128 -454) A = 56, W = 28
M344 1172 1231 1230 6038 NMOS L=2U W=28U
* M344 Drain Gate Source Bulk (-122 -482 -120 -454) A = 56, W = 28
```

M345 6038 68 1176 6038 NMOS L=2U W=28U

* M345 Drain Gate Source Bulk (-156 -482 -154 -454) A = 56, W = 28

M346 1176 16 1227 6038 NMOS L=2U W=28U

* M346 Drain Gate Source Bulk (-148 -482 -146 -454) A = 56, W = 28

M347 6038 1225 1179 6038 NMOS L=2U W=28U

* M347 Drain Gate Source Bulk (-182 -482 -180 -454) A = 56, W = 28

M348 1179 56 1226 6038 NMOS L=2U W=28U

* M348 Drain Gate Source Bulk (-174 -482 -172 -454) A = 56, W = 28

M349 6038 68 1182 6038 NMOS L=2U W=28U

* M349 Drain Gate Source Bulk (-208 -482 -206 -454) A = 56, W = 28

M350 1182 858 1223 6038 NMOS L=2U W=28U

* M350 Drain Gate Source Bulk (-200 -482 -198 -454) A = 56, W = 28

M351 5991 1148 1149 5991 PMOS L=2U W=28U

* M351 Drain Gate Source Bulk (-234 -444 -232 -416) A = 56, W = 28

M352 1149 56 5991 5991 PMOS L=2U W=28U

* M352 Drain Gate Source Bulk (-226 -444 -224 -416) A = 56, W = 28

M353 5991 68 1146 5991 PMOS L=2U W=28U

* M353 Drain Gate Source Bulk (-260 -444 -258 -416) A = 56, W = 28

M354 1146 1147 5991 5991 PMOS L=2U W=28U

* M354 Drain Gate Source Bulk (-252 -444 -250 -416) A = 56, W = 28

M355 5991 1144 1145 5991 PMOS L=2U W=28U

* M355 Drain Gate Source Bulk (-286 -444 -284 -416) A = 56, W = 28

M356 1145 56 5991 5991 PMOS L=2U W=28U

* M356 Drain Gate Source Bulk (-278 -444 -276 -416) A = 56, W = 28

M357 1142 1143 5991 5991 PMOS L=2U W=28U

* M357 Drain Gate Source Bulk (-304 -444 -302 -416) A = 56, W = 28

M358 6038 1148 1085 6038 NMOS L=2U W=28U

* M358 Drain Gate Source Bulk (-234 -482 -232 -454) A = 56, W = 28

M359 1085 56 1149 6038 NMOS L=2U W=28U

* M359 Drain Gate Source Bulk (-226 -482 -224 -454) A = 56, W = 28

M360 6038 68 1089 6038 NMOS L=2U W=28U

* M360 Drain Gate Source Bulk (-260 -482 -258 -454) A = 56, W = 28

M361 1089 1147 1146 6038 NMOS L=2U W=28U

* M361 Drain Gate Source Bulk (-252 -482 -250 -454) A = 56, W = 28

M362 6038 1144 1092 6038 NMOS L=2U W=28U

```
* M362 Drain Gate Source Bulk (-286 -482 -284 -454) A = 56, W = 28
M363 1092 56 1145 6038 NMOS L=2U W=28U
* M363 Drain Gate Source Bulk (-278 -482 -276 -454) A = 56, W = 28
M364 1094 1143 1142 6038 NMOS L=2U W=28U
* M364 Drain Gate Source Bulk (-304 -482 -302 -454) A = 56, W = 28
M365 5991 68 1142 5991 PMOS L=2U W=28U
* M365 Drain Gate Source Bulk (-312 -444 -310 -416) A = 56, W = 28
M366 5991 1062 1063 5991 PMOS L=2U W=28U
* M366 Drain Gate Source Bulk (-338 -444 -336 -416) A = 56, W = 28
M367 1063 56 5991 5991 PMOS L=2U W=28U
M368 6038 68 1094 6038 NMOS L=2U W=28U
M369 6038 1062 1033 6038 NMOS L=2U W=28U
M370 1033 56 1063 6038 NMOS L=2U W=28U
* M370 Drain Gate Source Bulk (-330 -482 -328 -454) A = 56, W = 28
* Total Nodes: 230 ;
* Total Elements: 370 ;
* Extract Elapsed Time: 340 seconds ;
.END
```

10. ALU_CMP.OUT

File written by LVS 2.04/386 Wed Mar 02 20:03:55 1994

Parsing file C:\alu_1.SPC...

Flattening network...

Found :

189 M_NMOS

181 M_PMOS

370 total elements

198 total nodes

Parsing file C:alu_2.SPC...

Flattening network...

Found :

189 M_NMOS

181 M_PMOS

370 total elements

198 total nodes

Replacing series transistors...

C:\alu_1.SPC: Replaced 147 series transistors (eliminating 90 nodes).

C:alu_2.SPC: Replaced 147 series transistors (eliminating 90 nodes).

********** ITERATING **********

Iterating...

5% done

10% done

15% done

20% done

25% done

30% done

35% done

40% done

45% done

50% done

55% done

60% done

65% done

70% done

75% done

80% done

85% done

90% done

95% done

100% done

********** FINAL RESULT **********

Circuits are equal!

Note: Series transistors have been replaced.

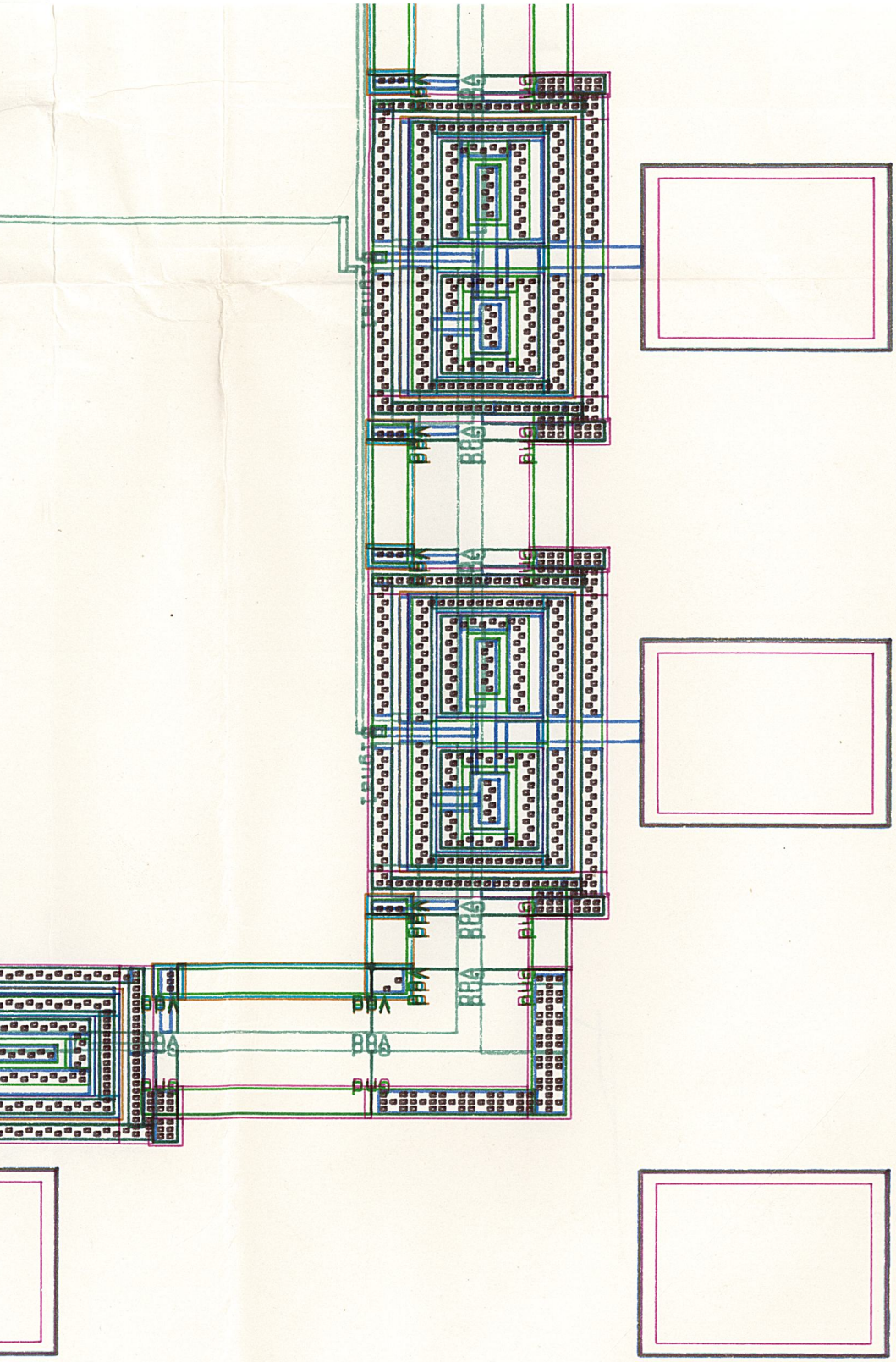
กิตติกรรมประกาศ

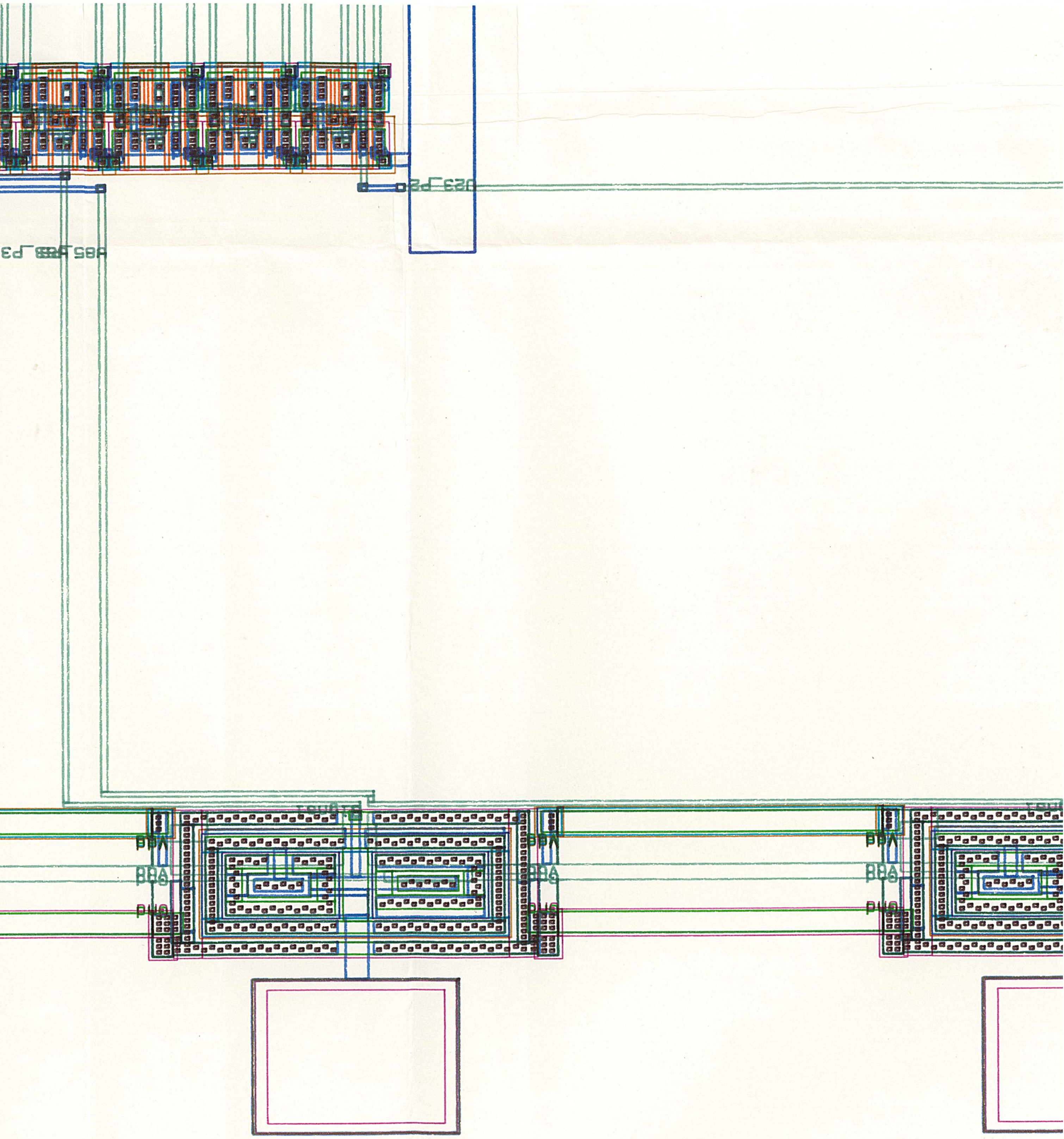
โครงงานนี้สำเร็จลุล่วงได้ด้วยดีก็ด้วยคำแนะนำ , ชี้แนะ ตลอดจนอุปกรณ์ต่าง ๆ จาก อาจารย์เจ้าหน้าที่ ทั้งอาจารย์และเจ้าหน้าที่ จากวิทยาลัยมหานครที่เอื้อเฟื้อให้ยืม คู่มือการใช้งานและอุปกรณ์อื่นๆ อีกที่เกี่ยวข้อง และอาจารย์และเจ้าหน้าที่คณะวิศวกรรมศาสตร์ พระจอมเกล้าฯ ลาดกระบัง ที่ได้ให้คำปรึกษา และให้ยืมอุปกรณ์ที่ใช้ในการทำโครงงานนี้

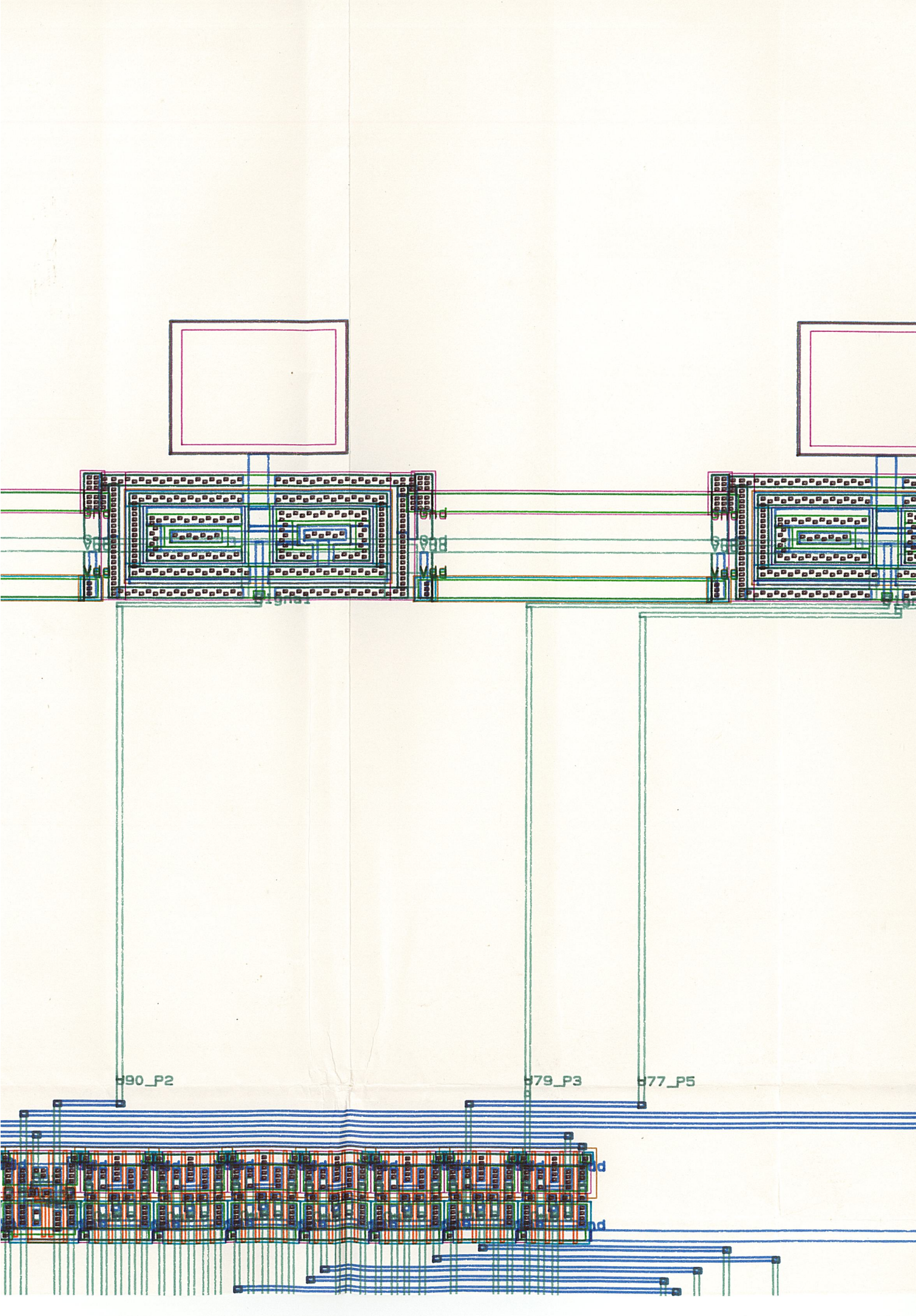
สุดท้ายผู้จัดทำต้องขอขอบพระคุณ อาจารย์บรรจง ปิยธำรง ที่ให้แนวทาง ในการดำเนินงาน และ ต้องขอขอบคุณ เจ้าหน้าที่ทุกๆท่าน ตลอดจนเพื่อน ๆ ทุกคน ที่ให้ความช่วยเหลือเป็นอย่างดี

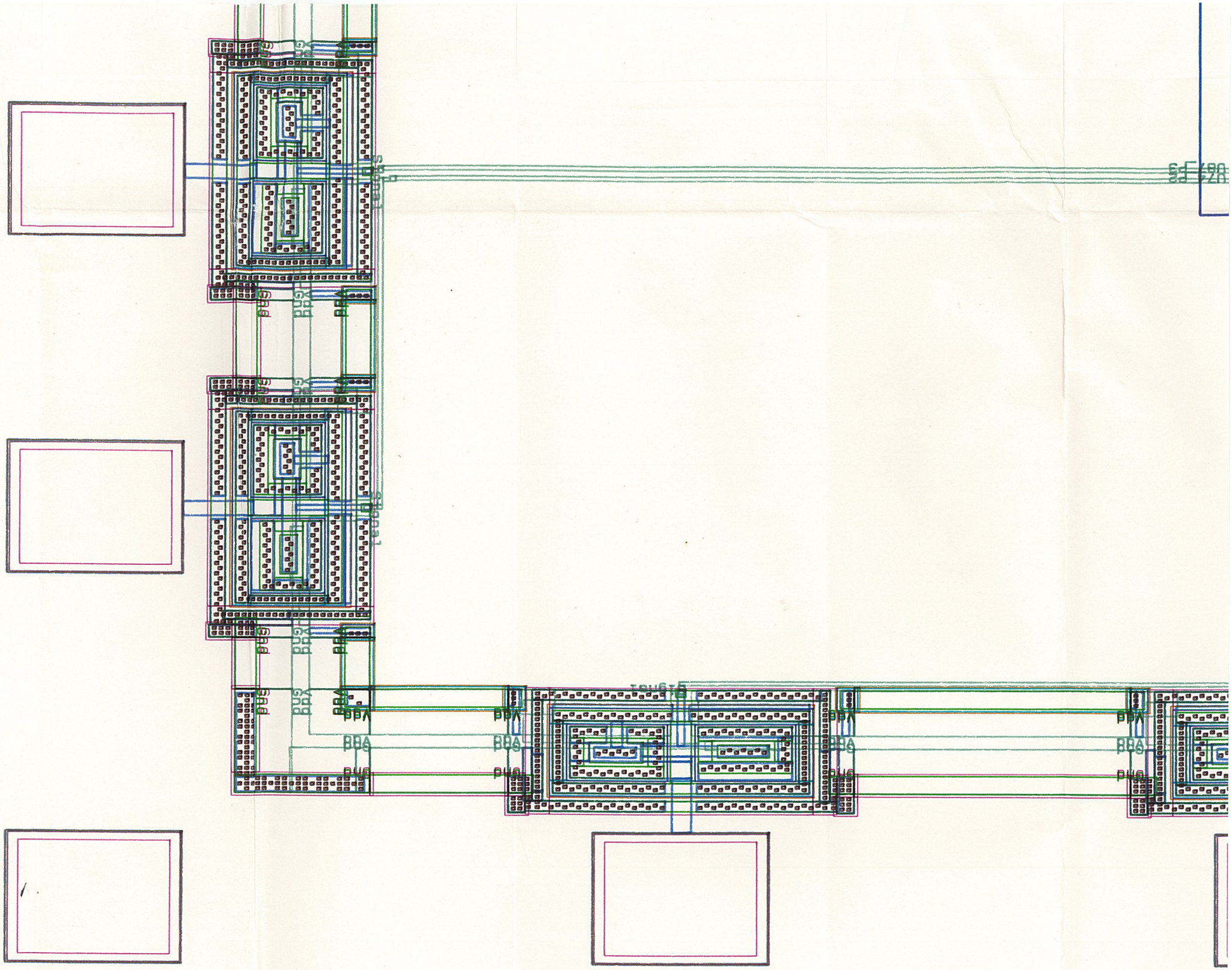
บรรณานุกรม

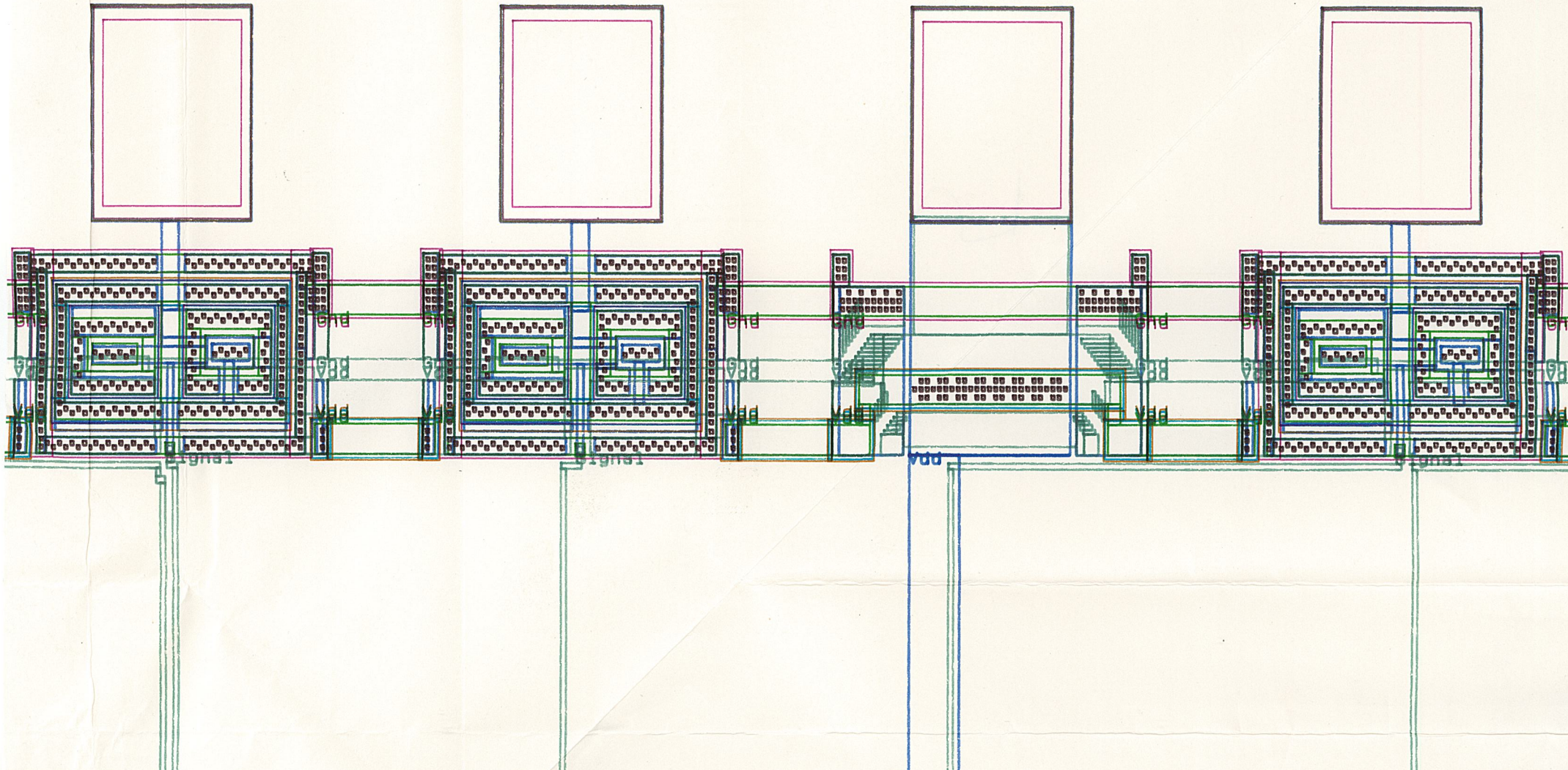
1. สุชาย ธนวเสถียร , ชิดชนก เหลือสินทรัพย์ , อนุชา พิทักษณานนท์, วิเทศ เตชะงาม และ บรรจง ปียธำรง , " การออกแบบวงจรรวม " , มหาวิทยาลัยรังสิต , 121 หน้า ,2535
2. วันชัย คุณากรวงศ์ , " ทฤษฎีและการออกแบบวงจรดิจิตอล เล่ม 2 " , ฟิสิกส์เซ็นเตอร์ , 205 หน้า , 2528
3. Amar Mukherjee , " Introduction to NMOS and CMOS VLSI Systems Design " , Prentice-Hall 370 p. ,1986.
4. Anant Adke , Darid Lipin , Mike Pottenger and Chris Yiu , " Layout Editor Manual PC Version 5.00 " , United states , 415 p. , 1993.
5. Neil Weste , Kamran Eshraghiam , " Principles of CMOS VLSI Design A Systems Perspective " , Addison - Wesley , 531 p. , 1984.

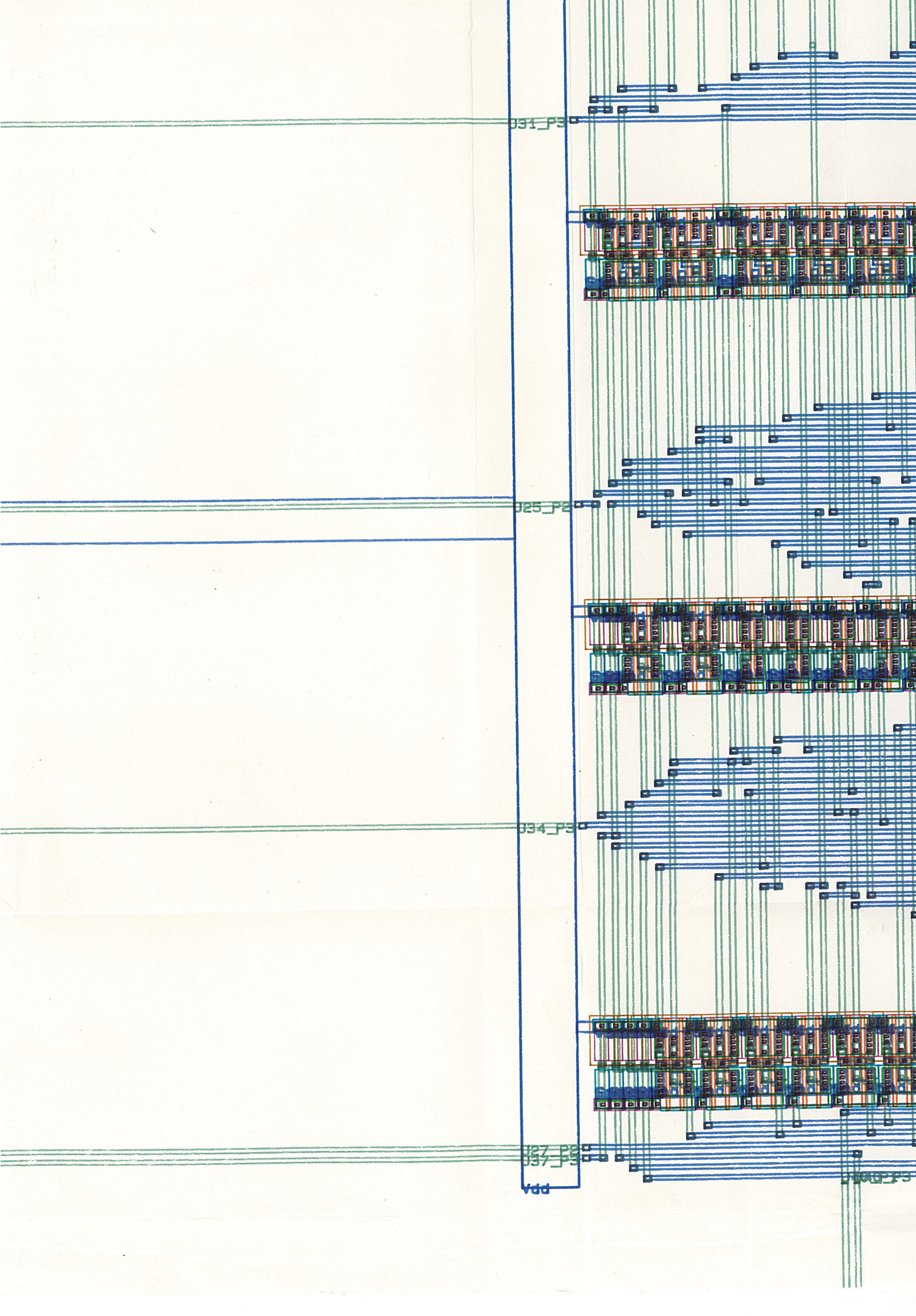

Vdd
Vdd
Vdd
Vdd
Gnd
Gnd
Gnd
Gnd
Vdd
Vdd
Vdd
Vdd
Gnd
Gnd
Gnd
Gnd
Vdd
Vdd
Vdd
Vdd
Gnd
Gnd
Gnd
Gnd
Vdd
Vdd
Vdd
Vdd
Gnd
Gnd
Gnd
Gnd
Vdd
Vdd
Vdd
Vdd
Gnd
Gnd
Gnd
Gnd

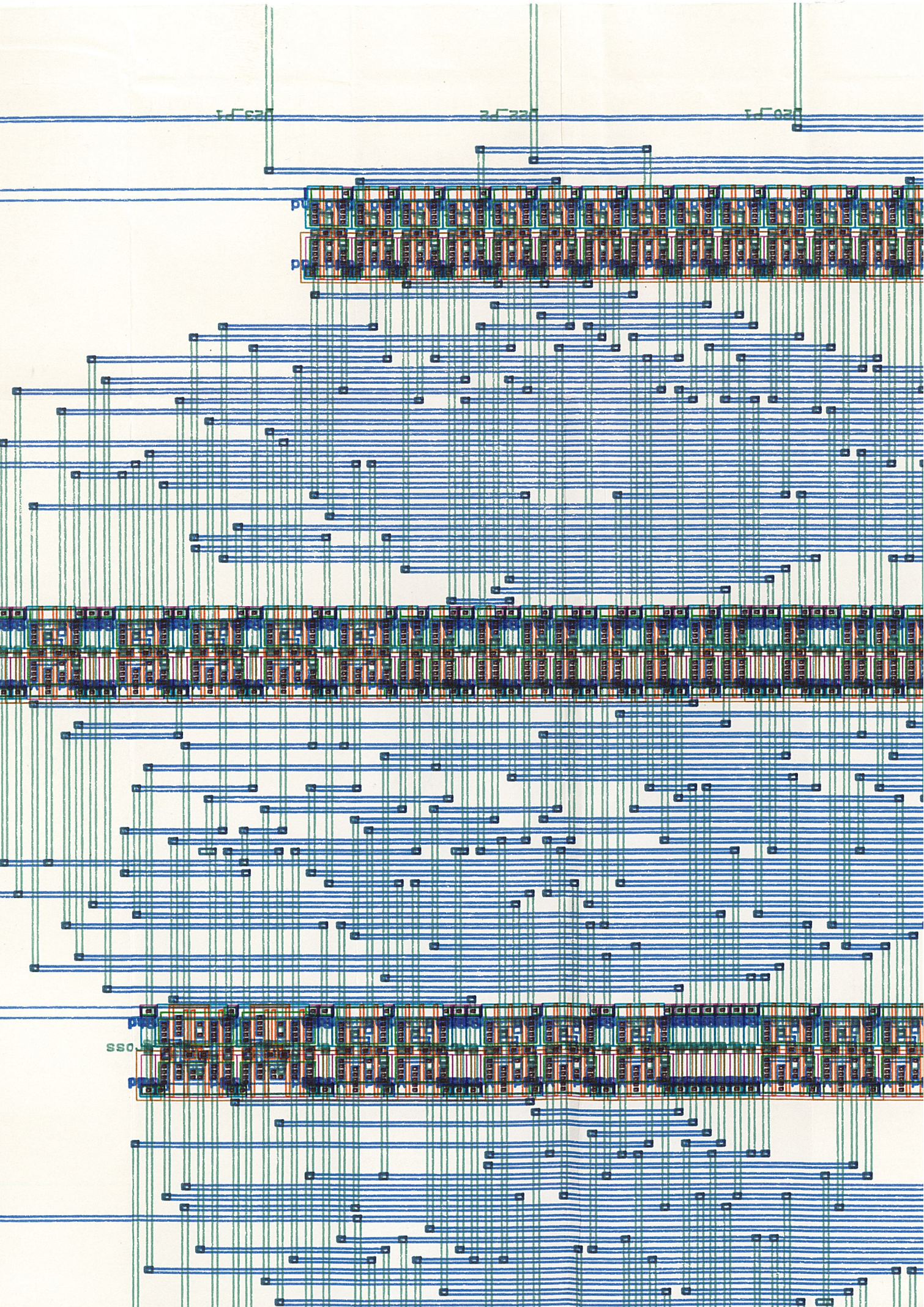


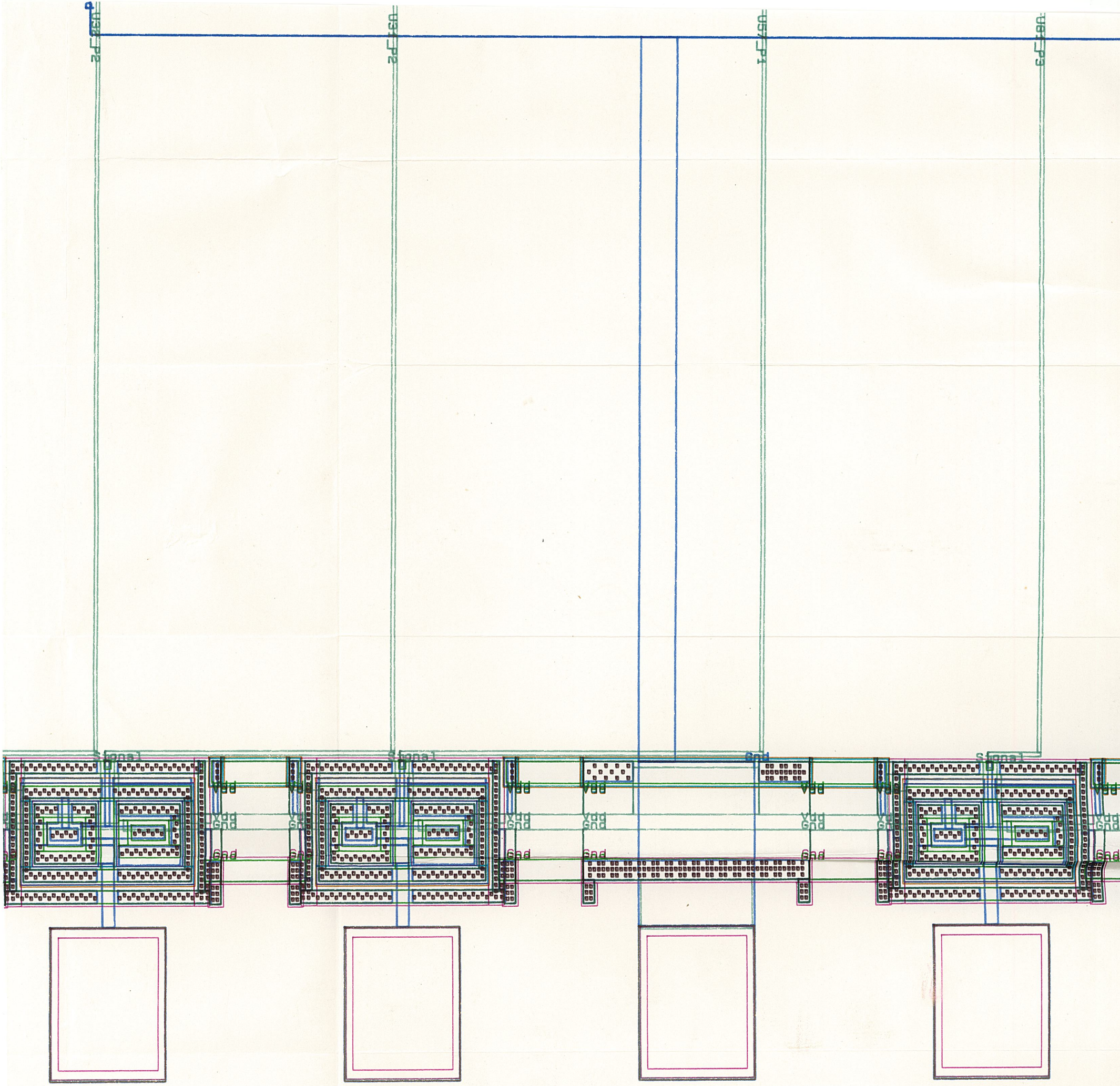

Vdd
Vdd
Vdd
Vdd
Vdd
Vdd
Signal
890_P2
879_P3
877_P5

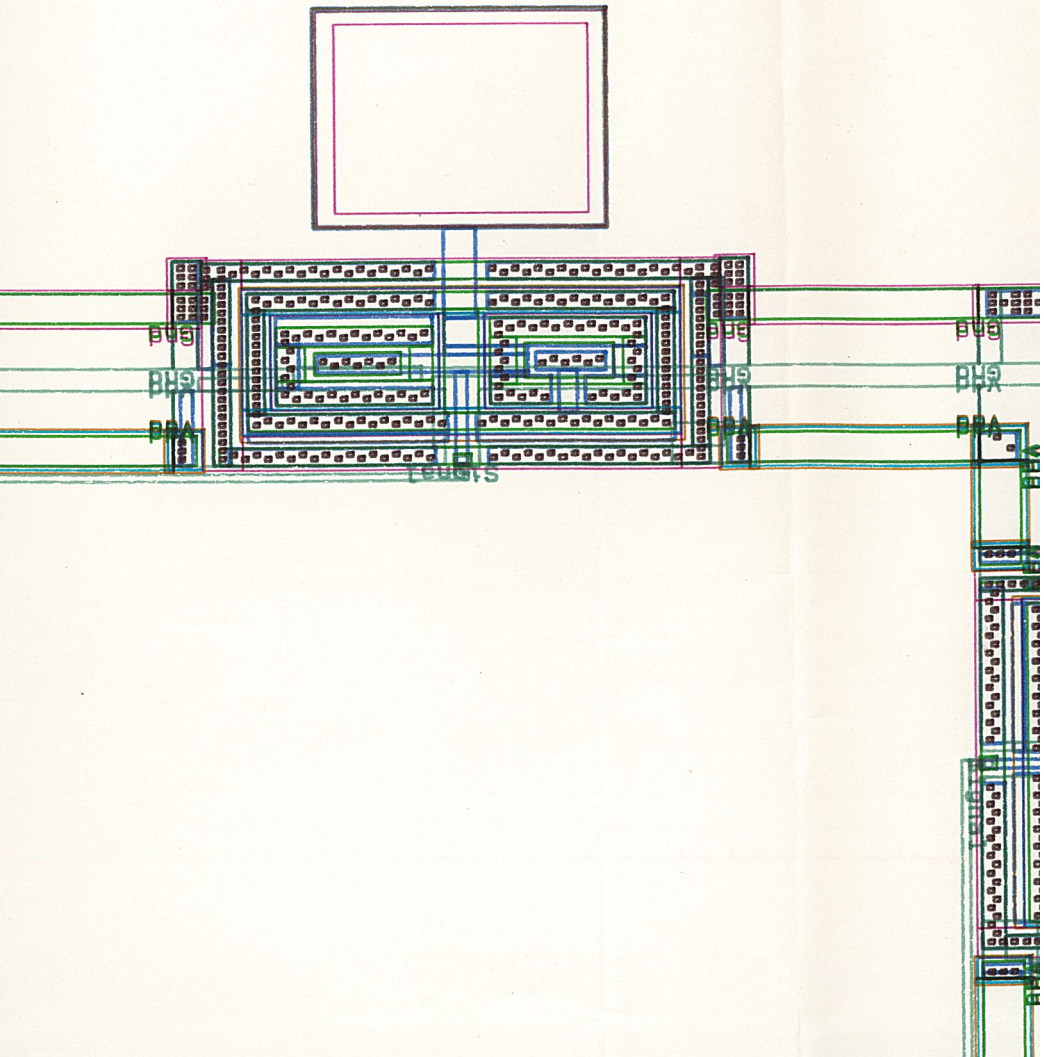


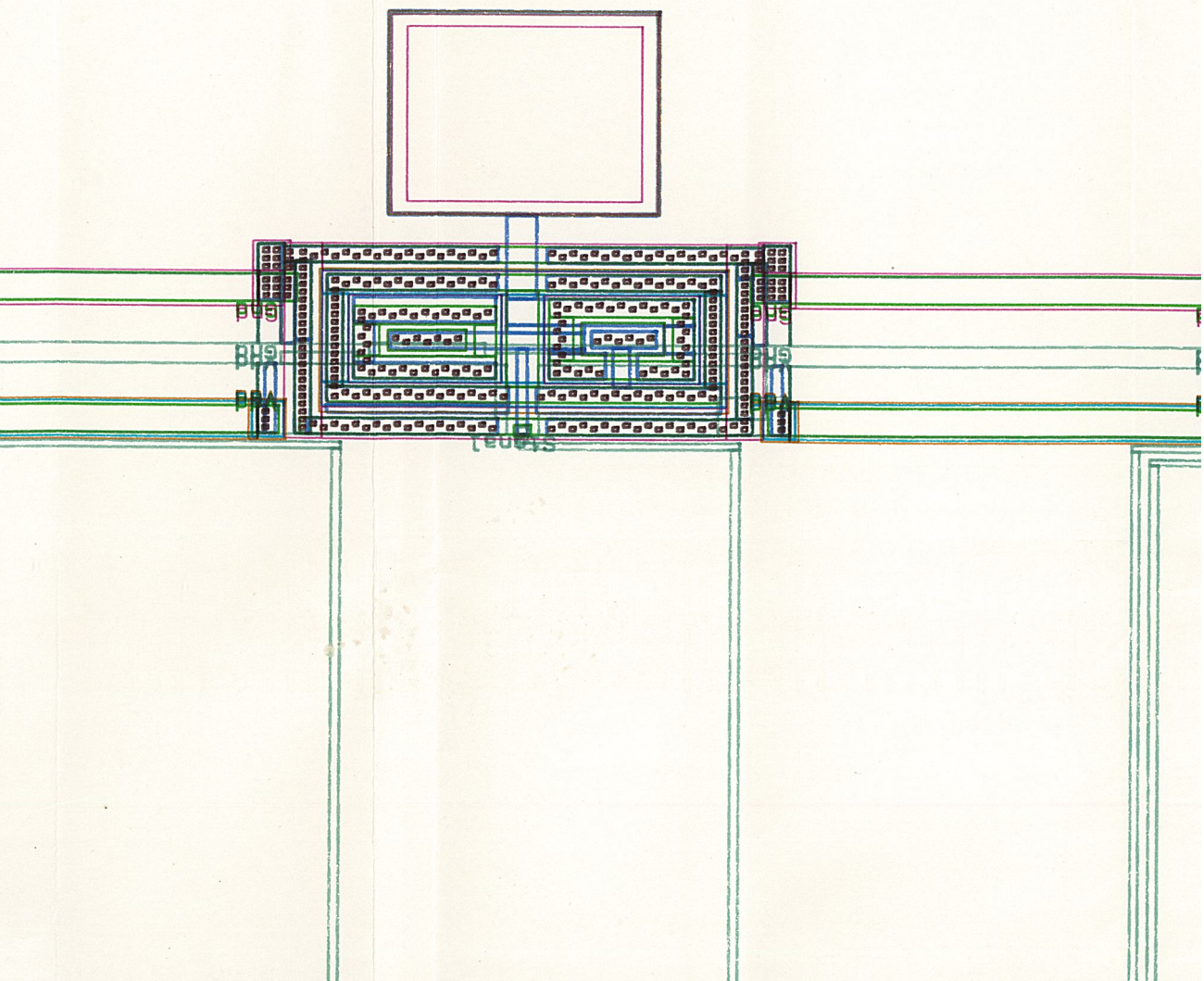

Gnd
Vdd
Signal

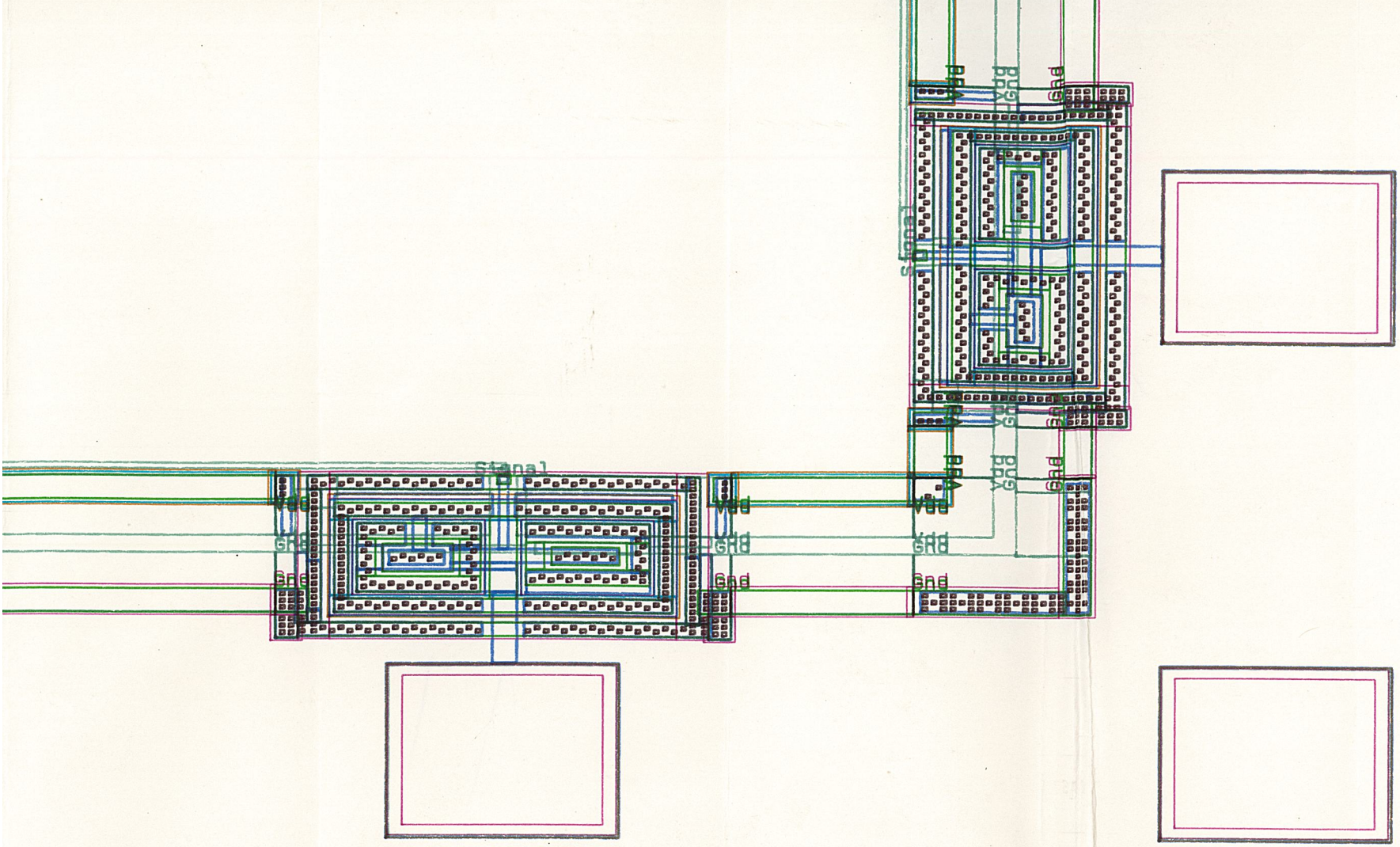

U31_P3
U25_P2
U34_P3
U27_P2
U37_P3
Vdd



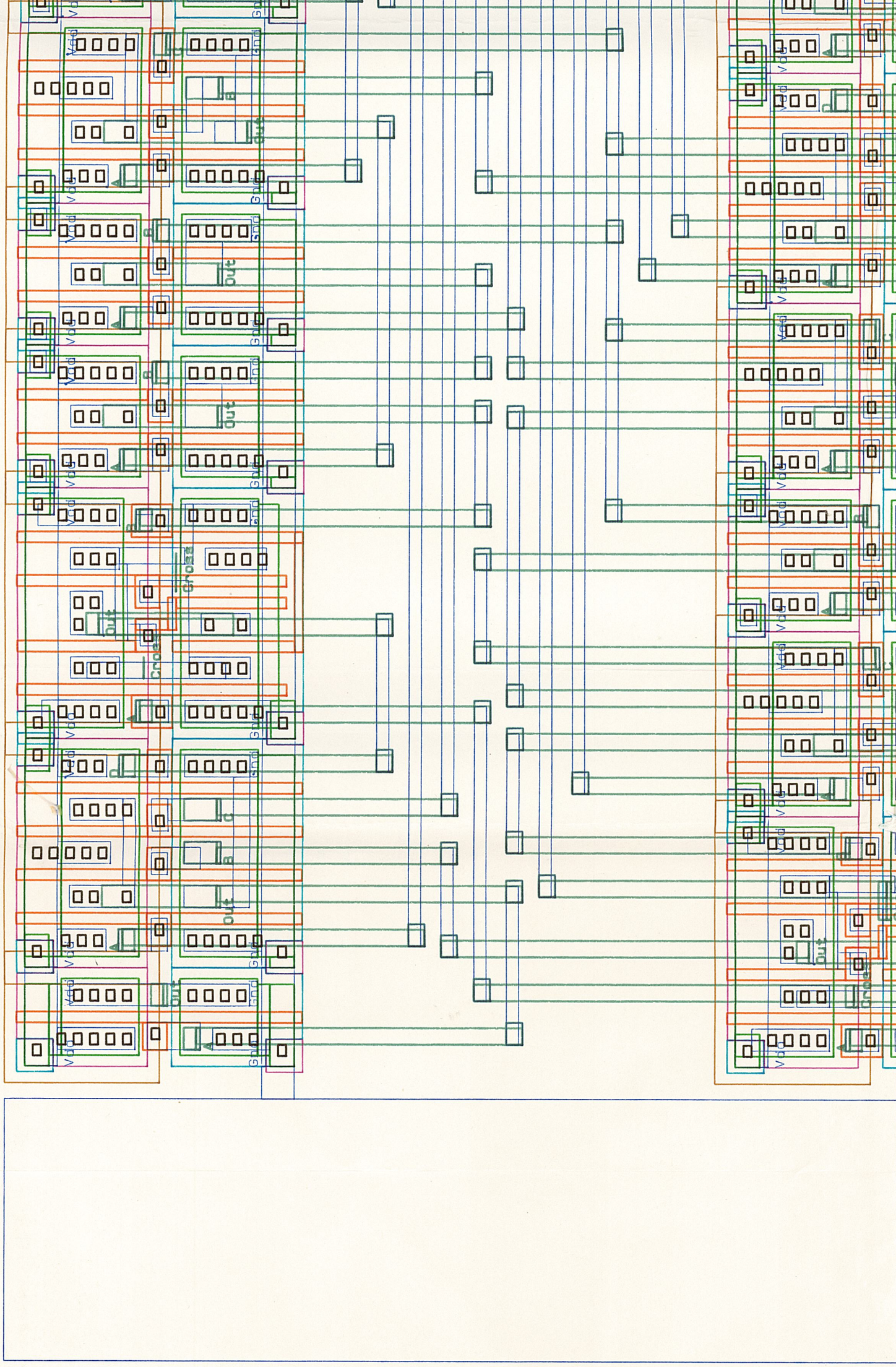

Signal
Vdd
Gnd
Signal
Vdd
Gnd
Gnd
Signal
Vdd
Gnd

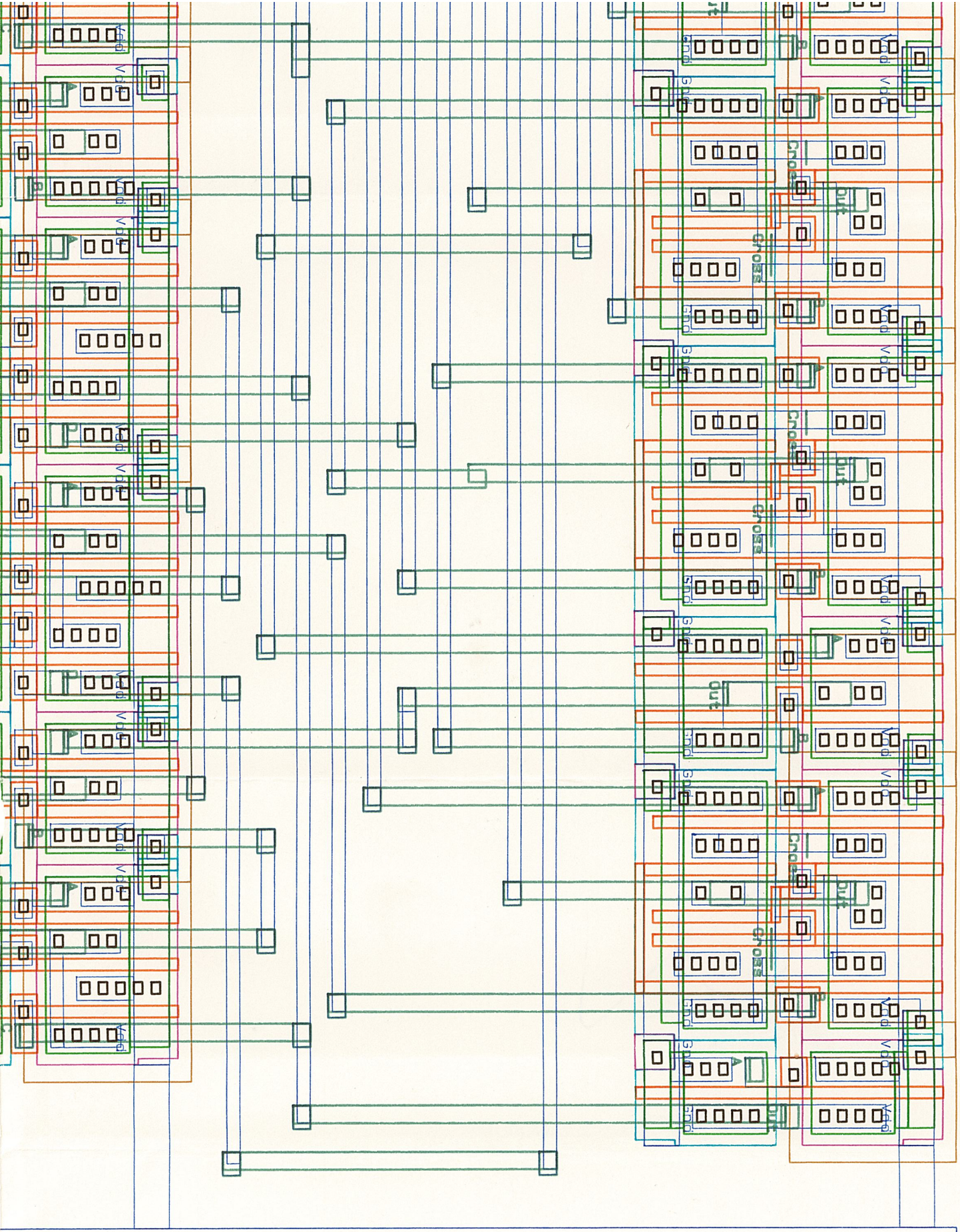


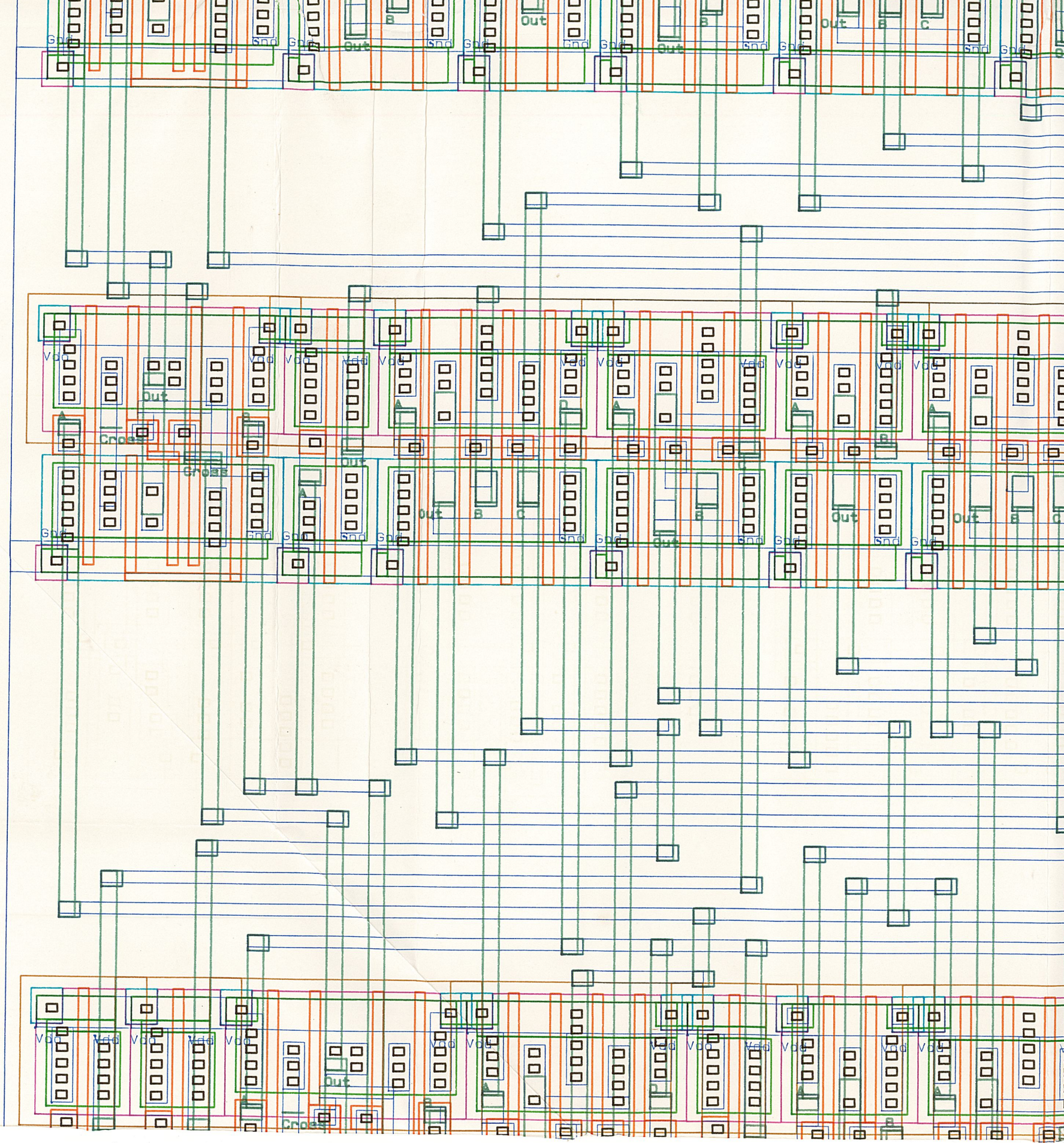


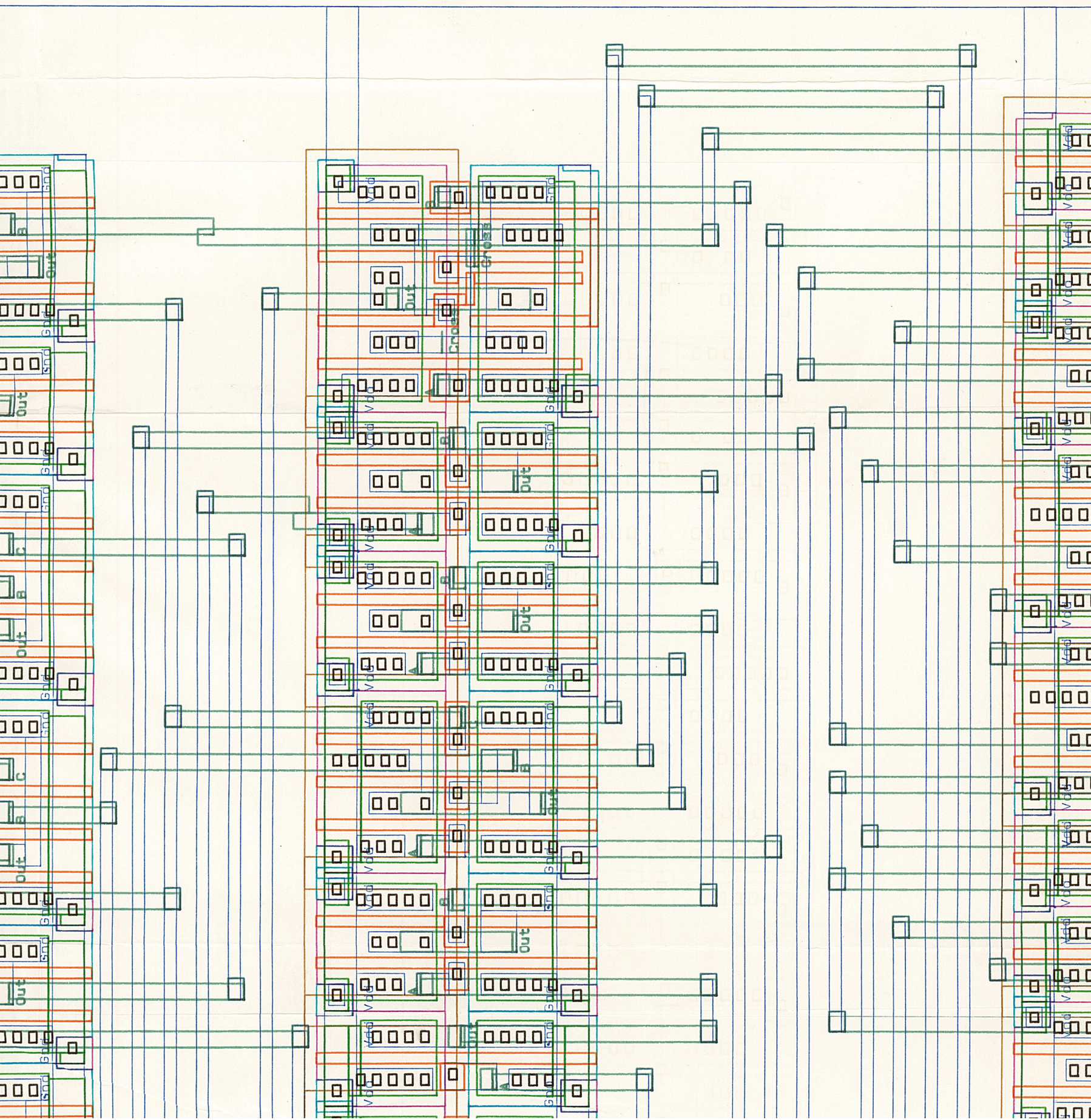


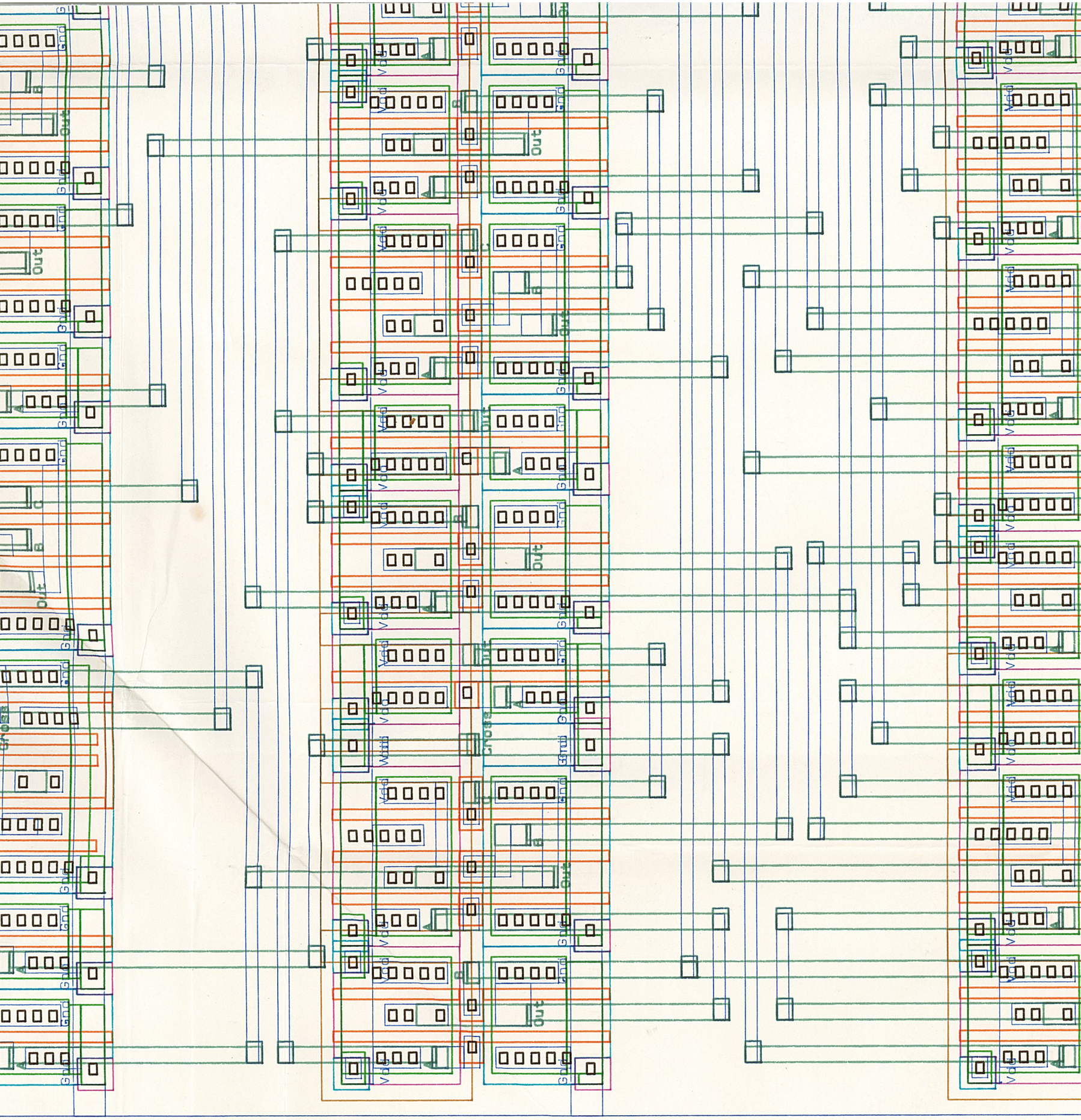
Project	Semicustom Integrated Circuit Design using Standard Cell Libraries		
Circuit	Arithmetic Logic Unit	Technology	SCN

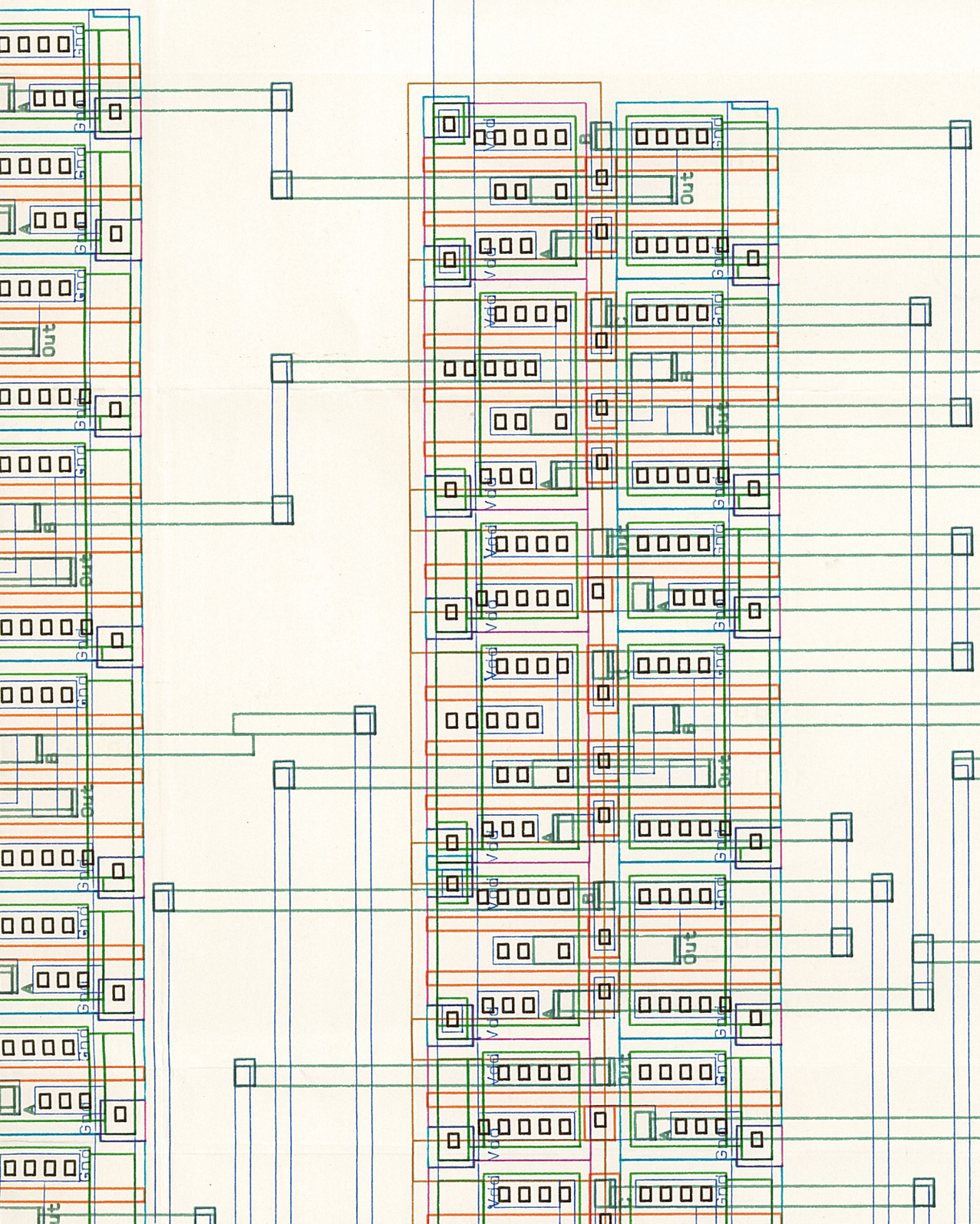

Vdd
Gnd
Out
A
B
C
D

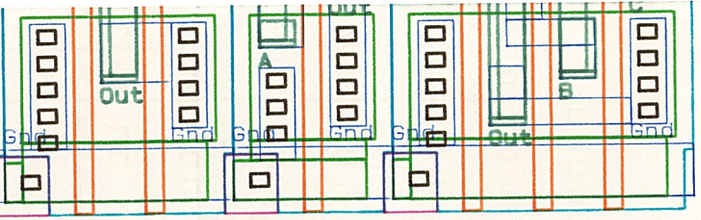

Vdd
Gnd
Cross
Out


Gnd
Vdd
Out
Cross
A
B
C


Vdd
Gnd
A
B
C
Out
Cross

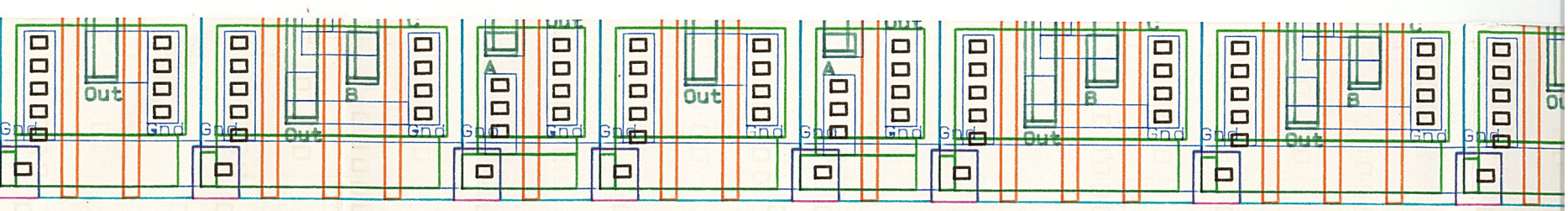

Vdd
Gnd
Out
A
B
C


Gnd
Vdd
Out
B



Vdd

Project	Semicustom Integrated Circuit Design using Standard Cell Libraries		
Circuit	Arithmetic Logic Unit	Part Core	Technology SCN
Date :	March 3 . 1994	Sheet 2 of 2	
By	Pattama Leelahabumrung	Circuit by Hitachi	


Out
Gnd
Gnd
Out
B
Gnd
Gnd
A
Out
Gnd
Out
Gnd
A
Out
Gnd
Gnd
B
Out
Gnd
Gnd
B
Out
Gnd
Gnd
Out