การเข้ารหัสสัญญาณเอเอ็ม สเตริโอ

AM STEREO ENCODER

โดย

นายสมศักดิ์ ล้ออุดม

นายสุวัฒน์ เทพสุทิน

นายอิทธิพล ประสงค์มณีรัตน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมบัณฑิต

สาขาเทคโนโลยีโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033282

หัวข้อปริญญานิพนธ์ การเข้ารหัสเอเอ็ม สเตริโอ (AM-STEREO ENCODER)

โดย

นายสมศักดิ์ ล้ออุดม เลขประจำตัว 35102077

นายสุวัฒน์ เทพสุทิน เลขประจำตัว 35102082

นายอิทธิพล ประสงค์มณีรัตน์ เลขประจำตัว 35102086

อาจารย์ที่ปรึกษา อ.กฤดากร กล่อมการ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2536

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับเป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอเอ็มสเตริโอ เอนโค้ดเดอร์

AM-STEREO ENCODER

โดย นาย สมศักดิ์ ล้ออุดม
นาย สุวัฒน์ เทพสุทิน
นาย อิทธิพล ประสงค์มณีรัตน์

อาจารย์ที่ปรึกษา อาจารย์ กฤดากร กล่อมการ

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เป็นการนำเสนอการออกแบบและการสร้างเครื่องเข้าสัญญาณสเตริโอ สำหรับการส่งกระจายเสียงแบบ AM(AM Stereo Coder) โดยการสร้างจะสร้างในส่วนที่เรียกว่าเป็น exciter คือ ส่วนสร้างสัญญาณคลื่นพาห์ ส่วนการเข้ารหัสสัญญาณสเตริโอ จะสร้างตามมาตรฐานของ C-QUAM (COMPATIBLE QUADRATURE AMPLITUDE MODULATION) ซึ่งเป็นการคิดค้นระบบของบริษัทโมโตรอล่า ซึ่งในปัจจุบันเป็นระบบที่แพร่หลายในอเมริกา และยุโรปรวมทั้งในประเทศไทยด้วย ในปริญญานิพนธ์นี้ยังได้แสดงการสร้างเครื่องรับสัญญาณ AM Stereo ด้วย

ABSTRACT

This thesis present the design and construction of a stereo coder for A.M boadcasting system. In this thesis an exciter which consist of frequency synthesizer and encoder of stereo signal has been construction.

A well known of A.M stereo coder that developed by Motorola called C-QUAM has been use for principle in this thesis.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้าที่

บทที่ 1 วิทยุกระจายเสียงระบบ เอเอ็ม สเตริโอ

บทนำ 1

1.1 การเปรียบเทียบระบบเอเอ็ม สเตริโอกับระบบ เอฟเอ็ม สเตริโอ 2

1.2 การกระจายเสียงในระบบ AM 3

1.3 ระบบต่างๆ ของเอเอ็ม สเตริโอ 5

1.4 ระบบเอเอ็ม สเตริโอ ของ HHARRIS 10

1.5 ระบบเอเอ็ม สเตริโอ ของ MOTOROLA 12

บทที่ 2 ทฤษฎีและหลักการ

2.1 หลักการพื้นฐานในการกำเนิดสัญญาณสเตริโอ 15

2.2 การเข้ารหัส C-QUAM 16

บทที่ 3 การคำนวนและการก่อสร้าง

3.1 วงจรชดเชยความถี่สูง 27

3.2 วงจรชดเชยความถี่ต่ำ 29

3.3 การสร้างสัญญาณ L+R และ L-R 30

3.4 การสร้างสัญญาณไพลอทโทน 31

3.5 วงจร BALANCE MODULATOR 33

3.6 วงจร VOLTAGE CONTROL OSC. 34

3.7 วงจรเฟสดีเทคเตอร์และ LOW PASS FILTER 41

3.8 วงจรหารแบบโปรแกรมได้ 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่

3.9 วงจรลิมิตเตอร์ 45

3.10 วงจรภาคจ่ายไฟ 46

บทที่ 4 ไอซีดีโค้ดสัญญาณและวงจรดีโค้ดสัญญาณเอเอ็ม สเตริโอ

4.1 ระบบ C-QUAM 48

4.2 MC 13020P ดีโค้ดเดอร์ 49

4.3 วงจรดีโค้ดที่สมบูรณ์ 52

4.4 จูนเนอร์ที่เหมาะสม 54

บทที่ 5 การทดลองและผลการทดลอง 56

บทที่ 6 บทสรุปและวิจารย์ 60

กิตติกรรมประกาศ

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

วิทยุกระจายเสียง

ระบบ เอ.เอ็ม สเตริโอ

บทนำ

ในปี ค.ศ.1981 องค์การ FCC(FEDERAL COMMUNICATION COMMISSION) ซึ่งเป็นองค์การควบคุมมาตรฐานทางด้านการสื่อสารของประเทศสหรัฐอเมริกา ได้อนุมัติให้สามารถนำระบบ เอ.เอ็ม.สเตริโอ ออกอากาศได้เป็นทางการ ตามรายงานผลสรุปการประชุมของ FCC นั้นมิได้กำหนดมาตรฐานของระบบแต่อย่างใด แต่ FCC จะให้ตลาดเป็นตัวคัดเลือกระบบกันเอง ซึ่งผลปรากฏว่าทั้งผู้ออกกอากาศและผู้ผลิตเครื่องรับต่างก็รอกันเอง ไม่พัฒนาระบบทำให้อุปกรณ์ เครื่องมือเครื่องใช้ ทางด้านนี้พัฒนาไปอย่างช้า ๆ

แนวความคิดในการส่งวิทยุระบบ เอ.เอ็ม.สเตริโอ ไม่ได้เป็นเรื่องใหม่เลย มีการค้นคว้าและทดลองออกอากาศมาตั้งแต่ทศวรรษ 1950 ในประเทศอเมริการะบบการส่งวิทยุแบบ เอ.เอ็ม.เป็นวิธีการส่งที่มีประสิทธิภาพแบบหนึ่ง ซึ่งจัดไว้ให้สามารถส่งข่าวสารรายละเอียดได้มากที่สุดโดยใช้สเปคตรัมหรือแบนด์วิทน้อยที่สุด

การมอดูเลทในเครื่องส่งวิทยุระบบ เอ.เอ็ม.สเตริโอมีอยู่ 3 ลักษณะซึ่งต่างกัน แต่ให้ผลทางด้านคุณภาพเสียงดีเหมือนๆ กัน

แบบแรก การมอดดูเลท 2 ไซด์แบนเป็นอิสระต่อกัน โดยสัญญาณทางด้านขวามอดูเลทที่ไซด์แบนหนึ่ง ส่วนอีกไซด์แบนด์หนึ่งเป็นของสัญญาณทางด้านซ้าย

แบบที่สอง จะใช้วิธีการ ANGLE MODULATION ในการส่งสัญญาณ L-R และใช้วิธี AMPLITUDE MODULATION ในการส่งสัญญาณ L+R

แบบที่สาม จะทำการมอดดูเลทสัญญาณพาหะหลักของเอ.เอ็ม. กับสัญญาณ L+R และใช้วิธีมอดดูเลทแบบ QUARDRATURE รวมสัญญาณ L-R เข้าด้วยกัน โดยสามารถแยกสัญญาณL+R และ L-R กลับออกมาได้ที่เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1 การเปรียบเทียบ ระบบ เอ.เอ็ม สเตริโอ กับระบบ เอฟ.เอ็ม สเตริโอ

ก่อนที่จะกล่าวถึงระบบ เอ.เอ็ม.สเตริโอ รูปแบบต่างๆ เราจะพิจารณาถึงข้อดีข้อเสียของระบบ เอ.เอ็ม.สเตริโอ เทียบกับระบบ เอฟ.เอ็ม.สเตริโอ กันก่อน

ข้อดีอันดับแรกของระบบ เอฟ.เอ็ม.คือ สัญญาณรบกวนที่ภาครับของวิทยุจะน้อย และปัญหาเกี่ยวกับ กำลังของสัญญาณรบกวนที่จะเพิ่มขึ้นในภาครับของระบบ เอฟ.เอ็ม. โดยปกติแล้วจะถูกจำกัดหรือลดให้น้อยที่สุดด้วยการ พรี-เอ็มฟาร์ซีส/ดี-เอ็มฟาร์ซีส อย่างไรก็ตาม ระบบเอฟ.เอ็ม.สเตริโอนี้สัญญาณสเตริโอ จะได้รับการ พรี-เอ็มฟาร์ซีส ก่อนที่จะไปทำการมอดดูเลท แบบ DSB-SC(DOUBLE SIDEBAND SUPRESS CARRIER) เพื่อหลีกเลี่ยงการ OVER-MODULATION ของเครื่องส่งผลอันนี้เองทำให้ S/N ของระบบเอฟ.เอ็ม.สเตริโอ ลดลงเมื่อเทียบกับ ระบบเอฟ.เอ็ม. แบบโมโน

เนื่องจากการมอดดูเลทในเครื่องส่งวิทยุระบบ เอ.เอ็ม. ถูกจำกัดด้วยเนกาตีฟพีค(NEGATIVE PEAK) เพื่อหลีกเลี่ยงการ OVER MODULATION ดังนั้น สถานีวิทยุระบบเอ.เอ็ม หลายแห่ง จึงใช้วงจรกดสัญญาณเสียง เพื่อที่จะกดสัญญาณเนกาตีฟพีคนี้ไว้ก่อนที่จะมีการมอดดูเลตผ่านเครื่องส่ง การกระทำเช่นนี้จะทำให้การมอดดูเลทที่ POSITIVE PEAKS สามารถเพิ่มขึ้นถึง125% ซึ่งจะส่งผลให้สัญญาณที่ดีเทคได้ที่เครื่องรับจะดังกว่าเมื่อเทียบกับระดับสัญญาณรบกวน

ในประเทศอเมริกานั้น ประมาณว่า ตลาดของเครื่องรับวิทยุระบบ เอ.เอ็ม. สเตริโอนี้ อยู่ที่รถยนต์หรือยานยนต์ต่างๆ ถึง 80%

ระบบเอ.เอ็ม.สเตริโอนั้น ถ้าเปรียบเทียบในเรื่องของผลตอบสนองความถี่ และ S/N จะพบว่าด้อยกว่าระบบเอฟ.เอ็ม.สเตริโอ แต่พอจะได้รับการยอมรับเมื่อเทียบกันในเรื่องสัญญาณขาดหาย (FADING) ซึ่งระบบเอ.เอ็ม เกิดน้อยกว่าระบบเอฟ.เอ็ม และการส่งกระจายเสียงระบบเอเอ็มยังมีข้อดีอยู่บ้าง ก็คือย่านความถี่ที่ใช้ในการส่งกระจายเสียงอยู่ในย่านความถี่กลาง (MEDIUM FREQUENCY,MF)ซึ่งความถี่ย่านนี้ สามารถเดินทางโค้งไปตามผิวโลกได้เป็นระยะทางไกลๆ ซึ่งเหมาะสำหรับผู้อยู่ในพื้นที่ห่างไกลที่รับคลื่นเอฟเอ็มไม่ได้อย่างไรก็ดี ยังมีคำถามว่า จะคุ้มค่าหรือที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะพัฒนาระบบเอเอ็มเดิมที่เป็นระบบโมโนให้เป็นเอเอ็มสเตริโอ ทั้งๆ ที่ระบบเอเอ็มมีคุณภาพเสียงที่ค่อนข้างแย่อยู่แล้ว จากคำถามนี้ถ้าเราลองพิจารณาให้ดีแล้ว เราจะเห็นว่าเครื่องรับวิทยุเอเอ็มที่มีขายอยู่ในท้องตลาดนั้น มีระบบการรับฟังที่ยังไม่ดีเท่าที่ควร ดังนั้นถ้าเราพัฒนาระบบเอเอ็มสเตริโอขึ้นมาแล้วแต่ผู้ผลิตเครื่องรับยังไม่พัฒนาระบบเครื่องรับของตนให้ดีขึ้น ก็เป็นไปไม่ได้ที่ระบบเอเอ็มสเตริโอจะให้คุณภาพเสียงที่ดีขึ้น นั่นหมายความว่า ถ้าหากมีการส่งสัญญาณแบบ เอเอ็มสเตริโอแล้ว ทางด้านรับก็ต้องมีการปรับปรุงการรับฟังของตนให้ดีขึ้นด้วย จึงจะได้รับการฟังที่สมบูรณ์ยิ่งขึ้น

1.2 การกระจายเสียง ในระบบ AM

การกระจายเสียงในระบบเอเอ็มกระทำมานานแล้ว วันแรกที่เปิดส่งออกอากาศคือวันที่ 25 กุมภาพันธ์ พ.ศ 2473 การกระจายเสียงในระบบเอเอ็มนั้นมีชื่อเต็มคือ แอมปลิจูดโมดูเลชัน (AMPLITUDE MODULATION) คือเอาเสียงมาควบคุมความสูงหรือแอมปลิจูดของคลื่นวิทยุที่ต้องทำดังนี้เพราะ คลื่นเสียงซึ่งมีความถี่ระหว่าง 20-20000 HZ ไม่สามารถกระจายไปในอากาศได้ไกลและไม่สามารถเลือกสถานีได้โดยวิธีง่ายๆ จึงต้องนำไปรวมกับสัญญาณความถี่วิทยุซึ่งเป็นความถี่สูง และกระจายออกไปในอากาศได้

เครื่องกระจายเสียงในระบบเอเอ็มนั้น ทางกฎหมายได้กำหนดให้ใช้ความถี่ตั้งแต่ 525-1650 KHz เครื่องส่งวิทยุกระจายเสียงระบบเอเอ็มต้องมีคุณลักษณะที่สำคัญดังนี้

1.2.1 เครื่องส่งวิทยุจะต้องใช้ผลึก(CRYSTAL)เป็นตัวบังคับความถี่ออกอากาศ

1.2.2 ความถี่ที่ส่งออกอากาศของเครื่องส่งวิทยุ จะคลาดเคลื่อนจากความถี่ที่ทางกรมไปรษณีย์โทรเลขจัดสรรให้ได้ไม่เกิน 10 Hz

1.2.3 ความกว้างของแถบความถี่คลื่นที่จำเป็นต้องใช้ (NECESSARY BANWIDTH) จะต้องไม่เกิน 20 KHz

1.2.4 การควบคุมความแรงของความถี่แปลกปลอม (SPURIOUS EMISSONS) เครื่องส่งวิทยุจะต้องมีวงจรหรือวิธีการลดทอนกำลังส่งของ คลื่นความถี่

เอกสารนี้เป็นเอกสาร... ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลกปลอมต่างๆ คลื่นความถี่ฮาโมนิกที่ 2 เป็นต้นให้มีค่าไม่เกินจากที่กำหนดดังนี้

เครื่องส่งวิทยุ ที่มีกำลังส่งตั้งแต่ 50 KW ลงมาความแรงของคลื่นความถี่แปลกปลอมในส่วนที่มีกำลังสูงสุดวัดได้ที่จุดต่อเข้าสายส่งกำลัง ของระบบสายอากาศต้องต่ำกว่าความแรงของคลื่นความถี่มูล (FUNDAMENTAL FREQUENCY) ซึ่งวัดที่จุดเดียวกันไม่น้อยกว่า 60 dB และความแรงดังกล่าวจะต้องไม่เกิน 50 mW

เครื่องส่งวิทยุที่มีกำลังส่งสูงกว่า 50 KW ความแรงของคื่นความถี่แปลกปลอมวัดได้ที่จุดต่อเข้าสายส่งกำลังของระบบสายอากาศจะต้องต่ำกว่าความแรงของคลื่นความถี่มูล(FUNDAMENTAL FREQUENCY) ซึ่งวัดที่จุดเดียวกันไม่น้อยกว่า60 dB และความแรงดังกล่าวไม่ควรเกิน 50 mW

1.2.5 ระบบสายดินและสายอากาศสถานีวิทยุกระจายเสียงระบบเอเอ็มจะต้องใช้สายอากาศแบบตั้งตรง (CONVENTIONAL BASE INSULATEED VERTICAL ANTENNA) มีสายดิน 120 เส้นยาวเส้นละไม่ต่ำกว่า .25 ความยาวคลื่นแผ่เป็นรัศมีออกจากจุดใต้ฐานสายอากาศหรือสายอากาศที่มีคุณลักษณะเทียบเท่าทั้งนี้ต้องมี VOLTAGE STANDING WAVE RATIO (VSWR) วัดที่จุดต่อเข้าสายส่งกำลังของสายอากาศดีกว่า 1 ต่อ 1.66 รายละเอียดในข้อ 1.2.5นี้ไม่ใช้บังคับสถานีวิทยุที่มีกำลังส่งออกอากาศไม่เกิน 1KW

1.2.6 เครื่องมือประจำสถานีทาง กบว. กำหนดให้สถานีวิทยุกระจายเสียงทุกสถานี ต้องมีเครื่องมืออย่างน้อยดังนี้

ก. โมดูเลชันโมนิเตอร์

ข. LIMITTING AMPLIFIER

ค. PROGRAMEQULIZER

ง. PROGRAMRECORDER

จ. อื่นๆ ที่จำเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ระบบต่างๆ ของเอเอ็มสเตริโอ

ในระยะแรกของการพัฒนาระบบเอเอ็มสเตอริโอนั้นได้มีอยู่หลายบริษัทด้วยกัน โดยในแต่ละบริษัทนั้น ก็ได้มีการสร้างแบบของตนเองขึ้นมาเช่นระบบ Kahn / hazeline ระบบMAXNAVOX ระบบBELAR ระบบHARRISและระบบMOTOROLA แต่ระบบที่ได้รับความนิยมคือ ระบบของMOTOROLA

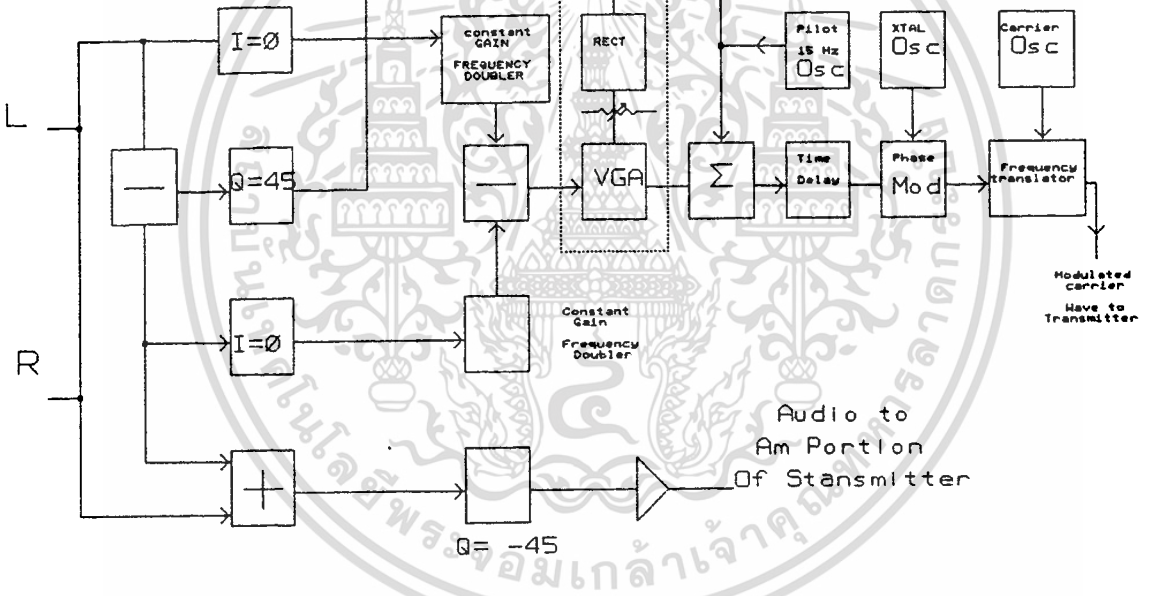
1.3.1 ระบบ AM STEREO ของ Kahn/hazeltine

ในระบบนี้ ทั้งไซด์แบนบนและล่างจะเป็นตัวส่งของสัญญาณ Channel ขวาและสัญญาณ Channel ซ้ายตามลำดับเป็นอิสระต่อกันเครื่องรับแบบ Monoจะจูนอยู่ที่ความถี่พาหนะบวกกับไซด์แบน และดีเทคสัญญาณแบบ ENVELOPE DETECTOR ซึ่งจะให้สัญญาณเป็นแบบ L+R เครื่องรับแบบ MONO 2 เครื่องสามารถรับสัญญาณสเตอริโอแต่เป็นการแยกที่ไม่ดีเท่าใดนัก โดยให้เครื่องรับเครื่องหนึ่งรับสัญญาณ Channel ซ้าย (จูนต่ำกว่าความถี่พาหะเล็กน้อย) อีกเครื่องหนึ่งรับสัญญาณ Channel ขวา (จูนสูงกว่าความถี่พาหะเล็กน้อย) สำหรับเครื่องรับที่มีตัวรับสัญญาณ IF ได้รับการพัฒนามาเพื่อระบบนี้โดยเฉพาะ และให้การรับสัญญาณสเตอริโอที่ดีกว่า เครื่องรับแบบนี้ใช้ ENVELOPE DETECTOR ได้สัญญาณ L+R และใช้ QUADRATURE DETECTION ด้วยวงจร PHASE SHIFTING ซึ่งจะได้สัญญาณ L-R สัญญาณที่ได้ทั้งสองนี้จะผ่านวงจร MATRIX ซึ่งจะทำการบวกลบสัญญาณทั้งสอง ได้สัญญาณ L และ R ออกมา

เครื่องส่งระบบ Kahn/Hazeltiine ใช้หลักการ COMPATIBLE SINGLE-SIDEBAND(CSSB) MODULATION เพื่อจะได้ให้ไซด์แบนด์ที่เป็นอิสระต่อกัน สัญญาณ L+R จะใช้ AMPLITUDE MODULATION ผ่านเครื่องส่งในขณะที่ สัญญาณ L-R จะถูกเลื่อนเฟสไป 90 องศา(ในทางปฏิบัติ สัญญาณ L+R จะถูกเลื่อนเฟสไป -45 องศา และสัญญาณ L-R ถูกเลื่อนเฟสไป 45 องศา) แล้วจึงใช้ PHASE MODULTIONผ่านเครื่องส่ง ดังรูปที่แสดง ซึ่งในรูปจะเห็นได้ว่าสัญญาณอินพุท L และ R ที่บวกกันจะถูกส่งผ่านไปยังวงจรเลื่อนเฟส (-45 องศา) เอ้าท์พุทที่ได้จะถูกส่งผ่านไปยังแอมปลิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟลาย ซึ่งจะได้เอ้าท์พุท (MODULATION SIGNAL) เป็นสัญญาณไปเข้าเครื่องส่ง เอ.เอ็ม.ส่วนสัญญาณ L-R จะถูกส่งไปยังวงจรเลื่อนเฟส (+45 องศา) เช่นกันเพื่อทำให้สัญญาณ L+R และสัญญาณ L-R ต่างเฟสกัน 90 องศา ซึ่งเอ้าท์พุทที่ได้จะถูกส่งไปที่ PHASE MODDULATOR เพื่อมอดดูเลททางเฟสแล้วจึงส่งผ่านไปยัง FREQUENCY TRANLATOR ซึ่งจะได้สัญญาณออกมาเป็นสัญญาณที่จะนำไปเป็นอินพุทของสัญญาณพาหะในเครื่องส่ง เอ.เอ็ม ต่อไป



รูปที่ 1.3.1 Block diagram ของ ระบบ Kahn/hazelitine

จากรูปที่ 1.3.1 จะเห็นว่ามีวงจร TIME DELAY อยู่หน้า PHASE MOD.วงจรนี้จะทำหน้าที่หน่วงเวลาให้เหมาะสม เพื่อให้ส่วนประกอบหรือองค์ประกอบของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AM(AMPLITUDE MODULATION) และ PM(PHASE MODULATION) มาถึงจุดที่มีการมอดดูเลท พร้อมกันในเครื่องส่ง เอ.เอ็ม. ซึ่งจะทำให้ได้เอ้าท์พุทที่ส่งออกอากาศไปนั้น มีไซด์แบนที่เป็นอิสระกัน คือสัญญาณ CHANNEL ซ้าย ถูกส่งไปด้วย LOWER SIDEBAND และสัญญาณ CHANNEL ขวา ถูกส่งไปด้วย UPPER SIDEBAND

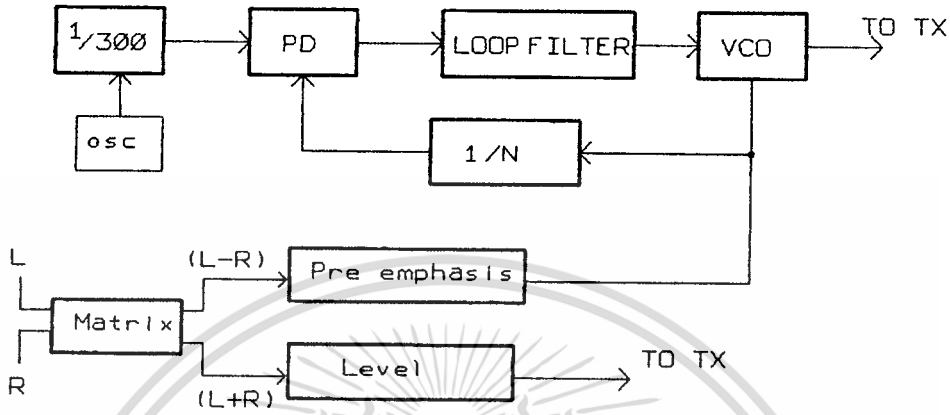
เพื่อให้ได้สัญญาณแบบสเตริโอ ซึ่งแยกกันได้ดีและความเพี้ยนที่เครื่องรับต่ำและมี BANDWIDTH น้อยที่สุดสัญญาณ L และ R จะถูกยกกำลังสองแล้วบวกผลต่างของมัน (L^2-R^2) กับสัญญาณ L-R ก่อนที่จะไปผ่านการPHASE MODULATION ตัวที่จะใช้เป็นตัวชี้สัญญาณสเตริโอนี้ได้แก่สัญญาณ(TONE) 15Hz จะรวมกับสัญญาณ L-R โดยวิธี FM (FREQUENCY MODULATION) ก่อนที่จะส่งไปทำตามข้างต้น สัญญาณ PILOT เป็นสัญญาณที่ใช้ชี้สถานะของไฟในเครื่องรับว่าเป็นระบบสเตริโอเท่านั้น

1.3.2 ระบบ AM STEREO ของ Belar

ระบบนี้ใช้ NARROWBAND FMในการมอดดูเลทสัญญาณL-R กับคลื่นพาหะค่าเบี่ยงเบนความถี่สูงสุด(PEAK FREQUENCY DEVIATION) คือ 1.25KHz และการ PRE EMPHASIS ใช้เวลาคงที่ 100μSEC สัญญาณL+R จะใช้วิธีมอดดูเลทแบบAM ธรรมดา ค่า AMPLITUDE MOD.ด้านลบ ซึ่งจำกัดไว้ที่ 95% ใช้ในการป้องกันปัญหารบกวนมากเกินไปในลิมิตเตอร์ของเครื่องรับ

ลักษณะของวงจรเครื่องส่งแบบนี้เป็นดังรูปข้างล่างนี้ การมอดดูเลทเชิงมุมนี้สัญญาณจะมีคุณสมบัติของFM เมื่อสัญญาณเสียงมีความถี่ต่ำและมีคุณสมบัติของ PM (PHASE MODULATION) เมื่อสัญญาณเสียงมีความถี่กลาง ลักษณะดังกล่าวจะเกิดขึ้นโดยมีวงจรควบคุม PRE-EMPHASIS (CONTROLLED PRE-EMPHASIS NETWORK) เป็นตัวควบคุมให้เกิดอย่างสมบูรณ์ การPRE-EMPHASIS ใช้เพื่อลดสัญญาณรบกวนที่เห็นได้ชัดเมื่อเทียบกับระบบอื่น สัญญาณ(TONE) 10Hz ซึ่งมีค่าเบี่ยงเบน 2 เรเดียน ใช้เป็นตัวชี้ (PILOT) สัญญาณสเตอริโอที่เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



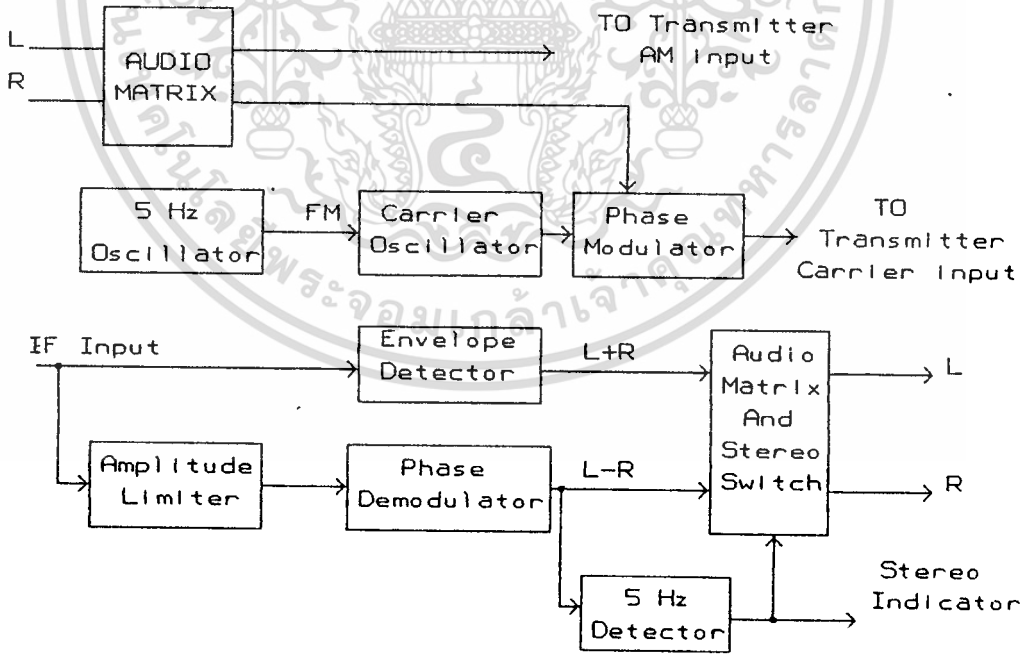
รูปที่ 1.3.2 Block diagram ของระบบ Belar

สัญญาณ L+R สามารถได้กลับคืนมาที่เครื่องรับ โดยใช้ ENVELOPE DETECTOR ซึ่งใช้วงจรดีเทคไดโอดธรรมดา สัญญาณIF (ซึ่งเป็นอิสระจาก AM แล้ว)จะผ่านไปที่ FM DISCRIMINATOR สัญญาณ PILOT จะถูกกำจัดโดยวงจร HIGHPASS FILTER ของเสียงวงจร DE-EMPHASIS ที่เครื่องรับจะเป็นส่วนกลับกับวงจรPRE-EMPHASIS ในเครื่องส่งเมื่อได้สัญญาณ L+R และ L-R มาจะผ่านไปที่วงจร MATRIX ได้ Lและ R ออกมา ระบบนี้การ PRE กับ DE-EMPHASIS จะช่วยลดสัญญาณรบกวนความถี่ต่ำ และสัญญาณรบกวนเนื่องจากการจูนซึ่งเกิดขึ้นตามธรรมชาติในวงจรเครื่องรับแบบNON-SYSTHESZED บางตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3.3 ระบบ AM STEREO ของ MAGNAVOX

ระบบเอ.เอ็ม.แบบนี้เป็นระบบที่ FM กับ PM ที่เสนอโดนบริษัท MAGNAVOXตัวออสซิลเลเตอร์ที่สร้างความถี่ของคลื่นพาหะจะส่งคลื่นความถี่ออกมาทำการ FM(FREQUENCY MODULATION)กับสัญญาณตัวชี้สเตอริโอ(PLOT) ซึ่งมีความถี่ 5HZโดยใช้ค่าเบี่ยงเบนความถี่สูงสุด 20Hz(ค่าเบต้ามีค่า 4) ต่อจากนั้นคลื่นพาหะที่ได้จะทำการPM (PHASE MODULATON)กับสัญญาณ L-Rโดยใช้ค่าเบี่ยงเบนความถี่สูงสุด 1เรเดียน (ค่าเบต้ามีค่า 1)ได้เอ้าท์พุทสัญญาณเป็นคลื่นพาหะของเครื่องส่งเอ.เอ็ม.ส่วนสัญญาณ L+Rจะถูกส่งไปเป็น MODULATION SIGNAL บล็อกไดอะแกรมง่ายๆของระบบนี้ แสดงดังรูปที่ 1.3.3 การดีเทคของสัญญาณในระบบนี้ใช้ ENVELOPE DETECTOR ดีเทคได้สัญญาณ L+Rและใช้AMPLITUDE LIMITER กับPHASE DETECTOR ได้สัญญาณL-R การดีเทคให้ได้สัญญาณ L และ R ออกมานั้นจะเหมือนกับระบบของBELAR ส่วนการดีเทคความถี่ 5Hz จะได้สัญญาณมาเพื่อใช้เป็นตัวชี้สเตอริโอในเครื่องรับ MAGNAVOX ได้เสนอความคิดในการส่งข้อมูลแบบดิจิตอล โดยใช้ความสามารถของสัญญาณเสียง5Hz นี้ด้วย



รูปที่ 1.3.3 Block diagram ของระบบ Magnavox

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033282

ทั้งBELAR และMAGNAVOX ใช้การมอดดูเลทแบบAM และANGLE MODULATION รวมกันในการออกอากาศระบบสเตอริโอนี้ ทั้งสองแบบทำให้เครื่องรับมีขนาดเล็กกระทัดรัดและราคาถูกมาก เมื่อเทียบกับเครื่องส่งและมีRESIDUAL CARRIER อย่างน้อย 5% ที่ เนกาตีฟพีค(NEGATIVE PEAK)เพื่อให้การ ANGEL DEMODULATED สามารถทำได้

1.4 ระบบ AM STEREO ของ HARRIS

ระบบนี้สัญญาณ CHANNAL ซ้ายจะผ่านไปยัง BALANCED MIXER ซึ่งจะเลื่อนเฟสไป -15องศา เทียบกับคลื่นพาหะดังแสดงในรูปที่ 1.4.1 ในทำนองเดียวกัน สัญญาณ CHANNAL ขวาจะผ่านไปยังBALANCED MIXER เช่นกันแต่จะถูกเลื่อนเฟสไป15 องศา เทียบกับคลื่นพาหะจะเป็นไปตามเฟสเซอร์ไดอะแกรมดังรูป 1.4.1

ดังนั้นสัญญาณที่ได้คือ

$$e(t) = \sqrt{[1+(l(t)+r(t)\cos 15^{-})]^2 + [(l(t)-r(t)\sin 15^{-}]^2}$$

จะเห็นได้ว่าส่วนประกอบของL-R ลดลงจะทำให้ค่า ENVELOPE DISTORTION ลดลงด้วย

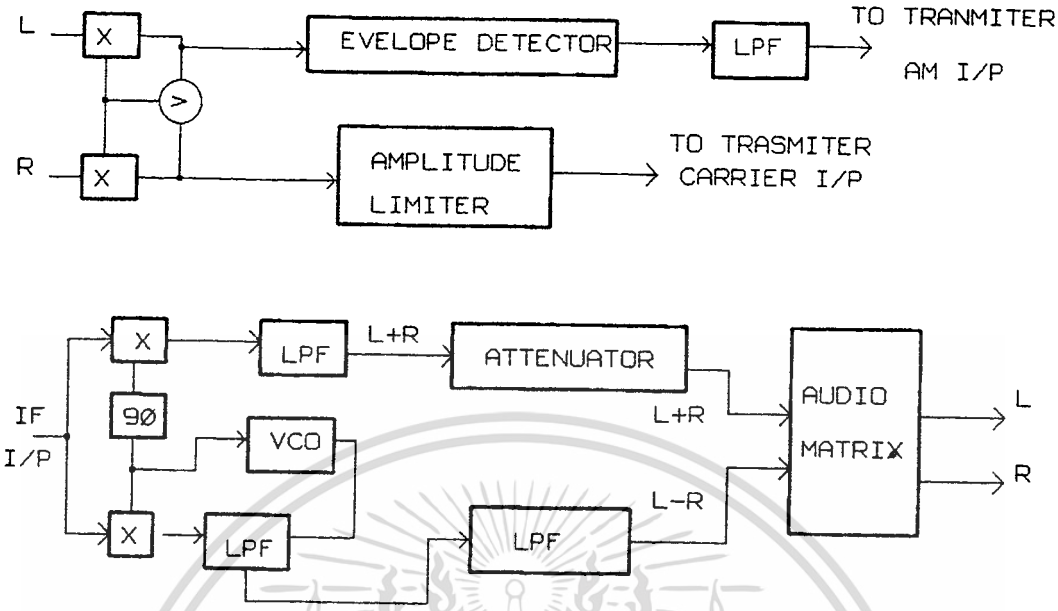
สัญญาณ INPHASE COMPONENT มีค่า Power Loss ต่ำคือ

$$10 \log (\cos 15^{-}) = -0.3 \text{ db.}$$

สัญญาณ QUADRATURE COMPONENT มีค่า

$$10 \log (\sin 15^{-}) = -11.7 \text{ db.}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



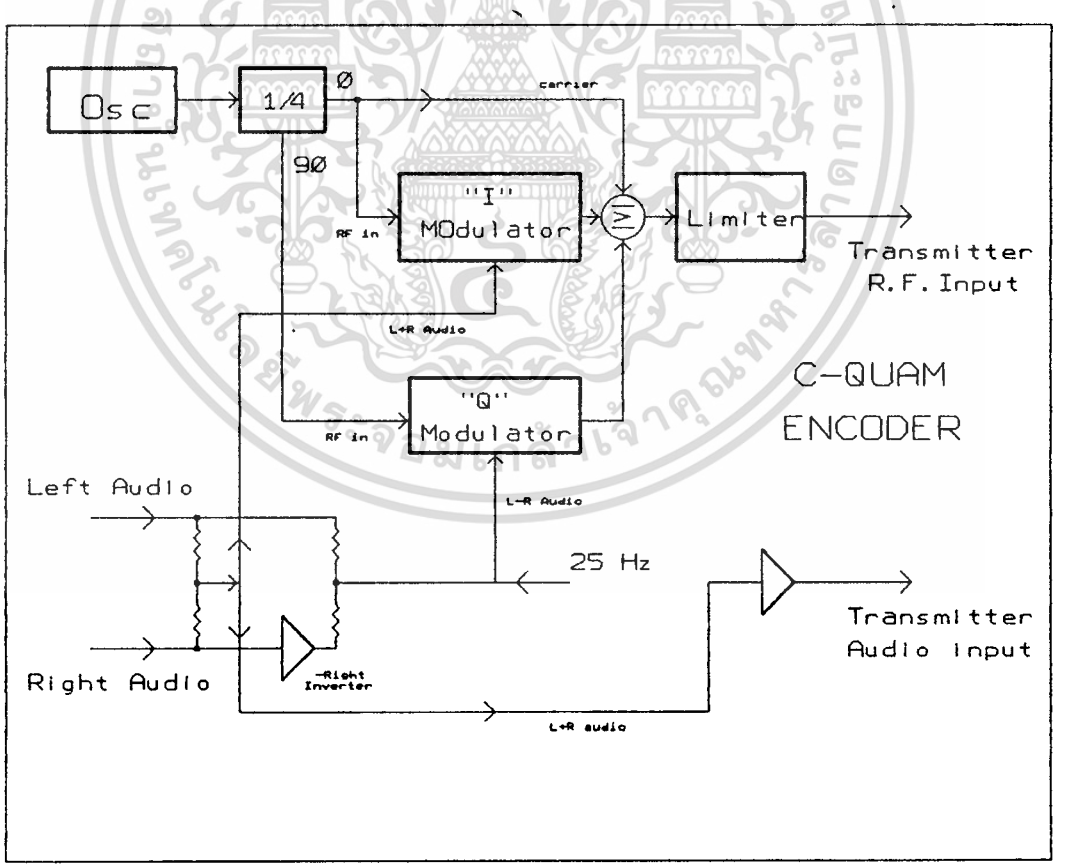
รูปที่ 1.4.1 Block diagram ของระบบ Harris

ระบบของ HARRIS เป็นระบบเดียวกันเท่านั้นใน 5 แบบ ที่มีวิธีมอดดูเลทเป็นแบบลิเนียร์ที่สมบูรณ์แบบ และทำให้เกิด HARMONIC นอกแบนวิดน้อยกว่าอีก 4แบบ (สังเกตว่าในบล็อกหลังของรูป1.4.1 ทำขึ้นเพื่อให้สามารถเข้ากับเครื่องส่งแบบเดิม (โมโน)ที่มีอยู่แล้ว) ขณะที่ ENVELOPE DETECTOR สามารถรับและดีเทคสัญญาณของระบบนี้ได้ดีเครื่องรับสัญญาณแบบสเตอริโอก็มีวงจรQUADRATURE MULTIPLEXING ที่เป็นมาตรฐาน วิธีที่ใช้ทั่วไปในวงจรดังกล่าวคือใช้ PHASE LOCKED LOOP ทั้งใน INPHASE และQUADRATURE เพื่อดีมอดดูเลทสัญญาณ L+R,L-R ดังรูปสำหรับสัญญาณ PILOT นั้นระบบของHARRIS นี้ส่งสัญญาณTONE 20-25Hz ซึ่งจะมอดดูเลทกับสัญญาณ L-R ด้วย 9% ของการมอดดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 ระบบ AM STEREO ของ MOTOROLA

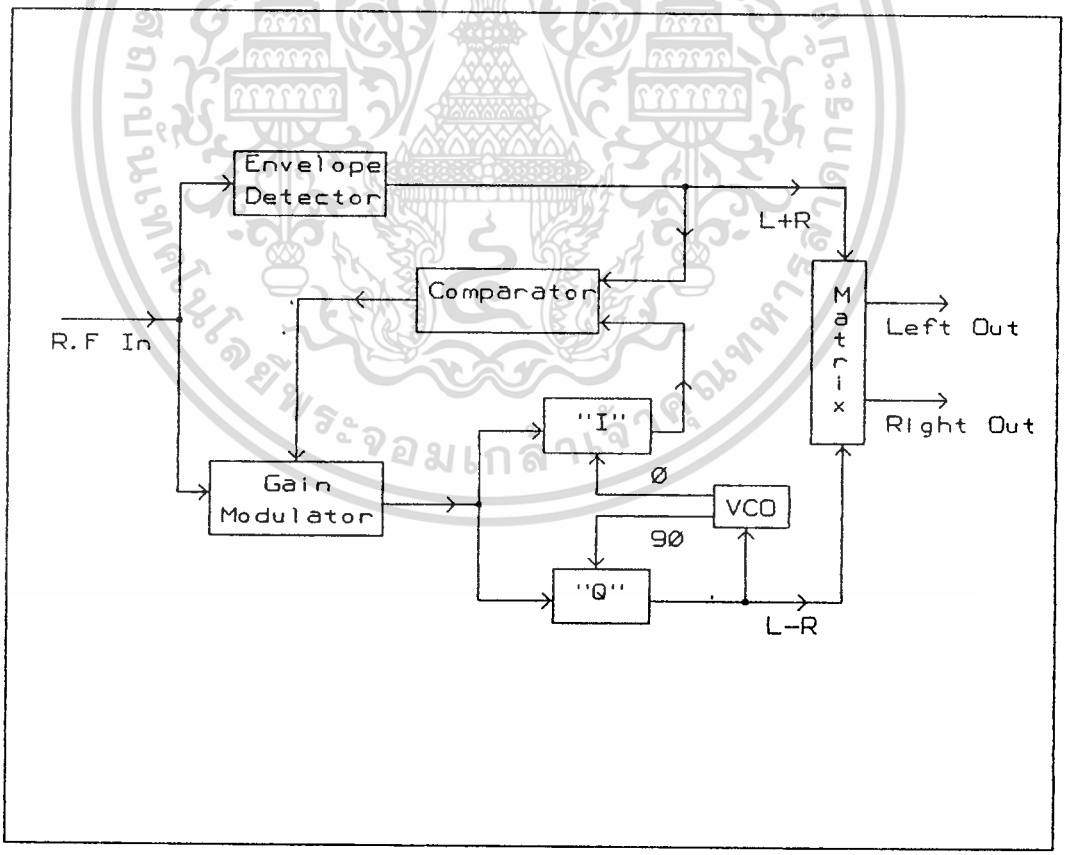
ระบบโมโตรอล่า (motorola) ระบบนี้เป็นที่รู้จักกันในนามของ C-QUAM เป็นวิธีการหนึ่งของการส่งสัญญาณสองสัญญาณไปบนสัญญาณพาห์ตัวเดียวกัน ได้เป็นคลื่นพาห์ที่ถูกมอดูเลทมีความถี่เท่ากันแต่เฟสต่างกันอยู่ 90องศา ปัญหาที่เกิดขึ้นแก่ระบบ quardra ture amplitude modulation(quam) แบบธรรมดาคือเมื่อนำมาประยุกต์กับย่านความถี่การรกระจายเสียง เพื่อส่งระบบสเตอริโอแล้วคุณภาพของสัญญาณโมโนจะด้อยลง กล่าวคือเมื่อมีสัญญาณ(L-R) ในสัญญาณรวมมากเกินไปจะทำให้เสียงที่ออกมาจากภาคดีเทคเตอร์ ของวิทยุเอเอ็มธรรมดาจะไม่ใช่ผลบวกเชิงเส้นของสัญญาณซ้ายขวาแต่จะประกอบด้วย intermod distrotion ของฮาร์โมนิกสูง ๆ ของสัญญาณ เพื่อแก้ไขปัญหาดังกล่าว motorola ได้พัฒนาระบบ compattible quardreture amplitude modulation ขึ้นมาระบบของเครื่องส่งจัดในลักษณะได้ดังรูปที่ 1.5.1



รูปที่ 1.5.1 Block diagram ของ C-QUAM encoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญานโมโน (L+R) จะแยกออกเป็นสองส่วน ส่วนหนึ่งจะตรงไปยัง เอเอ็มมอดูเลเตอร์ของเครื่องส่ง อีกส่วนหนึ่งจะให้มอดูเลทเข้ากับสัญญาณพาห์ ที่บาลานมอดูเตอร์ ในเวลาเดียวกันสัญญาณ (L-R) ก็จะถูกส่งผ่านบาลานมอดูเตอร์อีกตัวหนึ่งโดยทำการมอดูเลทกับสัญญาณพาห์ตัวเดียวกันแต่ต่างเฟสกัน 90องศา ทำให้ได้สัญญาณ pure quardature modulation ที่ต้องการ จากนั้นสัญญาณพาห์ที่มอดูเลททางขนาดกับ (L+R) แล้วกับสัญญาณพาห์ที่มอดูเลทแบบ Quadrature จะรวมเข้าด้วยกันก่อนถูกฟิลเตอร์เพื่อให้ได้สัญญาณ อาร์.เอฟ. QUAM แบบธรรมดามาก่อน สัญญาณ QUAMนี้จะส่งผ่านวงจรลิมิตเตอร์เพื่อน่าไซด์แบนด์ เอ.เอ็ม.บางส่วนออกไปจากนั้นทำการขยายฟิลเตอร์จนได้สัญญาณที่มีการมอดดูเลททางเฟส ป้อนเข้าสู่อินพุทเครื่องส่งสัญญาณอินพุทนี้จะถูกมอดดูเลทเข้ากับสัญญาณ(L+R) ในเครื่องส่ง เอ.เอ็ม.มาตรฐาน เพื่อให้ได้สัญญาณ C-QUAM ออกมาในส่วนของสัญญาณบอกสภาวะสเตริโอระบบของโมโตรอลาใช้สัญญาณความถี่ 25 Hz



รูปที่ 1.5.2 Block diagram ของเครื่องรับและดีโค้ดสัญญาน C-QUAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับและระบบดีโค้ดของสัญญาณส่งระบบนี้แสดงในรูป 1.5.2 สัญญาณไอ.เอฟ.จะป้อนเข้าสู่ Carrier level modulator และลิมิตเตอร์ สัญญาณจาก VCO จะล็อกเข้ากับสัญญาณพาห์ ไอ.เอฟ. ได้สัญญาณเอ้าท์พุทไปเป็นสัญญาณอินพุทเข้าวงจรเฟสดีเทคเตอร์ร่วมกับสัญญาณจากลิมิตเตอร์ เอ้าท์พุทจากเฟสดีเทคเตอร์จะผ่านวงจรผ่านความถี่ต่ำได้เอ้าท์พุทไปควบคุมให้ VCO ล็อคกับสัญญาณไอ.เอฟ.ตลอดเวลา เอ้าท์พุทจากVCO จะถูกทำให้เลื่อนเฟสไป 90องศา เพื่อให้เฟสตรงกับสัญญาณอินพุทไอ.เอฟ. แล้วป้อนเข้าสู่วงจรเฟสดีเทคเตอร์พร้อมกับสัญญาณจากลิมิตเตอร์ จะทำให้ได้สัญญาณเอ้าท์พุทที่เป็นสัดส่วน หรือขึ้นอยู่กับค่า Cos θ สัญญาณ Cos θใช้ป้อนเข้าสู่ carrier level modulator ทำให้ได้สัญญาณ QUAMกลับมาที่เอ้าท์พุทจนในที่สุด สัญญาณเสียงช่องซ้าย ขวา จะถูกดีเทคออกมาด้วยชิงโครนัสดีเทคเตอร์(บาลานมอดดูเลเตอร์) จากการป้อนสัญญาณ Cos (W_c+ITT/4)เข้าไปพร้อมกับสัญญาณ QUAM

ซึ่ง project นี้นี้ก็ทำขึ้นจากระบบ C-QUAM ของ MOTOROLA นั่นเอง

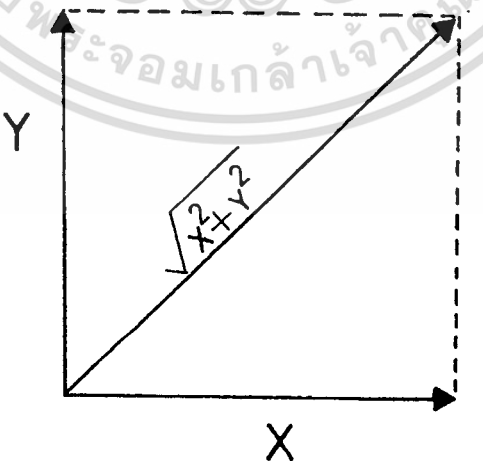
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

2.1 หลักการพื้นฐานในการกำเนิด สัญญานสเตริโอ

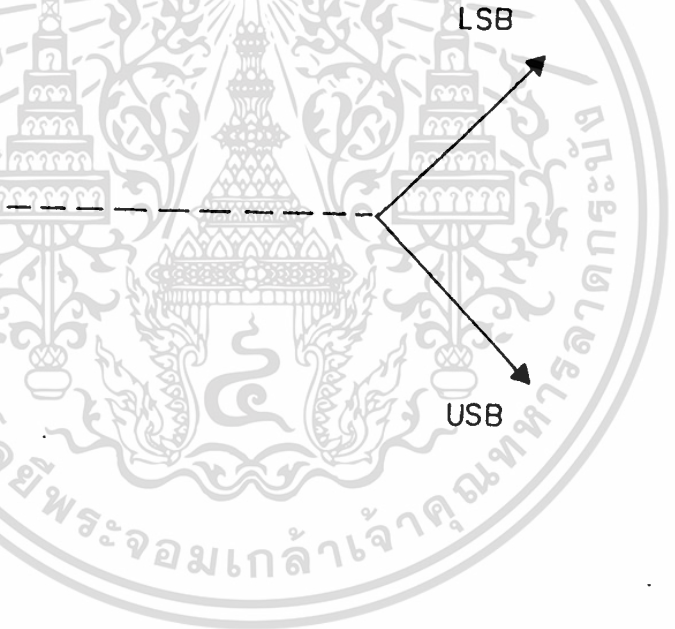
โดยทั่วไปแล้วทางด้านส่งจะนิยมส่งสัญญาน ทางด้านซ้ายบวกกับสัญญานทางด้านขวาแทนด้วย L+R และสัญญานทางด้านซ้ายลบด้วยสัญญานทางด้านขวาแทนด้วย L-R ออกอากาศ แล้วทางด้านรับก็จะสร้างสัญญาน ซ้าย(Left,L) และขวา(Right,R) ออกมา ทำให้การรับฟังระบบสเตริโอทำได้โดยสมบูรณ์ และการมอดูเลชั่น (MODULATION) แบบควอดาร์ทเจอร์มอดูเลชั่น (QUADRATURE MODULATION) ควอดาร์ทเจอร์แอมพลิจูดมอดูเลชั่น (QUADRATURE AMPLITUDE MODULATION) เป็นการรวมกันทางเวกเตอร์(VECTOR) ของสัญญานสองสัญญานที่ถูกมอดูเลตแบบเอเอ็ม(AMPLITUE MODULATION,AM) ของคลื่นพาร์(CARRIER) ต่างกัน 90° เช่น สมมุติให้สัญญาน x ถูกมอดูเลตด้วยคลื่นพาร์ที่มีเฟส(PHASE) 0องศา และสัญญาน y ถูกมอดูเลต ด้วยคลื่นพาร์ที่มีเฟส 90° (ทั้งสองถูกมอดูเลตด้วยระบบเอเอ็ม)ถ้าเรานำสัญญานทั้งสองมารวมกันทางเวกเตอร์ แล้วเราก็จะได้สัญญานควอดาร์ทเจอร์แอมพลิจูดมอดูเลชั่น(QUAM)



รูปที่ 2.1 การรวมสัญญาน x และสัญญาน y ทางเวกเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

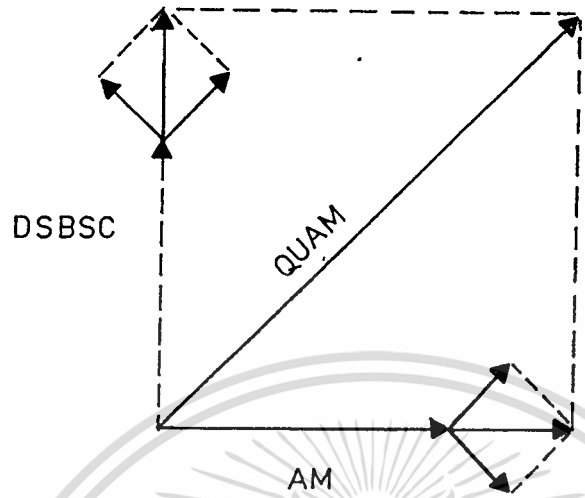
แล้วนำสัญญาน L-R มาทำการมอดูเลตกับคลื่นพาที่มีเฟส 90° เมื่อเทียบกับเฟสของคลื่นพาร์ที่มอดูเลตกับสัญญาน L+R เนื่องจากสัญญานL+R ทำการมอดูเลตแบบแอมพลิจูดมอดูเลชั่น สัญญานของคลื่นพาร์ก็จะถูกส่งออกอากาศไปด้วยเพื่อไม่ให้เกิดการสิ้นเปลืองพลังงาน และป้องกันการรบกวนซึ่งกันและกันสัญญาน L-R จึงต้องทำการมอดูเลตแบบ DOUDLE SIDEBAND SUPPRESSED CARRIER(DSBSC)ซึ่งจะเป็นการทำให้คลื่นพาเกิดการหักล้างกัน จึงไม่มีคลื่นพาร์ปรากฏที่ด้านออก



รูปที่ 2.2.1 เวกเตอร์ที่เกิดจากการมอดูเลตแบบบ DSBSC

ถ้าหากเรานำสัญญาน L+R ที่ทำการมอดูเลตแล้วกับสัญญานL-R ที่ทำการมอดูเลตแล้วมารวมกันทางเวกเตอร์ ก็จะได้ควอดาร์ทเจอร์แอมพลิจูดมอดูเลชั่น(QUAM) ออกมา เราก็จะได้สัญญานออกมาอีกอันหนึ่งซึ่งสามารถแทนสัญญาน L+R และ L-R ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.3 รูปเวกเตอร์การรวมของสัญญาน L+R และ L-R เป็น QUAM

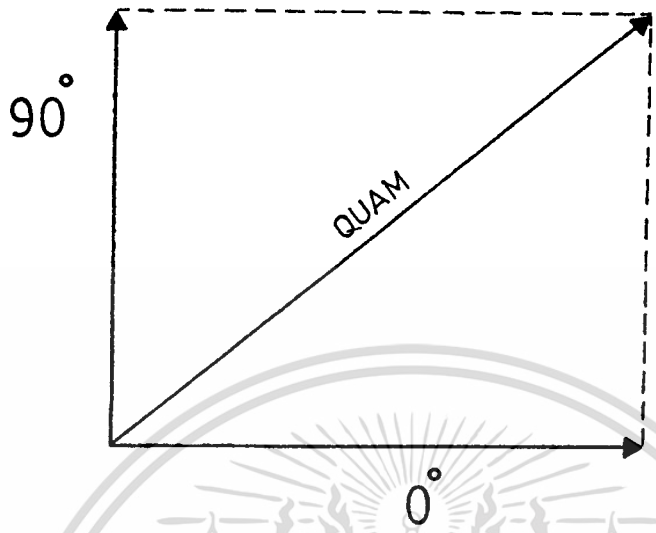
ถ้าเราพิจารณาให้ระเอียดแล้วจะพบว่า QUAM ที่เราสร้างขึ้นมานี้ยังเกิดปัญหาอยู่คือสมมุติแทนสัญญาน L+R ด้วย S และนำสัญญานนี้ไปมอดูเลตกับคลื่นพาร์ที่มีสมการเป็น Cos $w_c t$ แล้วเราจะได้สมการมอดูเลตแบบเอเอ็มเป็น

$$AM = (1+S) \text{ Cos } w_c t$$

สมมุติแทนสัญญาน L-R ด้วย D และนำสัญญานนี้ไปมอดูเลตกับคลื่นพาร์ที่มีเฟสต่างกับคลื่นพาห์อันแรก 90° นั่นคือ คลื่นพาห์จะต้องมีสมการเป็น Sin $w_c t$ และจะได้สมการการมอดูเลตแบบ DSBSC เป็น

$$DSBSC = D \text{ Sin } w_c t$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.4 รูปที่นำเอาสัญญาน AM และ DSBSC มารวมกันทางเวกเตอร์

ถ้ารวมสัญญานสองสัญญานทางเวกเตอร์ แล้วสัญญานที่ได้จะมีขนาดเป็น $\sqrt{(1+s)^2 + D^2}$ และมีสมการเป็น

$$QUAM = \sqrt{(1+s)^2 + D^2}\ \cos(w_c t+\theta)$$

จะเห็นว่า เราเกิดปัญหาขึ้น เพราะว่าเครื่องรับเอเอ็มธรรมดาที่มีอยู่ทั่วไปไม่สามารถรับฟังได้เพราะว่าวิทยุเอเอ็มแบบโมโน (MONO) ทั่วไปนั้นสามารถดีเท็คคลื่นที่มีสมการเป็น $(1+S)\cos w_c t$ เท่านั้น

ดังนั้นจึงเกิดความผิดพลาด (ERROR) ขึ้นที่ขนาดของ QUAM มีค่าผิดไปถ้าเรายังส่งขนาดของ QUAM นี้ออกอากาศไปเครื่องรับแบบเอเอ็มเดิมที่มีอยู่ จะไม่สามารถรับฟังการกระจายเสียงของเราได้ นั่นคือไม่มีความสามารถในการใช้ระบบร่วมกัน (COMPATIBILITY)

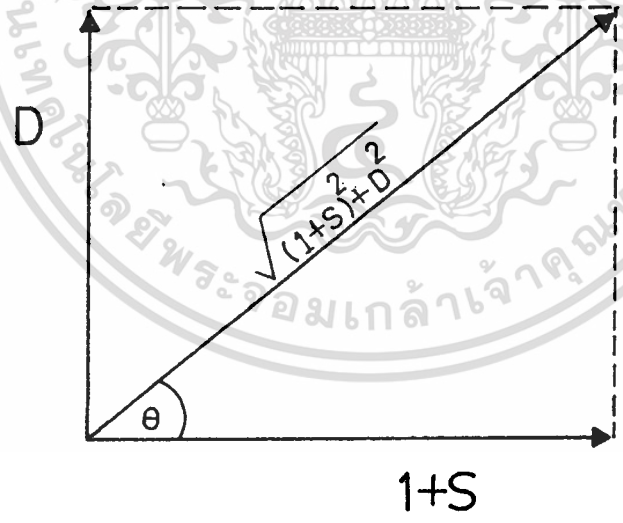
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ AM = $(1+S)\ \mathrm{Cos}\ w_c t$

QUAM = $\sqrt{(1+S)^2 + D^2}\ \mathrm{Cos}\ (w_c t+\theta)$

ดังนั้นต้องหาวิธีที่จะทำให้ QUAM นี้ออกอากาศได้โดยเครื่องรับเดิมที่มีอยู่ซึ่งเป็นระบบโมโน ยังคงสามารถรับฟังได้และสัญญาน QUAM นี้ต้องเป็นตัวแทนสัญญานสเตริโอได้อย่างสมบูรณ์

ลองกลับมาพิจารณา เวกเตอร์ของ QUAM



รูปที่ 2.2.5 เวกเตอร์ของ QUAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากเวกเตอร์ถ้าเราคูณขนาดของ QUAM ด้วยค่า Cos θ เราจะได้ QUAM ที่มีรูปคลื่นเพี้ยนไป

$$\text{Cos } \theta = \frac{(1+S)}{\sqrt{(1+S)^2 + D^2}}$$

$$\text{QUAM.Cos } \theta = \frac{\sqrt{(1+S)^2 + D^2} \cdot (1+S)}{\sqrt{(1+S)^2 + D^2}}$$

จะเห็นว่าขนาดของ QUAM ที่คูณด้วยค่า Cos θ นี้สามารถที่จะส่งออกอากาศได้โดยเครื่องรับเดิมที่เป็นเป็นแบบโมโน ยังรับฟังได้และ QUAM ที่คูณด้วยค่า Cos θ นี้ยังสามารถเป็นตัวแทนของสัญญานสเตริโอ ได้อย่างครบถ้วนด้วย

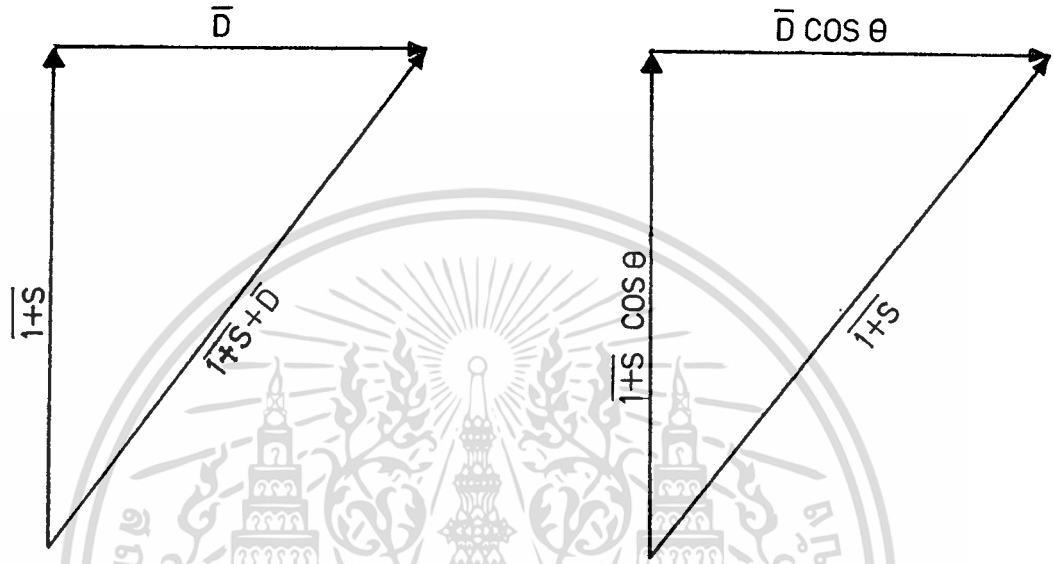
$$\text{QUAM} = \sqrt{(1+s)^2 + D^2} \cdot \text{Cos } (w_c t + \theta)$$

$$\text{Cos } \theta \text{ .QUAM} = \sqrt{(1+s)^2 + D^2} \cdot \text{Cos } (w_c t + \theta) \cdot \frac{(1+S)}{\sqrt{(1+s)^2 + D^2}}$$

$$\text{C-QUAM} = (1+s) \text{ Cos } (w_c t + \theta)$$

ดูเวกเตอร์ของรูปที่ 2.2.5 ประกอบ

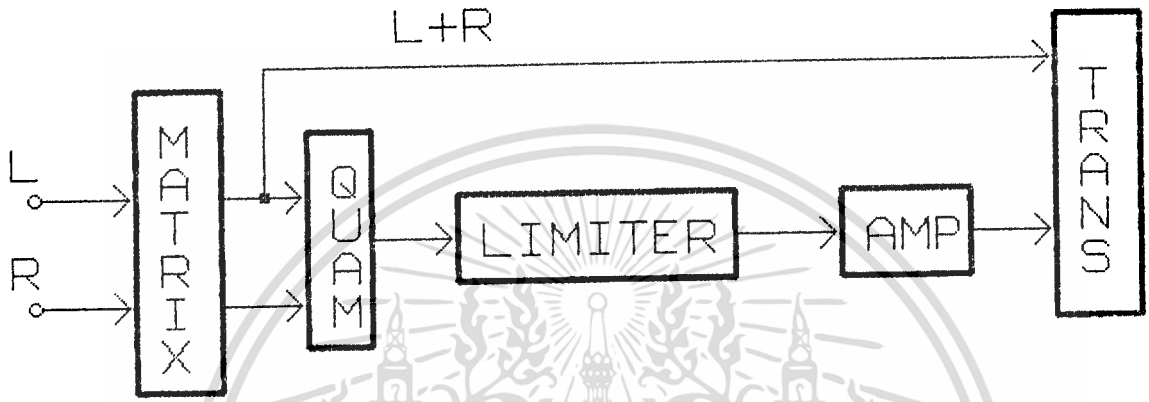
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.5 แสดงเวกเตอร์เปรียบเทียบสัญญาณ QUAM กับ C-QUAM

เมื่อเราทราบการทำงานจากสมการทางคณิตศาสตร์แล้ว ต่อไปเราจะมาพิจารณาบล็อกไดอะแกรม ของการทำงานของระบบเข้ารหัส(encoder) บ้างบล็อกไดอะแกรมอย่างง่ายสามารถแสดงได้ ดังรูปที่ 2.2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



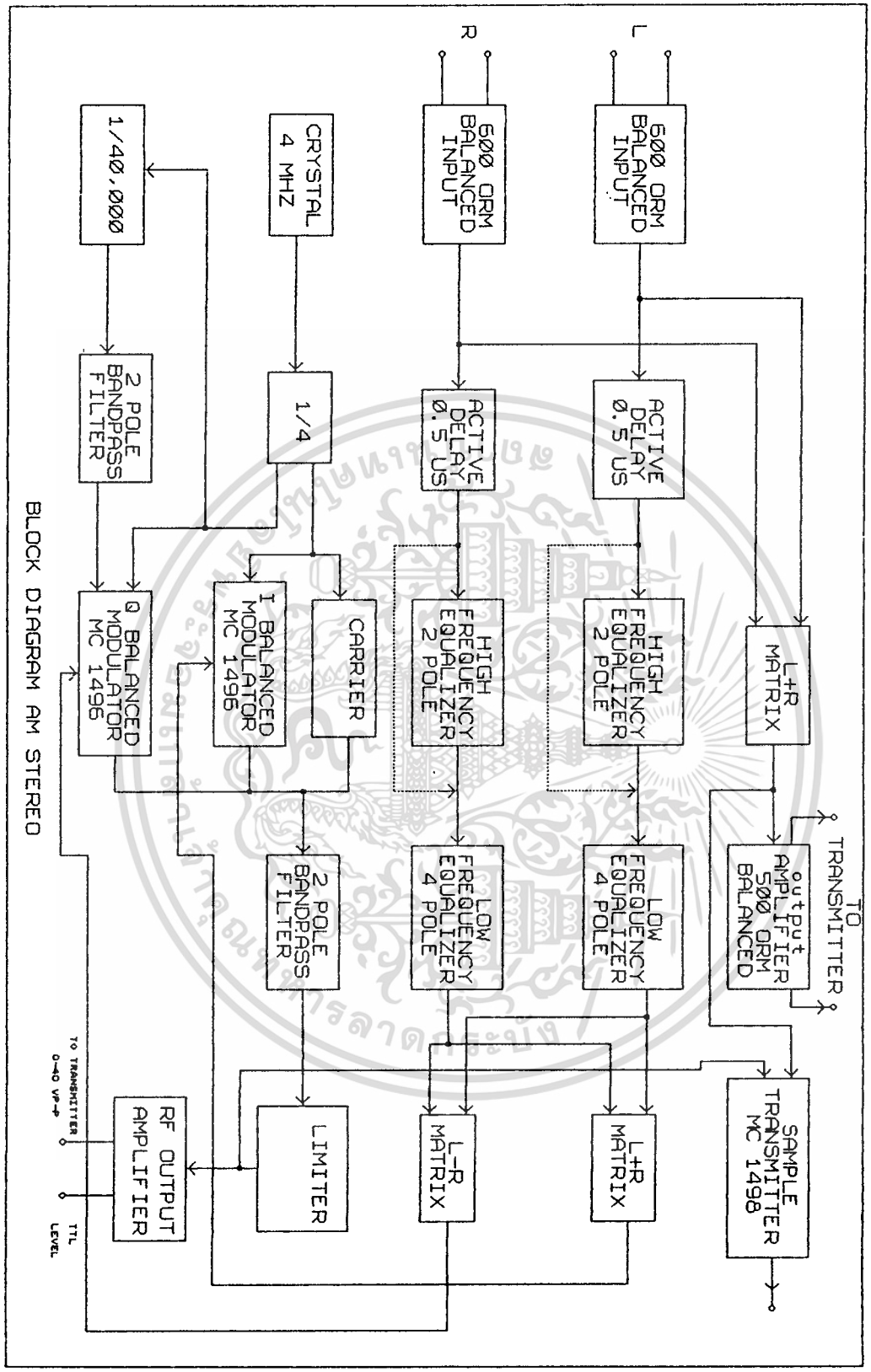
รูปที่ 2.2.6 บล็อกไดอะแกรมของตัวเข้ารหัส

การทำงานอย่างคร่าวๆ ของบล็อกไดอะแกรมสามารถจะอธิบายได้ดังนี้ สัญญานซ้ายและขวา จะถูกส่งเข้าไปวงจรเมตริกซ์ (matrix) เพื่อก่อรูปเป็นสัญญาร L-R และ L+R สัญญาน L+R ส่วนหนึ่งจะส่งไประอยู่ที่ด้านเข้า (input) ของเครื่องส่ง (transmitter) สัญญาน L+R ส่วนที่เหลือและสัญญาน L-R จะป้อนเข้าสู่ภาคQUAM เพื่อกำเนิดสัญญานควอดาร์ทเจอร์แอมพลิจูดมอดูเลชั่นโดยที่สัญญานL-R จะถูกมอดูเลตแบบ DSBSC ดังที่ได้กล่าวมาแล้วข้างต้น ด้านออกจากภาค QUAM จะมีสมการเป็น $\sqrt{(1+S)^2 + D^2}\cos(W_c t+\theta)$ ดังที่กล่าวมาแล้วข้างต้นว่าคลื่นจาก QUAM นี้ยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่เหมาะสมในการออกอากาศด้วยเหตุผลหลายประการ ในทางทฤษฎีแล้วเราจะนำรูปคลื่นที่มีสมการเป็น $\sqrt{(+S)^2 + D^2}\ \cos(W_c t+\theta)$ ไปคูณกับค่า cos θ ก่อนแต่ในทางปฏิบัติแล้ว เราจะสามารถใช้วิธีการอื่นๆ เข้ามาช่วยเพื่อให้สัญญานมีรูปร่างเหมือนกับถูกคูณด้วยค่า cos θ แทนที่เราจะนำสัญญาน $\sqrt{(1+S)^2 + D^2}$ $\cos(w_c t+\theta)$ไปคูณกับค่าcos θโดยตรงเพราะเป็นการยุ่งยาก จากบล็อกไดอะแกรมเราจะนำสัญญาน $\sqrt{(1+S)^2 + D^2}\ \cos(W_c t+\theta)$ ไปผ่านลิมิตเตอร์(limiter) เพื่อขจัดส่วนที่เป็นขนาดของมันออกไปดังนั้นที่ด้านออก(output) ของวงจรลิมิตเตอร์จะมีสัญญานขนาดคงที่ขนาดหนึ่งออกมาและมีความถี่เป็น cos $w_c t$ และ sin $W_c t$ สัญญานจากลิมิตเตอร์ จะถูกขยายให้แรงขึ้น RF Amp (Radio frequency Amplifier) เสร็จแล้วส่งเข้าทางด้านเข้า ของเครื่องส่งเพื่อทำการมอดูเลตกับสัญญาน (L-R) ที่มารออยู่โดยการมอดูเลตเป็นแบบ เอเอ็มมอดูเลชั่นที่ทางด้านออกของเครื่องส่ง เราจะได้สัญญานสเตริโอที่มีสมการเป็น (1+S) cos $(W_c t+\theta)$โดยที่เครื่องฟังแบบโมโนธรรมดายังรับฟังได้เหมือนเดิม จากบล็อกไดอะแกรมอย่างง่ายๆ ก็ได้แสดงให้เห็นแล้วว่าเราสามารถกำเนิดสัญญานC-QUAM ได้อย่างไรแต่จริงๆ แล้วต้องมีวงจรอื่นเข้าช่วย ปรับแต่งวงจรอีกมากเช่นพวก Equalization, Matching เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.7 Block diagram อย่างละเอียด

จะเห็นว่าวงจรต่างๆ ที่เพิ่มเข้ามาอย่างมากมาย อันแรกก็คือวงจร input balance หรือmatching นั่นเองส่วนนี้จะทำหน้าที่Matching input impedance ส่วนวงจรพวกEqualization ที่เพิ่มเข้ามาก็จะทำหน้าที่ปรุงแต่งเสียงเพื่อให้การรับฟังแบบสเตริโอสมบูรณ์แบบยิ่งขึ้นและเราจะเห็นว่าทางด้านของ L-R นั้นขณะที่ทำการมอดูเลชั่น จะต้องบวกสัญญานความถี่ขนาfd 25Hz ลงไปด้วยเพื่อบอกให้ทางรับทราบว่าอันไหนเป็นสัญญาน L-R และ L+R ส่วนวงจรกำเนิดความถี่ของคลื่นพาห์นั้นเนื่องจากต้องแยกเฟสเป็น 0องศาและ 90องศา ดังนั้นโครงงานที่จัดทำขึ้นมานี้ ใช้เทคนิคทางดิจิตอลแยกเฟสเป็น 0องศา และ90องศา เพราะมีความสะดวกกว่า จากนั้นก็ใช้วงจรกรองความถี่ผ่านแถบความถี่ (bandpass fillter)ที่เฟสต่างกัน 90องศามาใช้เป็นคลื่นพาห์และโครงงานนี้ใช้งานที่ความถี่ 1MHz โดยใช้ตัวกำเนิดความความถี่ (cystal) 4MHz ผลิตความถี่แล้วหาร 4 ด้วยวงจรหารดิจิตอลส่วนวงจรกรองความถี่ผ่านแถบความถี่ที่จะกรองเอาความถี่ sine มาทำเป็นคลื่นพาห์นั้นจะเป็นแบบกรองความถี่ใช้งาน (activefilter) โดยใช้ ICเบอร์ LF357 ซึ่งเป็นออปแอมป์ ที่มีความกว้างแถบ (band width) ถึง 20MHz ส่วนวงจร balance modulation และ Amplitude ที่จะทำเป็น QUAM นั้นจะใช้ IC MC1496 ของบริษัท MOTOROLA รายละเอียดต่างๆ เกี่ยวกับวงจร และปัญหาที่เกิดขึ้นจะกล่าวต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

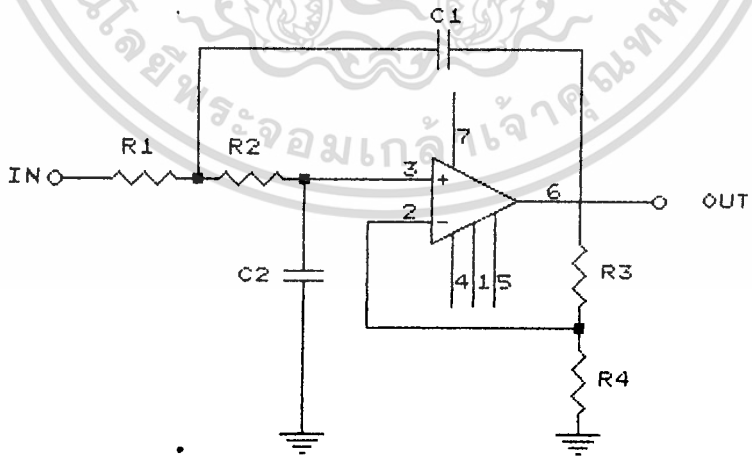
บทที่ 3

การคำนวนและการก่อสร้าง

หลักการของระบบเป็นสิ่งที่สำคัญที่สุด ที่ต้องยึดถือนำมาออกแบบวงจรต่างๆ ซึ่งมีหลักการออกแบบอยู่ที่เทคนิคต่างๆ การรู้จักวิธีการประยุกต์หาวิธีการสร้างวงจรที่ไม่ซับซ้อนและง่ายต่อการออกแบบ แต่ก็อยู่ในหลักการของระบบทุกประการยกตัวอย่างเช่นในโครงงานนี้สมการ QUAM นั้นคือ $\sqrt{(1+S)^2 + D^2}$. cos $(W_c t+\theta)$ จะถูกคูณเทอมของ cos θ ก็จะได้เป็น C-QUAM คือ (1+S). cos $(W_c t+\theta)$ ซึ่งในทางปฏิบัติการสร้างวงจรใช้งานจริงนั้นเราไม่จำเป็นต้องทำตามขั้นตอนของสมการทุกอย่างเพียงแต่ ทราบถึงผลลัพท์ของระบบว่าเป็นอย่างไรเราจะสร้างได้โดยง่ายจากการนำสัญญาน (1+S) มาทำการแปลงสัญญานด้วยแอมปลิจูด(amplitude)เอเอ็มมอดูเลทกับสัญญาน cos $(W_c t+\theta)$ เป็นต้น

3.1 การชดเชยความถี่สูง (High frequency equalizer)

ในส่วนนี้จะใช้วงจรกรองความถี่ต่ำ(low pass filter 2 pole)ซึ่งสามารถปรับความถี่คัทออฟ (cutoff frequency) และค่า Q ได้



รูปที่ 3.1.1 วงจรกรองความถี่ต่ำพื้นฐาน

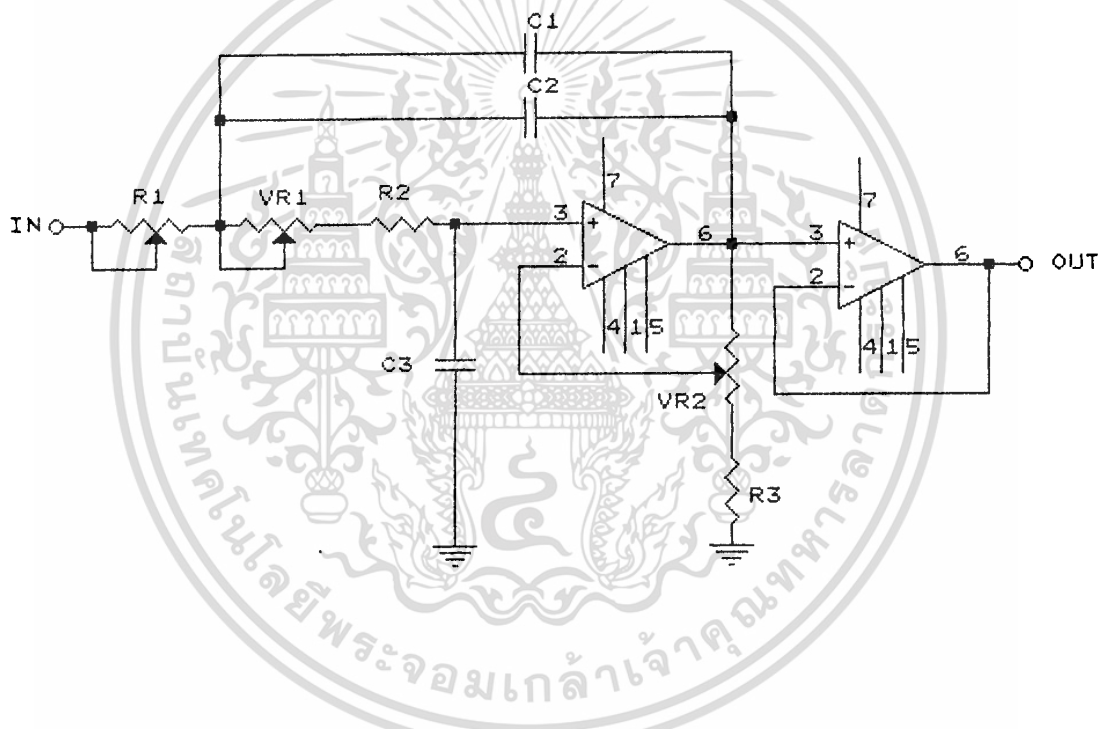
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สูตรการคำนวน

$$\text{cutoff frequency} = 1/(2\pi \sqrt{R_1 R_2 C_1 C_2})$$

$$\text{อัตราขยาย (gain)} = 1+(R_4/R_3)$$

วงจรใช้งานจริง



รูปที่ 3.1.2 วงจรชดเชยความถี่สูง

$$\text{cutoff frequency} = 1/(2\pi.\sqrt{1K \;.\; 1K(0.01*0.01)})$$

$$= 11.25 \text{ KHz}$$

$$\text{maximum gain} = 1+ (1K/100) = 11$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรชดเชยความถี่ต่ำ (Low frequency equalizer)

วงจรนี้ประกอบไปด้วยวงจรกรองความถี่สูงสองภาค(two state high pass filter 2 pole) ช่วยให้คุณสมบัติทางเฟสที่ความถี่เสียงต่ำในแต่ละช่องของสัญญาน L และ R แมชชิ่ง (matching) กับเฟสที่เครื่องรับ

สูตรการคำนวณ

cutoff frequency = $1.414/2\pi R_1 C$; $R_2 = R_1/2$

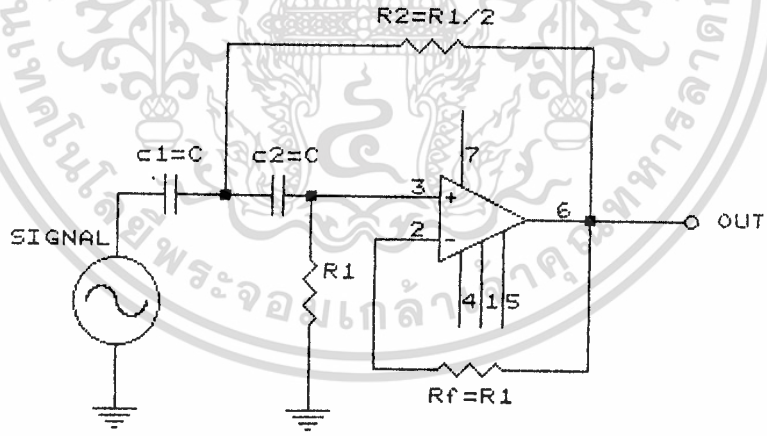
EX.

state แรก = $1.414/(2\pi*120K*.01)$

= 18.75 Hz

state สอง = $1.414/(2\pi*60K*.01)$

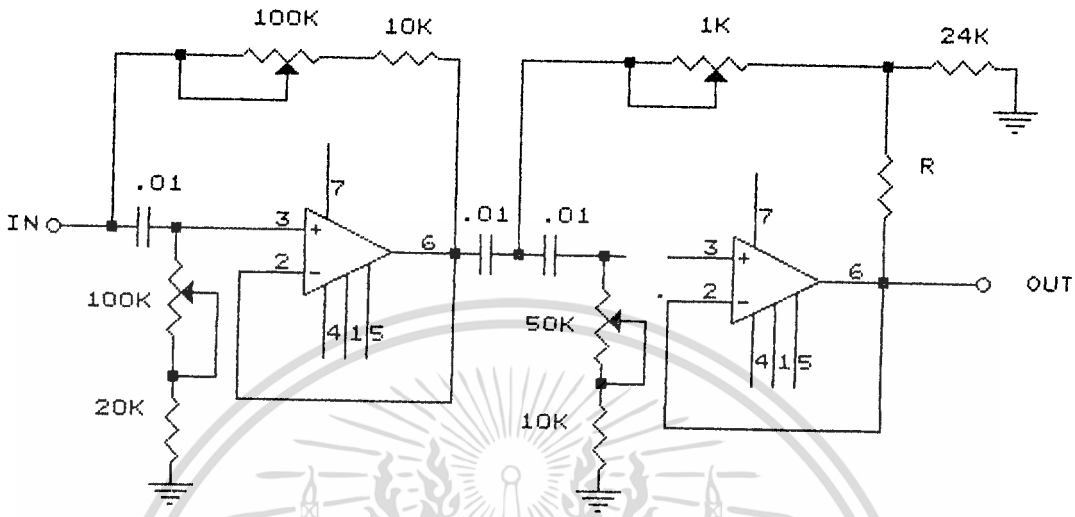
= 37.52 Hz



รูปที่ 3.2.1 วงจรพื้นฐาน active high pass filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรใช้งานจริง



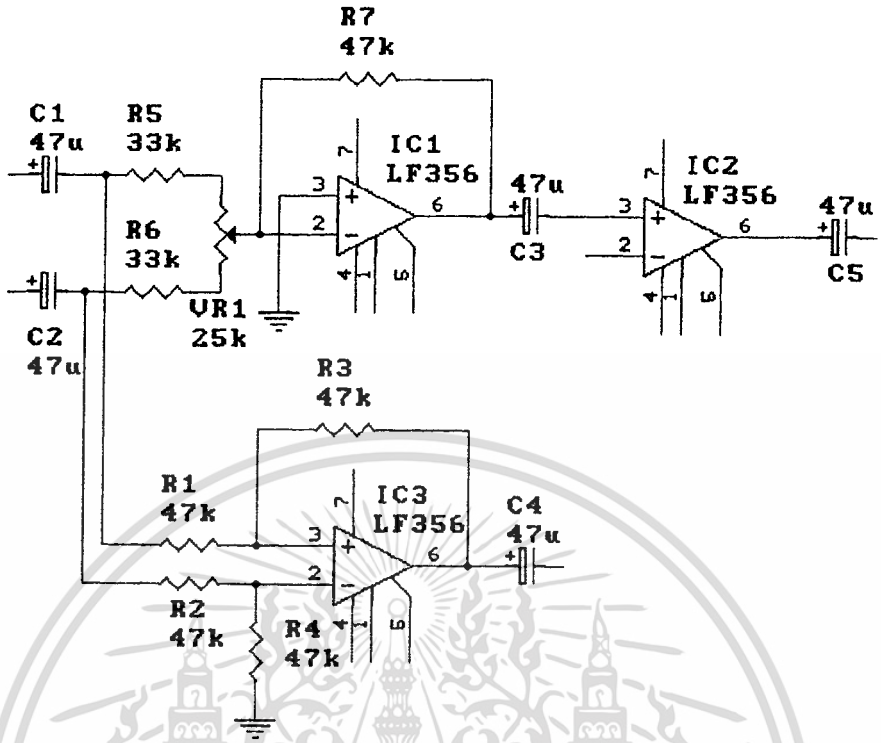
รูปที่ 3.2.2 วงจรชดเชยความถี่ต่ำ

จากภาคแรกจะได้ cutoff frequency ต่ำสุดที่ 18.75Hz ซึ่งจะต้องปรับค่า R_2 ไปที่ 60กิโลโอห์ม และภาคที่สองจะได้ cutoff frequency ต่ำสุดที่ 37.5 Hz

3.3 วงจรสร้างสัญญาน L+R และ L-R (matrix circuit)

หลักการออกแบบวงจรนี้จะใช้วงจรบวกสัญญานทั้งสองเป็นสัญญาน L+R และใช้วงจรบวกสัญญานที่ต่างเฟสเป็นสัญญาน L-R วงจรที่ใช้งานคือ summing amp โดยใช้ op amp กำหนดให้วงจรทั้งสองมีอัตราการขยายแรงดันเท่ากันในที่นี้กำหนดให้เท่ากับหนึ่ง ส่วนการปรับแต่งสำหรับวงจรนี้จะกระทำที่ความต้านทานปรับค่า ซึ่งจะเลือกค่าที่น้อยกว่าค่าความต้านทานในวงจรมากๆ เพื่อให้สัญญาน L+R และ L-R มีค่าใกล้เคียงกับความเป็นจริงมากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

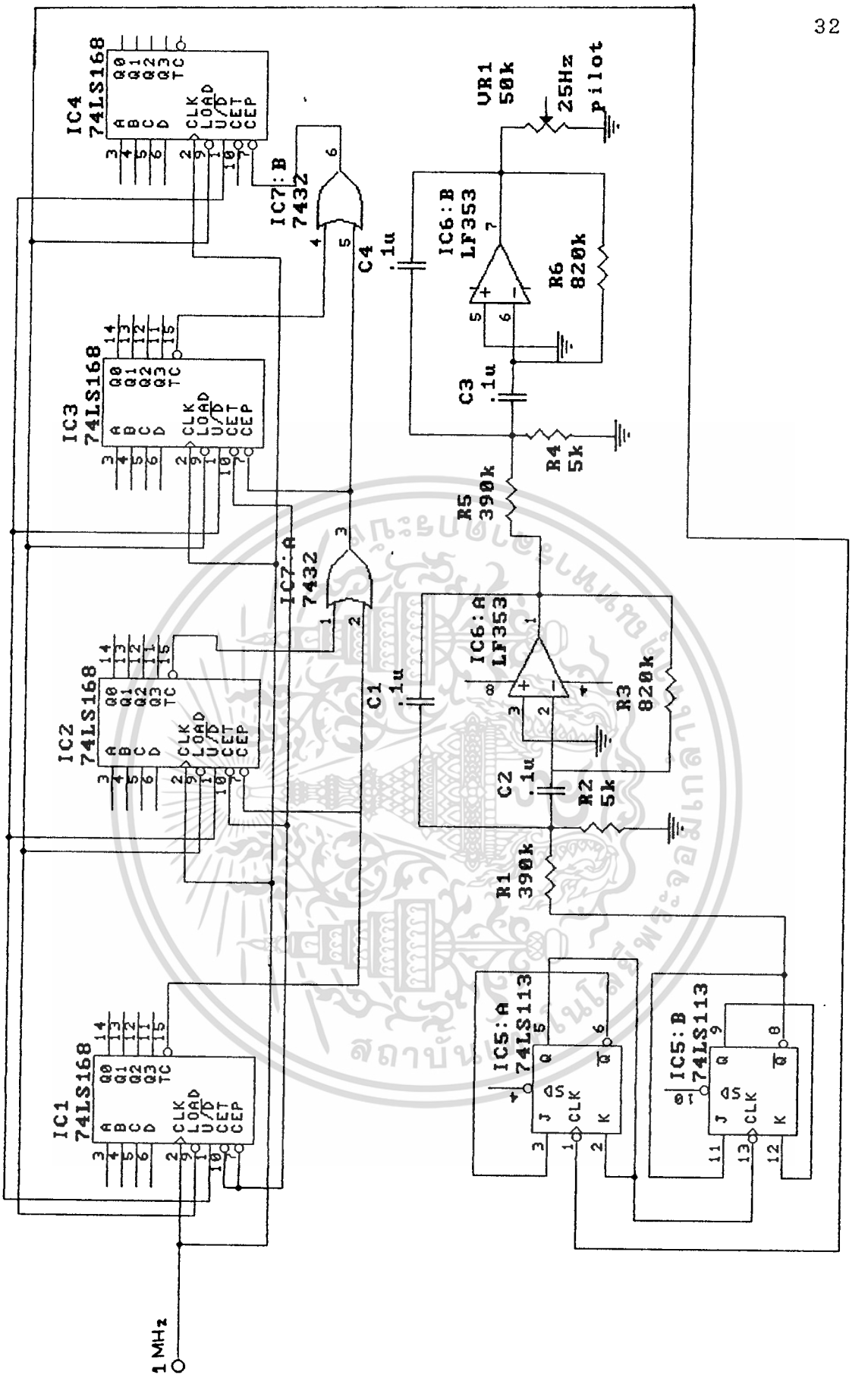


รูปที่ 3.3 วงจรสร้างสัญญาน L+R และ L-R

3.4 การสร้างสัญญาณไพลอทโทน

สัญญาณไพลอทโทนที่ใช้ในโครงการนี้คือ 25 Hz เป็นคลื่นไซน์ ขั้นตอนในการออกแบบคือ อาศัยความถี่ OSC จากโมดูลออสซิลเลเตอร์ซึ่งมีความถี่ 1MHz มาหารด้วย IC 74LS168 4 Stageต่อกันก็เหมือนกับการหารด้วย 10,000 ซึ่งจะได้ความถี่ 100 Hz ออกมา จากนั้นไปเข้าวงจร JK FLIP FLOP หาร 4 ซึ่งจะได้ output ออกมาพอดีมีค่า 25 Hz แล้วนำไปผ่านวงจร Band pass filter ได้ความถี่ไซน์ 25 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจรกำเนิดสัญญาณไพลอทโทน

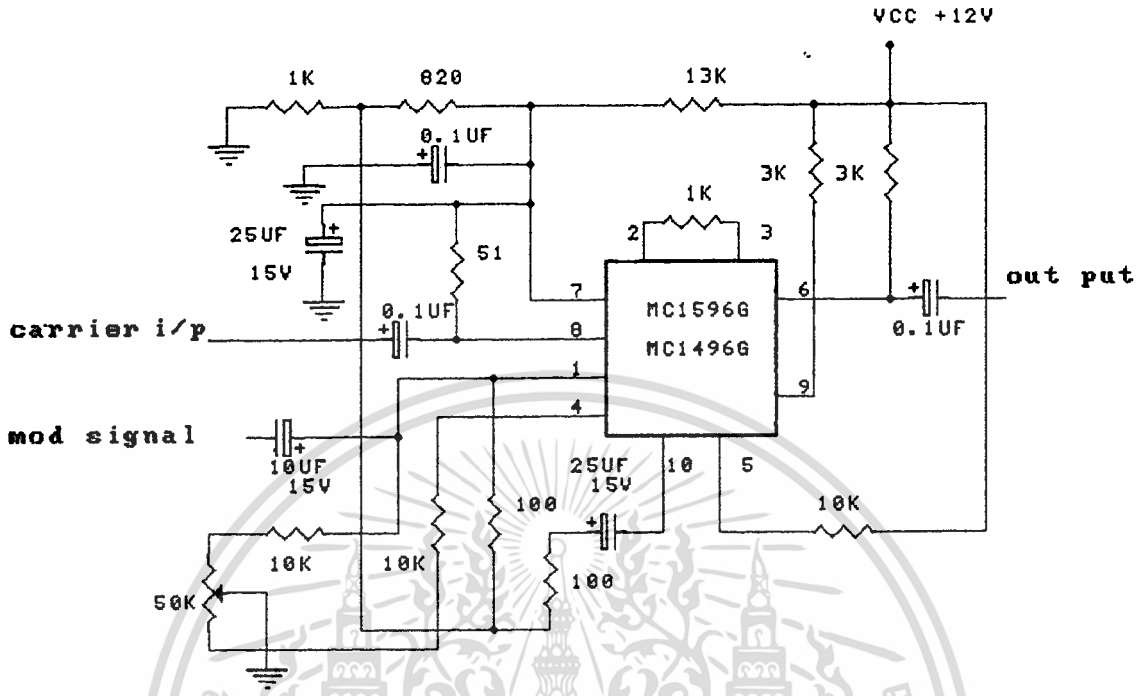
3.5 วงจร Balance Modulator

วงจรบาลานซ์มอดดูเลชั่น ที่ใช้กันอยู่ทั่วไปนั้นมีหลายแบบ เช่นวงจรที่ใช้ เฟทคู่ ใช้ไดโอดต่อเป็นวงหรือว่าที่เป็นไอซีสำเร็จรูปทั่วไปก็มี

วงจร Balance mod. ที่ใช้ในโครงงานนี้ จะใช้ IC สำเร็จรูปของ Motorola เบอร์ MC1496,MC1596 ซึ่งเป็น IC ที่สามารถประยุกต์ใช้งานได้หลายอย่าง คือสามารถใช้เป็นทั้ง ภาค Modulator ทั้งแบบธรรมดาและ Subpress carrier ได้ หรือจะใช้เป็นส่วนในภาค Detector ก็ได้

โดยในโครงงานนี้เราได้ใช้ IC สำเร็จรูป MC1496 หรือเราจะใช้ MC1596 ก็ได้โดย IC ตัวนี้จะทำหน้าที่เป็น Balance Modulator/Demodulator IC ตัวนี้ถูกออกแบบสำหรับใช้กับ output ที่เกิดจาก การคูณของอินพุตกับ carrier ซึ่งนอกจากทำเป็นวงจร Balance Mod/Demod แล้วยังสามารถนำไปประยุกต์ใช้ได้อีกหลายอย่าง เช่น Amplitude modulation, Synchronous detection, FM detection และการนำ IC ตัวนี้มาใช้ต้องพิจารณาดูด้วยว่าในวงจรที่เราใช้นั้นมีการกำหนดค่าถูกต้องตาม IC ที่เรามีอยู่หรือไม่เพราะ IC ชนิดนี้มี 2 รูปแบบคือแบบที่เป็นตัวถังโลหะ ซึ่งมี 10ขา และแบบตัวถังพลาสติกซึ่งมี 14ขาซึ่งวงจรที่ใช้มีลักษณะดังรูปที่ 3.5 โดยมีข้อกำหนดของขนาดของสัญญาณ Carrier I/P = 60mv และ Modulating Signal =300mv วงจรที่ใช้นี้ใช้ไฟเพียงชุดเดียวคือ +12v นอกจากนี้ IC ตัวนี้ยังสามารถใช้กับไฟเลี้ยง 2ชุดได้คือ +12v และ -8v และหากต้องการนำ IC ตัวนี้ไปประยุกต์ใช้กับงานอื่นก็ต้องมีข้อกำหนดที่เพิ่มขึ้นและแตกต่างกันออกไปโดยเราสามารถดูได้จาก Data sheet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจร Balance Modulator

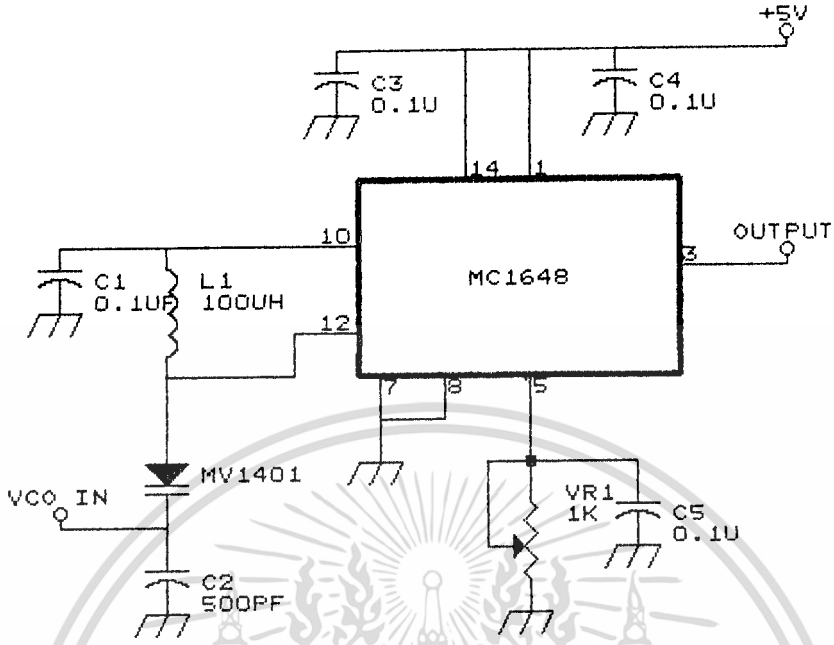
3.6 วงจร VOLTAGE CONTROL OSCILATOR (VCO)

3.6.1 ภาค Voltage Control Oscilator(VCO)

โดยทั่วไปเป็นวงจรออสซิลเลเตอร์ที่ใช้ Varicapเป็นตัวที่ทำให้เกิดการเปลี่ยนความถี่ หรือเราจะใช้เป็นวงจรรวมสำเร็จรูปก็ได้เช่น ICเบอร์ XR2276 หรือ ICตระกูล NE555,561,565 หรือ MC 1648, MC 4060

วงจร VCO นิยมใช้ FET เนื่องจากมีนอยส์ต่ำและอินพุทอิมพีแดนซ์มีค่าสูงแค่บางครั้งก็ใช้ IC เบอร์ MC1648 ซึ่งในโครงการนี้ก็ใช้ ICเบอร์ MC1648 ซึ่งมีวงจรดังรูปที่ 3.6.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6.1 วงจร VCO

IC เบอร์ MC1648 เป็นวงจร Voltage Control Oscilstor ที่ต้องการวงจร tank แบบขนานจากภายนอกโดยวงจร tank ที่ใช้จะประกอบไปด้วย Inductor(L) และ Capacitor(C) และใช้ Varicap diode ประกอบร่วมในวงจร tank ด้วย

ช่วงการจูนของวงจร Oscillator ในการต่อใช้งานแบบ Voltage - Control Oscillator สามารถคำนวนได้จากสูตร

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_{d\ (max)} + C_s}}{\sqrt{C_{d\ (min)} + C_s}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ f_{min} สามารถคำนวนได้จากสูตร

$$f_{min} = 1/(2\pi \sqrt{L\ (C_{d\ (max)} + C_s)})$$

โดยที่

C_s = Shunt Capacitance (input plus external capacitance)

C_d = Varactor capacitor ที่ถูกควบคุมจาก bias voltage

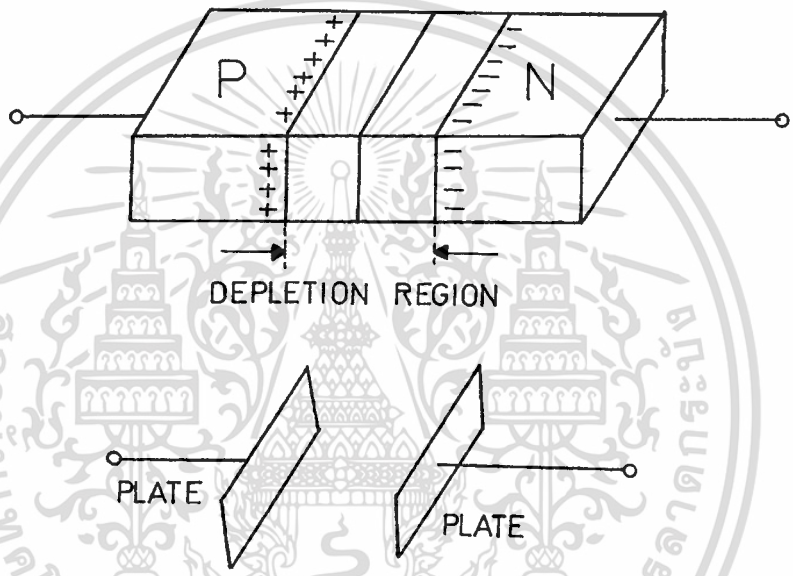
จากวงจร C_1 และ C_2 ต่อไว้เพื่อ bypass โดยถ้า output frequency ที่เราต้องการอยู่ระหว่าง 1MHz และ 50MHz เราจะใช้ค่า 0.1uF ถ้าใช้ความถี่สูงกว่านี้ค่า C ที่ใช้ก็ต้องลดค่าลงไปอีก อุปกรณ์ที่ใช้ในการ bypass ทุกตัวควรจะอยู่ใกล้กับตัวถังมากที่สุด เพื่อป้องกันไม่ให้เกิดค่า L ที่ไม่ต้องการ ส่วน Variable resistor ที่ต่ออยู่กับขา 5 เพื่อเป็นการปรับให้ output ได้ Sine waveที่ output โดยค่า Resistor ที่ใช้ประมาณ 1 K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.2 VARICAP ที่ใช้เป็นวงจรออสซิลเลเตอร์ของ vco

Voltage -variable Capacitor Diode (Varicap)

วาริแคปเป็นซิลิกอนไดโอด มีโครงสร้างดังรูปที่ 3.6.2 จากหลักการของสารกึ่งตัวนำ จะเกิดช่วงดีพลิชั่น (Deplition Region) ขึ้นเมื่อรอยต่อ พี-เอ็น ถูกไบอัสกลับโดยภายในช่วงดีพลิชั่นนี้ จะปลอดจากพาหะที่เคลื่อนไหล



รูปที่ 3.6.2 แสดงการเป็น Capacitor ของ Varicap

ความกว้างของช่วงดีพลิชั่น (Width of the deplition) ขึ้นอยู่กับการโด๊ป (Dope) สารกึ่งตัวนำและแรงดันไบอัสกลับที่ให้แก่รอยต่อ ค่าความจุของcapacitor สามารถกำหนดจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C = \frac{\varepsilon A}{d}$$

ε = ค่าคงที่ไดอิเล็กตริกของซิลิคอล = $11.08 \times \varepsilon_o$

$\varepsilon_o = 8.85 * 10^{-12}$ F/m

A = พ.ท หน้าตัดของอุปกรณ์

d = ความกว้างของช่วง depletion

หรือเราอาจจะหาค่าของ C ได้จากการคำนวนจากสูตรต่อไปนี้

$$C_d = C_o (\phi)^2$$

ϕ = เป็นแรงดันรอยต่อ (Junction Contact Potential ~ 0.7 v.)

C_d = ค่าคงที่ความเก็บประจุ (Capacitance Constant)

C_o = เป็นค่าความเก็บประจุเมื่อแรงดันเป็น 0 v.

จากสมการข้างบน เราจะเห็นความสัมพันธ์ระหว่างแรงดันไบแอสและค่าความเก็บประจุได้อย่างแม่นยำพอควร

3.6.3 อัตราส่วนความเก็บประจุ

อัตราส่วนการคูณ (Timming Ratio) หรืออัตราส่วนความเก็บประจุ Capacitor Ratio, TR) ข้างล่างแสดงอัตราส่วนความเก็บประจุ ซึ่งได้จากแรงดันไบอัส 2 ค่า

$$TR = \frac{C_j (v2)}{C_j (v1)} = \left[\frac{v_1 + \phi}{v_2 + \phi}\right]^2$$

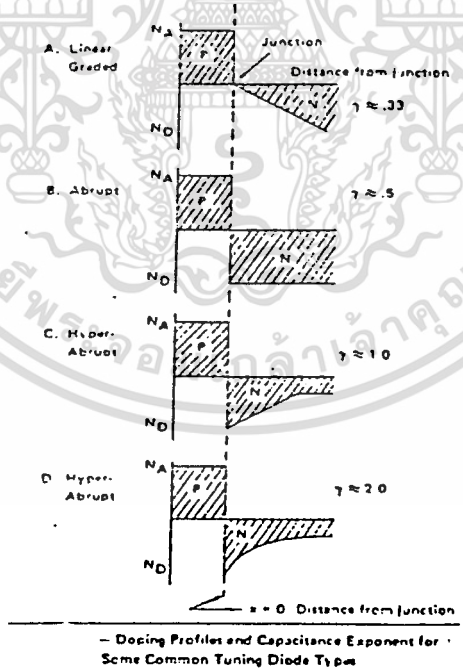
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ C_j (v1) เป็นค่าเก็บประจุของรอยต่อที่แรงดัน v1

C_j (v2) เป็นค่าเก็บประจุของรอยต่อที่แรงดัน v2

ในการกำหนดค่า TR ดาต้าชีทบางอันจะใช้แรงดัน 4 โวล์ทสำหรับ v2 อย่างไรก็ตามเมื่อต้องการที่จะได้อัตราส่วนการจูนที่มากขึ้น อาจใช้แรงดันไบแอสที่ต่ำกว่า 4 โวลท์ โดยยอมให้ค่า Q ลดลงและการใช้แรงดันไบอัสกลับต่ำๆ อาจทำให้ไดโอดถูกไบอัสตรงได้

ในทางกายภาพ ค่า r ขึ้นอยู่กับการโด๊ปสารของไดโอดโดยจะมีค่าอยู่ระหว่าง 1/3 ถึง 2 ซึ่งสามารถกำหนดได้ จากเทคนิคการผลิตชนิดของรอยต่อ รูปลักษณะการโด๊ป และค่า r แสดงดังรูป 3.6.3



– Doping Profiles and Capacitance Exponent for Some Common Tuning Diode Types

รูปที่ 3.6.3 ลักษณะการโด๊ป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามรูปจะแสดงจำนวนเอกเซบเตอร์และโดเนอร์ กับระยะห่างของรอยต่อรอยต่อแบบแอพรับ(Abrupt Junction) สามารถสร้างได้ง่ายที่สุดและ Varicap ส่วนมากจะเป็นรอยต่อแบบนี้ ซึ่งมีค่า r ประมาณ 1/2 และTR เท่ากับ 3 ตลอดย่านแรงดันไบอัส ดังนั้น ย่านความถี่ที่สามารถจูนได้ จะเป็น 1.7 ต่อ 1

Ex ตัวอย่างเช่น เบอร์ 1N2101

$C(V_2)$ = C(30v) = 2.5 pf

$C(V_2)$ = C(4v) = 6.8 pf

TR = 2.7

r = 0.47

ในการใช้งาน ซึ่งต้องการย่านความถี่กว้าง เช่นในโทรทัศน์ปรือวิทยุAM จะใช้รอยต่อแบบ ไฮเปอร์แอพรับ (Hyper-Abrupt) ซึ่งมีค่า r เป็น 1 หรือ 2

Device Series	Capacitance Available	TR	r	fr	Junction Type
1N 5139	47-6.8pf	2.7-3.4	0.47	1.6-1.8	Abrupt
MV 2101	100-6.8pf	1.6-3.3	0.47	1.6-1.8	Abrupt
BB 105	10 pf	4.0-6.0	1.0	2.0-2.4	Hyper-Abrupt
MV 1400	550-120pf	10-14	2.0	3.2-3.7	Hyper-abrupt
MV 109	30 pf	5.0-6.5	1.0	2.2-2.5	hyper Abrupt

ตารางแสดง อัตราการคูณ,อัตราส่วนความถี่และรอยต่อ โดยรอยต่อแบบไฮเปอร์-แอพรับ จะสร้างด้วยเทคนิคการปลูกผลึก และการแพร่แบบ(Special Epitaxial Growth and Diffusion Techniqes)

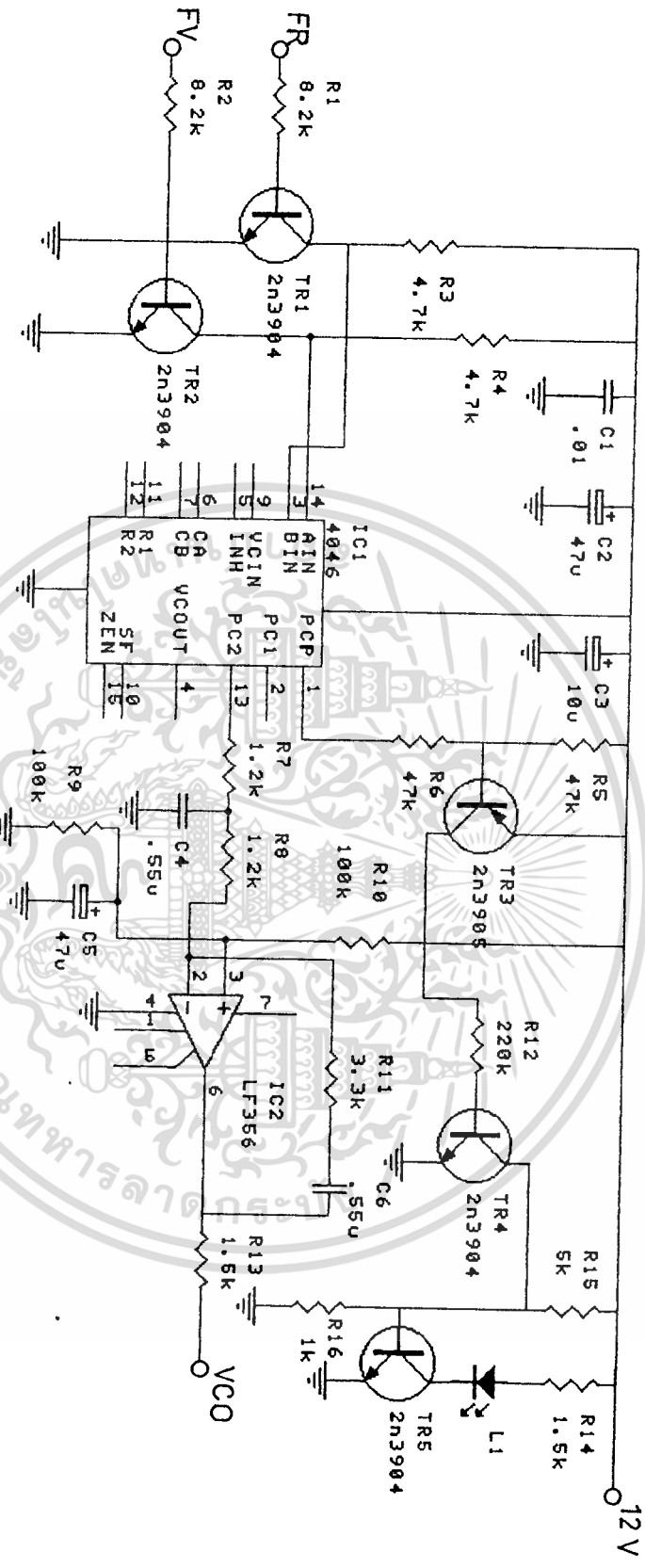
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 การสร้างวงจรเฟสดีเทคเตอร์ และวงจร Low pass filter

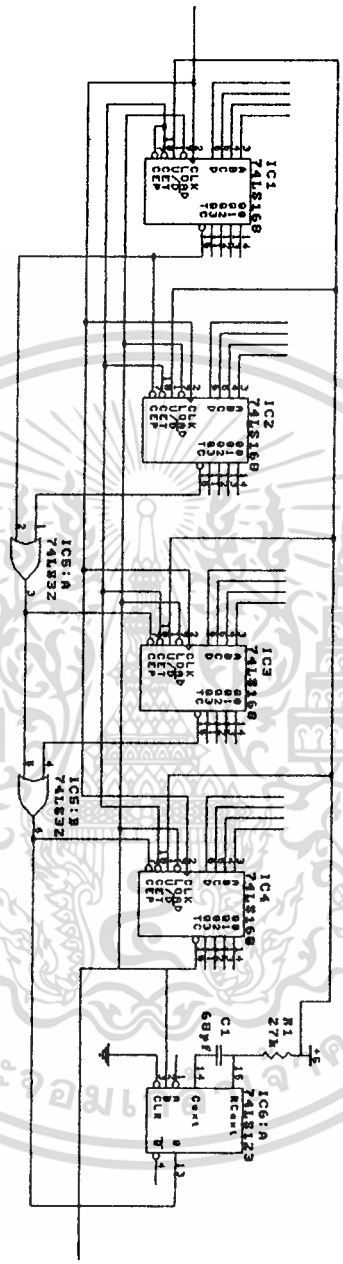
วงจรเทียบเฟส เอาท์พุทของวงจรจะขึ้นอยู่กับผลต่างเฟส หรือความถี่ของสัญญาณอินพุท 2 สัญญาณ ผลที่ได้จากเฟสดีเทคเตอร์จะเป็นพัลส์ ซึ่งมีส่วนผสมของไฟ dc ปนอยู่ ส่วนของไฟ dc นี้จะนำไปใช้ควบคุมความถี่ของ VCO ไม่ว่าความถี่ของ VCO จะห่างจากความถี่ที่ต้องการเท่าใด ช่วงความถี่ที่วงจรสามารถแก้ไขได้เรียกว่า Capture range วงจรเฟสดีเทคเตอร์สามารถต่อได้หลายแบบโดยสามารถใช้ได้ทั้งอุปกรณ์พวก ทรานซิสเตอร์ เกทต่างๆ หรือที่เป็น IC สำเร็จก็มี เพื่อความสะดวกในโครงงานนี้จึงเลือกใช้ IC แบบ CMOS เบอร์ MC4046 ซึ่งในตัว IC นี้จะทำหน้าที่เป็นวงจรเฟสล็อคลูปได้ แต่เราเลือกใช้ให้มันทำงานเฉพาะส่วนที่เป็นภาคเฟสพีเทคเตอร์เนื่องจากว่าในวงจรรวมเราเลือกใช้เป็น Active Filter แบบอิมเวอร์ติ้ง ดังนั้นจำเป็นต้องดัดแปลงเพื่อแก้การสลับเฟสนี้ก่อนเพื่อให้ V_c จากฟิลเตอร์สามารถควบคุมการทำงานของ VCO ได้ถูกทิศทางกับความผิดพลาดที่เกิดขึ้นซึ่งทำได้ง่าย โดยสลับอินพุท fr และ fr ที่อินพุทของวงจรเฟสดีเทคเตอร์ เนื่องจากว่า เราใช้วงจรเฟสดีเทคเตอร์แบบ CMOS ดังนั้นที่ขา non-inverting ของ Active filter ต้องได้ไบอัสที่ 1/2 V_{DD} ส่วนของลูปฟิลเตอร์ใช้วงจร Active lowpass filter โดยในส่วนของ OP-AMP อาจเกิดการอิ่มตัว ถ้าลูปเกิดการผิดพลาดเชิงเฟสที่เฟสดีเทคเตอร์ วิธีแก้ใช้การอิ่มตัวของ OP-AMP ทำได้โดยเพิ่มโลพาสฟิลเตอร์ ก่อนเข้า OP-AMP

จากวงจรในรูปที่ 3.7.1 จะเห็นว่ามีทรานซิสเตอร์ 2 ตัว ที่อินพุตก็เนื่องจากว่า ความถี่ของวงจรหารและความถี่อ้างอิงมีระดับอยู่ในระดับ TTL ดังนั้นจึงต้องทำการขยายเพื่อให้ใช้กับระดับ CMOS ให้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7.1 วงจรเปรียบเทียบเฟสและ Low pass filter

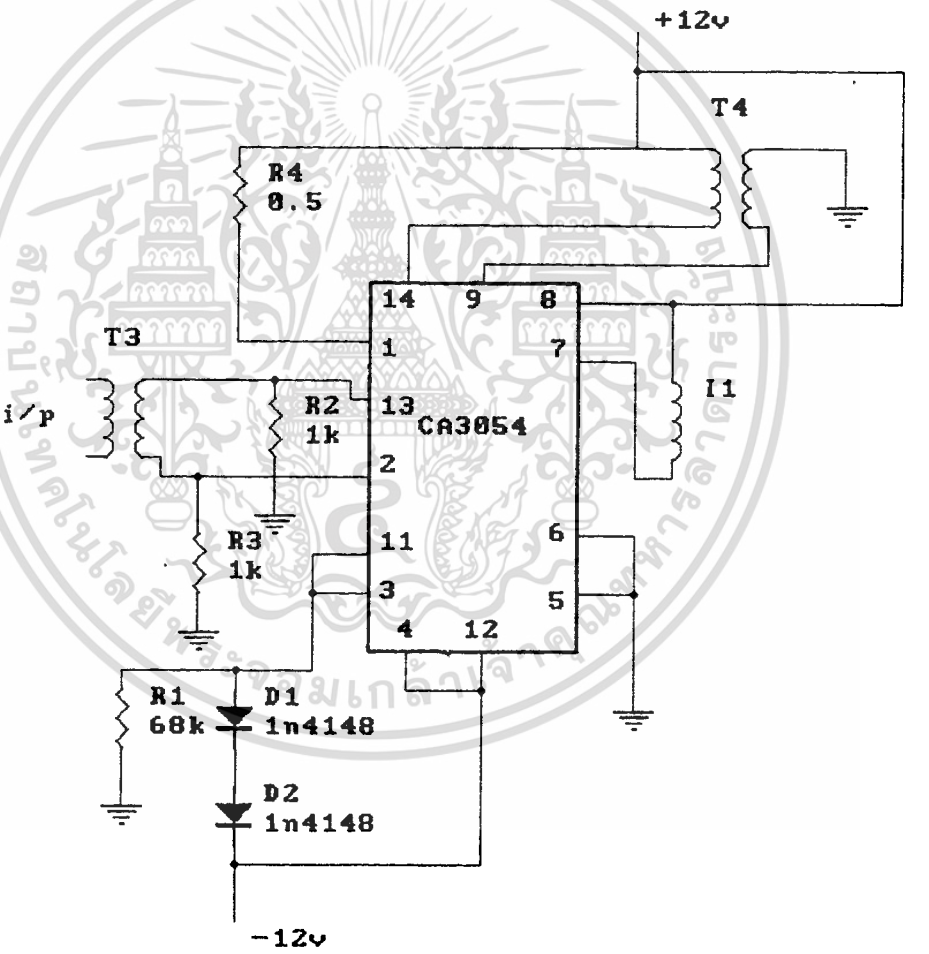


รูปที่ 3.8.2 แสดงวงจรหารแบบโปรแกรมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 การออกแบบวงจรลิมิตเตอร์ (limiter)

การสร้างวงจร Limiter นั้นในโครงงานนี้ ต้องการนำมาใช้เพื่อนำมาจำกัดขนาดของสัญญาณที่รวมกันของ Balance Mod ของ Carrier Inserter เพื่อให้มีขนาดของสัญญาณที่เท่ากันตลอดโดยในโครงงานนี้เราใช้เป็นวงจร Diff Amp โดยใช้ทรานซิสเตอร์ประกอบเป็นวงจร แต่ในโครงงานนี้ได้ใช้ IC เบอร์ CA3054 ซึ่งเป็น General Purpose Transister Array มาประกอบวงจรโดยมีลักษณะของวงจรดังรูปที่ 3.9.1



รูปที่ 3.9.1 วงจร Limiter โดยใช้ Diff Amp

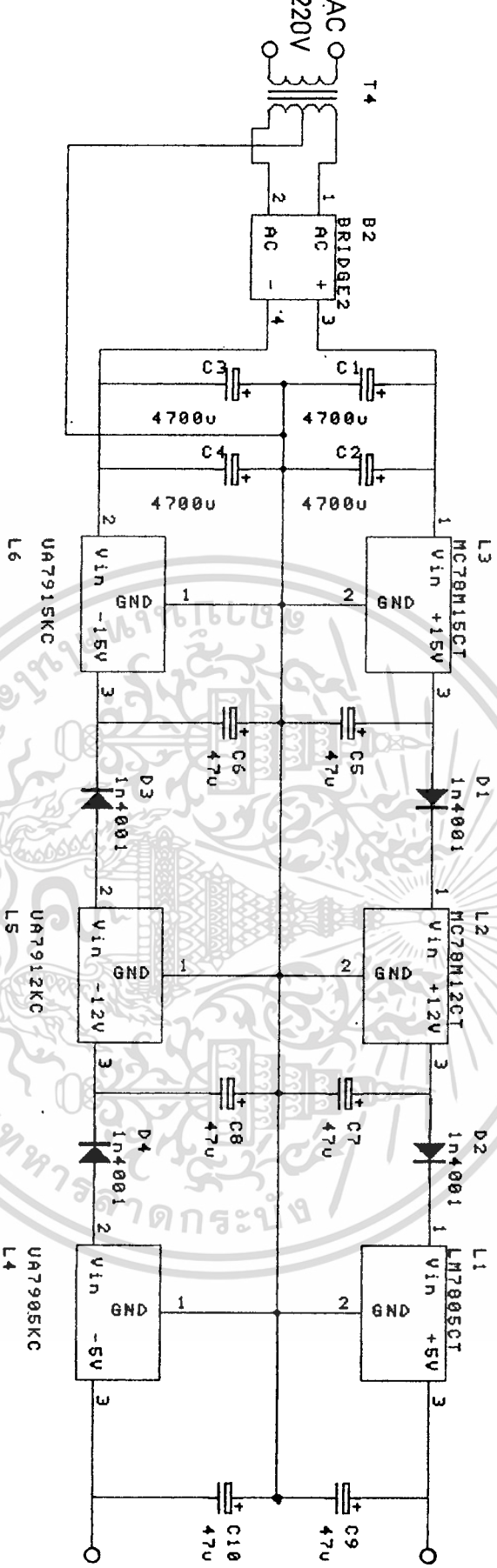
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10 การสร้างวงจรจ่ายไฟ

ในโครงงานนี้ ในภาคของแหล่งจ่ายไฟได้ใช้เป็นวงจรรวมที่สำเร็จ แบบเรกูเลเตอร์สามขาชนิดแรงดันคงที่ ซึ่งเป็นวงจรที่ใช้ง่ายไม่ต้องใช้อุปกรณ์ต่อภายนอกมากนัก ในการต่อใช้งานในบางครั้งหากว่าเป็นต้องต่อโวล์ทเต็จเรกูเลเตอร์ห่างจากส่วนซัพพลายเกิน 5 เซนติเมตร ควรจะใส่ตัวเก็บประจุอิเล็คโทรไลท์ขนาดประมาณ 25ไมโครฟารัด ในด้านอินพุตเพื่อป้องกันการออสซิลเลเลทที่ความถี่สูง ซึ่งจะทำให้วงจรทำงานได้ไม่ดี ในส่วนของภาคเอ้าท์พุท ควรใส่ตัวเก็บประจุไว้เพื่อให้ได้ไฟที่เรียบขึ้น เนื่องจากในโครงการนี้มีการใช้ไฟหลายระดับและมีทั้งไฟบวกและไฟลบ ดังนั้นในวงจรเรคติไฟเออร์ จึงต้องใช้หม้อแปลงแบบมีเซนเตอร์แทป และใช้ IC ในแบบ 78XX ซึ่งเป็นไฟบวกและ 79XX ซึ่งเป็นไฟลบแล้วทำการดึงระดับไฟในค่าที่ต้องการไปใช้ โดยใช้วงจรตามรูปที่ 3.10.1 ในหน้าถัดไป

ไอซีเรกูเลเตอร์ชนิด 3 ขาแบบระดับแรงดันคงที่มีทั้งที่เป็นไฟบวกและไฟลบ และมีให้เลือกได้หลายระดับ ทั้งโวล์ทเตจและกระแสเพราะฉะนั้นในการเลือกใช้งานควรเลือกดูให้เหมาะสมกับลักษณะการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10.1 วงจรทางภาคจ่ายไฟ

บทที่ 4

ไอซี ดีโค้ดสัญญานและ วงจรดีโค้ดสัญญานเอเอ็ม สเตริโอ

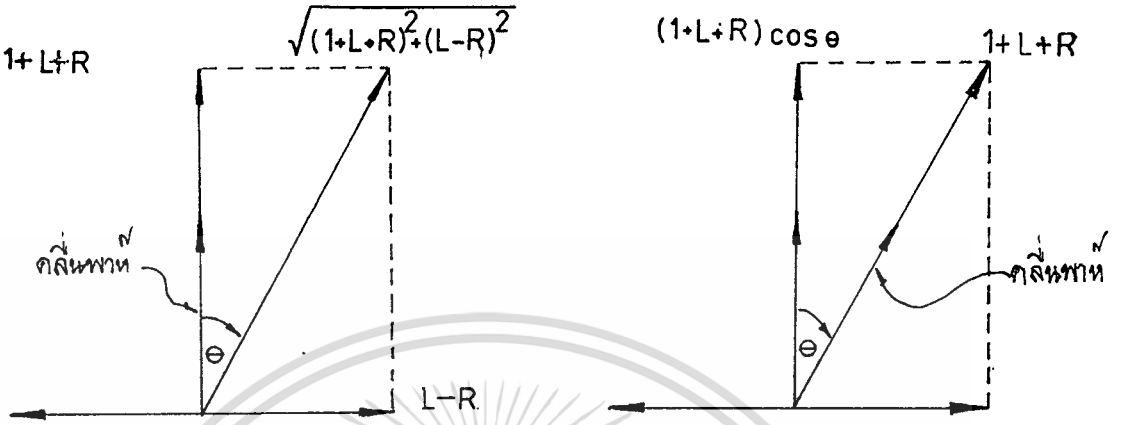
IC MC 13020P เป็นไอซีที่ผลิตขึ้นโดยบริษัทโมโตโรล่า ภายในตัวไอซีมีวงจรดีโค้ดที่สมบูรณ์ในชิพเดียว มีวงจรตรวจจับสัญญาณไพล็อตและขับหลอดไพล็อต แสดงสัญญาณสเตอริโอ สัญญาณL+R ซึ่งเป็นสัญญาณโมโนจะได้จากวงจรเอ็นเวล็อปดีเท็กเตอร์ส่วนสัญญาณสเตริโอคือ L-R ได้จากวงจรดีเท็กแบบเฟสล็อกลูป (PLL)ซึ่งจะทำงานต่อเมื่อมีสัญญาณไพล็อต 25 Hz

4.1 C-QUAM

ระบบ C-QUAM ปรับปรุงมาจากระบบ QUAM (quadrature amplitude modulation) ซึ่งสัญญาณ L-R ถูกส่งออกไปโดยการมอดูเลตกับคลื่นพาห์ความถี่เดียวกันแต่ต่างเฟสกัน 90องศา แต่สัญญาณ L-R มีการลบคลื่นพาห์ออกคงเหลือแต่ไซด์แบนด์ทั้ง 2 ข้าง

เนื่องจากเครื่องรับโมโนใช้เป็นเวล็อปดีเท็กเตอร์เพียงอย่างเดียวซึ่งไม่สามารถแยกความแตกต่างของเฟสได้แต่จะมองเป็นผลรวมทั้งหมดเครื่องรับโมโนจึงรับสัญญาณ QUAM ได้โดยมีความเพี้ยนสูงมาก บริษัทโมโตโรล่าได้ทำการแก้ไขปรับปรุงเพื่อให้เครื่องโมโนยังคงรับสัญญาณทั้ง 2 แกน (L+R และ L-R) ด้วยแฟกเตอร์ตัวหนึ่งคือ cos θ ซึ่งจะทำให้ผลรวมทางเวกเตอร์ของสัญญาณทั้ง 2 ยังคงเหมือนกับสัญญาณโมโนทุกประการเครื่องรับเดิมก็จะรับฟังได้โดยไม่เพี้ยน ระบบที่พัฒนาใหม่นี้จึงได้ชื่อว่า C-QUAM (compattible quadrature amplitude modulation) ภาพแสดงเวกเตอร์ของสัญญาณ QUAM และ C-QUAM แสดงเปรียบเทียบให้ดูใน รูปที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

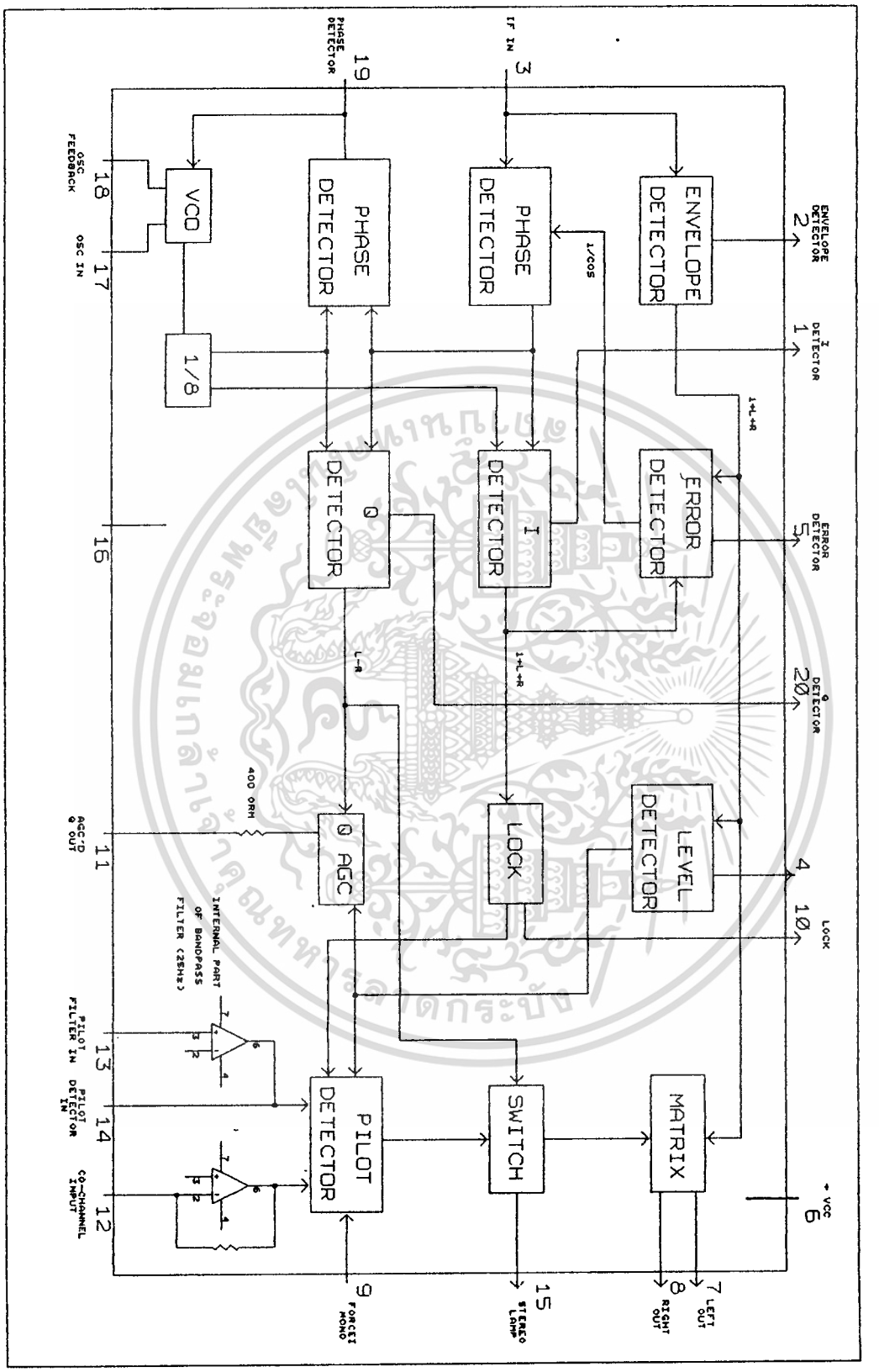


รูปที่ 4.1 เวกเตอร์แสดงสัญญาณเอเอ็มสเตริโอ

4.2 MC 13020P ดีโค้ดเดอร์

จากแผนผังวงจรภายในของ MC13020P ในรูปที่ 4.2 จะเห็นว่าตัวดีโค้ดเดอร์ได้สัญญาณมาจากเอาต์พุตของภาคขยายไอเอฟของเอเอ็ม แล้วทำการดีโค้ดสัญญาณ C-QUAM ได้เป็นสัญญาณเสียง ซ้าย-ขวา ซึ่งในขณะที่ไม่มีสัญญาณสเตอริโอหรือสัญญาณสเตริโออ่อนเกินไปก็จะทำให้เอาต์พุตเป็นโมโนทั้ง 2 แชนเนล โดยคุณภาพเสียงไม่เลวลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 ลักษณะวงจรภายในของ MC 13020P

ขั้นตอนแรกของการดีโค้ดคือการแปลงสัญญาณ C-QUAM ให้เป็น QUAM ก่อนโดยการเปรียบเทียบเอาต์พุตของเอ็นเวล็อปดีเท็กเตอร์ (enevlop detector) กับเอาต์พุตจาก I ดีเท็กเตอร์ (L+R) ในเออร์เรอร์ดีเท็กเตอร์(error detector) ยกตัวอย่างเช่น เมื่อสัญญาณที่เข้ามาเป็นโมโน(คือมีเฉพาะ L+R)ทั้งเอ็นเวล็อปดีเท็กเตอร์ และ I ดีเท็กเตอร์จะเห็นสัญญาณเหมือนกัน จึงไม่เกิดสัญญาณเออร์เรอร์จากเออร์เรอร์ดีเท็กเตอร์ แต่ถ้าหากสัญญาณที่เข้ามาเป็นสเตอริโอเอ็นเวล็อปดีเท็กเตอร์จะคงเห็นสัญญาณเหมือนเดิมคือ (1+L+R) แต่ I ดีเท็กเตอร์ซึ่งมีความไวต่อเฟสด้วยจะเห็นสัญญาณเป็น (1+L+R)cos θ เมื่อเปรียบเทียบกันแล้วจะได้สัญญาณ 1/cos θ จากเออร์เรอร์ดีเท็กเตอร์ ซึ่งเรียกว่าคอร์เรกชั่นแฟกเตอร์(correction factor)

เอาต์พุตจากเออร์เรอร์ดีเท็กเตอร์ถูกนำไปควบคุมอัตราขยายของ variable gain ซึ่งเป็นการคูณ 1/cos θ เข้ากับสัญญาณ C-QUAM ก็จะได้เป็นสัญญาณ QUAM แล้วจึงนำสัญญาณ QUAM นี้มาดีเท็กโดยวิธีควอดราเตอร์ดีเท็กชั่นต่อไป

การดีเท็กแบบควาดราเจอร์ ขั้นแรกต้องหาเฟสอ้างอิงที่ตรงกับสถานีส่งก่อนโดยการใช้วงจรเฟสล็อกลูป (PLL) อันประกอบด้วยเฟสดีเท็กเตอร์และ VCOโดย VCO จะกำเนิดความถี่ขึ้นมาแล้วหารลงให้เหลือความถี่เท่ากับไอเอฟ (455 KHz) แล้วเปรียบเทียบกับความถี่จากไอเอฟที่ได้จาก variable gain ได้เอาต์พุตเป็นไฟตรงมาควบคุมเฟสของ VCO ให้ตรงกับสถานีตลอดเวลา ความถี่ที่ได้จากวงจรหารจะมี 2 เฟสคือ 0 องศา และ 90 องศา ป้อนให้ I ดีเท็กเตอร์และ Q ดีเท็กเตอร์เพื่อรวมสัญญาณที่รับได้แล้วดีเท็กได้เป็นสัญญาณ 1+L+R และ L-R

สำหรับเลเวลดีเท็กเตอร์ (level detector) ใช้ตรวจจับระดับความแรงของคลื่นพาห์เพื่อควบคุมอัตราขยาย Q AGC (automatic gain control) ให้ได้สัญญาณไพล็อต 25Hz ที่คงที่และควบคุมไพล็อตดีโค้ดเดอร์ซึ่งเอาต์พุตจาก Q AGC จะต่อออกไปยังวงจรกรองความถี่ภายนอกทางขา 11 แล้วป้อนกลับเข้ามายังวงจรไพล็อตดีโค้ดทางขา 14

การเปลี่ยนโหมดโมโน/สเตริโอ แบบอัตโนมัติทำงานดังนี้คือในขณะที่สัญญาณที่เป็นสเตอริโอมาแรง ดีโค้ดเดอร์จะเปลี่ยนโหมดเป็นสเตอริโอหลังจากตรวจพบสัญญาณไพล็อต 25Hz เป็นจำนวน 7 ไซเคิลแล้ว แต่ถ้าหากสัญญาณที่รับได้เลวหรือมีสัญญาณรบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

กวนดีโค้ดเดอร์จะรอจนกว่าจะได้รับสัญญาณไพล็อตครบ 37ไซเคิล (ประมาณ 1.5 วินาที) จึงจะเปลี่ยนโหมดเป็นสเตริโอ

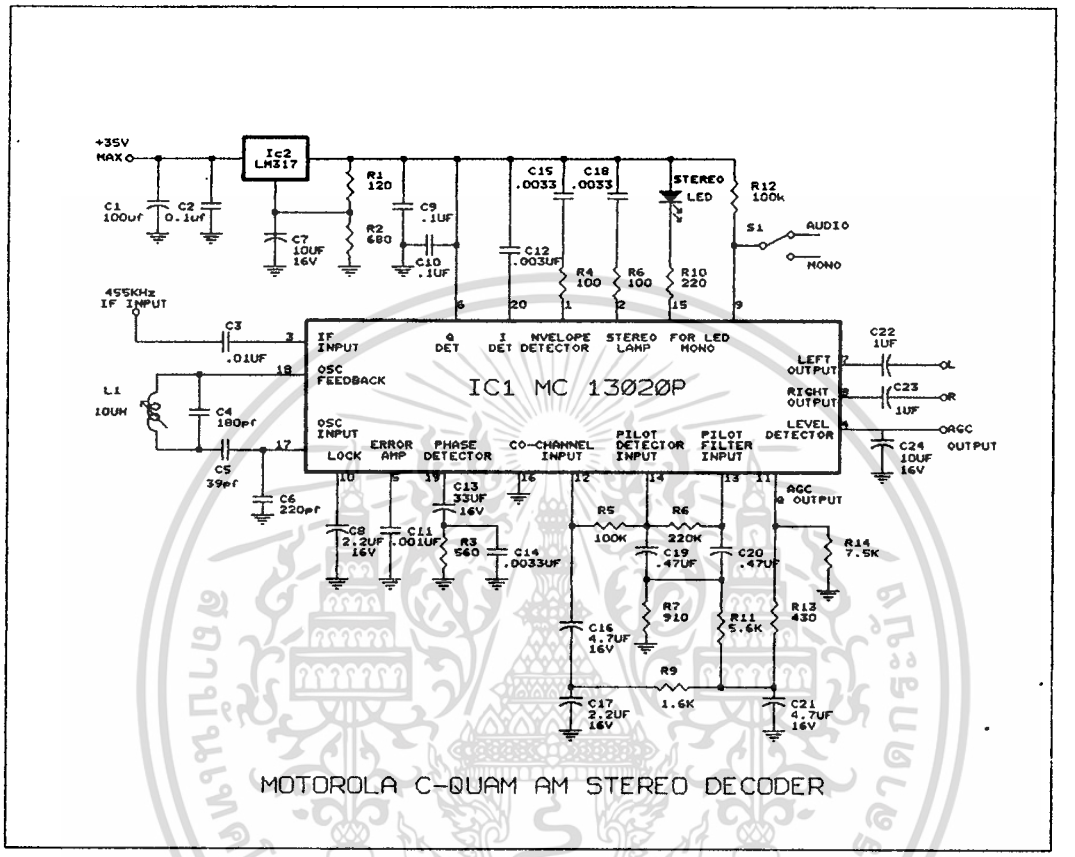
หากดีโค้ดเดอร์ไม่ได้รับสัญญาณไพล็อตหรือได้ไม่ครบ 7ไซเคิล ก็จะถือว่าสัญญาณที่รับได้เป็นโมโน แต่ก่อนที่จะเปลี่ยนเป็นโมโนโหมดจะมีการนับเพื่อหน่วงเวลา ทั้งนี้เพื่อเป็นการป้องกันการเปลี่ยนโหมดไปมาอันเนื่องมาจากสัญญาณรบกวน หรือสัญญาณที่รับได้ไม่คงที่ นอกจากนี้การนับเพื่อหน่วงเวลายังเกิดขึ้นเมื่อวงจรเฟสล็อกลูปล็อกความถี่ไม่ได้ หรือมีการตรวจพบสัญญาณรบกวนโดยโค แชนแนลดีเท็กเตอร์ (co channel detector) ก่อนจะครบ 7 ไซเคิลของสัญญาณไพล็อต

เมื่อสัญญาณต่างๆ ถูกต้องและอยู่ในโหมดสเตอริโอเรียบร้อยแล้ว หลอดLED จะถูกขับให้สว่างสัญญาณ L-R จะถูกผ่านไปยังวงจรแมตริกซ์ (matrix) รวมกับสัญญาณ 1+L+R จากเอ็นเวล็อปดีเท็กเตอร์ได้เป็นสัญญาณ L และ R ทางขา 7 และ 8 ตามลำดับ

4.3 วงจรดีโค้ดเดอร์ที่สมบูรณ์

วงจรดีโค้ดเอเอ็มสเตอริโอระบบ C-QUAM ที่ใช้ MC13020P แสดงในรูปที่4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงวงจรดีโค้ดสัญญาณเอเอ็มสเตริโอระบบ C-QUAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 จูนเนอร์ที่เหมาะสม

เครื่องรับหรือจูนเนอร์เอเอ็มทั่วไปใช่ว่าจะสามารถดีโค้ดสัญญาณสเตอริโอได้ทุกเครื่องถ้าหากคุณสมบัติไม่ดีพอแล้ว ถึงจะต่อดีโค้ดเดอร์เข้าไปก็ไม่ได้สัญญาณซ้ายขวาที่เป็นสเตอริโอ ดังนั้นจึงต้องพิจารณาเลือกเครื่องรับที่จะใช้ด้วย

- เครื่องรับเก่าแบบใช้หลอด ใช้ไม่ได้แน่นอน เพราะมีปัญหาเรื่องระดับแรงดันไฟฟ้าที่แตกต่างกันมากและความร้อนสูง
- วิทยุกระเป๋าหิ้วถูกๆ พวกนั้นก็ใช้ไม่ได้ประการแรก แบนด์วิดธ์แคบความไวต่ำและเฟสกับความถี่ไม่ค่อยจะคงที่ซึ่งจะทำให้เกิดความเพี้ยนมากมาย
- จูนเนอร์ชนิดจูนด้วยมือ ซึ่งใช้การปรับค่า Cหรือค่า Lเพื่อเปลี่ยนสถานี ประเภทนี้จะก่อให้เกิดปรากฏการณ์ "ไมโครโฟนิกเอฟเฟกต์" ได้ง่าย และโดยเฉพาะเครื่องรับที่มีลำโพงในตัวยิ่งร้ายเพราะการสั่นสะเทือนจะมีผลอย่างมากในเรื่องของเฟสมอดูเลชั่นการแยกสัญญาณความเพี้ยนและสัญญาณรบกวน
- จูนเนอร์แบบซินเธอไซเซอร์ หรือแบบที่ใช้วาแรคเตอร์ไดโอด เป็นตัวจูนสถานี ซึ่งมีความเที่ยงตรง และไม่ไวต่อการรบกวนต่างๆ จูนเนอร์แบบนี้ยังไม่แน่ว่าจะไม่เกิดปัญหา เพราะยังอาจเกิดอาจเกิดปัญหาจากภาค PLL ในจูนเนอร์ได้อีก ซึ่งต้องมีการเพิ่มวงจรในภาค VCO สำหรับกรองแรงดันควบคุม VCO ให้เรียบขึ้น

<u>สรุปก็คือ</u> จูนเนอร์ที่เหมาะสมในการรับสัญญาณเอเอ็มสเตอริโอได้ดีจะต้องมีคุณสมบัติดังนี้

- ภาคโลคอลออสซิลเลเตอร์ต้องมีสเถียรภาพดีมากให้ความถี่เป็นรูปชายน์ที่ไม่เพี้ยน
- ภาค AGCจะต้องสามารถรักษาระดับสัญญาณไอเอฟให้ค่อนข้างคงที่ตลอดทุกๆ สถานี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สำหรับจูนเนอร์เอเอ็มที่ใช้ไอซี เราไม่สามารถต่อสัญญาณเอเอฟออกมาได้จึงใช้ไม่ได้
- ความไวและซีเล็กติวิตี้ ถ้าความไวสูง และซีเล็กติวิตี้ดีจะช่วยให้การรับและสเถียร ภาพทางความถี่ดีขึ้น
- แบนด์วิดธ์ ของภาคไอเอฟ ยิ่งกว้างยิ่งดี แต่อย่างน้อยไม่ควรต่ำกว่า 5 KHz เครื่องรับวิทยุโดยทั่วไปมีแบนด์วิทเพียง 2 KHz เท่านั้น และ
- ระดับสัญญาณ จากภาคไอเอฟควรอยู่ในช่วง 500 mV ถึง 1 V_{p-p}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทดลองและผลการทดลอง

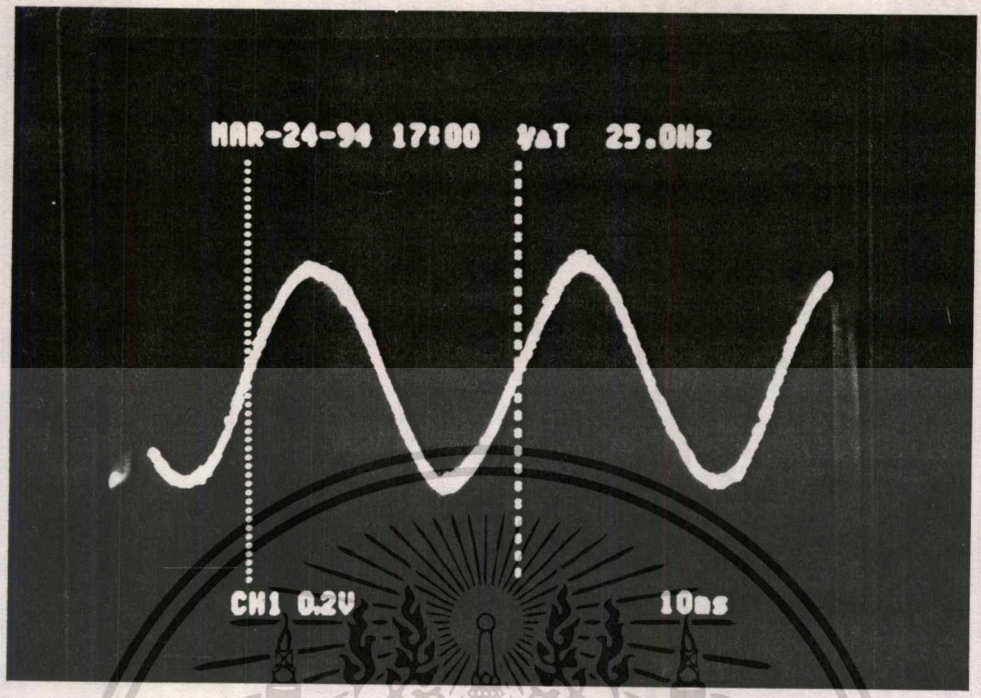
สรุปผลได้ดังนี้

1. การทดลองในภาค equalizer ซึ่งเป็นวงจร filter นั้นผลการทดลองวงจรสามารถทำงานได้ โดยผลการตอบสนองความถี่อยู่ในช่วงที่พอใช้ได้ เนื่องจากว่าอุปกรณ์ ที่ใช้ในวงจรจำพวกค่า R และค่า C ที่ใช้มีค่าไม่ตรงกับความต้องการและอุปกรณ์แต่ละตัวก็มีค่าการผิดพลาดที่แตกต่างกัน ซึ่งจุดนี้เป็นผลอันทำให้วงจรมีผลตอบสนองไม่ตรงกับที่คำนวน

2. การทดลองในภาคเมตริกซ์ จากผลการทดลองที่ได้นับว่ามีผลใกล้เคียงกับทางทฤษฎี แต่มีปัญหาบ้างเล็กน้อยในส่วนของวงจรลบคือ ในทางทฤษฎีแล้วถ้าเราป้อนสัญญาณทางซ้ายและทางขวาโดยให้มีขนาดเท่ากัน ผลที่ออกมาที่ O/P ควรจะเป็น 0 แต่ในทางปฏิบัติแล้ว ปรากฏผลที่ O/P มีโวล์ทเตจออกมาเล็กน้อยมีค่าเป็น มิลลิโวล์ท

3. การทดลองในภาคกำเนิดสัญญาณไพลอตโทน (pilot tone) ในการทดลองนี้ได้ใช้ความถี่ 1MHz มาหารด้วย IC Counter 74LS168 จำนวน 4 state นั้นได้ความถี่ 100Hz ออกมาพอดี ซึ่งเมื่อเรานับความถี่ 100Hz ไปผ่านยังวงจรของ JK FF ก็จะได้ความถี่ 25Hz ตามต้องการ แต่ความถี่ 25Hz นี้นั้นยังเป็นคลื่นจัตุรัสอยู่ ซึ่งเราต้องนำเอาไปผ่านวงจร band pass filter เพื่อให้ได้สัญญาณ Sine ซึ่งในส่วนของวงจร band pass นี้เราใช้ OP-AMP เบอร์ LF353 ซึ่งผลที่ได้ก็เป็นที่น่าพอใจ ซึ่งมีลักษณะดังรูปถ่ายที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปถ่ายที่ 1 สัญญาณไพลอทโทน 25 Hz

4 การทดลองในภาค VCO ในการประกอบวงจร VCO ในตอนแรกนั้นได้ทอลองป้อนแรงดันจากแหล่งจ่ายโดยตรงซึ่งก็สามารถเปลี่ยนความถี่ OSC ได้แต่ยังไม่อยู่ในช่วงที่ต้องการซึ่งได้ทดลองทำการเปลี่ยนค่า Lใหม่โดยลองขนาด L ค่า 100mH ขนานไปกับตัวเดิมซึ่งผลที่ออกมาอยู่ในช่วงที่น่าพอใจคือ ประมาณ 2MHz ถึง7MHzและเราสามารถปรับลักษณะของรูปคลื่นได้ที่ตัวต้านทานแบบปรับค่าได้ซึ่งต่ออยู่ที่ขา 5

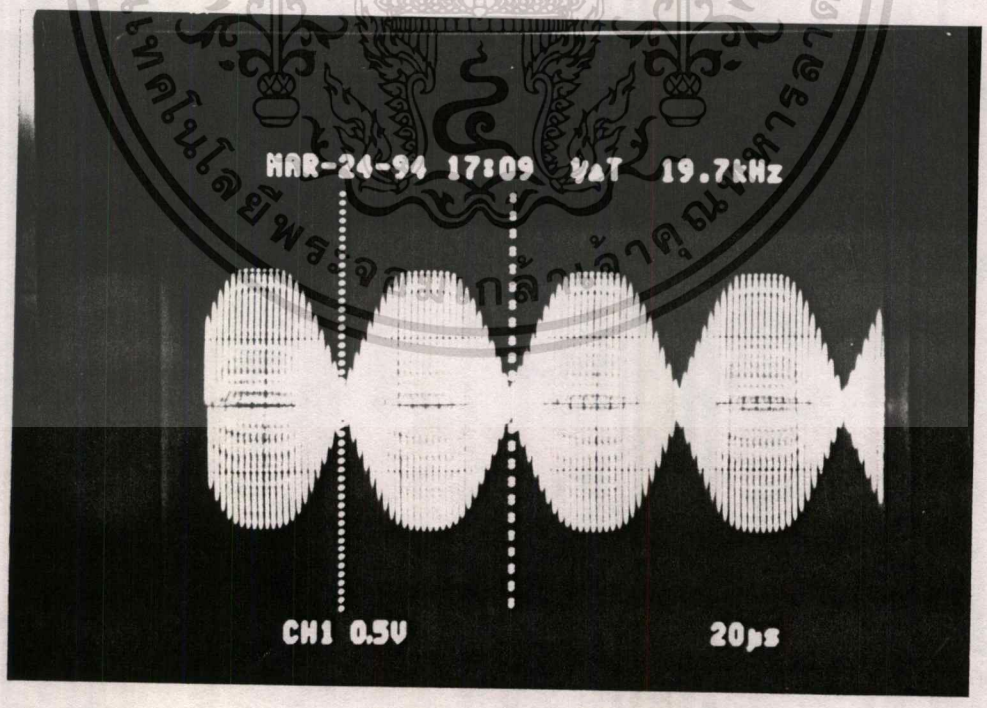
5 การทดลองในส่วนของวงจรหารแบบโปรแกรมได้นั้น ในตอนแรกได้ทำการทดลองโดยการต่อแต่ละ Stage โดยตรงซึ่งผลที่ได้นั้นวงจรหารทำงานได้ไม่ถูกต้อง ซึ่งจุดนี้หากลองดูจาก Timing Diagram แล้วจะเห็นว่าเกิดปัญหาในช่วงการ trig ซึ่งแก้ปัญหานี้ได้โดยการต่อ OR GATE และ MONO STABLE ตามวงจรที่แสดงไว้ ซึ่งเมื่อทำการทดสอบดูอีกครั้งปรากฏว่าวงจรทำงานได้ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6 การทดสอบในส่วนของเฟสล็อกลูป โดยทำการต่อวงจร vco วงจรหารแบบโปรแกรมได้ วงจรเปรียบเทียบเฟสและฟิลเตอร์เข้าด้วยกันในส่วนนี้จะมีปัญหาในด้านขนาดของความถี่ OSC เนื่องจากมีค่าต่ำไม่เพียงพอที่จะทำการนับจากวงจรหารได้เพราะไม่ถึงระดับ TTL ซึ่งต้องใช้ TR เบอร์ 2N3904 มาต่อเพื่อทำการขยายขนาดของสัญญาณ ซึ่งเมื่อต่อเข้าด้วยกันแล้วก็สามารถทำงานได้โดยการล็อกความถี่ให้อยู่ในช่วงที่ต้องการ

7 การทดลองในภาคแยกเฟสในส่วนนี้เราใช้JK FFต่อใช้เป็นวงจรจอห์นสันเคาท์เตอร์ ซึ่งเอาท์พุทที่ได้นั้น จะมีเฟสที่ต่างกัน 90 องศา ตามที่ต้องการอย่างถูกต้องโดย O/P ที่ออกจากภาคนี้จะมีความถี่ลดลง 4 เท่าของความถี่ที่ต้องออกจากวงจร VCO และมีลักษณะเป็น Square

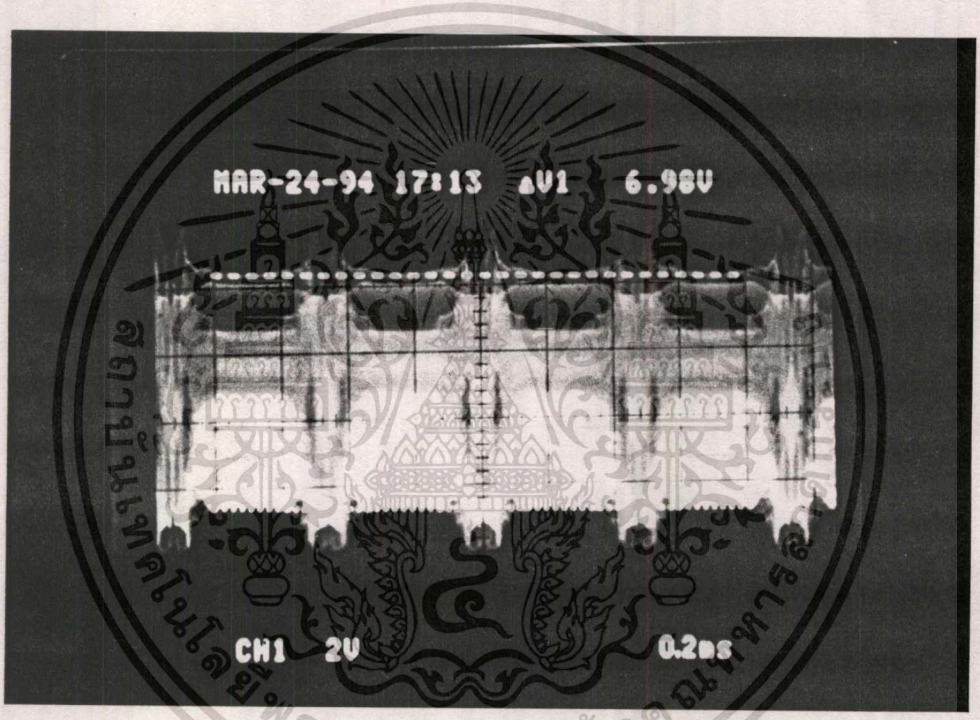
8 การทดลองในส่วนของวงจร Balance Modulate ซึ่งเราใช้มอดูเลทระหว่าง Carrier ซึ่งออกจากวงจรแยกเฟส 0 องศากับ 90 องศา แล้วนำไป Mod กับสัญญาณ L+R และ L-R ซึ่งรวมกับ Pilot tone 25Hz ในส่วนนี้ต้องมีการลดระดับของ Carrier ลงตามที่ต้องการโดยการปรับ VR ซึ่งเราต่อไว้ก่อนเข้าที่อินพุตซึ่งผลที่ออกมานี้เป็นที่น่าพอใจทั้งสองส่วน โดยสัญญาณที่ได้มีลักษณะตามรูปที่ 5.1



รูปที่ 2 แสดงสัญญาณของ Balance mod.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9 การทดลองในภาค Limiter เป็นการนำสัญญาณที่รวมกันจาก Balance Mod 2ส่วน และส่วนที่เป็นCarrier inserter ซึ่งสัญญาณที่ได้จากการรวมกันนั้นจะมีขนาดของ Amplitude ไม่คงที่ซึ่งเมื่อเรานำเข้าวงจร limiter เพื่อทำให้ได้สัญญาณซึ่งมีขนาด Amplitude เท่ากันตลอดโดยในส่วนของภาคนี้เราใช้IC MC3058 ต่อเป็น Differential Amp ซึ่งเนื่องจากว่ามีการเปลี่ยนความถี่ของ Carrierได้จึงเป็นการยากที่จะทำให้ O/P ที่ออกมามีขนาดเท่ากันตลอดซึ่งมีลักษณะของ O/P ตามรูปที่ 5.2



รูปที่ 3 สัญญาณในภาค Limiter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

บทสรุปและวิจารณ์

การทำโครงงานนี้มีปัญหาเกิดขึ้นหลายประการด้วยกัน ทั้งทางด้านเครื่องมืออุปกรณ์การทำงาน และปัญหาที่เกิดจากอุปกรณ์และวงจรที่นำมาใช้ ซึ่งจะได้กล่าวละเอียดดังนี้

จากการทดลองในภาค equalizer และภาค matrix นั้นก็พบปัญหาในเรื่องสัญญาณรบกวน(noise) ที่เกิดจากแหล่งจ่ายไฟในการทดลอง และปัญหาจากตัวอุปกรณ์โดยในตอนแรกทดลองใช้ Op-Amp เบอร์741 ซึ่งเกิดปัญหาในเรื่องสัญญาณรบกวน จึงเปลี่ยนมาใช้ OP-Amp เบอร์ LF356 แทนซึ่งเป็น OP-Amp ที่ทนต่อสัญญาณรบกวนได้ดี และมี Band Width ที่กว้างมากกว่าส่วนอุปกรณ์จำพวก Resister นั้นควรใช้ตัวต้านทานที่มีค่าผิดพลาด 1% และตัวเก็บประจุนั้นควรใช้ชนิดที่เป็นไมล่าร์ และควรใช้ชนิดที่มีค่าผิดพลาดต่ำด้วย เพื่อให้ได้ผลตอบสนองของวงจร ตรงกับที่ต้องการมากที่สุดและที่ขาไฟเลี้ยงของ OP-Amp ควรต่อตัวเก็บประจุค่าประมาณ 0.1uF คร่อมไฟบวกและไฟลบกับกราวด์ไว้ เพื่อป้องกันสัญญาณรบกวน

ผลการทดลองในส่วนของวงจรสร้างสัญญาณความถี่เปรียบเทียบ และวงจรหารแบบโปรแกรมได้ในตอนแรกได้ค้นคว้าและศึกษาดูว่าจะใช้เป็นแบบไหน เมื่อพิจารณาดูแล้วได้เลือกใช้ IC TTL เบอร์ 74LS168 ซึ่งเป็นไอซี Syncronous up/down counter โดยในตอนแรกได้ต่อตามทฤษฎี ผลปรากฏว่าเกิดปัญหาคือไม่สามารถหารได้ตรงตามทฤษฎี ซึ่งในจุดนี้ได้ลองวัดสัญญาณในแต่ละ Stage (ใช้ 4 Stage)พบว่าสัญญาณมีคาบเวลาลดลง ซึ่งเป็นผลให้เกิดการหารความถี่ได้ไม่ตรงซึ่งในจุดนี้ได้เปิด timeing diagram ของไอซีดูจึงได้นำ OR GATE และไอซี Mono Stable มาใช้ประกอบดังวงจรที่แสดงไว้ ซึ่งผลที่ได้ก็สามารถที่จะหารได้ตามทฤษฎี ส่วนวงจร JOHNSON COUNTER ซึ่งใช้ JK FF มาทำนั้นไม่มีปัญหาอะไรและสามารถแยกเฟสได้เป็น 0 องศา และ 90 องศาถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของวงจร VCO นั้นในตอนแรกได้นำไอซีเบอร์ XR2206 มาทดลองใช้ ปรากฏว่าสามารถเปลี่ยนความถี่ได้ แต่ว่าความถี่สูงสุดของตัวของมันสามารถทำได้แค่ 1MHz เท่านั้นซึ่งไม่เพียงพอต่อความต้องการจึงได้เปลี่ยนมาใช้เป็น IC แบบ ECL เบอร์ MC1468 แทนซึ่งสามารถผลิตความถี่ได้สูง โดยต้องต่อร่วมกับวงจร Tank ภายนอกโดยเปลี่ยนความถี่จาก varicap ที่ต่อวงจร Tank ซึ่งผลการทดลองก็ได้ความถี่ในช่วงที่ต้องการ

ส่วนของวงจรผลิตความถี่ไพลอทโทน 25 Hz นั้นไม่มีปัญหาอะไรโดยอาศัยความถี่จากโมดูลออสซิเลเตอร์ความถี่ 1MHz มาผ่านวงจรหาร 10,000 โดยใช้ไอซี 74LS168ได้ความถี่ 100Hz แล้วนำมาหาร 4 อีกทีได้ 25Hz เป็นสัญญาณรูปสี่เหลี่ยม ซึ่งได้ตรงตามทฤษฎีเมื่อนำไปผ่านวงจร Band Pass ก็จะได้เป็นสัญญาณ Sine ซึ่งนับว่าไม่มีปัญหาอะไรในส่วนนี้

ในส่วนของวงจรที่เป็นเฟสล็อกลูป เมื่อนำมาต่อรวมกันนั้นมีปัญหาในเรื่องขนาดของสัญญาณจาก VCO มีขนาดสัญญาณต่ำ ต้องมีการขยายสัญญาณก่อน เพื่อให้ไอซีที่ทำหน้าที่เป็นวงจรหารสามารถหารความถี่ได้และในส่วนอื่นๆ ก็ไม่มีปัญหาอะไรวงจรสามารถเลือกความถี่ได้ตามต้องที่ต้องการได้

ส่วนวงจร Balance Mod นั้นสามารถทำงานได้ถูกต้องแต่ต้องมีการปรับระดับของสัญญาณที่เป็น Carrierให้ได้ตามสเปกที่ระบุไว้ใน Data Sheet ซึ่งสัญญาณที่ได้ก็นับว่าใช้ได้

ปัญหาที่เกิดขึ้นใน Limiter คือไม่สามารถที่จะกดสัญญาณให้มีขนาดเท่ากันได้ตลอดเนื่องจากว่าในส่วนของ Carrier เราต้องการให้สามารถเปลี่ยน Carrier ได้แต่จากการทดลองต่อโหลดให้กับ O/P ของ Limiter ปรากฏว่าได้สัญญาณที่ดีขึ้น

ในส่วนของวงจร Decode นั้นได้ทำการประกอบวงจรขึ้นแต่มีปัญหาในเรื่องของอุปกรณ์บางตัวที่หาซื้อไม่ได้ต้องใช้อุปกรณ์อื่นแทน และปัญหาในเรื่องของเครื่องมือในการทดสอบ Band Width ของวงจรจูนเนอร์(เพราะต้องทำการขยาย Band ของวงจรจูนเนอร์ให้กว้างขึ้น) เพื่อให้สามารถ Detect สัญญาณสเตริโอที่ส่งมาได้

ดังนั้นจะเห็นได้ว่าปัญหาต่างๆ ที่เกิดขึ้นนั้นจะมีปัญหาจากอุปกรณ์และเครื่องมือบางส่วน และในส่วนของวงจร Encoder เมื่อนำภาคต่างๆ ต่อเข้าด้วยกันจะต้องมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การปรับระดับของสัญญาณให้ถูกต้องตามอินพุทของแต่ละภาค ซึ่งหากสัญญาณมีขนาดไม่ได้ก็จะทำให้เกิดการทำงานที่ไม่ถูกต้องได้

สิ่งที่มีปัญหามากตลอดการทำโครงงานชิ้นนี้ คือเรื่องของเครื่องมือต่างๆ ที่นำมาใช้ในการทดลองเช่นแหล่งจ่ายไฟ ที่มีอยู่ไม่เพียงพอที่จะใช้ต้องแบ่งกันใช้กับกลุ่มอื่น และที่มีอยู่ก็เป็นแหล่งจ่ายไฟที่มีคุณภาพต่ำ มีสัญญาณรบกวนมากไฟกระแสตรงก็มีริปเปิ้ลมาก เช่น

Oscilloscope ที่มีอยู่ก็เป็นเครื่องที่มีคุณภาพต่ำ มีจำนวนไม่พอเพียงกับความต้องการ ต้องสลับกันใช้กับกลุ่มอื่นซึ่งทำให้ไม่สดวกในการทำโครงงาน

Function Generator ที่มีใช้ทั้งAF และ RF Gen ก็เป็นเครื่องมือที่เก่าซึ่งให้สัญญาณที่ไม่ดี ซึ่งน่าจะเปลี่ยนเป็นของใหม่ที่มีคุณภาพที่ดีกว่านี้ พร้อมทั้งมีการซ่อมบำรุงให้อยู่ในสภาพที่ดีพร้อมในการปฏิบัติงานได้

Spectrum นั้นเป็นอุปกรณ์ที่จำเป็นต้องใช้สำหรับงานบางส่วนซึ่งก็หาใช้ได้ยากมากทำให้งานที่ต้องใช้เครื่อง Spectrum ไม่สามารถกระทำได้

ซึ่งจากที่กล่าวมาทั้งหมดนี้ก็อยากให้ทางภาค ได้มีการปรับปรุงเครื่องมือเพื่อให้เพียงพอกับนักศึกษาและเพื่อให้นักศึกษาสามารถทำงานได้อย่างรวดเร็วขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. "การใช้งานออปแอมป์และลิเนียร์ไอซี" โดย โรเบิร์ต เอฟ คอฟลิน
เฟรเดอริก เอฟ ดริสคอลล์

2. "หลักการทำงานเครื่องรับส่ง วิทยุและระบบวิทยุสื่อสาร"
โดย สุชาติ กังวารจิตต์

3. "ออปแอมป์" สำนักพิมพ์ฟิสิกส์เซนเตอร์

4. "หนังสือวรสาร อีเล็กทรอนิกส์ เซมิคอนดักเตอร์" ฉบับที่ 90

5. "MECL DEVICE DATA MOTOROLA INC 1985"

6. "LINEAR AND INTERFACE INTEGRATEED CIRCUITS"

7. "คู่มือไอซี CMOS 4000 SERISE"

8. "คู่มือเทียบเบอร์ ไอซี TTL"

9. "คู่มือเทียบเบอร์ไดโอด"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

กลุ่มผู้จัดทำขอขอบพระคุณท่านอาจารย์ที่ปรึกษาอาจารย์ กฤดากร กล่อมการ ซึ่งให้คำปรึกษาและสนับสนุนในการทำโครงงานนี้อย่างดี ขอบคุณเพื่อนๆทุกคนที่ให้การสนับสนุน และขอบคุณเจ้าหน้าที่ห้องสมุดภาคเทคนิคอุตสาหกรรม ที่ให้ความอนุเคราะห์ในการจัดทำปริญญานิพนธ์ชุดนี้เป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	−55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

MC1496
MC1596

Specifications and Applications Information

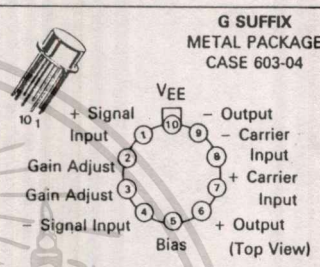
BALANCED MODULATOR/DEMODULATOR

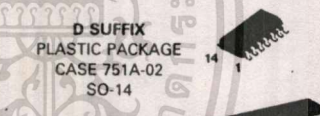
SILICON MONOLITHIC INTEGRATED CIRCUIT

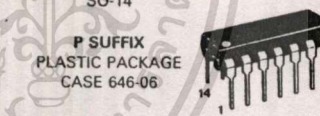
BALANCED MODULATOR/ DEMODULATOR

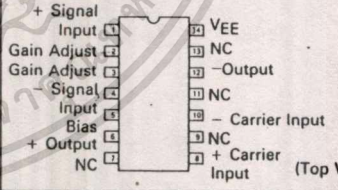
. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
  — 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ









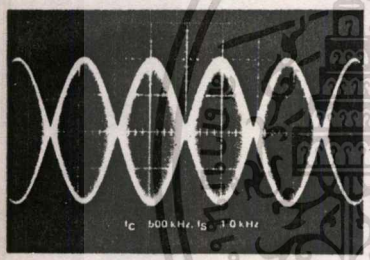


FIGURE 1 – SUPPRESSED-CARRIER OUTPUT WAVEFORM

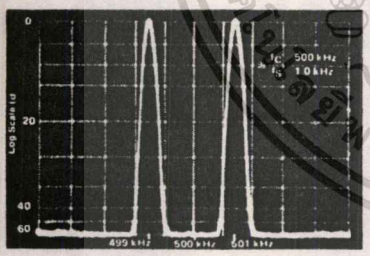


FIGURE 2 – SUPPRESSED-CARRIER SPECTRUM

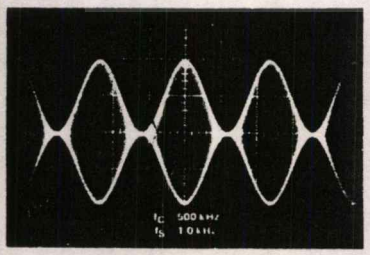
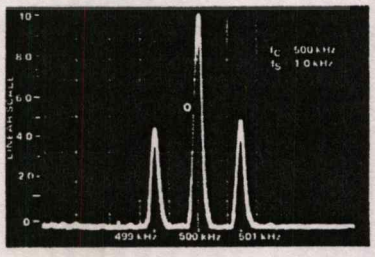


FIGURE 3 – AMPLITUDE-MODULATION OUTPUT WAVEFORM

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_6 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_9 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_6 - V_8$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	+5.0 $\pm(5 + I_5R_e)$	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C unless otherwise noted) (All input and output characteristics are single-ended unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough	5	1	V_{CFT}							μV(rms)
V_C = 60 mV(rms) sine wave and offset adjusted to zero; f_C = 1.0 kHz				—	40	—	—	40	—	
V_C = 60 mV(rms) sine wave and offset adjusted to zero; f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave: offset adjusted to zero; f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	mV(rms)
V_C = 300 mVp-p square wave: offset not adjusted; f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression	5	2	V_{CS}							dB
f_S = 10 kHz, 300 mV(rms) f_C = 500 kHz, 60 mV(rms) sine wave				50	65	—	40	65	—	
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms)	8	8	BW_{3dB}							MHz
Carrier Input Port, V_C = 60 mV(rms) sine wave f_S = 1.0 kHz, 300 mV(rms) sine wave				—	300	—	—	300	—	
Signal Input Port, V_S = 300 mV(rms) sine wave $\lvert V_C\rvert$ = 0.5 Vdc				—	80	—	—	80	—	
Signal Gain V_S = 100 mV(rms), f = 1.0 kHz; $\lvert V_C\rvert$ = 0.5 Vdc	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz	6	—								
Parallel Input Resistance			r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz	6	—								
Parallel Output Resistance			r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$	7	—								μA
			I_{bS}	—	12	25	—	12	30	
			I_{bC}	—	12	25	—	12	30	
Input Offset Current $I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$	7	—								μA
			$\lvert I_{ioS}\rvert$	—	0.7	5.0	—	0.7	7.0	
			$\lvert I_{ioC}\rvert$	—	0.7	5.0	—	0.7	7.0	
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	$\lvert TC_{Iio}\rvert$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)	7	—	$\lvert I_{oo}\rvert$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	$\lvert TC_{Ioo}\rvert$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\lvert V_C\rvert$ = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current $I_6 + I_9$	7	6								mAdc
I_{10}			I_{CC}	—	2.0	3.0	—	2.0	4.0	
			I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION *

Note 1 – Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Note 2 – Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Note 3 and Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Note 3 – Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e \approx \frac{26\text{ mV}}{I_5\text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Note 4 – Common-Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen (see Note 6).

Note 5 – Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_9 = V_6$, $I_5 \quad I_6 = I_9$ and ignoring base current, $P_D = 2\, I_5\, (V_6 - V_{10}) + I_5\, (V_5 - V_{10})$ where subscripts refer to pin numbers

Note 6 – Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions. See Note 3 for R_e equation.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume

$$I_5 = I_6 = I_9$$

$$I_B \ll I_C \text{ for all transistors}$$

then,

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega \quad \text{where: } R_5 \text{ is the resistor between pin 5 and ground}$$

ϕ = 0.75 V at T_A = +25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Note 7 – Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table.

$$30 \text{ Vdc} \geq [(V_6, V_9) - (V_7, V_8)] \geq 2 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_7, V_8) - (V_1, V_4)] \geq 2.7 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7 \text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9, \quad V_7 = V_8, \quad V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Note 8 – Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \left.\frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}}\right| V_o = 0$$

Signal transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \left.\frac{i_o \text{ (signal)}}{v_s \text{ (signal)}}\right| V_c = 0.5 \text{ Vdc}, V_o = 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note 9 – Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Note 10 – Output Signal, V_o

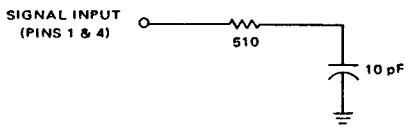
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Note 11 – Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Note 12 – Signal Port Stability

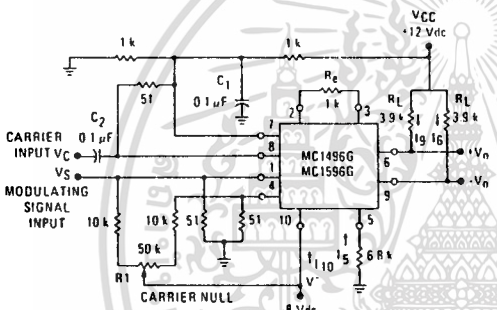
Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 k-ohm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION



NOTE Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 6 – INPUT-OUTPUT IMPEDANCE

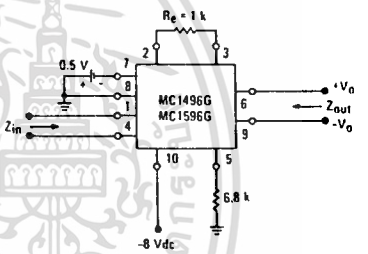


FIGURE 7 – BIAS AND OFFSET CURRENTS

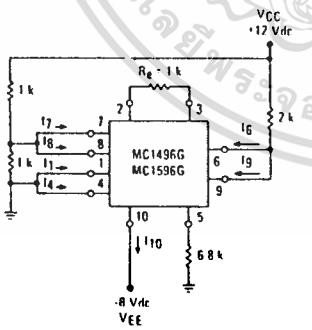
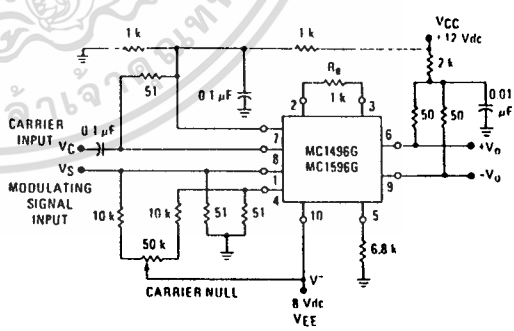


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note 9 – Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Note 10 – Output Signal, V_o

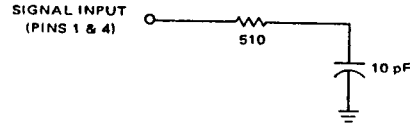
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Note 11 – Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Note 12 – Signal Port Stability

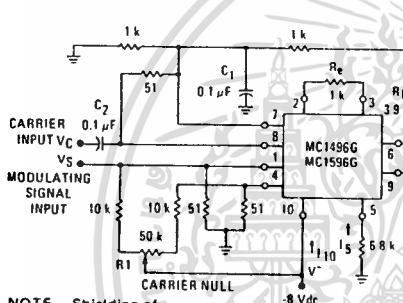
Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 k-ohm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION



NOTE Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 6 – INPUT-OUTPUT IMPEDANCE

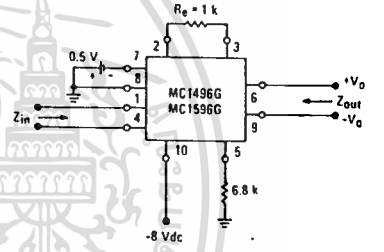


FIGURE 7 – BIAS AND OFFSET CURRENTS

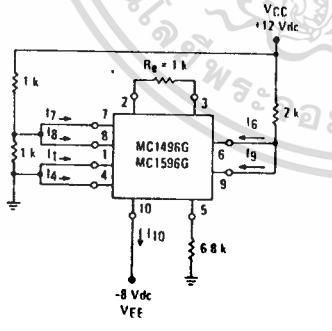
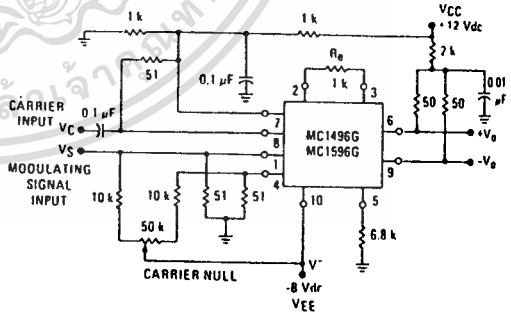


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON-MODE GAIN

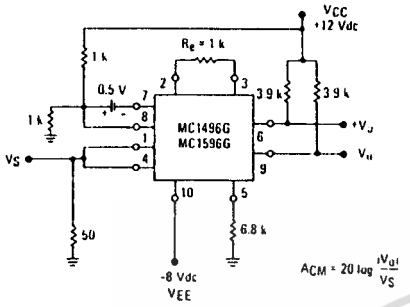
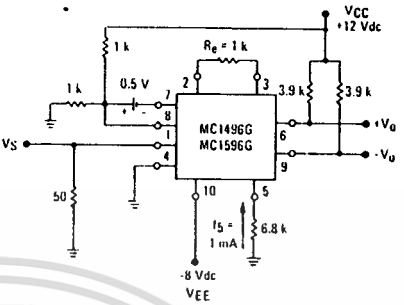


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 9, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

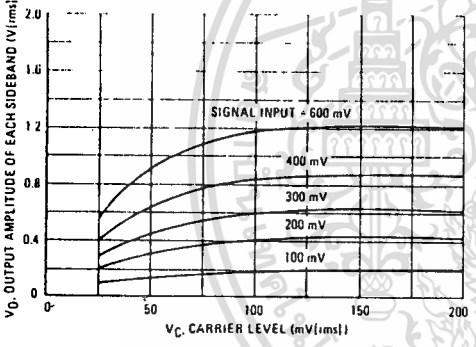


FIGURE 12 SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

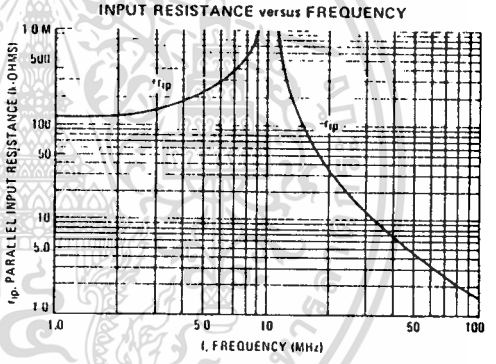


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

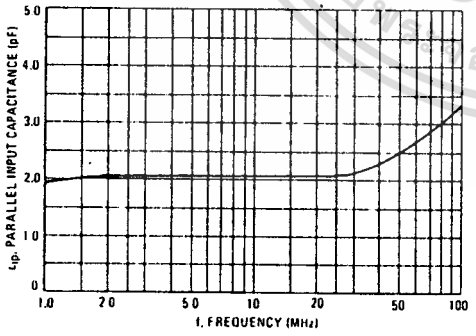
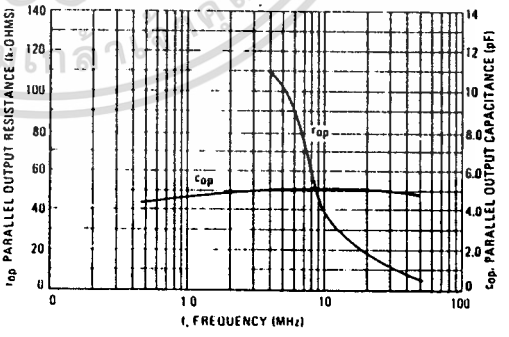


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

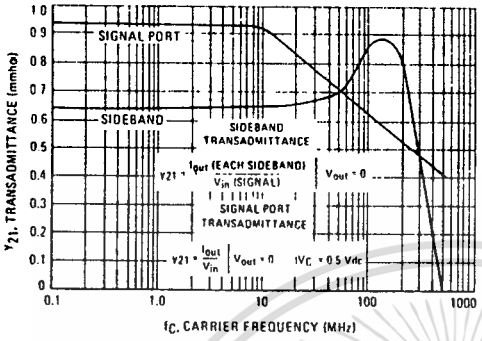


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

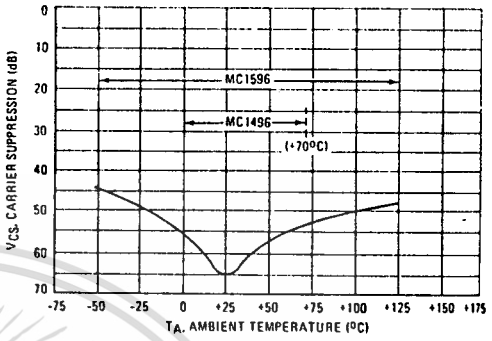


FIGURE 17 – SIGNAL-PORT FREQUENCY RESPONSE

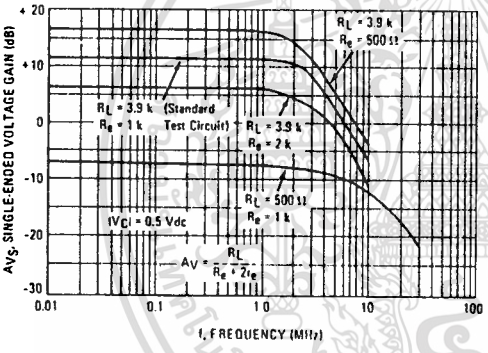


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

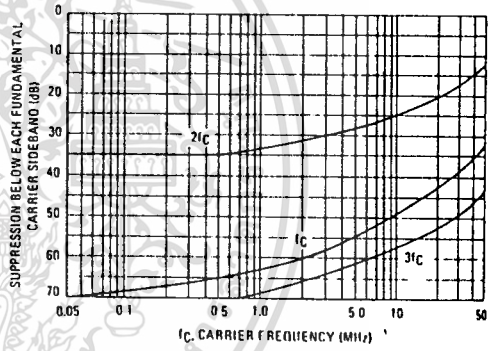


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

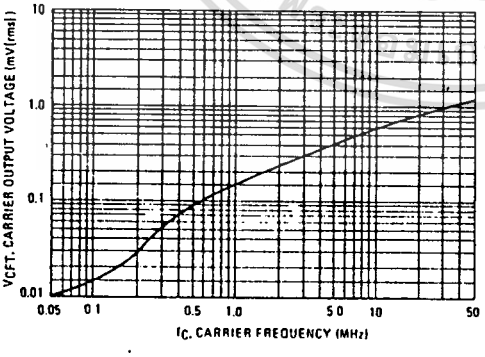
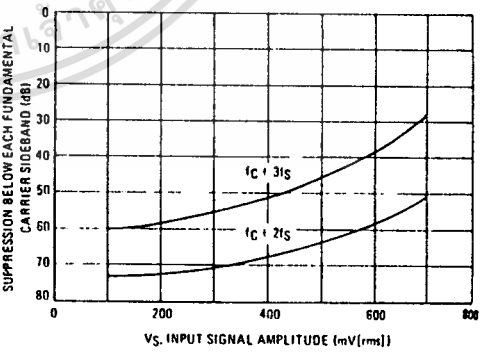


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

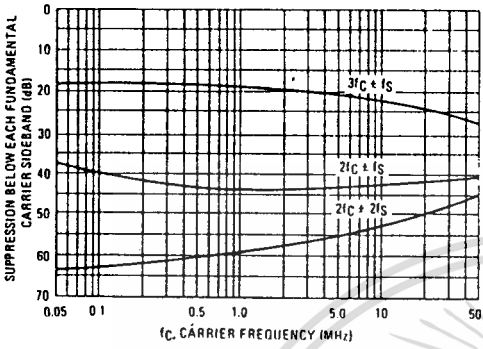
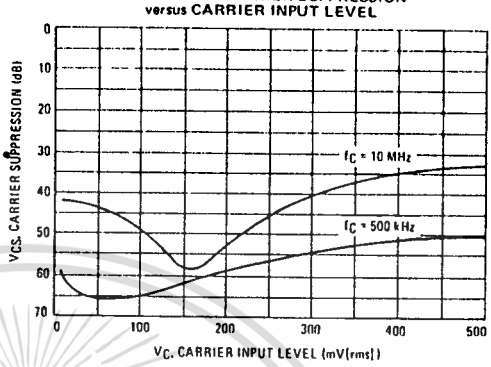


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC

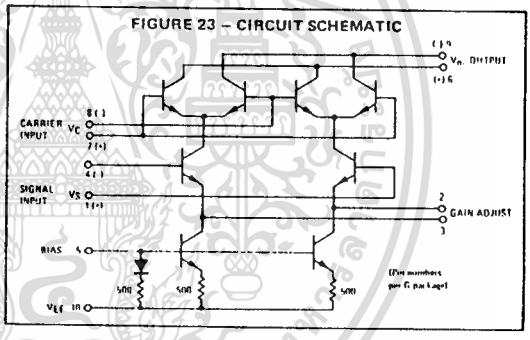
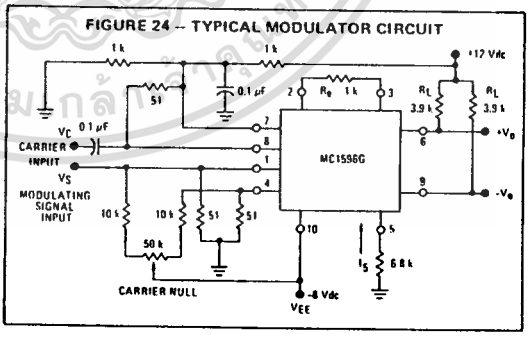


FIGURE 24 – TYPICAL MODULATOR CIRCUIT



Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V \approx (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637\, R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$.

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C:
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF. Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL APPLICATIONS

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

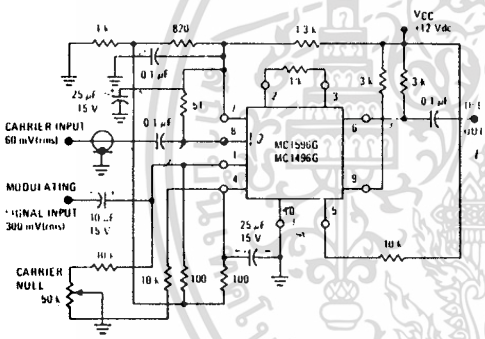


FIGURE 27 – BALANCED MODULATOR-DEMODULATOR

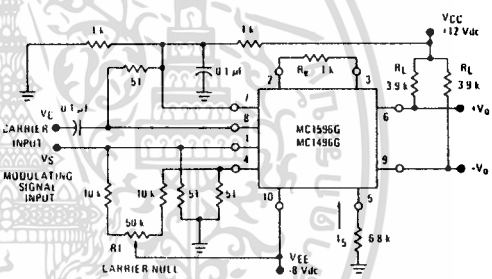


FIGURE 28 – AM MODULATOR CIRCUIT

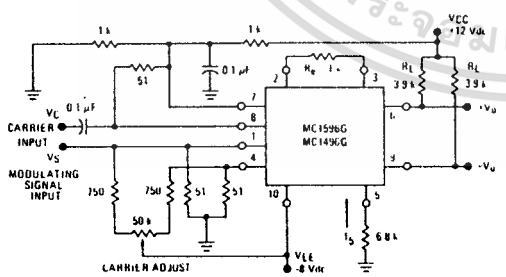
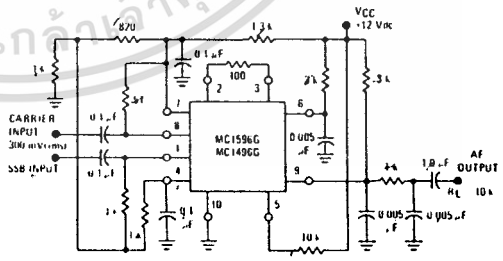


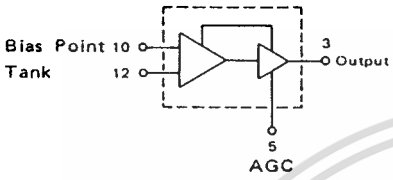
FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1648/MC1648M

VOLTAGE-CONTROLLED OSCILLATOR



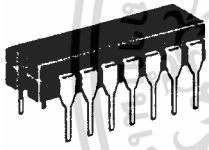
Input Capacitance = 6 pF typ
Maximum Series Resistance for L (External Inductance) = 50 Ω typ
Power Dissipation = 150 mW typ/pkg (+5.0 Vdc Supply)
Maximum Output Frequency = 225 MHz typ

The MC1648 requires an external parallel tank circuit consisting of the inductor (L) and capacitor (C).

A varactor diode may be incorporated into the tank circuit to provide a voltage variable input for the oscillator (VCO). The MC1648 was designed for use in the Motorola Phase-Locked Loop shown in Figure 9. This device may also be used in many other applications requiring a fixed or variable frequency clock source of high spectral purity. (See Figure 2.)

The MC1648 may be operated from a +5.0 Vdc supply or a −5.2 Vdc supply, depending upon system requirements.

Supply Voltage	Gnd Pins	Supply Pins
+5.0 Vdc	7, 8	1, 14
−5.2 Vdc	1, 14	7, 8

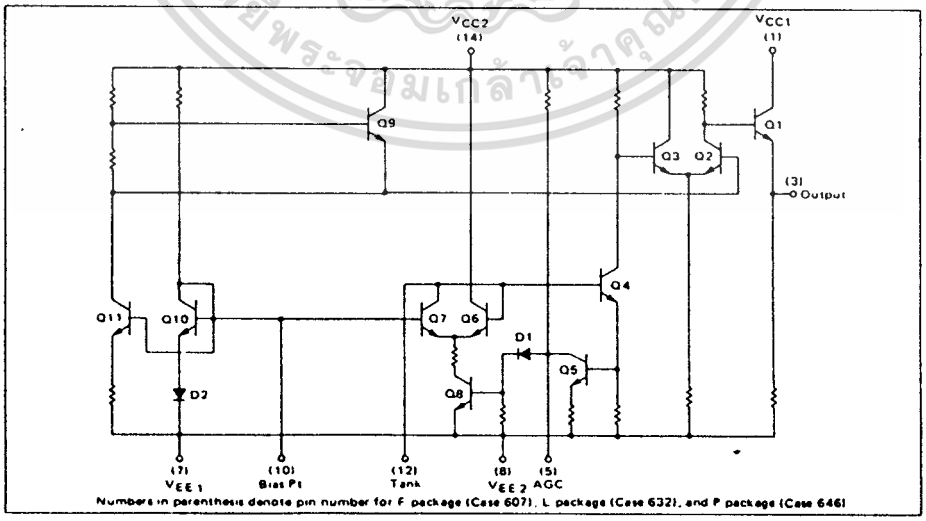


L SUFFIX
CERAMIC PACKAGE
CASE 632

P SUFFIX
PLASTIC PACKAGE
CASE 646

F SUFFIX
CERAMIC PACKAGE
CASE 607

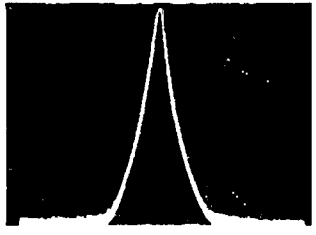
FIGURE 1 – CIRCUIT SCHEMATIC



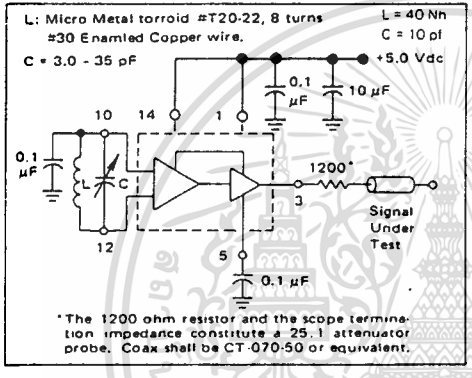
Numbers in parenthesis denote pin number for F package (Case 607), L package (Case 632), and P package (Case 646)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2—SPECTRAL PURITY OF SIGNAL OUTPUT FOR 200 MHZ TESTING



B.W. = 10 kHz
Center Frequency = 100 MHz
Scan Width = 50 kHz/div
Vertical Scale = 10 dB/div



@ Test Temperature	TEST VOLTAGE/CURRENT VALUES (Volts) V_{IHmax}	V_{ILmin}	V_{CC}	mAdc I_L
MC1648				
-30°C	+2.00	+1.50	5.0	-5.0
+25°C	+1.85	+1.35	5.0	-5.0
+85°C	+1.70	+1.20	5.0	-5.0
MC1648M				
-55°C	+2.07	+1.57	5.0	-5.0
+25°C	+1.85	+1.35	5.0	-5.0
+125°C	+1.60	+1.10	5.0	-5.0

ELECTRICAL CHARACTERISTICS

Supply Voltage = +5.0 Volts

Characteristic	Symbol	-55°C Min	-55°C Max	-30°C Min	-30°C Max	+25°C Min	+25°C Max	+85°C Min	+85°C Max	+125°C Min	+125°C Max	Unit	Conditions
Power Supply Drain Current	I_E	–	–	–	–	–	41	–	–	–	–	mAdc	Inputs and outputs open.
Logic "1" Output Voltage	V_{OH}	3.92	4.13	3.955	4.185	4.04	4.25	4.11	4.36	4.16	4.40	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3.
Logic "0" Output Voltage	V_{OL}	3.13	3.38	3.16	3.40	3.20	3.43	3.22	3.475	3.23	3.51	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3.
Bias Voltage	V_{Bias}*	1.67	1.97	1.60	1.90	1.45	1.75	1.30	1.60	1.20	1.50	Vdc	V_{ILmin} to Pin 12.

		-55°C Min	-55°C Typ	-55°C Max	-30°C Min	-30°C Typ	-30°C Max	+25°C Min	+25°C Typ	+25°C Max	+85°C Min	+85°C Typ	+85°C Max	+125°C Min	+125°C Typ	+125°C Max	Unit	Conditions
Peak-to-Peak Tank Voltage	V_{P-P}	–	–	–	–	–	–	–	400	–	–	–	–	–	–	–	mV	See Figure 3.
Output Duty Cycle	V_{DC}	–	–	–	–	–	–	–	50	–	–	–	–	–	–	–	%	
Oscillation Frequency	f_{max}**	–	225	–	–	225	–	200	225	–	–	225	–	–	225	–	MHz	

*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor turning diode at this point.

**Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

@ Test Temperature	TEST VOLTAGE/CURRENT VALUES (Volts) V_{IHmax}	V_{ILmin}	V_{CC}	mAdc I_L
MC1648				
-30°C	-3.20	-3.70	-5.2	-5.0
+25°C	-3.35	-3.85	-5.2	-5.0
+85°C	-3.50	-4.00	-5.2	-5.0
MC1648M				
-55°C	-3.13	-3.63	-5.2	-5.0
+25°C	-3.35	-3.85	-5.2	-5.0
+125°C	-3.60	-4.10	-5.2	-5.0

ELECTRICAL CHARACTERISTICS

Supply Voltage = -5.2 Volts

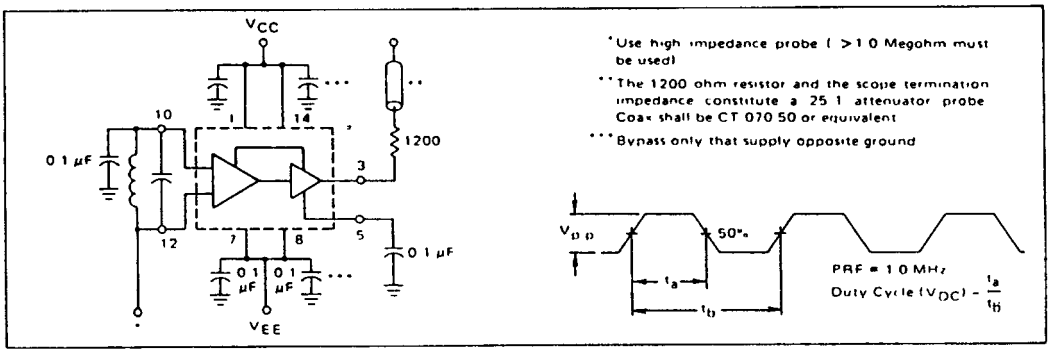
Characteristic	Symbol	-55°C Min	-55°C Max	-30°C Min	-30°C Max	+25°C Min	+25°C Max	+85°C Min	+85°C Max	+125°C Min	+125°C Max	Unit	Conditions
Power Supply Drain Current	I_E	–	–	–	–	–	41	–	–	–	–	mAdc	Inputs and outputs open.
Logic "1" Output Voltage	V_{OH}	-1.080	-0.870	-1.045	-0.815	-0.960	-0.750	-0.890	-0.640	-0.840	-0.600	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3.
Logic "0" Output Voltage	V_{OL}	-1.920	-1.670	-1.890	-1.650	-1.850	-1.620	-1.830	-1.575	-1.820	-1.540	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3.
Bias Voltage	V_{Bias}*	-3.53	-3.23	-3.60	-3.30	-3.75	-3.45	-3.90	-3.60	-4.00	-3.70	Vdc	V_{ILmin} to Pin 12.

Characteristic	Symbol	-55°C Min	-55°C Typ	-55°C Max	-30°C Min	-30°C Typ	-30°C Max	+25°C Min	+25°C Typ	+25°C Max	+85°C Min	+85°C Typ	+85°C Max	+125°C Min	+125°C Typ	+125°C Max	Unit	Conditions
Peak-to-Peak Tank Voltage	V_{p-p}	–	–	–	–	–	–	–	400	–	–	–	–	–	–	–	mV	See Figure 3.
Output Duty Cycle	V_{DC}	–	–	–	–	–	–	–	50	–	–	–	–	–	–	–	%	
Oscillation Frequency	f_{max}**	–	225	–	–	225	–	200	225	–	–	225	–	–	225	–	MHz	

*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor turning diode at this point.

**Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

FIGURE 3 – TEST CIRCUIT AND WAVEFORMS



OPERATING CHARACTERISTICS

Figure 1 illustrates the circuit schematic for the MC1648. The oscillator incorporates positive feedback by coupling the base of transistor Q6 to the collector of Q7. An automatic gain control (AGC) is incorporated to limit the current through the emitter-coupled pair of transistors (Q7 and Q6) and allow optimum frequency response of the oscillator.

In order to maintain the high Q of the oscillator, and provide high spectral purity at the output, transistor Q4 is used to translate the oscillator signal to the output differential pair Q2 and Q3. Q2 and Q3, in conjunction with output transistor Q1, provides a highly buffered output which produces a square wave. Transistors Q9 and Q11 provide the bias drive for the oscillator and output buffer. Figure 2 indicates the high spectral purity of the oscillator output (pin 3).

When operating the oscillator in the voltage controlled mode (Figure 4), it should be noted that the cathode of the varactor diode (D) should be biased at least 2 V_{BE} above V_{EE} (≈1.4 V for positive supply operation).

When the MC1648 is used with a constant dc voltage to the varactor diode, the output frequency will vary slightly because of internal noise. This variation is plotted versus operating frequency in Figure 5.

FIGURE 4 – THE MC1648 OPERATING IN THE VOLTAGE CONTROLLED MODE

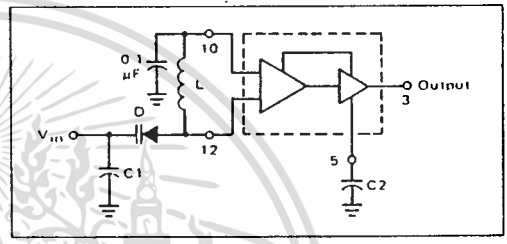
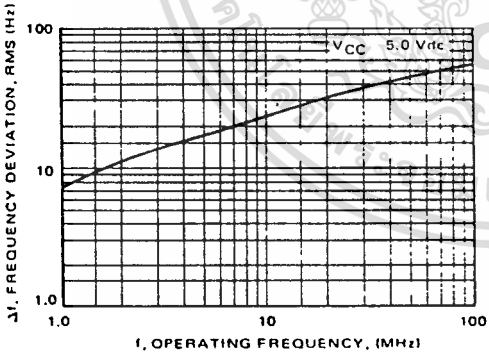
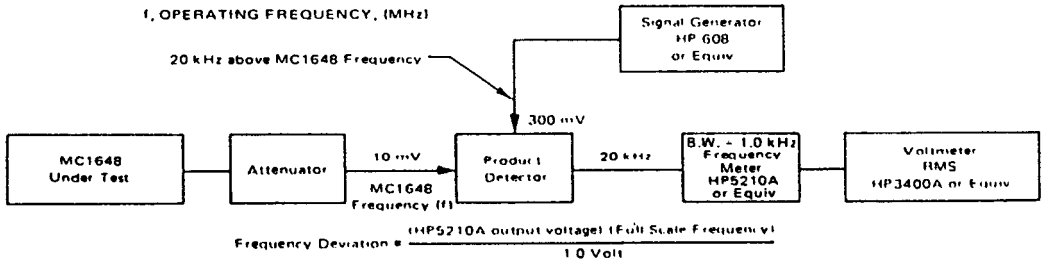


FIGURE 5 – NOISE DEVIATION TEST CIRCUIT AND WAVEFORM



Oscillator Tank Components
(Circuit of Figure 4)

f MHz	D	L μH
1.0 10	MV2115	100
10 60	MV2115	2.3
60 100	MV2106	0.15



NOTE: Any frequency deviation caused by the signal generator and MC1648 power supply should be determined and minimized prior to testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRANSFER CHARACTERISTICS IN THE VOLTAGE CONTROLLED MODE
USING EXTERNAL VARACTOR DIODE AND COIL. $T_A = 25^oC$

FIGURE 6

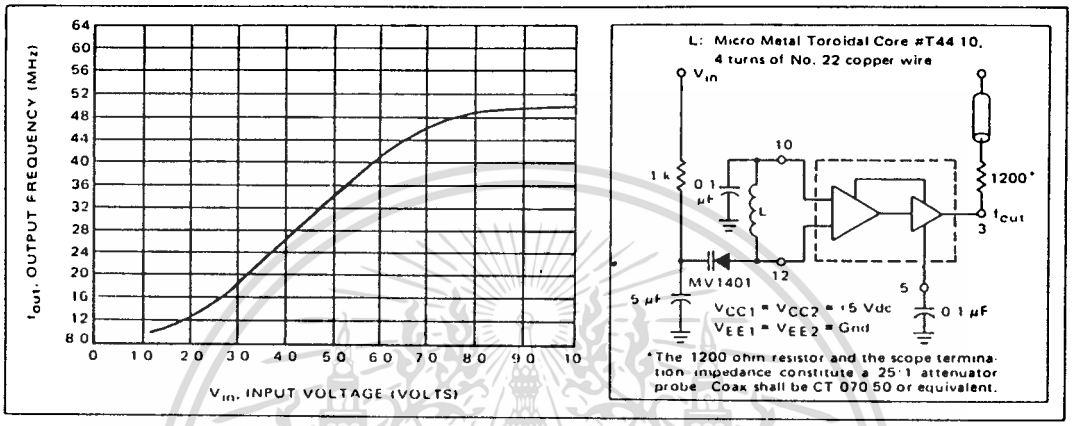


FIGURE 7

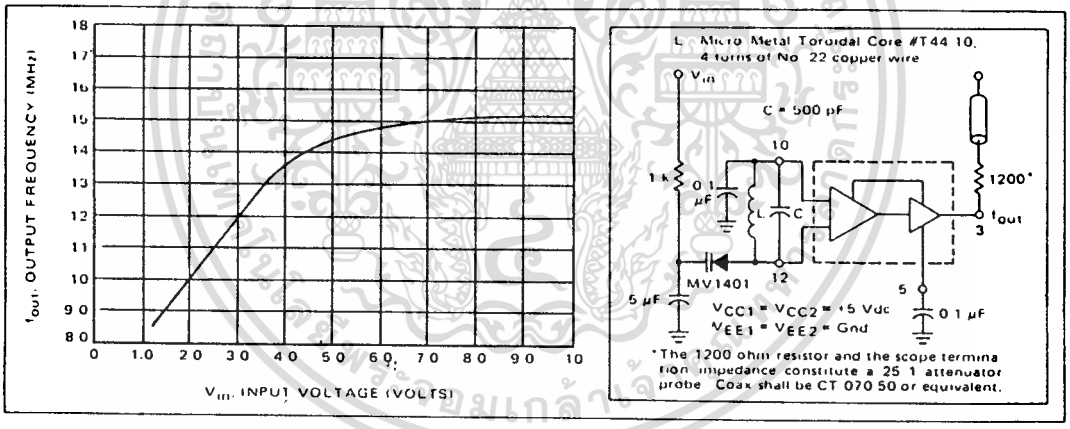
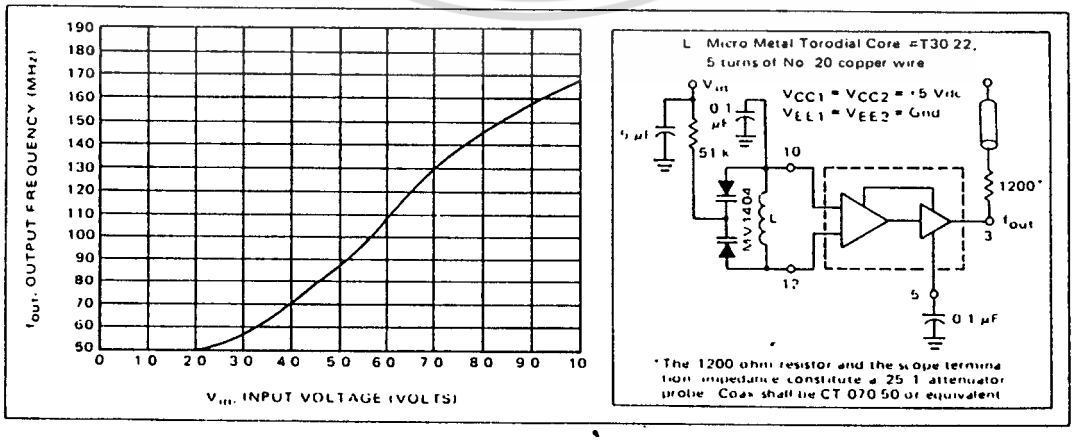


FIGURE 8



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical transfer characteristics for the oscillator in the voltage controlled mode are shown in Figures 6, 7, and 8. Figures 6 and 8 show transfer characteristics employing only the capacitance of the varactor diode (plus the input capacitance of the oscillator, 6 pF typical). Figure 7 illustrates the oscillator operating in a voltage controlled mode with the output frequency range limited. This is achieved by adding a capacitor in parallel with the tank circuit as shown. The 1 kΩ resistor in Figures 6 and 7 is used to protect the varactor diode during testing. It is not necessary as long as the dc input voltage does not cause the diode to become forward biased. The larger-valued resistor (51 kΩ) in Figure 8 is required to provide isolation for the high-impedance junctions of the two varactor diodes.

The tuning range of the oscillator in the voltage controlled mode may be calculated as:

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_D(max) + C_S}}{\sqrt{C_D(min) + C_S}}$$

where $f_{min} = \frac{1}{2\pi\sqrt{L(C_D(max) + C_S)}}$

C_S = shunt capacitance (input plus external capacitance).

C_D = varactor capacitance as a function of bias voltage.

Good RF and low-frequency bypassing is necessary on the power supply pins. (See Figure 2.)

Capacitors (C1 and C2 of Figure 4) should be used to bypass the AGC point and the VCO input (varactor diode), guaranteeing only dc levels at these points.

For output frequency operation between 1 MHz and 50 MHz a 0.1 μF capacitor is sufficient for C1 and C2. At higher frequencies, smaller values of capacitance should be used; at lower frequencies, larger values of capacitance. At high frequencies the value of bypass capacitors depends directly upon the physical layout of the system. All bypassing should be as close to the package pins as possible to minimize unwanted lead inductance.

The peak-to-peak swing of the tank circuit is set internally by the AGC circuitry. Since voltage swing of the tank circuit provides the drive for the output buffer, the AGC potential directly affects the output waveform. If it is desired to have a sine wave at the output of the MC1648, a series resistor is tied from the AGC point to the most negative power potential (ground if +5.0 volt supply is used, −5.2 volts if a negative supply is used) as shown in Figure 10.

At frequencies above 100 MHz typ, it may be desirable to increase the tank circuit peak-to-peak voltage in order to shape the signal at the output of the MC1648. This is accomplished by tying a series resistor (1 kΩ minimum) from the AGC to the most positive power potential (+5.0 volts if a +5.0 volt supply is used, ground if a −5.2 volt supply is used). Figure 11 illustrates this principle.

APPLICATIONS INFORMATION

The phase locked loop shown in Figure 9 illustrates the use of the MC1648 as a voltage controlled oscillator. The figure illustrates a frequency synthesizer useful in tuners for FM broadcast, general aviation, maritime and landmobile communications, amateur and CB receivers. The system operates from a single +5.0 Vdc supply, and requires no internal translations, since all components are compatible.

Frequency generation of this type offers the advantages of single crystal operation, simple channel selection, and elimination of special circuitry to prevent harmonic lockup. Additional features include dc digital switching (preferable over RF switching with a multiple crystal system), and a broad range of tuning (up to 150 MHz, the range being set by the varactor diode).

The output frequency of the synthesizer loop is determined by the reference frequency and the number programmed at the programmable counter: $f_{out} = Nf_{ref}$. The channel spacing is equal to frequency (f_{ref}).

For additional information on applications and designs for phase locked loops and digital frequency synthesizers, see Motorola Application Notes AN-532A, AN 535, AN 553, AN 564 or AN594.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 9 – TYPICAL FREQUENCY SYNTHESIZER APPLICATION

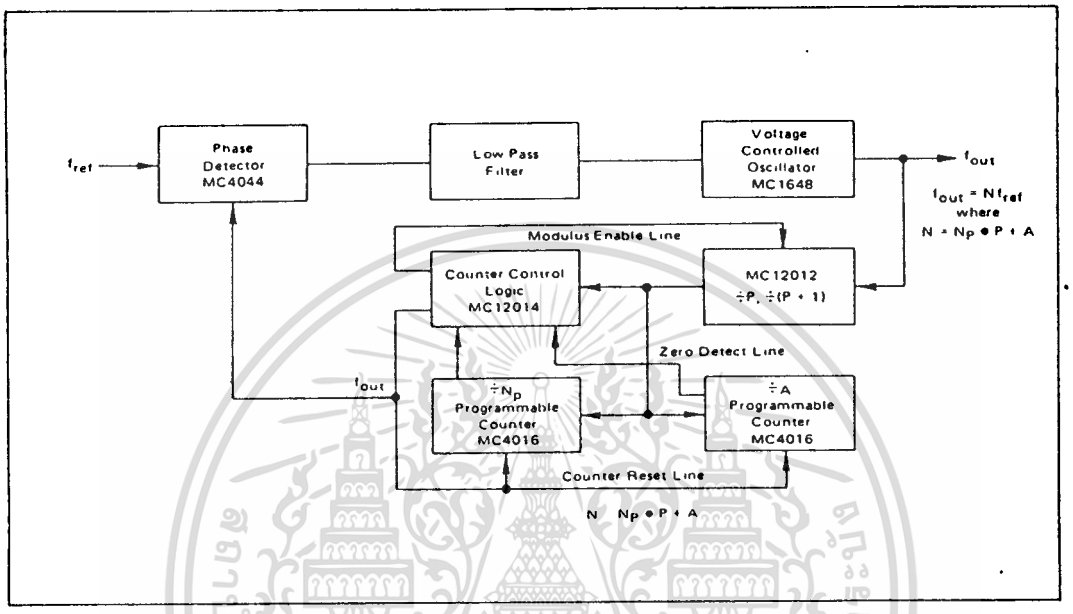


Figure 10 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To obtain a sine wave at the output, a resistor is added from the AGC circuit (pin 5) to V_{EE}.

Figure 11 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To extend the useful range of the device (maintain a square wave output above 175 MHz), a resistor is added to the AGC circuit at pin 5 (1 k-ohm minimum).

Figure 12 shows the MC1648 operating from +5.0 Vdc and +9.0 Vdc power supplies. This permits a higher voltage swing and higher output power than is possible from the MECL output (pin 3). Plots of output power versus total collector load resistance at pin 1 are given in Figures 13 and 14 for 100 MHz and 10 MHz operation. The total collector load includes R in parallel with Rp of L1 and C1 at resonance. The optimum value for R at 100 MHz is approximately 850 ohms.

FIGURE 10 – METHOD OF OBTAINING A SINE-WAVE OUTPUT

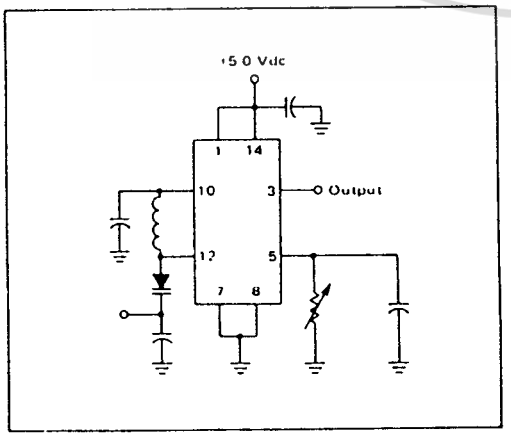
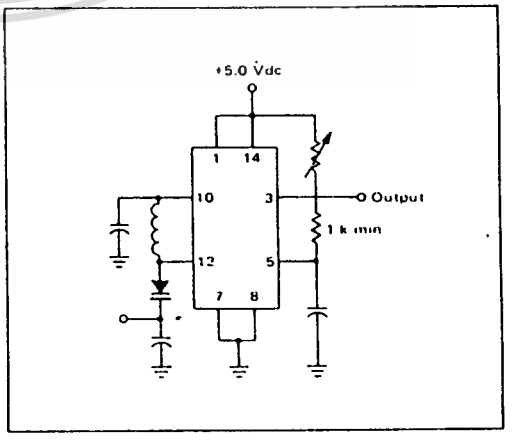
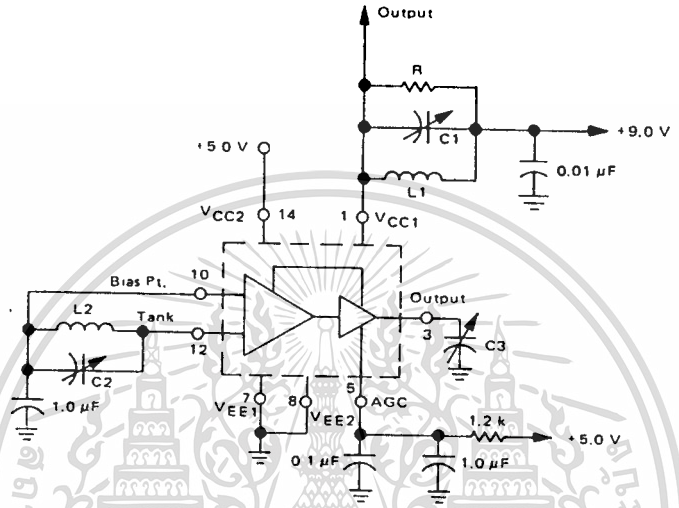


FIGURE 11 – METHOD OF EXTENDING THE USEFUL RANGE OF THE MC1648 (SQUARE WAVE OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 – CIRCUIT USED FOR
COLLECTOR OUTPUT OPERATION



4

FIGURE 13 – POWER OUTPUT versus COLLECTOR LOAD

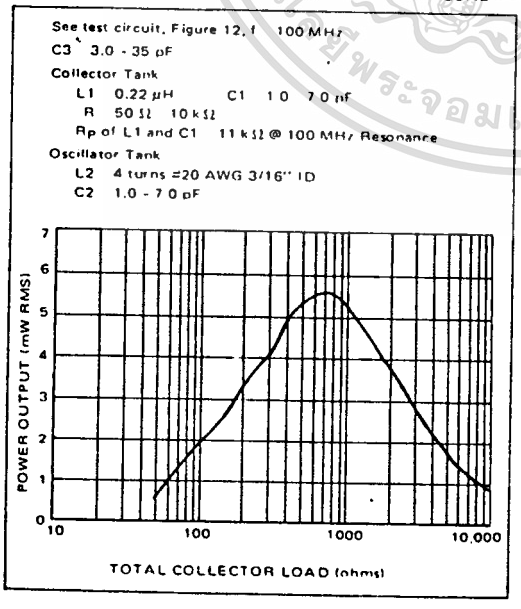
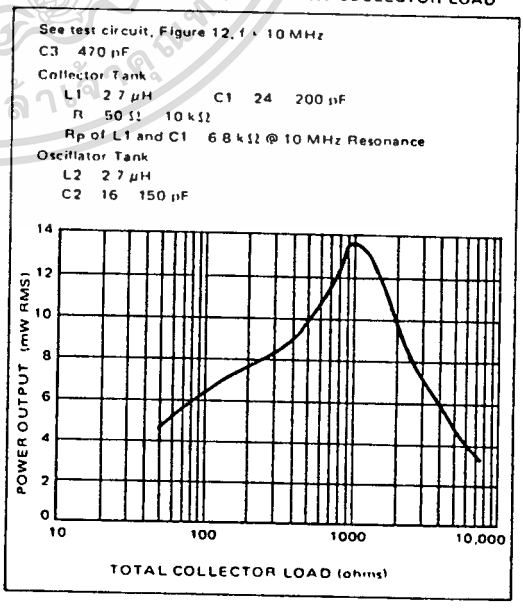
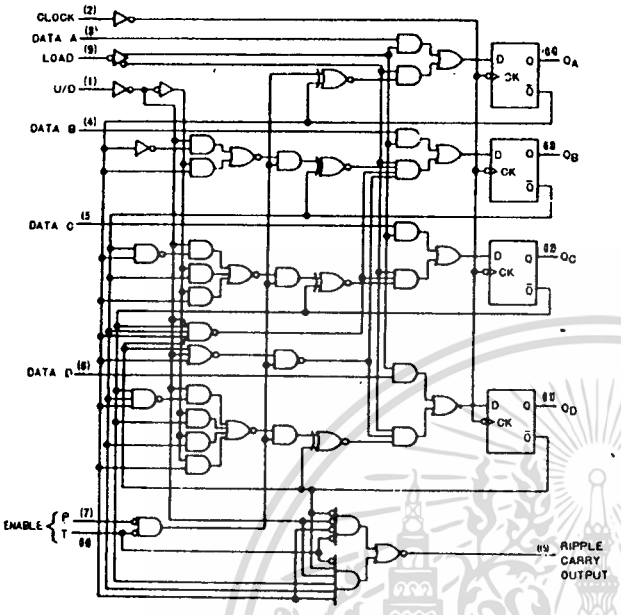


FIGURE 14 – POWER OUTPUT versus COLLECTOR LOAD

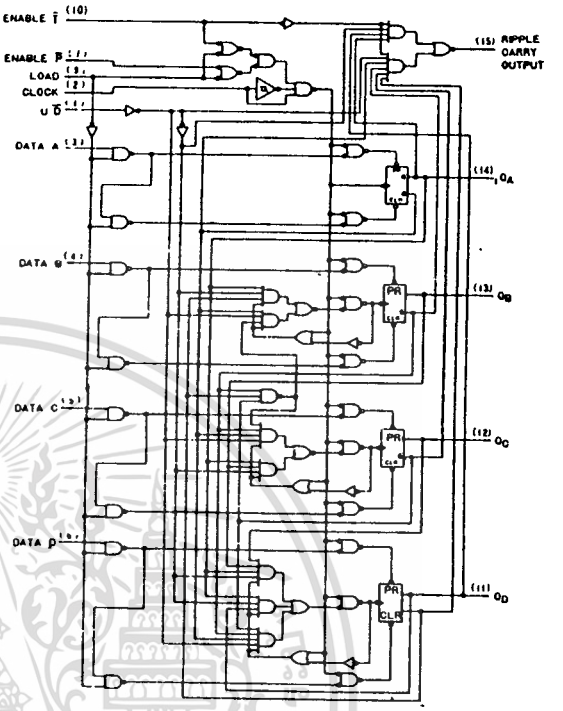


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagrams



'S168 DECADE COUNTER

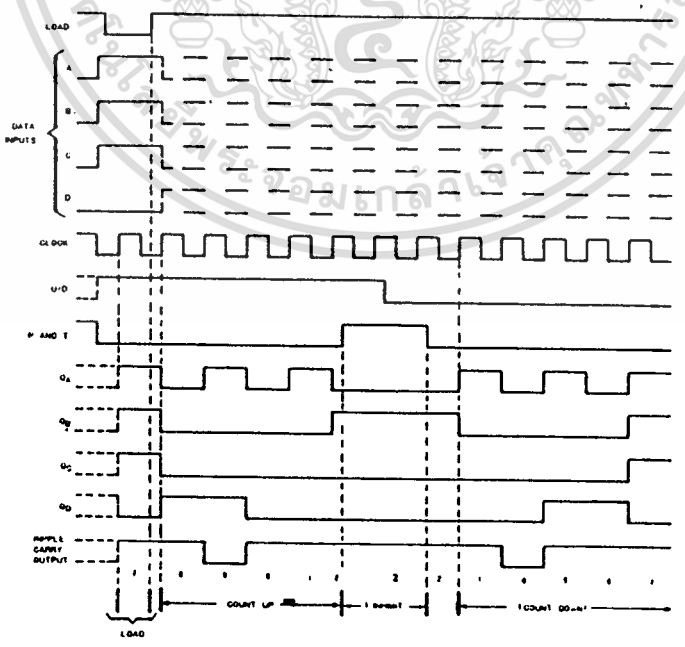


'LS168 DECADE COUNTER

typical load, count, and inhibit sequences

Illustrated below is the following sequence.

1. Load (preset) to BCD seven
2. Count up to eight, nine (maximum), zero, one, and two
3. Inhibit
4. Count down to one, zero (minimum), nine, eight, and seven



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54168/74168 Syrchronous 4-Bit Up/Down Decade Counter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	D
T.I.	SN54S168	J①			W①						SN54LS168	J①			W①									
	SN74S168	J①	N①								SN74LS168	J①	N①											
FAIRCHILD																								
MOTOROLA																								
N.S.C.											DM74LS168		①											
											DM74LS168		①											
PHILIPS																								
SIGNETICS																								
SIEMENS																								
FUJITSU																								
HITACHI											HD74LS168		P①											
MITSUBISHI																								
NEC																								
TOSHIBA																								

Elecrtical Characteristics SN54LS168/SN74LS168

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

		SN54LS168 MIN	NOM	MAX	SN74LS168 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Clock frequency, f_{clock}		0		25	0		25	MHz
Width of clock pulse, $t_{w(clock)}$ (high or low)		25			25			ns
Setup time, t_{setup}	Data inputs A, B, C, D	20			20			ns
	Enable $\overline{P}$ or $\overline{T}$	20			20			
	Load	25			25			
	Up/Down	30			30			
Hold time at any input with respect to clock, t_{hold}		0			0			ns
Operating free-air temperature, T_A (see Note 2)		−55		125	0		70	°C

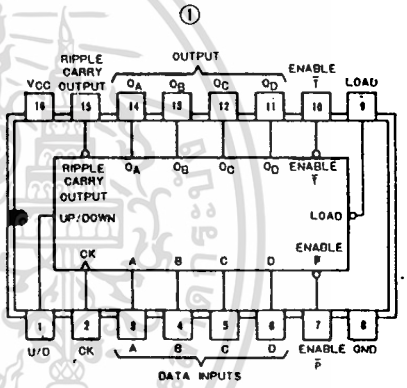
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage: A, B, C, D, P, U/$\overline{D}$	V_{CC} MAX, V_I	7V			0.1	mA
	Clock, $\overline{T}$					0.1	
	Load					0.2	
I_{IH}	High-level input current: A, B, C, D, P, U/$\overline{D}$	V_{CC} MAX, V_I	2.7V			20	μA
	Clock $\overline{T}$					20	
	Load					40	
I_{IL}	low-level input current: A, B, C, D, P, U/$\overline{D}$	V_{CC} MAX, V_I	0.4V			−0.4	mA
	Clock, $\overline{T}$					−0.4	
	Load					−0.8	
I_{OS}	Short-circuit output current§	V_{CC} MAX		−20		−100	mA
I_{CC}	Supply current	V_{CC} MAX, See Note 2			20	34	mA

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
fmax			C_L = 15pF, R_L = 2 kΩ, See Figures 2 and 3 and Note 3	25	32		MHz
tPLH	Clock	Ripple carry			23	35	ns
tPHL					23	35	
tPLH	Clock	Any Q			13	20	ns
tPHL					15	23	
tPLH	Enable $\overline{T}$	Ripple carry			10	14	ns
tPHL					10	14	
tPLH	Up Down	Ripple carry			17	25	ns
tPHL					19	29	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time.
● t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



positive logic:

NOTES:
1. This is the voltage between two emitters of a multiple-emitter transistor. For these circuits, this rating applies between the count-enable inputs P and T.
2. An SN54S168 in the W package operating at free-air temperatures above 91°C requires a heat sink that provides a thermal resistance from case to free-air, $R_{\theta CA}$, of not more than 26°C/W.
3. I_{CC} is measured after applying a momentary 4.5V, then ground, to the clock input with all other inputs grounded and the outputs open.
4. Propagation delay time from up/down to ripple carry must be measured with the counter at either a minimum or a maximum count. As the logic level of the up/down input is changed, the ripple carry output will follow. If the count is minimum (0), the ripple carry output transition will be in phase. If the count is maximum (9 for 'S168), the ripple carry output will be out of phase.

CONTINUED ON NEXT PAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MV1401, H
MV1403, H
MV1404, H
MV1405, H

Tuning Diodes

SILICON HYPER-ABRUPT TUNING DIODES

designed with high capacitance and a capacitance change of greater than TEN TIMES for a bias change from 2 to 10 volts. Provides tuning over broad frequency ranges, tunes AM radio broadcast band, general AFC and tuning applications in lower RF frequencies.

- High Capacitance — 120–550 pF
- Large Capacitance Change with Small Bias Change
- Guaranteed High Q
- Available in Standard Axial Glass Packages
- H Suffix Devices with 100% Screening

HIGH TUNING RATIO VOLTAGE-VARIABLE CAPACITANCE DIODES

120–550 pF
12 VOLTS

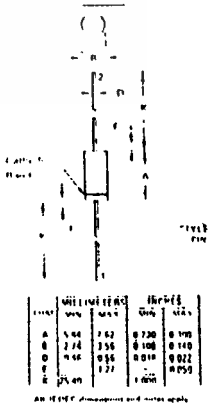
MV1403
MV1404
MV1405

CASE 51
DO-204AA
(DO-7)

MV1401

CASE 146
DO-204AB
(DO-14)

CASE 51-02



CASE 146-01

100% SCREENING FOR HIGH RELIABILITY

MV1401H, MV1403H, MV1404H, MV1405H are screened with the following tests:

Internal Visual Inspection
per 12M53957B (MIL STD-750 METHOD 2073 PARAGRAPH 3.3 AND METHOD 2074 PARAGRAPH 3.1.3)

High Temperature Storage
T_A 200°C, t 48 hours

Thermal Shock (Temperature Cycling)
MIL STD 202, Method 107, Condition C except 10 cycles continuously performed
(extremes) 15 minutes

Constant Acceleration
MIL-STD-750, Method 2006
20,000 G's (Y1 axis only)

Hermetic Seal
MIL-STD-750, Method 1071
Fine Leak - Condition G
Gross Leak - Condition D, Step 1

Electrical Test
I_R and C_T

High Temperature Reverse Bias
T_A 120°C + 5 C, t 96 hours
V_R 80% of $V_{(BR)R}$ MIN
Lower temperature till T_A 30 + 5 C
Maintain this temperature prior to removal of Reverse Bias Voltage. Perform Electrical Test within 24 hours following bias removal.

Electrical Test
I_R and C_T

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Reverse Voltage	V_R	12	Volts
Forward Current	I_F	250	mA
Device Dissipation @ T_A = 25°C	P_D	400	mW
Derate above 25°C		2.67	mW/°C
Junction Temperature	T_J	+175	°C
Storage Temperature Range	T_{stg}	−65 to +200	°C

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic — All Types	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I_R = 10 μAdc)	$V_{(BR)R}$	12			Vdc
Leakage Current at Reverse Voltage (V_R = 10 Vdc, T_A = 25°C)	I_R			0.10	μAdc
Series Inductance (f = 250 MHz, Lead Length = 1/16")	L_S		5.0		nH
Case Capacitance (f = 1.0 MHz, Lead Length = 1/16")	C_C		0.25		pF

	C_T, Diode Capacitance						Q, Figure of Merit	TR, Tuning Ratio	
	V_R = 1.0 Vdc, f = 1.0 MHz			V_R = 2.0 Vdc, f = 1.0 MHz			V_R = 2.0 Vdc, f = 1.0 MHz	C_1/C_{10}, f = 1.0 MHz	C_2/C_{10}, f = 1.0 MHz
	pF			pF					
Device	Min	Nom	Max	Min	Nom	Max	Min	Min	Min
MV1401, H	468	550	633				200	14	
MV1403, H				140	175	210	200		10
MV1404, H				96	120	144	200		10
MV1405, H				200	250	300	200		10

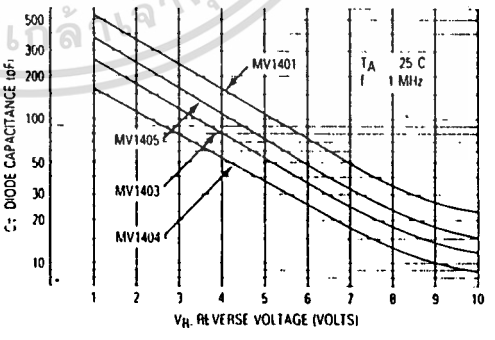
PARAMETER TEST METHODS

1. **L_S, SERIES INDUCTANCE**
   L_S is measured on a shorted package at 250 MHz using an impedance bridge (Boonton Radio Model 250A RX Meter).
2. **C_C, CASE CAPACITANCE**
   C_C is measured on an open package at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).
3. **C_T, DIODE CAPACITANCE**
   ($C_T = C_C + C_J$) C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).
4. **TR, TUNING RATIO**
   TR is the ratio of C_T measured at 2.0 Vdc (1.0 Vdc for MV1401) divided by C_T measured at 10 Vdc.
5. **Q, FIGURE OF MERIT**
   Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equation

$$Q = \frac{2\pi fC}{G}$$

(Boonton Electronics Model 33AS8) Use Lead Length = 1/16"

FIGURE 1 DIODE CAPACITANCE versus REVERSE VOLTAGE



6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

MOTOROLA

2

LF355, LF356, LF357* LF355B, LF356B, LF357B*

Specifications and Applications Information

MONOLITHIC JFET INPUT OPERATIONAL AMPLIFIERS

These internally compensated operational amplifiers incorporate highly matched JFET devices on the same chip with standard bipolar transistors. The JFET devices enhance the input characteristics of these operational amplifiers by more than an order of magnitude over conventional amplifiers.

This series of op amps combines the low current characteristics typical of FET amplifiers with the low initial offset voltage and offset voltage stability of bipolar amplifiers. Also, nulling the offset voltage does not degrade the drift or common mode rejection.

- Low Input Bias Current – 30 pA
- Low Input Offset Current – 3.0 pA
- Low Input Offset Voltage – 1.0 mV
- Temperature Compensation of Input Offset Voltage – 3.0 $\mu V/^{o}C$
- Low Input Noise Current – 0.01 $pA/\sqrt{Hz}$
- High Input Impedance – $10^{12}\Omega$
- High Common-Mode Rejection Ratio 100 dB
- High DC Voltage Gain – 106 dB

SERIES FEATURES

- LF355/355B — Low Power Supply Current
- LF356/356B — Wide Bandwidth
- LF357/357B — Wider Bandwidth Decompensated ($A_{V_{min}}$ = 5)

	LF355/355B	LF356/356B	LF357/357B
Fast Settling Time to 0.01%	4.0 μs	1.5 μs	1.5 μs
Fast Slew Rate	5.0 $V/\mu s$	12 $V/\mu s$	50 $V/\mu s$
Wide Gain Bandwidth	2.5 MHz	5.0 MHz	20 MHz
Low Input Noise Voltage	20 $nV/\sqrt{Hz}$	12 $nV/\sqrt{Hz}$	12 $nV/\sqrt{Hz}$

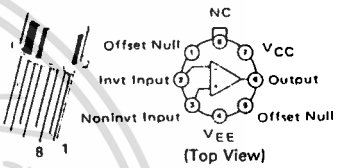
ORDERING INFORMATION

Device	Temperature Range	Package
LF355BH,H LF355BJ,J	0 to +70°C 0 to +70°C	Metal Can Ceramic DIP
LF356BH,H LF356BJ,J	0 to +70°C 0 to +70°C	Metal Can Ceramic DIP
LF357BH,H LF357BJ,J	0 to +70°C 0 to +70°C	Metal Can Ceramic DIP

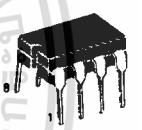
MONOLITHIC JFET OPERATIONAL AMPLIFIERS

SILICON MONOLITHIC INTEGRATED CIRCUITS

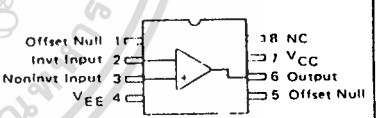
H SUFFIX
METAL PACKAGE
CASE 601-04



(Top View)



J SUFFIX
CERAMIC PACKAGE
CASE 693-02



(Top View)

APPLICATIONS

The LF series is suggested for all general purpose FET input amplifier requirements where precision and frequency response flexibility are of prime importance.

Specific applications include:

- Sample and Hold Circuits
- High Impedance Buffers
- Fast D/A and A/D Converters
- Precision High Speed Integrators
- Wideband, Low Noise, Low Drift Amplifiers

*NOTE: The LF357/357B are designed for wider bandwidth applications. They are decompensated ($A_{V_{min}}$ = 5).

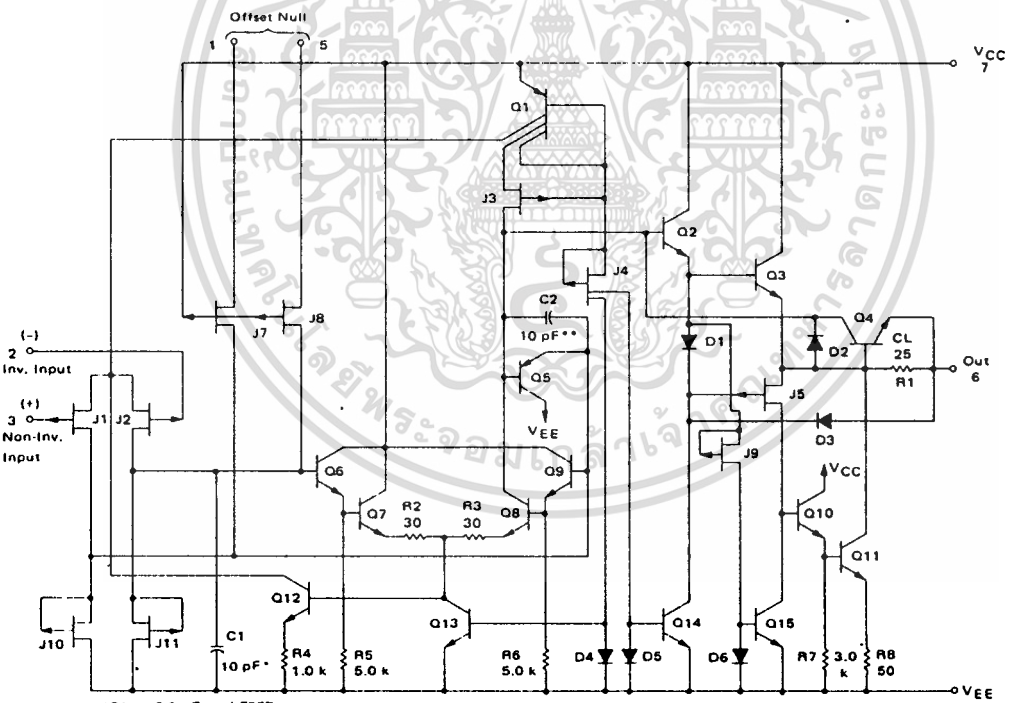
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	LF355B/ 356B/357B	LF355/356/357	Unit
Supply Voltage	V_{CC} V_{EE}	+22 −22	+18 −18	V
Differential Input Voltage	V_{ID}	±40	±30	V
Input Voltage Range (Note 1)	V_{IDR}	±20	±16	V
Output Short-Circuit Duration	T_S	Continuous		-
Operating Ambient Temperature Range	T_A	0 to +70		°C
Operating Junction Temperature	T_J	115		°C
Storage Temperature Range	T_{stg}	−65 to +150		°C

Note 1. Unless otherwise specified, the absolute maximum negative input voltage is equal to the negative power supply voltage.

CIRCUIT SCHEMATIC



*C1 = 5.0 pF on LF357.
**C2 = 2.0 pF on LF357.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

DC ELECTRICAL CHARACTERISTICS (V_{CC} = 15 to 20 V, V_{EE} = −15 to −20 V for LF355B/356B/357B; V_{CC} = 15 V, V_{EE} = −15 V for LF355/356/357; T_A = 0°C to +70°C unless otherwise noted)

Characteristic	Symbol	LF355B/6B/7B			LF355/6/7			Unit
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage (R_S = 50 Ω, V_{CM} = 0) (T_A = 25°C) (Over Temperature)	V_{IO}	 — —	 3.0 —	 5.0 6.5	 — —	 3.0 —	 10 13	mV
Average Temperature Coefficient of Input Offset Voltage (R_S = 50 Ω)	$\Delta V_{IO}/\Delta T$	—	5.0	—	—	5.0	—	μV/°C
Change in Average TC with V_{IO} Adjust (R_S = 50 Ω) (Note 2)	$\Delta TC/\Delta V_{IO}$	—	0.5	—	—	0.5	—	μV/°C per mV
Input Offset Current (V_{CM} = 0) (Note 3) (T_J = 25°C) ($T_J \leq$ 70°C)	I_{IO}	 — —	 3.0 —	 20 1.0	 — —	 3.0 —	 50 2.0	 pA nA
Input Bias Current (V_{CM} = 0) (Note 3) (T_J = 25°C) ($T_J \leq$ 70°C)	I_{IB}	 — —	 30 —	 100 5.0	 — —	 30 —	 200 8.0	 pA nA
Input Resistance (T_J = 25°C)	r_i	—	10^{12}	—	—	10^{12}	—	Ω
Large Signal Voltage Gain (V_O = ±10 V, R_L = 2.0 k, V_{CC} = 15 V, V_{EE} = −15 V) (T_A = 25°C) (0°C ≤ T_A ≤ +70°C)	A_{VOL}	 50 25	 200 —	 — —	 25 15	 200 —	 — —	V/mV
Output Voltage Swing (V_{CC} = 15 V, V_{EE} = −15 V, R_L = 10 kΩ) (V_{CC} = 15 V, V_{EE} = −15 V, R_L = 2 kΩ)	V_O	 ±12 ±10	 ±13 ±12	 — —	 ±12 ±10	 ±13 ±12	 — —	V
Input Common-Mode Voltage Range (V_{CC} = 15 V, V_{EE} = −15 V)	V_{ICR}	±11	+15.1 −12.0	—	±10	+15.1 −12.0	—	V
Common-Mode Rejection Ratio	CMRR	85	100	—	80	100	—	dB
Supply Voltage Rejection Ratio (Note 4)	PSRR	85	100	—	80	100	—	dB
Supply Current (T_A = 25°C, V_{CC} = 15 V, V_{EE} = −15 V) LF355B/355 LF356B/357B LF356/357	I_D	 — — —	 2.0 5.0 —	 4.0 7.0 —	 — — —	 2.0 — 5.0	 4.0 — 10	mA

AC ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, V_{EE} = −15 V, T_A = 25°C)

Characteristic	Symbol	LF355B/355			LF356B/356			LF357B/357			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Slew Rate (Note 5) (A_V = 1) LF355/356 (A_V = 5) LF357	SR	 — —	 5.0 —	 — —	 7.5 —	 12 —	 — —	 — 30	 — 50	 — —	V/μs
Gain-Bandwidth Product	GBW	—	2.5	—	—	5.0	—	—	20	—	MHz
Settling Time to 0.01% (Note 6)	t_s	—	4.0	—	—	1.5	—	—	1.5	—	μs
Equivalent Input Noise Voltage (R_S = 100 Ω, f = 100 Hz) (R_S = 100 Ω, f = 1000 Hz)	e_n	 — —	 25 20	 — —	 — —	 15 12	 — —	 — —	 15 12	 — —	nV/√Hz
Equivalent Input Noise Current (f = 100 Hz) (f = 1000 Hz)	i_n	 — —	 0.01 0.01	 — —	 — —	 0.01 0.01	 — —	 — —	 0.01 0.01	 — —	pA/√Hz
Input Capacitance	C_i	—	3.0	—	—	3.0	—	—	3.0	—	pF

NOTES

(1) Unless otherwise specified, the absolute maximum negative input voltage is equal to the negative power supply.

(2) The temperature coefficient of the adjusted input offset voltage changes only a small amount (0.5 μV/°C typically) for each mV of adjustment from its original unadjusted value. Common-mode rejection and open loop voltage gain are also unaffected by offset adjustment.

(3) The input bias currents approximately double for every 10°C rise in junction temperature, T_J. Due to limited test time, the input bias currents are correlated to junction temperature. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

(4) Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously, in accordance with common practice.

(5) The Min. slew rate limits apply for the LF356B and the LF357B, but do not apply for the LF356 or LF357.

(6) Settling time is defined here, for a unity gain inverter connection using 2.0 k resistors for the LF355/6. It is the time required for the error voltage (the voltage at the inverting input pin on the amplifier) to settle to within 0.01% of its final value from the time a 10 V step input is applied to the inverter. For the LF357, A_V = −5.0, the feedback resistor from output to input is 2.0 k and the output step is 10 V (see settling time test circuit).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL DC PERFORMANCE CHARACTERISTICS
(Curves are for LF355, LF356, and LF357 series unless otherwise specified)

INPUT BIAS CURRENT versus CASE TEMPERATURE

FIGURE 1 — (LF355 SERIES)

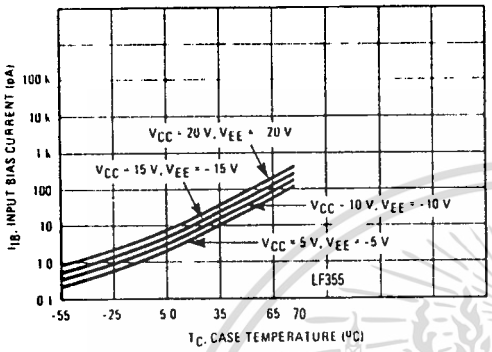


FIGURE 2 — (LF356 AND LF357 SERIES)

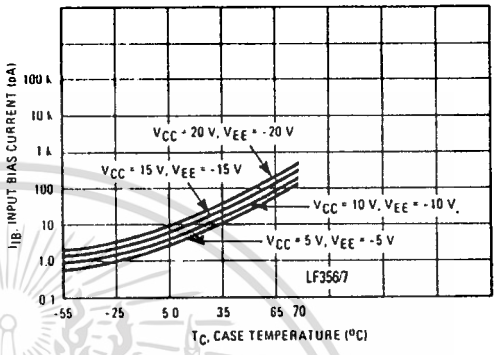


FIGURE 3 — INPUT BIAS CURRENT versus INPUT COMMON-MODE VOLTAGE

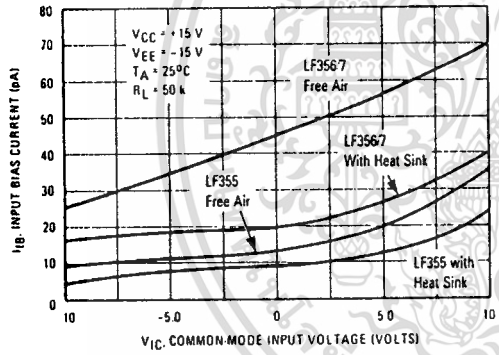
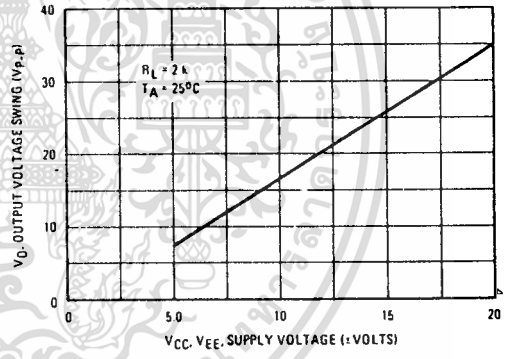


FIGURE 4 — OUTPUT VOLTAGE SWING versus SUPPLY VOLTAGE (LF355B/356B/357B)



SUPPLY CURRENT versus SUPPLY VOLTAGE

FIGURE 5 — (LF355 SERIES)

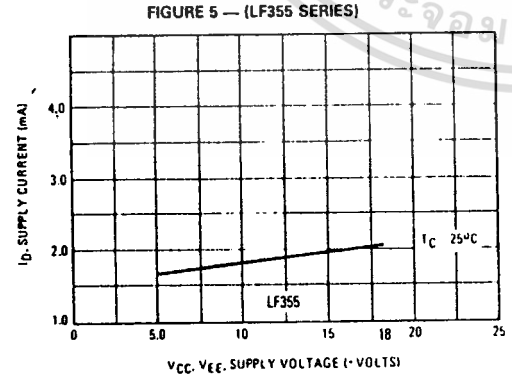
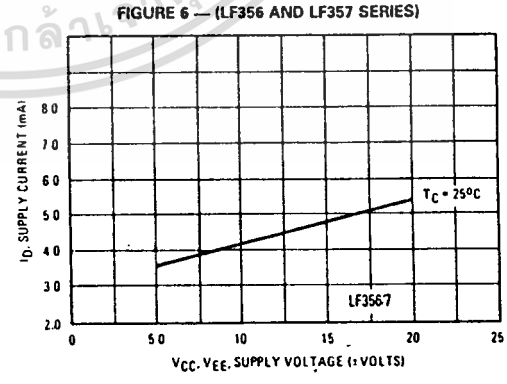


FIGURE 6 — (LF356 AND LF357 SERIES)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

TYPICAL DC PERFORMANCE CHARACTERISTICS (continued)

FIGURE 7 — NEGATIVE CURRENT LIMIT

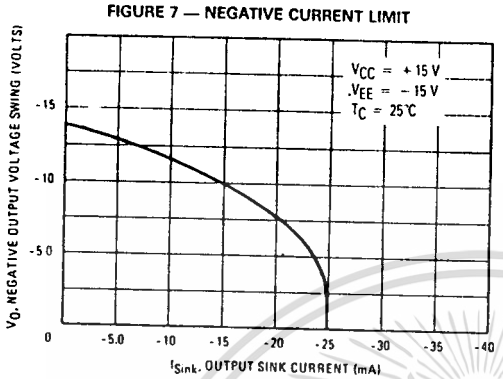


FIGURE 8 — POSITIVE CURRENT LIMIT

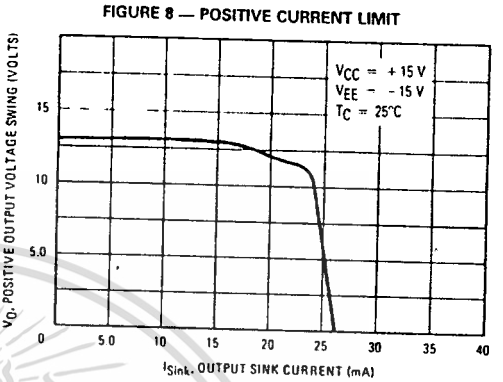


FIGURE 9 — POSITIVE COMMON-MODE INPUT VOLTAGE LIMIT

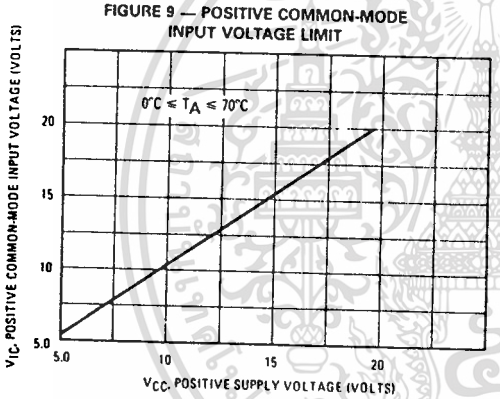


FIGURE 10 — NEGATIVE COMMON-MODE INPUT VOLTAGE LIMIT

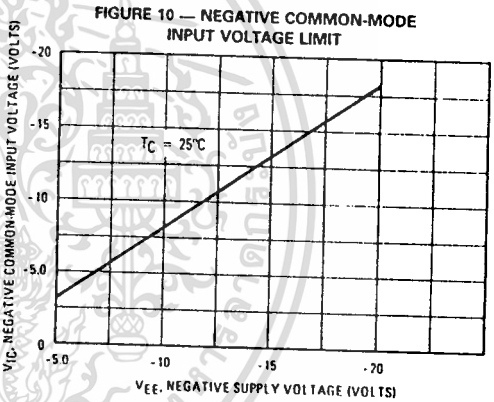


FIGURE 11 — OPEN LOOP VOLTAGE GAIN

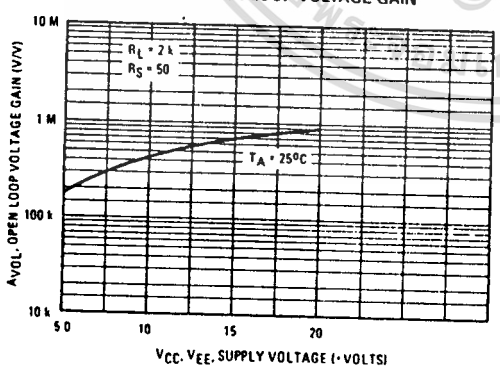
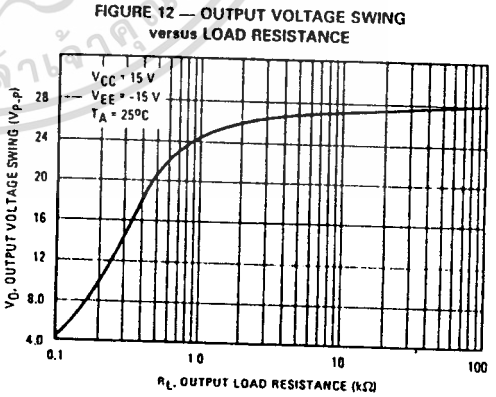


FIGURE 12 — OUTPUT VOLTAGE SWING versus LOAD RESISTANCE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL AC PERFORMANCE CHARACTERISTICS

GAIN BANDWIDTH PRODUCT

FIGURE 13 — (LF355 SERIES)

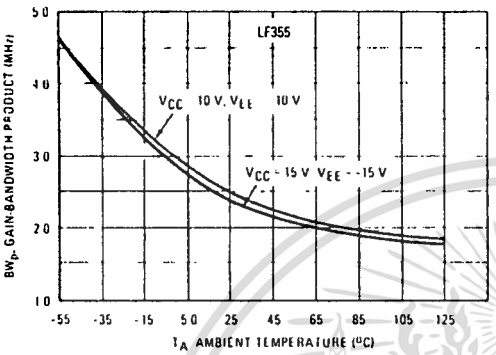
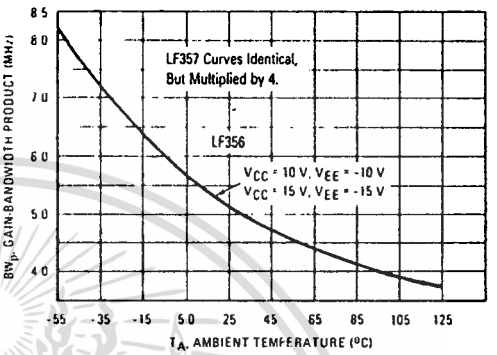


FIGURE 14 — (LF356/357 SERIES)



INVERTER SETTLING TIME

FIGURE 15 — (LF355 SERIES)

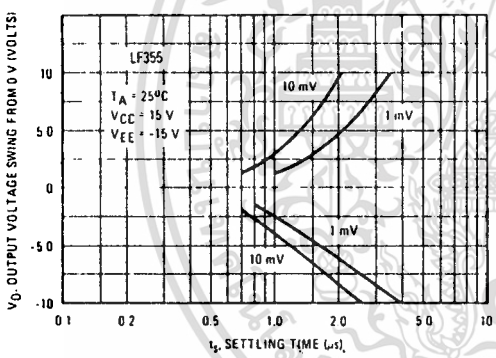


FIGURE 16 — (LF356 AND LF357 SERIES)

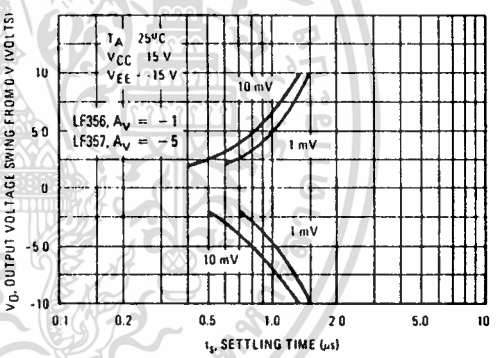


FIGURE 17 — NORMALIZED SLEW RATE

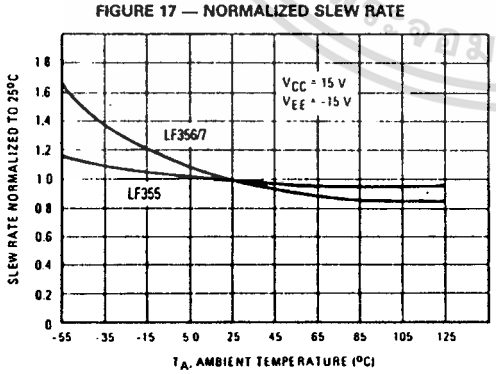
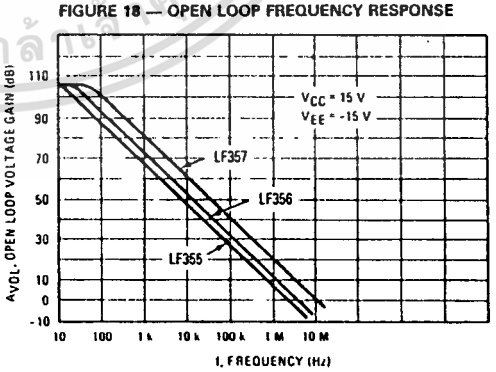


FIGURE 18 — OPEN LOOP FREQUENCY RESPONSE

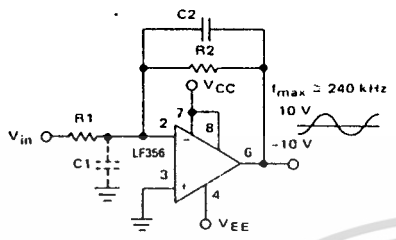


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

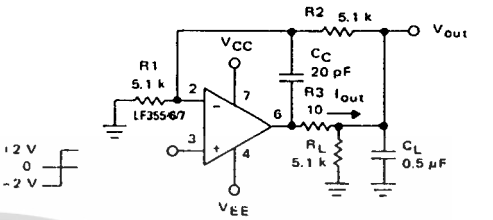
TYPICAL APPLICATIONS

FIGURE 37 — WIDE BW, LOW NOISE, LOW DRIFT AMPLIFIER



- Power BW: $f_{max} = \frac{S_r}{2\pi V_p} \geq 240$ kHz
- Parasitic input capacitance (C1 ≈ 3 pF for LF355, LF356, and LF357 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate add C2 such that: R2C2 ≥ R1C1.

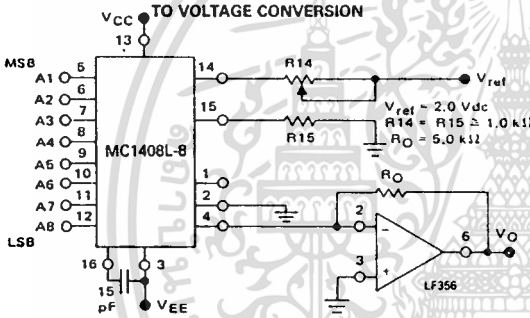
FIGURE 38 — ISOLATING LARGE CAPACITIVE LOADS



- Overshoot 6%
- t_s 10 μs
- When driving large C_L, the V_{out} slew rate is determined by C_L and $I_{out(max)}$:

$$\frac{\Delta V_{out}}{\Delta t} = \frac{I_{out}}{C_L} \geq \frac{0.02}{0.5}\ V/\mu s = 0.04\ V/\mu s \text{ (with } C_L \text{ shown)}$$

FIGURE 39 — 8-BIT D/A WITH OUTPUT CURRENT TO VOLTAGE CONVERSION



Theoretical V_O

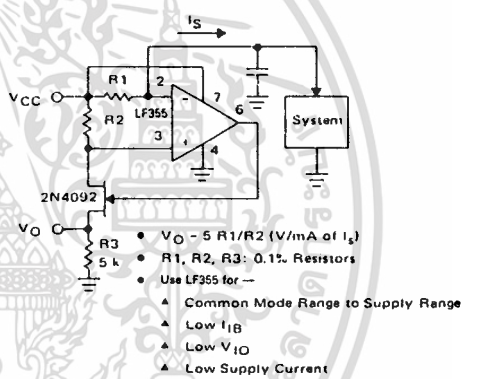
$$V_O = \frac{V_{ref}}{R14}(R_O)\left\{\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right\}$$

Adjust V_{ref}, R14 or R_O so that V_O with all digital inputs at high level is equal to 9.961 volts.

$$V_O = \frac{2V}{1k}(5k)\left\{\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256}\right\}$$

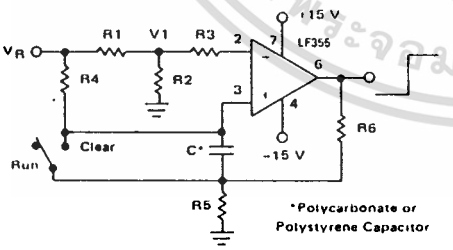
$$= 10\ V\left\{\frac{255}{256}\right\} = 9.961\ V$$

FIGURE 40 — PRECISION CURRENT MONITOR



- V_O = 5 R1/R2 (V/mA of I_S)
- R1, R2, R3: 0.1% Resistors
- Use LF355 for —
  - Common Mode Range to Supply Range
  - Low I_{IB}
  - Low V_{IO}
  - Low Supply Current

FIGURE 41 — LONG INTERVAL RC TIMER



Time (t) = R4C ℓn(V_R/V_R - V_1), R_3 ≤ R_4, R_5 = 0.1 R6

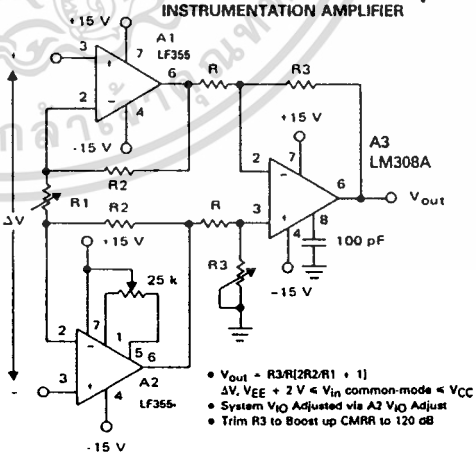
If R1 = R2: t = 0.693 R4C

Design Example: 100 Second Timer

V_R = 10 V C = 1 μF R3 = R4 = 144 M

R6 = 20 k R5 = 2 k R1 = R2 = 1 k

FIGURE 42 — HIGH IMPEDANCE, LOW DRIFT INSTRUMENTATION AMPLIFIER



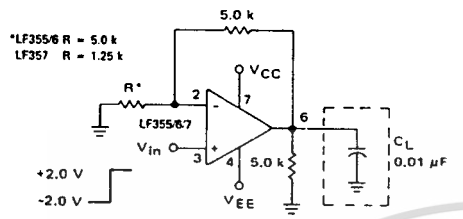
- V_{out} = R3/R[2R2/R1 + 1] ΔV, V_{EE} + 2 V ≤ V_{in} common-mode ≤ V_{CC}
- System V_{IO} Adjusted via A2 V_{IO} Adjust
- Trim R3 to Boost up CMRR to 120 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

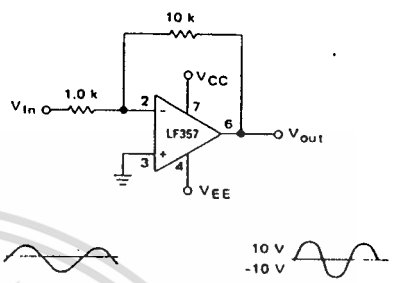
TYPICAL CIRCUIT CONNECTIONS

FIGURE 31 — DRIVING CAPACITIVE LOADS



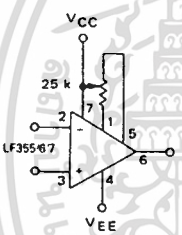
Due to a unique output stage design these amplifiers have the ability to drive large capacitive loads and still maintain stability.
$C_{L(max)} \cong 0.01\ \mu F$.
Overshoot ≤ 20%
Settling time (t_s) ≥ 5.0 μs

FIGURE 32 — LARGE POWER BANDWIDTH AMPLIFIER



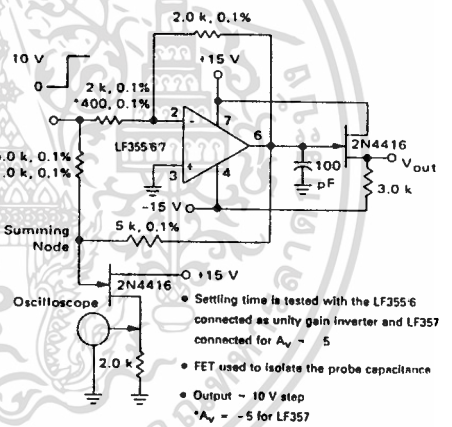
For distortion < 1% and a 20 Vp-p V_{Out} swing, power bandwidth is: 500 kHz.

FIGURE 33 — INPUT OFFSET VOLTAGE ADJUSTMENT



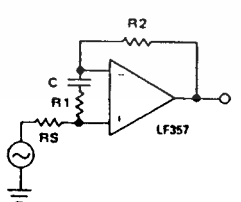
- V_{IO} is adjusted with a 25 k potentiometer
- The potentiometer wiper is connected to V_{CC}
- For potentiometers with temperature coefficient of 100 ppm/°C or less the additional drift with adjust is ≤ 0.5 μV/°C/mV of adjustment.
- Typical overall drift: 5.0 μV/°C ±(0.5 μV/°C/mV of adjustment.)

FIGURE 34 — SETTLING TIME TEST CIRCUIT



- Settling time is tested with the LF355/6 connected as unity gain inverter and LF357 connected for A_V = −5
- FET used to isolate the probe capacitance
- Output = 10 V step
- *A_V = −5 for LF357

FIGURE 35 — NONINVERTING UNITY GAIN OPERATION FOR LF357



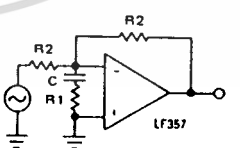
$R1C \geq \frac{1}{(2\pi)(5\ MHz)}$

$R1 = \frac{R2 + R_S}{4}$

$A_{V(DC)} = 1$

$f_{3dB} \approx 5\ MHz$

FIGURE 36 — INVERTING UNITY GAIN FOR LF357



$R1C \geq \frac{1}{(2\pi)(5\ MHz)}$

$R1 = \frac{R2}{4}$

$A_{V(DC)}$ 1

$f_{-3dB} \approx 5\ MHz$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

DC ELECTRICAL CHARACTERISTICS (V_{CC} = +15 V, V_{EE} = −15 V, T_A = 0°C to 70°C unless otherwise noted)

Characteristics	Symbol	Min	Typ	Max	Unit
Input Offset Voltage (R_S = 10 kΩ, V_{CM} = 0 V, V_O = 0 V)	V_{IO}				mV
LF411		—	0.5	2.0	
LF412		—	1.0	3.0	
Average Temperature Coefficient of Input Offset Voltage (R_S = 10 kΩ, V_{CM} = 0 V, V_O = 0 V)	$\Delta V_{IO}/\Delta T$	—	10	—	μV/°C
Input Offset Current (V_{CM} = 0 V, V_O = 0 V)	I_{IO}				
LF411 T_A = 25°C		—	20	100	pA
T_A = 0°C to 70°C		—	—	2.0	nA
LF412 T_A = 25°C		—	25	100	pA
T_A = 0°C to 70°C		—	—	2.0	nA
Input Bias Current (V_{CM} = 0 V)	I_{IB}				
LF411 T_A = 25°C		—	0.6	200	pA
T_A = 0°C to 70°C		—	—	4.0	nA
LF412 T_A = 25°C		—	0.5	200	pA
T_A = 0°C to 70°C		—	—	4.0	nA
Large Signal Voltage Gain (V_O = ±10 V, R_L = 2.0 kΩ)	A_{VOL}				V/mV
LF411 T_A = 25°C		25	80	—	
T_A = 0°C to 70°C		15	—		
LF412 T_A = 25°C		25	150	—	
T_A = 0°C to 70°C		15	—	—	
Output Voltage Swing (V_{ID} = ±1.0 V, R_L = 10 kΩ)					V
LF411	V_O +	12	13.9	—	
	V_O −	—	14.7	12	
LF412	V_O +	12	14	—	
	V_O −	—	14	12	
Common Mode Input Voltage Range (V_O = 0 V)	V_{ICR}				V
LF411		+11	+14	11	
		—	14	—	
LF412		+11	+15	11	
		—	12	—	
Common Mode Rejection (V_{CM} = ±11 V, R_S = 10 kΩ)	CMR				dB
LF411		70	90	—	
LF412		70	100	—	
Power Supply Rejection (Note 3)	PSR				dB
(V_{CC}, V_{EE} = ±15 V, 15 V to +5.0 V, −5.0 V)					
LF411		70	86	—	
LF412		70	100	—	
Power Supply Current (V_O = 0 V)	I_D				mA
LF411		—	2.5	3.4	
LF412		—	2.8	6.8	

AC ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, V_{EE} = −15 V, T_A = 25°C unless otherwise noted)

Characteristics	Symbol	Min	Typ	Max	Unit
Slew Rate (V_{IN} = −10 V to +10 V, R_L = 2.0 kΩ, A_V = 1.0)	SR				V/μs
LF411		8.0	25	—	
LF412		8.0	13	—	
Gain Bandwidth Product	GBW				MHz
LF411		2.7	8.0	—	
LF412		2.7	4.0	—	
Channel Separation (f = 1.0 Hz to 20 kHz, LF412)	CS	—	120	—	dB
Differential Input Resistance (V_{CM} = 0 V)	R_{in}	—	10^{12}	—	kΩ
Equivalent Input Voltage Noise (R_S = 100 Ω, f = 1.0 kHz)	e_n				nV/√Hz
LF411			30	—	
LF412		—	25	—	
Equivalent Input Noise Current (f = 1.0 kHz)	i_n				pA/√Hz
LF411		—	0.01	—	
LF412		—	0.01	—	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) — Up to 3MHz (typ) @ 10Vdc (SCL4046B) Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

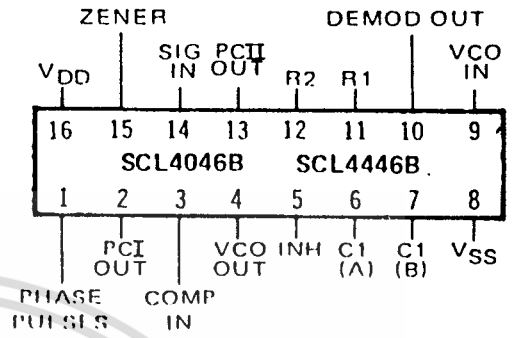
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

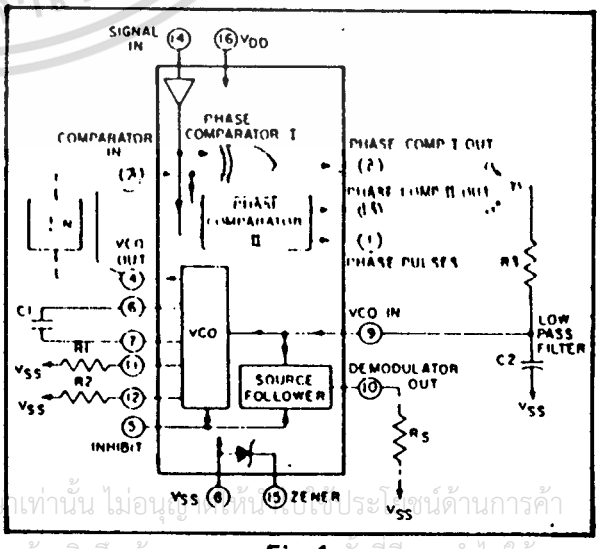


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leqslant$ 30% (V_{DD}-V_{SS}), logic "1" $\geqslant$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

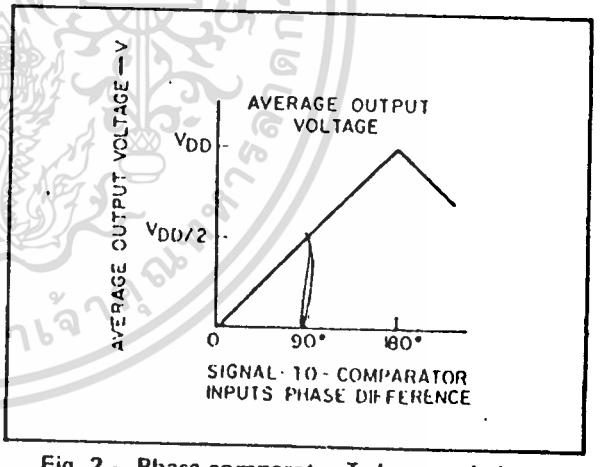


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

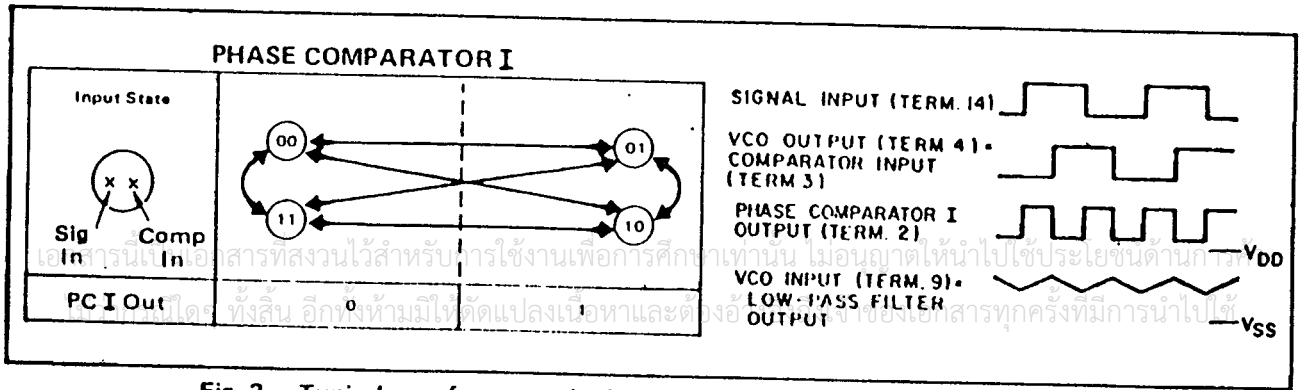


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

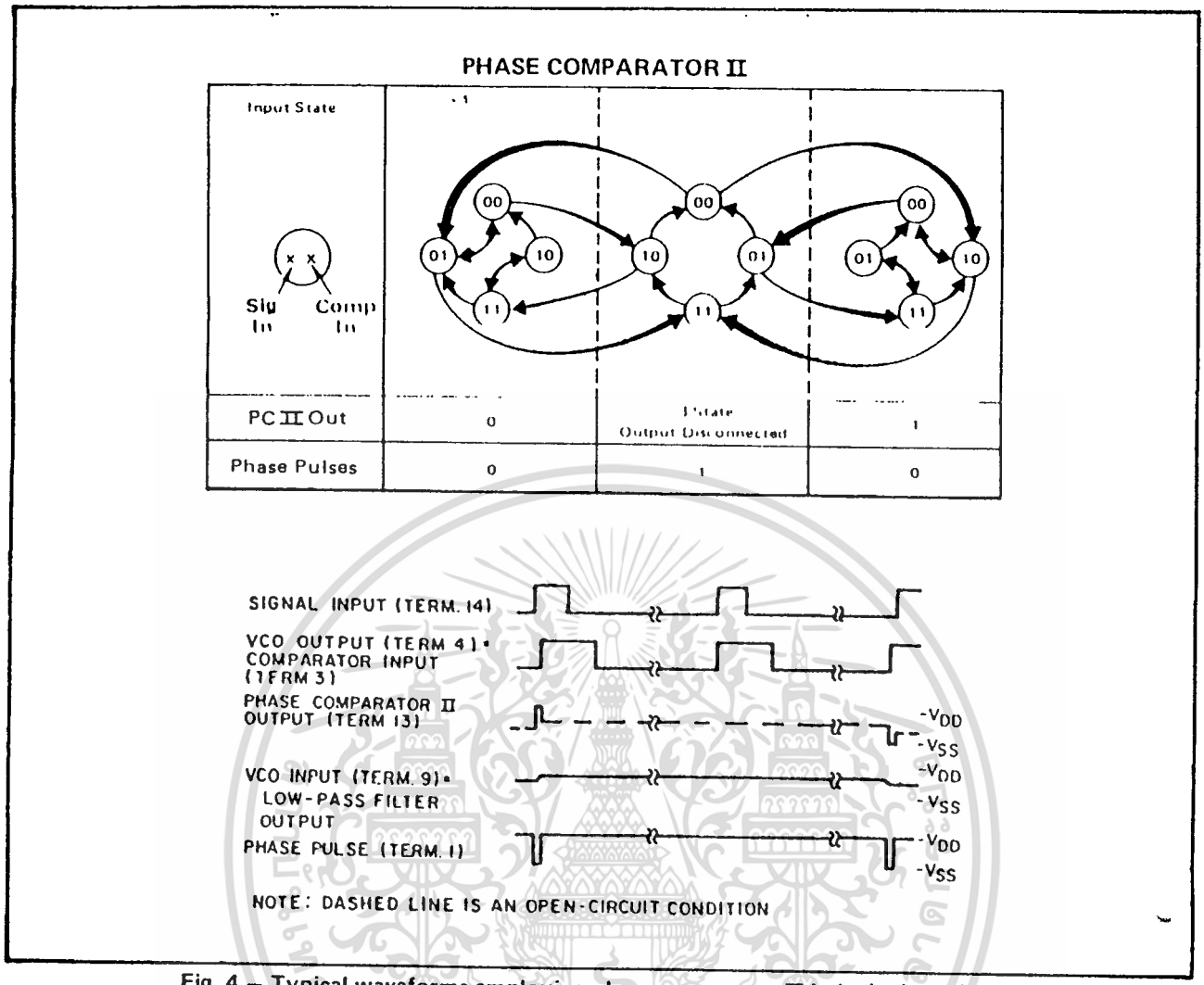


Fig. 4 – Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS}, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

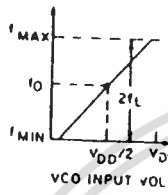
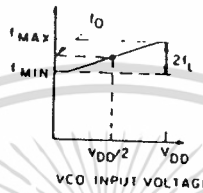
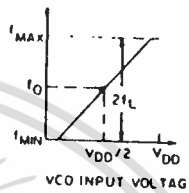
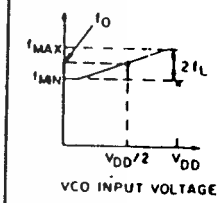
DESIGN INFORMATION

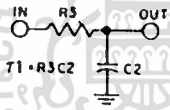
This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

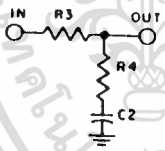
$R1, R2 \geq 2k\Omega, R_S \geq 10k\Omega$

$C1 \geq 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

<table>
<tr><th rowspan="2">CHARACTERISTICS</th><th colspan="2">USING PHASE COMPARATOR I</th><th colspan="2">USING PHASE COMPARATOR II</th></tr>
<tr><th>VCO WITHOUT OFFSET
$R_2 = \infty$</th><th>VCO WITH OFFSET</th><th>VCO WITHOUT OFFSET
$R_2 = \infty$</th><th>VCO WITH OFFSET</th></tr>
<tr><td>VCO Frequency</td><td> 
</td><td> 
</td><td> 
</td><td> 
</td></tr>
<tr><td>For No Signal Input</td><td colspan="2">VCO in PLL system will adjust to center frequency, f_0</td><td colspan="2">VCO in PLL system will adjust to lowest operating frequency, f_{min}</td></tr>
<tr><td>Frequency Lock Range, $2f_L$</td><td colspan="4">$2f_L$ = full VCO frequency range
$2f_L = f_{max} - f_{min}$</td></tr>
<tr><td>Frequency Capture Range, $2f_C$

Loop Filter Component Selection</td><td colspan="2"> 

$2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$
 

For $2f_C$, see Ref.</td><td colspan="2">$f_C = f_L$</td></tr>
<tr><td>Phase Angle between Signal and Comparator</td><td colspan="2">90^0 at center frequency (f_0), approximating 0^0 and 180^0 at ends of lock range ($2f_L$)</td><td colspan="2">Always 0^0 in lock</td></tr>
<tr><td>Locks on Harmonics of Center Frequency</td><td colspan="2">Yes</td><td colspan="2">No</td></tr>
<tr><td>Signal Input Noise Rejection</td><td colspan="2">High</td><td colspan="2">Low</td></tr>
<tr><td>VCO Component Selection</td><td>– Given: f_0
– Use f_0 with Fig 5a to determine R1 and C1</td><td>Given f_0 and f_L
Calculate f_{min} from the equation
$f_{min} = f_0 - f_L$
– Use f_{min} with Fig. 5b to determine R2 and C1
– Calculate $\frac{f_{max}}{f_{min}}$ from the equation
$\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}$
– Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1</td><td>Given f_{max}
Calculate f_0 from the equation
$f_0 = \frac{f_{max}}{2}$
– Use f_0 with Fig.5a to determine R1 and C1</td><td>– Given: f_{min} & f_{max}
– Use f_{min} with Fig 5b to determine R2 and C1
– Calculate $\frac{f_{max}}{f_{min}}$
– Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1</td></tr>
</table>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REF. G. S. Moschytz, "Miniaturized RC Filters Using Phase Locked Loop", BSTJ, May, 1965.

ELECTRICAL CHARACTERISTICS [1, 3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	Inhibit = V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	Signal Input =	–	10	–	0.01	10	–	300	
		15	V_{DD}	–	20	–	0.2	20	–	600	
TOTAL POWER DISSIPATION	P_T		Inh = V_{SS}, VCO_{IN} = V_{DD} [2], f_o = 10kHz,								
		5	C_L = 15pF,			–	0.07	–	–	–	mW
		10	R1 = 1MΩ,			–	0.6	–	–	–	
		15	R2 = R_S = ∞				2.4	–	–	–	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL 4000B Series Family Specifications".
T_{LOW} = −55°C for C, D, F, H device.
= −40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER		CONDITIONS		V_{DD}	25°C Min.	25°C Typ.	25°C Max.	UNITS
VCO SECTION								
MAXIMUM OPERATING FREQUENCY	f_{max}							
SCL4046B			R1 C1					
		R2 = ∞	10k 50pF	5	0.5	0.8	–	MHz
		VCO_{IN} = V_{DD}		10	1.0	1.5	–	
				15	1.3	1.9	–	
			5k 50pF	5	0.6	1.0	–	MHz
				10	1.4	2.1	–	
				15	1.8	2.7	–	
			2k 50pF	5		1.3	–	MHz
				10		2.9	–	
				15	–	3.8	–	
SCL4446B		R2 = ∞	R1 C1					
		VCO_{IN} = V_{DD}	10k 50pF	5	0.7	1.0	–	MHz
				10	1.3	2.0	–	
				15	1.9	2.8	–	
			5k 50pF	5	0.9	1.4		MHz
				10	1.8	2.8		
				15	2.6	4.0		
			2k 50pF	5		1.8		MHz
				10		3.9		
				15		5.4		
LINEARITY		R2 = ∞						
		VCO_{IN} = 2.5±0.3V, R1 > 10kΩ		5	–	1	–	%
		VCO_{IN} = 5.0±2.5V, R1 > 400kΩ		10	–	1	–	
		VCO_{IN} = 7.5±5.0V, R1 ≥ 1MΩ		15	–	1	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER		CONDITIONS	V_{DD}	+25°C			UNIT
				Min.	Typ.	Max.	
VCO SECTION (Continued)							
TEMPERATURE FREQUENCY STABILITY							
No Offset		R2 = ∞	5		0.12-0.24	–	%/°C
			10		0.04-0.08	–	
			15		0.015-0.03	–	
With Offset		R2 ≤ 10X R1	5		0.06-0.12	–	%/°C
			10		0.05-0.1	–	
			15		0.03-0.06	–	
INPUT RESISTANCE (VCO_{IN})	R_{IN}		5, 10, 15	–	10^6	–	MΩ
OUTPUT DUTY CYCLE		All valid input combinations and voltages		–	50	–	%
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10		50	100	
			15		40	80	
PHASE COMPARATORS							
INPUT RESISTANCE							
Signal Input	R_{IN}		5	1	3	–	MΩ
			10	0.2	0.7	–	
			15	0.1	0.3	–	
Comparator Input	R_{IN}		5, 10, 15		10^6		MΩ
AC-COUPLED INPUT SENSITIVITY							
Signal Input	V_{IN}		5		200	400	mV
			10	–	400	800	
			15		700	1400	
OUTPUT TRANSITION TIME							
PCI, PCII Outputs	t_{TLH}, t_{THL}	C_L = 50pF	5		100	200	ns
			10		50	100	
			15	–	40	80	
Phase Pulses Output	t_{TLH}, t_{THL}		5	–	130	260	ns
			10	–	65	130	
			15	–	50	100	
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO_{IN}-V_{DEM}	$R_S \geq 50k\Omega$	5	–	1.4	2.2	Vdc
			10		1.6	2.2	
			15		1.8	2.2	
LINEARITY		$R_S \geq 50k\Omega$					
		VCO_{IN} = 2.5±0.3V	5	–	0.1	–	%
		VCO_{IN} = 5.0±2.5V	10	–	0.6	–	
		VCO_{IN} = 7.5±5.0V	15	–	0.8	–	
ZENER DIODE							
ZENER VOLTAGE	V_Z	I_Z = 50μA	–	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R_Z	I_Z = 1mA	–	–	100	–	Ω

เอกสารนี้ถูกสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

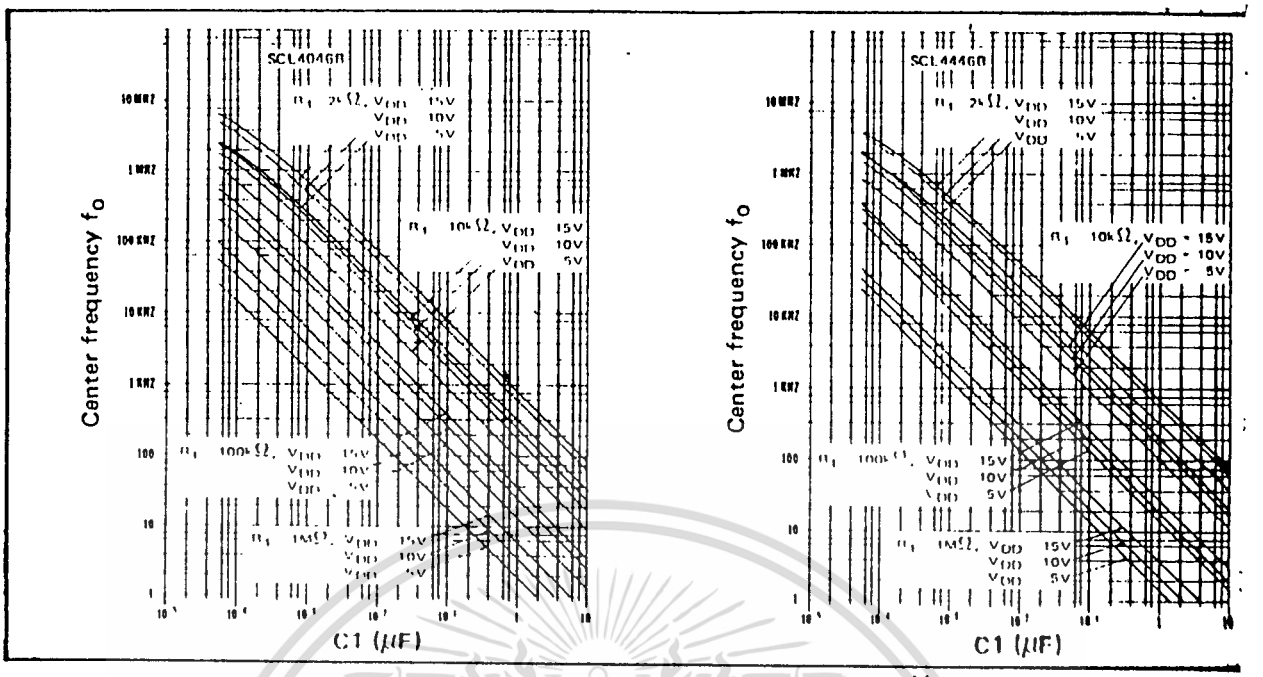


Fig. 5 (a) Typical center frequency (f_o) vs C1 ($R2 = \infty$, $VCO_{IN} = \frac{V_{DD}}{2}$, $T_A = 25°C$)

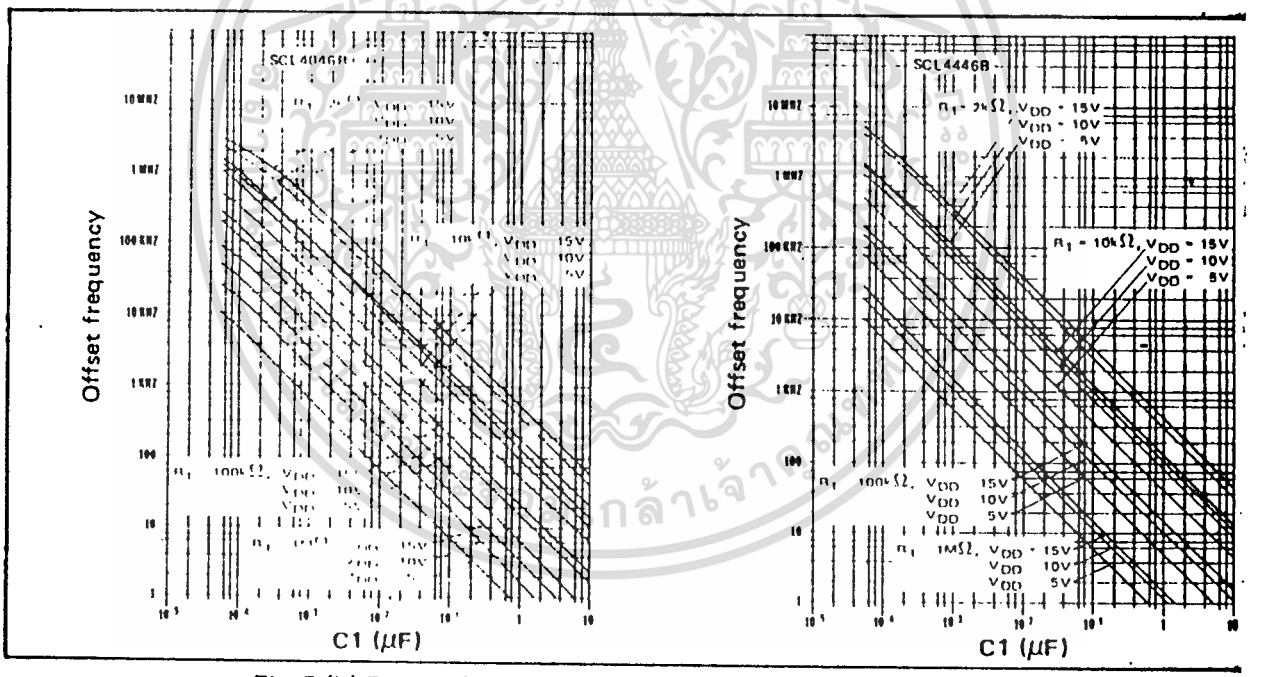


Fig. 5 (b) Typical frequency offset vs C1 ($VCO_{IN} = V_{SS}$, $T_A = 25°C$)

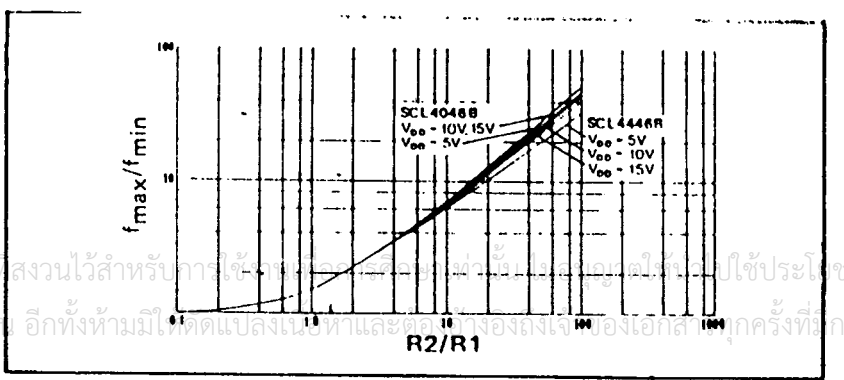


Fig. 5 (c) Typical f_{max}/f_{min} vs R2/R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

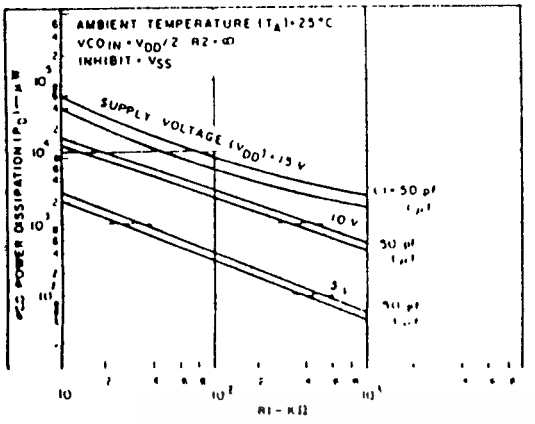


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

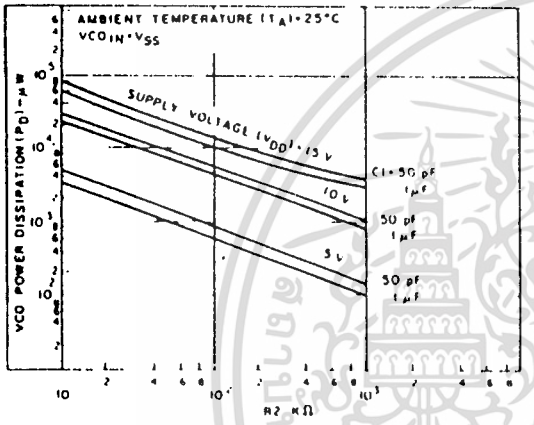


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

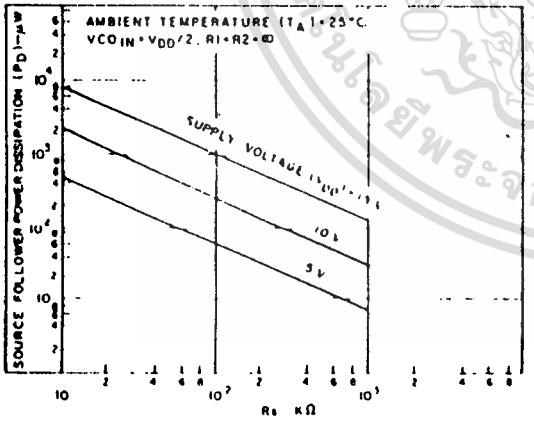


Fig. 6 (c) - Typical source follower power dissipation vs R_S.

NOTE: To obtain approximate total power dissipation of PLL system for no signal input

P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S)
– Phase Comparator I

P_D (Total) = P_D (f_{MIN})
– Phase Comparator II

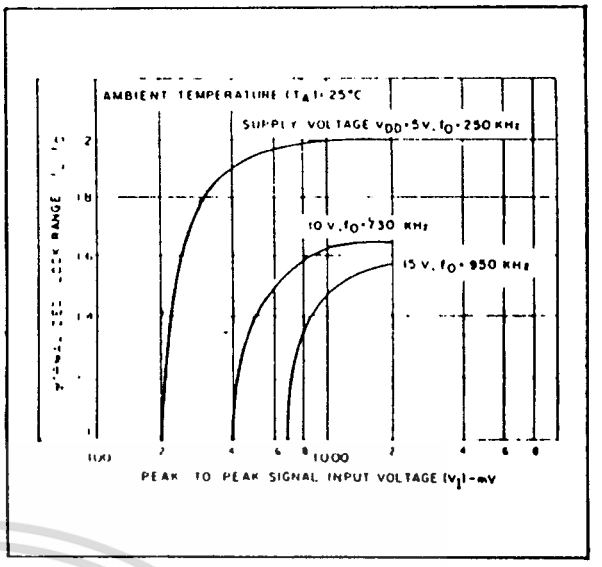


Fig. 7 – Typical lock range vs signal input amplitude

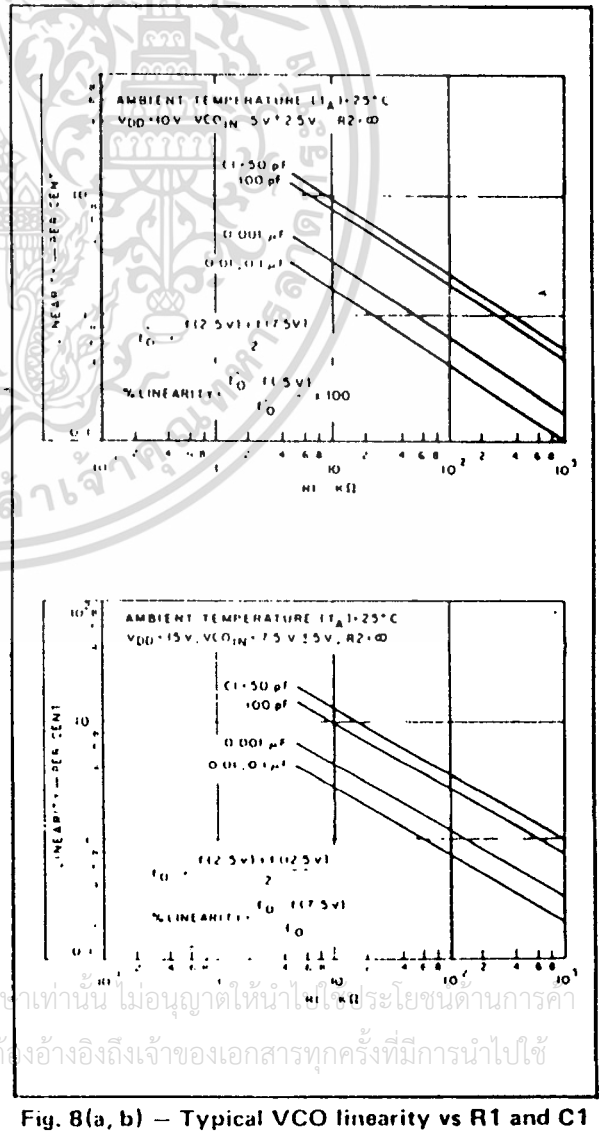


Fig. 8(a, b) – Typical VCO linearity vs R1 and C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

CA3054

DUAL INDEPENDENT DIFFERENTIAL AMPLIFIER

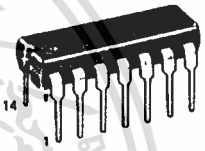
The CA3054 consists of two independent differential amplifiers with associated constant-current transistors on a common monolithic substrate. The six NPN transistors which comprise the amplifiers are general purpose devices useful from dc to 120 MHz.

The monolithic construction of the CA3054 provides close electrical and thermal matching of the amplifiers which makes this device particularly useful in dual channel applications where matched performance of the two channels is required.

- Two differential amplifiers on a common substrate
- Independently accessible inputs and outputs
- Maximum input offset voltage — ±5 mV

GENERAL PURPOSE TRANSISTOR ARRAY

SILICON MONOLITHIC INTEGRATED CIRCUIT

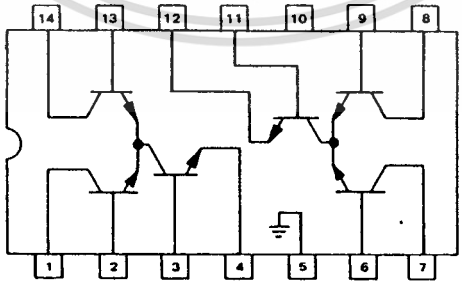


P SUFFIX
PLASTIC PACKAGE
CASE 646-06

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	15	Vdc
Collector-Base Voltage	V_{CBO}	20	Vdc
Emitter-Base Voltage	V_{EB}	5.0	Vdc
Collector-Substrate Voltage	V_{CIO}	20	Vdc
Collector Current — Continuous	I_C	50	mAdc
Junction Temperature	T_J	150	°C
Operating Temperature Range	T_A	-40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

PIN CONNECTIONS



Pin 5 is connected to substrate and must remain at the lowest circuit potential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_A = 25°C, unless otherwise noted).

Characteristic	Symbol	Min	Typ	Max	Unit
STATIC CHARACTERISTICS FOR EACH DIFFERENTIAL AMPLIFIER					
Input Offset Voltage (V_{CB} = 3.0 Vdc)	V_{IO}	–	–	5.0	mV
Input Offset Current (V_{CB} = 3.0 Vdc)	I_{IO}	–	–	2.0	μA
Input Bias Current (V_{CB} = 3.0 Vdc)	I_{IB}	–	–	24	μA
STATIC CHARACTERISTICS FOR EACH TRANSISTOR					
Base-Emitter Voltage	V_{BE}				Vdc
(V_{CB} = 3.0 Vdc, I_C = 50 μA)		–	–	0.70	
(V_{CB} = 3.0 Vdc, I_C = 1.0 mA)		–	–	0.80	
(V_{CB} = 3.0 Vdc, I_C = 3.0 mA)		–	–	0.85	
(V_{CB} = 3.0 Vdc, I_C = 10 mA)		–	–	0.90	
Collector Cutoff Current (V_{CB} = 10 Vdc, I_E = 0)	I_{CBO}	–	–	100	nA
Collector-Emitter Breakdown Voltage (I_C = 1.0 mA)	$V_{(BR)CEO}$	15	–	–	Vdc
Collector-Base Breakdown Voltage (I_C = 10 μA)	$V_{(BR)CBO}$	20	–	–	Vdc
Collector-Substrate Breakdown Voltage (I_C = 10 μA)	$V_{(BR)CIO}$	20	–	–	Vdc
Emitter-Base Breakdown Voltage (I_E = 10 μA)	$V_{(BR)EBO}$	5.0	–	–	Vdc

9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้