เครื่องกำเนิดสัญญาณ

ARBITRARY BINARY PULSE GENERATOR

โดย

นายบรรชิชัย นามภา

นายรังสิวุฒิ ขุนล่ำ

นายศักดิ์ชัย วงศ์กัลยา

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร ปริญญาอุตสาหกรรมศาสตรบัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ARBITRARY BINARY PULSE GENERATOR

Mr. BANTICHAI NAMPA

Mr. RANGSIWUT KHUNLAM

Mr. SAKCHAI WONGGANYA

Project Report Submitted in Partial Fulfillment of the requirements

For the Bachelor's Degree

Department of Industrial Technology

Faculty of Engineering

King Mongkut's Institute of Technology Ladkrabang

1993

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เครื่องกำเนิดสัญญาณ

ARBITRARY BINARY PULSE GENERATOR

โดย นายบรรธิชัย นามภา

นายรังสิวุฒิ ขุนล่ำ

นายศักดิ์ชัย วงศ์กัลยา

ภาควิชา เทคนิคอุตสาหกรรม

อาจารย์ที่ปรึกษา อาจารย์ ดลชัย สุขเจริญผล

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... อาจารย์ที่ปรึกษา
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Report ARBITRARY BINARY PULSE GENERATOR

By Mr. Bantichai Nampa
Mr. rangsiwut Khunlam
Mr. sakchai Wongganya

Department of Industrial Technology
Advisor Mr.Dolchai Sukcharernphol

Accepted by the Faculty of Engineering,King Mongkut's Institute of Technology,Ladkrabang in partial fulfillment of the requirements for the Bachelor's degree.

Project Report Comittee

..... Chairman
( )

..... Member
( )

..... Member
( )

..... Member
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เครื่องกำเนิดสัญญาณ

ARBITRARY BINARY PULSE GENERATOR

โดย นายบรรธิชัย นามภา
นายรังสิวุฒิ ขุนล่ำ
นายศักดิ์ชัย วงศ์กัลยา

อาจารย์ที่ปรึกษา อาจารย์ ดลชัย สุขเจริญผล

บทคัดย่อ

ปริญญานิพนธ์นี้จะกล่าวถึงการนำคอมพิวเตอร์มาประยุกต์ใช้งาน โดยนำมาใช้เป็นเครื่องกำเนิดสัญญาณ ซึ่งสามารถเลือกรูปแบบของสัญญาณ ความถี่และขนาดของสัญญาณได้จากการควบคุมของคอมพิวเตอร์ จะประกอบด้วยสองส่วนใหญ่คือ ฮาร์ดแวร์ซึ่งทำเป็นการ์ดเชื่อมต่อกับสล็อตของคอมพิวเตอร์ และส่วนของซอร์แวร์จะเป็นตัวกำหนดรูปแบบของสัญญาณ ความถี่และขนาดของสัญญาณ จากนั้นจะส่งข้อมูลให้แก่ฮาร์ดแวร์ผ่านคอมพิวเตอร์เพื่อผลิตสัญญาณนั้นขึ้นตามซอร์ฟแวร์ที่ส่งให้

ABSTRACT

This thesis deals with the applied computer work. It used to be Function generator.The ARBITRARY BINARY PULSE GENERATOR can select function,frequency and amplitude by computer control. Constitute two sections such hardware it's card connect with slot of computer and software it's define function of signal ,frequency and amplitude .Computer send data to hardware for generate signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์สำเร็จลุล่วงลงได้ ด้วยความร่วมมือและความตั้งใจในการทำงานของเพื่อนร่วมงานในกลุ่ม Project ทั้งได้รับคำแนะนำจากอาจารย์ที่ปรึกษาทางด้านเทคนิคและแนวความคิดต่างๆ นอกจากนี้ยังได้รับคำแนะนำจากรุ่นพี่ที่อยู่ DATANET ช่วยให้คำปรึกษาทางด้านซอร์แวร์ คือ

พี่ วีระศักดิ์ นามวงศ์ ตลอดจนบุคคลที่ไม่ได้เอ่ยนามด้วย คณะผู้จัดทำขอกล่าวขอบคุณไว้ ณ. โอกาสนี้เป็นอย่างยิ่ง

นายบรรธิชัย นามภา

นายรังสิวุฒิ ขุนล่ำ

นายศักดิ์ชัย วงศ์กัลยา

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎี	4
	2.1 หลักการทำงาน	4
	2.2 สัญญาณต่างๆบนสล็อตของ PC	7
	2.3 ไอซี TSC 9400 V/F และ F/V	17
	2.4 การแปลงสัญญาณดิจิตอลเป็นอนาล็อก	32
	2.5 การอินเตอร์เฟสกับไมโครโปรเซสเซอร์ ผ่านทางไอซี 8255	46
บทที่ 3	การออกแบบวงจร	51
	3.1 วงจรควบคุมพอร์ท	52
	3.2 วงจรนับ	57
	3.3 วงจรเปลี่ยนแรงดันเป็นความถี่ แบบโปรแกรมได้	58
	3.4 วงจรหน่วยความจำ	59
	3.5 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก	60
	3.6 วงจรขยายสัญญาณแบโปรแกรมได้	61
บทที่ 4	การทดลองและผลการทดลอง	62
บทที่ 5	สรุปและวิจารณ์	67
บทที่ 6	การใช้งานโปรแกรม	69

ภาคผนวก

โปรแกรม

DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในการทดลองด้านอิเล็กทรอนิกส์ เครื่องกำเนิดสัญญาณ(Function Generator เป็นอุปกรณ์ที่มีความจำเป็นมาก เพื่อเป็นแหล่งกำเนิดสัญญาณรูปแบบต่างๆ ป้อนให้กับวงจรการทดลองต่างๆ และใช้เป็นสัญญาณอ้างอิงเปรียบเทียบกับการทดลอง ปัจจุบันคอมพิวเตอร์ก็เข้ามามีบทบาทสำคัญต่องานทางด้านอิเล็กทรอนิส์เป็นอย่างมาก

ความต้องการใช้งานทางด้านคอมพิวเตอร์และเครื่องกำเนิดสัญญาณในงานอุตสาหกรรมและการทดลองทางด้านอิเล็กทรอนิกส์มีมาก การเลือกปรับความถี่และขนาดของสัญญาณด้วยมือ แล้วใช้ออสซิลโลสโคปวัดสัญญาณเป็นเรื่องที่ยุ่งยากและเสียเวลาอยู่ไม่น้อย และอาจเกิดความผิดพลาดขึ้นได้ง่าย เนื่องจากความจำเป็นและความต้องการอันนี้ โครงงานนี้จึงนำเครื่องคอมพิวเตอร์และเครื่องกำเนิดสัญญาณมารวมเข้าด้วยกัน เป็นเครื่องกำเนิดสัญญาณต่างๆที่สามารถโปรแกรมได้ที่เรียกว่า Arbitrary Binary Puls Generator ซึ่งมีข้อมูลที่เป็นพัลซ์สัญญาณดิจิตอลมาสร้างเป็นสัญญาณรูปคลื่นต่างๆ

ความสามารถของโครงงานนี้จะสามารถกำเนิดสัญญาณรูปคลื่นต่างๆ 4 รูปคลื่นซึ่งจะได้กล่าวต่อไป สามารถที่จะเลือกได้ทั้งรูปคลื่นความถี่และขนาดของสัญญาณโดยผ่านทางคอมพิวเตอร์ ซึ่งจะมีความถูกต้องค่อนข้างสูงและสัญญาณสามารถทำงานได้อย่างรวดเร็ว เพราะเราจะทำเป็นการ์ดเสียบเข้าไปในสล็อตของเครื่องคอมพิวเตอร์ ช่วงความถี่ที่สามารถทำงานได้สูงพอสมควร สามารถใช้ในการทดลองได้และสามารถเพิ่มรูปแบบของสัญญาณได้จากการเพิ่มในส่วนของซอร์ฟแวร์ขึ้นอีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตุประสงค์

1. เพื่อศึกษาการทำงานของคอมพิวเตอร์แบบ PC และศึกษาการนำมาประยุกต์ใงาน
2. เพื่อศึกษาการอินเทอร์เฟสกับเครื่องคอมพิวเตอร์
3. เพื่อศึกษาการเขียนโปรแกรมสนับสนุนการทำงานของคอมพิวเตอร์
4. สามารถนำคอมพิวเตอร์มาประยุกต์ใช้งานให้เกิดประโยชน์มากขึ้นโดยนำมาแหล่งกำเนิดสัญญาณต่างๆได้
5. สามารถออกแบบวงจรอินเตอร์เฟสกับคอมพิวเตอร์เพื่อเป็น Function Generator

การทำงานแบ่งออกเป็น 2 ส่วน

1. ฮาร์ดแวร์
2. ซอร์ฟแวร์ (โปรแกรม)

ส่วนของฮาร์ดแวร์ประกอบด้วย

1.1 Memory

1.2 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล

1.3 วงจรนับ

1.4 วงจรแปลงแรงดันเป็นความถี่

1.5 วงจรควบคุมพอร์ท

1.6 วงจรขยายปรับค่าได้

ส่วนของซอร์ฟแวร์ประกอบด้วย

2.1 ส่วนเลือกรูปแบบของสัญญาณ

2.2 ส่วนปรับความถี่

2.3 ส่วนปรับขนาดของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขอบเขตของงาน

Arbitrary Binary Pulse Generator เป็นชุดกำเนิดสัญญาณ ซึ่งอาศัยสัญญาณ Binary Pulse จากเครื่องคอมพิวเตอร์ มาทำการประมวณผลจากโปรแกรมาสร้างสัญญาณแล้วส่งต่อไปให้วงจรอินเทอร์เฟส เพื่อทำการสร้างสัญญาณนั้นออกมาใช้งา

โครงงานชิ้นนี้จะทำเป็นดาร์ดเพื่อต่อกับสล็อตของเครื่องคอมพิวเตอร์และมีจุดต่อสัญญาณออกมาใช้งาน หรือผู้ใช้สามารถที่จะเขียน Function ลงไปและให้คอมพิวเตอร์ประมวลผลออกมาเป็นสัญญาณที่ต้องการได้

ในส่วนของโปรแกรมจะเป็นตัวควบคุมลักษณะต่างๆ ของสัญญาณโดยประมวลผจากคอมพิวเตอร์

จากการคำนวณค่าที่จุดต่างๆของรูปคลื่นจะนำค่าไปเก็บไว้ที่ Ram ในที่นี้ใช้ Data นวนบิทซึ่งมี Data ทั้งหมด 256 Address เมื่อเก็บ Data ไว้ใน Ram แล้วจะนำ Data จาก Ram ไปทำการสร้างสัญญาณต่อไป

เอาท์พุทอนาล็อกที่ได้จะมีลักษณะดังนี้

ความถี่ 0-1 KHz

ขนาดของสัญญาณ 0-15 Vp-p

รูปแสดงการ์ดที่ทำสำเร็จแล้ว

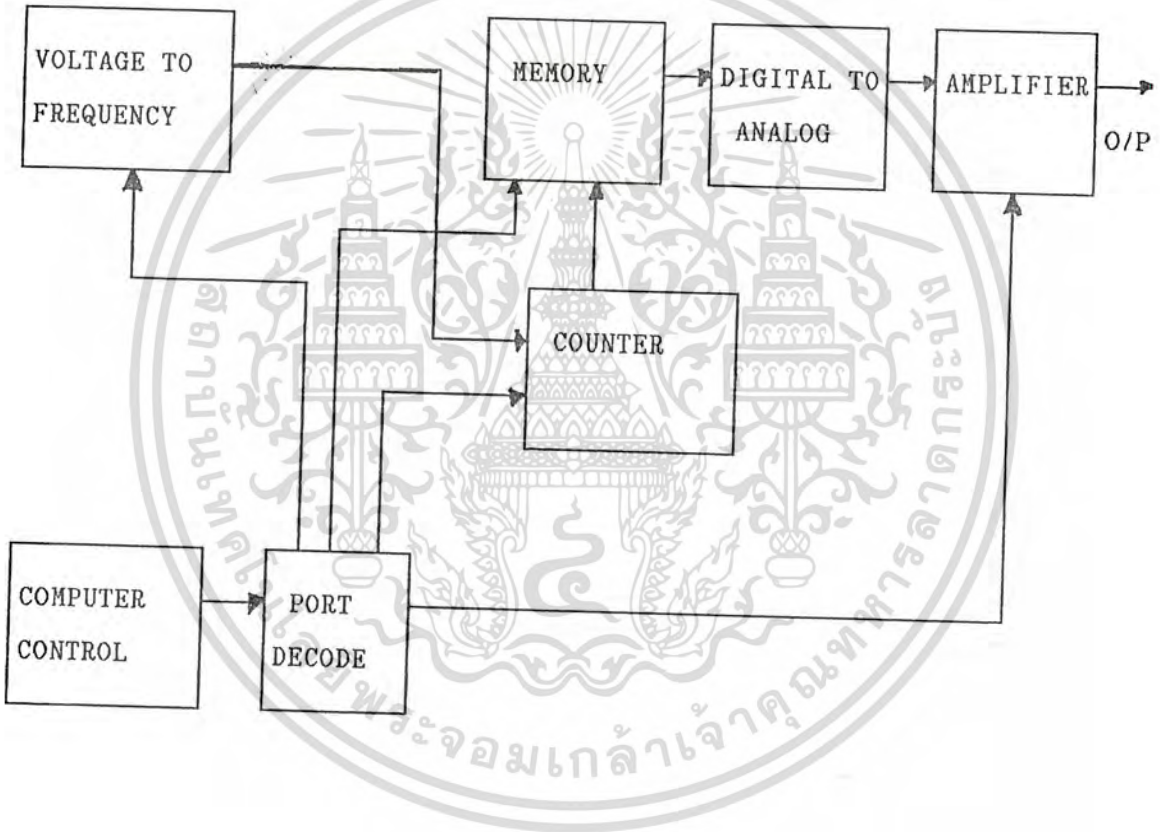
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎี

ในบทนี้จะได้กล่าวถึงทฤษฎีต่างๆ ที่เกี่ยวข้องกับโครงงานนี้ซึ่งจะเป็นแนวทางในการออกแบบวงจรนำมาใช้งาน จะกล่าวถึงส่วนสำคัญดังต่อไปนี้

2.1 หลักการทำงาน



รูปที่ 2.1 บล็อกไดอะแกรมของ Arbitrary Binary Pulse Generator

จากบล็อกไดอะแกรมคอมพิวเตอร์จะเป็นตัวควบคุมการทำงานทั้งหมดโดยส่งข้อมูลผ่านทางพอร์ทเพื่อติดต่อกับวงจรอื่น การทำงานจะเริ่มจากคอมพิวเตอร์ทำการคำนวณรูปคลื่นที่เราต้องการสร้างขึ้นจากโปรแกรมโดยการแซมปลิ้งสัญญาณออกเป็น 256 จุดแล้วส่งข้อมูลที่ได้ 256 จุดนี้ส่งออกไปที่พอร์ทเบอร์ 304H เพื่อนำข้อมูลที่ได้ไปเก็บไว้ในหน่วยความจำโดยส่งสัญญาณ IOW ออกไปควบคุม และวงจรนับจะทำการนับแอดเดรสให้กันหน่วยความจำทำการบันทึกข้อมูลลงในแต่ละแอดเดรส ในหนึ่งแอดเดรสจะมีข้อมูล 8 บิท เมื่อบันทึกข้อมูล

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสร็จเรียบร้อย คอมพิวเตอร์จะให้ผู้ใช้กำหนดความถี่ตามต้องการจากนั้นจะส่งข้อมูลออกทางพอร์ท 300H เพื่อนำข้อมูลเหล่านั้นแปลงเป็นแรงดันและนำแรงดันที่ได้ไปสร้างเป็นความถี่ออกมาโดยวงจรเปลี่ยนแรงดันเป็นความถี่ที่สามารถโปรแกรมได้ ความถี่ที่ได้จะส่งเป็นสัญญาณนาฬิกาให้กับวงจรนับ

วงจรนับจะนับแอดเดรสให้ความเร็วตามความถี่ที่ป้อนให้พร้อมกับคอมพิวเตอร์ส่งสัญญาณข้อมูลในหน่วยความจำ จากการเปลี่ยนความเร็วในการนับจะเป็นการเปลี่ยน Access time ของหน่วยความจำ ถ้าวงจรนับเร็วข้อมูลที่ได้จะออกมาเร็วทำให้มีความถี่สูง ถ้านับช้าข้อมูลที่ออกมาก็จะช้าทำให้ได้ความถี่ต่ำ วงจรนับจะเป็น 8 บิทนับวนไปเรื่อยๆจะทำให้ข้อมูลส่งต่อเนื่องกันออกมา หากต้องการหยุดก็จะส่งสัญญาณไปรีเซ็ทสัญญาณนาฬิกาที่ป้อนให้กับวงจรนับจะมาจากคอมพิวเตอร์และวงจรเปลี่ยนแรงดันเป็นความถี่ โดยใช้พอร์ท 302H ในการเลือก ถ้าส่งข้อมูลไปเก็บไว้ในหน่วยความจำจะเลือกสัญญาณนาฬิกาจากคอมพิวเตอร์ เพื่อเป็นการ Sync ให้หน่วยความจำทำงานพร้อมกับคอมพิวเตอร์ จากนั้นจะเลือกสัญญาณนาฬิกาจากวงจรเปลี่ยนแรงดันเป็นความถี่เพื่อกำหนดความถี่ที่ต้องการ

ข้อมูลของรูปคลื่นที่ออกจากหน่วยความจำจะนำมาผ่านวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก แปลงข้อมูลที่เป็นสัญญาณดิจิตอลให้เป็นสัญญาณรูปคลื่นที่เราต้องการ จากนั้นจะนำสัญญาณที่ได้วงจรฟิลเตอร์เนื่องจากสัญญาณที่ได้รับจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกนั้นยังมีความเรียบไม่พอ เมื่อสัญญาณผ่านการฟิลเตอร์แล้วก็จะนำไปเข้าวงจรขยายสัญญาณแบบโปรแกรมได้ ซึ่งเราสามารถเลือกอัตราการขยายได้จากคอมพิวเตอร์โดยผ่านทางพอร์ท 301H ซึ่งจะเป็นตังควบคุมอัตราการขยายแรงดันเพราะฉะนั้นเราจึงสามารถกำหนดขนาดของสัญญาณได้

จากรูปจะเห็นว่าวงจรเปลี่ยนแรงดันเป็นความถี่จะส่งสัญญาณให้วงจรนับเนื่องจากว่าเมื่อนำสัญญาณที่เป็นข้อมูลของรูปคลื่นผ่านวงจรแปลงดิจิตอลเป็นอนาล็อก จะทำให้ความถี่เอาท์พุทที่ได้ลดลงไป 256 เท่า(เมื่อใช้จำนวนบิท 8 บิท)หรือกล่าวได้ว่าถ้าต้องการความถี่เอาท์พุทเท่าไหร่ต้องป้อนความถี่อินพุททหรือความถี่ที่ป้อนให้วงจรนับ 256 เท่าของความถี่เอาท์พุท

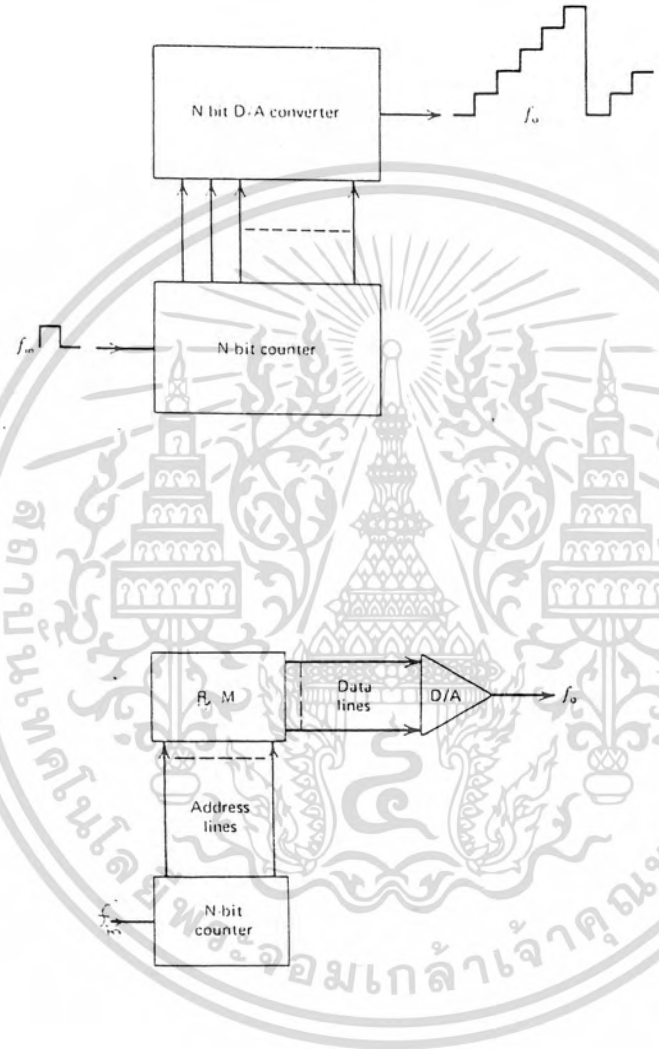
$$fin = fo.s$$

$$s = 2^n$$

n = จำนวนบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

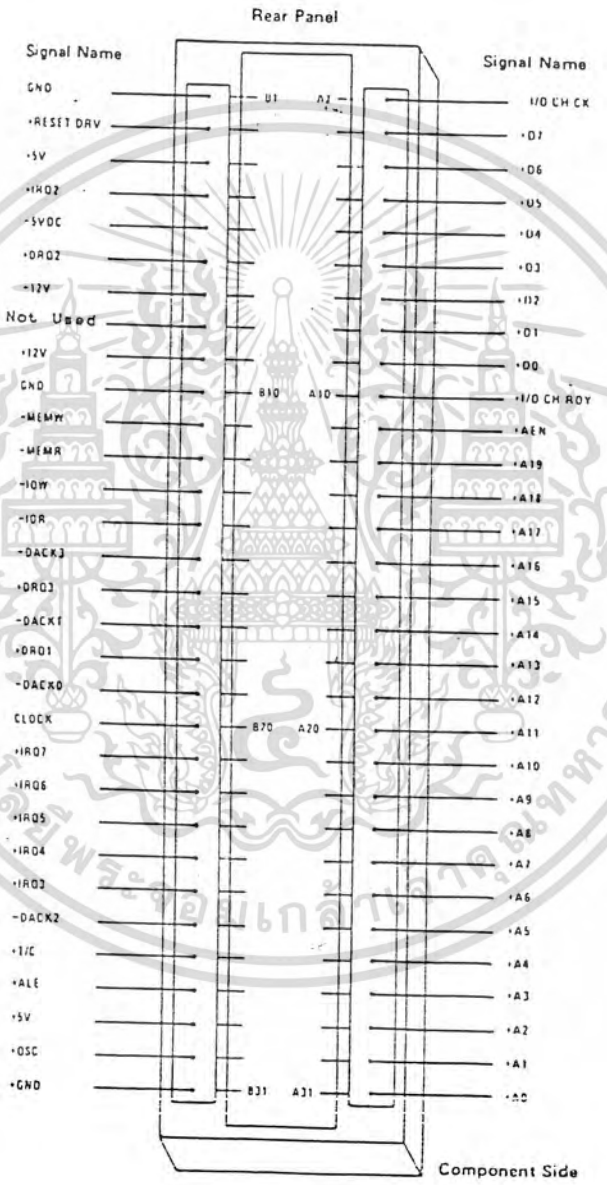
$\therefore$ fin = fo.256



รูปที่ 2.2 การนำข้อมูลจาก Ram ไปสร้างเป็นสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่สัญญาณคล็อกมีลอจิกเป็น "1"หารด้วยคาบเวลาทั้งหมด) ประมาณ 50% สัญญาณคล็อกอื่นๆ ของระบบ เช่น คล็อกที่ป้อนให้กับ CPU หรือ ชิพซัพพอร์ทต่างๆนั้นจะถูกสร้างขึ้นโดยการหารสัญญาณคล็อกนี้ อย่างไรก็ตามสิ่งที่ต้องคำนึงถึงในการใช้งานสัญญาณ OSC ก็คือ สัญญาณ



รูป 2.3 ตำแหน่งขาสัญญาณต่างๆของ เครื่องคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นี้ไม่ Sychronize กับสัญญาณอื่นๆบนบัสของระบบ ดังนั้นจึงไม่ควรที่จะนำสัญญาณจากขา OSC นี้ไปใช้ในสัญญาณคล็อกสำหรับวงจรภายนอกอื่นๆที่ทำงานร่วมกับระบบ

CLK (Clock; ขา B20) :

ขาสัญญาณนี้เป็นเอาท์พุท ซึ่งต่อกับสัญญาณคล็อกที่ถูกสร้างขึ้นโดยการหารสัญญาณ OSC ด้วย 3 ทำให้ได้ความถี่ประมาณ 4.77 MHz (14.31818 MHz/3) หรือมีช่วงเวลาใน 1 คาบ (ช่วงเวลาของคล็อก 1 ลูก) เท่ากับ 210 nanosec. (1/4.77 MHz) สำหรับค่า Duty Cycle ของสัญญาณนี้จะมีค่าประมาณ 1/3 คือ ใน 1 คาบจะมีช่วงเวลาที่เป็นลอจิก "1"เท่ากับ 1/3 ของคาบเวลาทั้งหมด หรือประมาณ 70 nanosec. และช่วงเวลาที่เป็นลอจิก "0" เท่ากับ 2/3 ของคาบเวลาทั้งหมด หรือประมาณ 140 nanosec. สัญญาณนี้เป็นสัญญาณที่ถูกใช้เป็นคล็อกของระบบ

RESET DRV (ขา B2):

ขาสัญญาณนี้เป็นเอาท์พุท ซึ่งจะแอคทีฟ (ลอจิก "1")ในช่วงที่เราเริ่มจ่ายไฟให้กับระบบ และจะยังคงจะแอคทีฟไปจนกว่าระบบต่างๆภายใน PC จะพร้อมที่จะทำงานได้จากนั้นสัญญาณก็จะเปลี่ยนกลับเป็นลอจิก "0" นอกจากนี้ในระหว่างการทำงานของ PC ถ้าระดับแรงดันของแหล่งจ่ายไฟตกลง สัญญาณนี้จะถูกทำให้แอคทีฟเช่นกัน โดยทั่วไปนี้แล้วสัญญาณนี้จะถูกนำไปใช้ ในการรีเซ็ทวงจรอินเทอร์เฟสหรืออุปกรณ์ I/O ต่างๆในช่วงที่เริ่มจ่ายไฟให้กับระบบ ซึ่งจะเป็นการทำให้วงจรหรืออุปกรณ์เหล่านั้นถูกทำให้อยู่ในสภาวะที่แน่นอน ก่อนที่จะเริ่มต้นทำงานในระบบ (สภาวะนี้เป็นสภาวะที่เราทราบ และต้องการให้วงจรทำงานในขณะที่ระบบถูกรีเซ็ท)

A0-A19 (Address Bus A31-A12) :

ขาสัญญาณทั้ง 20 ขานี้เป็นเอาท์พุท ซึ่งใช้สำหรับกำหนดแอดเดรสของหน่วยความจำหรืออุปกรณ์ I/O ที่ CPU ต้องการติดต่อด้วย โดยที่สัญญาณ A0 จะมีนัยสำคัญต่ำสุด (Least Signficant Bit) และ A19 จะมีนัยสำคัญสูงสุด(Most Signficant bit)สำหรับค่าแอดแดรสบนแอดเดรสบัส A0-A19 นี้ จะถูกกำหนดโดย CPU ในระหว่างขบวนการอ่าน/เขียนข้อมูลลงในหน่วยความจำหรืออุปกรณ์ I/O แต่ในช่วงของขบวนการ DMA นั้น DMA-controller จะเป็นผู้กำหนดแอดเดรสบัสบนแอดเดรสเอง (ในระหว่างนี้ CPU จะถูกตัดออกจากระบบ)

จะเห็นได้ว่าจำนวนเส้นแอดแดรสนี้จะมีอยู่ 20 เส้น ซึ่งสามารถที่จะอ้างแอดเดรส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้นไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033229

ของหน่วยความจำได้ถึง 1 Mbyte แต่อย่างไรก็ตามจะมีแอดเดรสบางแอดเดรสที่ถูกใช้งานบน PC อยู่ก่อนแล้ว คือแอดเดรสของหน่วยความจำ RAM บนเมนบอร์ดที่ถูกใช้โดยระบบจำนวน 64 Kbyte (สำหรับ PC/XT จะเป็นจำนวน 256 Kbyte)และแอดเดรสสำหรับหน่วยความจำ ROM อีก 48 Kbyte ซึ่งถูกจัดบนแอดเดรสบนสุดใน 1 Mbyte คือ OFC00H จนถึง OFFFFFH (สำหรับ PC/XT จะเป็น 64 Kbyte)

สำหรับการอ้างแอดเดรสของพอร์ท I/O นั้นจะใช้แอดเดรสเพียง 16 เส้นคือ A0-A15 ซึ่งจะทำให้อ้างแอดเดรสของพอร์ทได้ 64K พอร์ท โดยผ่านทางชุดคำสั่ง IN และ OUT ส่วนเส้นแอดเดรสที่เหลือคือ A16-A19 นั้นจะไม่ถูกใช้งาน อย่างไรก็ตามภายใน PC จะใช้เส้นแอดเดรสในการสร้างแอดเดรสของพอร์ทเพียง 10 เส้น คือจาก A0-A9 และค่าแอดแดรสที่ใช้งานจะต้องอยู่ในช่วง 0200H จนถึง 03FFH เท่านั้น

D0-D7 (Data Bus :ขา A9-A2) :

ขาสัญญาณนี้จะเป็นแบบ Bi-Directional ซึ่งต่อกับบัสข้อมูลของระบบ เพื่อทำหน้าที่ในการส่งผ่านข้อมูลระหว่างพอร์ท I/O กับ PC โดยบิท D0 จะมีนัยสำคัญต่ำสุดและบิท D7 จะมีนัยสำคัญสูงสุด

สำหรับในบัสไซเคิลของการเขียนข้อมูลที่สร้างขึ้นโดย CPU นั้นข้อมูลจะถูกส่งออกมาบนบัสข้อมูล ก่อนที่สัญญาณ $\overline{\text{IOW}}$ (ในกรณีที่ต้องการส่งข้อมูลให้กับพอร์ท) หรือ $\overline{\text{MEMW}}$ (ในกรณีที่ต้องการส่งข้อมูลใหกับหน่วยความจำ) จะเปลี่ยนจากลอจิก "0"เป็นลอจิก"1" (ขอบขาขึ้น)ซึ่งโดยทั่วไปขอบขาขึ้นของสัญญาณ $\overline{\text{IOW}}$ หรือ $\overline{\text{MEMW}}$ นี้จะถูกใช้เพื่อสั่งให้พอร์ท I/O หรือหน่วยความจำที่มีแอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรสนั้นรับข้อมูลไปเก็บไว้

สำหรับในบัสไซเคิลของการอ่านข้อมูลที่สร้างขึ้นโดย CPU นั้น พอร์ท I/O หรือหน่วยความจำที่ถูกอ้างถึงจะต้องส่งข้อมูลออกมาบนบัสข้อมูล ก่อนที่สัญญาณ $\overline{\text{IOR}}$ (ในกรณีที่ต้องการอ่านข้อมูลออกจากพอร์ท) หรือ $\overline{\text{MEMR}}$ (ในกรณีที่ต้องการอ่านข้อมูลจากหน่วยความจำ) จะเปลี่ยนจากลอจิก "0" เป็นลอจิก "1" (ขอบขาขึ้น)

ALE(Address Latch Enable; ขา B28):

ขาสัญญาณนี้เป็นสัญญาณเอาท์พุทที่ 8288 Bus Controller สร้างขึ้นเพื่อใช้สำหรับแสดงการเริ่มต้นของบัสไซเคิล และแสดงให้อุปกรณ์ภายนอกทราบว่าแอดเดรสที่ CPU ต้องการจะติดต่อด้วยนั้นถูกส่งออกมาบนบัสแอดเดรสแล้ว โดยที่สัญญาณ ALE นี้จะเปลี่ยนจากลอจิก "1" เป็น "0" เมื่อค่าแอดเดรสที่ถูกต้องถูกส่งออกมาบนบัสข้อมูลเรียบร้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วดังนั้นขอบขาลงของสัญญาณ ALE นี้จะถูกใช้ในการแลทช์ค่าแอดเดรสจากบัสแอดเดรส/ข้อมูล(Address/Data Bus; AD0-AD7)ของ CPU ทำให้สามารถแยกค่าแอดเดรส(A0-A19)และข้อมูล(A0-A7) ออกจากกันได้ อย่างไรก็ตามสัญญาณ ALE จะแอคทีฟเฉพาะในบัสไซเคิลที่สร้างขึ้นโดย CPU เท่านั้น โดยจะไม่แอคทีฟในระหว่างขบวนการ DME

$\overline{\text{I/O CHCK}}$ (I/o Channel Check; ขา A1):

ขาสัญญาณนี้เป็นอินพุทที่ใช้ในการแสดงความผิดพลาดเกี่ยวกับพาริตี้ ที่เกิดขึ้นในการทำงานของวงจรอินเตอร์หรืออุปกรณ์ I/O เมื่อขาสัญญาณนี้ได้รับลอจิก "0" จะทำให้ CPU ถูกอินเตอร์รัพท์แบบ Non-Maskable (NMI) อย่างไรก็ตามเราสามารถที่จะกำหนดให้วงจรภายในของ PC ทำการขออินเทอร์รัพท์ (เมื่อได้รับสัญญาณ $\overline{\text{I/O CHCK}}$) หรือไม่ก็ได้โดยการกำหนดลอจิกของบิทข้อมูลของพอร์ทที่ควบคุมการขออินเทอร์รัพท์แบบ NMI คือบิท D7 ของพอร์ท 00A0H ในกรณีที่บิท D7ของพร์อท 00A0H ถูกเซ็ทเป็น "1" ก็จะทำให้วงจรภายนอกขออินเทอร์รัพท์แบบ NMI ได้ (Enable) แต่ถ้าบิท D7 ของพอร์ท 00A0H ถูกเซ็ทเป็น "0"ก็จะเป็นการดิสเอเบิล (Disable) การขออินเทอร์รัพท์แบบ NMI ดังนี้

Enable : ใช้คำสั่ง OUT ส่งข้อมูล 80H ไปยังพอร์ท 00A0H

Disable: ใช้คำสั่ง OUT ส่งข้อมูล 00H ไปยังพอร์ท 00A0H

และเนื่องจากยังมีอุปกรณ์อื่นที่สามารถขออินเทอร์รัพท์แบบ NMIได้อีกดังนั้นซอฟท์แวร์ที่ใช้งานจะต้องสามารถตรวจสอบว่าการขออินเทอร์รัพท์นั้นเกิดขึ้นจากแหล่งใดได้ด้วย

I/O CHRDY (I/O Channel Ready; ขา A10) :

ขาสัญญานนี้เป็นอินพุทที่ใช้เพิ่มช่วงเวลาในบัสไซเคิลในกรณีที่อุปกรณ์ I/O หรือหน่วยความจำที่เกี่ยวข้องกับขบวนการในบัสไซเคิลที่เกิดขึ้นนั้น ไม่สามารถทำงานทันตามช่วงเวลาปกติของบัสไซเคิลนั้น ๆ ได้ (ช่วงเวลาของบัสไซเคิลที่เกี่ยวข้องกับหน่วยความจำใช้ช่วงเวลาเท่ากับช่วงเวลาของคล็อก 4 ลูก หรือ 840 nanosec ในขณะที่บัสไซเคิลที่เกี่ยวกับ I/O จะใช้ช่วงเวลาเท่ากับช่วงเวลาของคล็อก 5 ลูก หรือ 1.05 microsec)

เมื่ออุปกรณ์ I/O หรือหน่วยความจำที่จะเพิ่มช่วงเวลาในบัสไซเคิลให้นานขึ้นอีกนั้นจะสามารถทำได้โดยการป้อนลอจิก "0" ให้กับขา I/O CHRDY ในช่วงเวลาที่ I/O หรือหน่วยความจำที่ถูกกำหนดนั้น ได้รับสัญญาณจากการดีโค้ดแอดเดรส และสัญญาณ $\overline{\text{MEMR}}$, $\overline{\text{MEMW}}$, $\overline{\text{IOR}}$, หรือ $\overline{\text{IOW}}$ แอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRQ2-IRQ7 (interrupt Request 2 Through 7; ขา B4 และ B25-B22) :

ขาสัญญาณทั้ง 6 นี้เป็นขาอินพุทที่ใช้สำหรับการขออินเทอร์รัพท์จาก CPU โดยสัญญาณเหล่านี้จะต่อเข้ากับ 8259A บนเมนบอร์ดโดยตรง โปรแกรมในส่วน BIOS ของ PC จะทำการโปรแกรม 8259A ให้ IRQ2 มีการลำดับสำคัญสูงสุด (Highest Priority) และ IRQ7 มีลำดับความสำคัญต่ำสุด ในกรณีที่มีการขออินเทอร์รัพท์เกิดขึ้นคือ ระดับลอจิกที่ขา IRQ ขาใดขาหนึ่งถูกเปลี่ยนจากลอจิก "0" เป็นลอจิก "1" (ขอบขาขึ้น) 8259A ก็จะทำการส่งสัญญาณ INT ให้กับ CPU เมื่อทำการขออินเทอร์รัพท์

สิ่งสำคัญในการขออินเทอร์รัพท์โดยผ่านทาง IRQ2-IRQ7 นี้ก็คืออุปกรณ์ที่ทำการขออินเทอร์รัพท์โดยผ่านทาง IRQ ขาใดก็จะต้องรักษาระดับสัญญาณที่ขา IRQ นั้น ให้แอคทีฟ (ลอจิก "1") อยู่จนกว่าจะได้รับสัญญาณ INTA (Interrupt Acknowledge) จาก CPU เสียก่อน ถ้าไม่เช่นนั้นการขออินเทอร์รัพท์จะถูกยกเลิก และอินเทอร์รัพท์ LEVEL 7 (IRQ7) ก็จะถูกสร้างขึ้นโดยอัตโนมัติไม่ว่าการขออินเทอร์รัพท์ที่ถูกยกเลิกนั้น จะเป็นการขออินเทอร์รัพท์ใน LEVEL ใดหรือขาใด

แต่อย่างไรก็ตามสัญญาณ INTA นี้จะไม่ถูกต่อออกมาที่ขาของสล็อตด้วย ดังนั้นโปรแกรมที่ทำการตอบสนองต่อการขออินเทอร์รัพท์ (Interrupt Sevice Routine) จะต้องทำการรีเซ็ตสัญญาณ IRQ เอง โดยใช้คำสั่ง OUT ไปยังพอร์ต I/O ที่เกี่ยวข้อง

$\overline{\text{IOR}}$ (I/O Read; ขา B14):

ขาสัญญาณนี้เป็นเอาท์พุทแอคทีฟลอจิก "0" ที่สร้างขึ้นโดย 8288 Bus Controller เพื่อใช้ในการแสดงว่าบัสไซเคิลที่เกิดขึ้นนี้ เป็นบัสไซเคิลของการอ่านข้อมูลจากพอร์ท I/O เพื่อให้พอร์ท $\overline{\text{I/O}}$ ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้นส่งข้อมูลออกมาบนบัสข้อมูล โดยข้อมูลจะต้องถูกส่งออกมาบนบัสข้อมูลก่อนขอบขาขึ้นของสัญญาณ $\overline{\text{IOR}}$ ประมาณ 30 nanosec เพื่อให้มั่นใจได้ว่า CPU สามารถรับข้อมูลได้ถูกต้อง สำหรับในขบวนการ DMA 8237A-5 DMA Controller จะทำการสร้างสัญญาณ $\overline{\text{IOR}}$ เองโดยที่ค่าแอดเดรสที่อยู่บนบัสแอดเดรสจะเป็นค่าแอดเดรสของหน่วยความจำ(แทนที่จะเป็นแอดเดรสของพอร์ท I/O) ที่พอร์ท I/O ที่ขอ DMA ต้องการจะนำข้อมูลไปเก็บการที่พอร์ทใดจะส่งข้อมูลออกมาบนบัสข้อมูลนั้น จะอาศัยสัญญาณ DACK จาก DMA Controller เป็นตัวกำหนดเช่นกรณีสัญญาณ DACK1 แอคทีฟก็จะแสดงว่า I/O ที่ต้องการส่งข้อมูลออกมาบนบัสข้อมูลก็คือพอร์ท I/O ที่ขอ DMA ผ่านทางแชนแนลที่ 1 (DRQ1) เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้นไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{\text{IOW}}$ (I/O Write; ขา 13):

ขาสัญญาณนี้เป็นเอาท์พุทแอคทีฟที่ลอจิก"0" ซึ่งถูกสร้างขึ้นโดย CPU Bus controller เพื่อใช้แสดงว่าบัสไซเคิลที่เกิดขึ้นนี้ เป็นบัสไซเคิลของการเขียนข้อมูลลงบนพอร์ท I/O เพื่อให้พอร์ท I/O ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้น รับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้ อย่างไรก็ตามเนื่องจากเวลาในช่วงที่มีสัญญาณ $\overline{\text{IOW}}$ นี้แอคทีฟ (ลอจิก"0")นั้นข้อมูลบนบัสข้อมูลอาจจะยังไม่สมบูรณ์ ดังนั้นในการออกแบบจึงควรใช้ขอบขาขึ้นของสัญญาณ $\overline{\text{IOW}}$ แทนขอบขาลงในการทำให้พอร์ท I/O ที่เกี่ยวข้องรับข้อมูลไปเก็บไว้ เพื่อทำให้ข้อมูลบนบัสข้อมูล สมบูรณ์เสียก่อน สำหรับในขบวนการ DMA นั้น DMA -Controller จะทำการสร้างสัญญาณ $\overline{\text{IOW}}$ เอง โดยที่ค่าแอดเดรสที่อยู่บนบัสแอดเดรสจะเป็นค่าแอดเดรสของหน่วยความจำที่พอร์ท I/O ที่ขอ DMA ต้องการจะอ่านข้อมูล

$\overline{\text{MEMW}}$ (Memory Write; ขา B11):

ขานี้เป็นเอาท์พุทที่แอคทีฟลอจิก"0" ซึ่ง CPU Bus Controller สร้างขึ้นในระหว่างบัสไซเคิลในการเขียนข้อมูลลงในหน่วยความจำของ CPU สัญญาณ $\overline{\text{MEMW}}$ นี้จะถูกส่งออกมาเพื่อให้หน่วยความจำที่แอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรสนั้น ทำการรับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้ โดยทั่วไปหน่วยความจำจะรับข้อมูลในช่วงขอบขาขึ้นของสัญญาณ $\overline{\text{MEMW}}$

สำหรับในระหว่างขบวนการ DMA นั้น 8237A-5 DMA-Controller จะทำการควบคุมบัสต่างๆ ของระบบแทน CPU และสัญญาณ $\overline{\text{MEMW}}$ จะถูกใช้ในบัสไซเคิลของการเขียนข้อมูลลงในหน่วยความจำ(ข้อมูลถูกส่งจากอุปกรณ์ I/O ไปให้กับหน่วยความจำ)

$\overline{\text{MEMR}}$ (Memory Read ; ขา B12):

ขานี้เป็นเอาท์พุทจาก CPU ซึ่งสัญญาณนี้จะแอคทีฟ(ลอจิก "0")ในระหว่างบัสไซเคิลของการอ่านข้อมูลจากหน่วยความจำของ CPU เพื่อให้หน่วยความจำที่มีแอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรสนั้น ทำการส่งข้อมูลออกมาบนบัสข้อมูลโดยหน่วยความจำนั้นจะต้องส่งข้อมูลออกมาในช่วงเวลา 30 nanosec ก่อนที่สัญญาณ $\overline{\text{MEMW}}$ จะกลับเป็นลอจิก "1"ทั้งนี้ก็เพื่อให้ CPU ได้รับข้อมูลที่ถูกต้อง

สำหรับในระหว่างขบวนการ DMA นั้น DMA-Controller จะควบคุมบัสต่างๆของระบบแทน CPU และสัญญาณ $\overline{\text{MEMR}}$ จะถูกใช้ในบัสไซเคิลของการอ่านข้อมูลในหน่วยความจำ (ข้อมูลถูกส่งจากหน่วยความจำไปให้กับอุปกรณ์ I/o)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DRQ1-DRQ3 (DMA Request 1-3 ;ขา B18,B6 และ ขา B16)

ขาสัญญาณทั้งสามนี้เป็นสัญญาณอินพุทแอคทีฟที่ลอจิก"1" ซึ่งอุปกรณ์ภายนอกสามารถใช้ในการขอ DMA จากระบบ โดยการป้อนสัญญาณระดับลอจิก "1"ให้กับขา DRQ ขาใดขาหนึ่ง(ขา DRQ ทั้งสามนี้จะต่อเข้ากับ DRQ1-DRQ3 ของ 8237A-5)

เมื่อ 8237A-5 ได้รับสัญญาณนี้แล้วจะตรวจสอบว่ามีการขอ DMA ในแชนเนลที่มีลำดับความสำคัญ(Priority) สูงกว่าหรือไม่ ถ้าไม่มีก็จะทำการขอ DMA จาก CPU และตอบรับการขอ DMA จากอุปกรณ์ภายนอก(สัญญาณ $\overline{\text{DACK}}$ ของแชนเนลที่ขอ DMA จะแอคทีฟ)แต่ถ้ามี 8237A-5 ก็จะทำการขอ DMA ให้กับแชนเนลที่มีความสำคัญสูงกว่าก่อนแล้วจึงทำการขอ DMA ให้กับแชนเนลที่มีลำดับความสำคัญต่ำสุด ดังนั้นถ้ามีการขอ DMA ของอุปกรณ์ภายนอกผ่านทางแชนเนลที่ (DRQ1) และแชนเนลที่2 (DRQ2) 5237A-5 ก็จะทำการขอ DMA ให้กับแชนเนลที่ 1 ก่อนแล้วจึงทำการขอ DMA ให้กับแชนเนลที่ 2

อย่างไรก็ตาม 8237A-5 ยังมีแชนเนลสำหรับการขอ DMA อยู่อีก 1 แชนเนล คือ แชนเนลที่ 0 (DRQ0) ซึ่งในความจริงแล้วแชนเนลนี้จะมีลำดับความสำคัญที่สูงกว่าแชนแนลที่ 1 แต่จะไม่ถูกต่อออกมายังขาของสล็อต เนื่องจาก IBM/PC จะใช้แชนนลที่ 0 นี้ในการรีเฟรชหน่วยความจำที่เป็น Dynamic RAM (ดูรายละเอียดเกี่ยวกับการใช้ DMA ในการรีเฟรชหน่วยความจำได้ในบทที่ 7)

ในการขอ DMA นั้นสัญญาณ DRQ นี้ จะต้องแอคทีฟอยู่ในช่วงระยะเวลาหนึ่งเท่านั้น ถ้าสัญญาณนี้แอคทีฟนานเกินไป จะทำให้เกิดขบวนการ DMA ขึ้นมากกว่า 1 ขบวนการได้ สำหรับวงจรที่ขอ DMA โดยทั่วไปแล้วจะใช้สัญญาณตอบรับการขอ DMA หรือสัญญาณ $\overline{\text{DACK}}$ ของแชนแนลที่ขอ DMA นั้น ในการรีเซ็ทสัญญาณ DRQ เช่นอุปกรณ์ภายนอกที่ขอ DMA ผ่านทางแชนแนลที่ 1 (DRQ1) ก็จะคอยตรวจสอบการตอบรับของ DMA จากสัญญาณ DACK ของแชนแนลที่ 1 ($\overline{\text{DACK1}}$)เมื่อได้รับสัญญาณจาก $\overline{\text{DACK1}}$ แล้วก็จะรีเซ็ทสัญญาณ DRQ1 (เปลี่ยนจากลอจิก "1"เป็นลอจิก"0")

$\overline{\text{DACK0}}$-$\overline{\text{DACK3}}$ (DMA Acknowledge 0-3 ;ขา B19,B17,B26 และB15):

สัญญาณทั้ง 4 นี้เป็นเอาท์พุทที่แอคทีฟ ที่ลอจิก "0"ซึ่ง 8237A-5 สร้างขึ้นเพื่อแสดงให้วงจรภายนอกที่ขอ DMA ทราบว่าการขอ DMA นั้นได้รับการตอบสนองแล้ว และ 8237A-5 จะเข้าสู่ขบวนการ DMA เพื่อให้การส่งผ่านข้อมูลระหว่างอุปกรณ์ I/O ที่ขอ DMA กับหน่วยความจำให้เกิดขึ้นได้โดยตรง (คือไม่ต้องผ่าน CPU) โดยสัญญาณ DACK นี้จะแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช

ในแชนแนลใดก็ขึ้นอยู่กับว่าขบวนการ DMA ที่จะเกิดขึ้นนั้น เป็นการตอบสนองต่อการขอ DMAในแชนแนลใดเช่นถ้าขบวนการ DMA ที่จะเกิดขึ้นนั้นเป็นขบวนการตอบสนองต่อการขอ DMA ในแชนแนลที่ 2(DRQ2) สัญญาณ $\overline{\text{DACK 2}}$ ก็จะแอคทีฟเป็นต้น

ดังที่ได้กล่าวแล้วว่าสัญญาณ DRQO นั้น จะไม่ถูกต่อออกมายังขาของสล็อต ดังนั้น วงจรอินเทอร์เฟส จึงไม่สามารถจะขอ DMA ผ่านทางแชนแนล 0 ได้ แต่สัญญาณ DACKO จะถูกต่อออกมายังสล็อตด้วย (ขา B19) ทั้งนี้ก็เพื่อที่จะแสดงให้วงจรอินเทอร์เฟสต่างๆ ทราบว่าขบวนการ DMA ที่เกิดขึ้นในช่วงเวลาที่ $\overline{\text{DACKO}}$ แอคตีฟนั้นเป็นขบวนการที่ใช้สำหรับการรีเฟรสหน่วยความจำที่เป็น Dynamic Ram ซึ่งวงจรอินเทอร์เฟสที่ใช้หน่วยความจำประเภทนี้สามารถจะนำไปใช้ในการรีเฟรส Dynamic Ram ที่อยู่ในวงจรได้

โดยที่การรีเฟรสหน่วยความจำนั้นจะเกิดขึ้นในทุกๆ 15.12 μsec หรือทุกๆ 72 คล็อก ดังนั้นสัญญาณ $\overline{\text{DACKO}}$ นี้ก็จะแอคทีฟในทุกๆ 15.12 μsec ด้วย

AEN (Address Enable ;ขา A11)

สัญญาณนี้เป็นเอาท์พุทที่ใช้ในการแสดงว่าบัสไซเคิลที่เกิดขึ้นในช่วงเวลาที่สัญญาณ AEN แอคทีฟ(ลอจิก "1")นั้นเป็นบัสไซเคิลของขบวนการ DMA

สำหรับบนเมนบอร์ดของ PC นั้นจะใช้สัญญาณนี้ในการดีสเอเบิล(Disable) และจะใช้ดีสเอเบิลพอร์ท I/O ต่างๆ ที่ไม่เกี่ยวข้องกับขบวนการ DMA ที่เกิดขึ้นนี้ ที่จำเป็นต้องทำเช่นนี้ก็เพราะในระหว่างขบวนการ DMA นั้น 8237A-5 จะส่งแอดเดรสของหน่วยความจำออกมาบนบัสแอดเดรส และจะทำให้สัญญาณ IOR หรือ TOW แอคทีฟด้วย ดังนั้นถ้าไม่ทำการดีสเอเบิลพอร์ท I/O ที่ไม่เกี่ยวข้องไว้ ก็อาจจะทำให้พอร์ท I/O ที่มีแอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรส(ซึ่งเป็นแอดเดรสของหน่วยความจำ)นั้นทำการอ่านหรือส่งข้อมูลออกมาบนบัสข้อมูลทำให้เกิดความผิดพลาดขึ้นได้

T/C (Terminal count ; ขา B27):

สัญญาณนี้ถูกสร้างขึ้นจากการนำเอาสัญญาณเอาท์พุทที่ขา EOP ของ 8237A-5 มากลับลอจิก(โดยใช้เกทอินเวอร์เตอร์)ทำให้สัญญาณ T/C นี้แอคทีฟที่ลอจิก "1"

สำหรับสัญญาณนี้จะแอคทีฟเมื่อจำนวนไบท์ในการส่งผ่านข้อมูลของขบวนการ DMA ในแชนแนลใดแชนแนลหนึ่ง ครบตามจำนวนที่กำหนดไว้ โดยทั่วไปแล้วสัญญาณที่จะถูกใช้ในการสิ้นสุดขบวนการ DMA ที่ทำการส่งผ่านข้อมูลเป็นบล็อก เนื่องจากสัญญาณนี้จะแอคทีฟโดยไม่แสดงว่าเป็นสัญญาณของแชนแนลใดดังนั้นจึงต้องทำการนำสัญญาณ T/C นี้ผ่านเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Inverter แล้วนำไป OR กับสัญญาณ DACK เพื่อให้สามารถทราบได้ว่า สัญญาณ T/C ที่เกิดขึ้นนั้นเป็นสัญญาณของแชนแนลใด สำหรับในแชนแนลที่ 0 นั้นสัญญาณ T/C จะแอคทีฟในช่วงเวลาที่คงที่คือทุกๆ 990.804 msec ก็คือช่วงเวลาที่ใช้ในการรีเฟรสหน่วยความจำขนาด 64 Kbyte นั่นเอง

บัสของแหล่งจ่ายไฟของระบบ

+5 VDC (ขา B3 และ B29):

ขาทั้งสองนี้ต่อกับแหล่งจ่ายไฟของระบบ DC+5 V โดยจะมีค่าความเที่ยงตรง (Regulated) 5% คืออยู่ในช่วง +4.75 ถึง +5.25 Vdc

+12 Vdc (ขา B9):

ขานี้จะต่อกับแหล่งจ่ายไฟ DC +12 V ของระบบ โดยจะมีค่าความเที่ยงตรง (Regulate) 5% คืออยู่ในช่วง +11.4 ถึง +12.6 Vdc

-5 Vdc (ขา B5):

ขานี้จะต่อกับแหล่งจ่ายไฟ DC - 5 V ของระบบ โดยจะมีค่าความเที่ยงตรง (Regulate) 10 % คืออยู่ในช่วง -5.5 ถึง -4.5 Vdc

-12 Vdc (ขา B7):

ขานี้จะต่อกับแหล่งจ่ายไฟ DC -12 V ของระบบโดยจะมีค่าความเที่ยงตรง (Regulate) 10% คืออยู่ในช่วง -13.2 ถึง -10.8 Vdc

GND (ขา B1,B10 และ B31):

ขาทั้งสามนี้จะต่อกับกราด์ว (Ground) ของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ไอซี TSC 9400 V/F และ F/V

ในหัวข้อนี้จะกล่าวถึงไอซีตระกูล 9400 ซึ่งใช้งานเกี่ยวกับการแปลงแรงดันเป็นความถี่ (Voltage-to Frequency, V/F) หรือความถี่เป็นแรงดัน (Frequency-to Voltage,F/V) ไอซีตระกูลนี้ประกอบด้วยเบอร์ 9400,9401 และ 9402 การต่อวงจรใช้งานภายนอกและตำแหน่งขาเหมือนกัน จะต่างกันเล็กน้อยที่คุณสมบัติทางไฟฟ้า การต่อใช้งานเป็น V/F หรือ F/V สามารถทำได้ง่ายโดยการต่ออุปกรณ์ภายนอกต่อร่วมด้วยซึ่งได้แก่ Capacitor 2 ตัว Resister 3 ตัว และแรงดันอ้างอิง ไอซีตระกูล 9400 ภายในประกอบไปด้วย CMOS และอุปกรณ์ประเภท Bi-pola สามารถทำงานได้ทั้งแหล่งจ่ายไฟคู่หรือแหล่งจ่ายไฟแหล่งเดียว (Dual or Singer Supply Voltage)

2.3.1 การเปลี่ยนแรงดันเป็นความถี่ (V/F)

ไอซี 9400 ถูกออกแบบมาให้เอาท์พุทที่ได้เป็นพัลซ์และสัญญาณสี่เหลี่ยมความถี่ตั้งแต่ 1 Hz - 100 KHz และอินพุทที่ป้อนให้จะเป็นกระแสหรือแรงดันก็ได้ เอาท์พุทสามารถต่อร่วมกับอุปกรณ์ลอจิกต่างๆได้ เมื่อเราต่อใช้งานเป็น V/F วงจรสมมูลย์และการต่อใช้งานแสดงได้ดังรูปที่ 2.4

วงจรสมมูลย์ประกอบด้วยวงจรอินทรีเกท,วงจรเปรียบเทียบ,วงจรหน่วงเวลา, วงจรหารสอง และวงจรทรานซิสเตอร์เอาท์พุท และคอลเล็คเตอร์เปิด กระแสอินพุท Iin=Vin/Rin ถูกเปลี่ยนเป็นแรงดันและถูกชาร์จโดยอินทรีเกทคาปาซิเตอร์ Cin และแรงดัน VA ที่ได้ที่เอาท์พุทของอินทรีเกทออปแอมป์จะลดลงอย่างคงที่ดังแสดงในรูปที่ 2.4

จะได้สมการ

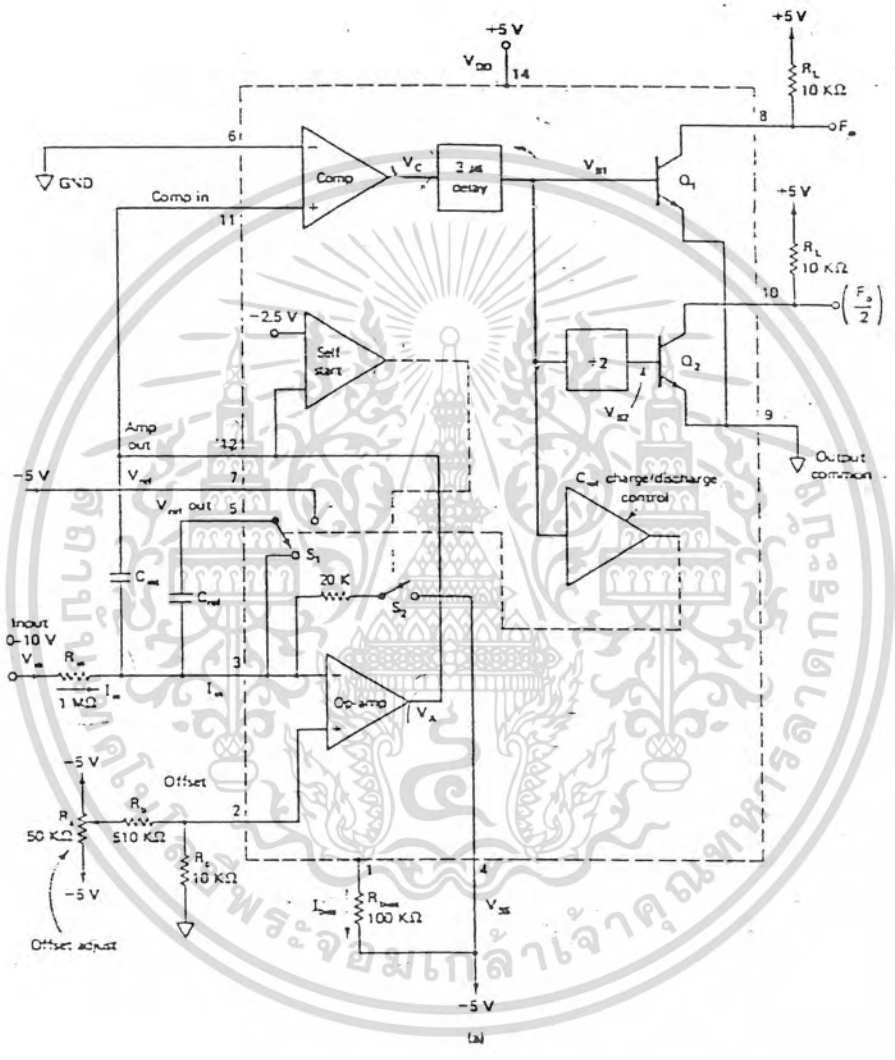
$$VA = - [\frac{Tin}{Cint}] t \qquad (2.1)$$

เมื่อ Iin คือ กระแสอินพุท (แอมแปร์)

Cin คือ อินทรีเกต คาปาซิเตอร์ (ฟารัด)

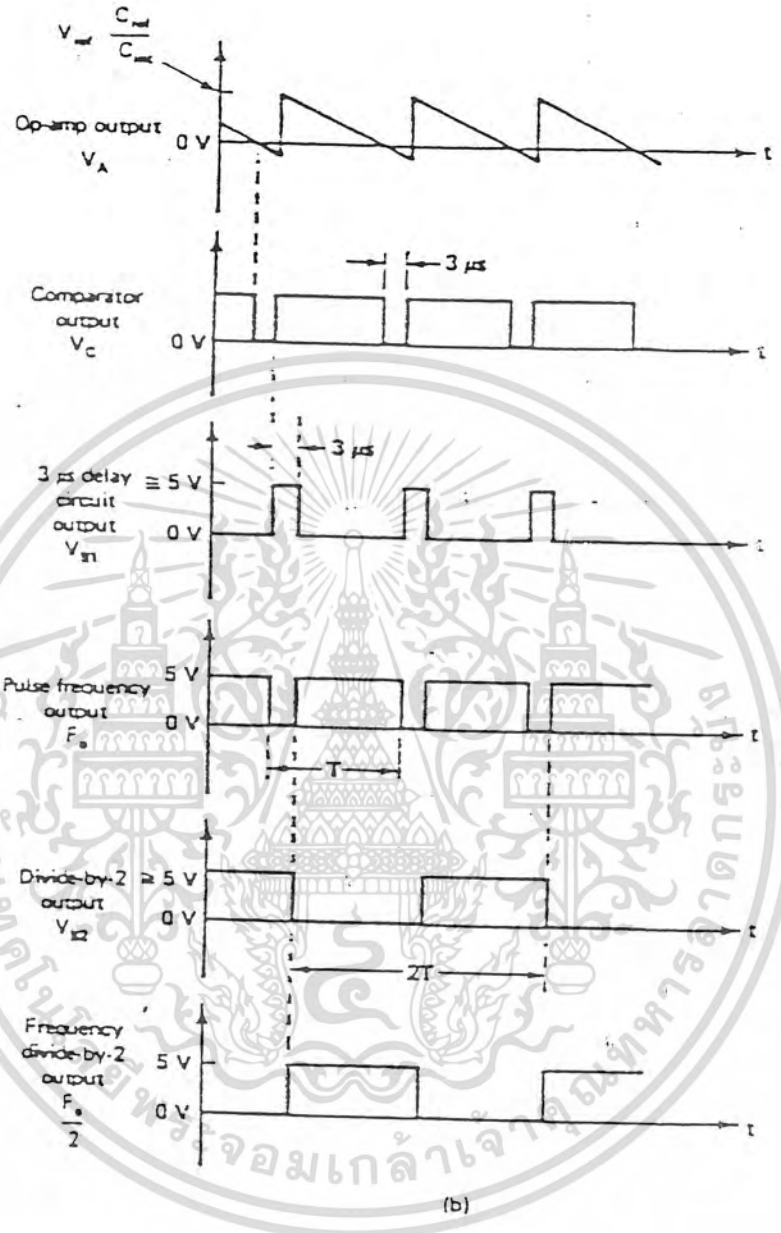
T คือ เวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.4 (a) วงจรสมมูลย์และตำแหน่งขาของ 9400 V/F

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)

(b) รูปคลื่น

แรงดันเอาท์พุท VA ของอินทรีเกตออปแอมป์จะส่งไปที่วงจรเปรียบเทียบเอาท์พุทของวงจรเปรียบเทียบจะต่อกับวงจรหน่วงเวลา 3 ไมโครวินาที เพื่อส่งต่อไปยังทรานซิสเตอร์เอาท์พุท Q1 ซึ่งจะถูกควบคุมโดยวงจรหารสองและการคายประจุและการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เก็บประจุของตัวเก็บประจุ Cref เอาท์พุทของวงจรหารสองจะเป็นตัวกระตุ้นทรานซิสเตอร์เอาท์พุท Q2 เมื่อเอาท์พุทของออปแอมป์ VA เป็นบวก เอาท์พุทของวงจรเปรียบเทียบแบบนอนอินเวอร์ติ้ง VC จะเป็น Hight ประมาณ +5 V และเอาท์พุท VB1 ของวงจรหน่วงเวลา 3 ไมโครวินาทีจะเป็น Low หรือ 0 V

เมื่อ VB1 เป็น 0 ทรานซิสเตอร์ Q1 จะ Off ทำให้เอาท์พุท FO เป็น Hight หรือประมาณ +5 V (ดูรูป 2.4 (b)) วงจรหารสองถูกกระตุ้นจากฟลิบฟลอปด้วยพัลซ์ขอบขาลงทำให้แรงดันที่เอาท์พุท VB2 ตรงข้ามกับ VB1 ทำให้ทรานซิสเตอร์ Q2 On และเอาท์พุท FO/2 เป็น Low และ Cref ที่ทำการควบคุมวงจรโดยการคายประจุ/เก็บประจุจะทำการคายประจุออกมา เมื่อ VB1 เป็น 0 V จากสมการ (2-1) เอาท์พุท VA ของออปแอมป์จะลดลงอย่างสม่ำเสมอเมื่อ VA เข้าใกล้ 0 V เอาท์พุท VC ของวงจรเปรียบเทียบจะเปลี่ยนเป็น 0 V ด้วยผ่านไป 3 ไมโครวินาทีหลังจากที่ VC เป็น 0 VB1 จะเปลี่ยนจาก Low เป็น Hight ทำให้เอาท์พุท Fo เป็น 0 และ Cref จะถูกอินาเบิ้ลให้ต่อเข้ากับแรงดันอ้างอิง -5 V เมื่อมีแรงดันเข้าที่ขั้วลบของออปแอมป์ทำให้เอาท์พุทของออปแอมป์เพิ่มจาก 0 ไปจนถึงค่าสูงสุดโดยทันทีทันใดดังแสดงในรูปที่ 2.4 (b)

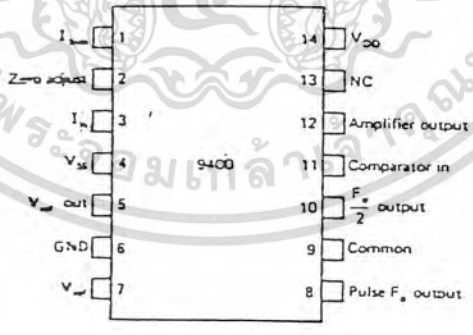
ตัวเก็บประจุอ้างอิง Cref จะต่อกับ Vref ด้วยเวลาที่พอเพียงจะเก็บประจุให้เท่ากับ Vref เส้นทางการชาร์จของ Cref จะผ่านไปยังจุดต่อเอาท์พุทของออปแอมป์,Cint, Cref และสิ้นสุดที่แรงดันอ้างอิงลบ เมื่อแรงดัน VA ของเอาท์พุทออปแอมป์เป็นบวกเอาท์พุทของวงจรเปรียบเทียบจะเปลี่ยนจาก Low เป็น Hight เมื่อผ่านไป 3 ไมโครวินาที VB1 จะเปลี่ยนเป็น Low Cref ที่ควบคุมวงจรโดยการเก็บประจุ/คายประจุจะถูกดิสเอเบิ้ลทำให้ Cref ช็อตคายพลังงานที่สะสมออกมาเมื่อ VB1 เปลี่ยนเป็น Low เอาท์พุท Fo จะเป็น Hight และเอาท์พุทของวงจรหารสองเปลี่ยนเป็น Low ทำให้เอาท์พุท Fo/2 เป็น Hight (ดูรูปที่ 2.4 (b))อินทรีเกตคาปาซิเตอร์จะทำงานอีกครั้งโดยเปลี่ยนกระแสอินพุท Iin เป็นแรงดันและทำการชาร์จทำให้เอาท์พุทของออปแอมป์เริ่มลดลงอย่างสม่ำเสมอ (ดูสมการ (2-1)) เมื่อเอาท์พุทของออปแอมป์เปลี่ยนเป็น 0 เอาท์พุทของวงจรเปรียบเทียบจะเปลี่ยนจาก Hight เป็น Low แล้วจะทำซ้ำอย่างนี้ไปเรื่อย ๆ ในช่วงเวลาอันสั้น Cin จะทำงานอย่างต่อเนื่องโดยการคายประจุเนื่องจากกระแส Iin ซึ่งจะสมดุลย์กับการเก็บประจุเนื่องจากแรงดันอ้างอิงคงที่ Vref ถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากแรงดัน Vin เพิ่มขึ้นจะทำให้อัตราการลดลงของแรงดัน VA เพิ่มขึ้นเป็นผลให้ความถี่เอาท์พุท Fo เพิ่มขึ้นด้วยถ้าแรงดันบวกของ VA เพิ่มขึ้นอย่างคงที่จะทำให้ความถี่เพิ่มขึ้นตามแรงดันเป็นเชิงเส้น

ในรูปที่ 2.4 (a) 9400 ประกอบด้วยวงจร self-start เพื่อให้ V/F ทำงานได้เมื่อเริ่มจ่ายเพาเวอร์ให้ถ้าเอาท์พุทออปแอมป์ VA เป็น 0 V จะทำให้วงจรเปรียบเทียบทำงานและ Cref ยังเก็บประจุไม่เสร็จเมื่อเริ่มจ่ายเพาเวอร์ให้ จะทำให้ไม่มีแรงดันบวกเกิดขึ้นที่เอาท์พุทที่ออปแอมป์และแรงดัน VA ของเอาท์พุทออปแอมป์จะลดลงอย่างต่อเนื่องจนถึงแรงดัน -2.5 V ซึ่งเป็นค่าแรงดันที่ทำให้วงจร self-start เริ่มทำงานเมื่อเกิดเหตุการณ์นี้ขึ้นวงจร self-start จะต่อเข้ากับความต้านทาน 20 K ทำให้แหล่งจ่ายไฟลบ VSS ต่อเข้าที่อินพุท (-) ของออปแอมป์จะเป็นผลทำให้เอาท์พุทของออปแอมป์เพิ่มเป็นบวกอย่างรวดเร็วเมื่อ VA เป็นบวกแล้ว self-start จะหยุดทำงาน

ไอซี 9400 มี 14 ขา แบบ DIP ตัวถังมีทั้งแบบพลาสติกและเซรามิค ซึ่งตำแหน่งต่าง ๆ ของขาแสดงไว้ดังรูปที่ 2.5 หน้าที่และการทำงานของแต่ละขามีดังต่อไปนี้



รูป 2.5 ตำแหน่งของขาไอซี

ขา 11 : อินพุทวงจรเปรียบเทียบเป็นขาอินพุทบวกของวงจรเปรียบเทียบและต่อกับเอาท์พุทของออปแอมป์เมื่อใช้ในโหมด V/F และเป็นขาอินพุทของความถี่เมื่อใช้ในโหมด F/V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 8 : ขาความถี่เอาท์พุทเป็นขารูปคลื่นพัลซ์เอาท์พุท ซึ่งจะเปลี่ยนความถี่ตามการเปลี่ยนแปลงของแรงดันอินพุทเป็นขาเอาท์พุทของทรานซิสเตอร์แบบคอลเล็กเตอร์เปิดจึงต้องการความต้านทานต่อ Pull Up ไว้เพื่อสามารถต่อร่วมกับอุปกรณ์ลอจิกอื่นได้โดยตรง

ขา 10 : ความถี่เอาท์พุทหารสองขานี้จะมีเอาท์พุทเป็นสัญญาณสี่เหลี่ยมและความถี่เป็นครึ่งหนึ่งของขา 8 เป็นขาเอาท์พุทของทรานซิสเตอร์แบบคอลเลคเตอร์เปิดจึงต้องการความต้านทานต่อ Pull Up เพื่อต่อใช้งานกับอุปกรณ์ลอจิกอื่น ๆ ได้

ขา 9 : ขาเอาท์พุทร่วมเป็นขาที่ต่อกับขาอิมิตเตอร์ของทรานซิสเตอร์เอาท์พุททั้งสองตัว ถ้าต้องการให้แรงดันเอาท์พุทสวิงครึ่งบวกหรือทั้งบวกและลบก็สามารถต่อขานี้เข้ากับกราวด์หรือแหล่งจากแรงดันลบ VSS เมื่อนำไปประยุกต์ใช้งานทางปฏิบัติที่สูงขึ้นขาเอาท์พุทกราวด์ (ขา 9) จะถูกแยกออกจากขาอินพุทกราวด์ (ขา 6)

ขา 1 : Ibias ความต้านทาน Rbias จะต่อระหว่างขา 1 และขา 4 ซึ่งไอซี 9400 จะใช้ค่าความต้านทานพื้นฐาน Rbias เท่ากับ 100 KΩ + 10%

ขา 12 : แอมปลิไฟล์เอาท์พุทในโหมด V/F จะเป็นเอาท์พุทของออปแอมป์เป็นสัญญาณแรมป์ใน F/V โหมดแรงดันจะถูกสร้างขึ้นโดยเป็นสัดส่วนกับความถี่ที่ขานั้น

ขา 2 : Zero Adjust วงจรจะสามารถมีเอาท์พุทที่เริ่มต้นจาก 0 ได้เมื่อต่อที่ขานี้และสามารถกำหนดจุดความถี่ต่ำได้โดยใช้แรงดันควบคุมที่ขานี้

ขา 3 : Iin เป็นขาอินพุท (-) ของออปแอมป์และกระแสอินพุท Iin มีค่า Full Scale 10 ไมโครแอมป์และสามารถใช้ได้ถึง 50 ไมโครแอมป์

ขา 7 : Vref แรงดันอ้างอิงจะได้มาจากการต่อแรงดันลบหรือแยกมาจากแหล่งจ่ายไฟลบ VSS

ขา 5 : Vref เอาท์พุทเมื่อ Cref ทำการเก็บประจุ Cref ในตัวไอซีที่ควบคุมวงจรการเก็บประจุและคายประจุจะต่อขานี้เข้ากับแรงดันอ้างอิง (ขา 7)

ขา 13 : ไม่มีการต่อ

ขา 16 : GND เป็นขากราวด์อินพุท

2.3.2 การออกแบบ V/F

ความถี่ที่เอาท์พุท Fo ของไอซี 9400 ในโหมด V/F จะสัมพันธ์กับแรงดันอินพุทอนาล็อก Vin โดยสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$FO = \frac{Vin}{Rin} \quad \frac{1}{(Vref)(Cref)} \qquad (2\text{-}2)$$

V/F คอนเวอร์เตอร์แสดงดังรูป สามารถออกแบบได้ตามลำดับขั้นตอนดังนี้

1. เลือกค่า VDD และ VSS

$$4\ V < VDD < 7.5\ V$$

$$-7.5\ V < VSS < -4\ V$$

โดยปกติ VDD = +5 V และ VSS =-5 V เพื่อความเที่ยงตรงสูงควรต่อคาปาซิเตอร์ดีคับปลิ้งที่ขา 4 และขา 14

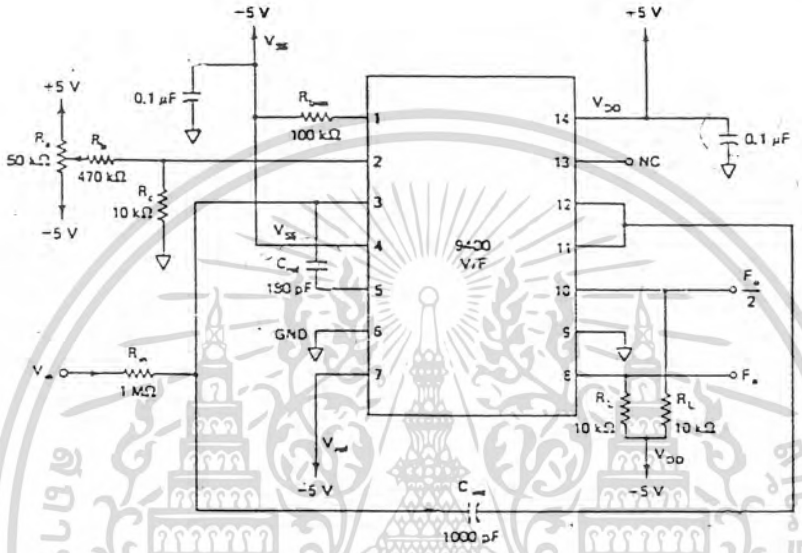
2. แรงดันอ้างอิง Vref สามารถใช้ต่อกับแหล่งจ่ายอื่น หรือนำมาจากแหล่งจ่ายไฟลบ VSS ซึ่งจะได้ Vref = Vss =-5 V

3. Rin สามารถคำนวณได้จากสมการ

$$Rin = \frac{Vin\ full\ scale}{Iin\ full\ scale}$$

สำหรับไอซี 9400 V/F ค่า Vin full scale = 10 V และ Iin full scale = 10 μA จะได้ Rin = 1 MΩ แบบฟิล์มโลหะค่าความคลาดเคลื่อน 1% เพื่อให้มีค่าความเที่ยงตรงสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 V/F คอนเวอร์เตอร์ 10 Hz-10 KHz ถ้าต้องการเพิ่มความถี่เป็น FOmax 100 KHz เปลี่ยนค่า Cref เป็น 27 PF และ 75 PF

4. สำหรับไอซี 9400 ค่า Rbias = 100 KΩ

5. ค่าความต้านทาน Pull Up RL แต่ละตัวเท่ากับ 10 K (ดูรูป 2.6)

6. ค่าของ Cref ไม่ได้กำหนดค่าแน่นอนแต่จะต้องน้อยกว่า 500 PF ตัวเก็บประจุตัวนี้จะใช้ต่อที่ขา 5 และขา 3 ถ้าใช้แบบ แก็สฟิล์ม จะให้ค่าความเที่ยงตรงสูง

7. เลือกค่าของ Cint

$$3Cref < Cint < 10Cref$$

อย่างไรก็ตามเพื่อเพิ่มเสถียรภาพและความเป็นเชิงเส้นจะใช้ค่า Cin < 4Cref และจะต่อที่ขา 3 และขา 12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. สำหรับค่าความต้านทานที่ใช้เป็น Offset Adjust Ra,Rb และ Rc จะมี

ความสัมพันธ์กันดังนี้

$$Rc < Ra < Rb$$

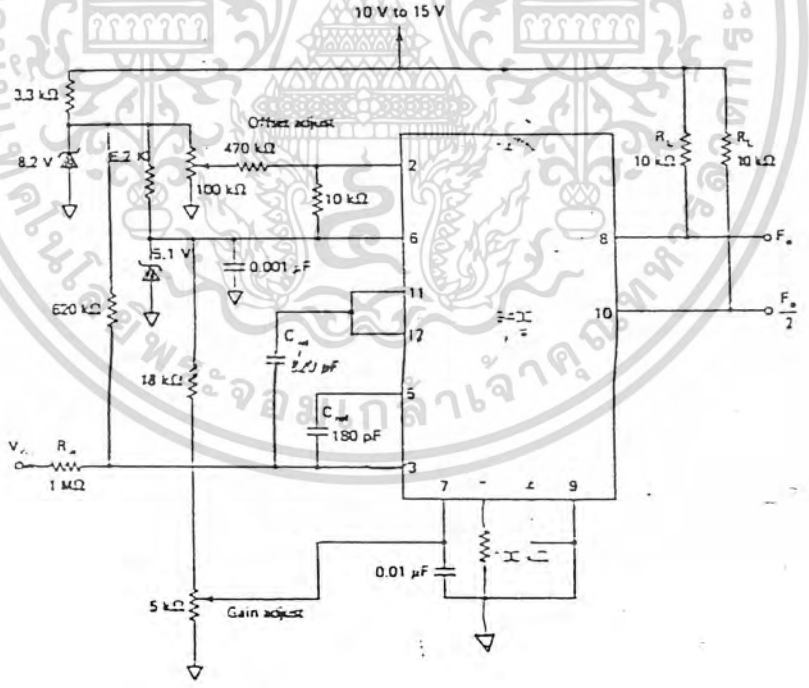
(ดูรูป 2.7)

2.3.3 การปรับแต่ง

สำหรับความถี่ Fo Full Scale 10 KHz สามารถปรับแต่งได้ดังนี้

1. เซ็ต Vin 10 mV และปรับค่า Ra ให้ได้ความถี่เอาท์พุท 10 Hz ดูรูป 2.6
2. เซ็ต Vin 10 V และปรับ Rin, Cref หรือ Vref ให้ได้ความถี่เอาท์พุท 10 KHz

การทำงานโดยใช้แหล่งจ่ายไฟแหล่งเดียวไอซี 9400 V/F สามารถทำงานได้โดยใช้แหล่งจ่ายไฟแหล่งเดียว ดังแสดงในรูป 2.7



รูปที่ 2.7 ไอซี 9400 V/F โดยใช้แหล่งจ่ายไฟแหล่งเดียวที่สามารถปรับได้เพื่อ Offset และ Adjust อัตราการขยาย

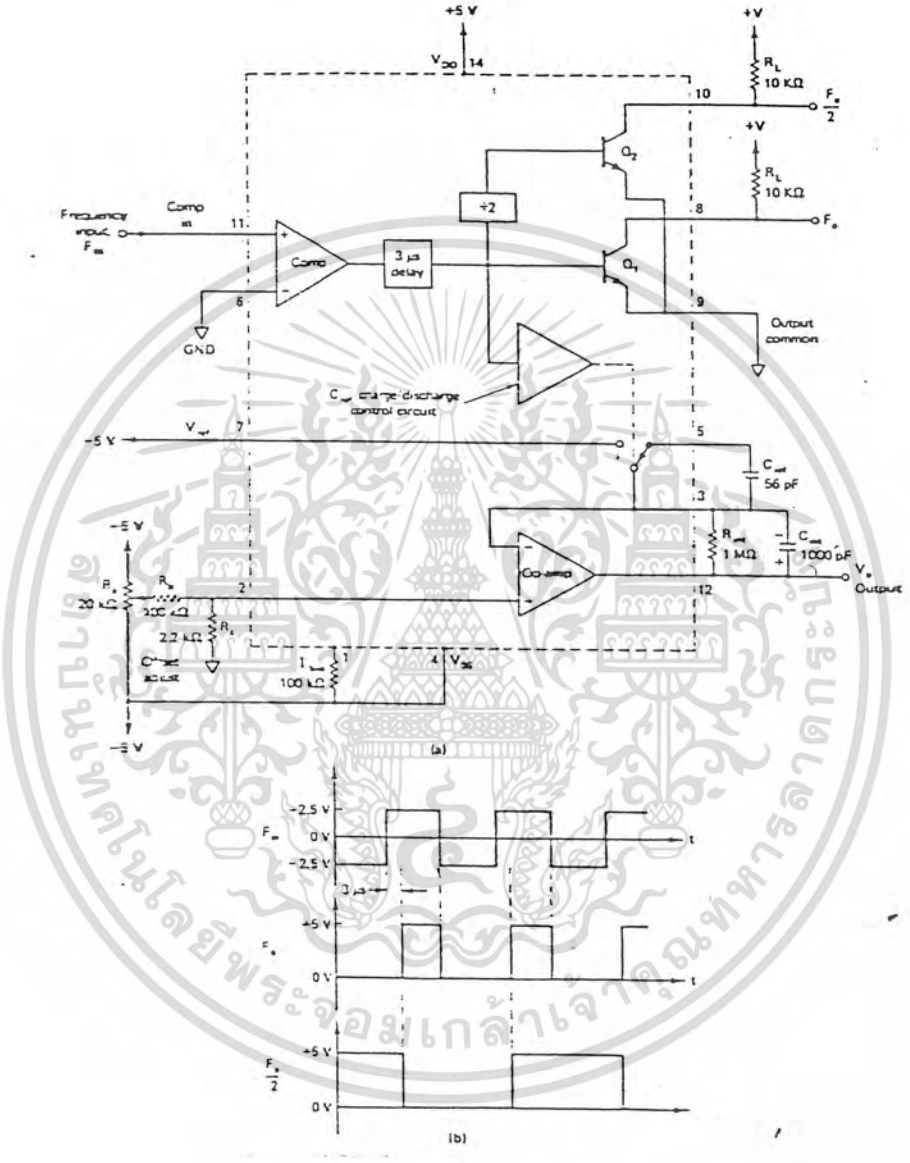
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V/F คอนเวอร์เตอร์จะใช้ในงานการวัดและควบคุม, ดิจิตอล และระบบโทรคมนาคม สามารถนำ V/F คอนเวอร์เตอร์ไปประยุกต์ใช้เป็นตัวตรวจจับและควบคุมอุณหภูมิ, เข้ารหัสทรานสดิวเซอร์, แปลงอนาล็อกเป็นดิจิตอล (D/A), เป็นตัวส่งข้อมูลให้ไมโครโปรเซสเซอร์ , ดิจิตอลมิเตอร์, เฟสล็อกลูป และส่งข้อมูลอนาล็อกและเก็บบันทึกข้อมูล

2.3.4 การเปลี่ยนความถี่เป็นแรงดัน F/V

เมื่อใช้งานไอซี 9400 เป็น F/V คอนเวอร์เตอร์ผลิตแรงดันจากความถี่ซึ่งจะเป็นสัดส่วนแบบเชิงเส้นกับความถี่อินพุทของรูปคลื่น ลักษณะของไอซี 9400 F/V คอนเวอร์เตอร์มีช่วงการทำงานที่เปลี่ยนจากความถี่เป็นแรงดัน DC กว้างถึง 100 KHz ใช้ออปแอมป์เป็นเอาท์พุท สามารถโปรแกรมขนาดสัดส่วนต่าง ๆ ได้ มีอินพุทอิมพีแดนซ์สูง (> 10 MΩ) และที่สำคัญมีความสามารถในการตอบสนองต่อแรงดันของคลื่นรูปร่างต่าง ๆ ได้ ดูรูป 2.8 (a) แสดงวงจรสมมูลย์และตำแหน่งการต่อใช้งานของไอซี 9400 เมื่อใช้งานเป็น F/V ความถี่อินพุทป้อนเข้ามาที่ขาอินพุท (+) ของวงจรเปรียบเทียบ (ขา 11) วงจรเปรียบเทียบจะทำงานที่แรงดัน +200 mV ดังนั้นสัญญาณอินพุทจะต้องมีขนาดมากกว่า +200 mV เพื่อกระตุ้นวงจรเปรียบเทียบ ถ้าสัญญาณอินพุทเป็นแบบยูนิโพล่า เราสามารถที่จะเปลี่ยนให้เป็นรูปคลื่นแบบไบโพล่าได้ โดยใช้วงจร Offset ของรูปที่2.9

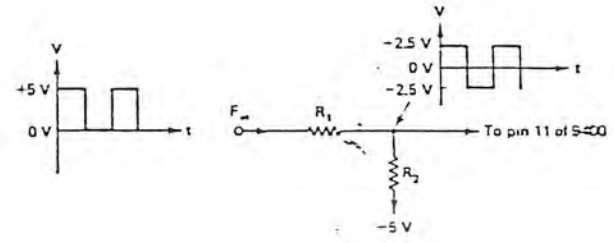
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.8 (a) 10 KHz F/V คอนเวอร์เตอร์มี Fo/2 และ Fo ให้เลือกถ้าต้องการใช้ความถี่ ขา 8,9 และ 10 จะไม่ใช้งานให้ต่อลงกราวด์

รูปที่ 2.8 (b) เอาท์พุทดิจิตอลของ F/V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

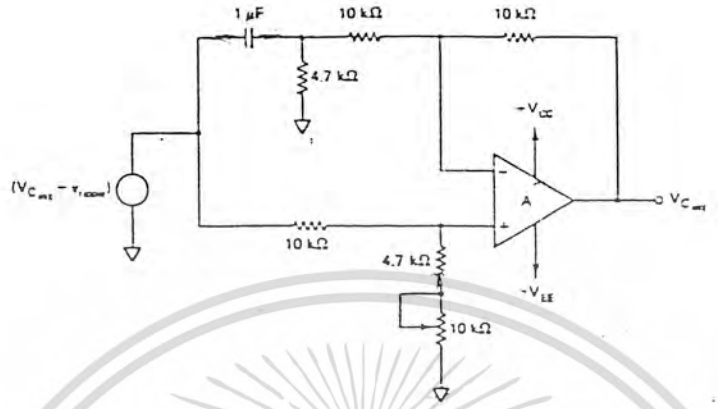


รูป 2.9 วงจรออฟเซ็ทที่เปลี่ยนรูปคลื่นแบบยูนิโพล่าเป็นไบโพล่า

ในช่วงเวลาที่สัญญาณอินพุทเปลี่ยนจากลบเป็นศูนย์เอาท์พุทของวงจรเปรียบเทียบจะเป็น Low เมื่อเวลาผ่านไป 3 ไมโครวินาที วงจรควบคุมการชาร์จ/ดิสชาร์จของ Cref จะทำงานและต่อตัวเก็บประจุ Cref เข้ากับแรงดันอ้างอิง Vref (ดูรูป 2.8 (a)) ในแต่ละช่วงเวลา Cint จะทำการชาร์จแรงดันที่มีจำนวนคงที่ตกคร่อมตัวมันและไม่มีเวลาพอที่จะเพิ่มแรงดันขึ้นอีก เส้นทางการชาร์จจะผ่านจุดต่อเอาท์พุทของออปแอมป์, Cint,Cref และสิ้นสุดที่ Vref ในเวลาที่สัญญาณอินพุทเปลี่ยนจากศูนย์เป็นบวกเอาท์พุทของวงจรเปรียบเทียบจะเป็น Hight วงจรควบคุมการชาร์จ/ดิสชาร์จของ Cref จะหยุดทำงานและCref จะถูกช็อตอย่างไรก็ตามแรงดันที่ตกคร่อม Cint จะยังคงมีอยู่ เพราะมันจะดิสชาร์จผ่าน Rint ซึ่งมีค่ามาก (1 MΩ) แรงดันที่ตกคร่อม Cint ก็คือแรงดันเอาท์พุท VO

จำนวนริปเปิ้ล (Ripple) ที่มีใน VO จะแปรผกผันกับ Cin และความถี่อินพุท Fin สำหรับความถี่ต่ำ Cint สามารถเพิ่มค่าในช่วง 1 ไมโครฟารัด ถึง 100 ไมโครฟารัด เพื่อที่จะกำจัดริปเปิ้ล ในการกำจัดริปเปิ้ลใน VO เราสามารถใช้การทำงานของออปแอมป์แบบคอมมอนโหมดมีลักษณะดังแสดงในรูป 2.9 และสามารถต่อเข้ากับเอาท์พุทของ F/V รูป 2.8 (a) เนื่องจากการทำงานของคอมมอนโหมดจะสามารถกำจัด AC ริปเปิ้ลไม่ให้ออกไปที่เอาท์พุทของออปแอมป์ซึ่งอินพุท (+) และ (-) ของออปแอมป์มีเกณฑ์เท่ากัน ความต้านทานปรับค่าได้ 10 K จะเอาไว้ปรับให้เกณฑ์ของอินพุท (+) และ (-) เท่ากัน วงจรในรูป จะมี DC เกณฑ์เป็น 1 ทำให้แรงดันอินพุทและแรงดันเอาท์พุทเท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.10 วงจรกำจัดริปเปิ้ลของ F/V

วงจร F/V คอนเวอร์เตอร์ในรูป 2.8(a) เราสามารถนำเอาท์พุท Fo/2 และ Fo ไปประยุกต์ใช้งานให้เกิดประโยชน์ได้เอาท์พุท Fo จะตามความถี่อินพุทอยู่ 3 ไมโครวินาทีในช่วงขอบขาขึ้น (ดูรูป 2.8(b)) Fo/2 จะเป็นสัญญาณสี่เหลี่ยมมีความถี่เป็นครึ่งหนึ่งของ Fo ถ้าไม่ใช้งาน Fo และ Fo/2 ขา 8 และ ขา 10 ควรจะต่อลงกราวด์

F/V คอนเวอร์เตอร์สามารถใช้กับรูปคลื่นอินพุทได้หลายแบบ และวงจรจะทำงานถ้าช่วงบวกของพัลซ์อินพุทมีความกว้างน้อยกว่า 5 ไมโครวินาทีและช่วงลบของพัลซ์มีความกว้างมากกว่า 0.5 ไมโครวินาที เมื่อ Finmax น้อยกว่า 1 KHz ค่า Duty Cycle (=(ความกว้างพัลซ์)(100)/(คาบเวลา)) จะมากกว่า 20 % Cref จะทำการชาร์จและดิสชาร์จได้เต็มที่

2.3.5 การออกแบบ F/V

แรงดันเอาท์พุท VO ของ F/V คอนเวอร์เตอร์จะสัมพันธ์กับความถี่อินพุท Fin จากสมการ

$$VO = (Vref.Cref.Rint)Fin \qquad (2-3)$$

การตอบสนองทางเวลาที่เปลี่ยนไปของ Fin จะเท่ากับ (Rint.Cint) F/V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คอนเวอร์เตอร์สามารถออกแบบได้ตามลำดับขั้นตอนดังนี้

1. เลือก VDD และ VSS

$$4\ V < VDD < 7.5\ V$$

$$-7.5\ V < VSS < -4\ V$$

(โดยปกติใช้ VDD = +5 V และ VSS =-5 V)

2. เลือก Vref = VSS = -5 V

3. เลือก Rint = 1 MΩ สำหรับ Finmax 10 KHz ถ้า Finmax 100 KHz ลดค่า Rint ลงเหลือ 100 KΩ

4. Rbias =100 K เป็นค่าที่ระบุมาสำหรับ 9400 F/V คอนเวอร์เตอร์

5. เลือกค่าความต้านทาน Pull up RL = 10 KΩ

6. เลือก Cref = 56 PF สำหรับ Finmax 10 KHz ค่าของ Cref จะเพิ่มขึ้นเมื่อความถี่ Finmax ต่ำกว่านี้

7. ให้ Cin = 1000 PF สำหรับ Finmax 10 KHZ สำหรับความถี่ต่ำกว่านี้ค่าของ Cint จะเพิ่มขึ้นในช่วง 1 μF -100 μF

8. เลือกวงจรออฟเซ็ท Ra, Rb, Rc ซึ่งมีความสัมพันธ์ดังนี้

$$Rc < Ra < Rb$$ (ดูรูป 2.8 (a))

2.3.6 การปรับแต่ง

สำหรับ Finmax 10 KHZ สามารถปรับแต่งได้ดังนี้

1. เมื่อไม่มีสัญญาณอินพุท (Fin =0) ให้ปรับวงจรออฟเซ็ทให้ได้แรงดันเอาท์พุท VO เท่ากับ 0 VDC

2. ให้ Fin = 10 KHz และใช้ค่า Cref ที่ทำให้ VO มีค่าประมาณ 2.5 V-3 V

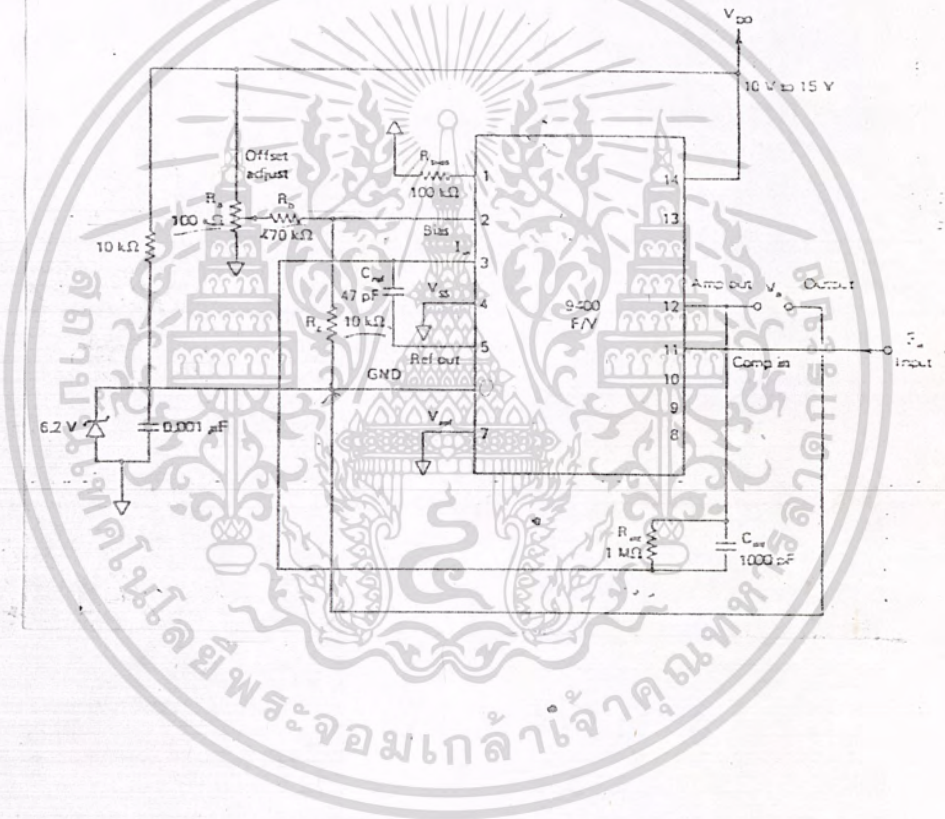
การทำงานโดยใช้แหล่งจ่ายไฟเดี่ยว 9400 F/V คอนเวอร์เตอร์สามารถทำงานได้โดยใช้แหล่งจ่ายไฟแหล่งเดียวดังรูป 2.11 ในรูป Vref จะหาได้จากแรงดันแตกต่างระหว่างขา 2 และ ขา7 (Vref = V2-V7) อินพุท(-)ของวงจรเปรียบเทียบใช้แรงดันอ้างอิง 6.2 V เพราะฉะนั้นสัญญาณอินพุทที่ต้องการจะต้องมีแรงดัน

$$4\ V < \text{แรงดันอินพุท} < VDD$$

แรงดันอินพุทจะมีค่าเท่ากับแรงดันอ้างอิง 6.2 V ถ้าหากสัญญาณอินพุทเป็น AC จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องต่อความต้านทาน 100 K - 10 M ระหว่างอินพุท (+)และ(-) ของวงจรเปรียบเทียบ(ขา 11 และ ขา 6)



รูปที่ 2.11 ไอซี 9400 F/V คอนเวอร์เตอร์ให้แหล่งจ่ายไฟเดียว

ไอซี 9400 F/V คอนเวอร์เตอร์สามารถนำไปประยุกต์ใช้งานได้หลายอย่างเช่น เครื่องวัดความถี่และความเร็ว, เครื่องวัดความเร็วรอบ,RPM (Revolutions per Minute) อินดิเคเตอร์,FM ดีมอดดูเลชั่น, วงจรคูณและหารความถี่ และควบคุมมอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การเปลี่ยนสัญญาณดิจิตอลเป็นอนาล็อก (DAC)

หลักการทำงานของ DAC คือการนำเอากลุ่มของบิท (BIT) จากคอมพิวเตอร์หรืออุปกรณ์ดิจิตอลมาเปลี่ยนเป็นระดับแรงดันอนาล็อก เอาท์พุทของ DAC เป็นระดับความแตกต่างของแต่ละบิทของดิจิตอลอินพุท

2.4.1 หลักการพื้นฐานของ DAC

บล็อกไดอะแกรมของ DAC แสดงในรูป เอาท์พุทที่สร้างขึ้นจาก DAC เป็นได้ทั้งแรงดันและกระแส

รูป 2.12 บล็อกไดอะแกรมของ D/A Converter

เอาท์พุทชนิดใดก็ตามของ DAC ที่ผลิตขึ้นมาได้จากวงจรที่นำมาใช้ในการเปลี่ยนดิจิตอลเป็นอนาล็อก จำนวนของความแตกต่างของระดับแรงดันและกระแสที่สร้างขึ้นที่เอาท์พุทของ DAC จะสัมพันธ์กับจำนวนของบิทที่นำมาเปลี่ยนจากสมการ

$$N = 2^n$$

เมื่อ N คือ จำนวนของระดับความแตกต่างด้านเอาท์พุทที่สร้างขึ้น และ n คือจำนวนของบิทอินพุทที่นำมาเปลี่ยน

จำนวนของระดับความแตกต่างที่สร้างขึ้นที่เอาท์พุทของ DAC จะขึ้นอยู่กับขอบเขตการจำแนกของอุปกรณ์ที่ใช้งาน จำนวนบิทของอินพุทจะใช้บิทที่สูงที่สุดในการคำนวณ เช่น อินพุทของ DAC จำนวน 10 บิท สามารถเปลี่ยนระดับสัญญาณได้ 1024 ระดับ การเปลี่ยนแปลงเป็นรูปอื่นเป็นคุณสมบัติหนึ่งที่สำคัญของ DAC ในการนำไปประยุกต์ใช้งานในหลาย ๆ ด้าน หลักการหนึ่งในการเปลี่ยนแปลงสัญญาณดิจิตอลในรูปของ N ($N=2^n$) และสามารถคิดเป็นในรูปเปอร์เซนต์ได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{Percent Resolusion} = (1/2^n) \times 100\ \%$$

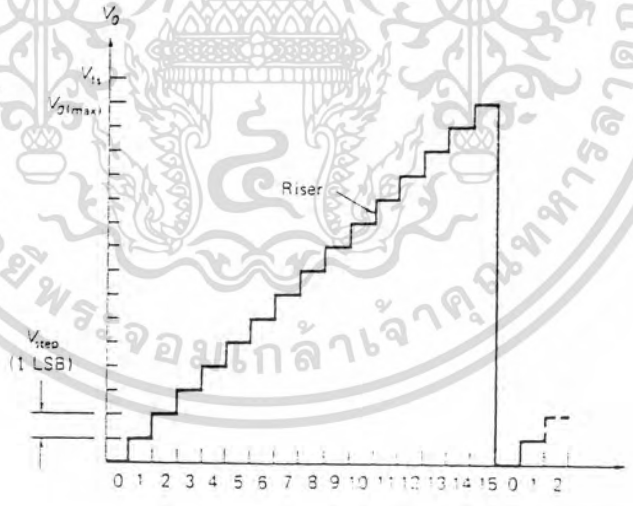
เช่น 10 บิท DAC

$$\text{Percent Resolusion} = (1/2^{10}) \times 100\ \%$$

$$= (1/1024) \times 100\ \%$$

$$= 0.098\ \%$$

จากตัวอย่างของเอาท์พุทของ 10 บิท DAC มีความแน่นอน 0.098 % ของเอาท์พุท Full Scale ซึ่งคือระดับแรงดันหรือกระแสที่สร้างขึ้นที่เอาท์พุทของ DAC ที่สมมติขึ้นว่าเลข 1 ไบนารี่ที่เป็นอินพุทแต่ละตัวเปลี่ยนแปลงเป็นรูปอื่นไม่ได้จำกัด แต่ในความเป็นจริง DAC ไม่สามารถมีจำนวนถึง Ideal Full Scale เนื่องจากการจำกัดจำนวนของอินพุทตัวอย่างเช่น DAC ที่แสดงในรูป 2.13 มีอินพุท 4 เส้น กราฟของ Vo และอินพุทไบนารี่สำหรับ 4 บิท DAC สามารถสร้างได้ดังแสดงในรูป 2.13



รูป 2.13 คุณสมบัติทรานเฟอร์สำหรับ 4 บิท DAC

จะสังเกตได้ว่ามีระดับความแตกต่างของแรงดันที่เป็นไปได้ 16 ระดับและ 15 ขอบขาขึ้น ถ้าเป็นเอาท์พุท Full Scale จะมีขอบขาขึ้น 16 ขอบ ซึ่งหมายถึงว่าค่า Vo สูงสุดเอาท์พุทจะไม่ถึง Vfs อีกหนึ่งขั้น ขนาดของเอาท์พุทหนึ่งขั้นเรียกว่า 1LSB ซึ่งมีการเปลี่ยนแปลงน้อยมากและปรากฏขึ้นเมื่อ LSB ของดิจิตอลอินพุทเปลี่ยนสภาวะ การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพิ่มขึ้นของเอาท์พุท (แรงดันหรือกระแส) สำหรับแต่ละขั้นหาได้จากจำนวนของขั้นและ Vfs ซึ่งมีความสัมพันธ์กับดังนี้

$$\text{ขนาดขั้น} = Vfs/2^n$$

เมื่อ n คือจำนวนของอินพุทไบนารี่และ Vfs คือแรงดัน Full Scale ของ Ideal DAC

เช่น Vo ของ 4 บิท DAC เป็นไปตามทฤษฎีมี Vfs เท่ากับ 10 V และอินพุทไบนารี่ 12 ฐาน 10 ได้ Vo เท่ากับ

$$\text{ขนาดขั้น} = Vfs/2^n$$

$$= 10\ V/16$$

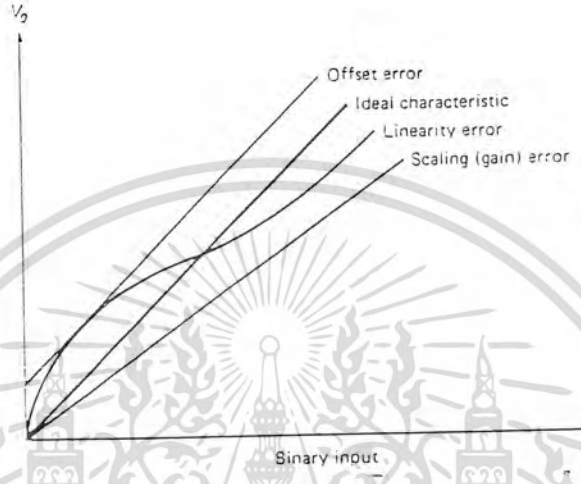
$$= 0.625\ V$$

$$Vo = 0625\ V \times 12$$

$$= 7.5\ V$$

การจำแนกของ DAC จะใช้เป็นตัวบอกความเที่ยงตรงของศักย์เพราะว่าการจำแนกเป็นตัวกำหนดข้อจำกัดของความเที่ยงตรงของการเปลี่ยนแปลง อย่างไรก็ตามความเที่ยงตรงและการจำแนกไม่ใช่สิ่งเดียวกันตัวอย่างเช่น 16 บิท DAC จะพิจารณาถึงการจำแนกสูงสุด (65536) แต่ไม่ใช่สิ่งจำเป็นที่ถูกต้องในการหาค่า Vo ซึ่งจะหาได้จากค่าอินพุทที่ให้มา ภายใต้เงื่อนไขอุดมคติเอาท์พุทของ DAC จะมีความถูกต้อง +1/2 Vstep (หรือ +1/2 LSB เพราะ 1 STEP = 1 LSB) อย่างไรก็ตามอาจมีความผิดพลาดได้ใน DAC แต่ละชนิดความคลาดเคลื่อนจะเกิดจากโครงสร้างของวงจร DAC ผลของการเปลี่ยนแปลงแหล่งความคลาดเคลื่อนบนเอาท์พุทบนตัวคอนเวอร์เตอร์ แสดงดังรูปที่ 2.14 เป็นรูปผลของการเปลี่ยนแปลงความคลาดเคลื่อนของทรานเฟอร์ฟังก์ชั่นของ DAC อุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 กราฟของ DAC อุดมคติและผลของความคลาดเคลื่อน

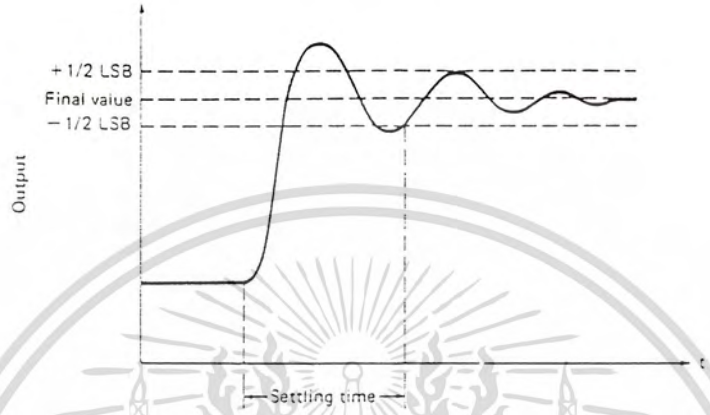
OFFSET ERROR เป็นผลที่เกิดขึ้นที่เอาท์พุทของ DAC ไม่เป็น 0 เมื่ออินพุทไบนารี่เป็น 0 ทำให้เกิดค่าคงที่เลื่อนให้ Vo ให้เกิดย่านของไบนารี่อินพุท

GAIN ERROR หรือเรียกอีกอย่างหนึ่งว่า Scaling Error จะสร้างขนาดขึ้นให้ใหญ่กว่าหรือเล็กกว่าขนาดปกติซึ่งเป็นสาเหตุให้ค่า Vo เบี่ยงเบนจากค่าความเป็นจริงของไบนารี่อินพุท

LINEARITY ERROR เป็นความคลาดเคลื่อนอีกชนิดหนึ่งที่เป็นสาเหตุทำให้ DAC ไม่เป็นเชิงเส้น ตัวอย่างเช่น ถ้าเกณฑ์ของ DAC ไม่คงที่สำหรับไบนารี่อินพุทเอาท์พุทจะเปลี่ยนแปลงขนาดของขั้นที่สร้างขึ้น

คุณลักษณะของ DAC ที่สำคัญอีกอย่างคือความสัมพันธ์เกี่ยวกับเวลาที่ใช้ในการเปลี่ยนแปลง คุณสมบัตินี้เรียกว่า Setting Time เป็นการวัดการตอบสนองทางด้านความเร็วของ DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



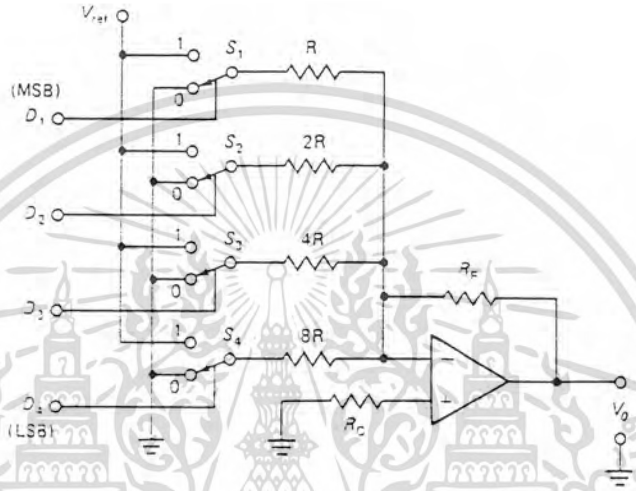
รูปที่ 2.15 กราฟการตอบสนองต่อ Setting Time ของ DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 วงจร DAC

1. Weighted Resistor Summing Amplifier

เป็น DAC อีกชนิดหนึ่งใช้น้ำหนักของไบนารี่มาทำการบวกกันดังแสดงในรูป 2.16



รูป 2.16 Weighted Resistor DAC

ในรูปเป็นวงจรที่ใช้กับ 4 อินพุทสวิทช์จะถูกควบคุมจากดิจิตอลอินพุท D1–D4 เช่น เมื่อลอจิก 1 เป็นอินพุทสวิทช์จะต่อกับ Vref (แรงดันอ้างอิง) แรงดันเอาท์พุทของวงจรหาได้จากสมการนี้

$$Vo = -Vref(D_1R_f/R+D_2R_f/2R+D_3R_f/4R+D_4R_f/8R)$$

เมื่อ D_n = 1 ถ้าไบนารี่อินพุท Hight D_n = 0 เมื่อไบนารี่อินพุท Low

เครื่องหมายลบในสมการแสดงให้เห็นว่าเราต่อออปแอมป์ในโหมดของอินเวอร์ติ้งแอมป์ Vref มีค่าเป็นแรงดันบวก Vo จะเป็นลบถ้า Vref เป็นลบ Vo จะเป็นแรงดันบวก ค่าของ Rf หาได้จากเกณฑ์ของ DAC Rf จะมีค่ามากเมื่อแรงดันเอาท์พุทมีค่าสูง ในการออกแบบสวิทช์ S1-S4 จะไม่ใช้เมคานิกสวิทช์ อาจใช้ CMOS อะนาล็อกสวิทช์ เช่น LF 11331 เป็น SPST JFET อะนาล็อกสวิทช์ สวิทช์ที่อยู่ภายในตัวไอซีจะทำการเปิดหรือปิดขึ้นอยู่กับสัญญาณลอจิก TTL ที่ใช้ควบคุมสวิทช์

ตังอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนต่างๆของวงจรรูปที่

RF = 10 KΩ ,R = 10 KΩ ,Vref = 5 V

หาค่าเปอร์เซนต์การจำแนก สำหรับวงจรและ Vo สำหรับระดับอินพุทดังนี้

	D1	D2	D3	D4
(1)	0	0	0	1
(2)	0	0	1	0
(3)	1	0	0	0
(4)	1	1	1	1

วิธีทำ

$$\text{Percent Resolution} = (1/2^{n}) \times 100\ \%$$

$$= (1/2^{4}) \times 100\ \%$$

$$= (1/16) \times 100\ \%$$

$$= 6.25\ \%$$

และเอาท์พุท Vo หาได้จาก

(1) $VO = -5\ V\ [\frac{0x100K}{10K} + \frac{0x10K}{20K} + \frac{0x10K}{40K} + \frac{1x10K}{80K}]$

$VO = -0.625\ V$

(2) $Vo = -5\ V\ [\frac{0x10K}{10K} + \frac{0x10K}{20K} + \frac{1x10K}{40K} + \frac{0x10K}{80K}]$

$VO = -1.250\ V$

(3) $VO = -5\ V\ [\frac{1x10K}{10K} + \frac{0x10K}{20K} + \frac{0x10K}{40K} + \frac{0x10K}{80K}]$

$VO = -5.000\ V$

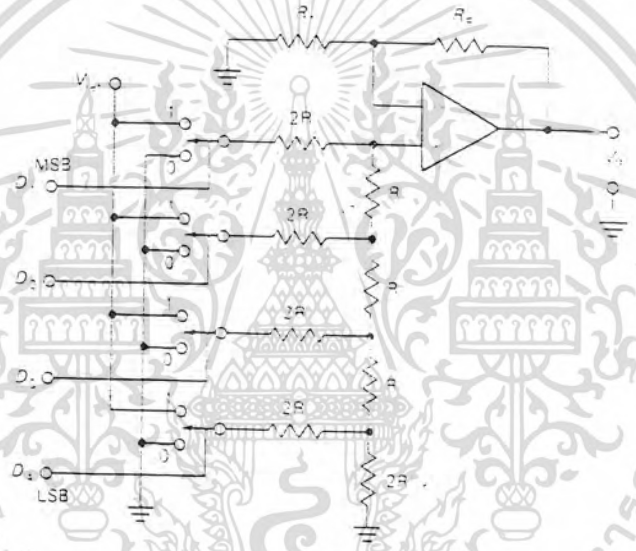
(4) $VO = -5\ V\ [\frac{1x10K}{10K} + \frac{1x10K}{20K} + \frac{1x10K}{40K} + \frac{1x10K}{80K}]$

$VO = -9.375\ V$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. R-2R Ladder DAC

ในทางปฏิบัติการเลือกน้ำหนักไบนารี่ของ DAC เป็นวงจรที่เรียกว่า R-2R Ladder DAC ลักษณะวงจรแสดงในรูป ออปแอมป์จะต่อแบบนอนอินเวอร์ติ้ง R-2R คล้ายกับวงจรหารแรงดันอินพุท และวงจร Ladder ส่วนของ Ladder ของวงจรจะใช้สสวิทช์ในการเลือกแหล่งจ่ายแรงดัน



รูป 2.17 R-2R Ladder DAC

แรงดันที่ปรากฏบนขานอนอินเวอร์ติ้งของออปแอมป์จะสัมพันธ์กับการเซ็ทของวงจรสวิทช์ซึ่งมีความสัมพันธ์ดังสมการ

$$Vin = D_1V_{ref}/2 + D_2V_{ref}/4+D_3V_{ref}/8+D_4V_{ref}/16$$

จากสมการนี้เราเขียนใหม่ได้เป็น

$$Vin = V_{ref}(D_1/2+D_2/4+D_3/8.....)$$

เมื่อ D_n = 1 (สวิทช์ต่อกับ Vref) หรือ Dn = 0 (สวิทช์ต่อกราวด์)

อัตราขยายแรงดันของนอนอินเวอร์ติ้งออปแอมป์หาได้จาก

$$AV = 1+ RF/R_1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะฉะนั้น ค่า VO ของ R-2R DAC จะได้

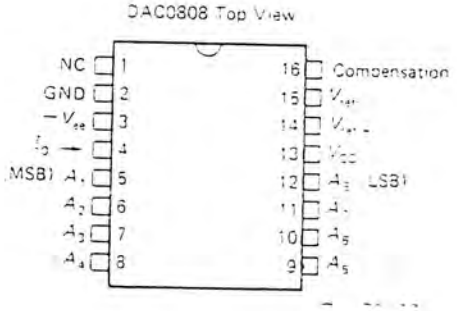
$$VO = AV\ V_{ref}\ (D_1/2 + D_2/4 + D_3/8.....)$$

R-2R Ladder DAC จะมีประโยชน์มากกว่า Weighted Summing Amp ค่าความต้านทานที่ต้องการที่อินพุทของออปแอมป์ทั้งสองตังจะต่างกันคือ 2R กับ R ปัญหาทางด้านอุณหภูมิสามารถกำจัดได้ง่าย ในทางปฏิบัติ R-2R Ladder DAC ใช้งานง่าย เพราะใช้ค่าความแตกต่างของความต้านทานสองค่า (2:1) และจะมีจำนวนความต้านทานมากกว่าจำนวนของเลขไบนารี่

3.ไอซี DAC

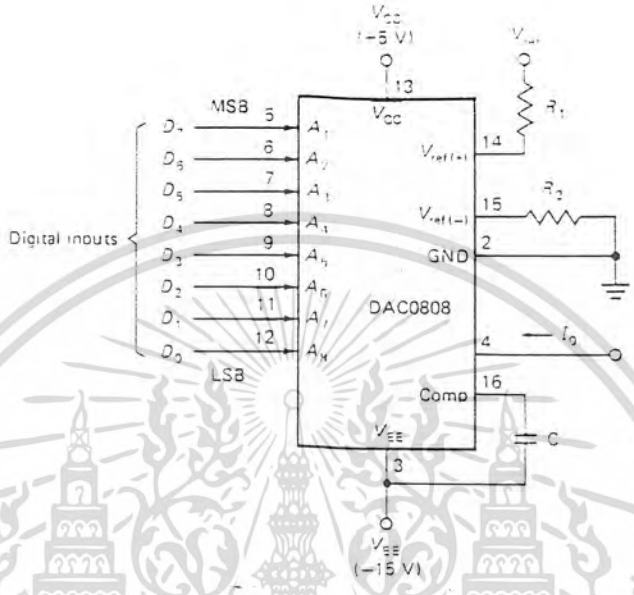
วงจร DAC ทั้งสองที่กล่าวมาเป็วงจรที่นิยมใช้กันและเป็นการออกแบบง่ายๆเมื่อต้องการความสามารถสูงขึ้นจำนวนบิทมากขึ้นก็จะต้องใช้ความต้านทานมากขึ้น เช่น 7 บิท R-2R DAC จะต้องใช้คความต้านทาน 16 ตัว สำหรับวงจร Ladder ทำให้ความต้านทานที่ต้องใช้แพงขึ้น เมื่อจำนวนบิทมากขึ้นเกินความสามารถที่จะทดลองต่อบนเซอร์กิตบอร์ด และรวมทั้งขั้นตอนการผลิตความต้านทานของโรงงาน ฉะนั้นเราจึงผลิตไอซี DAC ขึ้นเพื่อแก้ปัญหาเหล่านี้ซึ่งเราจะพิจารณาส่วนประกอบที่ประดิษฐ์ขึ้นในตัวไอซี ซึ่งจะเหมาะสมในเทอมของค่าต่างๆและคุณสมบัติทางอุณหภูมิ

ไอซี DAC มีหลายแบบและแตกต่างกัน ตัวอย่างหนึ่งของไอซี DAC ที่ผลิตโดยเนชั่นแนลเซมิคอนดัคเตอร์ คือ DAC 0808 เป็น DAC ชนิด 7 บิท DAC ให้เอาท์พุทเป็นกระแสซึ่งจะมีความสัมพันธ์กับค่าของไบนารี่อินพุทที่ป้อนเข้ามา DAC 0808 มีทั้งหมด 16 ขาเป็นแบบ DIP และมีค่า Setting Time 150 nsec ดังแสดงในรูป 2.18



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.18 ไอซี DAC 0808



รูป 2.19 การใช้งานวงจร DAC 0808

วงจร DAC ที่ใช้ไอซี DAC 0808 แสดงดังรูป และกระแสเอาท์พุทของวงจรหาได้จาก

$$Io = -\frac{Vref}{R_{in}} (D_7/2 + D_6/4 + D_5/8 + \ldots\ldots + D_0/256)$$

เมื่อ D_n = 0 หรือ 1

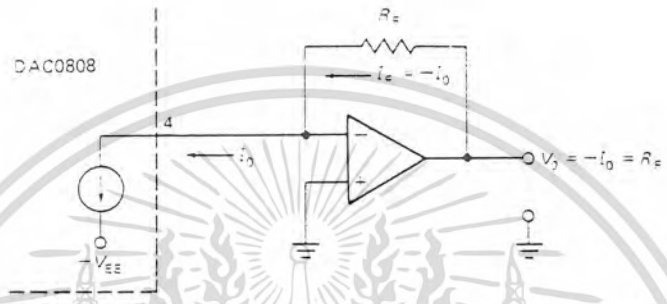
อินพุท D จะเปลี่ยนแปลงไปมาระหว่าง 0 กับ 1 ซึ่งอินพุทของ DAC สามารถต่อเข้ากับดาต้าบัสของ CPU ได้ ขาแรงดันอ้างอิงลบ Vref (-) จะต่อลงกราวด์ผ่านความต้านทาน R_2 ซึ่งมีค่าเท่ากับ R_1 จะช่วยป้องกัน Offset Error ขา 16 จะต่อไฟลบ - VEE โดยมีตัวเก็บประจุขั้นไว้((มีค่าประมาณ 0.001 μF) ซึ่งจะช่วยป้องกัน Ringinng และ Over shoot ที่เอาท์พุทของ DAC เอาท์พุทของ DAC 0808 จะเป็นระดับกระแสลบ

เราสามารถผ่านเอาท์พุทของ DAC ที่เป็นกระแสให้เป็นแรงดันได้ โดยใช้ออปแอมป์เปลี่ยนกระแสเป็นแรงดัน (I/V) โดยการต่อ IO ของ DAC 0808 ดังรูป 2.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงการเปลี่ยนกระแสเป็นแรงดัน แรงดันเอาท์พุทของวงจรหาได้จากสมการ

$$VO = -IoR_F$$

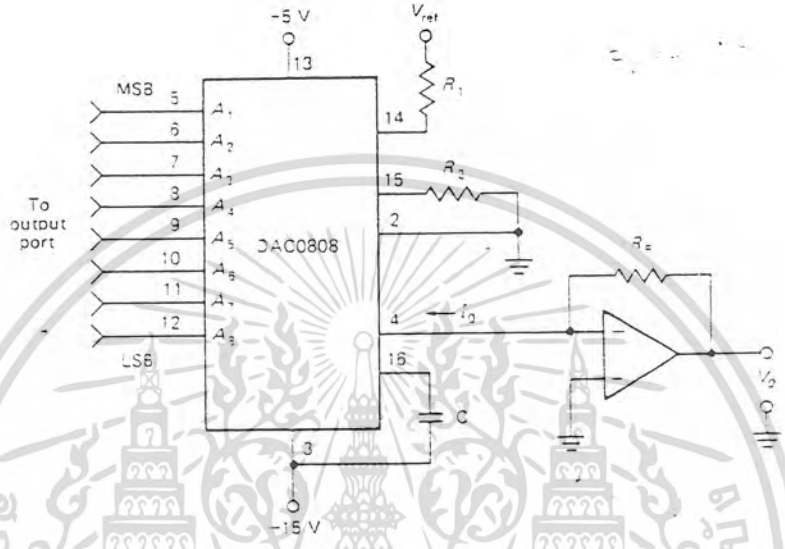


รูป 2.20 ใช้ออปแอมป์เปลี่ยนกระแสเป็นแรงดันจากเอาท์พุทของ DAC 0808

จากรูปเอาท์พุทของ DAC จะเป็นกระแสลบเมื่อผ่านออปแอมป์จะได้แรงดันบวก ซึ่งจะสัมพันธ์กับไบนารี่อินพุท วงจรสมมูลย์ของ DAC 0808 และ I/V คอนเวอร์เตอร์แสดงดังรูป 2.21 เอาท์พุท VO สามารถหาได้จากสมการนี้

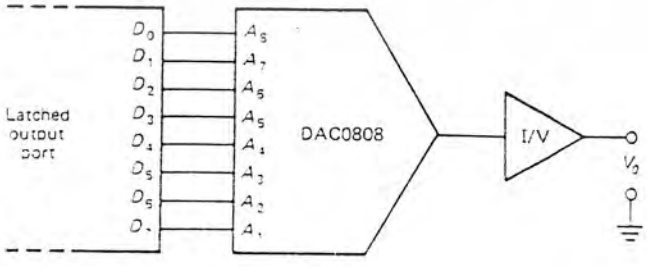
$$VO = \frac{Vref \quad RF}{R1} (D_7/2 + D_6/4 + D_5/8 \ldots\ldots + D_0/256)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.21 วงจรสมมูลย์ของ DAC 0808 แรงดันเอาท์พุท

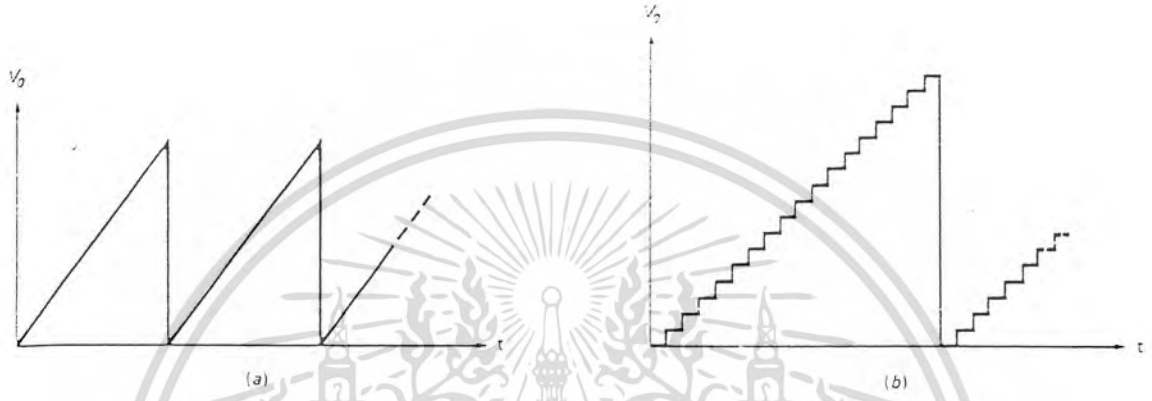
สามารถนำเอา DAC 0808 มาประยุกต์ใช้งานได้โดยใช้คอมพิวเตอร์ในการกำเนิดรูปคลื่นสัญญาณ ดังแสดงในรูป2.22ซึ่งเป็นบล็อกไดอะแกรมของวงจรที่ใช้กำเนิดรูปคลื่น



รูป 2.22 การต่อ DAC เข้ากับพอร์ทเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

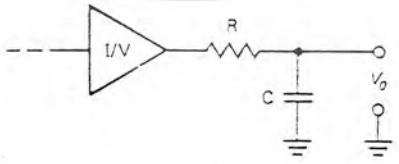
เช่น ป้อนอินพุทให้ DAC ค่า 00H-FFH จะได้รูปคลื่นดังรูป 2.23 (b)



รูป 2.23 (a) รูปคลื่นฟันเลื่อยอุดมคติ

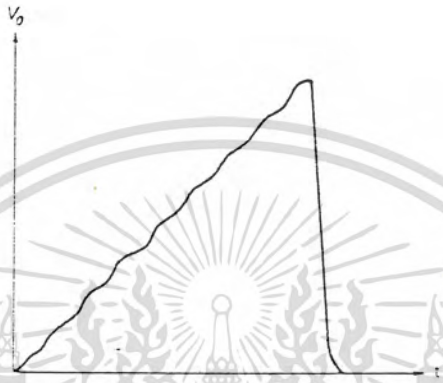
(b) รูปคลื่นที่ผลิตจาก DAC

และทำให้รูปคลื่นที่ผลิตได้มีลักษณะใกล้เคียงรูปคลื่นในอุดมคติได้โดยการฟิลเตอร์



รูป 2.24 เอาท์พุทของ DAC ผ่านฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

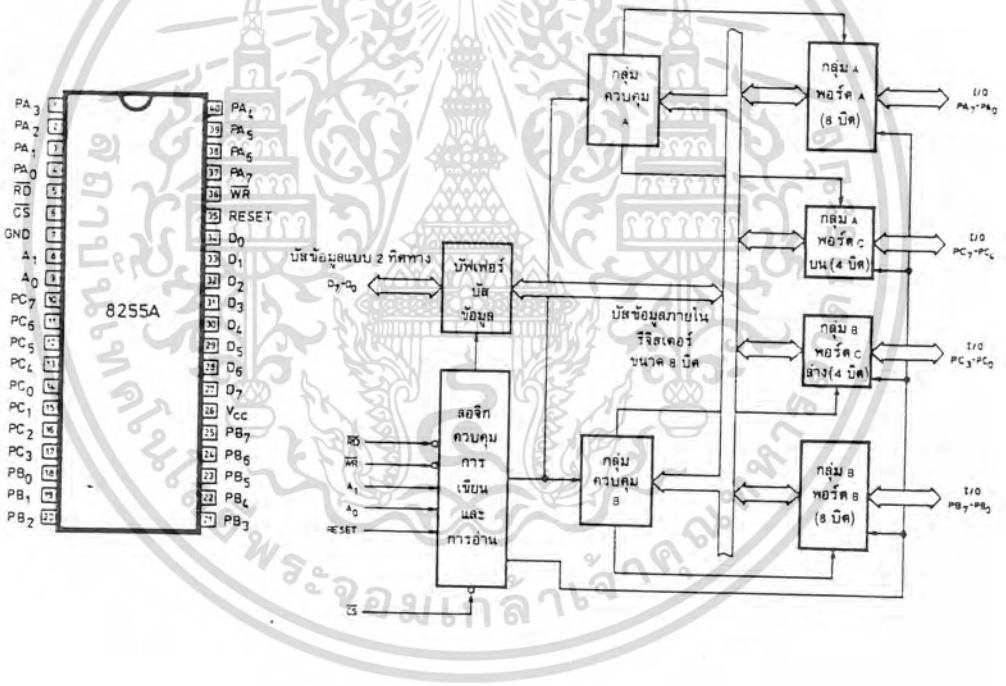


รูป 2.25 ผลจากการฟิลเตอร์รูปคลื่นฟันเลื่อยที่สร้างขึ้นจาก DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การอินเตอร์เฟสกับไมโครคอมพิวเตอร์โดยผ่านทางไอซี 8255

ไอซี 8255 เป็นไอซีที่มี 40 ขา ได้รับการออกแบบให้มีสัญญาณเชื่อมต่อกับระบบคอมพิวเตอร์ได้ง่าย ไอซี 8255 เป็นไอซีที่ออกแบบมาให้สามารถเป็นพอร์ท ให้ไมโครโปรเซสเซอร์ได้ 3 พอร์ท การเรียกพอร์ทของ 8255 จะเรียกพอร์ทต่างๆว่าพอร์ท A พอร์ท B และ พอร์ท C โดยพอร์ท C จะแยกเป็น 2 ส่วนคือ พอร์ท C ล่างหรือตั้งแต่ PC0-PC3 และพอร์ท C บน หรือตั้งแต่ PC4-PC7 ซึ่งสามารถที่จะถูกโปรแกรมให้เป็นได้ทั้งอินพุทและเอาท์พุท



รูป 2.26 แผนผังวงจรภายใน 8255

รูป เป็นแผนผังภายในของไอซีและการจัดวางขาของไอซี 8255 การทำงานของวงจร จะใช้สัญญาณจากไมโครโปรเซสเซอร์มาควบคุมการทำงานโดยไมโครโปรเซสเซอร์ จะส่งคำสั่งมาโปรแกรมการทำงานหรือกำหนดรูปแบบของพอร์ทให้เป็นอินพุทหรือเอาท์พุทได้

จะเห็นว่าที่ตัว 8255 นอกจากจะมีสัญญาณควบคุมและสัญญาณข้อมูลแล้ว ที่ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255 ยังมีสัญญาณแอดเดรส 2 บิท(A_0-A_1) ซึ่งจะสามารถทำให้การอ้างแอดเดรสของพอร์ทได้ 4 พอร์ท ซึ่งจะประกอบไปด้วย พอร์ท A พอร์ท B พอร์ท C และพอร์ทควบคุมจะสามารถทำให้เราควบคุมการทำงานภายในของ 8255 ได้ซึ่งจะต้องมีการโปรแกรมในตอนแรกก่อนการใช้งาน การโปรแกรมการทำงานของ 8255 แบ่งเป็น 3 โหมดคือ โหมด 0 ,โหมด 1 และโหมด 2 แต่ในที่เราจะกล่าวเพราะโหมด 0 หรือโหมดอินพุทเอาท์พุทแบบพื้นฐานเท่านั้น ดังต่อไปนี้

การกำหนดโหมดการทำงาน จะต้องส่งข้อมูลคำสั่งเข้าไปในพอร์ทควบคุมของ 8255 ซึ่งคือพอร์ทที่มี A_0 และ A_1 เป็น "1" แต่ละบิทข้อมูลที่ส่งเข้าไปจะมีความหมายในตัวเอง ลักษณะความหมายของแต่ละบิทข้อมูลจะแสดงได้ดังรูป

การโปรแกรม 8255 คือ การใส่ค่ารหัสบิทต่างๆ เข้าไปในรหัสควบคุมแล้วส่งไปยังรีจีสเตอร์ของพอร์ทควบคุม ความหมายของบิทต่างๆมีดังนี้

บิท D7 เป็นบิทที่แสดงรหัสคำสั่งควบคุม ถ้าบิทนี้เป็น"1" หมายถึงรหัสควบคุมนี้จะมีผลต่อการเปลี่ยนแปลงโหมดต่างๆของ 8255

บิท D6 และ D5 เป็นการเลือกโหมดของพอร์ท A ซึ่งมี 3 โหมดคือ โหมด 0, โหมด 1 และดหมด 2

บิท D4 ถ้ามีค่าเป็น"0" หมายถึงการกำหนดพอร์ท A เป็นพอร์ทเอาท์พุทถ้ามีค่าเป็น"1" จะหมายถึงการกำหนดพอร์ท A เป็นพอร์ทอินพุท

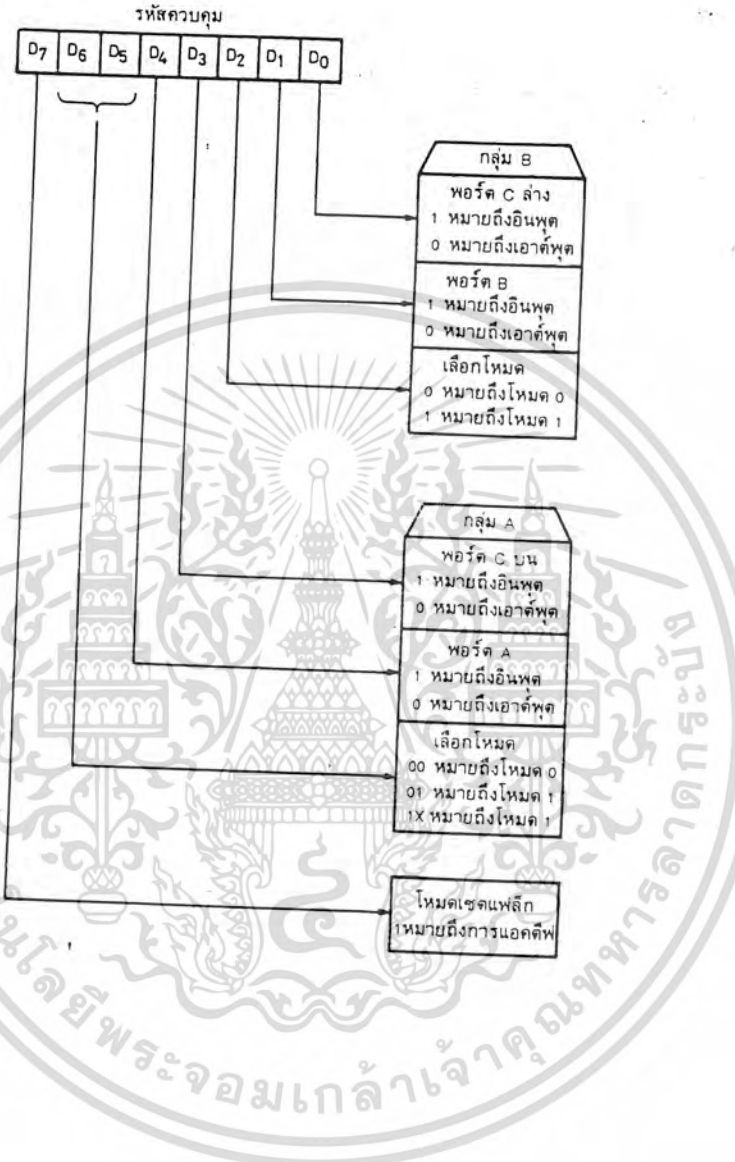
บิท D3 เป็นบิทที่บอกถึงการเซ็ทของพอร์ท C บน (PC4-PC7) ถ้าเป็น "0"จะทำให้พอร์ท C บนเป็นพอร์ทเอาท์พุท

บิท D2 เป็นบิทที่บอกถึง การเซ็ทโหมดของพอร์ท B ถ้าเป็น "0" หมายถึงพอร์ท B เป็นโหมด 0 แต่ถ้าเป็น "1" หมายถึงการเลือกโหมด 1

บิท D1 เป็นการกำหนดการเลือกอินพุทเอาท์พุทของพอร์ท B ถ้าเป็น "0" หมายถึงเอาท์พุท ถ้าเป็น "1" หมายถึงอินพุท

บิท D0 เป็นการกำหนดอินพุทเอาท์พุทของพอร์ท C ล่าง ถ้าเป็น "0" หมายถึงเอาท์พุทถ้าเป็น "1" หมายถึงอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.27 ความหมายของบิทต่างๆในรหัสควบคุม

ในการรับส่งข้อมูล เราจะต้องมีการอ้างแอดเดรสของพอร์ทก่อน ซึ่งสำหรับเครื่อง PC การอ้างแอดเดรสของพอร์ท จะใช้แอดเดรสในการอ้างเพียง 10 เส้น (A0-A9) นอกจากการดีโค้ดแอดเดรสแล้วยังต้องนำสัญญาณบางสัญญาณมาควบคุมด้วย เช่น IOR, IOW และ RESET DRV จาก Slot ของ PC เพื่อเป็นการควบคุมการรับข้อมูลเข้า-ออกจากพอร์ทและใช้ป้องกันความผิดพลาดที่อาจเกิดจากการทำงานของ DMA บน

ลิขสิทธิ์เป็นของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

System broad ในการอ้างแอดเดรส (A0-A9)

แอดเดรส A9 จะต้องถูกกำหนดให้เป็น "1" เสมอ เพราะว่าถ้า A9 เป็น"0" จะเป็นการอ้างพอร์ทที่ตำแหน่ง 0000H ถึง 01FFH ซึ่งเป็นตำแหน่งของชิพชัพพอร์ท และอุปกรณ์ที่เป็น I/O ต่างๆบนเมนบอร์ด ของ PC ทำให้ไม่สามารถนำมาใช้ได้ ดังนั้นจึงต้องกำหนดให้แอดเดรส A9 เป็น "1" เสมอ ซึ่งจะทำให้สามารถอ้างแอดเดรส 200H จนถึง 3FFH แต่เราก็ต้องพิจารณาดูว่าที่ตำแหน่งใดที่ยังไม่ถูกใช้งาน จากรูป แสดงการใช้งานแอดเดรสต่างๆของพอร์ท I/O ของ PC

Hex Range	Usage
000-00F	DMA Chip 8237A-5
020-021	Interrupt 8259A
040-043	Timer 8253-5
060-063	PPI 8255A-5
080-083	DMA Page Registers
0AX*	NMI Mask Register
0CX	Reserved
0EX	Reserved
200-20F	Game Control
210-217	Expansion Unit
220-24F	Reserved
278-27F	Reserved
2F0-2F7	Reserved
2F8-2FF	Asynchronous Communications (Secondary)
300-31F	Prototype Card
320-32F	Fixed Disk
378-37F	Printer
380-38C**	SDLC Communications
380-389**	Binary Synchronous Communications (Secondary)
3A0-3A9	Binary Synchronous Communications (Primary)
3B0-3BF	IBM Monochrome Display/Printer
3C0-3CF	Reserved
3D0-3DF	Color/Graphics
3E0-3E7	Reserved
3F0-3F7	Diskette
3F8-3FF	Asynchronous Communications (Primary)

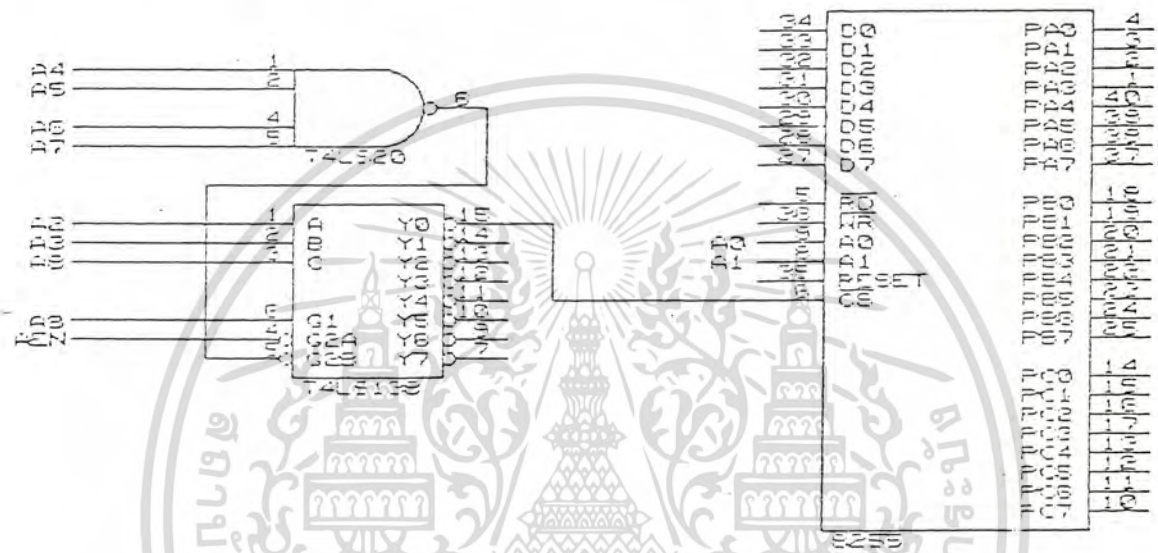
รูป 2.28 การใช้งานแอดเดรสสำหรับพอร์ท I/O ต่างๆ

ซึ่งในการใช้งานเราจะเลือกใช้ที่ตำแหน่งแอดเดรส 0300H-031FH ซึ่งเป็นตำแหน่งที่ยังไม่ถูกใช้งาน และการดีโค้ดทำได้ดังรูป

สัญญาณควบคุม AEN มีไว้ เพื่อเป็นการป้องกันความผิดพลาดที่อาจเกิดขึ้นในระ

เอกสารนี้สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หว่างขบวนการ DMA ซึ่งถ้าเป็น"1" จะแสดงว่าเกิด DMA ขึ้น เราจะนำสัญญาณนี้ไปทำการ Disenable 74LS138 ทำให้ไม่สามารถส่งสัญญาณที่ใช้ในการ Enable 8255



รูป 2.29 การดีโค้ดแอดเดรสที่ใช้งาน

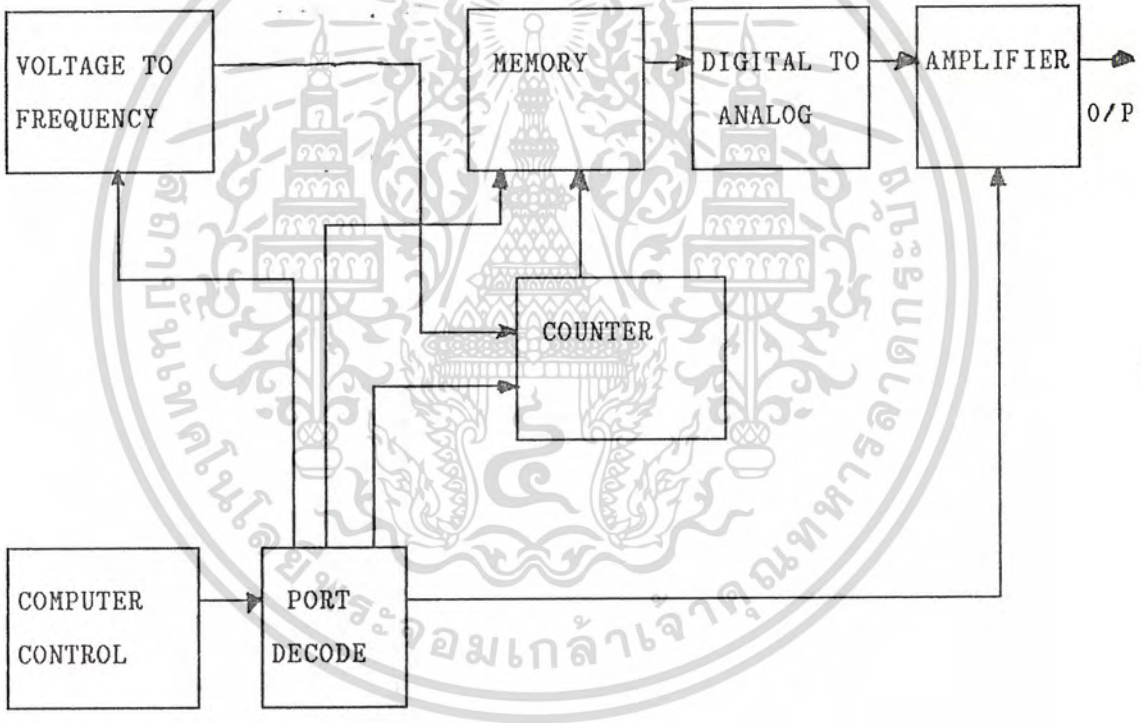
ในการใช้งาน 8255 นี้เราจะใช้งานในโหมด 0 ซึ่งเป็นโปรแกรมให้มีการทำงานแบบเป็นพอร์ทอินพุทเอาท์พุทแบบพื้นฐาน ซึ่งเราจะทำการโปรแกรมให้พอร์ท A ,B และ C เป็นพอร์ทเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจร

การออกแบบวงจรเราจะออกแบบตามบล็อกไดอะแกรมดังรูปที่ 3.1



รูปที่ 3.1 บล็อกไดอะแกรมของ Arbitrary Binary Pilse Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดอะแกรมสามารถที่จะแยกออกเป็นส่วนๆได้ดังนี้

- **วงจรควบคุมพอร์ท**

จะทำหน้าที่ควบคุมการทำงานของวงจรจากคอมพิวเตอร์ โดยส่งข้อมูลจากคอมพิวเตอร์ให้แก่วงจรต่างๆเพื่อให้การทำงานของวงจรเป็นไปตามที่ต้องการและเหมาะสม

- **วงจรนับ**

จะทำหน้าที่เป็นตัวบันตำแหน่งแอดเดรสให้กับหน่วยความจำเพื่อบันทึกข้อมูลในหน่วยความจำและอ่ายข้อมูลในหน่วยความจำ

- **วงจรเปลี่ยนแรงดันเป็นความถี่แบบโปรแกรมได้**

ทำหน้าที่เป็นตัวป้อนสัญญาณนาฬิกาให้กับวงจรนับเพื่ออ้างตำแหน่งให้กับหน่วยความจำโดยนำข้อมูลจากคอมพิวเตอร์มาสร้างเป็นความถี่และส่งให้วงจรเฟสล็อกลูปเพื่อส่งต่อให้วงจรนับ

- **วงจรหน่วยความจำ**

เป็นตัวเก็บข้อมูลของรูปคลื่นที่ได้จากการคำนวณของคอมพิวเตอร์นำมาบันทึกลงจากนั้นทำการอ่านข้อมูลออกจากหน่วยความเพื่อนำมาสร้างเป็นรูปคลื่นที่ต้องการ

- **วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก**

วงจรนี้จะทำการเปลี่ยนข้อมูลจากหน่วยความจำซึ่งเป็นสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อกจะมีลักษณะเหมือนรูปคลื่นที่เราต้องการ

- **วงจรขยายสัญญาณแบบโปรแกรมได้**

จะทำหน้าที่เป็นตัวขยายสัญญาณรูปคลื่นที่ได้มาจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกโดยสามารถควบคุมอัตราการขยายได้จากคอมพิวเตอร์

ค่าแรงดันที่ได้จากวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกนี้จะนำไปควบคุมอัตราการขยายวงจรขยายสัญญาณแบบโปรแกรมได้

3.1 วงจรควบคุมพอร์ท

วงจรควบคุมพอร์ทนี้จะประกอบไปด้วยส่วนของ I/O พอร์ทและวงจรอินเทอร์เฟสจะเป็นส่วนที่ใช้เชื่อมระบบทั้งหมดเข้ากับคอมพิวเตอร์เพื่อใช้คอมพิวเตอร์ควบคุมระบบต่างๆ

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 วงจรอินเทอร์เฟส

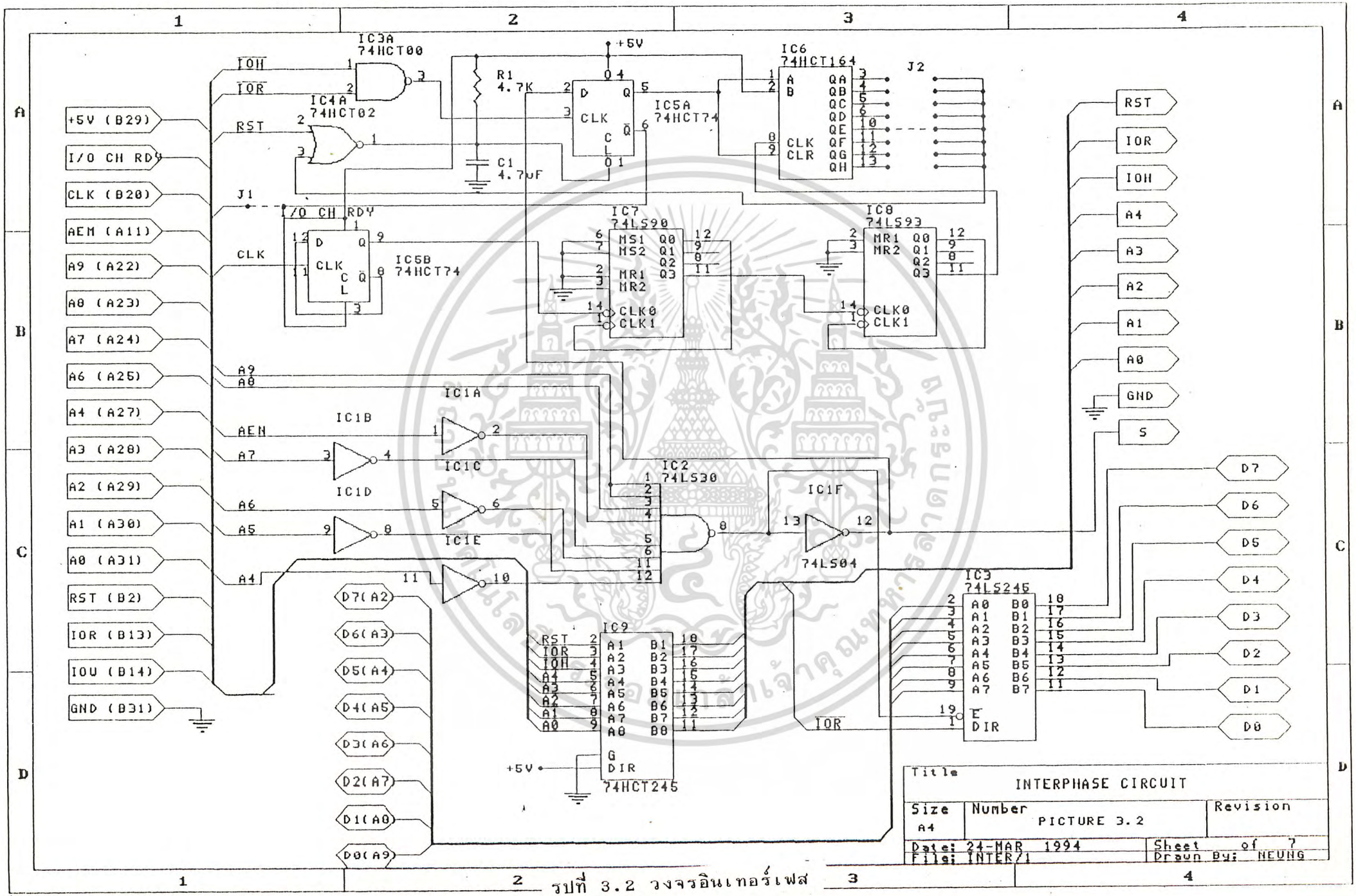
วงจรอินเทอร์เฟสจะแสดงในรูปที่ 3.2 ซึ่งจะประกอบด้วยวงจรถอดรหัสหมายเลขพอร์ท จะถอดรหัสหมายเลขพอร์ทตั้งแต่หมายเลข 300H ถึง 31FH ซึ่งจะประกอบด้วยหมายเลขพอร์ที่ใช้งานจริงกับพอร์ทภายในไอซี 8255 เองที่ใช้เพื่อการควบคุมพอร์ทต่างๆขึ้นอยู่กับรหัสที่ส่งเข้าไปในคอนโทรลพอร์ทของ 8255

วงจรของการ์ดอินเทอร์เฟสนี้จะประกอบไปด้วยส่วนของ Wait State อีกส่วนหนึ่งจุดประสงค์ก็เพื่อให้ระบบทำงานได้กับคอมพิวเตอร์ที่ทำงานที่ความถี่สูงเกินกว่าอุปกรณ์บางตัวของระบบจะทำงานได้ทัน หลักการคือจะทำการหน่วงเวลาสัญญาณสำหรับการอ่านหรือการเขียนออกไป โดยให้ลอจิกแก่ขา I/O CH RDY ของคอมพิวเตอร์นั่นคือช่วงเวลาที่จะหน่วงขึ้นอยู่กับระยะเวลาในการหน่วง ในส่วนนี้จะใช้วงจรหารความถี่ซึ่งประกอบด้วยไอซี 74HCT164,74LS90,74LS93

ไซเคิลการทำงานในการอ่านหรือเขียนกับพอร์ท ซึ่งเป็นอุปกรณ์อินพุท/เอาท์พุทจะใช้เวลาในกระบวนการ 4 ไซเคิลของสัญญาณนาฬิกาหลักที่ CPU ได้รับ ถ้าที่ขา I/O CH RDY มีลอจิกเป็น"0"จำนวนไซเคิลของกระบวนการติดต่อพอร์ทจะเพิ่มขึ้น นั่นก็คือจะเป็นการลดความถี่ที่จะส่งเข้าไปในสายเชื่อมโยงมีความถี่ต่ำลง

ในส่วนของ I/O พอร์ท และอินเทอร์เฟสนี้ได้ออกแบบให้ใช้งานเต็มช่วงที่กำหนดให้ Prototype ตามมาตรฐานของ IBM/PC สัญญาณข้อมูลเข้าและออกจะมีการผ่านบัฟเฟอร์ทั้งหมดในส่วนของ Wait State นั้นจะใช้จั้มเปอร์เพื่อที่จะสามารถเลือกช่วงเวลาของ Wait state ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



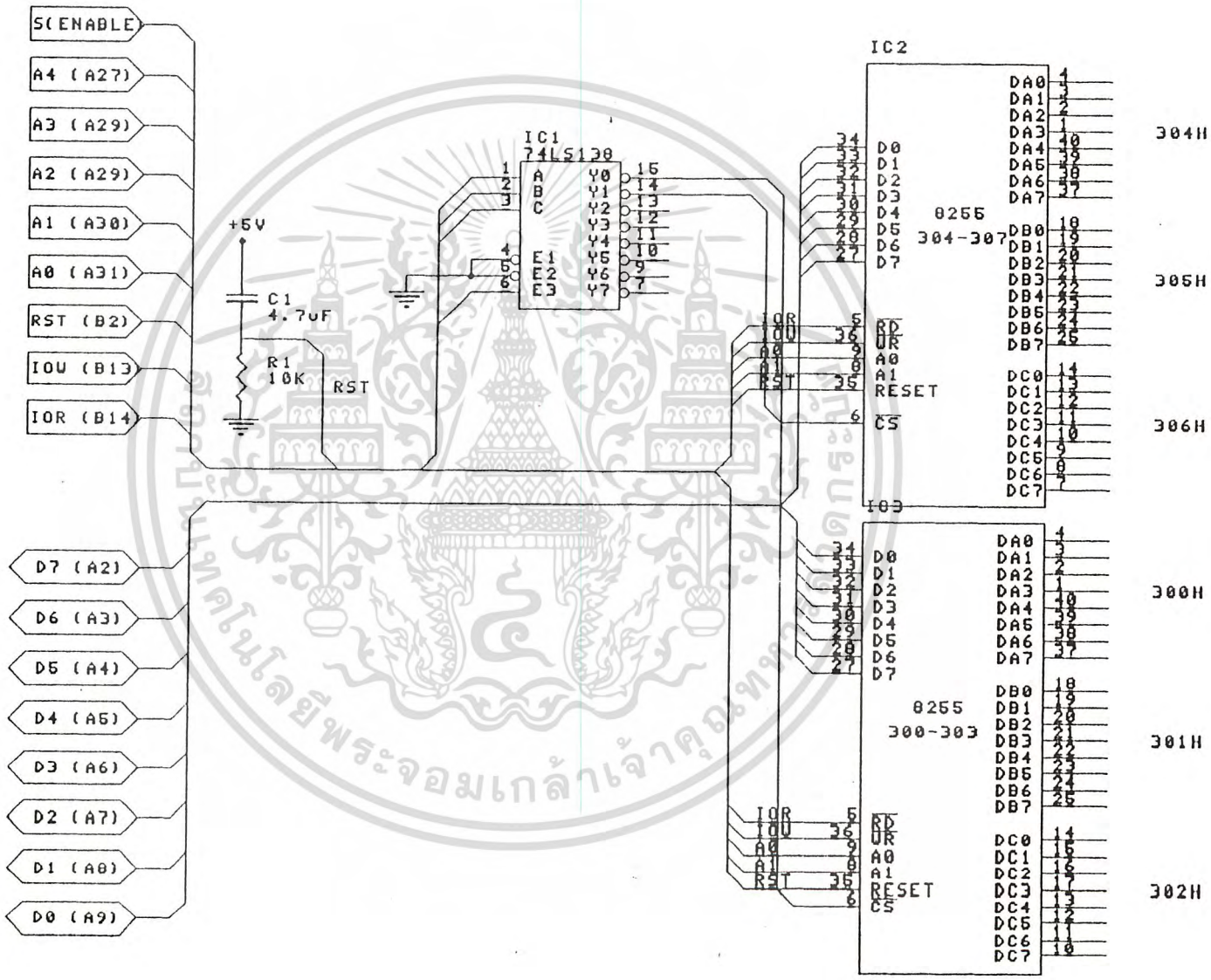
รูปที่ 3.2 วงจรอินเทอร์เฟส

3.2.1 วงจร I/O พอร์ท 8255

วงจรนี้ทำหน้าที่ผ่านข้อมูลจากไมโครคอมพิวเตอร์ไปควบคุมส่วนอื่นๆของวงจรให้ทำงานเป็นไปตามต้องการและถูกต้องตามจังหวะการทำงาน ส่วนของวงจรจะประกอบไปด้วย 2 ส่วนใหญ่ๆ คือ

- ไอซี 8255 ทำหน้าที่เป็นอินพุท, เอาท์พุทพอร์ท
- ไอซี Decode ทำหน้าที่เป็นตัวเลือกตำแหน่งของพอร์ท 8255 ซึ่งจะทำการดีโค้ดพอร์ท 300H ถึง 307H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

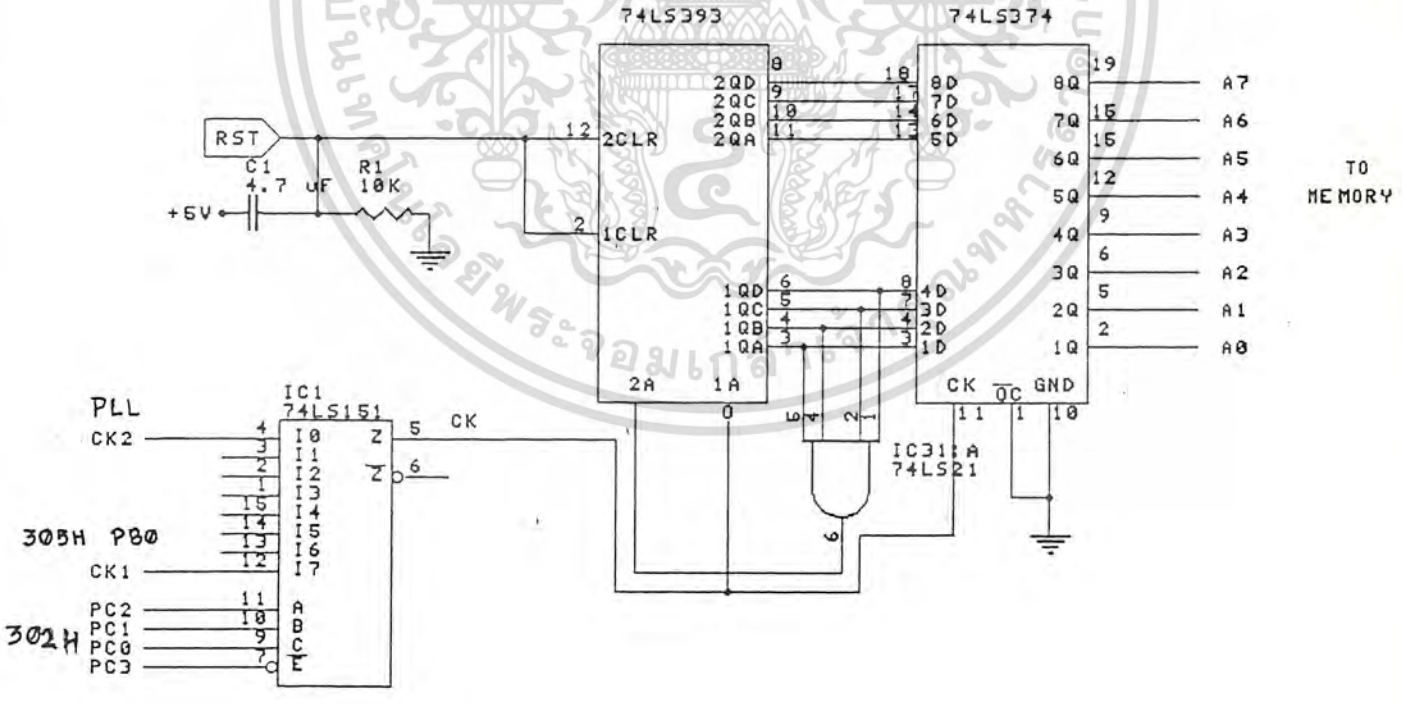


รูปที่ 3.3 วงจร I/O พอร์ท 8255

3.2 วงจรนับ

ทำหน้าที่เป็นตัวนับตำแหน่งแอดเดรสให้กับหน่วยความจำเพื่อบันทึกข้อมูลจากคอมพิวเตอร์ลงในหน่วยความจำ เมื่อคอมพิวเตอร์ส่วข้อมูลของรูปคลื่นมาและจะนับแอดเดรสให้กับหน่วยความจำอีกเพื่อนำข้อมูลจากหน่วยความจำมาสร้างเป็นสัญญาณรูปคลื่น โดยจะได้รับสัญญาณนาฬิกาจากวงจรเฟสล็อกลูปและจากขา PB0 ของ 8255 พอร์ท 305H และจะมีตัวเลือกสัญญาณนาฬิกาโดยใช้ ไอซี 74LS151 ซึ่งสามารถควบคุมการเลือกได้จากพอร์ท 302H (PC4-PC0) คือถ้าเป็น "0111" จะเลือกสัญญาณนาฬิกาจากขา PB0 พอร์ท 305H ถ้าเป็น "0000" จะเลือกสัญญาณนาฬิกาจากเฟสล็อกลูป

วงจรนับจะใช้ไอซีเบอร์ 74LS393 ซึ่งเป็นวงจรนับแบบ 8 บิท นับจาก "0"ถึง "256"(00H-FFH)จะเริ่มนับจาก00H จนกระทั่งถึง FFH และเริ่มนับใหม่ที่ 00H อย่างนี้ไปเรื่อยๆจนกว่าจะหยุดทำงานและใชไอซี 74LS374 เป็นแลทช์เพื่อส่งข้อมูลออกไปให้หน่วยความจำพร้อมๆ กัน



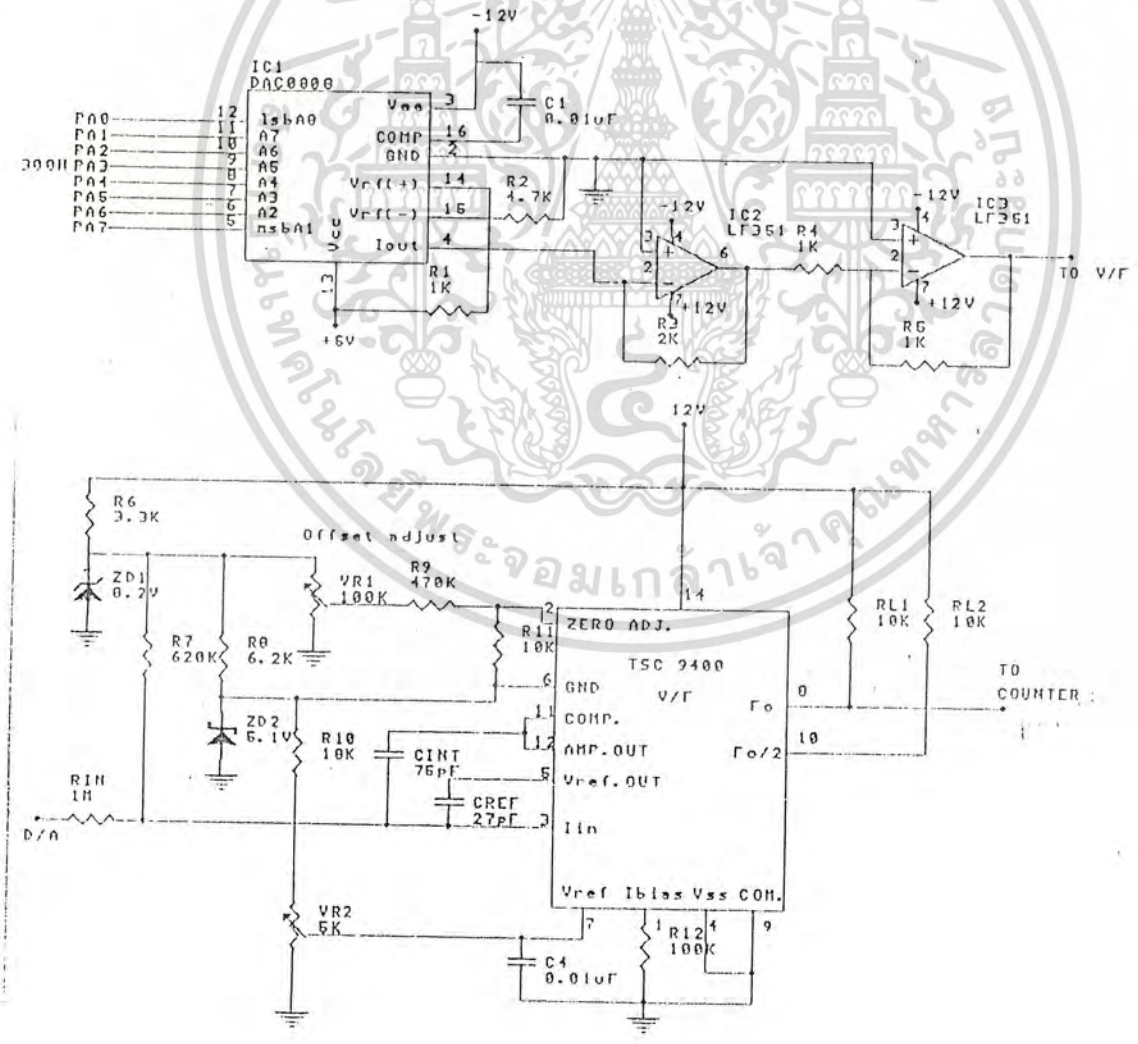
รูปที่ 3.4 วงจรนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรเปลี่ยนแรงดันเป็นความถี่

ทำหน้าที่เปลี่ยนข้อมูลจากคอมพิวเตอร์ซึ่งเป็นสัญญาณดิจิตอลผ่านวงจรแปลงดิจิตอลเอนาล็อกและผ่านวงจรแปลงสัญญาณแรงดันเป็นความถี่ซึ่งเป็นสัญญาณนาฬิกาป้อนให้วงจรนับเพื่อเป็นแอดเดรสให้กับแรมนำข้อมูลของสัญญาณเอาท์พุทที่จะสร้างขึ้นออกมาและกำหนดความถี่ได้โดยผ่านทางพอร์ท 300H

วงจรแบ่งออกเป็น 2 ส่วนคือ วงจร DAC (Digital to analog converter) และวงจร V/F (voltage to Frequency) วงจร DAC จะออกแบบให้มีแรงดันเอาท์พุท 0-10 V ใช้ไอซี DAC 0808 ป้อนเป็นอินพุทให้กับวงจร V/F ซึ่งใช้ ไอซี TSC 9400 มีย่านความถี่ 10 Hz-100 KHz ความถี่นี้จะเปลี่ยนตามแรงดันที่ป้อนเข้ามา การคำนวณและการออกแบบดูได้จากทฤษีบทที่ 2



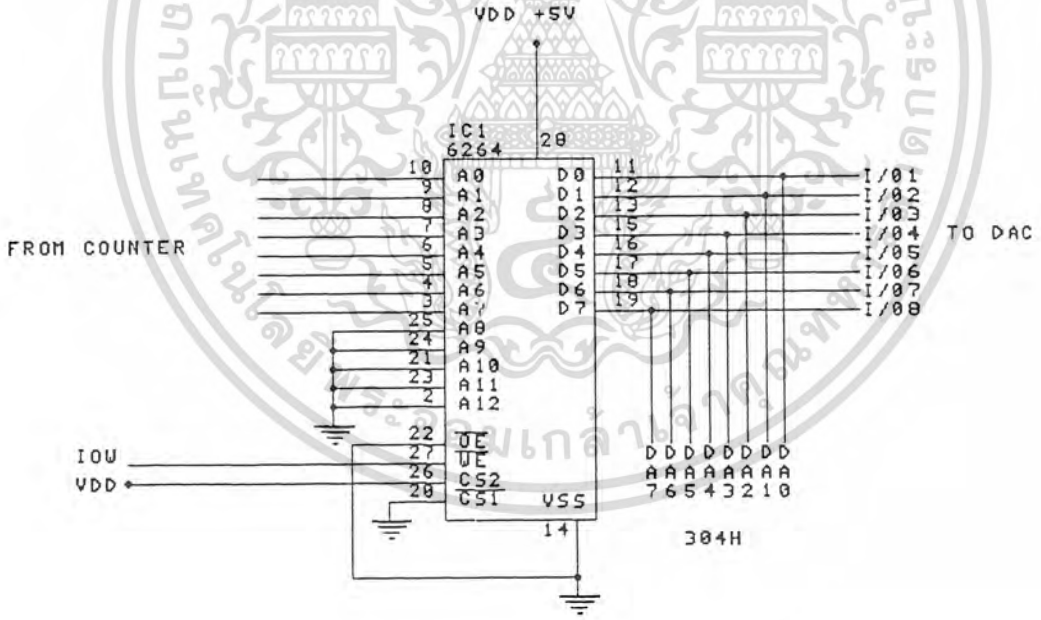
รูปที่ 3.5 วงจรเปลี่ยนแรงดันเป็นความถี่แบบโปรแกรมได้

เอกสารนี้เป็นการเผยแพร่สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรหน่วยความจำ

เป็นตัวเก็บข้อมูลของรูปคลื่นที่ได้จากการคำนวณของคอมพิวเตอร์นำมาบันทึกลง จากนั้นจะทำการอ่านข้อมูลออกจากหน่วยความจำเพื่อนำมาสร้างเป็นรูปคลื่นที่ต้องการ เราสามารถเปลี่ยนความถี่ของรูปคลื่นได้โดยเปลี่ยนสัญญาณนาฬิกาที่ได้จาก V/F ซึ่งจะทำให้วงจรนับเปลี่ยนความเร็วในการนับตำแหน่งแอดเดรสของหน่วยความจำ ทำให้เวลา Access Time ในการเข้าถึงข้อมูลออกมาเปลี่ยนไป ส่งผลให้ข้อมูลออกมาที่ได้มีความเร็วเปลี่ยนไปเมื่อผ่าน DAC แล้วทำให้รูปคลื่นมีความถี่เปลี่ยนไป

หน่วยความจำเราจะใช้สแตติกค์แรมเบอร์ CDM 6264 เป็นแรมที่มีความเร็วสูงควบคุมการอ่านและการเขียนจากคอมพิวเตอร์โดยใช้สัญญาณ IOW ถ้า IOW เป็น"0"สัญญาณ WE เป็น"0"ทำให้เขียนข้อมูล IOW เป็น "1" ทำให้ WE เป็น"1"จะเป็นการอ่านข้อมูลออกมา ข้อมูลที่จะบันทึกลงจะมาจากพอร์ท 304H



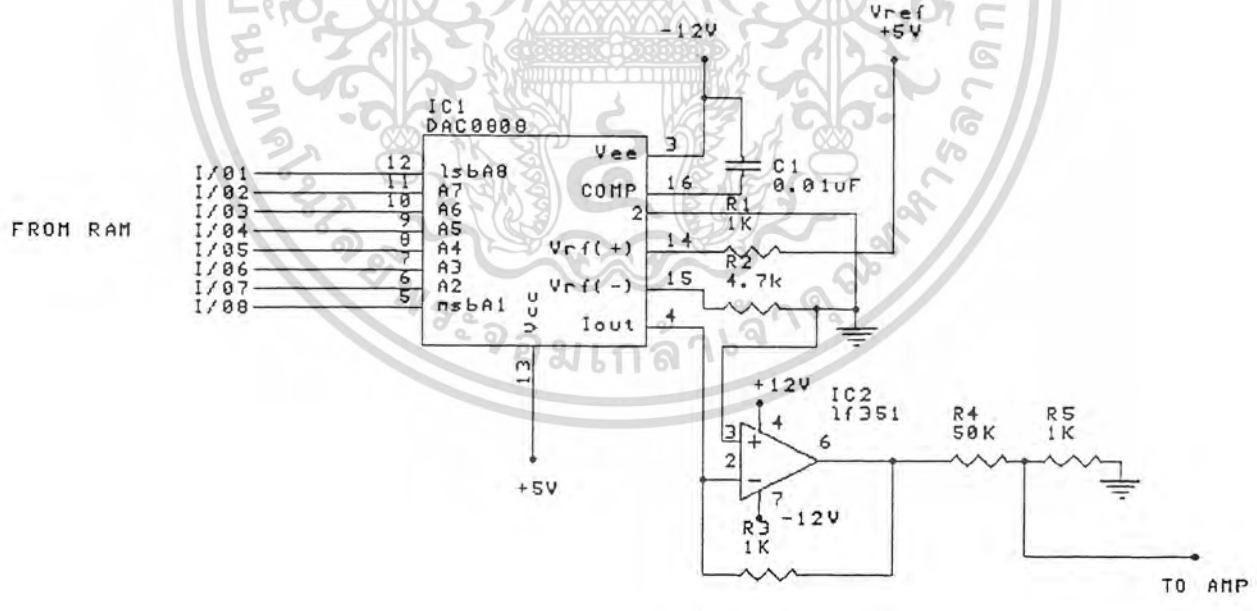
รูปที่ 3.6 วงจรหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

วงจรนี้จะทำหน้าที่ในการแปลงสัญญาณดิจิตอลมาเป็นระดับสัญญาณแรงดันไฟตรง วงจรนี้เราใช้ไอซีเบอร์ DAC 0808 ซึ่งควบคุมแรงดันเอาท์พุทได้จากไบนารี่อินพุทที่ป้อนให้ ในการออกแบบใช้ Vref +5 V เอาท์พุทที่ได้เป็นกระแส และใช้ไอซี LM 351 เปลี่ยนกระแสเป็นแรงดัน

เราจะใช้วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกทั้งหมด 3 วงจร โดยวงจรแรกเป็นตัวแปลงข้อมูลที่เป็นสัญญาณดิจิตอลจากแรมให้เป็นรูปคลื่นที่เราต้องการ วงจรที่สองเป็นส่วนที่ควบคุมวงจรแปลงแรงดันเป็นความถี่ และวงจรที่สามเป็นวงจรควบคุมอัตราการขยายแรงดันของวงจรขยายสัญญาณแบบโปรแกรมได้ ในรูปที่ 3.7 เป็นส่วนแปลงข้อมูลจากแรมเป็นรูปคลื่นสัญญาณ R4 และ R5 เป็นวงจรแบ่งแรงดัน ซึ่งต่อไว้เพื่อลดทอนสัญญาณเพื่อป้อนให้กับไอซี LM 318 ของวงจรขยายสัญญาณแบบโปรแกรมได้ เพื่อไม่ให้สัญญาณที่จะนำมาขยายเกิดการผิดเพี้ยน

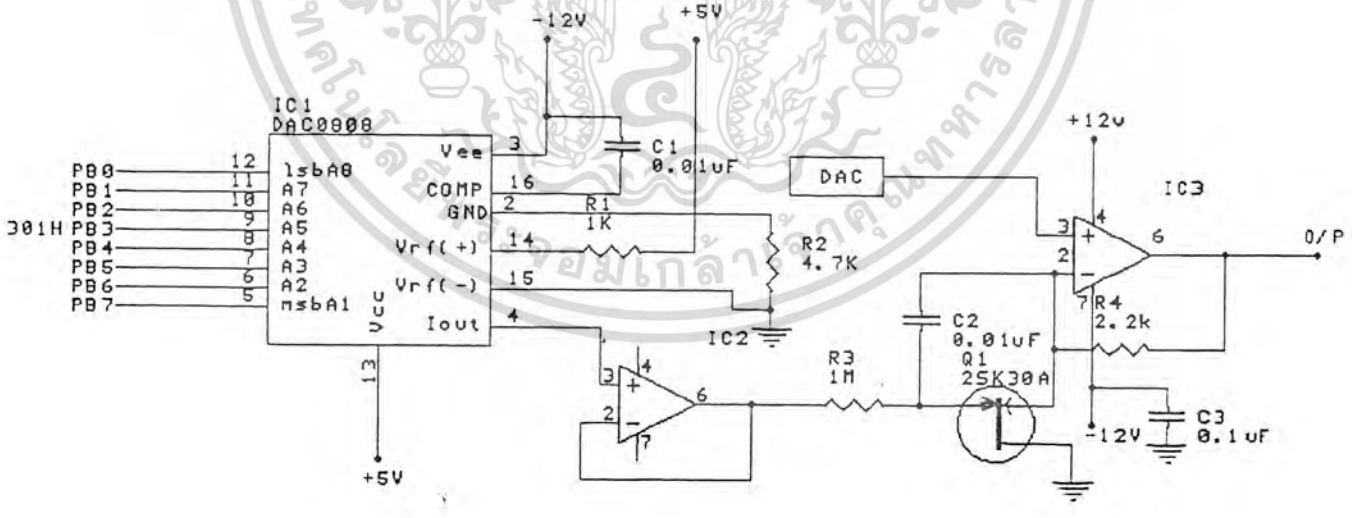


รูปที่ 3.7 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรขยายสัญญาณแบบโปรแกรมได้

วงจรขยายสัญญาณแบบโปรแกรมได้นี้จะใช้ออปแอมป์ต่อแบบนอนอินเวอร์ติ้งแอมป์ซึ่งอาศัยอัตราควบคุมการขยายของสัญญาณได้จากการควบคุมไฟตรงที่เป็นลบเข้ามาทางขาเกทของเอ็นแชนแนลเจเฟท ซึ่งแรงดันนี้ได้มาจากการแปลงของ DAC จากพอร์ท 301H หลักการทำงานคือออปแอมป์จะรับสัญญาณจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกซึ่งแปลงข้อมูลจากแรมเข้าทางขา 3 และออปแอมป์จะทำหน้าที่ขยายสัญญาณที่เข้ามาโดยสามารถเลือกขนาดของสัญญาณได้โดยการโปรแกรมซึ่งจะผ่านการอินเทอร์เฟสของ 8255 จะได้แรงดันไฟลบไปเข้าขาเกทของเจเฟท ซึ่งแรงดันไฟตรงนี้จะควบคุมให้เจเฟทเปลี่ยนแปลงความต้านทานระหว่างขาเดรนกับขาซอร์สได้ ซึ่งเท่ากับว่าอัตราการขยายของออปแอมป์เปลี่ยนแปลงค่าได้ตามต้องการ ซึ่งจะใช้ออปแอมป์ที่มีความเร็วค่อนข้างสูง LM 318 และใช้เจเฟท 2SK30A สัญญาณที่เข้ามาที่ขา 3 ของออปแอมป์จะต้องไม่เกิน 0.5 Vp-p ไม่เช่นนั้นจะทำให้สัญญาณที่ขยายเกิดความผิดเพี้ยนได้



รูปที่ 3.8 วงจรขยายสัญญาณแบบโปรแกรมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

จากการทดลองเราใช้พอร์ทต่างๆของ 8255 ดังต่อไปนี้

port A1 ใช้ควบคุมความถี่

port B1 ใช้ควบคุมขนาดของสัญญาณ

port A2 ใช้ส่งข้อมูลเก็บลงในแรม

port B2 ใช้เป็นสัญญาณนาฬิกาเพื่อเก็บข้อมูลลงในแรม

port C2 ใช้เลือกสัญญาณนาฬิกาให้กับวงจรนับ

การทดลองควบคุมขนาดของสัญญาณ

รหัสฐานสิบหก	ขนาดของเอาท์พุท (Vp-p)
00	12
05	11.6
0A	11
0F	10.6
14	10.2
19	9.85
1E	9.45
23	8.9
28	8.45
2D	8.15
32	7.65
37	7.15
3C	6.28
41	5.88
46	5.42
4B	4.86
50	4.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55	3.63
5A	3.09
5F	2.51
64	1.9
69	1.2
6E	0.705
73	0.37
78	0

การควบคุมความถี่ของสัญญาณ

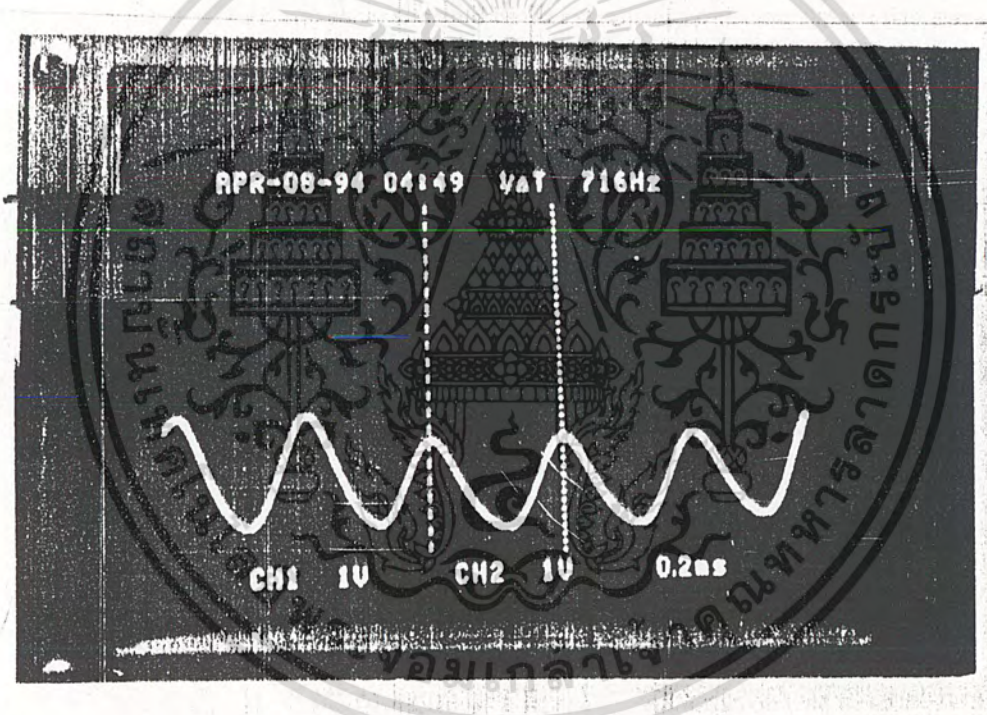
รหัสฐานสิบหก	ความถี่สัญญาณเอาท์พุท (HZ)
00	0
02	11.6
05	65.3
0A	199
0F	251
14	340
19	432
1E	531
23	611
28	694
2D	735
32	740
37	606
3C	472
41	268
46	229

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองจะได้ขนาดสัญญาณและความถี่สัญญาณดังนี้

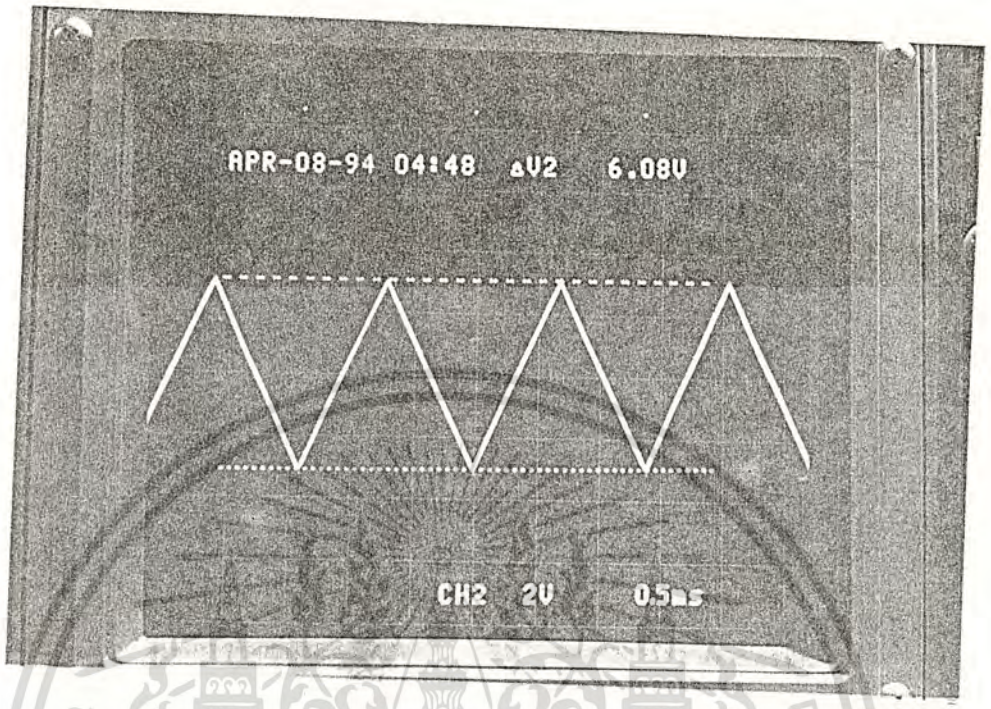
- สัญญาณ SINE ได้ แรงดัน สูงสุด 6 Vp-p ต่ำสุด 0.375 Vp-p
- สัญญาณสามเหลี่ยมได้แรงดันสูงสุด 6 Vp-p ต่ำสุด 0.375 Vp-p
- [illegible] สูงสุด 12 Vp-p ต่ำสุด 0.375 Vp-p
- สัญญาณฟันเลื่อยได้แรงดันสูงสุด 12 Vp-p ต่ำสุด 0.375 Vp-p
- ความถี่ต่ำสุด 11.6 Hz สูงสุด 800 Hz

รูปสัญญาณที่ได้จากการทดลองมีดังนี้

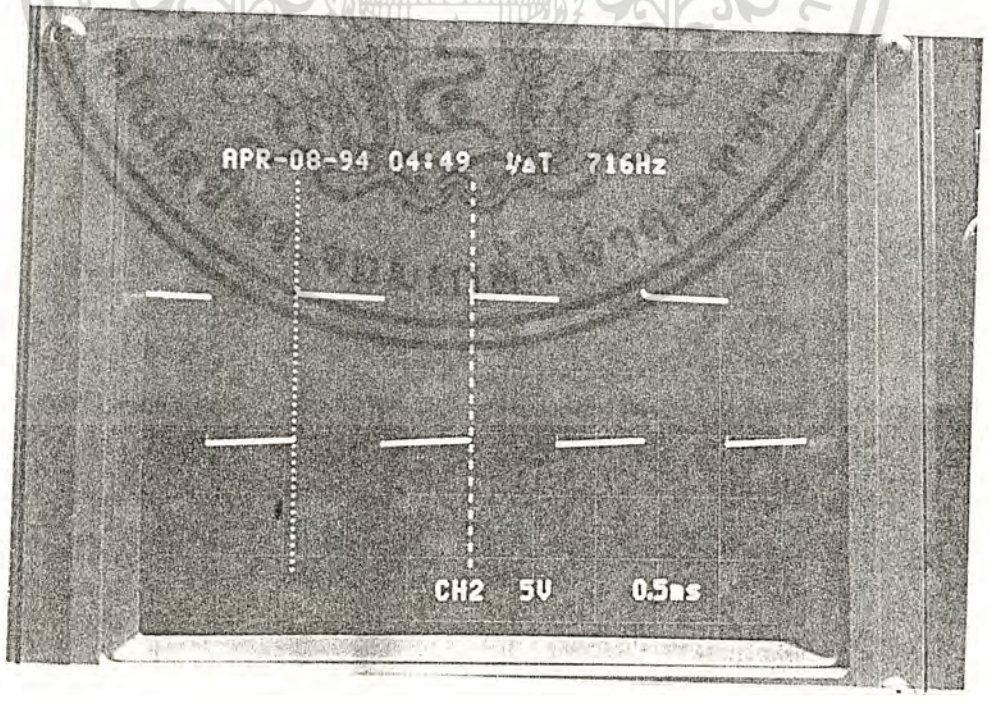


รูปที่ 4.1 สัญญาณ SINE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

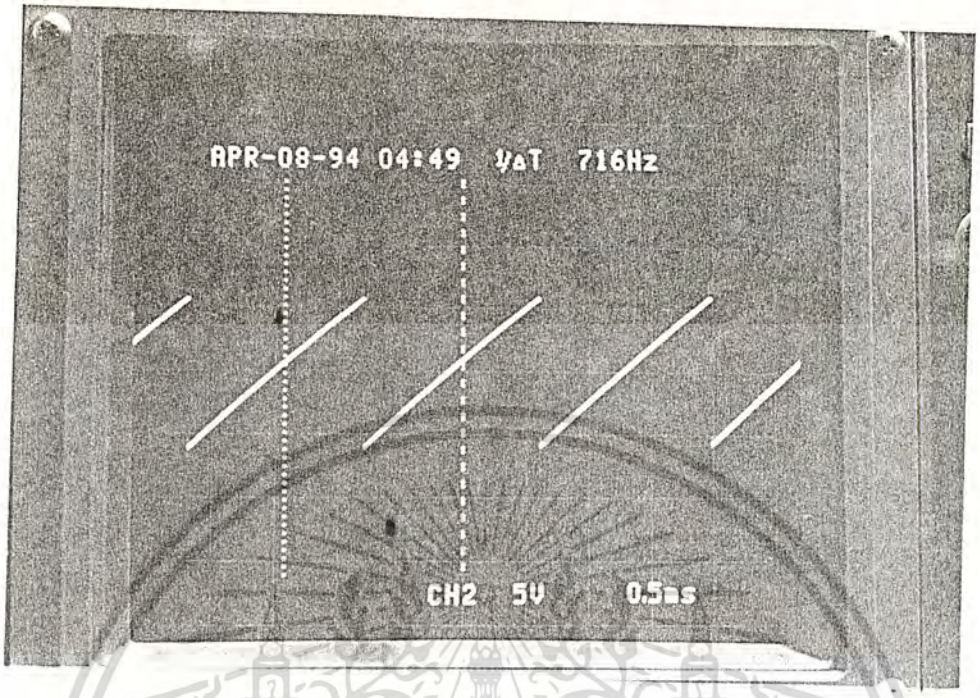


รูปที่ 4.2 สัญญาณ สามเหลี่ยม



รูปที่ 4.3 สัญญาณสี่เหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 สัญญาณพัลส์เลื่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและวิจารณ์ผลการทดลอง

1. สัญญาณของรูปคลื่นที่เอาท์พุทจะมีขนาดสูงสุดประมาณ 12 Vp-p เนื่องจากความสามารถในการทำงานของเจเฟท เพราะถ้าเราเพิ่มอัตราการขยายที่มากกว่านี้ เจเฟทจะเกิดการอิ่มตัว และเอาท์พุทมีขนาดต่ำสุดประมาณ 0.375 Vp-p ซึ่งสัญญาณจะผิดเพี้ยนถ้าต่ำกว่านี้จะทำให้สัญญาณผิดเพี้ยนมากขึ้น

2. ความถี่ของสัญญาณเอาท์พุทที่ได้จะต้องใช้ความถี่อินพุทที่ป้อนเป็นสัญญาณนาฬิกาให้แก่วงจรนับสูง เช่นต้องการความถี่เอาท์พุท 1 KHz จะต้องป้อนสัญญาณอินพุทที่ความถี่ 256 KHz ($f_{in} = f_o.2^n$,n=จำนวนบิท) จึงเป็นข้อจำกัดของความถี่เอาท์พุท เพราะถ้าเราต้องการความถี่เอาท์พุทสูงจะต้องใช้ความถี่อินพุทสูงมากขึ้น

3. เนื่องจากการใช้ความถี่สูงจึงมีปัญหาในเรื่องของสัญญาณรบกวนที่เข้ามาปะปนกับสัญญาณเอาท์พุท และการทำงานของอุปกรณ์บางตัวอาจเกิดการทำงานผิดพลาดเมื่อต้องทำงานในย่านความถี่ที่สูง บางครั้งการทำงานของวงจรจะเป็นตัวกำเนิดสัญญาณรบกวนไปรบกวนการทำงานของคอมพิวเตอร์

ความสามารถของวงจรยังมีข้อผิดพลาดและข้อจำกัดเราสามารถแก้ไขเพิ่มเติมพัฒนาวงจรได้โดยมีแนวทางการพัฒนาดังต่อไปนี้

1. สัญญาณรูปคลื่นที่ได้ยังมีรูปแบบของรูปคลื่นน้อย เราสามารถเพิ่มเติมรูปคลื่นต่างๆ เข้าไปได้ โดยเพิ่มเติมในส่วนของโปรแกรม

2. ความถี่ที่ได้ยังอยู่ในย่านที่ไม่สูงมากนักและขนาดของสัญญาณที่ได้ก็ยังไม่สูงมากนัก เราสามารถที่จะเพิ่มย่านความถี่ให้สูงขึ้นและขนาดของสัญญาณให้มากขึ้นได้โดยเพิ่มความถี่อินพุทที่ป้อนสัญญาณให้กับวงจรนับสูงขึ้น และเพิ่มอัตราการขยายของวงจรขยายสัญญาณให้สูงขึ้น

3. ความถี่และขนาดของสัญญาณที่ได้ตลอดย่านยังไม่ linear จะต้องปรับปรุงวงจรเปลี่ยนแรงดันเป็นความถี่แล้วงจรขยายสัญญาณ วงจรกำเนิดสัญญาณนี้ไม่สามารถปรับค่า DC OFFSET ได้ ถ้าต้องการก็สามารถเพิ่มเติมโดยสร้างวงจรบวกสัญญาณไฟตรงแบบโปรแกรมได้เข้าไปในวงจร

4. เนื่องจากขีดจำกัดของวงจรเปลี่ยนแรงดันเป็นความถี่ไม่สามารถสร้างความถี่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

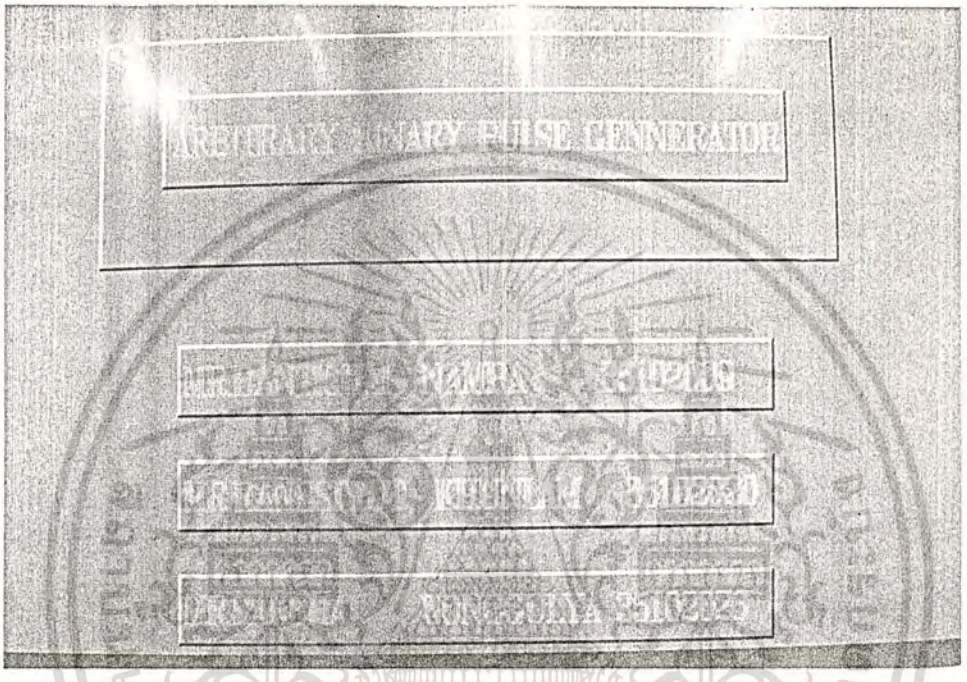
สูงเราสามารถแก้ไขในส่วนนี้ได้โดยสร้างวงจรเฟสล็อกลูปและวงจรหาร N เพื่อเพิ่มความถี่ให้สูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

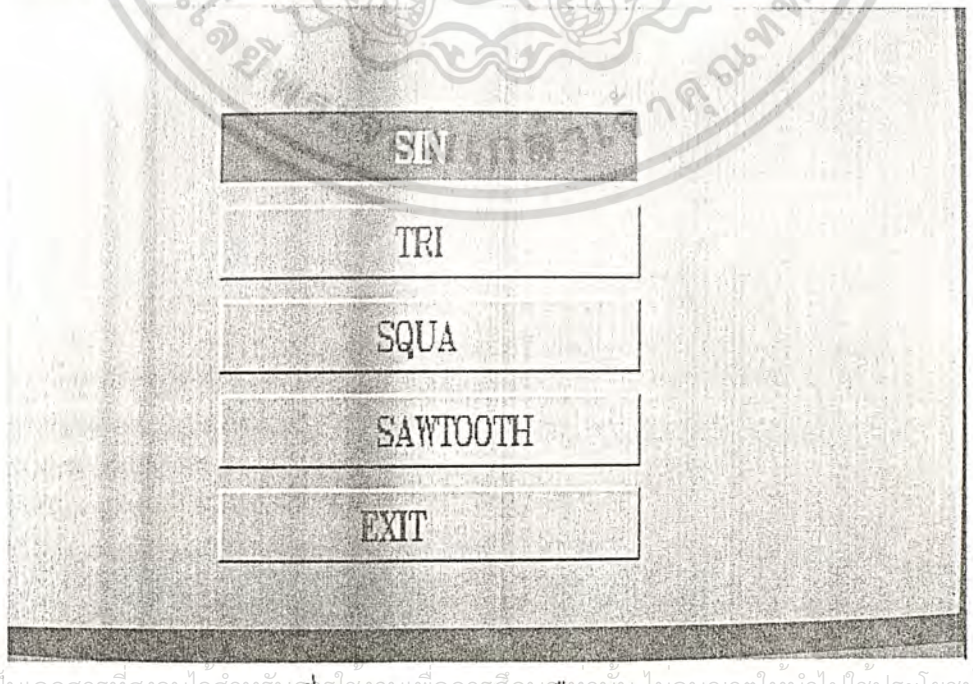
การใช้งานโปรแกรม

เมื่อทำการโหลดโปรแกรมออกมาที่จอคอมพิวเตอร์จะปรากฏชื่อโครงงานและชื่อผู้จัดทำโครงงาน



รูปที่ 6.1 ชื่อโครงงานและผู้จัดทำโครงงาน

กด ENTER จะเข้าสู่เมนูหลักซึ่งจะเป็นเมนูสำหรับเลือกสัญญาณที่ต้องการ



รูปที่ 6.2 เมนูหลักเลือกสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลื่อนเคอร์เวอร์เพื่อทำการเลือกสัญญาณแล้วกด ENTER ข้อมูลในโปรแกรมจะถูกส่งออกมาบันทึกไว้ในแรมของการ์ดจากนั้นหน้าจอจะปรากฏข้อความดังรูป

ENTER AMPLITUDE (1-12 V):....

ENTER FREQUENCY (0-800 Hz):....

ซึ่งจะให้ใส่ค่าความถี่และขนาดของสัญญาณลงไปจากนั้นกด ENTER คอมพิวเตอร์จะส่งข้อมูลของความถี่และขนาดของสัญญาณไปให้การ์ดจากนั้นโปรแกรมจะกลับสู่เมนูหลัก เมื่อต้องการเปลี่ยนสัญญาณความถี่หรือขนาดของสัญญาณก็ทำซ้ำเหมือนขั้นตอนเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*****************************************************************************
FILE NAME :  FG.C
progammer :  BANTICHAI NAMPA
   :  RANGSIWUT KHUNLAM
   :  SAKCHAI   WONGGULYA
Create    :  23 / 03 / 1994
Update    :  24 / 03 / 1994
Purpose   :  Prototype function for COMMAND LINES
Comment   :  This utility for functiongen

Copyright (c) 1994 King Mongkut's Institute of Technology Ladkrabang

*****************************************************************************/
#include <graphics.h>
#include <stdlib.h>
#include <stdio.h>

#definePORT_A10x300
#definePORT_B10x301
#definePORT_C10x302
#definePORT_P10x303
#definePORT_A20x304
#definePORT_B2 0x305
#definePORT_C20x306
#definePORT_P20x307

void logo(void);
void selectmenu(void);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
int check(int key);
void sinex(void);
void cosx(void);
void sine2(void);
void cos2(void);
void gauss(void);

int bb[6]={130,170,210,250,290,330};
int ww[6]={300,300,290,290,280,300};
char *tt[6]={"SIN","COS","SIN-2","COS-2","GAUSSIAN","EXIT"};
int begin = 0;

unsigned int AMP;
unsigned int FRQ;
unsigned int Y;

float freq;
float y;

main()
{
opengraph();
logo();
/*kmitsong();*/
selectmenu();
closegraph();
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void logo(void)
{
bbx0(0,0,640,480,15,8,7);
bbx0(100,100,540,200,15,8,7);
bbx0(140,130,510,170,15,8,7);
bbx0(150,240,500,270,15,8,7);
bbx0(150,290,500,320,15,8,7);
bbx0(150,340,500,370,15,8,7);
writetext(150,140,14,1,0,1,"ARBITRARY BINARY PULSE GENERATOR");
writetext(165,245,14,1,0,1,"MR.BANTICHAI  NAMPA     35102009");
writetext(165,295,14,1,0,1,"MR.RANGSIWUT KHUNLAM  35102020");
writetext(165,345,14,1,0,1,"MR.SAKCHAI   WONGGULYA 35102026");
}

void selectmenu(void)
{
int key;

outport(PORT_P1,0x80);
outport(PORT_P2,0x80);
bbx0(0,0,640,480,15,8,7);
bbx0(200,130,440,160,8,15,3);
bbx0(200,170,440,200,15,8,7);
bbx0(200,210,440,240,15,8,7);
bbx0(200,250,440,280,15,8,7);
bbx0(200,290,440,320,15,8,7);
bbx0(200,330,440,360,15,8,7);
writetext(300,135,14,1,0,1,"SIN");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
writetext(300,175,6,1,0,1,"COS");
writetext(290,215,6,1,0,1,"SIN-2");
writetext(290,255,6,1,0,1,"COS-2");
writetext(280,295,6,1,0,1,"GAUSSIAN");
writetext(300,335,6,1,0,1,"EXIT");
do{
key = getch();
if(key==0) {
key=getch();
if((key==72) || (key==80)) {
check(key);
}
}
else {
if(key==13) {
switch(begin) {
case  0 :  sinex();  break;

case  1 :  cosx();  break;

case  2 :  sine2();  break;

case  3 :  cos2();  break;

case  4 :  gauss();  break;

case  5 :  closegraph(); exit(1);
  break;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    }
    }
    }

    } while((key != 13));
    }

    int check(int key)
    {
    if(key==72) {
    speaker(1000,10);
    bbx0(200,bb[begin],440,bb[begin]+30,15,8,7);
    writetext(ww[begin],bb[begin]+5,6,1,0,1,tt[begin]);
    begin = (begin == 0) ? 5 : begin - 1;
    bbx0(200,bb[begin],440,bb[begin]+30,8,15,3);
    writetext(ww[begin],bb[begin]+5,14,1,0,1,tt[begin]);
    }
    if(key==80) {
    speaker(1000,10);
    bbx0(200,bb[begin],440,bb[begin]+30,15,8,7);
    writetext(ww[begin],bb[begin]+5,6,1,0,1,tt[begin]);
    begin = (begin == 5) ? 0 : begin + 1;
    bbx0(200,bb[begin],440,bb[begin]+30,8,15,3);
    writetext(ww[begin],bb[begin]+5,14,1,0,1,tt[begin]);
    }

    }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void sinex(void)
{
int x;
bbx0(0,0,640,480,15,8,7);
fi1:bbx0(50,200,600,300,7,7,7);
writetext(70,210,14,0,0,1,"Enter Amplitude (1..20V): ");
gotoxy(38,17);
printf(" ");
scanf("%d",&AMP);
if(AMP < 0 || AMP > 20)
goto fi1;
fi2:bbx0(50,300,600,400,7,7,7);
writetext(70,310,14,0,0,1,"Enter Frequence (0.1...100kH): ");
gotoxy(44,20);
printf(" ");
scanf("%f",freq);
if(freq < 0 || freq > 100.00)
goto fi2;

AMP = (int)(AMP*255/20);
FRQ = (int)((freq*10-1)*255/999);
outport(PORT_B1,AMP);
outport(PORT_A1,FRQ);
outport(PORT_C1,0x3);
for(x=1;x<=255;x++){
outport(PORT_B2,0x1);
y=sin(x*360.0000/255.000);
Y=(int)((y+1)*255.00/2.00);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*****************************************************************************
FILE NAME :  INITIAL.C
progammer :  BANTICHAI NAMPA
   :  RANGSIWUT KHUNLAM
   :  SAKCHAI   WONGGULYA
Create    :  23 / 03 / 1994
Update    :  24 / 03 / 1994
Purpose   :  Prototype function for initial graphics
Comment   :  This utility for functiongen

Copyright (c) 1994 King Mongkut's Institute of Technology Ladkrabang

*****************************************************************************/
#include <graphics.h>
#include <stdlib.h >
#include <stdio.h  >
#include <stdarg.h >
#include <conio.h  >
#include <ctype.h  >
#include <dos.h    >
#include <alloc.h  >
#include <string.h >

int GraphDriver = DETECT, GraphMode, ErrorCode = 0;

void Initialize()
{
initgraph(&GraphDriver, &GraphMode, " ");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 ErrorCode = graphresult();
 if(ErrorCode != grOk)
 {
 printf(" Graphics System Error: %s\n",
 grapherrormsg(ErrorCode));
 exit(1);
 }
 }

 void RegisterDriverF()
 {
 if(registerfarbgidriver(CGA_driver_far     ) < 0)exit(1);
 if(registerfarbgidriver(EGAVGA_driver_far  ) < 0)exit(1);
 if(registerfarbgidriver(Herc_driver_far    ) < 0)exit(1);
 if(registerfarbgidriver(ATT_driver_far     ) < 0)exit(1);
 if(registerfarbgidriver(PC3270_driver_far  ) < 0)exit(1);
 if(registerfarbgidriver(IBM8514_driver_far ) < 0)exit(1);
 }

 void RegisterFontF()
 {
 if(registerfarbgifont(triplex_font_far     ) < 0)exit(1);
 if(registerfarbgifont(small_font_far   ) < 0)exit(1);
 if(registerfarbgifont(sansserif_font_far   ) < 0)exit(1);
 if(registerfarbgifont(gothic_font_far   ) < 0)exit(1);
 }

 void opengraph()
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{
RegisterDriverF();
RegisterFontF();
Initialize();
}

void Pause()
{
if(kbhit)getch();
getch();
}

void speaker(int f,int t)
{
sound(f);
delay(t);
nosound();
}

void bbx0(int sx,int sy,int ex,int ey,int c_tl,int c_br,int c_mid)
{
setfillstyle(1,c_mid);
bar(sx,sy,ex,ey);
setfillstyle(1,c_tl);
bar(sx,sy,sx,ey);
bar(sx,sy,ex,sy);
setfillstyle(1,c_br);
bar(sx,ey,ex,ey);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
bar(ex,sy,ex,ey);
setcolor(0);
}

void bbx1(int sx,int sy,int ex,int ey,int c_tl,int c_br,int c_mid)
{
setfillstyle(1,c_mid);
bar(sx,sy,ex,ey);
setfillstyle(1,c_tl);
bar(sx,sy,sx+1,ey);
bar(sx,sy,ex,sy+1);
setfillstyle(1,c_br);
bar(sx+1,ey-1,ex,ey);
bar(ex-1,sy+1,ex,ey);
setcolor(0);
}

void bbx(int sx,int sy,int ex,int ey,int c_tl,int c_br,int c_mid)
{
setfillstyle(1,c_mid);
bar(sx,sy,ex,ey);
setfillstyle(1,c_tl);
bar(sx,sy,sx+2,ey);
bar(sx,sy,ex,sy+2);
setfillstyle(1,c_br);
bar(sx+2,ey-2,ex,ey);
bar(ex-2,sy+2,ex,ey);
setcolor(0);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void bbxtri(int sx,int sy)
{
int n;
bbx1(sx,sy,sx+16,sy+15,15,8,7);
for(n=0;n<=4;n++) {
bbx0(sx+8-n,sy+2+n,sx+8+n,sy+2+n,0,0,0);
bbx0(sx+8-n,sy+12-n,sx+8+n,sy+12-n,0,0,0);
}
}

void bbxtrii(int sx,int sy)
{
int n;
bbx0(sx,sy,sx+16,sy+15,8,15,14);
for(n=0;n<=4;n++) {
bbx0(sx+8-n,sy+2+n,sx+8+n,sy+2+n,0,0,0);
bbx0(sx+8-n,sy+12-n,sx+8+n,sy+12-n,0,0,0);
}
}

void bbxesc(int sx,int sy)
{
bbx1(sx,sy,sx+16,sy+15,15,8,7);
bbx1(sx+4,sy+6,sx+12,sy+8,0,0,0);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void bbxesci(int sx,int sy)
{
bbx0(sx,sy,sx+16,sy+15,8,15,14);
bbx1(sx+4,sy+6,sx+12,sy+8,0,0,0);
}

upkey(int sx, int sy)
{
int n;
bbx1(sx,sy,sx+16,sy+15,15,8,7);
sx -= 1;    sy -=1;
for(n=0;n<=4;n++) {
bbx0(sx+8-n,sy+5+n,sx+8+n,sy+5+n,0,0,0);
}
}

downkey(int sx, int sy)
{
int n;
bbx1(sx,sy,sx+16,sy+15,15,8,7);
sx -= 1;    sy -=1;
for(n=0;n<=4;n++) {
bbx0(sx+8-n,sy+10-n,sx+8+n,sy+10-n,0,0,0);
}
}

leftkey(int sx, int sy)
{
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
int n;
bbx1(sx,sy,sx+16,sy+15,15,8,7);
sx -= 1;    sy -=1;
for(n=0;n<=4;n++) {
bbx0(sx+5+n,sy+8-n,sx+5+n,sy+8+n,0,0,0);
}
}

rightkey(int sx, int sy)
{
int n;
bbx1(sx,sy,sx+16,sy+15,15,8,7);
sx -= 1;    sy -=1;
for(n=0;n<=4;n++) {
bbx0(sx+11-n,sy+8-n,sx+11-n,sy+8+n,0,0,0);
}
}

upkeyi(int sx, int sy)
{
int n;
bbx1(sx,sy,sx+16,sy+15,8,15,14);
for(n=0;n<=4;n++) {
bbx0(sx+8-n,sy+5+n,sx+8+n,sy+5+n,4,4,4);
}
}

downkeyi(int sx, int sy)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{
int n;
bbx1(sx,sy,sx+16,sy+15,8,15,14);
for(n=0;n<=4;n++) {
bbx0(sx+8-n,sy+10-n,sx+8+n,sy+10-n,4,4,4);
}
}

leftkeyi(int sx, int sy)
{
int n;
bbx1(sx,sy,sx+16,sy+15,8,15,14);
for(n=0;n<=4;n++) {
bbx0(sx+5+n,sy+8-n,sx+5+n,sy+8+n,4,4,4);
}
}

rightkeyi(int sx, int sy)
{
int n;
bbx1(sx,sy,sx+16,sy+15,8,15,14);
for(n=0;n<=4;n++) {
bbx0(sx+11-n,sy+8-n,sx+11-n,sy+8+n,4,4,4);
}
}

writetext(int sx,int sy,int color,char font,int direct,
int size,char *text)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{
settextstyle(font,direct,size);
setcolor(color);
outtextxy(sx,sy,text);
}

writetextxy(int xloc, int yloc, int color, char font, int direct,
 int size, char *fmt, ...)
{
va_list argptr;
char str[140];
struct textsettingstype textinfo;
va_start(argptr, format);
vsprintf(str, fmt, argptr);
gettextsettings(&textinfo);
settextstyle(font,direct,size);
setcolor(color);
outtextxy(xloc, yloc, str);
va_end(argptr);
}

void special(int t)
{
int n;
for(n = 1; n <= t; n++) {
sound(random(3000));
sound(random(5000));
sound(random(1000));
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
}
nosound();
}

/*****************************<end of initial.C>*******************************/
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*****************************************************************************
FILE NAME :  KMITSONG.C
progammer :  BANTICHAI NAMPA
  :  RANGSIWUT KHUNLAM
  :  SAKCHAI   WONGGULYA
Create    :  23 / 03 / 1994
Update    :  24 / 03 / 1994
Purpose   :  Prototype function for kmit song
Comment   :  This utility for Communications System Analysis

Copyright (c) 1994 King Mongkut's Institute of Technology Ladkrabang
*****************************************************************************/
#include "DOS.H"
#define  C  262
#define  D  294
#define  E  330
#define  F  350
#define  G  392
#define  A  440
#define  B  467
#define  CH 524
#define  DH 588
#define  EH 660
#define  FH 700
#define  GH 785
#define  AH 880
#define  BH 934
#define  REST 25000
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#define  QQE 937.5
#define  Q 375
#define  EN 187.5
#define  ES 287.25
#define  S 93.75
#define  EP 187.5
#define  QP 375
#define  BLANK 5
#define MAXNOTE 109
#define  speed 0.866

void kmitsong(void);
void kmitsong(void)
{
int i = 0;
int melody[] = {
A,DH,CH,A,G,F,D,G,F,D,C,A,DH,CH,G,A,DH,CH,FH,DH,A,CH,F,G,A,G,
C,A,G,F,D,C,F,G,A,G,A,CH,G,A,G,A,DH,CH,A,REST,A,G,D,F,
B,CH,B,CH,REST,CH,REST,DH,CH,B,CH,A,G,F,REST,G,REST,G,REST,G,C,G,CH,A,G,E,D,E,
A,DH,CH,A,G,F,D,G,F,D,C,A,DH,CH,G,A,DH,CH,FH,DH,A,CH,A,G,D,F
};

int del[] = {
EN,EN,QQE,EN,EN,EN,EN,EN,EN,EN,Q,EN,EN,ES,S,EN,EN,EN,EN,EN,EN,EN,EN,EN,EN,Q,
EN,EN,QQE,EN,EN,EN,ES,S,ES,S,Q,EN,EN,ES,S,EN,EN,EN,S,BLANK,S,EN,EN,QQE,
ES,S,EN,Q,20,Q,EP,ES,S,EN,EN,EN,EN,EN,EP,S,BLANK,S,BLANK,EN,EN,EN,EN,EN,EN,ES,
EN,EN,QQE,EN,EN,EN,EN,EN,EN,EN,Q,EN,EN,ES,S,EN,EN,EN,EN,EN,EN,EN,EN,EN,QQE
};
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
while(!bioskey(1)){
sound(melody[i]);
delay(del[i]*speed);
if(i < MAXNOTE) i++;
if(i == MAXNOTE){
nosound();
i = 0;
}
}
nosound();
bioskey(0);
}
/*********************************<END OF SONG.C>*****************************/
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4a);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4a);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4a);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4a);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4b);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4b);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4b);
outportb(PORT_B2,0x01);
delay(0.5);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4b);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4c);
outportb(PORT_B2,0x01);
   delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4c);
outportb(PORT_B2,0x01);
   delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4c);
outportb(PORT_B2,0x01);
   delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4d);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4d);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4e);
outportb(PORT_B2,0x01);
delay(0.5);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x4f);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x50);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x51);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x52);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x53);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x54);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x55);
outportb(PORT_B2,0x01);
delay(0.5);
```

เอกสารนี้สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x56);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x57);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x58);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x59);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x5a);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x5b);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x5c);
outportb(PORT_B2,0x01);
delay(0.5);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x5d);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x5e);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x5f);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x60);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x61);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x62);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x63);
outportb(PORT_B2,0x01);
delay(0.5);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x64);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x65);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x66);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x67);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x68);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x69);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x6a);
outportb(PORT_B2,0x01);
delay(0.5);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x6b);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x6c);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x6d);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x6e);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x6f);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x70);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x71);
outportb(PORT_B2,0x01);
delay(0.5);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x72);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x73);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x74);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x75);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x76);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x77);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x78);
outportb(PORT_B2,0x01);
delay(0.5);
```

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x79);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x7a);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x7b);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x7c);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x7d);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x7e);
outportb(PORT_B2,0x01);
delay(0.5);
outportb(PORT_B2,0x00);
outportb(PORT_A2,0x7f);
outportb(PORT_B2,0x01);
delay(0.5);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        outportb(PORT_B2,0x00);
        outportb(PORT_C2,0x27);
        bbx0(0,0,640,480,15,8,7);
fi1:    bbx0(50,200,600,300,7,7,7);
        writetext(70,210,14,0,0,1,"Enter Amplitude (1...6 V):");
        gotoxy(38,16);
        printf(" ");
        scanf("%d",&AMP);
        if(AMP < 0 || AMP > 6)
    goto fi1;
fi2:    bbx0(50,300,600,400,7,7,7);
        writetext(70,310,14,0,0,1,"Enter Frequence (10...800Hz):");
        gotoxy(38,23);
        printf(" ");
        scanf("%d",&freq);
        if(freq < 10 || freq > 800)
    goto fi2;
        AMP = (6-AMP)*10;
        FRQ = (freq/16)+1;
        outportb(PORT_C2,0x20);
        outportb(0x303,0x80);
        outportb(PORT_A1,FRQ);
        outportb(PORT_B1,AMP);
selectmenu();
}
void tri(void)
{
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        int p,w;
        outportb(0x307,0x80);
        outportb(PORT_C2,0x10);
    for(p=0;p<=127;p++)
    {
        outportb(PORT_A2,p);
        outportb(PORT_C2,0x07);
        outportb(PORT_B2,0x01);
        delay(0.5);
        outportb(PORT_B2,0x00);
    }
    for(w=127;w>=0;w--)
    {
        outportb(PORT_A2,w);
        outportb(PORT_C2,0x07);
        outportb(PORT_B2,0x01);
        delay(0.5);
        outportb(PORT_B2,0x00);
    }
        outportb(PORT_C2,0x27);
        bbx0(0,0,640,480,15,8,7);
fi1:    bbx0(50,200,600,300,7,7,7);
        writetext(70,210,14,0,0,1,"Enter Amplitude (1...6 V): ");
        gotoxy(38,16);
        printf(" ");
        scanf("%d",&AMP);
        if(AMP < 0 || AMP > 6)
          goto fi1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
fi2:  bbx0(50,300,600,400,7,7,7);
      writetext(70,310,140,0,0,1,"Enter Frequence (10...800Hz): ")
      gotoxy(38,23);
      printf(" ");
      scanf("%d",&freq);
      if(freq < 10 || freq > 800)
    goto fi2;
      AMP = (6-AMP)*10;
      FRQ = (freq/16)+1;
      outportb(PORT_C2,0x20);
      outportb(0x303,0x80);
      outportb(PORT_A1,FRQ);
      outportb(PORT_B1,AMP);
selectmenu();
}
void squa()
{
      int r,t;
      outportb(0x307,0x80);
      outportb(PORT_C2,0x10);
  for(r=0;r<=127;r++)
  {
      outportb(PORT_A2,0xff);
      outportb(PORT_C2,0x07);
      outportb(PORT_B2,0x01);
      delay(0.5);
      outportb(PORT_B2,0x00);
  }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
for(t=128;t>=0;t--)
{
    outportb(PORT_A2,0x00);
    outportb(PORT_C2,0x07);
    outportb(PORT_B2,0x01);
    delay(0.5);
    outportb(PORT_B2,0x00);
}
    outportb(PORT_C2,0x27);
    bbx0(0,0,640,480,15,8,7);
fi1: bbx0(50,200,600,300,7,7,7);
    writetext(70,210,14,0,0,1,"Enter Amplitude (1...12V):");
    gotoxy(38,16);
    printf(" ");
    scanf("%d",&AMP);
    if(AMP < 0 || AMP >12)
  goto fi1;
fi2: bbx0(50,300,600,400,7,7,7);
    writetext(70,310,14,0,0,1,"Enter Frequence (10...800Hz):");
    gotoxy(38,23);
    printf(" ");
    scanf("%d",&freq);
    if(freq < 10 || freq > 800)
  goto fi2;
    AMP = (12-AMP)*10;
    FRQ = (freq/16)+1;
    outportb(PORT_C2,0x20);
    outportb(0x303,0x80);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        outportb(PORT_A1,FRQ);
        outportb(PORT_B1,AMP);
selectmenu();
}
void sawt(void)
{
        int q;
        outportb(0x307,0x80);
        outportb(PORT_C2,0x10);
   for(q=0;q<=255;q++)
   {
        outportb(PORT_A2,q);
        outportb(PORT_C2,0x07);
        outportb(PORT_B2,0x01);
        delay(0.5);
        outportb(PORT_B2,0x00);
   }
        outportb(PORT_C2,0x27);
        bbx0(0,0,640,480,15,8,7);
fi1:    bbx0(50,200,600,300,7,7,7);
        writetext(70,210,14,0,0,1,"Enter Amplitude (1...12V):");
        gotoxy(38,16);
        printf(" ");
        scanf("%d",&AMP);
        if(AMP < 0 || AMP > 12)
     goto fi1;
fi2:    bbx0(50,300,600,400,7,7,7);
        writetext(70,310,14,0,0,1,"Enter Freqence (10...800Hz):");
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        gotoxy(38,23);
        printf(" ");
        scanf("%d",&freq);
        if(freq < 10 || freq > 800)
      goto fi2;
        AMP = (12-AMP)*10;
        FRQ = (freq/16)+1;
        outportb(PORT_C2,0x20);
        outportb(0x303,0x80);
        outportb(PORT_A1,FRQ);
        outportb(PORT_B1,AMP);
   selectmenu();

}

 /*********************************< end of file >**********************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

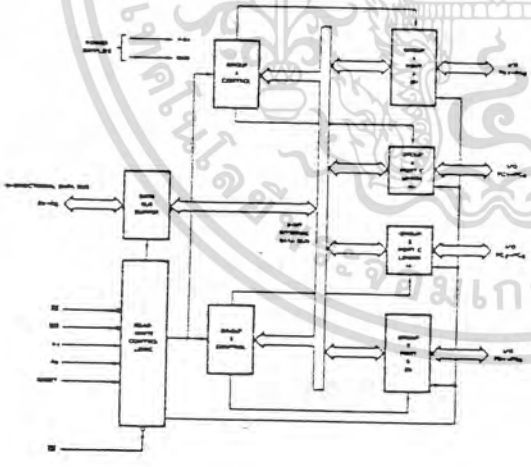


Figure 1. 8255A Block Diagram

Figure 2. Pin Configuration

*INTEL CORPORATION, 1982.

Order Number: 231306-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS – PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3-STATE

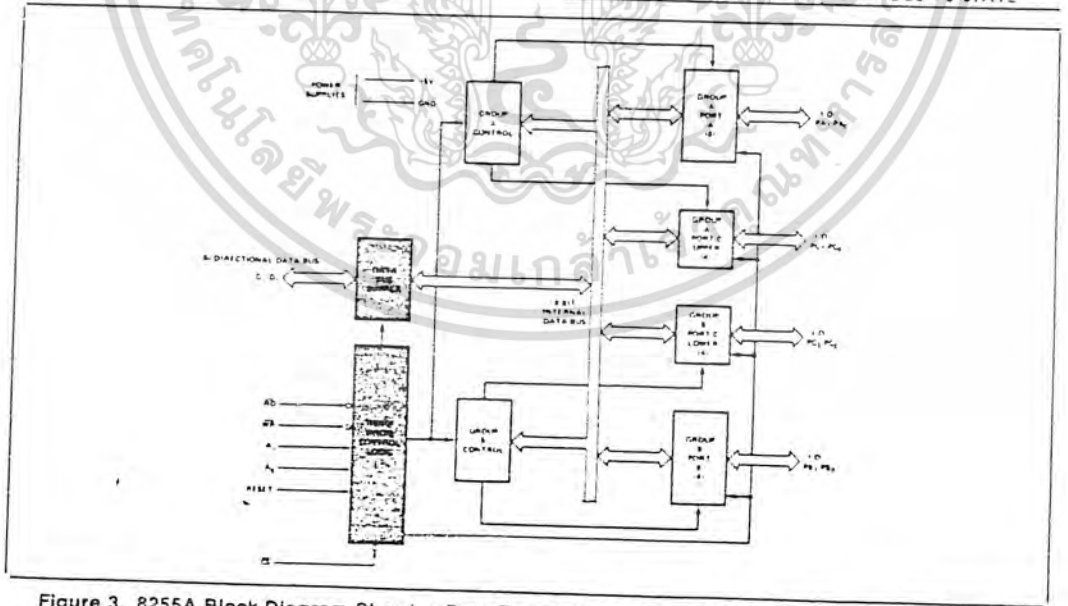


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

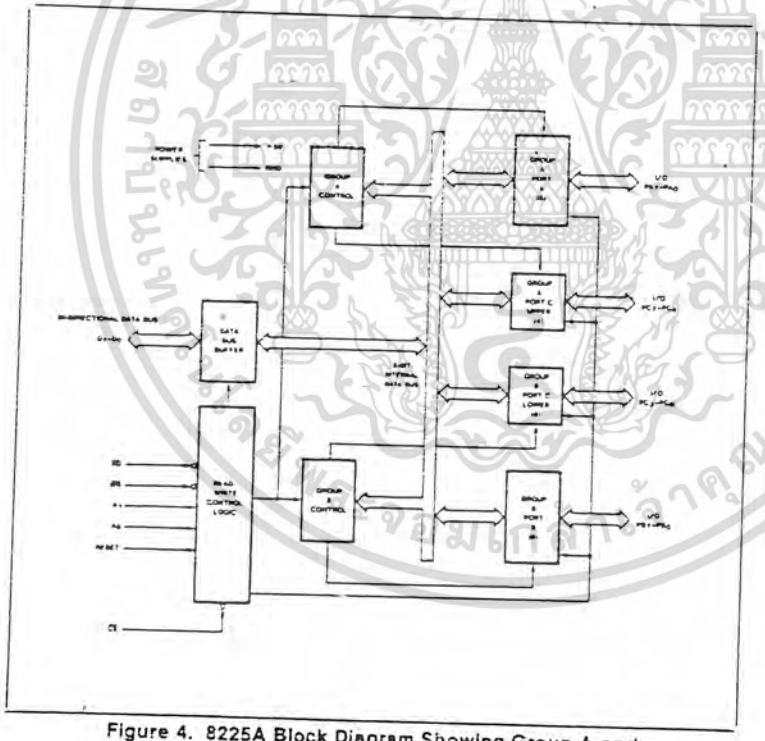
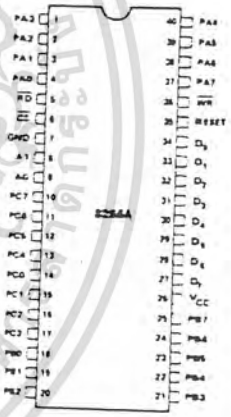


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D_7-D_0	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic Input/Output
Mode 1 — Strobed Input/Output
Mode 2 — Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

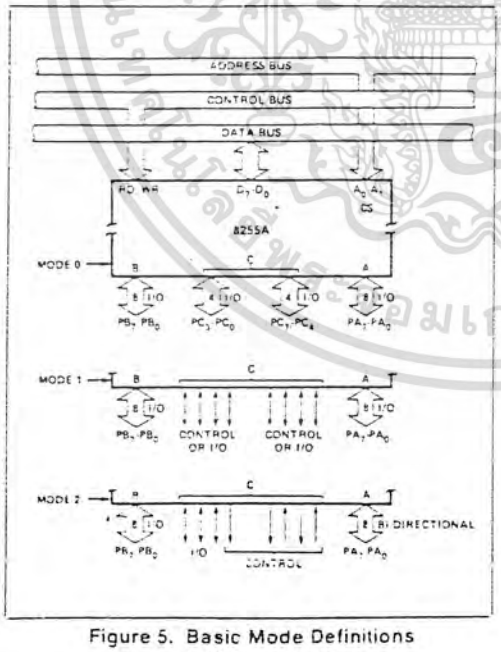


Figure 5. Basic Mode Definitions and Bus Interface

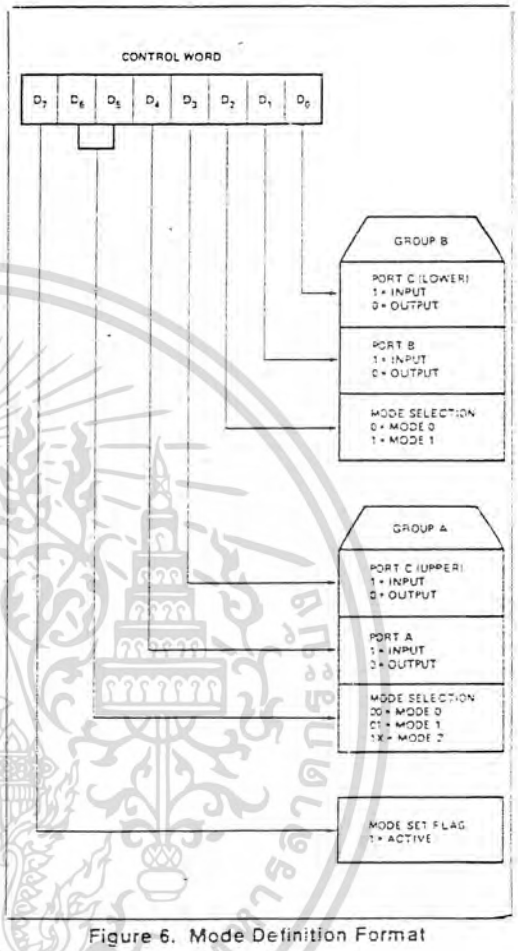


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

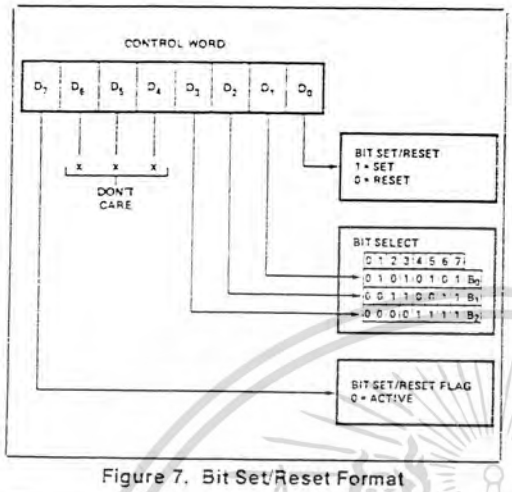


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET - Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

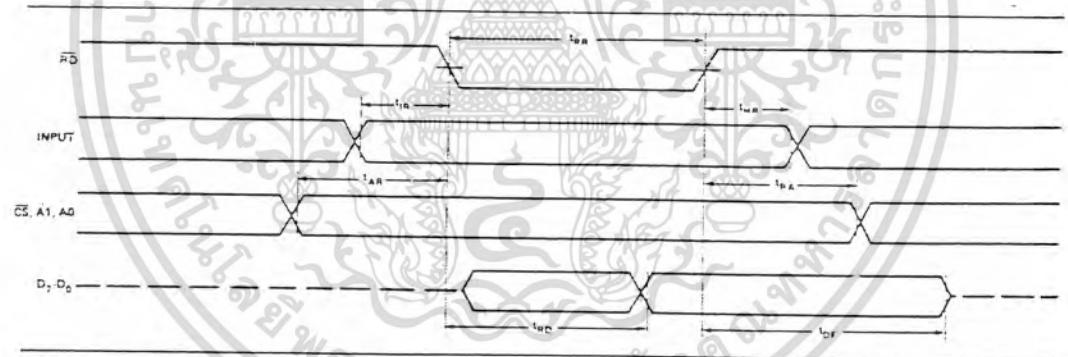
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

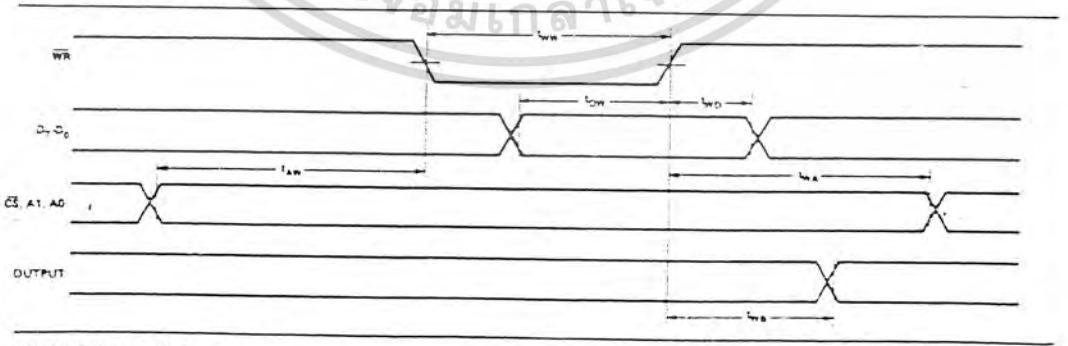
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



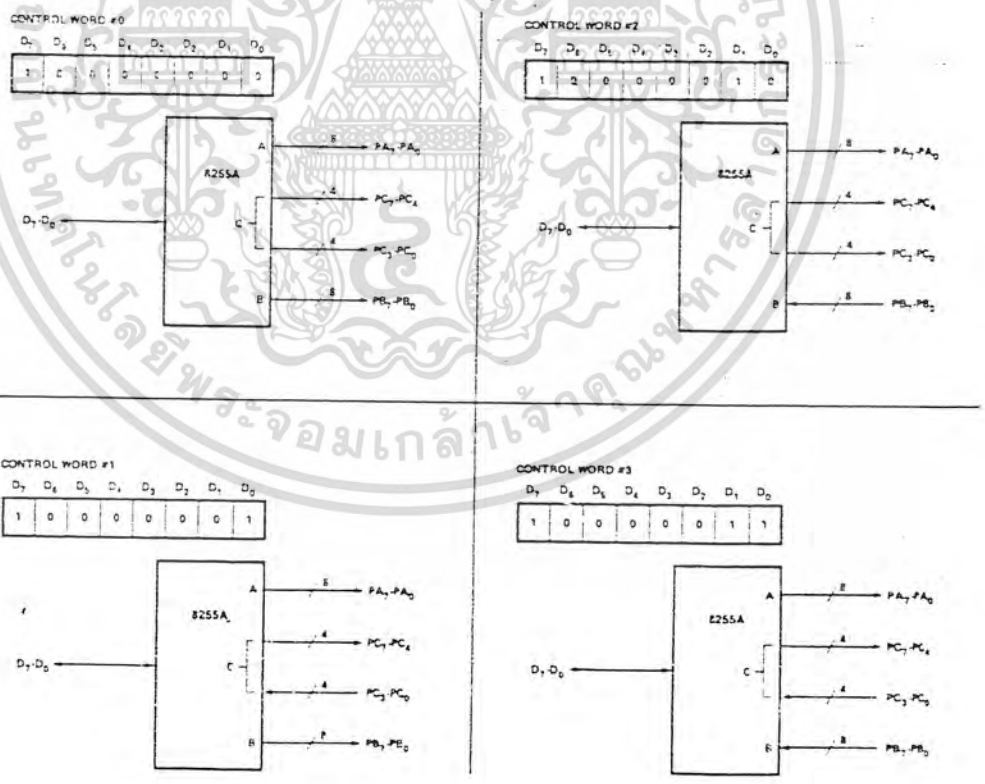
MODE 0 (Basic Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

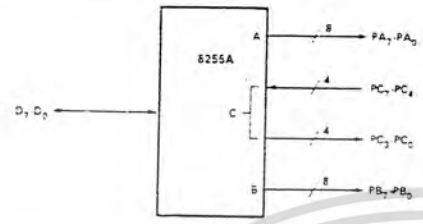
MODE 0 Configurations



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

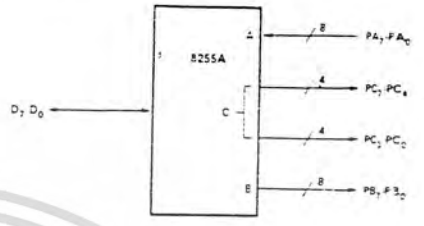
CONTROL WORD #4

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0



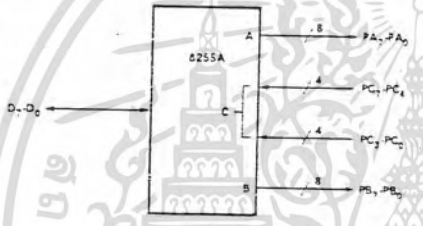
CONTROL WORD #8

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	0



CONTROL WORD #5

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	1

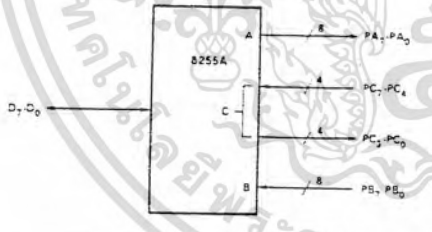


CONTROL WORD #9

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	1

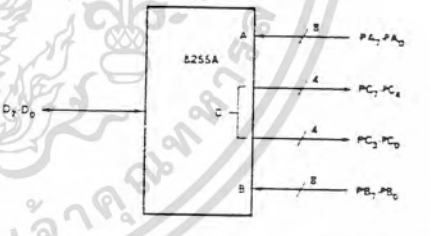
CONTROL WORD #6

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	0



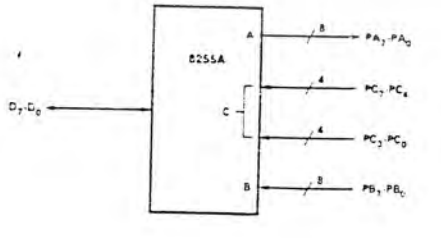
CONTROL WORD #10

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	0



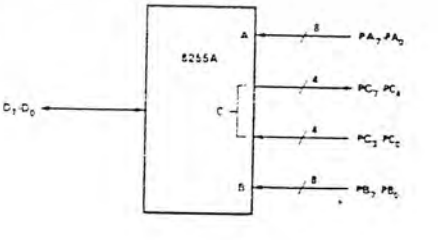
CONTROL WORD #7

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	1

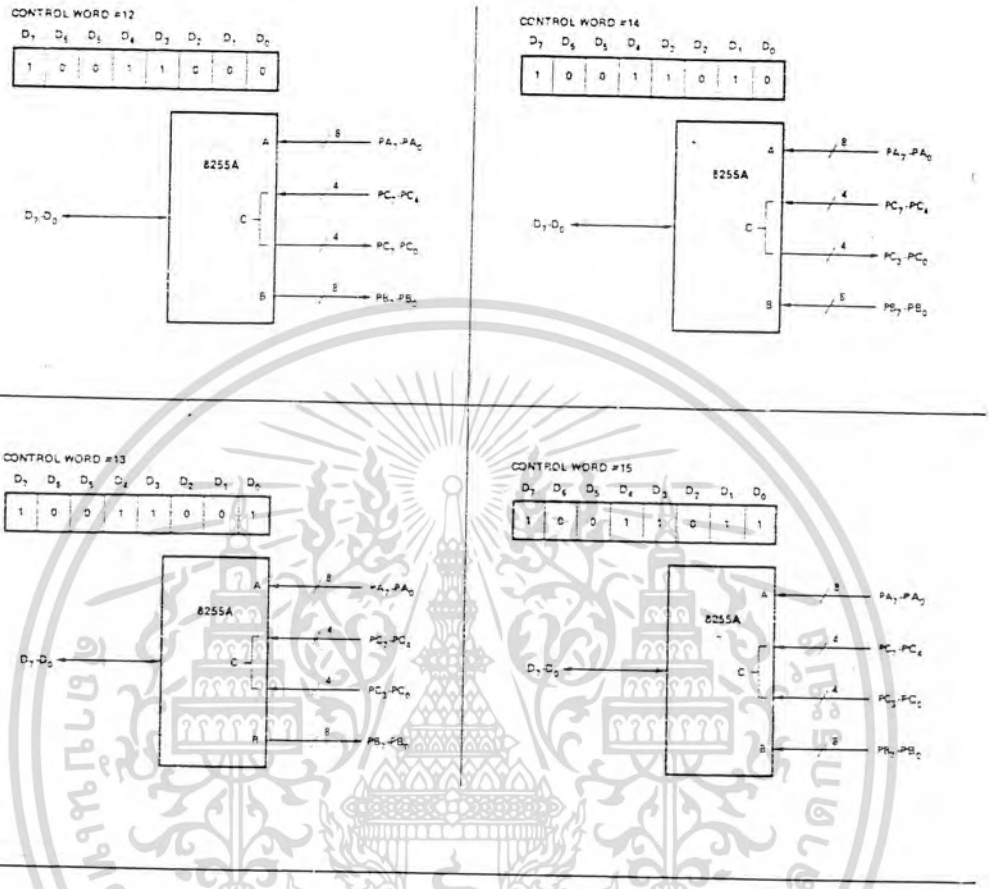


CONTROL WORD #11

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

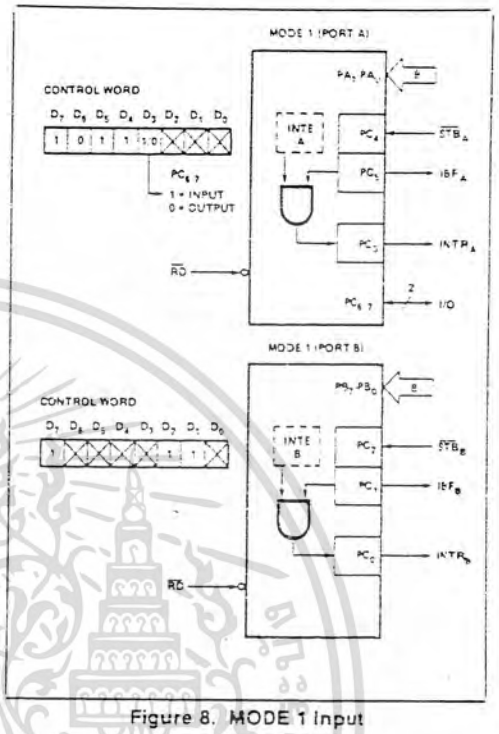


Figure 8. MODE 1 Input

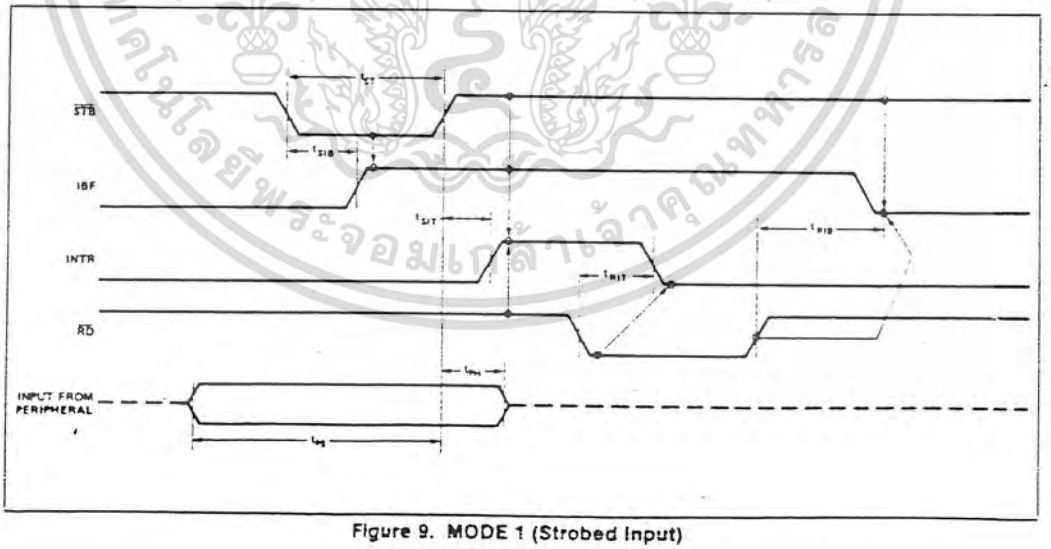


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of WR.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

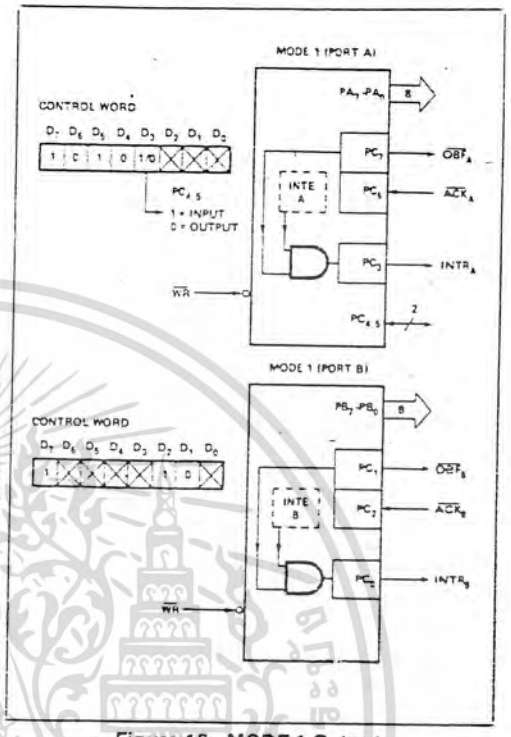


Figure 10. MODE 1 Output

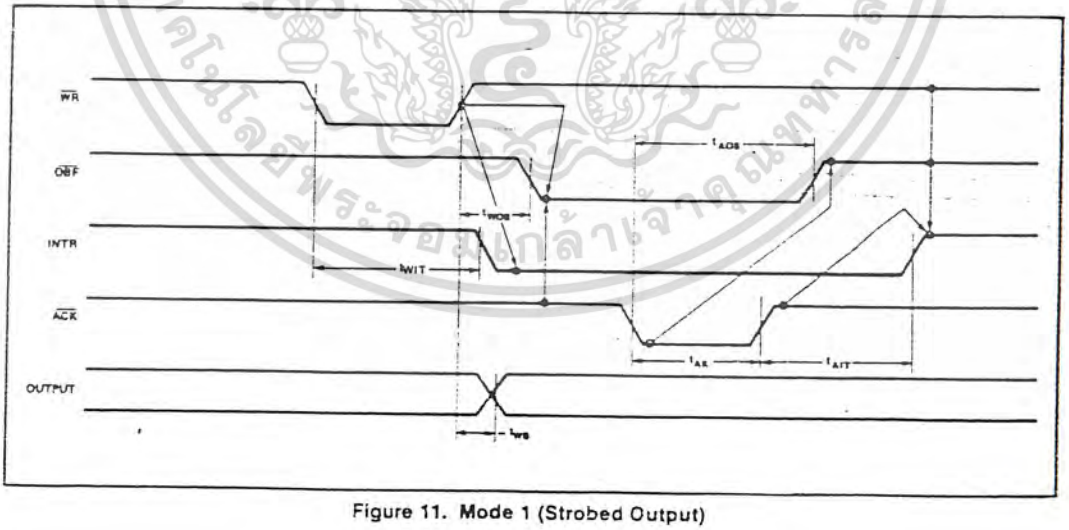


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

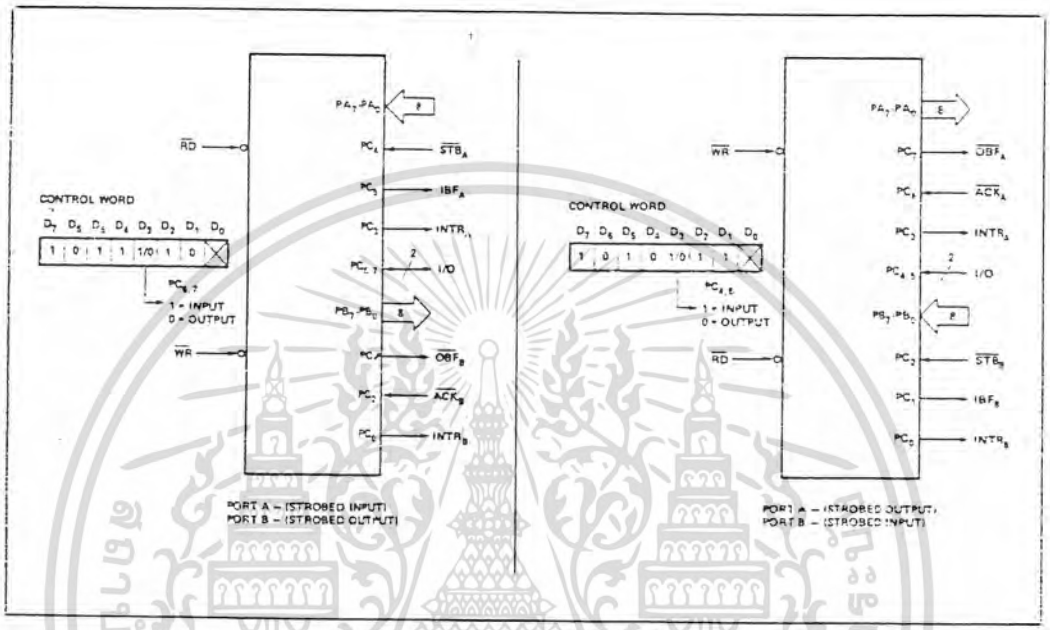


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

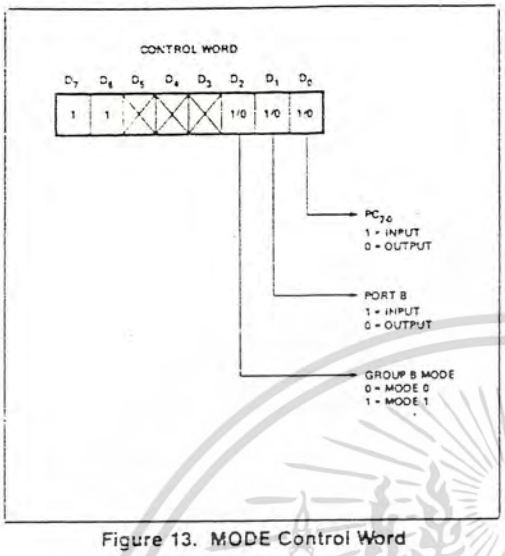


Figure 13. MODE Control Word

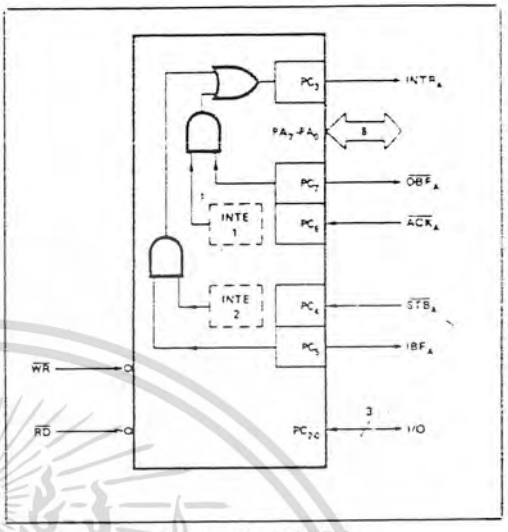


Figure 14. MODE 2

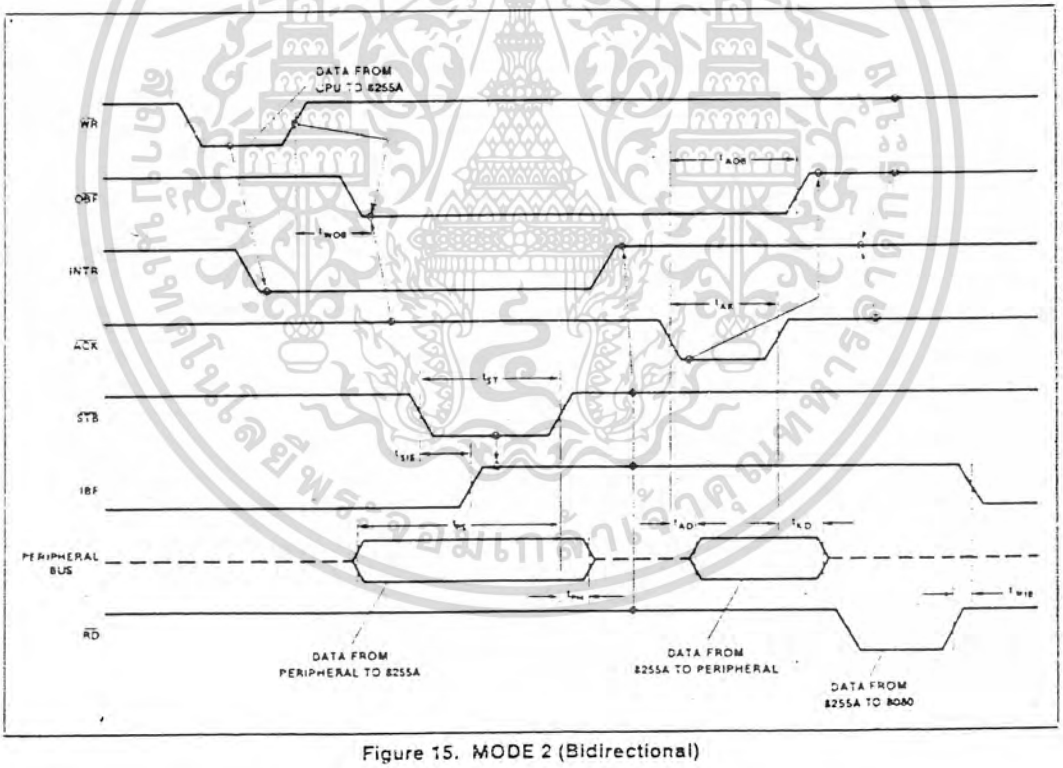


Figure 15. MODE 2 (Bidirectional)

NOTE Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF · $\overline{MASK}$ · $\overline{STB}$ · $\overline{RD}$ + $\overline{OBF}$ · $\overline{MASK}$ · $\overline{ACK}$ · $\overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

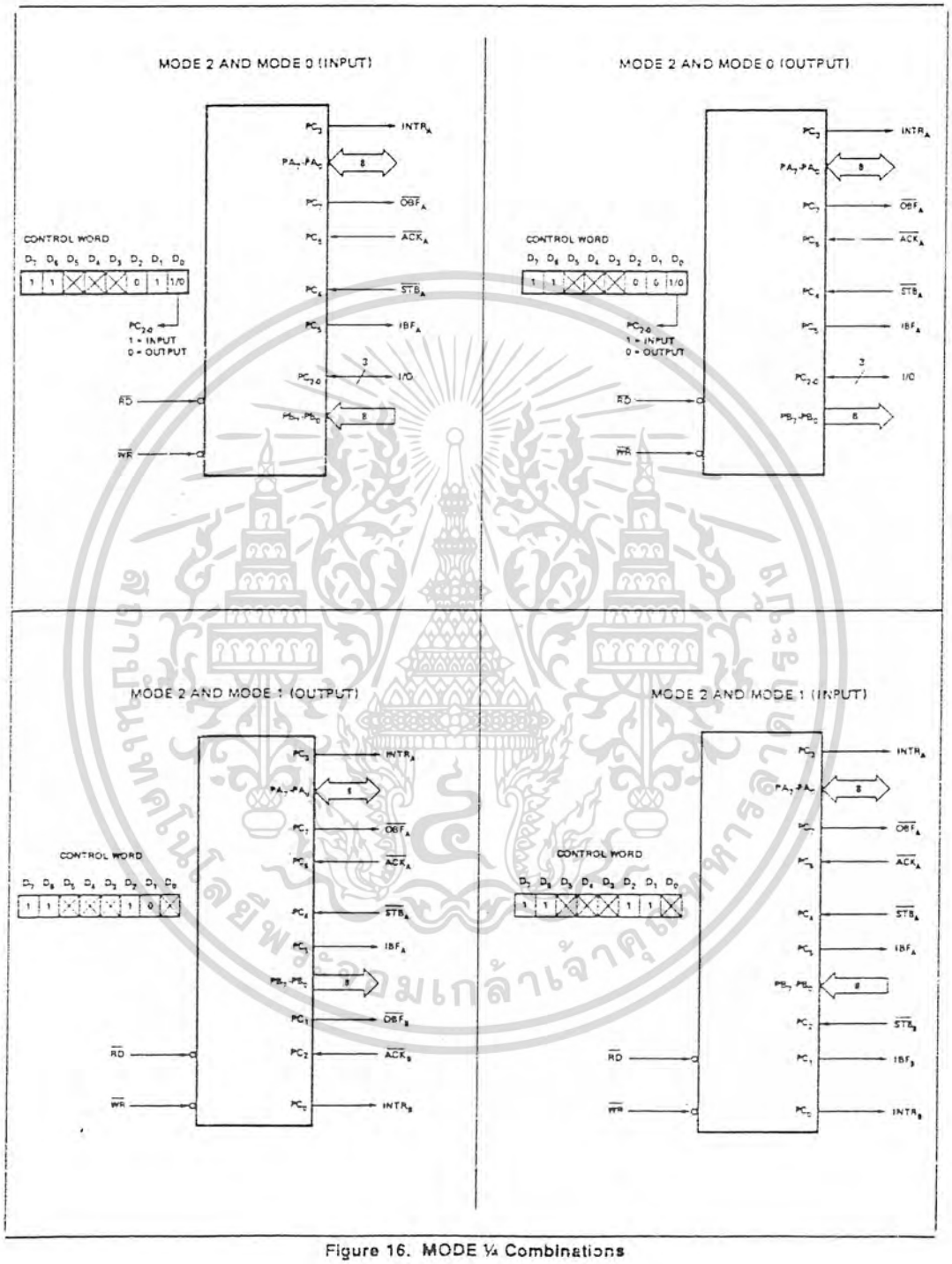


Figure 16. MODE ¼ Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	↔	
PA_1	IN	OUT	IN	OUT	↔	
PA_2	IN	OUT	IN	OUT	↔	
PA_3	IN	OUT	IN	OUT	↔	
PA_4	IN	OUT	IN	OUT	↔	
PA_5	IN	OUT	IN	OUT	↔	
PA_6	IN	OUT	IN	OUT	↔	
PA_7	IN	OUT	IN	OUT	↔	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs –
All input lines can be accessed during a normal Port C read.

If Programmed as Outputs –
Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

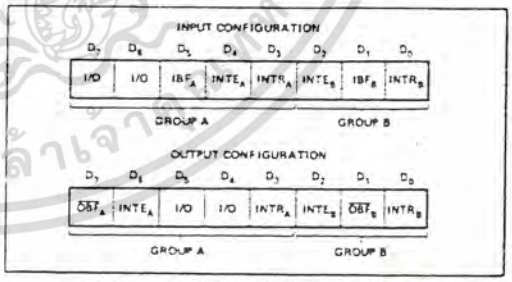


Figure 17. MODE 1 Status Word Format

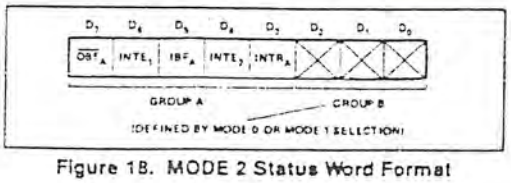


Figure 18. MODE 2 Status Word Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

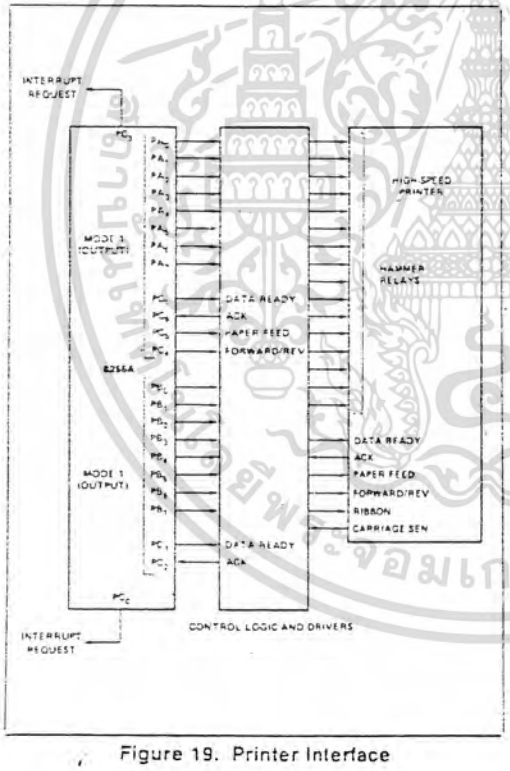


Figure 19. Printer Interface

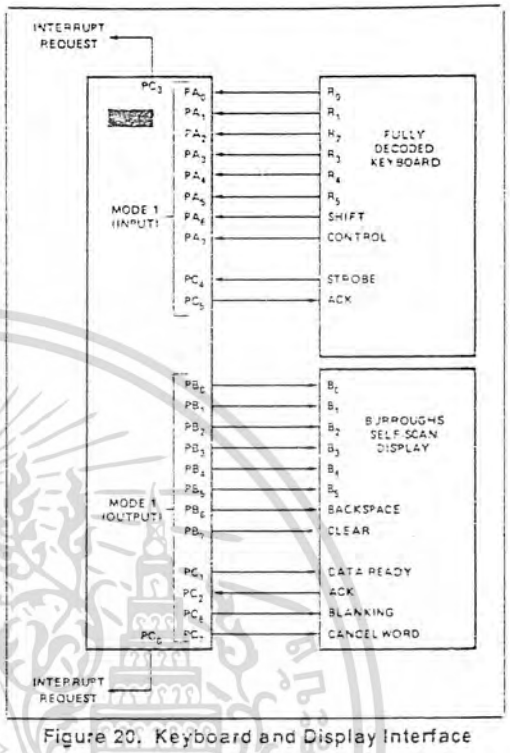


Figure 20. Keyboard and Display Interface

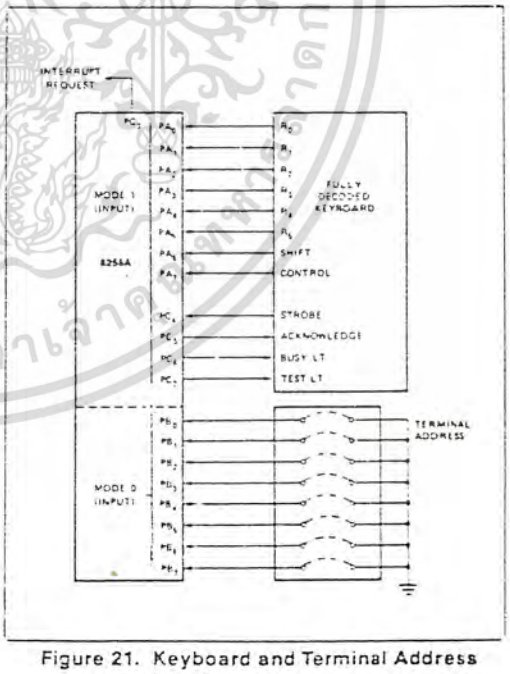


Figure 21. Keyboard and Terminal Address Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

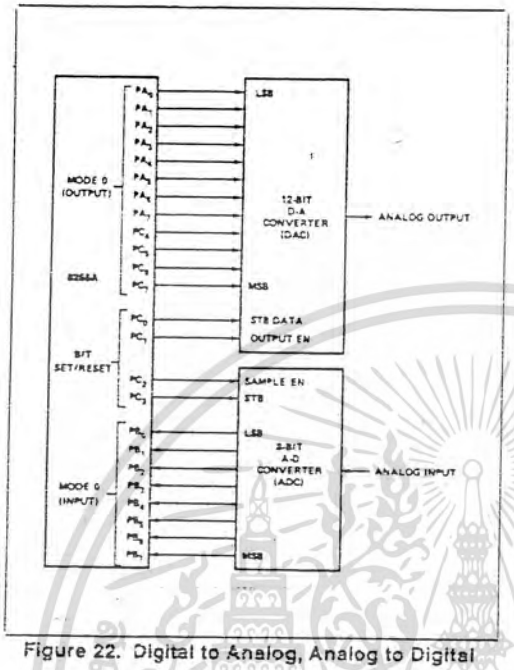


Figure 22. Digital to Analog, Analog to Digital

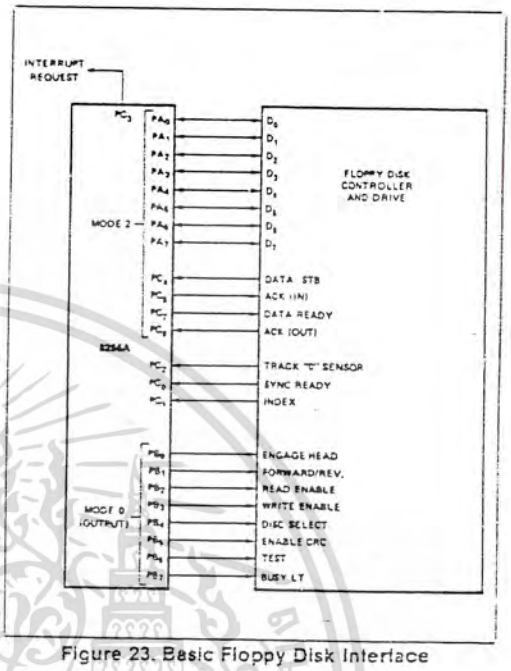


Figure 23. Basic Floppy Disk Interface

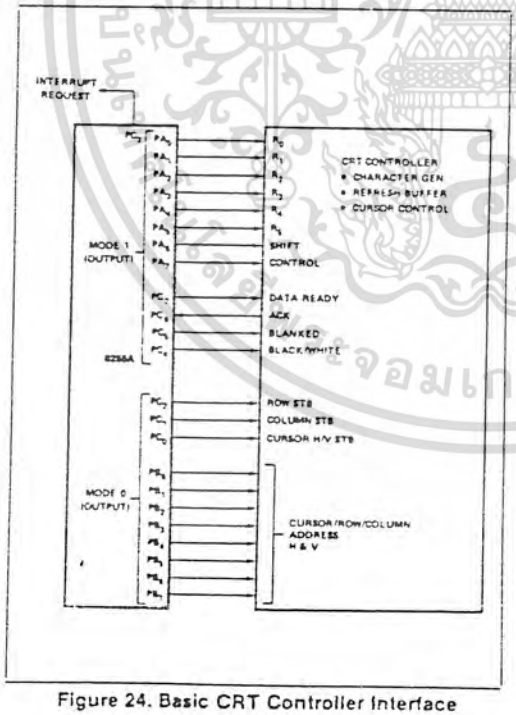


Figure 24. Basic CRT Controller Interface

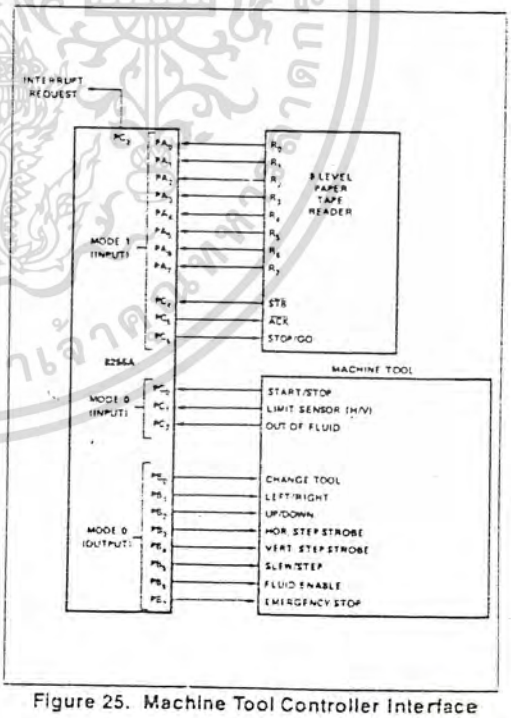


Figure 25. Machine Tool Controller Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias . . . . . 0°C to 70°C
Storage Temperature . . . . . −65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . . −0.5V to +7V
Power Dissipation . . . . . 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ± 10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45*	V	I_{OL} = 2.5mA
V_{OL} (PER)	Output Low Voltage (Peripheral Port)		0.45*	V	I_{OL} = 1.7mA
V_{OH} (DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = −400μA
V_{OH} (PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = −200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	f_C = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ± 10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

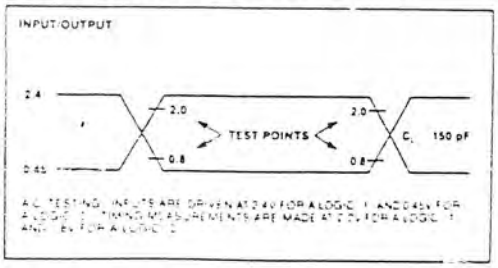
OTHER TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

NOTES:
1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR↑ may occur as early as $\overline{WR}$↓.

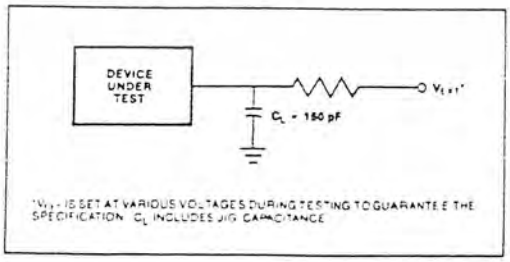
* For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING: INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC "1" AND 0.45V FOR A LOGIC "0". TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC "1" AND 0.8V FOR A LOGIC "0".

A.C. TESTING LOAD CIRCUIT

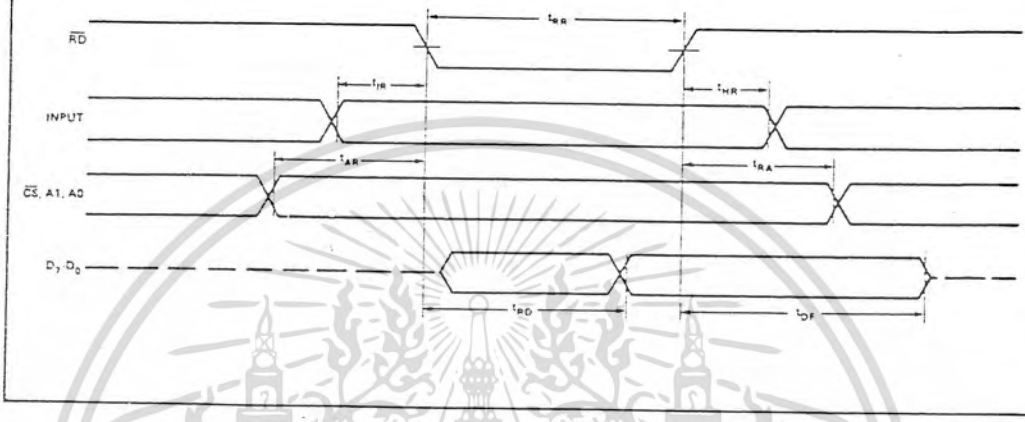


*V_{LXX} IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION. C_L INCLUDES JIG CAPACITANCE.

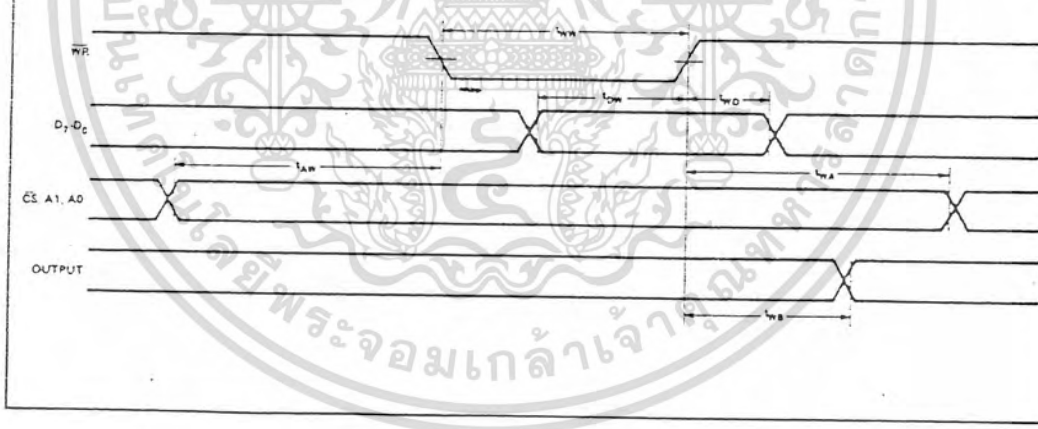
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



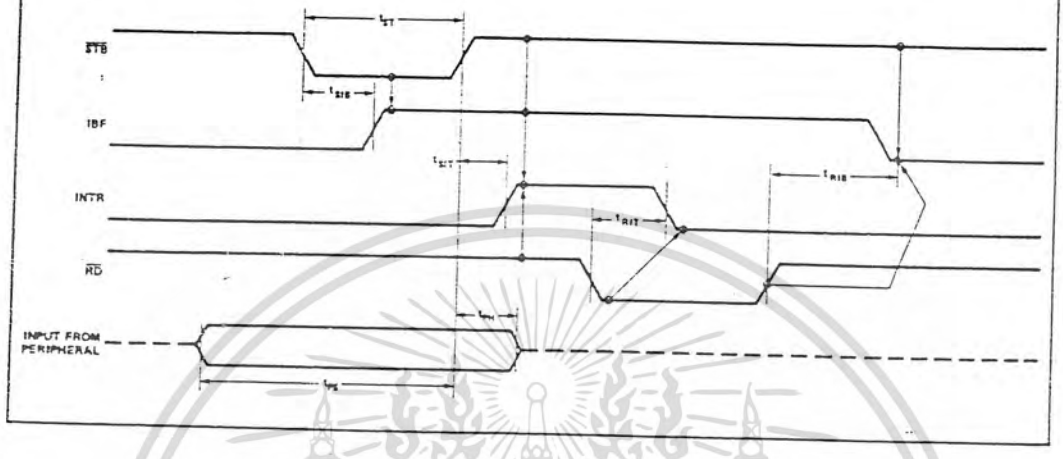
MODE 0 (BASIC OUTPUT)



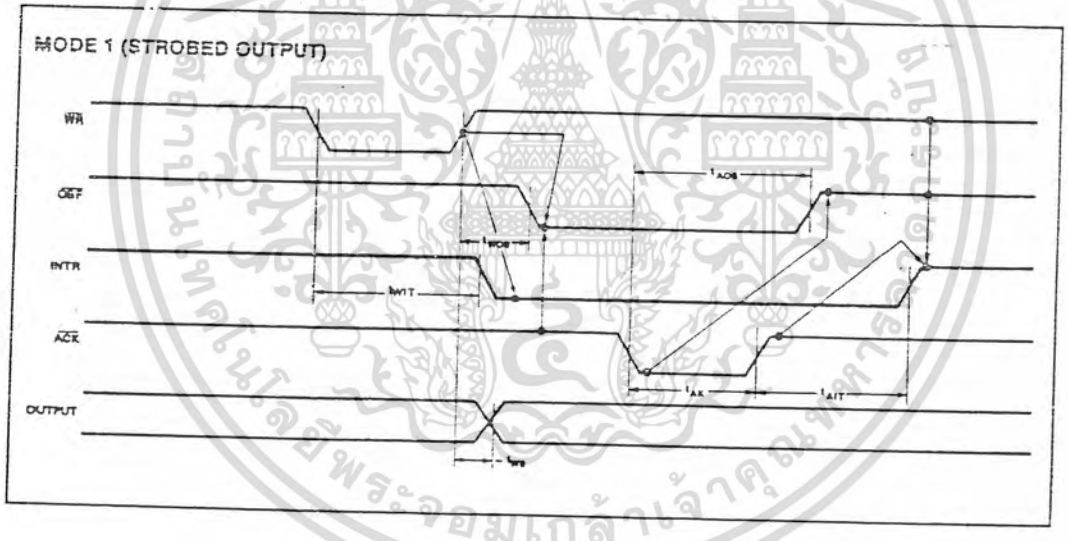
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



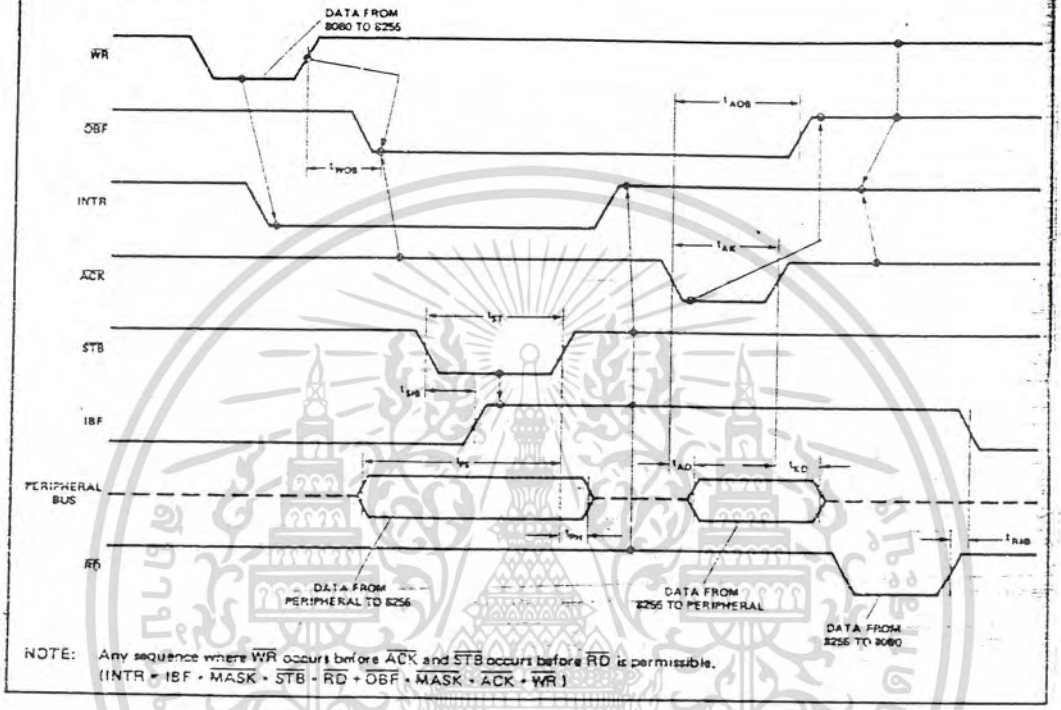
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

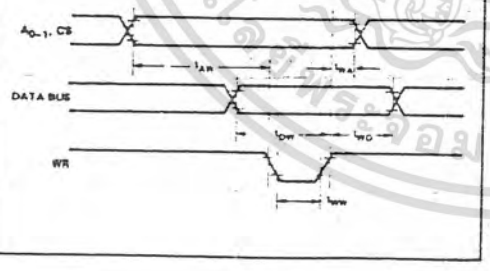
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

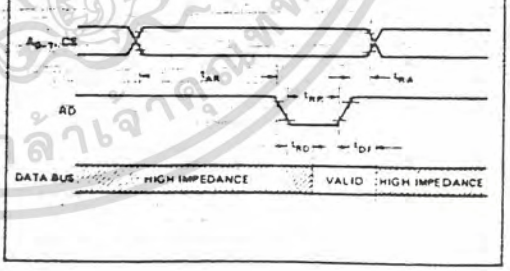


NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ + $\overline{OBF}$ • $\overline{MASK}$ • $\overline{ACK}$ • $\overline{WR}$)

WRITE TIMING

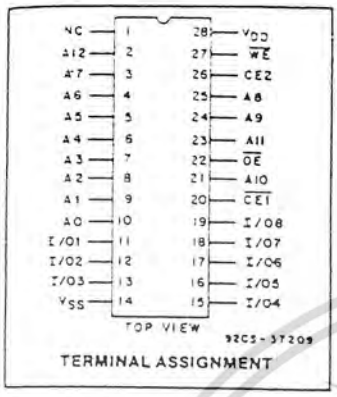


READ TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264



TERMINAL ASSIGNMENT

CMOS 8192-Word by 8-Bit LSI Static RAM

Features:

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 28-pin configuration*
- *Input address buffers gated off with chip disable*
- *Fast access time: t_{AA}=150 ns/120 ns (CDM6264-3/CDM6264-4)*
- *Low standby and operating power: I_{DDS1}=2 µA typical, I_{OPER2}=40 mA maximum*
- *Data retention voltage: 2 V min.*
- *Operating temperature range (max. rating): 0° to 70°C*

The RCA-CDM6264 is a 8192-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data input and data output and utilizes a single power supply of 4.5 V to 5.5 V.

Either chip enable ($\overline{CE1}$ or CE2), when not valid, will gate off the address and output buffers and power down the chip to minimum standby power with inputs toggling. The output enable ($\overline{OE}$) controls the output buffers to eliminate bus contention.

The CDM6264 is supplied in 28-lead, hermetic, dual-in-line side-brazed ceramic (D suffix) and in 28-lead dual-in-line plastic (E suffix) packages.

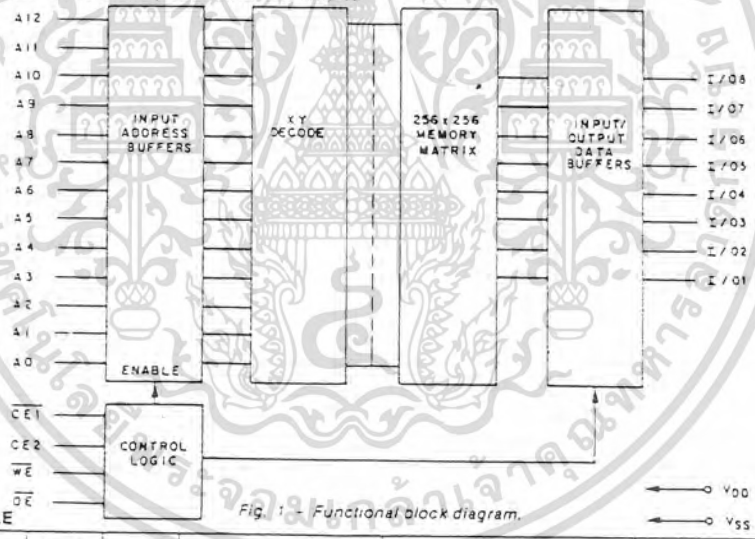


Fig. 1 - Functional block diagram.

TRUTH TABLE

$\overline{CE1}$	CE2	$\overline{OE}$	$\overline{WE}$	A0 TO A12	MODE	DATA I/O	DEVICE CURRENT
H	X	X	X	X	NOT SELECTED	HIGH Z	STANDBY
X	L	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	H	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	X	L	STABLE	WRITE	DATA IN	ACTIVE
L	H	H	H	STABLE	OUTPUT DISABLE	HIGH Z	ACTIVE

L = LOW H = HIGH X = H OR L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE RANGE, (V_{DD}):
(Voltage referenced to V_{SS} terminal) ..... -0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.3 to +7 V
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = 0° to +60°C (PACKAGE TYPE E) ..... 500 mW
For T_A = +60° to +70°C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/°C to 420 mW
For T_A = 0° to +70°C (PACKAGE TYPE D) ..... 500 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For T_A = FULL PACKAGE-TEMPERATURE RANGE ..... 100 mW
OPERATING-TEMPERATURE RANGE (T_A):
PACKAGE TYPE D ..... 0 to +70°C
PACKAGE TYPE E ..... 0 to +70°C
STORAGE TEMPERATURE RANGE (T_{stg}) ..... -55 to +125°C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. ..... +265°C

OPERATING CONDITIONS at T_A = 0 to +70°C
For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC		LIMITS ALL TYPES MIN.	LIMITS ALL TYPES MAX.	UNITS
DC Operating Voltage Range		4.5	5.5	V
Input Voltage Range	V_{IH}	2.2	V_{DD} + 0.3	V
	V_{IL}	-0.3	0.8	V
Input Signal Rise or Fall Times[Δ]	t_r, t_f	—	5	μs

[Δ] Input signal rise and fall times with a duration greater than the maximum value can cause loss of stored data in the selected mode.

STATIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C, V_{DD} = 5 V ± 10%, Except as noted

CHARACTERISTIC		CONDITIONS		LIMITS ALL TYPES Min.	Typ.*	Max.	UNITS
Standby Device Current	I_{DDS}	$\overline{CE1}$=V_{IH} or CE2=V_{IL}		—	1.5	3	mA
	I_{DDS1}	$\overline{CE1}$=CE2 ≥ V_{DD}-0.2 V or CE2 ≤ 0.2 V		—	2	100	μA
Output Voltage Low Level	V_{OL} Max.	I_{OL}=2.1 mA		—	—	0.4	V
		I_{OL}=1 μA		—	0.1	—	
Output Voltage High Level	V_{OH} Min.	I_{OH}=-1 mA		2.4	—	—	V
		I_{OH}=-1 μA		—	V_{DD}-0.1	—	
Input Leakage Current	I_{IN} Max.	V_{IN}=0 V to V_{DD}		—	±0.1	±2	μA
3-State Output Leakage Current	I_{OUT}	$V_{I/O}$=0 V to V_{DD}		—	±0.5	±2	
Operating Device Current	I_{OPER1}[#]	V_{IN}=V_{IL}, V_{IH}	t_{cyc}=1 μs	—	4.5	9	mA
			t_{cyc}=120 ns	—	22.5	45	
	I_{OPER2}[#]	V_{IN}=0.2 V, V_{DD}-0.2 V	t_{cyc}=1 μs	—	2	4	
			t_{cyc}=120 ns	—	20	40	
Input Capacitance	C_{IN}	V_{IN}=0 V, f=1 MHz, T_A=25°C		—	4	6	pF
Output Capacitance	$C_{I/O}$	$V_{I/O}$=0 V, f=1 MHz, T_A=25°C		—	6	8	

*Typical values are for T_A=25°C and nominal V_{DD}

[#] Outputs open circuited.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIGNAL DESCRIPTIONS

A0-A10 (Address Inputs): These inputs must be stable prior to a write operation, but may change asynchronously during read functions.

I/01-I/08: 8-bit tristate data bus.

$\overline{CE1}$, CE2 (Chip Enable): Either chip enable, when not true, powers down the chip, disables Read and Write functions, and gates off address and output buffers.

$\overline{OE}$ (Output Enable): Enables tristate outputs if $\overline{CE1}$ and CE2 are valid and $\overline{WE}$ is high.

$\overline{WE}$ (Write Enable): Enables Write function, if $\overline{CE1}$ and CE2 are valid. $\overline{WE}$ will dominate if both $\overline{WE}$ and $\overline{OE}$ are low (i.e., the bus will be tristated and a Write will occur).

V_{DD}, V_{SS}: Power supply connections.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
Read Cycle Times, See Fig. 2		MIN.†	MAX.	MIN.†	MAX.	
Read Cycle Time	t_{RC}	150	—	120	—	ns
Address Access Time	t_{AA}	—	150	—	120	
Chip Enable Access Time	t_{ACE1}, t_{ACE2}	—	150	—	120	
Chip Enable to Output Active	t_{CLZ1}, t_{CLZ2}	10	—	10	—	
Output Enable to Output Valid	t_{OEV}	—	70	—	60	
Output Enable to Output Active	t_{OEX}	5	—	5	—	
Chip Disable to Output "High Z"	t_{CHZ1}, t_{CHZ2}	0	70	0	50	
Output Disable to Output "High Z"	t_{OHZ}	0	50	0	40	
Output Hold from Address Change	t_{OH}	30	—	30	—	

†Time required by a limit device to allow for the indicated function.

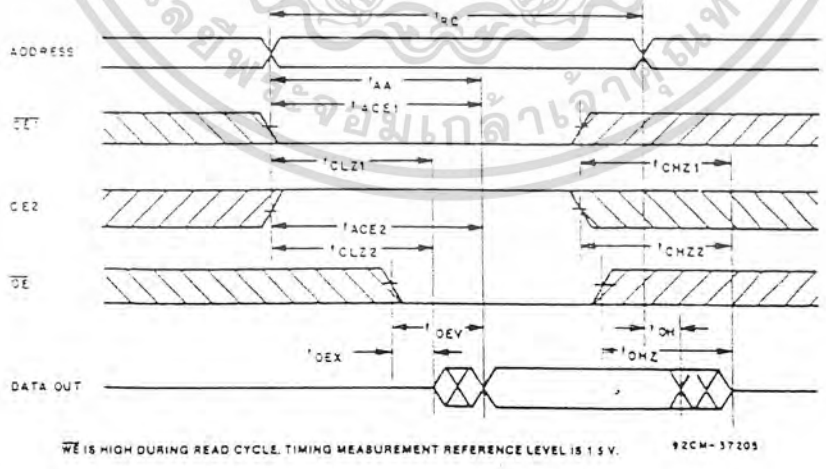


Fig. 2 - Read-cycle timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

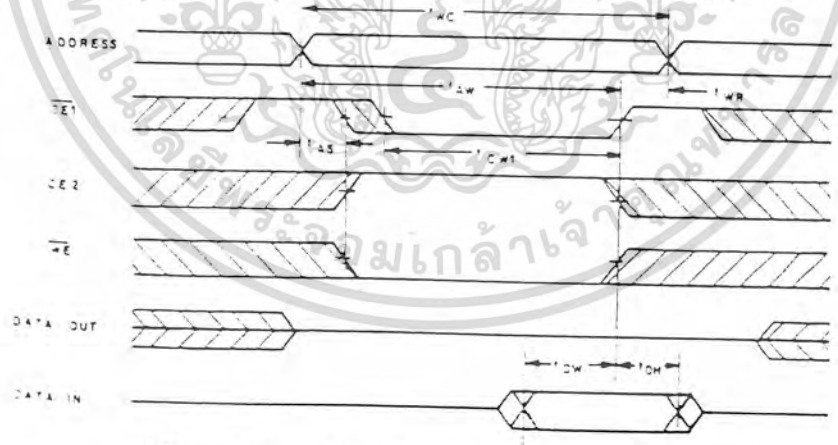
CDM6264

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
Write Cycle Times, See Fig. 3		MIN.†	MAX.	MIN.†	MAX.	
Write Cycle Time	t_{WC}	150	—	120	—	ns
Chip Enable to End of WRITE	t_{CW1},t_{CW2}	120	—	100	—	
Address Valid to End of WRITE	t_{AW}	120	—	100	—	
Address Setup Time	t_{AS}	0	—	0	—	
Write Enable Width	t_{WW}	100	—	80	—	
Write Recovery Time	t_{WR}	0	—	0	—	
Write to Output "High Z"	t_{WHZ}	—	70	—	50	
Input Data Setup Time	t_{DW}	60	—	50	—	
Input Data Hold Time	t_{DH}	0	—	0	—	
Output Active from End of Write	t_{OW}	10	—	10	—	

† Time required by a limit device to allow for the indicated function.

WRITE CYCLE 1 ($\overline{CE1}$ CONTROL)



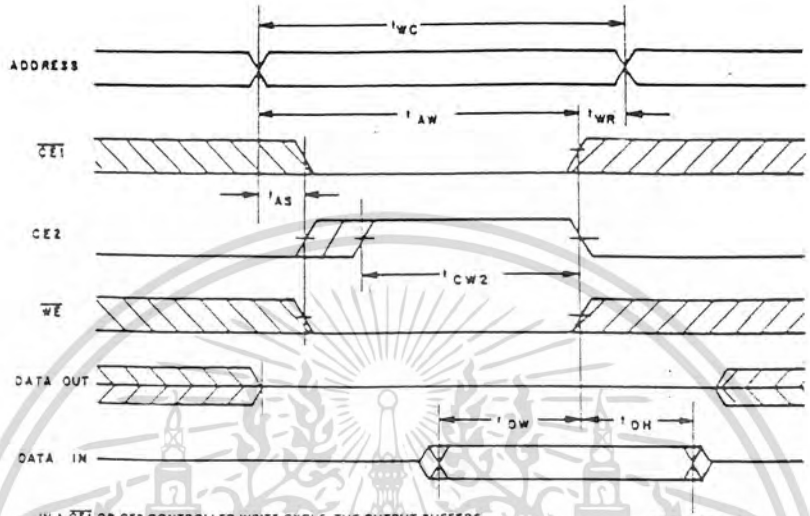
IN A $\overline{CE1}$ OR CE2 CONTROLLED WRITE CYCLE, THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE, WHETHER $\overline{OE}$ IS HIGH OR LOW. TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

92CM-37204

Fig. 3 - Write-cycle timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE 2 (CE2 CONTROL)



WRITE CYCLE 3 ($\overline{WE}$ CONTROL)

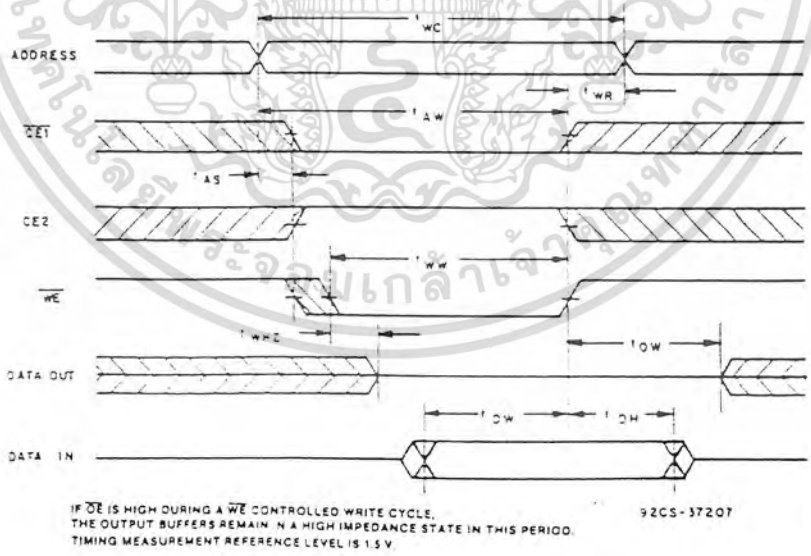


Fig. 3 - Write-cycle timing waveforms (cont'd).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

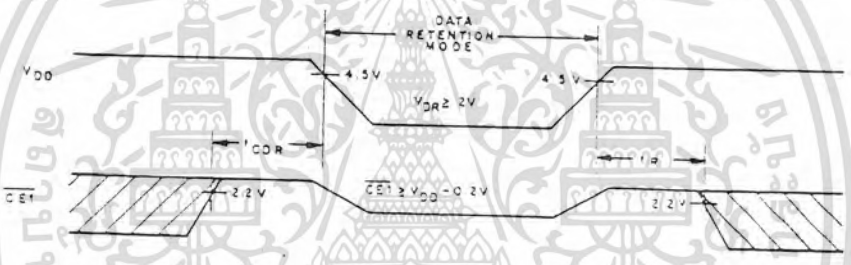
CDM6264

DATA RETENTION CHARACTERISTICS at T_A = 0 to 70° C; See Fig. 4.

CHARACTERISTIC		TEST CONDITIONS	LIMITS		UNITS
			ALL TYPES		
			MIN.	MAX.	
Minimum Data Retention Voltage	V_{DR}	$\overline{CE1} \geq V_{DD} - 0.2$ V or $CE2 \leq 0.2$ V	2	5.5	V
Data Retention Quiescent Current	$I_{DD}DR$	V_{DD} = 3 V, $\overline{CE1}$,CE2 ≥ $V_{DD} - 0.2$ V or CE2 ≤0.2 V	—	50	µA
Chip Disable to Data Retention Time	t_{CDR}	See Fig. 4	0	—	ns
Recovery to Normal Operation Time	t_R	See Fig. 4	$*t_{AO}$	—	

$*t_{AC}$ = Read Cycle Time.

DATA RETENTION WAVEFORM 1 ($\overline{CE1}$ CONTROL)



DATA RETENTION WAVEFORM 2 (CE2 CONTROL)

Fig. 4 - Low V_{DD} data-retention timing waveforms. 92CM-37208

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

DAC0808, DAC0807, DAC0806 8-Bit D/A Converters

General Description

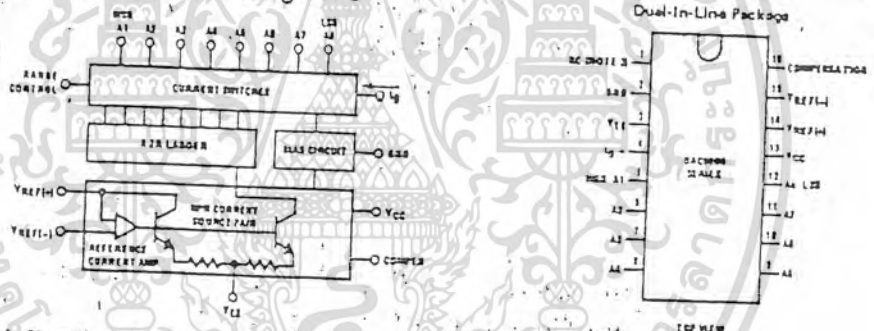
The DAC0808 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 I_{REF}/256. Relative accuracies of better than ±0.19% assure 8-bit monotonicity and linearity while zero level output current of less than 4 μA provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

Features

- Relative accuracy: ±0.19% error ma (DAC0808)
- Full scale current match: ±1 LSB typ
- 7 and 8-bit accuracy available (DAC0807, DAC
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and compatible
- High speed multiplying input slew rate: 8 mA/μs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

Block and Connection Diagrams



Typical Application

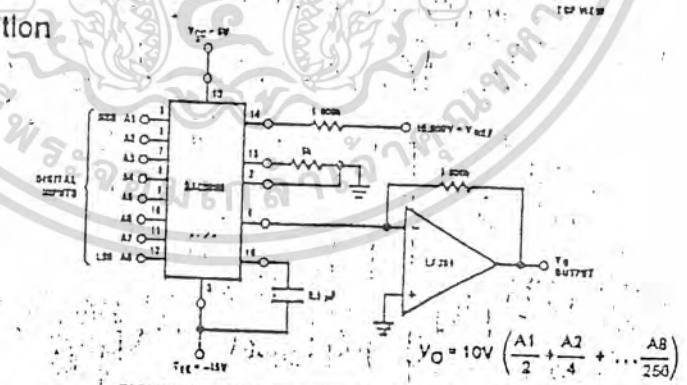


FIGURE 1. +10V Output Digital to Analog Converter

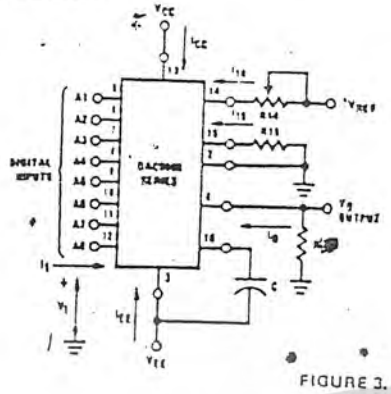
Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS*					
		D PACKAGE (D16C)		J PACKAGE (J16A)		N PACKAGE (N1	
8-bit	$-55°C \leq T_A \leq +125°C$	DAC0808LD	MC1508L8				
8-bit	$0°C \leq T_A \leq +75°C$			DAC0808LCJ	MC1408L8	DAC0808LCN	MC
7-bit	$0°C \leq T_A \leq +75°C$			DAC0807LCJ	MC1408L7	DAC0807LCN	MC
6-bit	$0°C \leq T_A \leq +75°C$			DAC0806LCJ	MC1408L6	DAC0806LCN	MC

*Note. Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits



V_I and I_I apply to inputs A1—A8.

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K\left(\frac{A1}{2} + \frac{A2}{4} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right)$$

where $K \approx \frac{V_{REF}}{R14}$

and A_N = "1" if A_N is at high level

A_N = "0" if A_N is at low level

FIGURE 3. Notation Definitions Test Circuit

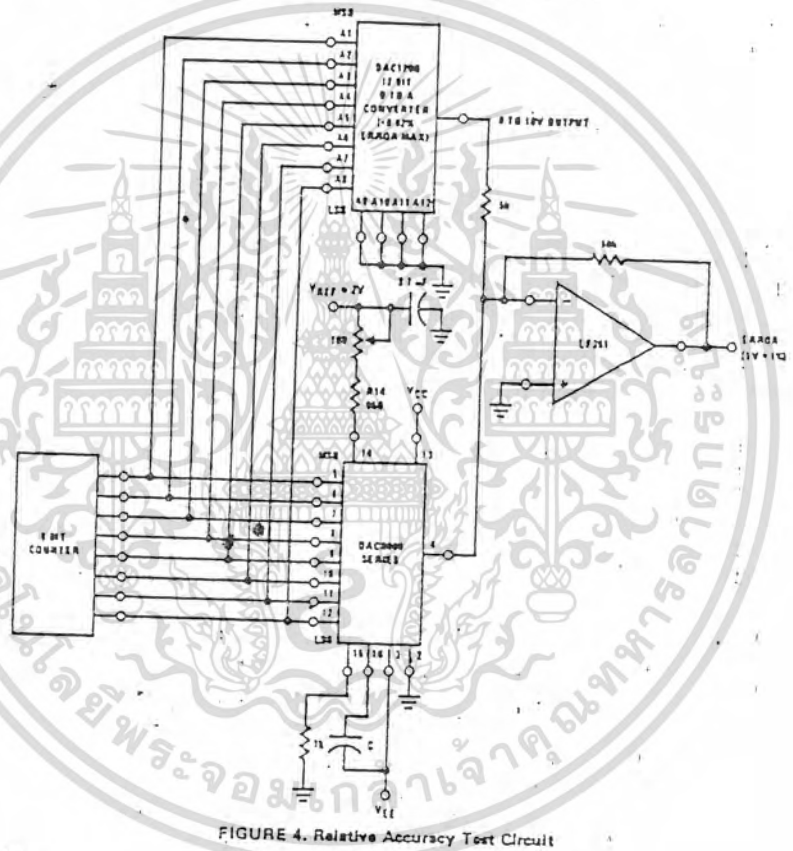


FIGURE 4. Relative Accuracy Test Circuit

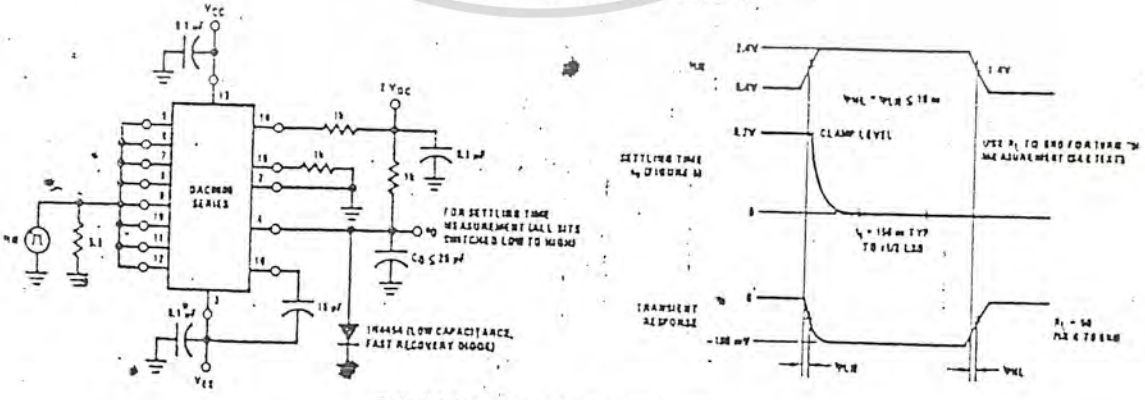


FIGURE 5. Transient Response and Settling Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

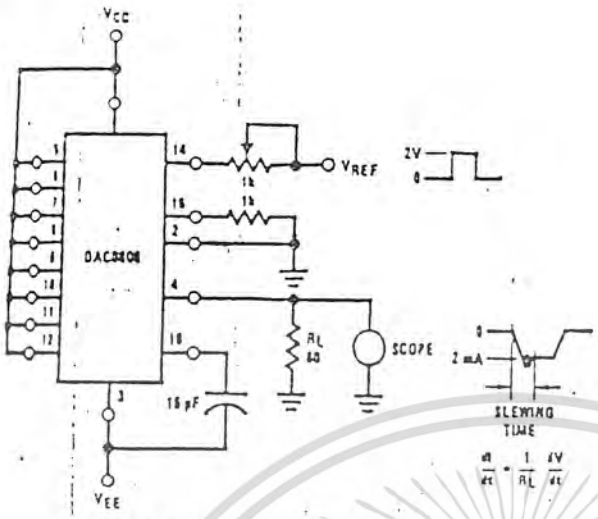


FIGURE 6. Reference Current Slew Rate Measurement

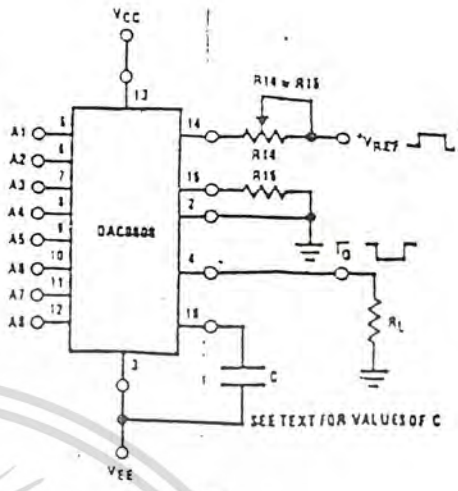


FIGURE 7. Positive V_{REF}

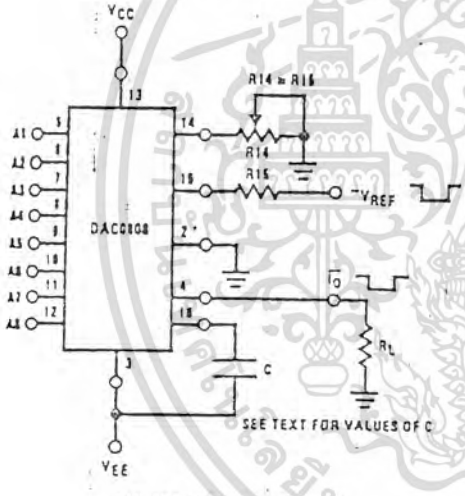


FIGURE 8. Negative V_{REF}

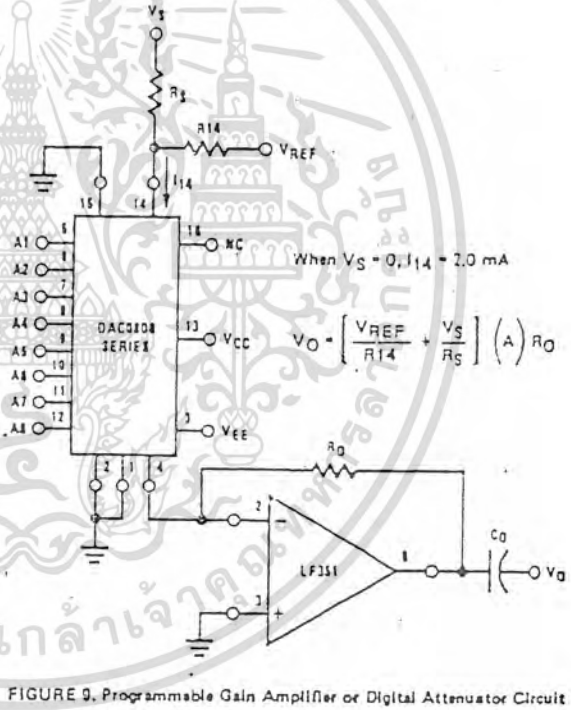


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I_{14}, must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in *Figure 7*. The reference voltage source supplies the full current I_{14}. For bipolar reference signals, as in the multiplying mode, R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 kΩ, minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TELEDYNE
SEMICONDUCTOR

TSC9400 (0.05%)
TSC9401 (0.01%)
TSC9402 (0.25%)
Voltage to Frequency/ Frequency to Voltage Converters

General Description

The TSC9400/9401/9402 are low cost Voltage-to-Frequency converters combining Bipolar and CMOS technology on the same substrate. The converters accept a variable analog input signal and generate an output pulse train whose frequency is linearly proportional to the input voltage.

The devices can also be used as highly accurate Frequency-to-Voltage converters, accepting virtually any input frequency waveform and providing a linearly proportional voltage output.

A complete V/F or F/V system requires the addition of two capacitors, three resistors and reference voltage.

Applications

- Voltage-to-Frequency
  - Temperature Sensing and Control
  - μP Data Acquisition
  - Instrumentation
  - 13-Bit A/D Converters
  - Digital Panel Meters
  - Analog Data Transmission and Recording
  - Phase Locked Loops
  - Medical Isolation
  - Transducer Encoding
  - Alternate to 555 Astable Timer
- Frequency-to-Voltage
  - Frequency Meters/Tachometer
  - Speedometers
  - Analog Data Transmission and Recording
  - Medical Isolation
  - Motor Control
  - RPM Indicator
  - FM Demodulation
  - Frequency Multiplier/Divider
  - Flow Measurement and Control

Features

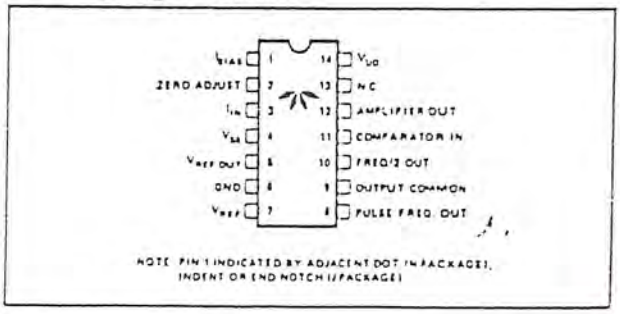
- Voltage-to-Frequency
  - 1Hz to 100kHz Operation
  - Choice of Guaranteed Linearity:
    - TSC9401 .01%
    - TSC9400 .05%
    - TSC9402 .25%
  - ±25ppm/°C Typ. Gain Temperature Stability
  - Open Collector Output
  - Output can Interface with any Form of Logic
  - Pulse and Square Wave Outputs
  - Programmable Scale Factor
  - Low Power Dissipation (27mW Typ.)
  - Single Supply Operation (8V to 15V)
  - Dual Supply Operation (±4V to ±7.5V)
  - Current or Voltage Input
- Frequency-to-Voltage
  - DC to 100kHz Operation
  - Choice of Guaranteed Linearity:
    - TSC9401 0.02%
    - TSC9400 0.05%
    - TSC9402 0.25%
  - Op Amp Output
  - Programmable Scale Factor
  - High Input Impedance (>10MΩ)
  - Accepts any Voltage Wave Shape

HANDLING PRECAUTIONS: The 9400 Series are CMOS Bipolar devices and must be handled correctly to prevent damage. Package and store only in conductive foam, antistatic tubes or other conductive material. Use proper antistatic handling procedures. Do not connect in circuits under "power on" conditions, as high transients may cause permanent damage.

Ordering Information

Part No.	Linearity (V/F)	Package	Temperature Range
TSC9400CJ	0.05%	14-Pin Plastic Dip	0°C to +70°C
TSC9400CL	0.05%	14-Pin CerDIP	-40°C to +85°C
TSC9401CJ	0.01%	14-Pin Plastic Dip	0°C to +70°C
TSC9401CL	0.01%	14-Pin CerDIP	-40°C to +85°C
TSC9402CJ	0.25%	14-Pin Plastic Dip	0°C to +70°C
TSC9402CL	0.25%	14-Pin CerDIP	-40°C to +85°C

Pin Configuration



NOTE: PIN 1 INDICATED BY ADJACENT DOT (IN PACKAGE), INDENT OR END NOTCH (IN PACKAGE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Storage Temperature ..... -65°C to +150°C
Operating Temperature
J Package ..... 0°C to 70°C
L Package ..... -40°C to +85°C
$V_{DD} - V_{SS}$ ..... 18 V

I_{IN} ..... 10 mA
V_{OUT} Max — V_{OUT} Common ..... 25 V
$V_{REF} - V_{SS}$ ..... -1.5 V
Package Dissipation ..... 500 mW
Lead Temperature (Soldering, 10 sec) ..... 300° C

Electrical Characteristics, V/F Mode

Unless otherwise specified, V_{DD} = +5V, V_{SS} = −5V, V_{GND} = 0, V_{REF} = −5V, R_{BIAS} = 100KΩ, Full Scale = 10KHz, T_A = 25°C unless Full Temp. Range is specified (−40°C to +85°C for L package, 0°C to 70°C for J package).

VOLTAGE-TO-FREQUENCY		TSC9401			TSC9400			TSC9402				
Parameter	Definition	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Units	Notes
Accuracy Linearity (10KHz)	Output Deviation from Straight Line between Normalized Zero and Full Scale Input		0.004	0.01		0.01	0.05		0.05	0.25	% Full Scale	
Linearity (100KHz)			0.04	0.08		0.1	0.25		0.25	0.50	% Full Scale	
Gain Temperature Drift	Variation in Gain (A) Due to Temperature Change		±25	±40		±25	±40		±50	±100	ppm/°C Full Scale	1
Gain Variance	Variation from Exact A (Compensate by Trimming R_{IN}, V_{REF}, or C_{REF})		±10			±10			±10		% of Nominal	
Zero Offset	Correction at Zero Adjust for Zero Output When Input is Zero		±10	±50		±10	±50		±20	±100	mV	2
Zero Temperature Drift	Variation in Zero Offset Due to Temperature Change		±25	±50		±25	±50		±50	±100	µV/°C	1
Analog Inputs I_{IN} Full Scale	Full Scale Analog Input Current to Achieve Specified Accuracy		10			10			10		µA	
I_{IN} Overrange	Overrange Current			50			50			50	µA	
Response Time	Settling Time to 0.01% Full Scale		2			2			2		Cycles	
Digital Outputs V_{SAT} @ I_{OUT} = 10µA	Logical "0" Output Voltage			0.4			0.4			0.4	V	3
V_{OUT} Max — V_{OUT} Common	Voltage Range between Output and Common			18.0			18.0			18.0	V	4
Pulse Frequency Output Width			3.0			3.0			3.0		µsec	
Supply Current I_{DD} Quiescent (L Package) (J Package)	Current Required from Positive Supply During Operation		2.0 2.0	4.0 6.0		2.0 2.0	4.0 6.0		3.0	10.0	mA mA	9
I_{SS} Quiescent (L Package) (J Package)	Current Required from Negative Supply During Operation		-1.5 -1.5	-4.0 -6.0		-1.5 -1.5	-4.0 -6.0		-3.0	-10.0	mA mA	10
V_{DD} Supply	Operating Range of Positive Supply	4.0		7.5	4.0		7.5	4.0		7.5	V	
V_{SS} Supply	Operating Range of Negative Supply	-4.0		-7.5	-4.0		-7.5	-4.0		-7.5	V	
Reference Voltage $V_{REF} - V_{SS}$	Range of Voltage Reference Input	-1.0			-1.0			-1.0			V	

NOTES
1. Full temperature range
2. I_{IN} = 0
3. Full temperature range. I_{OUT} = 10mA
4. I_{OUT} = 10µA
5. 10Hz to 100KHz
6. 5µs min. positive pulse width and 0.5µs min. negative pulse width
7. $T_r = t_f$ = 20ns
8. R_L = 2KΩ
9. Full temperature range. V_{IN} = -0.1V
10. V_{IN} = -0.1V
11. I_{IN} connects the summing junction of an operational amplifier. Voltage sources cannot be attached directly but must be buffered by external resistors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V/F Design Information (Contd.)

Note that the value is an approximation, and the exact relationship is defined by the transfer equation. In practice, the value of R_{IN} typically would be trimmed to obtain full scale frequency at V_{IN} FULL SCALE (see adjustment procedure). Metal film resistors with 1% tolerance or better are recommended for high accuracy applications because of their thermal stability and low noise generation.

C_{INT} – Exact value not critical but is related to C_{REF} by the relationship:

$$3C_{REF} \leq C_{INT} \leq 10C_{REF}$$

Improved stability and linearity is obtained when $C_{INT} \geq 4C_{REF}$. Low leakage types are recommended although mica and ceramic devices can be used in applications where their temperature limits are not exceeded. Locate as close as possible to pins 12 and 3.

C_{REF} – Exact value not critical and may be used to trim the full scale frequency (see input/output relation). Glass film or air trimmer capacitors are recommended because of their stability and low leakage. Locate as close as possible to pins 5 and 3.

V_{DD}, V_{SS} – Power supplies of ±5V are recommended. For high accuracy requirements 0.05% line and load regulation and 0.1μF disc decoupling capacitors located near the pins are recommended.

Adjustment Procedure – Figure 1 shows a circuit for trimming the zero location. Full scale may be trimmed by adjusting R_{IN}, V_{REF}, or C_{REF}. Recommended procedure is as follows for a 10KHz full scale frequency.

1. Set V_{IN} to 10mV and trim the zero adjust circuit to obtain a 10Hz output frequency.
2. Set V_{IN} to 10.000V and trim either R_{IN}, V_{REF}, or C_{REF} to obtain a 10KHz output frequency.

If adjustments are performed in this order, there should be no interaction and they should not have to be repeated.

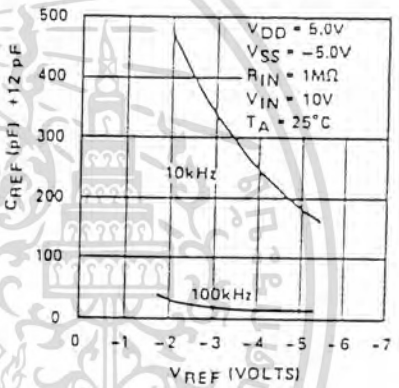


Figure 3. Recommended C_{REF} vs V_{REF}

V/F Single Supply Operation

NOTE:
See Also the TSC7660
Data Sheet:

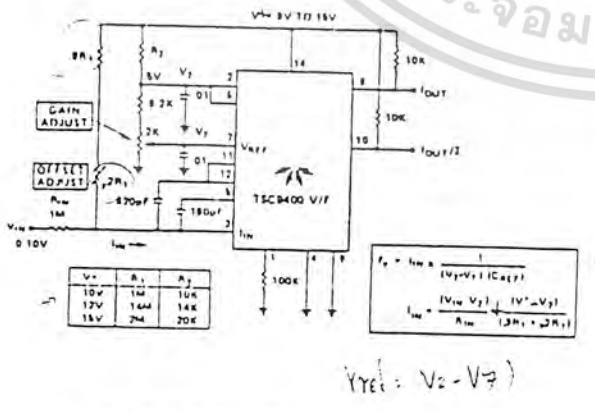


Figure 4. Fixed Voltage–Single Supply Operation

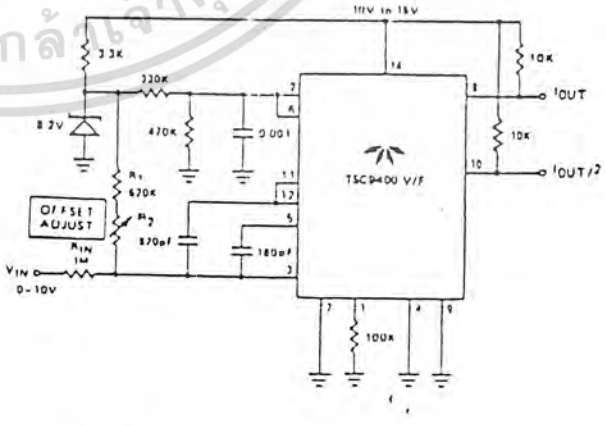


Figure 5. Variable Voltage–Single Supply Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V/F Circuit Description

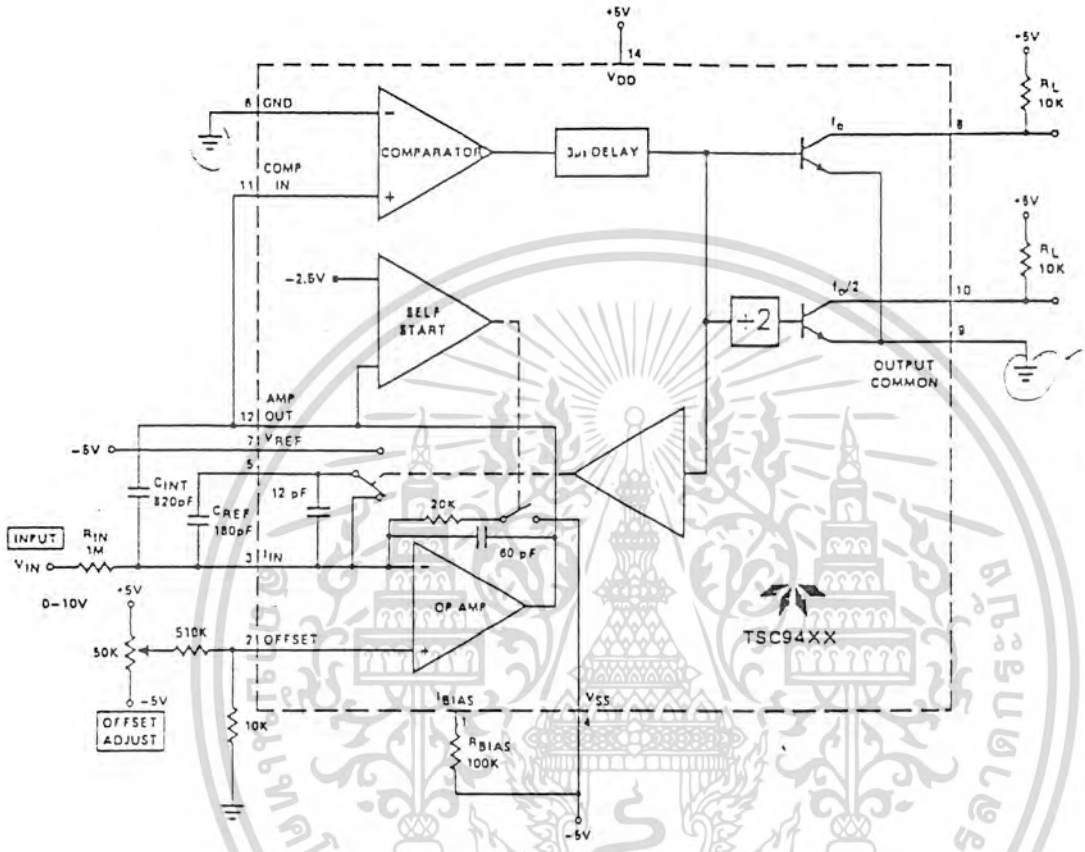
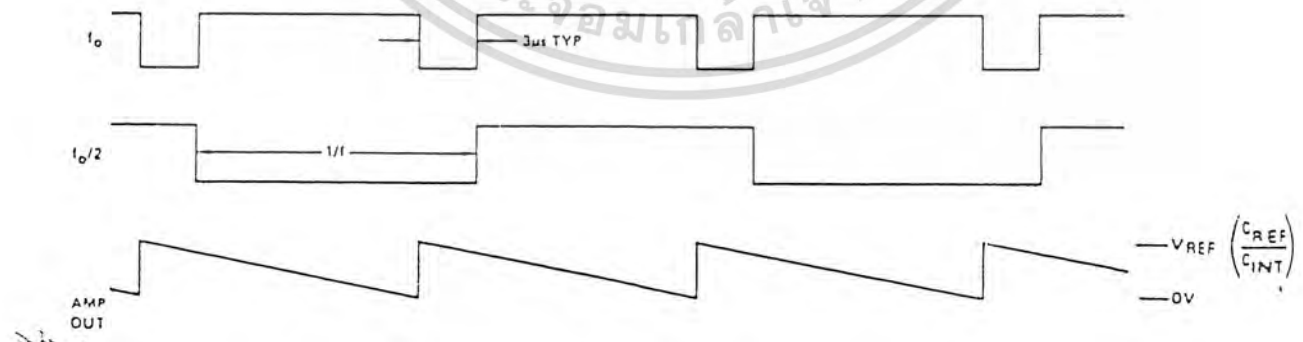


Figure 1. 10Hz to 10KHz V/F Converter



1. To adjust $f_{min.}$ set V_{IN} =10mV and adjust the 50K offset for 10Hz out.
2. To adjust $f_{max.}$ set V_{IN} =10V and adjust R_{IN} or V_{REF} for 10KHz out.
3. To increase $f_{OUT}MAX$ to 100KHz change C_{REF} to 27pF and C_{INT} to 75pF.
4. For high performance applications use high stability components for R_{IN}, C_{REF}, V_{REF} (metal film resistors and glass film capacitors). Also separate the output ground (Pin 9) from the input ground (Pin 6).

Figure 2. Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V/F Circuit Description (Contd.)

The Teledyne 9400 V/F Converter operates on the principal of charge balancing. The input voltage (V_{IN}) is converted to a current (I_{IN}) by the input resistor. This current is then converted to a charge by the integrating capacitor and shows up as a linearly decreasing voltage at the output of the op amp. The zero crossing of the output is sensed by the comparator causing the reference voltage to be applied to the reference capacitor for a time period long enough to virtually charge the capacitor to the reference voltage. This action reduces the charge on the integrating capacitor by a fixed amount ($q = C_{REF} \times V_{REF}$) causing the op amp output to step up a finite amount.

At the end of the charging period, C_{REF} is shorted out dissipating the stored reference charge so that when the output again crosses zero, the system is ready to recycle. In this manner, the continued discharging of the integrating capacitor by the input is balanced out by fixed charges from the reference voltage. As the input voltage is increased, the number of reference pulses required to maintain balance increases causing the output frequency to also increase. Since each charge increment is fixed the increase in frequency with voltage is linear. In addition, the accuracy of the output pulses does not directly effect the linearity of the V/F. It must simply be long enough for full charge transfer to take place.

The 9400 contains a "self-start" circuit to assure that the V/F will always operate properly when power is first applied. In the event that during "Power-on" the op amp output is below the comparator threshold and C_{REF} is already charged, a positive voltage step will not occur. The op amp output will continue to decrease until it crosses the −2.5 volt threshold of the "self-start" comparator. When this happens a resistor is connected to the op amp input causing the output to quickly go positive until the 9400 is once again in its normal operating mode.

The 9400 utilizes both bipolar and MOS transistors on the same substrate, taking advantage of the best features of each. MOS transistors are used at the inputs to reduce offset and bias currents. Bipolar transistors are used in the op amp, for high gain, and on all outputs for excellent current driving capabilities. CMOS logic is used throughout to minimize power consumption.

Pin Functions

Comparator Input – In the V/F mode, this input is connected to the amplifier output (pin 12) and triggers the 3μsec pulse delay when the input voltage passes its threshold. In the F/V mode, the input frequency is applied to the comparator input.

Pulse Freq Out – This output is an open-collector bipolar transistor providing a pulse waveform whose frequency is proportional to the input voltage. This output requires a pull up resistor and interfaces directly with MOS, CMOS and TTL logic.

Freq/2 Out – This output is an open-collector bipolar transistor providing a square wave that is one half the frequency of the pulse frequency output. This output requires a pull up resistor and interfaces directly with MOS, CMOS, and TTL logic.

Output Common – The emitters of both the freq/2 out and the pulse freq out are connected to this pin. An output level swing from the collector voltage to ground or to the V_{SS} supply may be obtained by connecting to the appropriate point.

R_{BIAS} – Specifications for the 9400 are based on R_{BIAS} = 100K ±10% unless otherwise noted. R_{BIAS} may be varied between the range of $82K \leq R_{BIAS} \leq 120K$.

Amplifier Out – The output stage of the operational amplifier. A negative going ramp signal is available at this pin in the V/F mode. In the F/V mode a voltage proportional to the frequency input is generated.

Zero Adjust – The non-inverting input of the operational amplifier. The low frequency set point is determined by adjusting the voltage at this pin.

I_{IN} – The inverting input of the operational amplifier and the summing junction when connected in the V/F mode. An input current of 10μA is specified for nominal full scale but an over range current up to 50μA can be used without detrimental effect to the circuit operation.

V_{REF} – A reference voltage from either a precision source or the V_{SS} supply may be applied to this pin. Accuracy will be dependent on the voltage regulation and temperature characteristics of the circuitry.

V_{REF} OUT – The charging current for C_{REF} is derived from the internal circuitry and switched by the break-before-make switch to this pin.

V/F Design Information

Input/Output Relationships – The output frequency is related to the analog input voltage (V_{IN}) by the transfer equation:

$$\text{Frequency Out} = \frac{V_{IN}}{R_{IN}} \times \frac{1}{V_{REF} \quad C_{REF}} = f_o$$

External Component Selection

R_{IN} – The value of this component is chosen to give a full scale input current of approximately 10μA.

$$R_{IN} \cong \frac{V_{IN\ FULL\ SCALE}}{10\mu A}$$

Example:

$$R_{IN} \cong \frac{10V}{10\mu A} = 1M\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

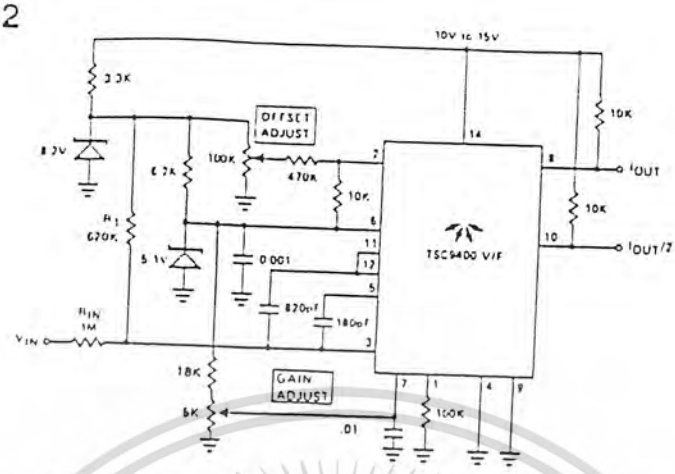


Figure 6. Single Variable Supply Voltage with Offset and Gain Adjust

Electrical Characteristics, F/V Mode

Unless otherwise specified, V_{DD} = +5V, V_{SS} = −5V, V_{GND} = 0, V_{REF} = −5V, R_{BIAS} = 100KΩ, Full Scale = 10KHz, T_A = 25°C unless Full Temp. Range is specified −40°C to +85°C for L package, 0°C to 70°C for J package

FREQUENCY-TO-VOLTAGE		TSC9401			TSC9400			TSC9402				
Parameter	Definition	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Units	Notes
Accuracy Non-Linearity	Deviation from Ideal Transfer Function as a Percentage of Full Scale Voltage		0.01	0.02		0.02	0.05		0.05	0.25	% Full Scale	5
Input Frequency Range	Frequency Range for Specified Non-Linearity	10		100K	10		100K	10		100K	Hz	6
Frequency Inputs Positive Excursion	Voltage Required to Turn Comparator On	0.4		V_{DD}	0.4		V_{DD}	0.4		V_{DD}	V	7
Negative Excursion	Voltage Required to Turn Comparator Off	-0.4		-2V	-0.4		-2V	-0.4		-2V	V	7
Min. Positive Pulse Width	Time between Threshold Crossings		5.0			5.0			5.0		µs	7
Min. Negative Pulse Width	Time between Threshold Crossings		0.5			0.5			0.5		µs	7
Input Impedance		10			10			10			MΩ	
Analog Outputs Output Voltage	Voltage Range of Op Amp Output for Specified Non-Linearity		V_{DD}-1			V_{DD}-1			V_{DD}-1		V	8
Output Loading	Resistive Loading at Output of Op Amp	2K			2K			2K			Ω	
Supply Current I_{DD} Quiescent (L Package) (J Package)	Current Required from Positive Supply During Operation		2.0 2.0	4.0 6.0		2.0 2.0	4.0 6.0		3.0	10.0	mA mA	9
I_{SS} Quiescent (L Package) (J Package)	Current Required from Negative Supply During Operation		-1.5 -1.5	-4.0 -6.0		-1.5 -1.5	-4.0 -6.0		-3.0	-10.0	mA mA	10
V_{DD} Supply	Operating Range of Positive Supply	4.0		7.5	4.0		7.5	4.0		7.5	V	
V_{SS} Supply	Operating Range of Negative Supply	-4.0		-7.5	-4.0		-7.5	-4.0		-7.5	V	
Reference Voltage $V_{REF}-V_{SS}$	Range of Voltage Reference Input	-1.0			-1.0			-1.0			V	

NOTES
1. Full temperature range
2. I_{IN} = 0
3. Full temperature range, I_{OUT} = 10mA
4. I_{OUT} = 10µA
5. 10Hz to 100KHz
6. 5µs min. positive pulse width and 0.5µs min. negative pulse width
7. T_r = t_f = 20ns
8. R_L ≥ 2KΩ
9. Full temperature range, V_{IN} = -0.1V
10. V_{IN} = -0.1V
11. I_{IN} connects the summing junction of an operational amplifier. Voltage sources cannot be attached directly but must be buffered by external resistors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

F/V Circuit Description

The 9400, when used as a frequency to voltage converter, generates an output voltage which is linearly proportional to the input frequency waveform.

Each zero crossing at the comparator's input causes a precise amount of charge ($q = C_{REF} \times V_{REF}$) to be dispensed into the op amp's summing junction. This charge in turn flows through the feedback resistor generating voltage pulses at the output of the op amp. A capacitor (C_{INT}) across R_{INT} averages these pulses into a DC voltage which is linearly proportional to the input frequency.

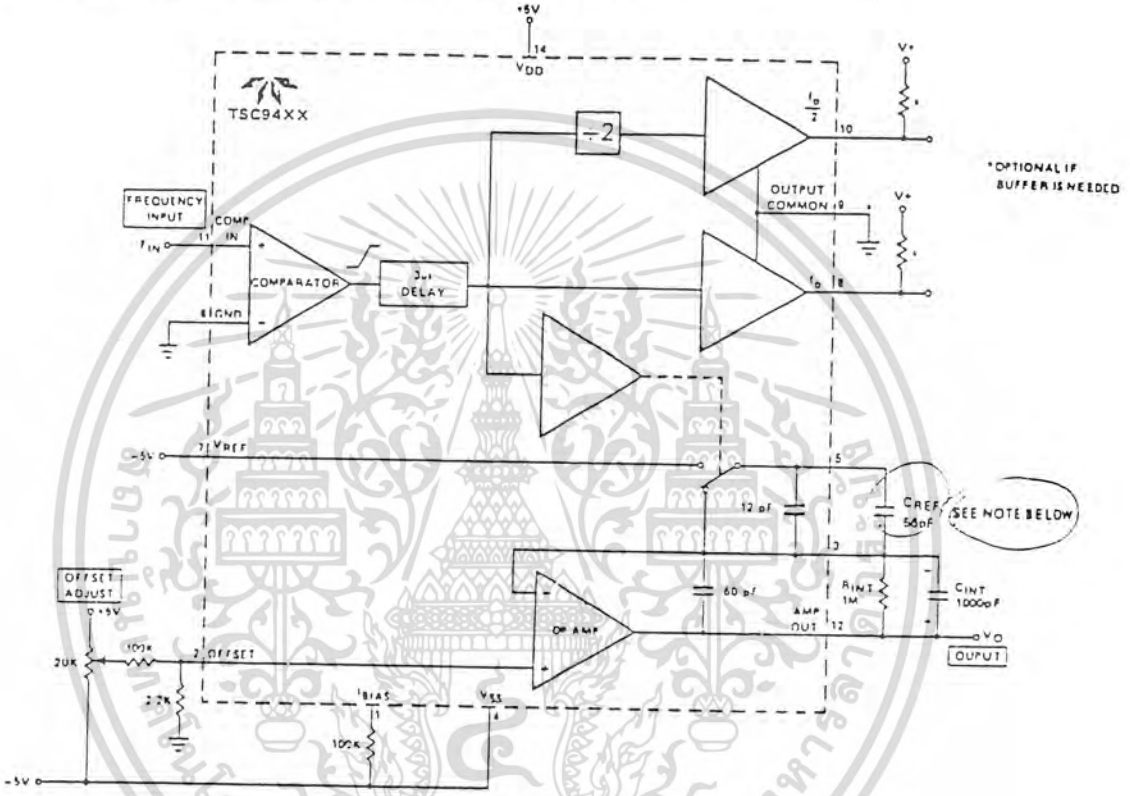


Figure 7. DC – 10KHz F/V Converter

F/V Design Information

Input/Output Relationships – The output voltage is related to the input frequency (F_{IN}) by the transfer equation:

$$V_{OUT} = [V_{REF} C_{REF} R_{INT}] F_{IN}$$

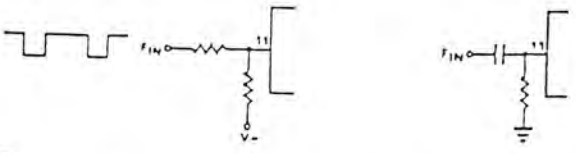
The response time to a change in F_{IN} is equal to ($R_{INT} C_{INT}$). The amount of ripple on V_{OUT} is inversely proportional to C_{INT} and the Input Frequency.

C_{INT} can be increased to lower the ripple. 1μF to 100μF are perfectly acceptable values for low frequencies.

When 9400 is used in the single supply mode, V_{REF} is defined as the voltage difference between Pin 7 and Pin 2.

Input Voltage Levels – The input signal must cross through zero in order to trip the comparator. In order to overcome the hysteresis the amplitude must be greater than ±200mV.

If only a unipolar input signal (F_{IN}) is available, it is recommended that either an offset circuit using resistor be used or that the signal be coupled in via a capacitor.



Note: C_{REF} should be increased for lower F_{IN} max. Adjust C_{REF} so that V_O is approximately 2.5 to 3.0 volts for the maximum input frequency. When F_{IN} max is less than 1 kHz, the duty cycle should be greater than 20% to insure that C_{REF} is fully charged and discharged.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9400, 9401, 9402

F/V Design Information (Contd.)

For 100KHz maximum input R_{INT} should be decreased to 100KΩ.

Input Buffer – f_o and $f_o/2$ are not used in the F/V mode. However, these outputs may be useful for some applications, such as a buffer to feed additional circuitry. f_o will then follow the input frequency waveform; except that f_o will go high 3μs after F_{IN} goes high. $f_o/2$ will be square wave with a frequency of one half f_o.

If these outputs are not used, then Pins 8, 9 and 10 may be left floating or connected to ground.

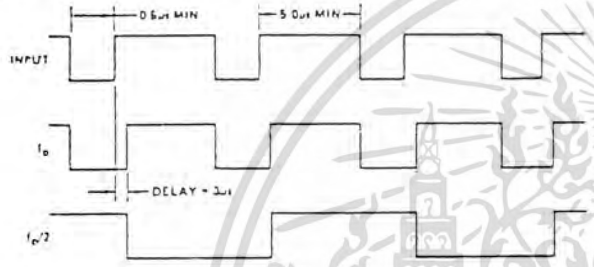
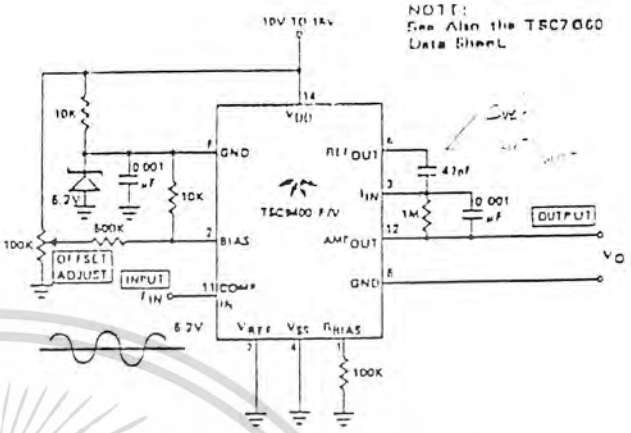


Figure 8. F/V Digital Outputs

The sawtooth ripple which is on the output of an F/V can be eliminated without affecting the F/V's response time by using the circuit in Figure 10. The circuit has a DC gain of +1. Any AC components such as a ripple are amplified both positively, via the lower path, and negatively, via the upper path. When both paths have the same gain, the AC ripple is cancelled. The amount of cancellation is directly proportional to gain matching. If the two paths are matched within 10%, then the ripple will be lowered by 1/10. For 1% matching, the ripple is lowered by 1/100. The 10K potentiometer is used to make the gain equal in both paths. This circuit is insensitive to both frequency changes and to signal wave shape.



1. The input is now referenced to 6.2 V (Pin 6). The input signal must therefore be restricted to be greater than 4 volts (Pin 6 –2V) and less than 10 to 15V (V_{DD}).

If the signal is AC coupled then a resistor (100K to 10MΩ) must be placed between the input (Pin 11) and Pin 6.

2. The output will now be referenced to Pin 6 which is at 6.2 V (V_Z). For frequency meter applications a 1mA meter with a series scaling resistor can be placed across Pins 6 and 12.

Figure 9. F/V Single Supply

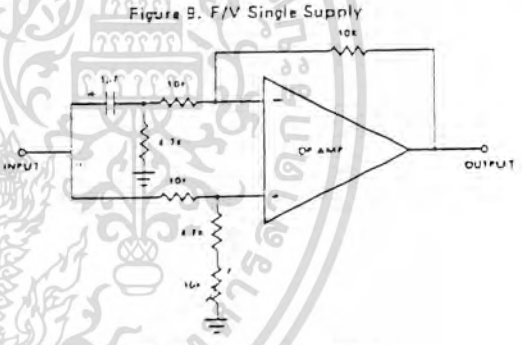
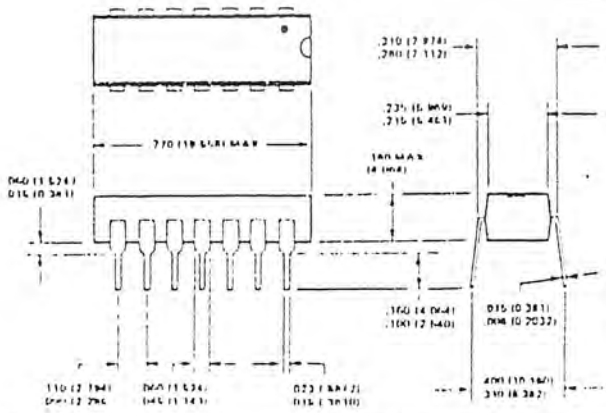


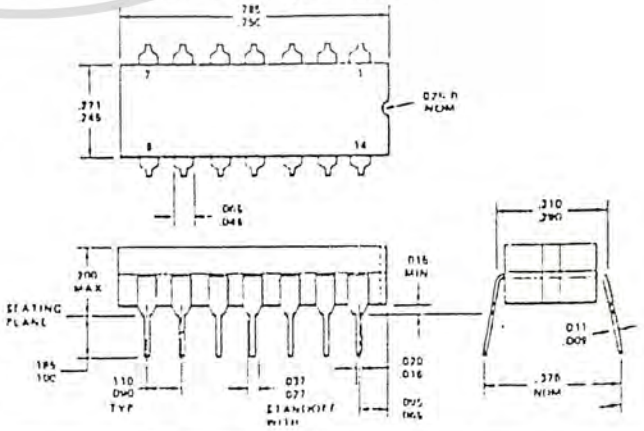
Figure 10. F/V Ripple Eliminator

Package Information

(Package #6)
14-Pin Plastic Dip (J Package)



(Package #7)
14-Pin CerDIP (L Package)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

シリコンNチャネル接合形電界効果トランジスタ
SILICON N-CHANNEL JUNCTION FIELD EFFECT TRANSISTOR

2SK30A

○ 低雑音プリアンプ用

○ トーンコントロール アンプ用

○ 各種DC AC高入力インピーダンス増幅回路用

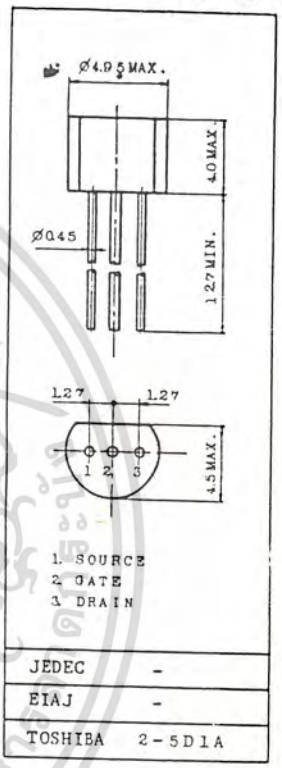
o Low Noise Pre-Amplifier, Tone Control Amplifier and DC-AC High Input Impedance Circuit Applications.

• 高耐圧です ： $V_{GDS} = -50V$

• 高入力インピーダンスです。： $I_{GSS} = 1nA$ (Max.)($V_{GS} = -30V$)

• 低雑音です。： $NF = 0.5dB$ (Typ.) ($R_g = 100k\Omega$)
($f = 120Hz$)

Unit in mm



JEDEC	-
EIAJ	-
TOSHIBA	2-5D1A

最大定格 MAXIMUM RATINGS (Ta = 25°C)

CHARACTERISTIC	SYMBOL	RATING	UNIT
ゲート・ドレイン間電圧	V_{GDS}	−50	V
ゲート電流	I_G	10	mA
許容損失	P_D	100	mW
接合温度	T_j	125	°C
保存温度	T_{stg}	−55～125	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

電気的特性 ELECTRICAL CHARACTERISTICS (Ta = 25 °C)

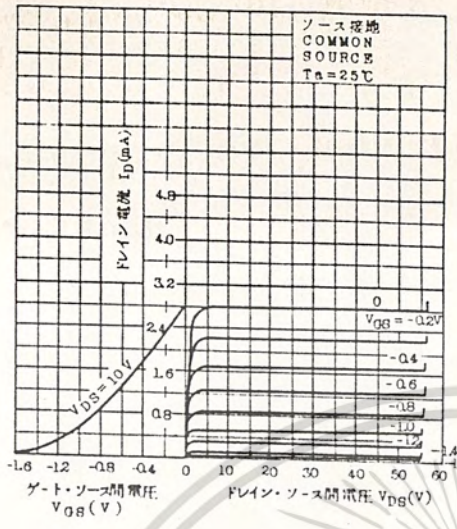
CHARACTERISTIC	SYMBOL	CONDITION	MIN.	TYP.	MAX.	UNIT
ゲート漏れ電流	I_{GSS}	$V_{GS}=-30V$, $V_{DS}=0$	—	—	−1.0	nA
ゲート・ドレイン間降伏電圧	$V_{(BR)GDS}$	$V_{DS}=0$, $I_G=-100\mu A$	−50	—	—	V
ドレイン電流 (Note)	I_{DSS}	$V_{DS}=10V$, $V_{GS}=0$	0.3	—	6.5	mA
ピンチ・オフ電圧	V_P	$V_{DS}=10V$, $I_D=0.1\mu A$	−0.4	—	−5.0	V
相互コンダクタンス	g_m	$V_{DS}=10V$, $V_{GS}=0$, f=1KHz	1.2	—	—	mU
入力容量	C_{iss}	$V_{GS}=0$, $V_{DS}=0$, f=1MHz	—	8.2	—	pF
帰還容量	C_{rss}	$V_{GD}=-10V$, $V_{DS}=0$, f=1MHz	—	2.6	—	pF
雑音指数	NF	$V_{DS}=15V$, $V_{GS}=0$ $R_g=100k\Omega$, f=120Hz	—	0.5	5.0	dB

Note ; I_{DSS}により下表のように分類し、現品表示してあります。
According to the value of I_{DSS}, the 2SK30A is classified as follows.

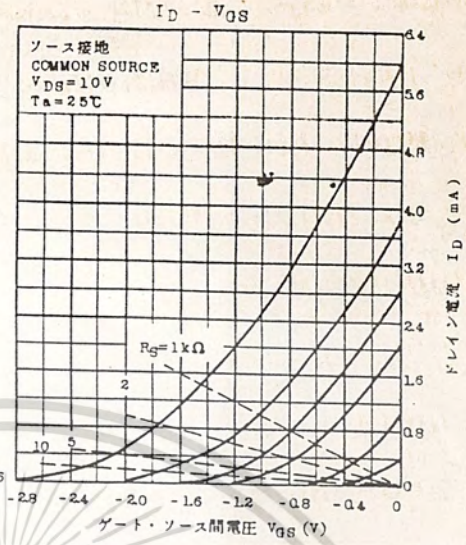
CLASSIFICATION	MIN.	MAX.
2SK30A − R	0.30	0.75
2SK30A − O	0.60	1.40
2SK30A − Y	1.20	3.00
2SK30A − GR	2.60	6.50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

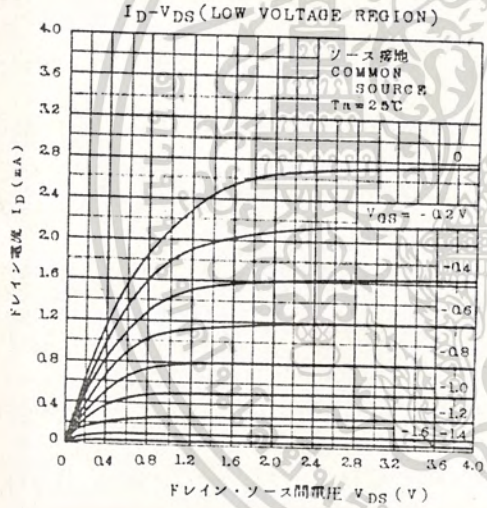
STATIC CHARACTERISTICS



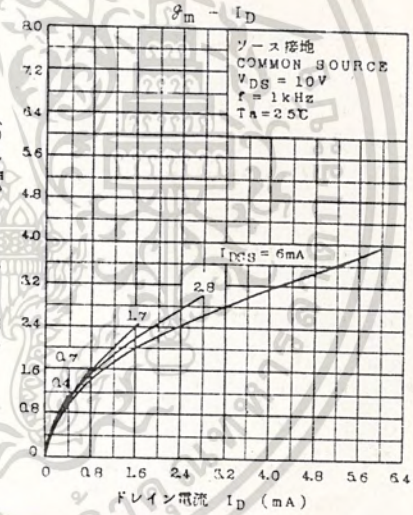
I_D - V_{GS}



I_D-V_{DS}(LOW VOLTAGE REGION)



g_m - I_D



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้