เครื่องโปรแกรมอีพรอม

EPROM PROGRAMMER

นาย มานิตย์ โสเชื้อ 34131222

นาย สุทิน ศรีเย็น 34131240

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EPROM PROGRAMMER

MR.MANIT SOCHUE 34131222

MR.SUTIN SRIGEN 34131240

Project report submitted in partial fulfillment of the repuirement for the Bacheler's Degree

Department of Industrial technology Faculty of Engineering

King Mongkut's Institue of Technology Ladkrabang Campus

1993

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องโปรแกรมอีพรอม
จัดทำโดย	นาย มานิตย์ โสเชื้อ 34131222
	นาย สุทิน ศรีเย็น 34131240
อาจารย์ที่ปรึกษา	อาจารย์ ไพศาล สิทธิโยภาสกุล
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2536

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร ปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

_____ ประธานกรรมการ
( )

_____ กรรมการ
( )

_____ กรรมการ
( )

_____ กรรมการ
( )

_____ กรรมการ
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เครื่อง โปรแกรมอีพรอม

ชื่อนักศึกษา นาย มานิตย์ โสเชื้อ 34131222
นาย สุทิน ศรีเย็น 34131240

อาจารย์ที่ปรึกษา อาจารย์ ไพศาล สิทธิโยภาสกุล
ภาควิชาเทคนิคอุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2536

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการกล่าวถึง การออกแบบ-สร้าง เครื่องโปรแกรมอีพรอม เพื่อเป็นการศึกษา ประยุกต์ใช้งานของ ไมโครคอนโทรลเลอร์เบอร์ 8031 เพื่อให้เกิดประโยชน์ในการใช้งานจริง หลังจากที่เคยได้ศึกษาทฤษฎีมาแล้ว ลักษณะของโครงงาน จะใช้งานร่วมกับเครื่องไมโครคอมพิวเตอร์ IBM PC XT/AT หรือ COMPATIBLE โดยทำการติดต่อกับ เครื่องโปรแกรมอีพรอม ผ่านทาง พอร์ทอนุกรม(RS-232) และส่งผลการทำงาน มาแสดงยัง จอมอนิเตอร์ ของเครื่องคอมพิวเตอร์ ส่วนการควบคุมการทำงาน สามารถสั่งงานผ่านแป้นคีบอร์ด ของเครื่อง คอมพิวเตอร์ได้โดยตรงซึ่งจะเป็นการสะดวกในการใช้งานเป็นอย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROJECT ERPORM PROGRAMMER

STUDENT Mr.Manit Sochue 34231222

Mr.Sutin Srigen 34131240

ASVISER Mr.Paisan Sithiyopasakul

DEPARTMENT OF INDUSTRIAL TECHNOLOGY

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG CAMPUS

1993

ABSTRACT

This thesis has presented EPROM PROGRAMMER design. EPROM PROGRAMMER used for education and applied for MICRO CONTROLLER No 8031. It cooperated with IBM PC XT/AT by passing SERIAL PORT (RS-232) and it's result showed off monitor. The controlling could pass keyboard directlyso it had convenient for working. The part of program functional had special worked that very fast. EPROM used to worked or bad quality, that could add timing by auto - program.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์เรื่อง เครื่องโปรแกรมอีพรอม(EPROM PROGRAMMER) ฉบับนี้สำเร็จลงได้โดยได้รับความช่วยเหลือและคำแนะนำ สำหรับเป็นแนวทางในการทำโครงงานเป็นอย่างดี จาก อาจารย์ไพศาล สิทธิโยภาสกุล ซึ่งเป็นอาจารย์ที่ปรึกษาภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง รวมทั้ง คุณ วิชิต สินหพระยากุล วิศวกรระดับ 5 แผนกอุปกรณ์ข้อมูล กองอุปกรณ์ปลายทาง ฝ่ายระบบสื่อสาร การไฟฟ้าฝ่ายผลิตแห่งประเทศไทย บางกรวย นนทบุรี ที่คอยให้คำปรึกษาเกี่ยวกับการทำโครงงาน ผู้จัดทำขอขอบพระคุณทุก ๆ ท่านเป็นอย่างสูง

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่		หน้า
1.	บทนำ	1
2.	ทฤษฎีและหลักการทำงานของเครื่องโปรแกรมอีพรอม	3
	2.1. ข้อกำหนดที่ใช้ในการออกแบบ	5
	2.2. การออกแบบบล็อกไดอะแกรมของระบบ	5
	2.3. โครงสร้างของไฟล์ข้อมูลที่ใช้ดาวน์โหลด	8
3.	การออกแบบเครื่องโปรแกรมอีพรอม	9
	3.1. ข้อกำหนดที่ใช้ในการออกแบบซอฟแวร์	9
	3.2. ฟังก์ชั่นการทำงานและการใช้งาน	10
	3.3. รูปผังงานของฟังก์ชั่นต่างๆ	13
4.	ผลการทำโครงงานเครื่องโปรแกรมอีพรอม	27
5.	สรุปและวิจารณ์การทำโครงงานเครื่องโปรแกรมอีพรอม	38
ภาคผนวก		
	ก. ตารางแสดงชนิดของอีพรอมและแรงดันโปรแกรม(Vpp)ของบริษัทต่างๆ	39
	ข. รายละเอียดของอีพรอมเบอร์ต่างๆ	44
	ค. รายละเอียดของโปรแกรมควมคุมระบบ	47
	ง. DATA SHEET	101
เอกสารอ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ **หน้า**

1.1. บล็อกการทำงานของเครื่องโปรแกรมอีพรอม 2

2.1. แสดง TIMING WAVEFORMS (read) ของอีพรอมเบอร์ 2764 3

2.2. แสดง TIMING WAVEFORMS (program) ของอีพรอมเบอร์ 2764 4

2.2.1. บล็อกไดอะแกรมของ เครื่องโปรแกรมอีพรอม 5

3.3.1. ผังงานของโปรแกรมหลัก(Main Program) 14

3.3.2. ผังงานของโปรแกรม Blank Check 16

3.3.3. ผังงานของโปรแกรม Display Data Buffer 17

3.3.4. ผังงานของโปรแกรม Edit Memory 18

3.3.5. ผังงานของโปรแกรม Down-Load 19

3.3.6. ผังงานของโปรแกรม Program EPROM 21

3.3.7. ผังงานของโปรแกรม Read Data to Buffer 22

3.3.8. ผังงานของโปรแกรม EPROM Type Select 23

3.3.9. ผังงานของโปรแกรม Up-Load Data to PC 25

3.3.10.ผังงานของโปรแกรม Verify EPROM 26

4.1. แสดงการจัดขาของอีพรอมเบอร์ต่าง ๆ 27

4.2. แสดงการต่อ U1(8031 Microcontroller) และ U5(Latch Address) 28

4.3. แสดงการต่อหน่วยความจำของระบบ 29

4.4. แสดงการต่อ U2(8255) เข้าใช้งานในระบบ 30

4.5. แสดงวงจร Program Control Arrangement 31

4.6. แสดงวงจรภาคจ่ายไฟ และวงจร Voltage Gennerator 33

4.7. แสดงวงจร Driver RS-232 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

โครงงาน เครื่องโปรแกรมอีพรอม (EPROM Promprogrammer) ได้จัดทำขึ้น ด้วยวัตถุประสงค์ที่จะทำการพัฒนา และศึกษาการประยุคต์ใช้งาน ไมโครคอนโทรลเลอร์เบอร์ 8031 เพื่อให้เกิดประโยชน์ในการใช้งานจริง

การทำงานของระบบ ที่ควบคุมโดยคอมพิวเตอร์ เป็นไปได้ตามขั้นตอนโดยอัตโนมัติตามที่ต้องการนั้น ก็เป็นผลมาจากการที่ คอมพิวเตอร์นั้น ปฏิบัติตามโปรแกรมที่เราได้จัดเตรียมไว้ที่เรียกว่า โปรแกรมควบคุมระบบ หรือ โปรแกรมมอนิเตอร์(Monitor program) ดังนั้นจะเห็นได้ว่า การที่จะพัฒนา ระบบคอมพิวเตอร์ใดๆ ก็คือการพัฒนา โปรแกรมมอนิเตอร์ นั่นเอง สำหรับการพัฒนาโปรแกรมควบคุมระบบ อย่างคร่าวๆ นั้นจะเริ่มจาก การเขียนโปรแกรมขึ้นมา ไม่ว่าจะเขียนด้วยภาษาใด หลังจากนั้นจะทำการแปลงให้เป็นภาษาเครื่อง ซึ่งอาจอยู่ในรูปของ object file หรือ hex file และเก็บไว้ในหน่วยความจำแบบถาวร เช่น อีพรอม ซึ่งเรียกวิธีการนี้ว่า " การโปรแกรมอีพรอม "

โครงงานนี้ได้เสนอ เครื่องโปรแกรมอีพรอม (EPROM Programmer) และเพื่อลดความซับซ้อนของวงจร และให้การทำงานของเครื่องเป็นไปด้วยความถูกต้อง และรวดเร็ว ในการออกแบบจึงได้นำไมโครคอนโทรลเลอร์ เบอร์8031 มาใช้ควบคุมการทำงาน ร่วมกับเครื่องคอมพิวเตอร์(PC) โดยที่การติดต่อ รับส่งข้อมูล และการควบคุมการทำงานของ เครื่องโปรแกรมอีพรอม กับเครื่องคอมพิวเตอร์ (PC) จะทำ ผ่านทางพอร์ทอนุกรม (RS-232) และส่งผลการทำงานออกมาแสดงยังหน้าจอมอนิเตอร์ของเครื่องคอมพิวเตอร์ การควบคุมการทำงานนั้นสามารถสั่งงานผ่านคีบอร์ดได้โดยตรง ซึ่งจะเป็นการสะดวกในการใช้งานเป็นอย่างมาก เช่น เราสามารถเลือกเบอร์อีพรอมในการโปรแกรมโดยผ่านทางแป้นคีบอร์ด โดยดูจากจอมอนิเตอร์ได้ ส่วนข้อมูลที่อยู่ในเครื่องคอมพิวเตอร์ ที่จะส่งไปยังเครื่องโปรแกรมอีพรอม จะอยู่ในรูปของ INTEL-Hex Format และไฟล์เหล่านี้จะถูกแปลงมาเป็น Binary File โดยเครื่องโปรแกรมอีพรอม ในส่วนของเครื่องคอมพิวเตอร์ จะใช้ซอฟแวร์สื่อสารเพื่อควบคุมการทำงานของพอร์ท และทำการติดต่อระหว่างคอมพิวเตอร์ กับเครื่องโปรแกรมอีพรอม

การเขียน (Down Load) หรือ อ่าน(Up-Load) ข้อมูลจะกระทำโดย เครื่องคอมพิวเตอร์ ผ่านพอร์ทอนุกรมไปยัง เครื่องโปรแกรมอีพรอมที่ต่ออยู่ระหว่างคอมพิวเตอร์ กับซ็อกเก็ต (Target EPROM Socket) ของอีพรอมที่จะนำมาโปรแกรม ซึ่งเขียนสามารถบล็อกการทำงาน ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1.1 บล็อกการทำงานของเครื่องโปรแกรมอีพรอม

วิธีการที่จะโปรแกรมทำได้ 2 ลักษณะ คือ

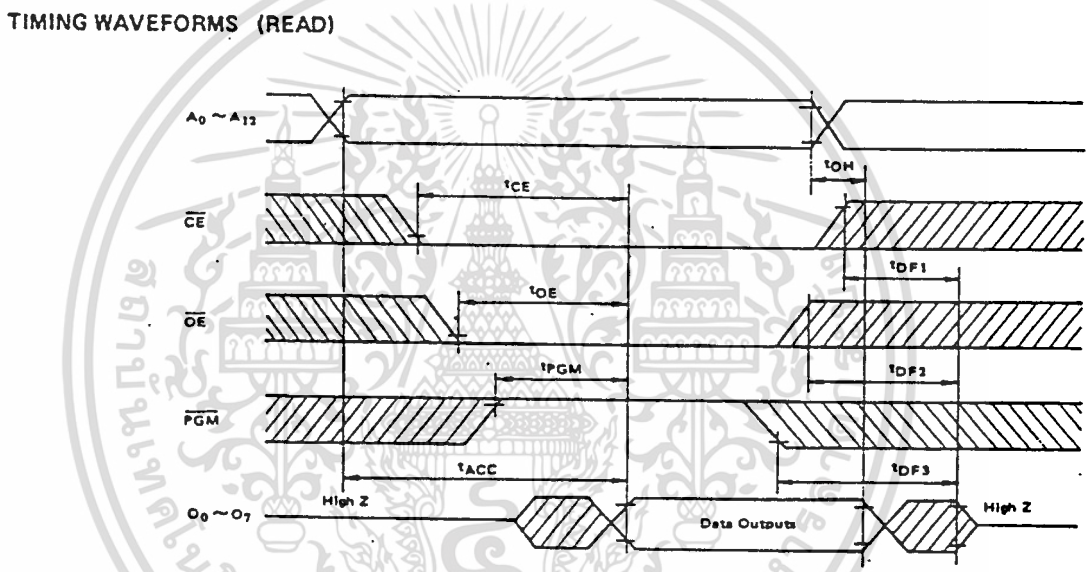
การโปรแกรมโดยวิธีการดาวน์โหลดไฟล์จาก เครื่องคอมพิวเตอร์ไปยัง เครื่องโปแกรมอีพรอม ผ่านทางสายสัญญาณRS-232 หลังจากนั้น เครื่องโปรแกรมอีพรอม จะทำการโปรแกรมโดย ส่งสัญญาณ ควบคุม(Control) ตำแหน่งแอดเดรส (Address Location) และค่าของข้อมูล(Data) ยังอีพรอมตัวที่นำมาโปรแกรม ที่อยู่ใน Target EPROM Socket

ลักษณะที่สอง เป็นลักษณะการคัดลอก(Copy) ข้อมูลจากตัวต้นฉบบับ (Master) การโปรแกรม จะทำโดยการอ่านข้อมูล จาก Master มาเก็บไว้ใน หน่วยความจำ Data Buffer ภายใน หลังจากนั้นจะต้องเปลี่ยน อีพรอมตัวที่ต้องการโปรแกรมมาเสียบใน Target EPROM Socket แทนแล้วจึงเริ่มทำการโปรแกรมเหมือนวิธีการแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี และหลักการทำงานของเครื่องโปรแกรมอีพรอม

การที่จะอ่าน(Read)หรือเขียน(Program)ข้อมูลกับอีพรอมเบอร์ใดๆจะต้องทำการศึกษาการทำงานของผังเวลา(Timing diagram) และจัดสัญญาณ ต่างๆ ตามที่อีพรอมเบอร์นั้นๆ ต้องใช้ สำหรับตัวอย่างที่นำมาแสดงเป็นผังเวลาของ อีพรอมเบอร์ 2764 ซึ่งมีรายละเอียดดังรูป



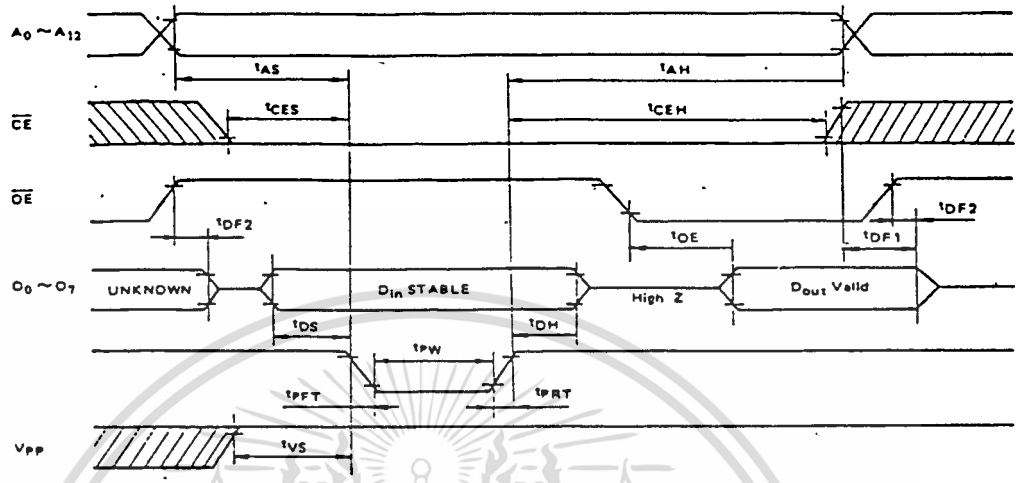
รูปที่ 2.1 แสดง Timing Waveforms (Read) ของอีพรอมเบอร์ 2764

จากรูปเป็นผังเวลาการอ่าน ของอีพรอมเบอร์ 2764 จะเห็นว่าการที่จะอ่านข้อมูลจากตัวอีพรอมได้นั้น จะมี 5 ขั้นตอนด้วยกัน โดยเริ่มจากการส่งค่าตำแหน่งแอดเดรส(a0-a12) มายังอีพรอม จากนั้นก็ทำการส่ง สัญญาณเลือกชิพ (Chip enable) และ สัญญาณเอาท์พุทอีนาเบิล (Output enable) ซึ่งเป็นลอจิกต่ำ มายังขา CE และ OE ตามลำดับ ขณะเดียวกันสัญญาณที่ขา PGM ต้องเป็นลอจิกสูงตลอดเวลา หลังจากนั้นจะมีการหน่วงเวลาอีกเล็กน้อย อีพรอมจึงให้ข้อมูลที่ตำแหน่งแอดเดรสนั้นออกมา ซึ่งเวลาหน่วงดังกล่าว คือ tCE, tOE, tPGM ดังรูป สำหรับเวลาที่ใช้ไปทั้งหมดตั้งแต่การเริ่มต้นให้ค่าตำแหน่ง แอดเดรส จนกระทั่ง อีพรอมให้ค่าข้อมูลออกมา เรียกว่า Timing Access(tACC) หลังจากนั้นก็หยุดการอ่านโดยการยกเลิก สัญญาณ OE และ CE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORMS (PROGRAM)

PROGRAM OPERATION 1. (V_{PP} = 21V ± 0.5V)



รูปที่ 2.2 แสดง Timing Waveforms(Program) ของอีพรอมเบอร์ 2764

ในทำนองเดียวกันรูปที่2.2แสดงผังเวลาการโปรแกรมของอีพรอมเบอร์ 2764 โดยจะเริ่มจากการส่งค่า ตำแหน่งแอดเดรส(a0-a12) สัญญาณ เลือกชิฟ(ce) ระดับแรงดันไฟ ที่ใช้โปรแกรม (voltage program) และสัญญาณพัลส์(tpw) ที่ใช้โปรแกรม โดยที่สัญญาณเอาท์พุทอีนาเบิล เป็นลอจิกสูงหรือไม่แอคทีฟ ตลอดเวลาการทำงาน จากผังเวลาจะสังเกตุได้อีกอย่างว่า การที่จะโปรแกรมได้เร็วหรือช้านั้นจะขึ้นอยู่กับ สัญญาณพัลส์(tpw) ที่ใช้โปรแกรมเป็นสำคัญ ดังนั้นการที่จะโปรแกรมให้ได้เร็วจะต้องใช้ สัญญาณพัลส์(tpw) ที่แคบหรือน้อยที่สุด แต่ต้องไม่น้อยกว่า ค่าที่อีพรอมเบอร์นั้นๆ กำหนดไว้

จากตัวอย่างของผังเวลา(Timing diagram) ข้างต้น จะเห็นว่าการสร้าง เครื่องโปรแกรมอีพรอม ก็คือการสร้างสัญญาณแอดเดรส สัญญาณพัลส์(tpw) ระดับแรงดันโปรแกรม และสัญญาณควบคุม ต่างๆ ตามความต้องการของอีพรอมแต่ละเบอร์นั่นเอง ต่อไปจะได้กล่าวถึงข้อกำหนดรายละเอียดปลีกย่อย และบล็อกไดอะแกรมเป็นส่วนๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

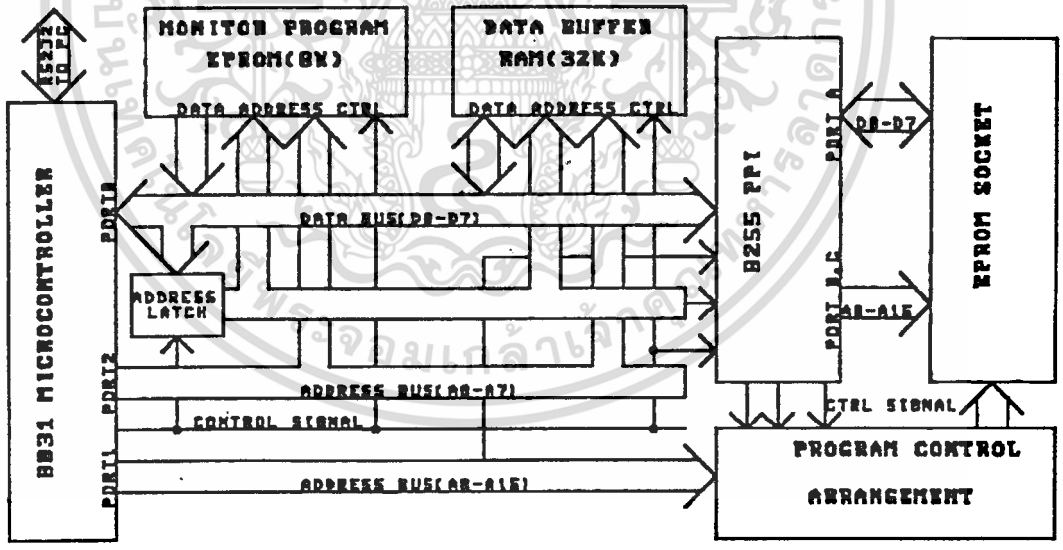
2.1. ข้อกำหนดที่ใช้ของเครื่องโปรแกรมอีพรอม

ข้อกำหนด (Spacification) ที่ได้กำหนดขึ้นมามีดังนี้

1. สามารถโปรแกรม อีพรอม ได้ 9 เบอร์ คือ 2716, 2732, 2732A,2764, 2764A, 27128, 27128A, 27256(21V), 27256(12.5V)
2. ทำงานร่วมกับเครื่องไมโครคอมพิวเตอร์ PC โดยผ่านทางพอร์ทอนุกรม RS-232
3. การทำโปรแกรมแบบพิเศษ ซึ่งทำให้การโปรแกรมทำได้รวดเร็ว และสำหรับอีพรอม ที่ถูกใช้งานมาแล้ว หรือคุณภาพไม่ค่อยดี ก็จะเพิ่มค่าเวลาในการโปรแกรมออกไปเองโดยอัตโนมัติ
4. สามารถโปรแกรมเฉพาะบางไบต์หรือบางช่วงได้
5. สามารถโปรแกรมข้ามเบอร์ได้
6. รูปแบบของข้อมูลที่จะทำการ Down - Load อยู่ในรูปของ INTEL-Hex Format

2.2. บล็อคไดอะแกรมของเครื่องโปรแกรมอีพรอม

ในการออกแบบเครื่องโปรแกรม อีพรอม สามารถเขียนเป็นบล็อคไดอะแกรมได้ดังนี้



รูปที่ 2.2.1. บล็อคไดอะแกรม ของ เครื่องโปรแกรมอีพรอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อคไดอะแกรม เครื่องโปรแกรมอีพรอม ได้ถูกออกแบบฮาร์ดแวร์ให้ง่าย และสะดวกในการใช้งานโดยที่ไม่ต้องไปเสียบต่อเพิ่มเติมบนสล็อค ของเครื่องคอมพิวเตอร์ (PC) แต่อย่างใด เพียงแต่ต่อผ่านทางพอร์ทอนุกรม (RS-232) เท่านั้นโดยที่แต่ละบล็อคจะมีหลักการทำงานดังนี้

1. 8031 Microcontroller จะเป็นส่วนสำคัญที่สุดของระบบโดยมีการทำงานดังนี้

   พอร์ท 0 จะถูกใช้เป็นบัสข้อมูล (D0-D7) และบัสของแอดเดรสด้านต่ำ (A0-A7) ส่งออกภายนอกในลักษณะของการมัลติเพล็กกันออกไป โดยที่บัสของข้อมูลเป็นบัสแบบสอง ทิศทาง ซึ่งสามารถจะรับ หรือส่งข้อมูลก็ได้ บัสนี้จะถูกต่อเข้าไปยังหน่วยความจำของระบบ คือ อีพรอม (Monitor Program) แรม (Data Buffer) และ 8255 PPI

   ในส่วนของแอดเดรสแลท์จะทำการดีมัลติเพล็กสัญญาณเอดเดรสด้านต่ำ (A0 - A7) จากพอร์ท 0 ส่งไปยังหน่วยความจำ รอม แรม และบางส่วนจะส่งไปยัง 8255 PPI

   พอร์ท 2 จะถูกใช้เป็นบัสแอดเดรสด้านสูง (A8 - A15) เป็นบัสทิศทางเดียวจะส่งไปยังหน่วยความจำ รอม และแรมของระบบ

   พอร์ท 1 จะถูกใช้เป็นบัสควบคุมการจัดการโปรแกรมทั้งหมด

   สัญญาณควบคุม (Control Signal) จาก 8031 ก็จะถูกนำไปใช้ควบคุมส่วนของ แอดเดรสแลทช์ รอม แรม และ 8255 PPI ของระบบ

   ส่วนการติดต่อกับ คอมพิวเตอร์(PC) จะทำการติดต่อทาง พอร์ทอนุกรมผ่านสายสัญญาณ RS-232 เข้ามายังพอร์ทอนุกรมของ 8031 โดยตรง ซึ่งจะใช้ในการส่งผ่านข้อมูลและการควบคุมการทำงานของ เครื่องโปรแกรมอีพรอม

2. Monitor Program ในส่วนนี้จะใช้อีพรอม ขนาดความจุ 8 กิโลไบท์ สำหรับเก็บโปรแกรม ควบคุมระบบ และคำสั่งของฟังก์ชั่นต่าง ๆ ในการใช้งาน ในส่วนนี้จะสามารถอ่านข้อมูลได้อย่างเดียว ไม่สามารถเขียนข้อมูลลงไปได้

3. Data Buffer ในส่วนนี้จะใช้แรมขนาด 32 กิโลไบท์ ทำหน้าที่ เก็บ และ สำรองข้อมูลไว้ก่อนการโปรแกรม เพื่อการตรวจสอบ หรือแก้ไขข้อมูลบางไบท์ ก่อนจะโปรแกรมลง อีพรอม จริง ๆ เนื่องจากตัวมันเองมีขนาดความจุถึง 32 กิโลไบท์ จึงสามารถโปรแกรมอีพรอมได้ถึงเบอร์ 27256 ขนาดความจุถึง 32 กิโลไบท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. 8255 PPI เป็นส่วนสำคัญที่ต้องติดต่อกับ อีพรอม ที่จะทำการโปรแกรม ในตัวมันมีพอร์ทที่ให้ ใช้ทำงานได้ถึง3 พอร์ท และแต่ละพอร์ทสามารถโปรแกรมให้เป็นพอร์ท อินพุต หรือเอาท์พุตก็ได้ ในที่นี้ใช้พอร์ท A เป็นบัสข้อมูล (D0 - D7) จึงต้องเป็นทั้งพอร์ท อินพุตและเอาท์พุต เมื่ออยู่ในหน้าที่อ่านข้อมูลจาก อีพรอม พอร์ท A ก็จะเป็นพอร์ทอินพุต แต่ถ้าอยู่ในหน้าที่โปรแกรม พอร์ท A จะเป็นพอร์ทเอาท์พุต สำหรับพอร์ท C และพอร์ท B เป็นพอร์ทเอาท์พุตเพื่อใช้เป็นบัสแอดเดรส

5. Program Control Arrangement จะเป็นส่วนที่สร้างสัญญาณควบคุม รวมทั้งค่าแรงดัน ที่ใช้ในการโปรแกรม ให้ตรงตามข้อกำหนดของ อีพรอม แต่ละเบอร์

6. EPROM Socket เป็นส่วนที่เสียบของ อีพรอม ที่ต้องการจะทำการอ่านหรือโปรแกรม

การทำงานของบล็อกไดอะแกรม ที่กล่าวมาเป็นการทำงานอย่างคร่าว ๆ การออกแบบ วงจร ใช้งานจะกล่าวในหัวข้อต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 โครงสร้างของไฟล์ข้อมูลที่ใช้ดาวน์โหลด

ในการออกแบบ ฮาร์ดแวร์ และซอฟแวร์ จำเป็นที่จะต้องรู้เกี่ยวกับข้อมูลที่ถูกนำไปเก็บในหน่วยความจำ (Data Buffer) เพื่อที่จะเปลี่ยนให้เป็นไฟล์ข้อมูลที่อยู่ในรูป Binary File ซึ่งพร้อมที่จะนำข้อมูลดาวน์โหลดลดลงหน่วยความจำเพื่อใช้งานต่อไป สำหรับโครงงานนี้จะใช้ไฟล์ข้อมูลแบบ INTEL-Hex Format ซึ่งมีรูปแบบดังนี้

ในแต่ละเรกคอร์ดจะประกอบไปด้วย ตัวอักษร 9 ตัวตามด้วยข้อมูลแต่ละไบท์เรียงกัน และปิดท้ายด้วยตัวอักษร 2 ตัว มีรูปแบบดังนี้

< : > < BC > < AAAA > < TT > < HHH.....HH > < CC >

โดยที่

:	ตัวอักษรเริ่มต้นของข้อมูลในแต่ละบรรทัด
BC	จำนวนไบท์ข้อมูลในแต่ละเรกคอร์ดมีค่าเป็นเลขฐานสิบหก (BC = 0 ถ้าเป็นเรกคอร์ดสุดท้ายของไฟล์)
AAAA	เป็นตำแหน่งแอดเดรสของข้อมูลไบท์แรกใน แต่ละเรกคอร์ด
TT	ชนิดของเรกคอร์ด (TT = 00 ถ้าเป็นเรกคอร์ดของข้อมูลและ TT = 01 ถ้าเป็นเรกคอร์ดสุดท้ายของไฟล์)
HH	ข้อมูล 1 ไบท์
CC	ค่าของผลรวมของข้อมูล ซึ่งเป็นค่าคอมพลีเมนต์ของสอง (Two'S Complement)ของข้อมูลทุกไบท์ในแต่ละเรกคอร์ดรวมทั้งจำนวนไบท์ข้อมูล(BC),แอดเดรส(AAAA)และชนิดของเรกคอร์ด (TT)

ตัวอย่างรูปแบบของ INTEL-Hex Format

: 10000000740F78F0760775F0037980770975800 3AF

: 10001000750709750F0190010128250F26240F3956

: 1000200035F137340B9995F19694050409050707C6

: 10003000141915071 7A375F004A4FAABF075F002B4

: 0400400084FCADF09F

: 00000001FF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบเครื่องโปรแกรมอีพรอม

3.1. ข้อกำหนดที่ใช้ในการออกแบบซอฟแวร์

การออกแบบซอฟแวร์ของเครื่องโปรแกรมอีพรอมมีข้อกำหนดดังนี้

1. สามารถทำงานได้ แปด ฟังก์ชั่นคือ Blank Check, Edit Memory, Down-Load, Program EPROM, Read Data to Buffer, EPROM Type Select, Up-Load Data to PC, Verify EPROM

2. รูปแบบของคำสั่ง จะเริ่มด้วยตัวอักษรตัวเดียว และเว้นหนึ่งช่องตามด้วย ตัวแปรต่าง ๆ และจบท้ายด้วยการกด Enter เสมอ

3. เครื่องโปรแกรมอีพรอม จะรับรู้เฉพาะอักษรตัวใหญ่เท่านั้น

4. จำนวนตัวเลขต่าง ๆ ที่ป้อนจะถือว่าเป็นเลขฐานสิบหกและไม่ต้องใส่ อักษร H ลงท้าย หรือศูนย์นำหน้า

5. ในกรณีที่ป้อนคำสั่งไม่ถูกต้อง เครื่องโปรแกรมอีพรอม จะแสดงข้อความว่า "Command Error"

6. เครื่องหมาย [ ] ของรูปแบบคำสั่งหมายความว่าค่าที่อยู่ภายในจะกำหนดหรือไม่ก็ได้

7. ความหมายของข้อมูลใด ๆ ที่อยู่ในรูปแบบคำสั่งจะเป็นดังนี้

Start,Stop	หมายถึง ค่า Start,Stop Address ขนาด 16 บิท
Byte	หมายถึง ค่า ข้อมูลขนาด 8 บิท
Addr	หมายถึง แอดเดรสขนาด 16 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
033220

3.2. ฟังก์ชั่นการทำงานและการใช้งาน

ฟังก์ชั่น B (Blank Check)

หน้าที่ ทำการตรวจสอบข้อมูลในตัว อีพรอม ว่า Blank หรือไม่ Blank ของตัว อีพรอม โดยที่ Blank หมายถึงข้อ มูลในแต่ละไบท์มีค่าเป็น FFH)

รูปแบบ B

คำอธิบาย ก่อนที่จะใช้คำสั่งนี้ จะต้องเลือกเบอร์ของ ก่อนโดยใช้คำสั่ง T (EPROM Type Select) ถ้า อีพรอม Blank ที่หน้าจอขึ้นคำว่า "EPROM is Blank" ถ้าอีพรอมไม่ว่าง ที่หน้าจอจะขึ้นคำว่า "EPROM Not Blank"ถ้ายังไม่ได้เลือกเบอร์ของ อีพรอม ที่หน้าจอจะขึ้นคำว่า "Type Not Selected"

ฟังก์ชั่น D (Display Data Buffer)

หน้าที่ นำข้อมูลในหน่วยความจำ (Data Buffer) มาแสดงยัง จอมอนิเตอร์

รูปแบบ D [start,stop]

คำอธิบาย สำหรับนำข้อมูลจากหน่วยความจำ Data Buffer มาแสดงที่จอมอนิเตอร์ของเครื่องคอมพิวเตอร์ตามค่าแอดเดรสที่ได้กำหนดมา ทั้งนี้ถ้าไม่ได้กำหนดค่า start,stop แอดเดรสเครื่องโปรแกรม จะแสดงข้อมูลทั้งหมดตามขนาดของเบอร์ อีพรอม ที่ได้เลือกไว้ ถ้ายังไม่ได้เลือกเบอร์ของ อีพรอม ที่หน้าจอขึ้นคำว่า "Type Not Selected"

ฟังก์ชั่น E (Edit Memory)

หน้าที่ ป้อนหรือแก้ไขข้อมูลในหน่วยความจำ Data Buffer

รูปแบบ E addr

คำอธิบาย รับการป้อน หรือแก้ไขข้อมูลลงในหน่วยความจำ Buffer โดยจะป้อนเป็นเลข Hex ได้ทันที addr คือตำแหน่งเริ่มต้นที่จะป้อน เมื่อใช้คำสั่งนี้ เครื่องโปรแกรมจะแสดงค่าแอดเดรสพร้อมทั้งข้อมูลเดิมที่มีอยู่จากนั้นให้ผู้ใช้ใส่ค่าใหม่ที่ต้องการลงไปพร้อมกับแสดงค่าแอดเดรสถัดไปด้วยถ้าต้องการออกจากคำสั่งนี้ให้กด Enter อีกครั้ง

ฟังก์ชั่น L (Down-Load)

หน้าที่ Down-Load ข้อมูลจากเครื่อง PC มายังหน่วยความจำ Buffer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบ L

คำอธิบาย สำหรับการ Down-load ข้อมูลจากเครื่องคอมพิวเตอร์ PC มายังหน่วยความจำโดยจะต้องเป็น File ในรูปแบบของ INTEL-Hex โดยค่าแอดเดรสที่กำหนดมาจาก File จะเป็นตัวกำหนดตำแหน่งที่จะโหลดลง การ Down-load ต้องอาศัยโปรแกรมสื่อสารร่วมด้วย

ฟังก์ชั่น P (Program EPROM)

หน้าที่ โปรแกรม อีพรอม

รูปแบบ P [start,stop]

คำอธิบาย สำหรับ การโปรแกรมอีพรอม โดยอ่านข้อมูลจาก หน่วยความจำ Buffer แล้วทำการโปรแกรมลงอีพรอม ที่แอดเดรสเดียวกับที่อ่านมา ทั้งนี้ถ้าไม่ได้กำหนดค่า start,stop แอดเดรส เครื่องโปรแกรม ก็จะโปรแกรมทุกแอดเดรสตามขนาดของเบอร์อีพรอมที่ได้เลือกไว้ถ้ายังไม่ได้เลือกเบอร์ของอีพรอมที่หน้าจอจะขึ้นคำว่า "Type Not Selected"

ฟังก์ชั่น R (Read Data to Buffer)

หน้าที่ อ่านข้อมูลจาก อีพรอม มาเก็บไว้ที่หน่วยความจำ Buffer

รูปแบบ R [start,stop]

คำอธิบาย สำหรับอ่านข้อมูลจาก อีพรอม มาเก็บไว้ที่หน่วยความจำ Buffer โดยจะเก็บไว้ที่แอดเดรส เดียวกับที่อ่านมา ทั้งนี้ถ้าไม่ได้กำหนดค่า start,stop แอดเดรสเครื่องโปรแกรมจะอ่านข้อมูลทั้งหมดตามขนาดของเบอร์ อีพรอม ที่ได้เลือกไว้ถ้ายังไม่ได้เลือกเบอร์ของ อีพรอม ที่หน้าจอขึ้นคำว่า "Type Not Selected"

ฟังก์ชั่น T (Type Select)

หน้าที่ เลือกเบอร์ อีพรอม

รูปแบบ T

คำอธิบาย สำหรับการเลือกเบอร์ อีพรอม โดยจะมีเมนูให้เลือกดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Please Select

EpromType

1. - 2716	Vpp = 25 V
2. - 2732	Vpp = 21 V
3. - 2732A	Vpp = 21 V
4. - 2764	Vpp = 21 V
6. - 27128	Vpp = 21 V
7. - 27128A	Vpp = 12.5 V
8.- 27256	Vpp = 21 V
9. - 27256A	Vpp = 12.5 V

Select type =

เลือกได้โดยใส่ค่า 1 ถึง A โดยถ้าใส่ค่านอกเหนือจากนี้ที่หน้าจอจะแสดงข้อความ "No Type Select" พร้อมกับแสดงเมนูให้เลือกใหม่ จนกว่าจะใส่ค่าได้ถูกต้องจึงจะกลับไป Main Program พร้อมที่จะรับคำสั่งอื่นต่อไป

ฟังก์ชั่น U (Up-Load Data to PC)

หน้าที่ ส่งข้อความจากหน่วยความจำ Buffer ไปเก็บไว้เป็น File บน PC

รูปแบบ U start,stop

คำอธิบาย สำหรับการ Up-Load หรือส่งข้อมูลจากหน่วยความจำ Buffer ของเครื่องโปรแกรมไปยัง เครื่องคอพิวเตอร์ PC โดยเก็บไว้เป็น File ในรูปแบบ INTEL-Hex คือ ช่วงของแอดเดรสที่ต้องการจะสั่งการ Up-Load นี้จะต้องอาศัยคำสั่งของโปรแกรมสื่อสาร ร่วมด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชั่น V (Verify EPROM)

หน้าที่ ตรวจสอบข้อมูลในตัว อีพรอม กับข้อมูลใน Buffer

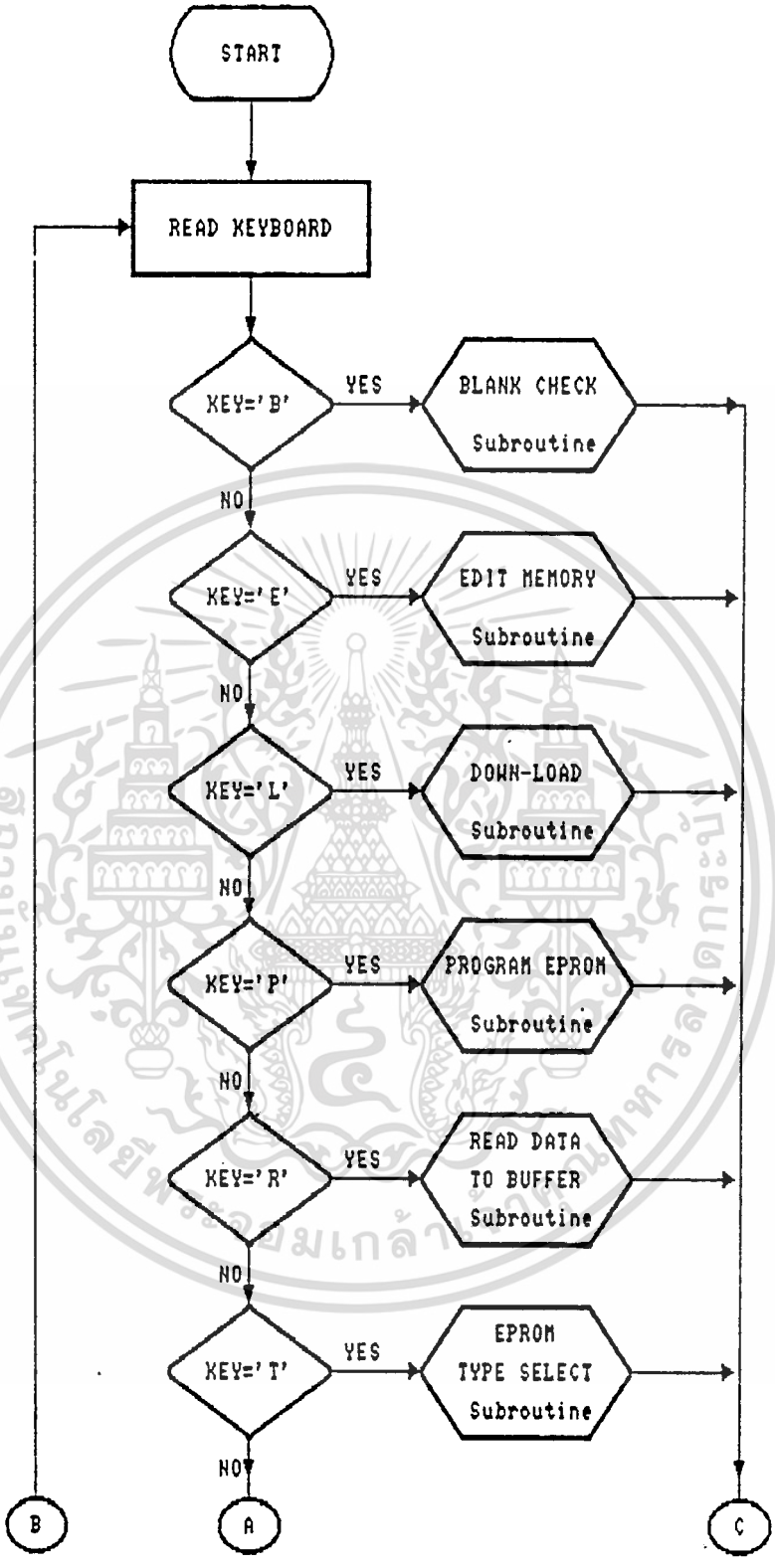
รูปแบบ V [start,stop]

คำอธิบาย สำหรับการตรวจสอบข้อมูลที่อยู่ในตัว อีพรอม กับข้อมูลที่อยู่ในหน่วยความจำ Buffer ว่ามีค่าเท่ากันหรือไม่ ทั้งนี้ถ้าไม่ได้กำหนดว่า start,stop แอดเดรส เครื่องโปรแกรมก็จะตรวจสอบข้อมูลทั้งหมดตามขนาดของเบอร์ อีพรอม ที่ได้เลือกไว้ ถ้ายังไม่ได้เลือกเบอร์ของ อีพรอม ที่หน้าจอจะขึ้นคำว่า "Type Not Selected"

3.3. รูปผังงานของฟังก์ชั่นต่าง ๆ

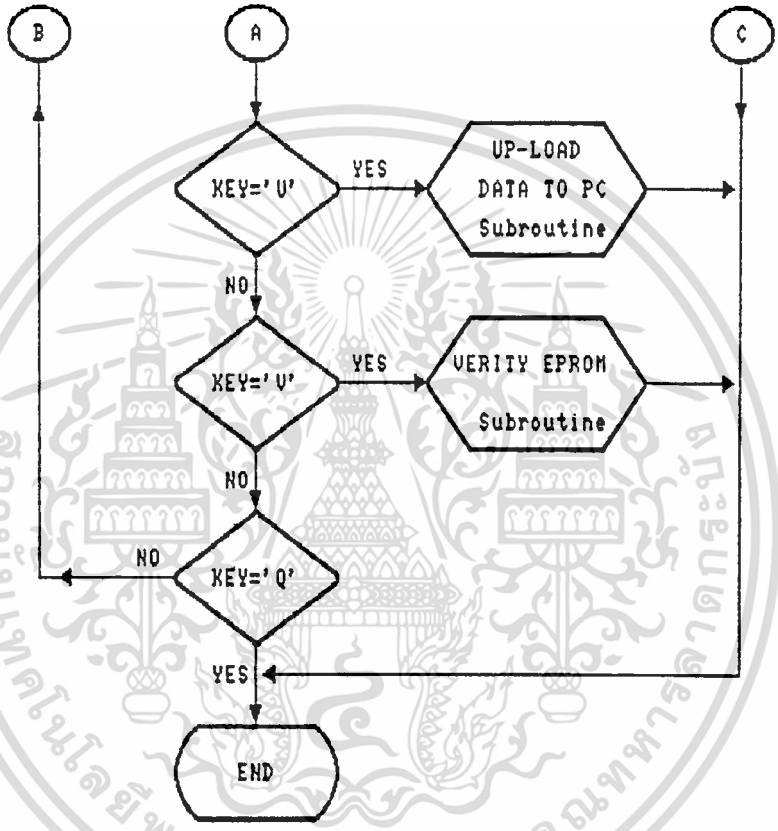
จากข้อกำหนด ในการออกแบบซอฟแวร์ รายละเอียดของฟังก์ชั่นการทำงาน และการใช้งานในแต่ละฟังก์ชั่น ในหัวข้อที่ได้กล่าวมาแล้วนั้นสามารถที่จะนำมาเขียนเป็น รูปผังงานได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



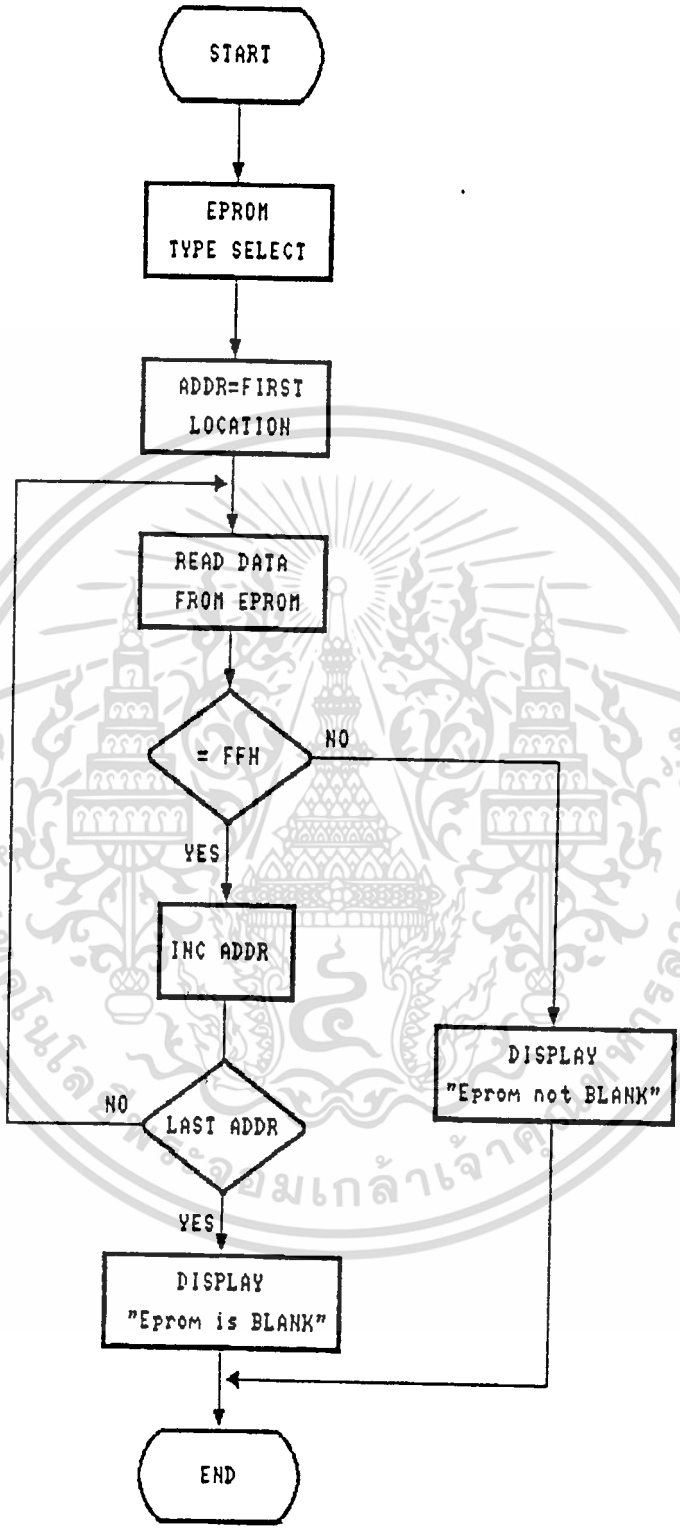
รูปที่ 3.3.1. ผังงานของโปรแกรมหลัก (Main Program)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



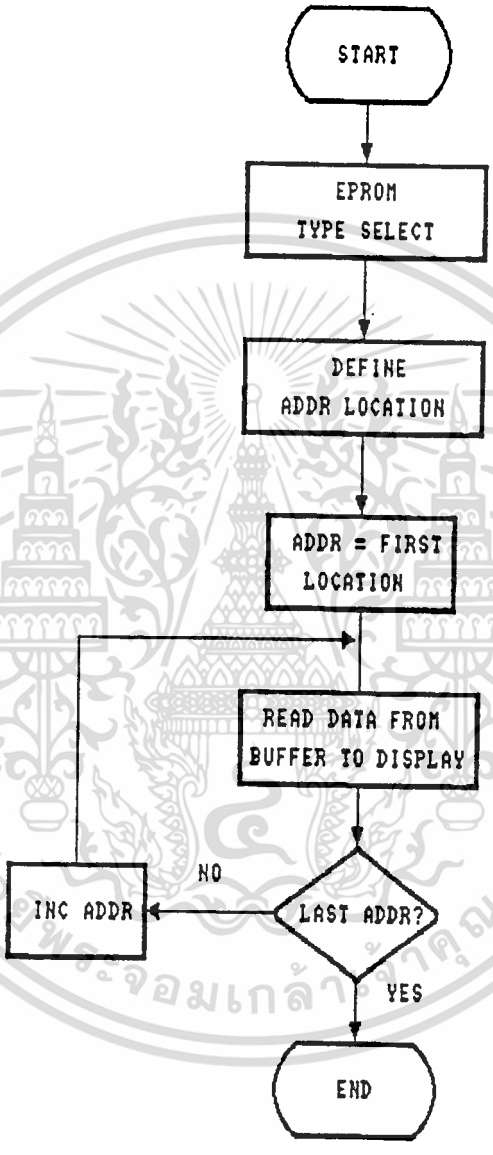
ผังงานของโปรแกรมหลัก (Main Program) **ต่อ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



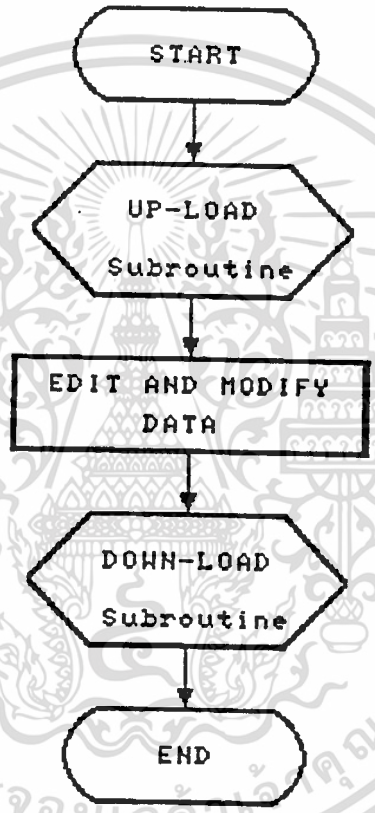
รูปที่ 3.3.2. ผังงานของโปรแกรม Blank Check

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



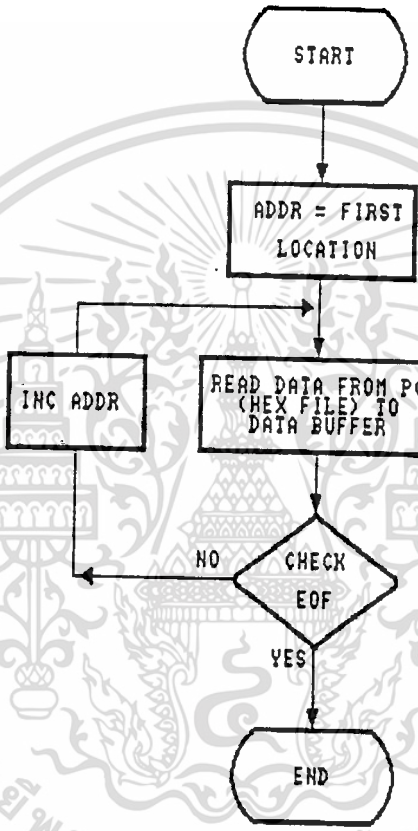
รูปที่ 3.3.3. ผังงานของโปรแกรม Display Data Buffer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



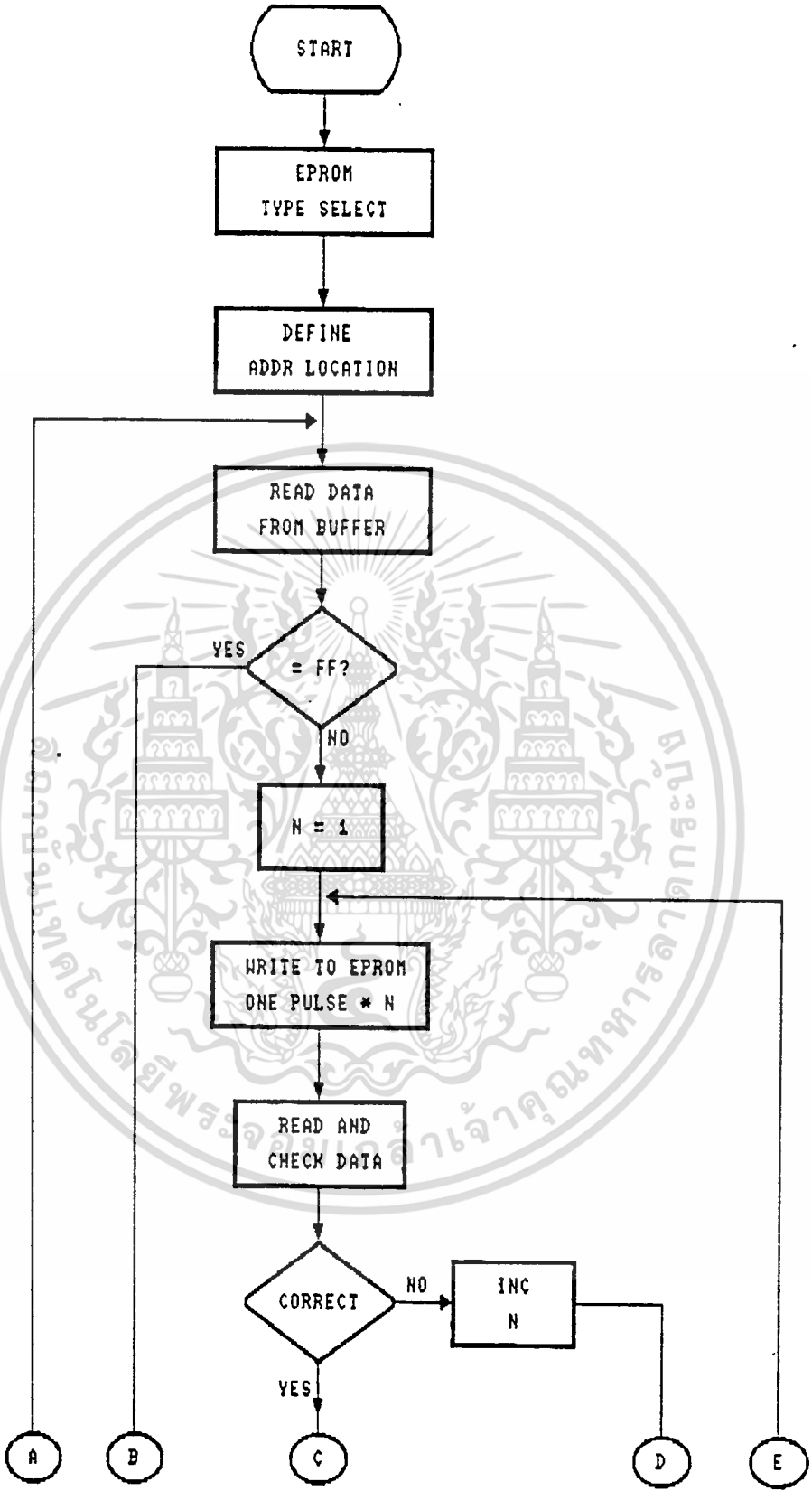
รูปที่ 3.3.4. ผังงานของโปรแกรมEdit Memory

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



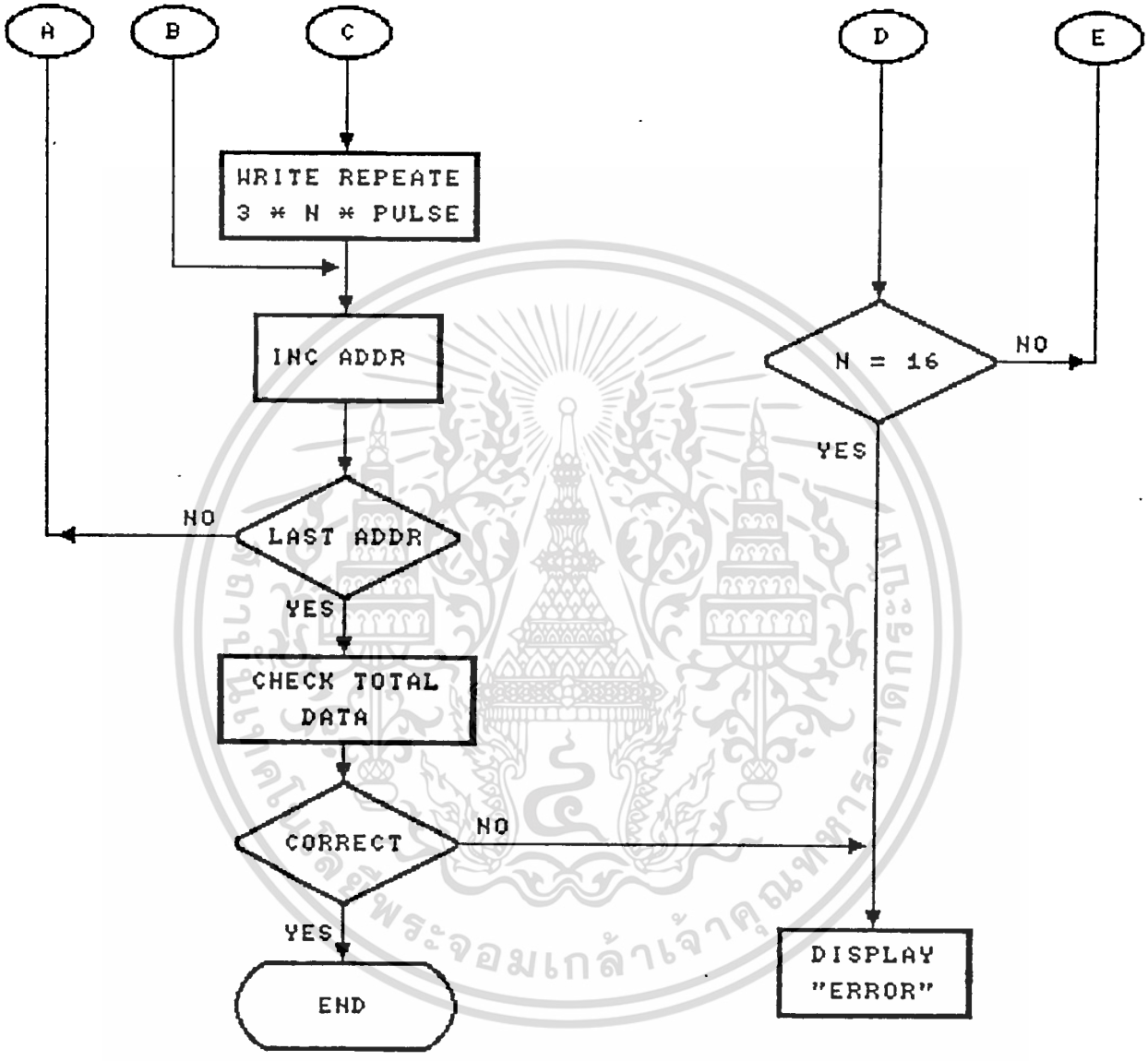
รูปที่ 3.3.5. ผังงานของโปรแกรม Down-Load

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



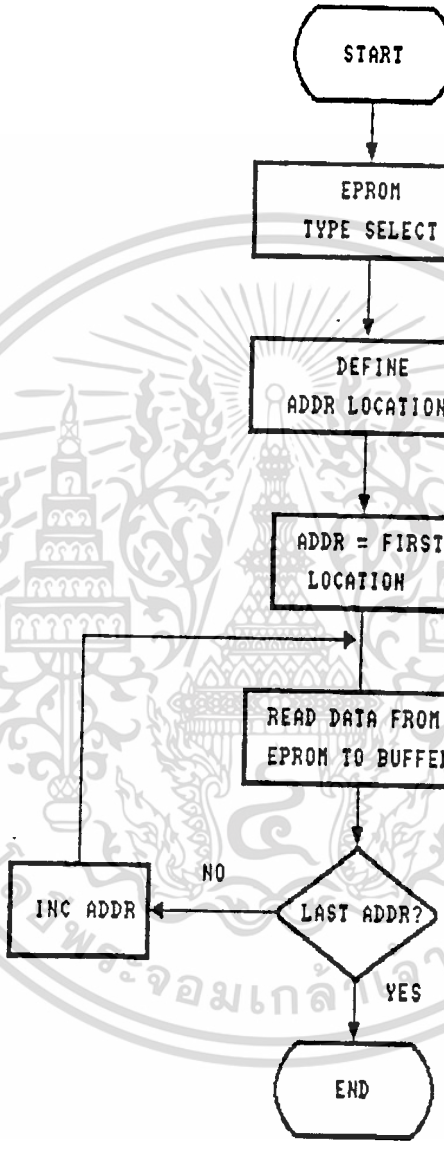
รูปที่ 3.3.6. ผังงานของโปรแกรม Program EPROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



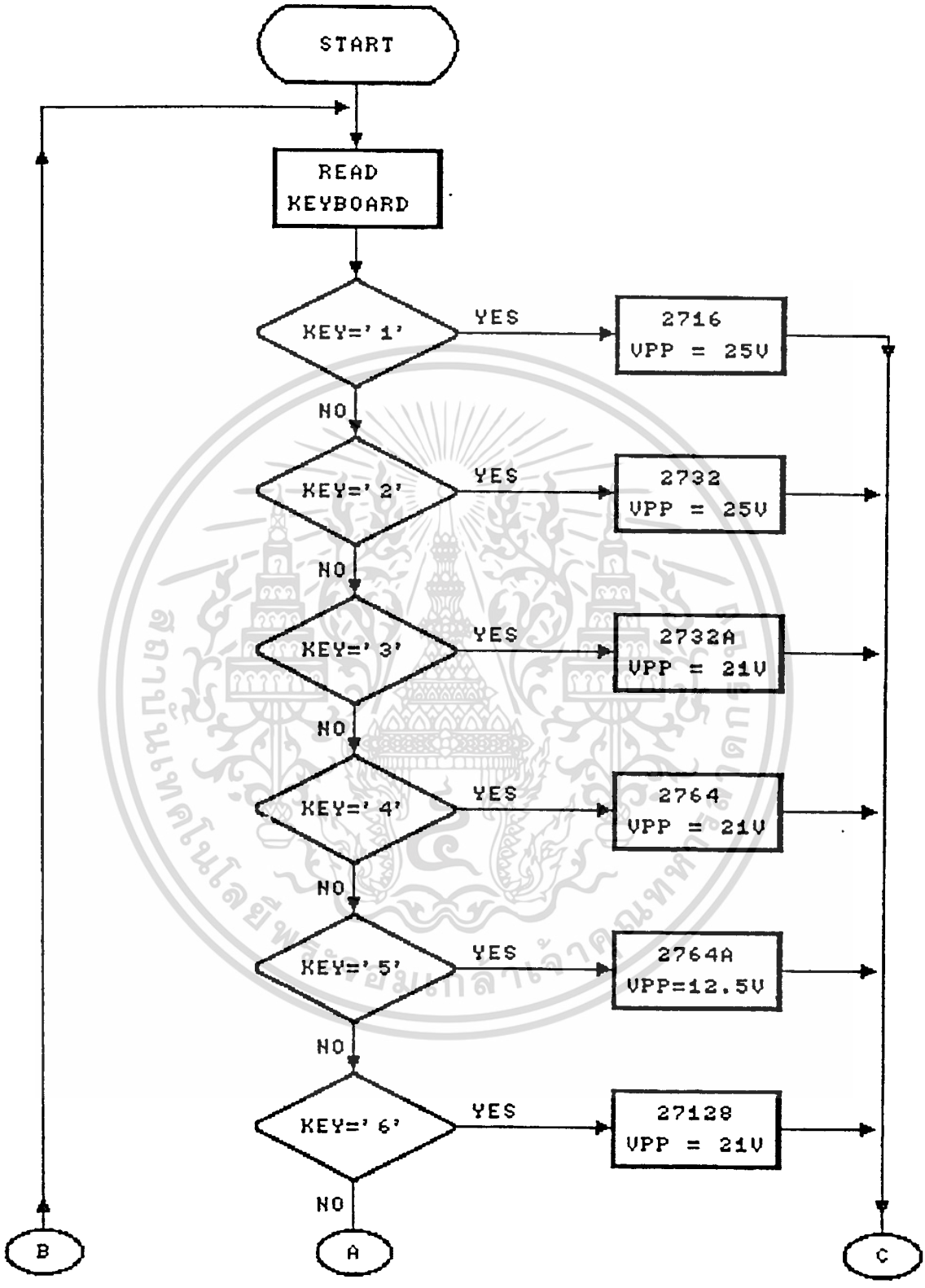
ผังงานของโปรแกรม Program EPROM ต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



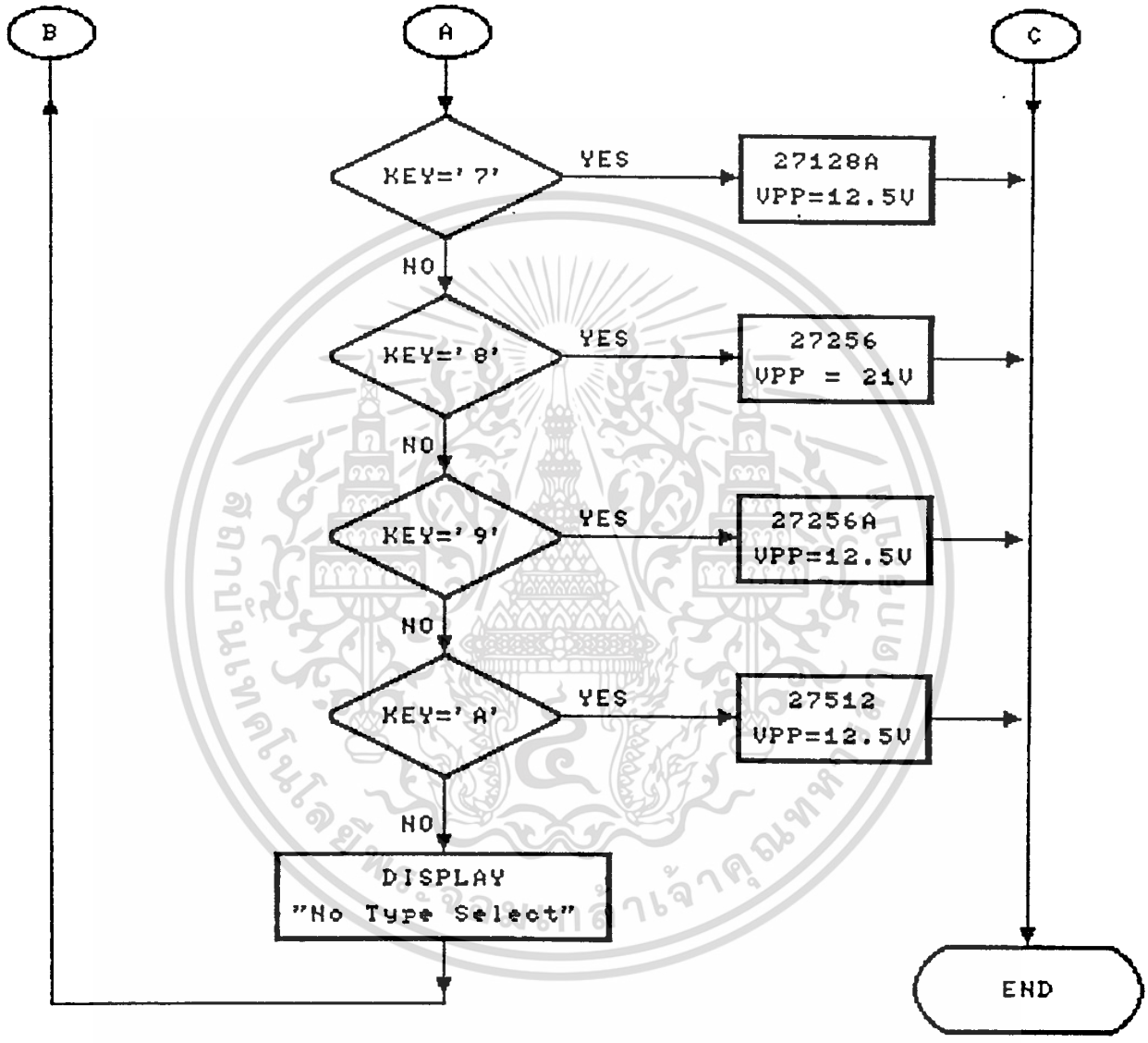
รูปที่ 3.3.7. ผังงานของโปรแกรม Read Data to Buffer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



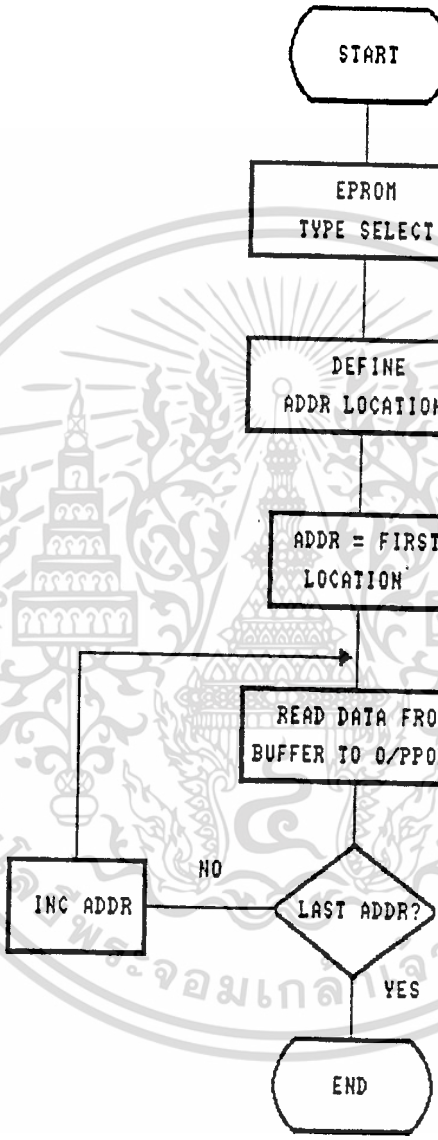
รูปที่ 3.3.8. ผังงานของโปรแกรม EPROM Type Select

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



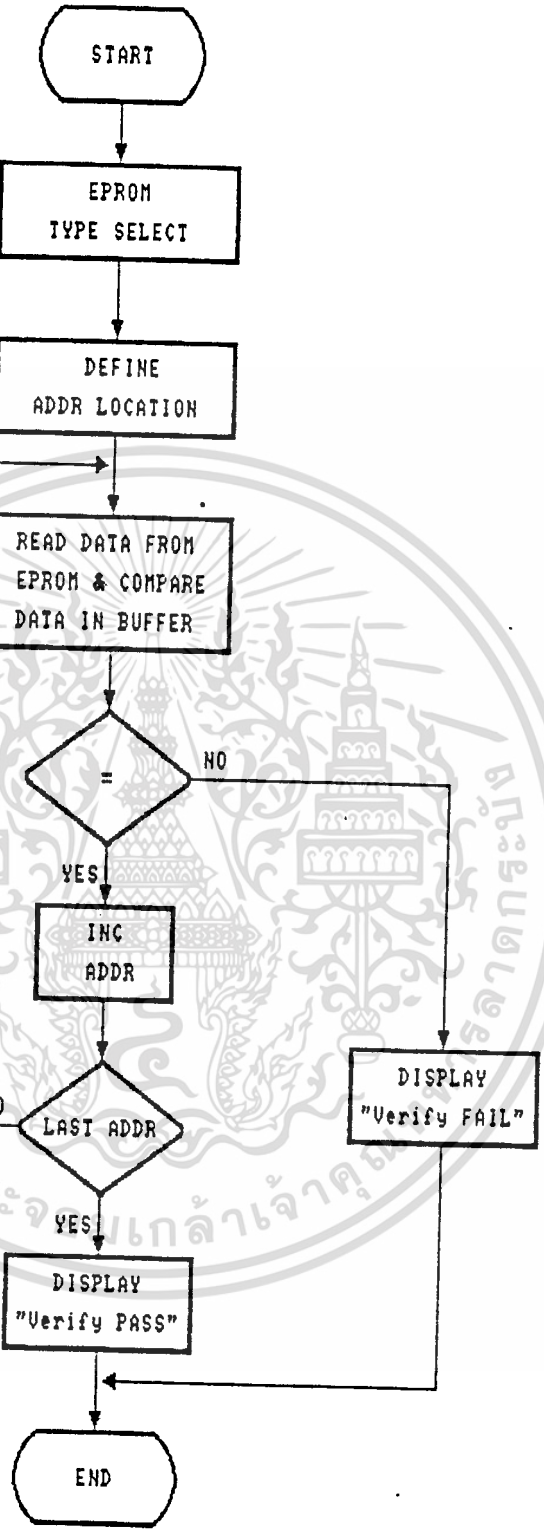
ผังงานของโปรแกรม EPROM Type Select ต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3.9. ผังงานของโปรแกรม Up-Load Data to PC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

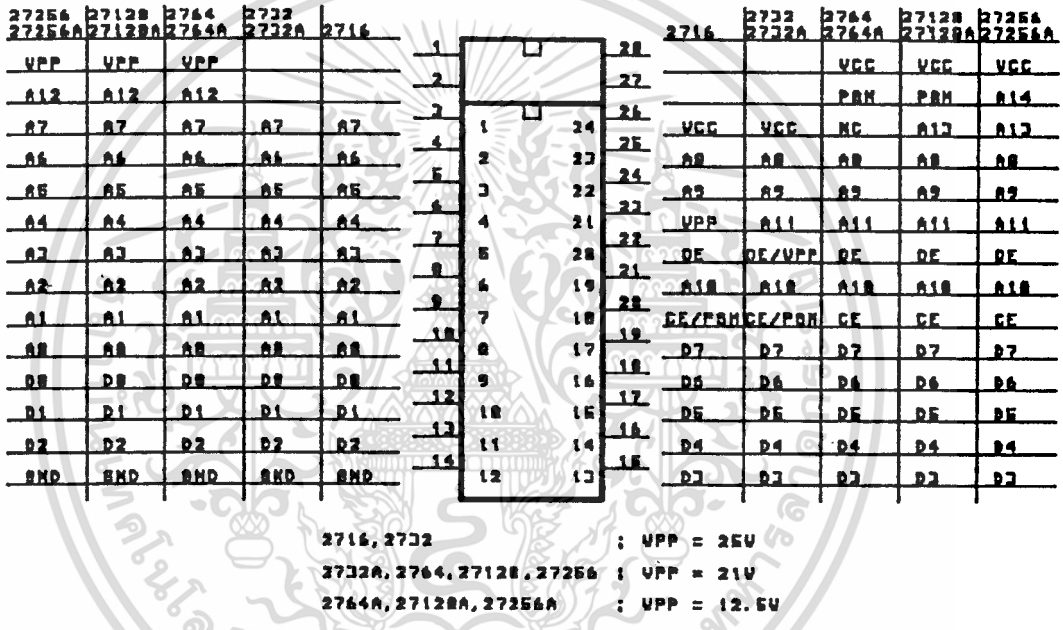


รูปที่ 3.3.10. ผังงานของโปรแกรม Verify EPROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

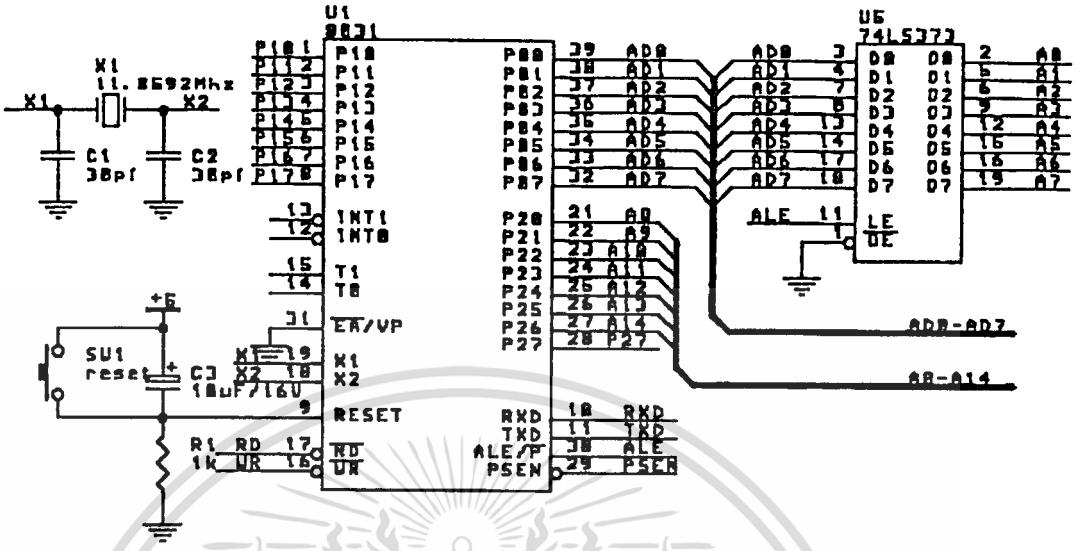
บทที่ 4
ผลการทำโครงงานเครื่องโปรแกรมอีพรอม

จากบล็อกไดอะแกรม ในรูปที่2.1 จะเริ่มการออกแบบ และทำการทดลอง วงจรต่าง ๆ ในแต่ละบล็อกโดยให้เป็นไปตามข้อกำหนด ของการจัดตำแหน่งขา ดังรูปที่ 3.1 ซึ่งแบ่งเป็นส่วน ๆ ดังนี้



รูปที่ 4.1 แสดงการจัดขาของอีพรอมเบอร์ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2. แสดงการต่อ U1(8031 Microcontroller) และ U5 (Latch Address)

จากวงจรแสดงการต่อ CPU 8031 ใช้ในเครื่องโปรแกรมอีพรอม ซึ่ง 8031 จะมีพอร์ททั้งหมด 3 พอร์ท โดยปกติแล้วพอร์ททั้งหมดนี้ จะต่อเป็น อินพุท เอาท์พุท ได้โดยตรง ถ้าใช้หน่วยความจำภายใน แต่สำหรับโครงงานนี้ได้ขยายหน่วยความจำ (Program Memory) ไว้ภายนอกทั้งหมด คือได้ต่อขา EA (External Accress) ลงกราว์ด ดังนั้นจึงได้ใช้ พอร์ท 0 และพอร์ท 2 มักต่อกับหน่วยความจำภายนอก โดยที่พอร์ท 0 จะใช้ในการส่งค่าแอดเดรสแต่เพียงอย่างเดียว

ดังนั้นในการส่งค่าแอดเดรสและค่าข้อมูลของพอร์ท 0 จึงจำเป็นต้องมีการแยกสัญญาณออกว่า สัญญาณใดเป็นข้อมูลและสัญญาณใดเป็นค่าแอดเดรส ซึ่งวิธีการแยกจึงได้นำเอาไอซีเบอร์ 74LS373 ซึ่งเป็นไอซี 8 แลทช์ ซึ่งการแลทช์ข้อมูลนี้จะถูกควบคุมโดยสัญญาณ ALE (Addrdss Latch Enable) จาก CPU 8031 อีกต่อหนึ่งดังรูป ส่วนขา OE (Output Enables) ของ 74LS373 จะต่อลงกราว์ดไว้ คือไอซีจะให้ค่าเอาท์พุท เมื่อมีข้อมูลและสัญญาณ ALE เข้ามาและแลทช์ค้างไว้

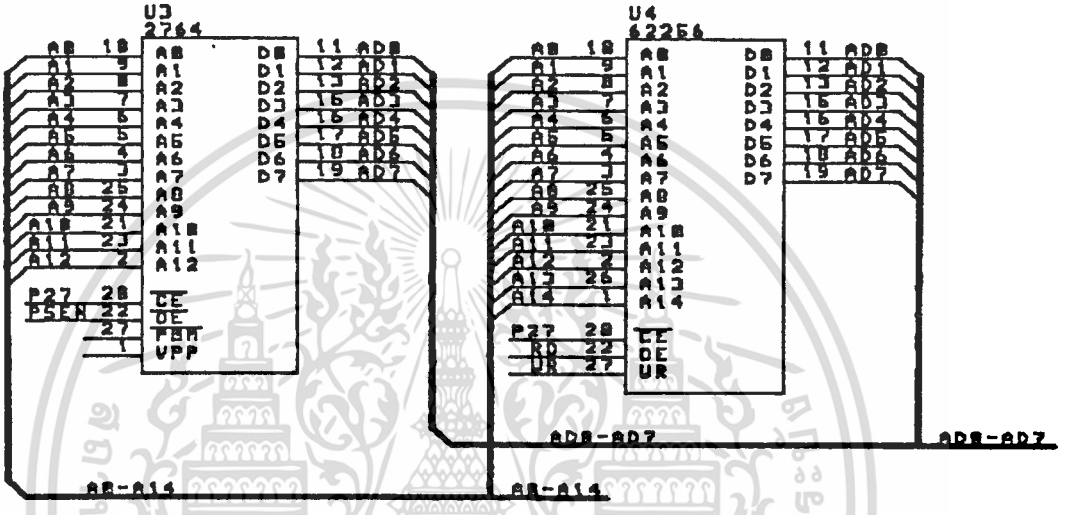
สำหรับพอร์ท 1 ที่เหลือจะใช้ในการควบคุมการจัดสัญญาณที่จะป้อนใช้กับอีพรอมตัวที่จะนำมาโปรแกรม ซึ่งสัญญาณส่วนนี้จะถูกกำหนดโดยโปรแกรมควบคุม (Monitor Program) ตามความต้องการของอีพรอมแต่ละเบอร์ ซึ่งจะได้กล่าวอย่างละเอียดในส่วนของวงจร

ดังที่กล่าวมาแล้วในบทนำการใช้งานของเครื่องโปรแกรมอีพรอมจะใช้งานกับเครื่องคอมพิวเตอร์ ซึ่งในการติดต่อนี้ได้ใช้พอร์ทอนุกรมภายในของ CPU 8031 มาใช้งานในลักษณะ 8 Bit UART ซึ่งกำหนดให้การติดต่อด้วยอัตราบอดเรท 9600 bps ดังนั้นจึงได้ใช้คริสตัลออสซิเลเตอร์ 11.0592 MHz ต่อที่ขา 18,19 (X1,X2) ของ CPU ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน C3 และ R1 ค่า 10uF/16V และ 1K จัดให้เป็นวงจรใช้ในการสร้างสัญญาณรีเซทในสภาวะเริ่มต้น (Power Reset) สวิทช์ SW1 เป็นสวิทช์สำหรับรีเซทการทำงานของ CPU

สัญญาณ RD (Read) WR (Write) และ PSEN (Program Strob Enable) จะได้กล่าวในวงจรส่วนที่เกี่ยวข้องต่อไป

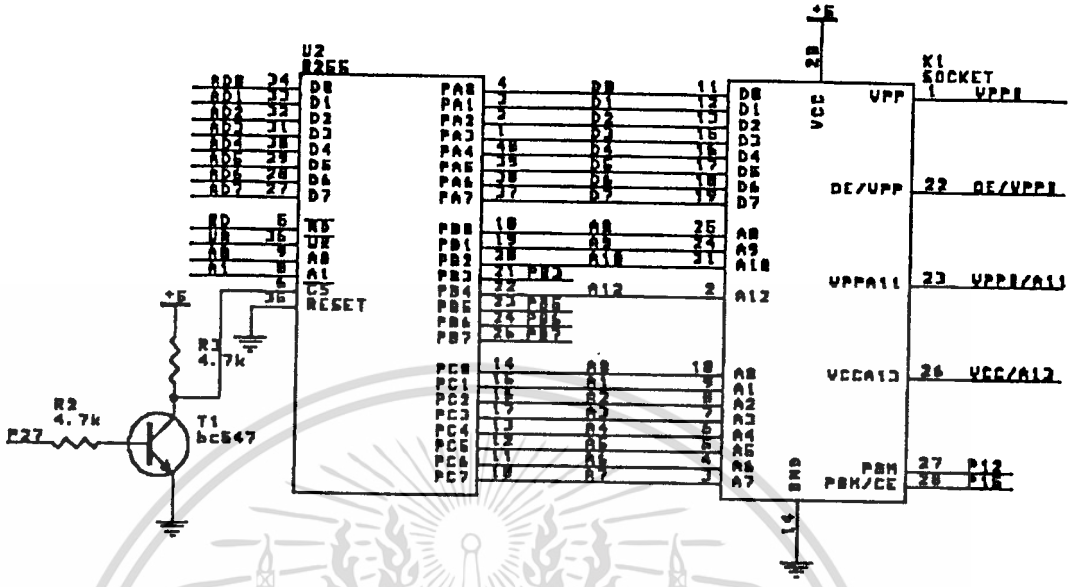


รูปที่ 4.3. แสดงการต่อหน่วยความจำของระบบ

U3(2764) เป็นอีพรอมขนาดความจุ 8 กิโลไบท์ ทำหน้าที่เก็บโปรแกรมซึ่งควบคุม และเซ็ทค่าเริ่มต้นการทำงานของ เครื่องโปรแกรมอีพรอม ให้ทำงานตามฟังก์ชั่นการใช้งาน

U4(62256) เป็นแรมขนาด 32 กิโลไบท์ ทำหน้าที่เก็บ และสำรองข้อมูลไว้เพื่อตรวจสอบและแก้ไขหรือเพิ่มเติมข้อมูลก่อนจะโปรแกรมลงอีพรอมจริง ๆ เนื่องจากตัวมันมีความจุถึง 32 กิโลไบท์ ทำให้สามารถทำการโปรแกรมอีพรอมได้ถึงเบอร์ 27256 ขนาดความจุ 32 กิโลไบท์ สัญญาณที่ใช้ควบคุมการทำงานของ U3, U4 จะมาจาก U1(8031)

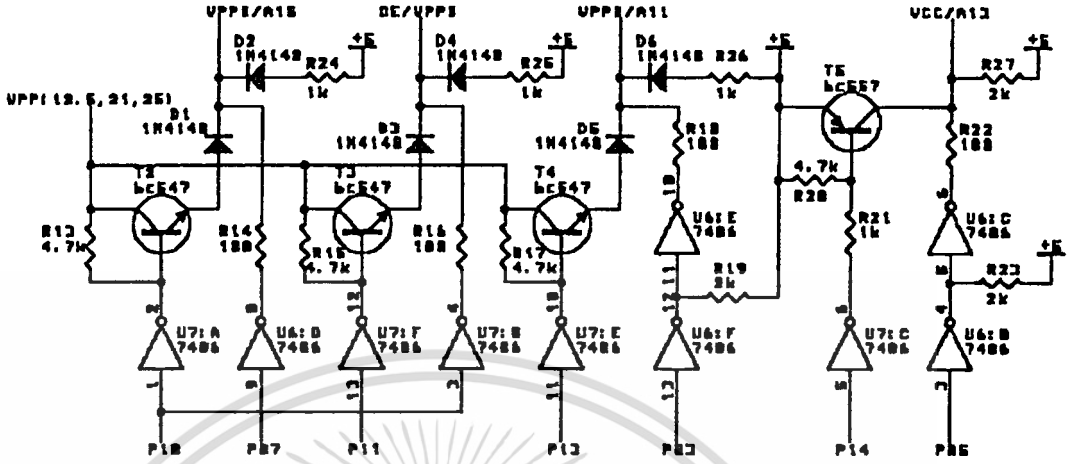
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4. แสดงการต่อ U2(8255) เข้าใช้งานในระบบ

จากรูปวงจรเป็นการต่อขยายพอร์ท โดยใช้ 8255 ซึ่งเป็น อินพุท เอาท์พุทพอร์ท ในตัวมันมีพอร์ทให้ใช้งานถึงสองพอร์ท และแต่ละพอร์ทสามารถโปรแกรมให้เป็นอินพุทหรือเอาท์พุทก็ได้ในที่นี้ใช้พอร์ท A เป็นบัสข้อมูลจึงต้องเป็นทั้งพอร์ท อินพุทและพอร์ทเอาท์พุท เมื่ออยู่ในหน้าที่อ่านข้อมูลจากอีพรอม พอร์ท A ก็จะเป็นพอร์ทอินพุทแต่ถ้าอยู่ในหน้าที่อัดโปรแกรมลงอีพรอม พอร์ท A จะเป็นพอร์ทเอาท์พุท สำหรับพอร์ท C และพอร์ท B เป็นพอร์ทเอาท์พุทเพื่อใช้เป็นบัสแอดเดรส ซึ่งในการใช้งาน U2(8255) นี้ CPU จะติดต่อผ่านทางขา CS (Chip Select) โดยที่ 8255 จะทำงานได้นั้น CPU จะต้องส่งให้พอร์ท 2 บิท 7 เป็นลอจิก "1" ซึ่งก็คือ CPU จะต้องส่งค่าแอดเดรสตั้งแต่ 8000 ขึ้นไป สัญญาณที่ได้จะผ่าน T1 ซึ่งจัดวงจรเป็นอินเวอร์เตอร์ จะกลับสัญญาณเป็นลอจิก "0" อีกต่อหนึ่งและส่งไปยังขา CS ของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5. แสดงวงจร Program Control Arrangement

เนื่องจากการจัดขาของอีพรอม แต่ละเบอร์แตกต่างกันบางดังรูปที่ 3.1 ตัวอีพรอมที่ต้องเสียบลงบน K1 (Socket) จากรูป 3.3 เป็นซ็อคเก็ทขนาด 28 ขา จะต้องมีการจัดสัญญาณให้ถูกต้องตรงตามตำแหน่งขาของแต่ละเบอร์ ขาที่แตกต่างกัน(นับตามขนาด 28 ขา) ได้แก่ขา 1 ,20 ,22 ,23 ,26 ,27 ขาต่าง ๆ เหล่านี้จะถูกป้อนสัญญาณ ซึ่งถูกควบคุมด้วย พอร์ทเอาท์พุทของ CPU (P10 - P17) โดยทำหน้าที่จัดสัญญาณให้ถูกต้องและส่วนหนึ่งถูกควบคุมโดยพอร์ท B ของ U2 คือขา PB3 ,PB5 และ PB7

จากวงจรรูปที่ 3.5 และ K1 (Socket) รูปที่ 3.4 มีการทำงานร่วมกัน ดังนี้

ขา 1 เป็นขา Vpp สำหรับอีพรอมเบอร์ 2764 /64A /128 /128A /256 /256A ขานี้จะถูกควบคุมด้วย P10 ถ้า P10 เป็นลอจิก "0" (กรณีอยู่ในโหมดโปรแกรม) เอาท์พุทของ U7:A จะเป็น "1" ทำให้ T2 นำกระแสเป็นผลให้ Vpp ป้อนเข้าขา 1 ผ่าน D1 นอกจากนี้ Vpp จะส่งผ่านไปรอที่ T3 และ T4 ด้วย แต่ถ้า P10 เป็นลอจิก "1" (กรณีอยู่ในโหมดอ่าน) เอาท์พุทของ U7:A จะเป็น "0" T2 จึงหยุดนำกระแสเป็นการตัด Vpp ไม่ให้ป้อนเข้าส่วนใด

ขา 20 เป็นขา พัลส์ "+" /พัลส์ "-" สำหรับอีพรอมเบอร์ 2716 และ 2732 /32A /256 /256A ตามลำดับ นอกนั้นเป็นขา CE อย่างเดียว เมื่ออยู่ในโหมดอ่านขานี้จะต้องแอคทีฟคือเป็น "0" แต่ถ้าอยู่ในโหมดโปรแกรมจะต้องเป็นพัลส์ "+" สำหรับ 2716 หรือพัลส์ "-" สำหรับ 2732 /32A /256 /256A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

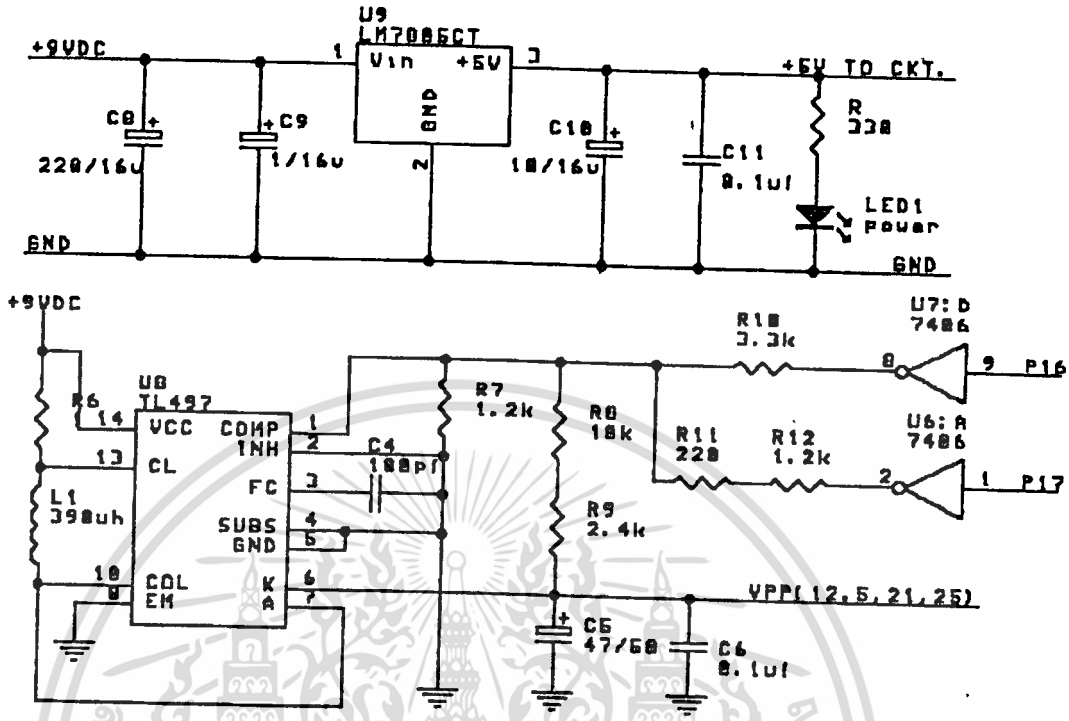
ขา 22 เป็นขา OE และ Vpp สำหรับ 2732 /32A และเป็นขา OE อย่างเดียว สำหรับเบอร์อื่น ๆ เมื่อขา P11 เป็น "1" T3 จะไม่มีผลต่อขานี้ แต่จะขึ้นอยู่กับ P10 แทน ถ้า P10 เป็น "1" ขา 22 จะเป็น "0" โดย U7:C คืออินาเบิ้ลอีพรอมตลอดเวลา แต่ P11 จะเป็น "0" เมื่อ P10 เป็น "0" ด้วย (กรณีโปรแกรม 2732 /32A) จึงทำให้ Vpp ป้อนเข้าขานี้โดยผ่าน T2 และ T3

ขา 23 เป็นขา Vpp ของ 2716 และเป็นขา A11 สำหรับเบอร์อื่น ๆ ขา P13 จะเป็น "0" (กรณีโปรแกรม 2716) จึงได้ Vpp ป้อนเข้าขานี้โดยผ่าน T4 แต่ถ้า P13 เป็น "1" T4 จะไม่มีผลต่อขานี้ แต่ขานี้จะถูกควบคุมด้วย PB3 แท้ คือถ้า PB3 เป็น "0" ขานี้จะเป็น "0" ด้วย และ "1" ก็เช่นกัน แต่ในกรณีของ 2716 ขา PB3 จะเป็น "1" เพื่อให้ขานี้เป็น +5 V เมื่ออยู่ในโหมดอ่าน

ขา 26 เป็นขา Vcc หรือ +5 สำหรับอีพรอม ขนาด 24 ขา คือ 2716 /32 /32A และ ขา A13 สำหรับ 27128 /128A /256 /256A เมื่อ P14 เป็น "1" เอาท์พุทของ U7:C จะเป็น "0" ทำให้ T5 นำกระแส ป้อนแรงดัน +5 V เข้าขานี้โดยตรง แต่ถ้า P14 เป็น "0" บ้าง (กรณีของ 27128 /128A /256 /256A) T5 จะไม่มีผลต่อขานี้ และขา PB5 ซึ่งเป็นตัวกำหนด A13 จะควบคุมขานี้แทน

ขา 27 เป็นขาป้อนพัลส์ "-" สำหรับโปรแกรมอีพรอมขนาด 28 ขา คือ 2764 /64A /128 /128A และขา A14 สำหรับ 27256 /256A แต่ถ้าอยู่ในโหมดอ่านขานี้ต้องเป็น "1" ขานี้ถูกควบคุมด้วย P12 โดยตรง

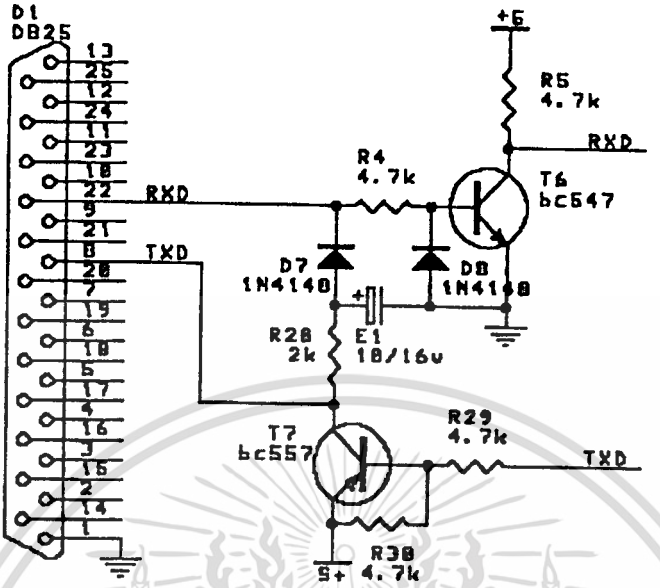
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6. แสดงวงจร ภาคจ่ายไฟ และวงจร Voltage Gennertor

จากรูปแสดงภาคจ่ายไฟ +5 V และภาคกำเนิด Vpp ในส่วนภาคจ่ายไฟ +5 V ใช้วงจรง่าย ๆ ด้วยไอซี Regulators เบอร์ 7805 เพียงตัวเดียว ส่วนภาคกำเนิด Vpp ใช้ U8 เบอร์ TL497 ซึ่งเป็น Switching Voltage Regulators ทำหน้าที่พิเศษคือสามารถแปลงไฟจาก +9 V ให้เป็น +25 V , +21 V หรือ +12.5 V ด้วยการเปลี่ยนค่าตัวต้านทานเท่านั้น จึงไม่จำเป็นต้องใช้แหล่งจ่ายไฟแรงดันขนาดสูง ๆ ใช้เพียงขนาด +9 V เท่านั้น การเลือกขนาด Vpp นั้นถูกควบคุมด้วย P16 และ P17 โดยอาศัยหลักการที่ว่าเอาท์พุทของ U7:D หรือ U6:A เป็น "0" เป็นการเสมือนต่อ R10 ,R11 ,R12 ลงกราวนด์ เป็นผลให้ได้ Vpp เพิ่มขึ้น ถ้า P16 และ P17 เป็น "1" ทั้งคู่จะได้ Vpp ขนาด 25 V แต่ถ้าขาหนึ่งขาใดเป็น "0" จะได้ 21.5 V และถ้าเป็น "0" ทั้งคู่จะได้เพียง 12.5 V เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7. แสดงวงจร Driver RS-232

จากรูปเป็นวงจรที่ใช้ติดต่อรับส่งข้อมูลระหว่างเทอมินอล (PC) กับเครื่องโปรแกรมอีพรอม ซึ่งโดยปกติพอร์ทอนุกรมของ 8031 เป็นสัญญาณแบบ TTL จึงไม่สามารถต่อเข้าโดยตรงกับพอร์ทอนุกรมมาตรฐาน RS232C ของเทอมินอล จึงต้องมีวงจรอินเตอร์เฟสเพื่อแปลงสัญญาณ TTL เป็นสัญญาณ EIA และจาก EIA เป็นสัญญาณ TTL ดังรูป ซึ่งจากวงจรจะใช้ T6 เป็นตัวรับข้อมูลจากเทอมินอลและแปลงระดับสัญญาณเป็น TTL เข้าไปยังขา 10 (RXD) ของ 8031 ส่วนในการส่งข้อมูลออกสู่เทอมินอลจากวงจรจะใช้ T7 เป็นตัวรับสัญญาณจากขา 11 (TXD) ของ 8031 ซึ่งเป็นระดับสัญญาณ TTL เพื่อเปลี่ยนเป็นระดับสัญญาณ EIA โดยจะทำงานร่วมกับ E1 และ D7 ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรต่าง ๆ ที่ใช้ทดลองในบทที่ 4 สามารถสรุปผลการทดลองดังตารางต่อไปนี้

เบอร์	2716		2732		2732A		หมายเหตุ
ขา/โหมด	อ่าน	โปรแกรม	อ่าน	โปรแกรม	อ่าน	โปรแกรม	
P10	1	0	1	0	1	0	T2 ปิด-เปิด Vpp
P11	1	1	1	0	1	0	เปิด Vpp สำหรับ 2732/32A
P12	0	0	0	0	0	0	พัลส์โปรแกรมสำหรับ 2764/64A 128/128A และ A14 ของ 256
P13	1	0	1	1	1	1	เปิด Vpp สำหรับ 2716
P14	1	1	1	1	1	1	เปิด Vccสำหรับ 2716/32/32A
P15	0		0		0		CE ,พัลส์โปรแกรม
P16	0	1	0	1	0	0	ร่วมกับ P17 กำหนด Vpp =25 ,21 ,12.5V
P17	0	1	0	1	0	1	ร่วมกับ P16 กำหนด Vpp = 25 ,21 ,12.5V
PB3	1	1	A11	A11	A11	A11	แอดเดรส A11 ยกเว้น 2716
PB4	0	0	0	0	0	0	แอดเดรส A12 ยกเว้น 2716 /32 /32A
PB5	1	1	1	1	1	1	แอดเดรส A13 สำหรับ 27128 /128A/256/256A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เบอร์	2764		2764A		27128		หมายเหตุ
ขา/โหมด	อ่าน	โปรแกรม	อ่าน	โปรแกรม	อ่าน	โปรแกรม	
P10	1	0	1	0	1	0	T2 ปิด-เปิด Vpp
P11	1	1	1	1	1	1	เปิด Vpp สำหรับ 2732/32A
P12	1		1		1		พัลส์โปรแกรมสำหรับ 2764/64A 128/128A และ A14 ของ 256
P13	1	1	1	1	1	1	เปิด Vpp สำหรับ 2716
P14	1	1	1	1	0	0	เปิด Vccสำหรับ 2716/32/32A
P15	0	0	0	0	0	0	CE ,พัลส์โปรแกรม
P16	0	0	0	0	0	0	ร่วมกับ P17 กำหนด Vpp =25 ,21 ,12.5V
P17	0	1	0	0	0	1	ร่วมกับ P16 กำหนด Vpp = 25 ,21 ,12.5V
PB3	A11	A11	A11	A11	A11	A11	แอดเดรส A11 ยกเว้น 2716
PB4	A12	A12	A12	A12	A12	A12	แอดเดรส A12 ยกเว้น 2716 /32 /32A
PB5	1	1	1	1	A13	A13	แอดเดรส A13 สำหรับ 27128 /128A/256/256A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เบอร์	27128A		27256		27256A		หมายเหตุ
ขา/โหมด	อ่าน	โปรแกรม	อ่าน	โปรแกรม	อ่าน	โปรแกรม	
P10	1	0	1	0	1	0	T2 ปิด-เปิด Vpp
P11	1	1	1	1	1	1	เปิด Vpp สำหรับ 2732/32A
P12	1		1	1	1	1	พัลส์โปรแกรมสำหรับ 2764/64A 128/128A และ A14 ของ 256
P13	1	1	1	1	1	1	เปิด Vpp สำหรับ 2716
P14	0	0	0	0	0	0	เปิด Vccสำหรับ 2716/32/32A
P15	0	0	0	0	0	0	CE ,พัลส์โปรแกรม
P16	0	0	0	0	0	0	ร่วมกับ P17 กำหนด Vpp =25 ,21 ,12.5V
P17	0	0	0	1	0	0	ร่วมกับ P16 กำหนด Vpp = 25 ,21 ,12.5V
PB3	A11	A11	A11	A11	A11	A11	แอดเดรส A11 ยกเว้น 2716
PB4	A12	A12	A12	A12	A12	A12	แอดเดรส A12 ยกเว้น 2716 /32 /32A
PB5	A13	A13	A13	A13	A13	A13	แอดเดรส A13 สำหรับ 27128 /128A/256/256A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์การทำโครงงานเครื่องโปรแกรมอีพรอม

จากผลการปฏิบัติงานที่ทำใน Project 1 ได้ทำการศึกษาและค้นคว้าถึงทฤษฎีข้อมูลที่มีความจำเป็นในการออกแบบฮาร์ดแวร์ และซอฟแวร์ เช่นการศึกษาการทำงาน การใช้งานของไมโครคอนโทรลเลอร์เบอร์ 8031 ของบริษัทอินเทล รูปแบบโครงสร้างของไฟล์ข้อมูลที่นำมาใช้งาน ข้อมูลของอีพรอมของทุกเบอร์ ที่สามารถใช้กับโครงงานนี้ และ ได้ทำการออกแบบบล็อกไดอะแกรม ไปแล้ว ในส่วนของ Project 2 ได้ทำการออกแบบฮาร์ดแวร์ วงจรใช้งานในส่วนต่างๆ ด้านซอฟแวร์ได้กำหนดฟังก์ชั่นการทำงาน ผังงาน (Flow Chart) และเขียนโปรแกรมควบคุม (Monitor Program) ดังที่ได้แสดงไว้ข้างต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

ตารางแสดง ตำแหน่งของขา ขนาดของแรงดันโปรแกรม (VPP) ของอีพรอมแต่ละเบอร์ของบริษัทต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COMPANY	EPROM TYPE	PROGRAMMING VOLTAGE
INTEL	2716	Vpp = 25V
	2732	Vpp = 25V
	2732A	Vpp = 21V
	2764A-2	Vpp = 21V
	2764A	Vpp = 21V
	2764A-3	Vpp = 21V
	P2764A	Vpp = 12.5V
	P2764A-3	Vpp = 12.5V
	27C64	Vpp = 21V
	27C64-2	Vpp = 21V
	27128	Vpp = 21V
	27128A-2	Vpp = 12.5V
	27128A-3	Vpp = 12.5V
	27256	Vpp = 12.5V
	27256-3	Vpp = 12.5V
	27512	Vpp = 12.5V
	27512-3	Vpp = 21V
NEC	2716	Vpp = 25V
	2732	Vpp = 25V
	2732A	
	D2764D-2	Vpp = 21V
	D2764D	Vpp = 21V
	D2764D-3	Vpp = 21V
	D2764C	Vpp = 21V
	D2764C-3	Vpp = 21V
	D27C64D-20	Vpp = 21V
	D27C64D-25	Vpp = 21V
	D27C64C	Vpp = 21V
	D27128D	Vpp = 21V
	D27128D-3	Vpp = 21V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	D27128D-4	Vpp = 21V
	D27128C-3	Vpp = 21V
	D27256D	Vpp = 21V
	D27256D-3	Vpp = 21V
AMD	2732A-35	Vpp = 21V
	2732A	Vpp = 21V
	27C32A	Vpp = 21V
	MBM2764-20	Vpp = 21V
	MBM2764-25	Vpp = 21V
	MBM2764-30	Vpp = 21V
	MBM27C64-20	Vpp = 21V
	MBM27C64-25	Vpp = 21V
	MBM27128-20	Vpp = 21V
	MBM27128-25	Vpp = 21V
	MBM27128-30	Vpp = 21V
	MBM27256-25	Vpp = 12.5V
	MBM27256-30	Vpp = 12.5V
	MBM27C256-20	Vpp = 21V
	MBM27C256-25	Vpp = 21V
	MBM27C256-30	Vpp = 21V
HITACHI	HN462716	Vpp = 25V
	HN462732	Vpp = 25V
	HN462732P	Vpp = 25V
	HN482732A	Vpp = 21V
	HN27C32	Vpp = 25V
	HN27C32A	Vpp = 21V
	HN482764G-2	Vpp = 21V
	HN482764G	Vpp = 21V
	HN482764G-3	Vpp = 21V
	HN482764P	Vpp = 21V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	HN482764P-3	Vpp = 21V
	HN27C64G-25	Vpp = 21V
	HN27C65G-20	Vpp = 21V
	HN4827128G-25	Vpp = 21V
	HN4827128G-30	Vpp = 21V
	HN4827128G-45	Vpp = 21V
	HN4827128P-30	Vpp = 21V
	HN27128AG-20	Vpp = 12.5V
	HN27128AG-30	Vpp = 12.5V
	HN27256G-25	Vpp = 12.5V
	HN27256G-30	Vpp = 12.5V
	HN27C256G-20	Vpp = 12.5V
	HN27C256G-25	Vpp = 12.5V
	HN27C256G-30	Vpp = 12.5V
	HN27512G-25	Vpp = 12.5V
	HN27512G-30	Vpp = 12.5V
MITSUBISHI	2716	Vpp = 25V
	2732	Vpp = 25V
	2732A	Vpp = 21V
	M5L2764K-2	Vpp = 21V
	M5L2764K	Vpp = 21V
	M5L2764K-3	Vpp = 21V
	M5L2764P-3	Vpp = 21V
	M5L27256K	Vpp = 12.5V
NATIONAL	2716	Vpp = 25V
	27C16	Vpp = 25V
	27C16H	Vpp = 25V
	2732	Vpp = 25V
	27C32	Vpp = 25V
	27C32H	Vpp = 25V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

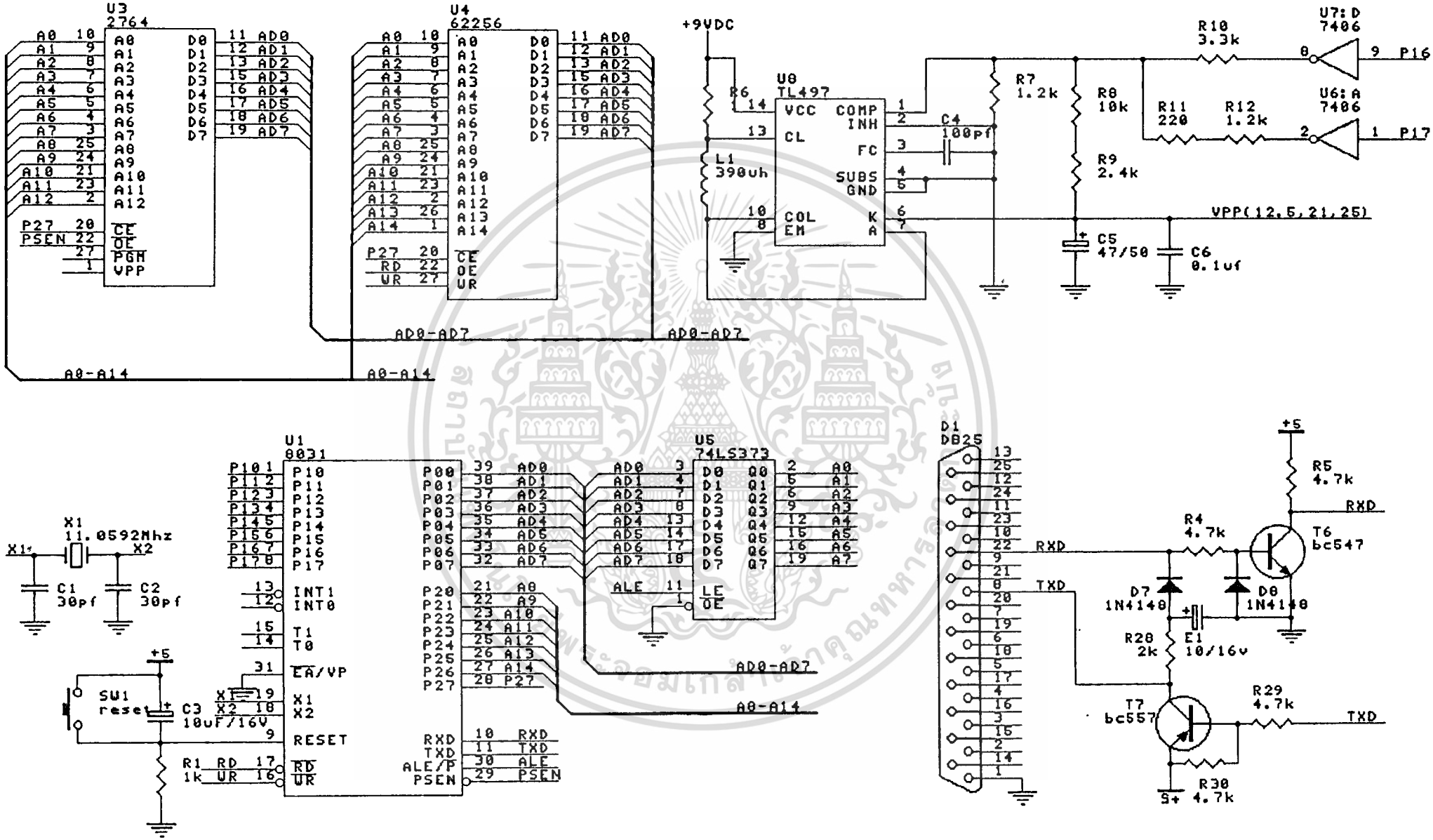
	2764	Vpp = 21V
	2764H	Vpp = 21V
	NM27C256	Vpp = 12.5V
TOSHIBA	2716	Vpp = 25V
	2732	Vpp = 25V
	2732A	Vpp = 21V
	TMM2764D-2	Vpp = 21V
	TMM2764D	Vpp = 21V
	TMM27128D-20	Vpp = 21V
	TMM27128D-25	Vpp = 21V
	TC527256D-20	Vpp = 21V
	TC57256D-25	Vpp = 21V
	27C256	Vpp = 21V

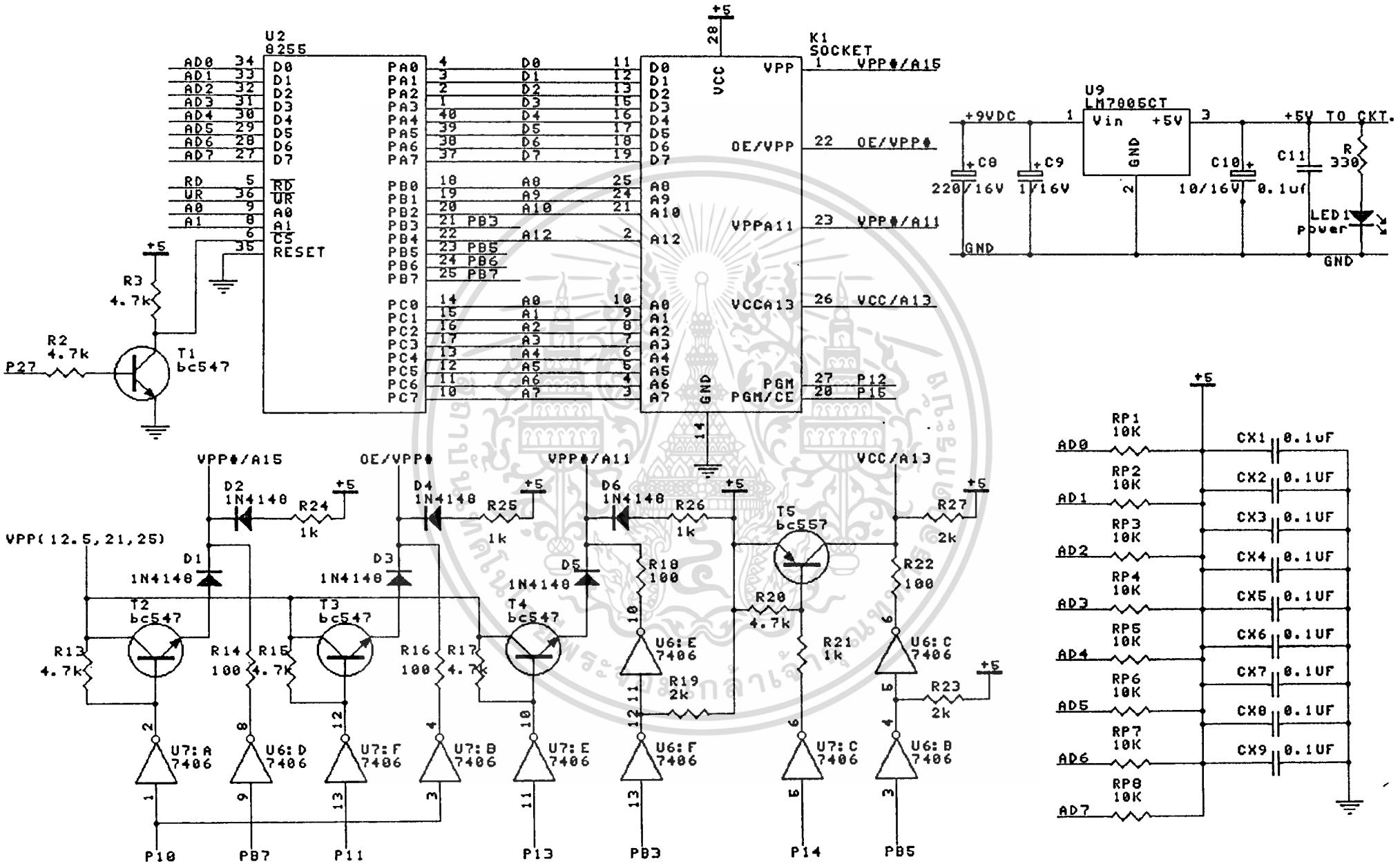
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

แสดง รูปวงจรใช้งานของเครื่องโปรแกรมอีพรอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


U3
2764
U4
62256
U8
TL497
+9VDC
R6
L1
390uh
C4
100pf
R7
1.2k
R8
10k
R9
2.4k
R10
3.3k
R11
220
R12
1.2k
U7:D
7406
U6:A
7406
P16
P17
VPP(12.5,21,25)
C5
47/50
C6
0.1uf
AD0-AD7
A0-A14
U1
8031
U5
74LS373
X1
11.0592Mhz
C1
30pf
C2
30pf
SW1
reset
C3
10uF/16V
R1
1k
D1
DB25
R5
4.7k
R4
4.7k
T6
bc547
D7
1N4148
D8
1N4148
R28
2k
E1
10/16v
T7
bc557
R29
4.7k
R30
4.7k
RXD
TXD
ALE
PSEN


U2
8255
AD0 34
AD1 33
AD2 32
AD3 31
AD4 30
AD5 29
AD6 28
AD7 27
D0
D1
D2
D3
D4
D5
D6
D7
RD 5
WR 36
A0 9
A1 8
6
CS 35
RESET
RD
WR
A0
A1
CS
PA0 4
PA1 3
PA2 2
PA3 1
PA4 40
PA5 39
PA6 38
PA7 37
PB0 18
PB1 19
PB2 20
PB3 21 PB3
PB4 22
PB5 23 PB5
PB6 24 PB6
PB7 25 PB7
PC0 14
PC1 15
PC2 16
PC3 17
PC4 13
PC5 12
PC6 11
PC7 10
A8
A9
A10
A12
A0
A1
A2
A3
A4
A5
A6
A7
+5
R3
4.7k
R2
4.7k
P27
T1
bc547
K1
SOCKET
28
VCC
VPP
1 VPP#/A15
OE/VPP
22 OE/VPP#
VPPA11
23 VPP#/A11
VCCA13
26 VCC/A13
GND
PGM
27 P12
PGM/CE
20 P16
14
U9
LM7805CT
+9VDC
1
Vin
+5V
3
GND
2
+5V TO CKT.
+C8
220/16V
+C9
1/16V
C10
10/16V
C11
0.1uf
R
330
LED1
Power
GND
VPP#/A15
OE/VPP#
VPP#/A11
VCC/A13
VPP(12.5,21,25)
D1
1N4148
D2
1N4148
R24
1k
D3
1N4148
D4
1N4148
R25
1k
D5
1N4148
D6
1N4148
R26
1k
R27
2k
T2
bc547
T3
bc547
T4
bc547
T5
bc557
R13
4.7k
R14
100
R15
4.7k
R16
100
R17
4.7k
R18
100
R19
2k
R20
4.7k
R21
1k
R22
100
R23
2k
U7:A
7406
U6:D
7406
U7:F
7406
U7:B
7406
U7:E
7406
U6:F
7406
U7:C
7406
U6:B
7406
U6:E
7406
U6:C
7406
P10
P87
P11
P13
P83
P14
P85
RP1
10K
RP2
10K
RP3
10K
RP4
10K
RP5
10K
RP6
10K
RP7
10K
RP8
10K
AD0
AD1
AD2
AD3
AD4
AD5
AD6
AD7
CX1
0.1uF
CX2
0.1UF
CX3
0.1UF
CX4
0.1UF
CX5
0.1UF
CX6
0.1UF
CX7
0.1UF
CX8
0.1UF
CX9
0.1UF

ภาคผนวก ค.

แสดง รายละเอียด โปรแกรมควบคุมระบบ ของเครื่องโปรแกรมอีพรอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ;*************************************************
                ;
                ;THESE ARE EXAMPLE SUBROUTINES FOR THE 8051 MICRO-
                ;CONTROLLER FAMILY.  THEY ARE TAKEN FROM THE 1982
                ;INTEL MICROCONTROLLER USER'S MANUAL ON PAGES 9-1
                ;& 9-2.  AFTER ONLY FORMAT MODIFICATIONS FOR CROSS-32,
                ;THEY ARE PASSED ON AS EXAMPLES, FREE OF CHARGE, BY
                ;UNIVERSAL CROSS-ASSEMBLERS.

                ;ALSO INCLUDED, IS A LIST OF THE REGISTER AND BIT NAMES
                ;WITH THEIR CORRESPONDING ADDRESSES.

0000            CPU     "8051
                        .TBL"
0000            HOF     "INT8
                        "
                ;
                ;*************************************************
                ;
                ;MCS-51 INTERNAL REGISTERS
                ;
00F0 =          B:      EQU     0F0H    ;B REGISTER
00E0 =          ACC:    EQU     0E0H    ;ACCUMULATOR
00D0 =          PSW:    EQU     0D0H    ;PROGRAM STATUS WORD
00B8 =          IPC:    EQU     0B8H    ;INTERRUPT PRIORITY
00B0 =          P3:     EQU     0B0H    ;PORT 3
00A8 =          IEC:    EQU     0A8H    ;INTERRUPT ENABLE
00A0 =          P2:     EQU     0A0H    ;PORT 2
0099 =          SBUF:   EQU     99H     ;SEND BUFFER
0098 =          SCON:   EQU     98H     ;SERIAL CONTROL
0090 =          P1:     EQU     90H     ;PORT 1
008D =          TH1:    EQU     8DH     ;TIMER 1 HIGH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
008C =      TH0:        EQU     8CH         ;TIMER 0 HIGH
008B =      TL1:        EQU     8BH         ;TIMER 1 LOW
008A =      TL0:        EQU     8AH         ;TIMER 0 LOW
0089 =      TMOD:       EQU     89H         ;TIMER MODE
0088 =      TCON:       EQU     88H         ;TIMER CONTROL
0087 =      PCON:       EQU     87H         ;POWER CONTROL REGISTER
0083 =      DPH:        EQU     83H         ;DATA POINTER HIGH
0082 =      DPL:        EQU     82H         ;DATA POINTER LOW
0081 =      SP:         EQU     81H         ;STACK POINTER
0080 =      P0:         EQU     80H         ;PORT 0
            ;
            ;MCS-51 INTERNAL BIT ADDRESSES
            ;
0090 =      P1.0:       EQU     90H         ;
0091 =      P1.1:       EQU     91H         ;
0092 =      P1.2:       EQU     92H         ;
0093 =      P1.3:       EQU     93H         ;
0094 =      P1.4:       EQU     94H         ;
0095 =      P1.5:       EQU     95H         ;
0096 =      P1.6:       EQU     96H         ;
0097 =      P1.7:       EQU     97H         ;
00E0 =      ACC.0:      EQU     0E0H        ;
00E1 =      ACC.1:      EQU     0E1H        ;
00E2 =      ACC.2:      EQU     0E2H        ;
00E3 =      ACC.3:      EQU     0E3H
00E4 =      ACC.4:      EQU     0E4H        ;
00E5 =      ACC.5:      EQU     0E5H        ;
00E6 =      ACC.6:      EQU     0E6H        ;
00E6 =      ACC.7:      EQU     0E6H        ;
00D7 =      CY:         EQU     0D7H        ;CARRY FLAG
00D6 =      AC:         EQU     0D6H        ;AUXILIARY-CARRY FLAG
00D5 =      F0:         EQU     0D5H        ;USER FLAG 0
00D4 =      RS1:        EQU     0D4H        0D4H    ;REGISTER SELECT MSB
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00D3 =      RS0.        EQU     0D3H        0D3H    ;REGISTER SELECT LSB
00D2 =      OV:         EQU     0D2H        0D2H    ;OVERFLOW FLAG
00D0 =      P.          EQU     0D0H        0D0H    ;PARITY FLAG
00BC =      PS:         EQU     0BCH        0BCH    ;PRIORITY SERIAL PORT
00BB =      PT1:        EQU     0BBH        0BBH    ;PRIORITY TIMER 1
00BA =      PX1:        EQU     0BAH        0BAH    ;PRIORITY EXTERNAL 1
00B9 =      PT0:        EQU     0B9H        0B9H    ;PRIORITY TIMER 0
00B8 =      PX0:        EQU     0B8H        ;PRIORITY EXTERNAL 0
00AF =      EA:         EQU     0AFH        ;ENABLE ALL INTERRUPT
00AC =      ES:         EQU     0ACH        ;ENABLE SERIAL INTERRUPT
00AB =      ET1:        EQU     0ABH        ;ENABLE TIMER 1 INTERRUPT
00AA =      EX1:        EQU     0AAH        ;ENABLE EXTERNAL 1 INTERR
00A9 =      ET0:        EQU     0A9H        ;ENABLE TIMER 0 INTERRUPT
00A8 =      EX0:        EQU     0A8H        ;ENABLE EXTERNAL 0 INTERR
009F =      SM0:        EQU     09FH        ;SERIAL MODE 0
009E =      SM1:        EQU     09EH        ;SERIAL MODE 1
009D =      SM2:        EQU     09DH        ;SERIAL MODE 2
009C =      REN:        EQU     09CH        ;SERIAL RECEPTION ENABLE
009B =      TB8:        EQU     09BH        ;TRANSMITT BIT 8
009A =      RB8:        EQU     09AH        ;RECEIVE BIT 8
0099 =      TI:         EQU     099H        ;TRANSMIT INTERRUPT FLAG
0098 =      RI:         EQU     098H        ;RECEIVE INTERRUPT FLAG
008F =      TF1:        EQU     08FH        ;TIMER 1 OVERFLOW FLAG
008E =      TR1:        EQU     08EH        ;TIMER 1 RUN CONTROL BIT
008D =      TF0:        EQU     08DH        ;TIMER 0 OVERFLOW FLAG
008C =      TR0:        EQU     08CH        ;TIMER 0 RUN CONTROL BIT
008B =      IE1:        EQU     08BH        ;EXT INTERR. 1 EDGE FLAG
008A =      IT1:        EQU     08AH        ;EXT INTERR. 1 TYPE FLAG
0089 =      IE0:        EQU     089H        ;EXT INTERR. 0 EDGE FLAG
0088 =      IT0:        EQU     088H        ;EXT INTERR. 0 TYPE FLAG

;*************************************************

;EQUATES FOR EP831
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8000 =      DATA:       EQU     8000H     ;DATA 8255 PORT
8002 =      ADDLOW:     EQU     8002H     ;ADDRESS LOW
8001 =      ADDHI:      EQU     8001H     ;ADDRESS HIGH
8003 =      CONTRL:     EQU     8003H     ;CONTROL WORD
0090 =      CONRD:      EQU     90H       ;PA READ
0080 =      CONWR:      EQU     80H       ;PA WRITE
00FD =      BRAT96:     EQU     0FDH      ;9600 BAUD RATE
000A =      CR:         EQU     0AH       ;CARRIAGE RETURN
000D =      LF:         EQU     0DH       ;LINE FEED
0030 =      TYPE:       EQU     30H       ;INTERNAL RAM
0031 =      ADR0:       EQU     31H       ;STORE ADDLOW LOWBYTE
0032 =      ADR1:       EQU     32H       ;STORE ADDLOW HIBYTE
0033 =      START0:     EQU     33H       ;STORE START ADDR LOWBYTE
0034 =      START1:     EQU     34H       ;STORE START ADDR HIBYTE
0035 =      END0:       EQU     35H       ;STORE ADDHI LOWBYTE
0036 =      END1:       EQU     36H       ;STORE ADDHI HIBYTE
0037 =      TEMP1:      EQU     37H       ;
0038 =      TEMP2:      EQU     38H       ;
0039 =      FILLK:      EQU     39H       ;
003A =      CHKSUM:     EQU     3AH       ;
003B =      NBYTES:     EQU     3BH       ;
003C =      VBYTE:      EQU     3CH       ;
003D =      RTYPE:      EQU     3DH       ;
003E =      X:          EQU     3EH       ;


            ;BIT STATUS EQUATES
0000 =      STAT0.0:    EQU     0         ;
0001 =      STAT0.1:    EQU     1         ;
            ;*********************;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
; PROGRAM START HERE ;
;********************;

0000                    ORG     0000H           ;
0000 75900B             MOV     P1,#0BH         ;RESET VPP
0003 7AFF       RES:    MOV     R2,#0FFH        ;POWER UP DELAY
0005 7B00       RES1:   MOV     R3,#00          ;
0007 DBFE               0.DJNZ  R3,$            ;
0009 908003             MOV     DPTR,#CONTRL    ;
000C 7480               MOV     A,#CONWR        ;
000E F0                 MOVX    @DPTR,A         ;
000F 908000             MOV     DPTR,#DATA      ;
0012 7400               MOV     A,#0            ;
0014 F0                 MOVX    @DPTR,A         ;DATA = 0
0015 A3                 INC     DPTR            ;
0016 F0                 MOVX    @DPTR,A         ;ADDLOW = 0
0017 A3                 INC     DPTR            ;
0018 F0                 MOVX    @DPTR,A         ;ADDHI = 0
0019 759852     RES2:   MOV     SCON,#52H       ;SERIAL 8 BIT UART MODE
001C 758700             MOV     PCON,#0         ;
001F 758920             MOV     TMOD,#20H       ;TIMER1 MODE2
0022 758DFD             MOV     TH1,#BRAT96     ;9600 BAUD RATE
0025 D28E               SETB    TR1             ;
0027 1204E9     RES3:   LCALL   CI              ;AUTO RAUD RATE
002A B420EC             CJNE    A,#20H,RES2     ;CHECK 9600
002D 7A1F       RES4:   MOV     R2,#1FH         ;
002F 1204F8             LCALL   CRLF            ;
0032 DAFB               DJNZ    R2,$-3          ;SET NEW PAGE
0034 753000             MOV     TYPE,#00H       ;EPROM NOT SELECT
0037 900D65             MOV     DPTR,#TITLE     ;
003A 120561             LCALL   PRNT            ;
003D 120567             LCALL   PRMT            ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ;**********************;
                ; MAIN PROGRAM ROUTINE ;
                ;**********************;

0040 1204F1     MAIN:   LCALL   ECHO            ,
0043 B44203             CJNE    A,#"B",$+6      ;
0046 020082             LJMP    BCMD            ;
0049 B44503             CJNE    A,#"E",$+6      ;
004C 0200C1             LJMP    ECMD            ;
004F B44803             CJNE    A,#"H",$+6      ;
0052 020125             LJMP    HCMD            ;
0055 B44C03             CJNE    A,#"L",$+6      ;
0058 02013D             LJMP    LCMD            ;
005B B45003             CJNE    A,#"P",$+6      ;
005E 02021A             LJMP    PCMD            ;
0061 B45203             CJNE    A,#"R",$+6      ;
0064 0202B9             LJMP    RCMD            ;
0067 B45403             CJNE    A,#"T",$+6      ;
006A 02040C             LJMP    TCMD            ;
006D B45503             CJNE    A,#"U",$+6      ;
0070 020333             LJMP    UCMD            ;
0073 B45603             CJNE    A,#"V",ERR      ;
0076 020454             LJMP    VCMD            ;
0079 9010DB     ERR:    MOV     DPTR,#CMDERR    ;
007C 120561             LCALL   PRNT            ;
007F 020131             LJMP    EXIT            ;
                                                ;END OF MAIN LOOP

                ;**********************;
                ; BLANK CHECK FUNCTION ;
                ;**********************;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0082 1204F1     BCMD:   LCALL   ECHO            ;
```

```
0085 B40D36             CJNE    A,#LF,BERR0     ;
0088 908003             MOV     DPTR,#CONTRL    ;
008B 7490               MOV     A,#CONRD        ;
008D F0                 MOVX    @DPTR,A         ;
008E 120CA2             LCALL   PWRUP           ;
0091 12056E             LCALL   LENGTH          ;
0094 900000             MOV     DPTR,#00H       ;
0097 120587   BAGAIN:   LCALL   RDPROM          ;
009A B4FF15             CJNE    A,#0FFH,BERR    ;
009D E535               MOV     A,END0          ;
009F B5820D             CJNE    A,DPL,BNEXT     ;
00A2 E536               MOV     A,END1          ;
00A4 B58308             CJNE    A,DPH,BNEXT     ;
00A7 900FCE             MOV     DPTR,#YBLANK    ;
00AA 120561             LCALL   PRNT            ;
00AD 8009               SJMP    BEXIT           ;
00AF A3       BNEXT:    INC     DPTR            ;
00B0 80E5               SJMP    BAGAIN          ;
00B2 900FE3   BERR:     MOV     DPTR,#NBLANK    ;
00B5 120561             LCALL   PRNT            ;
00B8 120CAF   BEXIT:    LCALL   PWRDWN          ;POWER DOWN
00BB 020131             LJMP    EXIT            ;
00BE 020079   BERR0:    LJMP    ERR             ;

        ;**********************;
        ; EDIT MEMORY FUNCTION ;
        ;**********************;

00C1 1204F1   ECMD:     LCALL   ECHO            ;
00C4 B42052             CJNE    A,#" ",EERR     ;EDIT ERROR
00C7 120CFF             LCALL   GETADR          ;
00CA 853283             MOV     DPH,ADR1        ;
00CD 853182             MOV     DPL,ADR0        ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00D0 120CD1    ELINE:  LCALL   OUTADR          ;
00D3 7420              MOV     A,#" "          ;
00D5 1204E1            LCALL   CO              ;
00D8 7F08              MOV     R7,#08H         ;
00DA E0        EAGAIN: MOVX    A,@DPTR         ;
00DB F539              MOV     FILLK,A         ;
00DD C4                SWAP    A               ;
00DE 540F              ANL     A,#0FH          ;
00E0 120552            LCALL   HEX2A           ;
00E3 1204E1            LCALL   CO              ;
00E6 743D              MOV     A,#"="          ;
00E8 1204E1            LCALL   CO              ;
00EB 1204F1            LCALL   ECHO            ;
00EE 120531            LCALL   A2HEX           ;
00F1 20001D            JB      STAT0.0,ENOHEX  ;EDIT NO HEX
00F4 F539              MOV     FILLK,A         ;
00F6 F0                MOVX    @DPTR,A         ;
00F7 1204F1            LCALL   ECHO            ;
00FA 120531            LCALL   A2HEX           ;
00FD 200011            JB      STAT0.0,ENOHEX  ;
0100 C4                SWAP    A               ;
0101 4239              ORL     FILLK,A         ;
0103 E539              MOV     A,FILLK         ;
0105 C4                SWAP    A               ;
0106 F0                MOVX    @DPTR,A         ;
0107 A3                INC     DPTR            ;
0108 7420              MOV     A,#" "          ;
010A 1204E1            LCALL   CO              ;
010D DFCB              DJNZ    R7,EAGAIN       ;
010F 80BF              SJMP    ELINE           ;
0111 B42008    ENOHEX: CJNE    A,#" ",EEXIT    ;
0114 A3                INC     DPTR            ;
0115 DFC3              DJNZ    R7,EAGAIN       ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0117 80B7              SJMP    ELINE           ;
0119 020079    EERR:   LJMP    ERR             ;
011C 1204F8    EEXIT:  LCALL   CRLF            ;
011F 120567            LCALL   PRMT            ;
0122 020040            LJMP    MAIN            ;

        ;***************;
        ; HELP FUNCTION ;
        ;***************;

0125 1204F1    HCMD:   LCALL   ECHO            ;
0128 B40D0F            CJNE    A,#LF,HERR      ;
012B 9010F3            MOV     DPTR,#HMSG      ;
012E 120561            LCALL   PRNT            ;
0131 1204F8    EXIT:   LCALL   CRLF            ;
0134 120567            LCALL   PRMT            ;
0137 020040            LJMP    MAIN            ;
013A 020079    HERR:   LJMP    ERR             ;

        ;*****************************;
        ; LOAD INTEL HEX FILE FUNCTION ;
        ;*****************************;

013D 1204F1    LCMD:   LCALL   ECHO            ;
0140 B40DF7            CJNE    A,#LF,HERR      ;
0143 900DE7            MOV     DPTR,#LMSG      ;
0146 120561            LCALL   PRNT            ;
0149 753A00    LCMD1:  MOV     CHKSUM,#0       ;
014C 1204F1            LCALL   ECHO            ;
014F B43AF7            CJNE    A,#":",LCMD1    ;
0152 1204F1            LCALL   ECHO            ;
0155 120531            LCALL   A2HEX           ;
0158 C4                SWAP    A               ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0159 F53B       MOV     NBYTES,A        ;
015B 1204F1     LCALL   ECHO            ;
015E 120531     LCALL   A2HEX           ;
0161 423B       ORL     NBYTES,A        ;
0163 E53A       MOV     A,CHKSUM        ;
0165 C3         CLR     C               ;
0166 953B       SUBB    A,NBYTES        ;
0168 F53A       MOV     CHKSUM,A        ;
016A 1204F1     LCALL   ECHO            ;
016D 120531     LCALL   A2HEX           ;
0170 C4         SWAP    A               ;
0171 F532       MOV     ADR1,A          ;
0173 1204F1     LCALL   ECHO            ;
0176 120531     LCALL   A2HEX           ;
0179 4232       ORL     ADR1,A          ;
017B E53A       MOV     A,CHKSUM        ;
017D C3         CLR     C               ;
017E 9532       SUBB    A,ADR1          ;
0180 F53A       MOV     CHKSUM,A        ;
0182 1204F1     LCALL   ECHO            ;
0185 120531     LCALL   A2HEX           ;
0188 C4         SWAP    A               ;
0189 F531       MOV     ADR0,A          ;
018B 1204F1     LCALL   ECHO            ;
018E 120531     LCALL   A2HEX           ;
0191 4231       ORL     ADR0,A          ;
0193 E53A       MOV     A,CHKSUM        ;
0195 C3         CLR     C               ;
0196 9531       SUBB    A,ADR0          ;
0198 F53A       MOV     CHKSUM,A        ;
019A 1204F1     LCALL   ECHO            ;
019D 120531     LCALL   A2HEX           ;
01A0 C4         SWAP    A               ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
01A1 F53D          MOV   RTYPE,A          ;
01A3 1204F1        LCALL ECHO             ;
01A6 120531        LCALL A2HEX            ;
01A9 423D          ORL   RTYPE,A          ;
01AB E53A          MOV   A,CHKSUM         ;
01AD C3            CLR   C                ;
01AE 953D          SUBB  A,RTYPE          ;
01B0 F53A          MOV   CHKSUM,A         ;
01B2 E53D          MOV   A,RTYPE          ;
01B4 7029          JNZ   EOR              ;
01B6 E53B          MOV   A,NBYTES         ;
01B8 6025          JZ    EOR              ;
01BA 853283        MOV   DPH,ADR1         ;
01BD 853182        MOV   DPL,ADR0         ;
01C0 1204F1  LDATA: LCALL ECHO            ;
01C3 120531        LCALL A2HEX            ;
01C6 C4            SWAP  A                ;
01C7 F538          MOV   TEMP2,A          ;
01C9 1204F1        LCALL ECHO             ;
01CC 120531        LCALL A2HEX            ;
01CF 4238          ORL   TEMP2,A          ;
01D1 E53A          MOV   A,CHKSUM         ;
01D3 C3            CLR   C                ;
01D4 9538          SUBB  A,TEMP2          ;
01D6 F53A          MOV   CHKSUM,A         ;
01D8 E538          MOV   A,TEMP2          ;
01DA F0            MOVX  @DPTR,A          ;
01DB A3            INC   DPTR             ;
01DC D53BE1        DJNZ  NBYTES,LDATA     ;
01DF 1204F1  EOR:  LCALL ECHO             ;
01E2 120531        LCALL A2HEX            ;
01E5 C4            SWAP  A                ;
01E6 F538          MOV   TEMP2,A          ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
01E8 1204F1             LCALL   ECHO            ;
01EB 120531             LCALL   A2HEX           ;
01EE 4538               ORL     A,TEMP2         ;
01F0 B53A12             CJNE    A,CHKSUM,CHKERR ;
01F3 E53D               MOV     A,RTYPE         ;
01F5 7003               JNZ     LEND            ;
01F7 020149             LJMP    LCMD1           ;
01FA 1204F8     LEND:   LCALL   CRLF            ;
01FD 900E05             MOV     DPTR,#LENDMSG   ;
0200 120561             LCALL   PRNT            ;
0203 8006               SJMP    LEXIT           ;
0205 90102E     CHKERR: MOV     DPTR,#CHKMSG    ;
0208 120561             LCALL   PRNT            ;
020B 1204E9     LEXIT:  LCALL   CI              ;
020E 1204F8             LCALL   CRLF            ;
0211 120567             LCALL   PRMT            ;
0214 020040             LJMP    MAIN            ;
0217 020079     LERR:   LJMP    ERR             ;

        ;*****************;
        ; PROGRAM FUNCTION ;
        ;*****************;

021A 908003     PCMD:   MOV     DPTR,#CONTRL    ;
021D 7480               MOV     A,#CONWR        ;
021F F0                 MOVX    @DPTR,A         ;
0220 120CA2             LCALL   PWRUP           ;
0223 1204F1     PCMD1:  LCALL   ECHO            ;
0226 B40D08             CJNE    A,#LF,PCMD2     ;
0229 12056E             LCALL   LENGTH          ;
022C 900000             MOV     DPTR,#0         ;
022F 8027               SJMP    PAGAIN          ;
0231 B42068     PCMD2:  CJNE    A,#" ",PCERR    ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0234 120CFF          LCALL   GETADR          ;
0237 1204F1          LCALL   ECHO            ;
023A B42C5F          CJNE    A,#",",PCERR    ;
023D 853133          MOV     START0,ADR0     ;
0240 853234          MOV     START1,ADR1     ;
0243 120CFF          LCALL   GETADR          ;
0246 1204F1          LCALL   ECHO            ,
0249 B40D50          CJNE    A,#LF,PCERR     ;
024C 853135          MOV     END0,ADR0       ;
024F 853236          MOV     END1,ADR1       ;
0252 853382          MOV     DPL,START0      ;
0255 853483          MOV     DPH,START1      ;
0258 E583    PAGAIN: MOV     A,DPH           ;
025A 20E602          JB      ACC.7,PAGN1     ;
025D 801C            SJMP    PAGN2           ;
025F C2E6    PAGN1:  CLR     ACC.7           ;
0261 F583            MOV     DPH,A           ;
0263 E0              MOVX    A,@DPTR         ;GET DATA FROM BUFFER
0264 B4FF08          CJNE    A,#0FFH,PAGN11  ;IS DATA = 0FFH?
0267 E583            MOV     A,DPH           ;
0269 D2E6            SETB    ACC.7           ;
026B F583            MOV     DPH,A           ;
026D 8018            SJMP    PAGN4           ;
026F F539    PAGN11: MOV     FILLK,A         ;DATA IS NOT = 0FFH
0271 E583            MOV     A,DPH           ;
0273 D2E6            SETB    ACC.7           ;
0275 F583            MOV     DPH,A           ;
0277 E539            MOV     A,FILLK         ;
0279 8006            SJMP    PAGN3           ;
027B E0      PAGN2:  MOVX    A,@DPTR         ;GET DATA FROM BUFFER
027C B4FF02          CJNE    A,#0FFH,PAGN3   ;IS DATA = 0FFH?
027F 8006            SJMP    PAGN4           ;
0281 120669  PAGN3:  LCALL   WRPROM          ;DATA IS NOT = 0FFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0284 20011D            JB      STAT0.1,PERR      ;
0287 E535     PAGN4:   MOV     A,END0            ;DATA IS = 0FFH
0289 B5822A            CJNE    A,DPL,PNEXT       ;
028C E536              MOV     A,END1            ;
028E B58325            CJNE    A,DPH,PNEXT       ;
0291 1204F8            LCALL   CRLF              ;
0294 9010B0            MOV     DPTR,#YPROG       ;
0297 120561            LCALL   PRNT              ;
029A 800E              SJMP    PEXIT             ;
029C 9010DB   PCERR:   MOV     DPTR,#CMDERR      ;
029F 120561            LCALL   PRNT              ;
02A2 8006              SJMP    PEXIT             ;
02A4 9010C3   PERR:    MOV     DPTR,#NPROG       ;
02A7 120561            LCALL   PRNT              ;
02AA 1204F8   PEXIT:   LCALL   CRLF              ;
02AD 120567            LCALL   PRMT              ;
02B0 120CAF            LCALL   PWRDWN            ;
02B3 020040            LJMP    MAIN              ;
02B6 A3       PNEXT:   INC     DPTR              ;
02B7 809F              SJMP    PAGAIN            ;

        ;*****************************;
        ; READ EPROM TO BUFFER FUNCTION ;
        ;*****************************;

02B9 908003   RCMD:    MOV     DPTR,#CONTRL      ;
02BC 7490              MOV     A,#CONRD          ;
02BE F0                MOVX    @DPTR,A           ;
02BF 120CA2            LCALL   PWRUP             ;
02C2 1204F1   RCMD1:   LCALL   ECHO              ;
02C5 B40D08            CJNE    A,#LF,RCMD2       ;
02C8 12056E            LCALL   LENGTH            ;
02CB 900000            MOV     DPTR,#0           ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
02CE 8027              SJMP    RREAD           ;
02D0 B4204B    RCMD2:  CJNE    A,#" ",RERR     ;
02D3 120CFF            LCALL   GETADR          ;
02D6 1204F1            LCALL   ECHO            ;
02D9 B42C42            CJNE    A,#",",RERR     ;
02DC 853133            MOV     START0,ADR0     ;
02DF 853234            MOV     START1,ADR1     ;
02E2 120CFF            LCALL   GETADR          ;
02E5 1204F1            LCALL   ECHO            ;
02E8 B40D33            CJNE    A,#LF,RERR      ;
02EB 853135            MOV     END0,ADR0       ;
02EE 853236            MOV     END1,ADR1       ;
02F1 853382            MOV     DPL,START0      ;
02F4 853483            MOV     DPH,START1      ;
02F7 120587    RREAD:  LCALL   RDPROM          ;
02FA F539              MOV     FILLK,A         ;
02FC E532              MOV     A,ADR1          ;
02FE 20E602            JB      ACC.7,R512      ;ADDRRESS >=8000H
0301 800C              SJMP    RDNX            ;
0303 C2E6      R512:   CLR     ACC.7           ;
0305 F583              MOV     DPH,A           ;
0307 E539              MOV     A,FILLK         ;
0309 F0                MOVX    @DPTR,A         ;ADDRESS >=8000H
030A 853283            MOV     DPH,ADR1        ;
030D 8003              SJMP    RDNX1           ;
030F E539      RDNX:   CALL    PWRDWN          ;
032A 020040            LJMP    MAIN            ;
032D A3        RNEXT:  INC     DPTR            ;
032E 80C7              SJMP    RREAD           ;

        ;*******************************;
        ; UPLOAD INTEL HEX FILE FUNCTION ;
        ;*******************************;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0330 020079     UPERR.  LJMP    ERR             ;
0333 1204F1     UCMD:   LCALL   ECHO            ;
0336 B420F7             CJNE    A,#" ",UPERR    ;
0339 120CFF             LCALL   GETADR          ;
033C 1204F1             LCALL   ECHO            ;
033F B42CEE             CJNE    A,#",",UPERR    ;
0342 853133             MOV     START0,ADR0     ;
0345 853234             MOV     START1,ADR1     ;
0348 120CFF             LCALL   GETADR          ;
034B 1204F1             LCALL   ECHO            ;
034E B40DDF             CJNE    A,#LF,UPERR     ;
0351 853135             MOV     END0,ADR0       ;
0354 853236             MOV     END1,ADR1       ;
0357 900FB2             MOV     DPTR,#UMSG      ;
035A 120561             LCALL   PRNT            ;
035D 1204E9     UPLOAD: LCALL   CI              ;WAIT ENTER
0360 B40DFA             CJNE    A,#LF,UPLOAD    ;
0363 853382             MOV     DPL,START0      ;
0366 853483             MOV     DPH,START1      ;
0369 7D00               MOV     R5,#0           ;
036B 753A00     SEND0:  MOV     CHKSUM,#0       ;
036E 743A               MOV     A,#":"          ;
0370 1204E1             LCALL   CO              ;
0373 1203AD             LCALL   SENDC           ;
0376 EE                 MOV     A,R6            ;
0377 120519             LCALL   SBYTEHC         ;
037A E583               MOV     A,DPH           ;
037C 120519             LCALL   SBYTEHC         ;
037F E582               MOV     A,DPL           ;
0381 120519             LCALL   SBYTEHC         ;
0384 E4                 CLR     A               ;
0385 120519             LCALL   SBYTEHC         ;00
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0388 E0      SEND1:  MOVX    A,@DPTR         ;
0389 120519          LCALL   SBYTEHC         ;DATA
038C A3              INC     DPTR            ;
038D DEF9            DJNZ    R6,SEND1        ;
038F E53A            MOV     A,CHKSUM        ;
0391 F4              CPL     A               ;
0392 04              INC     A               ;
0393 120503          LCALL   SBYTEH          ;
0396 1204F8          LCALL   CRLF            ;
0399 BD01CF          CJNE    R5,#1,SEND0     ;
039C 9003F2          MOV     DPTR,#SENDTB    ;
039F 120561          LCALL   PRNT            ;
03A2 1204F8          LCALL   CRLF            ;
03A5 1204E9  SEND2:  LCALL   CI              ;
03A8 B40DFA          CJNE    A,#0DH,SEND2    ;
03AB 8059            SJMP    UEXIT           ;
03AD E583    SENDC:  MOV     A,DPH           ;
03AF C532            XCH     A,ADR1          ;
03B1 F583            MOV     DPH,A           ;
03B3 E582            MOV     A,DPL           ;
03B5 C531            XCH     A,ADR0          ;
03B7 F582            MOV     DPL,A           ;
03B9 853683          MOV     DPH,END1        ;
03BC 853582          MOV     DPL,END0        ;
03BF C3              CLR     C               ;
03C0 E583            MOV     A,DPH           ;
03C2 9532            SUBB    A,ADR1          ;
03C4 7023            JNZ     SENDC2          ;
03C6 C3              CLR     C               ;
03C7 E582            MOV     A,DPL           ;
03C9 9531            SUBB    A,ADR0          ;
03CB F582            MOV     DPL,A
03CD C3              CLR     C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
03CE 940F               SUBB    A,#0FH
03D0 600B               JZ      CHK1
03D2 5015               JNC     SENDC2
03D4 780F               MOV     R0,#0FH
03D6 18         LOOPCK: DEC     R0
03D7 C3                 CLR     C

03D8 E582               MOV     A,DPL
03DA 98                 SUBB    A,R0
03DB 40F9               JC      LOOPCK
03DD 7D01       CHK1:   MOV     R5,#1
03DF AE82               MOV     R6,DPL
03E1 0E                 INC     R6
03E2 853283             MOV     DPH,ADR1
03E5 853182             MOV     DPL,ADR0
03E8 22                 RET
03E9 853283     SENDC2:  MOV    DPH,ADR1        ;
03EC 853182             MOV     DPL,ADR0        ;
03EF 7E10               MOV     R6,#10H
03F1 22                 RET                     ;
03F2                    SENDTB: DFB             ":00000001FF",CR,LF,04H
3A30303030
0400 9010DB     UERR:   MOV     DPTR,#CMDERR    ;
0403 120561             LCALL   PRNT            ;
0406 120567     UEXIT:  LCALL   PRMT            ;
0409 020040     LJMP    MAIN    ;

        ;**********************;
        ; TYPE SELECT FUNCTION ;
        ;**********************;

040C 1204F1     TCMD:   LCALL   ECHO            ;
040F B40D3F             CJNE    A,#LF,TERR0     ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0412 1204F8     TCMD1:  LCALL   CRLF            ,
0415 900E1E             MOV     DPTR,#TMSG      ;
0418 120561             LCALL   PRNT            ;
041B 1204F1             LCALL   ECHO            ;
041E C3                 CLR     C               ;
041F 9430               SUBB    A,#30H          ;CONVERT ASCII TO HEX
0421 9401               SUBB    A,#1H           ;IS < 1?
0423 4024               JC      TERR            ;
0425 2401               ADD     A,#1            ;
0427 C3                 CLR     C               ;
0428 940A               SUBB    A,#0AH          ;IS > 9?
042A 5004               JNC     THEX            ;
042C 240A               ADD     A,#0AH          ;
042E 800B               SJMP    TSET            ;
0430 C3         THEX:   CLR     C               ;
0431 9407               SUBB    A,#07H          ;ERROR IF 3AH TO 40H
0433 4014               JC      TERR            ;
0435 9401               SUBB    A,#1H           ;IF > 41H (A)
0437 5010               JNC     TERR            ;
0439 240B               ADD     A,#0BH          ;
043B F530       TSET:   MOV     TYPE,A          ;
043D 1204F8             LCALL   CRLF            ;
0440 1204F8             LCALL   CRLF            ;
0443 120567             LCALL   PRMT            ;
0446 020040             LJMP    MAIN            ;
0449 900F8C     TERR:   MOV     DPTR,#TERMSG    ;
044C 120561             LCALL   PRNT            ;
044F 80C1               SJMP    TCMD1           ;
0451 020079     TERR0:  LJMP    ERR             ;

        ;****************;
        ; VERIFY FUNCTION ;
        ;****************;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0454 908003     VCMD:   MOV     DPTR,#CONTRL    ;
0457 7490               MOV     A,#CONRD        ;
0459 F0                 MOVX    @DPTR,A         ;
045A 120CA2             LCALL   PWRUP           ;
045D 1204F1     VCMD1:  LCALL   ECHO            ;
0460 B40D08             CJNE    A,#LF,VCMD2     ;
0463 12056E             LCALL   LENGTH          ;
0466 900000             MOV     DPTR,#0         ;
0469 8021               SJMP    VAGAIN          ;
046B B42053     VCMD2:  CJNE    A,#" ",VCERR    ;
046E 120CFF             LCALL   GETADR          ;
0471 B42C4D             CJNE    A,#",",VCERR    ;
0474 853133             MOV     START0,ADR0     ;
0477 853234             MOV     START1,ADR1     ;
047A 120CFF             LCALL   GETADR          ;
047D B40D41             CJNE    A,#LF,VCERR     ;
0480 853135             MOV     END0,ADR0       ;
0483 853236             MOV     END1,ADR1       ;
0486 853382             MOV     DPL,START0      ;
0489 853483             MOV     DPH,START1      ;
048C 120587     VAGAIN: LCALL   RDPROM          ;
048F F539               MOV     FILLK,A         ;
0491 E583               MOV     A,DPH           ;
0493 20E602             JB      ACC.7,V512      ;ADDRESS >=8000H
0496 8010               SJMP    VNX             ;
0498 C2E6       V512:   CLR     ACC.7           ;
049A F583               MOV     DPH,A           ;
049C E0                 MOVX    A,@DPTR         ;
049D B53929             CJNE    A,FILLK,VERR    ;
04A0 E583               MOV     A,DPH           ;
04A2 D2E6               SETB    ACC.7           ;
04A4 F583               MOV     DPH,A           ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
04A6 8004          SJMP    VNX1          ;
04A8 E0     VNX:   MOVX    A,@DPTR       ,
04A9 B5391D        CJNE    A,FILLK,VERR  ;
04AC E535   VNX1:  MOV     A,END0        ;
04AE B5822D        CJNE    A,DPL,VNEXT   ;
04B1 E536          MOV     A,END1        ;
04B3 B58328        CJNE    A,DPH,VNEXT   ;
04B6 1204F8        LCALL   CRLF          ;
04B9 901001        MOV     DPTR,#YVERFY  ;
04BC 120561        LCALL   PRNT          ;
04BF 8011          SJMP    VEXIT         ;
04C1 9010DB VCERR: MOV     DPTR,#CMDERR  ;
04C4 120561        LCALL   PRNT          ;
04C7 8009          SJMP    VEXIT         ;
04C9 1204F8 VERR:  LCALL   CRLF          ;
04CC 901015        MOV     DPTR,#NVERFY  ;
04CF 120561        LCALL   PRNT          ;
04D2 1204F8 VEXIT: LCALL   CRLF          ;
04D5 120567        LCALL   PRMT          ;
04D8 120CAF        LCALL   PWRDWN        ;
04DB 020040        LJMP    MAIN          ;
04DE A3     VNEXT: INC     DPTR          ;
04DF 80AB          SJMP    VAGAIN        ;

        ;CONSOLE OUTPUT ROUTINE

04E1 3099FD CO:    JNB     TI,CO         ;
04E4 C299          CLR     TI            ;
04E6 F599          MOV     SBUF,A        ;
04E8 22            RET                   ;

        ;CONSOLE INPUT ROUTINE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
04E9 3098FD     CI:     JNB     RI,$            ;
04EC C298               CLR     RI              ;
04EE E599               MOV     A,SBUF          ;
04F0 22                 RET     ;

            ;CHARACTER ECHO ROUTINE

04F1 1204E9     ECHO:   LCALL   CI              ;
04F4 0204E1             LJMP    CO              ;
04F7 22                 RET                     ;

            ;CRLF ROUTINE

04F8 740D       CRLF:   MOV     A,#LF           ;LINE FEED
04FA 1204E1             LCALL   CO              ;
04FD 740A               MOV     A,#CR           ;CARRIAGE RETURN
04FF 1204E1             LCALL   CO              ;
0502 22                 RET                     ;

            ;SBYTEH ROUTINE

0503 F539       SBYTEH: MOV     FILLK,A         ;
0505 C4                 SWAP    A               ;
0506 540F               ANL     A,#0FH          ;
0508 120552             LCALL   HEX2A           ;
050B 1204E1             LCALL   CO              ;
050E E539               MOV     A,FILLK         ;
0510 540F               ANL     A,#0FH          ;
0512 120552             LCALL   HEX2A           ;
0515 1204E1             LCALL   CO              ;
0518 22                 RET                     ;
0519 C53A       SBYTEHC: XCH    A,CHKSUM        ;
051B 253A               ADD     A,CHKSUM        ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
051D C53A              XCH     A,CHKSUM    ;
051F 120503            LCALL   SBYTEH      ;
0522 22                RET                 ;

            ;DPSUB ROUTINE

0523 C3      DPSUB:    CLR     C           ;
0524 E582              MOV     A,DPL       ;
0526 9531              SUBB    A,ADR0      ;
0528 F582              MOV     DPL,A       ;
052A E583              MOV     A,DPH       ;
052C 9532              SUBB    A,ADR1      ;
052E F583              MOV     DPH,A       ;
0530 22                RET                 ;

            ;ASCII TO HEX ROUTINE

0531 F537    A2HEX:    MOV     TEMP1,A     ;
0533 C200              CLR     STAT0.0     ;
0535 C3                CLR     C           ;
0536 9430              SUBB    A,#30H      ;
0538 4013              JC      AHERR       ;
053A 940A              SUBB    A,#0AH      ;
053C 5003              JNC     AHHIGH      ;
053E 240A              ADD     A,#0AH      ;
0540 22                RET                 ;
0541 C3      AHHIGH:   CLR     C           ;
0542 9407              SUBB    A,#07H      ;
0544 4007              JC      AHERR       ;
0546 9406              SUBB    A,#6H       ;
0548 5003              JNC     AHERR       ;
054A 2410              ADD     A,#10H      ;
054C 22                RET                 ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
054D E537       AHERR:  MOV     A,TEMP1         ;
054F D200               SETB    STAT0.0         ;
0551 22                 RET                     ;

        ;HEX TO ASCII ROUTINE

0552 C3         HEX2A:  CLR     C               ;
0553 940A               SUBB    A,#0AH          ;
0555 5003               JNC     HAHIGH          ;
0557 243A               ADD     A,#3AH          ;
0559 22                 RET                     ;
055A 2441       HAHIGH: ADD     A,#41H          ;
055C 22                 RET                     ;

        ;MASSAGE PRINTING ROUTINE

055D 1204E1     PRNT1:  LCALL   CO              ;
0560 A3                 INC     DPTR            ;
0561 E4         PRNT:   CLR     A               ;
0562 93                 MOVC    A,@A+DPTR       ;
0563 B404F7             CJNE    A,#04H,PRNT1    ;
0566 22                 RET                     ;

        ;PROMPT PRINTING ROUTINE

0567 900D5B     PRMT:   MOV     DPTR,#PMTMSG    ;
056A 120561             LCALL   PRNT            ;
056D 22                 RET                     ;

        ;EPROM LENGTH ROUTINE

056E 7535FF     LENGTH: MOV     END0,#0FFH      ;
0571 E530               MOV     A,TYPE          ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0573 120579             LCALL   GETLEN          ;
0576 F536               MOV     END1,A          ;
0578 22                 RET                     ;
0579 04         GETLEN: INC     A               ;
057A 83                 MOVC    A,@A+PC         ;
057B 22                 RET                     ;
057C 00                 DFB     0               ;
057D 07                 DFB     07H             ;1
057E 0F                 DFB     0FH             ;2
057F 0F                 DFB     0FH             ;3
0580 1F                 DFB     1FH             ;4
0581 1F                 DFB     1FH             ;5
0582 3F                 DFB     3FH             ;6
0583 3F                 DFB     3FH             ;7
0584 7F                 DFB     7FH             ;8
0585 7F                 DFB     7FH             ;9
0586 FF                 DFB     0FFH            ;A

        ;EPROM READ ROUTINE

0587 858332     RDPROM: MOV     ADR1,DPH        ;
058A 858231             MOV     ADR0,DPL        ;
058D E530               MOV     A,TYPE          ;
058F 23                 RL      A               ;
0590 900594             MOV     DPTR,#RDTBL     ;
0593 73                 JMP     @A+DPTR         ;
0594 C154       RDTBL:  AJMP    NOTYPE          ;NO TYPE SELECT
0596 A1AA               AJMP    RD16            ;EP 2716
0598 A1CB               AJMP    RD32            ;EP 2732
059A A1CB               AJMP    RD32            ;EP 2732A
059C A1EA               AJMP    RD64            ;EP 2764
059E A1EA               AJMP    RD64            ;EP 2764A
05A0 A1EA               AJMP    RD64            ;EP 27128
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
05A2 A1EA          AJMP    RD64            ;EP 27128A
05A4 C107          AJMP    RD256           ;EP 27256
05A6 C107          AJMP    RD256           ;EP 27256A
05A8 C12D          AJMP    RD512           ;EP 27512
05AA E532    RD16: MOV     A,ADR1          ;GET ADDHI
05AC D2E3          SETB    ACC.3           ;PIN21=VPP=5V.
05AE D2E5          SETB    ACC.5           ;PIN24=VCC=5V.
05B0 908001        MOV     DPTR,#ADDHI     ;
05B3 F0            MOVX    @DPTR,A         ;
05B4 75901B        MOV     P1,#1BH         ;CONTRL SETUP
05B7 908002        MOV     DPTR,#ADDLOW    ;
05BA E531          MOV     A,ADR0          ;GET ADDLOW
05BC F0            MOVX    @DPTR,A         ;
05BD 120CBD        LCALL   DLY20           ;DELAY 20US
05C0 908000        MOV     DPTR,#DATA      ;
05C3 E0            MOVX    A,@DPTR         ;
05C4 853283        MOV     DPH,ADR1        ;
05C7 853182        MOV     DPL,ADR0        ;
05CA 22            RET

05CB E532    RD32: MOV     A,ADR1          ;GET ADDHI
05CD D2E5          SETB    ACC.5           ;PIN 26=5V.
05CF 908001        MOV     DPTR,#ADDHI     ;POITER FOR HIGH ADDR,CS,PIN26
05D2 F0            MOVX    @DPTR,A         ;
05D3 75901B        MOV     P1,#1BH         ;
05D6 908002        MOV     DPTR,#ADDLOW    ;
05D9 E531          MOV     A,ADR0          ;GET LOW ADDRESS
05DB F0            MOVX    @DPTR,A         ;
05DC 120CBD        LCALL   DLY20           ;
05DF 908000        MOV     DPTR,#DATA      ;
05E2 E0            MOVX    A,@DPTR         ;GET THE DATA
05E3 853283        MOV     DPH,ADR1        ;
05E6 853182        MOV     DPL,ADR0        ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
05E9 22                 RET                 ,

05EA E532       RD64:   MOV     A,ADR1      ;GET THE HIGH ADDRESS
05EC 908001             MOV     DPTR,#ADDHI ;POINTER FOR HIGH ADDR
05EF F0                 MOVX    @DPTR,A     ;
05F0 75900F             MOV     P1,#0FH     ;
05F3 908002             MOV     DPTR,#ADDLOW ;
05F6 E531               MOV     A,ADR0      ;GET THE LOW ADDR
05F8 F0                 MOVX    @DPTR,A     ;
05F9 120CBD             LCALL   DLY20       ;
05FC 908000             MOV     DPTR,#DATA  ;
05FF E0                 MOVX    A,@DPTR     ;GET THE DATA
0600 853283             MOV     DPH,ADR1    ;
0603 853182             MOV     DPL,ADR0    ;
0606 22                 RET                 ;

0607 E532       RD256:  MOV     A,ADR1      ;GET THE HIGH ADDRESS
0609 20E606             JB      ACC.6,RDA14H ;CHECK A14 LOW OR HIGH
060C 75900B             MOV     P1,#0BH     ;
060F 020615             LJMP    RDNX56      ;
0612 75900F     RDA14H: MOV     P1,#0FH     ,
0615 908001     RDNX56: MOV     DPTR,#ADDHI ;POITER FOR HIGH ADDR
0618 F0                 MOVX    @DPTR,A     ,
0619 908002             MOV     DPTR,#ADDLOW ;
061C E531               MOV     A,ADR0      ;GET LOW ADDRESS
061E F0                 MOVX    @DPTR,A     ;
061F 120CBD             LCALL   DLY20       ;
0622 908000             MOV     DPTR,#DATA  ;
0625 E0                 MOVX    A,@DPTR     ;GET THE DATA
0626 853283             MOV     DPH,ADR1    ;
0629 853182             MOV     DPL,ADR0    ;
062C 22                 RET                 ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
062F B2E6              CPL     ACC.7           ;
0631 20E605            JB      ACC.6,RD14H     ;CHECK A14 LOW OR HIGH
0634 75900B            MOV     P1,#0BH         ;
0637 8003              SJMP    RDNX512         ;
0639 75900F    RD14H:  MOV     P1,#0FH         ;
063C 908001    RDNX512: MOV    DPTR,#ADDHI     ;POITER FOR HIGH ADDR
063F F0                MOVX    @DPTR,A         ;
0640 908002            MOV     DPTR,#ADDLOW    ;
0643 E531              MOV     A,ADR0          ;GET LOW ADDRESS
0645 F0                MOVX    @DPTR,A         ;
0646 120CBD            LCALL   DLY20           ;
0649 908000            MOV     DPTR,#DATA      ;
064C E0                MOVX    A,@DPTR         ;
064D 853283            MOV     DPH,ADR1        ;
0650 853182            MOV     DPL,ADR0        ;
0653 22                RET                     ;

        ;NO TYPE SELECTED ROUTINE

0654 1204F8    NOTYPE: LCALL   CRLF            ;
0657 901087            MOV     DPTR,#NTYMSG    ;
065A 120561            LCALL   PRNT            ;
065D 120CAF            LCALL   PWRDWN          ;
0660 1204F8            LCALL   CRLF
0663 120567            LCALL   PRMT            ;
0666 020040            LJMP    MAIN            ;

        ;EPROM WRITE ROUTINE

0669 858332    WRPROM: MOV     ADR1,DPH        ;
066C 858231            MOV     ADR0,DPL        ;
066F F539              MOV     FILLK,A         ;
0671 E530              MOV     A,TYPE          ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0673 23                 RL      A               ;
0674 900806             MOV     DPTR,#WRTBL     ;
0677 73                 JMP     @A+DPTR         ;
0800                    ORG     800H            ,
0800 020D52     PGERR:  LJMP    PGMERR          ;
0803 020654     NOTYP1: LJMP    NOTYPE          ,
0806 0103       WRTBL:  AJMP    NOTYP1          ;
0808 011C               AJMP    WR16            ;EP2716
080A 016F               AJMP    WR32            ;EP2732
080C 01C1               AJMP    WR32A           ;EP2732A
080E 2113               AJMP    WR64            ;EP2764
0810 21B2               AJMP    WR64A           ;EP2764A
0812 2113               AJMP    WR64            ;EP27128
0814 21B2               AJMP    WR64A           ;EP27128A
0816 4151               AJMP    WR256           ;EP27256
0818 6115               AJMP    WR256A          ;EP27256A
081A 61D9               AJMP    WR512           ;EP27512

081C 7590D2     WR16:   MOV     P1,#0D2H        ;CS=0
081F 908002             MOV     DPTR,#ADDLOW    ;
0822 E531               MOV     A,ADR0          ;
0824 F0                 MOVX    @DPTR,A         ;
0825 908001             MOV     DPTR,#ADDHI     ;
0828 E532               MOV     A,ADR1          ;GET HIGH ADDRESS
082A D2E3               SETB    ACC.3           ;
082C D2E5               SETB    ACC.5           ;
082E F0                 MOVX    @DPTR,A         ;
082F 908000             MOV     DPTR,#DATA      ;
0832 E539               MOV     A,FILLK         ;
0834 F0                 MOVX    @DPTR,A         ;
0835 00                 NOP
0836 00                 NOP
0837 7590F2             MOV     P1,#0F2H        ;CS=1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
083A 120CC9          LCALL   DLY50           ;
083D 7590D2          MOV     P1,#0D2H        ;CS=0
0840 908003          MOV     DPTR,#CONTRL    ;
0843 7490            MOV     A,#CONRD        ;
0845 F0              MOVX    @DPTR,A         ;
0846 908002          MOV     DPTR,#ADDLOW    ;
0849 E531            MOV     A,ADR0          ;
084B F0              MOVX    @DPTR,A         ;
084C 908001          MOV     DPTR,#ADDHI     ;
084F E532            MOV     A,ADR1          ;GET HIGH ADDRESS
0851 D2E3            SETB    ACC.3           ;
0853 D2E5            SETB    ACC.5           ;
0855 F0              MOVX    @DPTR,A         ;
0856 120CBD          LCALL   DLY20           ;
0859 908000          MOV     DPTR,#DATA      ;
085C E0              MOVX    A,@DPTR         ;
085D B539A0          CJNE    A,FILLK,PGERR   ;
0860 C201            CLR     STAT0.1         ;
0862 908003          MOV     DPTR,#CONTRL    ;
0865 7480            MOV     A,#CONWR        ;
0867 F0              MOVX    @DPTR,A         ;
0868 853283          MOV     DPH,ADR1        ;
086B 853182          MOV     DPL,ADR0        ;
086E 22              RET                     ;

086F 7590FB  WR32:   MOV     P1,#0FBH        ;CS=0
0872 908002          MOV     DPTR,#ADDLOW    ;
0875 E531            MOV     A,ADR0          ;GET LOW ADDRESS
0877 F0              MOVX    @DPTR,A         ;
0878 908001          MOV     DPTR,#ADDHI     ;
087B E532            MOV     A,ADR1          ;GET HIGH ADDRESS
087D D2E5            SETB    ACC.5           ;
087F F0              MOVX    @DPTR,A         ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0880 908000             MOV     DPTR,#DATA      ;
0883 E539               MOV     A,FILLK         ;
0885 F0                 MOVX    @DPTR,A         ;
0886 00                 NOP
0887 00                 NOP
0888 7590D8             MOV     P1,#0D8H        ;CS=1
088B 120CC9             LCALL   DLY50           ;
088E 7590F8             MOV     P1,#0F8H        ;CS=0
0891 908003             MOV     DPTR,#CONTRL    ;
0894 7490               MOV     A,#CONRD        ;
0896 F0                 MOVX    @DPTR,A         ;
0897 908002             MOV     DPTR,#ADDLOW    ;
089A E531               MOV     A,ADR0          ;
089C F0                 MOVX    @DPTR,A         ;
089D 908001             MOV     DPTR,#ADDHI     ;
08A0 E532               MOV     A,ADR1          ;GET HIGH ADDRESS
08A2 D2E5               SETB    ACC.5           ;
08A4 F0                 MOVX    @DPTR,A         ;
08A5 120CBD             LCALL   DLY20           ;
08A8 908000             MOV     DPTR,#DATA      ;
08AB E0                 MOVX    A,@DPTR         ;
08AC B5390F             CJNE    A,FILLK,PGERR32 ;
08AF C201               CLR     STAT0.1         ;
08B1 908003             MOV     DPTR,#CONTRL    ;
08B4 7480               MOV     A,#CONWR        ;
08B6 F0                 MOVX    @DPTR,A         ;
08B7 853283             MOV     DPH,ADR1        ;
08BA 853182             MOV     DPL,ADR0        ;
08BD 22                 RET                     ;
08BE 020D52   PGERR32:  LJMP    PGMERR          ;

08C1 7590B8   WR32A:    MOV     P1,#0B8H        ;CS=0
08C4 908002             MOV     DPTR,#ADDLOW    ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
08C7 E531      MOV   A,ADR0          ;GET LOW ADRESS
08C9 F0        MOVX  @DPTR,A        ;
08CA 908001    MOV   DPTR,#ADDHI    ;
08CD E532      MOV   A,ADR1          ;GET HIGH ADDRESS
08CF D2E5      SETB  ACC.5           ;
08D1 F0        MOVX  @DPTR,A         ;
08D2 908000    MOV   DPTR,#DATA      ;
08D5 E539      MOV   A,FILLK         ;WRITE DATA
08D7 F0        MOVX  @DPTR,A         ;
08D8 00        NOP
08D9 00        NOP
08DA 759098    MOV   P1,#098H        ;CS=1
08DD 120CC9    LCALL DLY50           ;
08E0 759088    MOV   P1,#088H        ;CS=0
08E3 908003    MOV   DPTR,#CONTRL    ;
08E6 7490      MOV   A,#CONRD        ;
08E8 F0        MOVX  @DPTR,A         ;
08E9 908002    MOV   DPTR,#ADDLOW    ;
08EC E531      MOV   A,ADR0          ;GET LOW ADDRESS
08EE F0        MOVX  @DPTR,A         ;
08EF 908001    MOV   DPTR,#ADDHI     ;
08F2 E532      MOV   A,ADR1          ;GET HIGH ADDRESS
08F4 D2E5      SETB  ACC.5           ;
08F6 F0        MOVX  @DPTR,A         ;
08F7 120CC9    LCALL DLY50           ;
08FA 908000    MOV   DPTR,#DATA      ;
08FD E0        MOVX  A,@DPTR         ;
08FE B5390F    CJNE  A,FILLK,PGERR3A ;
0901 C201      CLR   STAT0.1         ;
0903 908003    MOV   DPTR,#CONTRL    ;
0906 7480      MOV   A,#CONWR        ;
0908 F0        MOVX  @DPTR,A         ;
0909 853283    MOV   DPH,ADR1        ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
090C 853182          MOV     DPL,ADR0        ;
090F 22              RET                     ;
0910 020D52  PGERR3A: LJMP    PGMERR          ;

0913 75908E  WR64:   MOV     P1,#8EH         ;CS=0,OE=1,PGM=1
0916 908002          MOV     DPTR,#ADDLOW    ;
0919 E531            MOV     A,ADR0          ;GET LOW ADDRESS
091B F0              MOVX    @DPTR,A         ;
091C 908001          MOV     DPTR,#ADDHI     ;
091F E532            MOV     A,ADR1          ;GET HIGH ADDTRESS
0921 F0              MOVX    @DPTR,A         ;
0922 120CBD          LCALL   DLY20           ;
0925 753E00          MOV     X,#0            ;SET X VARIABLE=0
0928 908000  AGN64:  MOV     DPTR,#DATA      ;
092B E539            MOV     A,FILLK         ;
092D F0              MOVX    @DPTR,A         ;
092E 00              NOP
092F 00              NOP
0930 75908A          MOV     P1,#8AH         ;PGM=0
0933 120CC2          LCALL   DELAY1          ;WAIT 1 MS
0936 75908E          MOV     P1,#8EH         ;PGM=1
0939 908003          MOV     DPTR,#CONTRL    ;
093C 7490            MOV     A,#CONRD        ;
093E F0              MOVX    @DPTR,A         ;
093F 908002          MOV     DPTR,#ADDLOW    ;
0942 E531            MOV     A,ADR0          ;GET LOW ADDRESS
0944 F0              MOVX    @DPTR,A         ;
0945 908001          MOV     DPTR,#ADDHI     ;
0948 E532            MOV     A,ADR1          ;GET HIGH ADDRESS
094A F0              MOVX    @DPTR,A         ;
094B 120CBD          LCALL   DLY20           ;
094E 908000          MOV     DPTR,#DATA      ;
0951 E0              MOVX    A,@DPTR         ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0952 053E            INC     X               ;ADD 1 TO X
0954 B53903          CJNE    A,FILLK,NOV64   ;DOES IT VERIFY?
0957 020977          LJMP    OVER64          ;
095A 908003  NOV64:  MOV     DPTR,#CONTRL    ;
095D 7480            MOV     A,#CONWR        ;
095F F0              MOVX    @DPTR,A         ;
0960 75908E          MOV     P1,#8EH         ;CS=0, OE=1, PGM=1
0963 908002          MOV     DPTR,#ADDLOW    ;
0966 E531            MOV     A,ADR0          ;GET LOW ADDRESS
0968 F0              MOVX    @DPTR,A         ;
0969 908001          MOV     DPTR,#ADDHI     ;
096C E532            MOV     A,ADR1          ;GET HIGH ADDRESS
096E F0              MOVX    @DPTR,A         ;
096F E53E            MOV     A,X             ;GET X COUNT
0971 B41AB4          CJNE    A,#1AH,AGN64    ;IF NOT 25 REPEATE
0974 0209AF          LJMP    PGERR64         ;ERROR
0977 908003  OVER64: MOV     DPTR,#CONTRL    ;
097A 7480            MOV     A,#CONWR        ;
097C F0              MOVX    @DPTR,A         ;
097D 75908E          MOV     P1,#8EH         ;CS=0, OE=1, PGM=1
0980 908002          MOV     DPTR,#ADDLOW    ;
0983 E531            MOV     A,ADR0          ;GET LOW ADDRESS
0985 F0              MOVX    @DPTR,A         ;
0986 908001          MOV     DPTR,#ADDHI     ;
0989 E532            MOV     A,ADR1          ;GET HIGH ADDRESS
098B F0              MOVX    @DPTR,A         ;
098C E53E            MOV     A,X             ;
098E 253E            ADD     A,X             ;
0990 253E            ADD     A,X             ;
0992 F53E            MOV     X,A             ;
0994 908000          MOV     DPTR,#DATA      ;
0997 E539            MOV     A,FILLK         ;
0999 F0              MOVX    @DPTR,A         ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
099A 75908A          MOV     P1,#8AH         ;PGM=0
099D 120CC2  OD64:   LCALL   DELAY1          ;WAIT 1 MS
09A0 D53EFA          DJNZ    X,OD64          ;X TIMES DELAY
09A3 75908E          MOV     P1,#8EH         ;PGM=1
09A6 C201            CLR     STAT0.1         ;
09A8 853283          MOV     DPH,ADR1        ;
09AB 853182          MOV     DPL,ADR0        ;
09AE 22              RET                     ;
09AF 020D52  PGERR64: LJMP   PGMERR          ;

09B2 75900E  WR64A:  MOV     P1,#0EH         ;CS=0,OE=1,PGM=1
09B5 908002          MOV     DPTR,#ADDLOW    ;
09B8 E531            MOV     A,ADR0          ;GET LOW ADDRESS
09BA F0              MOVX    @DPTR,A         ;
09BB 908001          MOV     DPTR,#ADDHI     ;
09BE E532            MOV     A,ADR1          ;GET HIGH ADDTRESS
09C0 F0              MOVX    @DPTR,A         ;
09C1 120CBD          LCALL   DLY20           ;
09C4 753E00          MOV     X,#0            ;SET X VARIABLE=0
09C7 908000  AGN64A: MOV     DPTR,#DATA      ;
09CA E539            MOV     A,FILLK         ;
09CC F0              MOVX    @DPTR,A         ;
09CD 00              NOP
09CE 00              NOP
09CF 75900A          MOV     P1,#0AH         ;PGM=0
09D2 120CC2          LCALL   DELAY1          ;WAIT 1 MS
09D5 75900E          MOV     P1,#0EH         ;PGM=1
09D8 908003          MOV     DPTR,#CONTRL    ;
09DB 7490            MOV     A,#CONRD        ;
09DD F0              MOVX    @DPTR,A         ;
09DE 908002          MOV     DPTR,#ADDLOW    ;
09E1 E531            MOV     A,ADR0          ;GET LOW ADDRESS
09E3 F0              MOVX    @DPTR,A         ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
09E4 908001          MOV     DPTR,#ADDHI     ;
09E7 E532            MOV     A,ADR1          ;GET HIGH ADDRESS
09E9 F0              MOVX    @DPTR,A         ;
09EA 120CBD          LCALL   DLY20           ;
09ED 908000          MOV     DPTR,#DATA      ;
09F0 E0              MOVX    A,@DPTR         ;
09F1 053E            INC     X               ;ADD 1 TO X
09F3 B53903          CJNE    A,FILLK,NOV64A  ;DOES IT VERIFY?
09F6 020A16          LJMP    OVER64A         ;
09F9 908003  NOV64A: MOV     DPTR,#CONTRL    ;
09FC 7480            MOV     A,#CONWR        ;
09FE F0              MOVX    @DPTR,A         ;
09FF 75900E          MOV     P1,#0EH         ;CS=0, OE=1, PGM=1
0A02 908002          MOV     DPTR,#ADDLOW    ;
0A05 E531            MOV     A,ADR0          ;GET LOW ADDRESS
0A07 F0              MOVX    @DPTR,A         ;
0A08 908001          MOV     DPTR,#ADDHI     ;
0A0B E532            MOV     A,ADR1          ;GET HIGH ADDRESS
0A0D F0              MOVX    @DPTR,A         ;
0A0E E53E            MOV     A,X             ;GET X COUNT
0A10 B41AB4          CJNE    A,#1AH,AGN64A   ;IF NOT 25 REPEATE
0A13 020A4E          LJMP    PGERR6A         ;ERROR
0A16 908003  OVER64A: MOV    DPTR,#CONTRL    ;
0A19 7480            MOV     A,#CONWR        ;
0A1B F0              MOVX    @DPTR,A         ;
0A1C 75900E          MOV     P1,#0EH         ;CS=0, OE=1, PGM=1
0A1F 908002          MOV     DPTR,#ADDLOW    ;
0A22 E531            MOV     A,ADR0          ;GET LOW ADDRESS
0A24 F0              MOVX    @DPTR,A         ;
0A25 908001          MOV     DPTR,#ADDHI     ;
0A28 E532            MOV     A,ADR1          ;GET HIGH ADDRESS
0A2A F0              MOVX    @DPTR,A         ;
0A2B E53E            MOV     A,X             ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0A2D 253E              ADD     A,X             ;
0A2F 253E              ADD     A,X             ;
0A31 F53E              MOV     X,A             ;
0A33 908000            MOV     DPTR,#DATA      ;
0A36 E539              MOV     A,FILLK         ;
0A38 F0                MOVX    @DPTR,A         ;
0A39 75900A            MOV     P1,#0AH         ;PGM=0
0A3C 120CC2   OD64A:   LCALL   DELAY1          ;WAIT 1 MS
0A3F D53EFA            DJNZ    X,OD64A         ;X TIMES DELAY
0A42 75900E            MOV     P1,#0EH         ;PGM=1
0A45 C201              CLR     STAT0.1         ;
0A47 853283            MOV     DPH,ADR1        ;
0A4A 853182            MOV     DPL,ADR0        ;
0A4D 22                RET                     ;
0A4E 020D52   PGERR6A: LJMP    PGMERR          ;

0A51 E532     WR256:   MOV     A,ADR1          ;
0A53 20E606            JB      ACC.6,WRA14     ;CHECK A14 LOW OR HIGH
0A56 7590AA            MOV     P1,#0AAH        ;A14=0
0A59 020A5F            LJMP    WRNX56          ;
0A5C 7590AE   WRA14:   MOV     P1,#0AEH        ;A14=1
0A5F 908002   WRNX56:  MOV     DPTR,#ADDLOW    ;
0A62 E531              MOV     A,ADR0          ;GET LOW ADDRESS
0A64 F0                MOVX    @DPTR,A         ;
0A65 908001            MOV     DPTR,#ADDHI     ;
0A68 E532              MOV     A,ADR1          ;GET HIGH ADDRESS
0A6A F0                MOVX    @DPTR,A         ;
0A6B 120CBD            LCALL   DLY20           ;
0A6E 753E00            MOV     X,#0            ;SET X VARIABLE=0
0A71 908000   AGN56:   MOV     DPTR,#DATA      ;
0A74 E539              MOV     A,FILLK         ;
0A76 F0                MOVX    @DPTR,A         ;
0A77 00                NOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0A78 00                 NOP
0A79 C295               CLR     P1.5            ;PGM=0
0A7B 120CC2             LCALL   DELAY1          ;WAIT 1 MS
0A7E D295               SETB    P1.5            ;PGM=1
0A80 908003             MOV     DPTR,#CONTRL    ;
0A83 7490               MOV     A,#CONRD        ;
0A85 F0                 MOVX    @DPTR,A         ;
0A86 908002             MOV     DPTR,#ADDLOW    ;
0A89 E531               MOV     A,ADR0          ;GET LOW ADDRESS
0A8B F0                 MOVX    @DPTR,A         ;
0A8C 908001             MOV     DPTR,#ADDHI     ;
0A8F E532               MOV     A,ADR1          ;GET HIGH ADDRESS
0A91 F0                 MOVX    @DPTR,A         ;
0A92 20E606             JB      ACC.6,AGN14     ;CHECK A14 LOW OR HIGH
0A95 7590AA             MOV     P1,#0AAH        ;A14=0
0A98 020A9E             LJMP    AGNX56          ;
0A9B 7590AE   AGN14:    MOV     P1,#0AEH        ;A14=1
0A9E 120CBD   AGNX56:   LCALL   DLY20
0AA1 908000             MOV     DPTR,#DATA      ;
0AA4 E0                 MOVX    A,@DPTR         ;
0AA5 053E               INC     X               ;ADD 1 TO X
0AA7 B53903             CJNE    A,FILLK,NOV56   ;DOES IT VERIFY?
0AAA 020AD3             LJMP    OVER56          ;
0AAD 908003   NOV56:    MOV     DPTR,#CONTRL    ;
0AB0 7480               MOV     A,#CONWR        ;
0AB2 F0                 MOVX    @DPTR,A         ;
0AB3 908002             MOV     DPTR,#ADDLOW    ;
0AB6 E531               MOV     A,ADR0          ;GET LOW ADDRESS
0AB8 F0                 MOVX    @DPTR,A         ;
0AB9 908001             MOV     DPTR,#ADDHI     ;
0ABC E532               MOV     A,ADR1          ;GET HIGH ADDRESS
0ABE F0                 MOVX    @DPTR,A         ;
0ABF 20E606             JB      ACC.6,NOV14     ;CHECK A14 LOW OR HIGH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0AC2 7590AA          MOV     P1,#0AAH        ;A14=0
0AC5 020ACB          LJMP    NONX56          ,
0AC8 7590AE  NOV14:  MOV     P1,#0AEH        ;A14=1
0ACB E53E    NONX56: MOV     A,X             ;GET X COUNT
0ACD B41AA1          CJNE    A,#1AH,AGN56    ;IF NOT 25 REPETE
0AD0 020B12          LJMP    PGERR5          ;ERROR
0AD3 908003  OVER56: MOV     DPTR,#CONTRL    ;
0AD6 7480            MOV     A,#CONWR        ;
0AD8 F0              MOVX    @DPTR,A         ;
0AD9 908002          MOV     DPTR,#ADDLOW    ;
0ADC E531            MOV     A,ADR0          ;GET LOW ADDRESS
0ADE F0              MOVX    @DPTR,A         ;
0ADF 908001          MOV     DPTR,#ADDHI     ;
0AE2 E532            MOV     A,ADR1          ;GET HIGH ADDRESS
0AE4 F0              MOVX    @DPTR,A         ;
0AE5 20E606          JB      ACC.6,OVER14    ;CHECK A14 LO OR HIGH
0AE8 7590AA          MOV     P1,#0AAH        ;A14=0
0AEB 020AF1          LJMP    OVNX56          ;
0AEE 7590AE  OVER14: MOV     P1,#0AEH        ;A14=1
0AF1 E53E    OVNX56: MOV     A,X             ;
0AF3 253E            ADD     A,X             ;
0AF5 253E            ADD     A,X             ;
0AF7 F53E            MOV     X,A             ;
0AF9 908000          MOV     DPTR,#DATA      ;
0AFC E539            MOV     A,FILLK         ;
0AFE F0              MOVX    @DPTR,A         ;
0AFF C295            CLR     P1.5            ;PGM=0
0B01 120CC2  OD56:   LCALL   DELAY1          ;WAIT 1 MS
0B04 D53EFA          DJNZ    X,OD56          ;X TIMES DELAY
0B07 D295            SETB    P1.5            ;PGM=1
0B09 C201            CLR     STAT0.1         ;
0B0B 853283          MOV     DPH,ADR1        ;
0B0E 853182          MOV     DPL,ADR0        ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0B11 22                 RET
0B12 020D52   PGERR5:   LJMP    PGMERR          ;

0B15 E532     WR256A:   MOV     A,ADR1          ;
0B17 20E606             JB      ACC.6,WRA14H    ;
0B1A 75902A             MOV     P1,#2AH         ;
0B1D 020B23             LJMP    WRNX56A         ;
0B20 75902E   WRA14H:   MOV     P1,#2EH         ;
0B23 908002   WRNX56A:  MOV     DPTR,#ADDLOW    ;
0B26 E531               MOV     A,ADR0          ;
0B28 F0                 MOVX    @DPTR,A         ;
0B29 908001             MOV     DPTR,#ADDHI     ;
0B2C E532               MOV     A,ADR1          ;
0B2E F0                 MOVX    @DPTR,A         ;
0B2F 120CBD             LCALL   DLY20           ;
0B32 753E00             MOV     X,#0            ;
0B35 908000   AGN56A:   MOV     DPTR,#DATA      ;
0B38 E539               MOV     A,FILLK         ;
0B3A F0                 MOVX    @DPTR,A         ;
0B3B 00                 NOP
0B3C 00                 NOP
0B3D C295               CLR     P1.5            ;
0B3F 120CC2             LCALL   DELAY1          ;
0B42 D295               SETB    P1.5            ;
0B44 908003             MOV     DPTR,#CONTRL    ;
0B47 7490               MOV     A,#CONRD        ;
0B49 F0                 MOVX    @DPTR,A         ;
0B4A 908002             MOV     DPTR,#ADDLOW    ;
0B4D E531               MOV     A,ADR0          ;
0B4F F0                 MOVX    @DPTR,A         ;
0B50 908001             MOV     DPTR,#ADDHI     ;
0B53 E532               MOV     A,ADR1          ;
0B55 F0                 MOVX    @DPTR,A         ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0B56 20E606          JB      ACC.6,AGN14H  ;
0B59 75902A          MOV     P1,#2AH       ;
0B5C 020B62          LJMP    AGNX56A       ;
0B5F 75902E  AGN14H: MOV     P1,#2EH       ;
0B62 120CBD  AGNX56A: LCALL  DLY20         ;
0B65 908000          MOV     DPTR,#DATA    ;
0B68 E0              MOVX    A,@DPTR       ;
0B69 053E            INC     X             ;
0B6B B53903          CJNE    A,FILLK,NOV56A ;
0B6E 020B97          LJMP    OVER56A       ;
0B71 908003  NOV56A: MOV     DPTR,#CONTRL  ;
0B74 7480            MOV     A,#CONWR      ;
0B76 F0              MOVX    @DPTR,A       ;
0B77 908002          MOV     DPTR,#ADDLOW  ;
0B7A E531            MOV     A,ADR0        ;
0B7C F0              MOVX    @DPTR,A       ;
0B7D 908001          MOV     DPTR,#ADDHI   ;
0B80 E532            MOV     A,ADR1        ;
0B82 F0              MOVX    @DPTR,A       ;
0B83 20E606          B       ACC.6,NOV14H  ;
0B86 75902A          MOV     P1,#2AH       ;
0B89 020B8F          LJMP    NONX56A       ;
0B8C 75902E  NOV14H: MOV     P1,#2EH       ;
0B8F E53E    NONX56A: MOV    A,X           ;
0B91 B41AA1          CJNE    A,#1AH,AGN56A ;
0B94 020BD6  LJMP    PGERR5A ;
0B97 908003  OVER56A: MOV    DPTR,#CONTRL  ;
0B9A 7480            MOV     A,#CONWR      ;
0B9C F0              MOVX    @DPTR,A       ;
0B9D 908002          MOV     DPTR,#ADDLOW  ;
0BA0 E531            MOV     A,ADR0        ;
0BA2 F0              MOVX    @DPTR,A       ;
0BA3 908001          MOV     DPTR,#ADDHI   ;
```

เอกสารนี้มีไว้สำหรับการที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0BA6 E532              MOV     A,ADR1          ;
0BA8 F0                MOVX    @DPTR,A         ;
0BA9 20E606            JB      ACC.6,OVER14H   ;
0BAC 75902A            MOV     P1,#2AH         ;
0BAF 020BB5            LJMP    OVNX56A         ;
0BB2 75902E  OVER14H:  MOV     P1,#2EH         ;
0BB5 E53E    OVNX56A:  MOV     A,X             ;
0BB7 253E              ADD     A,X             ;
0BB9 253E              ADD     A,X             ;
0BBB F53E              MOV     X,A             ;
0BBD 908000            MOV     DPTR,#DATA      ;
0BC0 E539              MOV     A,FILLK         ;
0BC2 F0                MOVX    @DPTR,A         ;
0BC3 C295              CLR     P1.5            ;
0BC5 120CC2  OD56A:    LCALL   DELAY1          ;
0BC8 D53EFA            DJNZ    X,OD56A         ;
0BCB D295              SETB    P1.5            ;
0BCD C201              CLR     STAT0.1         ;
0BCF 853283            MOV     DPH,ADR1        ;
0BD2 853182            MOV     DPL,ADR0        ;
0BD5 22                RET                     ;
0BD6 020D52  PGERR5A:  LJMP    PGMERR          ;

0BD9 E532    WR512:    MOV     A,ADR1          ;
0BDB B2E6              CPL     ACC.7           ;
0BDD 20E606            JB      ACC.6,WR514H    ;CHECK A14 LO OR HIGH
0BE0 759029            MOV     P1,#29H         ;A14=0
0BE3 020BE9            LJMP    WRNX12A         ;
0BE6 75902D  WR514H:   MOV     P1,#2DH         ;A14=1
0BE9 908001  WRNX12A:  MOV     DPTR,#ADDHI     ;
0BEC F0                MOVX    @DPTR,A         ;GET HIGH ADDRESS
0BED 908002            MOV     DPTR,#ADDLOW    ;
0BF0 E531              MOV     A,ADR0          ;GET LOW ADDRESS
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0BF2 F0                 MOVX    @DPTR,A         ;
0BF3 120CBD             LCALL   DLY20           ;
0BF6 753E00             MOV     X,#0            ;SET X VARIABLE=0
0BF9 908000     AGN512: MOV     DPTR,#DATA      ;
0BFC E539               MOV     A,FILLK         ;
0BFE F0                 MOVX    @DPTR,A         ;
0BFF 00                 NOP
0C00 00                 NOP
0C01 C295               CLR     P1.5            ;PGM=0
0C03 120CC2             LCALL   DELAY1          ;WAIT 1 MS
0C06 D295               SETB    P1.5            ;PGM=1
0C08 908003             MOV     DPTR,#CONTRL    ;
0C0B 7490               MOV     A,#CONRD        ;
0C0D F0                 MOVX    @DPTR,A         ;
0C0E 908002             MOV     DPTR,#ADDLOW    ;
0C11 E531               MOV     A,ADR0          ;GET LOW ADDRESS
0C13 F0                 MOVX    @DPTR,A         ;
0C14 908001             MOV     DPTR,#ADDHI     ;
0C17 E532               MOV     A,ADR1          ;GET HIGH ADDRESS
0C19 B2E6               CPL     ACC.7           ;
0C1B F0                 MOVX    @DPTR,A         ;
0C1C 20E605             JB      ACC.6,AG514H    ;CHECK A14 LO OR HIGH
0C1F 759029             MOV     P1,#29H         ;A14=0
0C22 8003               SJMP    AGNX512         ;
0C24 75902D     AG514H: MOV     P1,#2DH         ;A14=1
0C27 120CBD     AGNX512: LCALL  DLY20
0C2A 908000             MOV     DPTR,#DATA      ;
0C2D E0                 MOVX    A,@DPTR         ;
0C2E 053E               INC     X               ;ADD 1 TO X
0C30 B53903             CJNE    A,FILLK,NOV512  ;DOES IT VERIFY?
0C33 020C5E             LJMP    OVER512         ;
0C36 908003     NOV512: MOV     DPTR,#CONTRL    ;
0C39 7480               MOV     A,#CONWR        ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0C3B F0                 MOVX    @DPTR,A         ;
0C3C 908002             MOV     DPTR,#ADDLOW    ;
0C3F E531               MOV     A,ADR0          ;GET LOW ADDRESS
0C41 F0                 MOVX    @DPTR,A         ;
0C42 908001             MOV     DPTR,#ADDHI     ;
0C45 E532               MOV     A,ADR1          ;GET HIGH ADDRESS
0C47 B2E6               CPL     ACC.7           ;
0C49 F0                 MOVX    @DPTR,A         ;
0C4A 20E606             JB      ACC.6,NOV514    ;CHECK A14 LO OR HIGH
0C4D 759029             MOV     P1,#29H         ;A14=0
0C50 020C56             LJMP    NONX512         ;
0C53 75902D   NOV514:   MOV     P1,#2DH         ;A14=1
0C56 E53E     NONX512:  MOV     A,X             ;GET X COUNT
0C58 B41A9E             CJNE    A,#1AH,AGN512   ;IF NOT 25 REPETE
0C5B 020C9F             LJMP    PGER512         ;ERROR
0C5E 908003   OVER512:  MOV     DPTR,#CONTRL    ;
0C61 7480               MOV     A,#CONWR        ;
0C63 F0                 MOVX    @DPTR,A         ;
0C64 908002             MOV     DPTR,#ADDLOW    ;
0C67 E531               MOV     A,ADR0          ;GET LOW ADDRESS
0C69 F0                 MOVX    @DPTR,A         ;
0C6A 908001             MOV     DPTR,#ADDHI     ;
0C6D E532               MOV     A,ADR1          ;GET HIGH ADDRESS
0C6F B2E6               CPL     ACC.7           ;
0C71 F0                 MOVX    @DPTR,A         ;
0C72 20E606             JB      ACC.6,OVER514   ;CHECK A14 LO OR HIGH
0C75 759029             MOV     P1,#29H         ;A14=0
0C78 020C7E             LJMP    OVNX512         ;
0C7B 75902D   OVER514:  MOV     P1,#2DH         ;A14=1
0C7E E53E     OVNX512:  MOV     A,X             ;
0C80 253E               ADD     A,X             ;
0C82 253E               ADD     A,X             ;
0C84 F53E               MOV     X,A             ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0C86 908000             MOV     DPTR,#DATA      ;
0C89 E539               MOV     A,FILLK         ;
0C8B F0                 MOVX    @DPTR,A         ,
0C8C C295               CLR     P1.5            ;PGM=0
0C8E 120CC2   OD512:    LCALL   DELAY1          ;WAIT 1 MS
0C91 D53EFA             DJNZ    X,OD512         ;X TIMES DELAY
0C94 D295               SETB    P1.5            ;PGM=1
0C96 C201               CLR     STAT0.1         ;
0C98 853283             MOV     DPH,ADR1        ;
0C9B 853182             MOV     DPL,ADR0        ;
0C9E 22                 RET                     ;
0C9F 020D52   PGER512:  LJMP    PGMERR          ;

          ;POWER UP ROUTINE

0CA2 908001    PWRUP:   MOV     DPTR,#ADDHI     ;
0CA5 7428               MOV     A,#28H          ;SET PB 3,5 FOR VPP=VCC=5V.
0CA7 F0                 MOVX    @DPTR,A         ;
0CA8 75903B             MOV     P1,#3BH         ;SET P1 BIT 0,1,3,4,5
0CAB 120CC9             LCALL   DLY50           ;TIME DELAY 50 MS
0CAE 22                 RET

          ;POWER DOWN ROUTINE

0CAF 908002   PWRDWN:   MOV     DPTR,#ADDLOW    ;
0CB2 7400               MOV     A,#00H          ;
0CB4 F0                 MOVX    @DPTR,A         ;CLEAR ADDLOW
0CB5 908001             MOV     DPTR,#ADDHI     ;
0CB8 F0                 MOVX    @DPTR,A         ;CLEAR  ADDHI
0CB9 75900B             MOV     P1,#0BH         ;
0CBC 22                 RET                     ;

0CBD 7B0A     DLY20:    MOV     R3,#0AH         ;TIME DELAY 20US
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0CBF DBFE      DLY201:  DJNZ    R3,$          ;T=2(MC)*10(COUNT)*1.0851US(1PULSE)
0CC1 22                 RET     ;

0CC2 7A00      DELAY1:  MOV     R2,#00H       ;TIME DELAY 1MS
0CC4 DAFE      DL1:     DJNZ    R2,$          ;T=2(MC)*255(COUNT)*1.0851US(1PULSE)
0CC6 DAFE      DL2:     DJNZ    R2,$          ;
0CC8 22                 RET                   ;

0CC9 7B32      DLY50:   MOV     R3,#32H       ;TIME DELAY 50MS
0CCB 120CC2    DL50:    LCALL   DELAY1        ;T=1MS*50
0CCE DBFB               DJNZ    R3,DL50       ;
0CD0 22                 RET                   ;

                ;OUTPUT ADDRESS ROUTINE

0CD1 1204F8    OUTADR:  LCALL   CRLF          ;
0CD4 E583               MOV     A,DPH         ;
0CD6 C4                 SWAP    A             ;
0CD7 540F               ANL     A,#0FH        ;
0CD9 120552             LCALL   HEX2A         ;
0CDC 1204E1             LCALL   CO            ;
0CDF E583               MOV     A,DPH         ;
0CE1 540F               ANL     A,#0FH        ;
0CE3 120552             LCALL   HEX2A         ;
0CE6 1204E1             LCALL   CO            ;
0CE9 E582               MOV     A,DPL         ;
0CEB C4                 SWAP    A             ;
0CEC 540F               ANL     A,#0FH        ;
0CEE 120552             LCALL   HEX2A         ;
0CF1 1204E1             LCALL   CO            ;
0CF4 E582               MOV     A,DPL         ;
0CF6 540F               ANL     A,#0FH        ;
0CF8 120552             LCALL   HEX2A         ;
```

เอกสารนี้มีไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0CFB 1204E1             LCALL   CO              ;
0CFE 22                 RET                     ;

        ;INPUT ADDRESS ROUTINE

0CFF 753100   GETADR:   MOV     ADR0,#0         ;
0D02 753200             MOV     ADR1,#0         ;
0D05 1204F1   GETADH:   LCALL   ECHO            ;GET HIGH BYTE
0D08 120531             LCALL   A2HEX           ;CONVERT ASSCI TO HEX
0D0B 200026             JB      STAT0.0,EXGTAD  ;CHAR. CHECK
0D0E C4                 SWAP    A               ;SAVE IN HIGH BYTE
0D0F F532               MOV     ADR1,A          ;SAVE HIGH BYTE IN BUFFER
0D11 1204F1             LCALL   ECHO            ;GET LOW BYTE
0D14 120531             LCALL   A2HEX           ;
0D17 20001A             JB      STAT0.0,EXGTAD  ;
0D1A 4232               ORL     ADR1,A          ;SAVE LOW BYTE IN BUFFER
0D1C 1204F1   GETADL:   LCALL   ECHO            ;GET LOW BYTE
0D1F 120531             LCALL   A2HEX           ;
0D22 20000F             JB      STAT0.0,EXGTAD  ;
0D25 C4                 SWAP    A               ;
0D26 F531               MOV     ADR0,A          ;
0D28 1204F1             LCALL   ECHO            ;
0D2B 120531             LCALL   A2HEX           ;
0D2E 200003             JB      STAT0.0,EXGTAD  ;
0D31 4231               ORL     ADR0,A          ;
0D33 22                 RET
0D34 02011C   EXGTAD:   LJMP    EEXIT           ;

        ;INPUT DATA ROUTINE

0D37 753100   GETDAT:   MOV     ADR0,#0         ;
0D3A 1204F1             LCALL   ECHO            ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0D3D 120531             LCALL   A2HEX           ;
0D40 2000F1             JB      STAT0.0,EXGTAD  ;
0D43 C4                 SWAP    A               ;
0D44 F531               MOV     ADR0,A          ;
0D46 1204F1             LCALL   ECHO            ;
0D49 120531             LCALL   A2HEX           ;
0D4C 2000E5             JB      STAT0.0,EXGTAD  ;
0D4F 4231               ORL     ADR0,A          ;
0D51 22                 RET                     ;

0D52 D201       PGMERR: SETB    STAT0.1         ;
0D54 853283             MOV     DPH,ADR1        ;
0D57 853182             MOV     DPL,ADR0        ;
0D5A 22                 RET                     ;

        ;TEXT MASSAGE START HERE

0D5B 0A0D455038P    MTMSG:      DFB   CR,LF,"EP831>>",04H
0D65 0A0D45502      DTITLE:     DFB   CR,LF,"EP-831 smart EPROM PROGRAMMER  Project"
0D8D 0A0D427920                 DFB   CR,LF,"By Mr.Manit Sochue : 34131222"
0DAF 0A0D202020                 DFB   CR,LF,"By Mr.Sutin  Srigen  : 34131240"
0DD4 0A0D566572                 DFB   CR,LF,"  Version 1.10"
0DE2 0A0D0A0D04                 DFB   CR,LF,CR,LF,04H
0DE7 0A0D0A0D44L    MSG:        DFB   CR,LF,CR,LF,"Download INTEL-HEX File",CR,LF,04H
0E05 0A0D0A0D4C     LENDMSG:    DFB   CR,LF,CR,LF,"Load File Complete",CR,LF,04H
0E1E 0A0D0A0D50     TMSG:       DFB   CR,LF,CR,LF,"Please Select Eprom Type",CR,LF
0E3C 0A0D202031                 DFB   CR,LF,"  1 - 2716    Vpp = 25  V."
0E5A 0A0D202032                 DFB   CR,LF,"  2 - 2732    Vpp = 25  V."
0E78 0A0D202033                 DFB   CR,LF,"  3 - 2732A   Vpp = 21  V."
0E96 0A0D202034                 DFB   CR,LF,"  4 - 2764    Vpp = 21  V."
0EB4 0A0D202035                 DFB   CR,LF,"  5 - 2764A   Vpp = 12.5 V."
0ED2 0A0D202036                 DFB   CR,LF,"  6 - 27128   Vpp = 21  V."
0EF0 0A0D202037                 DFB   CR,LF,"  7 - 27128A  Vpp = 12.5 V."
```

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0F0E 0A0D202038                 DFB   CR,LF,"  8 - 27256    Vpp = 21   V."
0F2C 0A0D202039                 DFB   CR,LF,"  9 - 27256A   Vpp = 12.5 V."
0F4A 0A0D202041                 DFB   CR,LF,"  A - 27512    Vpp = 12.5 V."
0F68 0A0D                       DFB   CR,LF
0F6A 0A0D53656C                 DFB   CR,LF,"Select Type =",CR,LF,04H
0F7C 0A0D0A0D54   TMSG1:        DFB   CR,LF,CR,LF,"Type is =",CR,LF,04H
0F8C 0A0D0A0D2A   TERMSG:       DFB   CR,LF,CR,LF,"*** Illegal Type Select ***",CR,LF,04H
0FB2 0A0D0A0D55   UMSG:         DFB   CR,LF,CR,LF,"Upload INTEL-HEX File",CR,LF,04H
0FCE 0A0D0A0D45   YBLANK:       DFB   CR,LF,CR,LF,"Eprom is Blank",CR,LF,04H
0FE3 0A0D0A0D45   NBLANK:       DFB   CR,LF,CR,LF,"Eprom is not Blank !!!!",CR,LF,04H
1001 0A0D0A0D56   YVERFY:       DFB   CR,LF,CR,LF,"Verifies PASS",CR,LF,04H
1015 0A0D0A0D56   NVERFY:       DFB   CR,LF,CR,LF,"Verifies FAIL !!!!",CR,LF,04H
102E 0A0D0A0D43   CHKMSG:       DFB   CR,LF,CR,LF,"Checksum Error... Load Aborted",CR,LF,04H
1055 0A0D0A0D4E   NOHMSG:       DFB   CR,LF,CR,LF,"Not INTEL-HEX File Format.....Load
                                      Aborted",CR,LF,04H
1087 0A0D0A0D54   NTYMSG:       DFB   CR,LF,CR,LF,"Type Not Select.....Command Abort",CR,LF,04H
10B0 0A0D0A0D50   YPROG:        DFB   CR,LF,CR,LF,"Program PASS",CR,LF,04H
10C3 0A0D0A0D50   NPROG:        DFB   CR,LF,CR,LF,"Program FAIL !!!!",CR,LF,04H
10DB 0A0D0A0D43   CMDERR:       DFB   CR,LF,CR,LF,"Command Error....",CR,LF,04H
10F3 0A0D0A0D45   HMSG:         DFB   CR,LF,CR,LF,"EP-831 Command List",CR,LF
110C 0A0D202042                 DFB   CR,LF,"  B                Eprom Blank Check Function"
1145 0A0D202045                 DFB   CR,LF,"  E  addr          Edit Buffer Memory Function"
117F 0A0D202048                 DFB   CR,LF,"  H                Help Command List Function"
11B8 0A0D20204C                 DFB   CR,LF,"  L                Down-load to Buffer Function"
11F3 0A0D202050                 DFB   CR,LF,"  P  [start,stop]  Program Eprom Function"
1228 0A0D202052                 DFB   CR,LF,"  R  [start,stop]  Read Eprom to Buffer Function"
1264 0A0D202054                 DFB   CR,LF,"  T                Eprom Type Select Function"
129D 0A0D202055                 DFB   CR,LF,"  U  [start,stop]  Up-Load to Terminal Function"
12D8 0A0D202056                 DFB   CR,LF,"  V  [start,stop]  Verify Eprom With Buffer Function"
1318 0A0D574845                 DFB   CR,LF,"WHEN start,stop MEAN START ADDRESS and STOP
                                      ADDRESS",CR,LF,04H
0000                            END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0531	A2HEX	00D6	AC	00E0	ACC
00E0	ACC.0	00E1	ACC.1	00E2	ACC.2
00E3	ACC.3	00E4	ACC.4	00E5	ACC.5
00E6	ACC.6	00E6	ACC.7	8001	ADDHI
8002	ADDLOW	0031	ADR0	0032	ADR1
0C24	AG514H	0A9B	AGN14	0B5F	AGN14H
0BF9	AGN512	0A71	AGN56	0B35	AGN56A
0928	AGN64	09C7	AGN64A	0C27	AGNX512
0A9E	AGNX56	0B62	AGNX56A	054D	AHERR
0541	AHHIGH	00F0	B	0097	BAGAIN
0082	BCMD	00B2	BERR	00BE	BERR0
00B8	BEXIT	00AF	BNEXT	00E8	BRAT12
00F4	BRAT24	00FA	BRAT48	00FD	BRAT96
03DD	CHK1	0205	CHKERR	102E	CHKMSG
003A	CHKSUM	04E9	CI	10DB	CMDERR
04E1	CO	0090	CONRD	8003	CONTRL
0080	CONWR	000A	CR	04F8	CRLF
00D7	CY	8000	DATA	0CC2	DELAY1
0CC4	DL1	0CC6	DL2	0CCB	DL50
0CBD	DLY20	0CBF	DLY201	0CC9	DLY50
0083	DPH	0082	DPL	0523	DPSUB
00AF	EA	00DA	EAGAIN	04F1	ECHO
00C1	ECMD	0119	EERR	011C	EEXIT
00D0	ELINE	0035	END0	0036	END1
0111	ENOHEX	01DF	EOR	0079	ERR
00AC	ES	00A9	ET0	00AB	ET1
00A8	EX0	00AA	EX1	0D34	EXGTAD
0131	EXIT	00D5	F0	0039	FILLK
0D05	GETADH	0D1C	GETADL	0CFF	GETADR
0D37	GETDAT	0579	GETLEN	055A	HAHIGH
0125	HCMD	013A	HERR	0552	HEX2A
10F3	HMSG	0089	IE0	008B	IE1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

00A8	IEC	00B8	IPC	0088	IT0
008A	IT1	013D	LCMD	0149	LCMD1
01C0	LDATA	01FA	LEND	0E05	LENDMSG
056E	LENGTH	0217	LERR	020B	LEXIT
000D	LF	0DE7	LMSG	03D6	LOOPCK
0040	MAIN	0FE3	NBLANK	003B	NBYTES
1055	NOHMSG	0C56	NONX512	0ACB	NONX56
0B8F	NONX56A	0803	NOTYP1	0654	NOTYPE
0AC8	NOV14	0B8C	NOV14H	0C36	NOV512
0C53	NOV514	0AAD	NOV56	0B71	NOV56A
095A	NOV64	09F9	NOV64A	10C3	NPROG
1087	NTYMSG	1015	NVERFY	0C8E	OD512
0B01	OD56	0BC5	OD56A	099D	OD64
0A3C	OD64A	0CD1	OUTADR	00D2	OV
0AEE	OVER14	0BB2	OVER14H	0C5E	OVER512
0C7B	OVER514	0AD3	OVER56	0B97	OVER56A
0977	OVER64	0A16	OVER64A	0C7E	OVNX512
0AF1	OVNX56	0BB5	OVNX56A	00D0	P
0080	P0	0090	P1	0090	P1.0
0091	P1.1	0092	P1.2	0093	P1.3
0094	P1.4	0095	P1.5	0096	P1.6
0097	P1.7	00A0	P2	00B0	P3
0258	PAGAIN	025F	PAGN1	026F	PAGN11
027B	PAGN2	0281	PAGN3	0287	PAGN4
029C	PCERR	021A	PCMD	0223	PCMD1
0231	PCMD2	0087	PCON	02A4	PERR
02AA	PEXIT	0C9F	PGER512	0800	PGERR
08BE	PGERR32	0910	PGERR3A	0B12	PGERR5
0BD6	PGERR5A	09AF	PGERR64	0A4E	PGERR6A
0D52	PGMERR	0D5B	PMTMSG	02B6	PNEXT
0567	PRMT	0561	PRNT	055D	PRNT1
00BC	PS	00D0	PSW	00B9	PT0
00BB	PT1	0CAF	PWRDWN	0CA2	PWRUP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

00B8	PX0	00BA	PX1	0303	R512
009A	RB8	02B9	RCMD	02C2	RCMD1
02D0	RCMD2	0639	RD14H	05AA	RD16
0607	RD256	05CB	RD32	062D	RD512
05EA	RD64	0612	RDA14H	030F	RDNX
0312	RDNX1	063C	RDNX512	0615	RDNX56
0587	RDPROM	0594	RDTBL	009C	REN
031E	RERR	0003	RES	0005	RES1
0019	RES2	0027	RES3	002D	RES4
0321	REXIT	0098	RI	032D	RNEXT
02F7	RREAD	00D3	RS0	00D4	RS1
003D	RTYPE	0099	SBUF	0503	SBYTEH
0519	SBYTEHC	0098	SCON	036B	SEND0
0388	SEND1	03A5	SEND2	03AD	SENDC
03E9	SENDC2	03F2	SENDTB	009F	SM0
009E	SM1	009D	SM2	0081	SP
0033	START0	0034	START1	0000	STAT0.0
0001	STAT0.1	009B	TB8	040C	TCMD
0412	TCMD1	0088	TCON	0037	TEMP1
0038	TEMP2	0F8C	TERMSG	0449	TERR
0451	TERR0	008D	TF0	008F	TF1
008C	TH0	008D	TH1	0430	THEX
0099	TI	0D65	TITLE	008A	TL0
008B	TL1	0089	TMOD	0E1E	TMSG
0F7C	TMSG1	008C	TR0	008E	TR1
043B	TSET	0030	TYPE	0333	UCMD
0400	UERR	0406	UEXIT	0FB2	UMSG
0330	UPERR	035D	UPLOAD	0498	V512
048C	VAGAIN	003C	VBYTE	04C1	VCERR
0454	VCMD	045D	VCMD1	046B	VCMD2
04C9	VERR	04D2	VEXIT	04DE	VNEXT
04A8	VNX	04AC	VNX1	081C	WR16
0A51	WR256	0B15	WR256A	086F	WR32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

08C1	WR32A	0BD9	WR512	0BE6	WR514H
0913	WR64	09B2	WR64A	0A5C	WRA14
0B20	WRA14H	0BE9	WRNX12A	0A5F	WRNX56
0B23	WRNX56A	0669	WRPROM	0806	WRTBL
003E	X	0FCE	YBLANK	10B0	YPROG
1001	YVERFY				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET 80C51-L / 80C31-L

CMOS SINGLE-CHIP 8 BIT 3V-MICROCONTROLLER

- 80C51-L – CMOS SINGLE-SHIP 8-BIT MICROCONTROLLER with factory mask-programmable ROM
- 80C31-L - CMOS SINGLE-CHIP 8-BIT CONTROL-ORIENTED CPU with RAM and I/O
- 80C51-L/C31-L: 0 TO 6 MHz, VCC = 2.7V TO 6V

FEATURES

- POWER CONTROL MODES
- 128 x 8 BIT RAM
- 32 PROGRAMMABLE I/O LINES
- TWO 16-BIT TIMER/COUNTERS
- 64K PROGRAM MEMORY SPACE
- FULLY STATIC DESIGN
- HIGH PERFORMANCE SAJI VI CMOS PROCESS
- BOOLEAN PROCESSOR
- 5 INTERRUPT SOURCES
- PROGRAMMABLE SERIAL PORT
- 64K DATA MEMORY SPACE
- TEMPERATURE RANGE: 0 TO 70°C

DESCRIPTION

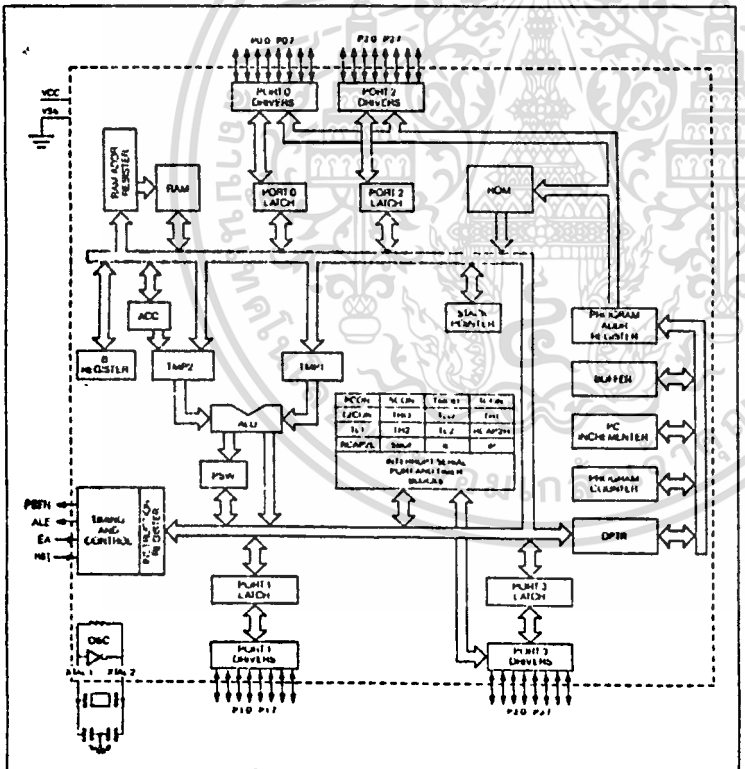


Figure 1. Block Diagram

MHS's 80C51 and 80C31 are high performance CMOS versions of the 8051/8031 NMOS single chip 8 bit μC and is manufactured using a self-aligned silicon gate CMOS process (SAJI VI).

The fully static design of the MHS 80C51/80C31 allows to reduce system power consumption by bringing the clock frequency down to any value, even DC, without loss of data.

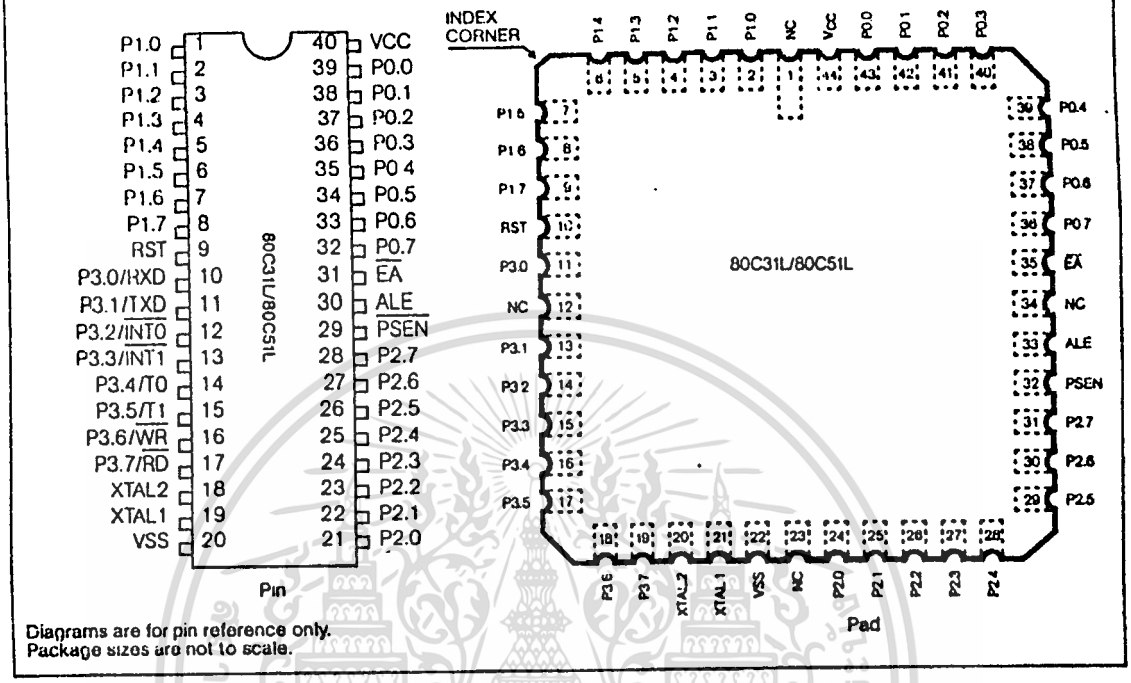
The 80C51 retains all the features of the 8051: 4K bytes of ROM; 128 bytes of RAM; 32 I/O lines; two 16 bit timers; a 5-source 2-level interrupt structure; a full duplex serial port; and on-chip oscillator and clock circuits.

In addition, the 80C51 has two software-selectable modes of reduced activity for further reduction in power consumption. In the Idle Mode the CPU is frozen while the RAM, the timers, the serial port, and the interrupt system continue to function. In the Power Down Mode the RAM is saved and all other functions are inoperative.

The 80C31 is identical to the 80C51 except that it has no on-chip ROM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2. Configurations



IDLE AND POWER DOWN OPERATION

Figure 3 shows the internal Idle and Power Down clock configuration. As illustrated, Power Down operation stops the oscillator. Idle mode operation allows the interrupt, serial port, and timer blocks to continue to function while the clock to the CPU is gated off. These special modes are activated by software via the Special Function Register, its hardware address is 87H. PCON is not bit addressable.

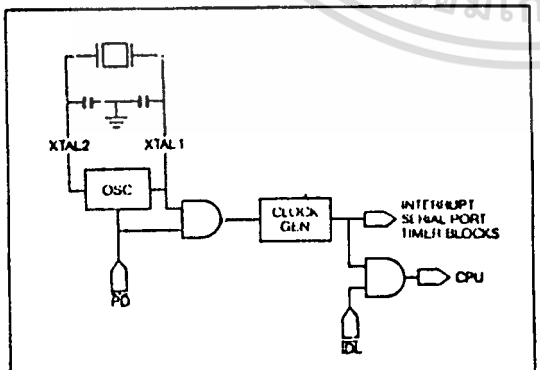


Figure 3. Idle and Power Down Hardware

PCON: Power Control Register

(MSB) (LSB)

SMOD	–	–	–	GF1	GF0	PD	IDL

Symbol	Position	Name and Function
SMOD	PCON.7	Double Baud rate bit. When set to a 1, the baud rate is doubled when the serial port is being used in either modes 1, 2 or 3.
–	PCON.6	(Reserved)
–	PCON.5	(Reserved)
–	PCON.4	(Reserved)
GF1	PCON.3	General-purpose flag bit.
GF0	PCON.2	General-purpose flag bit.
PD	PCON.1	Power Down bit. Setting this bit activates power down operation.
IDL	PCON.0	Ide mode bit. Setting this bit activates idle mode operation.

If 1's are written to PD and IDL at the same time. PD takes precedence. The reset value of PCON is (OXXX0000).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

80C51 PIN DESCRIPTIONS

VSS
Circuit ground potential

VCC
Supply voltage during normal, Idle, and Power Down operation.

Port 0
Port 0 is an 8-bit open drain bi-directional I/O port. Port 0 pins that have 1's written to them float, and in that state can be used as high-impedance inputs.

Port 0 is also the multiplexed low-order address and data bus during accesses to external Program and Data Memory. In this application it uses strong internal pullups when emitting 1's. Port 0 also outputs the code bytes during program verification in the 80C51. External pullups are required during program verification. Port 0 can sink eight LS TTL inputs.

Port 1
Port 1 is an 8-bit bi-directional I/O port with internal pullups. Port 1 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (IIL, on the data sheet) because of the internal pullups.

Port 1 also receives the low-order address bytes during program verification. In the 80C51, Port 1 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

Port 2
Port 2 is an 8-bit bi-directional I/O port with internal pullups. Port 2 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (IIL, on the data sheet) because of the internal pullups. Port 2 emits the high-order address byte during fetches from external Program Memory and during accesses to external Data Memory that use 16-bit addresses (MOVX @ DPTR). In this application, it uses strong internal pullups when emitting 1's. During accesses to external Data Memory that uses 8-bit addresses (MOVX @ Ri), Port 2 emits the contents of the P2 Special Function Register.

It also receives the high-order address bits and control signals during progam verification in the 80C51. Port 2 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

Port 3
Port 3 is an 8-bit bi-directional I/O port with internal pullups. Port 3 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (IIL, on the data sheet) because of the pullups. It also serves the functions of various special features of the MCS-51 Family, as listed below.

Port Pin	Alternate Function
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (Timer 0 external input)
P3.5	T1 (Timer 1 external input)
P3.6	$\overline{WR}$ (external Data Memory write strobe)
P3.7	$\overline{RD}$ (external Data Memory read strobe)

Port 3 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

RST
A high level on this for two machine cycles while the oscillator is running resets the device. An internal pull-down resistor permits Power-On reset using only a capacitor connected to VCC.

ALE
Address Latch Enable output for latching the low byte of the address during accesses to external memory. ALE is activated as though for this purpose at a constant rate of 1/6 the oscillator frequency except during an external data memory access at which time one ALE pulse is skipped. ALE can sink/source 8 LS TTL inputs. It can drive CMOS inputs without an external pullup.

PSEN
Program Store Enable output is the read strobe to external Program Memory. PSEN is activated twice each machine cycle during fetches from external Program Memory. (However, when executing out of external Program Memory, two activations of PSEN are skipped during each access to external Data Memory). PSEN is not activated during fetches from internal Program Memory. PSEN can sink/source 8 LS TTL inputs. It can drive CMOS inputs without an external pullup.

$\overline{EA}$
When EA is held high, the CPU executes out of internal Program Memory (unless the Program Counter exceeds OFFFH). When EA is held low, the CPU executes only out of external Program Memory. EA must not be floated.

XTAL1
Input to the inverting amplifier that forms the oscillator. Receives the external oscillator signal, when an external oscillator is used.

XTAL2
Output of the inverting amplifier that forms the oscillator, and input to the internal clock generator. This pin should be floated when an external oscillator is used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Status of the external pins during Idle and Power Down modes

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Port Data	Port Data	Port Data	Port Data
Idle	External	1	1	Floating	Port Data	Address	Port Data
Power Down	Internal	0	0	Port Data	Port Data	Port Data	Port Data
Power Down	External	0	0	Floating	Port Data	Port Data	Port Data

IDLE MODE

The instruction that sets PCON.0 is the last instruction executed before the Idle mode is activated. Once in the Idle mode the CPU status is preserved in its entirety: the Stack Pointer, Program Counter, Program Status Word, Accumulator, RAM, and all other registers maintain their data during Idle. *Table 1* describes the status of the external pins during Idle mode.

There are two ways to terminate the Idle mode. Activation of any enabled interrupt will cause PCON.0 to be cleared by hardware, terminating Idle mode. The interrupt is serviced, and following RETI, the next instruction to be executed will be the one following theinstruction that wrote a 1 to PCON.0.

The flag bits GF0 and GF1 may be used to determine whether the interrupt was received during normal execution or during the Idle mode. For example, the instruction that writes to PCON.0 can also set or clear one or both flag bits. When Idle mode is terminated by an enabled interrupt, the service routine can examine the status of the flag bits.

The second way of terminating the Idle mode is with a hardware reset. Since the oscillator is still running, the hardware reset needs to be active for only 2 machine cycles (24 oscillator periods) to complete the reset operation.

POWER DOWN MODE

The instruction that sets PCON.1 is the last executed prior to entering power down. Once in power down, the oscillator is stopped. The contents of the onchip RAM and the Special Function Register is saved during power down mode. A hardware reset is the only way of exiting the power down mode. The hardware reset initiates the Special Function Register *(see Table 1)*.

In the Power Down mode. V_{CC} may be lowered to minimize circuit power consumption. Care must be taken to ensure the voltage is not reduced until the power down mode is entered, and that the voltage is restored before the hardware reset is applied which frees the oscillator. Reset should not be released until the oscillator has restarted and stabilized.

Table 1 describes the status of the external pins while in the power down mode. It should be noted that if the power down mode is activated while in external program memory, the port data that is held in the Special Function Register P2 is restored to Port 2. If the data is a 1, the port pin is held high during the power down mode by the strong pullup, T1, shown in *Figure 4*.

STOP CLOCK MODE

Due to static design, the MHS 80C31/C51 clock speed can be reduced until 0 MHz without any data loss in memory or registers. This mode allows step by step utilization, and permits to reduce system power consumption by bringing the clock frequency down to any value. At 0 MHz, the power consumption is the same as in the Power Down Mode.

80C51 I/O PORTS

The I/O port drive of the 80C51 is similar to the 8051. The I/O buffers for Ports 1, 2, and 3 are implemented as shown in *figure 4*.

When the port latch contains a 0, all pFETS in *figure 4* are off while the nFET is turned on. When the port latch makes a 0-to-1 transition, the nFET turns off. The strong pullup pFET, T1, turns on for two oscillator periods, pulling the output high very rapidly. As the output line is drawn high, pFET T3 turns on through the inverter to supply the I_{OH} source current. This inverter and T3 form a latch which holds the 1 and is supported by T2. When Port 2 is used as an address port, for access to external program of data memory, any address bit that contains a 1 will have his strong pullup turned on for the entire duration of the external memory access.

When an I/O pin on Ports 1, 2, or 3 is used as an input, the user should be aware that the external circuit must sink current during the logical 1-to-0 transition. The maximum sink current is specified as I_{TL} under the D.C. Specifications. When the input goes below approximately 2V, T3 turns off to save I_{CC} current. Note, when returning to a logical 1, T2 is the only internal pullup that is on. This will result in a slow rise time if the user's circuit does not force the input line high.

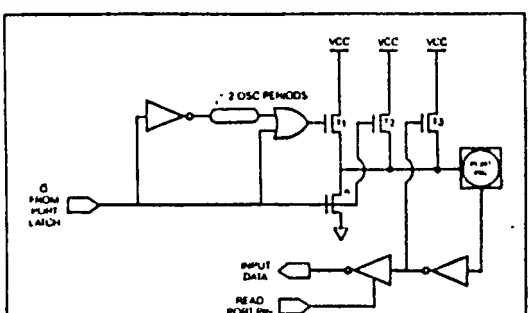


Fig. 4. I/O Buffers in the 80C51 (Ports 1, 2, 3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output respectively, of an inverting amplifier which is configured for use as an on-chip oscillator, as shown in figure 5. Either a quartz crystal or ceramic resonator may be used.
To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left unconnected as shown in *figure 6*. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum high and low times specified on the Data Sheet must be observed.

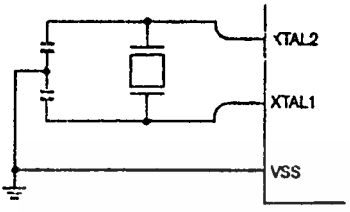


Figure 5. Crystal Oscillator

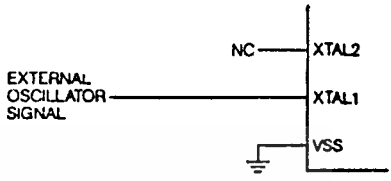


Figure 6. External Drive Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias:
Commercial ..... 0°C to 70°C
Industrial ..... −40°C to 85°C
Storage Temperature ..... −65°C to +150°C
Voltage on V_{CC} to V_{SS} ..... −0.5V to +7V
Voltage on Any Pin to V SS..... −0.5V to V_{CC} + 0.5V
Power Dissipation 1W*

* This value is based on the maximum allowable die temperature .and the thermal resistance of the package.

***NOTICE:**

Stresses at or above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions may affect device reliability.

DC CHARACTERISTICS

TA = −40°C to 85°C; VCc = 2.7V to 6V; VSS = 0V; F = 0 to 6 MHz

Symbol	Parameter	Min	Max	Unit	Test Conditions
ViL	Input Low Voltage	−0.5	0.2 V_{CC} −0.1	V	
VIH	Input High Voltage (Except XTALs and RST)	0.2 V_{CC} +0.9	V_{CC} +0.5	V	
VIH1	Input High Voltage to RST for Reset	0.7 V_{CC}	V_{CC} +0.5	V	
VIH2	Input High Voltage To XTAL 1	0.7 V_{CC}	V_{CC} +0.5	V	
VPD	Power Down Voltage To V_{CC} in PD Mode	2.0	6.0	V	
VOL	Output Low Voltage (Ports 1, 2, 3)		0.45	V	IOL = 1.6mA (note 1)
VOL1	Output Low Voltage Port 0, ALE, PSEN		0.45	V	IOL = 3.2mA (note 1)
VOH	Output High Voltage Ports 1, 2, 3	0.9 V_{CC}		V	IOH = −10μa
		2.4		V	IOH = −60μA V_{CC} = 5V ± 10%
VOH1	Output High Voltage (Port 0 in External in External Bus Mode), ALE, PSEN	0.9 V_{CC}		V	IOH = −40μA
		2.4		V	IOH = −400μA V_{CC} = 5V ± 10%
IIL	Logical 0 Input Current Ports 1,2,3		−50	μA	Vin = 0.45V
ILI	Input Leakage Current		± 10	μA	0.45 < Vin < V_{CC}
ITL	Logical 1 to 0 Transition Current (Ports 1, 2, 3)		−500	μA	Vin = 2.0V
ICCPD	Power Supply Current (Power Down Mode)	50	10	μA	V_{CC} = 2.0V to 5.5V (note 2)
RRST	RST Pulldown Resistor	50	150	kΩ	
CIO	Capacitance of I/O Buffer		10	pF	f_C = 1MHz, T_A = 25°C

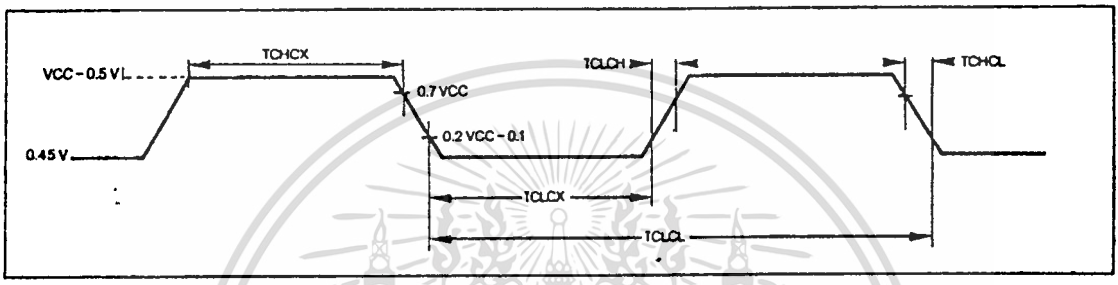
Note 1:

Capacitive loading on Ports 0 and 2 may cause spurious noise pulses to be superimposed on the V_{OL}s of ALE and Ports 1 and 3. The noise is due to external bus capacitance discharging into the Port 0 and Port 2 pins when these pins make 1-to-0 transitions during bus operations. In the worst cases (capacitive loading 100 pF), the noise pulse on the ALE line may exceed 0.45V with maxi V_{OL} peak 0.6V. A Schmitt Trigger use is not necessary.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXTERNAL CLOCK DRIVE CHARACTERISTICS (XTAL 1)

Symbol	Parameter	Variable Clock freq = 0 to 6 MHz		Unit
		Min	Max	
TCLCL	Oscillator Period	166		ns
TCHCX	High Time	20		ns
TCLCX	Low Time	20		ns
TCLCH	Rise Time		20	ns
TCHCL	Fall Time		20	ns



AC CHARACTERISTICS

(T_A = -40°C to 85°C, V_{CC} = 2.7V to 6V, V_{SS} = 0V)
(Load Capacitance for Port 0, ALE, and $\overline{PSEN}$ = 100pf; Load Capacitance for All Other Outputs = 80pf).

EXTERNAL PROGRAM MEMORY CHARACTERISTICS

Symbol	Parameter	Min	Max	Units
TLHLL	ALE Pulse Width	2TCLCL - 40		ns
TAVLL	Address Valid to ALE	TCLCL - 55		ns
TLAX	Address Hold After ALE	TCLCL - 35		ns
TLLIV	ALE to Valid instr In		4TCLCL - 170	ns
TLLPL	ALE to $\overline{PSEN}$	TCLCL - 25		ns
TPLPH	$\overline{PSEN}$ Pulse Width	3TCLCL - 35		ns
TPLIV	$\overline{PSEN}$ to Valid Instr In		3TCLCL - 220	ns
TPXIX	Input Instr Hold After $\overline{PSEN}$	0		ns
TPXIZ	Input Instr Float After $\overline{PSEN}$		TCLCL - 20	ns
TPXAV	$\overline{PSEN}$ to Address Valid	TCLCL - 8		ns
TAVIV	Address to Valid Instr In		5TCLCL - 220	ns
TPLAZ	$\overline{PSEN}$ Low to Address Float		0	ns

See next page for External Data Memory Characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXTERNAL DATA MEMORY CHARACTERISTICS

Symbol	Parameter	Min	Max	Units
TRLRH	$\overline{RD}$ Pulse Width	6TCLCL – 100		ns
TWLWH	$\overline{WR}$ Pulse Width	6TCLCL – 100		ns
TLLAX	Data Address Hold After ALE	1CLCL – 35		ns
TRLDV	$\overline{RD}$ to Valid Data In		5TCLCL – 165	ns
TRHDX	Data Hold After $\overline{RD}$	0		ns
TRHDZ	Data Float After $\overline{RD}$		2TCLCL – 70	ns
TLLDV	ALE to Valid Data In		8TCLCL – 150	ns
TAVDV	Address to Valid Data In		9TCLCL – 165	ns
TLLWL	ALE to $\overline{WR}$ or $\overline{RD}$	3TCLCL – 50	3TCLCL + 50	ns
TAVWL	Address to $\overline{WR}$ or $\overline{RD}$	4TCLCL – 130		ns
TQVWX	Data Valid to $\overline{WR}$ Transition	TCLCL – 60		ns
TQVWH	Data Setup to $\overline{WR}$ High	7TCLCL – 150		ns
TWHQX	Data Hold After $\overline{WR}$	TCLCL – 50		ns
TRLAZ	$\overline{RD}$ Low to Address Float		0	ns
TWHLH	$\overline{RD}$ or $\overline{WR}$ High to ALE High	TCLCL – 40	TCLCL + 40	ns

MAXIMUM I_{CC} (mA)

	Operating (Note 3)			Idle (Note 4)		
Freq. / V_{CC}	2.7V	5V	6V	2.7V	5V	6V
1 MHz	0.8 mA	1.5 mA	1.8 mA	400 µA	800 µA	1 mA
6 MHz	4 mA	8 mA	10 mA	1.2 mA	3.5 mA	3.8 mA

Note 2:

Power Down I_{CC} is measured will all output pins disconnected; EA = Port 0 = V_{CC}; XTAL2 N.C.; RST = V_{SS}

Note 3:

I_{CC} is measured with all output pins disconnected; XTAL1 driven with TCLCH, TCHCL = 5 ns, V_{IL} = V_{SS} + 0.5V; V_{IH} = V_{CC} – 0.5V; XTAL2 N.C.; EA = RST = Port 0 = V_{CC}. I_{CC} would be slightly higher if a crystal oscillator used.

Note 4:

Idle I_{CC} is measured with all output pins disconnected; XTAL1 driven TCLCH, TCHCL = 5 ns, V_{IL} = V_{SS} + 0.5V; V_{IH} = V_{CC} – 0.5V; XTAL2 N.C.; Port 0 = V_{CC}; EA = RST = V_{SS}.

EXPLANATION OF THE AC SYMBOLS

Each timing symbol has 5 characters. The first character is always a 'T' (stands for time). The other characters, depending on their positions, stand for the name of a signal or the logical status of that signal. The following is a list all the characters and what they stand for.

EXAMPLE:

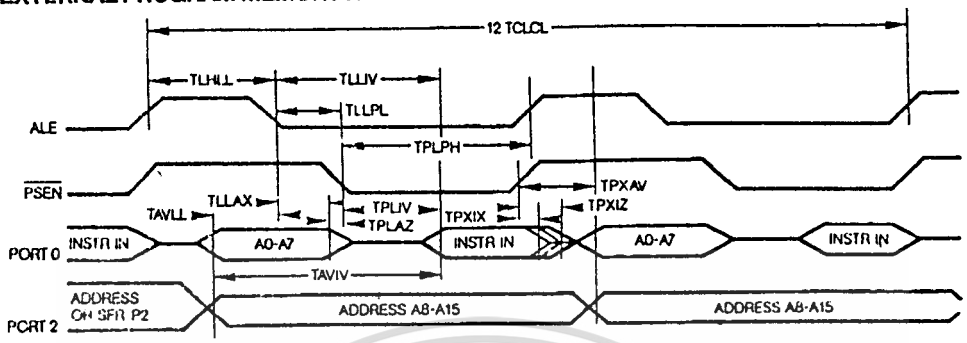
TAVLL = Time for Address Valid to ALE low.
TLLPL = Time for ALE low to $\overline{PSEN}$ low.

A: Address.
C: Clock.
D: Input data.
H: Logic level HIGH.
I: Instruction (program memory contents).
L: Logic level LOW, or ALE.
P: PSEN
Q: Output data
R: READ signal.
T: Time
V: Valid.
W: WRITE signal
X: No longer a valid logic level.
Z: Float.

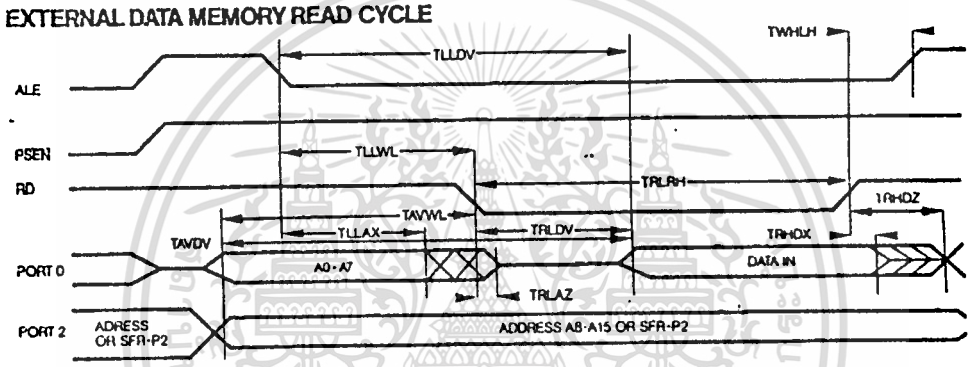
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC TIMING DIAGRAMS

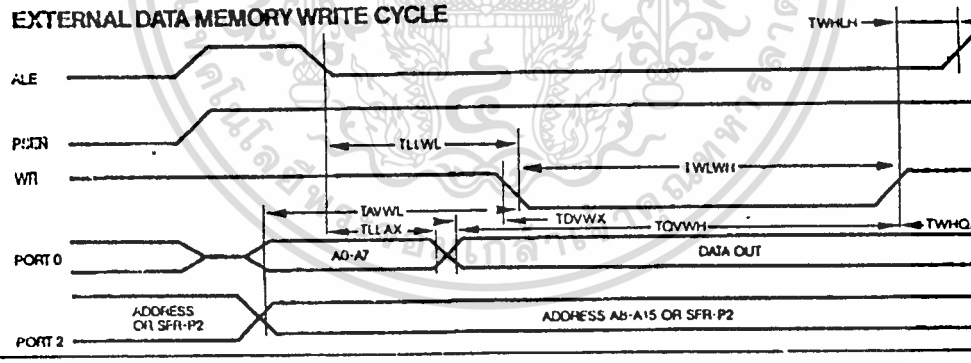
EXTERNAL PROGRAM MEMORY READ CYCLE



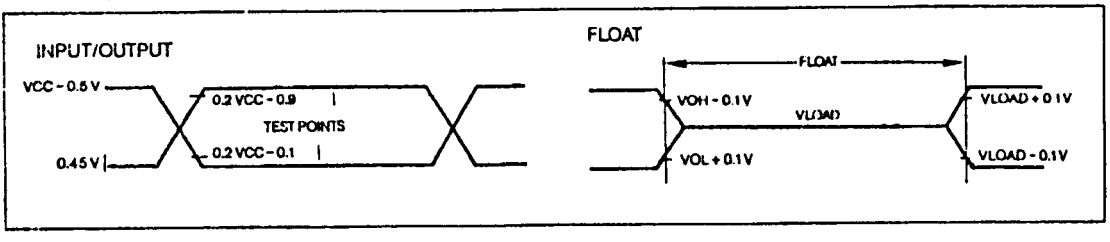
EXTERNAL DATA MEMORY READ CYCLE



EXTERNAL DATA MEMORY WRITE CYCLE



AC TESTING INPUT/OUTPUT, FLOAT WAVEFORMS



AC inputs during testing are driven at V_{CC} – 0.5 for a logic "1" and 0.45V for a logic "0". Timing measurements are made at VIH min for a logic "1" and VIL max for a logic "0". For timing purposes a port pin is no longer floating when a 100 mV change from load voltage occurs and begins to float when a 100 mV change from the loaded VOH/VOL level occurs. $I_{OL}/I_{OH} \geq \pm 20$ Ma.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

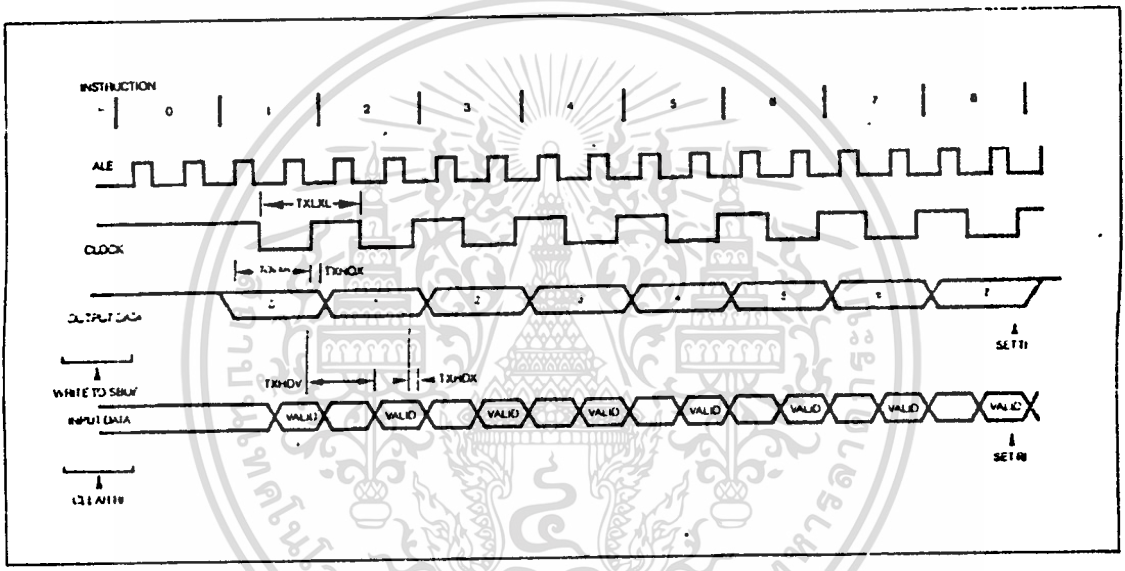
SERIAL PORT TIMING - SHIFT REGISTER MODE

A.C. CHARACTERISTICS:

(T_A = 0°C to 70°C; V_{SS} = 0V; V_{CC} = 2.7V to 6V; Load Capacitance = 80 pF)

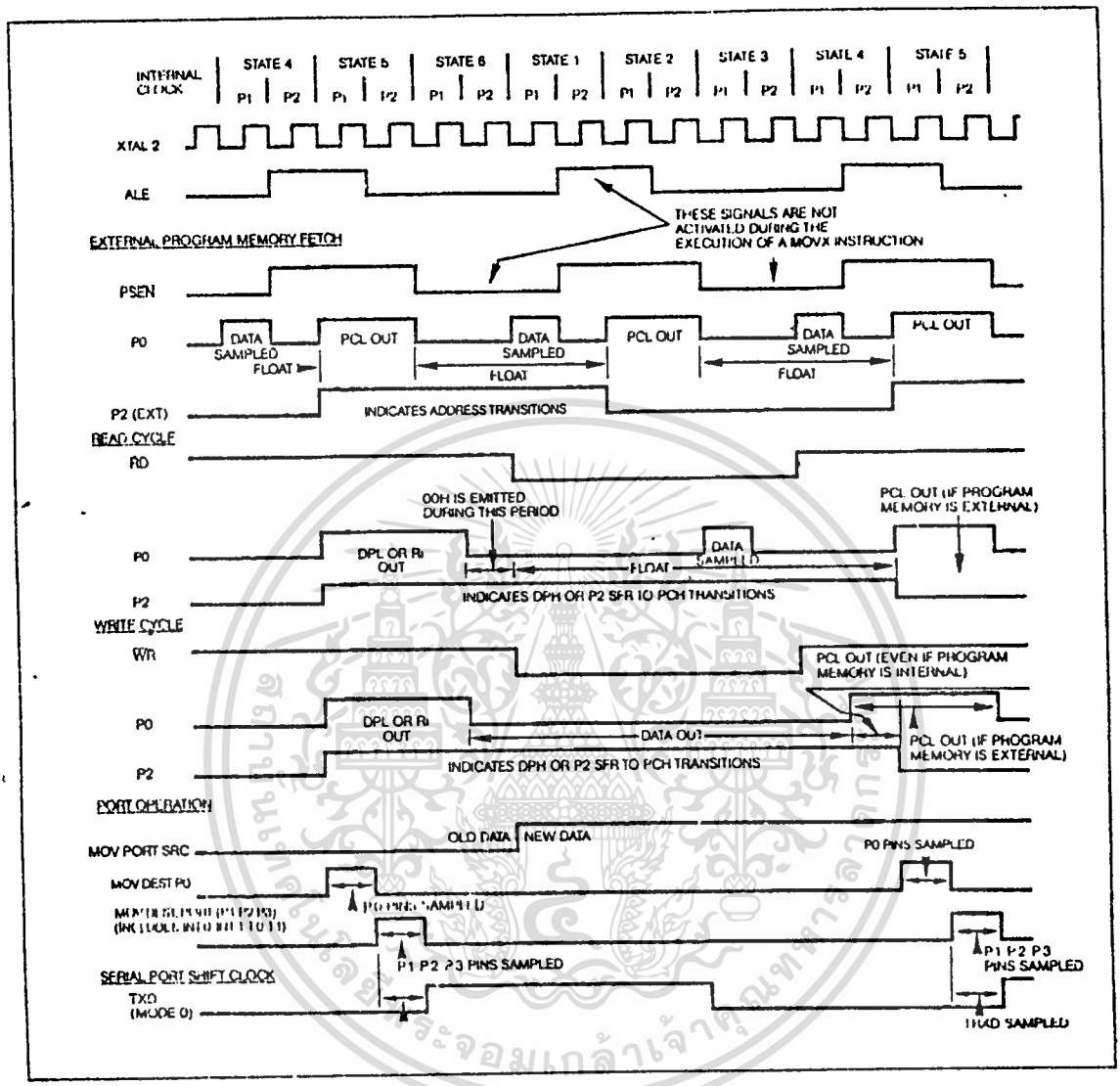
Symbol	Parameter	Min	Max	Units
TXLXL	Serial Port Clock Cycle Time	12TCLCL		µs
TQVXH	Output Data Setup to Clock Rising Edge	10TCLCL-133		ns
TXHQX	Output Data Hold After Clock Rising Edge	2TCLCL-117		ns
TXHDX	Input Data Hold After Clock Rising Edge	0		ns
TXHDV	Clock Rising Edge to Input Data Valid		10TCLCL-133	ns

SHIFT REGISTER TIMING WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLOCK WAVEFORMS



This diagram indicates when signals are clocked internally. The time it takes the signals to propagate to the pins, however, ranges from 25 to 125 ns. This propagation delay is dependent on variables such as temperature and pin loading. Propagation also varies from output to output and component. Typically though ($T_A = 25°C$ fully loaded) RD and WR propagation delays are approximately 50 ns. The other signals are typically 85 ns. Propagation delays are incorporated in the AC specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. MCS®-51 Instruction Set Description

ARITHMETIC OPERATIONS

Mnemonic		Description	Byte	Cyc
ADD	A,Rn	Add register to Accumulator	1	1
ADD	A,direct	Add direct byte to Accumulator	2	1
ADD	A,@Ri	Add indirect RAM to Accumulator	1	1
ADD	A,#data	Add immediate data to Accumulator	2	1
ADDC	A,Rn	Add register to Accumulator with Carry	1	1
ADDC	A,direct	Add direct byte to A with Carry flag	2	1
ADDC	A,@Ri	Add indirect RAM to A with Carry flag	1	1
ADDC	A,#data	Add immediate data to A with Carry flag	2	1
SUBB	A,Rn	Subtract register from A with Borrow	1	1
SUBB	A,direct	Subtract direct byte from A with Borrow	2	1
SUBB	A,@Ri	Subtract indirect RAM from A with Borrow	1	1
SUBB	A,#data	Subtract immed. data from A with Borrow	2	1
INC	A	Increment Accumulator	1	1
INC	Rn	Increment register	1	1
INC	direct	Increment direct byte	2	1
INC	@Ri	Incriment indirect RAM	1	1
INC	DPTR	Incriment Data Pointer	1	2
DEC	A	Decrement Accumulator	1	1
DEC	Rn	Decrement register	1	1
DEC	direct	Decrement direct byte	2	1
DEC	@Ri	Decrement indirect RAM	1	1
MUL	AB	Multiply A & B	1	4
DIV	AB	Divide A by B	1	4
DA	A	Decimal Adjust Accumulator	1	1

LOGICAL OPERATIONS

Mnemonic		Destination	Byte	Cyc
ANL	A,Rn	AND register to Accumulator	1	1
ANL	A,direct	AND direct byte to Accumulator	2	1
ANL	A,@Ri	AND indirect RAM to Accumulator	1	1
ANL	A,#data	AND immediate data to Accumulator	2	1
ANL	direct,A	AND Accumulator to direct byte	2	1
ANL	direct,#data	AND immediate data to direct byte	3	2
ORL	A,Rn	OR register to Accumulator	1	1
ORL	A,direct	OR direct byte to Accumulator	2	1
ORL	A,@Ri	OR indirect RAM to Accumulator	1	1
ORL	A,#data	OR immediate data to Accumulator	2	1
ORL	direct,A	OR Accumulator to direct byte	2	1
ORL	direct,#data	OR immediate data to direct byte	3	2
XRL	A,Rn	Exclusive-OR register to Accumulator	1	1
XRL	A,direct	Exclusive-OR direct byte to Accumulator	2	1
XRL	A,@Ri	Exclusive-OR indirect RAM to A	1	1
XRL	A,#data	Exclusive-OR immediate data to A	2	1
XRL	direct,A	Exclusive-OR Accumulator to direct byte	2	1
XRL	direct,#data	Exclusive-OR immediate data to direct	3	2
CLR	A	Clear Accumulator	1	1
CPL	A	Complement Accumulator	1	1
RL	A	Rotate Accumulator Left	1	1
RLC	A	Rotate A Left through the Carry flag	1	1
RR	A	Rotate Accumulator Right	1	1
RRC	A	Rotate A Right through Carry flag	1	1
SWAP	A	Swap nibbles within the Accumulator	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. (Cont.)

DATA TRANSFER

Mnemonic		Description	Byte	Cyc
MOV	A,Rn	Move register to Accumulator	1	1
MOV	A,direct	Move direct byte to Accumulator	2	1
MOV	A,@Ri	Move indirect RAM to Accumulator	1	1
MOV	A,#data	Move immediate data to Accumulator	2	1
MOV	Rn,A	Move Accumulator to register	1	1
MOV	Rn,direct	Move direct byte to register	2	2
MOV	Rn,#data	Move immediate data to register	2	1
MOV	direct,A	Move Accumulator to direct byte	2	1
MOV	direct,Rn	Move register to direct byte	2	2
MOV	direct,direct	Move direct byte to direct	3	2
MOV	direct,@Ri	Move indirect RAM to direct byte	2	2
MOV	direct,#data	Move immediate data to direct byte	3	2
MOV	@Ri,A	Move Accumulator to indirect RAM	1	1
MOV	@Ri,direct	Move direct byte to indirect RAM	2	2
MOV	@Ri,#data	Move immediate data to indirect RAM	2	1
MOV	DPTR,#data 16	Load Data Pointer with a 16-bit constant	3	2
MOVC	A,@A+DPTR	Move Code byte relative to DPTR to A	1	2
MOVC	A,@A+PC	Move Code byte relative to PC to A	1	2
MOVX	A,@Ri	Move External RAM (8-bit addr) to A	1	2
MOVX	A,@DPTR	Move External RAM (16-bit addr) to A	1	2
MOVX	@Ri,A	Move A to External RAM (8-bit addr)	1	2
MOVX	@DPTR,A	Move A to External RAM (16-bit addr)	1	2
PUSH	direct	Push direct byte onto stack	2	2
POP	direct	Pop direct byte form stack	2	2
XCH	A,Rn	Exchange register with Accumulator	1	1
XCH	A,direct	Exchange direct byte with Accumulator	2	1
XCH	A,@Ri	Exchange indirect RAM with A	1	1
XCHD	A,@Ri	Exchange low-order nibble ind RAM with A	1	1

BOOLEAN VARIABLE MANIPULATION

Mnemonic		Description	Byte	Cyc
CLR	C	Clear Carry flag	1	1
CLR	bit	Clear direct bit	2	1
SETB	C	Set Carry flag	1	1
SETB	bit	Set direct bit	2	1
CPL	C	Complement Carry flag	1	1
CPL	bit	Complement direct bit	2	1
ANL	C,bit	AND direct bit to Carry flag	2	2
ANL	C,/bit	AND complement of direct bit to Carry	2	2
ORL	C,bit	OR direct bit to Carry flag	2	2
ORL	C,/bit	OR complement of direct bit to Carry	2	2
MOV	C,bit	Move direct bit to Carry flag	2	1
MOV	bit,C	Move Carry flag to direct bit	2	2

PROGRAM AND MACHINE CONTROL

Mnemonic		Description	Byte	Cyc
ACALL	addr 11	Absolute Subroutine Call	2	2
LCALL	addr 16	Long Subroutine Call	3	2
RET		Return from subroutine	1	2
RETI		Return from interrupt	1	2
AJMP	addr 11	Absolute Jump	2	2
LJMP	addr 16	Long Jump	3	2
SJMP	rel	Short Jump (relative addr)	2	2
JMP	@A+DPTR	Jump indirect relative to the DPTR	1	2
JZ	rel	Jump if Accumulator is Zero	2	2
JNZ	rel	Jump if Accumulator is Not Zero	2	2
JC	rel	Jump if Carry flag is set	2	2
JNC	rel	Jump if No Carry flag	2	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. (Cont.)

PROGRAM AND MACHINE CONTROL (cont.)				
Mnemonic		**Description**	**Byte**	**Cyc**
JB	bit,rel	Jump if direct Bit set	3	2
JNB	bit,rel	Jump if direct Bit Not set	3	2
JBC	bit,rel	Jump if direct Bit is set & Clear bit	3	2
CJNE	A,direct,rel	Compare direct to A & Jump if Not Equal	3	2
CJNE	A,#data,rel	Comp. immed. to A & Jump if Not Equal	3	2
CJNE	Rn,#data,rel	Comp. immed. to reg & Jump if Not Equal	3	2
CJNE	@Ri,#data. rel	Comp. immed. to ind. & Jump if Not Equal	3	2
DJNZ	Rn,rel	Decrement register & Jump if Not Zero	2	2
DJNZ	direct. rel	Decrement direct & Jump if Not Zero	3	2
NOP		No operation	1	1

Notes on data addressing modes:

Rn	– Working register R0-R7
direct	– 128 internal RAM locations, any I/O port, control or status register
@Ri	– Indirect internal RAM location addressed by register R0 or R1
#data	– 8-bit constant included in instruction
#data 16	– 16-bit constant included as bytes 2 & 3 of instruction
bit	– 128 software flags, any I/O pin, control or status bit

Notes on program addressing modes:

addr 16	– Destination address for LCALL & LJMP may be anywhere within the 64-k program memory address space
Addr 11	– Destination address for ACALL & AJMP will be within the same 2-k page of program memory as the first byte of the following instruction
rel	– SJMP and all conditional jumps include an 8-bit offset byte. Range is +127–128 bytes relative to first byte of the following instruction.

All mnemonics copyrighted © Intel Corporation 1979

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. Instruction Opcodes in Hexadecimal Order

Hex Code	Number of Bytes	Mnemonic	Operands
00	1	NOP	
01	2	AJMP	code addr
02	3	LJMP	code addr
03	1	RR	A
04	1	INC	A
05	2	INC	data addr.
06	1	INC	@R0
07	1	INC	@R1
08	1	INC	R0
09	1	INC	R1
0A	1	INC	R2
0B	1	INC	R3
0C	1	INC	R4
0D	1	INC	R5
0E	1	INC	R6
0F	1	INC	R7
10	3	JBC	bit addr,code addr
11	2	ACALL	code addr
12	3	LCALL	code addr
13	1	RRC	A
14	1	DEC	A
15	2	DEC	data addr
16	1	DEC	@R0
17	1	DEC	@R1
18	1	DEC	R0
19	1	DEC	R1
1A	1	DEC	R2
1B	1	DEC	R3
1C	1	DEC	R4
1D	1	DEC	R5
1E	1	DEC	R6
1F	1	DEC	R7
20	3	JB	bit addr,code addr
21	2	AJMP	code addr
22	1	RET	
23	1	RL	A
24	2	ADD	A,data
25	2	ADD	A,data addr
26	1	ADD	A,@R0
27	1	ADD	A,@R1
28	1	ADD	A,R0
29	1	ADD	A,R1
2A	1	ADD	A,R2
2B	1	ADD	A,R3
2C	1	ADD	A,R4
2D	1	ADD	A,R5
2E	1	ADD	A,R6
2F	1	ADD	A,R7
30	3	JNB	bit addr,code addr
31	2	ACALL	code addr
32	1	RETI	

Hex Code	Number of Bytes	Mnemonic	Operands
33	1	RLC	A
34	2	ADDC	A,#data
35	2	ADDC	A,data addr
36	1	ADDC	A,@R0
37	1	ADDC	A,@R1
38	1	ADDC	A,R0
39	1	ADDC	A,R1
3A	1	ADDC	A,R2
3B	1	ADDC	A,R3
3C	1	ADDC	A,R4
3D	1	ADDC	A,R5
3E	1	ADDC	A,R6
3F	1	ADDC	A,R7
40	2	JC	code addr
41	2	AJMP	code addr
42	2	ORL	data addr,A
43	3	ORL	data addr,#data
44	2	ORL	A,#data
45	2	ORL	A,data addr
46	1	ORL	A,@R0
47	1	ORL	A,@R1
48	1	ORL	A,R0
49	1	ORL	A,R1
4A	1	ORL	A,R2
4B	1	ORL	A,R3
4C	1	ORL	A,R4
4D	1	ORL	A,R5
4E	1	ORL	A,R6
4F	1	ORL	A,R7
50	2	JNC	code addr
51	2	ACALL	code addr
52	2	ANL	data addr,A
53	3	ANL	data addr,#data
54	2	ANL	A,#data
55	2	ANL	A,data addr
56	1	ANL	A,@R0
57	1	ANL	A,@R1
58	1	ANL	A,R0
59	1	ANL	A,R1
5A	1	ANL	A,R2
5B	1	ANL	A,R3
5C	1	ANL	A,R4
5D	1	ANL	A,R5
5E	1	ANL	A,R6
5F	1	ANL	A,R7
60	2	JZ	code addr
61	2	AJMP	code addr
62	2	XRL	data addr A
63	3	XRL	data addr,#data
64	2	XRL	A,#data
65	2	XRL	A,data addr

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. (Cont.)

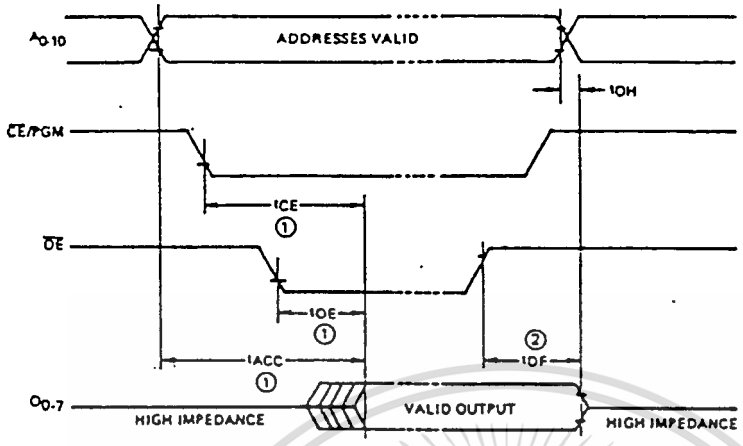
Hex Code	Number of Bytes	Mnemonic	Operands
66	1	XRL	A,@R0
67	1	XRL	A,@R1
68	1	XRL	A,R0
69	1	XRL	A,R1
6A	1	XRL	A,R2
6B	1	XRL	A,R3
6C	1	XRL	A,R4
6D	1	XRL	A,R5
6E	1	XRL	A,R6
6F	1	XRL	A,R7
70	2	JNZ	code addr
71	2	ACALL	code addr
72	2	ORL	C,bit addr
73	1	JMP	@A+DPTR
74	2	MOV	A,#data
75	3	MOV	data addr,#data
76	2	MOV	@R0,#data
77	2	MOV	@R1,#data
78	2	MOV	R0,#data
79	2	MOV	R1,#data
7A	2	MOV	R2,#data
7B	2	MOV	R3,#data
7C	2	MOV	R4,#data
7D	2	MOV	R5,#data
7E	2	MOV	R6,#data
7F	2	MOV	R7,#data
80	2	SJMP	code addr
81	2	AJMP	code addr
82	2	ANL	C,bit addr
83	1	MOVC	A,@A+PC
84	1	DIV	AB
85	3	MOV	data addr,data addr
86	2	MOV	data addr,@R0
87	2	MOV	data addr,@R1
88	2	MOV	data addr,R0
89	2	MOV	data addr,R1
8A	2	MOV	data addr,R2
8B	2	MOV	data addr,R3
8C	2	MOV	data addr,R4
8D	2	MOV	data addr,R5
8E	2	MOV	data addr,R6
8F	2	MOV	data addr,R7
90	3	MOV	DPTR,#data
91	2	ACALL	code addr
92	2	MOV	bit addr,C
93	1	MOVC	A,@A+DPTR
94	2	SUBB	A,#data
95	2	SUBB	A,data addr
96	1	SUBB	A,@R0
97	1	SUBB	A,@R1
98	1	SUBB	A,R0

Hex Code	Number of Bytes	Mnemonic	Operands
99	1	SUBB	A,R1
9A	1	SUBB	A,R2
9B	1	SUBB	A,R3
9C	1	SUBB	A,R4
9D	1	SUBB	A,R5
9E	1	SUBB	A,R6
9F	1	SUBB	A,R7
A0	2	ORL	C,bit addr
A1	2	AJMP	code addr
A2	2	MOV	C,bit addr
A3	1	INC	DPTR
A4	1	MUL	AB
A5		reserved	
A6	2	MOV	@R0,data addr
A7	2	MOV	@R1,data addr
A8	2	MOV	R0,data addr
A9	2	MOV	R1,data addr
AA	2	MOV	R2,data addr
AB	2	MOV	R3,data addr
AC	2	MOV	R4,data addr
AD	2	MOV	R5,data addr
AE	2	MOV	R6,data addr
AF	2	MOV	R7,data addr
B0	2	ANL	C,bit addr
B1	2	ACALL	code addr
B2	2	CPL	bit addr
B3	1	CPL	C
B4	3	CJNE	A,#data,code addr
B5	3	CJNE	A,data addr,code addr
B6	3	CJNE	@R0,#data,code addr
B7	3	CJNE	@R1,#data,code addr
B8	3	CJNE	R0,#data,code addr
B9	3	CJNE	R1,#data,code addr
BA	3	CJNE	R2,#data,code addr
BB	3	CJNE	R3,#data,code addr
BC	3	CJNE	R4,#data,code addr
BD	3	CJNE	R5,#data,code addr
BE	3	CJNE	R6,#data,code addr
BF	3	CJNE	R7,#data,code addr
C0	2	PUSH	data addr
C1	2	AJMP	code addr
C2	2	CLR	bit addr
C3	1	CLR	C
C4	1	SWAP	A
C5	2	XCH	A,data addr
C6	1	XCH	A,@R0
C7	1	XCH	A,@R1
C8	1	XCH	A,R0
C9	1	XCH	A,R1
CA	1	XCH	A,R2
CB	1	XCH	A,R3

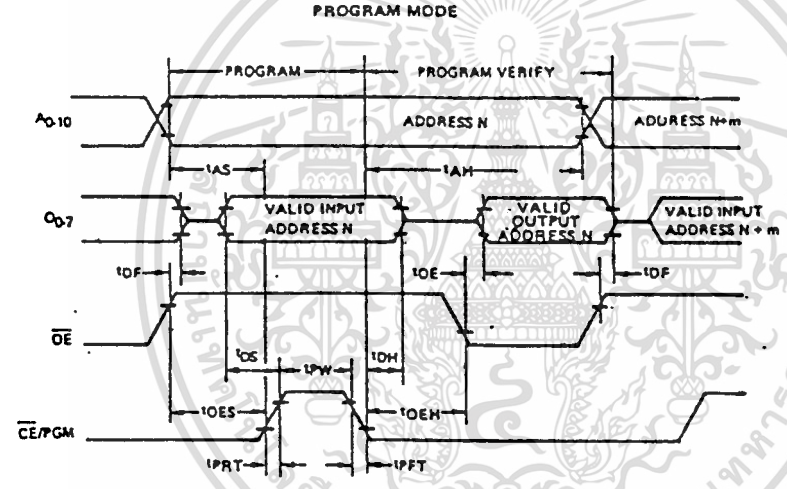
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORMS

READ MODE



PROGRAM MODE



Notes: ① $\overline{OE}$ may be delayed up to $t_{ACC}-t_{OE}$ after the falling edge of $\overline{CE}$/PGM for read mode without impact on t_{ACC}

② t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$/PGM, whichever occurs first.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The μPD2716 operates from a single +5V power supply and, accordingly, is ideal for use with +5V microprocessors such as μPD8085 and μPD8048/8748.

Programming of the μPD2716 is achieved with a single 50 ms TTL pulse. Total programming time for all 16,384 bits is only 100 sec. Due to the simplicity of the programming requirements, devices on boards and in systems may be programmed easily and without any special programmer.

The μPD2716 features a standby mode which reduces the power dissipation from a maximum active power dissipation of 525 mW to a maximum standby power dissipation of 132 mW. This results in a 75% savings with no increase in access time.

Erasure of the μPD2716 programmed data can be attained when exposed to light with wavelengths shorter than approximately 4,000 Angstroms (Å). It should be noted that constant exposure to direct sunlight or room level fluorescent lighting could erase the μPD2716. Consequently, if the μPD2716 is to be exposed to these types of lighting conditions for long periods of time, the μPD2716 window should be masked to prevent unintentional erasure.

The recommended erasure procedure for the μPD2716 is exposure to ultraviolet light with wavelengths of 2,537 Angstroms (Å). The integrated dose (i.e., UV intensity x exposure time) for erasure should be not less than 15 W-sec/cm^2. The erasure time is approximately 15 to 20 minutes using an ultraviolet lamp of 12,000 μW/cm^2 power rating.

During erasure, the μPD2716 should be placed within 1 inch of the lamp tubes. If the lamps have filters on the tubes, the filters should be removed before erasure.

OPERATION

The five operation modes of the μPD2716 are listed in Table 1. The power supplies required are a +5V V_{CC} and a V_{PP}. The V_{PP} power supply should be at +25V during programming, program verification and program inhibit, and it should be at +5V during read and standby. $\overline{CE}$/PGM, $\overline{OE}$ and V_{PP} select the operation mode as shown in Table 1.

READ MODE

When $\overline{CE}$/PGM and $\overline{OE}$ are at low (0) level with V_{PP} at +5V, the READ MODE is set and the data is available at the outputs after t_{OE} from the falling edge of $\overline{OE}$ and t_{ACC} after setting the address.

STANDBY MODE

The μPD2716 is placed in the standby mode with the application of a high (1) level TTL signal to the $\overline{CE}$/PGM and a V_{PP} of +5V. In this mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input. The active power dissipation is reduced by 75% from 525 mW to 132 mW.

PROGRAMMING MODE

Programming of the μPD2716 is commenced by erasing all data and consequently having all bits in the high (1) level state. Data is then entered by programming a low (0) level TTL signal into the chosen bit location.

The μPD2716 is placed in the programming mode by applying a high (1) level TTL signal to the $\overline{OE}$ with V_{PP} at +25V. The data to be programmed is applied to the output pins 8 bits in parallel at TTL levels.

Any location can be programmed at any time, either individually, sequentially or at random.

When multiple μPD2716s are connected in parallel, except for $\overline{CE}$/PGM; individual μPD2716s can be programmed by applying a high (1) level TTL pulse to the $\overline{CE}$/PGM input of the desired μPD2716 to be programmed.

Programming of multiple μPD2716s in parallel with the same data is easily accomplished. All the alike inputs are tied together and are programmed by applying a high (1) level TTL pulse to the $\overline{CE}$/PGM inputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NEC Microcomputers, Inc.

NEC
μPD2732
PRELIMINARY

32,768 (4K X 8) BIT UV ERASABLE PROM

DESCRIPTION

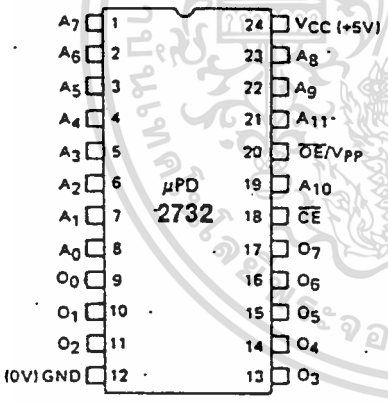
The μPD2732 is a 32,768 bit (4096 x 8 bit) Ultraviolet Erasable and Electrically Programmable Read-Only Memory (EPROM). It operates from a single +5V supply, making it ideal for microprocessor applications. It features an output enable control and offers a standby mode with an attendant 80% savings in power consumption.

A distinctive feature of the μPD2732 is a separate output control, output enable ($\overline{OE}$) from the chip enable control ($\overline{CE}$). The $\overline{OE}$ control eliminates bus contention in multiple-bus microprocessor systems. The μPD2732 features fast, simple one-pulse programming controlled by TTL-level signals. Total programming time for all 32,768 bits is only 210 seconds.

FEATURES

- Ultraviolet Erasable and Electrically Programmable
- Access Time — 450 ns Max
- Single Location Programming
- Programmable with Single Pulse
- Low Power Dissipation: 150 mA Max Active Current, 30 mA Max Standby Current
- Input/Output TTL Compatible for Reading and Programming
- Single +5V Power Supply
- 24 Pin Ceramic DIP
- Three-State Outputs

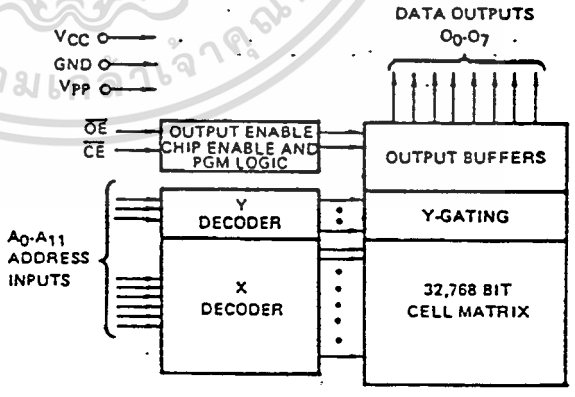
PIN CONFIGURATION



MODE SELECTION

MODE \ PINS	$\overline{CE}$	$\overline{OE}/V_{PP}$	V_{CC}	OUTPUTS
Read	V_{IL}	V_{IL}	+5	O_{OUT}
Standby	V_{IH}	Don't Care	+5	High Z
Program	Pulsed V_{IL} to V_{IH}	+25	+5	O_{IN}
Program Verify	V_{IL}	V_{IL}	+5	O_{OUT}
Program Inhibit	V_{IH}	+25	+5	High Z

BLOCK DIAGRAM



PIN NAMES

A_0-A_{11}	Addresses
$\overline{OE}$	Output Enable
O_0-O_7	Data Outputs
$\overline{CE}$	Chip Enable

2722DS-12-80-CAT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

2732A
32K (4K x 8) UV ERASABLE PROM

- 200 ns (2732A-2) Maximum Access Time . . . HMOS*-E Technology
- Compatible with High-Speed 8mHz iAPX 186...Zero WAIT State
- Two Line Control
- Compatible with 12 MHz 8051 Family
- Industry Standard Pinout . . . JEDEC Approved
- Low Standby Current...30 mA Maximum
- ±10% V_{CC} Tolerance Available
- int$_e$ligent Identifier™ Mode
- TTL Compatible

The Intel 2732A is a 5V only, 32,768 bit ultraviolet erasable and electrically programmable read-only-memory (EPROM). The standard 2732A access time is 250 ns with speed selection (2732A-2) available at 200 ns. The access time is compatible with high performance microprocessors such as the 8 MHz iAPX 186. In these systems, the 2732A allows the microprocessor to operate without the addition of WAIT states.

An important 2732A feature is the separate output control, Output Enable ($\overline{OE}$), from the Chip Enable control ($\overline{CE}$). The $\overline{OE}$ control eliminates bus contention in microprocessor systems. Intel's Application Note AP-72 describes the microprocessor system implementation of the $\overline{OE}$ and $\overline{CE}$ controls on Intel's EPROMs. AP-72 is available from Intel's Literature Department.

The 2732A has a standby mode which reduces power consumption without increasing access time. The maximum active current is 125 mA, while the maximum standby current is only 35 mA, a 70% saving. The standby mode is selected by applying the TTL-high signal to the $\overline{CE}$ input.

The 2732A is fabricated with HMOS*-E technology, Intel's high-speed N-channel MOS Silicon Gate Technology.

*HMOS is a patented process of Intel Corporation.

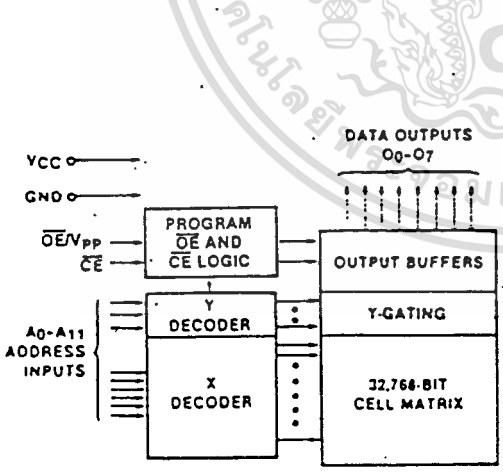


Figure 1. Block Diagram

PIN NAMES

A_0-A_{11}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}/V_{PP}$	OUTPUT ENABLE/ V_{PP}
O_0-O_7	OUTPUTS

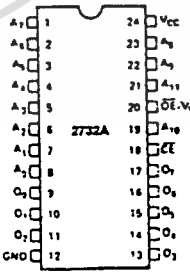


Figure 2. Pin Configuration

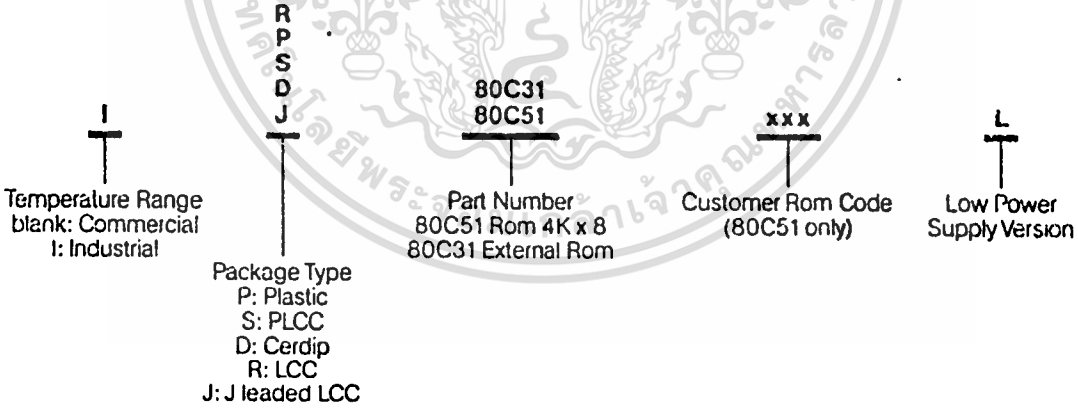
Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.
©INTEL CORPORATION, INC. 1982

OCTOBER 1983
AFN-01545B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. (Cont.)

Hex Code	Number of Bytes	Mnemonic	Operands
CC	1	XCH	A,R4
CD	1	XCH	A,R5
CE	1	XCH	A,R6
CF	1	XCH	A,R7
D0	2	POP	data addr
D1	2	ACALL	code addr
D2	2	SETB	bit addr
D3	1	SETB	C
D4	1	DA	A
D5	3	DJNZ	data addr,code addr
D6	1	XCHD	A,@R0
D7	1	XCHD	A,@R1
D8	2	DJNZ	R0,code addr
D9	2	DJNZ	R1,code addr
DA	2	DJNZ	R2,code addr
DB	2	DJNZ	R3,code addr
DC	2	DJNZ	R4,code addr
DD	2	DJNZ	R5,code addr
DE	2	DJNZ	R6,code addr
DF	2	DJNZ	R7,code addr
E0	1	MOVX	A,@DPTR
E1	2	AJMP	code addr
E2	1	MOVX	A,@R0
E3	1	MOVX	A,@R1
E4	1	CLR	A
E5	2	MOV	A,data addr
E6	1	MOV	A,@R0
E7	1	MOV	A,@R1
E8	1	MOV	A,R0
E9	1	MOV	A,R1
EA	1	MOV	A,R2
EB	1	MOV	A,R3
EC	1	MOV	A,R4
ED	1	MOV	A,R5
EE	1	MOV	A,R6
EF	1	MOV	A,R7
F0	1	MOVX	@DPTR,A
F1	2	ACALL	code addr
F2	1	MOVX	@R0,A
F3	1	MOVX	@R1,A
F4	1	CPL	A
F5	2	MOV	data addr,A
F6	1	MOV	@R0,A
F7	1	MOV	@R1,A
F8	1	MOV	R0,A
F9	1	MOV	R1,A
FA	1	MOV	R2,A
FB	1	MOV	R3,A
FC	1	MOV	R4,A
FD	1	MOV	R5,A
FE	1	MOV	R6,A
FF	1	MOV	R7,A



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16,384 (2K X 8) BIT UV ERASABLE PROM

DESCRIPTION

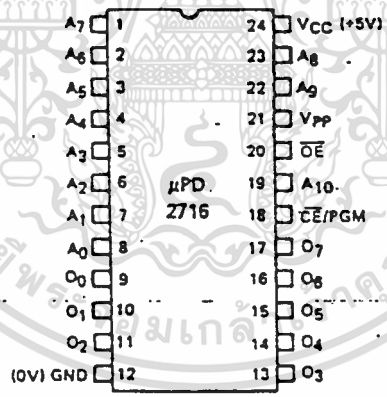
The μPD2716 is a 16,384 bit (2048 x 8 bit) Ultraviolet Erasable and Electrically Programmable Read-Only Memory (EPROM). It operates from a single +5 volt supply, making it ideal for microprocessor applications. It offers a standby mode with an attendant 75% savings in power consumption, and is compatible with the μPD2316E as a ROM. This allows for economical change-over to a masked ROM for production quantities, where desired.

The μPD2716 features fast, simple one pulse programming controlled by TTL level signals. Total programming time for all 16,384 bits is only 100 seconds.

FEATURES

- Ultraviolet Erasable and Electrically Programmable
- Access Time – 450 ns Max
- Single Location Programming
- Programmable with Single Pulse
- Low Power Dissipation Standby Mode
- Input/Output TTL Compatible for Reading and Programming
- Pin Compatible to μPD2316E (16K ROM)
- Single +5V Power Supply
- 24 Pin Ceramic DIP
- Three-State Outputs

PIN CONFIGURATION



PIN NAMES

A_0-A_{10}	Addresses
$\overline{OE}$	Output Enable
O_0-O_7	Data Outputs
$\overline{CE}$/PGM	Chip Enable/Program

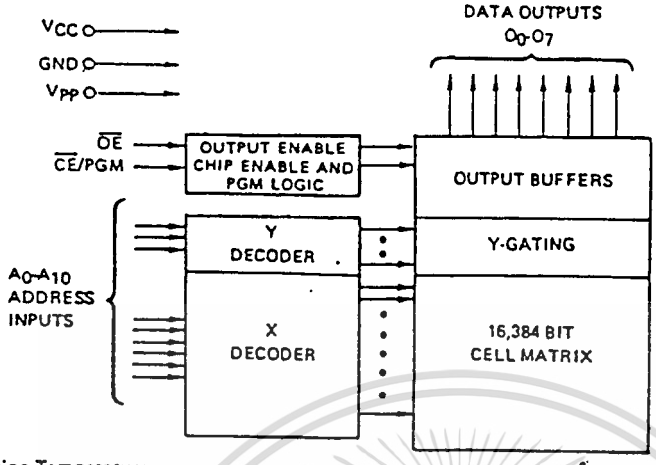
TABLE 1. MODE SELECTION

MODE \ PINS	$\overline{CE}$/PGM	$\overline{OE}$	V_{PP}	V_{CC}	OUTPUTS
Read	V_{IL}	V_{IL}	+5	+5	D_{OUT}
Standby	V_{IH}	Don't Care	+5	+5	High Z
Program	Pulsed V_{IL} to V_{IH}	V_{IH}	+25	+5	D_{IN}
Program Verify	V_{IL}	V_{IL}	+25	+5	D_{OUT}
Program Inhibit	V_{IL}	V_{IH}	+25	+5	High Z

V_{IH} and V_{IL} are TTL high level ("1") and TTL low level ("0") respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS*

Operating Temperature	-10°C to +80°C
Storage Temperature	-65°C to +125°C
Output Voltage	-0.3 to +6 Volts
Input Voltage	-0.3 to +6 Volts
Supply Voltage V_{CC}	-0.3 to +6 Volts
Supply Voltage V_{PP}	-0.3 to +26.5 Volts

COMMENT: Stress above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

*T_a = 25°C

CAPACITANCE

T_a = 25°C; f = 1 MHz

PARAMETER	SYMBOL	LIMITS MIN	LIMITS TYP	LIMITS MAX	UNIT	TEST CONDITIONS
Input Capacitance	C_{IN}		4	6	pF	V_{IN} = 0V
Output Capacitance	C_{OUT}		8	12	pF	V_{OUT} = 0V

DC CHARACTERISTICS

READ MODE AND STANDBY MODE

T_a = 0°C ~ 70°C; V_{CC} ① = +5V ± 5%; V_{PP} ①② = V_{CC} ± 0.6V ③

PARAMETER	SYMBOL	LIMITS MIN.	LIMITS TYP.	LIMITS MAX.	UNIT	TEST CONDITIONS
Output High Voltage	V_{OH}	2.4			V	I_{OH} = -400 μA
Output Low Voltage	V_{OL}			0.45	V	I_{OL} = 2.1 mA
Input High Voltage	V_{IH}	2.0		V_{CC} +1	V	
Input Low Voltage	V_{IL}	-0.1		0.8	V	
Output Leakage Current	I_{LO}			10	μA	V_{OUT} = 5.25V
Input Leakage Current	I_{LI}			10	μA	V_{IN} = 5.25V
V_{PP} Current	I_{PP1}			5	mA	V_{PP} = 5.85V
V_{CC} Current ②	I_{CC1}		10	25	mA	$\overline{CE}/PGM$ = V_{IH} $\overline{OE}$ = V_{IL} Standby Mode
	I_{CC2}		57	100	mA	$\overline{CE}/PGM$ = V_{IL} $\overline{OE}$ = V_{IL} Read Mode

Notes: ① V_{CC} must be applied simultaneously or before V_{PP} and removed after V_{PP}.

② V_{PP} may be connected directly to V_{CC} (+5V) at read mode and standby mode. The supply current would then be the sum of I_{PP1} and I_{CC} (I_{CC1} or I_{CC2}).

③ The tolerance of 0.6V allows the use of a driver circuit for switching the V_{PP} supply pin from +25V to +5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS (CONT.)

PROGRAM, PROGRAM VERIFY AND PROGRAM INHIBIT MODE

T_a = 25°C ± 5°C; V_{CC} ① = +5V ± 5%; V_{PP} ①④ = +25V ± 1V

PARAMETER	SYMBOL	LIMITS MIN.	TYP.	MAX.	UNIT	TEST CONDITIONS
Input High Voltage	V_{IH}	2.0		V_{CC}+1	V	
Input Low Voltage	V_{IL}	-0.1		0.8	V	
Input Leakage Current	I_{IL}			10	μA	V_{IN} = 5.25V/0.45V
V_{PP} Current	I_{PP1}			5	mA	$\overline{CE}/PGM = V_{IL}$ Program Verify / Program Inhibit
	I_{PP2}			30	mA	$\overline{CE}/PGM = V_{IH}$ Program Mode
V_{CC} Current	I_{CC}			100	mA	

AC CHARACTERISTICS

READ MODE AND STANDBY MODE

T_a = 0°C to +70°C; V_{CC} ① = +5V ± 5%; V_{PP} ①② = V_{CC} ± 0.6V ③

PARAMETER	SYMBOL	LIMITS MIN	TYP	MAX	UNIT	TEST CONDITIONS
Address to Output Delay	t_{ACC}			450	ns	$\overline{CE}/PGM = \overline{OE} = V_{IL}$
$\overline{CE}/PGM$ to Output Delay	t_{CE}			450	ns	$\overline{OE} = V_{IL}$
Output Enable to Output Delay	t_{OE}			120	ns	$\overline{CE}/PGM = V_{IL}$
Output Enable High to Output Float	t_{DF}	0		100	ns	$\overline{CE}/PGM = V_{IL}$
Address to Output Hold	t_{OH}	0			ns	$\overline{CE}/PGM = \overline{OE} = V_{IL}$

Test Conditions
Output Load: 1 TTL gate and C_L = 100 pF
Input Rise and Fall Times: 20 ns
Input Pulse Levels: 0.8 to 2.2V

Timing Measurement Reference Level:
Inputs: 1.0V and 2.0V
Outputs: 0.8V and 2.0V

PROGRAM, PROGRAM VERIFY AND PROGRAM INHIBIT MODE

T_a = 25°C ± 5°C; V_{CC} ① = +5V ± 5%; V_{PP} ①④ = +25V ± 1V

PARAMETER	SYMBOL	LIMITS MIN	TYP	MAX	UNITS	TEST CONDITIONS
Address Setup Time	t_{AS}	2			μs	
$\overline{OE}$ Setup Time	t_{OES}	2			μs	
Data Setup Time	t_{DS}	2			μs	
Address Hold Time	t_{AH}	2			μs	
$\overline{OE}$ Hold Time	t_{OEH}	2			μs	
Data Hold Time	t_{DH}	2			μs	
Output Enable to Output Float Delay	t_{DF}	0		120	ns	$\overline{CE}/PGM = V_{IL}$
Output Enable to Output Delay	t_{OE}			120	ns	$\overline{CE}/PGM = V_{IL}$
Program Pulse Width	t_{PW}	45	50	55	ms	
Program Pulse Rise Time	t_{PRT}	5			ns	
Program Pulse Fall Time	t_{PFT}	5			ns	

Test Conditions:

Input Pulse Levels . . . . . 0.8V to 2.2V Output Timing Reference Level . .0.8V and 2V
Input Timing Reference Level. . . . . 1V and 2V

Notes: ① V_{CC} must be applied simultaneously or before V_{PP} and removed after V_{PP}.

② V_{PP} may be connected directly to V_{CC} (+5V) at read mode and standby mode. The supply current would then be the sum of I_{PP1} and I_{CC} (I_{CC1} or I_{CC2}).

③ The tolerance of 0.6V allows the use of a driver circuit for switching the V_{PP} supply pin from +25V to +5V.

④ During programming, program inhibit, and program verify, a maximum of +26V should be applied to the V_{PP} pin. Overshoot voltages to be generated by the V_{PP} power supply should be limited to less than +26V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias ..... −10°C to +80°C
Storage Temperature ..... −65°C to +125°C
All Input or Output Voltages with Respect to Ground ..... +6V to −0.3V
Voltage on Pin 22 with Respect to Ground ..... +13.5V to −0.3V
V_{PP} Supply Voltage with Respect to Ground During Programming ..... +22V to −0.3V

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	2732A/A-2/A-3/A-4	2732A-20/A-25/A-30
Operating Temperature Range	0°C–70°C	0°C–70°C
V_{CC} Power Supply[1,2]	5V ± 5%	5V ± 10%

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits Min.	Typ.[3]	Max.	Units	Conditions
I_{IL}	Input Load Current			10	μA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	μA	$V_{OUT} = 5.5V$
I_{CC1}[2]	V_{CC} Current (Standby)			35	mA	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$
I_{CC2}[2]	V_{CC} Current (Active)			100	mA	$\overline{OE} = \overline{CE} = V_{IL}$
V_{IL}	Input Low Voltage	−0.1		0.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -400$ μA
V_{PP}[2]	V_{PP} Read Voltage	3.8		V_{CC}	V	$V_{CC} = 5.0V \pm 0.25V$

A.C. CHARACTERISTICS

Symbol	Parameter	2732A-2 2732A-20 Min.	2732A-2 2732A-20 Max.	2732A 2732A-25 Min.	2732A 2732A-25 Max.	2732A-3 2732A-30 Min.	2732A-3 2732A-30 Max.	2732A-4 Min.	2732A-4 Max.	Units	Test Conditions†
t_{ACC}	Address to Output Delay		200		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		200		250		300		450	ns	$\overline{OE} = V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		70		100		150		150	ns	$\overline{CE} = V_{IL}$
t_{DF}[4]	$\overline{OE}$ High to Output Not Driven	0	60	0	60	0	130	0	130	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

†A.C. TEST CONDITIONS

Output Load ..... 1 TTL gate and $C_L = 100$ pF
Input Rise and Fall Times ..... ≤ 20 ns
Input Pulse Levels ..... 0.45V to 2.4V

Timing Measurement Reference Level:
Inputs ..... 0.8 and 2.0V
Outputs ..... 0.8 and 2.0V

NOTES: 1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for $t_A = 25°C$ and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven — see timing diagram on page 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERASURE CHARACTERISTICS

The erasure characteristics of the 2732A are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms. (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 2732A in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2732A is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 2732A window to prevent unintentional erasure.

The recommended erasure procedure for the 2732A is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15 W-sec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with 12000μW/cm^2 power rating. The 2732A should be placed within 1 inch of the lamp tubes during erasure.

DEVICE OPERATION

The six modes of operation of the 2732A are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for $\overline{OE}/V_{PP}$ during programming and 12V on A_9 for the int$_e$ligent Identifier™ mode. In the program mode the $\overline{OE}/V_{PP}$ input is pulsed from a TTL level to 21V.

Table 1. Mode Selection

MODE \ PINS	$\overline{CE}$ (18)	$\overline{OE}/V_{PP}$ (20)	A_9 (22)	V_{CC} (24)	OUTPUTS (9-11,13-17)
Read	V_{IL}	V_{IL}	X	+5	D_{OUT}
Output Disable	V_{IL}	V_{IH}	X	+5	High Z
Standby	V_{IH}	X	X	+5	High Z
Program	V_{IL}	V_{PP}	X	+5	D_{IN}
Program Inhibit	V_{IH}	V_{PP}	X	+5	High Z
Int$_e$ligent Identifier	V_{IL}	V_{IL}	V_H	+5	Code

Notes: 1. X can be V_{IH} or V_{IL}
2. V_H = 12.0 ± 0.5V

Read Mode

The 2732A has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC}-t_{OE}$.

Standby Mode

The 2732A has a standby mode which reduces the maximum active current from 125 mA to 35 mA. The 2732A is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Output OR-Tieing

Because EPROMs are usually used in larger memory arrays, Intel has provided a 2 line control function that accommodates this use of multiple memory connection. The two line control function allows for:

a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, $\overline{CE}$ (pin 18) should be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 20) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

PROGRAMMING

CAUTION: Exceeding 22V on Pin 20 ($\overline{OE}/V_{PP}$) will permanently damage the 2732A.

Initially, and after each erasure, all bits of the 2732A are in the "1" state. Data is introduced by selectively programming "0's" into the desired bit locations. Although only "0's" will be programmed, both "1's" and "0's" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2732A is in the programming mode when the $\overline{OE}/V_{PP}$ input is at 21V. It is required that a 0.1 μF capacitor be placed across $\overline{OE}/V_{PP}$ and ground to suppress spurious voltage transients which may damage the device. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the address and data are stable, a 50 msec. active low, TTL program pulse is applied to the $\overline{CE}$ input. A program pulse must be applied at each address location to be programmed. You can program any location at any time —either individually, sequentially, or at random. The program pulse has a maximum width of 55 msec. The 2732A must not be programmed with a DC signal applied to the $\overline{CE}$ input.

Programming of multiple 2732As in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the paralleled 2732As may be connected together when they are programmed with the same data. A low level TTL pulse applied to the $\overline{CE}$ input programs the paralleled 2732As.

AFN-01545B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Program Inhibit

Programming of multiple 2732As in parallel with different data is also easily accomplished. Except for $\overline{CE}$, all like inputs (including $\overline{OE}$) of the parallel 2732As may be common. A TTL level program pulse applied to a 2732A's $\overline{CE}$ input with $\overline{OE}/V_{PP}$ at 21V will program that 2732A. A high level $\overline{CE}$ input inhibits the other 2732As from being programmed.

Verify

A verify (Read) should be performed on the programmed bits to determine that they were correctly programmed. The verify is accomplished with $\overline{OE}/V_{PP}$ and $\overline{CE}$ at V_{IL}. Data should be verified t_{DV} after the falling edge of $\overline{CE}$.

inteligent Identifier™ Mode

The inteligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ±5°C ambient temperature range.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 22) of the 2732A. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 8) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during inteligent Identifier Mode.

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the Intel 2732A, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

Intel began manufacturing 2732As during 1982 that contained the inteligent Identifier feature. Earlier generation devices do not contain identifier information, and if erased, will respond with a "one" (V_{OH}) on each data line when operated in this mode. Programmed, preidentifier mode 2732As will respond with the current data contained in locations 0 and 1 when subjected to the inteligent Identifier operation.

System Consideration

The power switching characteristics of HMOS-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note, AP-72, and by properly selected decoupling capacitors. It is recommended that a 0.1μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effects of PC board-traces.

Table 2. 2732A inteligent Identifier™ Bytes

Pins / Identifier	A_0 (8)	O_7 (17)	O_6 (16)	O_5 (15)	O_4 (14)	O_3 (13)	O_2 (12)	O_1 (10)	O_0 (9)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	V_{IH}	0	0	0	0	0	0	0	1	01

FFN-01545B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING[4]

D.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$

Symbol	Parameter	Limits			Units	Test Conditions
		Min.	Typ.	Max.		
I_{LI}	Input Current (All Inputs)			10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{OL}	Output Low Voltage During Verify			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4			V	$I_{OH} = -400$ μA
I_{CC}	V_{CC} Supply Current		85	100	mA	
V_{IL}	Input Low Level (All Inputs)	−0.1		0.8	V	
V_{IH}	Input High Level (All Inputs Except $\overline{OE}/V_{PP}$)	2.0		V_{CC}	V	
I_{PP}	V_{PP} Supply Current			30	mA	$\overline{CE} = V_{IL}$, $\overline{OE} = V_{PP}$
V_{ID}	Ag int$_e$ligent Identifier Voltage	11.5		12.5	V	

A.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$

Symbol	Parameter	Limits			Units	Test Conditions†
		Min.	Typ.	Max.		
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{OEH}	$\overline{OE}$ Hold Time	2			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}	$\overline{OE}$ High to Output Not Driven	0		130	ns	
t_{DV}	Data Valid from $\overline{CE}$			1	μs	$\overline{CE} = V_{IL}$, $\overline{OE} = V_{IL}$
t_{PW}	$\overline{CE}$ Pulse Width During Programming	20	50	55	ms	
t_{PRT}	$\overline{OE}$ Pulse Rise Time During Programming	50			ns	
t_{VR}	V_{PP} Recovery Time	2			μs	

†A.C. TEST CONDITIONS

Input Rise and Fall Times (10% to 90%) ..... ≤20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Input Timing Reference Level ..... 0.8V and 2.0V
Output Timing Reference Level .....0.8V and 2.0V

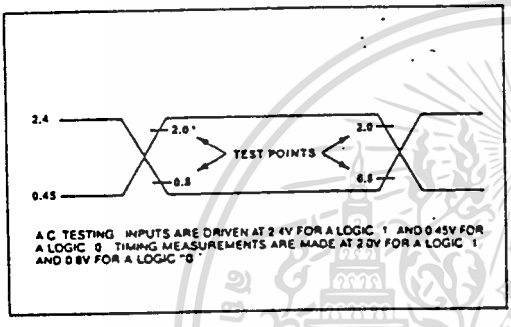
NOTES:
1. Typical values are for $T_A = 25°C$ and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested. Output float is defined as the point where data is no longer driven — see timing diagram
3. OE may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of CE without impacting t_{ACC}.
4. When programming the 2732A, a 0.1μF capacitor is required across OE/V_{PP} and ground to suppress spurious voltage transients which may damage the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

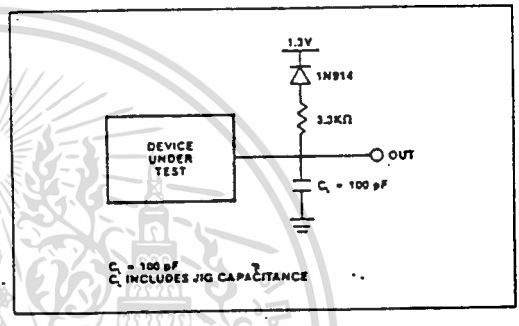
CAPACITANCE[2] (T_A = 25°C, f = 1 MHz)

Symbol	Parameter	Typ.	Max.	Unit	Conditions
C_{IN1}	Input Capacitance Except $\overline{OE}/V_{PP}$	4	6	pF	V_{IN} = 0V
C_{IN2}	$\overline{OE}/V_{PP}$ Input Capacitance		20	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

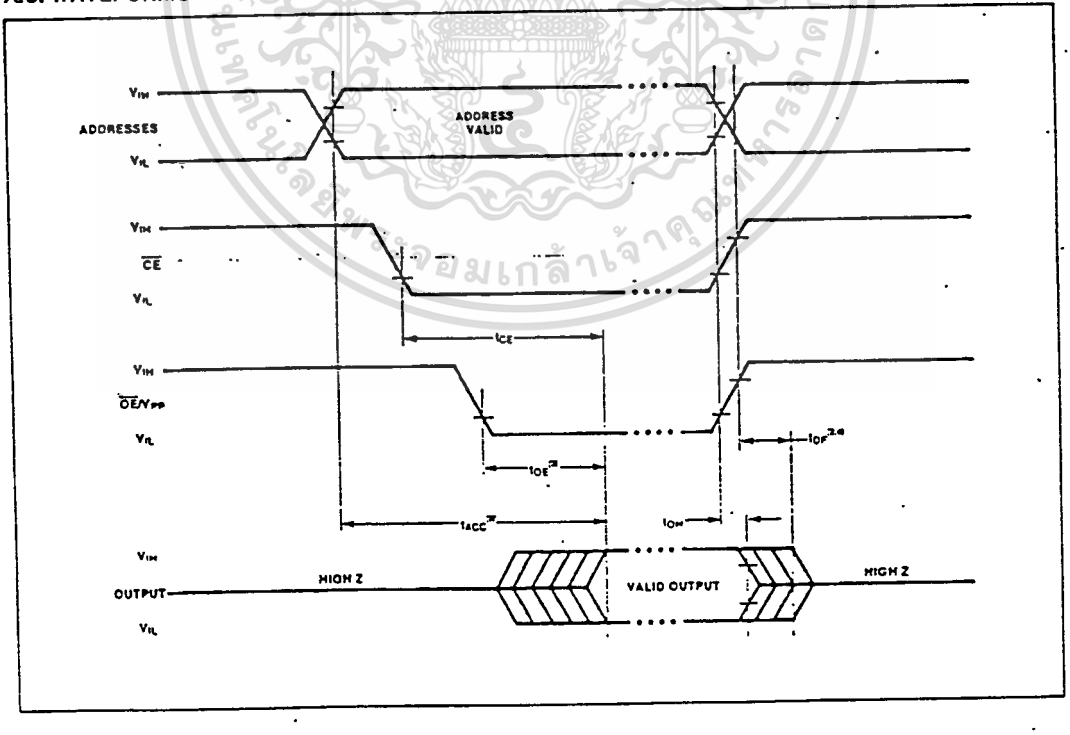
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



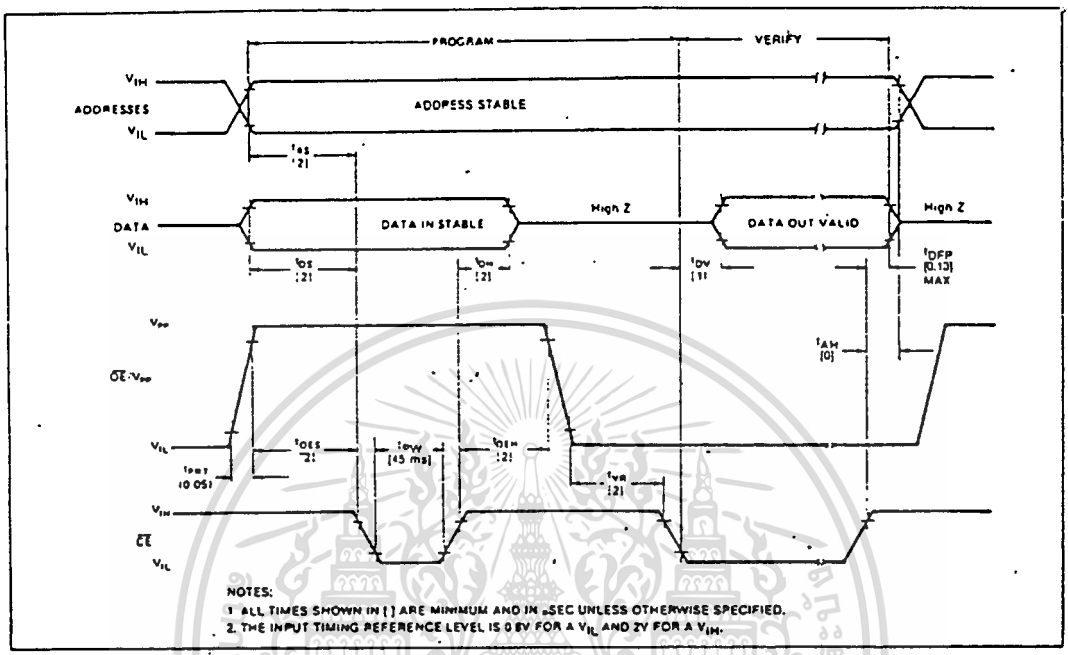
A.C. WAVEFORMS



AFN-01545B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING WAVEFORMS



NOTES:
1. ALL TIMES SHOWN IN [ ] ARE MINIMUM AND IN μSEC UNLESS OTHERWISE SPECIFIED.
2. THE INPUT TIMING REFERENCE LEVEL IS 0.8V FOR A V_{IL} AND 2V FOR A V_{IH}.

AFN-01545B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOSHIBA

8,192 WORD x 8 BIT UV ERASABLE AND ELECTRICALLY PROGRAMMABLE READ ONLY MEMORY

N-CHANNEL SILICON STACKED GATE MOS

TMM2764D
TMM2764D-2

DESCRIPTION

The TMM2764D is a 8192 word x 8 bit ultraviolet light erasable and electrically programmable read only memory. For read operation, the TMM2764D's access time is 200 ns, and the TMM2764D operates from a single 5-volt power supply and has low power standby mode which reduces the power dissipation without increasing access time. The standby mode is achieved by applying a TTL-high level signal to the $\overline{CE}$ input. The maximum active current is 120mA and the maximum standby current is 35mA.

For program operation, the programming is achieved by applying a 50ms active TTL low program pulse to the $\overline{PGM}$ input, and it is possible to program sequentially individually, or at random.

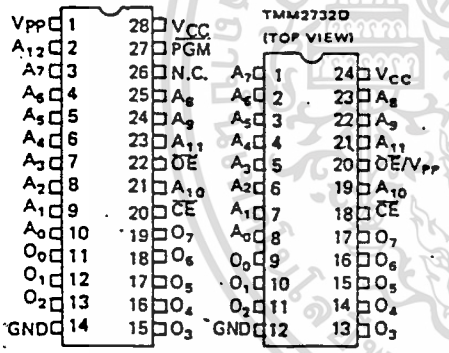
The TMM2764D is fabricated with the N-channel silicon double layer gate MOS technology and is packaged in a standard 28 pin dual in line cerdip package.

FEATURES

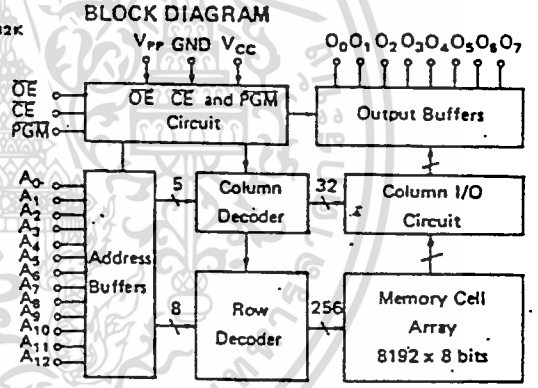
- Single 5-volt power supply
- Fast access time : TMM2764D 250 ns
  TMM2764D-2 200 ns
- Power dissipation :
  120 mA (active current) Max.
  35 mA (standby current) Max.
- Low power standby mode : $\overline{CE}$
- Output buffer control : $\overline{OE}$
- Fully static operation
- Programs with one 50 ms pulse
- Single location programming
- Three state outputs
- Inputs and outputs TTL compatible
- Pin compatible with i2764 and ROM TMM2364P

PIN CONNECTION

(TOP VIEW) Lower 24 pins compatible with 32K bit EPROM TMM2732D



BLOCK DIAGRAM



PIN NAMES

$A_0 \sim A_{12}$	Address Inputs
$O_0 \sim O_7$	Outputs (Inputs)
$\overline{CE}$	Chip Enable Input
$\overline{OE}$	Output Enable Input
$\overline{PGM}$	Program Control Input
N.C.	No Connection
V_{PP}	Program Supply Voltage
V_{CC}	V_{CC} Supply Voltage (+5V)
GND	Ground

MODE SELECTION

Mode \ Pin	$\overline{PGM}$ (27)	$\overline{CE}$ (20)	$\overline{OE}$ (22)	V_{PP} (1)	V_{CC} (28)	$O_0 \sim O_7$ (11~13, 15~19)	Power
Read	H	L	L	5V	5V	Data Out	Active
Output Deselect	*	*	H		5V	High Impedance	
Standby	*	H	*		5V	High Impedance	Standby
Program	L	L	*	21V	5V	Data in	Active
Program Inhibit	*	H	*		5V	High Impedance	
	H	L	H		5V	High Impedance	
Program Verify	H	L	L		5V	Data Out	

Note: *: H or L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

SYMBOL	ITEM	RATING	UNIT
V_{CC}	V_{CC} Power Supply Voltage	−0.6 ~ 7.0	V
V_{PP}	Program Supply Voltage	−0.6 ~ 22.0	V
V_{IN}	Input Voltage	−0.6 ~ 7.0	V
V_{OUT}	Output Voltage	−0.6 ~ 7.0	V
P_D	Power Dissipation	1.5	W
T_{SOLDER}	Soldering Temperature · Time	260 · 10	°C · sec
$T_{STRG.}$	Storage Temperature	−65 ~ 125	°C
$T_{OPR.}$	Operating Temperature	0 ~ 70	°C

READ OPERATION

D.C. RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	–	V_{CC} + 1.0	V
V_{IL}	Input Low Voltage	−0.3	–	0.8	V
V_{CC}	V_{CC} Power Supply Voltage	4.75	–	5.25	V
V_{PP}	V_{PP} Power Supply Voltage	2.0	V_{CC}	V_{CC} + 0.6	V

D.C. and OPERATING CHARACTERISTICS (Ta = 0 ~ 70°C, V_{CC} = 5V ± 5% Unless otherwise noted)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{LI}	Input Current	V_{IN} = 0 ~ V_{CC}	–	–	± 10	μA
I_{CC1}	Supply Current (Standby)	$\overline{CE}$ = V_{IH}	–	–	35	mA
I_{CC2}	Supply Current (Active)	$\overline{CE}$ = V_{IL}	–	–	120	mA
V_{OH}	Output High Voltage	I_{OH} = −400μA	2.4	–	–	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA	–	–	0.4	V
I_{PP1}	V_{PP} Current	V_{PP} = 0 ~ V_{CC} + 0.6	–	–	± 10	μA
I_{LO}	Output Leakage Current	V_{OUT} = 0.4 ~ V_{CC}	–	–	± 10	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS

(T_a = 0 ~ 70°C, V_{CC} = 5V ± 5%, V_{PP} = 2.0V ~ V_{CC} + 0.6V, Unless otherwise noted)

SYMBOL	PARAMETER	CONDITIONS	TMM2764D-2		TMM2764D		UNIT
			MIN.	MAX.	MIN.	MAX.	
t_{ACC}	Address Access Time	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	–	200	–	250	ns
t_{CE}	$\overline{CE}$ to Output Valid	$\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	–	200	–	250	ns
t_{OE}	$\overline{OE}$ to Output Valid	$\overline{CE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	–	70	–	100	ns
t_{PGM}	$\overline{PGM}$ to Output Valid	$\overline{OE}$ = $\overline{CE}$ = V_{IL}	–	70	–	100	ns
t_{DF1}	$\overline{CE}$ to Output in High-Z	$\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	60	0	90	ns
t_{DF2}	$\overline{OE}$ to Output in High-Z	$\overline{CE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	60	0	90	ns
t_{DF3}	$\overline{PGM}$ to Output in High-Z	$\overline{OE}$ = $\overline{CE}$ = V_{IL}	0	60	0	90	ns
t_{OH}	Output Data Hold Time	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	–	–	–	ns

A.C. Test Conditions

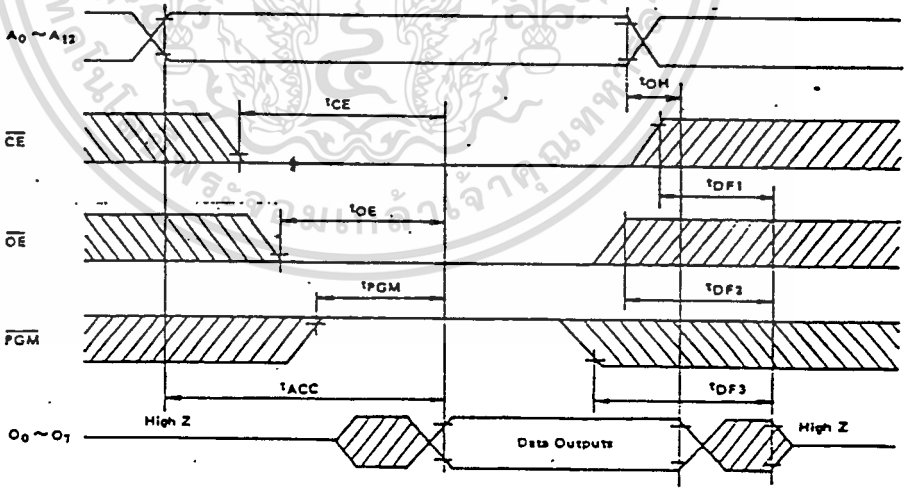
- Output Load : 1 TTL Gate and C_L = 100pF
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8V to 2.2V
- Timing Measurement Reference Level : Inputs 1V and 2V, Outputs 0.8V and 2.0V

CAPACITANCE * (T_a = 25°C, f = 1MHz)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
C_{IN}	Input Capacitance	V_{IN} = 0V	–	4	6	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V	–	8	12	pF

* This parameter is periodically sampled and is not 100% tested.

TIMING WAVEFORMS (READ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAM OPERATION

D.C. RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	–	V_{CC} + 1.0	V
V_{IL}	Input Low Voltage	−0.3	–	0.8	V
V_{CC}	V_{CC} Power Supply Voltage	4.75	5.0	5.25	V
V_{PP}	V_{PP} Power Supply Voltage	20.5	21.0	21.5	V

D.C. and OPERATING CHARACTERISTICS

($Ta = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{LI}	Input Current	$V_{IN} = 0 \sim V_{CC}$	–	–	± 10	μA
V_{OH}	Output High Voltage	$I_{OH} = -400\mu A$	2.4	–	–	V
V_{OL}	Output Low Voltage	$I_{OL} = 2.1mA$	–	–	0.4	V
I_{CC}	V_{CC} Supply Current	–	–	–	120	mA
I_{PP2}	V_{PP} Supply Current	$V_{PP} = 21.5V$	–	–	30	mA

A.C. PROGRAMMING CHARACTERISTICS

($Ta = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$)

SYMBOL	PARAMETER	CONDITIONS	MIN.	Typ.	MAX.	UNIT
t_{AS}	Address Setup Time	–	2	–	–	μs
t_{AH}	Address Hold Time	–	2	–	–	μs
t_{CES}	$\overline{CE}$ Setup Time	–	2	–	–	μs
t_{CEH}	$\overline{CE}$ Hold Time	–	2	–	–	μs
t_{OS}	Data Setup Time	–	2	–	–	μs
t_{DH}	Data Hold Time	–	2	–	–	μs
t_{PS}	$\overline{PGM}$ Setup Time	–	2	–	–	μs
t_{PH}	$\overline{PGM}$ Hold Time	–	2	–	–	μs
t_{OES}	$\overline{OE}$ Setup Time	–	2	–	–	μs
t_{VS}	V_{PP} Setup Time	–	2	–	–	μs
t_{PW}	Program Pulse Width	$\overline{PGM} = \overline{CE} = V_{IL}$	45	50	55	ms
t_{CP}	Program Recovery Time	–	0	–	–	μs
t_{PRT}	Program Pulse Rise Time	–	5	–	–	ns
t_{PFT}	Program Pulse Fall Time	–	5	–	–	ns
t_{CE}	$\overline{CE}$ to Output Valid	–	–	–	250	ns
t_{OE}	$\overline{OE}$ to Output Valid	–	–	–	100	ns
t_{DF1}	$\overline{CE}$ to Output in High Z	$\overline{OE} = V_{IL}$	–	–	90	ns
t_{DF2}	$\overline{OE}$ to Output in High Z	$\overline{CE} = V_{IL}$	–	–	90	ns

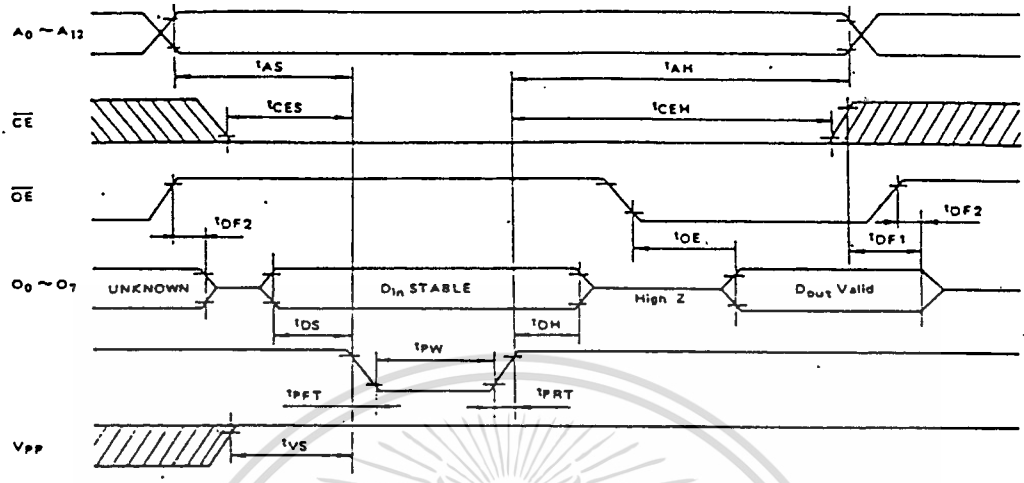
A.C. Test Conditions

- Output Load : 1TTL Gate and C_L (100 pF)
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8 ~ 2.2V
- Timing Measurement Reference Level : Input 1V and 2V ; Output 0.8V and 2.0V

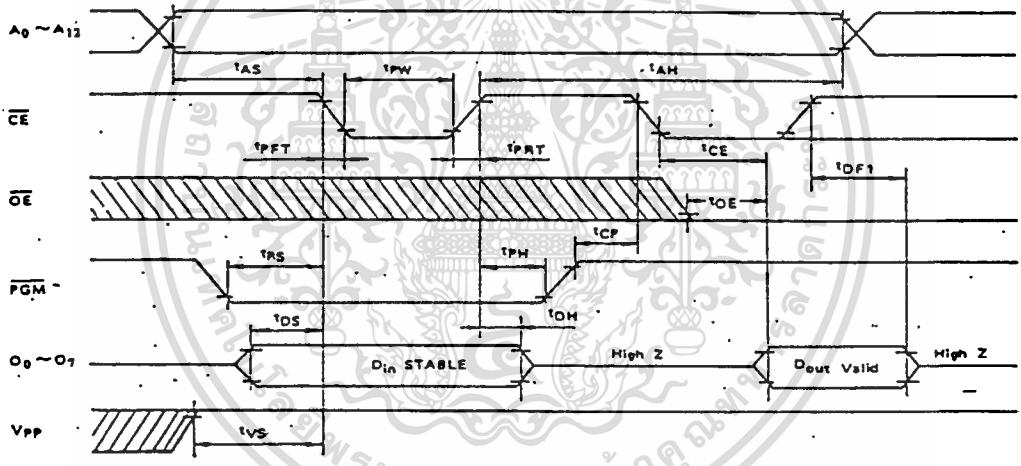
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORMS (PROGRAM)

PROGRAM OPERATION 1. (V_{PP} = 21V ± 0.5V)



PROGRAM OPERATION 2. (V_{PP} = 21V ± 0.5V)



Note: 1. V_{CC} must be applied simultaneously or before V_{PP} and cut off simultaneously or after V_{PP}.
2. Removing the device from socket and setting the device in socket with V_{PP} = 21V may cause permanent damage to the device.
3. The V_{PP} supply voltage is permitted up to 22V for program operation, so the voltage over 22V should not be applied to the V_{PP} terminal.
When the switching pulse voltage is applied to the V_{PP} terminal, the over-shoot voltage of its pulse should not be exceeded 22V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERASURE CHARACTERISTICS

The TMM2764D's erasure is achieved by applying shortwave ultraviolet light which has a wavelength of 2537Å (Angstroms) to the chip through the transparent window. Then integrated dose (Ultraviolet light intensity [w/cm²] x exposure time [sec.]) for erasure should be a minimum of 15 [W. sec/cm²].

When the Toshiba sterilizing lamp GL-15 is used and the device is exposed at a distance of 1 cm from the lamp surface, the erasure will be achieved within 60 minutes. And using commercial lamps whose ultraviolet light intensity is a 12000 [μw/cm²] will reduce the exposure time to about 20 minutes. (In this case, the integrated does is 12000 [μw/cm²] x (20 x 60) [sec] ≅ 15 [w. sec/cm²].)

The TMM2764D's erasure begins to occur when exposed to light with wavelength shorter than 4000 Å. The sunlight and the fluorescent lamps will include 3000 ~ 4000 Å wavelength components. Therefore when used under such lighting for extended periods of time, the opaque seals - Toshiba EPROM Protect Seal AC901 - are available.

OPERATION INFORMATION

The TMM2764D's six operation modes are listed in the following table. Mode selection can be achieved by applying TTL level signal to all inputs. In the read operation mode, a single 5V power supply is required and the levels required for all inputs are TTL.

		$\overline{PGM}$ (27)	$\overline{CE}$ (20)	$\overline{OE}$ (22)	V_{PP} (1)	V_{CC} (28)	$O_0 \sim O_7$ (11~13, 15~19)	Power
READ OPERATION (Ta = 0 ~ 70°C)	Read	H	L	L	5V	5V	Data Out	Active
	Output Deselect	*	*	H			High Impedance	Active
	Standby	*	H	*			High Impedance	Standby
PROGRAM OPERATION (Ta = 25 ± 5°C)	Program	L	L	*	21V	5V	Data In	Active
	Program	*	H	*			High Impedance	Active
	Inhibit	H	L	H			High Impedance	Active
	Program Verify	H	L	L			Data Out	Active

Note: H; V_{IH}, L; V_{IL}, *; V_{IH} or V_{IL}

READ MODE

The TMM2764D has three control functions. The chip enable ($\overline{CE}$) controls the operation power and should be used for device selection.

The output enable ($\overline{OE}$) and the program control ($\overline{PGM}$) control the output buffers, independent of device selection.

Assuming that $\overline{CE}$ = $\overline{OE}$ = V_{IL} and $\overline{PGM}$ = V_{IH}, the output data is valid at the outputs after address access time from stabilizing of all addresses.

The $\overline{CE}$ to output valid (t_{CE}) is equal to the address access time (t_{ACC}).

Assuming that $\overline{CE}$ = V_{IL}, $\overline{PGM}$ = V_{IH} and all addresses are valid, the output data is valid at the outputs after t_{OE} from the falling edge of $\overline{OE}$.

And assuming that $\overline{CE}$ = $\overline{OE}$ = V_{IL} and all addresses are valid, the output data is valid at the outputs after t_{PGM} from the rising edge of $\overline{PGM}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTPUT DESELECT MODE

Assuming that $\overline{CE} = V_{IH}$ or $\overline{OE} = V_{IH}$, the outputs will be in a high impedance state. So two or more TMM2764D can be connected together on a common bus line. When $\overline{CE}$ is decoded for device selection, all deselected devices are in low power standby mode.

STANDBY MODE

The TMM2764D has a low power standby mode controlled by the $\overline{CE}$ signal. By applying a TTL high level to the $\overline{CE}$ input, the TMM2764D is placed in the standby mode which reduce the operating current from 120mA to 35mA, and then the outputs are in a high impedance state, independent of the $\overline{OE}$ and the $\overline{PGM}$ inputs.

PROGRAM MODE

Initially, when received by customers, all bits of the TMM2764D are in the "1" state which is erased state.

Therefore the program operation is to introduce "0s" data into the desired bit locations by electrically programming.

The TMM2764D is set up in the program operation mode when applied the program voltage (+21V) to the V_{PP} terminal under $\overline{CE} = \overline{PGM} = \overline{OE} = V_{IH}$.

The program operation occurs during the overlap of the $\overline{CE}$ low and the $\overline{PGM}$ low. Then the programming is achieved by applying a 50ms (t_{PW}) active low program pulse to the $\overline{CE}$ or the $\overline{PGM}$ input after the addresses and data are stable.

This program pulse should be a single pulse with 50ms pulse width per address word, and its maximum value is 55ms.

The levels required for all inputs are TTL.

The TMM2764D can be programmed any location at anytime — either individually, sequentially, or at random.

The TMM2764D should not be programmed with D.C. signal applied to both $\overline{CE}$ and $\overline{PGM}$ inputs.

PROGRAM VERIFY MODE

The verify mode is to check that the desired data is correctly programmed on the programmed bits.

The verify is accomplished with $\overline{OE}$ and $\overline{CE}$ at V_{IL} and $\overline{PGM}$ at V_{IH}.

PROGRAM INHIBIT MODE

Under the condition that the program voltage (+21V) is applied to V_{PP} terminal, a high level $\overline{CE}$ or $\overline{PGM}$ input inhibits the TMM2764D from being programmed. Programming of two or more TMM2764Ds in parallel with different data is easily accomplished. That is, all inputs except for $\overline{CE}$ or $\overline{PGM}$ may be commonly connected, and a TTL low level program pulse is applied to the $\overline{CE}$ and $\overline{PGM}$ of the desired device only and TTL high level signal is applied to the other devices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2764A
ADVANCED 64K (8Kx8) UV ERASABLE PROM

- Fast 180 nsec Access Time —HMOS II*-E Technology
- Low Power
  - —60 mA Maximum Active
  - —20 mA Maximum Standby
- Two Line Control
- Intelligent Programming™ Algorithm —Fastest EPROM Programming
- Intelligent Identifier™ Mode —Automated Programming Operations
- Compatible with 2764, 27128, 27256
- ±10% V_{CC} Tolerance Available

The Intel 2764A is a 5V only, 65,536-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 2764A is an advanced version of the 2764 and is fabricated with Intel's HMOSII-E technology which significantly reduces die size and greatly improves the device's performance, power consumption, reliability and producibility.

The 2764A provides access times to 180 ns/2764A-1). This is an improvement over the fastest 2764 access time of 200 ns. This is compatible with high-performance microprocessors, such as Intel's 8 MHz iAPX 186 allowing full speed operation without the addition of WAIT states. The 2764A is also directly compatible with the 12 MHz 8051 family.

Several advanced features have been designed into the 2764A that allow fast and reliable programming—the intelligent Programming Algorithm and the intelligent Identifier Mode. Programming equipment that takes advantage of these innovations will electronically identify the 2764A and then rapidly program it using an efficient programming method.

The 2764A also offers reduced power consumption compared to the 2764. The maximum active current on faster speed parts is 60 mA while the maximum standby current is only 20 mA. The standby mode lowers power consumption without increasing access time.

Two-line control and JEDEC-approved, 28 pin packaging are standard features of all Intel higher density EPROMs. This ensures easy microprocessor interfacing and minimum design efforts when upgrading, adding or choosing between non-volatile memory alternatives.

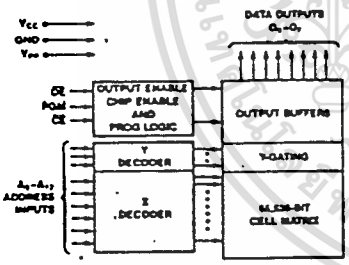
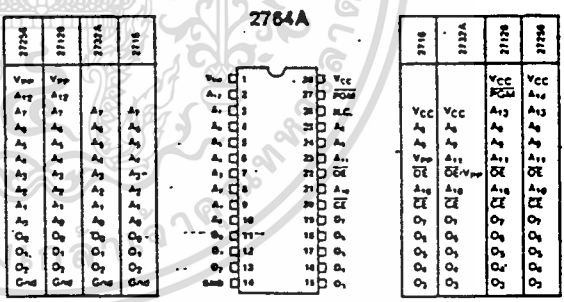


Figure 1. Block Diagram



NOTE: INTEL "UNIVERSAL SITE"-COMPATIBLE EPROM PIN CONFIGURATIONS ARE SHOWN IN THE BLOCKS ADJACENT TO THE 2764A PINS

Figure 2. Pin Configurations

MODE SELECTION

MODE \ PINS	CE (20)	OE (22)	PGM (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (O_7–O_0) (11–13, 15–19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High Z
Inhibit	V_{IH}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High Z
Intelligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_H	V_{CC}	V_{CC}	Codes
Intelligent Programming	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}

1. X can be V_{IH} or V_{IL}
2. V_H = 12.0V ± 0.5V

PIN NAMES

A_0–A_{12}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
O_0–O_7	OUTPUTS
PGM	PROGRAM
N.C.	NO CONNECT

*HMOS is a patented process of Intel Corporation

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.
©INTEL CORPORATION, 1984

JULY 1984
ORDER NUMBER: 230761-003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias .....−10°C to +80°C
Storage Temperature .....−65°C to +125°C
All Input or Output Voltages with Respect to Ground .....+6.5V to −0.6V
Voltage on Pin 24 with Respect to Ground .....+13.5V to −0.6V
V_{PP} Supply Voltage with Respect to Ground During Programming .....+14V to −0.6V

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	2764A-1, 2764A-2, 2764A 2764A-3, 2764A-4	2764A-20, 2764A-25 2764A-30, 2764A-45
Operating Temperature Range	0°−70°C	0°−70°C
V_{CC} Power Supply[1,2]	5V ±5%	5V ±10%
V_{PP} Voltage[2]	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits Min	Typ[3]	Max	Unit	Conditions
I_{LI}	Input Load Current			10	µA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	µA	$V_{OUT} = 5.5V$
I_{PP1}[2]	V_{PP} Current Read			5	mA	$V_{PP} = 5.5V$
I_{CC1}[2]	V_{CC} Current Standby			20/35[5]	mA	$\overline{CE} = V_{IH}$
I_{CC2}[2]	V_{CC} Current Active			60/75[5]	mA	$\overline{CE} = \overline{OE} = V_{IL}$
V_{IL}	Input Low Voltage	−.1		+.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -400$ µA
V_{PP}[2]	V_{PP} Read Voltage	3.8		V_{CC}	V	$V_{CC} = 5.0V \pm 0.25V$

A.C. CHARACTERISTICS

Symbol	Parameter	2764A-1 Limits Min	Max	2764A-20 & 2764A-2 Limits Min	Max	2764A-25 & 2764A Limits Min	Max	2764A-30 & 2764A-3 Limits Min	Max	2764A-45 & 2764A-4 Limits Min	Max	Unit	Test Conditions
t_{ACC}	Address to Output Delay		180		200		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		180		200		250		300		450	ns	$\overline{OE} = V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		65		75		100		120		150	ns	$\overline{CE} = V_{IL}$
t_{DF}[4]	$\overline{OE}$ or $\overline{CE}$ High to Output Data Float	0	55	0	55	0	60	0	105	0	130	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

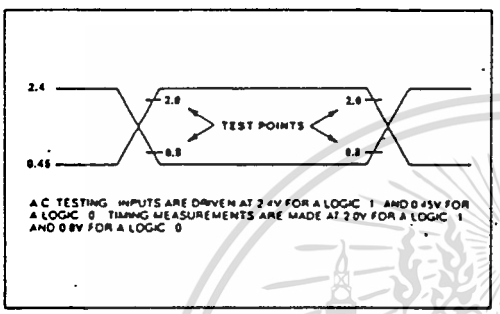
NOTES: 1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP}.
3. Typical values are for T_A = 25°C and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven — see timing diagram on the following page.
5. Max I_{CC} rating differs with access time. Rating of 60 mA active and 20 mA standby are for 2764As at 200 nsec and 180 nsec access time only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

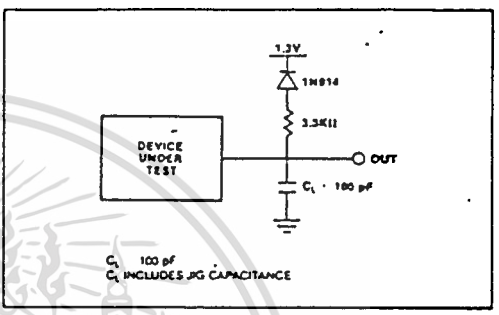
CAPACITANCE[2] (T_A = 25°C, f = 1MHz)

Symbol	Parameter	Typ.[1]	Max.	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

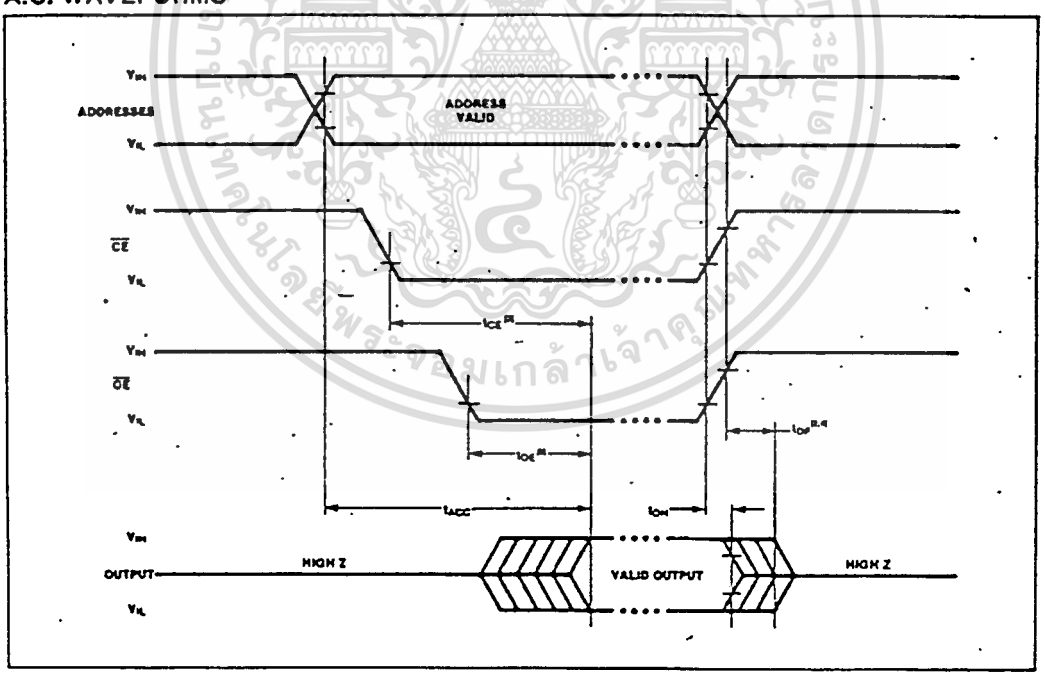
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



NOTES:
1. Typical values are for T_A = 25°C and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3. $\overline{OE}$ may be delayed up to $t_{CE} - t_{OE}$ after the falling edge of $\overline{CE}$ without impact on t_{CE}.
4. t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$, whichever occurs first.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION

The seven modes of operation of the 2764A are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for int$_e$ligent identifier mode.

Table 1. MODE SELECTION

MODE \ PINS	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11–13, 15–19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High Z
Verify	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High Z
int$_e$ligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_H	V_{CC}	V_{CC}	Code
int$_e$ligent Programming	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}

NOTES:
1. X can be V_{IH} or V_{IL}
2. $V_H = 12.0V \pm 0.5V$

READ MODE

The 2764A has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after a delay of t_{OE} from the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC} - t_{OE}$.

STANDBY MODE

The 2764A has standby mode which reduces the maximum current from 75 mA to 35 mA. The 2764A is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Output OR-Tieing

Because EPROMs are usually used in larger memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, $\overline{CE}$ (pin 20) should be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 22) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

System Considerations

The power switching characteristics of HMOSII-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note AP-72, Order Number 8566, and by properly selected decoupling capacitors. It is recommended that a 0.1 µF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 µF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effect of PC board-traces.

PROGRAMMING MODES

Caution: Exceeding 14V on pin 1 (V_{PP}) will permanently damage the 2764A.

Initially, and after each erasure, all bits of the 2764A are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2764A is in the programming mode when V_{PP} input is at 12.5V and $\overline{CE}$ and $\overline{PGM}$ are both at TTL low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Inteligent Programming™ Algorithm

The 2764A inteligent Programming Algorithm rapidly programs Intel 2764A EPROMs using an efficient and reliable method particularly suited to the production programming environment. Typical programming time for individual devices is on the order of one and a half minutes. Programming reliability is also ensured as the incremental-program margin of each byte is continually monitored to determine when it has been successfully programmed. A flowchart of the 2764A inteligent Programming Algorithm is shown in Figure 3.

The inteligent Programming Algorithm utilities two different pulse types: initial and overprogram. The duration of the initial $\overline{PGM}$ pulse(s) is one millisecond, which will then be followed by a longer overprogram pulse of length 3X msec. X is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular 2764A location, before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the overprogram pulse is applied.

The entire sequence of program pulses and byte verifications is performed at V_{CC} = 6.0V and V_{PP} = 12.5V. When the inteligent Programming cycle has been completed, all bytes should be compared to the original data with $V_{CC} = V_{PP} = 5.0V$.

Program Inhibit

Programming of multiple 2764As in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level $\overline{CE}$ or $\overline{PGM}$ input inhibits the other 2764As from being programmed.

Except for $\overline{CE}$, all like inputs (including $\overline{OE}$) of the parallel 2764As may be common. A TTL low-level pulse applied to the $\overline{CE}$ input with V_{PP} at 12.5V will program the selected 2764A.

Verify

A verify should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IL}, $\overline{PGM}$ at V_{IH} and V_{PP} at 12.5V.

Inteligent Identifier™ Mode

The inteligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ±5°C ambient temperature range that is required when programming the 2764A.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the 2764A. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 10) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during inteligent Identifier Mode.

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the Intel 2764A, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

Table 2. 2764A inteligent Identifier™ Bytes

Identifier \ Pins	A_0 (10)	O_7 (19)	O_6 (18)	O_5 (17)	O_4 (16)	O_3 (15)	O_2 (13)	O_1 (12)	O_0 (11)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	V_{IH}	0	0	0	0	1	0	0	0	08

NOTES:
1. $A_9 = 12.0V \pm 0.5V$
2. A_1–A_8, A_{10}–A_{13}, $\overline{CE}$, $\overline{OE} = V_{IL}$
3. $A_{14} = V_{IH}$ or V_{IL}

กสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

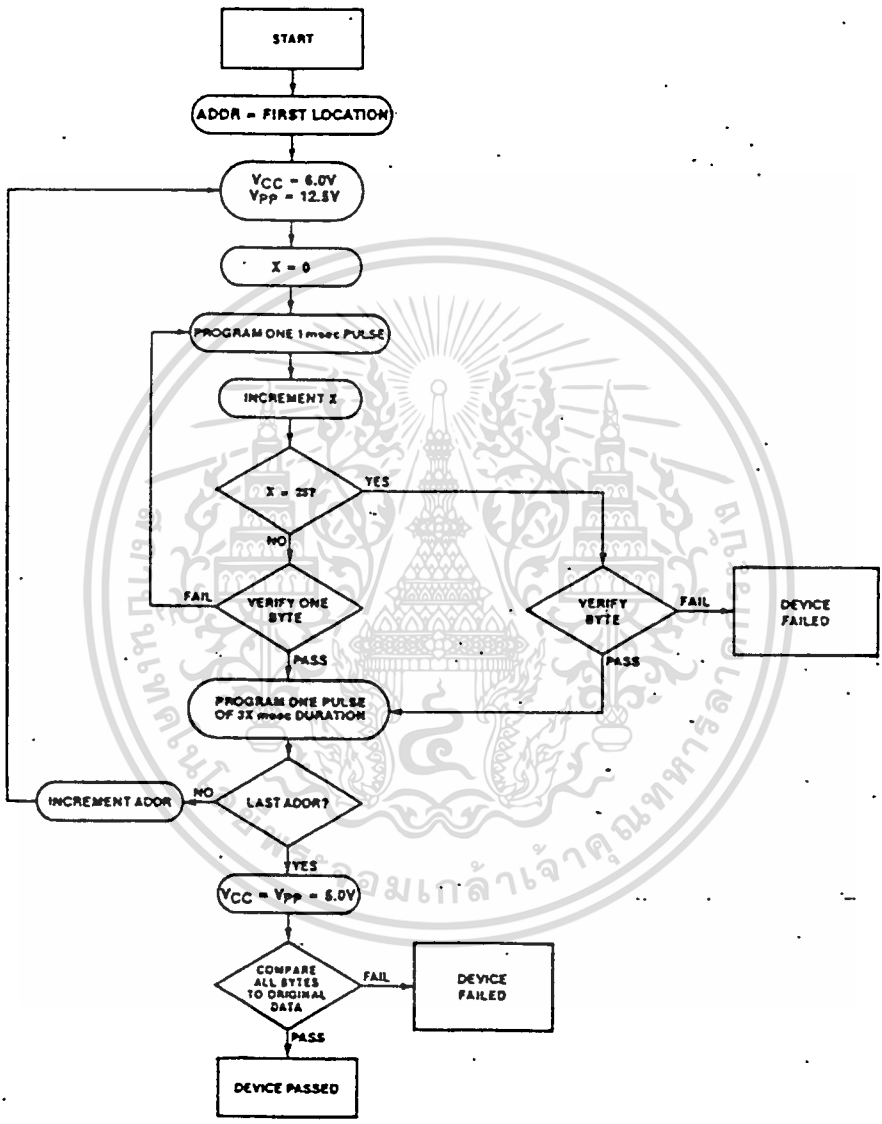


Figure 3. 2764A Intelligent Programming™ Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERASURE CHARACTERISTICS

The erasure characteristics of the 2764A are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000–4000Å range. Data show that constant exposure to room level fluorescent lighting could erase that typical 2764A in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2764A is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 2764A window to prevent unintentional erasure.

The recommended erasure procedure for the 2764A is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15 Wsec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm^2 power rating. The 2764A should be placed within 1 inch of the lamp tubes during erasure. The maximum integrated dose a 2764A can be exposed to without damage is 7258 Wsec/cm^2 (1 week @ 12000 μW/cm^2). Exposure of the 2764A to high intensity UV light for long periods may cause permanent damage.

RELEVANT INTEL LITERATURE

AR-265 Versatile Algorithm, Equipment Cut Programming Time
RR-35B EPROM Reliability Data Summary

int$_e$ligent Programming™ Algorithm

D.C. PROGRAMMING CHARACTERISTICS:

$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 12.5V \pm 0.5V$

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min.	Max.	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4		V	$I_{OH} = -400\ \mu$A
I_{CC2}	V_{CC} Supply Current (Program & Verify)		75	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. PROGRAMMING CHARACTERISTICS:
T_A = 25 ± 5°C, V_{CC} = 6.0V ± 0.25V, V_{PP} = 12.5V ± 0.5V

Symbol	Parameter	Limits				Test Conditions* (see Note 1)
		Min.	Typ.	Max.	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}[4]	$\overline{OE}$ High to Output Float Delay	0		130	ns	
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{PW}	$\overline{PGM}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	(see Note 3)
t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	2.85		78.75	ms	(see Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

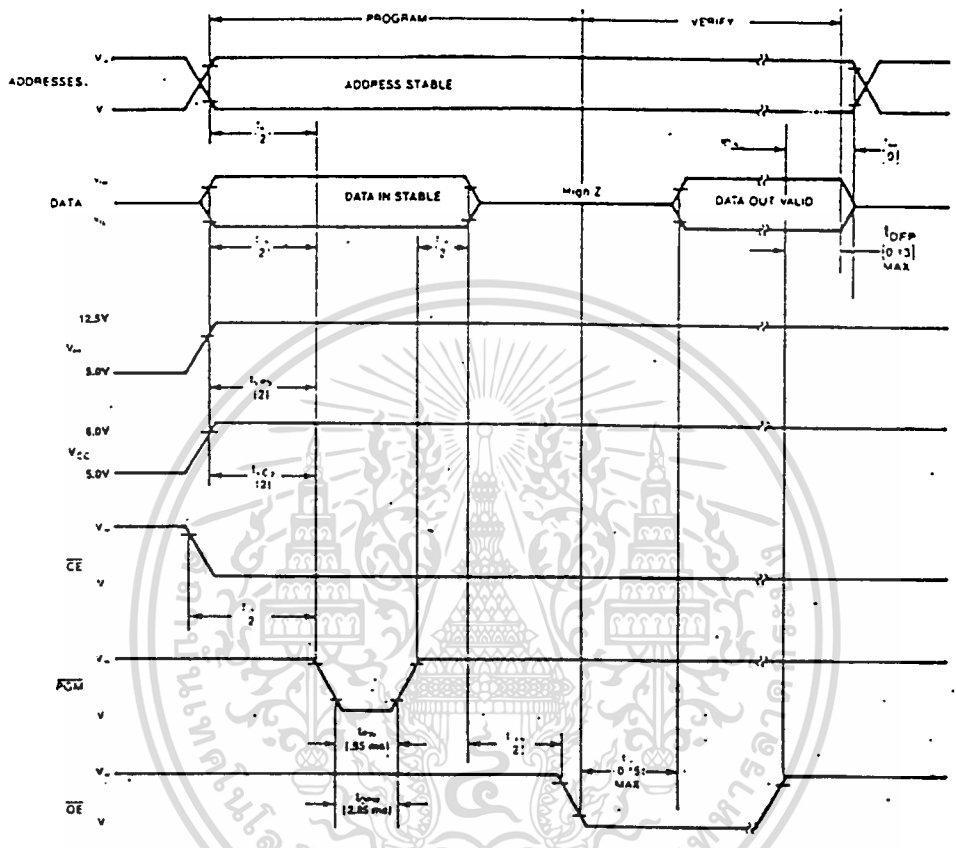
***A.C. CONDITIONS OF TEST**

Input Rise and Fall Times (10% to 90%) ... 20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Input Timing Reference Level ..... 0.8V and 2.0V
Output Timing Reference Level ... 0.8V and 2.0V

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1 msec ±5%.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Intelligent Programming™ WAVEFORMS



1. ALL TIMES SHOWN IN [ ] ARE MINIMUM AND IN μSEC UNLESS OTHERWISE SPECIFIED.
2. THE INPUT TIMING REFERENCE LEVEL IS .8V FOR V_{IL} AND 2V FOR A V_{IH}.
3. t_{OE} AND t_{DFP} ARE CHARACTERISTICS OF THE DEVICE BUT MUST BE ACCOMMODATED BY THE PROGRAMMER.
4. WHEN PROGRAMMING THE 2764A, A 0.1 μF CAPACITOR IS REQUIRED ACROSS V_{PP} AND GROUND TO SUPRESS SPURIOUS VOLTAGE TRANSIENTS WHICH CAN DAMAGE THE DEVICE.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

27128
128K (16K x 8) UV ERASABLE PROM

- 250 ns Maximum Access Time . . . HMOS*-E Technology
- Compatible with High-Speed 8 MHz iAPX 186...Zero WAIT State
- Two-Line Control
- Pin Compatible to 2764 EPROM
- Industry Standard Pinout . . . JEDEC Approved
- ±10% V_{CC} Tolerance Available
- Low Active Current . . . 100 mA Max.
- Intelligent Programming™ Algorithm

The Intel 27128 is a 5V only, 131,072-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The standard 27128 access time is 250 ns which is compatible with high-performance microprocessors such as Intel's 8 MHz iAPX 186. In these systems the 27128 allows the microprocessor to operate without the addition of WAIT states. The 27128 is also compatible with the 12 MHz 8051 family.

An important 27128 feature is the separate output control, Output Enable ($\overline{OE}$) from the Chip Enable control ($\overline{CE}$). The $\overline{OE}$ control eliminates bus contention in microprocessor systems. Intel's Application Note AP-72 describes the microprocessor system implementation of the $\overline{OE}$ and $\overline{CE}$ controls on Intel's EPROMs. AP-72 is available from Intel's Literature Department.

The 27128 has standby mode which reduces the power consumption without increasing access time. The maximum active current is 100 mA, while the maximum standby current is only 40 mA. The standby mode is selected by applying a TTL-high signal to the $\overline{CE}$ input.

±10% V_{CC} tolerance is available as an alternative to the standard ±5% V_{CC} tolerance for the 27128. This can allow the system designer more leeway with regard to his power supply requirements and other system parameters.

The 27128 is fabricated with HMOS*-E technology, Intel's high-speed N-channel MOS Silicon Gate Technology.

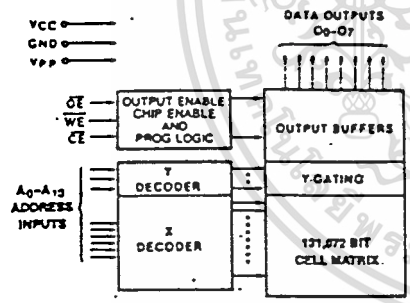
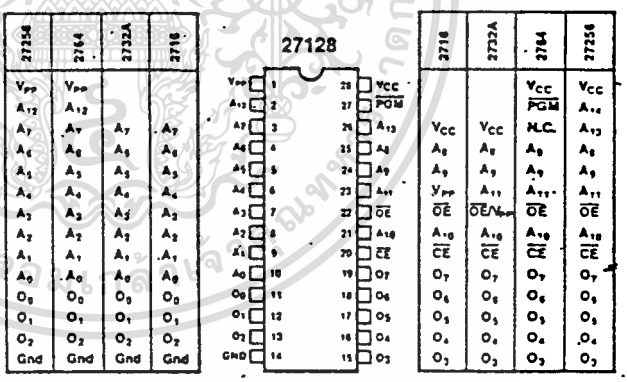


Figure 1. Block Diagram



NOTE: INTEL "UNIVERSAL SITE" COMPATIBLE EPROM PIN CONFIGURATIONS ARE SHOWN IN THE BLOCKS ADJACENT TO THE 27128 PINS

Figure 2. Pin Configurations

MODE SELECTION

Mode \ Pins	$\overline{CE}$ (20)	$\overline{OE}$ (22)	PGM (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11–13, 15–19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	O_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High Z
Program	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}
Verify	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	O_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High Z
Intelligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_H	V_{CC}	V_{CC}	Code
Intelligent Programming	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}

NOTES:
1. X can be V_{IH} or V_{IL}.
2. V_H = 12.0V ± 0.5V.

PIN NAMES

A_0–A_{13}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
O0–O7	OUTPUTS
$\overline{PGM}$	PROGRAM
N.C.	NO CONNECT

*HMOS is a patented process of Intel Corporation.

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.
©INTEL CORPORATION, 1983.
OCTOBER 1983
ORDER NUMBER: 210224-005

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias .....−10°C to +80°C
Storage Temperature .....−65°C to +125°C
All Input or Output Voltages with Respect to Ground .....+7.0V to −0.6V
Voltage on Pin 24 with Respect to Ground .....+13.5V to −0.6V
V_{PP} Supply Voltage with Respect to Ground During Programming .....+22V to −0.6V

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	27128	27128-3	27128-4	27128-25	27128-30	27128-45
Operating Temperature Range	0°C–70°C	0°C–70°C	0°C–70°C	0°C–70°C	0°C–70°C	0°C–70°C
V_{CC} Power Supply[1,2]	5V ± 5%	5V ± 5%	5V ± 5%	5V ± 10%	5V ± 10%	5V ± 10%
V_{PP} Voltage[2]	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits Min.	Typ.[3]	Max.	Units	Test Conditions
I_{LI}	Input Load Current			10	μA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	μA	$V_{OUT} = 5.5V$
I_{PP1}[2]	V_{PP} Current Read/Standby			5	mA	$V_{PP} = 5.5V$
I_{CC1}[2]	V_{CC} Current Standby		15	40	mA	$\overline{CE} = V_{IH}$
I_{CC2}[2]	V_{CC} Current Active		60	100	mA	$\overline{CE} = \overline{OE} = V_{IL}$
V_{IL}	Input Low Voltage	−.1		+.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -400\ \mu A$
V_{PP}[2]	V_{PP} Read Voltage	3.8		V_{CC}	V	$V_{CC} = 5.0V \pm 0.25V$

A.C. CHARACTERISTICS

Symbol	Parameter	27128-25 & 27128 Limits Min.	Max.	27128-30 27128-3 Limits Min.	Max.	27128-45 & 27128-4 Limits Min.	Max.	Units	Test Conditions
t_{ACC}	Address to Output Delay		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		250		300		450	ns	$\overline{OE} = V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		100		120		150	ns	$\overline{CE} = V_{IL}$
t_{DF}[4]	$\overline{OE}$ High to Output Float	0	60	0	105	0	130	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

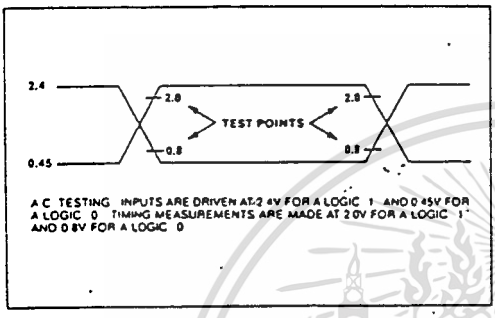
NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for $T_A = 25°C$ and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

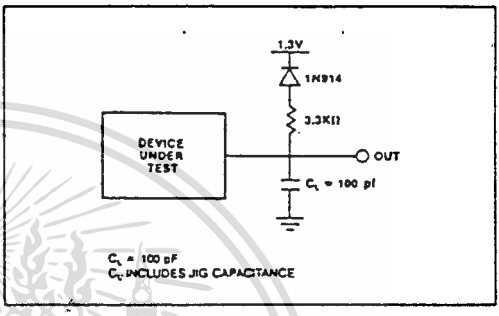
CAPACITANCE (T_A = 25°C, f = 1 MHz)

Symbol	Parameter	Typ.[1]	Max.	Unit	Conditions
C_{IN}[2]	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

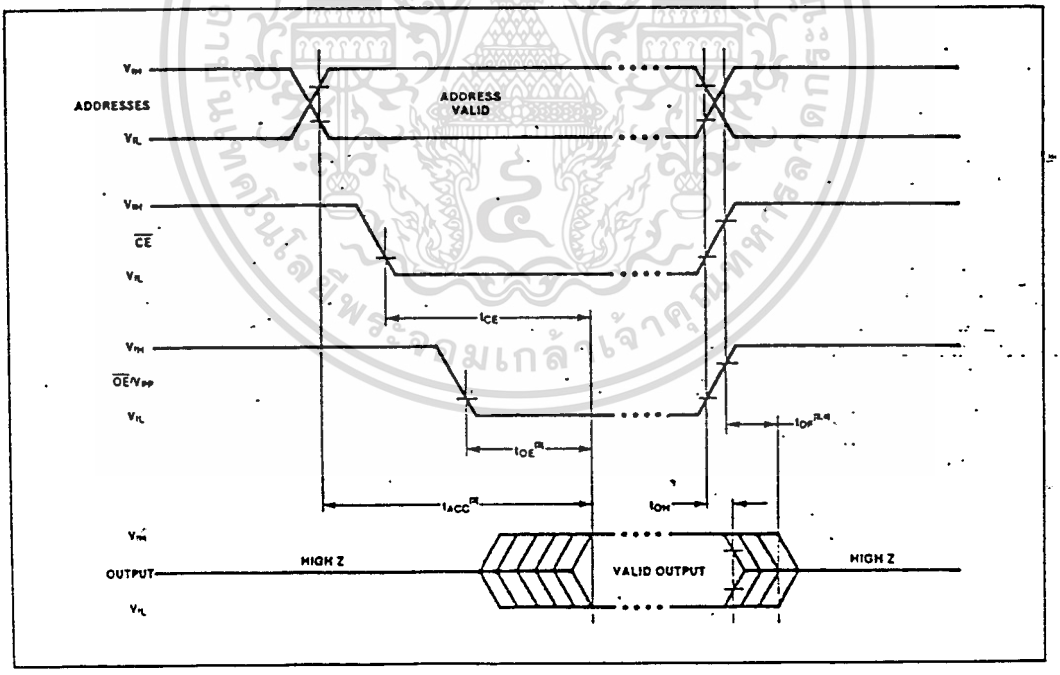
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



NOTES:
1. Typical values are for T_A = 25°C and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3. $\overline{OE}$ may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of $\overline{CE}$ without impact on t_{ACC}.
4. t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$, whichever occurs first.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STANDARD PROGRAMMING

D.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$ (see Note 1)

Symbol	Parameter	Limits			Test Conditions
		Min.	Max.	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{OL}	Output Low Voltage During Verify		0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4		V	$I_{OH} = -400$ μA
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	$V_{CC} + 1$	V	
I_{CC1}	V_{CC} Supply Current (Program Inhibit)		40	mA	$\overline{CE} = V_{IH}$
I_{CC2}	V_{CC} Supply Current (Program & Verify)		100	mA	
I_{PP2}	V_{PP} Supply Current (Program)		30	mA	$\overline{CE} = V_{IL} = \overline{PGM}$
I_{PP3}	V_{PP} Supply Current (Verify)		5	mA	$\overline{CE} = V_{IL}$ $\overline{PGM} = V_{IH}$
I_{PP4}	V_{PP} Supply Current (Program Inhibit)		5	mA	$\overline{CE} = V_{IH}$
V_{ID}	A9 Intelligent Identifier Voltage	11.5	12.5	V	

A.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$ (see Note 1)

Symbol	Parameter	Limits				Test Conditions*
		Min.	Typ.	Max.	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}[2]	Output Enable to Output Float Delay	0		130	ns	
t_{VS}	V_{PP} Setup Time	2			μs	
t_{PW}	$\overline{PGM}$ Pulse Width During Programming	45	50	55	ms	
t_{CES}	$\overline{CE}$ Setup Time	2			μs	
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

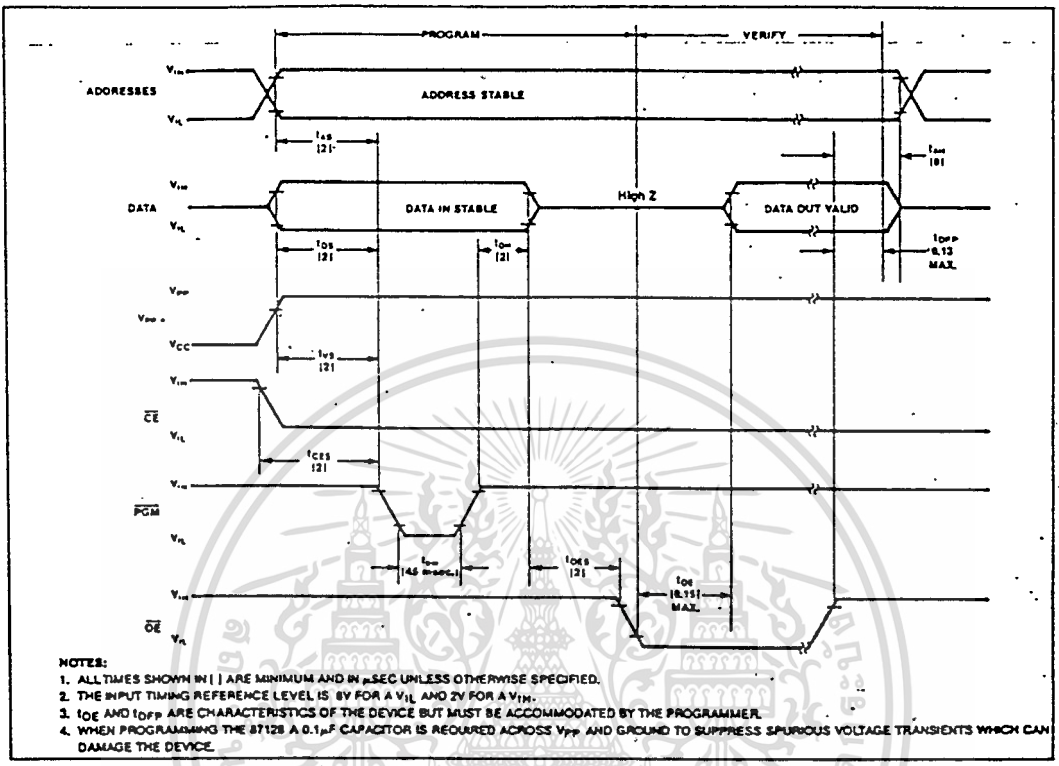
*A.C. CONDITIONS OF TEST

Input Rise and Fall Times (10% to 90%) ..... 20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Input Timing Reference Level ..... 0.8V and 2.0V
Output Timing Reference Level ..... 0.8V and 2.0V

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STANDARD PROGRAMMING WAVEFORMS



NOTES:
1. ALL TIMES SHOWN IN ( ) ARE MINIMUM AND IN μSEC UNLESS OTHERWISE SPECIFIED.
2. THE INPUT TIMING REFERENCE LEVEL IS .8V FOR A V_{IL} AND 2V FOR A V_{IH}.
3. t_{OE} AND t_{DFP} ARE CHARACTERISTICS OF THE DEVICE BUT MUST BE ACCOMMODATED BY THE PROGRAMMER.
4. WHEN PROGRAMMING THE 27128 A 0.1μF CAPACITOR IS REQUIRED ACROSS V_{PP} AND GROUND TO SUPPRESS SPURIOUS VOLTAGE TRANSIENTS WHICH CAN DAMAGE THE DEVICE.

ERASURE CHARACTERISTICS

The erasure characteristics of the 27128 are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000–4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 27128 in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 27128 is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 27128 window to prevent unintentional erasure.

The recommended erasure procedure for the 27128 is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15 Wsec/cm². The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm² power rating. The 27128 should be placed within 1 inch of the lamp tubes during erasure. The maximum integrated dose a 27128 can be exposed to without damage is 7258 Wsec/cm² (1 week @ 12000 μW/cm²). Exposure of the 27128 to high intensity UV light for long periods may cause permanent damage.

DEVICE OPERATION

The eight modes of operation of the 27128 are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for intelligent Identifier mode.

Table 1. Mode Selection

Mode \ Pins	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11–13, 15–19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High Z
Program	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}
Verify	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High Z
intelligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_H	V_{CC}	V_{CC}	Code
intelligent Programming	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}

NOTES:
1. X can be V_{IH} or V_{IL}
2. V_H = 12.0V ±0.5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

algorithm. A flowchart of the 27128 inteligent Programming Algorithm is shown in Figure 3. This is compatible with the 2764 inteligent Programming Algorithm.

This fast algorithm assures reliable programming through the "closed loop" technique of margin checking. To ensure reliable program margin the inteligent Programming Algorithm utilizes two different pulse types: initial and overprogram. The duration of the initial $\overline{PGM}$ pulse(s) is one millisecond, which will then be followed by a longer overprogram pulse of length 4X msec. X is an iteration counter and is equal to the number of the initial one-millisecond pulses applied to a particular 27128 location, before a correct verify occurs. Up to 15 one-millisecond pulses per byte are provided for before the overprogram pulse is applied.

The entire sequence of program pulses and byte verifications is performed at V_{CC} = 6.0V and V_{PP} = 21.0V. When the inteligent Programming cycle has been completed, all bytes should be compared to the original data with $V_{CC} = V_{PP} = 5.0V$.

inteligent Programming™ Algorithm

D.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 21V \pm 0.5V$

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min.	Max.	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage During Verify	2.4		V	I_{OH} = −400 μA
I_{CC2}	V_{CC} Supply Current (Program & Verify)		100	mA	
I_{PP2}	V_{PP} Supply Current (Program)		30	mA	$\overline{CE} = V_{IL} = \overline{PGM/WE}$
V_{ID}	A_9 inteligent Identifier Voltage	11.5	12.5	V	

A.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 21V \pm 0.5V$

Symbol	Parameter	Limits				Test Conditions* (see Note 1)
		Min.	Typ.	Max.	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}[4]	$\overline{OE}$ High to Output Float Delay	0		130	ns	
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{PW}	$\overline{PGM/WE}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	(see Note 3)
t_{OPW}	$\overline{PGM/WE}$ Overprogram Pulse Width	3.8		63	ms	(see Note 2)
t_{CES}	$\overline{CE}$ Setup Time	2			μs	
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

***A.C. CONDITIONS OF TEST**

Input Rise and Fall Times (10% to 90%) ..... 20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Input Timing Reference Level ..... 0.8V and 2.0V
Output Timing Reference Level ..... 0.8V and 2.0V

NOTES:

1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse will vary from 3.8 msec to 63 msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1 msec ± 5%.
4. This parameter is only sampled as is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram on the following page.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

READ MODE

The 27128 has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after a delay of t_{OE} from the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC} - t_{OE}$.

STANDBY MODE

The 27128 has standby mode which reduces the maximum active current from 100 mA to 40 mA. The 27128 is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Output OR-Tieing

Because EPROMs are usually used in larger memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, $\overline{CE}$ (pin 20) should be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 22) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

System Considerations

The power switching characteristics of HMOS-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note, AP-72, and by properly selected decoupling capacitors. It is recommended that a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effects of PC board traces.

PROGRAMMING MODES

Caution: Exceeding 22V on pin 1 (V_{PP}) will permanently damage the 27128.

Initially, and after each erasure, all bits of the 27128 are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 27128 is in the programming mode when V_{PP} input is at 21V and $\overline{CE}$ and $\overline{PGM}$ are both at TTL low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

Standard Programming

For programming, $\overline{CE}$ should be kept TTL-low at all times while V_{PP} is kept at 21V. When the address and data are stable, a 50 msec, active-low, TTL program pulse is applied to the $\overline{PGM}$ input. A program pulse must be applied at each address location to be programmed. You can program any location at any time —either individually, sequentially, or at random. The program pulse has a maximum width of 55 msec.

Programming of multiple 27128s in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the paralleled 27128s may be connected together when they are programmed with the same data. A low-level TTL pulse applied to the $\overline{PGM}$ input programs the paralleled 27128s.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

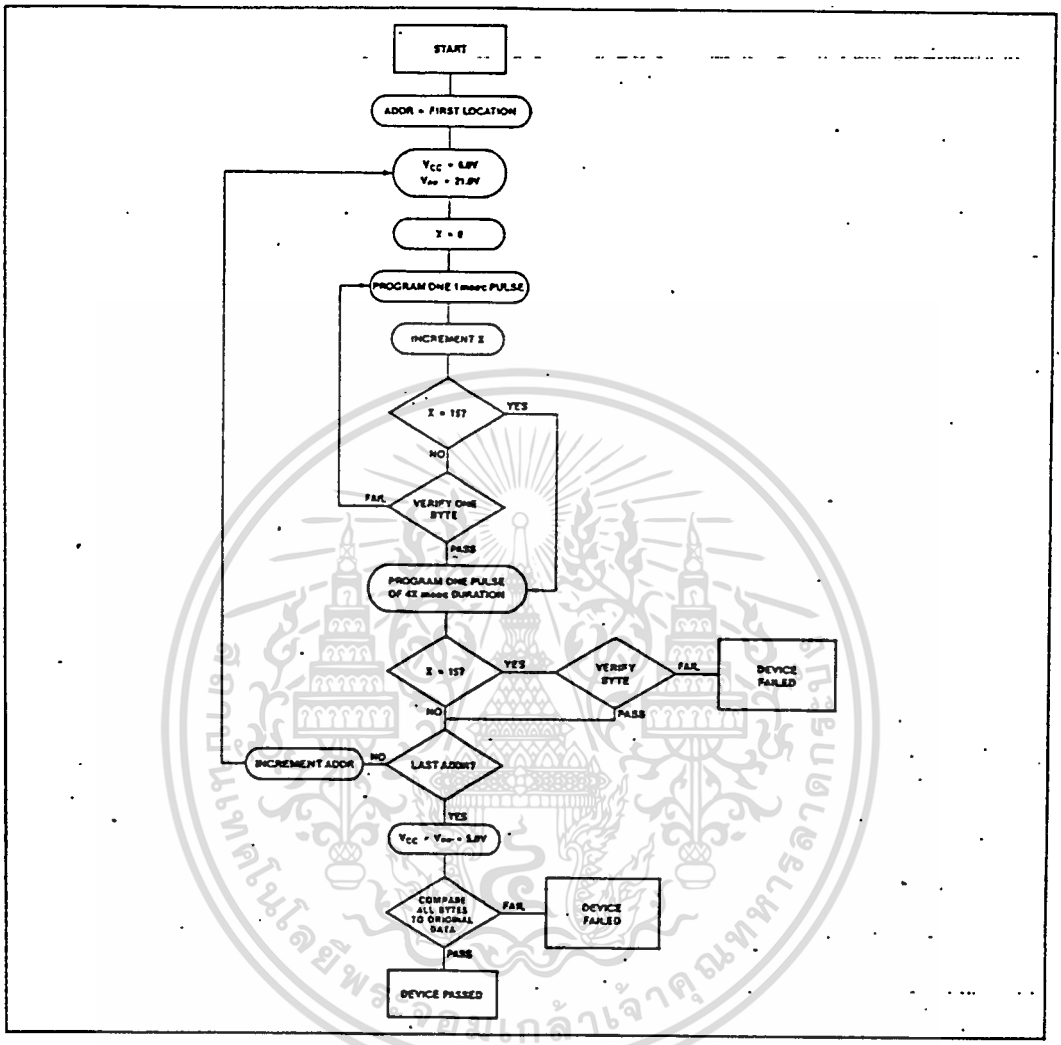


Figure 3. 27128 Inteligent Programming™ Flowchart

Program Inhibit

Programming of multiple 27128s in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level $\overline{CE}$ or $\overline{PGM}$ input inhibits the other 27128s from being programmed. Except for $\overline{CE}$, all like inputs (including $\overline{OE}$) of the parallel 27128s may be common. A TTL low-level pulse applied to the $\overline{CE}$ and $\overline{PGM}$ inputs with V_{PP} at 21V will program the selected 27128.

Verify

A verify should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with $\overline{CE}$ and $\overline{OE}$ at V_{IL}, $\overline{PGM}$ at V_{IH} and V_{PP} at 21V.

Inteligent Programming™ Algorithm

The 27128 inteligent Programming Algorithm is the preferred programming method since it allows Intel 27128s to be programmed in a significantly faster time than the standard 50 msec per byte programming routine. Typical programming times for 27128s are on the order of two minutes, which is a six-fold reduction in programming time from the standard method. This fast algorithm results in improved reliability characteristics over the standard 50 msec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

inteligent Identifier™ Mode

The inteligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ± 5°C ambient temperature range.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the 27128. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 10) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during inteligent Identifier Mode.

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the Intel 27128, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

Intel will begin manufacturing 27128s during 1982 that will contain the inteligent Identifier feature. Earlier generation devices will not contain identifier information, and if erased, will respond with a "one" (V_{OH}) on each data line when operated in this mode. Programmed, pre-identifier mode 27128s will respond with the current data contained in locations 0 and 1 when subjected to the inteligent Identifier operation.

Table 2. 27128 inteligent Identifier Bytes

Identifier \ Pins	A_0 (10)	O_7 (19)	O_6 (18)	O_5 (17)	O_4 (16)	O_3 (15)	O_2 (13)	O_1 (12)	O_0 (11)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	V_{IH}	1	0	0	0	0	0	1	1	83

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRELIMINARY

27128A
Advanced 128K (16 x 8) UV Erasable PROM

- Fast 150 nsec Access Time
  — HMOS* II-E Technology
- Low Power
  — 100 mA Maximum Active
  — 40 mA Maximum Standby
- Two Line Control
- Inteligent Programming™ Algorithm
  — Fastest EPROM Programming
- Inteligent Identifier™ Mode
  — Automated Programming Operations
- Compatible with 2764A, 27128, 27256
- ±10% V_{CC} Tolerance Available

The Intel 27128A is a 5V only, 131,072-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 27128A is an advanced version of the 27128 and is fabricated with Intel's HMOSII-E technology which significantly reduces die size and greatly improves the device's performance, reliability and manufacturability.

The 27128A is available in fast access times including 200 ns (27128A-2) and 150 ns (27128A-1). This ensures compatibility with high-performance microprocessors, such as Intel's 8 MHz iAPX 186 allowing full speed operation without the addition of WAIT states. The 27128A is also directly compatible with the 12 MHz 8051 family.

Several advanced features have been designed into the 27128A that allow fast and reliable programming—the inteligent Programming Algorithm and the inteligent Identifier Mode. Programming equipment that takes advantage of these innovations will electronically identify the 27128A and then rapidly program it using an efficient programming method.

Two-line control and JEDEC-approved, 28 pin packaging are standard features of all Intel higher density EPROMs. This ensures easy microprocessor interfacing and minimum design efforts when upgrading, adding or choosing between non-volatile memory alternatives.

*HMOS is a patented process of Intel Corporation

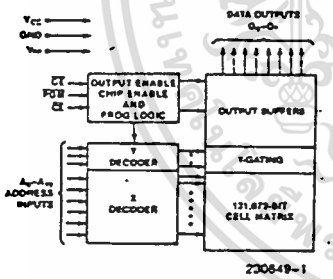
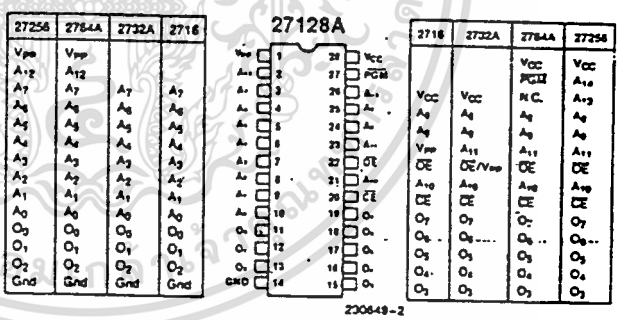


Figure 1. Block Diagram



NOTE: Intel "Universal Site"-Compatible EPROM Pin Configurations are Shown in the Blocks Adjacent to the 27128A Pins

Figure 2. Pin Configurations

Mode Selection

Mode \ Pins	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11-13, 15-19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High Z
Verify	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High Z
Inteligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_H	V_{CC}	V_{CC}	Code
Inteligent Programming	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}

1. X can be V_{IH} or V_{IL}
2. $V_H = 12.0V \pm 0.5V$

Pin Names

A_0–A_{13}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
O_0–O_7	OUTPUTS
$\overline{PGM}$	PROGRAM

Intel Corporation assumes no responsibility for the use of any circuitry other than circuitry embodied in an Intel product. No other circuit patent licenses are implied. Information contained herein supersedes previously published specifications on these devices from Intel.
© Intel Corporation, 1984.

April 1984
Order Number: 230849-002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias ..... −10°C to +80°C
Storage Temperature ..... −65°C to +125°C
All Input or Output Voltages with Respect to Ground ..... +6.25V to −0.6V
Voltage on Pin 24 with Respect to Ground ..... +13.5V to −0.6V
V_{PP} Supply Voltage with Respect to Ground During Programming .... +14V to −0.6V

**NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	27128A-1, 27128A-2, 27128A-3	27128A-20, 27128A-30
Operating Temperature Range	0° − 70°C	0° − 70°C
V_{CC} Power Supply[1,2]	5V ± 5%	5V ± 10%
V_{PP} Voltage[2]	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$

READ OPERATION

D. C. CHARACTERISTICS

Symbol	Parameter	Limits				Conditions
		Min	Typ[3]	Max	Unit	
I_{LI}	Input Load Current			10	µA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	µA	$V_{OUT} = 5.5V$
I_{PP1}[2]	V_{PP} Current Read			5	mA	$V_{PP} = 5.5V$
I_{CC1}[2]	V_{CC} Current Standby			40	mA	$\overline{CE} = V_{IH}$
I_{CC2}[2]	V_{CC} Current Active			100	mA	$\overline{CE} = OE = V_{IL}$
V_{IL}	Input Low Voltage	−.1		+.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = 400$ µA
V_{PP}[2]	V_{PP} Read Voltage	3.8		V_{CC}	V	$V_{CC} = 5.0V \pm .25$

A.C. CHARACTERISTICS

Symbol	Parameter	27128A-1 Limits		27128A-20 & 27128A-2 Limits		27128A-30 & 27128A-3 Limits		Unit	Test Conditions
		Min	Max	Min	Max	Min	Max		
t_{ACC}	Address to Output Delay		150		200		300	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		150		200		300	ns	$\overline{OE} = V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		65		75		100	ns	$\overline{CE} = V_{IL}$
t_{DF}[4]	$\overline{OE}$ High to Output Float	0	55	0	55	0	60	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for $t_A = 25°C$ and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.

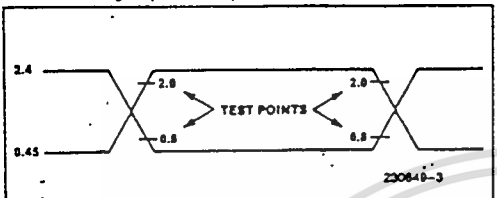
230849-002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE[2] (T_A = 25°C, f = 1MHz)

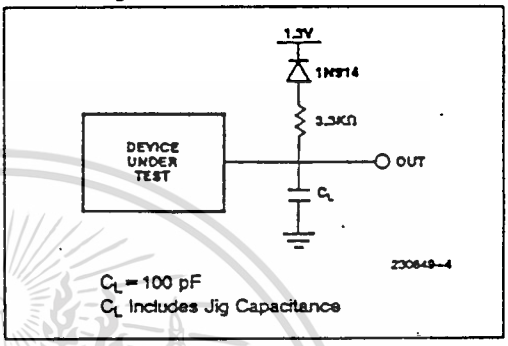
Symbol	Parameter	Typ.[1]	Max.	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

A.C. Testing Input/Output Waveform



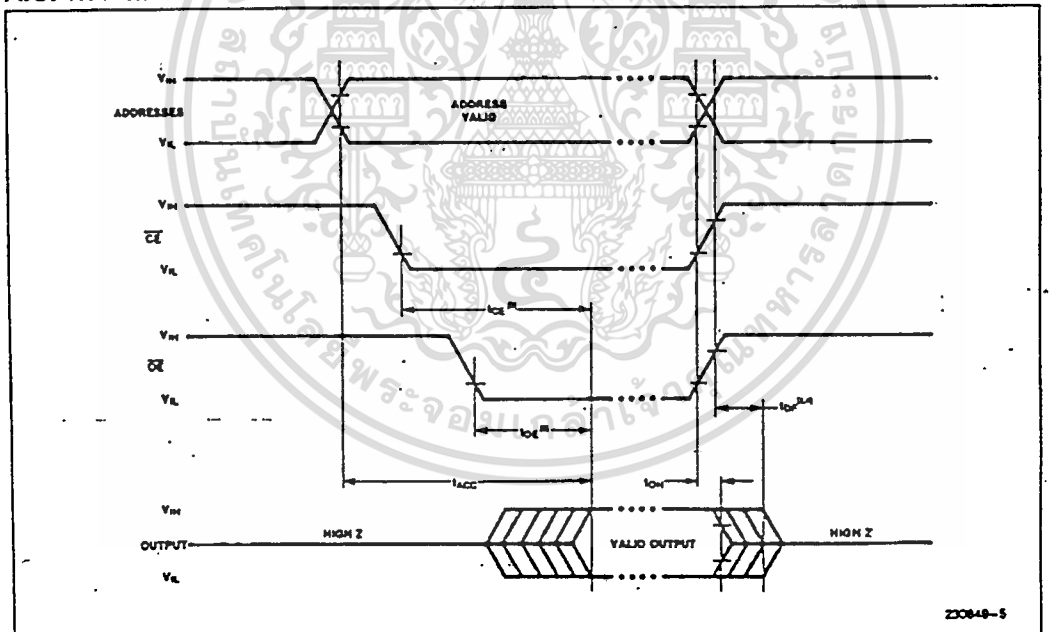
A.C. testing inputs are driven at 2.4V for a Logic "1" and 0.45V for a Logic "0" timing measurements are made at 2.0V for a Logic "1" and 0.8V for a Logic "0."

A.C. Testing Load Circuit



C_L = 100 pF
C_L includes Jig Capacitance

A.C. WAVEFORMS



NOTES:
1. Typical values are for T_A = 25°C and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3. $\overline{OE}$ may be delayed up to $t_{CE} - t_{OE}$ after the falling edge of $\overline{CE}$ without impact on t_{CE}
4. t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$, whichever occurs first.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION

The seven modes of operation of the 27128A are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for int$_e$ligent identifier mode.

Table 1. Mode Selection

Mode \ Pins	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11-13, 15-19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High Z
Verify	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High Z
Int$_e$ligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_H	V_{CC}	V_{CC}	Code
int$_e$ligent Programming	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}

NOTES:
1. X can be V_{IH} or V_{IL}.
2. $V_H = 12.0V \pm 0.5V$

READ MODE

The 27128A has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after a delay of t_{OE} from the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC}-t_{OE}$.

STANDBY MODE

The 27128A has standby mode which reduces the maximum current from 100 mA to 40 mA. The 27128A is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Output OR-Tieing

Because EPROMs are usually used in larger memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

a) the lowest possible memory power dissipation, and

b) complete assurance that output bus contention will not occur

To use these two control lines most efficiently, $\overline{CE}$ (pin 20) should be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 22) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

System Considerations

The power switching characteristics of HMOSII-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note AP-72, Order Number 8566, and by properly selected decoupling capacitors. It is recommended that a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor for low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effect of PC board-traces. This inductive effect should be further minimized through special layout considerations such as larger traces and gridding (refer to High Speed Memory System Design Using 2147H, AP-74). In particular, the V_{SS} (Ground) plane should be as stable as possible.

PROGRAMMING MODES

Caution: Exceeding 14V on pin 1 (V_{PP}) will permanently damage the 27128A.

Initially, and after each erasure, all bits of the 27128A are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word: The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 27128A is in the programming mode when V_{PP} input is at 12.5V and $\overline{CE}$ and $\overline{PGM}$ are both at TTL low. The data to be programmed is applied 8 bits in

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

parallel to the data output pins. The levels required for the address and data inputs are TTL.

Int$_e$ligent Programming™ Algorithm

The 27128A int$_e$ligent Programming Algorithm rapidly programs Intel 27128A EPROMs using an efficient and reliable method particularly suited to the production programming environment. Typical programming time for individual devices is less than one and a half minutes. Programming reliability is also ensured as the incremental program margin of each byte is continually monitored to determine when it has been successfully programmed. A flow-chart of the 27128A int$_e$ligent Programming Algorithm is shown in Figure 3.

The int$_e$ligent Programming Algorithm utilizes two different pulse types: initial and overprogram. The duration of the initial $\overline{CE}$ pulse(s) is one millisecond, which will then be followed by a larger overprogram pulse of length 3X msec. X is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular 27128A location, before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the overprogram pulse is applied.

The entire sequence of program pulses and byte verifications is performed at V_{CC} = 6.0V and V_{PP} = 12.5V. When the int$_e$ligent Programming cycle has been completed, all bytes should be compared to the original data with $V_{CC} = V_{PP} = 5.0V$.

Program Inhibit

Programming of multiple 27128As in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level $\overline{CE}$ or $\overline{PGM}$ input inhibits the other 27128As from being programmed.

Except for $\overline{CE}$, all like inputs (including $\overline{OE}$) of the parallel 27128As may be common. A TTL low-level pulse applied to the $\overline{CE}$ input with V_{PP} at 12.5V will program the selected 27128A.

Verify

A verify should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IL}, $\overline{PGM}$ at V_{IH} and V_{PP} at 12.5V.

Int$_e$ligent Identifier™ Mode

The int$_e$ligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ±5°C ambient temperature range that is required when programming the 27128A.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the 27128A. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 10) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during the int$_e$ligent Identifier Mode.

Byte 0 ($A0 = V_{IL}$) represents the manufacturer code and byte 1 ($A0 = V_{IH}$) the device identifier code. For the Intel 27128A, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

ERASURE CHARACTERISTICS

The erasure characteristics of the 27128A are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000Å range. Data show that constant exposure to room level fluorescent lighting could erase that typical 27128A in approximately 3 years, while it would take approximately 1 week to cause

Table 2. 27128A Int$_e$ligent Identifier™ Bytes

Pins / Identifier	A_0 (10)	O_7 (19)	O_6 (18)	O_5 (17)	O_4 (16)	O_3 (15)	O_2 (13)	O_1 (12)	O_0 (11)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	V_{IH}	1	0	0	0	1	0	0	1	89

NOTES:
1. $A_9 = 12.0V \pm 0.5V$
2. $A_1 - A_8$, $A_{10} - A_{13}$, $\overline{CE}$, $\overline{OE} = V_{IL}$

230849-002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

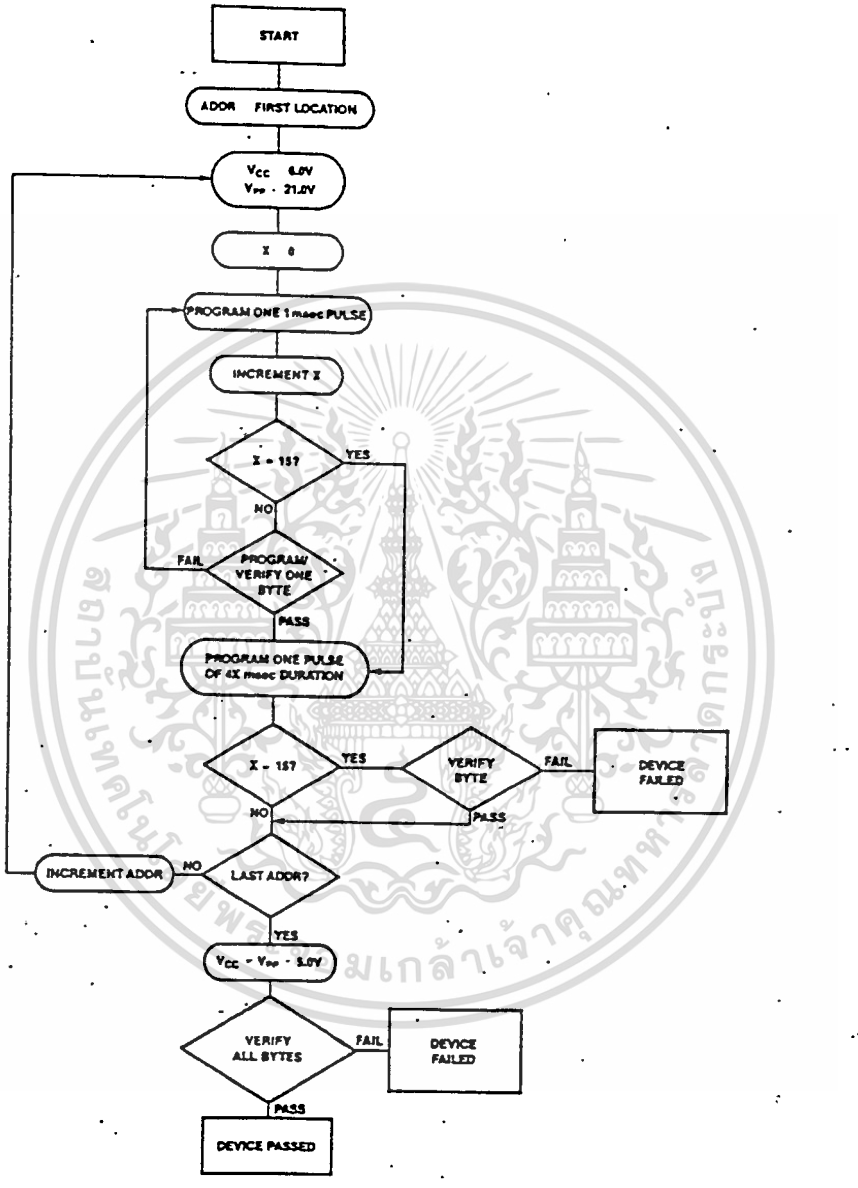


Figure 3. 27128A Int$_e$ligent Programming™ Flowchart

230849-002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

erasure when exposed to direct sunlight. If the 27128A is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 27128A window to prevent unintentional erasure.

The recommended erasure procedure for the 27128A is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15 Wsec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm^2 power rating. The 27128A should be placed within 1 inch of the lamp tubes during erasure. The maximum integrated dose a 27128A can be exposed to without damage is 7258 Wsec/cm^2 (1 week @ 12000 μW/cm^2). Exposure of the 27128A to high intensity UV light for longer periods may cause permanent damage.

RELEVANT INTEL LITERATURE

AR-265 Versatile Algorithm, Equipment Cut Programming Time

RR-35B EPROM Reliability Data Summary

AR-294 Improved Software and Circuits Speed EPROM Programming

intelligent Programming™ Algorithm

D.C. PROGRAMMING CHARACTERISTICS:

$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 12.5V \pm 0.5V$

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min.	Max.	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4		V	$I_{OH} = -400$ μA
I_{CC2}	V_{CC} Supply Current (Program & Verify)		100	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_H	A_9 intelligent Identifier Voltage	11.5	12.5	V	

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.

230849-002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. PROGRAMMING CHARACTERISTICS:

$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 12.5V \pm 0.5V$

Symbol	Parameter	Limits				Test Conditions* (see Note 1)
		Min.	Typ.	Max.	Unit	
t_{AS}	Address Setup Time	2			μS	
t_{OES}	$\overline{OE}$ Setup Time	2			μS	
t_{DS}	Data Setup Time	2			μS	
t_{AH}	Address Hold Time	0			μS	
t_{DH}	Data Hold Time	2			μS	
t_{DFP}[4]	$\overline{OE}$ High to Output Float Delay	0		130	ns	
t_{VPS}	V_{PP} Setup Time	2			μS	
t_{VCS}	V_{CC} Setup Time	2			μS	
t_{PW}	$\overline{PGM}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	(see Note 3)
t_{OPW}	$\overline{PGM}$ Overprogram Pulse Width	2.85		78.75	ms	(see Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

*A.C. CONDITIONS OF TEST

Input Rise and Fall Times (10% to 90%) ..... 20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Input Timing Reference Level ..... 0.8V and 2.0V
Output Timing Reference Level ..... 0.8V and 2.0V

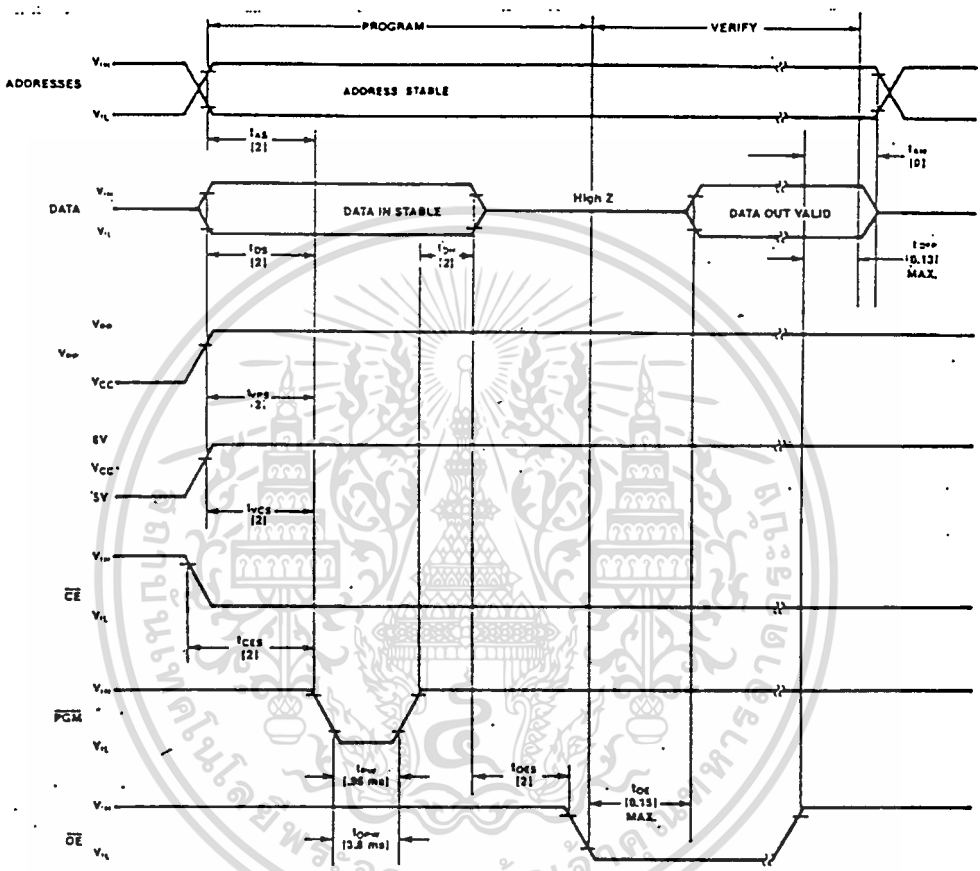
NOTES:

1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1 msec ±5%.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.

230849-002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

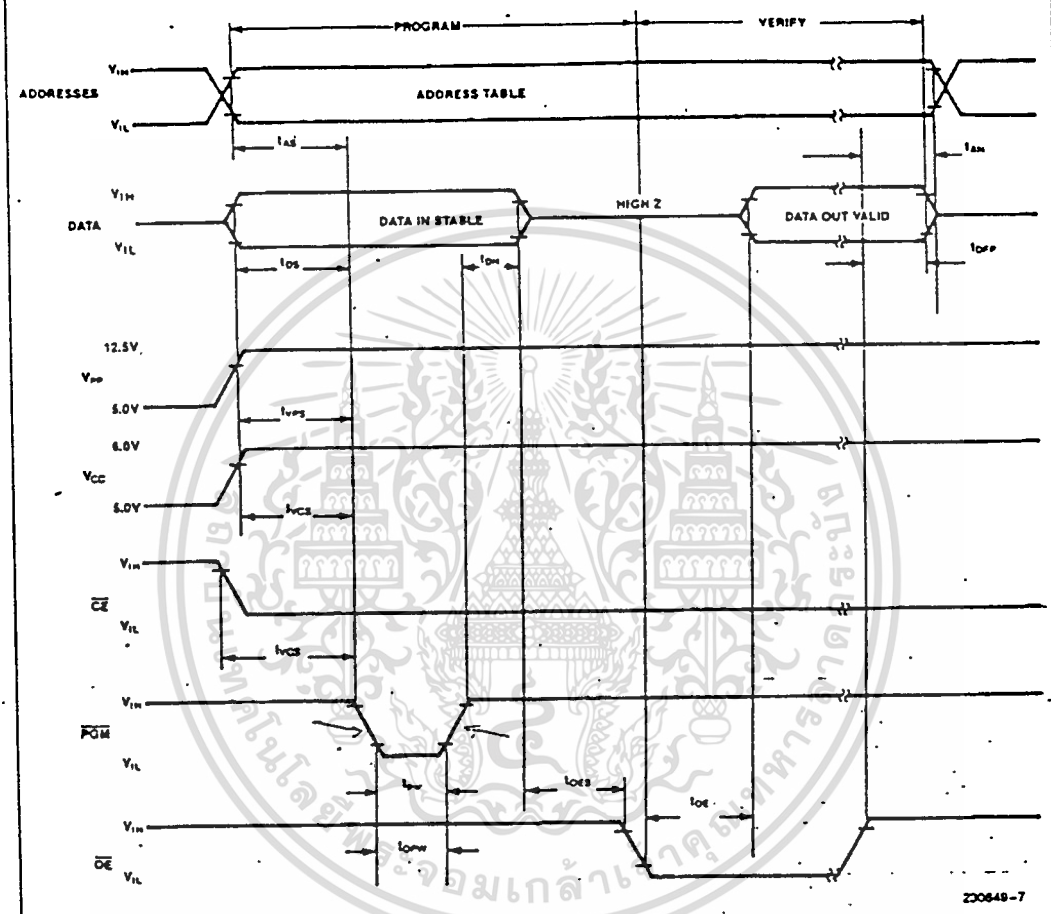
Intelligent Programming™ WAVEFORMS



NOTES:
1. ALL TIMES SHOWN IN [ ] ARE MINIMUM AND IN μSEC UNLESS OTHERWISE SPECIFIED.
2. THE INPUT TIMING REFERENCE LEVEL IS .8V FOR A V_{IL} AND 2V FOR A V_{IH}.
3. t_{OE} AND t_{DFP} ARE CHARACTERISTICS OF THE DEVICE BUT MUST BE ACCOMMODATED BY THE PROGRAMMER.
4. WHEN PROGRAMMING THE 27128, A 0.1μF CAPACITOR IS REQUIRED ACROSS V_{PP} AND GROUND TO SUPRESS SPURIOUS VOLTAGE TRANSIENTS WHICH CAN DAMAGE THE DEVICE.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Inteligent Programming™ WAVEFORMS



NOTES:
1. The Input Timing Reference Level is 0.8V for V_{IL} and 2V for a V_{IH}.
2. t_{OE} and t_{DFP} are characteristics of the device but must be accommodated by the programmer.
3. When programming the 27128A, a 0.1 μF capacitor is required across V_{PP} and ground to supress spurious voltage transients which can damage the device.

230849-002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

PRELIMINARY

27256
256K (32K x 8) UV ERASABLE PROM

- Software Carrier Capability
- 250 ns Maximum Access Time
- Two-Line Control
- int$_e$ligent Identifier™ Mode
  —Automated Programming Operations
- TTL Compatible
- Industry Standard Pinout . . . JEDEC Approved
- Low Power
  —100 mA max. Active
  — 40 mA max. Standby
- int$_e$ligent Programming™ Algorithm
  —Fastest EPROM Programming

The Intel 27256 is a 5V only, 262,144-bit ultraviolet Erasable and Electrically Programmable Read Only Memory (EPROM). Organized as 32K words by 8 bits, individual bytes are accessed in under 250ns. This is compatible with high performance microprocessors, such as the Intel 8MHz iAPX 186, allowing full speed operation without the addition of performance-degrading WAIT states. The 27256 is also directly compatible with Intel's 8051 family of microcontrollers.

The 27256 enables implementation of new, advanced systems with firmware intensive architectures. The combination of the 27256's high density, cost effective EPROM storage, and new advanced microprocessors having megabit addressing capability provides designers with opportunities to engineer user-friendly, high reliability, high-performance systems.

The 27256's large storage capability of 32K bytes enables it to function as a high density software carrier. Entire operating systems, diagnostics, high-level language programs and specialized application software can reside in a 27256 EPROM directly on a system's memory bus. This permits immediate microprocessor access and execution of software and eliminates the need for time consuming disk accesses and downloads.

Several advanced features have been designed into the 27256 that allow for fast and reliable programming —the int$_e$ligent identifier™ mode and the int$_e$ligent Programming™ Algorithm. Programming equipment that takes advantage of these innovations will electronically identify the 27256 and then rapidly program it using an efficient programming method.

Two-line control and JEDEC-approved, 28-pin packaging are standard features of all Intel high-density EPROMs. This assures easy microprocessor interfacing and minimum design efforts when upgrading, adding, or choosing between nonvolatile memory alternatives.

The 27256 is manufactured using Intel's advanced HMOS*II-E technology.

*HMOS is a patented process of Intel Corporation.

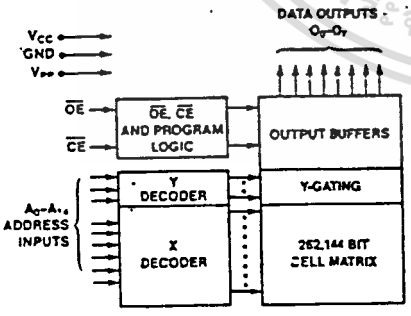
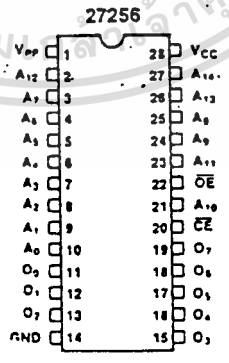


Figure 1. Block Diagram



PIN NAMES	
A_0–A_{14}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
O_0–O_7	OUTPUTS

Figure 2. Pin Configuration

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.

© INTEL CORPORATION, 1983.

OCTOBER 1983
ORDER NO. 210827-006

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias ..... −10°C to +80°C
Storage Temperature ..... −65°C to +125°C
All Input or Output Voltages with Respect to Ground .....+6.25 V to −0.6V
Voltage on Pin 24 with Respect to Ground .....+13.5V to −0.6V
V_{PP} Supply Voltage with Respect to Ground .....+14.0 V to −0.6V

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	27256	27256-3	27256-4	27256-25	27256-30	27256-45
Operating Temperature Range	0°C–70°C	0°C–70°C	0°C–70°C	0°C–70°C	0°C–70°C	0°C–70°C
V_{CC} Power Supply[1,2]	5V ± 5%	5V ± 5%	5V ± 5%	5V ± 10%	5V ± 10%	5V ± 10%

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits			Units	Test Conditions
		Min.	Typ.[3]	Max.		
I_{LI}	Input Load Current			10	µA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current			10	µA	V_{OUT} = 5.5V
I_{PP1}[2]	V_{PP} Current Read/Standby			5	mA	V_{PP} = 5.5V
I_{CC1}[2]	V_{CC} Current Standby		20	40	mA	$\overline{CE}$ = V_{IH}
I_{CC2}[2]	V_{CC} Current Active		45	100	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, V_{PP} = V_{CC}
V_{IL}	Input Low Voltage	−.1		+.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}+1	V	
V_{OL}	Output Low Voltage			.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = −400 µA
V_{PP}[2]	V_{PP} Read Voltage	3.8		V_{CC}	V	V_{CC} = 5.0V ± 0.25V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

READ OPERATION

A.C. CHARACTERISTICS

Symbol	Parameter	27256-25 & 27256 Limits		27256-30 & 27256-3 Limits		27256-45 & 27256-4 Limits		Units	Test Conditions
		Min.	Max.	Min.	Max.	Min.	Max.		
t_{ACC}	Address to Output Delay		250		300		450	ns	$\overline{CE}=\overline{OE}=V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		250		300		450	ns	$\overline{OE}=V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		100		120		150	ns	$\overline{CE}=V_{IL}$
t_{DF}[4]	$\overline{OE}$ High to Output Float	0	60	0	105	0	130	ns	$\overline{CE}=V_{IL}$
t_{OH}	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		ns	$\overline{CE}=\overline{OE}=V_{IL}$

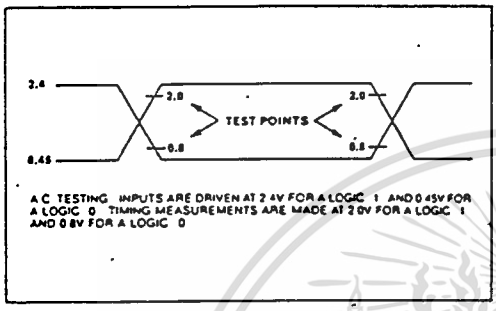
NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for t_A =25°C and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram on the following page.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

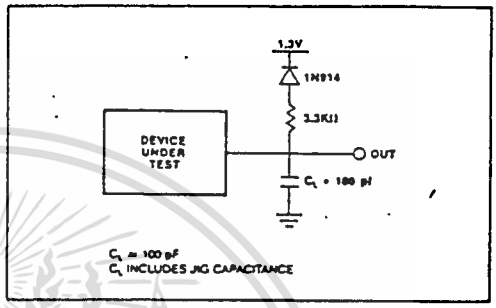
CAPACITANCE (T_A = 25°C, f = 1 MHz)

Symbol	Parameter	Typ.[1]	Max.	Unit	Conditions
C_{IN}[2]	Input Capacitance	4	6	-pF	V_{IN}=0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT}=0V

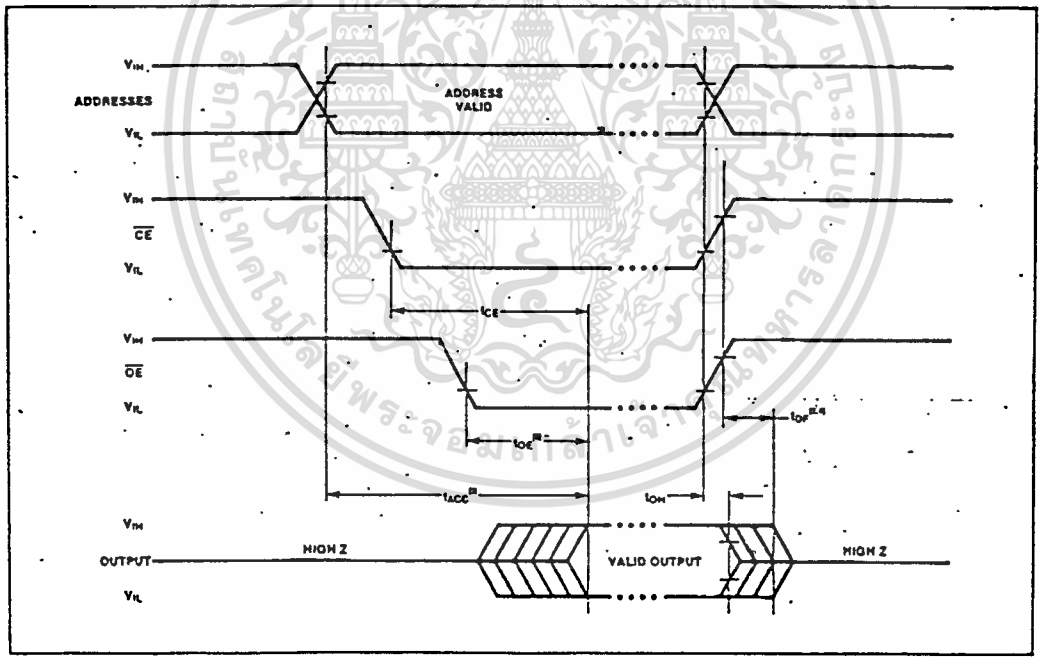
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



NOTES:
1. Typical values are for T_A = 25°C and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3. $\overline{OE}$ may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of $\overline{CE}$ without impact on t_{ACC}.
4. t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$, whichever occurs first.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION

The eight modes of operation of the 27256 are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for int$_e$ligent identifier mode.

Table 1. Operating Modes

MODE \ PINS	$\overline{CE}$ (20)	$\overline{OE}$ (22)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	OUTPUTS (11-13, 15-19)
Read	V_{IL}	V_{IL}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	V_{CC}	V_{CC}	High Z
int$_e$ligent Programming	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{IN}
Verify	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{OUT}
Optional Verify	V_{IL}	V_{IL}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	V_{IH}	X	V_{PP}	V_{CC}	High Z
int$_e$ligent Identifier	V_{IL}	V_{IL}	V_H	V_{CC}	V_{CC}	Code

NOTES:
1. X can be V_{IH} or V_{IL}
2. V_H = 12.0V ± 0.5V

READ MODE

The 27256 has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after a delay of t_{OE} from the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC}-t_{OE}$.

STANDBY MODE

The 27256 has a standby mode which reduces the maximum active current from 100 mA to 40 mA. The 27256 is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Two Line Output Control

Because EPROMs are usually used in larger memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, $\overline{CE}$ (pin 20) should be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 22) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

System Considerations

The power switching characteristics of HMOS II-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer —the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive and inductive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control and by

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

properly selected decoupling capacitors. It is recommended that a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effects of PC board traces.

PROGRAMMING

Caution: Exceeding 14V on pin 1 (V_{PP}) will permanently damage the 27256.

Initially, and after each erasure, all bits of the 27256 are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 27256 is in the programming mode when the V_{PP} input is at 12.5V and $\overline{CE}$ is at TTL-low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

int$_e$ligent Programming™ Algorithm

The 27256 int$_e$ligent Programming Algorithm rapidly programs Intel 27256 EPROMS using an efficient and reliable method particularly suited to the production programming environment. Typical programming times for individual devices are on the order of five minutes. Programming reliability is also ensured as the incremental program margin of each byte is continually monitored to determine when it has been successfully programmed. A flowchart of the 27256 int$_e$ligent Programming Algorithm is shown in Figure 3.

The int$_e$ligent Programming Algorithm utilizes two different pulse types: initial and overprogram. The duration of the initial $\overline{CE}$ pulse(s) is one millisecond, which will then be followed by a longer overprogram pulse of length 3X msec. X is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular 27256 location, before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the overprogram pulse is applied.

The entire sequence of program pulses and byte verifications is performed at V_{CC} = 6.0 V and V_{PP} = 12.5V. When the int$_e$ligent Programming cycle has been completed, all bytes should be compared to the original data with $V_{CC} = V_{PP} = 5.0V$.

Program Inhibit

Programming of multiple 27256s in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level $\overline{CE}$ input inhibits the other 27256s from being programmed.

Except for $\overline{CE}$ and $\overline{OE}$, all like inputs of the parallel 27256s may be common. A TTL low-level pulse applied to the $\overline{CE}$ input with V_{PP} at 12.5V will program the selected 27256.

Verify

A verify should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IH} and V_{PP} at 12.5V.

Optional Verify

The optional verify may be performed in place of the verify mode. It is performed with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IL} (as opposed to the standard verify which has $\overline{CE}$ at V_{IH}), and V_{PP} at 12.5V. The outputs will tri-state according to the signal presented to $\overline{OE}$. Therefore, all devices with V_{PP}=12.5V and $\overline{OE}$=V_{IL} will present data on the bus independent of the $\overline{CE}$ state. When parallel programming several devices which share a common bus, V_{PP} should be lowered to V_{CC} (=6.0V) and the normal read mode used to execute a program verify.

int$_e$ligent Identifier™ Mode

The int$_e$ligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ± 5°C ambient temperature range that is required when programming the 27256.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the 27256. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 10) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during int$_e$ligent Identifier Mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

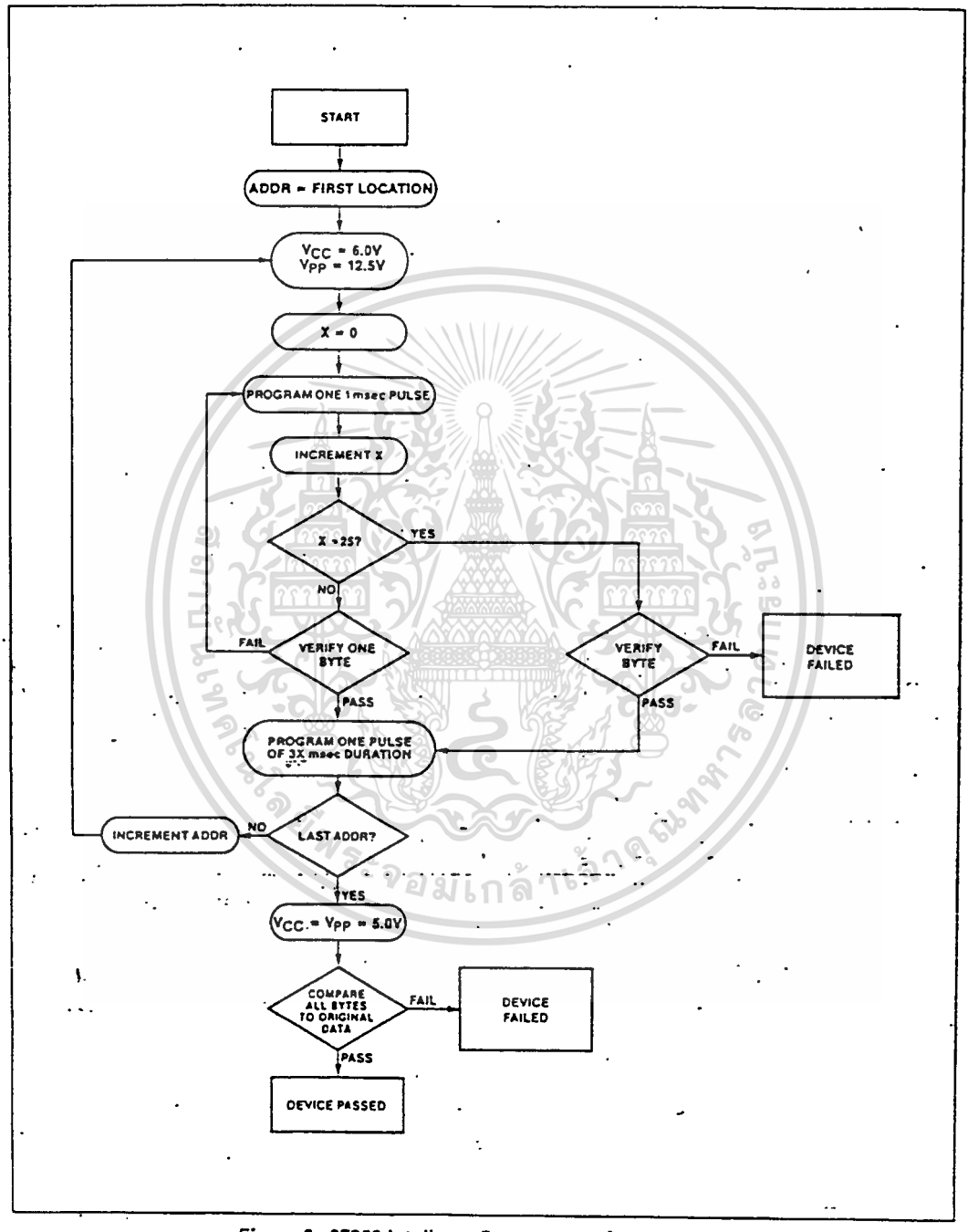


Figure 3. 27256 intelligent Programming™ Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the Intel 27256, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

ERASURE CHARACTERISTICS

The erasure characteristics of the 27256 are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000–4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 27256 in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 27256 is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 27256 window to prevent unintentional erasure.

The recommended erasure procedure for the 27256 is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15 Wsec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm^2 power rating. The 27256 should be placed within 1 inch of the lamp tubes during erasure. The maximum integrated dose a 27256 can be exposed to without damage is 7258 Wsec/cm^2 (1 week @ 12000 μW/cm^2). Exposure of the 27256 to high intensity UV light for long periods may cause permanent damage.

Table 2. 27256 int$_e$ligent Identifier™ Bytes

Identifier \ Pins	A_0 (10)	O_7 (19)	O_6 (18)	O_5 (17)	O_4 (16)	O_3 (15)	O_2 (13)	O_1 (12)	O_0 (11)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	VIH	0	0	0	0	0	1	0	0	04

NOTES:
1. $A_9 = 12.0V \pm 0.5V$.
2. A_1–A_8, A_{10}–A_{13}, $\overline{CE}$, $\overline{OE}$ = V_{IL}
3. A_{14} = V_{IH} or V_{IL}

int$_e$ligent Programming™ Algorithm

D.C. PROGRAMMING CHARACTERISTICS:

$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 12.5V \pm 0.5V$

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min.	Max.	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage During Verify	2.4		V	I_{OH} = −400 μA
I_{CC2}	V_{CC} Supply Current (Program & Verify)		100	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE}$ = V_{IL}
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. PROGRAMMING CHARACTERISTICS:
T_A = 25 ± 5°C, V_{CC} = 6.0V ± 0.25V, V_{PP} = 12.5V ± 0.3V

Symbol	Parameter	Limits				Test Conditions* (see Note 1)
		Min.	Typ.	Max.	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}[4]	$\overline{OE}$ High to Output Float Delay	0		130	ns	
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{PW}	$\overline{CE}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	(see Note 3)
t_{OPW}	$\overline{CE}$ Overprogram Pulse Width	2.85		78.75	ms	(see Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

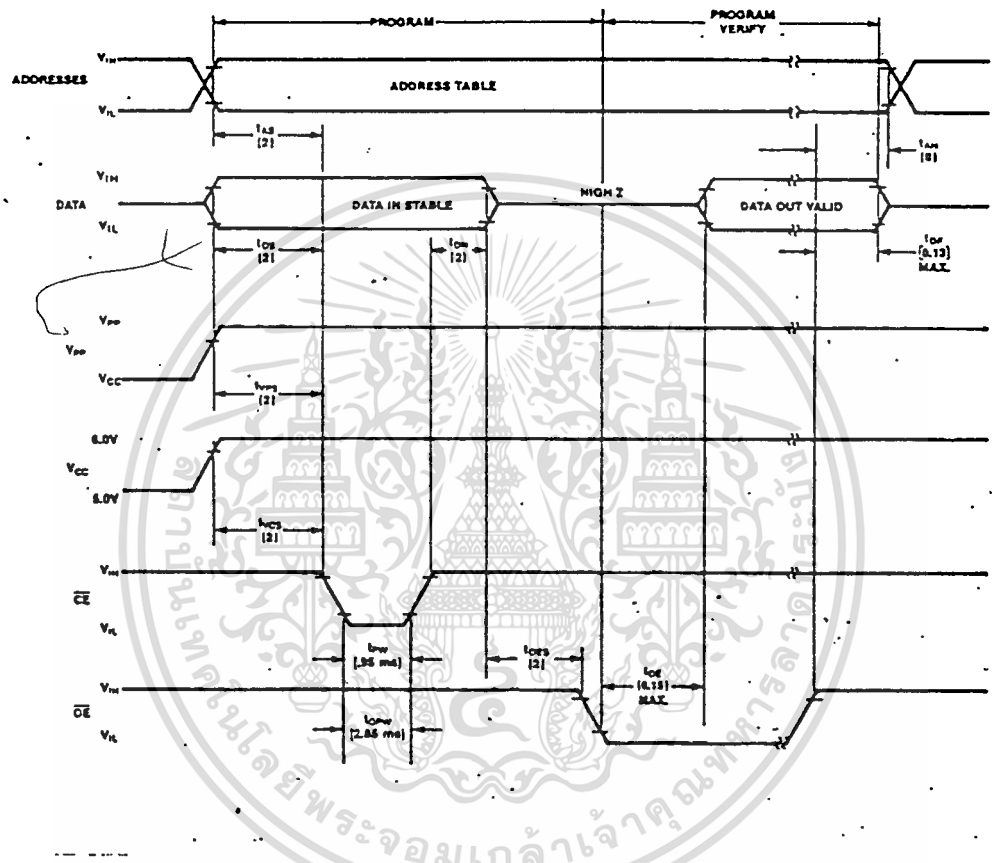
***A.C. CONDITIONS OF TEST**

Input Rise and Fall Times (10% to 90%) ... 20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Input Timing Reference Level ..... 0.8V and 2.0V
Output Timing Reference Level ... 0.8V and 2.0V

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1 msec ±5%.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram on the following page.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Int$_e$ligent Programming™ WAVEFORMS



NOTES:
1. ALL TIMES SHOWN IN [ ] ARE MINIMUM AND IN μSEC UNLESS OTHERWISE SPECIFIED.
2. THE INPUT TIMING REFERENCE LEVEL IS .8V FOR A V_{IL} AND 2V FOR A V_{IH}.
3. t_{OE} AND t_{DFP} ARE CHARACTERISTICS OF THE DEVICE BUT MUST BE ACCOMODATED BY THE PROGRAMMER.
4. WHEN PROGRAMMING THE 27256 A 0.1μF CAPACITOR IS REQUIRED ACROSS V_{pp} AND GROUND TO SUPRESS SPURIOUS VOLTAGE TRANSIENTS WHICH CAN DAMAGE THE DEVICE.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADVANCE INFORMATION

27512
512K (64K x 8) UV ERASABLE PROM

- Software Carrier Capability
- 250 ns Standard Access Time
- Two-Line Control
- Int$_e$ligent Identifier™ Mode
  — Automated Programming Operations
- TTL Compatible
- Industry Standard Pinout . . . JEDEC Approved
- Low Power
  — 125 mA max. Active
  — 40 mA max. Standby
- Int$_e$ligent Programming™ Algorithm
  — Fastest EPROM Programming

The Intel 27512 is a 5V only, 524, 288 bit ultraviolet Erasable and Electrically Programmable Read Only Memory (EPROM). Organized as 64K words by 8 bits, individual bytes are accessed in under 250ns. This ensures compatibility with high performance microprocessors, such as the Intel 8MHz iAPX 186, allowing full speed operation without the addition of performance-degrading WAIT states. The 27512 is also directly compatible with Intel's 8051 family of microcontrollers.

The 27512 enables implementation of new, advanced systems with firmware intensive architectures. The combination of the 27512's high density, cost effective EPROM storage, and new advanced microprocessors having megabyte addressing capability provides designers with opportunities to engineer user friendly, high reliability, high-performance systems.

The 27512's large storage capability of 64K bytes enables it to function as a high density software carrier. Entire operating systems, diagnostics, high-level language programs and specialized application software can reside in a 27512 EPROM directly on a system's memory bus. This permits immediate microprocessor access and execution of software and eliminates the need for time consuming disk accesses and downloads.

Two advanced features have been designed into the 27512 that allow for fast and reliable programming — the int$_e$ligent identifier™ mode and the int$_e$ligent Programming™ Algorithm. Programming equipment that takes advantage of these innovations will electronically identify the 27512 and then rapidly program it using an efficient programming method.

Two-line control and JEDEC-approved, 28-pin packaging are standard features of all Intel high-density EPROMs. This assures easy microprocessor interfacing and minimum design efforts when upgrading; adding, or choosing between nonvolatile memory alternatives.

The 27512 is manufactured using Intel's advanced HMOS *II-E technology.

*HMOS is a patented process of Intel Corporation.

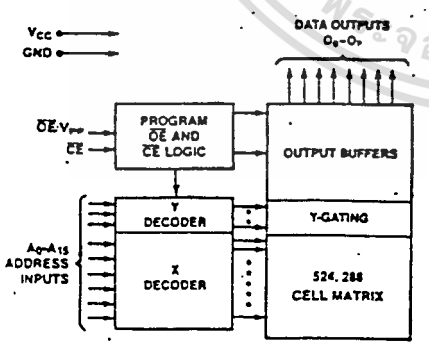
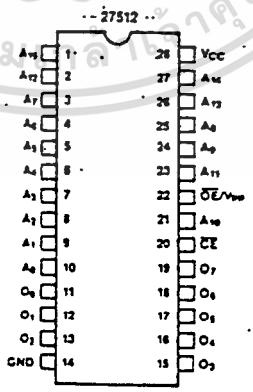


Figure 1: Block Diagram



PIN NAMES	
A_0-A_{15}	ADDRESSES
CE	CHIP ENABLE
$\overline{OE}/V_{PP}$	OUTPUT ENABLE/V_{PP}
O_0-O_7	OUTPUTS

Figure 2. Pin Configuration

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product No Other Circuit Patent Licenses are Implied.

©INTEL CORPORATION, 1984

MAY 1984
ORDER NUMBER: 231088-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

READ OPERATION

A.C. CHARACTERISTICS

Symbol	Parameter	27512-25 & 27512 Limits		27512-30 & 27512-3 Limits		Units	Test Conditions
		Min.	Max.	Min.	Max		
t_{ACC}	Address to Output Delay		250		300	ns	$\overline{CE} = \overline{OE}/V_{PP} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		250		300	ns	$\overline{OE}/V_{PP} = V_{IL}$
t_{OE}	$\overline{OE}/V_{PP}$ to Output Delay		100		120	ns	$\overline{CE} = V_{IL}$
t_{DF}[3]	$\overline{OE}/V_{PP}$ High to Output Float	0	60	0	105	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		ns	$\overline{CE} = \overline{OE}/V_{PP} = V_{IL}$

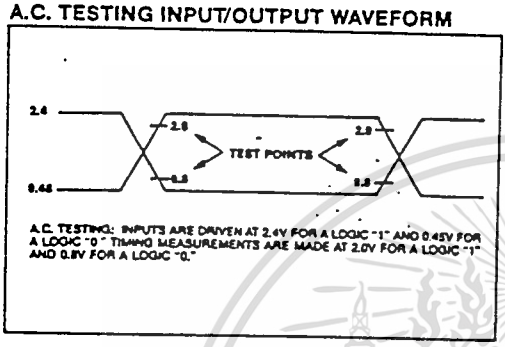
NOTES:
1. V_{CC} must be applied simultaneously or before $\overline{OE}/V_{PP}$ and removed simultaneously or after $\overline{OE}/V_{PP}$
2. Typical values are for $t_A = 25°C$ and nominal supply voltages.
3. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

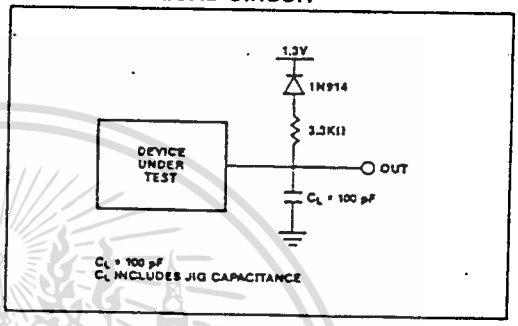
CAPACITANCE[2] (T_A = 25°C, f = 1 MHz)

Symbol	Parameter	Typ.[1]	Max.	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

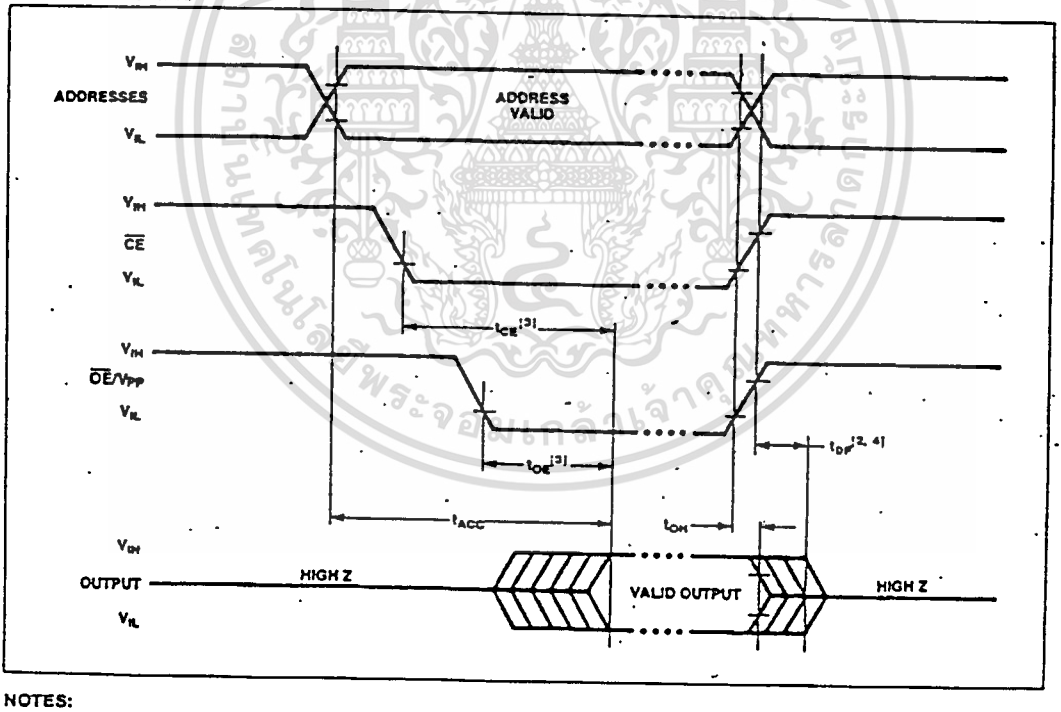
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



NOTES:
1. Typical values are for T_A = 25°C and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3. $\overline{OE}/V_{PP}$ may be delayed up to t_{CE}-t_{OE} after the falling edge of $\overline{CE}$ without impact on t_{CE}.
4. t_{DF} is specified from $\overline{OE}/V_{PP}$ or $\overline{CE}$, whichever occurs first.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION

The six modes of operation of the 27512 are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for $\overline{OE}/V_{PP}$ and 12V on A9 for int$_e$ligent identifier mode.

Table 1. Operating Modes

MODE \ PINS	$\overline{CE}$ (20)	$\overline{OE}/V_{PP}$ (22)	A_9 (24)	V_{CC} (28)	OUTPUTS (11-13, 15-19)
Read	V_{IL}	V_{IL}	X	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	X	V_{CC}	High Z
Standby	V_{IH}	X	X	V_{CC}	High Z
int$_e$ligent Programming	V_{IL}	V_{PP}	X	V_{CC}	D_{IN}
Program Inhibit	V_{IH}	V_{PP}	X	V_{CC}	High Z
int$_e$ligent Identifier	V_{IL}	V_{IL}	V_H	V_{CC}	Code

NOTES:
1. X can be V_{IH} or V_{IL}.
2. $V_H = 12.0V \pm 0.5V$

READ MODE

The 27512 has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}/V_{PP}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after a delay of t_{OE} from the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC}-t_{OE}$.

STANDBY MODE

The 27512 has a standby mode which reduces the maximum active current from 125 mA to 40 mA. The 27512 is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}/V_{PP}$ input.

Two Line Output Control

Because EPROMs are usually used in larger memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, $\overline{CE}$ (pin 20) should be decoded and used as the primary device selecting function, while $\overline{OE}/V_{PP}$ (pin 22) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

System Considerations

The power switching characteristics of HMOS II-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive and inductive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control and by properly selected decoupling capacitors. It is recommended that a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effects of PC board traces. This inductive effect should be further minimized through special layout considerations such as larger traces and gridding (refer to High Speed Memory System Design Using the 2147H, AP-74). In particular, the V_{SS} (Ground) plane should be as stable as possible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING

Caution: Exceeding 14.0V on pin 22 ($\overline{OE}/V_{PP}$) will permanently damage the 27512.

Initially, and after each erasure, all bits of the 27512 are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 27512 is in the programming mode when the $\overline{OE}/V_{PP}$ input is at 12.5V and $\overline{CE}$ is at TTL-low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

int$_e$ligent Programming™ Algorithm

The 27512 int$_e$ligent Programming Algorithm rapidly programs Intel 27512 EPROMS using an efficient and reliable method particularly suited to the production programming environment. Typical programming times for individual devices are on the order of six minutes. Actual programming times may vary due to differences in programming equipment. Programming reliability is also ensured as the incremental program margin of each byte is continually monitored to determine when it has been successfully programmed. A flowchart of the 27512 int$_e$ligent Programming Algorithm is shown in Figure 3.

The int$_e$ligent Programming Algorithm utilizes two different pulse types: initial and overprogram. The duration of the initial $\overline{CE}$ pulse(s) is one millisecond, which will then be followed by a longer overprogram pulse of length 3X msec. X is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular 27512 location, before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the overprogram pulse is applied. ***The entire sequence of program pulses and byte verifications is performed at V_{CC}= 6.0V and $\overline{OE}/V_{PP}$ = 12.5V.*** When the int$_e$ligent Programming cycle has been completed, all bytes should be compared to the original data with V_{CC}= 5.0V.

Program Inhibit

Programming of multiple 25712s in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level $\overline{CE}$ input inhibits the other 27512s from being programmed.

Except for $\overline{CE}$ and $\overline{OE}/V_{PP}$ all inputs of the parallel 27512s may be common. A TTL low-level pulse applied to the $\overline{CE}$ input with $\overline{OE}/V_{PP}$ at 12.5V will program the selected 27512.

Verify

A verify (read) should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with $\overline{OE}/V_{PP}$ and $\overline{CE}$ at V_{IL}. Data should be verified t_{DV} after the falling edge of $\overline{CE}$.

int$_e$ligent Identifier™ Mode

The int$_e$ligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ± 5°C ambient temperature range that is required when programming the 27512.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the 27512. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 10) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during int$_e$ligent Identifier Mode, except for A14 and A15 which should be held high.

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the Intel 27512, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

Table 2. 27512 int$_e$ligent Identifier™ Bytes

Identifier \ Pins	A_0 (10)	O_7 (19)	O_6 (18)	O_5 (17)	O_4 (16)	O_3 (15)	O_2 (13)	O_1 (12)	O_0 (11)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	V_{IH}	0	0	0	0	1	1	0	1	0D

Notes:
1. A_9 = 12.0V ± 0.5V
2. A_1 - A_8, A_{10} - A_{13}, $\overline{CE}$, $\overline{OE}/V_{PP}$ = V_{IL}
3. A_{14}, A_{15} = V_{IH}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

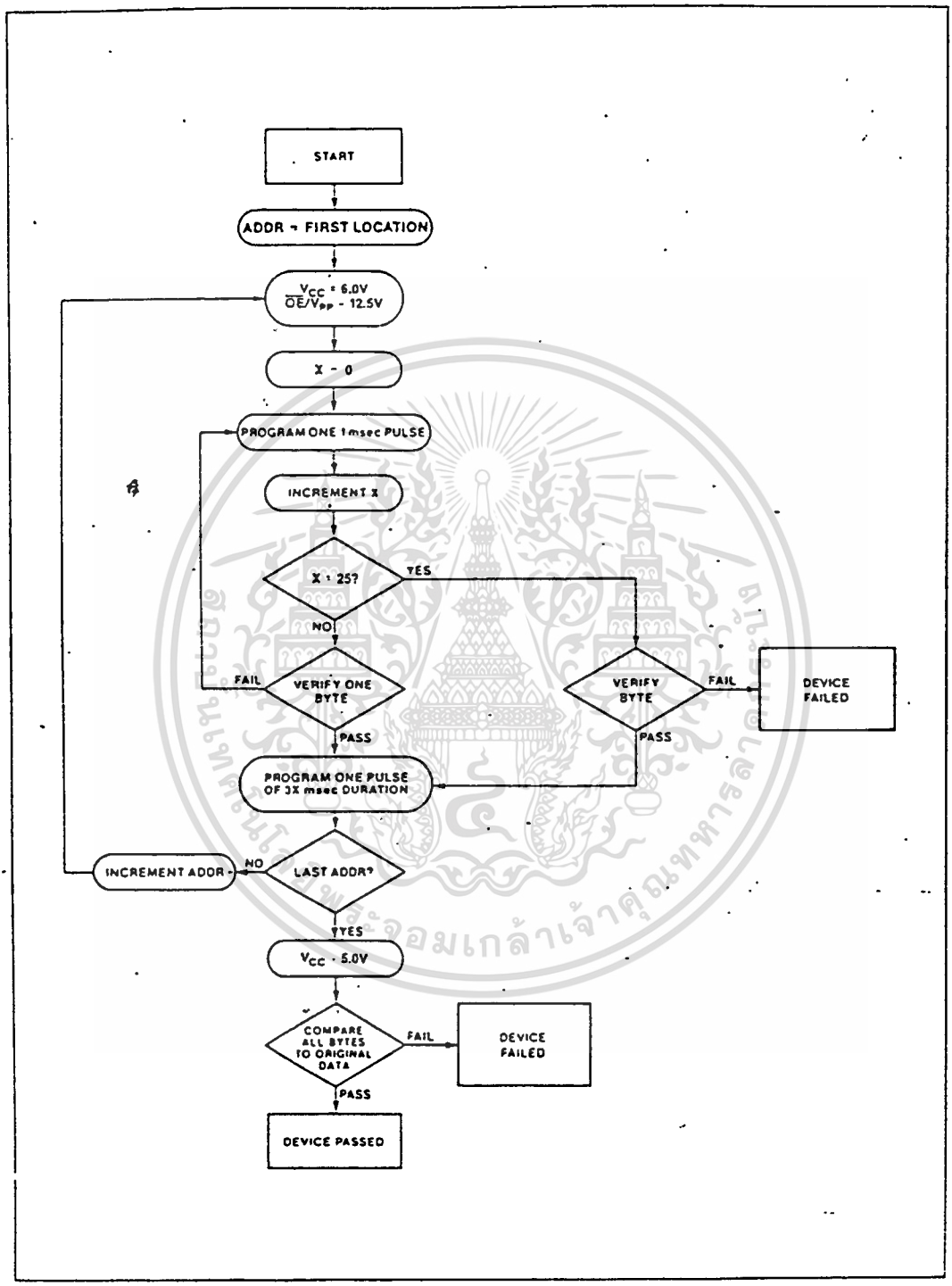


Figure 3. 27512 int$_e$ligent Programming™ Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. PROGRAMMING CHARACTERISTICS

T_A = 25 ± 5°C, V_{CC} = 6.0V ± 0.25V, V_{PP} = 12.5V ± 0.5V

Symbol	Parameter	Limits			
		Min.	Typ.	Max.	Unit
t_{AS}	Address Setup Time	2			μs
t_{OES}	$\overline{OE}/V_{PP}$ Setup Time	2			μs
t_{OEH}	$\overline{OE}/V_{PP}$ Hold Time	2			μs
t_{DS}	Data Setup Time	2			μs
t_{AH}	Address Hold Time	0			μs
t_{DH}	Data Hold Time	2			μs
t_{DFP}[4]	Output Enable to Output Float Delay	0		130	ns
t_{VCS}	V_{CC} Setup Time	2			μs
t_{PW}[3]	$\overline{CE}$ Initial Program Pulse Width	0.95	1.0	1.05	ms
t_{OPW}[2]	$\overline{CE}$ Overprogram Pulse Width	2.85		78.75	ms
t_{DV}	Data Valid from $\overline{CE}$			1	μs
t_{VR}	$\overline{OE}/V_{PP}$ Recovery Time	2			μs
t_{PRT}	$\overline{OE}/V_{PP}$ Pulse Rise Time During Programming	50			ns

*A.C. CONDITIONS OF TEST

Input Rise and Fall Times (10% to 90%) .... 20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Input Timing Reference Level .... 0.8V and 2.0V
Output Timing Reference Level ... 0.8V and 2.0V

NOTES:

1. V_{CC} must be applied simultaneously or before $\overline{OE}/V_{PP}$ and removed simultaneously or after $\overline{OE}/V_{PP}$.
2. The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1 msec ±5%.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram on the following page.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias ..... -10°C to +80°C
Storage Temperature ..... -65°C to +125°C
All Input or Output Voltages with Respect to Ground ..... +6.5V to -0.6V
Voltage on Pin 24 with Respect to Ground ..... +13.5V to -0.6V
$\overline{OE}/V_{PP}$ Supply Voltage with Respect to Ground ..... +14.0V to -0.6V

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	27512	27512-3	27512-25	27512-30
Operating Temperature Range	0°C - 70°C	0°C - 70°C	0°C - 70°C	0°C - 70°C
V_{CC} Power Supply[1]	5V ± 5%	5V ± 5%	5V ± 10%	5V ± 10%

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits Min.	Typ.[2]	Max.	Units	Test Conditions
I_{LI}	Input Load Current			10	μA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current			10	μA	V_{OUT} = 5.5V
I_{CC1}	V_{CC} Current Standby		20	40	mA	$\overline{CE}$ = V_{IH}
I_{CC2}	V_{CC} Current Active		90	125	mA	$\overline{CE}$ = $\overline{OE}/V_{PP}$ = V_{IL}
V_{IL}	Input Low Voltage	-.1		+.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC} + 1	V	
V_{OL}	Output Low Voltage			.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -400 μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERASURE CHARACTERISTICS

The erasure characteristics of the 27512 are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000–4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 27512 in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 27512 is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 27512 window to prevent unintentional erasure.

The recommended erasure procedure for the 27512 is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15 Wsec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm^2 power rating. The 27512 should be placed within 1 inch of the lamp tubes during erasure. The maximum integrated dose a 27512 can be exposed to without damage is 7258 Wsec/cm^2 (1 week @ 12000 μW/cm^2). Exposure of the 27512 to high intensity UV light for long periods may cause permanent damage.

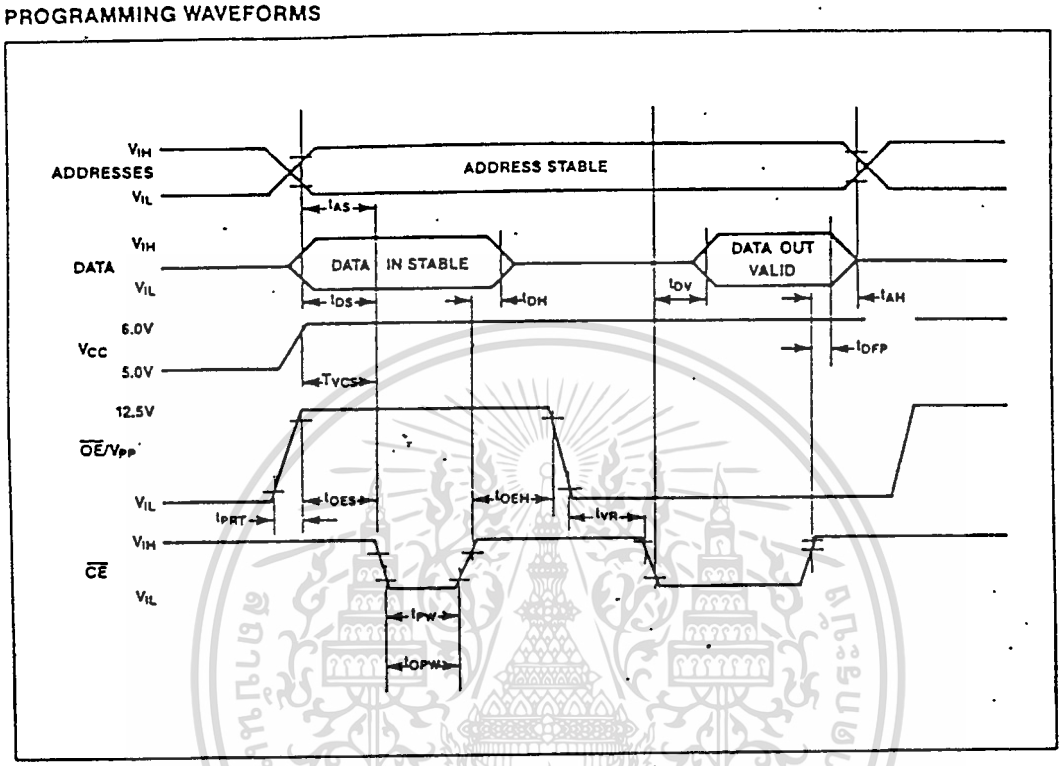
Int$_e$ligent Programming™ Algorithm
D.C. PROGRAMMING CHARACTERISTICS:
$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $\overline{OE}/V_{PP} = 12.5V \pm 0.5V$

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min.	Max.	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	-0.1	0.8	V	
V_{IH}	Input High Level	2.0	$V_{CC}+1$	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	I_{OL} 2.1 mA
V_{OH}	Output High Voltage During Verify	2.4		V	$I_{OH} = -400\ \mu A$
I_{CC2}	V_{CC} Supply Current		150	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	

Notes:
1. V_{CC} must be applied simultaneously or before $\overline{OE}/V_{PP}$ and removed simultaneously or after $\overline{OE}/V_{PP}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING WAVEFORMS



NOTES:
1. The Input Timing Reference Level is 0.8V for a V_{IL} and 2.0V for a V_{IH}.
2. t_{OE} and t_{DFP} are characteristics of the device but must be accommodated by the programmer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] บริษัท อินเทล จำกัด , "MCS-51 Architectural Overview"

[2] SINGLE CHIP MICROCONTROLLER 8051 ผู้แต่ง นาย สุเจตน์ จันทรังษ์ วศบ. (วิศวกรรมไฟฟ้า) วศด.(วิศวกรรมไฟฟ้า)สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง โครงการตำราวิชาการวิทยาลัยมหานคร

[3] บริษัท ซีเอ็ดยูเคชั่น จำกัด , "คู่มือ/ เทียบเบอร์ ทรานซิสเตอร์", ห้างหุ้นส่วนจำกัด นำอักษรการพิมพ์,2535

[4] บริษัทซีเอ็ดยูเคชั่นจำกัด ,"คู่มือไอซีซิพซัพพอร์ทและหน่วยความจำ" , ห้างหุ้นส่วนจำกัดเอช-เอนการพิมพ์, 2529

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้