วงจรกรองเชิงเลข
DIGITAL FILTER

โดย

นาย ดนันท์ สุภัทรพันธุ์ 33100108
นส.ธัญญลักษณ์ จิตรภาวนากุล 33100139
นส.อัศนีย์ วิภาตเวทย์ 33100516

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญา
วิศวกรรมศาสตร์บัณฑิต
สาขาอิเลคทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033211

ปริญญานิพนธ์ปีการศึกษา 2536
ภาควิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง วงจรกรองเชิงเลข (DIGITAL FILTER)

ผู้จัดทำ

1. นายดนันท์ สุภัทรพันธุ์ 33100108
2. น.ส.ธัญญลักษณ์ จิตรภาวนากุล 33100139
3. น.ส.อัศนีย์ วิภาตเวทย์ 33100516

.....

ศ.ดร.วัลลภ สุระกำพลธร
อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวกรองสัญญาณเชิงเลข

DIGITAL FILTER

โดย	นาย ดนันท์ สุภัทรพันธุ์	33100108
	น.ส. ธัญญลักษณ์ จิตรภาวนากุล	33100139
	น.ส. อัศนีย์ วิภาตเวทย์	33100516
อาจารย์ที่ปรึกษา	ศ.ดร. วัลลภ สุระกำพลธร	

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอวงจรกรองสัญญาณแบบดิจิตอล ซึ่งประกอบด้วยวงจรกรองอันดับสอง สามวงจรนำมาต่อคาสเคดเข้าด้วยกัน ได้ผลลัพธ์เป็นวงจรกรองอันดับหกวงจรกรองแบบดิจิตอล ในโครงงานนี้สามารถกำหนดชนิดและคุณสมบัติของตัวกรอง ได้โดยการเปลี่ยนค่าสัมประสิทธิ์ของสมการผลต่างสืบเนื่อง ที่เป็นคุณสมบัติของตัวกรอง ข้อมูลที่ใช้ในการประมวลผลมีความละเอียดสิบสองบิทส่วนวิธีการประมวลผลใช้หลักการของโครงสร้างแบบเลขคณิตแจกแจง เพื่อหลีกเลี่ยงที่จะใช้กระบวนการคูณโดยตรงในโครงงานนี้จะอาศัยการเปิดตาราง โดยใช้หน่วยความจำประเภท ROM ในการเก็บข้อมูลของตารางเปิดดูร่วมกับวงจรบวก

ABSTRACT

The purpose of this project is to illustrate Digital Filter which consisted of 3 cycles of second order Digital Filter, cascaded and resulted in sixth order Digital Filter. The types and properties of this Digital Filter can be selected by changing of its coefficient of differential equation. The information used in this evaluation has sensitivity of 12 bits. The method of this process employs the principle of distribited arithmatic structure to avoid the use of direct multiplication. This project involves the opening of the table by using the memory type ROM for collecting data oflook-up table as well as adder.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

1) บทนำ 1-3

2) บทที่ 1 ทฤษฎีเกี่ยวกับดิจิตอลฟิลเตอร์ 4-14

3) บทที่ 2 การคำนวณและการสร้าง Digital Filter 15-17

4) บทที่ 3 การทดลองสร้างตัวกรองแบบดิจิตอลอันดับหก 28-51

5) บทที่ 4 ผลการทดลองและสรุปผลการทดลอง 52-57

6) ภาคผนวก ก)
- การออกแบบตัวกรองป้อนกลับแบบดิจิตอล 58-79

7) ภาคผนวก ข)
- โปรแกรมคำนวณค่าสัมประสิทธิ์ 80-89

8) ภาคผนวก ค)
- แสดง DATA SHEET ที่ใช้ในวงจร 90-123

9) กิตติกรรมประกาศ 124

10) บรรณานุกรม 125

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

ระบบและ network ใดๆ ที่มีคุณสมบัติให้ความถี่ต่างๆ ผ่านได้ไม่เท่ากัน จะถูกเรียกว่า Filter เช่น Filter ที่ผ่านได้เฉพาะความถี่ต่ำ จะเรียกว่า Lowpass filter,Highpass filter จะผ่านได้เฉพาะความถี่สูง,Bandpass Filter จะผ่านได้เฉพาะความถี่ช่วงใดช่วงหนึ่งเท่านั้น และยังมี Band-reject filter ที่ไม่ยอมให้ความถี่ในช่วงหนึ่งผ่านไปได้

Filter มีที่ใช้งานอย่างกว้างขวางมากมายในงานทางด้านวิศวกรรมศาสตร์ และงานทางด้านวิทยาศาสตร์ เช่น ใช้ขจัด noise ออกจากสัญญาณ,ขจัด Signal distortion ที่เกิดจาก transmission channel และ demodulate สัญญาณ เป็นต้น

โดยปรกติแล้วในการกรองสัญญาณ ซึ่งโดยปรกติแล้วจะเป็นสัญญาณอะนาลอก เราจะใช้ Analog filter ในการประมวลสัญญาณ แต่เราจะพบว่า สัญญาณที่ผ่านกระบวนการกรองของ Analog filter ออกมาแล้วนั้น จะมี noise และ distortion อยู่ ดังนั้น จึงมีการคิดประดิษฐ์วงจรกรองที่มีคุณสมบัติที่ดีกว่าขึ้นมา ซึ่งถูกเรียกว่า Digital filter ซึ่งจะมีการประมวลสัญญาณในระบบดิจิตอล Digital filter มีคุณสมบัติดังนี้

ข้อดีของการประมวลผลสัญญาณเชิงเลข

ข้อได้เปรียบของการประมวลผลสัญญาณเชิงเลขอาจกล่าวได้เป็นข้อๆ ดังนี้

1. เหมาะสำหรับอุปกรณ์ที่มีข้อมูลอยู่ในรูปแบบสัญญาณเชิงเลขอยู่แล้ว เช่น ผลลัพธ์จากคอมพิวเตอร์ ไมโครโพรเซสเซอร์ หรือ ข้อมูลจากระบบควบคุมเชิงเลข เป็นต้น ทั้งนี้เนื่องจากสัญญาณหรือข้อประมูลจากอุปกรณ์เหล่านี้ ถ้าหากต้องนำไปประมวลผลในระบบประมวลผลสัญญาณเชิงอุปมาน ก็จำเป็นต้องมี วงจรแปลงรูปแบบสัญญาณเชิงอุปมานเป็นเชิงเลข (Analog to Digital converter หรือ A/D) เพื่อส่งกลับไปยังอุปกรณ์เชิงเลขต่อไป ซึ่งจะเห็นว่าระบบประมวลผลมีความซับซ้อนมากขึ้น นอกจากนี้ถ้าหากเป็นระบบที่ต้องการทำการประมวลผลสัญญาณพร้อมกันหลายสัญญาณ (ซึ่งในคอมพิวเตอร์มักทำในลักษณะนี้) ก็จะทำให้ระบบยุ่งยากมากขึ้น อีกทั้งในปัจจุบัน A/D หรือ D/A ที่มีประสิทธิภาพสูงและมีความเร็วในการแปลงสูง ยังมีราคาแพง

2. อุปกรณ์ทางด้านเชิงเลขหรือ ดิจิทัล มีราคาถูก ขนาดเล็ก มีประสิทธิภาพสูง ความแม่นยำและความแน่นอนสูง นอกจากนี้การพัฒนาให้มีประสิทธิภาพขึ้นก็เป็นไปอย่างรวดเร็ว ข้อนี้เป็นข้อได้เปรียบที่สำคัญ เพราะว่าการประมวลผลสัญญาณเชิงเลขสามารถคำนวณได้อย่างแม่นยำ และต้องการให้มีความละเอียดเท่าใดก็ได้ แต่สำหรับการประมวลผลเชิงอุปมาน การคำนวณที่ให้ความละเอียดเกินกว่าหนึ่งในพันส่วน หรือ 0.001 นั้นทำได้ยากมาก นอกจากนี้ ชิ้นอุปกรณ์ ที่ใช้ในระบบของการประมวลผลสัญญาณเชิงอุปมาน เช่น ตัวความต้านทาน ตัวขยายสัญญาณ ยังมีคุณสมบัติแปรค่าไปตามสภาวะแวดล้อม เช่น อุณหภูมิ ความชื้น อายุการใช้งานด้วย ทำให้ความแม่นยำ และความเชื่อถือได้ของระบบการประมวลผลสัญญาณเชิงอุปมานต่ำ อย่างไรก็ตามในปัจจุบัน การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประมวลผลเชิงเลขที่ให้ความแม่นย่าสูง ต้องใช้อุปกรณ์ราคาแพง ถ้าหากมีการพัฒนาให้อุปกรณ์ประมวลผลเชิงเลขมีราคาถูกก็จะเป็นผลดีอย่างยิ่ง

3. การรับ และส่งข้อมูลหรือสัญญาณเชิงเลข ทำได้แน่นอนกว่า ทั้งนี้เนื่องจากสัญญาณเชิงเลขมีค่า 2 ระดับ คือ ศูนย์ (0) กับหนึ่ง (1) เท่านั้น ถ้าหากรูปคลื่นสัญญาณผิดเพี้ยนไปก็สามารถแก้ไข และสร้างขึ้นมาใหม่ให้เหมือนเดิมได้โดยง่าย

4. การประมวลผลสัญญาณเชิงเลข ทำได้ง่าย ทั้งนี้เนื่องจาก ขั้นตอนวิธี (algorithm) การประมวลผลสัญญาณมักประกอบด้วย การบวก การลบ การคูณ การหาร และการเลื่อนตัวเลขเท่านั้น ซึ่งข้อความนี้สามารถแสดงให้เห็นจริงได้

5. ระบบประมวลผลสัญญาณเชิงเลข สามารถทำเป็นแบบ ระบบแบ่งกันใช้เวลา (time-shared system) ได้ ดังนั้นจึงสามารถทำการประมวลผลพร้อมๆกันหลายช่องสัญญาณได้ และนอกจากนี้ในระบบเดียวกันยังสามารถโปรแกรมให้ทำงานได้หลายรูปแบบด้วย

6. ระบบประมวลผลสัญญาณเชิงเลข มีความคล่องตัวสูง ทั้งนี้เนื่องจากสามารถทำการมัลติเพล็กซ์ กับ ข้อมูล หรือ สัญญาณเสียง หรือ สัญญาณภาพได้ การมัลติเพล็กซ์ ยังสามารถทำเป็นแบบการมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplex หรือ TDM) หรือการมัลติเพล็กซ์แบบแบ่งรหัส (Code Division Multiplex หรือ CDM) ได้ นอกจากนี้การส่งสัญญาณยังส่งได้ในอัตราบิต (bit rate) หรือ อัตราบอด (baud rate) ต่างๆกันได้

ข้อเสียของการประมวลผลสัญญาณเชิงเลข

นอกจากข้อดีที่กล่าวมาแล้ว การประมวลผลสัญญาณเชิงเลขทำให้เกิดข้อเสียหลายประการคือ

1. ระบบการประมวลสัญญาณเชิงเลขต้องมีสัญญาณสำหรับ การซิงค์โครไนซ์ (synchronize) การจัดเวลา (timing) และ การกำหนดกรอบ (framing) ของข้อมูลไว้ด้วย ถ้าหากสัญญาณเหล่านี้สูญหาย หรือ ผิดพลาดไป การทำงานของระบบก็จะผิดพลาดไปด้วย

2. มีปัญหา การเชื่อมโยง (interfacing) กับระบบการประมวลสัญญาณเชิงอุปมาน ทั้งนี้เนื่องมากจากระบบประมวลสัญญาณแบบเดิม ส่วนมากอยู่ในรูปแบบระบบเชิงอุปมาน ดังนั้นระบบที่สร้างขึ้นมาใหม่ ก็ต้องสามารถเชื่อมโยงกับระบบเดิมให้ได้ ซึ่งอาจทำให้ระบบประมวลสัญญาณซับซ้อนขึ้น

3. สัญญาณหรือข้อมูลเชิงเลข ไม่ใช่สัญญาณตามธรรมชาติที่แท้จริง แต่ถูกสร้างขึ้นมา ดังนั้นการส่งสัญญาณชนิดนี้ไปในตัวกลางตามธรรมชาติทั่วไป ซึ่งมักมี แถบความถี่ปฏิบัติงาน (band width) จำกัด และยังมี ผลตอบสนองเฟสไม่เป็นเชิงเส้น (non-linear phase response) จึงอาจทำให้สัญญาณเกิดความผิดเพี้ยนได้ เช่นเมื่อเราส่งสัญญาณรูปเหลี่ยมไปบนสายส่งสัญญาณที่รับได้ไม่เป็นรูปเหลี่ยมเหมือนเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เนื่องจากเราต้องการออกแบบ ระบบประมวลผลสัญญาณเชิงเลข ให้มีความคล่องตัว

สูง สามารถใช้งานได้หลายรูปแบบ ดังนั้นอาจทำให้การออกแบบระบบประมวลสัญญาณเชิงเลขมีความซับซ้อนมาก ซึ่งรวมทั้งด้านการซ่อมแซม บำรุงรักษา และจัดทำคู่มือใช้งานด้วย

5. แถบความถี่ปฏิบัติงานของระบบประมวลผลสัญญาณเชิงเลข ต่ำกว่าแถบความถี่ปฏิบัติงานของระบบประมวลผลเชิงอุปมานมาก ข้อจำกัดนี้เนื่องมาจากอุปกรณ์ที่ใช้หรือประกอบขึ้นเป็นระบบการประมวลผลสัญญาณเชิงเลข เช่น วงจรเกต วงจรชิฟต์รีจิสเตอร์ วงจรสุ่มและคงค่าสัญญาณ (Sampling and Hold circuit หรือ S/H) หรือ วงจร A/D และ D/A เป็นต้น วงจรเหล่านี้ต่างมีความเร็วสูงสุดในการทำงานจำกัดอยู่ค่าหนึ่ง ซึ่งในปัจจุบันยังมีค่าต่ำมาก จึงเป็นผลทำให้ระบบการประมวลผลเชิงเลขมีความเร็วต่ำ ตัวอย่างเช่น ถ้าใช้ไมโครโพรเซสเซอร์ ที่มีสัญญาณนาฬิกาขนาด 1 เมกกะเฮิรตซ์ เมื่อนำไปสร้างเป็นระบบประมวลผลสัญญาณเชิงเลข จะใช้ได้กับสัญญาณที่มีความถี่สูงสุดประมาณ 10 ถึง 20 กิโลเฮิรตซ์ เท่านั้น

อย่างไรก็ตาม เมื่อพิจารณาข้อดีและข้อเสียต่างๆ เหล่านี้แล้ว และถ้าเราต้องการระบบประมวลสัญญาณที่มีประสิทธิภาพดี ความแม่นยำสูง โดยไม่คำนึงถึงว่าราคาจะสูงเท่าใดแล้ว ระบบการประมวลผลสัญญาณเชิงเลข ก็ให้ประโยชน์ได้มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
ทฤษฎีเกี่ยวกับดิจิตอลฟิลเตอร์

1.1 ดิจิตอลฟิลเตอร์คืออะไร

หลายคนพอได้ยินคำว่า "ดิจิตอล" ก็คงจะนึกถึงเลขศูนย์กับหนึ่ง ซึ่งความจริงแล้วคำว่า ดิจิตอลมักมีความหมายทางด้านปริมาณตัวเลขโดยตรง ส่วนคำว่า "ฟิลเตอร์" นั้นสืบทอดมากจากวิชาไฟฟ้าอิเลคโทรนิกส์ หมายถึงการยอมรับให้สัญญาณไฟฟ้าที่ย่านความถี่หนึ่งผ่านได้ในขณะเดียวกันก็กันไม่ให้สัญญาณไฟฟ้าย่านความถี่อื่นๆ ผ่าน

จริงๆแล้ว ดิจิตอลฟิลเตอร์มิได้จำกัดอยู่แต่เฉพาะสาขาวิชาไฟฟ้าอิเลคโทรนิกส์ ในการกรองความถี่ของสัญญาณเท่านั้น แต่ดิจิตอลฟิลเตอร์มีใช้อยู่โดยทั่วไปทุกสาขาที่มีการวัดค่าตัวแปรในรูปของปริมาณ ตัวอย่างเช่น การวัดความดันเลือด การวัดความสั่นสะเทือนของผิวโลก การวัดระดับศักดาไฟฟ้าที่เกิดจากสัญญาณเสียงพูดในการสนทนาทางโทรศัพท์ การวัดความเข้มแสงของดวงดาว การวัดจำนวนประชากร การวัดคลื่นสมอง การวัดปริมาณการจำหน่ายสินค้าในตลาด จะเห็นว่าปริมาณต่างๆ เหล่านี้จะแปรผันไปตามเวลา ซึ่งเรามักจะแทนฟังก์ชั่นที่ขึ้นกับเวลาว่าเป็น $X(t)$ ซึ่งจริงๆแล้วจะเป็นปริมาณที่ต่อเนื่องกันไป (analog signal) แต่ในด้านปฏิบัติ แทนที่จะเก็บข้อมูลเป็น $X(t)$ เราเพียงแต่เก็บข้อมูลเป็นช่วงเท่ากัน เราก็ได้ค่าสุ่ม (sample) X_n ของฟังก์ชั่น $X(t)$ ออกมา ในระบบดิจิตอลเราไม่สามารถที่จะเก็บในรูปของหลักตัวเลขที่ไม่จำกัดได้ เรามักใช้วิธีปัดเศษขึ้น (rounded off) หรือปัดเศษทิ้ง (chopped off) แทนเพื่อให้จำนวนหลักของตัวเลขลดลงในปริมาณที่จำกัด การแทนปริมาณในรูปหลักของตัวเลข (ในระบบดิจิตอลใช้เลขฐานสอง) เราเรียกว่าการควอนไทซ์ (Quantization) แชมเปิลที่ทำการควอนไทซ์ได้นั้นเราก็จะนำไปเปลี่ยนเป็นสัญญาณดิจิตอลและนำไปประมวล เพื่อทำความเข้าใจและให้ง่ายต่อการสังเกตปรากฏการณ์ที่ฟังก์ชั่น ปรากฏออกมา ตัว X_n จึงเป็นดิจิตอล

ถ้า X_n คือค่าตัวเลขที่วัดได้ที่ระยะห่างกันเท่าๆกันของสัญญาณเข้า เมื่อ n เป็นเลขจำนวนเต็ม และ t คือค่าตัวแปรต่อเนื่อง ซึ่งไม่จำเป็นว่าจะต้องเป็นเวลาเสมอไป เราจะมาหาอันดับของสัญญาณออก Y_n ได้จากสมการดังนี้

$$Y_n = \sum_{k=-\alpha}^{\alpha} a_k x_{n-k} + \sum_{k=1}^{\alpha} d_k Y_{n-k} \qquad (1.1)$$

โดยที่ a_k, d_k เป็นค่าสัมประสิทธิ์ (coefficient) จะมีค่าเท่าไรนั้นขึ้นอยู่กับชนิดของฟิลเตอร์ เราเรียกฟิลเตอร์แบบนี้ว่า รีเคอร์ซีฟ ฟิลเตอร์ (Recursive filter) และถ้าสัมประสิทธิ์ d_k ของ Y_{n-k} เป็นศูนย์ เราจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรียกฟิลเตอร์แบบนี้ว่า นอนรีเคอร์ซีฟ ฟิลเตอร์ (non-recursive filter)

ค่าสัมประสิทธิ์ C_k และ d_k เป็นค่าคงที่สำหรับฟิลเตอร์แต่ละตัว และไม่เปลี่ยนแปลงตามเวลา เราเรียกฟิลเตอร์แบบนี้ว่า ฟิลเตอร์ไม่แปรตามเวลา (time-invariant filter) แต่ถ้าค่าสัมประสิทธิ์ไม่คงที่เราจะเรียกว่า ฟิลเตอร์แปรตามเวลา (Time-varying filter)

1.2 ทฤษฎีการทำงาน DIGITAL FILTER

จาก fourier transformation จะได้

$$f(w) = \int_{-\alpha}^{\alpha} f(t) i^{-j\omega t}\, dt \qquad (1.2)$$

$$f(w) = (1/2\pi) \int_{-\alpha}^{\alpha} F(w) e^{j\omega t}\, dt \qquad (1.3)$$

สมการทั้งสองนี้เรียกว่า Fourier Transform pair

สมการที่ (1) " Forward Fourier Transform

สมการที่ " Inverse Fourier Transform

จากทฤษฎีของ convolution

ดังรูปที่ 1.1 ถ้าเป็นสัญญาณ X(t) เข้าไปในระบบ linear time invariant ที่มี unit impluse response h(t) จะได้ O-P g(t) ดังนี้

$$g(t) = \int_{-\alpha}^{\alpha} h(\tau) f(t-\tau) d\tau \qquad (1.4)$$

$$g(t) = t - \tau$$

$$g(t) = \int_{-\alpha}^{\alpha} t(\tau)\, h(t-\tau') d\tau'$$

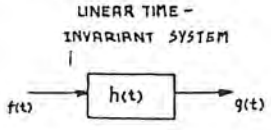


FIGURE 1.1 CONTINOUS-TIME SIGNALAND SYSTEM

สมการที่ (1.3) และ (1.4) เรียกว่า convolution

สมการที่ (1.4) ทำการแปลงโดยใช้สมการที่ (1) ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$G(w) = H(w)\ F(w)$$

ถ้า K(t) ถูก sampling ด้วย ช่วงเวลาที่เท่ากันจะได้

$$Y_n = \sum_{n=-\alpha}^{\alpha} X_{m-k}\ h_k \qquad (1.5)$$

สมการที่ (5) สามารถเขียนเป็นรูปได้

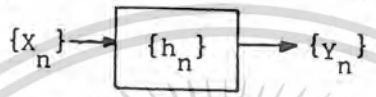


Figure 1.2 Linear time invariant discrete-time system

สมการ (5) สามารถแปลงเป็น

$$Y_n = \sum_{k=0}^{m} a_k Y_{n-k} - \sum_{k=1}^{L} b_k Y_{n-k} \qquad (1.6)$$

สมการที่ (6) เรียกว่า digital filter

$\{x_n\}$ เป็น i/p signal

$\{Y_n\}$ เป็น o/p signal

$a_o, a_2, \ldots, a_n, b_1, b_2, \ldots\ldots, b_n$ เป็นค่าคงที่

ลำดับ $\{Y_n\}$, Z-transfromation ถูกจำกัดความ ดังนี้

$$Y(Z) = \sum_{n=-\alpha}^{\alpha} Y_n\ z^{-n} \qquad (1.7)$$

จากสมการที่ (1.7) ได้

$$Y(Z) = \left[\sum_{h=-\alpha}^{\alpha} a_k z^{-k}\right] X(Z) - \left[\sum_{k=1}^{\alpha} b_k z^{-k}\right] Y(Z) \qquad (1.8)$$

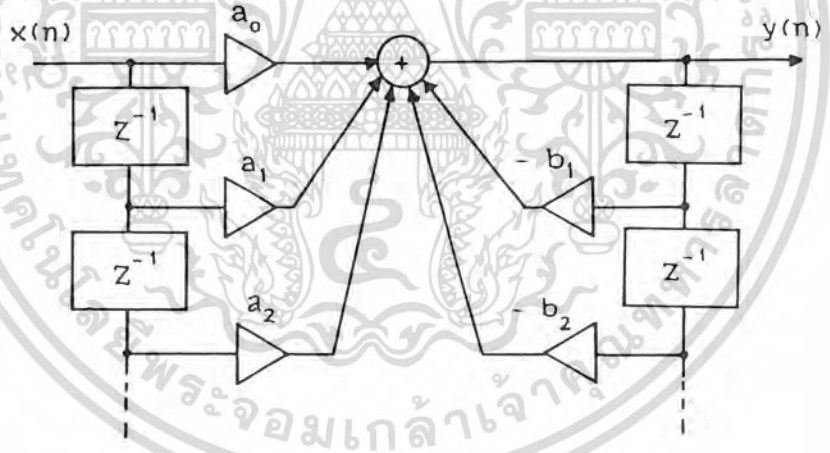
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Y(Z) = X(Z)H(Z) \qquad (1.9)$$

$$H(Z) = \frac{\sum_{k=0}^{m} a_k z^{-k}}{1 + \sum_{k=1}^{L} b_k z^{-k}} \qquad (1.10)$$

H(z) คือ transfer function of the filter

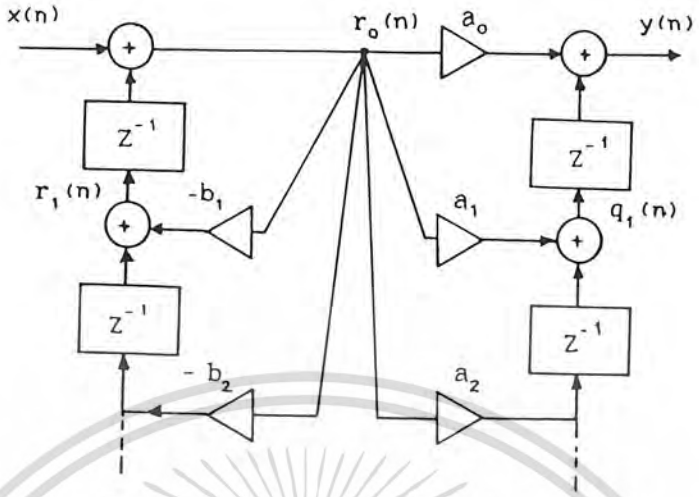
จากสมการที่ (1.6) สามารถเขียนเป็น block diagram แสดงความสัมพันธ์ระหว่าง input-output ดังรูปที่ 1.3 เรียกว่า "DIRECT FORM" ซึ่งเป็นวิธีหนึ่งในหลายวิธีซึ่ง Digital Filter สามารถถูกสร้าง



รูปที่ 1.3 Direct Form

Direct Form อีกแบบหนึ่ง ในกรณีที่ L=M สามารถเขียนเป็น Block Diagram แสดงความสัมพันธ์ระหว่าง input-output ดังรูปที่ 1.4

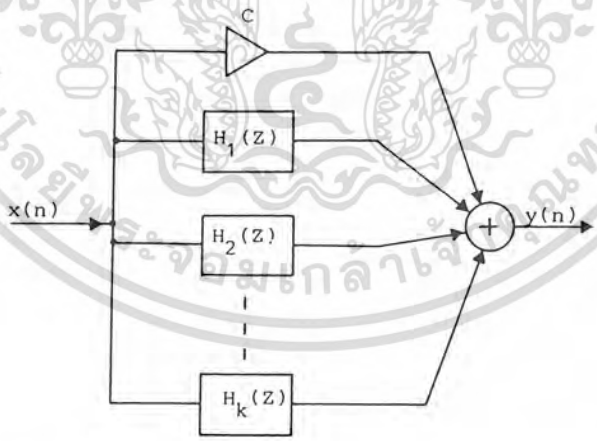
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



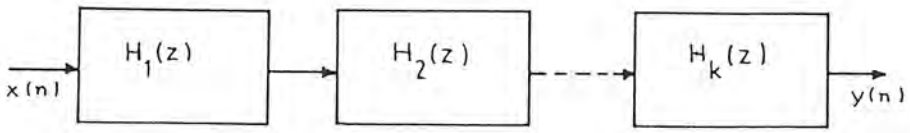
รูปที่ 1.4 CANONICAL FORM

ในกรณี Transfer Function มี order มากกว่าสอง รูปแบบของ Digitalfilter ที่นิยมใช้มี 2 แบบคือ

1. แบบ Pararelle form



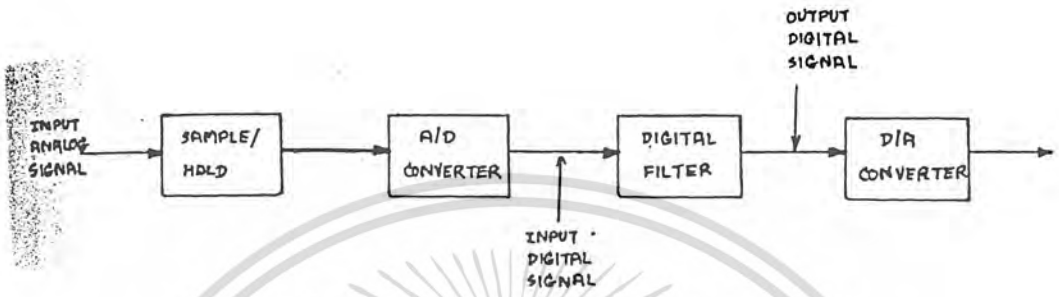
2. Cascade form



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $H_i(Z)$ เป็น order 1 หรือ order 2

Project ชิ้นนี้เป็นการนำ 2 order มา cascade กันเป็น 6 order filter แบบของ digital input



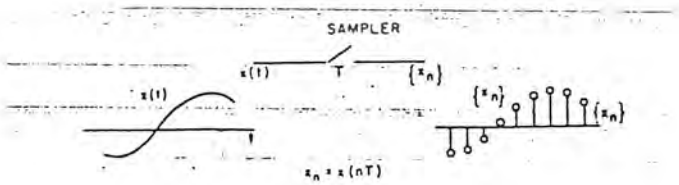
รูปที่ 1.5 Processing of Analog Signal by Digital Filter i/p Digital Signal

Sample and hold จะทำการ sampling สัญญาณอนาล็อกที่เข้ามาออกเป็นช่วงเท่าๆ กัน

A/D : สัญญาณที่ได้จากการ Sampling ยังเป็นค่าระดับศักดาไฟฟ้าอยู่จะต้องผ่าน A/D เพื่อทำการ ควอนไทซ์เป็นโค๊ดตัวเลขก่อน

D/A : เมื่อ Digital Filter ประมวลผลเสร็จก็จะส่ง O/P ที่ได้แปลงกลับให้เป็นสัญญาณ analog ตามเดิม โดยวงจร D/A

ทฤษฎีของ ANALOG TO DIGITAL



รูปที่ 1.6 Sampling of Ananalog Signal to Obtain a Digital Signal

สมมติว่า Analog Signal X(t) ถูกสุ่มตัวอย่างทุกๆคาบ T วินาที ดังแสดงในรูปที่ 1.6 ที่ output ของตัวสุ่มตัวอย่าง จะได้สัญญาณ Digital $\{X_n\}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033211

$$X_n = X_{(nT)}$$

ให้ Z-transform ของ digital sequence X_n แทนด้วย $X(Z)$ และ fourier transform ของ analog signal $X(t)$ แทนด้วย $X^a(w)$) ซึ่ง "a" แทน analog

จะได้ Z-transform ของลำดับ K_h

$$x(z) = \sum_{n=-\alpha}^{\alpha} x_n z^{-n} \qquad (1.11)$$

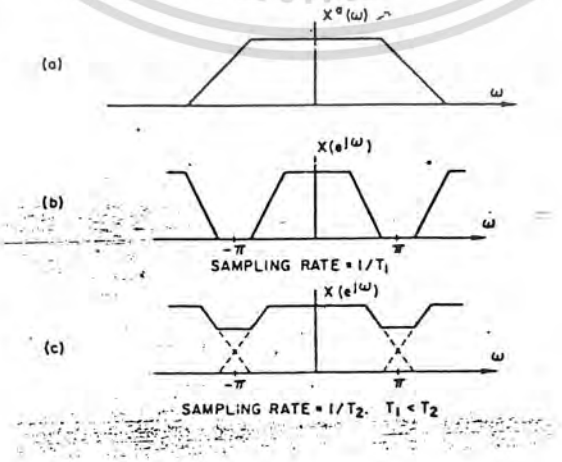
ให้ $z=e^{j\omega}$ จะได้

$$x(e^{j\omega}) = \sum_{n=-\alpha}^{\alpha} X(nt)e^{-jn\omega} \qquad (1.12)$$

ซึ่งเป็น fourier transform เมื่อแก้สมการการใช้ fourier tranform

$$x(e^{j\omega}) = (Y_t) \sum_{k=-\alpha}^{\alpha} X^a[(w+2TK)/T] \qquad (1.13)$$

โดย $X^a(w)$ เป็น fourier transform ของ analog signal x(t)



รูปที่ 1.7 Spectrum ของ analog signal และ digital

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป A เป็นการแสดงความสัมพันธ์ระหว่าง digital spectrum $X^{\frown}(.)$ และ analog spectrum $X^{\frown}(.)$ สำหรับคาบ T ที่ต่างกัน

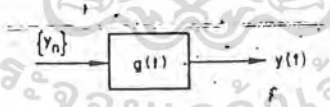
จะเห็นว่าค่า sampling rate มีค่าน้อยไปจะทำให้เกิดการ over lap ขึ้นซึ่งเรียกว่า aliasing error เพื่อไม่ให้เกิดกรณีนี้ขึ้นได้ การ sampling ต้องเป็นไปตามเงื่อนไขดังนี้

$$X^{\frown}(w) = 0 \ , \ [w] > \pi/T$$

ทฤษฎีของ Digital to Analog Converter

จากรูปที่ 1.8 Digital Signal $\{Y_n\}$ ถูกป้อนเข้าไปยัง Analog Reconstruction Filter ซึ่งมี inpulse response g(t) สัญญาณเอ้าท์พุทแทนด้วย Y(t) จะได้ว่า

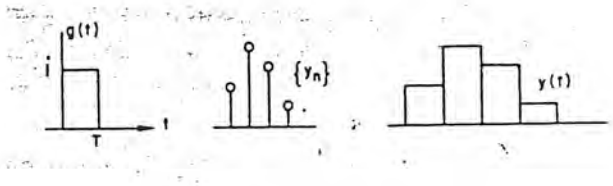
$$Y(t) = \sum_{n=-\alpha}^{\alpha} Y_n \, g(t-nt)$$



รูปที่ 1.8 Reconstruction of Analog Signal From the Samples (D/A)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับของสัญญาณ $\{Y_n\}$ ถูกอ่านออกมาทุกๆคาบ T วินาที เพื่อสร้างเป็นพัลส์ ดังรูปที่ 1.9



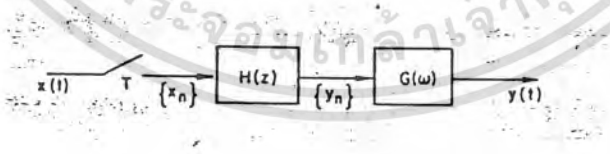
รูปที่ 1.9 Recconstruction of Y(t)

Y(z) เป็น Z-transform ของ digital signal

$\hat{Y}(w)$ เป็น Fourier transform ของ output analog signal

ได้ $\hat{Y}(w) = G(w)\ Y(w) = G(w)\ Y(e^{j\omega t})$ (1.15)

จาก block diagram ของรูปที่ 1.5 สามารถเขียนได้เป็น



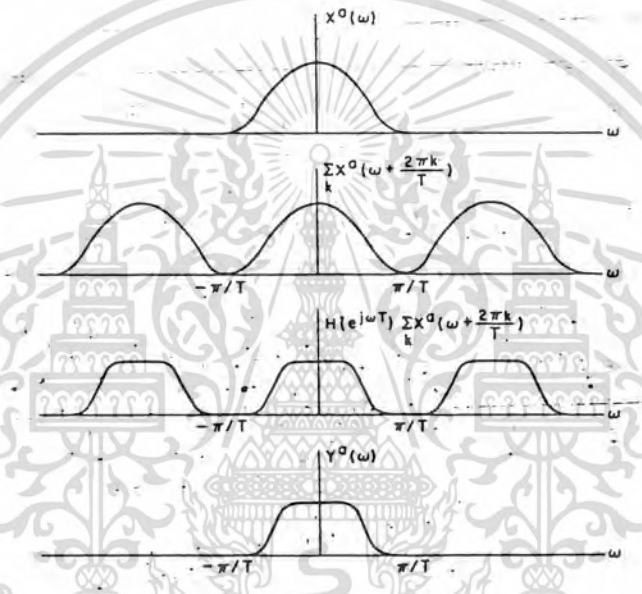
รูปที่ 1.10 Block diagram ของการทำงาน digita filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (1.13),(1.15) และ $Y(z) = H(z)X(z)$

$$Y^{a}(w) = (1/T)G(w)H(e^{jwt}) \sum_{n=-\infty}^{\infty} X^{a}[(w+2\pi K)/T] \qquad (1.16)$$

Sampling rate 1/T ควรจะสูงพอที่จะไม่ทำให้ $\sum_{n=-\infty}^{\infty} X^{a}[(w+2\pi KO/T]$ เกิด over lap



รูปที่ 1.11 Spectrum ของสัญญาณในระบบ

จากรูปที่ 1.12 จะเห็นได้ว่า reconstruction filter โดยปกติเป็น lowpass filter

$$G(w) = 1, \quad [w] < \pi/T$$
$$0, \quad [w] > \pi/T \qquad (1.17)$$

ทุกเทอมในสมการ $\sum x^{a}[w+2\pi K)/T]$ ยกเว้น K=0 จะถูก cut off โดย G(W) สมการที่(1.16) ได้

$$Y^{a}(w) = (1/T)H(e^{jwt})X^{a}(w) \quad \text{if } [w] < \pi/T \qquad (1.18)$$
$$= 0 \quad \text{other else}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบทั้งหมดของรูปที่ 1.5 มี transfer function ตามสมการ (1.18) และจากรูปที่ 1.11 จะเห็นได้ว่า H(z) จริงๆแล้ว เป็นตัวกำหนด (สร้าง) spectrum shaping ของสัญญาณ X(t)

จาก transfer function H(z) เมื่อ $Z = e^{j\theta}$ โดย ธ คือ Digital Frequency

$$\theta = wT \qquad (1.19)$$

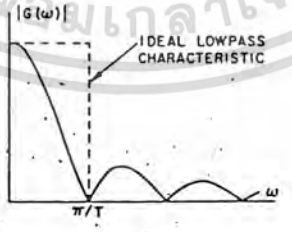
เป็นความสัมพันธ์ระหว่าง Analog Frequency กับ Digital Frequency

โดยที่ 1/T คือ Sampling frequency Fs และ

$W = 2\pi f$ ซึ่ง f คือ analog frequency

จาก(1.19) ได้ $\theta = 2\pi f/Fs \qquad (1.20)$

จากสมการ (1.20) จะเห็นว่า เนื่องจาก digital frequency อยู่ระหว่าง 0 ถึง π เพราะฉะนั้น "analog frequency อยู่ระหว่าง 0 ถึง Fs/2 ซึ่งเป็นครึ่งหนึ่งของ sampling frequency"



รูปที่ 1.12 Amplitude response of zero hold reconstruction filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

การคำนวนและการสร้าง digital filter

เนื่องจากการสร้าง digital filter ต้องใช้ระบบเลขฐานสอง ดังนั้นก่อนที่จะกล่าวถึงการคำนวนและการสร้างดิจิตอลฟิลเตอร์แบบโครงสร้างเลขคณิตแจกแจง (Distributed Arithmetic Digital Filter) จะกล่าวถึงพื้นฐานของเลขฐานสอง

<u>เลขฐานสอง</u>

<u>ในระบบเลขฐานสิบ</u> มีเลขอยู่สิบค่าที่เป็นฐานคือ 0 ถึง 9
สัญลักษณ์ + และ - แทน บวก และ ลบ
จุดในเลขฐานสิบใช้เป็นตัวแยกระหว่างตัวเลขจำนวนเต็มและเศษส่วน

<u>ในระบบเลขฐานสอง</u> มีเลขอยู่สองค่าที่เป็นฐานคือ 0 และ 1 ซึ่งเลขทั้งสองค่านี้ใช้เป็นสัญลักษณ์แทน บวก,ลบ และ จุด

ถ้าแทนเลขฐานสิบที่เป็นจำนวนเต็มและไม่มีเครื่องหมายด้วยเลขฐานสองจำนวน B บิทคือ $X^{B-1}\ X^{B-2}\ \ldots\ X^{0}$ สามารถเขียนเป็นสมการแปลงเป็นเลขฐานสิบด้วยสูตรดังนี้คือ

$$X = \sum_{j=0}^{B-1} x^{j}2^{j} \qquad (2.1)$$

โดย x=0 หรือ 1

เช่น เลขฐานสอง 11010 แทนเป็นเลขฐานสิบได้ 26 ดังนี้

$(0*2^{0})+(1*2^{1})+(0*2^{2})+(1*2^{3})+(1*2^{4}) = 0+2+0+8+16 = 26$

ซึ่งคล้ายระบบเลขฐานสิบคือ $26 = (6*10^{0})+(2*10^{1}) = 6+20 = 26$

จากสมการที่ 3.1 ค่าเลขฐานสิบที่เป็นจำนวนเต็มที่มากที่สุด ซึ่งถูกแทนโดยเลขฐานสอง B บิท คือ 2^{B-1} เช่น เลขฐานสอง 5 บิท สามารถถูกแทนด้วยจำนวนเต็มฐานสิบมากที่สุดคือ $2^{5}-1 = 31$

ในกรณีเลขเศษส่วนเราสามารถทำการแทนเลขฐานสิบด้วยเลขฐานสองได้ดังนี้ สมมติเลขฐานสอง 8 บิท ถูกแทนด้วยเลขฐานสิบ และ ทุกจำนวนถูกสเกลด้วย $2^{-5}=0.03125$ ดังนั้นค่าที่มากที่สุดที่สามารถแทนได้คือ $(2^{8}-1)*2^{-5}$ เท่ากับว่ามีจุดในตำแหน่งบิทที่ 5 นับจากบิท LSB (LEAST SIGNIFICANT BIT) เช่น เลขฐานสอง 10011001 แทนด้วยเลขฐานสิบคือ

$(1*2^{2})+(0*2^{1})+(0*2^{0})+(1*2^{-1})+(1*2^{-2})+(0*2^{-3})+(0*2^{-4})+(1*2^{-5})$

$=4+0+0+0.5+0.25+0+0+0.03125$

$=4.78125$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการประมวลผลสัญญาณดิจิตอลทุกจำนวนมีขนาดน้อยกว่าหรือเท่ากับ 1 ซึ่งสามารถทำได้โดยสมมติว่าเลขฐานสองจำนวน B บิท มีจุดอยู่ทางซ้ายของ MSB บิท (MOST SIGNIFICANT BIT) หรือทุกจำนวนถูกสเกลด้วย 2^{-B} ซึ่งทำให้เลขฐานสองที่มากที่สุด 111...11 มีค่าน้อยกว่า 1 , $(2^{-B}-1)*2^{-B}=1-2^{-B}<1$

ต่อไปนี้เป็นเลขฐานสองที่รวมเครื่องหมาย บวก,ลบ และ จุด

SIGN-MAGNITUDE NOTATION

ใน SIGN-MAGNITUDE NOTATION เลขที่มีค่า ABSOLUTE เท่ากันจะแทนด้วยเลขฐานสองที่เหมือนกัน แต่จะมีบิทพิเศษ เรียกว่าบิทเครื่องหมาย(SIGN BIT) รวมเข้าไปทางซ้ายของ MSB เพื่อทำให้เกิดความแตกต่างระหว่างค่า บวกกับลบ

เช่น +0.828125=0110101

-0.828125=1110101

ดังนั้นเลขฐานสอง B บิท ใน SIGN-MAGNITUDE NOTATION ซึ่งสมมุติว่ามีจุดอยู่ระหว่าง SIGN BIT และ MSB มีค่าอยู่ระหว่าง $-(1-2^{-B+1}) <= X <= (1-2^{-B+1})$ ทำให้จำนวนค่าบวกมีจำนวนเท่ากับจำนวนค่าลบและค่าศูนย์แทนได้ทั้งบวกศูนย์หรือลบศูนย์

2'S COMPLEMENT NOTATION

ใน 2'S COMPLEMENT NOTATION จำนวนบวกเหมือนกับ SIGN-MAGNITUDE NOTATION บิทแรกของ 2'S COMPLEMENT เป็นเครื่องหมายจำนวนลบแทนโดยการเอาค่า ABSOLUTE ลบออกจาก 2 และเพราะว่าค่าของ ABSOLUTE ต้องน้อยกว่า 1 ดังนั้นบิทแรกจะเป็น 1 เสมอ

เช่น ค่า 2'S COMPLEMENT ของ -0.375 หาโดย

2-[-0.375] = 1.625

ซึ่งค่าในและฐานสองคือ 1101

ดังนั้นในการแปลงเลข 2'S COMPLEMENT โดยการสมมติฐานบิทแรกเป็น SIGN BIT ถูกคูณด้วย -1 ดังนั้นค่า X ถูกแทนด้วยเลขฐานสอง B บิท $(X^0,X^1,..,X^{B-1})$ ใน 2'S COMPLEMENT ค่าของ X ในระบบเลขฐานสิบหาได้จาก

$$X = -X^0 + \sum_{J=1}^{B-1} X^J 2^{-J} \qquad (2.2)$$

ดังนั้นในสมการที่ 2.2 เลขฐานสอง 2'S COMPLEMENT 1101 แทนเป็นเลขฐานสิบได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$-1 + 1x2^{-1} + 0x2^{-2} + 1x2^{-3} = -0.375$$

จากสมการ 2.2 จำนวนที่มีค่ามากที่สุดใน 2'S COMPLEMENT NOTATION คือ $1-2^{-B+1}$ (0111...1)และจำนวนที่มีค่าน้อยที่สุดคือ -1(1000...0) นอกจากนั้นค่า 0 แทนด้วยค่าเดียวคือ (000...0) และมีค่าที่เป็นลบมากกว่าค่าที่เป็นบวกอยู่หนึ่งจำนวนคือ -1

จากที่กล่าวมาสามารถสรุปรูปแบบการเขียนเลขฐานสอง ได้ดังตารางที่ 2.1

ตารางที่ 2.1 แสดงรูปแบบการเขียนเลขฐานสอง

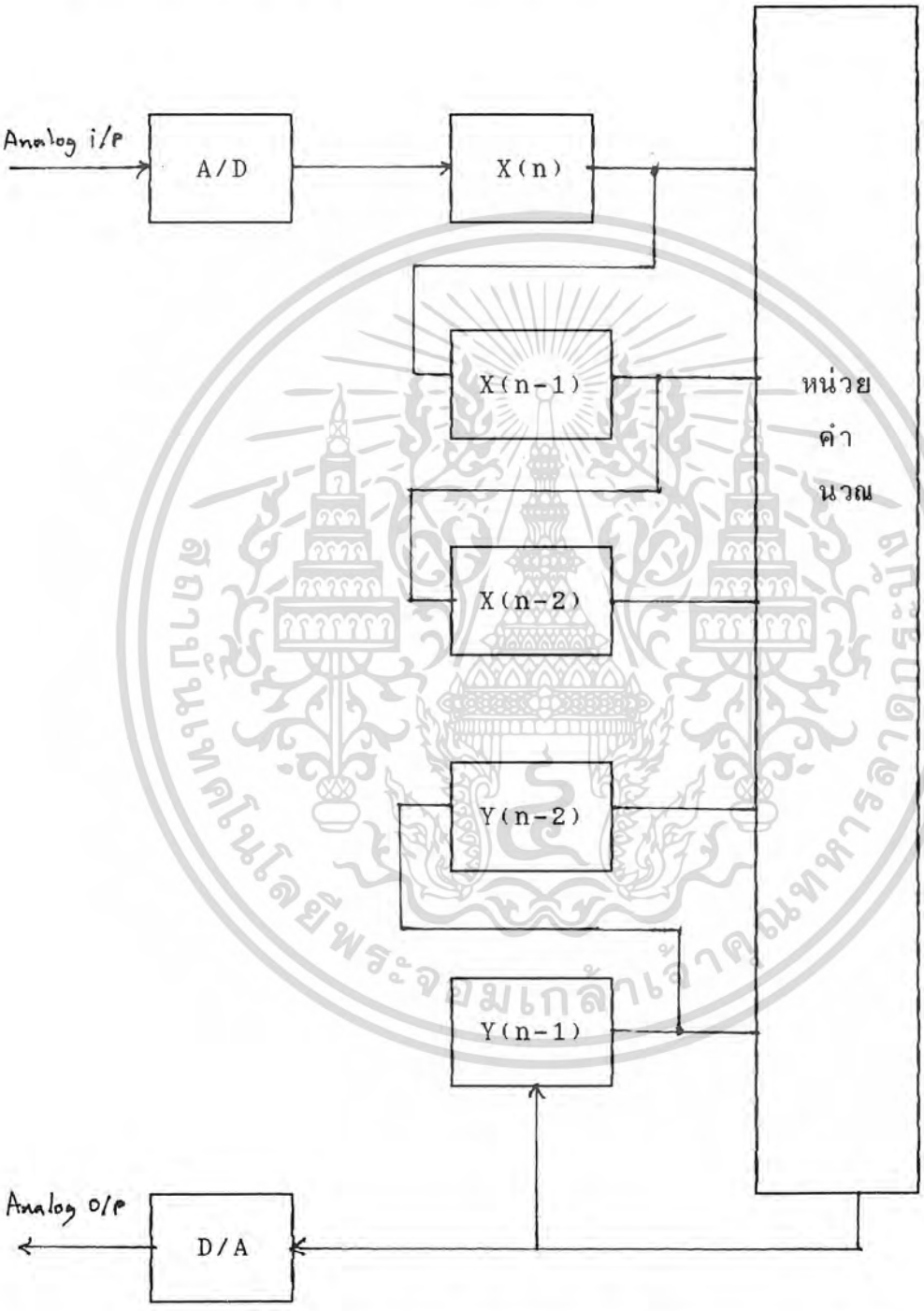
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขฐานสิบ	SIGN-MAGNITUDE	1'S COMPLEMENT	2'S COMPLEMENT
7/8	0.111	0.111	0.111
6/8	0.110	0.110	0.110
5/8	0.101	0.101	0.101
4/8	0.100	0.100	0.100
3/8	0.011	0.011	0.011
2/8	0.010	0.010	0.010
1/8	0.001	0.001	0.001
0	0.000	0.000	0.000
-	1.000	1.111	-
-1/8	1.001	1.110	1.111
-2/8	1.010	1.101	1.110
-3/8	1.011	1.100	1.101
-4/8	1.100	1.011	1.100
-5/8	1.101	1.010	1.011
-6/8	1.110	1.001	1.010
-7/8	1.111	1.000	1.001
-1	-	-	1.000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความคิดเบื้องต้นในการทำดิจิตอลฟิลเตอร์

ดิจิตอลฟิลเตอร์สามารถทำได้ทั้งแบบ ฮาร์ดแวร์ล้วนๆ ฮาร์ดแวร์ผสมกับซอฟแวร์ หรือ ซอฟแวร์ล้วนๆ ซึ่งทั้งสามแบบจะมีโครงสร้างดังรูป



รูปที่ 2.2 แสดง BLOCK DIAGRAM ของ SECOND-ORDER DIGITAL FILTER

สัญญาณอะนาล็อกอินพุทจะถูกแปลงเป็นสัญญาณดิจิตอลโดย A/D (Analog to Digital Converter) สัญญาณดิจิตอลที่ได้จะถูกชิพท์แบบขนานเข้าไปในชิฟท์รีจีสเตอร์X(n)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยค่าเริ่มต้นของ X(n),X(n-1),X(n-2),Y(n-1),Y(n-2) ควรมีค่าเป็นศูนย์ และโน้มเข้าสู่ค่าจริงๆของมันในเวลาต่อมา เมื่อชิฟท์ข้อมูลแบบเข้ารีจิสเตอร์ X(n) แล้ว บิทขวาสุดของ X(n),X(n-1),X(n-2),Y(n-1),Y(n-2) จะเป็นอินพุทของหน่วยคำนวณ หน่วยคำนวณก็จะคำนวณค่า Y(n) ได้จากสมการ

$$Y(n)=a_0x(n)+a_1x(n-1)+a_2x(n-2)-b_1y(n-1)-b_2y(n-2)\text{---} \quad (2.3)$$

ค่าสัมประสิทธิ์ $a_0,a_1,a_2,-b_1,-b_2$ จะถูกเก็บไว้ในหน่วยความจำในรูปของเลขฐานสองพร้อมกันนี้ X(n) ก็จะถูกชิฟท์ออกทางขวา 1 บิท เข้าสู่ X(n-1)

X(n-1) ,,----------,, X(n-2)

X(n-2) ก็จะถูกชิฟท์ออกทางขวาทิ้ง 1 บิท

เป็นผลให้บิทขวาสุดของชิฟท์รีจิสเตอร์ ถูกเลื่อนมาอีก 1 ตำแหน่ง ตำแหน่งใหม่ที่เลื่อนมาจะเป็นอินพุทเข้าสู่หน่วยคำนวณต่อไป ทำเช่นนี้เรื่อยไปจนครบทุกบิทของชิฟท์รีจิสเตอร์ เมื่อครบแล้วหน่วยคำนวณก็จะให้ค่าเอาท์พุท Y(n) ออกมา Y(n) ที่คำนวณได้จะถูกแปลงเป็นสัญญาณอะนาล็อกโดยวงจร D/A (Digital to Analog Converter) และในขณะเดียวกัน Y(n) ที่ได้พร้อมๆ กับ X(N) ค่าใหม่ก็จะถูกชิฟท์แบบขนานเข้าไปในชิฟท์รีจีสเตอร์ X(n) กับ Y(n) พร้อมกัน จากนั้นก็เริ่มทำการคำนวณค่า Y(n) ค่าใหม่ต่อไปด้วยวิธีการดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลฟิลเตอร์แบบเลขคณิตแจกแจง

การสร้าง Distributed Anithmetic Digital Filter

จากสมการ SECOND-ORDER DIGITAL FILTER

$$Y(n) = a_0X(n)+a_1X(n-1)+a_2X(n-2)-b_1Y(n-1)-b_2Y(n-2)$$

จะเห็นว่าในการคำนวณ Y(n) จะต้องทำการคูณและบวก

จากที่ได้ทราบกันแล้วว่า การคูณในคอมพิวเตอร์ใช้เวลามาก ทำให้การทำงานไม่สามารถเป็นเวลาจริง (real time) ได้ ซึ่งโครงสร้างแบบเลขคณิตแจกแจง (Distributed Arithmetic Structure) หรือโครงสร้างแบบ ROM/ACC (ROM -ACCUMULATOR) สามารถเปลี่ยนการคูณเป็นการบวก (ADDING) และการเลื่อน (Shifting) โดยนำหน่วยความจำประเภท ROM หรือ RAM มาประยุกต์ใช้

หลักการของโครงสร้างแบบเลขคณิตแจกแจง

พิจารณาตัวกรองอันดับสองที่มีฟังก์ชันถ่ายโอนเป็น

$$H(Z) = \frac{a_0+a_1Z^{-1}+a_2Z^{-2}}{1 + b_1Z^{-1}+b_2Z^{-2}} \qquad (2.4)$$

เขียนแบบสมการผลต่างสืบเนื่องได้คือ

$$Y(n) = a_0X(n)+a_1X(n-1)+a_2X(n-2)-b_1Y(n-1)-b_2Y(n-2)$$

โดยที่ให้ X(n),X(n-1) และ X(n-2) เป็นลำดับสัญญาณเข้า

Y(n),Y(n-1) และ Y(n-2) เป็นลำดับสัญญาณออก

a_0,a_1,a_2,b_1 และ b_2 เป็นค่าสัมประสิทธิ์ของตัวกรอง

วิธีการของโครงสร้างเลขคณิตแจกแจงทำโดยการเขียนแทนลำดับสัญญาณเข้าและลำดับสัญญาณออกด้วยตัวเลขแบบส่วนเติมเต็มสอง (2'S COMPLEMENT) ที่มีจำนวนบิทรวมทั้งบิทเครื่องหมายด้วยเป็น B บิท หรือเขียนกระจายเป็นเลขฐานสองคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$X(n) = X_o(n)X_1(n)X_2(n)...X_{b-1}(n) \qquad (2.5.1)$$

$$Y(n) = Y_o(n)Y_1(n)Y_2(n)...Y_{b-1}(n) \qquad (2.5.2)$$

โดยที่ $X_o(n)$ และ $Y_o(n)$ เป็นบิทที่แสดงเครื่องหมายของตัวเลข ส่วน $X_i(n)$ และ $Y_i(n)$ [i = 1,2,...B-1] เป็นบิทที่ i ของลำดับสัญญาณ และมีค่าเป็น 0 หรือ 1 เท่านั้น

จากสมการ 2.5.1 อาจเขียนรวมได้ในรูปแบบของ 2'S COMPLEMENT คือ

$$X(n) = X_o(n) + \sum_{i=1}^{B-1} X(n)2^{-i} \qquad (2.6.1)$$

$$Y(n) = -Y_o(n) + \sum_{i=1}^{B-1} Y(n)2^{-i} \qquad (2.6.2)$$

เมื่อแทนสมการ (2.6) ลงในสมการผลต่างสืบเนื่อง

$$Y(n) = a_oX(n) + a_1X(n-1) + a_2X(n-2) - b_1Y(n-1) - b_2Y(n-2)$$

จะได้

$$Y(n) = a_o\left[-X_o(n) + \sum_{i=1}^{B-1} X(n)2^{-i}\right] + a_1\left[-X_o(n-1) + \sum_{i=1}^{B-1} X_1(n-1)2^{-i}\right]$$

$$+ a_2\left[-X_o(n-2) + \sum_{i=1}^{B-1} X_{i(n-2)}2^{-i}\right] - b_1\left[-Y_o(n-1) + \sum_{i=1}^{B-1} Y_1(n-1)2^{-i}\right]$$

$$- b_2\left[-Y_o(n-2) + \sum_{i=1}^{B-1} Y_1(n-2)2^{-i}\right] \qquad (2.7)$$

เมื่อทำการจัดพจน์ใหม่โดยเอาบิทที่สมนัยกันมาเขียนรวมกันจะได้

$$Y(n) = -\left[a_oX_o(n) + a_1X_o(n-1) + a_2X_o(n-2) - b_1Y_o(n-1) - b_2Y_o(n-2)\right]$$

$$+ \sum_{i=1}^{B-1} 2^{-i}\left[a_oX_i(n) + a_1X_i(n-1) + a_2X_i(n-2) - b_1Y_i(n-1) - b_2Y_i(n-2)\right] \qquad (2.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ $a_0X_1(n)+a_1X_1(n-1)+a_2X_1(n-2)- b_1Y_1(n-1)-b_2Y_1(n-2)=F_{1\{.\}}$ (2.9)

จะได้ $Y(n) = \sum_{i=1}^{B-1} 2^{-i} F_i\{.\} - F_0\{.\}$ (2.10)

ผลจากสมการ (2.9) และ (2.10) จะได้โครงสร้างแบบเลขคณิตแจกแจง โดยนำค่าฟังก์ชันทั้งหมดของ $F_i[.]$ มาทำเป็นตารางเปิดดู (Look up table) โดยค่าในตารางเปิดดูคิดคำนวณจากสมการ (2.9) และเนื่องจาก $F_i[.]$ มีตัวแปรอยู่ 5 ตัว คือ $X_1(n), X_1(n-1), X_1(n-2), Y_1(n-1), Y_1(n-2)$ ดังนั้น ทำให้ตารางเปิดดูมีค่าฟังก์ชั่นของ $F_i[.]$ อยู่ $2^5 = 32$ ค่า ค่าของฟังก์ชั่น $F_i[.]$ ทั้ง 32 ค่านี้จะถูกคำนวณแล้วทำการปัดเศษให้เหลือ B บิท แล้วเก็บไว้ในรอมหรือแรม เพื่อนำไปสร้างตัวกรองต่อไป

<u>การสร้างตารางเปิดดู จากฟังก์ชั่น Fi[.] สำหรับตัวกรองอันดับสอง</u>

เมื่อได้สมการผลต่างสืบเนื่องอันดับสองแล้ว นำค่าสัมประสิทธิ์คูณกับบิทที่ i ของข้อมูลแต่ละตัวแล้วบวกกันเก็บไว้ที่แอดเดรสที่ชี้โดยค่า $X_1(n)X_1(n-1)X_1(n-2)Y_1(n-1)Y_1(n-2)$ ดังแสดงในตารางข้างล่างนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งที่	แอดเดรสของรอม					ค่าของ F{.}ภายในรอม
	$X_1(n)$	$X_1(n-1)$	$X_1(n-2)$	$Y_1(n-1)$	$Y_1(n-2)$	
0	0	0	0	0	0	0
1	0	0	0	0	1	$-b_2$
2	0	0	0	1	0	$-b_1$
3	0	0	0	1	1	$-b_1-b_2$
4	0	0	1	0	0	a_2
5	0	0	1	0	1	a_2-b_2
6	0	0	1	1	0	a_2-b_1
7	0	0	1	1	1	$a_2-b_1-b_2$
8	0	1	0	0	0	a_1
9	0	1	0	0	1	a_1-b_2
10	0	1	0	1	0	a_1-b_1
11	0	1	0	1	1	$a_1-b_1-b_2$
12	0	1	1	0	0	a_1+a_2
13	0	1	1	0	1	$a_1+a_2-b_2$
14	0	1	1	1	0	$a_1+a_2-b_1$
15	0	1	1	1	1	$a_1+a_2-b_1-b_2$
16	1	0	0	0	0	a_0
17	1	0	0	0	1	a_0-b_2
18	1	0	0	1	0	a_0-b_1
19	1	0	0	1	1	$a_0-b_1-b_2$
20	1	0	1	0	0	a_0+a_2
21	1	0	1	0	1	$a_0+a_2-b_2$
22	1	0	1	1	0	$a_0+a_2-b_1$
23	1	0	1	1	1	$a_0+a_2-b_1-b_2$
24	1	1	0	0	0	a_0+a_1
25	1	1	0	0	1	$a_0+a_1-b_2$
26	1	1	0	1	0	$a_0+a_1-b_1$
27	1	1	0	1	1	$a_0+a_2-b_1-b_2$
28	1	1	1	0	0	$a_0+a_1+a_2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

29	1	1	1	0	1	$a_0+a_1+a_2-b_2$
30	1	1	1	1	0	$a_0+a_1+a_2-b_1$
31	1	1	1	1	1	$a_0+a_1+a_2-b_1-b_2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณหา Y(n) ในกรณีตัวกรองอันดับสอง

จากสมการ (2.10) $Y(n) = \sum_{i=1}^{B-1} 2^{-i} F_i\{.\} - F_o\{.\}$

จะเห็นว่าในการคำนวณหา Y(n) จะต้องทำการบวกค่าฟังก์ชั่น $F_i\{.\}$ และพร้อมกับการเลื่อน B-1 ครั้ง (B= จำนวนบิท) แล้วทำการลบอีก 1 ครั้ง รวมแล้วการคำนวณหาค่า Y(n) แต่ละค่าจะต้องกระทำ B ครั้ง

แต่จากการทดลองนั้นได้ทำตัวกรองอันดับหก โดยใช้ตัวกรองอันดับสอง 3 ชุดมาคาสเคด (CASCADE) กัน ดังนั้นจึงมีการคำนวณเอาท์พุท 3 ขั้นตอน เป็นไปตามสมการ

$$V(n) = A_{01}X(n) + A_{11}X(n-1) + A_{21}X(n-2) - B_{11}V(n-1) - B_{21}V(n-2) \quad (2.11.1)$$

$$W(n) = A_{02}V(n) + A_{12}V(n-1) + A_{22}V(n-2) - B_{12}W(n-1) - B_{22}W(n-2) \quad (2.11.2)$$

$$Y(n) = A_{03}W(n) + A_{13}W(n-1) + A_{23}W(n-2) - B_{13}Y(n-1) - B_{23}Y(n-2) \quad (2.11.3)$$

โดย $A_{01}, A_{11}, A_{21}, B_{11}, B_{21}$ เป็นค่าสัมประสิทธิ์ของตัวกรองในขั้นตอนที่ 1

$A_{02}, A_{12}, A_{22}, B_{12}, B_{22}$ เป็นค่าสัมประสิทธิ์ของตัวกรองในขั้นตอนที่ 2

$A_{03}, A_{13}, A_{23}, B_{13}, B_{23}$ เป็นค่าสัมประสิทธิ์ของตัวกรองในขั้นตอนที่ 3

ในส่วนของตารางเปิดดูจะมี 3 ตาราง โดยค่าฟังก์ชั่น $F_i\{.\}$ ที่เก็บในตารางที่ 3 เป็นดังนี้

TABLE 1 $F_{i1}\{X_i(n), X_i(n-1), X_i(n-2), V_i(n-1), V_i(n-2)\}$

TABLE 2 $F_{i2}\{V_i(n), V_i(n-1), V_i(n-2), W_i(n-1), W_i(n-2)\}$

TABLE 3 $F_{i3}\{W_i(n), W_i(n-1), W_i(n-2), Y_i(n-1), Y_i(n-2)\}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณหา Y(n) ของตัวกรองอันดับหก

จากสมการ (2.11) สามารถเขียนได้ในรูป

$$V(n) = \sum_{i=1}^{B-1} 2^{-i} F_{i1}\{.\} - F_{o1}\{.\} \qquad (2.12.1)$$

$$W(n) = \sum_{i=1}^{B-1} 2^{-i} F_{i2}\{.\} - F_{o2}\{.\} \qquad (2.12.2)$$

$$Y(n) = \sum_{i=1}^{B-1} 2^{-i} F_{i3}\{.\} - F_{o3}\{.\} \qquad (2.12.3)$$

โดย $F_{i1}\{.\} = F_{i1}\{X_i(n), X_i(n-1), X_i(n-2), V_i(n-1), V_i(n-2)\}$

$F_{o1}\{.\} = F_{o1}\{X_o(n), X_o(n-1), X_o(n-2), V_o(n-1), V_o(n-2)\}$

$F_{i2}\{.\} = F_{i2}\{V_i(n), V_i(n-1), V_i(n-2), W_i(n-1), W_i(n-2)\}$

$F_{o2}\{.\} = F_{o2}\{V_o(n), V_o(n-1), V_o(n-2), W_o(n-1), W_o(n-2)\}$

$F_{i3}\{.\} = F_{i3}\{W_i(n), W_i(n-1), W_i(n-2), Y_i(n-1), Y_i(n-2)\}$

$F_{o3}\{.\} = F_{o3}\{W_o(n), W_o(n-1), W_o(n-2), Y_o(n-1), Y_o(n-2)\}$

และทำการคำนวณเช่นเดียวกับในกรณีตัวกรองอันดับสอง แต่ทำวิธีการซ้ำเดิม 3 ครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การทดลองสร้างตัวกรองแบบดิจิตอลอันดับหก

สถาปัตยกรรมของตัวกรองโดยทั่วไป

การเลือกใช้สถาปัตยกรรมของตัวกรองนั้นขึ้นอยู่กับส่วนประกอบหลายๆอย่าง ซึ่งรวมทั้งความเร็ว ราคา และผลที่ต้องการ ส่วนประกอบเหล่านี้อาจยืดหยุ่นได้ สำหรับตัวอย่างการเลือกใช้ความยาวของค่า (word length) ขึ้นอยู่กับย่านความถี่ที่จะให้ผ่านและไม่ผ่าน

ส่วนประกอบพื้นฐานที่ต้องมีสำหรับการสร้างตัวกรองมีดังต่อไปนี้

1. หน่วยอินพุท / เอาท์พุท คือส่วนของ A/D และ D/A เป็นส่วนเชื่อมต่อระหว่างวงจรดิจิตอลกับสัญญาณอนาล็อก

2. หน่วยเก็บข้อมูล (storage) ใช้เก็บตัวอย่างสัญญาณอินพุทและเอาท์พุท ค่าสัมประสิทธิ์ที่เป็นค่าคงที่ และผลลัพธ์

3. หน่วยคำนวณ (Arithmetic) เป็นวงจรที่ใช้ทำการคำนวณทางคณิตศาสตร์ เช่น การบวก การลบ การคูณ

4. หน่วยควบคุม (control) ใช้ควบคุมการทำงานของวงจรให้เป็นจังหวะที่ถูกต้อง

สถาปัตยกรรมของตัวกรองได้มาจากอัลกอริธึมของตัวกรอง และฮาร์ดแวร์ที่จะสร้างขึ้นอยู่กับความเร็ว ราคา และผลที่ดี

ตัวกรองอันดับหก ได้จากการคาสเคดกันของ ตัวกรองอันดับสอง 3 ส่วน เอาท์พุทของทั้ง 3 ส่วนเป็น V_n,W_n และ Y_n ตามลำดับ และจากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_n = A_{01}X(n)+A_{11}X(n-1)+A_{21}X(n-2)-B_{11}V(n-1)-B_{21}V(n-2)$$

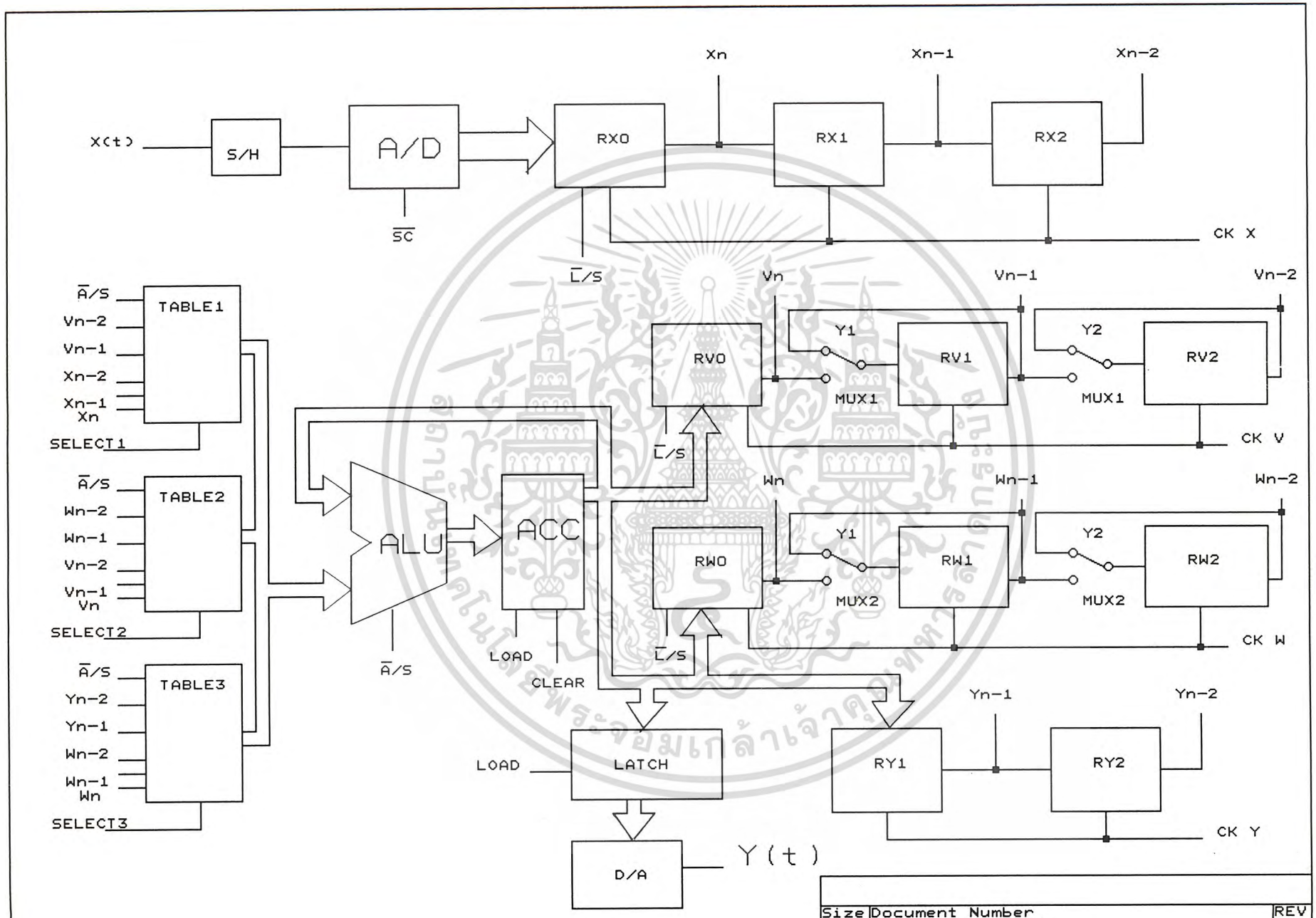
$$W_n = A_{02}V(n)+A_{12}V(n-1)+A_{22}V(n-2)-B_{12}W(n-1)-B_{22}W(n-2)$$

$$Y_n = A_{03}W(n)+A_{13}W(n-1)+A_{23}W(n-2)-B_{13}Y(n-1)-B_{23}Y(n-2)$$

สามารถสร้างฮาร์ดแวร์ได้รูปที่ 3.1

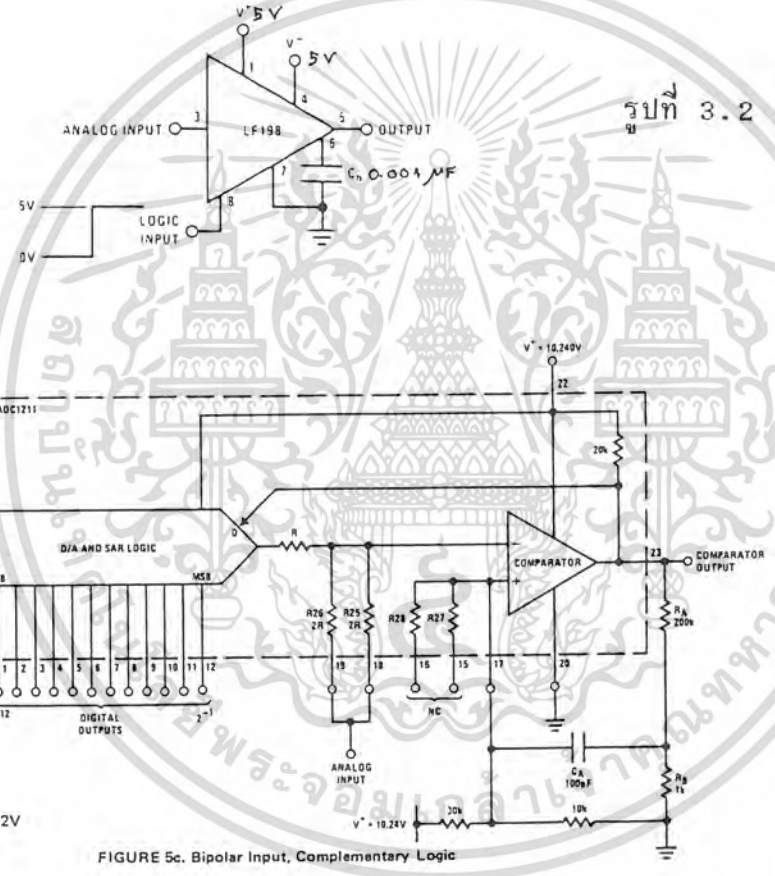
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1 Block Diagram



หน่วยอินพุท / เอาท์พุท (Input / Output)

อินพุทของตัวกรอง X(n) รับจากการสุ่มตัวอย่างสัญญาณอนาล็อกอินพุทในแต่ละช่วงเวลา (T = $1/f_s$ วินาที โดย f_s คือความถี่ที่ใช้สุ่มตัวอย่างสัญญาณอนาล็อกอินพุท) แล้วคงค่าไว้ (Holding) จากนั้นจึงทำการแปลงเป็นสัญญาณดิจิตอลโดย A/D ดังแสดงในรูป 3.2,3.3



รูปที่ 3.2 S/H

FIGURE 5c. Bipolar Input, Complementary Logic

รูปที่ 3.3 วงจร A/D

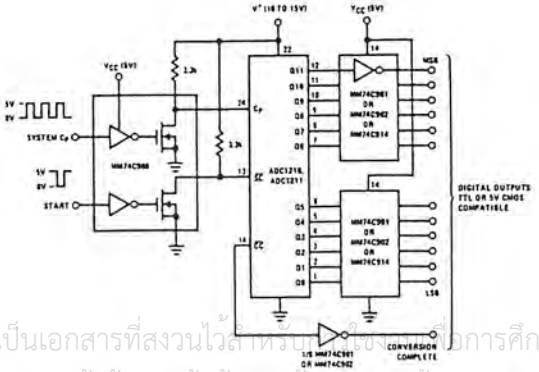


FIGURE 3. Interfacing an ADC1210, ADC1211 Running on $V^+ > V_{CC}$. Example: $V^+ = 10.24V$, System $V_{CC} = 5V$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร S/H (SAMPLE AND HOLD)

สัญญาณอนาล็อกอินพุทจะถูกทำให้เป็นสัญญาณแบบ discrete แล้วคงค่าไว้ วงจร A/D (Analog to Digital convertor)

สัญญาณอินพุทที่เป็น discrete จะถูกแปลงเป็นสัญญาณดิจิตอล โดย A/D ซึ่งในการทดลองเป็นวงจร A/D แบบ Bipolar Input,Complementary logic

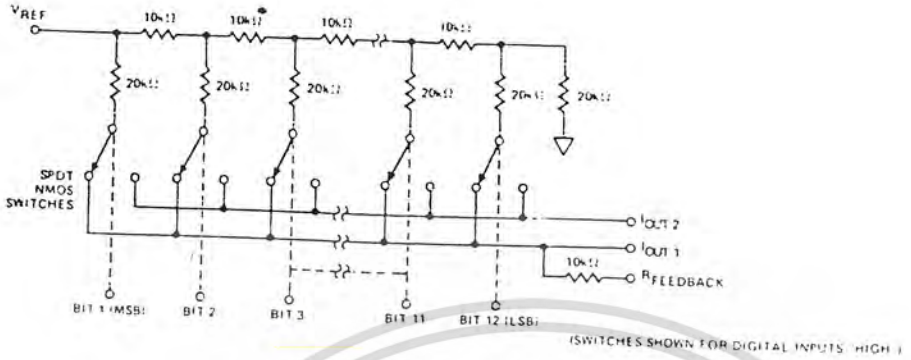
ซึ่งการแปลงค่าของ A/D จะเป็นดังนี้

discrete signal	digital signal from A/D	เมื่อกลับบิท MSB
$+\frac{(V^+)}{2}$	000H	800H
0	BFFH	3FFH
$-\frac{(V^+)}{2}$	FFFH	7FFH

จากนั้นกลับบิท MSB เพื่อทำให้เลขฐานสองนั้นเป็น 2'complement สัญญาณที่ได้จึงมีทั้งค่าบวกและค่าลบตามสัญญาณอนาล็อกอินพุท แต่เนื่องจาก A/D นี้เป็นการต่อแบบ complementary ดังนั้นเอาท์พุทจาก A/D จะกลับเฟสกับอินพุท

เอาท์พุทที่ได้จากการผ่านขั้นตอนการกรอง จะยังคงเป็นเลขฐานสองแบบ 2's complement ดังนั้นก่อนที่จะส่งออก D/A จึงต้องแปลงกลับเป็นเลขฐานสองธรรมดาเสียก่อน โดยกลับบิท MSB อีกครั้งดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 D/A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทสุดท้ายที่ได้จาก D/A จะกลับเฟสกับสัญญาณอนาล็อกอินท์พุท ซึ่งเป็นผลมาจากการทำงานของวงจร แบบ Complementary

ความยาวของค่า (word length) คือ 12 บิท โดยบิทที่มีนัยสำคัญที่สุดเป็นบิทเครื่องหมาย บิทที่เหลือเป็นบิททศนิยมแบบเลขฐานสอง

สำหรับ A/D เบอร์ 1210 ที่ใช้มี conversion time 48 μs และ clock สำหรับ A/D คือ 250 KHz ดังนั้นความถี่ของสัญญาณอนาล็อกอินพุทถึงถูกจำกัดโดย A/D สำหรับวงจร D/A ที่ใช้นั้นแสดงได้ดังรูปที่ 3.4

หน่วยเก็บข้อมูล (Storage)

1. หน่วยเก็บสัญญาณอินพุทและเอาท์พุท
2. หน่วยเก็บค่าสัมประสิทธิ์
3. หน่วยเก็บผลลัพธ์

1. หน่วยเก็บสัญญาณอินพุทและเอาท์พุท ได้แก่ ชิฟท์รีจิสเจอร์ทั้ง 4 ชุด ดังแสดงได้ดังรูปที่ 3.5,3.6,3.7,3.8

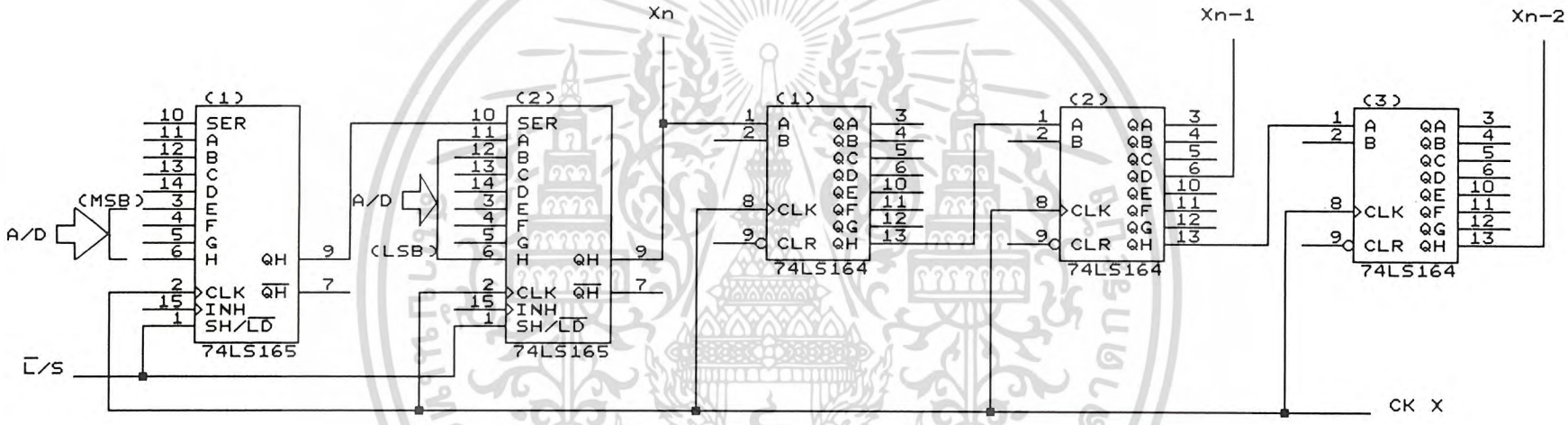
ชุดที่ 1	X(n)	X(n-1)	X(n-2)
ชุดที่ 2	V(n)	V(n-1)	V(n-2)
ชุดที่ 3	W(n)	W(n-1)	W(n-2)
ชุดที่ 4	Y(n)	Y(n-1)	Y(n-2)

2. หน่วยเก็บค่าสัมประสิทธิ์ ได้แก่ ตารางรอม 6 ตาราง ดังนี้

จังหวะรอม1	0000H-001FH	เก็บค่าฟังก์ชั่น	$F_{11}\{.\}$สำหรับการบวกและการเลื่อน11ครั้ง
	0020H-003FH	"	$F_{01}\{.\}$ ลบ 1 ครั้ง
จังหวะรอม2	0040H-005FH	"	$F_{12}\{.\}$สำหรับการบวกและการเลื่อน11ครั้ง
	0060H-007FH	"	$F_{02}\{.\}$ ลบ 1 ครั้ง
จังหวะรอม3	0080H-009FH	"	$F_{13}\{.\}$สำหรับการบวกและการเลื่อน 11ครั้ง
	00A0H-00BFH	"	$F_{03}\{.\}$สำหรับการลบ 1 ครั้ง

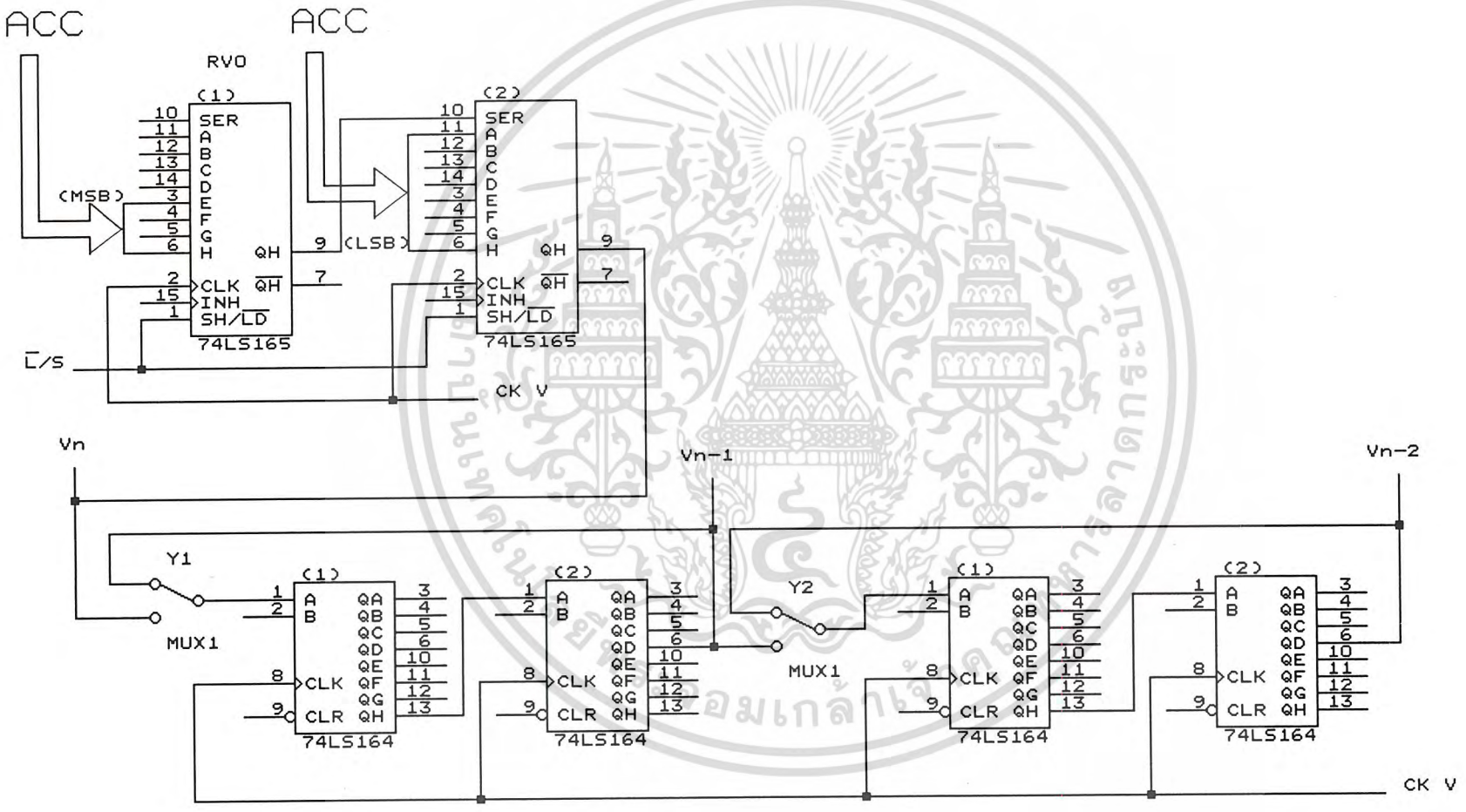
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.5 Shift register RX



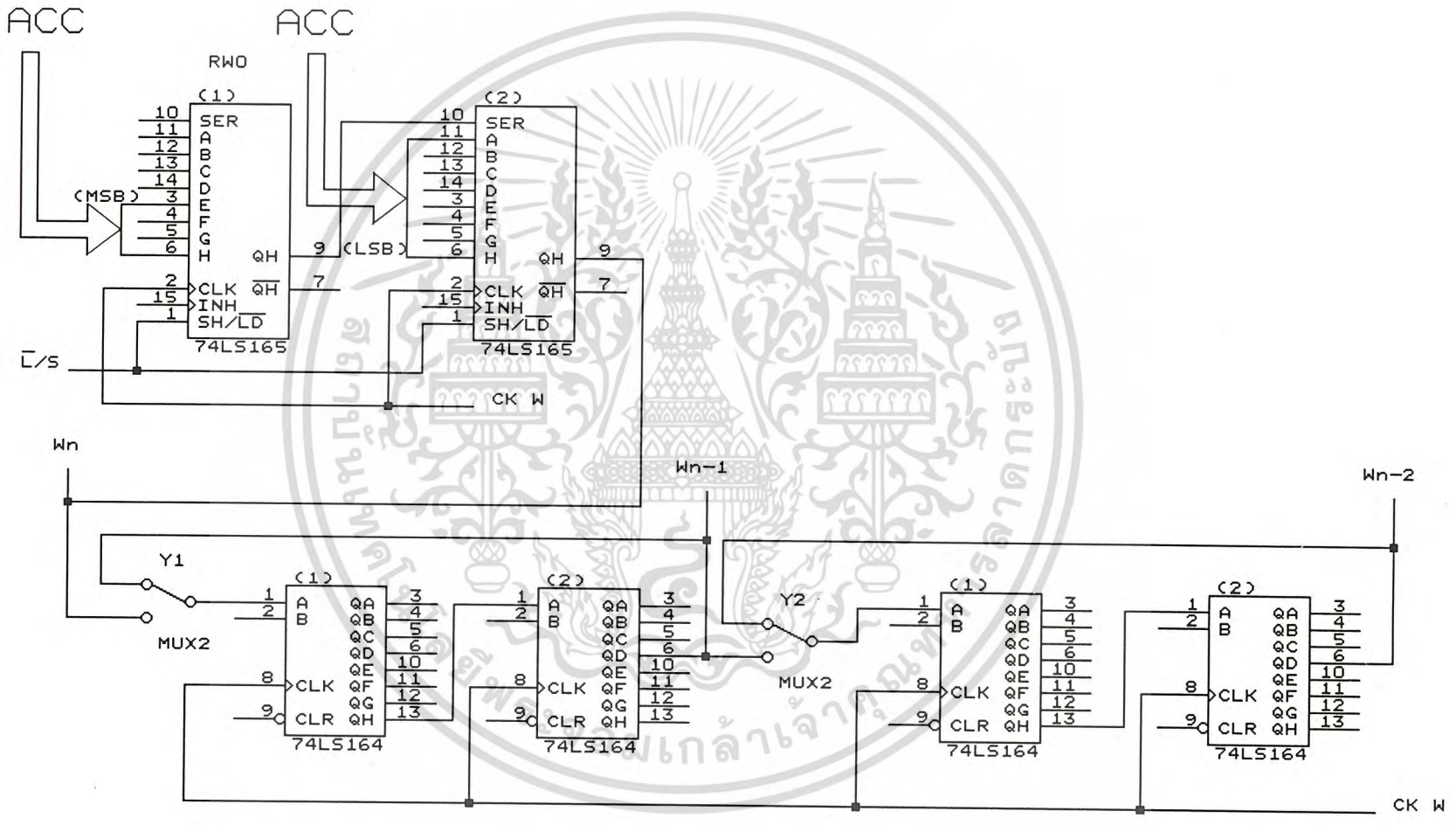
Size	Document Number	REV
A	SHIFT REGISTOR RX	
Date:	March 15, 1994	Sheet of

รูปที่ 3.6 Shift register RV



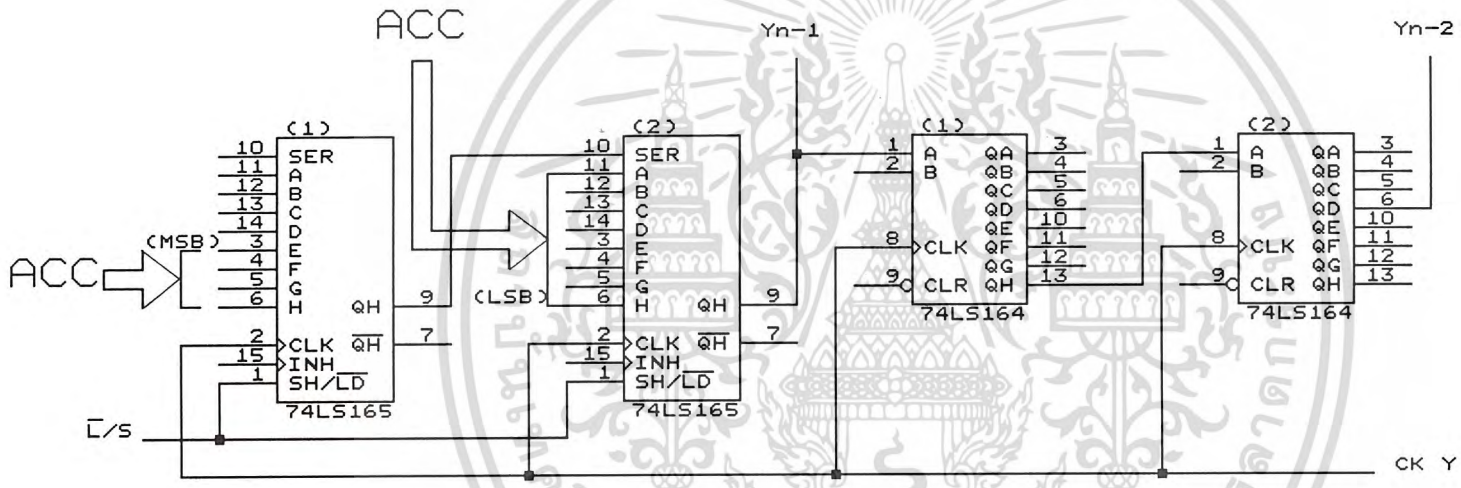
Size	Document Number	REV
A	SHIFT REGISTER RV	
Date: March 15, 1994	Sheet of	

รูปที่ 3.7 shift register RW



Size	Document Number	REV
A	SHIFT REGISTER RW	
Date:	March 15, 1994	Sheet of

รูปที่ 3.8 shift register RY



Size	Document Number	REV
A	SHIFT REGISTOR RY	
Date:	March 15, 1994	Sheet of

หมายเหตุ เนื่องจากในการคำนวณมีขั้นตอนลบ 1 ชั้น จึงต้องสร้างตารางรอม เพิ่มขึ้น 3 ตาราง โดยนำตารางรอมทั้ง 3 ตาราง(ตารางรอมที่เก็บฟังก์ชั่น $F_1\{.\}$ มาทำให้ข้อมูลภายในเป็น 1's complement คือกลับทุกบิท จากนั้นจะมีสัญญาณควบคุมสร้างลอจิก 1 ให้กับตัวทดบิทต่ำสุดของวงจรบวกเลข จึงเท่ากับเป็นสร้างลบจากการบวก

A และ B เป็นตัวเลือกจังหวะ rom ดังนี้

		จังหวะ rom
0	0	1
1	0	2
0	1	3

A/S เป็นตัวเลือกว่าจะใช้ $F_1\{.\}$ หรือ $F_0\{.\}$ ดังนี้

A/S = 0 เลือก $F_1\{.\}$

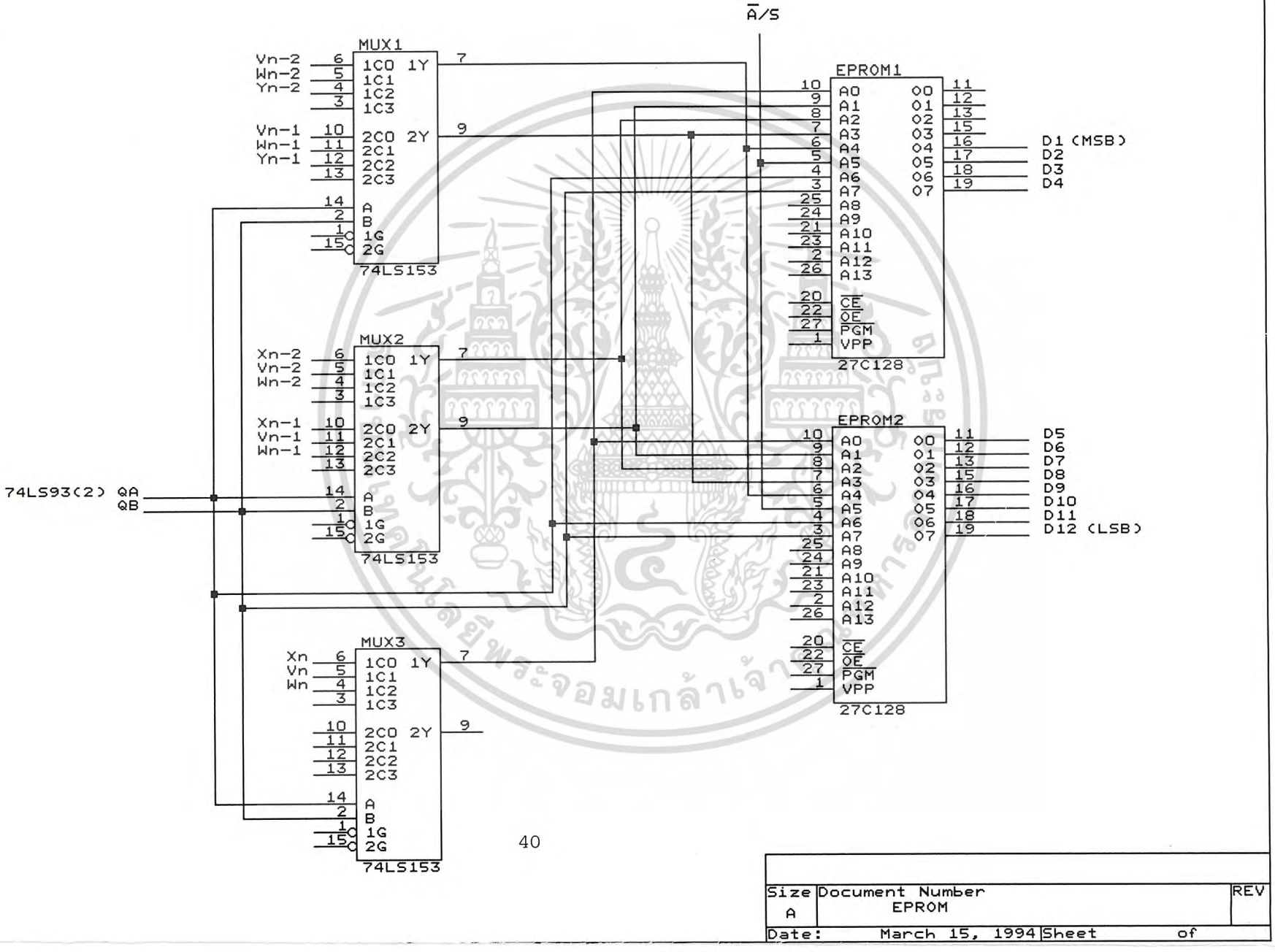
A/S = 1 เลือก $F_0\{.\}$

ส่วนฟังก์ชั่น F{.} นั้นมี 32 ค่า ในแต่ละตาราง

ดังดูได้จากรูปที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.9 วงจรเลือกตารางเปิดดู



การทำงานของหน่วยเก็บข้อมูล

การทำงานของหน่วยเก็บข้อมูลจะมี 3 ขั้นตอน หรือ 3 จังหวะ ดังนี้

1. จังหวะรอม 1 คือขั้นตอนการคำนวณหา V(n) เป็นดังนี้

สัญญาณดิจิตอลอินพุท x(n)ถูกโหลดเข้าไปในชิฟท์รีจิสเตอร์ x(n)แบบขนาน clock ของจังหวะรอม 1 คือ clock x และ clock v จากนั้นข้อมูลใน X(n),X(n-1) และ $X_{(n-1)}$ จะเลื่อนไปทีละบิทแบบอนุกรมขณะเดียวกันข้อมูลเก่าใน V(n-1)และ V(n-2)จะเลื่อนไปแบบอนุกรมวนในตัวมันเองด้วย เพราะ V(n) , V(n-1), และ V(n-2) ไม่ได้ต่อเชื่อมถึงกันการเลื่อนของข้อมูลที่ละบิททำให้ได้ X(n),X(n-1),X(n-2) ,V(n-1) $V_{(n-2)}$ไปชี้ ADDRESS ของรอม 1 (TABLE 1) เพื่อนำค่าฟังก์ชั่น F_{11} {.} จากตารางรอมไปใช้ทำการคำนวณต่อไป

2. จังหวะรอม 2 คือขั้นตอนการคำนวณหา W(n) เป็นดังนี้

สัญญาณดิจิตอล V(n) ที่ได้จากจังหวะรอม 1 จะถูกโหลดเข้าสู่ชิฟท์รีจิสเตอร์ V(n) แบบขนาน clock ของจังหวะรอม 2 คือ clock v และ clock W จากนั้นข้อมูลใน V(n),V(n-1)และ V(n-2) จะเลื่อนไปทีละบิทแบบอนุกรม ขณะเดียวกับที่ข้อมูลเดิมใน $W_{(n-1)}$ และ $W_{(n-2)}$ เลื่อนไปแบบอนุกรมวนในตัวมันเอง เพราะ W(n) ,W(n-1) และ W(n-2) ไม่ได้ต่อเชื่อมถึงกัน การเลื่อนข้อมูลทีละบิททำให้ได้ V(n),V(n-1),V(n-2) $W_{(n-1)}$ และ $W_{(n-2)}$ ไปชี้ ADDRESS ของรอม (TABLE 2) เพื่อนำค่าฟังก์ชั่น F_{12} {.} จากตารางรอมไปใช้ทำการคำนวณต่อไป

3. จังหวะรอม 3 คือขั้นตอนการคำนวณหา Y(n) เป็นดังนี้

สัญญาณดิจิตอล W(n) ที่ได้จากจังหวะรอม 2 จะถูกโหลดเข้าสู่ชิฟท์รีจิสเตอร์ $W_{(n)}$ แบบขนาน clock ของจังหวะรอม 3 คือ clock w และ clock Y จากนั้นข้อมูลใน W(n),W(n-1),W(n-2),Y(n),Y(n-1),Y(n-2)จะเลื่อนไปแบบอนุกรมทำให้ได้ "W(n),W(n-1),W(n-2),Y(n-1),Y(n-2) ไปใช้ชี้แอดเดรสของรอม 3 (TABLE 3) เพื่อนำค่าฟังก์ชั่น F_{13} {.} จากตารางรอมไปใช้ทำการคำนวณอะไรต่อไป

หมายเหตุ 1. รีจิสเตอร์ V(n),V(n-1) และ V(n-2) ต่อถึงกันในจังหวะรอม 2
รีติสเตอร์ W(n),W(n-1) และ W(n-2) ต่อถึงกันในจังหวะรอม 3

2. EPROM ที่ใช้เก็บค่า F_i { } คือเบอร์27c128 จะใช้ 2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยตัวหนึ่งเก็บ 8 บิท นัยสำคัญต่ำ และอีกตัวเก็บ 4 บิท นัยสำคัญสูง

<u>หน่วยคณิตศาสตร์</u>

หน่วยคณิตศาสตร์ประกอบด้วย ADDER, ACCUMULATOR และ SIGN EXTEND(S.E) โดยทำการคำนวณตามสมการ

$$V(n) = \sum_{i=1}^{B-1} 2^{-i} F_{i1}\{.\} - F_{o1}\{.\} \quad \text{จังหวะรอม 1}$$

$$W(n) = \sum_{i=1}^{B-1} 2^{-i} F_{i2}\{.\} - F_{o2}\{.\} \quad \text{จังหวะรอม 2}$$

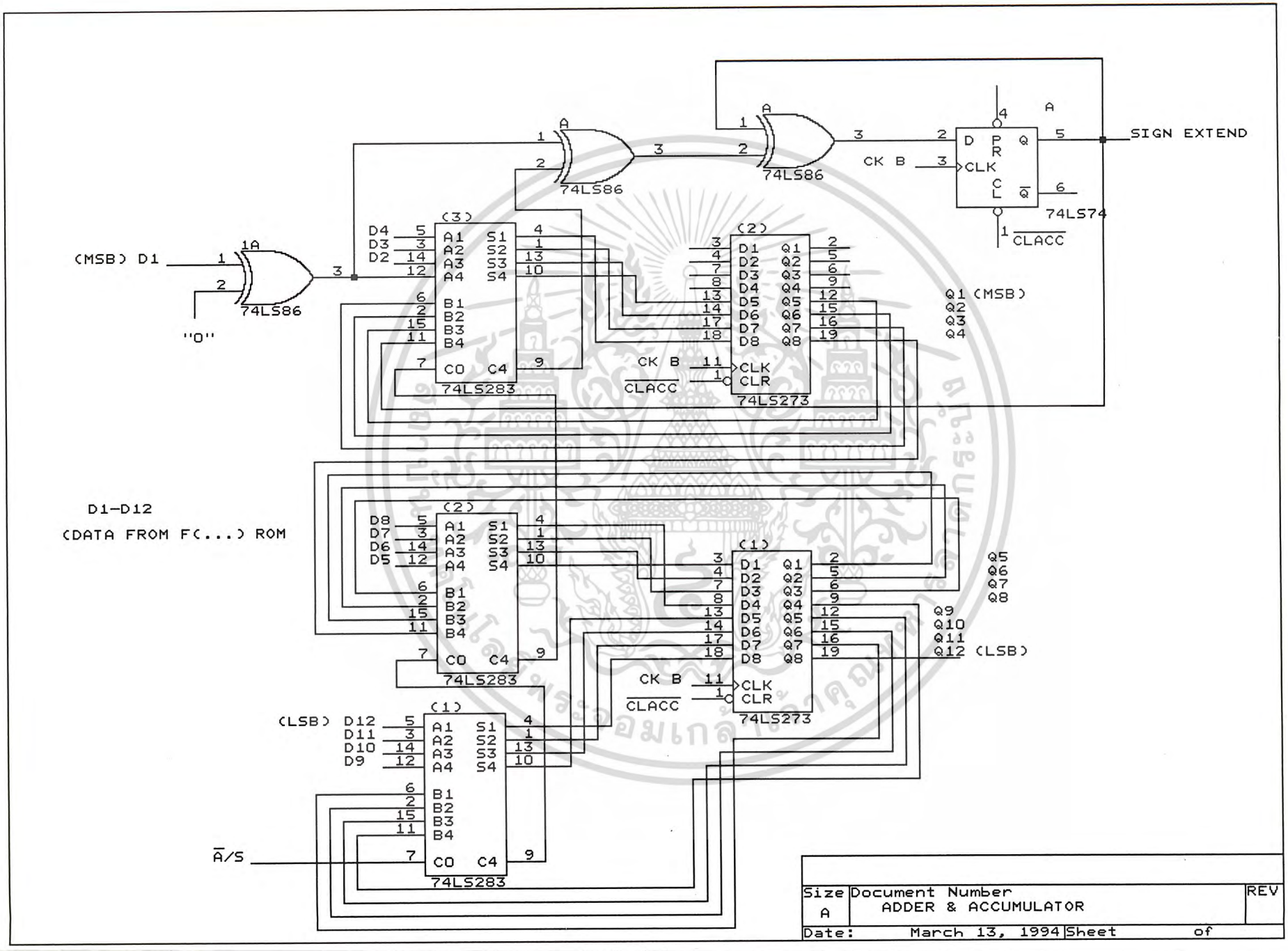
$$Y(n) = \sum_{i=1}^{B-1} 2^{-i} F_{i3}\{.\} - F_{o3}\{.\} \quad \text{จังหวะรอม 3}$$

ดังนั้นในการคำนวณแต่ละจังหวัดรอมจะทำการบวกและเลื่อนข้อมูล 11 ครั้ง และลบ 1 ครั้ง โดยการลบนั้นก็คือการบวกด้วย 2's COMPLEMENT นั่นเอง เพราะในจังหวะการลบจะนำค่าฟังก์ชั่น $F_o\{.\}$ จากตารางรอม ที่เป็น 1'S COMPLEMENT พร้อมกับตัวทดที่ A/S = 1 ทำให้ได้ค่า 2'S COMPLEMENT

ในวงจรได้ทำการไขว้สายจาก ACCUMULATOR มายังอินพุทของ ADDER ซึ่งก็คือการคูณ 2 เป็นการปรับน้ำหนักของค่าที่ป้อนกลับให้เท่ากับ $F_i\{.\}$ใหม่ที่มาจากตารางรอม เพื่อทำการบวกต่อไป
แสดงได้ดังรูปที่ 3.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.10 วงจรคำนวณ



หน่วยควบคุม

ทำหน้าที่สร้างสัญญาณควบคุมต่างๆ เพื่อให้การทำงานวงจรเป็นไปอย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบายวงจร ส่วนสัญญาณควบคุม

วงจรรูปที่ 3.11 (RESET)

- ขณะกดปุ่ม reset

เอาท์พุทของ not gate ตัวแรกจะได้ค่าลอจิก "1" ซึ่งจะกลายเป็น ลอจิก "0" ในเวลาประมาณ 30 microsec.ต่อมา เนื่องจากสมการ PC Time Constant นำไปใช้ clear สภาวะของอุปกรณ์ต้องการ ลอจิก "1" ในการหยุดการทำงานและต้องการลอจิก "0" ในขณะที่ทำงานตามปกติ

- ขณะปล่อยปุ่ม RESET

เอาท์พุทของ not gate ตัวที่สองจะให้ค่าลอจิก "0" ซึ่งจะกลายเป็น ลอจิก "1" ใน 30 microsec.ถัดมา ใช้กับอุปกรณ์ที่ต้องการ ลอจิก "0" เพื่อหยุดการทำงานและใช้ ลอจิก "1# ในการทำงานตามปกติ

วงจรรูปที่ 3.12 วงจรสร้าง clock และสั่ง START S/H และ A/D

Crystal เป็นตัวกำเนินความถี่ขึ้นมา เป็นความถี่ที่ค่อนข้างสูง เรียกว่า CK A เมื่อนำไปเป็นอินพุทของ 74LS93 จะได้ เอาท์พุทที่ความถี่เท่ากับ CK A หาร 2 เรียกว่า CK B และความถี่เท่ากับ CK A หาร 4 เรียกว่า CK C ซึ่งจะนำไปใช้ประโยชน์แตกต่างกันไป

เมื่อเปิดไฟให้วงจร CK C จาก 74LS93(1) จะผ่าน AND GATE (A1) ไปยังขา clear ของ 74LS74(A2) ทำให้ทั้งขา CL และ PR ของ 74LS74(A2) เป็นลอจิก "1" Q จึงเป็น ลอจิก "1" เมื่อเวลาผ่านไปเท่ากับ RC Time Constant PR ของ 74 (A1) จะเป็นลอจิก "1" ทำให้ Q ของ 74LS74(A2) เป็นลอจิก "1" ด้วย CK B จะผ่านออกไปยังส่วนที่ทำการส่งสัญญาณควบคุมการเลื่อนข้อมูล (รูปที่ 3.13) ในขณะนี้จะเกิดการเลื่อนข้อมูลขึ้น โดยที่ยังไม่สนใจกับผลลัพธ์ที่ได้ เนื่องจากยังไม่มีสัญญาณสั่งให้ A/D ทำการแปลง เมื่อป้อน CK B ให้แก่วงจรรูปที่ 3.13 จะได้ YN กลับมา ยังขา CK ของ74LS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(A1) มีลักษณะเป็น pulse 1 ลูก ขา D ของ F/F ป้อนด้วย ลอจิก "1" จะได้ Q ออกมาเป็น ลอจิก "0" เป็นการหยุดการให้ CK B แก่วงจรในส่วนที่ควบคุมการเลื่อนข้อมูล เนื่องจากสัญญาณ YN จะเกิดขึ้นได้ก็ต่อเมื่อการเลื่อนข้อมูลได้เสร็จสิ้น สำหรับการประมวลผลเพื่อให้ได้ output ออกมาค่าหนึ่ง เพื่อให้มีการเลื่อนข้อมูลเกิดขึ้น ต่อไปก็จะเป็นขั้นตอนของการทำงานของ S/H และ A/D โดยที่ Q ของ 74(A1) กลายเป็นลอจิก "1" จากผลของ YN ค่าลอจิก "1" นี้จะถูกป้อนเข้าสู่ 74LS123 ซึ่งเป็น IC MONOSTABLE 74LS123 จะสร้าง pulse 1 ลูก สำหรับเป็นลอจิกอินพุทให้แก่ S/H เป็นการส่งให้ S/H ทำงาน pulse ที่เกิดขึ้นนี้ จะทำให้ 74LS123 ตัวถัดไปสร้าง pulse ขึ้นมาอีก 1 ชุด เช่นกัน สำหรับ ขา SC หรือ start conversion ของ A/D เพื่อส่งให้ A/D ทำการแปลงข้อมูลจาก S/H สำหรับ A/D เมื่อทำการ converse เสร็จก็จะให้สัญญาณ CC หรือ CONVERSION COMPLETE ซึ่งจะนำกลับมาป้อนยัง CK ของ 74LS74(A2) เป็นการให้ขอบขาขึ้นกับ 74LS74(A1) จะเป็นลอจิก "1" นั่นก็คือ CK B จะถูกปล่อยออกไปทำการ shift เลื่อนข้อมูลอีกครั้งหนึ่ง

วงจรที่ 3 (สัญญาณการควบคุมการประมวลผลและการเลื่อนข้อมูล)

CK B จะถูกนับด้วย 74LS92 แล้วนำไป decode ที่ 74LS138 จะให้ clock ลูกที่12 ออกมาสั่งให้ ADDER ทำการลบบิท MSB (สัญญาณ A/S)

เอาท์พุทขา Q_D ของ 74LS92 จะให้ผลเป็น CK B หาร 12 นำขา Q_D นี้มาเข้าเป็น อินพุท A ของ 74LS93(2) เพื่อให้ binary counter นับ แล้วนำมา decode ที่ 74LS138(2) สิ่งที่ต้องการก็คือ CK B หาร 12 ที่ออกมาในเวลาต่างๆกัน 3 ช่วง เพราะต้องมีการประมวลผล 3 cycle ในการที่จะได้ เอาท์พุทออกมา 1 ค่า

เมื่อนำสัญญาณ A/S มาเป็น ขา DATAของ 74LS74 ป้อน CK B เข้าที่ขา CK ของ74LS74 เอาท์พุทที่ขา Q ก็จะได้ pulse 1 ลูก นั้นไปเป็นอินพุทเข้า NAND GATE พร้อมกับที่สัญญาณ CK B หาร 12 ที่เป็นช่วงๆจะเข้าไปเป็นอินพุทอีกขาหนึ่ง ของ NAND GATE ผลก็คือได้สัญญาณ VN,WN และ YN ออกมาเพื่อใช้ในการ load ข้อมูลเข้าสู่ shift register ชุด RV, RW และ RY ตามลำดับ

CK B หาร 12 ช่วงที่ 2 และ 3 จะนำมาใช้ในการ select ข้อมูลเอาท์พุทของ MUX 74LS157 ตัวที่ 1และตัวที่ 2 ตามลำดับ เอาท์พุทของ MUX1 จะใช้ในการควบคุมข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

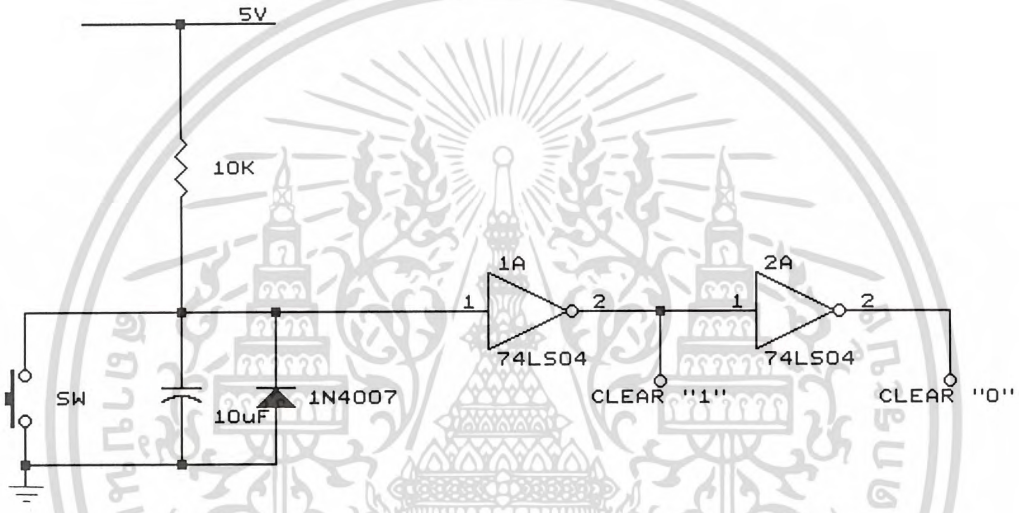
มูลที่จะเข้าสู่ shift register RV1 และ RV2 ส่วน เอาท์พุทของ MUX2 จะใช้ในการควบคุมข้อมูลที่จะเข้าสู่ RW1 และ RW2 โดยที่ MUX แต่ละตัวจะมีการใช้งาน 2 ชุดคือ มี 2 เอาท์พุท

ส่วน CK X คือ CK ที่จะป้อนให้ shift register RX0,RX1,และ RX2 นั้น จะใช้ CK B จำนวน 12 clocK แรกจากทั้งหมด 36 clock สำหรับการประมวลผล 1 ครั้ง จึงได้นำ CK B มา AND กับ CK B/12 ในช่วงแรก เพื่อให้ได้ CK X ตามต้องการ CK Y คือ CK ที่จะป้อนให้ shift register ชุด ก็ทำเช่นเดียวกัน แต่ CK B จะ AND กับ CK B/12 ในช่วงที่ 3 แทน

การทำงานของวงจรส่วนควบคุมนี้ สามารถเขียนเป็น Timing diagram ได้ดังรูป 3.14

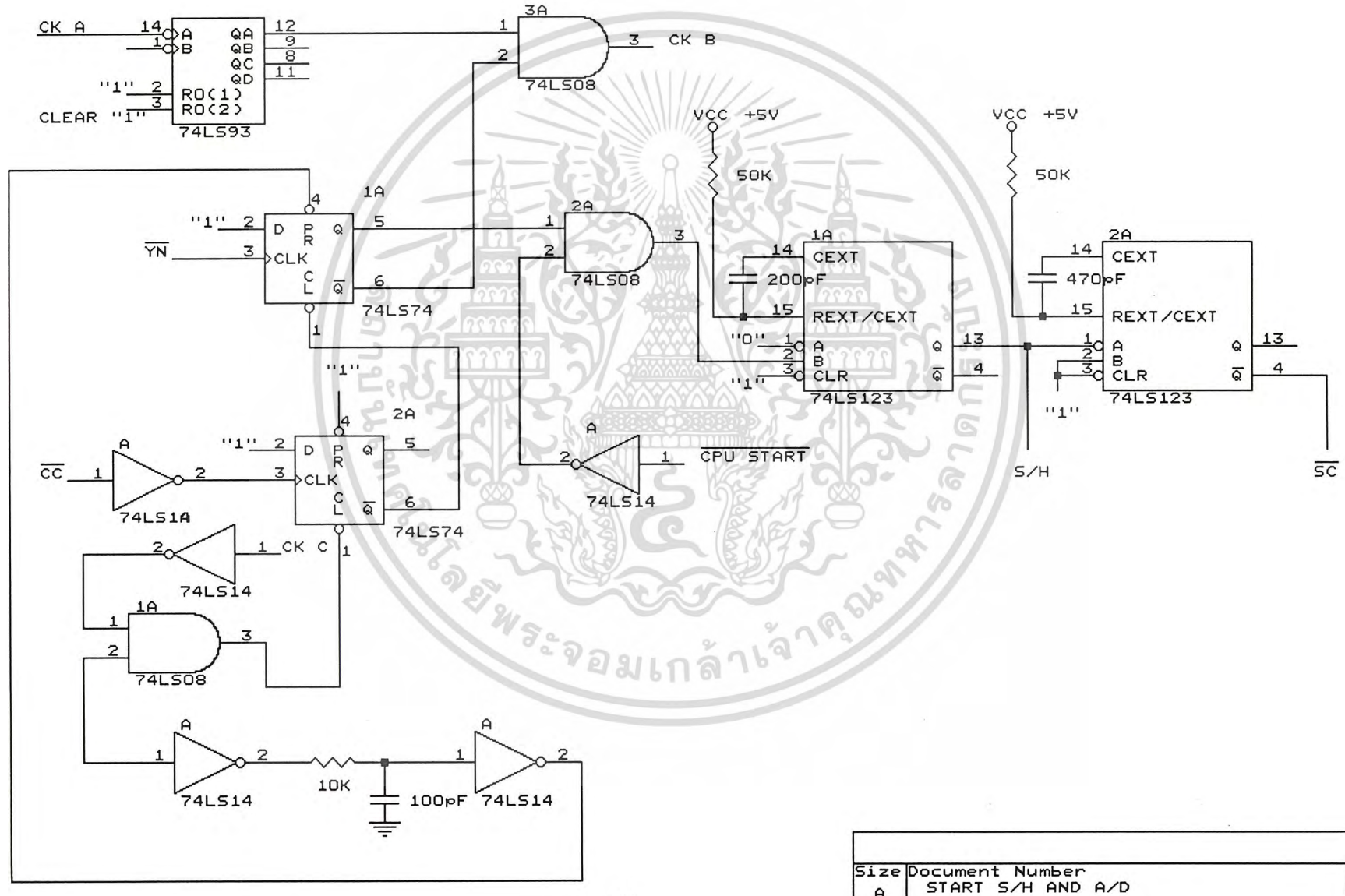
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.11 วงจร RESET



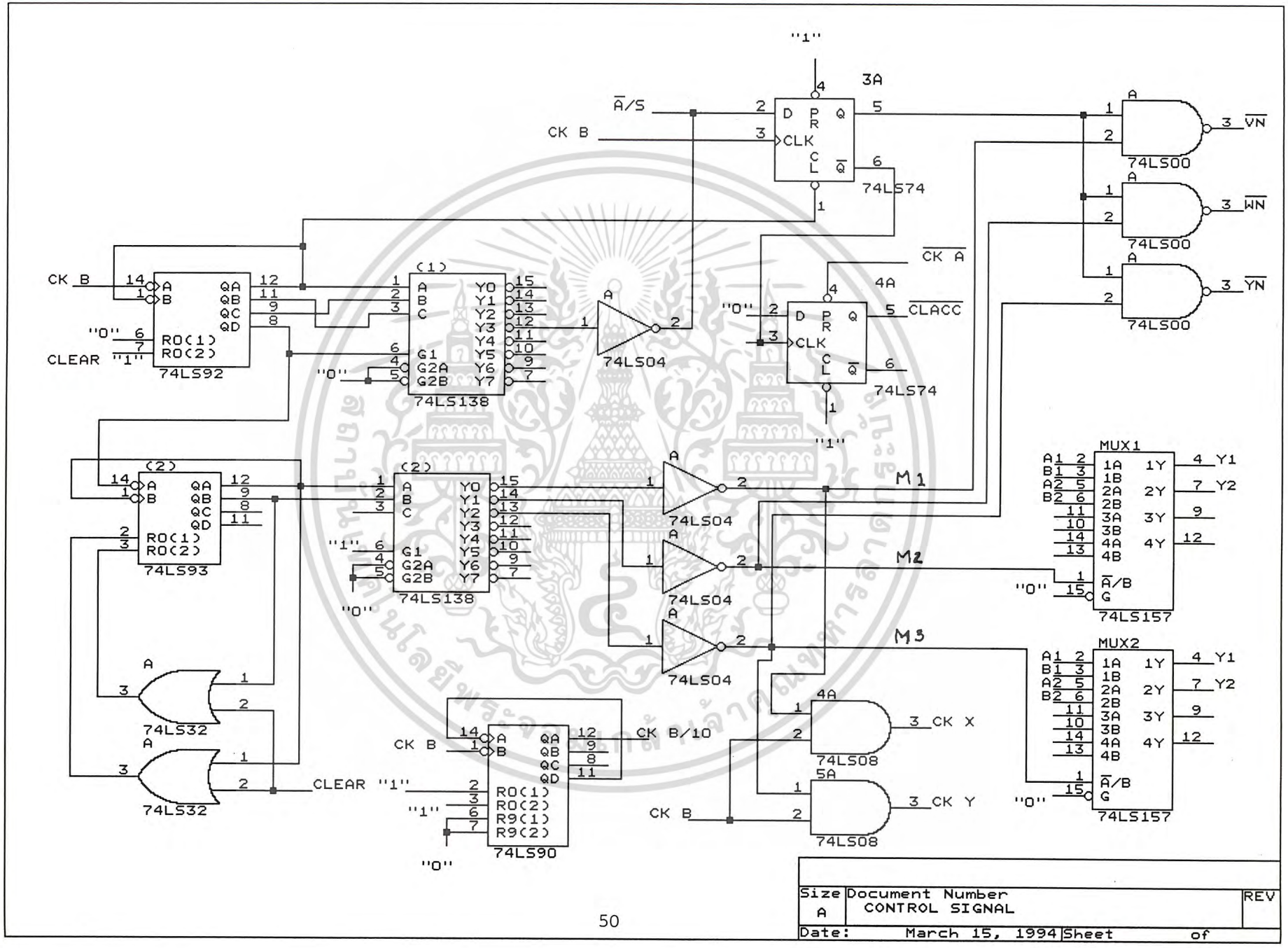
Size	Document Number	REV
A	RESET	
Date: March 14, 1994	Sheet of	

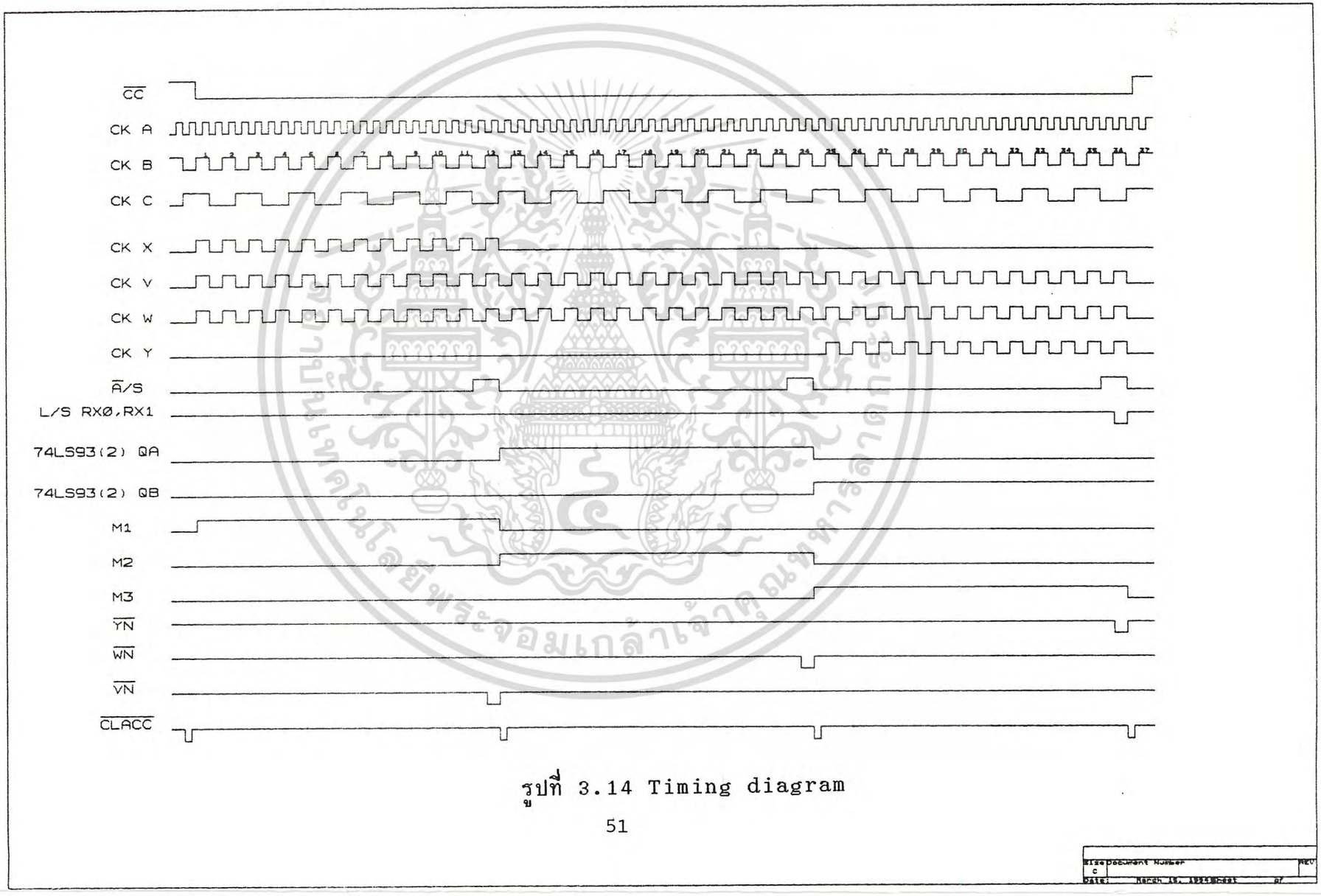
รูปที่ 3.12 วงจรสร้าง CLOCK และสั่ง START S/H และ A/D



Size	Document Number	REV
A	START S/H AND A/D	
Date: March 14, 1994	Sheet of	

รูปที่ 3.13 สัญญาณควบคุมการประมวลผลและการเลื่อนข้อมูล





รูปที่ 3.14 Timing diagram

บทที่ 4

ผลการทดลองและสรุปผลการทดลอง

4.1 การวัดคุณสมบัติของตัวกรองอันดับสอง โดยใช้ตัวกรองผ่านความถี่ต่ำ (Low-Pass Filter)

a) เมื่อ $H(Z) = \dfrac{0.359375-0.359375Z^{-1}}{1+0.148375Z^{-1}}$

ดังนั้น $a_0 = 0.359375$

$a_1 = 0$

$a_2 = -0.359375$

$-b_1 = 0$

$-b_2 = 0.148375$

b) เมื่อ $H(Z) = \dfrac{0.0546875+0.1015625Z^{-1}+0.0546875Z^{-2}}{1+0.3125Z^{-1}+0.1875Z^{-2}}$

ดังนั้น $a_0 = 0.0546875$

$a_1 = 0.1015625$

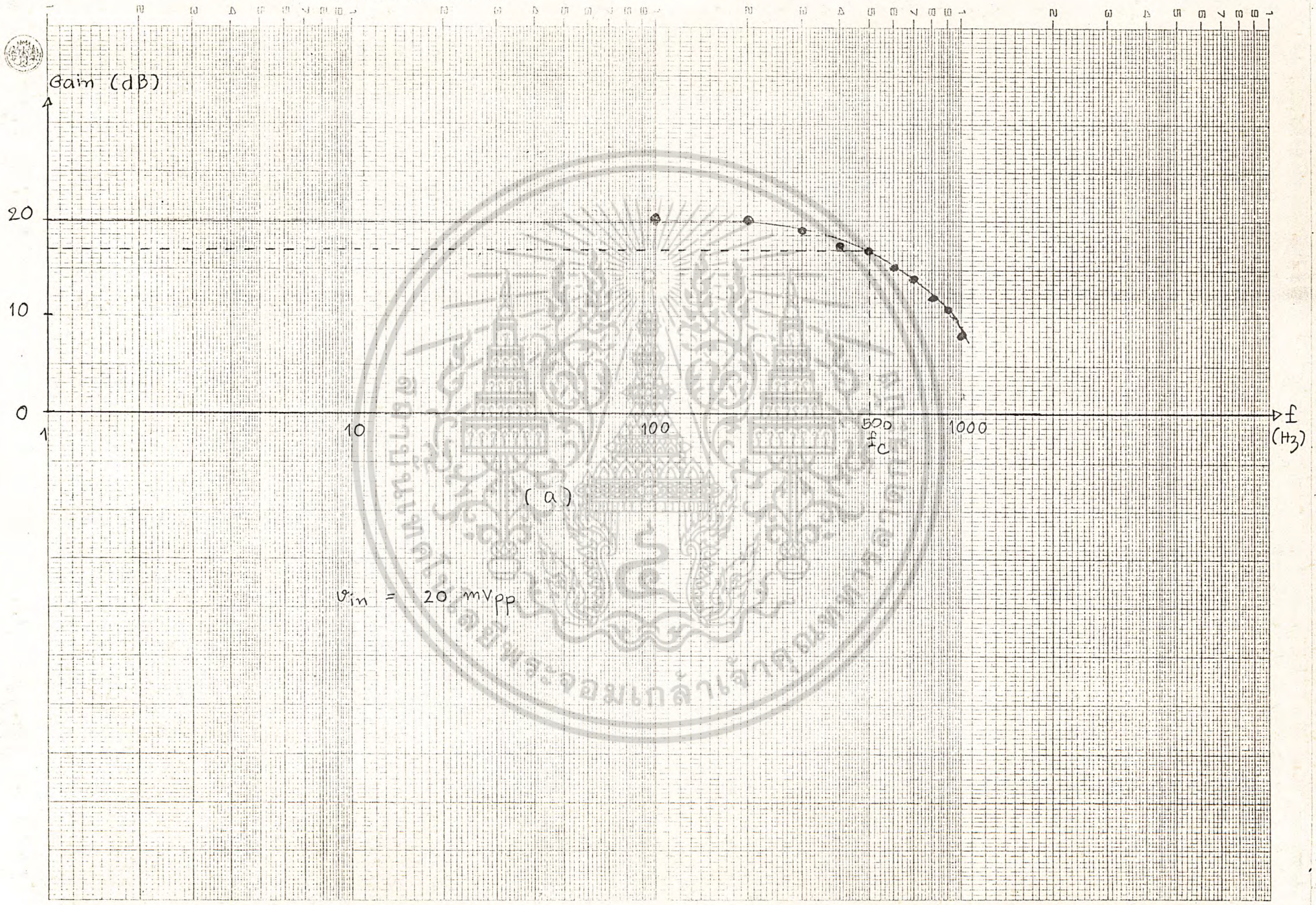
$a_2 = 0.0546875$

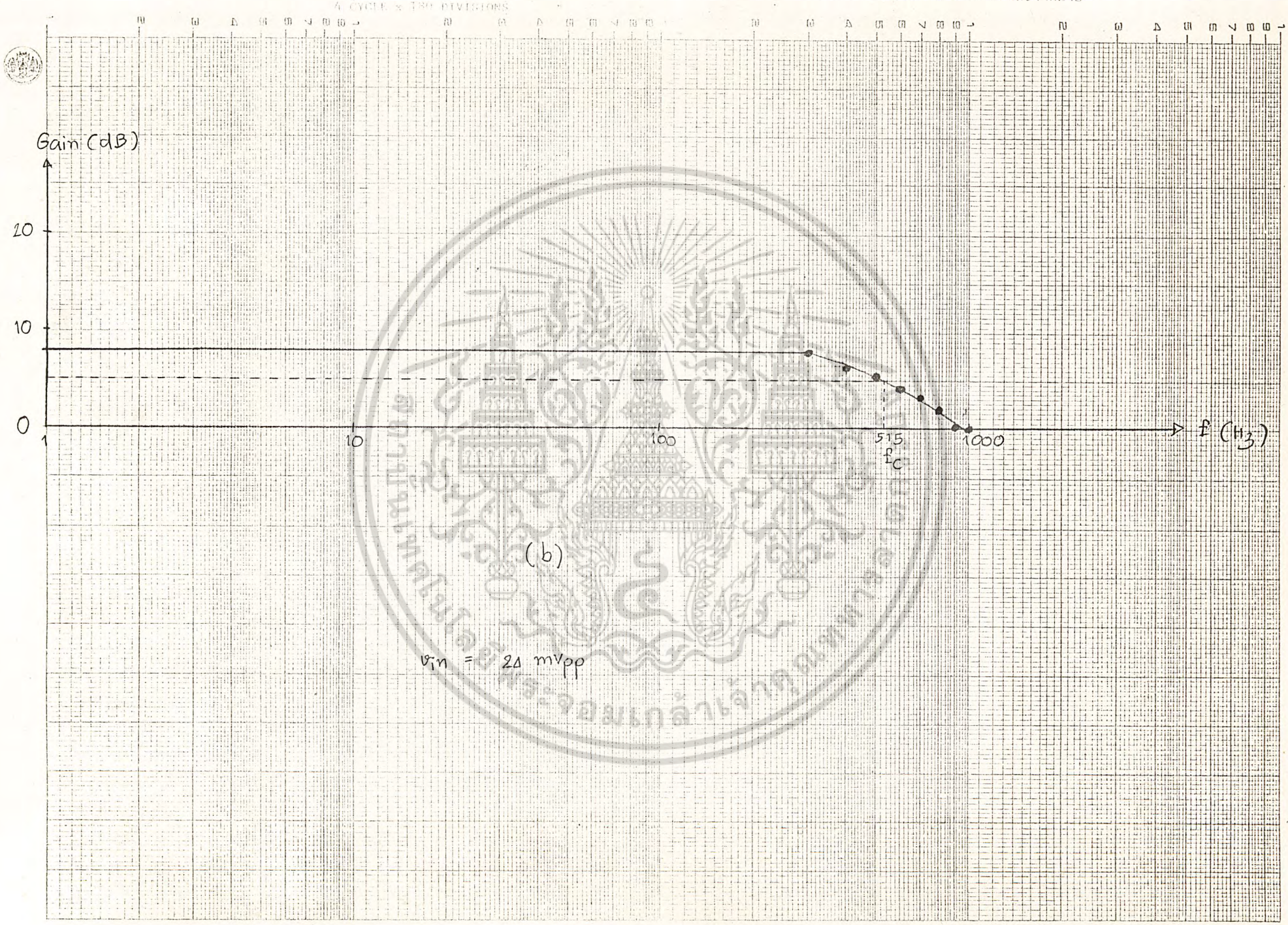
$-b_1 = 0.3125$

$-b_2 = 0.1875$

ได้ผลการทดลองตามกราฟรูป a) และ รูป b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


Gain (dB)
20
10
0
1
10
100
500
1000
f_c
f (Hz)
(a)
v_{in} = 20 mVpp



(b)

v_{in} = 24 mV_{pp}

วิเคราะห์ผลการทดลอง

จากกราฟรูป a) ทรานส์เฟอร์ฟังก์ชันที่ใช้คือ

$$H(Z) = \frac{0.359375-0.359375Z^{-1}}{1+0.148375Z^{-1}}$$

ทรานส์เฟอร์ฟังก์ชันนี้ถูกออกแบบมาเพื่อให้ได้ ความถี่ cut off (f_c) = 2.5KHz โดยใช้ sampling rate (f_s) = 11.2KHz

จากผลการทดลองวัด f_c ได้ 500 Hz ซึ่งไม่ตรงตามคุณสมบัติของทรานสเฟอร์ฟังก์ชันนี้ เนื่องจากได้ใช้ f_s = 20.8 kHz ซึ่งไม่เท่ากับ f_s ที่ได้กำหนดไว้ในการออกแบบ H(Z)

จากกราฟรูป b) ทรานสเฟอร์ฟังก์ชันที่ใช้คือ

$$H(Z) = \frac{0.0546875+0.1015625Z^{-1}+0.0546875Z^{-2}}{1+0.3125Z^{-1}+0.1875Z^{-2}}$$

ทรานส์เฟอร์ฟังก์ชันนี้ถูกออกแบบมาเพื่อให้ได้ ความถี่ cut off (f_c) = 3.7KHz โดยใช้ sampling rate (f_s) = 11.2KHz

จากผลการทดลอง วัด f_c ได้ 515Hz

ผลการทดลองทั้งสองนี้ ได้ผลไม่ตรงตามคุณสมบัติของทรานส์เฟอร์ฟังก์ชันที่ได้ออกแบบไว้เนื่องจากความถี่ Sampling ที่ใช้ในวงจรกรองไม่ตรงกับความถี่ Sampling ที่ใช้ในการออกแบบ H(Z) นอกจากนั้นยังเกิดค่าผิดพลาดต่างๆ ดังต่อไปนี้

1.ค่าคลาดเคลื่อนจากการแปลงข้อมูลอินพุทของ A/D ขนาด 12 บิท

เนื่องจาก A/D ขนาด 12 บิท มีความละเอียด 2^{12} = 4096 step ดังนั้น ถ้าเลือกใช้ A/D ที่มีจำนวนบิทข้อมูลสูงขึ้น ก็จะช่วยลดความคลาดเคลื่อนนี้ให้น้อยลง

2.ค่าสัมประสิทธิ์ในรูปเลขฐานสอง มีความคลาดเคลื่อนจากค่าจริง เนื่องจากมีจำนวนบิทของข้อมูลจำกัด คือ 12 บิท ตัวอย่างเช่น 0.005857 แปลงเป็นเลขฐานสองได้ 0000 0000 1011 ซึ่งคิดเป็นเลขฐานสิบได้ 0.0053711 จะพบว่าคลาดเคลื่อนไป 0.00486 คือประมาณ 8.3%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งสามารถสรุปผลการคลาดเคลื่อน อันเกิดจากการใช้จำนวนบิทน้อยเกินไป ได้ 3 ข้อคือ

1. ความสามารถในการควอนไทซ์ จากระดับของอนาลอกอินพุท ไปเป็นโค้ดดิจิตอล
2. การแปลงค่าสัมประสิทธิ์ จากเลขฐานสิบไปเป็นเลขฐานสองขนาด 12 บิท
3. เกิดจากการสะสมของ round-off error ในการคำนวณทางด้านคณิตศาสตร์ อันเกิดจากการปัดเศษขึ้น (rounding) หรือปัดเศษทิ้ง(truncation) เช่น ผลลัพธ์จากการคูณเลข 4 บิท 2 จำนวน จะเป็นเลข 8 บิท การปัดเศษขึ้นหรือการปัดเศษทิ้งเพื่อให้เหลือข้อมูลเพียง 4 บิท จะทำให้เกิดความคลาดเคลื่อนขึ้น

และถ้าเราบวกเลขสองจำนวน จะเกิด overflow ขึ้นเช่น บวกเลขทศนิยม 4 บิทระหว่าง .1101 และ .1000 คำตอบ คือ 1.0101 นั่นคือ ผลลัพธ์จะไม่สามารถบรรจุไว้ในรีจิสเตอร์ขนาด 4 บิทได้ครบ ค่าที่เก็บอยู่จึงผิดไปจากความจริง

สรุปผลการทดลอง

1. การสร้างวงจรกรองแบบดิจิตอลโดยใช้ hardware มีข้อเสีย คือ โครงสร้างของตัวกรองขาดความยืดหยุ่น การเปลี่ยนแปลงแก้ไข ทำได้ลำบาก
2. ถ้าหากสามารถทำให้ วงจรกรองมีจำนวนบิทได้มากกว่า 12 บิท จะทำให้คุณสมบัติของตัวกรองมีความละเอียดมากขึ้น และตรงตามที่ออกแบบมากขึ้น
3. ถ้าต้องการให้เอาท์พุทที่ได้ มีคุณสมบัติใกล้เคียงกับที่ต้องการ จะต้องเลือกค่าสัมประสิทธิ์ของตัวกรองให้เหมาะสม เนื่องจาก คุณสมบัติของตัวกรองจะเปลี่ยนไป เมื่อค่าสัมประสิทธิ์ของตัวกรองเปลี่ยนไป

วิเคราะห์ปัญหาที่เกิดจากการทดลอง

1. วงจรกรองที่สร้างขึ้นนี้ เป็นวงจรกรองอันดับ 6 ที่เกิดจาก วงจรกรองอันดับสองมาคาสเคดกัน 3 วงจร แต่ใช้หน่วยคำนวณเพียงหนึ่งหน่วย เอาท์พุทของตัวกรองอันดับสองแต่ละขั้นตอน จะมีความคลาดเคลื่อนตามที่ได้วิเคราะห์ผลการทดลอง ดังนั้นจึงเกิดความคลาดเคลื่อนสะสมของการทำงานในจังหวะรอม1, จังหวะรอม2 และจังหวะรอม 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความคลาดเคลื่อนนี้ มีผลทำให้วงจรกรองอันดับ 6 ที่ใช้หน่วยคำนวณร่วมกันของวงจรกรองอันดับสอง ไม่สามารถให้เอาท์พุทที่ต้องการได้

ดังนั้นจึงทดลองวัดคุณสมบัติของตัวกรองอันดับสองและได้ผลตามกราฟผลการทดลอง

2. เนื่องจากวงจรกรองอันดับ 6 ที่สร้างขึ้นมิได้เผื่อบิทเอาไว้กันการเกิด overflow ทำให้ขีดความสามารถของวงจรกรองนี้น้อยลง เพราะไม่สามารถป้อนอินพุทขนาดใหญ่หรือค่าสัมประสิทธิ์ที่มีค่าสูงมากนักได้

3. วงจรกรองที่สร้างด้วย hardware มีข้อเสียหลายประการ ตัวอย่างเช่น
   - ขาดความยืดหยุ่นไม่สามารถเปลี่ยนแปลงการทำงานได้โดยง่าย
   - เกิด delay time ในส่วนของวงจรสร้างสัญญาณควบคุม
   - เกิด impedance ในการเดินสายไฟของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

การออกแบบตัวกรองป้อนกลับแบบดิจิตอล

การออกแบบตัวกรองป้อนกลับแบบดิจิตอลนั้น จะมีการนำเอาสัญญาณเอาท์พุทมาใช้ในการคำนวณหาสัญญาณออกลำดับถัดไป หรือ มีการป้อนกลับสัญญาณ ทำให้การออกแบบต้องคำนึงถึงเสถียรสภาพของตัวกรองด้วยโดยทั่วไปมีวิธีการออกแบบตัวกรองป้อนกลับแบบดิจิตอล 2 วิธีใหญ่คือ

1. ออกแบบโดยทำการแปลงจากทรานส์เฟอร์ฟังก์ชั่นของตัวกรองอนาล็อก H(s) ที่มีเสถียรภาพดี

2. ออกแบบในโดเมนแซด (Z-domain) โดยตรง

1. คุณสมบัติของการแปลงตัวแปร

การแปลงตัวแปร อาจถือได้ว่าเป็นการแปลงความถี่แบบหนึ่ง ซึ่งในหัวข้อนี้จะกล่าวถึงหลักการของผลการแปลงว่าเป็นอย่างไร

1.1 ตัวกรองแบบดิจิตอล และตัวกรองแบบอนาล็อก

โดยทั่วไป ทรานส์เฟอร์ฟังก์ชั่นของตัวกรองป้อนกลับแบบดิจิตอล เป็นดังนี้

$$H(Z) = \frac{N(Z^{-1})}{D(Z^{-1})} = \frac{\sum_{i=0}^{M} a_i z^{-i}}{\sum_{i=0}^{N} b_i z^{-i}} \qquad (1)$$

และถ้าตัวกรองเป็นระบบเวลาจริง (realtime) จะได้ $b_0 = 1$ หรือ

$$H(Z) = \frac{\sum_{i=0}^{M} a_i z^{-i}}{1+\sum_{i=1}^{N} b_i z^{-i}} \qquad (2)$$

จากสองสมการนี้ ถ้าหากในเบื้องแรกนี้เราทำการแปลงตัวแปร Z^{-1} ด้วยตัวแปร S โดยตรง จะได้สมการที่คล้ายกัน ซึ่งทรานส์เฟอร์ฟังก์ชั่นของตัวกรองแบบอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คือ

$$H(S) = \frac{\sum_{i=0}^{M} a_i s^i}{\sum_{i=1}^{N} b_i s^i} \qquad (3)$$

โดยทั่วไปทั้งสมการ(1)และ(2)นั้นค่า M<=N เพื่อที่จะทำให้จำนวนของโพลมากกว่าจำนวนซีโร เพื่อป้องกันไม่ให้ค่า gain เป็นอนันต์ที่ความถี่อนันต์

ในทางทฤษฎี การแปลงจากสมการ(2)ไปเป็นสมการ (1) หรือแปลงในทางกลับกันมักไม่นิยมทำโดยการแทนตัวแปรโดยตรง เพราะการทำเช่นนี้อาจทำให้คุณสมบัติของตัวกรองจากโดเมนหนึ่ง เมื่อทำการส่งไปยังอีกโดเมนหนึ่ง มีคุณสมบัติผิดเพี้ยนไป นอกจากนี้เสถียรภาพของตัวกรองอาจเสียไปด้วย ดังนั้น การส่งจากโดเมนหนึ่งไปยังอีกโดเมนหนึ่งจึงควรมีเงื่อนไขกำหนดไว้ ดังจะกล่าวต่อไป

1.1.2 การส่งจาก โดเมนเอสไปโดเมนแซด

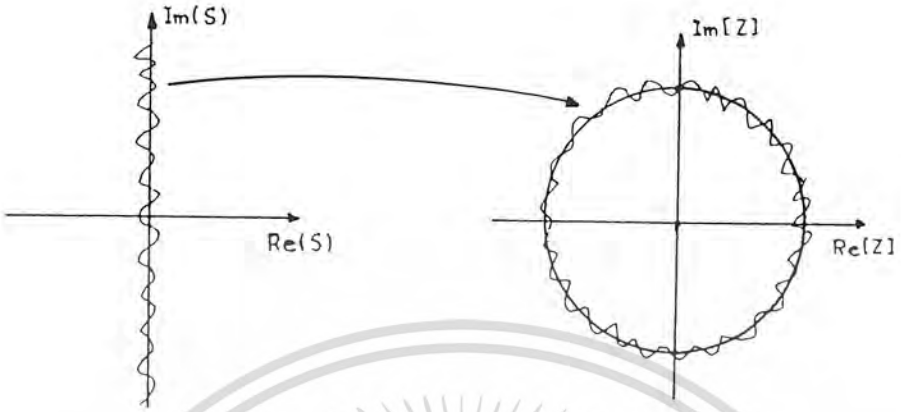
เพื่อที่จะให้การส่งจากโดเมนเชิงอนาล็อกไปยังโดเมนเชิงดิจิตอล โดยที่เสถียรภาพของตัวกรอง และคุณสมบัติเชิงความถี่ ไม่เปลี่ยนแปลง หรือเปลี่ยนไปน้อยนั้น การส่งควรสอดคล้องตามเงื่อนไข 2 ประการคือ

ก) <u>เงื่อนไขที่ 1</u> เงื่อนไขนี้ทำให้การส่งจาก โดเมนเอสไปยังโดเมนแซดทำได้โดยที่ยังรักษาคุณสมบัติเชิงความถี่ของตัวกรองแบบอนาล็อกไว้ เงื่อนไขนี้มีว่า "ค่าบนแกนจินตภาพ บน S-plane (s=jw สำหรับ $-\alpha<W<\alpha$)จะถูกส่งไปยังค่าบนเส้นรอบวงกลมหนึ่งหน่วย บน Z-plane (Z exp(jwt) = exp(j0) สำหรับ $-\pi < 0 <=\pi$) หรือเขียนได้เป็น

$$\{s=jw\ ,\ -\alpha<w<\alpha\ \} \longrightarrow \{z = \exp(j0)\ ,\ -\pi<0<=\pi\ \} \qquad (4)$$

คุณสมบัติหรือเงื่อนไขของการส่งนี้แสดงดังรูปที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

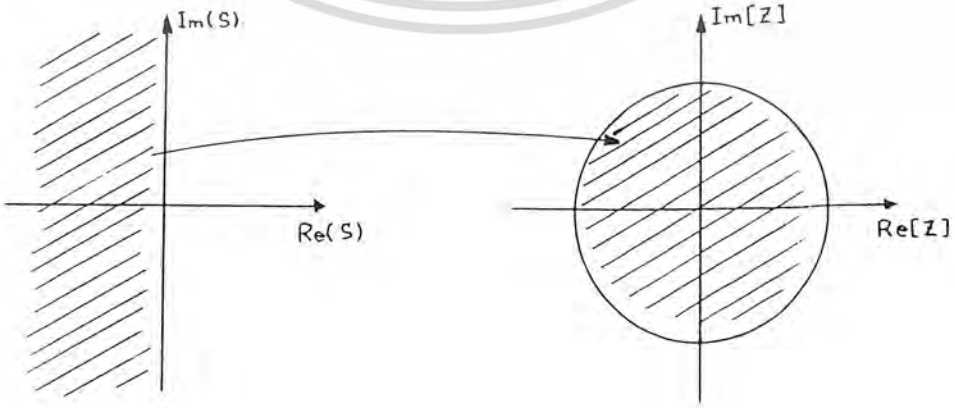


รูปที่ 1 การส่งค่าจินตภาพจาก S-plane ไปยังเส้นรอบวงของวงกลมใน Z-plane

ข) เงื่อนไขที่ 2 เป็นเงื่อนไขที่รักษาเสถียรภาพของวงจรกรองไว้ ซึ่งทำให้สามารถออกแบบตัวกรองแบบดิจิตอลที่เสถียรได้ เงื่อนไขมีอยู่ว่า"ค่าบนด้านซ้ายทั้งหมดของ S-plane (หรือ Re(s) <0 จะถูกส่งเข้าไปยังบริเวณในวงกลมหนึ่งหน่วย Z-plane (หรือ [z]<1) หรือเขียนได้ว่า

$$\{ s, Re(s) < 0 \} \longrightarrow \{ z , [z]<1 \} \qquad (5)$$

แสดงความสัมพันธ์ดังรูปที่ 2



รูปที่ 2 การส่งค่าทางด้านซ้ายของ s-plane เข้าไปในวงกลมของ z-plane

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงตัวแปรที่มีการใช้ในทางปฏิบัติจะกล่าวถึงในหัวข้อต่อไปนั้น โดยทั่วไปมีคุณสมบัติตามเงื่อนไขข้อที่ 2 เสมอ เพื่อที่จะรักษาเสถียรภาพของตัวกรองไว้ แต่ไม่สอดคล้องกับเงื่อนไขที่ 1 เสมอไป ขึ้นกับชนิดของการแปลง และมีการแปลงเพียงชนิดเดียวคือการแปลงเชิงเส้นคู่ ที่เป็นไปตามเงื่อนไขทั้ง 2 ประการ ในหัวข้อต่อไปจะกล่าวถึงคุณสมบัติและชนิดของการแปลงแบบต่างๆ

2. การออกแบบโดยใช้การแปลงตัวแปร

เนื่องจากการออกแบบตัวกรองป้อนกลับแบบดิจิตอล ทำได้ค่อนข้างยุ่งยาก เนื่องจากต้องนำผลของเสถียรภาพของตัวกรองมาร่วมพิจารณาด้วย ดังนั้นวิธีการออกแบบวิธีหนึ่งที่ไม่ต้องคำนึงถึงเสถียรภาพของตัวกรองเลย ก็คือใช้การแปลงตัวแปรจากตัวกรองแบบอนาล็อก ซึ่งมีวิธีการแปลงตัวแปรอยู่หลายรูปแบบ แต่ละรูปแบบก็มีคุณสมบัติแตกต่างกันออกไป และดูเหมือนว่าการแปลงเชิงเส้นคู่ จะให้ผลการแปลงเป็นตัวกรองแบบ ดิจิตอลที่มีคุณสมบัติใกล้เคียงกับตัวกรองแบบอนาล็อกมากที่สุด

2.1 การแปลง impulse invarlant (Impulse Invariant Transformation)

เป็นวิธีการออกแบบที่พยายามทำให้ ผลตอบสนองอิมพัลส์ ของตัวกรองแบบดิจิตอล หรือ h(n) เท่ากับหรือใกล้เคียงกับผลตอบสนองอิมพัลส์ของตัวกรองแบบอนาล็อก h(t) ที่เป็นตัวต้นแบบ ซึ่งทำโดยการสุ่มตัวอย่าง (sampling) ผลตอบสนองอิมพัลส์ของตัวกรองแบบอนาล็อกโดยใช้ความสัมพันธ์

$$h(nt) = h(t)\Big|_{t=nT} \qquad (6)$$

โดยที่ T เป็นค่าคาบเวลาของการสุ่มตัวอย่างสัญญาณ การทำอย่างไรในทางทฤษฎี เปรียบเสมือนเป็นการแปลงตัวแปรแบบหนึ่ง ซึ่งสามารถแสดงให้เห็นได้ดังต่อไปนี้

ทรานส์เฟอร์ฟังก์ชั่นของตัวกรองแบบดิจิตอลอาจเขียนในพจน์ของผลตอบสนองอิมพัลส์ได้คือ

$$H(Z) = \sum_{n=-\alpha}^{\alpha} h(n)z^{-n} \qquad (7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือในกรณี real time

$$H(Z) = \sum_{n=0}^{\infty} h(n)z^{-n} \qquad (8)$$

เมื่อพิจารณาจากสมการ (3) ถ้าหากเขียนใหม่ในรูปของเศษส่วนย่อย ในพจน์ของโพล Pi จะได้เป็น

$$H(S) = \sum_{i=1}^{\infty} \frac{C_i}{s-p_i} \qquad (9)$$

โดยสมมติให้ $N>M>=0$, $b_n \# 0$ และ $b_o \# 0$ เมื่อทำการประยุกต์ใช้ผลการแปลงลาปลาสผกผัน เข้ากับสมการ (9) ได้ผลตอบสนองอิมพัลส์ของตัวกรองแบบอนาล็อกคือ

$$h(t) = \sum_{i=1}^{N} C_i \exp(p_i t)*u(t) \qquad (10)$$

โดยที่ U(t) เป็นฟังก์ชั่นหนึ่งหน่วย (unit step function)

ดังนั้นเมื่อเราทำการสุ่มตัวอย่างของ ผลตอบสนองอิมพัลส์ ตามสมการ (6) ได้ผลเป็นผลตอบสนองอิมพัลส์ของตัวกรองแบบดิจิตอล คือ

$$h(nt) = h(t)\Big|_{t=nT} = \sum_{i=1}^{N} C_i \exp(nTp_i)u(nT) \qquad (11)$$

เมื่อใช้ผลการแปลงแซด เพื่อหาทรานส์เฟอร์ฟังก์ชั่นของตัวกรองแบบดิจิตอลจะได้เป็น

$$H(Z) = \sum_{n=0}^{\infty} h(nT)z^{-n} = \sum_{n=0}^{\infty} \{ \sum_{n=1}^{N} C_i \exp(np_iT) \} z^{-n}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \sum_{n=1}^{N} C_i \sum_{n=0}^{\alpha} \{\exp(p_i T) z^{-1}\}^n \quad (12)$$

อนุกรมในสมการ (12) นี้สามารถเขียนใน รูปแบบเปิดได้เป็น

$$H(Z) = \sum_{i=1}^{N} \left\{ \frac{C_i}{1 - z^{-1}\exp(p_i T)} \right\} \quad (13)$$

เมื่อทำการเปรียบเทียบผลจากสมการ (13) กับ ทรานส์เฟอร์ฟังก์ชั่นของตัวกรองแบบอนาล็อก (9) จะเห็นได้ว่า เป็นการแปลงโดยทำการส่งให้

$$\frac{C_i}{s - p_i} \longrightarrow \frac{C_i}{1 - z^{-1}\exp(p_i T)} \quad (14)$$

โดยที่ Pi เป็นค่าตำแหน่งโพลของตัวกรองแบบอนาล็อก ซึ่งผลตามสมการ (14) เป็นการแทนตัวแปรโดยใช้ความสัมพันธ์

$$Z = \exp\{p_i T\} = \exp\{st\} \quad (15)$$

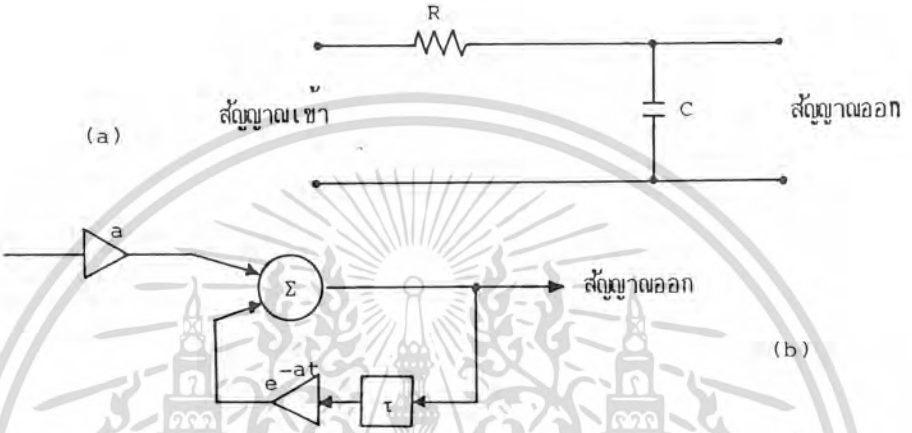
และเมื่อให้ S = Pi ดังนั้นได้

$$S = (1/T)\ln Z \quad (16)$$

ซึ่งสมการนี้จะใช้เป็น การแปลงตัวแปรในการออกแบบโดยผ่านการแปลง impulse invariant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่ 1 วงจรกรองอันดับหนึ่ง



รูปที่ 3 ตัวกรองแบบดิจิตอลจากการแปรผ่านผลการแปลง impulse invariant
a) ตัวกรองแบบอนาล็อกต้นแบบ b) ตัวกรองแบบดิจิตอลโดยที่ $a = \frac{1}{RC}$

H(S) ตามรูป 3(a) เขียนได้เป็น

$$H(S) = V_o(S)/V_{in}(S) = (1/RC)/(S+1/RC)$$

เมื่อทำการแปลงตัวแปรโดยใช้สมการ (16) ได้

$$H(Z) = Y(Z)/X(Z) = (1/RC)/(1-z^{-1}\exp\{-1/RC\})$$

ได้โครงสร้างวงจรกรองแบบดิจิตอลดังรูป 3(b) โดยที่ Z^{-1} แทนการหน่วงออกไป 1 หน่วยเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่ 2 การออกแบบตัวกรองป้อนกลับแบบดิจิตอล โดยใช้ตัวกรองต้นแบบที่เป็นตัวกรองเชฟบีเชฟ อันดับ 2 ที่มีค่าความถี่ cutoff เป็น 1 rad/s และมีทรานส์เฟอร์ฟังก์ชั่นเป็น

$$H(S) = (0.5011887)/(s^2+0.64489965+0.7079478)$$

จะได้ทรานส์เฟอร์ฟังก์ชั่น H(z) เขียนติดอยู่ในพจน์ของ T ดังนี้

กรณี T = 1 วินาที

$$H_1(Z) = (-0.3275899Z^{-1})/(1-1.032824Z^{-1}+0.5247152Z^{-2})$$

กรณี T = 0.1 วินาที

$$H_{0.1}(Z) = (-0.0484797Z^{-1})/(1-1.9306935Z^{-1}+0.9375455Z^{-2})$$

ซึ่งกรณีทั้งสองสามารถเขียนเป็นสมการผลต่างสืบเนื่องได้คือ

กรณี T = 1 วินาที

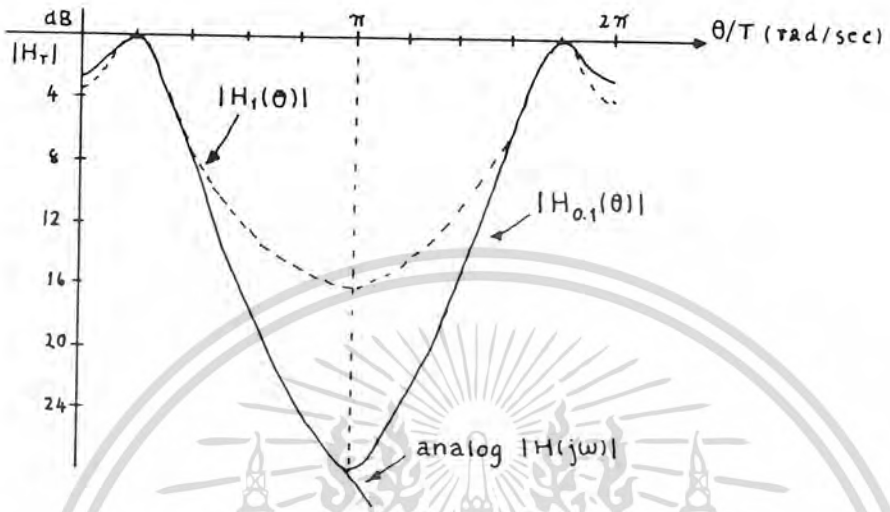
$$Y(n) = -0.3275899x(n-1)+1.032824y(n-1)-0.5247152y(n-2)$$

กรณี T = 0.1 วินาที

$$Y(n) = -0.0484797x(n-1)+1.9306935y(n-1)-0.9375455y(n-2)$$

รูปที่ 4 แสดงถึงผลตอบสนองแอมพลิจูดทั้ง $H_1(Z)$ และ $H_{0.1}(Z)$ โดยเปรียบเทียบกับผลตอบสนองแอมพลิจูดของตัวกรองแบบอนาล็อกที่เป็นต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 ผลตอบสนองความถี่ของตัวกรองตามตัวอย่างที่ 2

จากรูปที่ 4 มีข้อสังเกตดังนี้

ก) ถ้าค่าคาบ (T) ในการสุ่มสัญญาณมีค่าน้อย ผลตอบสนองความถี่ของตัวกรองแบบดิจิตอล จะมีความใกล้เคียงกับผลตอบสนองของตัวกรองแบบอนาล็อกมาก

ข) ผลตอบสนองความถี่ของตัวกรองแบบดิจิตอล มีคุณสมบัติความเป็นคาบ ซึ่งเห็นได้จากการที่เมื่อความถี่ $W>\pi$ ผลตอบสนองเริ่มซ้ำค่า ผลอันนี้เนื่องมากจากการที่เราสุ่มตัวอย่าง (sampling) ผลตอบสนองอิมพัลส์ โดยที่ทำให้ผลตอบสนองความถี่เขียนได้เป็น

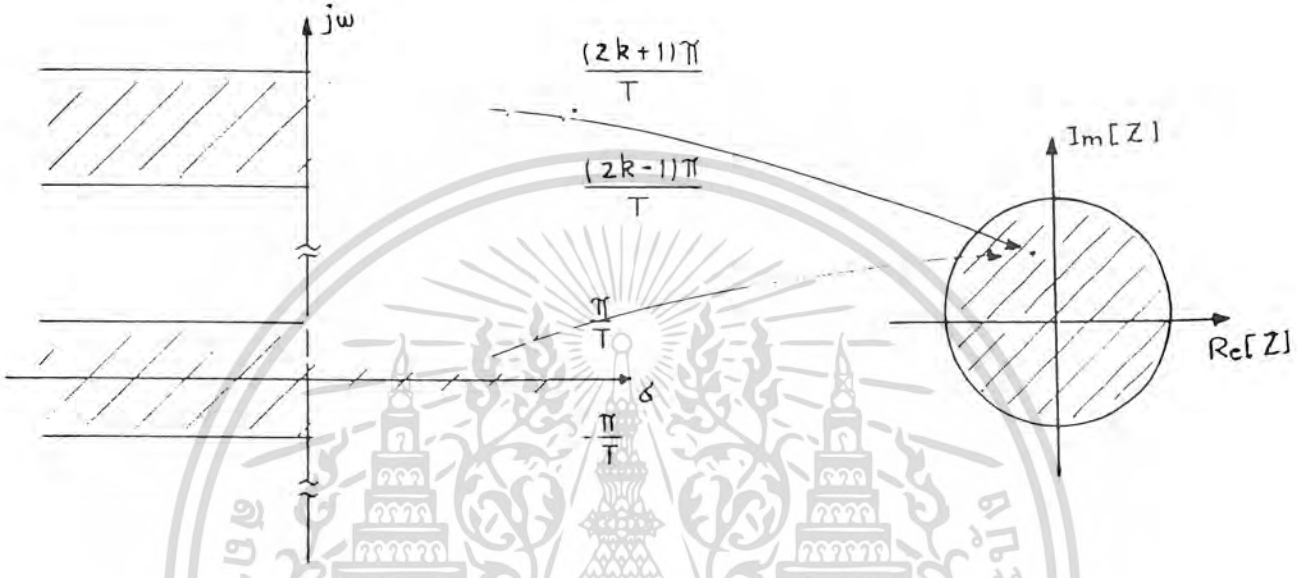
$$H(Z) = (1/T)\sum_{k=-\alpha}^{\alpha} H[j(w+2\pi K/T)] \qquad (17)$$

$$S=(1/T)\ln Z$$

ผลของการส่งนี้ ไม่ใช่เป็นการส่งแบบหนึ่งต่อหนึ่ง (one-to-one mapping) หรือแต่ละจุดภายในวงกลมหนึ่งหน่วยบน Z-plane ถูกส่งมาจากจุดของแถบความถี่จำนวนอนันต์แถบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่จาก s-plane โดยที่แต่ละแถบความถี่มีความกว้างแถบละ $2\pi/T$ rad/S ดังแสดงในรูปที่ 5 ดังนั้นถ้าหาก T มีค่าน้อย ไม่เพียงพอก็จะเกิดปรากกการณ์ของเอเลส์ชิง (Aliasing Phenomenon) ขึ้น เกิดการซ้อนทับของสเปกตรัมทำให้สเปกตรัมของสัญญาณผิดเพี้ยนไป นั่นคือทำให้ ผลตอบสนองความถี่ในย่านความถี่สูงจะยิ่งผิดเพี้ยนไปมาก



รูปที่ 5 แผนภาพแสดงการส่งโดยใช้ผลตอบสนอง impulse invariant

ดังนั้นจึงสรุปได้ว่า การออกแบบตัวกรอง โดยใช้ ผลการแปลง impulse invariant ที่รักษาคุณสมบัติของผลตอบสนองอิมพัลส์ของตัวกรองโดยผ่านความสัมพันธ์ตามสมการ (6) เหมาะสมกับตัวกรองที่ต้องการรักษาคุณสมบัติย่านความถี่ต่ำไว้ เช่น กรณีตัวกรองผ่านความถี่ต่ำ (Low Pass Filter) ของตัวกรอง Butterworth หรือ ตัวกรอง chebyshev ได้ แต่จะไม่เหมาะกับตัวกรอง Elliptic ที่ต้องการให้มีผลตอบสนอง Equiripple ใน StopBand หรือที่ย่านความถี่สูง ซึ่งเมื่อประยุกต์ใช้ผลการแปลง impulse invariant จะทำให้คุณสมบัตินี้ผิดเพี้ยนไป นอกจากนี้วิธีการนี้ยังไม่เหมาะที่จะประยุกต์ใช้กับ ตัวกรองผ่านความถี่สูง (High pass filter) และตัวกรองจำกัดแถบความถี่ (Band-Reject Filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การแปลงไปหน้าและการแปลงย้อนหลัง

พิจารณาทรานสเฟอร์ฟังก์ชันของตัวกรองแบบอนาลอก ตามสมการ (3) คือ

$$H(s) = \frac{\sum_{i=0}^{M} a_i S^i}{\sum_{i=0}^{N} b_i S^i}$$

สามารถเขียนสมการเชิงอนุพันธ์ของสมการ (3) ได้คือ

$$\sum_{i=0}^{N} b_i \frac{dy(t)}{dt} = \sum_{i=0}^{M} a_i \frac{dx(t)}{dt} \quad ; N \geq M \quad \ldots\ldots(18)$$

โดย $x(t)$ เป็นสัญญาณเข้า และ $y(t)$ เป็นสัญญาณออกของระบบอนาลอก

สมการเชิงอนุพันธ์นี้อาจทำการประมาณค่า โดยใช้สมการผลต่างสืบเนื่องเป็น

$$\sum_{i=0}^{N} \Delta^i [y(n)]\, b_i = \sum_{i=0}^{M} \Delta^i [x(n)]\, a_i \quad \ldots\ldots(19)$$

โดยที่ $$\Delta^0 [y(n)] = y(n) \quad \ldots\ldots(20)$$

การทำการประมาณการนี้ก็คือ การหาค่าเฉลี่ยของผลต่างของลำดับสัญญาณสองลำดับสัญญาณ ซึ่งมีวิธีการประมาณค่าได้ 2 วิธี คือ

1) วิธีผลต่างสืบเนื่องย้อนหลัง (Backward Difference) ซึ่งทำให้ได้

$$\Delta^1 [y(n)] = [y(n) - y(n-1)]/T \quad \ldots\ldots(21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) วิธีผลต่างสืบเนื่องไปหน้า (Forward Difference) ซึ่งทำให้ได้

$$\Delta^{1}[y(n)] = [y(n+1)-y(n)]/T \qquad .....(22)$$

ความสัมพันธ์ของระบบดิจิตอลที่ได้จากสมการ (19)และระบบอนาลอกจากสมการ (3) ถ้าประยุกต์ใช้ผลการแปลงแซดเข้ากับสมการจะได้

$$H(Z) = Y(Z)/X(Z) = \frac{\sum_{i=0}^{M} a_i W^{i}(Z)}{\sum_{i=0}^{N} b_i W^{i}(Z)} \qquad .....(23)$$

ถ้าใช้การประมาณ แบบผลต่างสืบเนื่องย้อนหลังจะได้

$$W(Z) = (1- Z^{-1})/T \qquad .....(24)$$

ถ้าใช้การประมาณแบบผลต่างสืบเนื่องไปหน้าจะได้

$$W(Z) = \left(\frac{1- Z^{-1}}{Z} \right)/T \qquad .....(25)$$

เมื่อหาความสัมพันธ์ระหว่างสมการ (23),(24) และ (3) ทำให้ได้ความสัมพันธ์ระหว่างตัวแปร s และ ตัวแปร z เป็น

<u>สำหรับการแปลงย้อนหลัง</u>

$$S = (1-Z^{-1})/T \qquad .....(26)$$

$$Z = 1/(1-TS) \qquad .....(27)$$

<u>สำหรับการแปลงไปหน้า</u>

$$S = (1/TZ^{-1})(1-Z^{-1}) \qquad .....(28)$$

$$Z = 1+TS \qquad .....(29)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงไปหน้าโดยแปลงจาก โดเมนเชิงอนาลอกไปเป็น โดเมนเชิงดิจิตอล อาจทำให้เกิดปัญหาของความไม่เสถียรได้ เนื่องจากโพลของระบบอนาลอก อาจถูกส่งไปภายนอกวงกลมหนึ่งหน่วยของ Z-plane ได้ ดังนั้นจึงนิยมใช้เฉพาะการแปลงย้อนหลังเท่านั้น

การออกแบบโดยใช้การแปลงย้อนหลังนั้น ตัวกรองแบบดิจิตอลจะให้ผลตอบสนองความถี่เหมือนหรือใกล้เคียงกับตัวกรองแบบอนาลอกก็ต่อเมื่อ ใช้ความถี่ในการสุ่มตัวอย่างสัญญาณ f_s สูงกว่า ค่าความถี่ไนควิสต์มาก หรือใช้ $T = 1/f_s$ ค่าน้อย

ตัวอย่างที่3 การหาทรานส์เฟอร์ฟังก์ชันของตัวกรองแบบดิจตอล ที่แปลงจากตัวกรองเบสเซล (Bessel Filter) ที่มีทรานส์เฟอร์ฟังก์ชันเป็น

$$H(S) = \frac{K}{S^2+3S+3}$$

จะได้ $$H(S) = H(S)\Big|_{S = (1-Z^{-1})/T} = \frac{K}{\{(1-Z^{-1})/T\}^2+3\{(1-Z^{-1})/T\}+3}$$

$$= \frac{KT^2}{Z^{-2}-(2+3T)Z^{-1}+(1+3T+3T^2)}$$

โดยที่หา K จากการให้ $W = 0$ ได้ $Z^{-1} = \exp\{-j0\} = 1$ ถ้าให้ $T = 1$ และ $H(Z) = 1$ จะได้ว่า $K = 3$

2.3 การแปลงเชิงเส้นคู่

การแปลงไปข้างหน้า และการแปลงย้อนหลังในหัวข้อที่แล้ว ยังมีคุณสมบัติไม่ครอบคลุมตามเงื่อนไขในหัวข้อที่ 1 (คุณสมบัติของการแปลงตัวแปร) ส่วนผลการแปลง impulse invariant ก็มีปัญหาเรื่อง Aliasing phenomenon อันเนื่องมาจากการส่งไม่เป็นแบบหนึ่งต่อหนึ่ง จึงมีวิธีการแปลงใหม่ ก็คือใช้การประมาณค่าการอินทิเกรต ด้วยกฎการอินทิเกรตแบบสี่เหลี่ยมคางหมู และทำการประมาณสมการเชิงอนุพันธ์ ด้วยการใช้ผลต่างสืบเนื่องย้อนหลัง ผลของการแปลงที่ได้จากการประมาณค่านี้ เรียกชื่อว่า การแปลงเชิงเส้นคู่ (Bilinear Transformation) ซึ่งแสดงการแปลงได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณา $H(S) = \frac{a}{S + a}$ .....(30)

ซึ่งสมการเชิงอนุพันธ์ที่สัมพันธ์กับสมการนี้

$$\frac{dy}{dt} = -ay + ax \quad .....(31)$$

เมื่อทำการอินทิเกรตจากเวลา $t_1 = 0$ ถึงเวลา $t^2 = KT$ จะได้

$$\int_0^{KT} \frac{dy(t)}{dt}\, dt = -a\int_0^{KT} y(t)dt + a\int_0^{KT} x(t)dt$$

หรือ

$$y(KT)-y[(K-1)T] = -a\int_{(K-1)T}^{KT} y(t)dt + a\int_{(K-1)T}^{KT} x(t)dt$$

จากนั้นทำการประมาณค่าการอินทิเกรต ด้วยกฎการอินทิเกรตแบบสี่เหลี่ยมคางหมูได้

$$y(KT)-y[(K-1)T] = -(aT/2)[y(KT)+y((K-1)T)]+(aT/2)[x(KT)+x((K-1)T)] \quad .....(32)$$

เมื่อทำการแปลง Z แล้วจัดพจน์เพื่อเขียนทรานส์เฟอร์ฟังก์ชันได้

$$H(Z) = Y(Z)/X(Z) = a/\{(2/T)(\frac{1-Z^{-1}}{1+Z^{-1}} + a)\} \quad .....(33)$$

ซึ่งเมื่อทำการเปรียบเทียบสัมประสิทธิ์ระหว่างสมการ (30)และ(31) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S = (2/T)\left(\frac{1-Z^{-1}}{1+Z^{-1}}\right) \qquad \text{.....(34)}$$

$$Z = (2+ST)/(2-ST) \qquad \text{.....(35)}$$

ซึ่งการแปลงตามสมการ (34) และ (35) มีชื่อเรียกว่า การแปลงเชิงเส้นคู่

ตัวอย่างที่ 4 การหาทรานส์เฟอร์ฟังก์ชันของตัวกรองแบบดิจิตอล ที่แปลงจาก ตัวกรอง Butterworth ที่มีทรานส์เฟอร์ฟังก์ชันเป็น

$$H(S) = \frac{1}{1 + \sqrt{2}S + S^2}$$

เมื่อทำการแทนด้วย

$$S = (2/T)\left(\frac{1-Z^{-1}}{1+Z^{-1}}\right)$$

ได้

$$H(Z) = \frac{Y(Z)}{X(Z)} = \frac{0.1277395(1+2Z^{-1}+Z^{-2})}{1-0.766374Z^{-1}+0.2773956Z^{-2}}$$

ได้สมการผลต่างสืบเนื่องเป็น

$$y(n) = 0.1277395x(n) + 0.255479x(n-1) + 0.1277395x(n-2) + 0.7664374y(n-1) - 0.2773956y(n-2)$$

คุณสมบัติของการแปลงเชิงเส้นคู่

จะพิจารณาการแปลงเชิงเส้นคู่ ว่ามีคุณสมบัติสอดคล้องกับเงื่อนไขของการแปลงความถี่หรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณา $Z = (2+ST)/(2-ST)$

$= (2/T + S)/(2/T - S)$ .....(36)

และเมื่อแทน $S = \sigma + jW$ แล้วเขียนตัวแปร Z ให้อยู่ในรูปแบบพิกัดเชิงขั้ว

$Z = r\exp(j\theta)$ .....(37)

โดยที่ r แทนค่าขนาด และ θ แทนมุมโดยที่

$r = [\{(2/T + \sigma)^2 + W^2\} / \{(2/T - \sigma)^2 + W^2\}]^2$ .....(38)

$\theta = \tan^{-1}\{W/(2/T + \sigma)\} + \tan^{-1}\{W/(2/t - \sigma)\}$ .....(39)

ผลนี้สามารถแยกพิจารณาได้ 3 กรณี คือ

1) กรณี $\sigma > 0$ ทำให้ $r>1$ นั่นคือ แสดงว่าค่าบนด้านขวาของ S-plane จะถูกส่งไปบนบริเวณนอกวงกลมหนึ่งหน่วย หรือ นอก $|Z| = 1$ ของ Z-plane

2) กรณี $\sigma = 0$ ทำให้ $r=1$ และ $\theta = 2\tan^{-1}(WT/2)$ แสดงว่า ค่าบนแกน jW ของ S-plane ถูกส่งไปบนเส้นรอบวง $|Z| = 1$ของ Z-plane กรณีนี้อาจพิจารณาแยกย่อยลงไป ดังนี้

2.1) ที่ $W=0$ ถูกส่งไปด้วยค่า $\theta = 0$ นั่นคือ จุดกำเนิด (0,0) ของ S-plane ถูกส่งไปยังจุด (1,0) ของ Z-plane

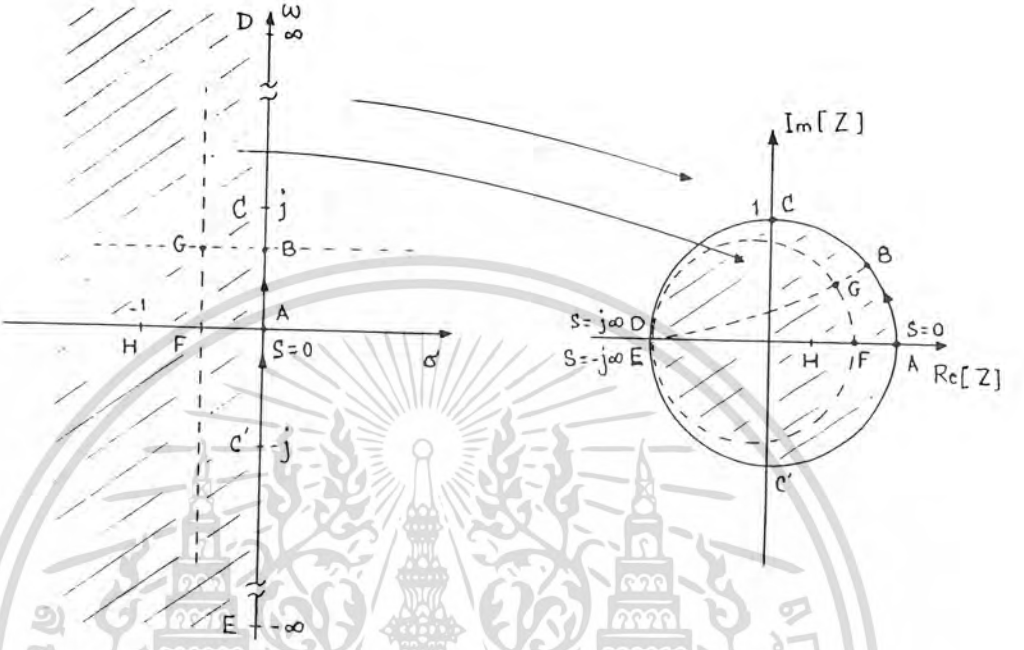
2.2) ที่ W เข้าใกล้ $+\alpha$ ของแกน jW ของ S-plane ถูกส่งไปยังครึ่งบนของวงกลม $|Z| = 1$

2.3) ที่ W เข้าใกล้ $-\alpha$ ของแกน jW ของ S-plane ถูกส่งไปยังครึ่งล่างของวงกลม $|Z| = 1$

3) กรณี $\sigma < 0$ ทำให้ $r<1$ นั่นคือ ค่าทางด้านซ้ายของ S-plane ถูกส่งไปภายในวงกลมหนึ่งหน่วยของ Z-plane

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติทั้ง 3 กรณี แสดงดังรูปที่ 6



รูปที่ 6 แผนภาพแสดงการส่งโดยใช้การแปลงเชิงเส้นคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเราใช้ W_A แทน ค่าความถี่เชิงมุมของผบตอบสนองความถี่ของตัวกรองแบบอนาล็อก และให้ W_D แทนค่าความถี่เชิงมุมของผลตอบสนองความถี่ของตัวกรองแบบดิจิตอลที่ได้จากการแปลงเชิงเส้นคู่ จะได้ความสัมพันธ์ดังต่อไปนี้

$$S = jW_A \qquad \ldots\ldots(40)$$

$$Z = \exp(jW_DT) \qquad \ldots\ldots(41)$$

และจากผลของการแปลงเชิงเส้นคู่ ความสัมพันธ์ของตัวแปร S และ Z จะเป็น

$$S = (2/T)\{ \frac{Z-1}{Z+1} \} \qquad \ldots\ldots(42)$$

เมื่อแทนค่าสมการ (40) และ (41) ลงในสมการ (42) จะได้

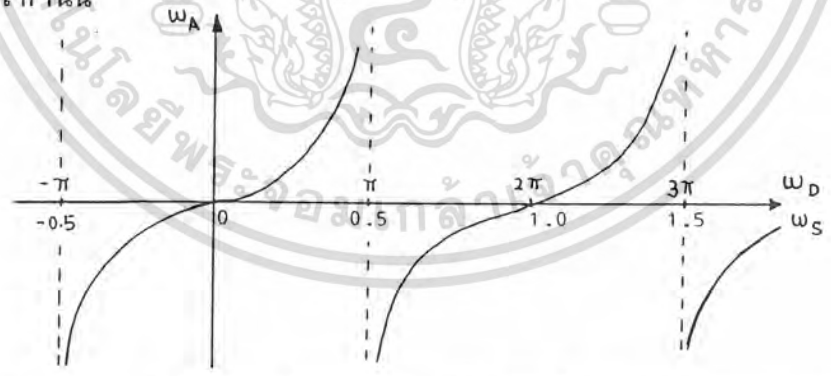
$$jW_A = (2/T)\{ \frac{\exp(jW_DT)-1}{\exp(jW_DT)+1} \}$$

$$= (2/T)\{ \frac{\exp(jW_DT/2)-\exp(-jW_DT/2)}{\exp(jW_DT/2)-\exp(-jW_DT/2)} \}$$

$$= (2j/T)\tan(W_DT/2)$$

ดังนั้น $$W_A = (2/T)\tan(W_DT/2) \qquad \ldots\ldots(43)$$

ความสัมพันธ์ตามสมการ (43) แสดงดังรูปที่ 7 จะเห็นว่า ผลตอบสนองความถี่ของตัวกรองแบบดิจิตอลมีลักษณะเป็นคาบ และเริ่มซ้ำค่าเมื่อความถี่ W_D มากกว่า π เรเดียน และจากคุณสมบัติความเป็นคาบนี้ ทำให้ตัวกรองแบบดิจิตอลสามารถใช้งานได้ดีในย่านความถี่ $0 < W_D < \pi$ เท่านั้น



รูปที่ 7 แสดงคุณสมบัติความเป็นคาบของค่าความถี่เชิงดิจิตอลจากการแปลงเชิงเส้นคู่

<u>ขั้นตอนในการออกแบบตัวกรองโดยใช้การแปลงเชิงเส้นคู่</u>

ขั้นที่ 1 : กำหนดค่าความถี่สำคัญต่าง ๆ ในโดเมนเชิงดิจิตอล เช่น ช่วงค่าแถบผ่านความถี่และค่าความถี่ W_C และ W_{ST} โดยถือว่าค่าความถี่เหล่านี้เป็นค่าความถี่ W_{D1}

กำหนดขนาดของ loss dB : A_{max} และ A_{min}

ขั้นที่ 2 : แปลงค่าความถี่ที่กำหนดไว้ในขั้นตอนที่ 1 ให้เป็นค่าความถี่ในโดเมนเชิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อนาล็อก W_{D_1} โดยใช้สมการ (43)

ขั้นที่ 3 : ทำการหาทรานส์เฟอร์ฟังก์ชันของตัวกรองแบบอนาล็อก ที่มีผลตอบสนองความถี่ตามขั้นตอนที่ 2 และได้ H(S)

ขั้นที่ 4 : จาก H(S) แทน $S = 2(Z-1)/(Z+1)$ ถ้า T=1 วินาที ได้ H(Z)

3. การออกแบบตัวกรองแบบดิจิตอลในโดเมน Z

ในหัวข้อที่แล้วกล่าวถึง การออกแบบตัวกรองป้อนกลับแบบดิจิตอล โดยผ่านการออกแบบตัวกรองแบบอนาล็อกมาก่อน แล้วค่อยทำการแปลงตัวแปรมาเป็น H(Z) อีกทีหนึ่ง แต่การออกแบบตัวกรองแบบดิจิตอลด้วยวิธีการแปลงตัวแปรนี้อาจเกิดปรากฏการณ์หดแคบในย่านความถี่สูง ซึ่งมีผลทำให้ตัวกรองที่ได้อาจมีผลตอบสนองความถี่ผิดเพี้ยนไป เราอาจหลีกเลี่ยงปัญหานี้ได้โดยการทำการออกแบบในโดเมน Z โดยตรง

3.1 ตัวกรอง Butterworth แบบดิจิตอล

พิจารณาจากผลตอบสนองแอมพลิจูดของตัวกรอง Butterworth แบบอนาล็อก ตามสมการ

$$\left|H_n(jW)\right| = \left[\, 1+ \varepsilon^2 \left(\frac{W}{W_c}\right)^{2n} \,\right]^{-1/2} \qquad \ldots\ldots(44)$$

โดยที่ ε เป็นค่าคงที่ขึ้นอยู่กับ A_{min} หรือ A_{max}

ถ้าให้ ε = 1 ได้ความสัมพันธ์สำหรับกรณีตัวกรองอันดับ n ที่มีค่าความถี่ cut off W_c เป็น

$$\left|H_n(W)\right| = \left[\, 1+ \left(\frac{W}{W_c}\right)^{2n} \,\right]^{-1/2} \qquad \ldots\ldots(45)$$

เมื่อทำการประยุกต์ใช้การแปลงตัวแปรโดยใช้ การแปลงเชิงเส้นคู่ ซึ่งให้ผลของความสัมพันธ์ระหว่างตัวแปรความถี่เชิงอนาล็อก และตัวแปรความถี่เชิงดิจิตอล ตามสมการ (43) คือ

$$W = (2/T)\tan(W_D T/2) \qquad \ldots\ldots(46)$$

$$W_c = (2/T)\tan(W_{CD} T/2)$$

โดยที่ W_{CD} คือค่าความถี่ cut off เชิงดิจิตอล

W_D คือค่าความถี่เชิงดิจิตอลใด ๆ สำหรับ $T=2\pi/W_s$ ซึ่งเป็นค่าคาบเวลาในการสุ่มตัวอย่างสัญญาณ และ W_s แทนค่าความถี่ในการสุ่มตัวอย่างสัญญาณ

เมื่อแทนค่าสมการ (48) ลงในสมการ (47) ได้ผลตอบสนองแอมปลิจูดของตัวกรองแบบดิจิตอลเป็น

$$\left|H_n(W)\right| = \left\{\, 1+ \left\{\frac{\tan(W_D T/2)}{\tan(W_{CD} T/2)}\right\}^{2n} \,\right\}^{-1/2} \qquad \ldots\ldots(47)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งสมการนี้ใช้ในการออกแบบตัวกรอง Butterworth แบบดิจิตอล

สำหรับโพลของตัวกรอง ถ้าให้ตำแหน่งโพลของตัวกรอง Buttrtworth แบบดิจิตอลอันดับ n วางตัวอยู่ภายในวงกลมหนึ่งหน่วยที่ตำแหน่ง

$$P_k = \alpha_k + j\beta_k \qquad \ldots\ldots(48)$$

โดยที่ค่า $k = 0,1,\ldots,2n-1$

α_k = ค่าจริงของตำแหน่งโพล

β_k = ค่าจินตภาพของตำแหน่งโพล

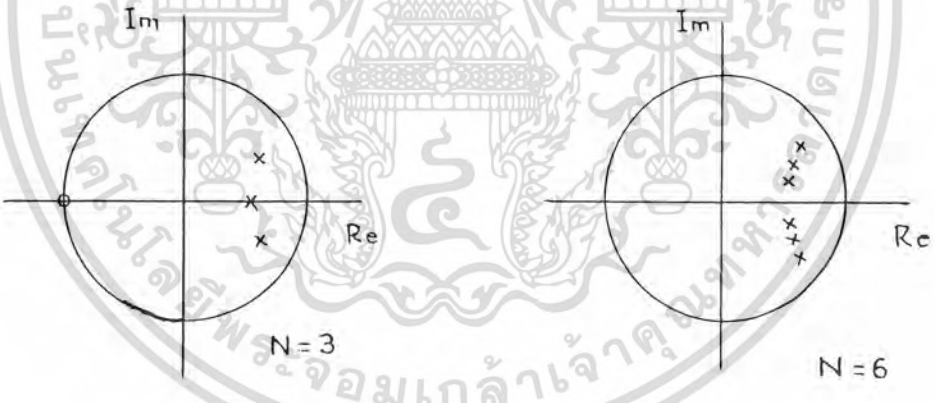
สามารถแสดงได้ว่า

$$\alpha_k = \{ 1 - \tan^2(W_{CD}T/2)\}/d$$

$$\beta_k = \{ 2\tan(W_{CD}T/2).\sin(\pi k/n)\}/d \qquad \ldots\ldots(49)$$

$$d = 1 - 2\tan(W_{CD}T/2).\cos(\pi k/n) + \tan^2(W_{CD}T/2)$$

โดยที่ในการใช้สมการ (51) นั้น ถ้า n เป็นเลขคู่ พจน์ $\pi k/n$ จะต้องแทนด้วย $\pi(2k+1)/2n$ รูปที่ 8 แสดงตำแหน่งของโพลของตัวกรอง Butterworth แบบดิจิตอล ซึ่งมีตำแหน่งอยู่ภายในวงกลมหนึ่งหน่วย และมีข้อสังเกตว่า ตัวกรอง Butterworth อันดับ n จะมีจำนวนซีโรจำนวน n ตัวอยู่ที่ตำแหน่ง Z = -1 ด้วย



รูปที่ 8 แสดงตำแหน่งโพลและซีโรของตัวกรอง Butterworth แบบดิจิตอล

<u>ตัวอย่างที่ 5</u> เป็นการออกแบบตัวกรองผ่านความถี่ต่ำแบบดิจิตอล (Low Pass Filter) โดยมีข้อกำหนดคือ ค่าความถี่ในการสุ่มตัวอย่างสัญญาณ f_s = 1 kHz

ค่าความถี่ cut off f_{CD} = 50 Hz

ค่าขยายระหว่างความถี่ 100 Hz และ 500 Hz ต้องไม่มากกว่า -40dB

ขั้นที่ 1 : หาค่าอันดับของตัวกรอง n

เนื่องจากข้อกำหนดต้องการค่าขยายที่ความถี่ 100 Hz มีค่าไม่น้อยกว่า -40 dB หรือเท่ากับ 0.01 เท่า เพราะฉะนั้นเราใช้ค่าขยายที่ความถี่ 100 Hz เป็น 0.01 เท่า (ที่ค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่สูงกว่านี้ค่าขยายจะลดลงไปเรื่อย ๆ จึงใช้ค่านี้ได้) แทนค่าลงในสมการ (47) ได้

$$0.01 = 1 \Big/ \left\{ 1+\left[\frac{\tan \pi*100*10^{-3}}{\tan \pi*50*10^{-3}}\right]^{2n}\right\}^{1/2}$$

แก้สมการได้ n = 6.409 ดังนั้นเลือก n = 7

ขั้นที่ 2 : แทนค่า n = 7 ลงในสมการ (49) ได้โพลของตัวกรองดังนี้

$P_{1,2}$ = (0.88987 $\pm$ 0.2881889)

$P_{3,4}$ = (0.79442 $\pm$ 0.20257)

$P_{5,6}$ = (0.74393 $\pm$ 0.104888)

p_7 = 0.72654

ขั้นที่ 3 : ได้

$$H(Z) = \frac{1}{(1-P_1Z^{-1})(1-P_2Z^{-1})(1-P_3Z^{-1})(1-P_4Z^{-1})(1-P_5Z^{-1})(1-P_6Z^{-1})(1-P_7Z^{-1})}$$

3.2 ตัวกรอง Chebyshev แบบดิจิตอล

ผลตอบสนองแอมปลิจูดหรือค่าขยายของตัวกรอง Chebyshev แบบดิจิตอลอันดับ n สามารถแสดงได้ คือ

$$\left|H_n(W)\right| = \left\{ 1 + \varepsilon^2 C_n^{\,2}\left\{ \frac{\tan(W_D T/2)}{\tan(W_{CD} T/2)} \right\}\right\}^{-1/2} \qquad .....(50)$$

โดยที่ $C_n(\Omega)$ คือ chebyshev function อันดับ n

ε เป็นตัวกำหนดค่าขนาดของ ripple ที่เกิดในช่วงความถี่แถบผ่าน (Band Pass) ซึ่งค่านี้สัมพันธ์กับค่า A_{max} ตามสมการ

$$\varepsilon = \left\{ 10^{0.1A_{max}} - 1 \right\}^{1/2} \qquad .....(51)$$

ในทำนองเดียวกัน ถ้าให้ตำแหน่งโพบของตัวกรอง chebyshev อันดับ n อยู่ที่ $P_k = \alpha_k + j\beta_k$ แล้ว ค่าจริงและค่าจินตภาพของตำแหน่งโพลนี้สามารถแสดงได้ว่าอยู่ที่

$$\alpha_k = \frac{2(1 - a \tan(W_{CD}T/2).\cos\ )}{d} - 1 \qquad .....(52)$$

$$\beta_k = 2b \tan(W_{CD}T/2)\sin \qquad .....(53)$$

ซึ่ง $d = \{ 1-a.\tan(W_D T/2).\cos\theta\}^2 + b^2\tan^2(W_{CD}T/2).\sin^2$

$$a = \frac{[1+(1/\Sigma^2)+(1/\Sigma)]^{1/2N} - [1+(1/\Sigma^2)+(1/\Sigma)]^{-1/2N}}{2}$$

$$b = \frac{[1+(1/\Sigma^2)+(1/\Sigma)]^{1/2N} + [1+(1/\Sigma^2)+(1/\Sigma)]^{-1/2N}}{2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณี n = เลขคี่ แทน θ ด้วย $\pi k/n$

n = เลขคู่ แทน θ ด้วย $(2k+1)\pi/n$

โดย $k = 0,1,\ldots,2n-1$

ตัวกรอง chebyshev จะมีจำนวนซีโร n ตัวอยู่ที่ตำแหน่ง $z = -1$ เช่นเดียวกับตัวกรอง Butterworth

<u>ตัวอย่างที่7</u> เป็นการนำวิธีการของตัวกรอง Chebyshev ไปออกแบบตัวกรองตามตัวอย่างที่ 6 โดยเพิ่มข้อกำหนดให้ ตัวกรองมี ripple ใน Band-Pass Filter ได้ไม่เกิน 1 dB(หรือ 0.107 เท่า)

จากข้อกำหนดได้ค่าต่าง ๆ ดังนี้

$A_{max} = 1dB$, $A_{min} = 40dB$, $W_c = 2\pi*50$

$W_{ST} = 2\pi*100$, $W_s = 2\pi*1000$

แทนค่าเหล่านี้ลงในสมการ

$$n = \frac{\cosh^{-1}\left(\frac{10^{0.1A_{min}} - 1}{10^{0.1A_{max}} - 1}\right)^{1/2}}{\cosh^{-1}\Omega_{ST}}$$

โดยที่ $\Omega_{ST} = \omega_{ST}/\omega_c$

ได้ค่า n = 4.536 ดังนั้นเลือก n = 5

โพลของตัวกรองChebyshev ในกรณีนี้เป็น

$P_{1,2} = (0.92582 \pm j0.29789)$

$P_{3,4} = (0.91136 \pm j0.17866)$

$P_5 = 0.91183$

$$H(Z) = \frac{1}{(1-P_1Z^{-1})(1-P_2Z^{-1})(1-P_3Z^{-1})(1-P_4Z^{-1})(1-P_5Z^{-1})}$$

กล่าวโดยสรุป ในการออกแบบตัวกรองแบบดิจิตอลมีวิธีการในการออกแบบดังนี้

1. ออกแบบโดยผ่านการออกแบบตัวกรองแบบอนาลอกมาก่อน แล้วค่อยแปลงตัวแปรมาเป็น H(Z) อีกทีหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ออกแบบในโดเมนเชิงดิจิตอลโดยตรง

นอกจากสองวิธีดังกล่าว ยังมีวิธีอื่นในการออกแบบโดยใช้คอมพิวเตอร์ช่วย ซึ่งจะไม่กล่าวในที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

โปรแกรมคำนวณค่าสัมประสิทธิ์

โปรแกรมคำนวณค่าสัมประสิทธิ์นี้ เขียนขึ้นเพื่ออำนวยความสะดวกในการสร้างข้อมูลในตารางเปิดดู โดยจะรับข้อมูลที่เป็นค่าสัมประสิทธิ์ของตัวกรองจำนวน 5 ค่า ซึ่งเป็นเลขฐานสิบ นำไปคำนวณหาค่าต่าง ๆ ในตารางเปิดดู (look-up table) หรือ ฟังก์ชัน F(...) แล้วแปลงเป็นเลขฐานสองแบบ two's complement จากนั้นก็จะนำเอาข้อมูลทั้งหมดที่คำนวณได้ไปเขียนลงในไฟล์ *.ASM ซึ่งไฟล์ที่ได้จะมีลักษณะเป็น text file และสามารถนำไปแปลงเป็นข้อมูล *.HEX เพื่อที่จะนำไปโปรแกรมลงในหน่วยความจำชนิด RAM หรือ EPROM

จากสมการผลต่างสืบเนื่องของตัวกรอง

$$y(n) = a_0x(n)+a_1x(n-1)+a_2x(n-2)+b_0y(n-1)+b_1y(n-2)$$

ค่าสัมประสิทธิ์ของตัวกรอง ได้แก่ a_0, a_1, a_2, b_0 และ b_1
โปรแกรมนี้จะรับค่าสัมประสิทธิ์ทั้ง 5ค่านี้เข้าไปคำนวณ ข้อมูลที่เป็นผลลัพธ์จะถูกแปลงเป็นเลขฐานสองแบบ 2'complement แล้วเขียนลง text file ในรูปของเลขฐานสิบหก ตัวโปรแกรมถูกเขียนขึ้นด้วยโปรแกรมภาษา C ดังจะแสดงในหน้าต่อไป ส่วนผลที่ได้คือไฟล์ *.ASM มีแสดงดังตัวอย่าง ซึ่งเป็นของตัวกรองความถี่ต่ำผ่าน (Low-Pass Filter) มีค่าสัมประสิทธิ์ต่าง ๆ ดังนี้ คือ

a_0 = 0.0546875

a_1 = 0.1015625

a_2 = 0.0546875

b_1 = 0.3125

b_2 = 0.1875

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#include <stdio.h>
#include <conio.h>
#include <math.h>
   /***************/
        FILE *in,*up;
        int count=1,cycle=1;
        int buff2[32],data1[32],data2[32],data3[32],item=0,unit1=0,unit2=0,un
=0;
   /**************/
void main()
{

  float    A0,A1,A2,B1,B2,x,k,z;
  unsigned char  a[12],i,j;
  int ct;
  /********* WRITE ORG *****/
  in = fopen("lowco.asm","w+t");
  up = fopen("upco.asm","w+t");
  fprintf(in,"ORG     2000H\nDB\t");
  /************************/
  do
  {do
   {printf(" Enter coefficients of cycle%d\n",cycle);
    printf(" A0 : ");
    scanf("  %f",&A0);
    printf(" A1 : ");
    scanf("  %f",&A1);
    printf(" A2 : ");
    scanf("  %f",&A2);
    printf(" B1 : ");
    scanf("  %f",&B1);
    printf(" B2 : ");
    scanf("  %f",&B2);

    k = 0;
    printf("(0)  0/4 = %f                ",k);/*0*/
    converse(k);
    k = B2/4;
    printf("(1)  B2/4 = %f               ",k);/*1*/
    converse(k);
    k = B1/4;
    printf("(2)  B1/4 = %f               ",k);/*2*/
    converse(k);
    k = (B1+B2)/4;
    printf("(3)  (B1+B2)/4 = %f          ",k);/*3*/
    converse(k);
    k = A2/4;
    printf("(4)  A2/4 = %f               ",k);/*4*/
    converse(k);
    k = (A2+B2)/4;
    printf("(5)  (A2+B2)/4 = %f          ",k); /*5*/
    converse(k);
    k = (A2+B1)/4;
    printf("(6)  (A2+B1)/4 = %f          ",k); /*6*/
    converse(k);
    k = (A2+B1+B2)/4;
    printf("(7)  (A2+B1+B2)/4 = %f       ",k);/*7*/
    converse(k);
    k = A1/4;
```

เอกสารนี้ใช้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
printf("(8)  A1/4 = %f                ",k);/*8*/
converse(k);
k = (A1+B2)/4;
printf("(9)  (A1+B2)/4 = %f           ",k);/*9*/
converse(k);
k = (A1+B1)/4 ;
printf("(10) (A1+B2)/4 = %f           ",k);/*10*/
converse(k);
getch();
k = (A1+B1+B2)/4;
printf("(11) (A1+B1+B2)/4 = %f        ",k);/*11*/
converse(k);
k = (A1+A2)/4;
printf("(12) (A1+A2)/4 = %f           ",k);/*12*/
converse(k);
k = (A1+A2+B2)/4;
printf("(13) (A1+A2+B2)/4 = %f        ",k);/*13*/
converse(k);
k = (A1+A2+B1)/4;
printf("(14) (A1+A2+B1)/4 = %f        ",k);/*14*/
converse(k);
k = (A1+A2+B1+B2)/4;
printf("(15) (A1+A2+B1+B2)/4 = %f     ",k);/*15*/
converse(k);
k = A0/4;
printf("(16) A0/4 = %f                ",k);/*16*/
converse(k);
k = (A0+B2)/4;
printf("(17) (A0+B2)/4 = %f           ",k);/*17*/
converse(k);
k = (A0+B1)/4;
printf("(18) (A0+B1)/4 = %f           ",k);/*18*/
converse(k);
k = (A0+B1+B2)/4 ;
printf("(19) (A0+B1+B2)/4 = %f        ",k);/*19*/
converse(k);
k = (A0+A2)/4;
printf("(20) (A0+A2)/4 = %f           ",k);/*20*/
converse(k);
getch();
k = (A0+A2+B2)/4;
printf("(21) (A0+A2+B2)/4 = %f        ",k);/*21*/
converse(k);
k = (A0+A2+B1)/4;
printf("(22) (A0+A2+B1)/4 = %f        ",k);/*22*/
converse(k);
k = (A0+A2+B1+B2)/4 ;
printf("(23) (A0+A2+B1+B2)/4 = %f     ",k);/*23*/
converse(k);
k = (A0+A1)/4;
printf("(24) (A0+A1)/4 = %f           ",k);/*24*/
converse(k);
k = (A0+A1+B2)/4;
printf("(25) (A0+A1+B2)/4 = %f        ",k);/*25*/
converse(k);
k = (A0+A1+B1)/4;
printf("(26) (A0+A1+B1)/4 = %f        ",k);/*26*/
converse(k);
k = (A0+A1+B1+B2)/4 ;
printf("(27) (A0+A1+B1+B2)/4 = %f     ",k);/*27*/
converse(k);
k = (A0+A1+A2)/4;
printf("(28) (A0+A1+A2)/4 = %f        ",k);/*28*/
converse(k);
k = (A0+A1+A2+B2)/4;
printf("(29) (A0+A1+A2+B2)/4 = %f     ",k);/*29*/
```

เอกสารนี้จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  converse(k);
  k = (A0+A1+A2+B1)/4;
  printf("(30) (A0+A1+A2+B2)/4 = %f  ",k);/*30*/
  converse(k);
  k = (A0+A1+A2+B1+B2)/4;
  printf("(31)(A0+A1+A2+B1+B2)/4 = %f",k);/*31*/
  converse(k);

  cycle++;
  count = 1;
  /******** fprint complementary lower bite ******/
  ct = 1;
  fprintf(in,"DB\t");
  for(item=0;item<32;item++)
  { if ((fmod(ct,8))!= 0)
    {
     if (buff2[item]<=0xf)
        fprintf(in,"00%xH,",buff2[item]);
     else
        fprintf(in,"0%xH,",buff2[item]);
     ct++;
    }
    else
    {  if ((fmod(ct,8)==0) &&(ct!=32))
       {
        if (buff2[item]<=0xf)
            fprintf(in,"00%xH\nDB\t",buff2[item]);
        else
            fprintf(in,"0%xH\nDB\t",buff2[item]);
        ct++;
       }
       else
       {  if ((fmod(ct,8)==0) &&(ct==32))
          {
           if (buff2[item]<=0xf)
              fprintf(in,"00%xH\n\n",buff2[item]);
           else
              fprintf(in,"0%xH\n\n",buff2[item]);
           ct++;
          }
       }
    }
  }
  if(cycle<4)
  fprintf(in,"DB\t");
  /***************/
  item = 0;

  }
  while(cycle<4);

/******* fprint upper bite for data1******/

     fprintf(up,"ORG     2000H\nDB\t");

  ct = 1;
  for(unit1=0;unit1<32;unit1++)
  { if ((fmod(ct,8))!= 0)
         fprintf(up,"0%xH,",data1[unit1]);
       else
       {if ((fmod(ct,8)==0) &&(ct!=32))
              fprintf(up,"0%xH\nDB\t",data1[unit1]);
        else
        {  if ((fmod(ct,8)==0) &&(ct==32))
              fprintf(up,"0%xH\n\n",data1[unit1]);
        }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทกครั้งที่มีการนำไปใช้

```
    }
     data1[unit1] = data1[unit1]^0x000f;
     ct++;
    }
    fprintf(up,"DB\t");

ct = 1;
for(unit1=0;unit1<32;unit1++)
{ if ((fmod(ct,8))!= 0)
       fprintf(up,"0%xH,",data1[unit1]);
      else
      {if ((fmod(ct,8)==0) &&(ct!=32))
                  fprintf(up,"0%xH\nDB\t",data1[unit1]);
       else
             {  if ((fmod(ct,8)==0) &&(ct==32))
                    fprintf(up,"0%xH\n\n",data1[unit1]);
             }
      }
      ct++;
    }
    fprintf(up,"DB\t");
    /******* fprint upper bite for data2 ******/

ct = 1;
for(unit2=0;unit2<32;unit2++)
{ if ((fmod(ct,8))!= 0)
       fprintf(up,"0%xH,",data2[unit2]);
      else
      {if ((fmod(ct,8)==0) &&(ct!=32))
                  fprintf(up,"0%xH\nDB\t",data2[unit2]);
       else
      {  if ((fmod(ct,8)==0) &&(ct==32))
                  fprintf(up,"0%xH\n\n",data2[unit2]);
             }
      }
     data2[unit2] = data2[unit2]^0x000f;
     ct++;
    }
    fprintf(up,"DB\t");
     /******* fprint complementary upper bite for data2*******/

ct = 1;
for(unit2=0;unit2<32;unit2++)
{ if ((fmod(ct,8))!= 0)
       fprintf(up,"0%xH,",data2[unit2]);
      else
      {if ((fmod(ct,8)==0) &&(ct!=32))
                  fprintf(up,"0%xH\nDB\t",data2[unit2]);
       else
             {  if ((fmod(ct,8)==0) &&(ct==32))
                    fprintf(up,"0%xH\n\n",data2[unit2]);
             }
      }
      ct++;
    }
    fprintf(up,"DB\t");
    /******* fprint upper bite for data3******/

ct = 1;
for(unit3=0;unit3<32;unit3++)
{ if ((fmod(ct,8))!= 0)
       fprintf(up,"0%xH,",data3[unit3]);
      else
      {if ((fmod(ct,8)==0) &&(ct!=32))
                  fprintf(up,"0%xH\nDB\t",data3[unit3]);
       else
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                {  if ((fmod(ct,8)==0) &&(ct==32))
                        fprintf(up,"0%xH\n\n",data3[unit3]);
                }
          }
         data3[unit3] = data3[unit3]^0x000f;
         ct++;
        }
        fprintf(up,"DB\t");
         /******* fprint complementary upper bite for data3*******/

    ct = 1;
    for(unit3=0;unit3<32;unit3++)
    { if ((fmod(ct,8))!= 0)
           fprintf(up,"0%xH,",data3[unit3]);
          else
          {if ((fmod(ct,8)==0) &&(ct!=32))
                      fprintf(up,"0%xH\nDB\t",data3[unit3]);
           else
                {  if ((fmod(ct,8)==0) &&(ct==32))
                        fprintf(up,"0%xH\n\n",data3[unit3]);
                }
          }
          ct++;
        }
        /***************/
        fprintf(in,"END");
        fprintf(up,"END");
        fclose(in);
        fclose(up);
        printf(" Do you want to continue (y/n)?\n ");
        i = getch();
 }
 while(i=='y');
 /* return(0);*/
}
#include <stdlib.h>
#include <math.h>
converse(l)
float l;
{  unsigned char  x[12];
   float          m;
   int            h,buff=0,result;
/***************/
   int            buff1=0;
/***************/

   if(l >= 0)
   {   x[0] = 0;
       for(h=1;h<12;h++)
       {   m = l*2;
           if(m>=1)
           {  x[h] = 1;
              l = m-1;
           }
           else
           {  x[h] = 0;
              l = m;
           }
       }
   }
   else
   {   x[0] = 1;
       l = 0-l;
       for(h=1;h<12;h++)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    {    m = l*2;
         if(m>=1)
         {  x[h] = 0;
            l = m-1;
         }
         else
         {  x[h] = 1;
           l = m;
         }
     }
}
for(h=0;h<11;h++)
{  if(x[h] == 1)
            buff = buff+1;
   buff = buff<<1;
}
if((x[11]==1)&&(x[0]==0))
        buff = buff+1;
else
{       if((x[0]==1)&&(x[11]==0))
           buff = buff+1;
        if((x[0]==1)&&(x[11]==1))
           buff = buff+2;
}
buff1 = (buff&0x00ff);
buff2[item] = buff1^0x00ff;
item++;
switch(cycle)
{
  case 1:
       data1[unit1] = (buff&0xff00);
       data1[unit1] = (data1[unit1]>>8)&0x00ff;
       unit1++;
       break;
   case 2:
       data2[unit2] = (buff&0xff00);
       data2[unit2] = (data2[unit2]>>8)&0x00ff;
       unit2++;
       break;
   case 3:
       data3[unit3] = (buff&0xff00);
       data3[unit3] = (data3[unit3]>>8)&0x00ff;
       unit3++;
       break;
   default:
       printf("Check program. Something is wrong.");
       exit(0);
  }
 printf("result : %x\n",buff);
  /****** fprint lower bite ********/
  if ((fmod(count,8))!= 0)
  {
    if (buff1<=0xf)
       fprintf(in,"00%xH,",buff1);
    else
       fprintf(in,"0%xH,",buff1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    count++;
}
else
{   if ((fmod(count,8)==0) &&(count!=32))
    {
        if (buff1<=0xf)
            fprintf(in,"00%xH\nDB\t",buff1);
        else
            fprintf(in,"0%xH\nDB\t",buff1);
        count++;
    }
    else
    {   if ((fmod(count,8)==0) &&(count==32))
        {
          if (buff1<=0xf)
            fprintf(in,"00%xH\n\n",buff1);
          else
            fprintf(in,"0%xH\n\n",buff1);
          count++;
        }
    }
}
/***************/

}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ORG     0000H
DB      000H,020H,035H,055H,009H,029H,03eH,05eH
DB      011H,031H,046H,066H,01aH,03aH,050H,070H
DB      009H,029H,03eH,05eH,012H,032H,048H,068H
DB      01aH,03aH,050H,070H,024H,044H,059H,079H

DB      0ffH,0dfH,0caH,0aaH,0f6H,0d6H,0c1H,0a1H
DB      0eeH,0ceH,0b9H,099H,0e5H,0c5H,0afH,08fH
DB      0f6H,0d6H,0c1H,0a1H,0edH,0cdH,0b7H,097H
DB      0e5H,0c5H,0afH,08fH,0dbH,0bbH,0a6H,086H

DB      000H,000H,000H,000H,000H,000H,000H,000H
DB      000H,000H,000H,000H,000H,000H,000H,000H
DB      000H,000H,000H,000H,000H,000H,000H,000H
DB      000H,000H,000H,000H,000H,000H,000H,000H

DB      0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH
DB      0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH
DB      0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH
DB      0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH

DB      000H,000H,000H,000H,000H,000H,000H,000H
DB      000H,000H,000H,000H,000H,000H,000H,000H
DB      000H,000H,000H,000H,000H,000H,000H,000H
DB      000H,000H,000H,000H,000H,000H,000H,000H

DB      0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH
DB      0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH
DB      0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH
DB      0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH,0ffH

END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    ORG     0000H
DB      00H,00H,00H,00H,00H,00H,00H,00H
DB      00H,00H,00H,00H,00H,00H,00H,00H
DB      00H,00H,00H,00H,00H,00H,00H,00H
DB      00H,00H,00H,00H,00H,00H,00H,00H

DB      0fH,0fH,0fH,0fH,0fH,0fH,0fH,0fH
DB      0fH,0fH,0fH,0fH,0fH,0fH,0fH,0fH
DB      0fH,0fH,0fH,0fH,0fH,0fH,0fH,0fH
DB      0fH,0fH,0fH,0fH,0fH,0fH,0fH,0fH

DB      00H,00H,00H,00H,00H,00H,00H,00H
DB      00H,00H,00H,00H,00H,00H,00H,00H
DB      00H,00H,00H,00H,00H,00H,00H,00H
DB      00H,00H,00H,00H,00H,00H,00H,00H

DB      0fH,0fH,0fH,0fH,0fH,0fH,0fH,0fH
DB      0fH,0fH,0fH,0fH,0fH,0fH,0fH,0fH
DB      0fH,0fH,0fH,0fH,0fH,0fH,0fH,0fH
DB      0fH,0fH,0fH,0fH,0fH,0fH,0fH,0fH

DB      00H,00H,00H,00H,00H,00H,00H,00H
DB      00H,00H,00H,00H,00H,00H,00H,00H
DB      00H,00H,00H,00H,00H,00H,00H,00H
DB      00H,00H,00H,00H,00H,00H,00H,00H

DB      0fH,0fH,0fH,0fH,0fH,0fH,0fH,0fH
DB      0fH,0fH,0fH,0fH,0fH,0fH,0fH,0fH
DB      0fH,0fH,0fH,0fH,0fH,0fH,0fH,0fH
DB      0fH,0fH,0fH,0fH,0fH,0fH,0fH,0fH

END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

แสดง DATA SHEET ที่ใช้ในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LF198/LF298/LF398, LF198A/LF398A Monolithic Sample and Hold Circuits

General Description

The LF198/LF298/LF398 are monolithic sample and hold circuits which utilize BI-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6μs to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of $10^{10}\Omega$ allows high source impedances to be used without degrading accuracy.

P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1μF hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feedthrough from input to output in the hold mode even for input signals equal to the supply voltages.

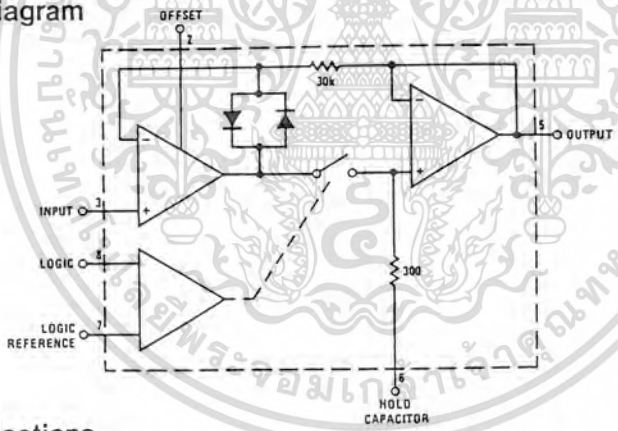
Features

- Operates from ±5V to ±18V supplies
- Less than 10μs acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at $C_h = 0.01\mu F$
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from ±5V to ±18V supplies. It is available in an 8-lead TO-5 package.

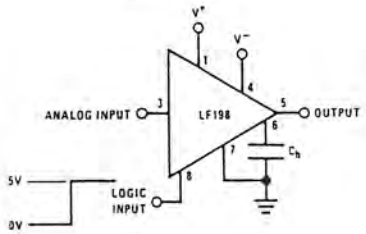
An "A" version is available with tightened electrical specifications.

Functional Diagram

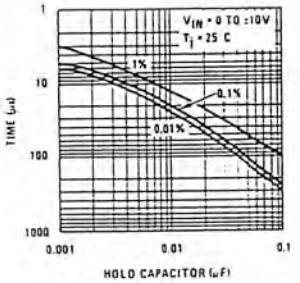


Typical Applications

Typical Connection



Acquisition Time



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

National Semiconductor

ADC1210, ADC1211 12-Bit CMOS A/D Converters

General Description

The ADC1210, ADC1211 are low power, medium speed, 12-bit successive approximation, analog-to-digital converters. The devices are complete converters requiring only the application of a reference voltage and a clock for operation. Included within the device are the successive approximation logic, CMOS analog switches, precision laser trimmed thin film R-2R ladder network and FET input comparator.

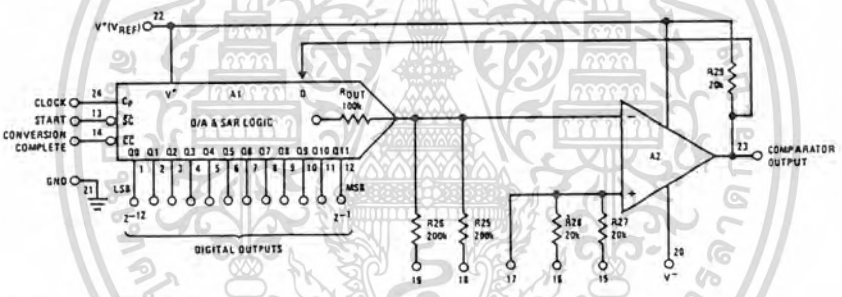
The ADC1210 offers 12-bit resolution and 12-bit accuracy, and the ADC1211 offers 12-bit resolution with 10-bit accuracy. The inverted binary outputs are directly compatible with CMOS logic. The ADC1210, ADC1211 will operate over a wide supply range, convert both bipolar and unipolar analog inputs, and operate in either a continuous conversion mode or logic-controlled START-STOP conversion mode. The devices are capable of making a 12-bit conversion in 100 μs typ, and can be connected to convert 10 bits in 30 μs.

Both devices are available in military and industrial temperature ranges.

Features

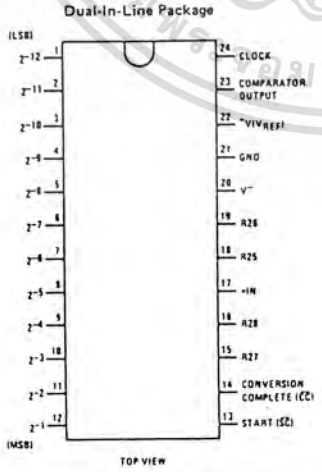
- 12-bit resolution
- ±1/2 LSB linearity
- Single +5V to ±15V supply range
- 100 μs 12-bit, 30 μs 10-bit conversion rate
- CMOS compatible outputs
- Bipolar or unipolar analog inputs
- 200 kΩ analog input impedance
- Low cost

Block Diagram



Connection Diagram

Dual-In-Line Package



Order Number ADC1210HCD, ADC1211HCD, ADC1210HD or ADC1211HD
See NS Package D24D

8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Maximum Reference Supply Voltage (V^+)	16V
Maximum Negative Supply Voltage (V^-)	−20V
Voltage At Any Logic Pin	$V^+ + 0.3V$
Analog Input Voltage	±15V
Maximum Digital Output Current	±10 mA
Maximum Comparator Output Current	50 mA
Comparator Output Short-Circuit Duration	5 Seconds
Power Dissipation	See Curves
Operating Temperature Range	
ADC1210HD, ADC1211HD	−55°C to +125°C
ADC1210HCD, ADC1211HCD	−25°C to + 85°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics (Notes 1 and 2)

PARAMETER	CONDITIONS	ADC1210			ADC1211			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Resolution		12			12			Bits
Linearity Error	(Note 3)							
	f_{CLK} = 65 kHz, T_A = 25°C			±0.0122			±0.0488	% FS
	f_{CLK} = 65 kHz			±0.0244				% FS
Full Scale Error	T_A = 25°C, Unadjusted			0.1			0.25	% FS
Zero Scale Error	T_A = 25°C, Unadjusted			0.1			0.25	% FS
Quantization Error				±1/2			±1/2	LSB
Input Resistor Values	R27, R28		20			20		kΩ
Input Resistor Values	R25, R26		200			200		kΩ
Input Resistor Ratios	R25/R26, R27/R28			0.1			0.1	%
Logic "1" Input Voltage		8			8			V
Logic "0" Input Voltage				2			2	V
Logic "1" Input Current	V_{IN} = 10.24V			1			1	μA
Logic "0" Input Current	V_{IN} = 0V			−1			−1	μA
Logic "1" Output Voltage	$I_{OUT} \leq -1$ μA	9.2			9.2			V
Logic "0" Output Voltage	$I_{OUT} \leq 1$ μA			0.5			0.5	V
Positive Supply Current	V^+ = 15V, f_{CLK} = 65 kHz, T_A = 25°C		5	8		5	8	mA
Negative Supply Current	V^- = −15V, T_A = 25°C		4	6		4	6	mA

AC Electrical Characteristics T_A = 25°C, (Notes 1 and 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Conversion Time			100	200	μs
Maximum Clock Frequency			130	65	kHz
Clock Pulse Width		100	50		ns
Propagation Delay From Clock to Data Output (Q0 to Q11)	$t_r \leq t_f \leq 10$ ns		60	150	ns
Propagation Delay From Clock to Conversion Complete	$t_r \leq t_f \leq 10$ ns		60	150	ns
Clock Rise and Fall Time				5	μs
Input Capacitance			10		pF
Start Conversion Set-Up Time		30			ns

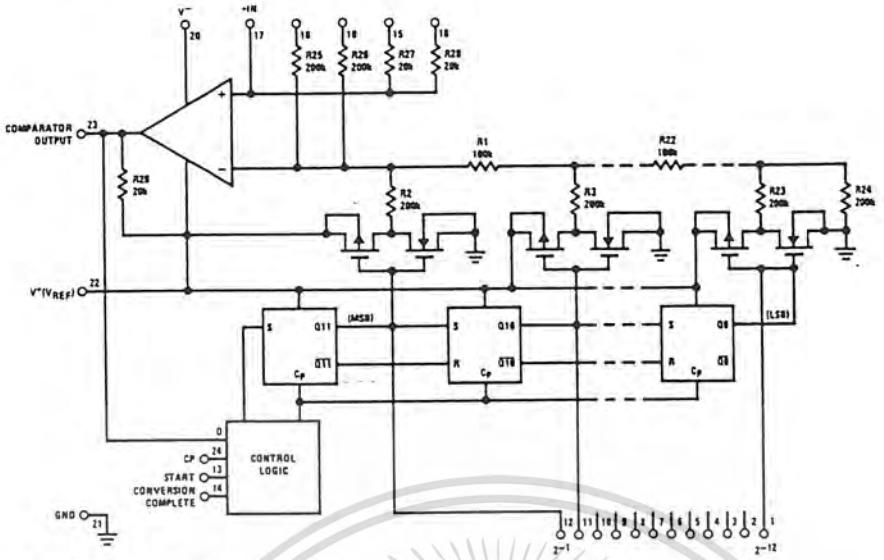
Note 1: Unless otherwise noted, these specifications apply for V^+ = 10.240V, V^- = −15V, over the temperature range −55°C to +125°C for the ADC1210HD, ADC1211HD, and −25°C to +85°C for the ADC1210HCD, ADC1211HCD.

Note 2: All typical values are for T_A = 25°C.

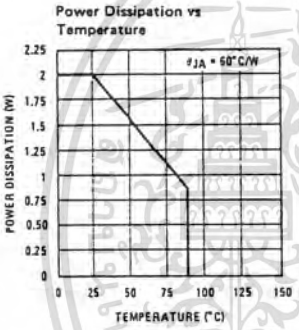
Note 3: Unless otherwise noted, this specification applies over the temperature range −25°C to +85°C. Provision is made to adjust zero scale error to 0V and full-scale to 10.2375V during testing. Standard linearity test circuit is shown in *Figure 5a*.

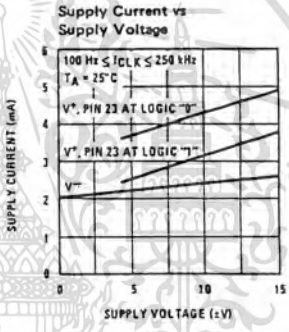
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Schematic Diagram



Note: 3 bits shown for clarity





1.0 THEORY OF OPERATION

The ADC1210, ADC1211 are successive approximation analog-to-digital converters, i.e., the conversion takes place 1 bit at a time by comparing the output of the internal D/A to the (unknown) input voltage. The START input (pin 13), when taken low, causes the register to reset synchronously on the next CLOCK low-to-high transition. The MSB, Q11 is set to the low state, and the remaining bits, Q0 through Q10, will be set to the high state. The register will remain in this state until the $\overline{SC}$ input is taken high. When START goes high, the conversion will begin on the low-to-high transition of the CLOCK pulse. Q11 will then assume the state of pin 23. If pin 23 is high, Q11 will be high; if pin 23 is low, Q11 will remain low. At the same time, the next bit, Q10 is set low. All remaining bits, Q0–Q9 will remain unchanged (high). This process will continue until the LSB (Q0) is found. When the conversion process is completed, it is indicated by CONVERSION COMPLETE ($\overline{CC}$) (pin 14) going low. The logic levels at the data output pins (pins 1–12) are the complemented-binary representation of the converted analog signal with Q11 being the MSB and Q0 being the LSB. The register will remain in the above state until the $\overline{SC}$ is again taken low.

An application example is shown in *Figure 1*. In this case, a 0 to −10.2375V input is being converted using the ADC1210 with V^+ = 10.240V, V^- = −15V. *Figure 1b* is the timing diagram for full scale input. *Figure 1c* is the timing diagram for zero scale input, *Figure 1d* is the timing diagram for −3.4125V input (010101010101 = output).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

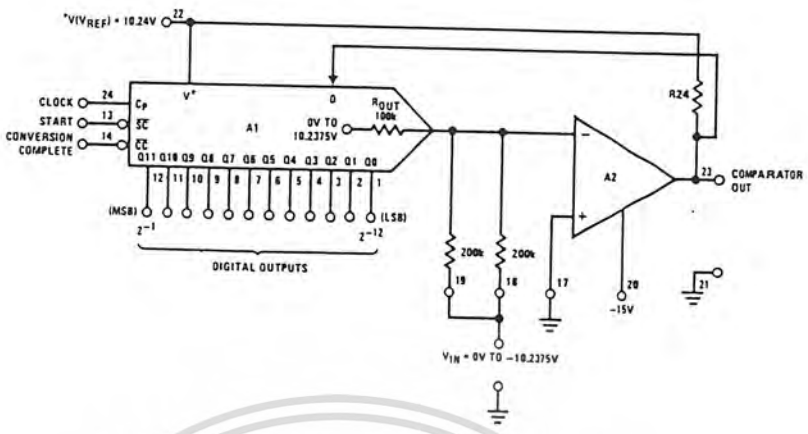


FIGURE 1a. ADC1210 Connected for 0V to −10.2375V (Natural Binary Output)

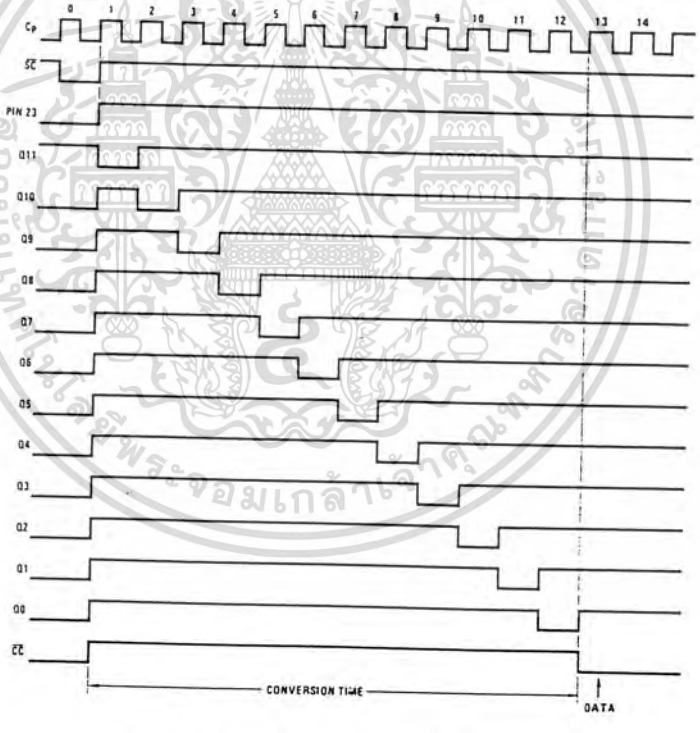


FIGURE 1b. Timing Diagram for V_{IN} = Full Scale Input

95
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

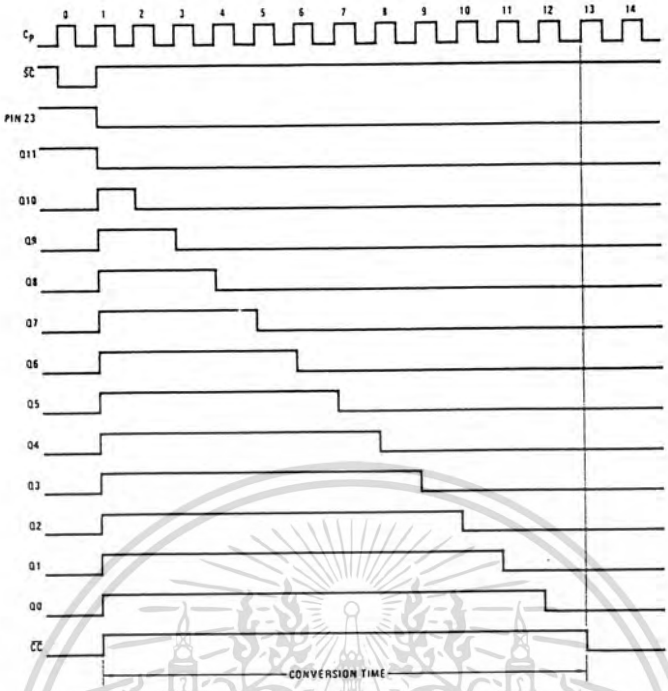


FIGURE 1c. Timing Diagram for V_{IN} = Zero Scale

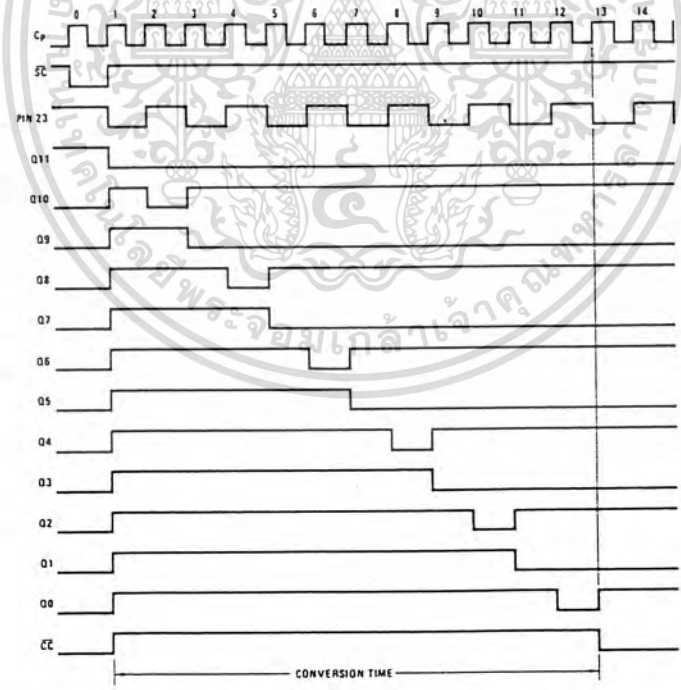


FIGURE 1d. Timing Diagram for V_{IN} = −3.4125V (010101010101)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE I. Pin Assignments and Explanations

PIN NUMBER	MNEMONIC	FUNCTION
1–12	Q11–Q0	Digital (data) output pins. This information is a parallel 12-bit complemented binary representation of the converted analog signal. All data is valid when "Conversion Complete" goes low. Logic levels are ground and V^+.
13	$\overline{SC}$	Start Conversion is a logic input which causes synchronous reset of the successive approximation register and initiates conversion. Logic levels are ground and V^+.
14	$\overline{CC}$	"Conversion Complete" is a digital output signal which indicates the status of the converter. When $\overline{CC}$ is high, conversion is taking place, when low conversion is completed. Logic levels are ground and V^+.
15, 16	R27, R28	R27 and R28 are two application resistors connected to the comparator non-inverting input. The resistors may be used in various modes of operation. Their nominal values are 20 kΩ each. See Applications section.
17	+IN	Non-inverting input of the analog comparator. This node is used in various configurations and for compensation of the loop. See Applications section.
18, 19	R25, R26	R25 and R26 are two application resistors that are tied internally to the inverting input of the comparator. Their nominal values are 200 kΩ each. See Applications section. The R-2R ladder network will have the same temperature coefficient as these resistors.
20	V^-	Negative supply voltage for bias of the analog comparator. Optionally may be grounded or operated with voltages to −20V.
21	GND	Ground for both digital and analog signals.
22	V^+(VREF)	V^+ sets both maximum full scale and input and output logic levels.
23	CO	Comparator output.
24	Cp	Clock is an input which causes the successive approximation (shift) register to advance through the conversion sequence. Logic levels are ground and V^+.

2.0 APPLICATIONS

2.1 Power Supply Considerations and Decoupling

Pin 22 is both the positive supply and voltage reference input to the ADC1210, ADC1211. The magnitude of V^+ determines the input logic "1" threshold and the output voltage from the CMOS SAR. The device will operate over a range of V^+ from 5V to 15V. However, in order to preserve 12-bit accuracy, V^+ should be well regulated (0.01%) and isolated from external switching transients. It is therefore recommended that pin 22 be decoupled with a 4.7 μF tantalum capacitor in parallel with a 0.1 μF ceramic disc capacitor.

The V^- supply (pin 20) provides negative bias for the FET comparator. Although pin 20 may be grounded in some applications, it must be at least 2V more negative than the most negative analog input signal. When a negative supply is used, pin 20 should also be bypassed with 4.7 μF in parallel with 0.1 μF.

Grounding and circuit layout are extremely important in preserving 12-bit accuracy. The user is advised to employ separate digital and analog returns, and to make these PC board traces as "heavy" as practical.

2.2 Short Cycle for Improved Conversion Time (Figure 2)

The ADC1210, ADC1211 counting sequence may be truncated to decrease conversion time. For example, when using the ADC1211, 2 clock intervals may be "saved" if 10-bit conversion accuracy is taking place. The Q2 output should be "OR'd" with CONVERSION COMPLETE ($\overline{CC}$) in order to ensure that the register does not lock-up upon power turn-on.

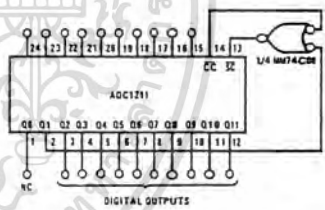


FIGURE 2. Short Cycling the ADC1211 to Improve 10-Bit Conversion Time (Continuous Conversion)

2.3 Logic Compatibility

The ADC1210, ADC1211 is intended to interface with CMOS logic levels: i.e., the logic inputs and outputs are directly compatible with series 54C/74C and CD4000 family of logic components. The outputs of the ADC1210, ADC1211 will not drive LPTTL, TTL or PMOS logic directly without degrading accuracy. Various recommended interface techniques are shown in *Figures 3 and 4.*

2.4 Operating Configurations

Several recommended operating configurations are shown in *Figure 5.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค

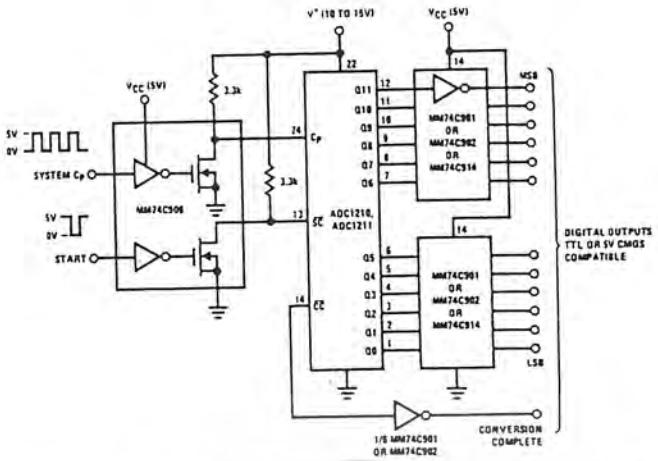


FIGURE 3. Interfacing an ADC1210, ADC1211 Running on $V^+ > V_{CC}$. Example: $V^+ = 10.24V$, System $V_{CC} = 5V$

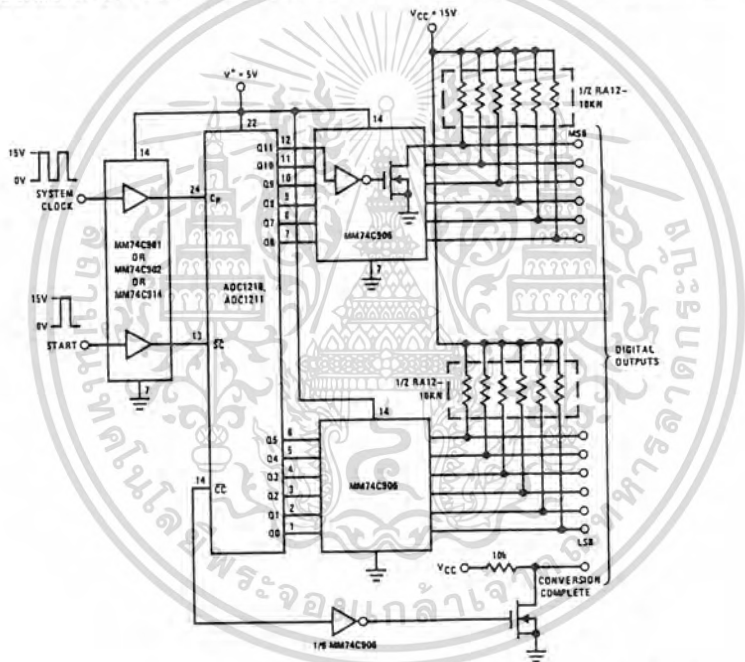


FIGURE 4. Interfacing an ADC1210, ADC1211 Running on $V^+ < V_{CC}$. Example: $V^+ = 5V$, $V_{CC} = 15V$

2.5 Offset and Full Scale Adjust

A variety of techniques may be employed to adjust Offset and Full Scale on the ADC1210, ADC1211. A straight-forward Full Scale Adjust is to incrementally vary V^+ (V_{REF}) to match the analog input voltage. A recommended technique is shown in *Figure 6*. An LM199 and low drift op amp (e.g., the LH0044) are used to provide the precision reference. The ADC1210, ADC1211 is put in the continuous convert mode by shorting pins 13 and 14. An analog voltage equal to V_{REF} minus 1 1/2 LSB (10.23625V) is applied to pins 18 and 19, and R1 is adjusted until the LSB flickers equally between logic "1" and logic "0" (all other outputs must be stable logic "0"). Offset Null is accomplished by then applying an analog input voltage equal to 1/2 LSB at pins 18 and 19. R2 is adjusted until the LSB output flickers equally between logic "1" and logic "0" (all other bits are stable). In the circuit of *Figure 6*, the ADC1210, ADC1211 is configured for Complementary Binary logic and the values shown are for $V^+ = 10.240V$, $V_{FS} = 10.2375V$, LSB = 2.5 mV.

An alternate technique is shown in *Figure 7*. In this instance, an LH0071 is used to provide the reference voltage. An analog input voltage equal to V_{REF} minus 1 1/2 LSB (10.23625V) is applied to pins 18 and 19.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

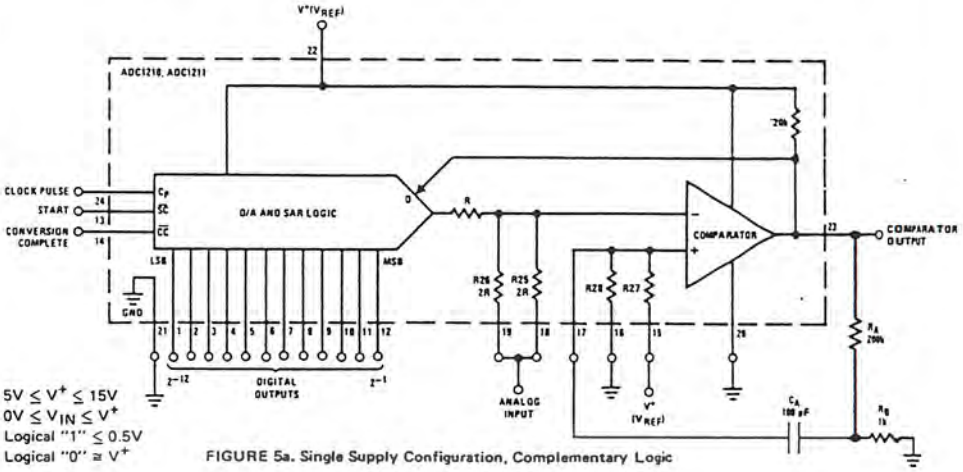


FIGURE 5a. Single Supply Configuration, Complementary Logic

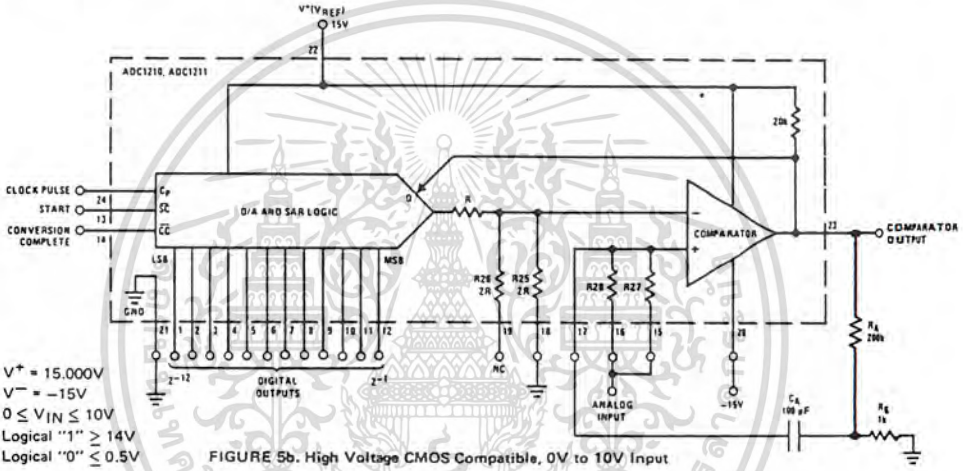


FIGURE 5b. High Voltage CMOS Compatible, 0V to 10V Input

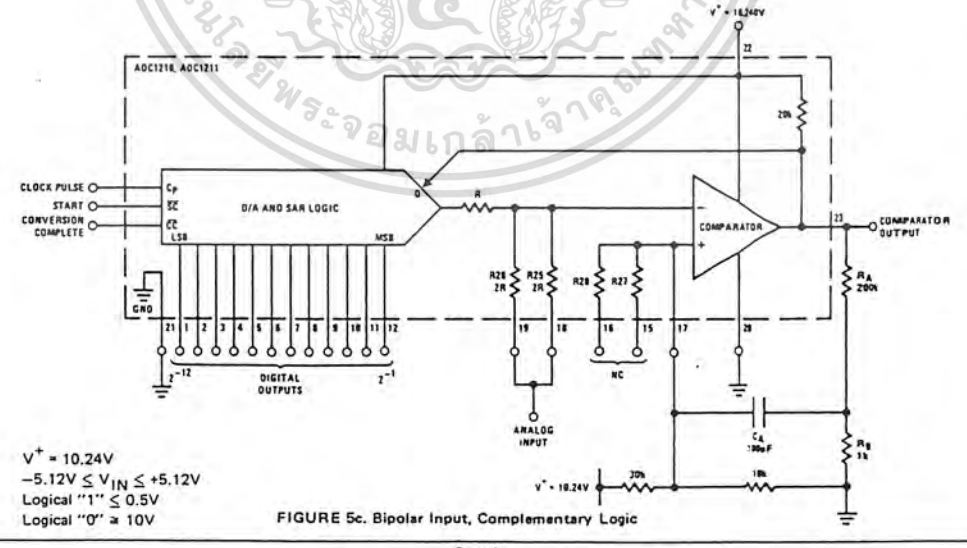


FIGURE 5c. Bipolar Input, Complementary Logic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

Applications Information (Continued)

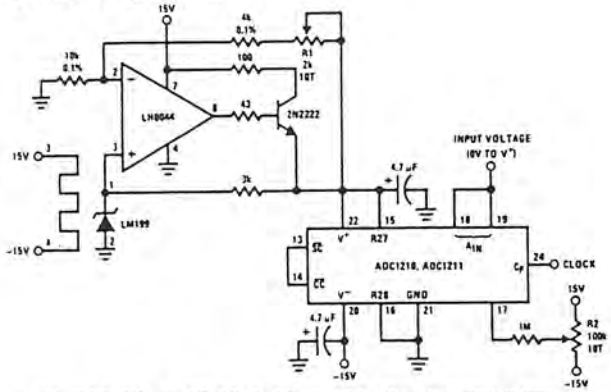


FIGURE 6. Offset and Full Scale Adjustment for Complementary Binary

R1 is adjusted until the LSB output flickers equally between logic "1" and logic "0" (all other outputs must be a stable logic "0"). For Offset Null, an analog voltage equal to 1/2 LSB (1.25 mV) is then applied to pins 18 and 19, and R2, is adjusted until the LSB output flickers equally between logic "1" and "0".

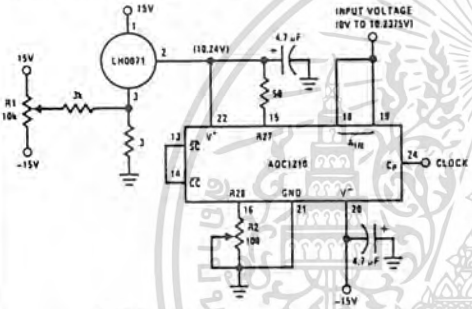


FIGURE 7. Offset and Full-Scale Adjustment Technique Using LH0071

In both techniques shown, adjusting the Full-Scale first and then Offset minimizes adjustment interaction. At least one iteration is recommended as a self-check.

2.6 Start Pulse Considerations

To assure reliable conversion accuracy, the $\overline{\text{START}}$ ($\overline{\text{SC}}$) pulse applied to pin 13 of the ADC1210 should be synchronized to the conversion clock. One simple way to do that is the circuit shown in *Figure 8*. Note that once a conversion cycle is initiated, the $\overline{\text{START}}$ signal cannot effect the conversion operation until it is completed.

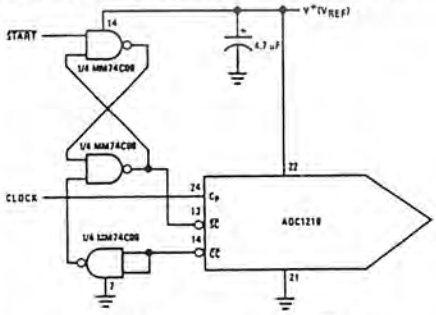


FIGURE 8. Synchronizing the $\overline{\text{START}}$ Pulse

The circuit insures that in no case can the ADC1210 make an error in the Most Significant Bit (MSB) decision. Without the circuit, it is possible for energy from the trailing edge of an asynchronous $\overline{\text{START}}$ pulse to be coupled into the ADC1210's comparator. If the analog input is near half-scale, the charge injected can force an error in the MSB decision. The circuit allows one clock period for this energy to dissipate before the decision is recorded.

2.7 ADC1210 Conversion at 26 µs

The ADC1210 can run at 500 kHz clock frequency, or 12-bit conversion time of 26 µs *(Figure 9)*. The comparator output is clamped low until the successive approximation register (SAR) is ready to strobe in the data at the rising edge of the conversion clock. Comparator oscillation is suppressed and kept from influencing the conversion decisions, eliminating the need for the AC hysteresis circuit above clock frequency of 65 kHz that is recommended.

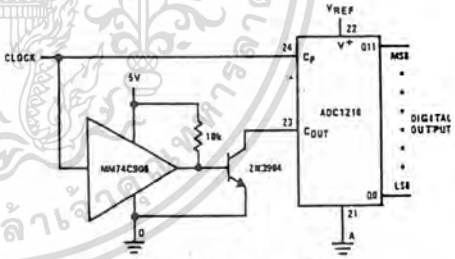


FIGURE 9. Conversion at 26 µs

A complementary phased clock is required. The positive phase is used to clock the converter SAR as is normally the case. The same signal is buffered and inverted by the transistor. The open collector is wire-O Red to the output of the comparator. During the first half of the clock cycle (50% duty cycle), the comparator output is clamped and disabled, though its internal operation is still in normal working order. The last half cycle of the clock unclamps the comparator output. Thus, the output is permitted to slew to the final logic state just before the decision is logged into the SAR. The MM74C906 buffer (or with two inverting buffers) provides adequate propogation delay such that the comparator output data is held long enough to resolve any internal logic set-up time requirements.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

The 500 kHz clock implies that the absolute minimum amount of time for the comparator output is *unclamped* is 1 μs. Therefore, if the clock is not 50% duty cycle, this 1 μs requirement must be observed.

3.0 DEFINITION OF TERMS

Resolution: The Resolution of an A/D is an expression of the smallest change in input which will increment (or decrement) the output from one code to the next adjacent code. It is defined in number of bits, or 1 part in 2^n. The ADC1210 and ADC1211 have a resolution of 12 bits or 1 part in 4,096 (0.0244%).

Quantization Uncertainty: Quantization Uncertainty is a direct consequence of the resolution of the converter. All analog voltages within a given range are represented by a single digital output code. There is, therefore, an inherent conversion error even for a perfect A/D. As an example, the transfer characteristic of a perfect 3-bit A/D is shown in *Figure 10.*

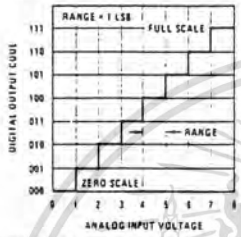


FIGURE 10. Quantization Uncertainty of a Perfect 3-Bit A/D

As can be seen, all input voltages between 0V and 1V are represented by an output code of 000. All input voltages between 1V and 2V are represented by an output code of 001, etc. If the midpoint of the range is assumed to be the nominal value (e.g., 0.5V), there is an Uncertainty of ±1/2 LSB. It is common practice to offset the converter 1/2 LSB in order to reduce the Uncertainty to ±1/2 LSB is shown in *Figure 11*, rather than +1, −0 shown in *Figure 10*. Quantization Uncertainty can only be reduced by increasing Resolution. It is expressed as ±1/2 LSB or as an error percentage of full scale (±0.0122% FS for the ADC1210).

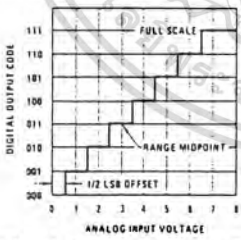


FIGURE 11. Transfer Characteristic Offset 1/2 LSB to Minimize Quantizing Uncertainty

Linearity Error: Linearity Error is the maximum deviation from a straight line passing through the end points of the A/D transfer characteristic. It is measured after calibrating Zero and Full Scale Error. The Linearity Error of the ADC1210 is guaranteed to be less than ±1/2 LSB or ±0.0122% of FS and ±0.0488% of FS for the AD1211. Linearity is a performance characteristic intrinsic to the device and cannot be externally adjusted.

Zero Scale Error (or Offset): Zero Scale Error is a measure of the difference between the output of an ideal and the actual A/D for zero input voltage. As shown in *Figure 12*, the effect of Zero Scale Error is to shift the transfer characteristic to the right or left along the abscissa. Any voltage more negative than the LSB transition gives an output code of 000. In practice, therefore, the voltage at which the 000 to 001 transition takes place is ascertained, this input voltage's departure from the ideal value is defined as the Zero Scale Error (Offset) and is expressed as a percentage of FS. In the example of *Figure 12*, the offset is 2 LSB's or 0.286% of FS.

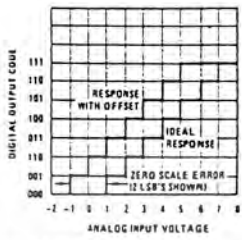


FIGURE 12. A/D Transfer Characteristic with Offset

The Zero Scale Error of the ADC1210, ADC1211 is caused primarily by offset voltage in the comparator. Because it is common practice to offset the A/D 1/2 LSB to minimize Quantization Error, the offsetting techniques described in the Applications Section may be used to null Zero Scale Error and accomplish the 1/2 LSB offset at the same time.

Full Scale Error (or Gain Error): Full Scale Error is a measure of the difference between the output of an ideal A/D converter and the actual A/D for an input voltage equal to full scale. As shown in *Figure 13*, the Full Scale Error effect is to rotate the transfer characteristic angularly about the origin. Any voltage more positive than the Full Scale transition gives an output code of 111. In practice, therefore, the voltage at which the transition from 111 to 110 occurs is ascertained. The input voltage's departure from the ideal value is defined as Full Scale Error and is expressed as a percentage of FS. In the example of *Figure 13*, Full Scale Error is 1 1/2 LSB's, or 0.214% of FS.

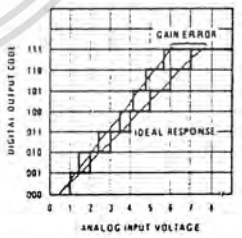


FIGURE 13. Full Scale (Gain Error)

Full Scale Error of the ADC1210, ADC1211 is due primarily to mismatch in the R-2R ladder equivalent output impedance and input resistors R25, R26, R27, and R28. The gain error may be adjusted to zero as outlined in section 2.5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Monotonicity and Missing Codes: Monotonicity is a property of a D/A which requires an increasing or constant output voltage for an increasing digital input code. Monotonicity of a D/A converter does not, in itself, guarantee that an A/D built with that D/A will not have missing codes. However, the ADC1210 and ADC1211 are guaranteed to have no missing codes.

Conversion Time: The ADC1210, ADC1211 are successive approximation A/D converters requiring 13 clock intervals for a conversion to specified accuracy for the ADC1210 and 11 clocks for the ADC1211. There is a trade-off between accuracy and clock frequency due to settling time of the ladder and propagation delay through the comparator. By modifying the hysteresis network around the comparator, conversions with 10-bit accuracy can be made in 30 μs. Replace R_A, R_B and C_A in *Figure 5* with a 10 MΩ resistor between pin 23 (Comparator Output) and pin 17 (+ IN), and increase the clock rate to 366 kHz.

In order to prevent errors during conversion, the analog input voltage should not be allowed to change by more than ±1/2 LSB. This places a maximum slew rate of 12.5 μV/μs on the analog input voltage. The usual solution to this restriction is to place a Sample and Hold in front of the A/D. For additional application information, refer to application note AN245.

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

FEATURES

- Full Four-Quadrant Multiplication
- 12-Bit Endpoint Linearity (±1/2 LSB)
- Pretrimmed Gain
- TTL/CMOS Compatible
- Low Power Consumption
- Low Feedthrough Error
- Direct Replacement for AD7521 and AD7541
- Superior Power Supply Rejection from ±5V to ±15V
- Low Gain and Linearity Tempcos (TYP 2ppm of FSR/°C)
- Latch-Up Resistant
- Available in Die Form

APPLICATIONS

- Digital/Synchro Conversion
- Programmable Amplifiers
- Ratiometric A/D Conversion
- Function Generator
- CRT Graphics Generator
- Digitally-Controlled Attenuator
- Digitally-Controlled Power Supplies
- Digital Filters

CROSS REFERENCE

PMI	ADI	TEMPERATURE RANGE
PM7541AX PM7541BX	AD7541TD AD7541SD	MILITARY
PM7541EX PM7541FX	AD7541BD AD7541AD	INDUSTRIAL
PM7541GP PM7541FP	AD7541KN AD7541JN	COMMERCIAL

GENERAL DESCRIPTION

The PMI PM-7541 is a 12-bit, 4-quadrant multiplying digital-to-analog converter. It is manufactured using an advanced oxide-isolated, silicon-gate, monolithic CMOS technology.

Laser-trimmed thin-film resistors on CMOS circuitry provide true 12-bit linearity and excellent absolute accuracy. The low power dissipation, together with NMOS temperature-compensating switches, assures the performance over the full temperature range. It is a pin-compatible replacement for Analog Devices AD7521 and AD7541 with equal or better performance.

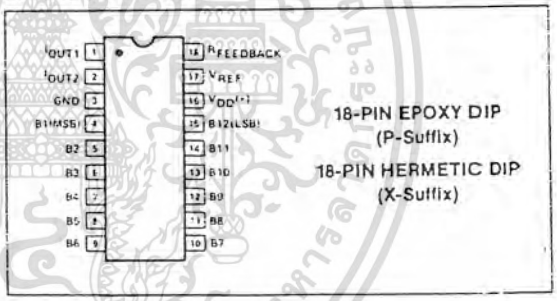
ORDERING INFORMATION †

	PACKAGE: 18-PIN		
NONLINEARITY	MILITARY* TEMPERATURE −55°C to +125°C	EXTENDED INDUSTRIAL TEMPERATURE −40°C to +85°C	COMMERCIAL TEMPERATURE 0°C to +70°C
1 LSB	PM7541BX	PM7542FX	–
1/2 LSB	PM7541AX	PM7541EX	PM7541GP
1 LSB	–	PM7541FP	–

* For devices processed in total compliance to MIL-STD-883, add /883 after part number. Consult factory for 883 data sheet.

† Burn-in is available on commercial and industrial temperature range parts in CerDIP, plastic DIP, and TO-can packages. For ordering information, see PMI's Data Book, Section 2.

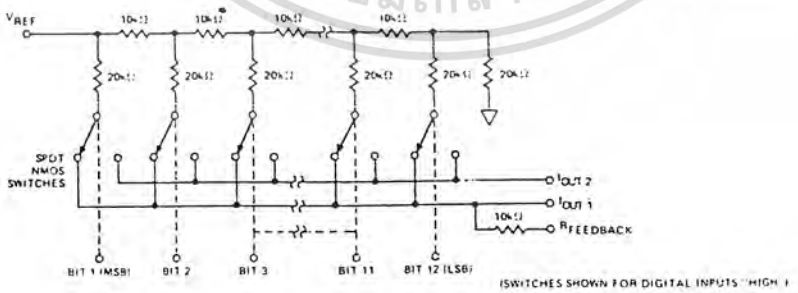
PIN CONNECTIONS



18-PIN EPOXY DIP (P-Suffix)

18-PIN HERMETIC DIP (X-Suffix)

FUNCTIONAL DIAGRAM



OFFSET ADJUSTMENT

1. Adjust V_{REF} to approximately +10V.
2. Set R5 to zero.
3. Connect all digital inputs to "Logic 1".
4. Adjust $I_{OUT\,2}$ amplifier offset trimpot for 0V ± 0.1mV at $I_{OUT\,2}$ amplifier output.
5. Connect a short circuit across R4.
6. Connect all digital inputs to "Logic 0".
7. Adjust $I_{OUT\,2}$ amplifier offset trimpot for 0V ± 0.1mV at $I_{OUT\,1}$ amplifier output.
8. Remove short circuit across R4.
9. Connect MSB (Bit-1) to "Logic 1" and all other bits to "Logic 0".
10. Adjust R5 for 0V ± 0.2mV at V_{OUT}.

GAIN ADJUSTMENT

1. Connect all digital inputs to V_{DD}.
2. Monitor V_{OUT} for $-V_{REF}\left(1-\frac{1}{2^{11}}\right)$ volts reading while adjusting R1.

ANALOG/DIGITAL DIVISION

The transfer function for the PM-7541 connected in the multiplying mode as shown in Figure 6 is:

$$V_O = -V_{IN}\left(\frac{A_1}{2^1}+\frac{A_2}{2^2}+\frac{A_3}{2^3}+\cdots\cdots\frac{A_{12}}{2^{12}}\right)$$

where A_x assume a value of 1 for an "ON" bit and 0 for an "OFF" bit.

The transfer function is modified when the DAC is connected in the feedback of an operational amplifier as shown in Figure 9, it now is:

$$V_O = \left(\frac{-V_{IN}}{\frac{A_1}{2^1}+\frac{A_2}{2^2}+\frac{A_3}{2^3}+\cdots\cdots\frac{A_{12}}{2^{12}}}\right)$$

The above transfer function is the division of an analog voltage (V_{REF}) by a digital word. The amplifier goes to the rails with all bits "OFF" since division by zero is infinity. With all bits "ON", the gain is 1 (±1 LSB). The gain becomes 4096 with the LSB, bit 12, "ON".

FIGURE 8: Simplified Circuit

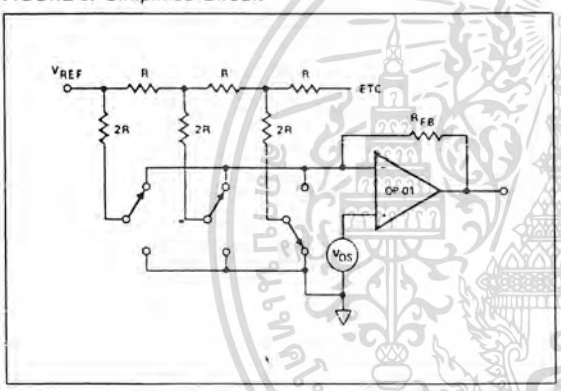
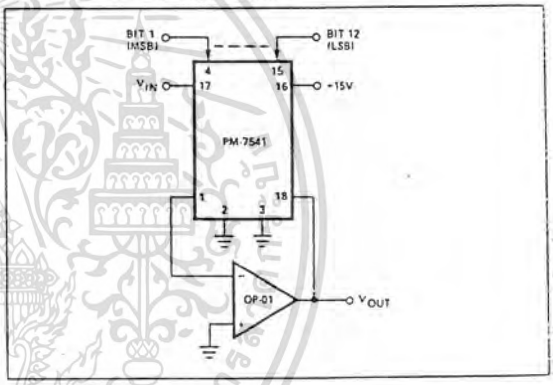


FIGURE 9: Analog/Digital Divider



The static accuracy is affected by the variation in the DAC's output resistance. This variation is best illustrated by using the circuit of Figure 8 and the equation:

$$\text{Error Voltage} = V_{OS}\left(1 + \frac{R_{FB}}{R_O}\right)$$

where R_O = function of digital code.
$R_O \cong 10k\Omega$ for more than 4-bits of logic 1.
$R_O \cong 30k\Omega$ for any single bit logic 1.

Therefore, the offset gain varies as follows:

At code 001111111111: $V_{ERROR\,1} = V_{OS}\left(1 + \frac{10k\Omega}{10k\Omega}\right) = 2\,V_{OS}$

At code 010000000000: $V_{ERROR\,2} = V_{OS}\left(1 + \frac{10k\Omega}{30k\Omega}\right) = \frac{4}{3}V_{OS}$

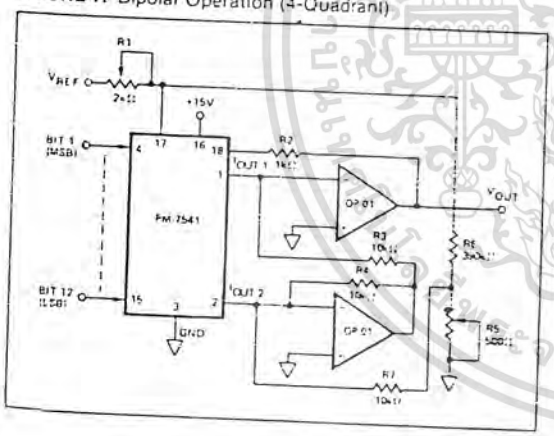
The error difference is 2/3 V_{OS}.

Since one LSB has a weight (for V_{REF} = +10V) of 2.5mV for the PM-7541 DAC, it is clearly important that V_{OS} be nulled, either using the amplifier's nulling pins or an external network.

APPLICATIONS

Figures 5, 6, and 7 show simple unipolar and bipolar circuits with their associated waveforms using the PM-7541 and two PMI types of output amplifiers. A small feedback capacitor should be used across the amplifier to help prevent overshoot and ringing when using high-speed op amps. Resistor R1 is used to trim for full scale, low tempco (approximately 50ppm/°C) resistors or trimpots should be selected when gain adjustments are required.

FIGURE 7: Bipolar Operation (4-Quadrant)



UNIPOLAR BINARY OPERATION (2-QUADRANT)

The circuits of Figures 5 and 6 can either be used as a fixed reference D/A converter, or as an attenuator with an AC input voltage. In the fixed reference mode, the DAC provides an analog output voltage in the range of zero to plus or minus V_{REF}, depending on V_{REF} polarity. The reference input voltage can range between -20V to +20V; this is due to the ability of V_{REF} being able to exceed V_{DD}, the limiting factor being the op amp voltage range. Table 1 shows the code relationship for the circuit of Figure 6. R1 can be omitted with a resulting maximum gain error of 0.3% of full scale.

TABLE 1: Code Table for Circuit of Figure 6

DIGITAL INPUT	NOMINAL ANALOG OUTPUT
111111111111	-0.99975 V_{REF}
100000000000	-0.50000 V_{REF}
011111111111	-0.49975 V_{REF}
000000000000	0

BIPOLAR BINARY OPERATION (FOUR-QUADRANT)

The recommended circuit and code relationship is shown in Figure 7 and Table 2. The digital input is offset binary coded and multiplies V_{REF} per Table 2. Resistors R3 and R4 should be equal within 0.1% at all temperatures, but need not track the resistors within the PM-7541. The network comprised of R5, R6, and R7 sums 1/2 LSB of current into $I_{OUT\,2}$ to ensure correct coding at zero. R1 can be adjusted to produce the outputs shown in Table 2. However, when the application permits it, R1 and R2 should be omitted. The maximum gain error in this condition is 0.3% of full scale. R5 may be replaced by a 100Ω fixed resistor; the maximum zero error is then 0.015% of full scale. The input offset voltage of both amplifiers should be adjusted to less than 0.1mV and be better than 0.5mV over the temperature range of interest. With V_{REF} set to 10V, R5 is adjusted so that with code 100000000000, V_{OUT} = 0V ± 0.2mV. R1 is adjusted so that code 000000000000 causes V_{OUT} to equal V_{REF}.

TABLE 2: Code Table for Circuit of Figure 7

DIGITAL INPUT	NOMINAL ANALOG OUTPUT
111111111111	-0.99951 V_{REF}
100000000001	-0.00049 V_{REF}
100000000000	0
010000000000	+0.50000 V_{REF}
000000000000	+1.00000 V_{REF}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

APPLICATIONS INFORMATION

APPLICATION TIPS

Linearity depends upon the potential of $I_{OUT\,1}$ and $I_{OUT\,2}$ (pins 1 and 2) being exactly equal to GND (pin 3). In most applications, the DAC is connected to an external op amp with its noninverting input tied to ground, see Figures 5 and 6. The amplifier selected should have a low input bias current and low drift over temperature. The amplifier's input offset voltage should be nulled to less than ±200μV (less than 10% of 1 LSB).

The operational amplifiers usual bias current compensation resistor in the noninverting input should not be used; the input should be connected directly to ground with a low-resistance wire. This resistor can cause a variable offset voltage contributing an error. All pins going to ground should be taken to a common point to avoid ground loops. The V_{DD} power supply should have a low noise level and not have transients greater than +17V.

Unused digital inputs must always be grounded or taken to V_{DD}; this will prevent noise from triggering the high impedance digital input resulting in output errors. It is also recommended that the used digital inputs be taken to ground or V_{DD} via a high value (1MΩ) resistor; this will prevent the accumulation of static charge whenever the PC card is disconnected from the system.

OUTPUT AMPLIFIER CONSIDERATIONS

For low speed or static applications, AC specifications of the amplifier are not very critical. In high-speed applications, slew rate, settling time, open-loop gain, and gain/phase margin specifications of the amplifier should be selected for the desired performance. It has already been pointed out that an offset can be caused by including the usual bias current compensation resistor in the amplifier's noninverting input-terminal. This resistor should not be used. Instead, the amplifier should have a bias current which is low over the temperature range of interest.

FIGURE 5: Unipolar Binary Operation (2-Quadrant)

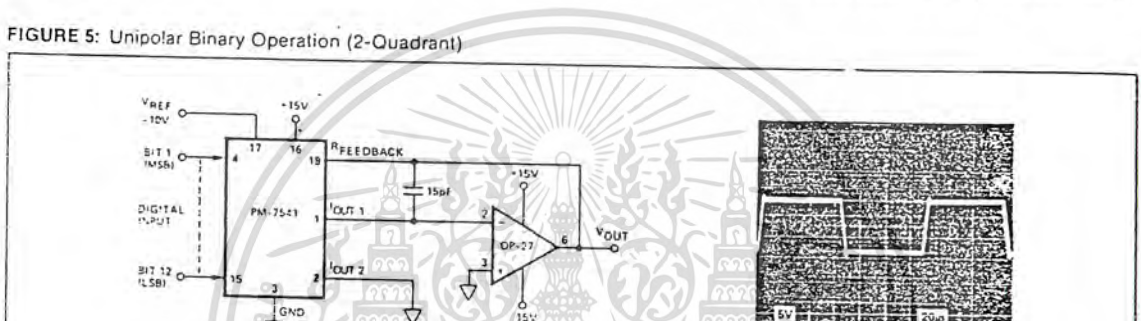
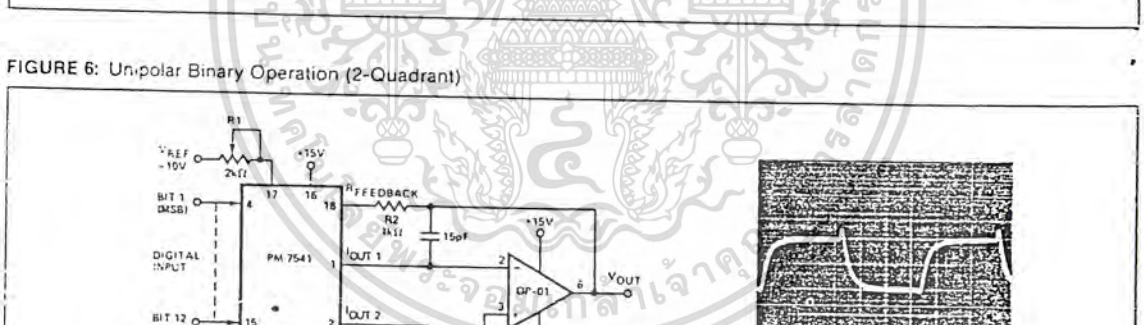
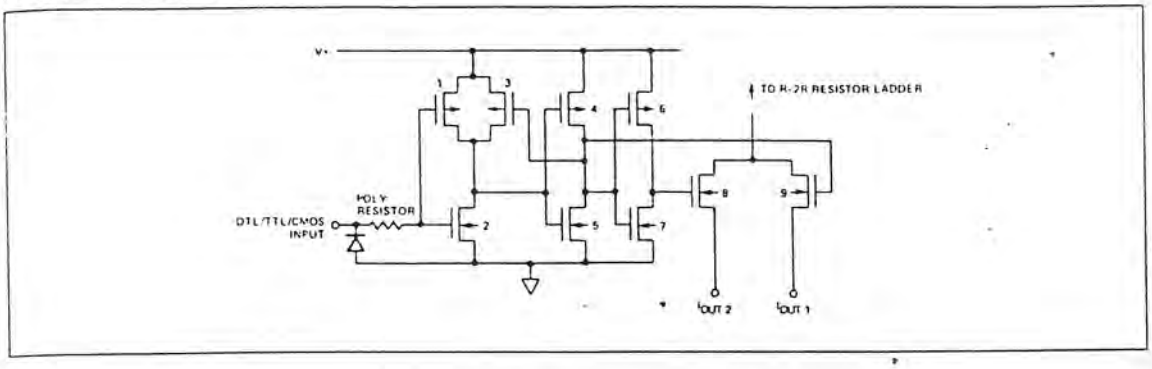


FIGURE 6: Unipolar Binary Operation (2-Quadrant)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

FIGURE 2: CMOS Switch



One of the twelve CMOS switches is shown in Figure 2. The digital input stage, devices 1, 2, and 3, drives the two inverters, devices 4, 5, 6, and 7; these inverters in turn drive the two output current steering switches, devices 8 and 9. Devices 1, 2, and 3 are designed such that the digital control inputs are DTL, TTL, and CMOS compatible over the full military temperature range.

The twelve output current-steering switches are in series with the R-2R resistor ladder, and therefore, can introduce bit errors. It is essential then, that the switch "ON" resistance be binarily scaled so that the voltage drop across each switch remains constant. If, for example, switch 1 of Figure 1 was designed with an "ON" resistance of 10 ohms, switch 2 for 20 ohms, etc., then with a 10 volt reference input, the current through switch 1 is 0.5mA, switch 2 is 0.25mA, etc., a constant 5mV drop will then be maintained across each switch.

EQUIVALENT CIRCUIT ANALYSIS

Figures 3 and 4 show the equivalent circuits for all digital inputs LOW and HIGH respectively. The reference current is switched to $I_{OUT\,2}$ when all inputs are LOW and $I_{OUT\,1}$ when inputs are HIGH. The $I_{LEAKAGE}$ current source is the combination of surface and junction leakages to the substrate, the 1/4096 current source represents the constant 1-bit current drain through the ladder terminating resistor. The output capacitance is dependent upon the digital input code, and is therefore modulated between the low and high values.

FIGURE 3: PM-7541 Equivalent Circuit (All Inputs LOW)

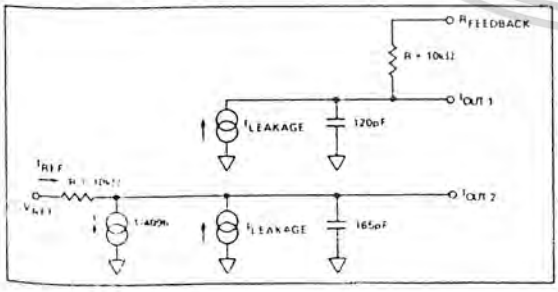
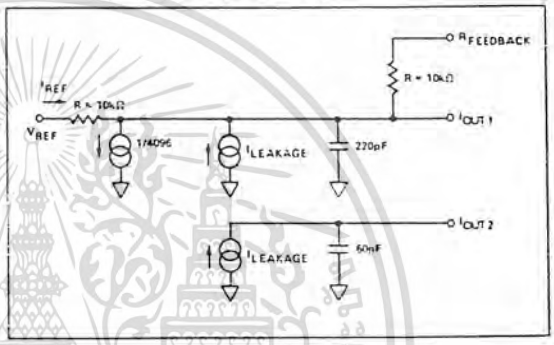


FIGURE 4: PM-7541 Equivalent Circuit (All Digital Inputs HIGH)



DYNAMIC PERFORMANCE

OUTPUT IMPEDANCE

The output resistance, as in the case of the output capacitance, is also modulated by the digital input code. The resistance looking back into the $I_{OUT\,1}$ terminal, may be anywhere between 10kΩ (the feedback resistor alone when all digital inputs are low) and 7.5kΩ (the feedback resistor in parallel with approximately 30kΩ of the R-2R ladder network resistance when any single bit logic is high). The static accuracy and dynamic performance will be affected by this modulation. The gain and phase stability of the output amplifier, board layout, and power supply decoupling will all affect the dynamic performance of the PM-7541. The use of a compensation capacitor may be required when high-speed operational amplifiers are used. It may be connected across the amplifiers feedback resistor to provide the necessary phase compensation to critically damp the output.

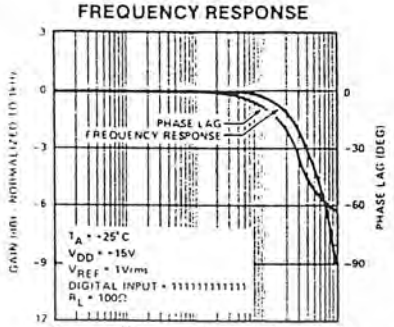
The considerations when using high-speed amplifiers are:

1. Phase Compensation (See Figures 5 and 6).
2. Power supply decoupling at the device socket and use of proper grounding techniques.

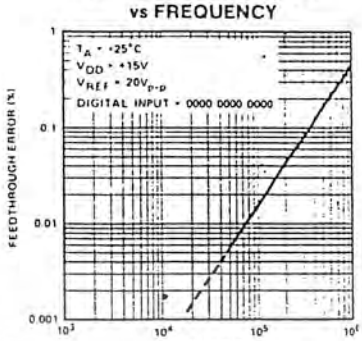
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TYPICAL PERFORMANCE CHARACTERISTICS

V_{REF} PHASE LAG AND FREQUENCY RESPONSE



FEEDTHROUGH ERROR vs FREQUENCY



SPECIFICATION DEFINITIONS

RESOLUTION

The resolution of a DAC is the number of states (2^n) that the full-scale range (FSR) is divided (or resolved) into, where "n" is equal to the number of bits.

SETTLING TIME

Time required for the output function of the DAC to settle to within 1/2 LSB for a given digital input stimulus; i.e., zero to full scale.

GAIN

Ratio of the DAC's external-operational-amplifier output voltage to the V_{REF} input voltage.

FEEDTHROUGH ERROR

Error caused by capacitive coupling from V_{REF} to output with all switches OFF.

OUTPUT CAPACITANCE

Capacitance from $I_{OUT\,1}$ or $I_{OUT\,2}$ terminals to ground.

OUTPUT LEAKAGE CURRENT

Current which appears on $I_{OUT\,1}$ terminal with all digital inputs LOW, or on $I_{OUT\,2}$ terminal when all inputs are HIGH.

CIRCUIT DESCRIPTION

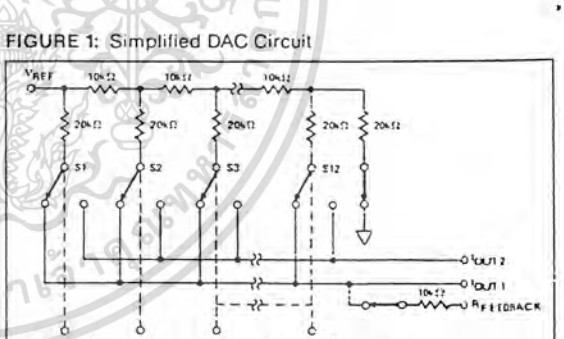
GENERAL CIRCUIT INFORMATION

The PM-7541 is a 12-bit multiplying D/A converter consisting of a highly-stable, silicon-chrome thin film R-2R ladder network and twelve pairs of NMOS current steering switches on a monolithic chip. Most applications require the addition of a voltage or current reference and an output operational amplifier.

A simplified circuit of the PM-7541 is shown in Figure 1. The R-2R inverted ladder binarily divides the input currents that are switched between $I_{OUT\,1}$ and $I_{OUT\,2}$ BUS lines. This switching allows a constant current to be maintained in each ladder leg independent of the input code.

The design includes a matching switch in series with the feedback (R_{FB}) and terminating resistors. These switches (Figure 1) provide improved gain and linearity performance over the operating temperature range.

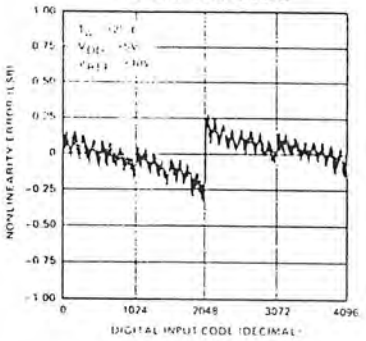
FIGURE 1: Simplified DAC Circuit



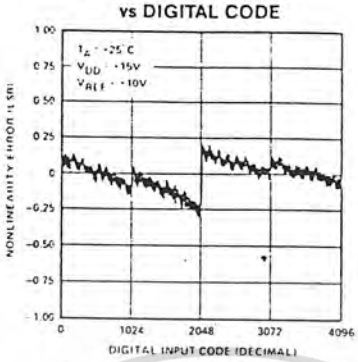
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TYPICAL PERFORMANCE CHARACTERISTICS

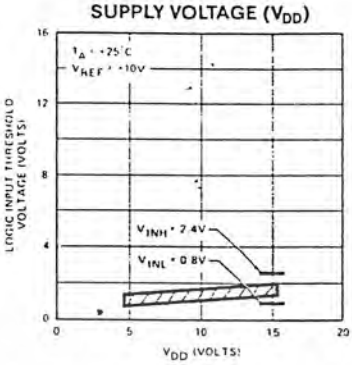
NONLINEARITY ERROR vs DIGITAL CODE



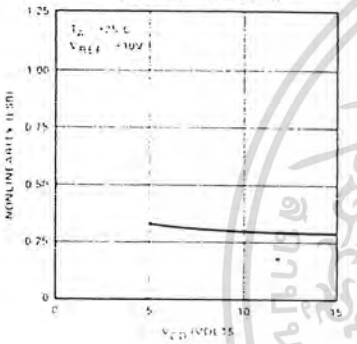
NONLINEARITY ERROR vs DIGITAL CODE



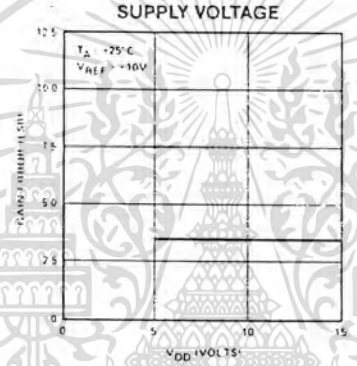
LOGIC INPUT THRESHOLD VOLTAGE vs. SUPPLY VOLTAGE (V_{DD})



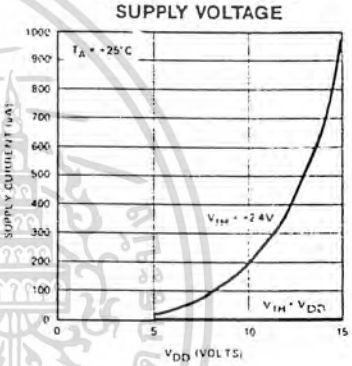
NONLINEARITY vs SUPPLY VOLTAGE



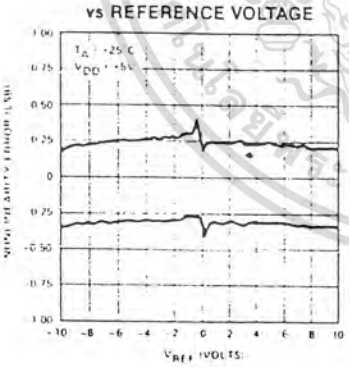
GAIN ERROR vs SUPPLY VOLTAGE



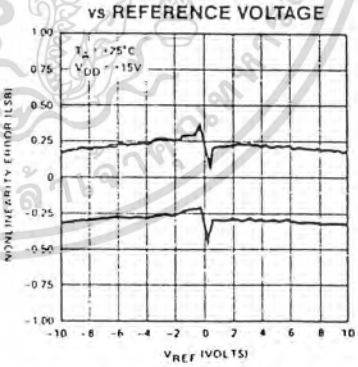
SUPPLY CURRENT vs SUPPLY VOLTAGE



NONLINEARITY ERROR vs REFERENCE VOLTAGE

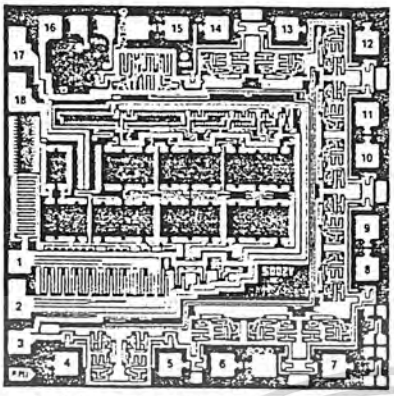


NONLINEARITY ERROR vs REFERENCE VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

DICE CHARACTERISTICS



DIE SIZE 0.102 × 0.100 inch, 10,200 sq. mils
(2.590 × 2.540 mm, 6.58 sq. mm)

For additional DICE ordering information, refer to PMI's Data Book, Section 2.

1. CURRENT OUTPUT 1
2. CURRENT OUTPUT 2
3. GROUND
4. DIGITAL INPUT (BIT 1) (MOST SIGNIFICANT BIT)
5. DIGITAL INPUT (BIT 2)
6. DIGITAL INPUT (BIT 3)
7. DIGITAL INPUT (BIT 4)
8. DIGITAL INPUT (BIT 5)
9. DIGITAL INPUT (BIT 6)
10. DIGITAL INPUT (BIT 7)
11. DIGITAL INPUT (BIT 8)
12. DIGITAL INPUT (BIT 9)
13. DIGITAL INPUT (BIT 10)
14. DIGITAL INPUT (BIT 11)
15. DIGITAL INPUT (BIT 12) (LEAST SIGNIFICANT BIT)
16. POSITIVE POWER SUPPLY
17. REFERENCE INPUT VOLTAGE
18. INTERNAL FEEDBACK RESISTOR

WAFER TEST LIMITS at V_{DD} = +15V, V_{REF} = +10V, GND = 0V, $V_{OUT\,1}$ = $V_{OUT\,2}$ = 0V, T_A = +25°C.

PARAMETER	SYMBOL	CONDITIONS	PM-7541G LIMIT	UNITS
STATIC ACCURACY				
Resolution	N		12	Bits MIN
Nonlinearity	INL		±1	LSB MAX
Gain Error (Note 1)	G_{ESE}		±12.5	LSB MAX
Power Supply Rejection	PSRR	V_{DD} = +14.5V to +15.5V	±0.01	%/% MAX
Output Leakage Current ($I_{OUT\,1}$) (Note 2)	I_{LKG}	Digital Inputs = V_{IL}	±50	nA MAX
REFERENCE INPUT				
Input Resistance	R_{REF}		5/20	kΩ MIN/MAX
DIGITAL INPUTS				
Digital Input High	V_{IH}		2.4	V MIN
Digital Input Low	V_{IL}		0.8	V MAX
Input Leakage Current	I_{IL}	V_{IN} = 0 to 15V	±1	µA MAX
POWER SUPPLY				
Supply Current	I_{DD}	Digital Inputs = V_{IH} or V_{IL}	2	mA MAX

NOTES:
1 Using internal feedback resistor
2 Specification also applies for $I_{OUT\,2}$ but all Digital Inputs = V_{IH}.
Electrical tests are performed at wafer probe to the limits shown. Due to variations in assembly methods and normal yield loss, yield after packaging is not guaranteed for standard product dice. Consult factory to negotiate specifications based on dice lot qualification through sample lot assembly and testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

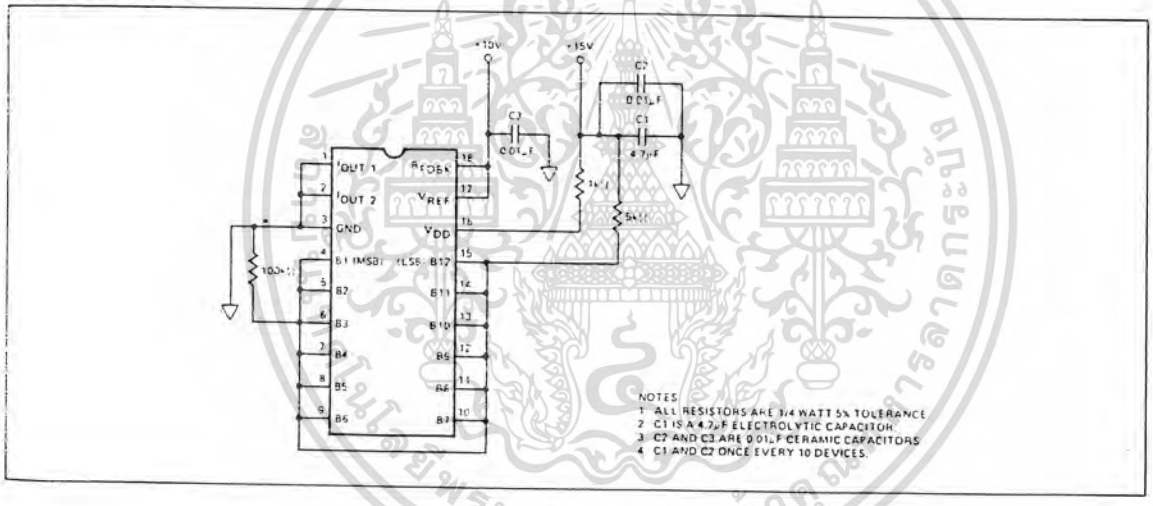
ELECTRICAL CHARACTERISTICS at V_{DD} = +15V, V_{REF} = +10V, GND = 0V, $V_{OUT\,1}$ = $V_{OUT\,2}$ = 0V; and T_A = −55°C to +125°C for apply PM-7541AX/BX; T_A = −40°C to +85°C apply for PM-7541EX/FX/FP, and T_A = 0°C to +70°C apply for PM-7541GP, unless otherwise noted. *Continued*

PARAMETER	SYMBOL	CONDITIONS	PM-7541A/E/G			PM-7541B/F •			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
ANALOG OUTPUTS									
Output Capacitance (Note 7)	$C_{OUT\,1}$	Digital Inputs = V_{IH}	—	85	200	—	85	200	pF
	$C_{OUT\,2}$		—	30	60	—	30	60	
Output Capacitance (Note 7)	$C_{OUT\,1}$	Digital Inputs = V_{IL}	—	30	60	—	30	60	pF
	$C_{OUT\,2}$		—	85	200	—	85	200	
POWER SUPPLY									
V_{DD} Range	V_{DD}	Accuracy is not guaranteed over this range	+5	—	+16	+5	—	+16	V
Supply Current	I_{DD}	Digital Inputs = V_{IH} or V_{IL}	—	—	2	—	—	2	mA

NOTES:

1. A/E/G versions are monotonic to 12-bits
2. B/F/H versions are monotonic to 11-bits
3. Using internal feedback resistor
4. Maximum gain change from −25°C to T_{MAX} or T_{MIN} is ±4.2 LSB maximum.
5. Digital Inputs = V_{IL}
6. Specification also applies for $I_{OUT\,2}$ with all digital inputs = V_{IH}
7. Guaranteed and not tested
8. Absolute temperature coefficient is approximately +300 ppm/°C

BURN-IN CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ABSOLUTE MAXIMUM RATINGS

(T_A = +25°C, unless otherwise noted)

V_{DD} (to GND) ..... ±17V
V_{REF} (to GND) ..... ±25V
V_{RFB} (to GND) ..... ±25V
Digital Input Voltage Range ..... V_{DD} to GND
Output Voltage (Pin 1, Pin 2) ..... –0.3V to V_{DD}
Operating Temperature Range
AX/BX Versions ..... –55°C to +125°C
EX/FX/FP Versions ..... –25°C to +85°C
GP Version ..... 0°C to +70°C
Junction Temperature ..... +150°C
Storage Temperature ..... –65°C to +150°C
Lead Temperature (Soldering, 60 sec) ..... 300°C

PACKAGE TYPE	θ_{JA} (Note 1)	θ_{JC}	UNITS
18-Pin Hermetic DIP (X)	79	11	°C/W
18-Pin Plastic DIP (P)	70	30	°C/W

NOTES:
1. θ_{JA} is specified for worst case mounting conditions, i.e., θ_{JA} is specified for device in socket for CerDIP and P-DIP packages.
2. Do not apply voltages higher than V_{DD} or less than GND potential on any terminal except V_{REF} (Pin 17) and R_{FB} (Pin 18).
3. The digital control inputs are zener protected; however, permanent damage may occur on unprotected units from high energy electrostatic fields. Keep units in conductive foam at all times until ready to use.
4. Use proper anti-static handling procedures.
5. Absolute Maximum Ratings apply to both packaged devices and DICE. Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device.

ELECTRICAL CHARACTERISTICS at V_{DD} = +15V, V_{REF} = +10V, GND = 0V, $V_{OUT\,1}$ = $V_{OUT\,2}$ = 0V; and T_A = –55°C to +125°C apply for PM-7541AX/BX; T_A = –40°C to +85°C apply for PM-7541EX/FX/FP, and T_A = 0°C to +70°C apply for PM-7541GP, unless otherwise noted.

			PM-7541A/E/G			PM-7541B/F			
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	MIN	TYP	MAX	UNITS
STATIC ACCURACY									
Resolution	N		12	—	—	12	—	—	Bits
Nonlinearity (Notes 1, 2)	INL		—	—	±1/2	—	—	±1	LSB
Gain Error (Notes 3, 4)	G_{FSE}	T_A = +25°C T_A = Full Temp. Range	— —	— —	±12.5 ±16.7	— —	— —	±12.5 ±16.7	LSB
Power Supply Rejection $\Delta Gain/\Delta V_{DD}$	PSRR	V_{DD} = +14.5V to +15.5V T_A = +25°C T_A = Full Temp. Range	— —	— —	±0.01 ±0.02	— —	— —	±0.01 ±0.02	% / %
Output Leakage Current ($I_{OUT\,1}$) (Notes 5, 6)	I_{LKG}	T_A = +25°C T_A = Full Temp. Range	— —	— —	±50 ±200	— —	— —	±50 ±200	nA
DYNAMIC PERFORMANCE									
Output Current Settling Time (Note 7)	t_S	To ±1/2 LSB of FSR	—	—	1.0	—	—	1.0	µs
Feedthrough Error (Note 7)	FT	V_{REF} = 20V_{p-p} @ f = 10kHz All digital inputs low	—	—	2.0	—	—	2.0	mV_{p-p}
REFERENCE INPUT									
Input Resistance (Note 8)	R_{REF}		5	—	20	5	—	20	kΩ
DIGITAL INPUTS									
Digital Input High	V_{IH}		2.4	—	—	2.4	—	—	V
Digital Input Low	V_{IL}		—	—	0.8	—	—	0.8	V
Input Leakage Current	I_{IL}	V_{IN} = 0 to 15V	—	—	±1	—	—	±1	µA
Input Capacitance (Note 7)	C_{IN}		—	—	8	—	—	8	pF
Input Coding		(Tables 1, 2)		Binary or Offset			Binary or Offset		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

FEATURES

- 7541 with Improved Accuracy and Ruggedness
- ±1/2 LSB Max Nonlinearity Over Full Temp. Range (12-Bit Linearity)
- ±1 LSB Max Gain Error – No User Adjustment Required
- Less Than 0.03 LSB Max Zero Scale Error (5nA)
- Low Gain Tempco ..... 5ppm/°C Max
- All Data Input Pins Designed with ESD Protective Circuitry
- Full Four-Quadrant Multiplication
- Low Power Consumption
- Low Feedthrough Error and Digital Charge Injection
- Superior Power Supply Rejection
  From +5V to +15V ..... .001%% Max
- Direct Replacement for AD7541 and AD7541A
- Both DIP Packages Suitable for Auto-Insertion, Surface Mount Packaging Available
- Available in Die Form

APPLICATIONS

- Digital/Synchro Conversion
- Programmable Amplifiers
- Ratiometric A/D Conversion
- Function Generators
- Digitally-Controlled Attenuators
- Digitally-Controlled Power Supplies
- Digitally-Controlled Filters

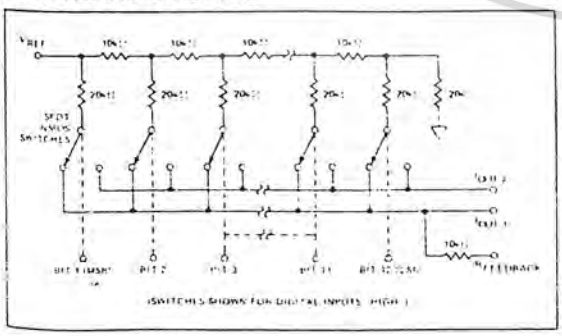
GENERAL DESCRIPTION

PMI's PM-7541A is a 12-bit resolution, current output, 4-quadrant multiplying digital-to-analog converter. Manufactured with advanced oxide-isolated, silicon-gate, monolithic CMOS technology, the PM-7541A features circuitry designed to protect data inputs against damage from electrostatic discharges.

Laser-trimmed thin-film resistors provide true 12-bit linearity with excellent absolute accuracy. The PM-7541A's low power dissipation, along with NMOS temperature compensating switches, insures high performance across the full temperature range.

The PM-7541A is a superior pin-compatible replacement for the industry standard 7541 and the AD7541A. Available in standard plastic and CerDIP packages, the PM-7541A is compatible with automatic insertion equipment. The improved performance of the PM-7541A permits upgrading existing designs with greater ruggedness and accuracy. Tighter linearity and gain error specifications may permit reduced system parts count by eliminating trimming circuitry.

FUNCTIONAL DIAGRAM



ORDERING INFORMATION [1]

GAIN ERROR	NON-LINEARITY	PACKAGE: MILITARY* TEMPERATURE −55°C to +125°C	PACKAGE: EXTENDED INDUSTRIAL TEMPERATURE −40°C to +85°C	PACKAGE: COMMERCIAL TEMPERATURE 0°C to +70°C
±1 LSB	±1/2 LSB	PM7541AAX	PM7541AEX	PM7541AGP
±2 LSB	±1/2 LSB	PM7541ABX	PM7541AFX	–
±2 LSB	±1/2 LSB	PM7541ABRC/883	PM7541AFP	–
±2 LSB	±1/2 LSB	–	PM7541AFPC	–
±2 LSB	±1/2 LSB	–	PM7541AFS	–

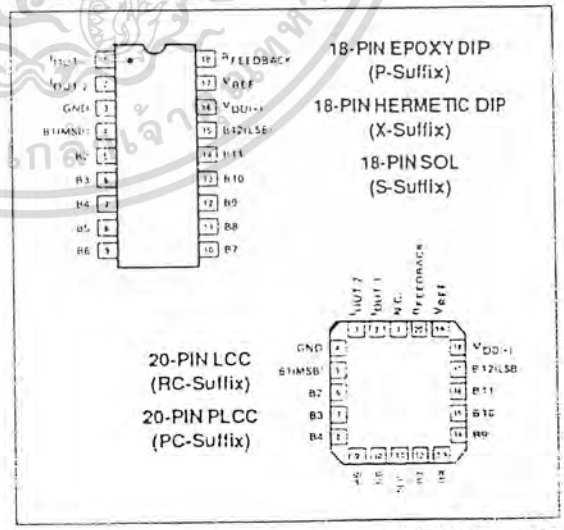
* For devices processed in total compliance to MIL-STD-883, add /883 after part number. Consult factory for 883 data sheet.

1. Burn-in is available on commercial and industrial temperature range parts in CerDIP, plastic DIP, and TO-can packages. For ordering information, see PMI's Data Book, Section 2.

CROSS REFERENCE

PMI	ADI	TEMPERATURE RANGE
PM7541AAX	AD7541ATD	MIL
PM7541ABX	AD7541ASD	
PM7541AEX	AD7541ABO	IND
PM7541AFX	AD7541AAO	
PM7541GP	AD7541AKN	COM
PM7541FPC	AD7541AKP	
PM7541AFP	AD7541AJN	

PIN CONNECTIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ABSOLUTE MAXIMUM RATINGS

(T_A = +25°C, unless otherwise noted)

V_{DD} (to GND) ..... ±17V
V_{REF} (to GND) ..... ±25V
V_{RFB} (to GND) ..... ±25V
Digital Input Voltage Range ..... V_{DD} to GND
Operating Temperature Range
AX/BX/ARC/BRC Versions ..... −55°C to +125°C
EX/FX/FP/FPC/FS Versions ..... −40°C to +85°C
GP Version ..... 0°C to +70°C
Junction Temperature ..... +150°C
Storage Temperature ..... −65°C to +150°C
Lead Temperature (Soldering, 60 sec) ..... 300°C

PACKAGE TYPE	θ_{JA} (Note 1)	θ_{JC}	UNITS
18-Pin Hermetic DIP (X)	79	11	°C/W
18-Pin Plastic DIP (P)	70	30	°C/W
20-Contact LCC (RC)	88	33	°C/W
18-Pin SOL (S)	88	25	°C/W
20-Contact PLCC (PC)	73	33	°C/W

NOTE:

1. θ_{JA} is specified for worst case mounting conditions, i.e., θ_{JA} is specified for device in socket for CerDIP, P-DIP, and LCC packages; θ_{JA} is specified for device soldered to printed circuit board for SOL and PLCC packages.

CAUTION:

1. Do not apply voltages higher than V_{DD} or less than GND potential on any terminal except V_{REF} (Pin 17) and R_{FB} (Pin 16).
2. The digital control inputs are zener protected; however, permanent damage may occur on unprotected units from high-energy electrostatic fields. Keep units in conductive foam at all times until ready to use.
3. Use proper antistatic handling procedures.
4. Absolute Maximum Ratings apply to both packaged devices and DICE. Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device.

ELECTRICAL CHARACTERISTICS

at V_{DD} = +15V, V_{REF} = +10V, $V_{OUT\,1}$ = $V_{OUT\,2}$ = 0V; T_A = −55°C to +125°C apply for PM-7541AAX/BX/ARC/BRC; T_A = −40°C to +85°C apply for PM-7541AEX/FX/FP/FPC/FS; and T_A = 0°C to +70°C apply for PM-7541AGP, unless otherwise noted.

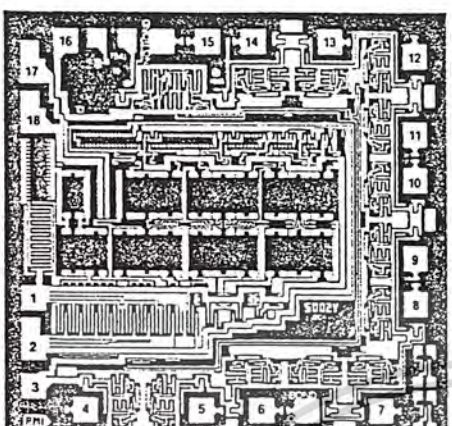
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC ACCURACY						
Resolution	N		12	—	—	LSB
Nonlinearity (Note 1)	INL		—	—	±1/2	LSB
Differential Nonlinearity (Note 2)	DNL	PM-7541AA/E/G	—	—	±1/2	LSB
		PM-7541AB/F	—	—	±1	
Gain Error (Note 3)	G_{FSE}	T_A = +25°C PM-7541AA/E/G	—	—	1	LSB
		PM-7541AB/F	—	—	2	
		T_A = Full Temp. Range PM-7541AA/E/G	—	—	2	
		PM-7541AB/F	—	—	3	
Gain Tempco (ΔGain/ΔTemp.) (Note 6)	TC_{GFS}		—	±2	±5	ppm/°C
Power Supply Rejection Ratio (ΔGain/ΔV_{DD})	PSRR	ΔV_{DD} = ±5% T_A = +25°C	—	—	±0.001	%/%
		T_A = Full Temp. Range	—	—	±0.002	
Output Leakage Current (Notes 4, 5)	I_{LKG}	T_A = +25°C PM-7541AA/B/E/F/G	—	—	5	nA
		T_A = Full Temp. Range PM-7541AA/B	—	—	100	
		PM-7541AE/F/G	—	—	10	
Zero Scale Error (Notes 12, 13)	I_{ZSE}	T_A = +25°C PM-7541AA/B/E/G	—	0.002	—	LSB
		T_A = Full Temp. Range PM-7541AA/B	—	0.05	—	
		PM-7541AE/F/G	—	0.01	—	
REFERENCE INPUTS						
Input Resistance (Note 9)	R_{REF}		7	11	15	kΩ

ELECTRICAL CHARACTERISTICS at V_{DD} = +15V, V_{REF} = +10V, $V_{OUT\,1}$ = $V_{OUT\,2}$ = 0V; T_A = −55°C to +125°C apply for PM-7541AAX/BX/ARC/BRC; T_A = −40°C to +85°C apply for PM-7541AEX/FX/FP/FPC/FS; and T_A = 0°C to +70°C apply for PM-7541AGP, unless otherwise noted. *Continued*

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
V_{DD} Range	V_{DD}	Accuracy is not guaranteed over this range	+5	15	+17	V
Supply Current	I_{DD}	Digital Inputs = V_{IH} or V_{IL}	—	—	2	mA
		Digital Inputs = 0V or V_{DD} T_A = +25°C	—	—	100	µA
		T_A = Full Temp. Range	—	—	100	
DIGITAL INPUTS						
Digital Input High	V_{IH}		2.4	—	—	V
Digital Input Low	V_{IL}		—	—	0.8	V
Input Leakage Current (Note 10)	I_{IL}	V_{IN} = 0 to +15V	—	—	±1	µA
Input Capacitance (Note 6)	C_{IN}	V_{IN} = 0V	—	—	8	pF
DYNAMIC PERFORMANCE						
Propagation Delay (Notes 6, 7)	t_{PD}	From Digital Input Change to 90% of Final Analog Output T_A = +25°C	—	100	150	ns
Output Current Settling Time (Notes 6, 7, 8)	t_S	To ±1/2 LSB (±0.01% of Full Scale Range) T_A = +25°C	—	0.6	1	µs
Feedthrough Error (V_{REF} to I_{OUT}) (Note 6)	FT	V_{REF} = 20V_{p-p} @ f = 10kHz All Digital Inputs Low T_A = +25°C	—	2	5	mV_{p-p}
Digital to Analog Glitch Energy (Notes 6, 11)	Q	T_A = +25°C	—	700	1000	nVs
ANALOG OUTPUTS						
Output Capacitance (Note 6)	$C_{OUT\,1}$	Digital Inputs = V_{IH}	—	85	120	pF
	$C_{OUT\,2}$		—	30	50	
	$C_{OUT\,1}$	Digital Inputs = V_{IL}	—	30	50	
	$C_{OUT\,2}$		—	85	120	

NOTES:
1. ±1/2 LSB = ±0.012% of Full Scale.
2. All grades are monotonic to 12-bits over temperature.
3. Using internal feedback resistor.
4. Applies to $I_{OUT\,1}$; digital inputs = V_{IL}.
5. Specification also applies for $I_{OUT\,2}$ with all digital inputs = V_{IH}.
6. Guaranteed by design and not tested.
7. I_{OUT} Load = 100Ω, C_{EXT} = 13pF, digital inputs = 0V to V_{DD} or V_{DD} to 0V.
8. Extrapolated to 1/2 LSB. t_s = Propagation Delay (t_{PD}) + 9τ, where τ = measured first time constant of the final RC decay.
9. Absolute temperature coefficient is approximately −50 ppm/°C.
10. Digital inputs are CMOS gates. I_{IN} is typically 1nA at +25°C.
11. V_{REF} = 0V, all digital inputs = 0V to V_{DD} or V_{DD} to 0V.
12. V_{REF} = +10V, all digital inputs = 0V.
13. Calculated from: I_{ZSE} (in LSBs) = $\frac{R_{REF}(4095)I_{LKG}}{V_{REF}}$

DICE CHARACTERISTICS



DIE SIZE 0.102 × 0.100 inch, 10,200 sq. mils
(2.59 × 2.54 mm, 6.58 sq. mm)

1. CURRENT OUTPUT 1
2. CURRENT OUTPUT 2
3. GROUND
4. DIGITAL INPUT (BIT 1) (MOST SIGNIFICANT BIT)
5. DIGITAL INPUT (BIT 2)
6. DIGITAL INPUT (BIT 3)
7. DIGITAL INPUT (BIT 4)
8. DIGITAL INPUT (BIT 5)
9. DIGITAL INPUT (BIT 6)
10. DIGITAL INPUT (BIT 7)
11. DIGITAL INPUT (BIT 8)
12. DIGITAL INPUT (BIT 9)
13. DIGITAL INPUT (BIT 10)
14. DIGITAL INPUT (BIT 11)
15. DIGITAL INPUT (BIT 12) (LEAST SIGNIFICANT BIT)
16. POSITIVE POWER SUPPLY
17. REFERENCE INPUT VOLTAGE
18. INTERNAL FEEDBACK RESISTOR

For additional DICE ordering information, refer to PMI's Data Book, Section 2.

WAFER TEST LIMITS at V_{DD} = +15V, V_{REF} = +10V, AGND = DGND = 0V, $V_{OUT\,1}$ = $V_{OUT\,2}$ = 0V, T_A = +25°C.

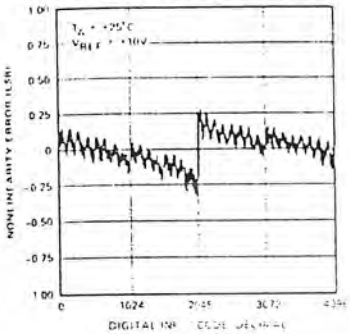
PARAMETER	SYMBOL	CONDITIONS	PM-7541AG LIMIT	UNITS
STATIC ACCURACY				
Resolution	N		12	Bits MIN
Nonlinearity	INL		±1/2	LSB MAX
Differential Nonlinearity	DNL		±1	LSB MAX
Gain Error (Note 1)	G_{FSE}		±1	LSB MAX
Power Supply Rejection	PSRR	$\pm V_{DD}$ = ±5%	±0.001	%/% MAX
Output Leakage Current ($I_{OUT\,1}$) (Note 2)	I_{LKG}	Digital Inputs = V_{IL}	±5	nA MAX
REFERENCE INPUT				
Input Resistance	R_{REF}		7/15	kΩ MIN/MAX
DIGITAL INPUTS				
Digital Input High	V_{IH}		2.4	V MIN
Digital Input Low	V_{IL}		0.8	V MAX
Input Leakage Current	I_{IL}	V_{IN} = 0 to 15V	±1	µA MAX
POWER SUPPLY				
Supply Current	I_{DD}	Digital Inputs = V_{IH} or V_{IL}	2	mA MAX
		Digital Inputs = 0V or V_{DD}	100	µA MAX

NOTES:
1. Using internal feedback resistor
2. Specification also applies for $I_{OUT\,2}$ but all Digital Inputs = V_{IH}

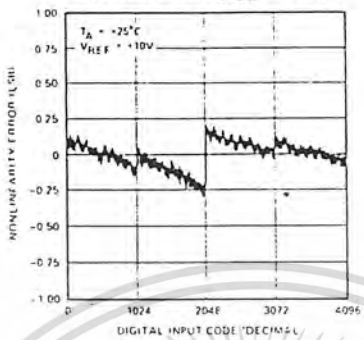
Electrical tests are performed at wafer probe to the limits shown. Due to variations in assembly methods and normal yield loss, yield after packaging is not guaranteed for standard product dice. Consult factory to negotiate specifications based on dice lot qualification through sample lot assembly and testing.

TYPICAL PERFORMANCE CHARACTERISTICS

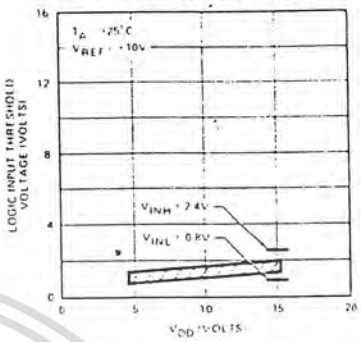
NONLINEARITY ERROR vs DIGITAL CODE (V_{DD} = +5V)



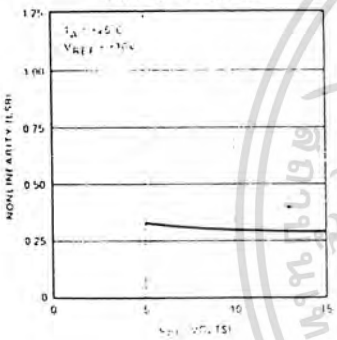
NONLINEARITY ERROR vs DIGITAL CODE (V_{DD} = +15V)



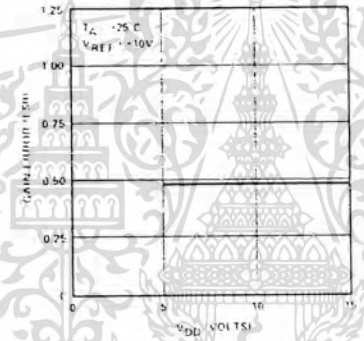
LOGIC INPUT THRESHOLD VOLTAGE vs SUPPLY VOLTAGE (V_{DD})



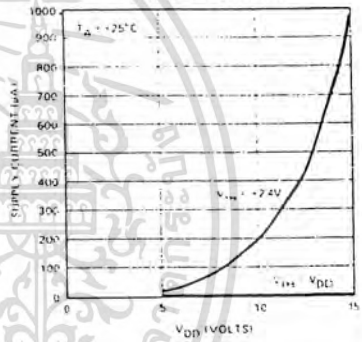
NONLINEARITY vs SUPPLY VOLTAGE



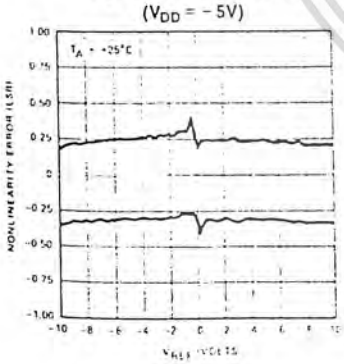
GAIN ERROR vs SUPPLY VOLTAGE



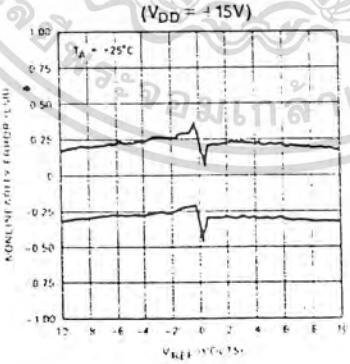
SUPPLY CURRENT vs SUPPLY VOLTAGE



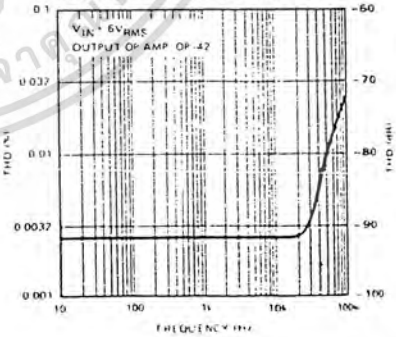
NONLINEARITY ERROR vs REFERENCE VOLTAGE (V_{DD} = −5V)



NONLINEARITY ERROR vs REFERENCE VOLTAGE (V_{DD} = +15V)



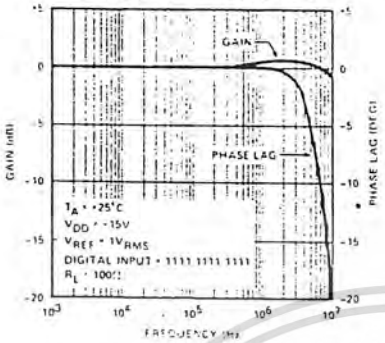
MULTIPLYING MODE TOTAL HARMONIC DISTORTION vs FREQUENCY



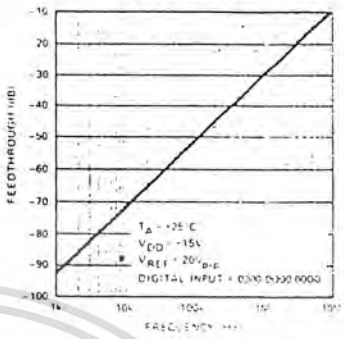
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TYPICAL PERFORMANCE CHARACTERISTICS

V_{REF} PHASE LAG AND FREQUENCY RESPONSE



FEEDTHROUGH vs FREQUENCY



SPECIFICATION DEFINITIONS

RESOLUTION

The resolution of a DAC is the number of states (2^n) that the full-scale range (FSR) is divided (or resolved) into, where "n" is equal to the number of bits.

SETTLING TIME

Time required for the analog output of the DAC to settle to within 1/2 LSB of its final value for a given digital input stimulus, i.e., zero to full scale.

GAIN

Ratio of the DAC's external operational amplifier output voltage to the V_{REF} input voltage when all digital inputs are HIGH.

FEEDTHROUGH ERROR

Error caused by capacitive coupling from V_{REF} to output with all switches OFF.

OUTPUT CAPACITANCE

Capacitance from $I_{OUT\ 1}$ or $I_{OUT\ 2}$ terminals to ground.

OUTPUT LEAKAGE CURRENT

Current which appears on $I_{OUT\ 1}$ terminal with all digital inputs LOW, or on $I_{OUT\ 2}$ terminal when all inputs are HIGH.

CIRCUIT DESCRIPTION

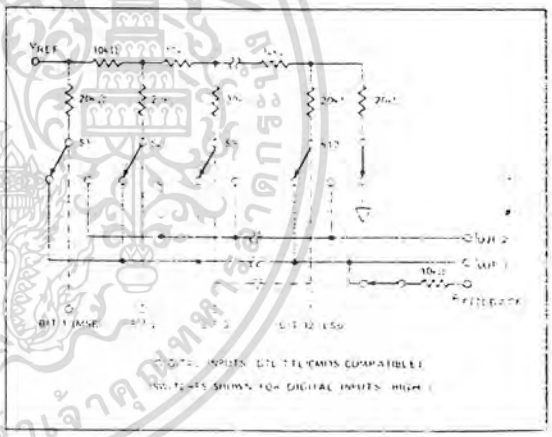
GENERAL CIRCUIT INFORMATION

The PM-7541A is a 12-bit multiplying D/A converter consisting of a highly-stable, silicon-chrome, thin film, R-2R resistor ladder network and twelve pairs of NMOS current steering switches on a monolithic chip. Most applications require the addition of a voltage or current reference and an output operational amplifier.

A simplified circuit of the PM-7541A is shown in Figure 1. The R-2R inverted ladder binarily divides the input currents that are switched between $I_{OUT\ 1}$ and $I_{OUT\ 2}$ bus lines. This switching allows a constant current to be maintained in each ladder leg independent of the input code.

The design includes a matching switch in series with the feedback (R_{FB}) and terminating resistors. These switches (Figure 1) provide improved gain and linearity performance over the operating temperature range.

FIGURE 1: Simplified DAC Circuit

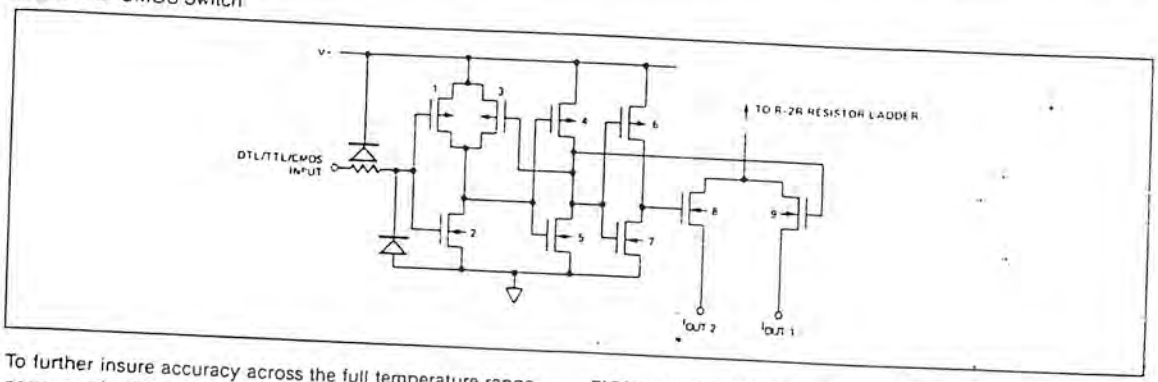


One of the twelve CMOS switches is shown in Figure 2. The digital input stage, devices 1, 2, and 3, drives the two inverters, devices 4, 5, 6, and 7, these inverters in turn drive the two output current steering switches, devices 8 and 9. Devices 1, 2, and 3 are designed such that the digital control inputs are DTL, TTL, and CMOS compatible over the full military temperature range.

The twelve output current-steering switches are in series with the R-2R resistor ladder, and therefore, can introduce bit errors. It is essential then, that the switch "ON" resistance be binarily scaled so that the voltage drop across each switch remains constant. If, for example, switch 1 of Figure 1 was designed with an "ON" resistance of 10 ohms, switch 2 for 20 ohms, etc., then with a 10 volt reference input, the current through switch 1 is 0.5mA, switch 2 is 0.25mA, etc., a constant 5mV drop will then be maintained across each switch.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

FIGURE 2: CMOS Switch



To further insure accuracy across the full temperature range, permanently "ON" MOS switches are included in series with the feedback resistor and the R-2R ladder's terminating resistor. These series switches are equivalently scaled to two times switch 1 (MSB) and to switch 12 (LSB) respectively to maintain constant relative voltage drops with varying temperature. During any testing of the resistor ladder or $R_{FEEDBACK}$ (such as incoming inspection), V_{DD} must be present to turn "ON" these series switches.

ESD PROTECTION

In the design of the PM-7541A's data inputs, ESD resistance has been incorporated through careful layout and the inclusion of input protection circuitry.

Figure 2 shows the input protection diodes. High voltage static charges applied to the digital inputs are shunted to the supply and ground rails through forward biased diodes. These protection diodes clamp the inputs well below dangerous levels during static discharge conditions.

EQUIVALENT CIRCUIT ANALYSIS

Figures 3 and 4 show the equivalent circuits for all digital inputs LOW and HIGH respectively. The reference current is switched to $I_{OUT\,2}$ when all inputs are LOW and $I_{OUT\,1}$ when inputs are HIGH. The $I_{LEAKAGE}$ current source is the combination of surface and junction leakages to the substrate; the 1/4096 current source represents the constant 1-bit current drain through the ladder terminating resistor. The output capacitance is dependent upon the digital input code, and is therefore varied between the low and high values.

FIGURE 3: PM-7541A Equivalent Circuit (All Inputs LOW)

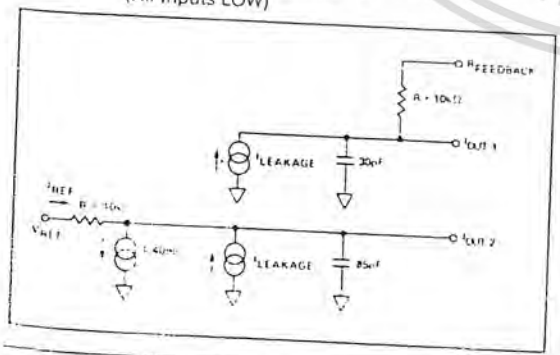
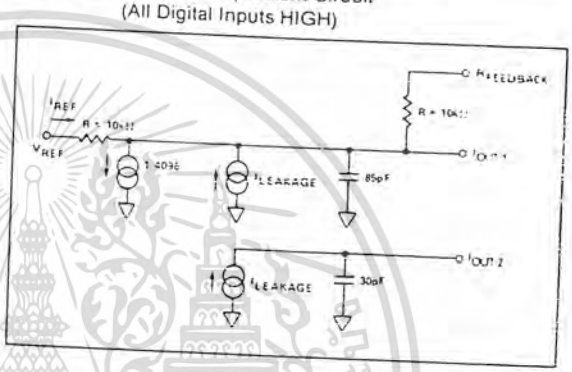


FIGURE 4: PM-7541A Equivalent Circuit (All Digital Inputs HIGH)



DYNAMIC PERFORMANCE

OUTPUT IMPEDANCE

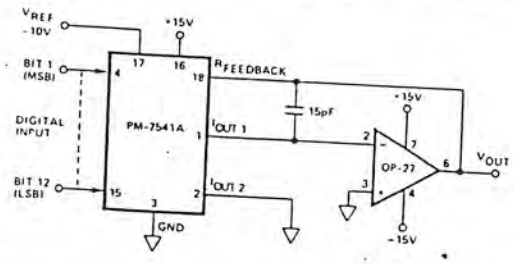
The output resistance, as in the case of the output capacitance, varies with the digital input code. This resistance, looking back into the $I_{OUT\,1}$ terminal, may be between 10kΩ (the feedback resistor alone when all digital inputs are low) and 7.5kΩ (the feedback resistor in parallel with approximately 30kΩ of the R-2R ladder network resistance when any single bit logic is high). Static accuracy and dynamic performance will be affected by these variations. The gain and phase stability of the output amplifier, board layout, and power supply decoupling will all affect the dynamic performance of the PM-7541A. The use of a compensation capacitor may be required when high-speed operational amplifiers are used. It may be connected across the amplifiers feedback resistor to provide the necessary phase compensation to critically damp the output.

The considerations when using high-speed amplifiers are:

1. Phase compensation (See Figures 5 and 6).
2. Power supply decoupling at the device socket and use of proper grounding techniques.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

FIGURE 5: Unipolar Binary Operation with High Accuracy Op Amp (2-Quadrant)



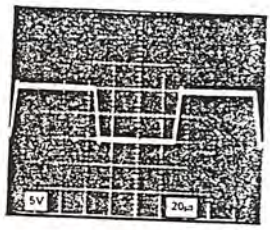
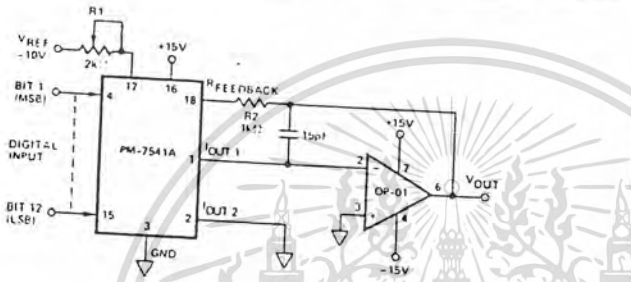
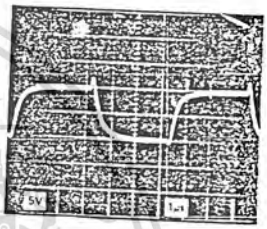
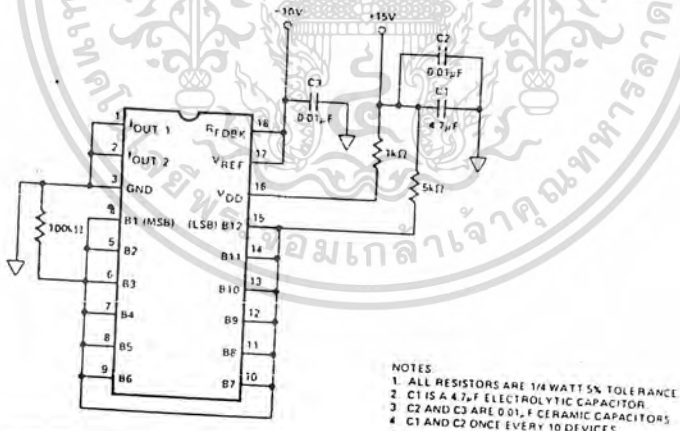


FIGURE 6: Unipolar Binary Operation with Fast Output Op Amp (2-Quadrant)





BURN-IN CIRCUIT



NOTES
1. ALL RESISTORS ARE 1/4 WATT 5% TOLERANCE
2. C1 IS A 4.7µF ELECTROLYTIC CAPACITOR
3. C2 AND C3 ARE 0.01µF CERAMIC CAPACITORS
4. C1 AND C2 ONCE EVERY 10 DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

APPLICATIONS INFORMATION

APPLICATION TIPS

Linearity depends upon the potential of $I_{OUT\,1}$ and $I_{OUT\,2}$ (pins 1 and 2) being exactly equal to GND (pin 3). In most applications, the DAC is connected to an external op amp with its noninverting input tied to ground, see Figures 5 and 6. The amplifier selected should have a low input bias current and low drift over temperature. The amplifier's input offset voltage should be nulled to less than ±200μV (less than 10% of 1 LSB).

The operational amplifier's noninverting input should have a minimum resistance connection to ground; the usual bias current compensation resistor should not be used. This resistor can cause a variable offset voltage appearing as a varying output error. All grounded pins should tie to a common ground point, avoiding ground loops. The V_{DD} power supply should have a low noise level with no transients greater than +17V.

Unused digital inputs must always be grounded or taken to V_{DD}; this will prevent noise from triggering the high impedance digital input resulting in output errors. It is also recommended that the used digital inputs be taken to ground or V_{DD} via a high value (1MΩ) resistor; this will prevent the accumulation of static charge if the PC card is disconnected from the system.

Peak supply current flows as the digital inputs pass through the transition voltage. The supply current decreases as the input voltage approaches the supply rails (V_{DD} or DGND), i.e., rapidly slewing logic signals that settle very near the supply rails will minimize supply current.

OUTPUT AMPLIFIER CONSIDERATIONS

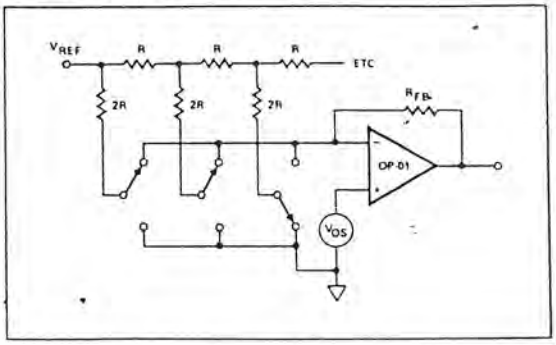
For low speed or static applications, AC specifications of the amplifier are not very critical. In high-speed applications, slew rate, settling time, open-loop gain, and gain/phase margin specifications of the amplifier should be selected for the desired performance. It has already been noted that an offset can be caused by including the usual bias current compensation resistor in the amplifier's noninverting input-terminal. This resistor should not be used. Instead, the amplifier should have a bias current which is low over the temperature range of interest.

The static accuracy is affected by the variation in the DAC's output resistance. This variation is best illustrated by using the circuit of Figure 7 and the equation:

$$\text{Error Voltage} = V_{OS}\left(1 + \frac{R_{FB}}{R_O}\right)$$

where R_O is a function of the digital code, and:
$R_O \approx 10k\Omega$ for more than 4-bits of logic 1
$R_O \approx 30k\Omega$ for any single bit logic 1

FIGURE 7: Simplified Circuit



Therefore, the offset gain varies as follows:

$$\text{At code 0011 1111 1111: } V_{ERROR\,1} = V_{OS}\left(1 + \frac{10k\Omega}{10k\Omega}\right) = 2\,V_{OS}$$

$$\text{At code 0100 0000 0000: } V_{ERROR\,2} = V_{OS}\left(1 + \frac{10k\Omega}{30k\Omega}\right) = \frac{4}{3}\,V_{OS}$$

The error difference is 2/3 V_{OS}.

Since one LSB has a weight (for V_{REF} = +10V) of 2.5mV for the PM-7541A DAC, it is clearly important that V_{OS} be minimized, either using the amplifier's nulling pins, an external nulling network, or by selection of an amplifier with inherently low V_{OS}. Amplifiers with sufficiently low V_{OS} include PMI's OP-77, OP-07, and OP-27.

APPLICATIONS

Figures 5, 6, and 8 show simple unipolar and bipolar circuits with their associated waveforms using the PM-7541A and two types of PMI output amplifiers. A small feedback capacitor should be used across the amplifier to help prevent overshoot and ringing when using high-speed op amps. Resistor R1 is used to trim for full scale. Low tempco (approximately 50ppm/°C) resistors or trimpots should be selected when gain adjustments are required.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

UNIPOLAR BINARY OPERATION (2-QUADRANT)

The circuits of Figures 5 and 6 can either be used as a fixed reference D/A converter, or as an attenuator with an AC input voltage. In the fixed reference mode, the DAC provides an analog output voltage in the range of zero to plus or minus V_{REF}, depending on V_{REF} polarity. The reference input voltage can range between −20V to +20V; this is due to the ability of V_{REF} being able to exceed V_{DD}, the limiting factor being the op amp's voltage range. Table 1 shows the code relationship for the circuit of Figures 5 and 6. R1 can be omitted with a resulting maximum gain error of 0.02% of full scale.

TABLE 1: Unipolar Binary Code Table

DIGITAL INPUT MSB LSB	NOMINAL ANALOG OUTPUT (V_{OUT} as shown in Figures 5 and 6)
1111 1111 1111	$-V_{REF}\left(\frac{4095}{4096}\right)$
1000 0000 0001	$-V_{REF}\left(\frac{2049}{4096}\right)$
1000 0000 0000	$-V_{REF}\left(\frac{2048}{4096}\right) = -\frac{V_{REF}}{2}$
0111 1111 1111	$-V_{REF}\left(\frac{2047}{4096}\right)$
0000 0000 0001	$-V_{REF}\left(\frac{1}{4096}\right)$
0000 0000 0000	$-V_{REF}\left(\frac{0}{4096}\right) = 0$

NOTES:
1. Nominal full scale for the circuits of Figures 5 and 6 is given by
   $FS = -V_{REF}\left(\frac{4095}{4096}\right)$.
2. Nominal LSB magnitude for the circuits of Figures 5 and 6 is given by
   $LSB = V_{REF}\left(\frac{1}{4095}\right)$ or $V_{REF}(2^{-n})$

BIPOLAR BINARY OPERATION (4-QUADRANT)

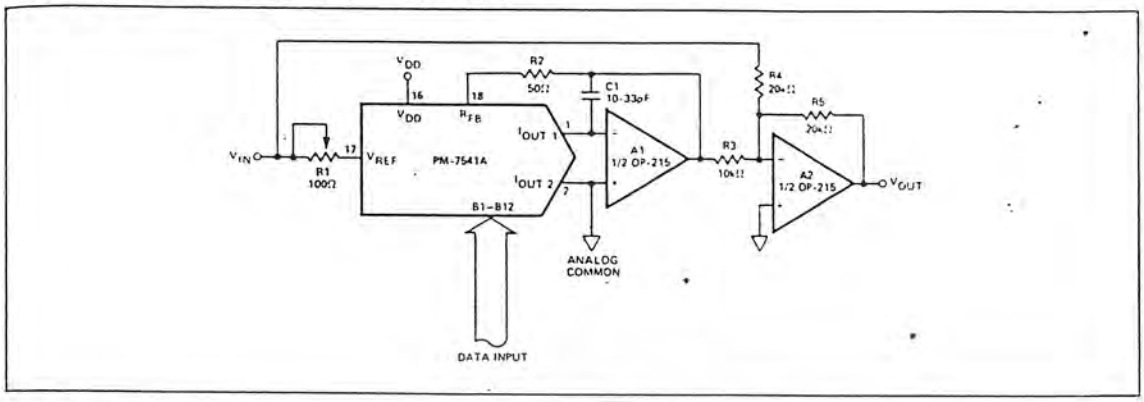
Figure 8 shows a simple bipolar output circuit using the PM-7541A and a PMI OP-215 dual op amp. The circuit uses offset binary coding and a fixed DC voltage for V_{REF}. Digitally-controlled attenuation of an AC signal occurs when the signal is used as the signal source at V_{REF}. Negative output full-scale is adjusted by setting the digital inputs to all zeros and adjusting the value of the V_{IN} voltage or R5. The zero-scale output voltage is adjusted while the digital inputs are set to 1000 0000 0000 by adjusting R1 for a zero output voltage (less than 10% of 1 LSB). Resistors R3, R4, and R5 must be selected for matching and tracking in order to keep offset and full scale errors to a minimum. Resistors R1 and R2 temperature coefficients must be taken into account if they are used. C1 phase compensation capacitor may not be needed and should be selected empirically. The digital input code versus analog output voltage is shown in Table 2.

TABLE 2: Bipolar (Offset Binary) Code Table

DIGITAL INPUT MSB LSB	NOMINAL ANALOG OUTPUT (V_{OUT} as shown in Figure 8)
1111 1111 1111	$+V_{REF}\left(\frac{2047}{2048}\right)$
1000 0000 0001	$+V_{REF}\left(\frac{1}{2048}\right)$
1000 0000 0000	0
1111 1111 1111	$-V_{REF}\left(\frac{1}{2048}\right)$
0000 0000 0001	$-V_{REF}\left(\frac{2047}{2048}\right)$
0000 0000 0000	$-V_{REF}\left(\frac{2048}{2048}\right)$

NOTES:
1. Nominal full scale for the circuit of Figure 8 is given by
   $FS = V_{REF}\left(\frac{2047}{2048}\right)$.
2. Nominal LSB magnitude for the circuit of Figure 8 is given by
   $LSB = V_{REF}\left(\frac{1}{2048}\right)$

FIGURE 8: Bipolar Operation (4-Quadrant Multiplication)



ANALOG/DIGITAL DIVISION

The transfer function for the PM-7541A connected in the multiplying mode as shown in Figures 5 and 6 is:

$$V_O = -V_{IN}\left(\frac{A_1}{2^1}+\frac{A_2}{2^2}+\frac{A_3}{2^3}+\ldots\ldots\frac{A_{12}}{2^{12}}\right)$$

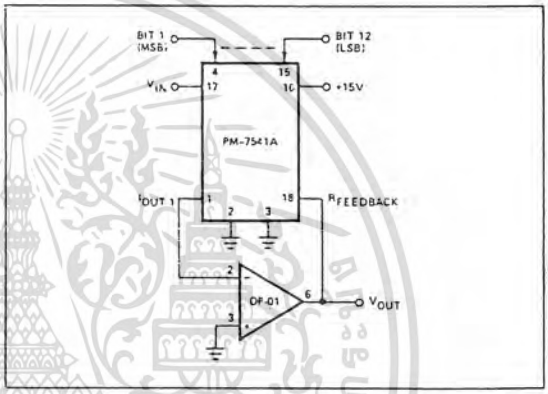
where A_x assume a value of 1 for an "ON" bit and 0 for an "OFF" bit.

The transfer function is modified when the DAC is connected in the feedback of an operational amplifier as shown in Figure 9, it now is:

$$V_O = \left(\frac{-V_{IN}}{\frac{A_1}{2^1}+\frac{A_2}{2^2}+\frac{A_3}{2^3}+\ldots\ldots\frac{A_{12}}{2^{12}}}\right)$$

The above transfer function is the division of an analog voltage (V_{REF}) by a digital word. The amplifier goes to the rails with all bits "OFF" since division by zero is infinity. With all bits "ON", the gain is 1 (±1 LSB). The gain becomes 4096 with the LSB, bit 12, "ON".

FIGURE 9: Analog/Digital Divider



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

กิตติกรรมประกาศ

คณะผู้จัดทำขอขอบพระคุณ ศ.ดร.วัลลภ สุระกำพลธร ที่กรุณาเป็นอาจารย์ที่ปรึกษาและให้คำปรึกษา แนะนำ ตลอดจนวิธีแก้ปัญหาต่างๆ และ ขอขอบพระคุณ ดร.วันชัย ริ้วรุจา อ.ปรเมษฐ์ ประนยานันทน์ ซึ่งคอยควบคุม ดูแล และสอนเทคนิคต่างๆ ในการทำโครงงาน จนทำให้ Project ครั้งนี้ สำเร็จลุล่วงไปได้ด้วยดี

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. การประมวลผลสัญญาณเชิงเลข ศ ดร.วัลลภ สุระกำพลธร

2. ปริญญานิพนธ์ เรื่อง การพัฒนาระบบไมโครโปรเซสเซอร์

   และ การประยุกต์ใช้งานกับดิจิตอลฟิลเตอร์

   นาย สมหวัง แม้นพิมลชัย , นาย สุเทพ ยุทธเกษมสันต์

3. H.T. Nagle,Jr and V.P. Nelson

   "Digital Filter Implementation on 16-Bit

   Microcomputers" IEEE P.23-40 , 1981

4. J.L. Schmalzel,* D.N. Hein,* and N. Ahmed*

   "Some Pedagogical Considerations Of Digital

   Filters Hardware Implementation"

   IEEE CIRCUITS AND SYSTEMS MAGAZINE P.4-13 ,

   1980

5. GOBIND DARYANANI,PRINCIPLES OF ACTIVE NETWORK

   SYNTHESIS AND DESIGN,JOHN WILEY&SONS, NEW YORK,1976

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้