การสื่อสารข้อมูลภาพและเสียงในระบบดิจิตอล

Video and Voice Data Transmission System.

โดย

กิตติ อัตถกิจมงคล

อนุชิต จุฑามาตยางกูร

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขา วิศวกรรมอิเล็คทรอนิคส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

๒๖

033210

เรื่อง การสื่อสารข้อมูลภาพและเสียงระบบดิจิตอล

ผู้จัดทำ

นายกิตติ อัตถกิจมงคล

นายอนุชิต จุฑามาตยางกูร

_____ อาจารย์ที่ปรึกษา

(อ.สมศักดิ์ เชียร์ศิริกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารข้อมูลภาพและเสียงในระบบดิจิตอลผ่านเส้นใยแก้วนำแสง

Video and Voice Data Transmission System by Using Optical Fiber

โดย กิตติ อัตถกิจมงคล

อนุชิต จุฑามาตยางกูร

อาจารย์ที่ปรึกษา ค.สมศักดิ์ เชียร์ศิริกุล

บทคัดย่อ

ปัจจุบันระบบการสื่อสารได้พัฒนาอย่างรวดเร็ว โดยเฉพาะการสื่อสารในระบบดิจิตอล ซึ่งมีข้อดีหลายๆอย่าง เช่น ความเที่ยงตรงในการรับข้อมูล ความสามารถในการเข้ารหัส และสะดวกในการมัลติเพลกซ์ ดังนั้นระบบนี้จึงเป็นระบบที่น่าสนใจ ซึ่งจะปฏิวัติเทคโนโลยีการสื่อสารในปัจจุบันและอนาคต

ปริญญานิพนธ์ฉบับนี้เป็นการนำเสนอการส่งสัญญาณภาพในระบบดิจิตอล โดยใช้เทคนิคการมัลติเพลกซ์แบบแบ่งเวลา มีความเร็วในการส่งเท่ากับ 8 Mbit/s โดยส่วนของข้อมูลภาพเป็นภาพขาวดำขนาด 128*256 จุด/ภาพ ความละเอียด 128 ระดับ ระบบรับทำการแยกสัญญาณนาฬิกา โดยใช้ LC ring circuit ร่วมกับ Narrow band PLL

Abstract

Nowadays communication systems are growing up rapidly especially digital communication system because of its advantages such as its accuracy,the ability to encode and multiplex. Therefore Digital Communication become an very interesting system which caused a revolution in Communication tenhnology.

The project presents the transmission of video signals by Time Division Multiplexing (TDM) at a rate of 8.00 Mbit/s. The video signal is a 128*256 monochrome picture and each pixel can display 128 level. The clock signal extracted at the receiver end

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้าที่
บทนำ	1
บทที่ 1 ทฤษฎีระบบการส่ง	2
บทที่ 2 ทฤษฎีสัญญาณภาพ	7
บทที่ 3 ระบบการเก็บภาพเข้าหน่วยความจำ	12
บทที่ 4 ระบบการสื่อสารด้วยใยแก้วนำแสง	15
บทที่ 5 หลักการของ PULSE MODULATION	27
บทที่ 6 การเข้ามัลติเพล็กซ์และลำดับขั้นของระบบ	38
บทที่ 7 การซิงโครไนซ์และการส่งรหัสสัญญาณตามสาย	45
บทที่ 8 วงจรและการทำงานของระบบ	53
- ระบบการส่งข้อมูลภาพ	62
- ระบบการรับข้อมูลภาพ	70
- ส่วนควบคุมสถานะการซิงโครไนซ์	72
- ระบบ CLOCK RECOVERY	87
ผลการทดลอง	101
บทสรุป	101
กิตติกรรมประกาศ	102

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้าที่
BLOCK DIAGRAM วงจรสร้างสัญญาณควบคุม	58
วงจรสร้างสัญญาณควบคุม	59
วงจรเก็บภาพเข้า RAM ภาคส่ง	61
BLOCK DIAGRAM ภาคส่ง	65
รูป FRAME FORMAT	66
วงจร MULTIPLEX	67
วงจร INTERFACE ของภาคส่ง	68
TIMING DIAGRAM ของภาคส่ง	69
BLOCK DIAGRAM ภาครับ	71
วงจร SYNCHRONIZE STATE CONTROL	80
วงจร SERIAL INPUT PARALLEL OUTPUT	82
วงจร DEMULTIPLEX	84
วงจรเก็บภาพเข้า RAM ภาครับ	85
TIMING DIAGRAM ภาครับ	86
วงจรสร้าง RINGING CLOCK	93
วงจร VOLTAGE CONTROL OSCILLATOR	94
วงจร PHASE LOCKED LOOP	95
วงจร SCRAMBLER	96
วงจร DESCRAMBLER	97
วงจร PAGE SWITCH CONTROL	98
วงจร MIXER	99

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

ปัจจุบันการสื่อสารข้อมูลสัญญาณเสียงและสัญญาณภาพผ่านสายโทรศัพท์ พบว่ามีข้อจำกัดคือ Bandwidth ของสายส่งแคบ ไม่สามารถส่งสัญญาณหลายๆคู่สายในสายส่งเดียวกัน และไม่สามารถส่งสัญญาณภาพที่มีความต่อเนื่องผ่านสายโทรศัพท์ได้ นอกจากนี้ การส่งสัญญาณผ่านสายโทรศัพท์ยังมีสัญญาณรบกวนจากภายนอกเข้ามาได้ง่าย ดังนั้นหากในอนาคตได้นำเส้นใยแก้วนำแสงมาใช้เป็นตัวกลางในการสื่อสารก็จะสามารถขจัดปัญหาดังที่กล่าวมาแล้วออกไปได้ เนื่องจากเส้นใยแก้วนำแสงมี Bandwidth กว้าง สามารถส่งสัญญาณเสียง สัญญาณภาพ หรือสัญญาณคอมพิวเตอร์ร่วมกันได้

สำหรับโครงงานฉบับนี้ เป็นโครงงานที่ศึกษาต่อจากนักศึกษาที่เพิ่งจบการศึกษาเมื่อปีการศึกษา 2535 เป็นการศึกษาถึงการส่งสัญญาณภาพและสัญญาณเสียงซึ่งได้ถูกเปลี่ยนเป็นสัญญาณดิจิตอลแล้วส่งร่วมกัน โดยใช้เทคนิคการมัลติเพล็กซ์ แบบแบ่งเวลา (Time Division Multiplex) โดยส่วนของข้อมูลภาพจะเป็นภาพขาวดำจำนวน 256 เส้นต่อภาพ แต่ละเส้นประกอบด้วยจุดภาพ 128จุด โดยแต่ละจุดสามารถแสดงระดับความเข้มได้ 128ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

ทฤษฎีระบบการส่ง

วัตถุประสงค์เบื้องต้นของระบบการส่ง

ระบบการส่งนั้นเป็นการจัดหรือเตรียมวงจรสื่อสารโดยคำนึงถึงการประหยัดเป็นเบื้องต้น องค์ประกอบที่เป็นกุญแจสำคัญในสิ่งนี้ก็คือ การทำให้ได้รับประโยชน์ร่วมกันได้หลายๆช่องสัญญาณ(channel) การพัฒนาวิธีการต่างๆจนถึงปัจจุบันมีหลายๆวิธี แต่อาจเรียกรวมกันอย่างกว้างๆว่า **"เทคนิคของมัลติเพลกซ์"** (Multiplex Technique) ซึ่งในทางทฤษฎีอาจแบ่งได้เป็น 3 ชนิดด้วยกันคือ

ก) Space Division Multiplex (SDM)

ข) Frequency Division Multiplex (FDM)

ค) Time Division Multiplex (TDM)

SDM หมายถึง การส่งสัญญาณหลายช่องสัญญาณอย่างอิสระโดยการแบ่งตามที่ว่าง (space) อย่างเช่นคู่สายของเคเบิ้ลก็เป็นชนิดหนึ่งของระบบ SDM ดังนั้นในทางทฤษฎีแล้ว SDM จะไม่มีความยุ่งยากเท่าใดนัก

FDM และ TDM นั้นเป็นการส่งสัญญาณหลายช่องสัญญาณอย่างอิสระพร้อมๆกันโดยการแบ่งตามความถี่และแบ่งตามเวลาตามลำดับระบบทั้งสองนี้สามารถนำไปใช้ได้หลายช่องสัญญาณตามเส้นทางการส่ง อย่างเช่นสายเคเบิ้ล สถานีทวนสัญญาณทางระบบวิทยุและการเชื่อมโยง (Links) ของระบบการสื่อสารดาวเทียม เป็นต้น อย่างไรก็ตามเทคนิคทาง FDM นั้น กระบวนการในการจัดเตรียมหลายๆช่องสัญญาณเพื่อที่จะส่งออกไปนั้นมีหลายวิธี ซึ่งแตกต่างไปจากวิธีการทางเทคนิคของ TDM ข้อแตกต่างที่เห็นได้จากโครงสร้างของสัญญาณที่จะส่งไปในระบบเหล่านั้น โดยทั่วไปสัญญาณอนาล็อกจะถูกนำไปใช้กับระบบ FDM ในขณะที่สัญญาณดิจิตอลจะใช้กับระบบ TDM แต่อย่างไรก็ตาม

สัญญาณอนาล็อกก็สามารถจะนำไปใช้กับมอดูเลชั่นต่างๆของระบบ TDM ได้ อย่างเช่นระบบ PAM,PPM และ PWM เป็นต้น เพื่อทำความเข้าใจคุณสมบัติที่สำคัญของสัญญาณอนาล็อกและสัญญาณดิจอตอลในลักษณะการส่งให้ดีขึ้น จึงขอกล่าวพอสังเขปดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณดิจิตอล

เมื่อข่าวสารถูกส่งออกไปในรูปของดิจิตอล จะมีสภาพแตกต่างกับของอนาล็อกเป็นอย่างมาก กล่าวคือจะส่งในรูปของพัลส์ โดยทำให้สัญญาณอนาล็อกสั้นลงและแสดงเป็นสัญญาณแบบดิจิตอล ซึ่งมีค่าเป็นดิสครีท(discrete)ที่แน่นอน คือ"0"และ"1"ซึ่งแสดงสภาวะของพัลส์ว่า"ไม่มี"และ"มี"ตามลำดับ ที่ด้านส่งสัญญาณทุกตัวจะถูกเปลี่ยนเป็นกลุ่มของรหัสเพื่อส่งออกไป สำหรับที่ด้านรับก็จะทำการถอดรหัสเพื่อให้กลับมาเป็นสัญญาณอนาล็อกตามเดิม

จากกระบวนการดังกล่าวข้างต้นสัญญาณดิจิตอลจะมีการลดทอนและการพร่าเพี้ยนเมื่อได้ส่งออกไปตามสายส่งเหมือนกับสัญญาณอนาล็อก อย่างไรก็ตาม ได้กล่าวมาแล้วว่าสัญญาณดิจิตอลจะใช้เป็นค่าดิสครีทที่แน่นอนเท่านั้น ดังนั้น ถ้าใช้อุปกรณ์สร้างสัญญาณใหม่(regenerative repeater)แล้วก็สามารถจะแก้ปัญหาเหล่านั้นได้ตามที่ได้แสดงไว้ในรูป1.1(ข)หรือกล่าวอีกนัยหนึ่งคือคุณภาพของสัญญาณดิจิตอลในสายส่ง(เกือบจะ)ไม่ขึ้นอยู่กับระยะทางเลย คือมีลักษณะตรงกันข้ามกับการส่งแบบอนาล็อกซึ่งคุณภาพจะเลวลงเมื่อระยะทางเพิ่มขึ้น

เหตุผลในการนำ TDM มาใช้

ในตอนที่แล้วได้กล่าวถึงการส่งสัญญาณแบบอนาล็อกและแบบดิจิตอล ซึ่งพิจารณาได้ว่าระบบการส่งสัญญาณแบบอนาล็อก (ระบบ FDM) ถูกนำมาใช้กันอย่างกว้างขวางและให้บริการอย่างดีเลิศแต่ทำไมจึงมีการพัฒนาเทคนิคใหม่อย่างเช่นระบบทางดิจิตอลขึ้น ทั้งนี้มีเหตุผลบางอย่างพอสรุปได้ดังนี้

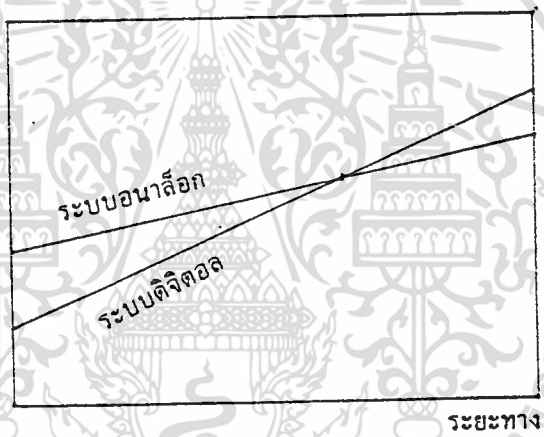
ก) ด้านเศรษฐศาสตร์

เมื่อมองในแง่ของการประหยัด เทคนิคของ FDM ทางด้านโทรศัพท์นั้น ในเบื้องต้นจะเหมาะสำหรับการส่งที่มีระยะทางไกลและในทางตรงข้ามจะไม่เป็นการประหยัดถ้าถูกนำมาใช้ในระยะทางใกล้ๆ สำหรับกรณีการส่งแบบดิจิตอลนั้นจะมีสภาพตรงข้าม เหตุผลคือระบบ FDM นั้น อุปกรณ์ต้นทาง-ปลายทาง(Terminal Equipment)จะมีราคาแพงอย่างเห็นได้ชัด เพราะจำเป็นต้องใช้วงจรกรองความถี่ (filter) ที่มีประสิทธิภาพสูงในการที่จะคัดแยกความถี่ที่ส่งออกไป วงจรกรองความถี่เหล่านี้ไม่สามารถจะรวมเป็นวงจร ICได้ ดังนั้นจึงไม่สามารถทำให้ราคาถูกลงได้ง่าย สำหรับอุปกรณ์ทวนสัญญาณนั้นไม่ค่อยแพงนักเมื่อเทียบกับอุปกรณ์สร้างสัญญาณใหม่ในระบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้นำไปดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

ในทางตรงกันข้ามอุปกรณ์ต้นทาง-ปลายทางของระบบดิจิตอลไม่จำเป็นต้องใช้วงจรกรองความถี่ที่มีประสิทธิภาพดีนักก็ได้ จึงทำให้ราคาถูกลงแต่สำหรับอุปกรณ์สร้างสัญญาณใหม่นั้น เนื่องจากจำเป็นต้องใช้อุปกรณ์ซึ่งมีหน้าที่เรียกง่ายๆว่าฟังก์ชั่น 3R(Reshaping, Retiming, Regenerating) จึงทำให้มีราคาแพงกว่าของระบบ FDM

แนวโน้มโดยทั่วไปของความสัมพันธ์ในการใช้ของสองระบบดังกล่าว แสดงไว้ในรูป 1.2 ในระยะหลังๆนี้ได้พัฒนาวงจร IC ขึ้นอย่างมีประสิทธิภาพ จึงทำให้เป็นไปได้ที่อุปกรณ์สร้างสัญญาณใหม่จะมีราคาถูกลง ดังนั้นสจุดตัดของเส้นตรงสองเส้นในรูป 1.2 อาจจะเคลื่อนไปทางขวามือก็เป็นได้



รูปที่ 1.2 ความสัมพันธ์ระหว่างราคาของระบบอนาล็อกและระบบดิจิตอล

ข) ปราศจากสิ่งรบกวน

เนื่องจากสัญญาณดิจิตอลเป็นค่าแบบดิสครีท ดังนั้นจึงไม่มีสิ่งรบกวนจากที่อื่นโดยเฉพาะนอยส์(noice)และการแทรกซ้อนที่จะเข้ามาปะปน หรือกล่าวอีกนัยหนึ่งคือสัญญาณดิจิตอลจะถูกสร้างขึ้นมาใหม่ได้ ในทางตรงกันข้ามถ้าเป็นสัญญาณอนาล็อกจะไม่สามารถหลีกเลี่ยงนอยส์ หรือสิ่งรบกวนอื่นๆที่จะเข้ามาแทรกซ้อนได้ และสิ่งเหล่านี้จะสะสมกันไปตลอด คุณสมบัติที่ได้เปรียบของสัญญาณดิจิตอล์ที่มีต่อสัญญาณอนาล็อก คือ ในกรณีที่ส่งความถี่เสียงในสายส่งอย่างเช่น เคเบิ้ลสำหรับท้องถิ่น(local cable) ครอสทอล์ค(crosstalk)จะลดลงอย่างน่าพอใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค) เหมาะสมสำหรับการบริการที่ไม่ใช่โทรศัพท์

การส่งสัญญาณแบบดิจิตอลจะเหมาะที่สุดสำหรับสัญญาณเดิมที่เป็นแบบดิจิตอลอยู่แล้ว อย่างเช่น ระบบสื่อสารข้อมูล ระบบโทรสาร ซึ่งไม่จำเป็นต้องแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลอีก จึงทำให้ประหยัดราคาได้อย่างดี ในอนาคตอันใกล้นี้ การส่งสัญญาณแบบดิจิตอลจะรวมไว้กับชุมสายโทรศัพท์แบบดิจิตอล ก็จะนับได้ว่าเป็นการประหยัดพื้นที่และราคาได้

ง) มีประสิทธิภาพสูง

การรวมข้อมูลและสัญญาณโทรศัพท์ส่งไปด้วยกันเป็นสิ่งที่ปรารถนาอย่างยิ่ง เนื่องจากใน 1 ช่องสัญญาณโทรศัพท์แบบดิจิตอลสามารถส่งได้เร็วกว่าของช่องสัญญาณแบบอนาล็อก ตัวอย่างเช่น 1 ช่องสัญญาณโทรศัพท์แบบดิจิตอลจะใช้ 64 kb/s ในขณะที่แบบอนาล็อกนั้นโดยทั่วไปจะใช้ 1.2 kb/s

1.5 ข้อเสียของระบบดิจิตอล

เทคนิคการส่งแบบดิจิตอล ไม่เพียงแต่มีข้อดีเท่านั้นแต่ในขณะเดียวกันก็มีข้อเสียบางประการดังต่อไปนี้

ก) แบนด์วิดธ์(Bandwidth)กว้าง

แบนด์วิดธ์ที่ใช้สำหรับการส่งแบบดิจิตอลจะกว้างกว่าของที่ใช้กับการส่งแบบอนาล็อก (FDM) ตัวอย่างเช่นระบบดิจิตอล PCM-30 จะมีแบนด์วิดธ์ประมาณ 2 MHz (64 kb/s 32 chs) สำหรับการส่งระบบ FDM ซึ่งมี 30 ช่องสัญญาณจะมีแบนด์วิดธ์ประมาณ 120 kHz (4 kHz*30 chs) เท่านั้น ซึ่งจะเห็นได้ว่าแบนด์วิดธ์ที่จำเป็นสำหรับการส่งแบบดิจิตอลจะมีมากกว่าประมาณ 16 เท่า เมื่อเปรียบเทียบกับระบบอนาล็อก ผลที่ตามมาก็คือในอุปกรณ์สร้างสัญญาณใหม่จะต้องมี Gain สูงกว่าเพื่อที่จะเอาชนะการลดทอนของสายส่งที่สูงขึ้นด้วยดังนั้นในทางเทคนิคในปัจจุบัน เมื่อใช้ระยะห่างระหว่างอุปกรณ์ทวนสัญญาณเท่ากันในระบบดิจิตอลนั้นไม่สามารถจะบรรจุช่องสัญญาณได้จำนวนเท่ากันกับของระบบFDMได้แต่อย่างไรก็ตามในกรณีที่สายส่งด้วยระบบใยแสง (optical fibre tranmission system)ซึ่งเหมาะสำหรับสัญญาณแบบดิจิตอลแล้วจะแตกต่างจากที่กล่าวมาข้างต้นและคาดหวังว่าสามารถจะติดตั้งอุปกรณ์สร้างสัญญาณใหม่ให้มีระยะห่างขึ้นมากๆได้เนื่องจากเคเบิ้ลใยแก้วมีคุณลักษณะการลอทอนต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข) มีนอยส์แฝงอยู่ในตัว

ตามที่ได้กล่าวมาแล้วข้างต้นว่า ระบบ PCM จะไม่มีสิ่งรบกวนเช่น นอยส์และครอสทอล์คจากที่อื่น แต่ว่าตามกระบวนการของ PCM นั้น จะมีแชมปลิ้งนอยส์และควอนไตซิ่งนอยส์(quantizing noise) ร่วมอยู่ด้วยอย่างหลีกเลี่ยงไม่ได้ แต่อย่างไรก็ตามในทางเทคนิคแล้วจะสามารถลดอัมปลิจูดของนอยส์เหล่านี้ได้ จึงไม่ค่อยมีผลกระทบกระเทือนต่อการใช้งานจริงๆเท่าใดนัก

ค) อุปกรณ์สร้างสัญญาณใหม่มีราคาแพง

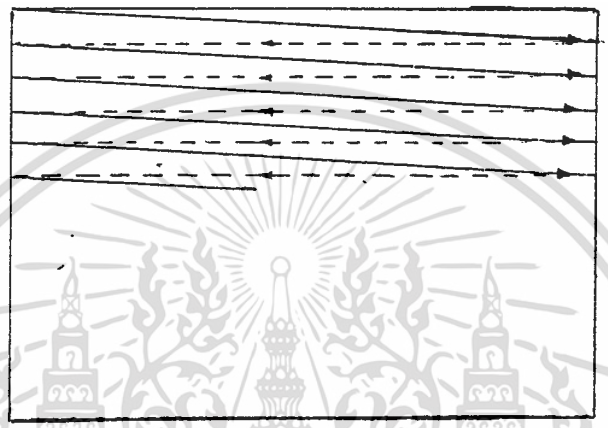
ในสภาพปัจจุบัน อุปกรณ์ทวนสัญญาณของระบบดิจิตอลจะมีราคาแพงกว่าของระบบอนาล็อกในกรณีที่มีช่องสัญญาณเท่ากันตามที่ได้กล่าวมาแล้วในตอน 1.4(ก)แต่อย่างไรก็ตามสถานการณ์จะเปลี่ยนไปเนื่องจากการพัฒนาทางด้าน IC โดยเฉพาะ LSI นอกจากนั้นการนำเอาระบบเคเบิ้ลใยแก้วมาใช้งานก็สามารถแก้ปัญหานี้ในอนาคตอันใกล้นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีสัญญาณภาพ

ระบบในการส่งโทรทัศน์นั้นสัญญาณที่ส่งมาเป็นสัญญาณอิเลคทรอนิคส์ ในการส่งแต่ละภาพจะประกอบด้วยจุดจำนวนมากมายเรียงต่อเนื่องกันโดยแต่ละจุดจะมีความสว่างมืด หรืออาจเป็นระดับความเข้มของสีต่างๆ ภาพในเครื่องรับโทรทัศน์จะถูกสแกนต่อเนื่องกันไปทีละเส้นดังรูปที่ 2.1



รูปที่ 2.1 การสแกนภาพในจอโทรทัศน์

การสแกนภาพในโทรทัศน์

ภาพในโทรทัศน์เกิดจากการเรียงกันออกมาเป็นเส้นจากภาพหนึ่งไปอีกภาพหนึ่งคือเริ่มจากจุดบนซ้ายไปขวา จากบนลงล่าง วิธีการนี้เรียกว่า การสแกนเชิงเส้นในแนวนอน

ลำดับการสแกนเป็นดังนี้

1. ลำแสงอิเลคตรอนจะถูกส่งออกมาตามแนวนอน

2. ที่จุดปลายของเส้นลำแสงจะถูกลากกลับอย่างรวดเร็วมาทางซ้าย เพื่อเริ่มการสแกนใหม่ ในช่วงเวลาลากกลับนี้ เรียกว่า Retrace หรือ Flyback ในช่วงนี้จะไม่มีข้อมูลในหลอดภาพ ดังนั้น ช่วงเวลานี้จึงควรเร็วมาก

3. เมื่อลำแสงเลื่อนกลับมาทางซ้าย ตำแหน่งในแนวดิ่งจะเลื่อนต่ำลงมา เกิดการสแกนเส้นใหม่ จนในที่สุดถึงขอบล่างขวาจะมีการสแกนในแนวตั้งกลับไปยังขอบบนซ้าย เพื่อสแกนภาพในแนวนอนในเฟรมใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ PAL (Phase Alternating Line)

ระบบนี้เป็นระบบที่แก้ไขข้อผิดพลาดของระบบ NTSC ซึ่งเป็นระบบที่ใช้กันอยู่ในประเทศไทย จึงขอใช้ระบบนี้อ้างอิง

รายละเอียดมาตรฐาน PAL

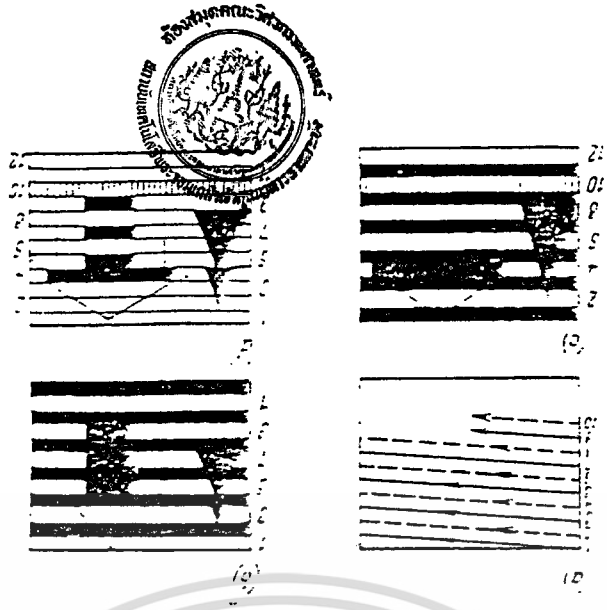
จำนวนเส้นต่อภาพ	625	เส้น
จำนวนภาพต่อวินาที	25	ภาพ
จำนวนฟิล์ดต่อวินาที	50	ฟิล์ด
ความถี่การหักเหทางแนวนอน	15,625	เฮิร์ท(Hz)
ความถี่ของซับแคเรีย	4.43361875	เมกะเฮิร์ท(MHz)
แบนด์วิดธ์สัญญาณ V	0.5	เมกะเฮิร์ท(MHz)
แบนด์วิดธ์สัญญาณ U	0.5	เมกะเฮิร์ท(MHz)

ในระบบ 625เส้น จะมีความถี่การสแกน 25 ภาพต่อวินาที ดังนั้นจะได้ความถี่ในการสแกนในแนวนอนเท่ากับ 25 X 625 = 15625 Hz นั่นคือ เวลาในการสแกนแนวนอนเท่ากับ 64 ไมโครวินาที การสแกนในแต่ละภาพจะใช้เวลา 1/50 = 20 มิลลิวินาที

การสแกนสัญญาณภาพแบบสลับเส้น (Interlace Scanning)

เนื่องจากการสแกนของสัญญาณบนจอเครื่องรับโทรทัศน์ จะเกิดปัญหาเรื่องการกระพริบของแสงบนหน้าจอ (Flicker) ด้วยเหตุนี้การสร้างภาพหรือสแกนสัญญาณภาพบนจอเครื่องรับโทรทัศน์จะใช้การสแกนสัญญาณภาพเป็นแบบสลับเส้น โดยแบ่งการสแกนออกเป็น 2 ฟิลด์ คือ ฟิลด์แรกเป็นการสแกนเส้นคี่ เริ่มสแกนจากเส้นสแกนที่ 1 จากขอบบนซ้ายสุดไปขวาสุด และจากบนลงล่าง จะสิ้นสุดการสแกนในเส้นที่ 312.5 หลังจากนั้นจะสบัดกลับทางแนวตั้งจำนวน 50 เส้นสแกน โดยมาเริ่มต้นสแกนเส้นคี่ในเส้นที่ 313 (ฟิลด์ที่ 2) และสแกนในลักษณะเดียวกับในฟิลด์แรก ซึ่งจะเป็นการสแกนแทรกระหว่างเส้นสแกนในครั้งแรกดังในรูปที่ 2.2 ในการสแกนของสัญญาณภาพลักษณะนี้จะลดการกระพริบของภาพบนหน้าจอให้น้อยลงได้

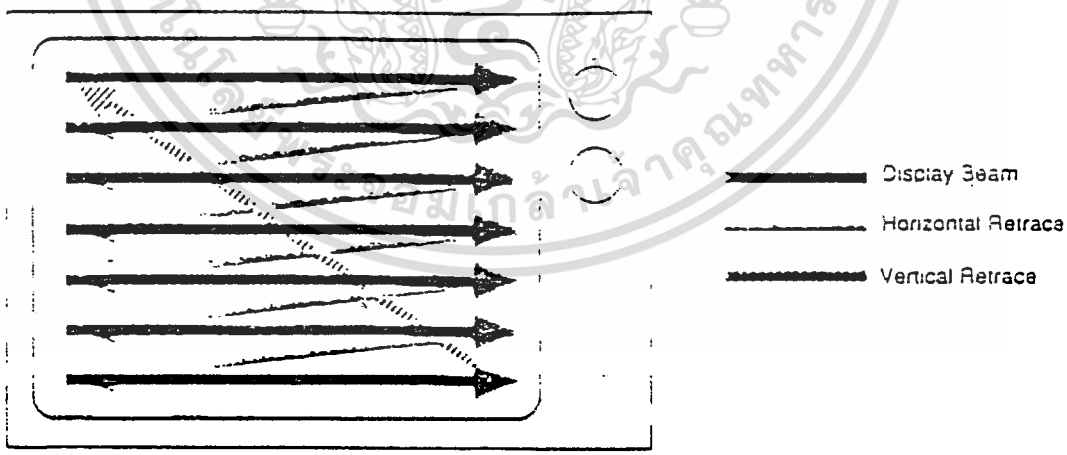
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 การสแกนสัญญาณภาพแบบสลับเส้น

การสแกนสัญญาณภาพแบบไม่สลับเส้น (Noninterlace Scanning)

การสแกนของสัญญาณภาพในแบบนี้ จะเริ่มจากเส้นแรกด้านบนซ้ายมือสุดของจอมอนิเตอร์ ไปทางด้านขวามือสุดของเส้นถัดไป ทำเช่นนี้จนถึงเส้นสุดท้ายด้านล่างสุดของจอมอนิเตอร์ เป็นการสแกนสัญญาณภาพหมดหนึ่งภาพ หลังจากนั้นจะสบัดกลับไปเริ่มสแกนในเส้นที่ 1 ใหม่ซึ่งจะทับกับเส้นเดิมที่สแกนเสร็จในครั้งแรกและจะทำเช่นนี้ตลอดเวลาที่มีการสแกนสัญญาณภาพบนจอมอนิเตอร์ ดังแสดงในรูปที่ 2.3



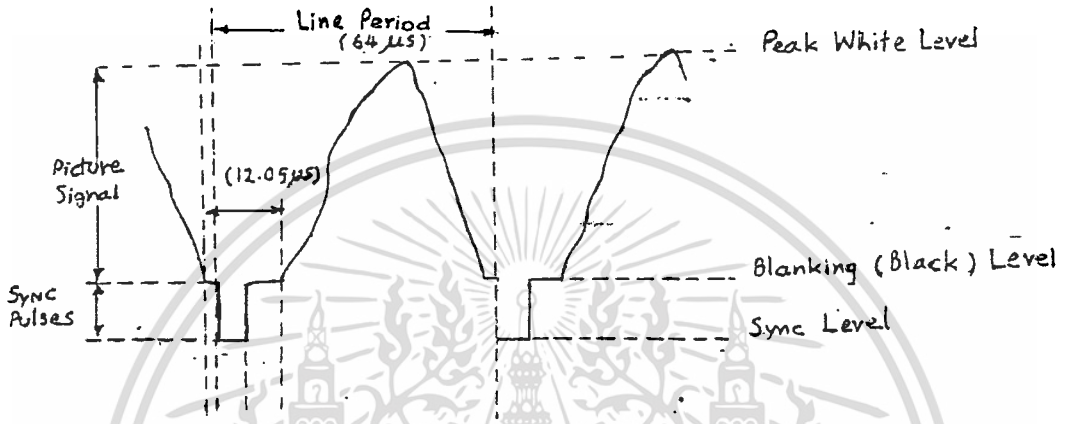
รูปที่ 2.3 การสแกนสัญญาณภาพแบบไม่สลับเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033210

สัญญาณภาพ

สัญญาณภาพรวม (Composite Video Signal) จะประกอบไปด้วยสัญญาณข้อมูลภาพ สัญญาณแบลงค์ สัญญาณซิงค์ ในส่วนสัญญาณแบลงค์และสัญญาณซิงค์ ยังแบ่งออกเป็นสัญญาณแบลงค์และซิงค์ ในแนวนอน และสัญญาณแบลงค์และซิงค์ในแนวตั้ง ความสว่างหรือระดับความเข้มของแต่ละจุดภาพของสัญญาณโทรทัศน์ขึ้นกับระดับโวลเตจของสัญญาณภาพดังรูปที่ 2.4



รูปที่ 2.4 ลักษณะของสัญญาณภาพ

สัญญาณซิงค์ในแนวนอนและแนวตั้ง

ในการสแกนภาพนั้น การสแกนจะต้องเริ่มด้วยเวลาที่แน่นอนตรงกับเครื่องส่งเพื่อให้ข้อมูลของภาพแสดงตรงตำแหน่งที่ถูกต้อง ในการที่จะให้เครื่องส่งและเครื่องรับมีการส่งและรับที่สัมพันธ์กัน จำเป็นต้องมีสัญญาณซิงค์ส่งมากับสัญญาณภาพด้วย สัญญาณซิงค์นี้จะเป็นพัลส์รูปสี่เหลี่ยม ซึ่งใช้ในการควบคุมการสแกนทั้งทางเครื่องรับและเครื่องส่ง

สัญญาณซิงค์จะถูกส่งรวมมากับสัญญาณภาพ เพื่อประกอบเป็นสัญญาณรวมสำหรับเครื่องรับ สัญญาณนี้จะเกิดในระหว่างช่วงของการแบลงค์ ซึ่งไม่มีข้อมูลของภาพในการส่ง สัญญาณซิงค์ตามแนวนอนจะเกิดขึ้นในช่วงสุดท้ายของการสแกนเส้นตามแนวนอน ซึ่งเป็นการเริ่มลากกลับตามแนวนอน สัญญาณซิงค์ตามแนวตั้งจะเกิดตอนที่ภาพสแกนถึงตำแหน่งล่างสุดของจอภาพ เมื่อเกิดการลากกลับของลำอิเลคตรอนตามแนวตั้ง

ในการสแกนเส้นสแกนตามแนวนอนด้วยความถี่ 15625 Hz ความถี่ของสัญญาณซิงค์แนวนอนจะเท่ากับ 15625 Hz ด้วย ส่วนความถี่ของสัญญาณซิงค์ตามแนวตั้งจะเท่ากับ 50 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณแบลงค์ในแนวนอนและแนวตั้ง

ในระบบโทรทัศน์ สัญญาณแบลงค์ คือ สัญญาณที่ทำให้เป็นสีดำ ในส่วนของสัญญาณ Video โวลเตจของสัญญาณแบลงค์จะอยู่ที่ระดับของสีดำ ระดับของโวลเตจสีดำนี้จะไปทำให้กระแสที่ใช้ในการยิงลำอิเลคตรอนหยุดไหล ทำให้ไม่มีแสงออกมาที่จอภาพ จุดประสงค์ของสัญญาณแบลงค์ก็เพื่อไม่ให้ภาพเส้นที่ลากกลับในช่วงของการสแกน

สัญญาณแบลงค์ในแนวนอนมีความถี่ 15625 Hz ทำให้เกิดการแบลงค์ในช่วงของเส้นที่ลากกลับจากขวามาทางซ้าย สัญญาณแบลงค์ในแนวตั้งมีความถี่ 50 Hz ทำให้เกิดการแบลงค์ในส่วนลากกลับจากส่วนล่างขึ้นส่วนบน ช่วงเวลาของสัญญาณแบลงค์ในแนวนอนมีค่าประมาณ 20 % ดังนั้นสัญญาณตามแนวนอนมีค่าเท่ากับ 64 × 0.2 = 12.8 ไมโครวินาที ซึ่งแสดงให้รู้ว่าช่วงเวลาการลากเส้นกลับต้องสิ้นสุดภายใน 12.8 μs สำหรับช่วงเวลาของสัญญาณแบลงค์ ตามแนวตั้งมีช่วงเวลาในหนึ่งภาพเท่ากับ 20 ms ซึ่งแสดงให้เห็นว่า การลากกลับของภาพจากจุดล่างสุดไปจุดบนสุดต้องเสร็จสิ้นภายในเวลา 1.6 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ระบบการเก็บภาพลงในหน่วยความจำ

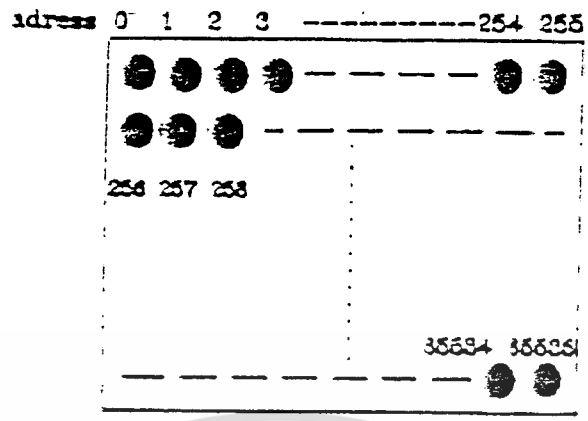
เนื่องจากสัญญาณภาพที่ได้จากกล้องวีดีโอ (Video Camera) เป็นสัญญาณภาพแบบอนาลอก ดังนั้น ถ้าเราจะทำการเก็บข้อมูลภาพที่ได้นี้ จะต้องทำการแปลงสัญญาณภาพแบบอนาลอกให้เป็นข้อมูลภาพทางดิจิตอล (Analog to Digital Converter) เสียก่อน แล้วจึงนำไปเก็บลงสู่หน่วยความจำ หรือวีดีโอแรม (Video RAM) ได้ แต่เนื่องจากการสแกนของสัญญาณภาพที่ได้จากกล้องวีดีโอมีความเร็วสูงมาก เวลาที่ใช้ในการสแกนสัญญาณภาพแต่ละภาพประมาณ 40 มิลลิวินาที (ms) ในกรณีที่เราต้องการเก็บข้อมูลภาพให้ได้รายละเอียดของภาพมากจะต้องใช้สัญญาณคล็อก (Clock) ในการสุ่มข้อมูลภาพของวงจร A/D ที่ความถี่สูง แต่ก่อนอุปกรณ์พวกนี้มีแต่เฉพาะใช้กับงานความเร็วต่ำๆ แต่ปัจจุบันการพัฒนาเทคโนโลยีทางด้านการผลิตอุปการณ์ทางอิเลคทรอนิคส์ได้ก้าวหน้าไปอย่างรวดเร็ว ได้ผลิตอุปกรณ์ที่ใช้แปลงสัญญาณอนาลอกเป็นข้อมูลทางดิจิตอลโดยสร้างเป็นชิฟไอซี (Chip IC) สำเร็จรูปที่มีความเร็วสูงออกสู่ตลาด ในงานวิจัยนี้ได้เลือกใช้ Flash A/D เบอร์ CA3306 เป็น A/D ขนาด 6 บิต (Bits) จำนวน 2 ตัว มาต่อร่วมกัน เพื่อให้มีขนาดเพิ่มขึ้นเป็น 7 บิต ซึ่งสามารถแสดงระดับสัญญาณได้ถึง 128 ระดับ

ลักษณะการเก็บข้อมูลภาพทางดิจิตอลขนาด 256 × 256 จุดต่อภาพ

การเก็บข้อมูลภาพทางดิจิตอลขนาด 256 × 256 จุดต่อภาพ ภาพที่ได้มีความละเอียดของภาพสูงพอสมควรเหมาะสำหรับการนำข้อมูลภาพที่ได้ไปทำขบวนการ (Process) ต่างๆ ที่ไม่ต้องการความละเอียดของภาพมากนัก ซึ่งใช้พื้นที่หน่วยความจำเพียง 64 กิโลไบท์ (Kbytes) มีลักษณะการเก็บข้อมูลดังรูปที่ 3.1

ลักษณะการเก็บข้อมูลภาพลงสู่หน่วยความจำโดยเริ่มจากบนซ้ายมือสุดเป็นแอดเดรส 0 ของหน่วยความจำ และนับไปทางขวามือจนถึงขวาสุด เป็นแอดเดรสที่ 225 ต่อจากนั้นจะเริ่มเก็บจุดทางซ้ายมือสุดของเส้นถัดไปเป็นแอดเดรสที่ 256 เก็บต่อไปในลักษณะนี้จนถึงจุดทางขวาล่างสุดเป็นแอดเดรสที่ 65535 รวมแล้วต้องใช้พื้นที่หน่วยความจำทั้งหมด 64 กิโลไบท์ (Kbytes)

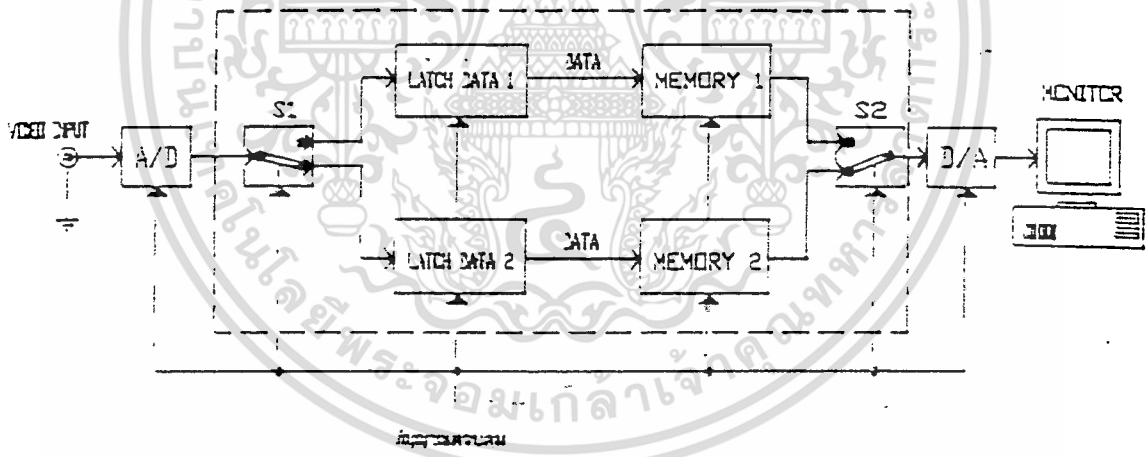
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดงการจัดพื้นที่หน่วยความจำ

การแบ่งพื้นที่หน่วยความจำที่ใช้เก็บข้อมูลภาพออกเป็นหลายชุด

การเก็บข้อมูลภาพในลักษณะนี้ จะแบ่งพื้นที่หน่วยความจำที่ใช้เก็บข้อมูลภาพออกเป็นหลายชุด หลักการนี้แสดงดังบล็อกไดอะแกรมในรูปที่ 3.2 สมมุติให้แบ่งหน่วยความจำออกเป็น 2 ชุด



รูปที่ 3.2 บล็อกไดอะแกรมการเก็บข้อมูลภาพโดยวิธีแบ่งชุดหน่วยความจำ

จากบล็อกไดอะแกรมจะเห็นว่า หลักการเก็บข้อมูลภาพในลักษณะนี้จะแบ่งหน่วยความจำออกเป็น 2 ชุด (Page) สลับชุดกันเขียนข้อมูลภาพ เพื่อให้สามารถเก็บข้อมูลภาพที่มีความเร็วสูงลงสู่หน่วยความจำความเร็วปกติ (Access Time ประมาณ 250 นาโนวินาที,ns) ได้

การทำงานของการเก็บข้อมูลภาพในลักษณะนี้ เริ่มจากนำเอาข้อมูลภาพที่ออกจากเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจรใน A/D มาผ่านวงจร สวิทช์ S1 เลือกชุดของหน่วยความจำที่จะใช้เขียนโดยเริ่มจากชุดที่ 1 (สวิทช์เลือกอยู่ตำแหน่งบน) ข้อมูลภาพที่ผ่านเข้ามาจะผ่านวงจรหน่วยข้อมูลชั่วคราว (Data Latch) ช่วยเก็บข้อมูลไว้ในขณะที่สวิทช์ S1 สับไปที่หน่วยความจำชุดที่ 2 เพื่อให้หน่วยความจำชุดแรกมีเวลาเขียนข้อมูลภาพได้ทัน ส่วนหน่วยความจำชุดที่ 2 ก็ใช้หลักการเขียนข้อมูลภาพลักษณะเดียวกัน ซึ่งจะเห็นว่าเวลาในการเขียนข้อมูลภาพลงสู่หน่วยความจำแต่ละครั้งจะมีเวลานานเป็น 2 เท่า (กรณีแบ่งพื้นที่หน่วยความจำออกเป็น 2 ชุด) ของความเร็วในการสแกนของสัญญาณภาพ จากหลักการนี้จะทำให้สามารถใช้หน่วยความจำที่มีความเร็วต่ำเก็บข้อมูลภาพที่มีการสแกนสัญญาณภาพความเร็วสูงได้ ส่วนการนำเอาข้อมูลภาพออกสู่มอนิเตอร์ (Monitor) ก็มีสวิทช์สำหรับสลับชุดของหน่วยความจำ ในรูปแสดงด้วยสวิทช์ S2 เพื่อให้ข้อมูลภาพมีลักษณะเหมือนกับตอนที่ออกมาจากวงจรในส่วน A/D

ข้อดีข้อเสียสำหรับการเก็บข้อมูลภาพแบบแบ่งชุดหน่วยความจำ

ข้อดี

1. หน่วยความจำซึ่งเป็นหัวใจของการเก็บข้อมูลภาพ ไม่จำเป็นต้องใช้หน่วยความจำที่มีความเร็วสูง สามารถใช้หน่วยความจำที่มีความเร็วปกติทั่วไป (ประมาณ 250 นาโนวินาที,ns)

2. ทำให้สามารถหาซื้ออุปกรณ์ภายในประเทศได้

3. สามารถขยายระบบให้สามารถเก็บข้อมูลภาพได้ความละเอียดมากขึ้นได้

ข้อเสีย

1. ต้องมีวงจรสวิทช์เลือกชุดของหน่วยความจำหลายชุด (กรณีใช้หน่วยความจำหลายชุด)

2. การทำงานของสวิทช์แต่ละชุดต้องสัมพันธ์ต่อเนื่องกัน มิฉนั้นแล้วทำให้ข้อมูลภาพขาดหายไปได้

3. เนื่องจากต้องมีการสับสวิทช์เพื่อเปลี่ยนชุดของหน่วยความจำตลอดเวลา ทำให้เกิดการผิดพลาดของข้อมูลภาพได้

4. การออกแบบวงจรยุ่งยาก เนื่องจากถ้าเป็นระบบใหญ่ๆ จะต้องใช้วงจรสวิทช์จำนวนมาก ทำให้ตัวเครื่องใหญ่ และวงจรมีความยุ่งยากซับซ้อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

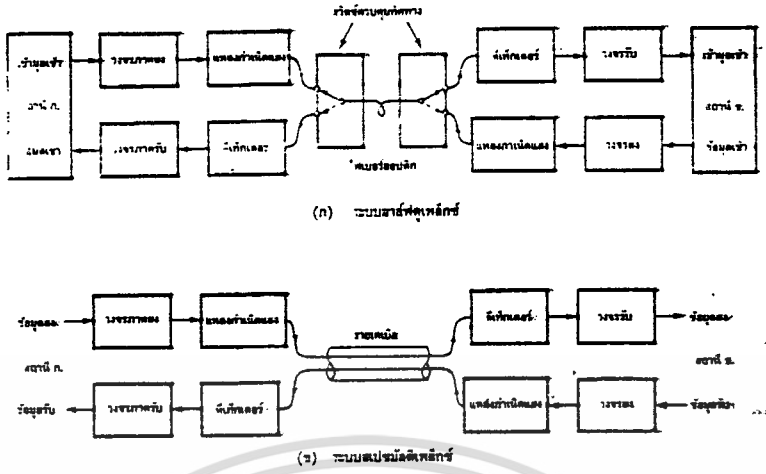
ระบบสื่อสารด้วยใยแก้วนำแสง

ระบบติดต่อสื่อสาร

ลักษณะการติดต่อสื่อสารถึงกันจากสถานีหนึ่งไปยังอีกสถานีหนึ่ง ต้องสามารถตอบโต้ข่าวสารถึงกันได้ทันท่วงที กล่าวคือ ความสามารถในการส่งและรับควรจะเป็นไปในช่วงเวลาเดียวกัน ระบบที่สถานีส่งทำหน้าที่ส่งข้อมูลเพียงด้านเดียว โดยสถานีรับไม่มีความสามารถในการส่งข้อมูลกลับ ระบบเช่นนี้เป็นระบบสื่อสารทางเดียว เรียกว่า "ระบบซิมเพล็กซ์" (Simplex) ซึ่งในทางปฏิบัติมีใช้กันอยู่น้อยมาก ระบบสื่อสารที่แต่ละสถานีสามารถทำหน้าที่ส่งและรับข้อมูลได้ เรียกว่าระบบสื่อสารสองทางหรือ "ระบบดูเพล็กซ์" (Duplex) ในการสื่อสารข้อมูลสองทางอย่างง่ายๆ อาจใช้สวิตช์เป็นตัวตัดต่อสัญญาณรับ-ส่ง และสัญญาณส่ง-รับให้มีความสัมพันธ์กันในระหว่างสองสถานี ดังรูปที่ 4.1 (ก) ระบบนี้สถานีทั้งสองยังไม่สามารถโต้ตอบข้อมูลได้ทันทีทันใด ต้องรอจังหวะช่วงเวลาที่สวิตช์ต่อสัญญาณก่อน จึงเรียกลักษณะเช่นนี้ว่าระบบกึ่งสองทางหรือ "ระบบฮาล์ฟดูเพล็กซ์" (Half Duplex)

การแก้ไขให้สถานีทั้งสองสามารถรับส่งข้อมูลได้ในช่วงเวลาเดียวกันอย่างง่ายๆ ทำได้โดยนำระบบซิมเพล็กซ์ 2 ชุดเข้ามาใช้ เรียกว่า "ระบบสเปซมัลติเพล็กซ์" (space multiplex) ดังรูปที่ 4.1 (ข) แต่ก็ต้องเสียค่าใช้จ่ายเพิ่มขึ้นเกี่ยวกับอุปกรณ์นำสัญญาณ หรือใยแก้วนำแสงอีกเส้นหนึ่ง วิธีการแก้ปัญหาที่นิยมกันคือการนำระบบมัลติเพล็กซ์แบบ FDM หรือ TDM เข้ามาใช้ การเลือกใช้ระบบ FDM หรือ TDM นั้นขึ้นกับวัตถุประสงค์ และอุปกรณ์ใช้งานในระบบเป็นหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 ระบบการสื่อสารแบบสองทางหรือดูเพล็กซ์

หลักการสื่อสารด้วยใยแก้วนำแสง

ระบบการสื่อสารด้วยใยแก้วนำแสง มีโครงสร้างคล้ายกับระบบการสื่อสารด้วยสายเคเบิล เพียงแต่ใช้ตัวกลางนำข้อมูลที่ต่างกัน กล่าวคือเมื่อต้องการส่งข้อมูลที่อาจอยู่ในรูปของสัญญาณเสียง สัญญาณภาพ หรือข้อมูลทางคอมพิวเตอร์ วงจรภาคส่งจะทำหน้าที่จัดรูปสัญญาณให้เหมาะสม ด้วยวิธีการเข้ารหัสและมอดูเลต โดยลักษณะของข้อมูลที่ใช้ในขั้นตอนนี้ส่วนใหญ่มักจัดให้อยู่ในรูปของสัญญาณดิจิตอล เพราะให้ผลลัพธ์ที่ดีกว่า จากนั้นวงจรในส่วนที่เป็นแหล่งกำเนิดแสงหรือไดรเวอร์ขับสัญญาณ จะแปลงสัญญาณทางไฟฟ้าที่ได้ให้เป็นสัญญาณแสงส่งไปยังสถานีรับ โดยมีใยแก้วนำแสงทำหน้าที่เป็นท่อนำสัญญาณ ที่สถานีรับจะมีโฟโตทรานซิสเตอร์คอยเปลี่ยนสัญญาณแสงที่รับได้ให้อยู่ในรูปของสัญญาณไฟฟ้า แล้วส่งไปยังวงจรภาครับเพื่อถอดรหัสและดีมอดูเลตสัญญาณ ทำให้ได้สัญญาณที่มีลักษณะเดียวกับสัญญาณเดิมเป็นข้อมูลขาออกเพื่อนำไปใช้งานต่อไป

ในช่วงระหว่างสถานีส่งสัญญาณและสถานีรับสัญญาณที่เชื่อมด้วยใยแก้วนำแสง จะต้องมีสถานีทวนสัญญาณ (Repeater) ทำหน้าที่ขยายและจัดรูปสัญญาณที่เกิดการผิดเพี้ยนไปในระหว่างการเดินทาง ในการใช้งานจริง ระยะห่างระหว่างสถานีทวนสัญญาณมีค่าประมาณ 10 กิโลเมตรขึ้นไป โดยจะขึ้นกับขนาดหรือปริมาณของข้อมูลที่ใช้รับส่ง สำหรับระบบที่มีประสิทธิภาพสามารถรับส่งสัญญาณข้อมูลที่มีขนาด 2 Gb/s (สองพันล้านบิตในหนึ่งวินาที) ไปเป็นระยะทาง 2,200 กิโลเมตร โดยมีสถานีทวนสัญญาณเพียง 25 สถานี ในทุกๆ ระยะ 80 กิโลเมตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

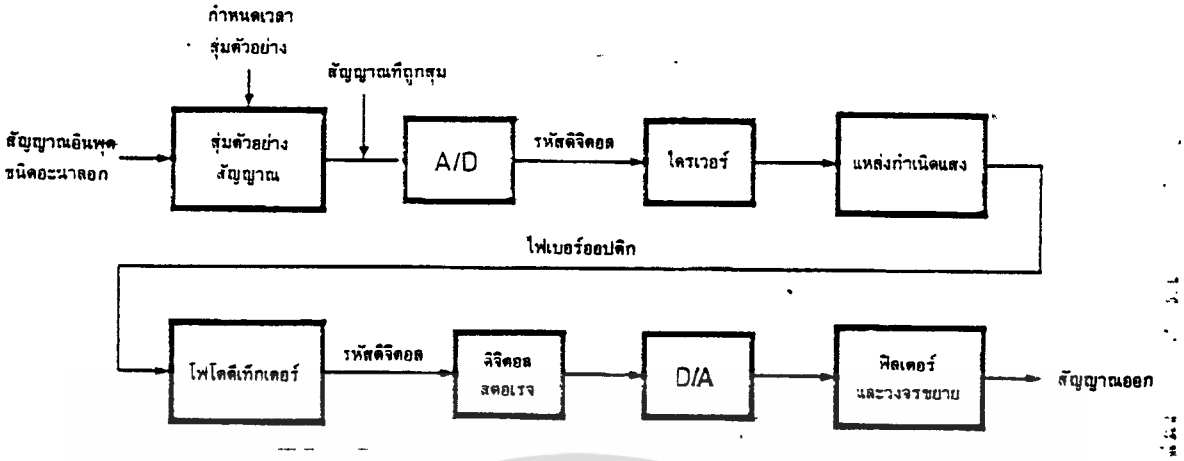
การมอดูเลต (MODULATE)

การมอดูเลต เป็นการผสมสัญญาณข้อมูลกับสัญญาณที่เป็นคลื่นพาหะเข้าด้วยกัน ในลักษณะใดลักษณะหนึ่งเพื่อให้สามารถส่งข้อมูลนั้นไปในระยะทางไกลได้ การมอดูเลตสัญญาณที่ภาคส่งของระบบการสื่อสารแบบดิจิตอลด้วยใยแก้วนำแสง ทำได้หลายวิธี ตัวอย่างเช่น

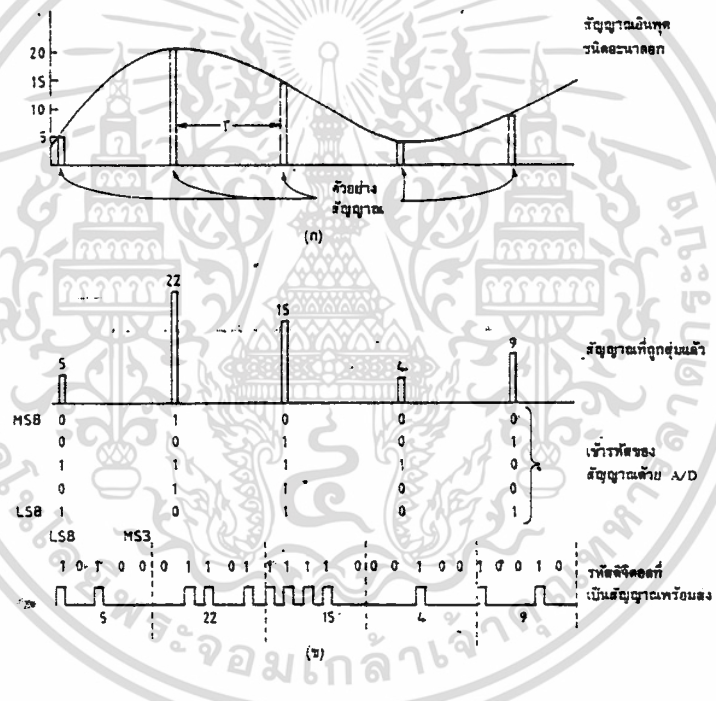
พัลส์โค้ดมอดูเลชั่น (PCM)

เป็นเทคนิคการมอดูเลตที่นิยมใช้กันอย่างแพร่หลายในระบบการสื่อสาร โดยเฉพาะระบบโทรศัพท์ทางไกล ลักษณะการทำงานของระบบ PCM แสดงดังรูปที่ 4.2 และรูปที่ 4.3 ในตอนแรกสัญญาณอินพุตจะถูกสุ่มตัวอย่างหรือแซมเปิล (Sample) โดยที่ขนาดความถี่ของพัลส์ที่เป็นคลื่นพาหะต้องมีค่ามากกว่าความถี่ของสัญญาณอินพุตอย่างน้อยสองเท่า ค่าความถี่ของคลื่นพาหะนี้เรียกว่า "อัตราการแซมปลิ้ง" (Sampling Rate) จากนั้นขนาดของสัญญาณที่ถูกสุ่มออกมาจะถูกทำการเข้ารหัสเป็นข้อมูลทางดิจิตอลด้วยระบบไบนารี่ ความละเอียดของระดับสัญญาณขึ้นอยู่กับจำนวนบิตที่ใช้ในการเข้ารหัส ข้อมูลดิจิตอลที่ถูกเข้ารหัสแล้ว ดังรูปที่ 4.3 (ข) จะทำหน้าที่ควบคุมแหล่งกำเนิดแสงให้ส่งข้อมูลออกไปในลักษณะของสวิตช์ปิด-เปิด ดังนั้นในระบบนี้ สัญญาณแสงที่เป็นข้อมูลจะไม่คำนึงถึงระดับความเข้มแสงเลย นอกจากการปิด-เปิดแสงในช่วงเวลาที่กำหนดในแต่ละบิตข้อมูล ทำให้ลดการเกิดสัญญาณรบกวนลงได้มาก สัญญาณดิจิตอลที่รับได้ในภาครับ จะถูกแปลงกลับสู่สัญญาณอนาลอกอีกครั้งหนึ่ง ก่อนถูกส่งผ่านวงจรกรองความถี่เพื่อทำให้ได้สัญญาณที่มีลักษณะเดียวกับสัญญาณอินพุต ก่อนนำไปขยายสัญญาณเพื่อนำไปใช้งานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 บล็อกไดอะแกรมของระบบ PCM



รูปที่ 4.3 รูปคลื่นของสัญญาณระบบมอดูเลตแบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประสิทธิภาพการส่งข้อมูลทางดิจิตอล สามารถกำหนดได้จากอัตราการส่งข้อมูลหรือบิตเรต (Bit Rate) ในลักษณะของจำนวนบิตต่อเวลา ตัวอย่างเช่น ระบบโทรศัพท์ที่มีค่าแบนด์วิดธ์ของข้อมูล (เสียงพูด) 4 กิโลเฮิรตซ์ หากใช้อัตราการแซมปลิ้ง 4 เท่า คือใช้ค่าความถี่เท่ากับ 16 กิโลเฮิรตซ์ และให้ข้อมูลแต่ละค่าที่เกิดจากการสุ่มตัวอย่าง ถูกแปลงเป็นเลขไบนารี่ชนิด 8 บิต จะทำให้ได้บิตเรตของระบบมีค่าเท่ากับ 128 กิโลบิตต่อวินาที (kb/s) หรืออาจเขียนเป็นสูตรการคำนวนได้ว่า

บิตเรต = แบนด์วิดธ์ × อัตราการแซมปลิ้ง × จำนวนบิตต่อข้อมูล

ระบบมัลติเพล็กซ์ (MUX)

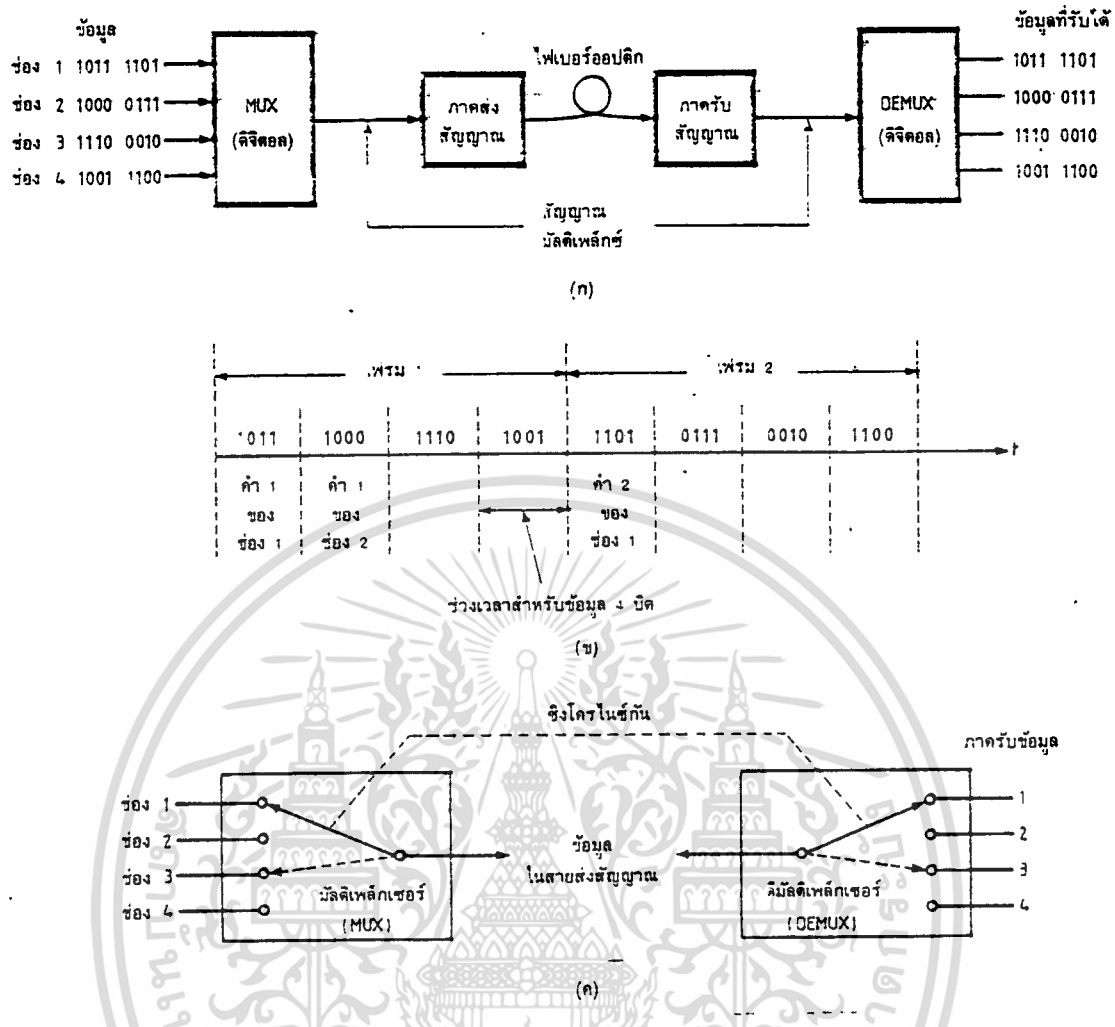
ระบบมัลติเพล็กซ์ เป็นระบบที่ทำให้สามารถส่งและรับข้อมูลจากแหล่งต่างๆ จำนวนมากได้ในช่วงเวลาเดียวกัน โดยใช้ตัวกลางนำข้อมูลเดียวกัน ในระบบใยแก้วนำแสงนับว่ามีประโยชน์มาก เพราะเป็นระบบที่มีช่วงของแบนด์วิดธ์กว้างมากอยู่แล้ว ดังนั้น หากมีการนำเอาระบบมัลติเพล็กซ์ที่มีประสิทธิภาพสูงมาใช้ร่วมกันย่อมทำให้สามารถสื่อสารข้อมูลจำนวนมหาศาลได้ภายในช่วงเวลาเดียวกัน ระบบมัลติเพล็กซ์มีอยู่หลายวิธี ตัวอย่างเช่น

ระบบการแบ่งเวลา (Time Division Multiplexing)

เป็นระบบที่ใช้การแบ่งเวลาเป็นช่วงๆ โดยในแต่ละช่วงใช้สำหรับการบรรจุข้อมูลที่มาจากแหล่งกำเนิดสัญญาณที่ต่างๆ เรียงกันไป

ในรูปที่ 4.4 เป็นการทำงานของระบบ TDM ที่ต้องการส่งข้อมูลจาก 4 ช่องสัญญาณพร้อมกัน โดยในแต่ละช่องสัญญาณจะส่งข้อมูลเป็นคำๆละ 4 บิต ข้อมูลทั้ง 4 ช่องจะถูกเลือกด้วยอุปกรณ์ที่ทำหน้าที่คล้ายสวิตช์ เชื่อมระหว่างภาคส่งและภาครับอย่างสัมพันธ์กัน โดยมีสัญญาณซิงโครไนซ์คอยควบคุม ระยะเวลาที่ใช้สำหรับรับส่งข้อมูลในแต่ละช่องต้องเท่ากัน และต้องมีช่วงเวลาพอที่จะส่งทั้งคำหรือ 4 บิตได้ เมื่อเริ่มต้นทำงาน สวิตช์เลื่อนไปครบ 1 รอบ ข้อมูลที่เป็นค่าแรกของทุกช่องสัญญาณจะถูกส่งไปยังภาครับทั้ง 4 ช่อง ชุดของข้อมูลที่ส่งไปในหนึ่งรอบนี้เรียกว่า "เฟรม" ดังแสดงด้วยไทม์มิ่งไดอะแกรม ดังรูปที่ 4.4 (ข) ในแต่ละเฟรมของข้อมูล ควรมีสัญญาณอื่นแทรกไว้เพื่อคอยบอกให้ทราบว่าข้อมูลหมดเฟรมแล้ว ภาครับจะได้เตรียมพร้อมสำหรับเฟรมต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 การทำงานของระบบ TDM

ในทางปฏิบัติ สัญญาณข้อมูลอินพุตอาจถูกมอดูเลตและเข้ารหัสด้วยวิธีดังกล่าวในข้างต้น จากนั้นสัญญาณจะถูกส่งเข้าไปเก็บในวงจร "บัฟเฟอร์" สำหรับพักข้อมูล และรอเวลาถูกอ่านในระบบมัลติเพลกซ์ ดังนั้น ระบบ TDM จึงเหมาะสำหรับข้อมูลที่มีอัตราส่งช้า โดยจะช่วยให้สามารถส่งข้อมูลพร้อมกันได้หลายช่อง ด้วยระบบที่มีอัตราการส่งข้อมูลรวมสูงมาก อัตราการส่งข้อมูลของระบบมัลติเพลกซ์สามารถคำนวณได้จาก

อัตราการส่ง MUX = จำนวนช่อง × อัตราการส่งแต่ละช่อง

ตัวอย่างเช่น เราต้องการส่งข้อมูลจำนวน 8 ช่องสัญญาณพร้อมกัน โดยในแต่ละช่องสัญญาณมีอัตราการส่งข้อมูล 1,000 ไบต์ต่อวินาที หรือ 8,000 บิตต่อวินาที (1 ไบต์มี 8 บิต) สามารถใช้ระบบมัลติเพล็กซ์ชนิด TDM ที่มีอัตราการส่งข้อมูล 8 × 8,000 = 64 กิโลบิตต่อวินาทีได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรไดรเวอร์

วงจรไดรเวอร์หรือวงจรขับสัญญาณ เป็นส่วนสำคัญที่จะช่วยให้แหล่งกำเนิดแสงที่เป็น LED หรือเลเซอร์ไดโอด ทำงานได้อย่างมีประสิทธิภาพ ลักษณะวงจรไดรเวอร์สำหรับ LED ค่อนข้างแตกต่างจากวงจรเลเซอร์ไดโอด ทั้งนี้เนื่องจาก LED มีคุณสมบัติความเป็นเชิงเส้นในการเปล่งแสงตามค่ากระแสไบแอสโดยตรง ทำให้เหมาะสำหรับระบบสื่อสารที่ใช้ข้อมูลแบบอนาลอก ในขณะที่พลังงานแสงที่เปล่งออกมาจากเลเซอร์ไดโอด มักมีการเปลี่ยนแปลงสูงมากอย่างรวดเร็ว ทั้งๆ ที่กระแสไบแอสที่มากกว่ากระแสเทรชโฮลด์ (I_{th}) มีค่าเพิ่มขึ้นเพียงเล็กน้อย จึงนิยมใช้เลเซอร์ไดโอดกับวงจรขับสัญญาณที่มีข้อมูลเป็นแบบดิจิตอล

วงจรไดรเวอร์ LED แบบดิจิตอล

แม้ว่า LED จะเหมาะสำหรับการส่งสัญญาณแบบอนาลอก แต่ในระบบสื่อสารระยะใกล้อาจสามารถใช้ส่งข้อมูลที่เป็นดิจิตอลได้ ดังเช่น วงจรในรูปที่ 2.5 ซึ่งเป็นวงจรใช้งานแบบง่าย ซึ่งวงจรในรูปที่ 4.5 (ก) ใช้สำหรับส่งข้อมูลที่มีค่าเป็น 1 ทางดิจิตอล โดยค่าของกระแสที่ไหลผ่าน LED (I_F) ถูกกำหนดโดยกระแสคอลเล็กเตอร์ (I_C) ของทรานซิสเตอร์ Q_1 และคำนวณได้ด้วย

$$I_F = I_C = (V_{CC} - V_F) / R_1$$

เมื่อ V_F เป็นแรงดันตกคร่อม LED ขณะไบแอสตรง มีค่าตามสเปกที่กำหนด

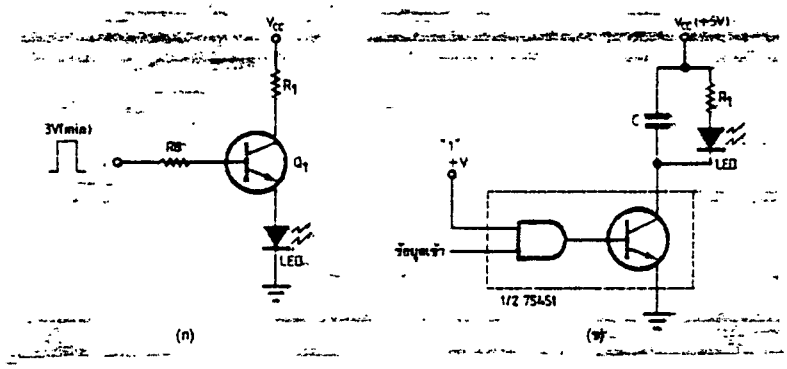
กระแสเบส I_B เป็นตัวควบคุมกระแส I_C อีกทีหนึ่งตามสูตรของ $I_B = I_C/\beta$ เมื่อ β คือ กำลังขยายของทรานซิสเตอร์ และ I_B คำนวณได้จาก

$$I_B = (V_{i(max)} - V_{BE} - V_F) / R_B$$

เมื่อ $V_{i(max)}$ คือ ค่าแรงดันสูงสุดของสัญญาณเข้า หรือก็คือระดับแรงดันขณะข้อมูลทางดิจิตอลเป็น "1"

วงจรในรูปที่ 4.5 (ข) เป็นอีกลักษณะหนึ่งของการส่งข้อมูลดิจิตอล ที่มีเสถียรภาพมากกว่าวงจรในรูปที่ 4.5 (ก) โดยใช้ไอซีเบอร์ 75451 หรือ 75450 เพียงบางส่วน ที่ขาหนึ่งของแอนด์เกตถูกกำหนดให้มีสภาวะทางลอจิกเป็น "1" (+5V) ขาที่เหลือใช้สำหรับส่งข้อมูลโดยขณะข้อมูลเป็น "1" LED จะไม่ทำงาน และเมื่อข้อมูลเป็น "0" LED จะส่งสัญญาณแสงออกมา ส่วนตัวเก็บประจุ (C) ใช้สำหรับลดผลของการเกิดแรงดันกระชาก ซึ่งปกติใช้ค่าประมาณ 1 μF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 วงจรไดรเวอร์ LED แบบดิจิตอล

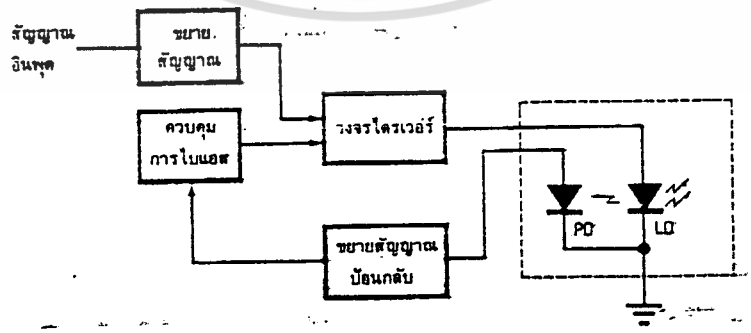
และค่าของตัวต้านทาน R_1 สามารถคำนวนได้จากกระแสไบแอสตรง I_F ของ LED ที่กำหนดตามสเปกของมัน โดยใช้สูตรการคำนวณ

$$R_1 = (V_{CC} - V_F) / I_F$$

วงจรเลเซอร์ไดโอด

การใช้งานเลเซอร์ไดโอดในระบบสื่อสาร ค่อนข้างจะยุ่งยากในการออกแบบวงจร เพราะวงจรต้องมีประสิทธิภาพและความเที่ยงตรงสูง บล็อกไดอะแกรมของวงจรใช้งานเลเซอร์ไดโอดแสดงดังรูปที่ 4.6 ซึ่งมีหลักการไม่ซ้ำซ้อนเมื่อเทียบกับวงจรLED เพียงแต่เพิ่มส่วนป้อนกลับหรือฟีดแบ็คสัญญาณ เพื่อทำหน้าที่ควบคุมวงจรไดรเวอร์ให้เกิดความแน่นอน

สัญญาณป้อนกลับอาจได้จากการใช้โฟโตดีเท็กเตอร์ ที่มักประกอบอยู่ภายในตัวถังเดียวกันกับเลเซอร์ไดโอดในระบบสื่อสาร เป็นตัวดีเท็กสัญญาณแสงที่ส่งออกไป หากพลังงานแสงมีมากเกินไป สัญญาณป้อนกลับจะควบคุมให้วงจรไดรเวอร์ลดกระแสขับเลเซอร์ไดโอดลง ในทางกลับกันหากความเข้มแสงที่ส่งออกมามีค่าน้อย วงจรไดรเวอร์จะช่วยเพิ่มกระแสไบแอสเลเซอร์ไดโอด ทำให้ระดับพลังงานแสงของระบบที่ส่งออกไปมีความเที่ยงตรงและแน่นอน



รูปที่ 4.6 บล็อกการทำงานของเลเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรดีเท็กเตอร์

ในตอนต้นได้กล่าวถึงโหมดการทำงานของโฟโตไดโอดไปบ้างแล้ว ลักษณะวงจรทำงานในแบบของโหมดโฟโตวอลตาอิก แสดงดังรูปที่ 4.7 (ก) โดยการต่อโฟโตไดโอดอนุกรมกับตัวต้านทานโหลด R_L เมื่อมีแสงตกกระทบจะเกิดกระแสไหล ทำให้เกิดแรงดันตกคร่อมโหลด R_L มีค่าเท่ากับ $I_P \times R_L$ เมื่อ I_P คือ กระแสที่ไหลในวงจรอนุกรมซึ่งมักมีค่าไม่มาก หากต้องการให้กระแส I_P มีค่ามากขึ้น ต้องเพิ่มแรงดันไบแอสให้กับโฟโตไดโอด ดังรูปที่ 4.7 (ข) เพื่อให้เกิดการทำงานในโหมดโฟโตคอนดัคทีฟ

ในทางปฏิบัติมักจะใช้วงจรที่ทำให้ค่าแรงดันตกคร่อมโฟโตไดโอดมีค่าคงที่ตลอดเวลา เพื่อช่วยให้สามารถสร้างกระแส I_P ได้อย่างมีเสถียรภาพ ดังเช่นวงจรในรูปที่ 4.7 (ค) และรูปที่ 2.7 (ง) ที่ทำงานในโหมดต่างกัน แต่ค่าของแรงดันเอาต์พุต V_{out} ที่ต้องการมีค่าเป็นไปตามสมการเดียวกันคือ

$$V_{out} = -I_P \times R_f$$

วงจรในรูปที่ 2.7 (ง) ที่มีโหมดการทำงานแบบโฟโตคอนดัคทีฟ จะทำงานได้เร็วกว่าวงจรในรูปที่ 4.7 (ค) ซึ่งเป็นชนิดโหมดโฟโตวอลตาอิก ค่าของกระแส I_P เป็นผลอันเนื่องมาจากผลของแสงตกกระทบ และคำนวณได้จาก

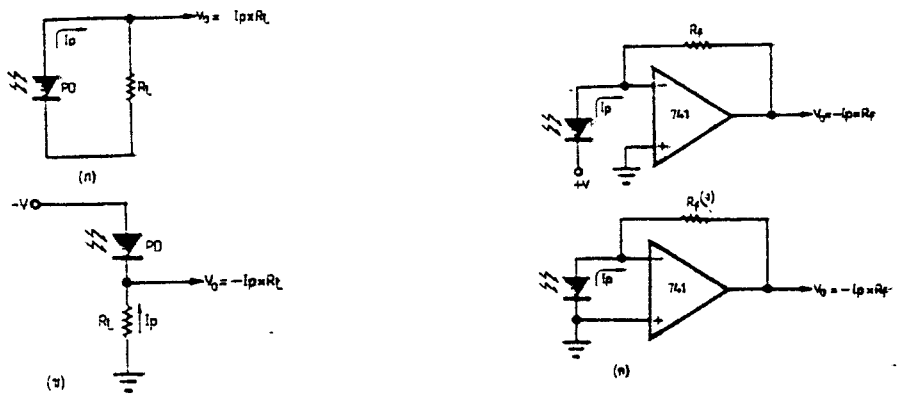
$$I_P = R \times P_{in}$$

เมื่อ R เป็นค่าของกระแสต่อพลังงาน (แอมแปร์/วัตต์) กำหนดด้วยสเปกของมัน

และ P_{in} เป็นพลังงานแสงหรือขนาดความเข้มแสงที่ตกกระทบโฟโตไดโอด

ในการออกแบบวงจรต้องคำนึงถึงค่าของกระแสมืดที่เกิดจากตัวโฟโตไดโอด ขณะมีการไบแอสกลับรวมเข้าไปกับ I_P ด้วย จึงจะได้ค่าจริงออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 วงจรทำงานของโฟโตไดโอด

ตัวอย่างการออกแบบระบบโดยใช้การมัลติเพล็กซ์แบบ TDM

ก่อนอื่นกำหนดให้ระบบมีสเปกการทำงานดังนี้

-มีสัญญาณอินพุทแบบดิจิตอล 8 ช่อง แต่ละช่องส่งข้อมูลแบบอนุกรมขนาด 1,250 คำต่อวินาที และข้อมูล 1 คำประกอบด้วยข้อมูลดิจิตอล 8 บิต

-มีสัญญาณอินพุทที่เป็นอนาลอก 2 ช่อง แต่ละช่องมีแบนด์วิดธ์ 5 กิโลเฮิรตซ์ ถ้าหากมีการเข้ารหัสให้ใช้แบบ PCM ที่มีข้อมูลดิจิตอล 6 บิตต่อหนึ่งแซมเปิล และควรมีอัตราการส่งอย่างน้อย 10,000 แซมเปิลต่อวินาทีต่อช่องสัญญาณ

-ระยะห่างระหว่างสถานีส่งและสถานีรับมีค่าเท่ากับ 5 กิโลเมตร

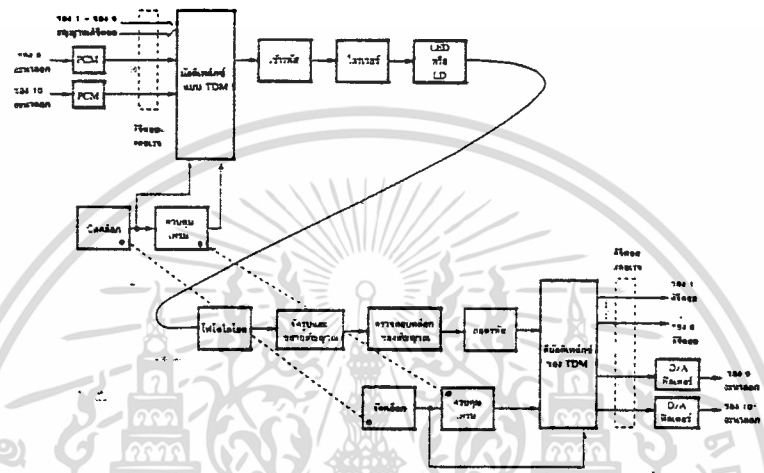
-ใช้ LED หรือเลเซอร์ไดโอดเป็นตัวส่งสัญญาณ

สัญญาณอนาลอกสองช่องจะต้องถูกแปลงให้เป็นสัญญาณดิจิตอลแบบ PCM เสียก่อน ตามเงื่อนไขของสเปกที่กำหนด เนื่องจากสัญญาณดิจิตอล 8 ช่องมีจำนวนข้อมูล 8 บิตต่อหนึ่งคำ แต่สเปกของสัญญาณอนาลอกที่ถูกแปลงให้เป็นดิจิตอลต้องการเพียง 6 บิตต่อแซมเปิล (หรือต่อคำ) ดังนั้นเราจะเพิ่ม 2 บิตที่ไม่มีค่าใดๆ (เหมือนกันหมดทุกคำในตำแหน่งเดียวกัน) รวมเข้าไปเพื่อให้ดูเสมือนข้อมูลมี 8 บิตต่อหนึ่งคำ

อัตราการส่งที่กำหนดต้องการอย่างน้อย 10,000 คำต่อวินาทีต่อช่องสัญญาณ (1 คำมี 8 บิต)หรือนั่นก็คือส่ง 1 คำในทุกๆ 100 ไมโครวินาที ช่องสัญญาณทั้งหมดมี 10 ช่อง จึงต้องทำการแบ่งเวลา 100 ไมโครวินาทีออกเป็น 10 ช่อง เพื่อให้สามารถส่งข้อมูลทุกช่องได้พร้อมกันไปในทีเดียว จะได้ว่าเวลาในการส่งข้อมูลหนึ่งคำของแต่ละช่องคือ 10 ไมโครวินาที เมื่อนำมาจัดเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟรมสำหรับระบบ TDM จะได้ดังรูปที่ 4.8 ทีนี้ย้อนกลับมาคำนวนความเร็วของระบบ หรือบิตเรต จะได้เท่ากับ 8 บิตต่อ 10 ไมโครวินาที หรือ 800 กิโลบิตต่อวินาที (ไม่รวมเวลาที่ใช้ในการชิงโครไนซ์) แต่ถ้าจะคิดบิตเรตเฉพาะช่องสัญญาณที่เป็นดิจิตอลแล้ว ตามสเปกกำหนดไว้ว่าแต่ละช่องจะส่งข้อมูล 10,000 บิตต่อวินาที (มาจาก 1,250 × 8) หรือ 10 กิโลบิตต่อวินาที ซึ่งช้ากว่าระบบที่ออกแบบมาก ทำให้เวลาในการส่งข้อมูลสูญเสียไป



รูปที่ 4.8 ระบบ TDM ที่ถูกออกแบบ

การแก้ไขทำได้โดยการใช้งานเป็นแบบอะซิงโครนัส เพื่อให้เวลาในการรับข้อมูลในแต่ละช่องไม่ต้องถูกจำกัดด้วยเวลาที่เท่ากัน การคิดบิตเรตจริงของระบบต้องคำนวนจากค่าของบิตเรตในแต่ละช่องรวมกัน ในที่นี้ระบบที่ใช้งานมีบิตเรตเท่ากับ 240 กิโลบิตต่อวินาที

การจัดเฟรมในระบบ TDM จะถูกควบคุมด้วยสัญญาณบิตคล็อก และส่วนควบคุมเฟรม เพื่อใช้เป็นสัญญาณชิงโครไนซ์ที่สถานีรับ ข้อมูลดิจิตอลที่ถูกจัดในแต่ละเฟรมอาจมีการเข้ารหัสในลักษณะของ RZ,NRZ หรือแมนเชสเตอร์ เพื่อให้สามารถส่งออกได้อย่างมีประสิทธิภาพมากขึ้น ตัวกำเนิดแสงอาจเลือกใช้ LED หรือเลเซอร์ไดโอดตามความเหมาะสม

ที่ภาครับ ข้อมูลที่รับได้จะถูกจัดรูปและตรวจสอบสัญญาณ เพื่อชิงโครไนซ์สัญญาณให้ได้ข้อมูลที่ถูกต้อง และหากมีการเข้ารหัส (เช่น RZ, NRZ) มาก่อนจะต้องถูกถอดรหัสเสียก่อน แล้วจึงทำการดีมัลติเพล็กซ์สัญญาณออกมา ขณะทำการดีมัลติเพล็กซ์ สัญญาณคล็อกในสถานีส่งจะเป็นตัวกำหนดการชิงโครไนซ์ให้ถูกต้องยิ่งขึ้น สัญญาณคล็อกที่มาจากสถานีส่งอาจใช้ไฟเบอร์ออปติกอีกเส้นหนึ่งส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาพร้อมกันกับข้อมูล แต่วิธีการเช่นนี้ทำให้งบประมาณการใช้จ่ายมีค่าเพิ่มขึ้น การแก้ไขสามารถทำได้โดยใช้วิธีการเข้ารหัสข้อมูลที่จะส่งเป็นแบบแมนเชสเตอร์ ซึ่งจะทำให้ทราบตำแหน่งเริ่มต้นและตำแหน่งสุดท้ายของข้อมูลได้ โดยการตรวจสอบด้วยตนเอง จึงไม่จำเป็นต้องใช้ไฟเบอร์ออปติกเส้นอื่นเพื่อส่งสัญญาณคล็อก หรือสัญญาณซิงโครไนซ์อีกต่อไป

สัญญาณที่ถูกแยกออกมาแล้วในแต่ละช่อง จะผ่านขบวนการที่เหมาะสมของมันก่อนนำไปใช้งานต่อไป ดังเช่น สัญญาณอนาลอกที่ส่งมาแบบดิจิตอลจะต้องถูกแปลงกลับด้วยวงจรดีทูเอคอนเวอร์เตอร์ (D/A) เสียก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

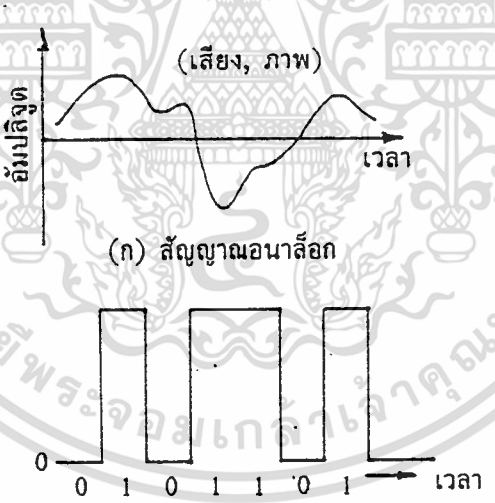
บทที่ 5

หลักการของ PULSE MODULATION

การแสดงสัญญาณในรูปของดิจิตอล

สัญญาณดิจิตอลที่ส่งออกไปนั้นจะเป็นแบบดิสครีททั้งเวลาและอัมปลิจูด ส่วนสัญญาณเดิมจะเป็นสัญญาณเสียงหรือสัญญาณภาพซึ่งเป็นสัญญาณอนาล็อกโดยที่สัญญาณนี้มีอัมปลิจูดเปลี่ยนแปลงอย่างต่อเนื่องไปกับเวลา ถ้าแสดงความแตกต่าง ระหว่างสัญญาณทั้งสองอีกครั้งอย่างง่ายๆจะเป็นตามรูป 5.1

ในการที่จะส่งสัญญาณอนาล็อกในรูปของดิจิตอลนั้นจำเป็นต้องแปลงสัญญาณให้มีรูปร่างต่างกันไปโดยที่ยังรักษาข่าวสารเดิมไว้



(ก) สัญญาณอนาล็อก

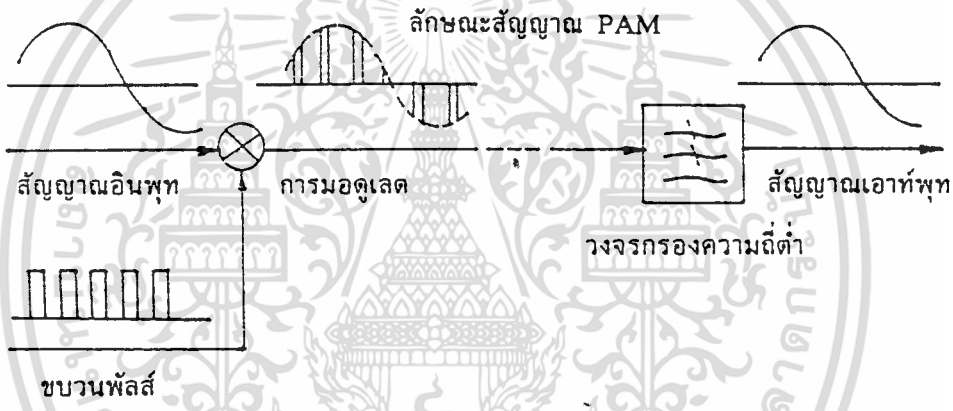
(ข) สัญญาณดิจิตอล

รูปที่ 5.1 สัญญาณอนาล็อกและดิจิตอล

กระบวนการเบื้องต้นที่จะแปลงสัญญาณอนาล็อกให้เป็นดิจิตอลนั้นจะอาศัยทฤษฎีการแซมปลิ้ง(sampling theorem) โดยมีแนวความคิดเบื้องต้นตามรูป 5.2 ขบวนการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

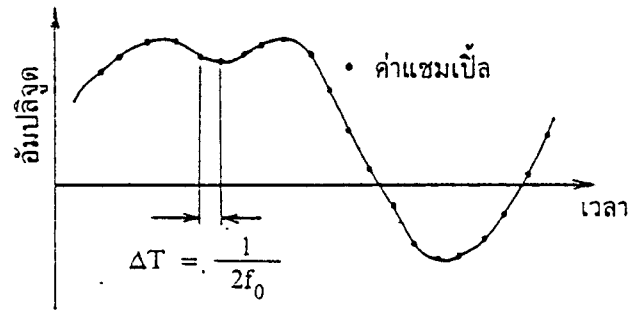
พัลส์ที่เอาท์พุทของมอดูเลเตอร์จะเปลี่ยนแปลงไปตามระดับของสัญญาณอินพุท สำหรับด้านรับนั้น เมื่อองค์ประกอบความถี่สูงของขบวนพัลส์ถูกกำจัดออกโดยวงจรกรองความถี่ต่ำ(low pass filter)แล้ว จะได้รับสัญญาณเดิม กล่าวอีกนัยหนึ่งคือ ถ้าแซมปลิ้งสัญญาณอินพุทด้วยระยะห่างที่เท่ากันแล้ว ก็จะสามารถทำให้เกิดสัญญาณเดิมได้อย่างสมบูรณ์ที่ด้านรับ ซึ่งตามทฤษฎีการแซมปลิ้งกล่าวว่า "ถ้าข่าวสารในสัญญาณถูกจำกัดให้มีความถี่สูงสุดเป็น f_o แล้ว หากใช้ขบวนการพัลส์ที่มีความถี่เท่ากับหรือมากกว่า $2f_o$ ทำการแซมปลิ้ง ก็สามารถจะเก็บข่าวสารได้อย่างสมบูรณ์"



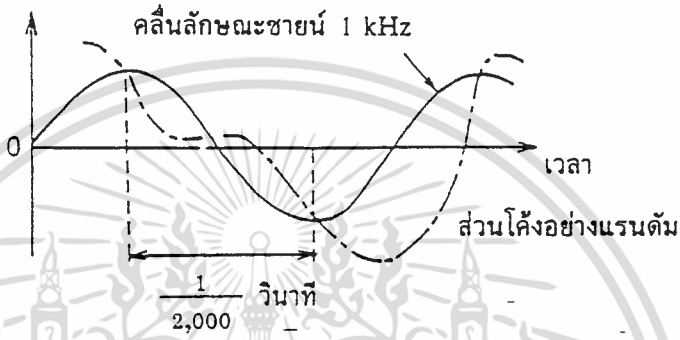
รูปที่ 5.2 บล็อกไดอะแกรมตามแนวความคิดของทฤษฎีการแซมปลิ้ง

ตัวอย่างเช่นถ้าลักษณะคลื่น g(t) ตามรูป 5.3(ก) เป็นสัญญาณชุ่งถูกจำกัดแถบความถี่ให้มีเพียง f_o และถ้าอัมปลิจูดของลักษณะคลื่น(ค่าแซมเปิ้ล)ถูกกำหนดให้เป็นแบบดิสครีทที่ทุกๆ 1/2 f_oวินาทีแล้วที่ด้านรับจะได้รับสัญญาณ g(t) อย่างแน่นอน สำหรับ "0"ในลักษณะคลื่นตามรูป 5.3(ก) นั้นแสดงค่าแซมเปิ้ล ระยะห่างของแต่ละจุดที่แซมปลิ้งคือ 1/2 f_o ถูกเรียกว่า Nyquist Interval

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ลักษณะคลื่น g(t)



(ข) การแซมปลิ้งคลื่นลักษณะซายน์ 1 kHz

รูปที่ 5.3 จุดแซมปลิ้งและค่าแซมปลิ้ง

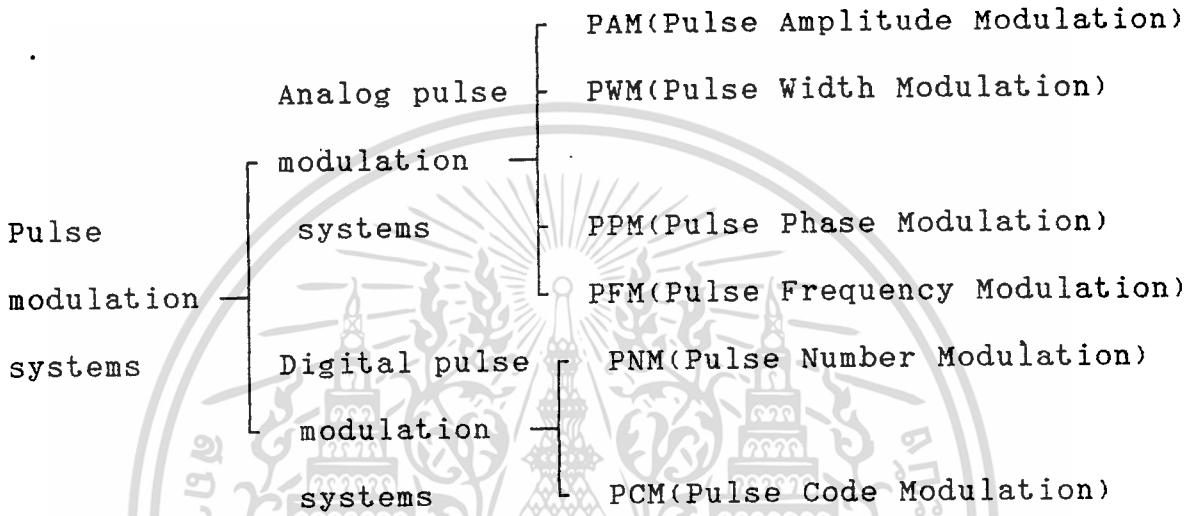
แม้ว่าจะเขียนส่วนโค้งผ่านจุดแซมปลิ้งทั้งสองในระหว่าง Nyquist Interval ได้หลายๆแบบก็ตาม ถ้าเขียนตามใจชอบแล้วส่วนโค้งเหล่านั้นจะมีองค์ประกอบความถี่ f_0 เพียงส่วนโค้งเดียวเท่านั้น สำหรับส่วนโค้งอื่นๆจะมีองค์ประกอบความถี่สูงกว่า f_0 ทั้งสิ้น ตัวอย่างเช่นในการแซมปลิ้งคลื่นลักษณะซายน์ความถี่ 1 kHz ถ้าใช้เวลาในการแซมปลิ้งทุกๆ 1/2,000 วินาทีตามรูป 5.3(ข) แล้ว องค์ประกอบของความถี่ที่สูงกว่า 1 kHz จะปรากฏขึ้น

ระบบพัลส์มอดูเลชั่น

เมื่อจะแนกระบบของพัลส์มอดูเลชั่นแล้วจะมี 2ระบบกว้างๆคือระบบพัลส์อนาล็อกมอดูเลชั่นและระบบพัลส์ดิจิตอลมอดูเลชั่น แบบแรกได้จากการแซมปลิ้งสัญญาณอนาล็อกให้เป็นค่าดิสครีทในช่วงเวลาที่เท่ากันอย่างสม่ำเสมอ แล้วทำการส่งในหลายๆรูปแบบโดยยังคงรักษาสัญญาณอนาล็อกเดิมไว้ดัง เช่นระบบ PAM (Pulse Amplitude Modulation), PWM (Pulse Width Modulation), PPM (Pulse Phase

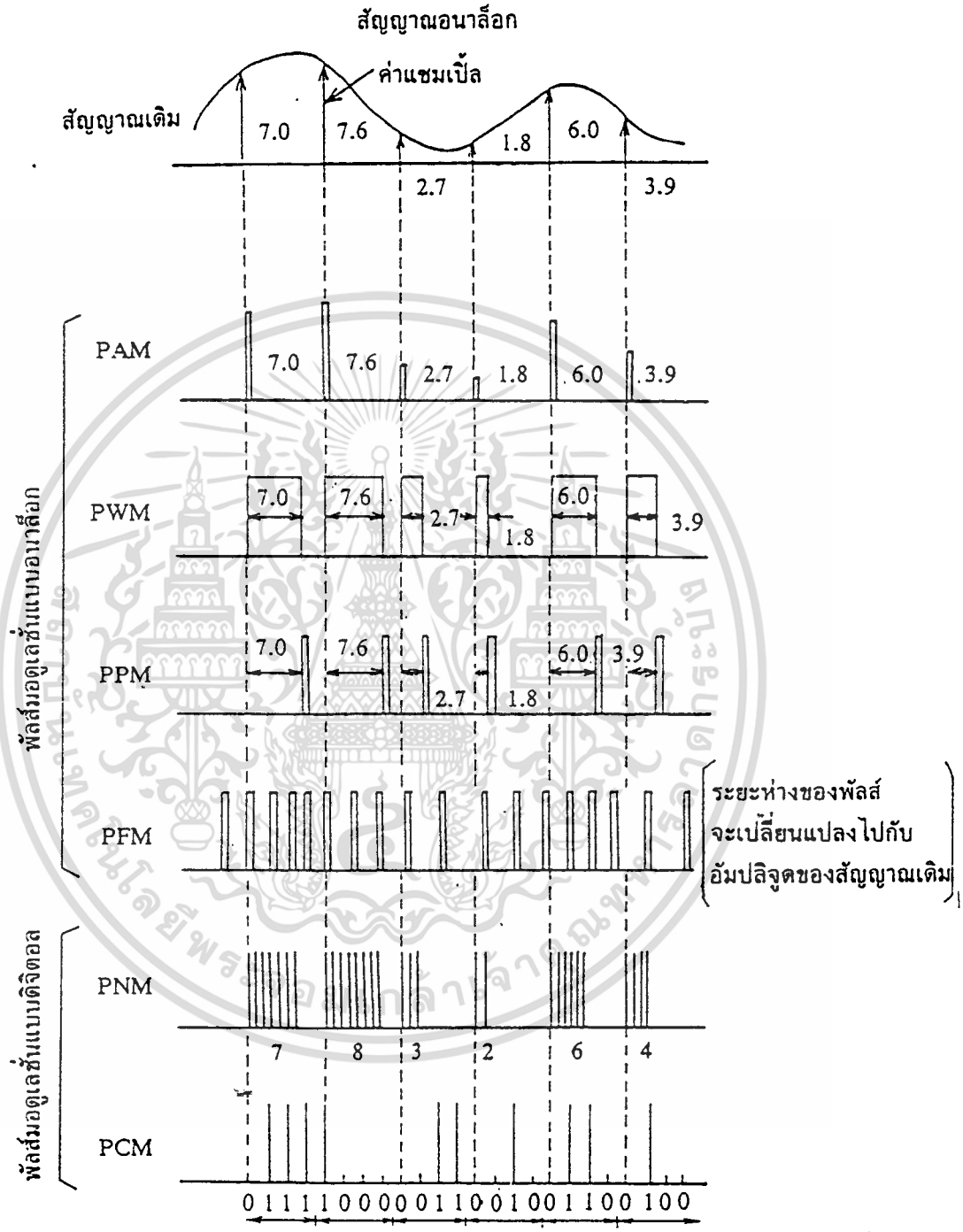
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

Modulation) และ PFM (Pulse Frequency Modulation) ส่วนแบบที่สองนั้นจะใช้ค่าแบบดิสครีททั้งเวลาและอัมปลิจูดโดยผ่านกระบวนการควอนไตซิ่ง(Quantizing) และการเข้ารหัส(Coding) ซึ่งจะกล่าวให้ละเอียดในตอนหลังระบบนี้แบ่งออกเป็น 2 แบบคือPNM(Pulse Number Modulation)และPCM(Pulse Code Modulation) พัลส์มอดูเลชั่นระบบต่างๆที่กล่าวมาข้างต้นพอสรุปได้เป็นดังนี้และแสดงการเปรียบเทียบไว้ในรูป 5.4



ในระบบแบบอนาล็อก ปริมาณที่เป็นอนาล็อกเช่น PAM และ PWM นั้น เมื่อมันถูกส่งออกไปยังด้านรับ ถ้ามีนอยส์ปนอยู่ในช่องสัญญาณใดๆก็จะไม่สามารถแยกสัญญาณเดิมออกมาได้อย่างแจ่มชัด ซึ่งระบบต่างๆเหล่านี้จะมีนอยส์มากกว่าของแบบดิจิตอลพัลส์มอดูเลชั่น แต่อย่างไรก็ตามระบบ PFM เป็นการมอดูเลตแบบความถี่จากสัญญาณเดิม ดังนั้นมีนอยส์น้อยกว่าของระบบ PAM,PWM และ PPM จึงถูกนำไปใช้ในระบบการส่งสัญญาณภาพไปในเคเบิ้ลใยแก้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



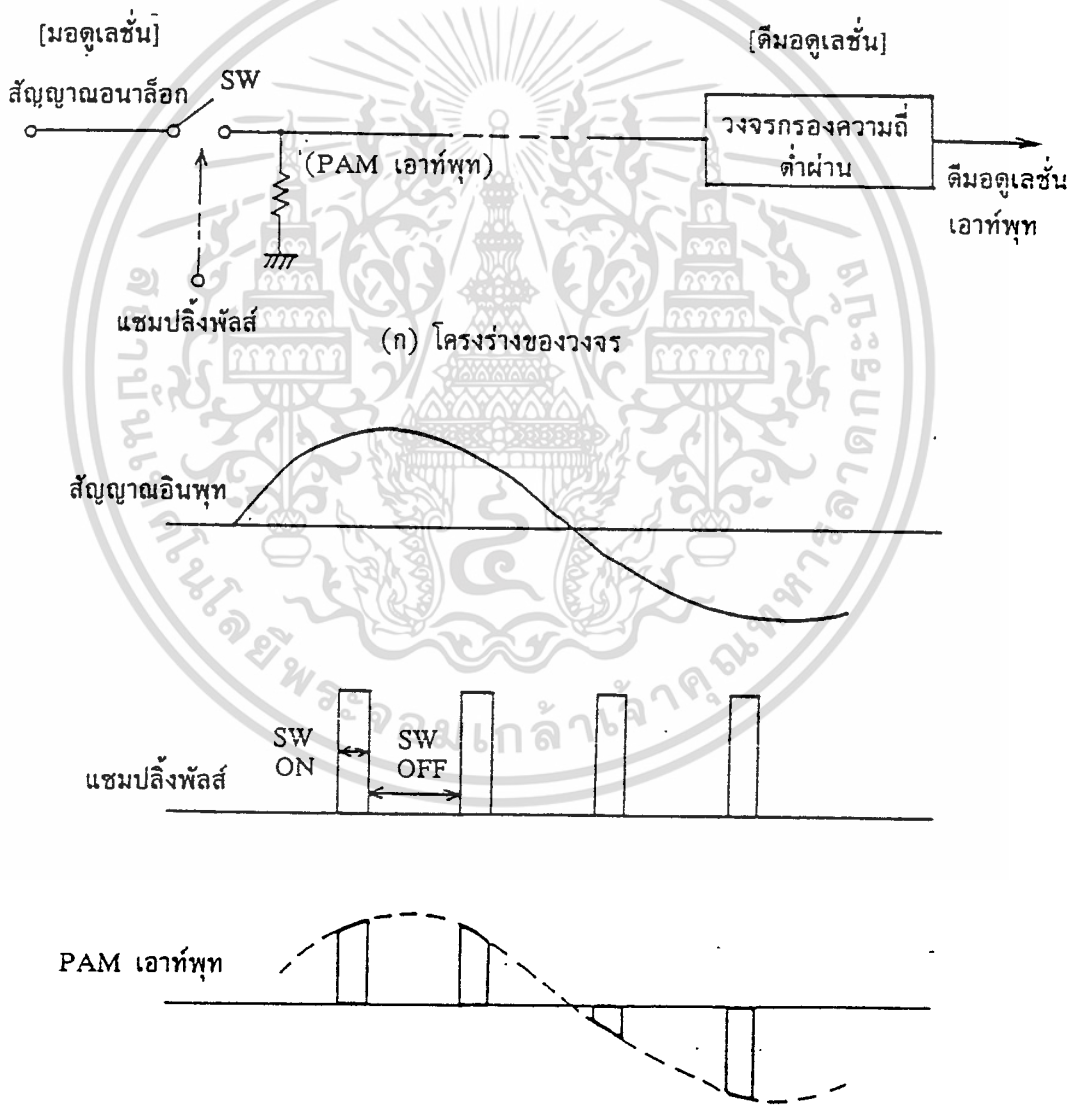
รูปที่ 5.4 พัลส์มอดูเลชั่นระบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อไปนี้จะอธิบายถึงพัลส์มอดูเลชั่นแบบต่างๆเพิ่มเติมพอเป็นสังเขป แต่ว่าในบรรดาระบบต่างๆเหล่านั้นระบบ PCM ถูกนำมาใช้กันอย่างกว้างขวางจึงอธิบายไว้อย่างละเอียดในบทต่อไป

พัลส์อัมปลิจูดมอดูเลชั่น(PAM)

หลักการเบื้องต้นของมอดูเลตและดีมอดูเลตแบบ PAM นั้นแสดงไว้ในรูป 5.5 ตามรูปสวิทช์จะปิดเฉพาะเวลาแซมปลิ้งเท่านั้น ขนาดของพัลส์ที่ได้รับจะเป็นสัดส่วนโดยตรงกับอัมปลิจูดของสัญญาณเดิม

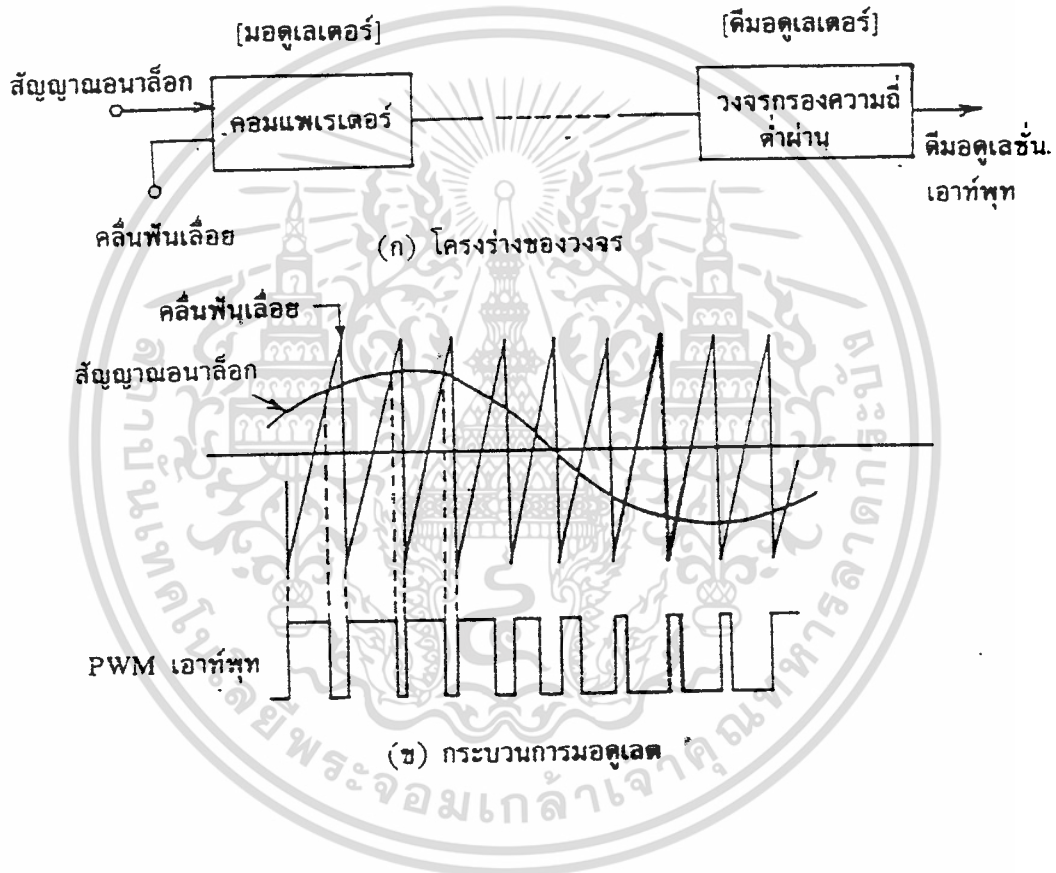


รูปที่ 5.5 หลักการของ PAM มอดูเลชั่นและดีมอดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลส์วิดธ์มอดูเลชั่น(PWM)

ตามรูป 5.6 เป็นหลักการของมอดูเลชั่นและดีมอดูเลชั่นแบบ PWM ที่เอาท์พุทของคอมแพเรเตอร์ จะเป็น "High" เมื่อสัญญาณอนาล็อกมีอัมปลิจูดสูงกว่าลักษณะคลื่นแบบฟันเลื่อย(sawtooth)เท่านั้น และขบวนการพัลส์ที่ได้จะมีความกว้างเปลี่ยนแปลงไปกับอัมปลิจูดของสัญญาณเดิม

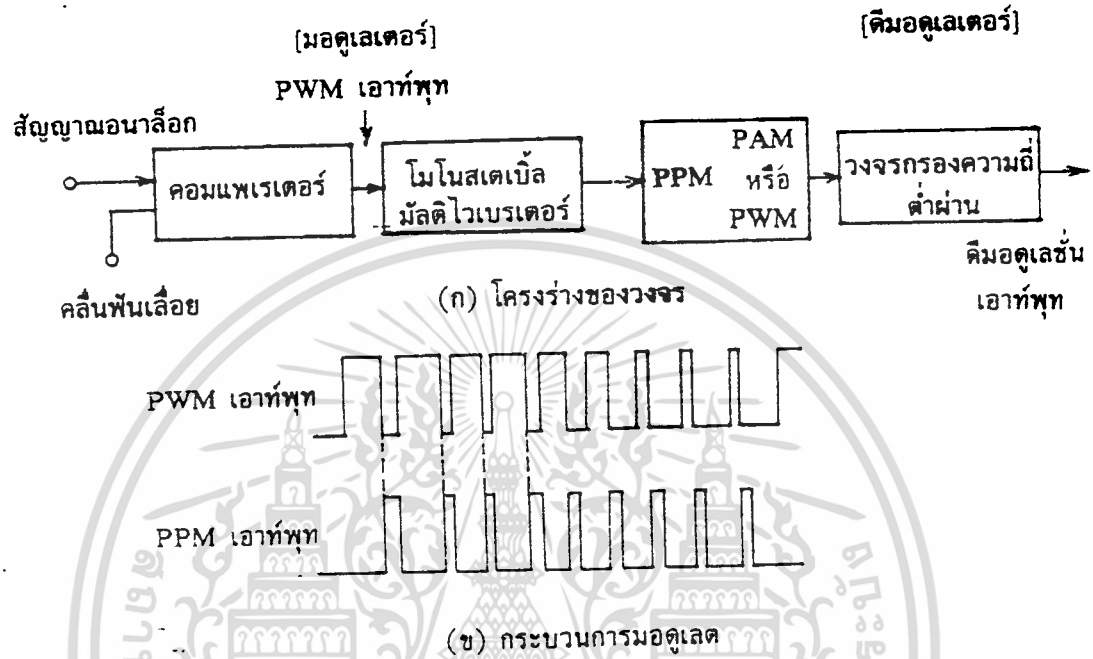


รูปที่ 5.6 หลักการของ PWM มอดูเลชั่นและดีมอดูเลชั่น

พัลส์เฟสมอดูเลชั่น(PPM)

ตามรูป 5.7 เมื่อเปลี่ยนสัญญาณเดิมให้เป็น PWM แล้ว ถ้าทำให้โมโนสเตเบิ้ลมัลติไวเบรเตอร์ ทำงานที่จุดตกของพัลส์แล้ว จะได้พัลส์ซึ่งมีความกว้างคงที่ กล่าวคือจากจุดเริ่มต้นที่แชมปลิ้งมาถึงจุดนี้จะเป็นอัมปลิจูดของสัญญาณเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

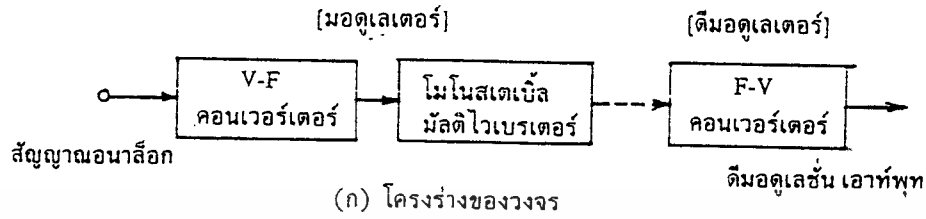


รูปที่ 5.7 หลักการของ PPM มอดูเลชั่นและดีมอดูเลชั่น

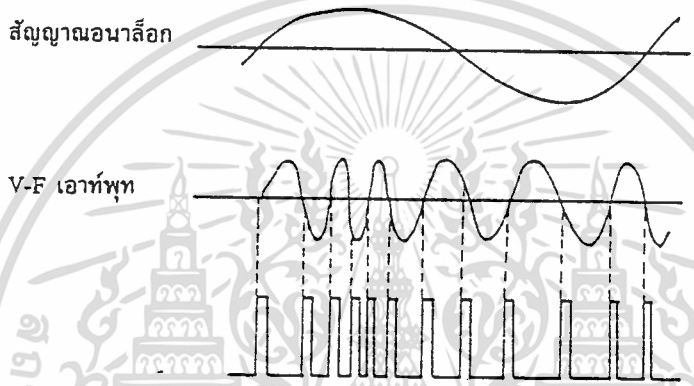
พัลส์ฟรีเควนซีมอดูเลชั่น(PFM)

วิธีนี้จะใช้ V-F(Voltage-Frequency)คอนเวอร์เตอร์ซึ่งเปลี่ยนอินพุทโวลเตจของสัญญาณเดิมให้เป็นความถี่ที่สูงบ้างต่ำบ้างตามขนาดของสัญญาณ และเมื่อตัดยอด (slicing) ด้วยระดับที่คงที่ก็จะได้ PFM ตามต้องการตามรูป 5.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) โครงร่างของวงจร



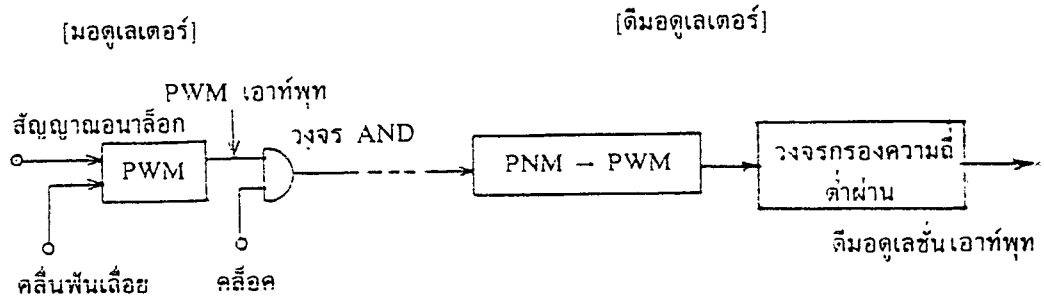
(ข) กระบวนการมอดูเลต

รูปที่ 5.8 หลักการของ PFM มอดูเลชั่นและมอดูเลชั่น

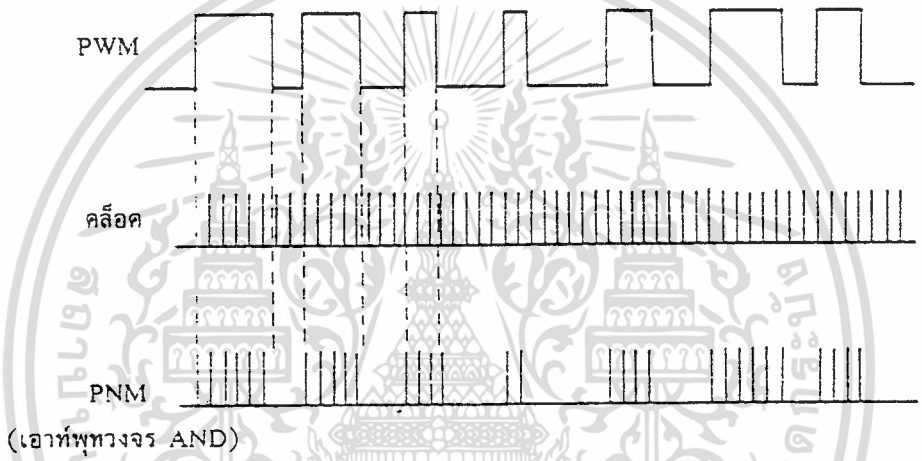
พัลส์นัมเบอร์มอดูเลชั่น(PNM)

ตามรูป 5.9 สัญญาณอนาล็อกจะถูกเปลี่ยนให้เป็น PWM ก่อน แล้วผ่านวงจร "AND" ก็จะได้ PNM ตามจังหวะการปิด-เปิดของคล็อคพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) โครงร่างของวงจร



(ข) กระบวนการมอดูเลต

รูปที่ 5.9 หลักการของ PNM มอดูเลชั่นและดีมอดูเลชั่น

พัลส์โค๊ดมอดูเลชั่น(PCM)

หลักการเบื้องต้นของ PCM นั้น อาจคิดได้ว่าสามารถสร้างได้จาก PNM คือนำจำนวนพัลส์ที่ได้มาสร้างเป็นรหัสทางไบนารี(binary code) ตัวอย่างเช่น จำนวนพัลส์ของ PNM เป็น 6 ก็จะเปลี่ยนเป็นรหัสทางไบนารีได้ดังนี้

$6 = \underline{1} * 2^2 + \underline{1} * 2^1 + \underline{0} * 2^0$ ——— 110 (แสดงรหัสไบนารี)

ดิจิตอลพัลส์มอดูเลชั่นแบบต่างๆจากรูป 5.4 นั้นก็จะเข้าใจได้ว่าแซมปลิ้งอัมปลิจูดของสัญญาณเพื่อให้ได้ค่าหนึ่งก่อน แล้วจัดระดับให้มีขนาดใกล้เคียงกับความจริงให้มากที่สุดซึ่งเรียกว่าควอนไตซิ่ง สำหรับ PCM นั้นถ้าไม่พิจารณาการผิดพลาดที่เกิดจากการควอนไตซ์แล้วมันจะเป็นแบบดิสครีททั้งเวลาและอัมปลิจูด ถึงแม้ว่าในสายส่งจะมีนอยส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าไปรบกวนก็ตาม ทางด้านรับก็สามารถจะทำให้เกิดสัญญาณเดิมได้ตราบเท่าที่การดีเทคไม่มีการผิดพลาด สำหรับ PNMนั้นจำเป็นต้องเพิ่มจำนวนพัลส์เพื่อลดการผิดพลาดของค่าแซมเปิ้ลในการควอนไตซ์ดังนั้นจะทำให้ส่งสัญญาณได้เร็วกว่าของ PCM ภายใต้ความถูกต้องที่เหมือนกัน

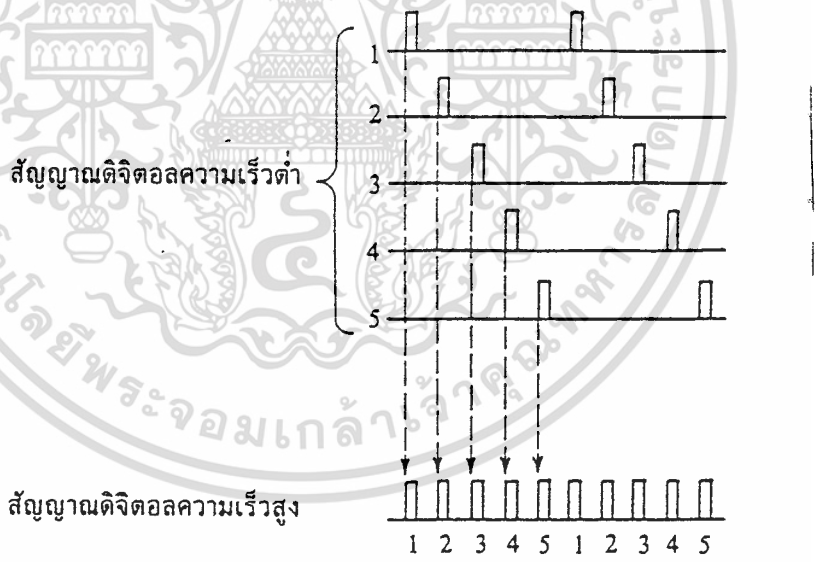
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การเข้ามัลติเพล็กซ์และลำดับชั้นของระบบ

วิธีการเข้ามัลติเพล็กซ์

ในการส่งข่าวสารให้เกิดการประหยัดนั้น ถ้ารวมข้อมูลที่มาจากต่างอุปกรณ์เข้าด้วยกันเป็นกลุ่มใหญ่ แล้วทำเป็นมัลติเพล็กซ์ส่งออกไปจะมีผลดีกว่า โดยทั่วไปสัญญาณดิจิตอลจะเป็นพัลส์ซึ่งมีสภาพ "มี" หรือ "ไม่มี" ในช่วงเวลาที่คงที่ และก็เป็นไปได้ที่ใช้ช่วงเวลาที่ว่างอยู่ระหว่างพัลส์ต่อพัลส์นี้ เพิ่มสัญญาณต่างๆแล้วทำเป็นมัลติเพล็กซ์ส่งออกไปโดยวิธีของ TDM ตามที่แสดงไว้ในรูป 6.1 อุปกรณ์ที่กระทำมัลติเพล็กซ์และดีมัลติเพล็กซ์ (กระทำในทางตรงข้าม) ถูกเรียกรวมกันว่า มัลติเพล็กซ์คอนเวอร์ชั่น (Multiplex conversion) หรือ เรียกอีกอย่างหนึ่งว่า มัลติเพล็กเซอร์ (Multiplexer)



รูปที่ 6.1 หลักการของการเข้ามัลติเพล็กซ์ของสัญญาณดิจิตอล

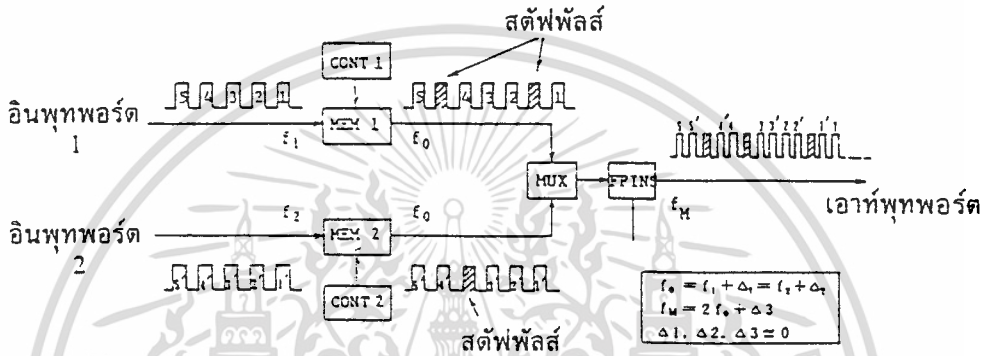
วิธีการเข้ามัลติเพล็กซ์มี 2 แบบซึ่งอธิบายได้ดังต่อไปนี้

การเข้ามัลติเพล็กซ์แบบสตัฟพัลส์(Stuffed-pulse multiplex)

เป็นวิธีที่ read สัญญาณอินพุทด้วย clock ที่มีความเร็วสูงกว่าสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(อันดับต่ำกว่า)ของทุกชุดเล็กน้อย แล้วจัดสัญญาณอินพุทนี้ใหม่เป็นดิจิตอลมัลติเพล็กซ์ที่มีความเร็วสูงขึ้นด้วยรีดคล็อค(read clock)นี้เนื่องจากจะเกิดความแตกต่างระหว่าง clock pulse และสัญญาณดิจิตอลในอันดับต่ำกว่า จึงใส่พัลส์แทรกลงไป(เรียกว่าสตัฟพัลส์)ในช่องว่างของเวลานั้นตามที่แสดงไว้ในรูป 6.2



รูปที่ 6.2 หลักการของการเข้ามัลติเพล็กซ์แบบสตัฟพัลส์

การเข้ามัลติเพล็กซ์แบบซิงโครพัส(Synchronous Multiplexing)

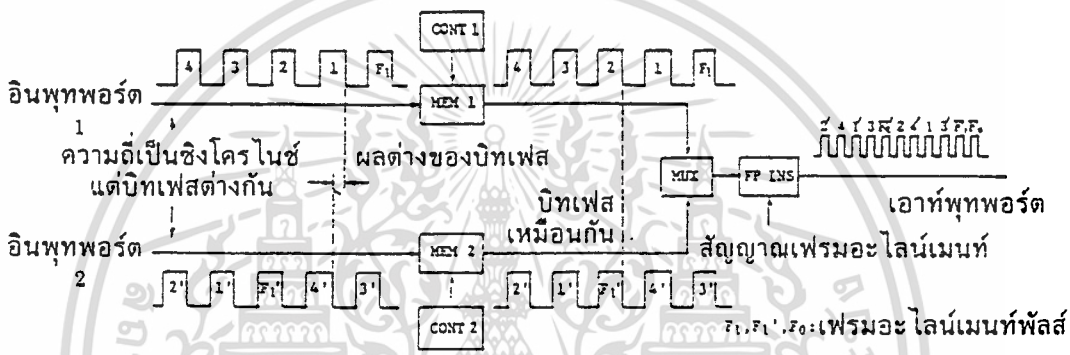
การเข้ามัลติเพล็กซ์ชนิดนี้แบ่งออกเป็น 2 วิธีคือ Frequency Synchronized Multiplexing(FSM)และ Phase Synchronized Multiplexing(PSM)ซึ่งจะกล่าวรายละเอียดดังต่อไปนี้

ก) FSM เป็น TDM ซึ่งกระทำหลังจากได้ทำการซิงโครไนซ์ความถี่ของสัญญาณดิจิตอลที่อินพุทจากช่องสัญญาณดิจิตอลต่างๆ โดยวิธีทางเทคนิคในการซิงโครไนซ์โครงข่าย(จะกล่าวในบทที่ 7) โดยสมบูรณ์แล้ว รูป 6.3 แสดงหลักการของ FSM โดยที่อินพุททั้ง 2 ช่อง เป็นสัญญาณดิจิตอลที่ผ่านการซิงโครไนซ์โครงข่ายมาแล้ว (มีความถี่เท่ากัน)ในขณะนี้จะปรากฏจิตเตอร์(Jitter)(การคลาดเคลื่อนของตำแหน่งในแต่ละบิทตามแกนเวลา)เล็กน้อย แต่หน่วยความจำจะทำให้สัญญาณดิจิตอลที่เข้ามาทางดินพุททั้งสองพอร์ตมีบิทเฟสเหมือนกันได้ นอกจากนั้น รีดคล็อกในหน่วยความจำทั้งสองซึ่งมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหา

ความถี่เป็น 2 เท่าของความถี่สัญญาณอินพุทจะอ่านข้อมูลสลับกันไปก็จะได้มัลติเพล็กซ์ซึ่งมีความเร็วเป็น 2 เท่าของอินพุท

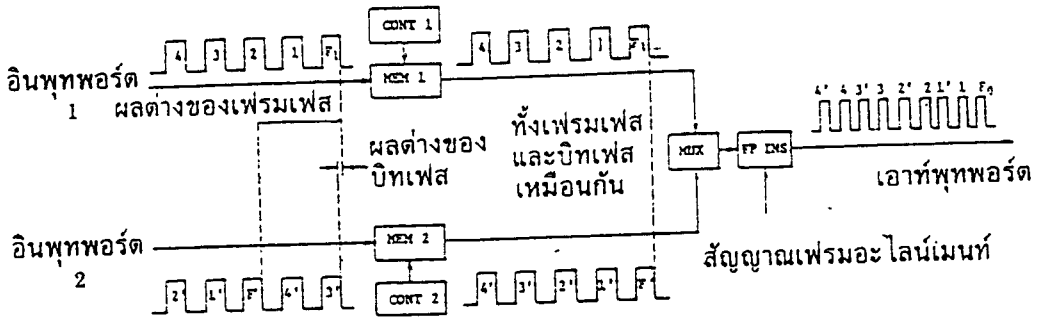
อนึ่ง โดยทั่วไปในระหว่างการเข้ามัลติเพล็กซ์นั้น จะใส่สัญญาณสำหรับเป็นเฟรมอะไลน์เมนท์ในช่วงเวลาที่คงที่ตามรูป 6.3และที่ด้านรับก็จะค้นหาสัญญาณนี้จากสัญญาณมัลติเพล็กซ์แล้วแยกสัญญาณดิจิตอลให้กับอินพุทพอร์ต 1 และพอร์ต 2 ต่อไป



รูปที่ 6.3 หลักการของการเข้ามัลติเพล็กซ์แบบความถี่ซิงโครไนซ์

ข) PSM เป็น TDM ซึ่งมีหลักการคล้ายกับของแบบ FSM สัญญาณดิจิตอลอินพุทที่เข้ามาจะผ่านการซิงโครไนซ์ความถี่มาแล้ว ในหน่วยความจำนั้นไม่เพียงแต่จะทำให้ TDM มีเฟสเท่ากันเท่านั้น แต่จะทำให้สัญญาณดิจิตอลระดับต่ำกว่ามีเฟรมเฟสเท่ากันด้วย รูป 6.4 แสดงหลักการของ PSM ในสัญญาณดิจิตอลที่มี 2 อินพุท ตามรูปเดียวกัน สัญญาณที่ผ่านการซิงโครไนซ์มาแล้วจากอินพุท 1และอินพุท 2 จะผ่านเข้าไปยังหน่วยความจำแต่ละตัวซึ่งหน่วยความจำนี้จะทำได้ 1 เฟรมจากนั้นจะจัดเฟรมเฟสเพื่อส่งให้แก่มัลติ-เพล็กซ์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.4 หลักการของการเข้ามัลติเพล็กซ์แบบเฟสชิงโครไนซ์

ในการจัดเฟรมนั้น สัญญาณที่เข้ามาก่อนจะถูกจำไว้ชั่วคราว ทันทีที่เฟรมอะไลน์เมนท์พัลส์ของสัญญาณช่องอื่นซึ่งมาทีหลังเข้ามาถึง ข้อมูลในหน่วยความจำทั้งสองจะถูกอ่านพร้อมๆกัน ดังนั้นเฟรมเฟสระหว่างสัญญาณทั้งสองซึ่งแตกต่างกันก่อนที่เข้าไปยัง MEM 1 และ MEM 2 นั้น เมื่อสัญญษณออกจาก MEM 1 และ MEM 2 แล้วจะมีเฟรมเฟสเหมือนกัน วิธีนี้ที่เอาท์พุทของมัลติเพล็กเซอร์ไม่จำเป็นต้องใส่เฟรมอะไลน์เมนท์ลงในพัลส์ของแต่ละช่องก็ได้ ซึ่งสามารถจะใส่เฟรมอะไลน์เมนท์ลงในสัญญาณดิจิตอลมัลติเพล็กซ์ที่เอาท์พุทของมัลติเพล็กเซอร์ได้เลย เพราะว่าเมื่อด้านรับดีเทคได้พัลส์นี้แล้วไม่เพียงแต่จะรู้ว่าสัญญาณของพอร์ทใดเท่านั้น ยังสามารถดีเทคช่องต่างๆ(ตามรูป 6.4 CH 1-4,1-4)เหล่านั้นได้โดยตรงอีกด้วย ตามที่ได้กล่าวมาแล้ว FSM จึงมีข้อดีเป็นอย่างมากคือสามารถแยกช่องสัญญาณดิจิตอลออกจากสัญญาณมัลติเพล็กซ์ได้โดยตรง ถ้านำข้อดีนี้ไปใช้ก็จะเป็นการสะดวกที่จะแยกหรือเพิ่มช่องสัญญาณพิเศษลงไป หรือสับเปลี่ยนช่องกันระหว่างสัญญาณดิจิตอลเหล่านั้น โดยที่ยังรักษาสภาพของสัญญาณดิจิตอลมัลติเพล็กซ์ไว้ในรูปเดิม

ลำดับขั้นของระบบ(Hierarchy)

Hierarchy เป็นลำดับขั้นตอนการพัฒนาระบบดิจิตอลมัลติเพล็กซ์ซึ่งคล้ายกับกรณีของแบบอนาล็อกที่จัดเป็น G,SG,MG,SMG และ JG ในระบบดิจิตอลมัลติเพล็กซ์นั้นจะจัดตามขนาดของสัญญาณที่ส่งไปหรือจำนวนช่องเป็นลำดับขั้นซึ่งเรียกว่า stage หรือ order กล่าวคือแต่ละ stage จะรวมสัญญาณดิจิตอลจากอุปกรณ์ต่างๆที่มีอัตราการส่งเท่ากัน(อย่างกรณีของระบบ PCM มัลติเพล็กซ์หรือระบบดิจิตอลสวิชชิ่ง) เพื่อส่งไปยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มัลติเพล็กเซอร์ต่อไป ดังนั้นที่เอาท์พุทของแต่ละ stageจะมีอัตราการส่งต่างกันจึงทำให้การส่งไปยังจุดหมายปลายทางเป็นไปอย่างมีประสิทธิภาพ และมีความยืดหยุ่นในการส่งได้

CCITTเชื่อว่าในการเชื่อมโยงโครงข่ายภายในของนานาประเทศนั้น เป็นเพียงอุดมคติเท่านั้นที่จะใช้ Hierarchy เพียงอย่างเดียว ในที่สุดจึงได้กำหนดให้มี Hieraaarchy ของดิจิตอลมัลติเพล็กซ์ 3 แบบต่างๆกันใน 2 แบบแรกจะเริ่มต้นจากบิทเรท1.544 Mb/sec(ระบบ PCM-24)ซึ่งใช้ในอเมริกา ญี่ปุ่นและแคนาดา อีกแบบหนึ่งจะเริ่มจากบิทเรท 2.048 Mb/sec(ระบบ PCM-30)ซึ่งใช้ในประเทศแถบยุโรปที่เป็นสมาชิกของ CEPT(Council of European Posts and Telecommunications)

การพิจารณาการส่งสัญญาณแบบดิจิตอล

การจัดรูปแบบของอุปกรณ์สำหรับส่งสัญญาณดิจิตอลตามสาย

ระบบการส่งสัญญาณดิจิตอลไปตามสายเคเบิ้ลนั้นจะประกอบด้วยอุปกรณ์หลายๆชนิดอย่างเช่น อุปกรณ์ PCM มัลติเพล็กซ์ อุปกรณ์ดิจิตอลมัลติเพล็กซ์และอุปกรณ์ทวนสัญญาณระหว่างทางซึ่งถูกบรรจุไว้ในแมนโฮล(Manhole)ดังแสดงไว้ในรูป 6.6

โครงร่างของวงจรจังก์ชั่น(Junction circuit)แบบมูลฐาน

โครงร่างของ Junction circuit จะมี 4 แบบ ซึ่งขึ้อยู่กับชนิดของอุปกรณ์สวิชชิ่งที่จะใช้ดังแสดงไว้ในรูป 6.5 ซึ่งพอจะสรุปได้ว่า Junction circuit ที่เป็นแบบดิจิตอลจะถูกนำมาใช้ระหว่างอุปกรณ์สวิชชิ่งชนิดอนาล็อกกับชนิดดิจิตอล และในระหว่างอุปกรณ์สวิชชิ่งชนิดดิจิตอลด้วยกัน เพื่อที่จะติดตั้งโครงข่ายกี่สื่อสารแบบดิจิตอลสมัยใหม่ได้ทั้งยังเป็นการลดค่าใช้จ่ายได้อีกด้วยสำหรับ Junction circuit ที่เป็นแบบอนาล็อกนั้นจะถูกนำมาใช้กับวงจรที่มีระยะทางสั้นๆในระหว่างอุปกรณ์สวิชชิ่งชนิดอนาล็อกด้วยกัน

เคเบิ้ลที่ใช้เป็นสื่อกลางในการส่ง

เคเบิ้ลที่ใช้สำหรับการส่งสัญญาณดิจิตอลมี 3 ชนิดด้วยกัน ดังนี้

ก)เคเบิ้ลแบบคู่สมมาตร(Symmetrical pair cable)

เคเบิ้ลชนิดนี้ใช้เป็นตัวกลางกันอย่างแพร่หลายมากที่สุด โดยเฉพาะเคเบิ้ลที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

ฉนวนหุ้มเป็นพลาสติกจะถูกนำมาใช้กับการส่งแบบดิจิตอล เคเบิ้ลชนิดนี้สามารถใช้ส่งสัญญาณดิจิตอล 1.544 Mb/sec,2.048 Mb/sec ได้ และสามารถส่งสัญญาณที่มีบิทเรทสูงสุดได้ถึง 8 Mb/sec

ข)เคเบิ้ลแกนร่วม(Coaxial cable)

เคเบิ้ลชนิดนี้จะมีไม่กี่แบบขึ้นอยู่กับเส้นผ่าศูนย์กลางของตัวนำแต่เคเบิ้ลแกนร่วมที่มีขนาด 2.6/9.5 มม.จะถูกนำมาใช้เป็นหลัก เพราะว่ามีการลดทอดสัญญาณน้อยและสามารถส่งความถี่ได้สูงเคเบิ้ลชนิดนี้ใช้สำหรับส่งสัญญาณดิจิตอล 100,140,274 และ 565 Mb/sec สำหรับบิทเรทสูงสุดที่สามารถส่งไปได้อาจจะเป็นหลายๆร้อย Mb/sec

ค)เคเบิ้ลใยแก้ว(Optic fiber cable)

เคเบิ้ลชนิดนี้เป็นตัวกลางที่ทันสมัยที่สุดข้อดีโดยที่ไปของเคเบิ้ลใยแก้วที่ใช้สำหรับส่งสัญญาณดิจิตอลมีดังนี้

1) มีการลดทอนสัญญาณต่ำจึงสามารถติดตั้งอุปกรณ์ทวนสัญญาณห่างกว่าของเคเบิ้ลชนิดอื่นๆ

2) มีแบนด์วิดธ์กว้างมาก

3) มีราคาวัสดุถูกอย่างเป็นไปได้

4) ปราศจากการรบกวนและครอสทอล์ค

5) มีขนาดเล็กซึ่งมีน้ำหนักเบาและโค้งงอได้

(ก)ระหว่างชุมสายอนาล็อกระยะใกล้

วงจรอนาล็อกจั่งก์ชั่น

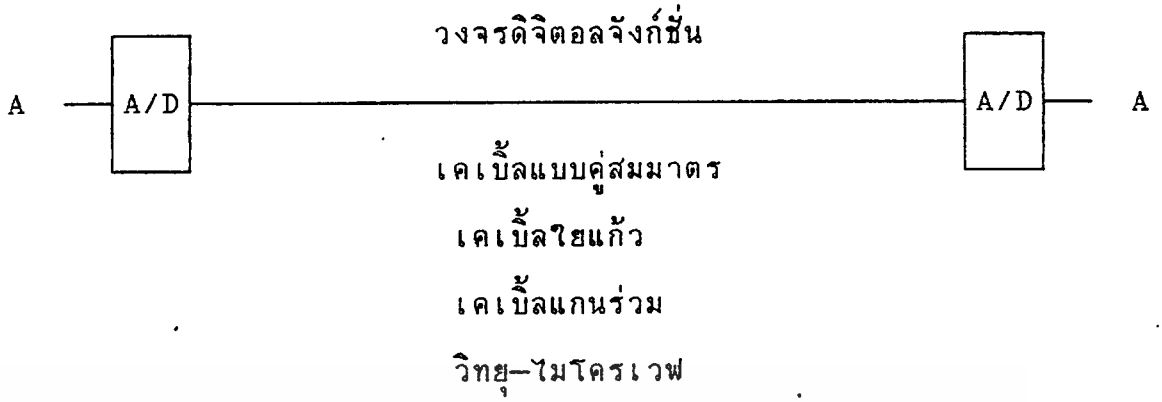
A ——————————————————————— A

น็อนโหลดเคเบิ้ล

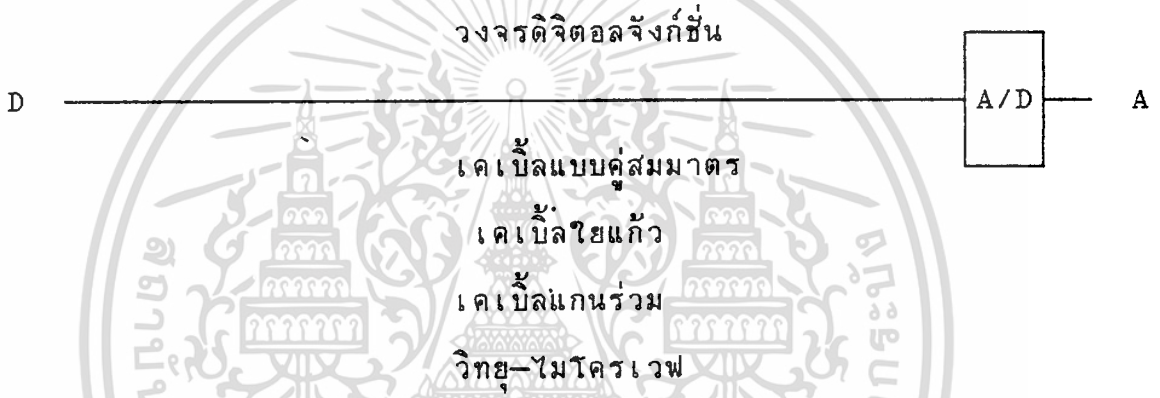
โหลดเคเบิ้ล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

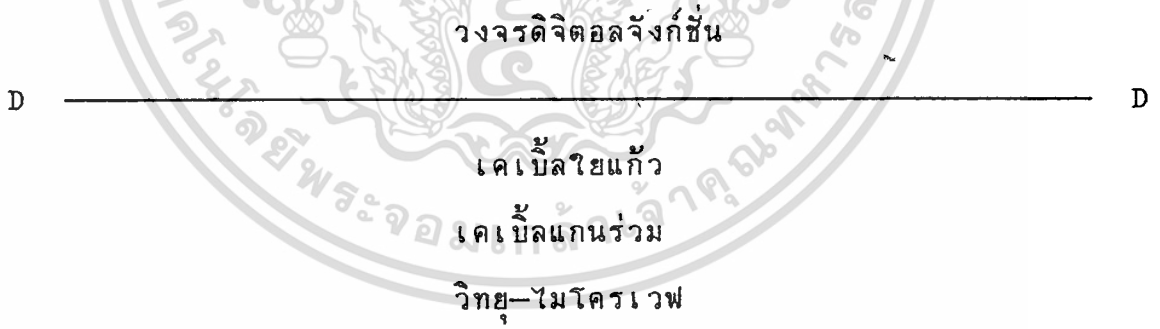
ระยะไกล



(ข) ระหว่างชุมสายอนาล็อกและดิจิตอล



(ค) ระหว่างชุมสายดิจิตอล



A : อุปกรณ์สลับสายแบบอนาล็อก

D : อุปกรณ์สลับสายแบบดิจิตอล

A/D : D/A, A/D คอนเวอร์เตอร์
(อุปกรณ์ PCM มัลติเพล็กซ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.5 โครงร่างวงจรจังก์ชั่นเบื้องต้น

บทที่ 7

การชิงโครไนซ์และการส่งรหัสสัญญาณตามสาย

(Synchronization and Line Transmission Code)

แนวคิดเบื้องต้นในการชิงโครไนซ์

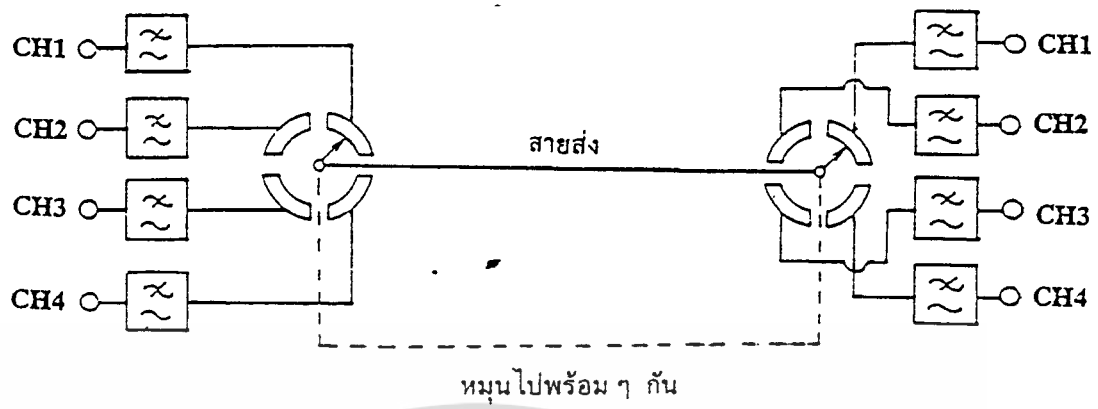
ก่อนอื่นจะกล่าวถึงหลักการเบื้องต้นของระบบมัลติเพล็กซ์แบ่งตามเวลา (TDM) ว่าเป็นอย่างไรกล่าวคือตามรูป 7.1(ก) ทางด้านส่งและด้านรับจะมีสวิทช์หมุนด้านละ 1 ตัวซึ่งหมุนไปเป็นจังหวะเท่าๆกัน ในช่วงเวลาหนึ่ง ช่องสัญญาณที่ 1 ของทั้ง 2 ด้านก็จะต่อกันได้ โดยสวิทช์หมุนอาศัยหลักการนี้แซมปลิ้งพัลส์ที่ส่งมาจากทุกช่องสัญญาณทางด้านส่งก็สามารถส่งผ่านสายส่งเพียงคู่เดียวและสามารถกระจายไปยังช่องสัญญาณที่สอดคล้องกันที่ด้านรับได้

จากรูป 7.1(ข)แสดงพัลส์ที่มาจากทุกช่องสัญญาณซึ่งมีเฟสเคลื่อนไปเล็กน้อยและนำมาแทรกกันไว้ระหว่างกันตามแกนเวลา กล่าวคือแซมปลิ้งของช่องสัญญาณที่ 2 และช่องสัญญาณที่ 3 จะถูกใส่ไว้ระหว่างแซมปลิ้งตัวแรกและตัวที่2 ของช่องสัญญาณที่ 1 โดยแบ่งตามช่วงเวลา ดังนั้นวิธีการนี้จึงเรียกว่าระบบมัลติเพล็กซ์แบบแบ่งตามเวลา

การสื่อสารระบบ TDMโดยเฉพาะระบบ PCM นั้นเป็นสิ่งแน่นอนแล้วว่า เมื่อทางด้านรับได้รับสัญญาณแล้วต้องทำให้แน่ใจว่า สัญญาณแต่ละบิทของช่องสัญญาณเดียวกันมีความถูกต้องและยังต้องแยกสัญญาณพัลส์แต่ละกลุ่มไปสู่ช่องสัญญาณที่สอดคล้องกันได้อย่างถูกต้องด้วย ด้วยเหตุนี้จึงมีกระบวนการหนึ่งที่จะทำให้สวิทช์ทำงานตามที่ได้กล่าวมาแล้ว กระบวนการนี้เรียกว่า การชิงโครไนซ์(synchronization)ตามรูป 7.2

การชิงโครไนซ์ที่จะกล่าวในตอนแรกนี้จะเน้นถึงการชิงโครไนซ์ของสัญญาณในส่วนของสายส่งและในตอนหลังจะกล่าวถึง การชิงโครไนซ์อีกลักษณะหนึ่งซึ่งเน้นในส่วนของอุปกรณ์ อย่างไรก็ตามการชิงโครไนซ์ในประเด็นแรกจะแบ่งได้เป็น 2 ชนิด ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.1สวิทช์หมุนจะหมุนไปพร้อมกันเพื่อต่อสายให้ช่องสัญญาณด้านส่งและด้านรับตรงกัน

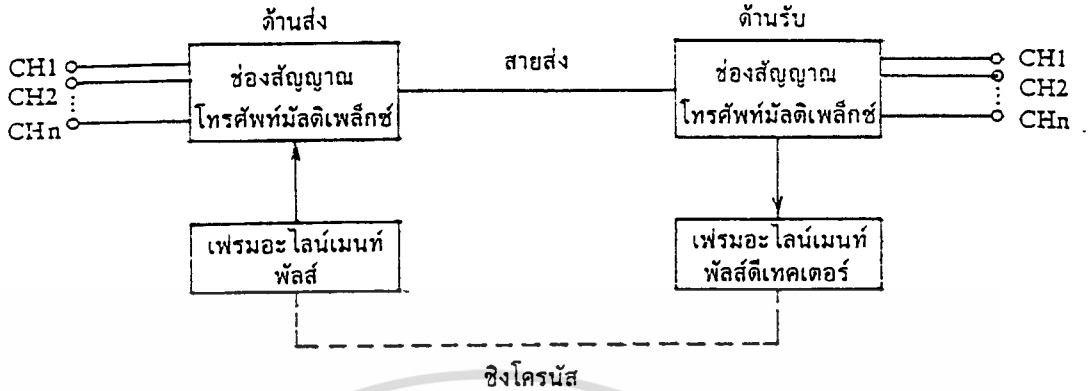
บิทซิงโครไนเซชั่น(Bit Synchronization)

กระบวนการแซมปลิ้ง การเข้ารหัสและการเข้ามัลติเพล็กซ์ที่ด้านส่งตลอดทั้งการดีมัลติเพล็กซ์และการถอดรหัสทางด้านรับจะต้องมีคล็อคพัลส์(clock pulse)เป็นตัวควบคุมให้สอดคล้องกันอย่างบิทต่อบิทตามบล็อกไดอะแกรมอย่างกว้างๆในรูป 7.3 และการที่จะได้บิทซิงโครไนซ์ที่ถูกต้องนั้น โดยทั่วไปทางด้านรับจะมีวงจรสร้างคล็อคพัลส์ขึ้นใหม่โดยอาศัยขบวนพัลส์ที่ได้รับ ดังนั้นจะทำให้กระบวนการระหว่างด้านส่งและด้านรับเป็นไปด้วยความถูกต้องในช่วงเวลาเดียวกัน

เฟรมซิงโครไนเซชั่น(Frame Synchronization)

ทางด้านรับต้องกำหนดให้แน่ชัดว่าขบวนพัลส์ชุดใดจะเป็นของช่องสัญญาณใดดังนั้นจึงจำเป็นต้องกำหนดเฟรมให้ได้ก่อน(เฟรมคือระยะเวลาที่สวิทช์หมุนไปครบ 1 รอบ)คือต้องมีเฟรมซิงโครไนซ์โดยมีหลักการตามรูป 7.2 ทางด้านส่งจะส่งพัลส์ชุดเฉพาะเพื่อบอกให้ด้านรับรู้ว่าจุดเริ่มต้นของเฟรมจะอยู่ที่ใด การซิงโครไนซ์วิธีนี้เป็นการกระทำแบบเฟรมต่อเฟรม ถึงแม้ว่าจะมีบิทซิงโครไนซ์แล้วก็ตาม ถ้าหากไม่แยกรหัสของสัญญาณเสียงของแต่ละช่องสัญญาณมัลติเพล็กซ์ได้อย่างถูกต้องแล้ว อาจเกิดการรบกวนเนื่องจากการแทรกซ้อนจากช่องสัญญาณอื่นซึ่งเรียกว่า ครอสทอล์ค(crosstalk)ได้ ส่วนทางด้านรับก็จะค้นหาพัลส์เฉพาะนี้และนำขบวนพัลส์ที่ตามมาแยกไปตามช่องสัญญาณต่างๆต่อไป

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.2 เฟรมซิงโครไนเซชั่นทำได้โดยการใส่เฟรมอะไลน์เมนท์พัลส์เพื่อกำหนดตำแหน่งเริ่มต้น

เฟรมอะไลน์เมนท์(Frame Alignment)

ในระบบ TDM นั้น สัญญาณ(พัลส์)ของแต่ละช่องสัญญาณจะรวมกันเข้าเป็นมัลติเพล็กซ์และในขณะเดียวกันในช่วงเวลาหนึ่งจะใส่พัลส์ 1 ลูก หรือพัลส์ที่มี pattern เฉพาะ(ขึ้นอยู่กับการออกแบบ)ไว้ทุกๆรอบ ซึ่งรอบหนึ่งๆเรียกว่าเฟรม การใส่พัลส์เฉพาะนี้ลงไปเรียกว่า เฟรมอะไลน์เมนท์ ทางด้านรับจะดีเทคพัลส์เหล่านี้เพื่อกำหนดช่วงเวลา (time slot)ให้แก่ช่องสัญญาณต่างๆ กล่าวคือใน 1 เฟรมจะมีค่าแซมปลิ้งของทุกช่องสัญญาณ จะเห็นได้ว่ามีทั้งหมด 32 times slot (TS) ซึ่ง 30 TS จะใช้สำหรับ 30 ช่องสัญญาณ PCM ซึ่งเข้ารหัสด้วย 8 บิท อีก 2 TS นั้นใช้สำหรับการส่งสัญญาณ(signalling) 1TS และที่เหลืออีก 1TS ใช้ร่วมกันเป็นเฟรมอะไลน์เมนท์สลับกับการบำรุงรักษาและการควบคุมต่างๆ

ในการส่งสัญญาณระบบ PCM นั้น สิ่งที่จะบอกให้ทราบว่ามีอัตราการส่งช้าหรือเร็วเพียงใดนั้น จะใช้ค่าบิทเรทเป็นเครื่องวัด ซึ่งเป็นอัตราที่บอกให้ทราบว่าใน 1 วินาทีสามารถส่งสัญญาณได้กี่บิท คือแสดงเป็นหน่วย bit/sec ดังนั้นคำนวณบิทเรทของระบบดังกล่าวจะได้ดังนี้

เพราะว่าจำนวนบิทใน 1 เฟรมจะมี 32*8 = 256 บิท

และใน 1 เฟรมจะใช้เวลา = 125 μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

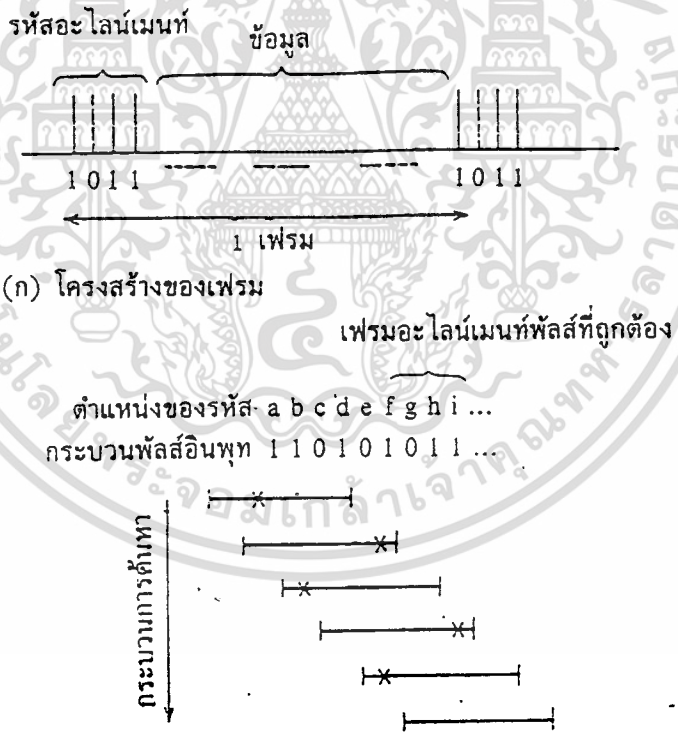
ดังนั้นใน 1 วินาทีจะส่งได้ 256/125 = 2.048 Mb

นั่นคือบิทเรทของระบบนี้ = 2.048 Mb/s

อนึ่ง ในทางปฏิบัตินั้นจะใช้พัลส์ซึ่งมีดิวตี้ไซเกิ้ล(duty cycle) 50% ดังนั้นจากการคำนวณข้างต้นจะทราบว่า 1 บิทจะใช้เวลา 125/256 = 0.488 μsและความกว้างของพัลส์ 1 ลูก จะเท่ากับ 0.488/2 = 0.244 μs

การค้นหาเฟรมอะไลน์เมนท์

ถ้าทางด้านรับค้นหาเฟรมไม่พบ ก็จะไมาสามารถเข้ากระบวนการถอดรหัสได้ดังนั้นจึงต้องมีวิธีการค้นหาเฟรมอะไลน์เมนท์ตามที่แสดงไว้ในรูป 7.3



(ข) กระบวนการค้นหารหัสเฟรมอะไลน์เมนท์

รูปที่ 7.3 กระบวนการค้นหาเฟรมอะไลน์เม็นท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติว่าเฟรมอะไลน์เมนท์พัลส์ถูกกำหนดให้มี 4 บิทซึ่งเป็นรหัส "1011"ทุกๆ เฟรมตามรูป 7.3(ก)และถ้าอินพุทพัลส์จากตำแหน่ง a-i มีรหัสตามรูป (ข) ในการค้นหานั้นตอนแรกรหัสในตำแหน่ง a-d จะถูกตรวจก่อน ถ้ารหัสที่ b เป็น "1" พัลส์กลุ่มนี้ก็จะไม่เป็นอะไลน์เมนท์พัลส์จากนั้นจะเคลื่อน(shift)ไป 1 บิทถึงตำแหน่ง e แล้วทำการตรวจรหัสจาก b-e ตามตัวอย่างก็จะทราบว่าไม่ใช่อะไลน์เมนท์เช่นเดียวกันในทำนองเดียวกันเมื่อทำเช่นนี้ต่อไปเรื่อยๆจะเห็นว่ารหัสจากตำแหน่ง c-f, d-g และ e-h ก็จะไม่ใช่อะไลน์เมนท์พัลส์อีกผลสุดท้ายก็จะพบว่าระหว่าง f-i จะเป็นอะไลน์เมนท์พัลส์ แต่อย่างไรก็ตามอาจจะเป็นการบังเอิญก็ได้เพื่อให้แน่ใจว่าเป็นอะไลน์เมนท์พัลส์จริงจึงจำเป็นต้องตรวจที่ตำแหน่งเดียวกันในเฟรมถัดมาด้วยว่ามีหรือไม่

เพื่อทำให้เวลาในการค้นหาเฟรมนั้นสั้นเข้าอาจกระทำได้โดยเพิ่มจำนวนอะไลน์เมนท์พัลส์ใน 1 เฟรมหรือทำให้เฟรมนั้นสั้นลงพร้อมทั้งเพิ่มจำนวนอะไลน์เมนท์พัลส์โดยให้สัมพันธ์กับพัลส์ข้อมูล(data pulses)ก็ได้ อย่างไรก็ตามการทำโดยวิธีดังกล่าวอาจทำให้ประสิทธิภาพในการส่งลดลงได้ดังนั้นจึงต้องพิจารณาให้ทีสภาพที่เหมาะสมด้วย

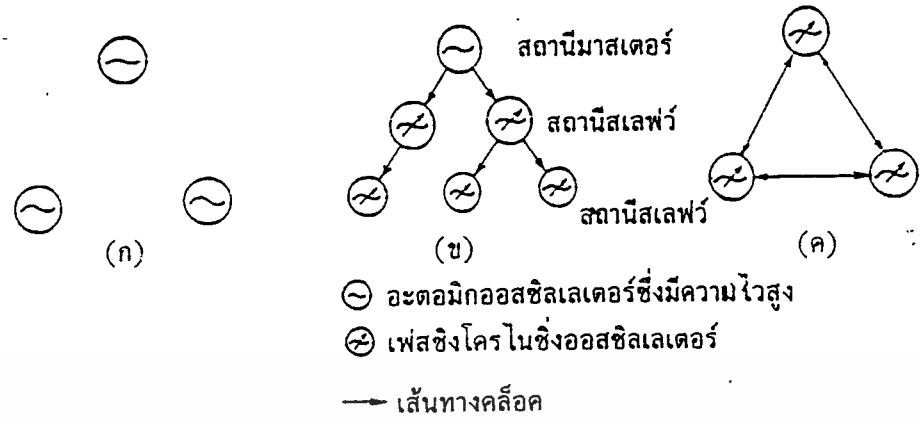
วิธีการซิงโครไนซ์ในระบบดิจิตอลมัลติเพล็กซ์

การซิงโครไนซ์ที่ได้กล่าวมาข้างต้นนั้นเป็นการซิงโครไนซ์ของ PCM มัลติเพล็กซ์เพื่อให้สัญญาณเสียง ซึ่งถูกเปลี่ยนเป็นดิจิตอลแล้วถูกส่งไปในสายส่งโดยตรง และด้านรับก็จะรับสัญญาณแต่ละช่องได้อย่างถูกต้องด้วยสำหรับการซิงโครไนซ์ที่จะกล่าวต่อไปนี้เป็นวิธีการในระบบดิจิตอลมัลติเพล็กซ์ ซึ่งเกิดจากการนำสัญญาณดิจิตอลหลายๆ ช่องมารวมกันเพื่อที่จะทำให้มีช่องสัญญาณมากขึ้นโดยทั่วไปสัญญาณดิจิตอลที่จะไปเข้ามัลติเพล็กซ์จะถูกสร้างจากอุปกรณ์มัลติเพล็กซ์ต่างชุดกัน ดังนั้นบิทเรทจะแตกต่างกันบ้างด้วยเหตุนี้จึงต้องมีการซิงโครไนซ์เพื่อให้สัญญาณดิจิตอลเหล่านี้รวมไปด้วยกันได้ ซึ่งกระทำได้เป็น 2 วิธีดังนี้

การซิงโครไนซ์โครงข่าย(Network Synchronization)

เป็นการทำให้ความถี่ของ clock ทุกๆสถานีและอุปกรณ์ต่างๆมีมาตรฐานอย่างเดียวกันตลอดโครงข่ายการส่งสัญญาณแบบดิจิตอล การซิงโครไนซ์วิธีนี้แบ่งได้เป็น 3 ชนิดตามรูป 7.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) การซิงโครไนซ์แบบอิสระ

(ข) การซิงโครไนซ์แบบมาสเตอร์-สเลฟว์

(ค) การซิงโครไนซ์แบบมิวชวล

รูปที่ 7.4 ชนิดของการซิงโครไนซ์โครงข่าย

ก) การซิงโครไนซ์แบบอิสระ(Independent Synchronization)

วิธีนี้จะใช้ออสซิลเลเตอร์ที่มีความไวสูงติดตั้งไว้แต่ละสถานีอย่างอิสระ(ดังนั้นอาจจะคิดได้ว่าทุกสถานีจะมีความถี่ clock ที่เท่ากัน)จึงเหมาะสำหรับการที่จะขยายงานใหม่ เปลี่ยนแปลงแบบใหม่หรือยกเลิกโครงข่ายเท่านั้น

ข) การซิงโครไนซ์แบบมาสเตอร์-สเลฟว์(Master-Slave Synchronization)

วิธีนี้จะกำหนดให้สถานีหนึ่งเป็นมาสเตอร์โดยมี clockที่มีเสถียรภาพดีจ่ายไปยังสถานีอื่นๆ ซึ่งเรียกว่าสเลฟว์ไปตามโครงข่ายการจ่าย clock สถานีอื่นก็จะรับ clock นี้ เพื่อนำไปใช้ในการซิงโครไนซ์ได้ แต่วิธีนี้จะมีปัญหาคือ สถานีที่เป็นสเลฟว์จะได้รับการรบกวนและเหตุการณ์ที่เกิดขึ้นโดยบังเอิญจากเส้นทางการจ่าย clockดังนั้นสถานีที่เป็นสเลฟว์จะต้องมีวิธีรักษาความถี่ของ clock ให้ใกล้เคียงกับของสถานีที่เป็นมาสเตอร์ไว้เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

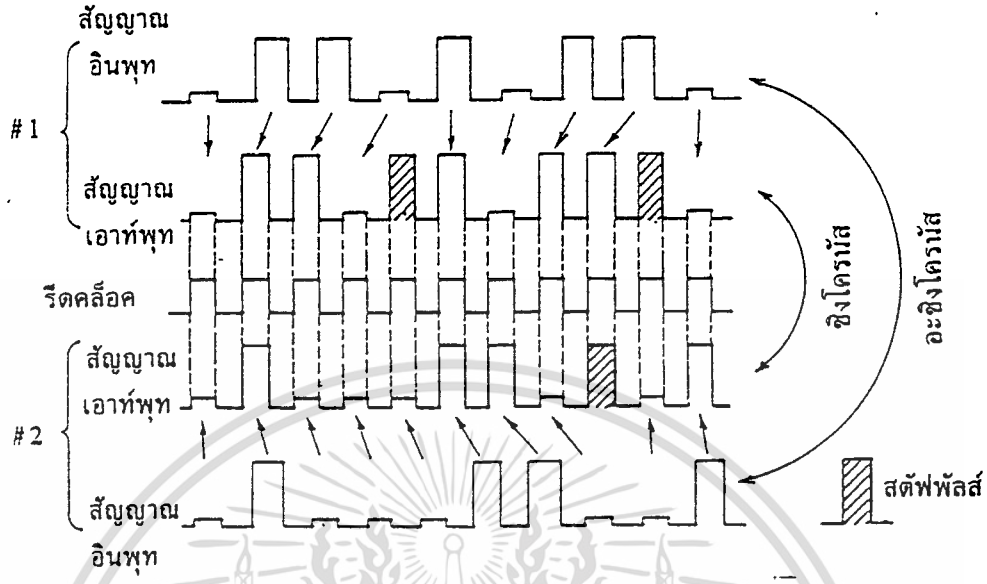
ค) การชิงโครไนซ์แบบมิวชวล(Mutual Synchronization)

วิธีนี้ทุกสถานีจะมีออสซิลเลเตอร์ซึ่งเปลี่ยนความถี่ได้ภายใต้การควบคุมซึ่งกันและกันของ clock จากสถานีอื่นๆ การทำงานในลักษณะเช่นนี้ทุกสถานีในโครงข่ายจะมีความถี่อย่างเดียวกัน จึงไม่จะเป็นต้องใช้ออสซิลเลเตอร์ที่มีเสถียรภาพสูงนักสำหรับการผลิตความถี่ และจะไม่มีความสัมพันธ์ระหว่างสถานีอย่างในกรณีของมาสเตอร์-สเลฟว์ แต่อย่างไรก็ดีการชิงโครไนซ์วิธีนี้เมื่อเปรียบเทียบกับวิธีอื่นแล้วระบบการควบคุมจะยากกว่า ถ้าหากสถานีหนึ่งในโครงข่ายมีเหตุขัดข้องก็จะทำให้สถานีอื่นๆมีผลตามไปด้วย

การชิงโครไนซ์วิธีสตัฟพัลส์(Stuffed-pulse Synchronization)

การชิงโครไนซ์วิธีนี้เป็นการทำให้สัญญาณดิจิตอลที่มาจากอุปกรณ์แต่ละชุดจะถูกเก็บไว้ในหน่วยความจำเป็นการชั่วคราวก่อน จากนั้จะมีสัญญาณ clock เดียวกัน Read สัญญาณเหล่านั้นออกมา เนื่องจาก clock นั้จะมีความเร็วกว่าของสัญญาณดิจิตอลเหล่านั้นเล็กน้อยจึงกล่าวได้ว่าเป็นการเปลี่ยนสัญญาณเหล่านั้นให้มีความเร็วเท่ากัน และเนื่องจากพัลส์ทั้งสองชนิดมีตำแหน่งที่แตกต่างกันอยู่จึงสามารถเพิ่มพัลส์พิเศษลงไป(เรียกว่า สตัฟพัลส์) ในตำแหน่งที่จำเป็นในบางครั้งตามรูป 7.5 สำหรับทางด้านรับก็จำเป็นต้องรู้ตำแหน่งของสตัฟพัลส์นี้ โดยทั่วไปการที่ทำให้รู้ว่ามีสตัฟพัลส์หรือไม่นั้นจะกระทำโดยการกำหนดช่องเวลา(time slot)ไว้ข้างหน้าก่อน และเรียกพัลส์นี้ว่า Stuffing control pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.5 การซิงโครไนซ์วิธีสตัฟพัลส์

อนึ่ง การซิงโครไนซ์ 2 แบบที่กล่าวมานั้น ในวิธีการเข้ามัลติเพล็กซ์ตามบทที่ 6 ก็ถูกแบ่งไว้เช่นเดียวกันแต่จะเรียกต่างกันคือการเข้ามัลติเพล็กซ์ที่อาศัยวิธีการซิงโครไนซ์ของโครงข่ายนั้นเรียกว่า ซิงโครนัสมัลติเพล็กซิ่ง(Synchronous Multiplexing)และที่อาศัยวิธีการซิงโครไนซ์โดยใช้สตัฟพัลส์เรียกว่า อะซิงโครนัสมัลติเพล็กซิ่ง (Asynchronous Multiplexing)โดยทั่วไปถ้าสัญญาณมีความเร็วสูงการซิงโครไนซ์ของโครงข่ายจะกระทำได้ยากแต่อย่างไรก็ตาม. ในแง่ของการประหยัดแล้ว จะนำไปใช้กับสัญญาณที่มีความเร็วต่ำอย่างอุปกรณ์ระบบมัลติเพล็กซ์ในอันดับที่ 2(8.448 Mb/s) หรือต่ำกว่า สำหรับการซิงโครไนซ์โดยใช้สตัฟพัลส์นั้น จะนำไปใช้กับอุปกรณ์ระบบมัลติเพล็กซ์อันดับสูงกว่านี้ขึ้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

วงจรและการทำงานของวงจร

ชุดสื่อสารข้อมูลในโครงงานนี้ประกอบด้วยส่วนสำคัญ คือ

1. ส่วนที่ทำหน้าที่เปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล โดยจะใช้ IC flash A/D ซึ่งมีความเร็วสูงในการทำงาน

2. ส่วนที่ทำหน้าที่เขียนและอ่านข้อมูลลงในหน่วยความจำ ในโครงงานนี้จะใช้วิธีการแบ่งพื้นที่หน่วยความจำที่ใช้ในการเก็บข้อมูลภาพออกเป็น 2 ชุด ทำให้ไม่จำเป็นต้องใช้หน่วยความจำที่มีความเร็วสูงในการทำงาน

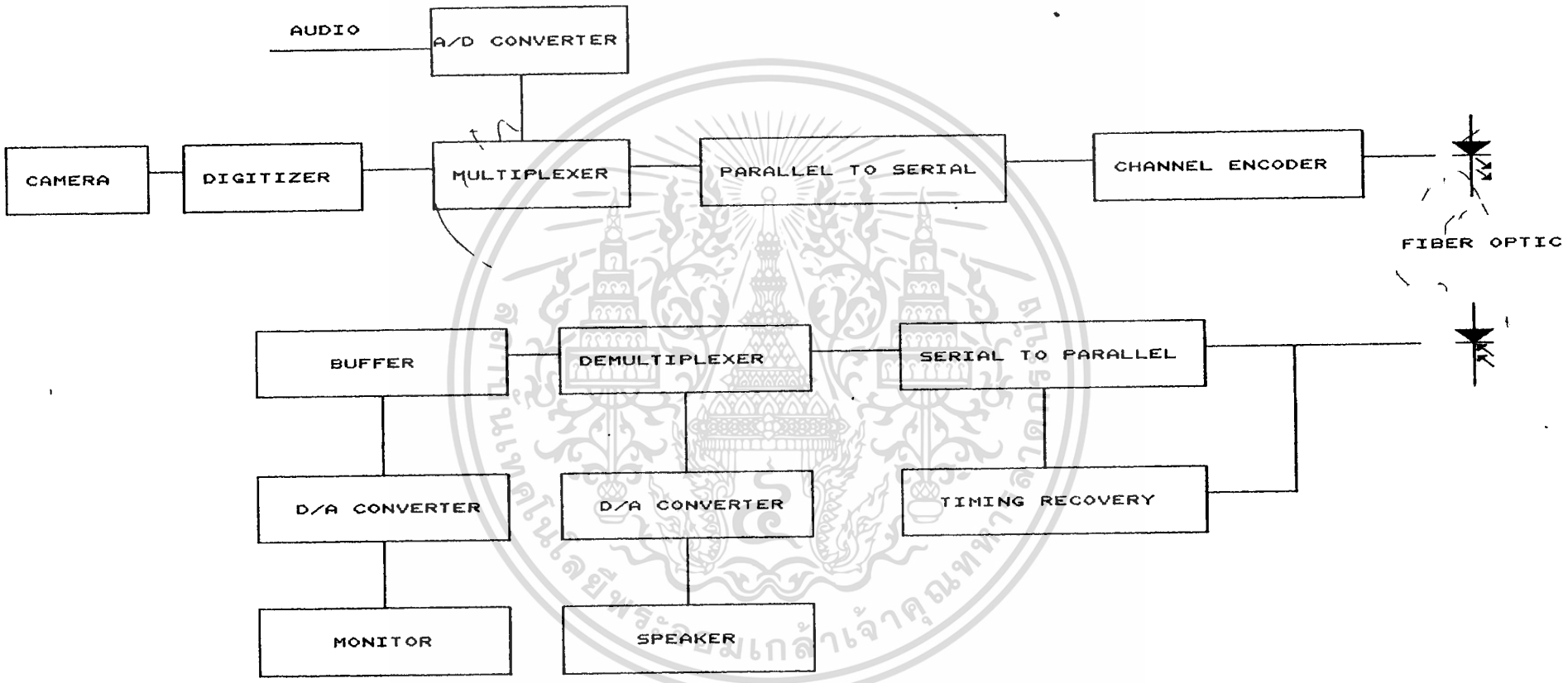
3. ภาคส่ง(Transmitter)ทำหน้าที่แหล่งข้อมูลที่ต้องการส่งอยู่ในรูปแบบข้อมูลอนุกรมที่เหมาะสม แล้วทำการส่งออกไป

4. ภาครับ(Receiver)ทำหน้าที่รับสัญญาณเข้ามา แล้วแปลงกลับให้อยู่แบบข้อมูลขนานเพื่อที่จะนำไปแปลงกลับเป็นสัญญาณอนาล็อกดังเดิม

5. ส่วนที่ทำหน้าที่เปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก เพื่อที่จะนำสัญญาณภาพเข้า Monitorได้

บล็อกไดอะแกรมของระบบทั้งหมดแสดงได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

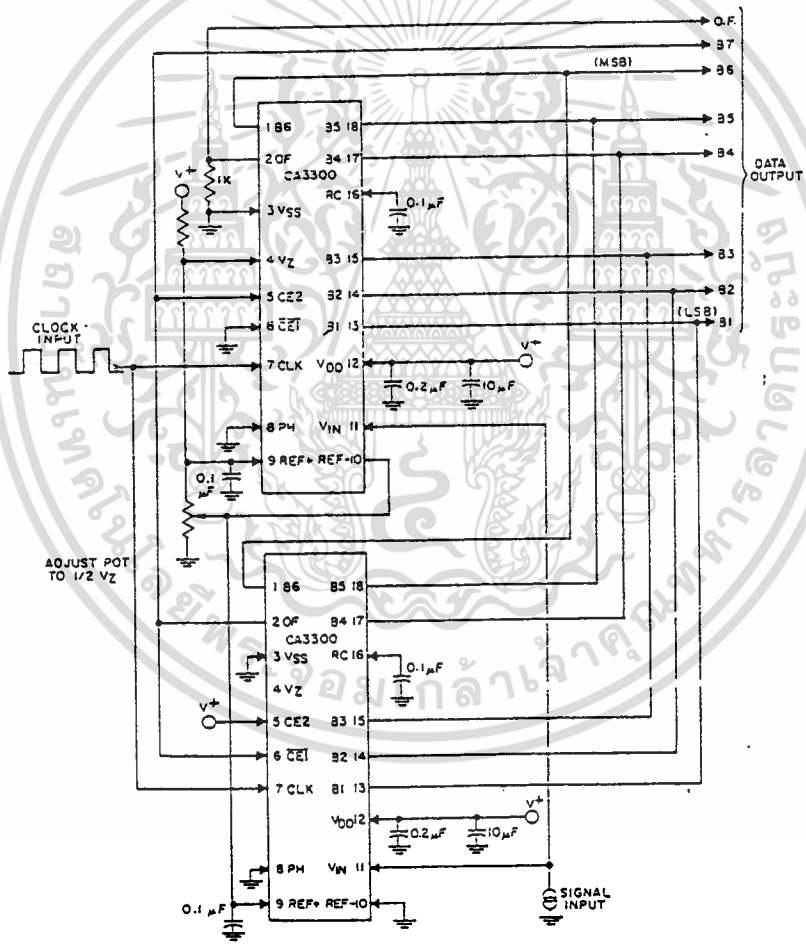


BLOCK.SDT		
Size A	Document Number	REV
Date: July 21, 1993	Sheet of	

1. ส่วนที่ทำหน้าที่เขียนและอ่านข้อมูลในหน่วยความจำ

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (A/D)

เป็นส่วนของการแปลงสัญญาณอนาลอกให้เป็นสัญญาณทางดิจิตอล เพื่อจัดเก็บข้อมูลลงในหน่วยความจำ ในโครงงานนี้ใช้ IC ขนาด 7 บิต ซึ่งสามารถแยกความแตกต่างของภาพได้ 128 ระดับ โดยการนำ IC CA3306 ซึ่งเป็น Flash A/D ที่มีความเร็วในการทำงานสูงมาต่อขนานกัน เพื่อเพิ่มจำนวนบิตจาก 6 บิต เป็น 7 บิต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสร้างสัญญาณควบคุม

วงจรที่ใช้งานในส่วนนี้เป็นวงจรที่ถูกออกแบบไว้สำหรับสร้างชุดสัญญาณควบคุม เพื่อนำไปใช้ในส่วนอื่นต่อไป เช่น ส่วนควบคุมการ Digitize สัญญาณภาพ ส่วนควบคุมการเขียนข้อมูลลงในหน่วยความจำซึ่งพอจะอธิบายการทำงานของส่วนต่างๆ ได้ดังนี้

-ส่วนแยกสัญญาณซิงค์ (Sync Seperater)

ทำหน้าที่แยกสัญญาณภาพจากกล้องวีดีโอ เพื่อให้ได้สัญญาณซิงค์แนวนอน และสัญญาณซิงค์ตามแนวตั้ง โดยใช้ IC เบอร์ LM1881N

-ส่วนการตอบสนองการร้องขอภาพ (Video Request)

เมื่อทางด้านรับต้องการสัญญาณภาพ ก็จะส่งสัญญาณ VREQ มา เมื่อวงจรตรวจพบว่าสัญญาณ VREQ เป็นพัลส์ "1" และมีสัญญาณ V.blank เข้ามา ระบบก็จะเริ่มการ Digitize

-ส่วนวงจรนับ (Counter)

แยกเป็นวงจรนับ 2 ส่วน คือส่วนนับจุดภาพ และส่วนนับจำนวนเส้นที่ทำการสแกนว่าครบ 1 เฟรมหรือยัง ซึ่งสัญญาณที่ได้จากวงจรนับจะทำหน้าที่กำหนดตำแหน่งของหน่วยความจำที่เราจะเก็บข้อมูลหรืออ่านข้อมูล

-ส่วนสร้างสัญญาณเวลา (Timing Gen)

สร้างสัญญาณ Clock เพื่อกำหนดความถี่ของการ Sampling สัญญาณของวงจร A/D และสร้างสัญญาณ /CS /WR Latch และ Shift เพื่อควบคุมการเขียนข้อมูลลงในหน่วยความจำ

สำหรับการทำงานของวงจรเมื่อเริ่มเปิดเครื่อง สัญญาณ PWR จะเป็น "0" ชั่วขณะหนึ่งส่งผลให้เกิดการ CLEAR ค่าในส่วนต่างๆ ของวงจร ซึ่งเสมือนกับเป็นการ Reset ระบบตอนเปิดเครื่อง

เมื่อมีสัญญาณ VREQ เข้ามาพร้อมกับสัญญาณ V.blank ก็จะเริ่มมีการ Digitize ภาพในเฟรมแรกที่ตรวจจับได้ วงจรนับจะเริ่มนับสัมพันธ์กับอัตราการ Sampling และการจัดเก็บข้อมูล ทั้งนี้เพื่อให้กำหนดตำแหน่งที่จะเก็บข้อมูลได้ถูกต้อง ในที่นี้กำหนดให้ 1 Address เก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 ชุด (ข้อมูล 2 จุดภาพ) โดยในวงจรนี้ได้ออกแบบไว้ให้ส่วนวงจรนับสามารถใช้กำหนด Address ทั้งในตอนเขียนข้อมูลลงในหน่วยความจำ และอ่านข้อมูลจากหน่วยความจำ โดยใช้ IC เบอร์ 74157 เป็นตัวเลือก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note: STC is START CONVERSION
ENC is END CONVERSION
EOL is END OF LINE
NXL is NEXT LINE

10 MHz
TIMING GEN.
clear
S-Cntr4
/WR
Latch
Shift
Clk
5 MHz
H.blank
V.blank
SYNC. SEPERATOR
H
V
VIDEO INPUT
U?A 74S04
U?A 74LS32
U?A 74S74
U?A 74S04
U?A 74AS74
VREQ
VACK
PWR
STC
MODE COTROL(DIGITIZE/READ)
U?A 7411
U?A 7408
U?A 74S08
EOL
R-Cntr4
128 ABCDABC
U?A 7408
U?A 74S10
U?A 74S32
2nd-half
SRA0-SRA14
REPT
SW
SW
SW
clear
256 Line Counter
CO
ENC
NXL
MVB
SW SELECT A/B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sync.Seperator & Address Gen. Diagram

Size	Document Number	REV
B		
Date: February 6, 1994	Sheet of	

5MHz
CLK
SHFT
/WR
Latch
R-Cntr4
2nd-half
ZA0-ZA14
H.blank
V.blank
STC
MODE SEL.
ENC
VREQ
VACK
PWR
VIDEO
END
VCC
U1 74ALS193
U2A 74S74
U12C 7404
U13D 74S32
U2A 74AS139
U9A 74S04
U9A 74LS123
R3
C4
U8B 74S08
U3A 74S32
U3B 74S32
U2B 74S74
U12D 7404
U11A 74S11
U9B 74S04
U12A 74S32
U3C 74S32
15A 74S08
U17 74F193
U16 74F193
U4 74S157
U15 74F193
U14 74F193
U10A 74LS123
U5A 74LS123
U17 LM1881
C.SYNC
V.BLK
BURST-
OD/EV
RESET
C5
C6
R5
U7A 74AS74
U8A 74S08
U5B 74LS123

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONTROL CIRCUIT

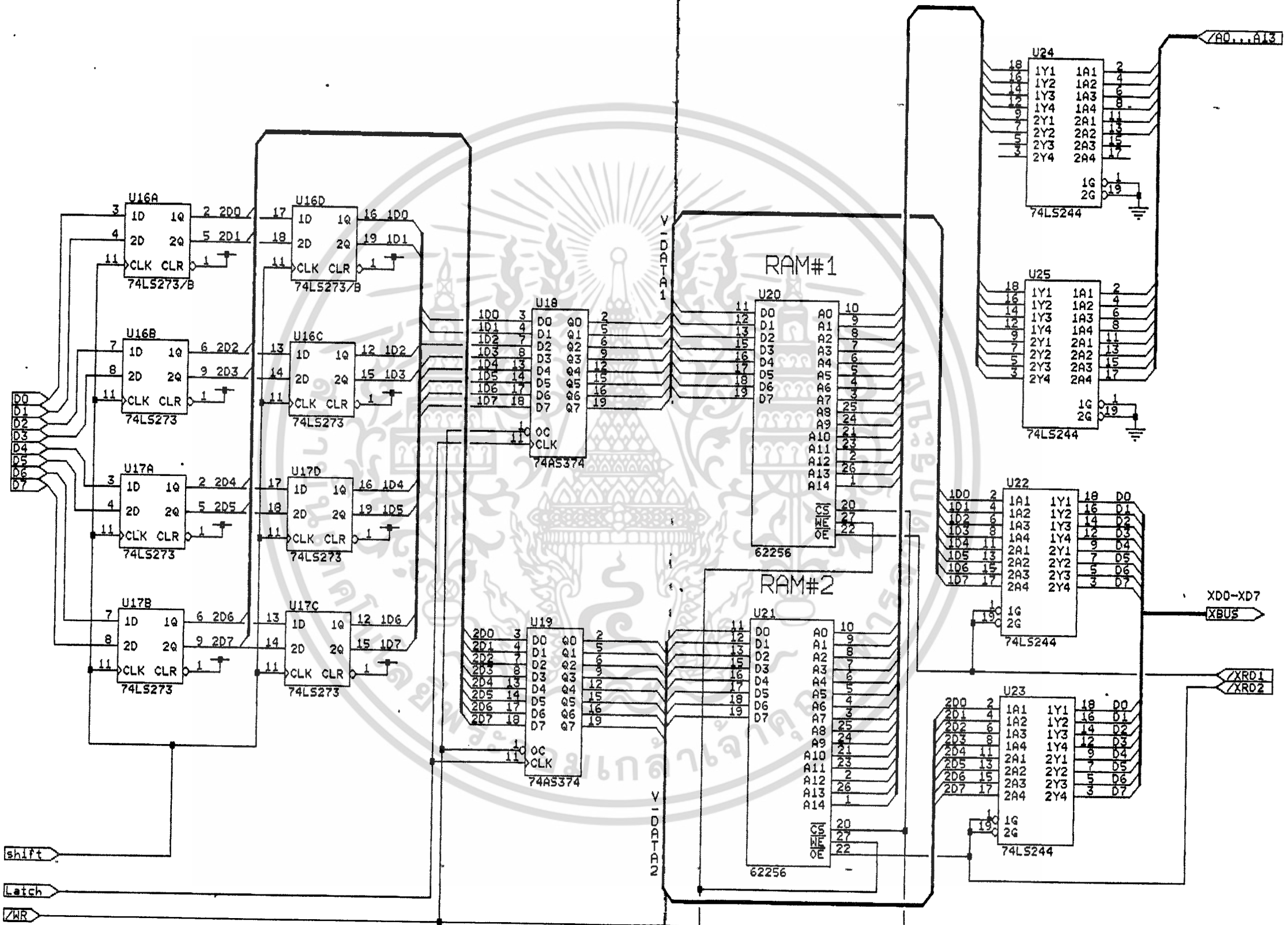
Size	Document Number	REV
B		
Date: February 6, 1994	Sheet 1 of	

การเก็บข้อมูลลงในหน่วยความจำ

การเก็บข้อมูลภาพในโครงงานนี้จะใช้วิธีการแบ่งพื้นที่หน่วยความจำที่ใช้เก็บออกเป็น 2 ชุด สาเหตุที่ต้องทำแบบนี้ เนื่องจากข้อมูลที่แปลงมาจากวงจร A/D มีความเร็วสูงมาก ถ้าใช้วิธีเก็บข้อมูลลงหน่วยความจำเพียงชุดเดียว จะมีเวลาในการเขียน (Write) ไม่เพียงพอ

การทำงานของวงจรเก็บข้อมูลภาพในลักษณะนี้ เริ่มจากนำเอาข้อมูลภาพที่ออกจากเอาต์พุตของวงจร A/D มาผ่านวงจรเพื่อเลือกชุดหน่วยความจำที่จะนำข้อมูลไปเก็บ ข้อมูลภาพที่เข้ามาจะผ่านวงจรหน่วงชั่วคราว (Data Latch) ช่วยเก็บข้อมูลไว้ ในขณะที่สวิทช์สลับไปที่หน่วยความจำชุดที่ 2 เพื่อให้หน่วยความจำชุดแรกมีเวลาเขียนข้อมูลทัน สรุปแล้วการเขียนข้อมูลแต่ละครั้งจะมีเวลาในการเขียนเพิ่มขึ้นเป็น 2 เท่า จากหลักการนี้ เราสามารถใช้หน่วยความจำที่มีความเร็วต่ำเพื่อเก็บข้อมูลภาพที่มีความเร็วสูงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VIDEO DATA SHIFT & RAM

Size	Document Number	REV
B	5	
Date: March 15, 1994	Sheet of	

2.ระบบส่งข้อมูลภาพ

การจัดรูปแบบเฟรมข้อมูล(Data Frame Format)

ในการสื่อสารระบบ ทีดีเอ็ม ระหว่างจุด 2 จุด มีส่วนที่ต้องสื่อสารถึงกัน คือ

- ข้อมูลข่าวสาร
- สัญญาณสำหรับการควบคุม
- FAW

สำหรับระบบที่ออกแบบนี้ ส่วนของข้อมูลข่าวสารประกอบด้วย ข้อมูลภาพขนาด 128* 256 จุดภาพ จุดภาพละ 7 บิท และข้อมูลเสียงและเพื่อความสะดวกในการออกแบบและการจัดเฟรมข้อมูล ใน 1 เฟรมข้อมูลจะใช้ส่งข้อมูลภาพจำนวน 128 จุดภาพหรือ 1 เส้นแนวนอนภาพต่อ 1 เฟรมข้อมูล

ดังนั้นใน 1 เฟรมข้อมูล จะประกอบด้วยส่วนต่างๆดังนี้

ข้อมูลภาพ	128	ช่องเวลา
ข้อมูลเสียง	1	ช่องเวลา
สัญญาณควบคุม	2	ช่องเวลา
FAW	1	ช่องเวลา

รวมแล้วใน 1 เฟรมข้อมูล จะประกอบด้วย 132 ช่องเวลาๆละ 8 บิท แสดงในรูป เพื่อความสะดวกในดารแสดงรายละเอียด จึงแบ่งช่องเวลาทั้งหมดออกเป็น เพจๆละ 4 ช่องเวลา ดังนั้นใน 1 เฟรมข้อมูลจึงแบ่งออกได้เป็น 33 เพจ คือ เพจ 0 - เพจ 32 โดย เพจ 1-เพจ 32เป็นส่วนของข้อมูลภาพ ส่วนเพจ 0 มี 4 ช่องเวลา มีรายละเอียดดังนี้

ช่องเวลา 0 เป็น เฟรมอไลเมนต์เวิร์ด หรือ FAW(Frame Alignment Word)สำหรับการซิงโครไนซ์ระดับเฟรม

ช่องเวลา 1 เป็น เวร์ดควบคุม หรือ CW(Control Word)

ช่องเวลา 2 เป็น ส่วนเก็บหมายเลขเส้นกวาดแนวนอน หรือ HLN(Hor. Line No.) ของข้อมูลภาพในเพจ 1 - เพจ 32 ใช้สำหรับการเก็บข้อมูลภาพลงในหน่วยความจำ,VD_RAM(Video RAM)

ช่องเวลา 3 เป็น ส่วนของข้อมูลเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ หรือในเชิงการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่ต้องกล่าวเพิ่มเติมคือ เวิร์ดควบคุม,CW ซึ่งใช้ b3 เป็นบิทควบคุม VDA(Video Data Active) ใช้เป็นสัญญาณบอกให้เครื่องรับทราบว่า ข้อมูลภาพที่ได้รับครบสมบูรณ์แล้วหรือยัง (1ข้อมูลภาพ เท่ากับการส่งข้อมูลจำนวน 256 เฟรมข้อมูล) บิทส่วนที่เหลือสงวนไว้

อัตราการส่งข้อมูล(Data Transmission Rate)

ส่วนของข้อมูลเสียงกำหนดให้ตอบสนองความถี่ในช่วง 300 Hz - 3.4 KHz จึงทำการสุ่มสัญญาณเสียงด้วยอัตรา 8 KHz ดังนั้นอัตราการส่งข้อมูลในแต่ช่องเวลาจะเป็น 8*8 = 64 kbit/s ดังนั้น

ความเร็วของการส่งข้อมูลรวมของระบบ = 64*132 kbit/s

= 8.448 Mbit/s

ส่วนของข้อมูลภาพ = 64*128 kbit/s

= 8.192 Mbit/s

ส่วนของเสียง = 64 kbit/s

ระบบทางด้านเครื่องส่ง(Transmission System)

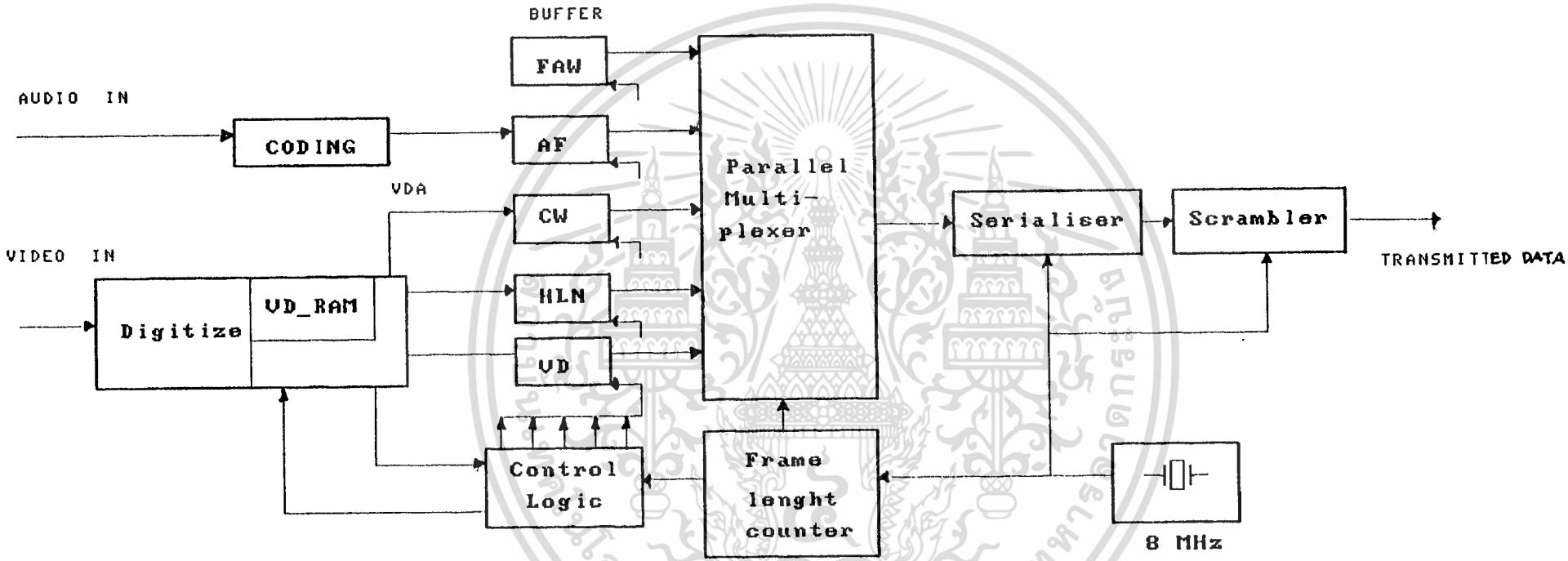
รูปต่อไป แสดงไดอะแกรมของเครื่องส่ง โดยข้อมูลจากแหล่งต่างๆ คือ FAW, ข้อมูลเสียง, เวิร์ดควบคุม, HLN และข้อมูลภาพจะถูกมัลติเพลกซ์เข้าด้วยกันแบบขนานโดยถูกควบคุมจากวงจรนับความยาวเฟรม(frame lenght counter) ข้อมูลที่ถูกมัลติเพลกซ์แบบขนานแล้วจะมีความเร็ว 1.056 Mbyte/s เมื่อผ่านเข้าวงจรแปลงเป็นข้อมูลอนุกรมความเร็วจะเป็น1.056*8 = 8.448 Mbit/s จากนั้นจะเข้าสู่วงจรสแครมเบลอร์ (Scrambler) เพื่อช่วยในการแยกสัญญาณนาฬิกาที่เครื่องรับ

ในส่วนของข้อมูลภาพ เมื่อถูกดิจิไทซ์(digitize)แล้ว ข้อมูลที่ได้จะถูกพักอยู่ในหน่วยความจำภาพ(VD_RAM) ขนาด 32 kbyte ก่อน เนื่องจากอัตราความเร็วของข้อมูลที่ออกจากตัวดิจิไทซ์และที่เข้าสู่ตัวมัลติเพลกซ์ข้อมูลไม่เท่ากัน ดังนั้นในขณะทำการดิจิไทซ์สัญญาณภาพจะไม่มีข้อมูลส่งไปเข้าตัวมัลติเพลกซ์ จึงต้องมีสัญญาณควบคุม VDA (Video Data Active) บอกให้ภาครับทราบว่าในเฟรมข้อมูลนั้นๆมีข้อมูลภาพอยู่ด้วยหรือไม่ เพื่อให้ภาครับสามารถสวิทช์หน่วยความจำได้

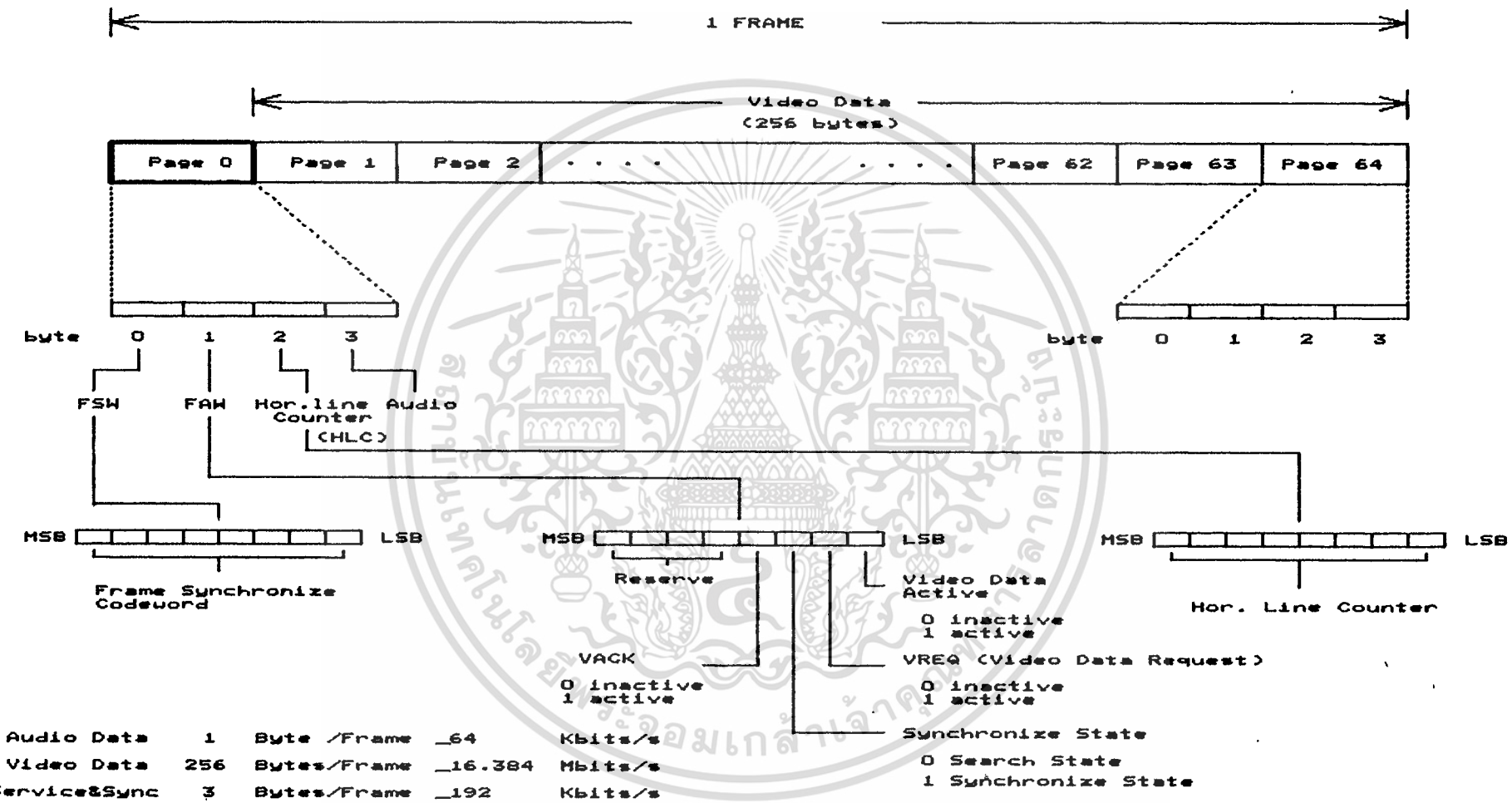
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากที่ส่วนดิจิไทซ์เสร็จสิ้นการทำงาน จะมีสัญญาณแสดงการเสร็จสิ้นการแปลงข้อมูล (EOC:End of Conversion) เพื่อให้ส่วนโลจิกควบคุมส่งสัญญาณที่จำเป็นเข้ามาอ่านข้อมูลในหน่วยความจำเข้าสู่ตัวมัลติเพลกซ์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TRANSMITTER BLOCK DIAGRAME

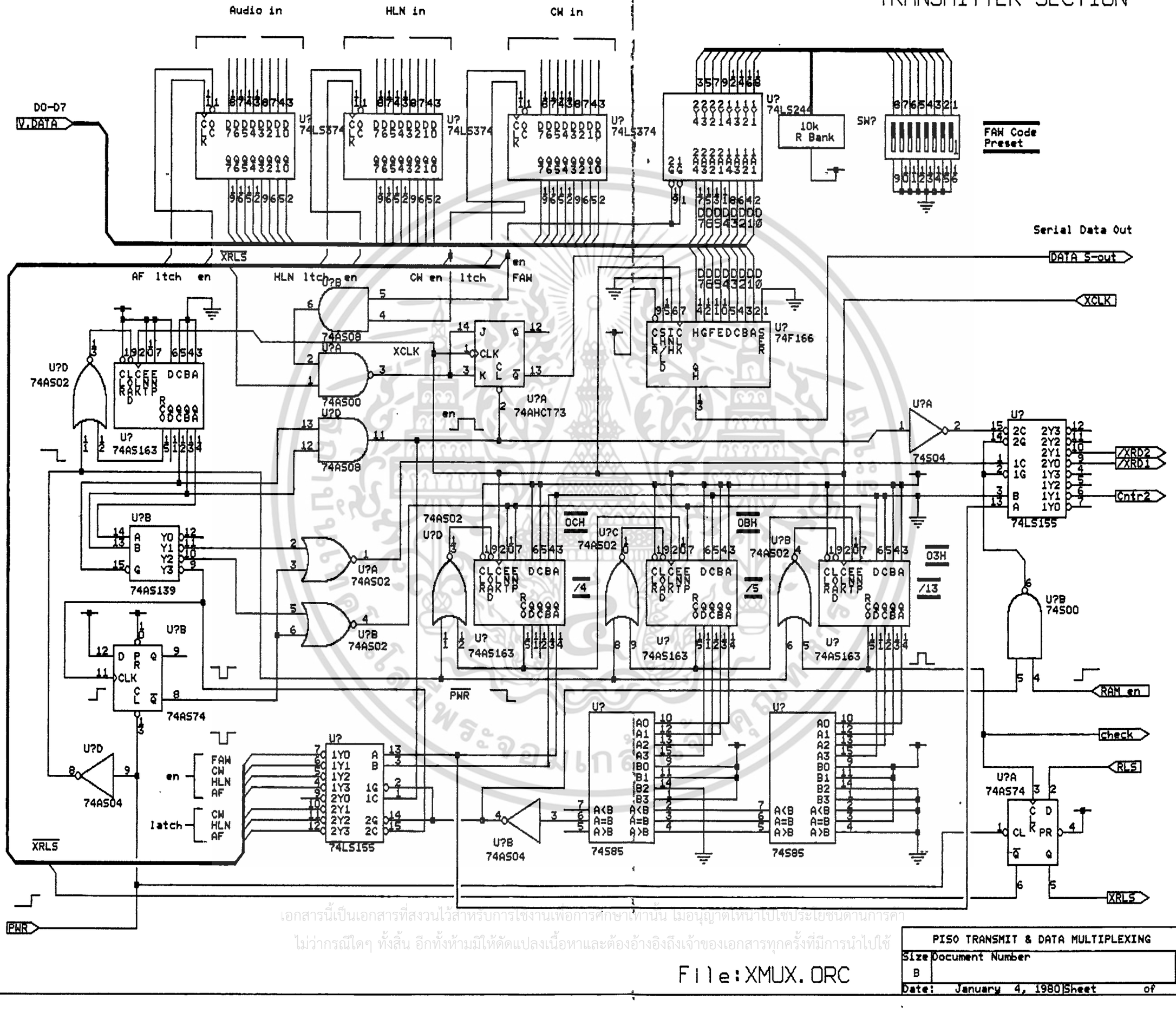


Audio Data	1	Byte /Frame	_64	Kbits/s
Video Data	256	Bytes/Frame	_16.384	Mbits/s
Service&Sync	3	Bytes/Frame	_192	Kbits/s
		Total speed	_16.64	Mbits/s

Note: 8 KHz Audio Sampling Rate _8 bits/sampling

TDM Frame Format Assignment		
Size A	Document Number	REV
Date: November 23, 1992	Sheet of	

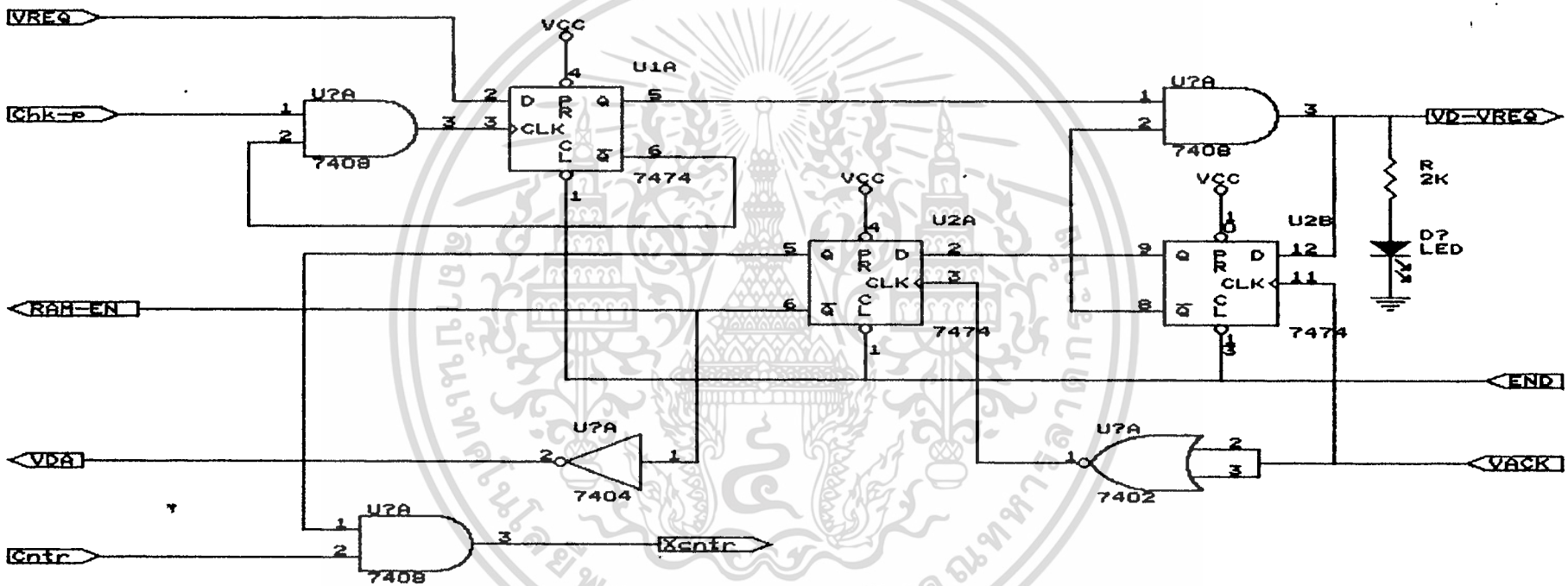
TRANSMITTER SECTION



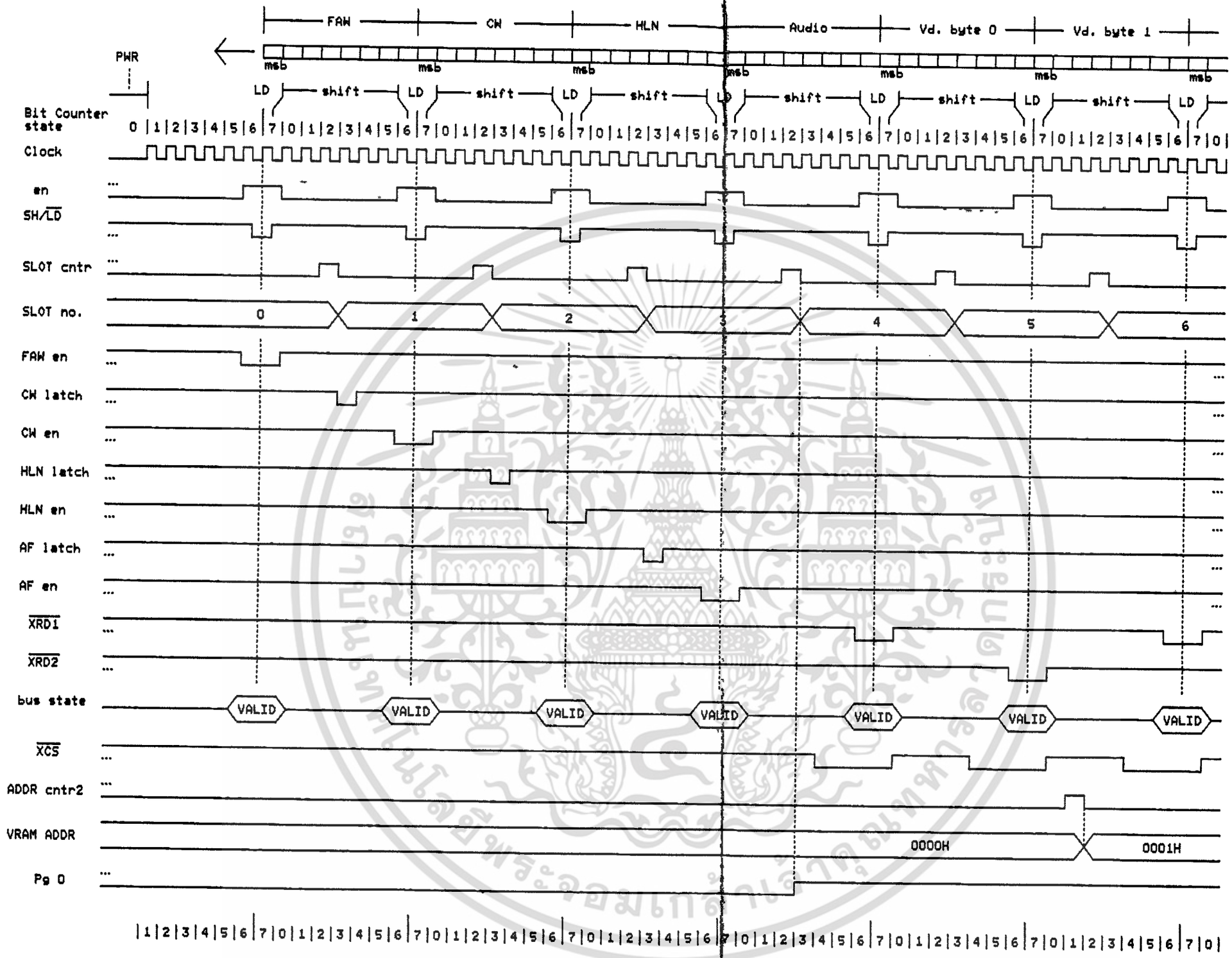
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

File: XMUX.ORC

PISO TRANSMIT & DATA MULTIPLEXING		
Size B	Document Number	REV
Date: January 4, 1980	Sheet of	



INTERFACE CIRCUIT		
Size A	Document Number	REV
Date: January 29, 1994	Sheet of	



Note: PWR is Power On Reset State

ADDR cntr2	active on	S1	of even slot bit periods except page 0
SLOT cntr	active on	S2	of Bit counter periods
Latch pulse	active on	S3	of Bit counter periods of page 0
$\overline{XCS}$	active on	S4-S7	of Bit counter periods
$\overline{XRD}$	active on	S6-S7	of Bit counter periods

File:XTMG.ORC

Transmit Timing Diagram

Size B | Document Number | REV

Date: December 7, 1992 Sheet of

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ภาครับ (RECEIVER)

ระบบทางด้านเครื่องรับ(Receiver System)

รูปต่อไป แสดงไดอะแกรมของเครื่องรับ สัญญาณที่มาจากด้านส่งจะเป็นขบวนข้อมูลที่ถูกสแครมเบลอร์แล้ว จะแยกเป็น 2 ส่วน ส่วนหนึ่งเข้าสู่ตัวแยกสัญญาณนาฬิกา(Clock Recovery) เพื่อซิงโครไนซ์บิทข้อมูลและ กำหนดจังหวะการทำงานให้ส่วนอื่นๆ อีกส่วนหนึ่งเข้าสู่ตัวดีสแครม-เบลอร์เพื่อแปลงขบวนข้อมูลให้อยู่ในรูปปกติ จากนั้นข้อมูลส่วนนี้จะถูกแปลงให้อยู่ในรูปขนาน 8 บิท (ซึ่งจะถูกเลื่อนไป 1 บิทตลอดเวลาตามสัญญาณนาฬิกา) จากจุดนี้ข้อมูลจะไปรอเก็บในบัฟเฟอร์ข้อมูล 4 ชุด คือ เสียง(AF),ภาพ(VD),เส้นสแกนแนวนอน(HLN) และเวิร์ดควบคุม(CW) อีกส่วนหนึ่งจะไปเข้าตัวตรวจหาเฟรมอะไลเมนต์เวิร์ด(FAW Det.) เพื่อการซิงโครไนซ์เฟรม สัญญาณที่ได้จะถูกส่งไปเข้าส่วนควบคุมสถานะการซิงโครไนซ์ (SSC) ซึ่งทำงานร่วมกับส่วนนับความยาวเฟรม (FLC:Frame Lenght Counter) เพื่อให้เริ่มทำงาน (ในส่วนนี้จะมีขั้นตอนการทำงานเป็นของตัวเอง เมื่อระบบอยู่ในสภาพซิงโครไนซ์เฟรมแล้ว FLC จะควบคุมให้ส่วนโลจิกควบคุมส่งสัญญาณแลทช์ไปยังบัฟเฟอร์ข้อมูล(มี 4 ชุด)เพื่อเก็บข้อมูลของมันไว้

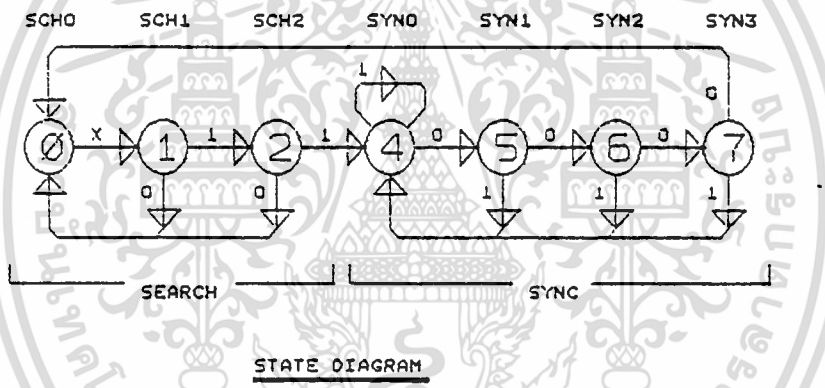
ในส่วนของข้อมูลภาพจะใช้หน่วยความจำเก็บภาพ 2 ชุด คือเพจภาพ 1 และเพจภาพ 2(หรือ VD_RAM1 และ VD_RAM2 ตามลำดับ) จุดประสงค์เพื่อให้ภาพที่แสดงไม่กระพริบ โดยที่ขณะเวลาใดๆหน่วยความจำเก็บภาพตัวหนึ่งจะถูกอ่านและอีกตัวหนึ่งจะถูกเก็บ เมื่อเก็บข้อมูลภาพครบแล้วก็จะทำการสวิทช์หน่วยความจำเพื่อนำข้อมูลภาพใหม่ไปแสดง ในการสวิทช์หน่วยความจำนั้น จะถูกควบคุมโดยส่วนควบคุมการสวิทช์เพจภาพ (PSW:Page Switch Control)ซึ่งอยู่ภายในส่วนควบคุมการเก็บข้อมูล (Store Data Control) โดยจะตรวจสอบจากสัญญาณ VDA ที่ได้รับ

ส่วนของหน่วยความจำภาพที่ถูกอ่านจะถูกนำไปแปลงเป็นอนาลอก และนำไปผสมกับสัญญาณซิงค์ระบบ PAL จากนั้นจึงส่งออกไปแสดงยังจอภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

state f, state g และ state a ตามลำดับ (แต่ถ้าระหว่างนี้ไม่สามารถ detect FAW จะกลับสู่ state e) และจะวนอยู่ที่ state a นี้ จนกว่าไม่สามารถdetect FAW ได้ 3 ครั้งติดกันก็จะตกมาสู่ state b, state c และ state d ตามลำดับ(ถ้าระหว่างนี้ detect FAW ได้ จะเข้าสู่ synchronize state ตามเดิม) และถ้ายังคงไม่สามารถตรวจพบ FAW อีก ก็จะกลับสู่ state e อีกครั้งหนึ่ง ระบบเริ่มต้นใหม่ที่ state นี้

ในโครงงานนี้ กำหนดให้ส่วน RECEIVER SYNCHRONIZE STATE CONTROL มี state diagram ดังนี้



STATE DIAGRAM

รูปแสดง STATE DIAGRAM

อธิบาย STATE DIAGRAM

จาก state diagram เริ่มแรกให้อยู่ที่ state 0 (SCH0)เริ่มภาวะการ search ที่จุดนี้จะคอยตรวจสอบว่ามี สัญญาณ FAW Det. เข้ามาหรือยัง โดยยังไม่สนใจว่าเป็น 0 หรือ 1 แทนด้วย x เพราะระบบจะเช็คที่ขอบขาลงของพัลส์ที่เข้ามาเท่านั้น เมื่อตรวจพบ FAW จะเข้าสู่ state 1(SCH1)หลังจากนั้นจะมีสัญญาณ FAW chk.p (FAW checking

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนควบคุมสถานะการซิงโครไนซ์(Synchronization State Control)

เนื่องจากข้อมูลที่ส่งมาในช่องข้อมูลต่างๆนั้น สามารถที่จะมีรูปแบบเป็นลักษณะใดๆก็ได้ ดังนั้นจึงเป็นไปได้ที่จะเกิดเวิร์ดข้อมูลซึ่งมีลักษณะเหมือนกับ FAW (เวิร์ดข้อมูลที่มีลักษณะเหมือน FAW นี้เรียกว่า FAW เทียม) ประกอบกับข้อมูลที่ส่งจากต้นทางถึงปลายทางนั้นมีโอกาสเกิดการผิดเกิดขึ้นได้เสมอ ซึ่งบ่อยครั้งมักจะเป็นการผิดพลาดในช่วงเวลาสั้นๆ ไม่กี่มิลลิวินาที เช่น ฟ้าผ่า หรือจากการจุดระเบิดในระบบเครื่องยนต์ ดังนั้นจึงจำเป็นต้องมีกระบวนการหรือขั้นตอนที่ใช้ในการตัดสินใจว่า FAW ที่ตรวจพบนั้นเป็น FAW ที่แท้จริงหรือไม่ และเมื่อใดที่ถือว่าระบบอยู่ในสภาวะการซิงโครไนซ์แล้ว กระบวนการที่ใช้ในการตัดสินใจในสิ่งเหล่านี้เรียกว่า การอไลเมนต์เฟรม(Frame Alignment)

จากปัญหาต่างๆที่กล่าวมาแล้ว การอไลเมนต์จึงจำเป็นจะต้องกำหนดสถานะ(state) ย่อยต่างๆ ซึ่งมีรายละเอียดดังนี้

สถานะ a : การอไลเมนต์สมบูรณ์,ระบบอยู่ในสภาวะล็อค(synchronize)

สถานะ b : ตรวจไม่พบ FAW ในเฟรม n

สถานะ c : ตรวจไม่พบ FAW ในเฟรม n+1

สถานะ d : ตรวจไม่พบ FAW ในเฟรม n+2

: สถานะ b,c,d เป็นสภาวะการอไลเมนต์ชั่วคราว,ระบบอยู่ในโหมดตรวจสอบ(check mode)

สถานะ e : สูญเสียการซิงโครไนซ์เฟรม, เป็นภาวะการไม่อไลเมนต์, ระบบอยู่ในโหมดค้นหา FAW(search mode)

สถานะ f : ตรวจพบ FAW ในเฟรมหมายเลข 0

สถานะ g : ตรวจพบ FAW ในเฟรมหมายเลข 1

: สถานะ f,gเป็นสถานะรอ,ระบบอยู่ในโหมดค้นหา/ตรวจสอบ(search /check mode)โดยเฟรมแรกที่พบ FAW นับเป็นเฟรมหมายเลข 0

วิธีการอไลเมนต์เฟรมใช้หลักการที่ว่า FAW ที่แท้จริงจะปรากฏที่ตำแหน่งเดิมของทุกๆเฟรม ส่วน FAW เทียมนั้น จะไม่ปรากฏอยู่ที่ตำบหน่งใดๆอย่างถาวร ดังนั้นเมื่อตรวจพบ FAW ที่ตำแหน่งใดๆแล้ว ระบบจะต้องไปตรวจสอบอีกครั้งหนึ่งที่ตำแหน่งเดิมของเฟรมต่อไป ดังนั้นจะพบว่า เริ่มต้นระบบจะอยู่ที่สถานะ e เมื่อพบเวิร์ดตัวแรกที่เหมือน FAW ระบบจะเปลี่ยนไปที่สถานะ f(จากสถานะf ถึง d ตำแหน่งเวลาการตรวจสอบ FAW จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาจากส่วนนับความยาวเฟรม, FLC ใช้ชื่อสัญญาณว่า FAW_checking pulse ซึ่งจะส่งมาหลังจากได้รับสัญญาณให้เริ่มนับ(count start)จาก SSC แล้ว)จากนี้ถ้าตรวจสอบพบเวิร์ดที่เหมือน FAW ติดต่อกัน 2 เฟรม จะถือว่าเวิร์ดที่พบนั้นเป็นเวิร์ดที่แท้จริง ระบบก็จะเข้าสู่สถานะซิงโครไนซ์เฟรมคือสถานะ a แต่ถ้าใน 2 เฟรมนั้นมีเพียงเฟรมเดียวที่ไม่พบเวิร์ดดังกล่าว ระบบจะกลับไปเริ่มต้นที่สถานะ e เพื่อเริ่มต้นหา FAW ใหม่ (FLC จะหยุดทำงาน) ในทำนองเดียวกันเมื่อระบบอยู่ในสถานะ a คือ ซิงโครไนซ์เฟรมแล้ว ถ้ามีการตรวจไม่พบ FAW 4 เฟรมติดๆกันระบบก็จะเปลี่ยนสถานะจาก a ไป b จนถึง e ตามลำดับ(สถานะ b,c,dยังถือว่าระบบอยู่ในสถานะซิงโครไนซ์เฟรมอยู่ ซึ่งการตรวจไม่พบ FAW อาจเนื่องมาจากการผิดพลาดชั่วขณะของข้อมูลก็เป็นได้ ดังนั้นข้อมูลต่างๆยังถือว่ามีความถูกต้องอยู่) แต่ถ้าใน 4 ครั้งที่กล่าวมา พบ FAW เพียงครั้งเดียวระบบจะกลับไปที่สถานะ aใหม่ ซึ่งเป็นการเพิ่มความมั่นคงในการซิงโครไนซ์เฟรมของระบบเรียกการอไลเมนต์เฟรมด้วยวิธีการแบบนี้ว่า การอไลเมนต์เฟรมแบบอนุกรม(Serial Frame Alignment)

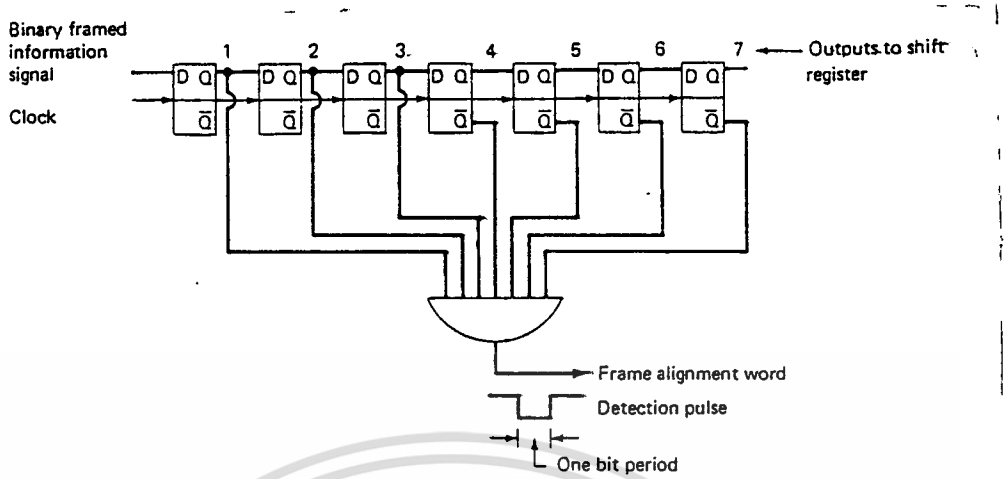
<u>ทฤษฎี FRAME ALIGNMENT</u>

นิยาม FRAME ALIGNMENT WORD (FAW) : เป็น word กำหนดจุดเริ่มต้น FRAME ของ แต่ละ FRAME ให้ตรงกัน

FAW ในที่นี้ก็คือสัญญาณที่จะเป็นตัวคอยบอกว่าขณะนี้ได้มีข้อมูล FRAME ใหม่ ส่งมาแล้ว เมื่อระบบตรวจพบสัญญาณนี้ ซึ่งจะกำหนดให้อยู่ในส่วนแรกสุดของ FRAME ข้อมูล ระบบจะต้องพร้อมที่จะรับข้อมูลที่ต่อจากสัญญาณ FAW นี้

พิจารณาการทำงานของวงจรตรวจสอบ FAW ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงวงจรตรวจสอบ FAW

ในรูป กำหนดให้ FAW มีขนาด 7 บิท เมื่อมีข้อมูลซึ่งถูกเลื่อน(shift)เข้า register ทีละ 1 บิทต่อ 1 clock ดังนั้น เมื่อแต่ละบิทที่เลื่อนเข้ามาถึง register ตัวสุดท้ายแล้ว แสดงว่าครบ 1 word สมบูรณ์ การตรวจสอบ FAW จะเริ่มขึ้น ถ้าตรงกับ FAW ที่กำหนดไว้เมื่อไร ก็จะปล่อยให้พัลส์ 1 ออกมา มีความกว้างเท่ากับ 1 ช่วงสัญญาณ clock

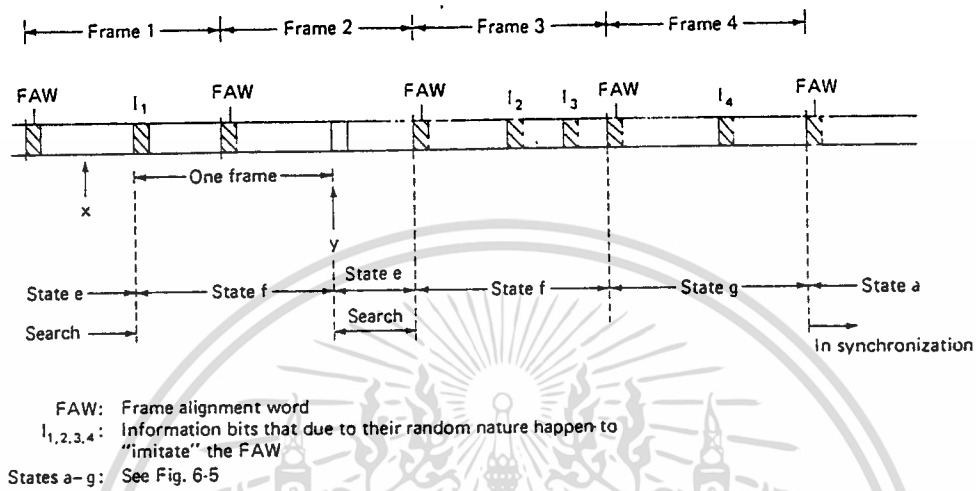
การที่เราจะเลือกค่าให้ FAW ว่าควรเป็นอย่างไร ต้องพิจารณาดูว่าจะต้องไม่ไปซ้ำกับรหัส ควบคุมอื่น และความน่าจะเป็นที่ส่วนของข้อมูลซึ่งเป็นแบบ random จะไปซ้ำกับ FAW จะต้องน้อยที่สุดด้วย

สมมติให้ค่า FAW ที่เหมาะสมมีค่า 1110000,1111000 และ 1110100 หรือกลับกัน (inverse) กับค่าเหล่านี้ ขณะที่ 1111111 หรือ 0111111 เป็นค่าที่ควรจะหลีกเลี่ยง

พิจารณาขั้นตอนการตรวจสอบ FAW ตั้งแต่ขั้นตอนที่ 1(step1) ถึงขั้นตอนที่ 7 (step7) สมมติให้ค่า FAW ที่เหมาะสมที่สุดคือ 1110000 เมื่อมาถึงขั้นตอนที่ 7 ข้อมูลที่เข้ามาตรงกับรูปแบบ FAW ที่ตั้งไว้ (Pattern detected) ซึ่งระบบจะอยู่ที่ตำแหน่ง pattern เป็นระยะเวลาเท่ากับ 1 ช่องสัญญาณเวลา(one time slot)ดังรูปข้างล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ synchronize นั้น ตามปกติส่วนใหญ่เป็นลักษณะของ step by step หรือ Serial frame Alignment procedure ซึ่งสามารถอธิบายถึงหลักการของกระบวนการนี้ได้ดังนี้



รูปแสดงตัวอย่างของFrame Synchronization

พิจารณาจากรูปบน สมมติให้ ตอนเริ่มต้นระบบ Switch-on อยู่ที่จุด x (state e) ยังไม่เกิดการsynchronize ขั้นตอนการsynchronize เริ่มขึ้นโดยการตรวจสอบ F บิทหลังจากจุด x ไปแล้ว เปรียบเทียบกับค่าของ FAW ที่ตั้งไว้ ถ้าแต่ละบิทไม่ตรงกัน (match)กับ FAW ระบบก็จะเลื่อนข้อมูลเข้ามาทีละ 1 บิท เรื่อยๆ และคอยตรวจสอบ FAW ที่ลำดับต่อมา จนกระทั่งพบ ระบบก็จะเข้าสู่ State f ซึ่งขั้นตอนนี้เรียกว่า *frame searchinag*

จากตัวอย่างในรูป FAW ที่ตรวจพบที่ตำแหน่ง I_1 เกิดมาจากการที่ส่วนข้อมูลบังเอิญมาตรงกับ FAW(Imitated FAW) ระบบจะเข้าสู่ state f แสดงว่าเกิดข้อผิดพลาด (error)ที่ตำแหน่งนี้ หลังจากนั้นเป็นระยะเวลาเท่ากับ 1 Frame ต่อมาที่ตำแหน่ง y ระบบไม่สามารถตรวจพบ FAW อีก(เพราะที่ตำแหน่ง I_1 เป็น Imitated FAW) ระบบก็จะกลับสู่ภาวะเริ่มต้นอีกครั้งหนึ่ง กลับสู่ state e อีกครั้งหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	Bits outside shift register				Shift register outputs								Recognition status
					1	2	3	4	5	6	7	–	
					Pattern enters shift register →								
0 step	0	0	0	0									
0 step	0	0	0	0	*	*	*	*	*	*	*	*	Pattern not detected
1st step	1	0	0	0	0	*	*	*	*	*	*	*	Pattern not detected
2d step	1	1	0	0	0	0	*	*	*	*	*	*	Pattern not detected
3d step	1	1	1	0	0	0	0	*	*	*	*	*	Pattern not detected
4th step	*	1	1	1	0	0	0	0	*	*	*	*	Pattern not detected
5th step	*	*	1	1	1	0	0	0	0	*	*	*	Pattern not detected
6th step	*	*	*	1	1	1	0	0	0	0	*	*	Pattern not detected
7th step	*	*	*	*	1	1	1	0	0	0	0	*	Pattern detected
8th step	*	*	*	*	*	1	1	1	0	0	0	0	Pattern not detected

* – Represents a logical 1 or 0 (random information assumed)
1 – Represents a logical 1
0 – Represents a logical 0

รูปแสดงขั้นตอนการตรวจสอบ FAW

แต่ถ้าเราเลือกค่าให้ FAW คือ 1111111 หลังจากขั้นตอนที่ 7(pattern detect) แล้ว ที่ขั้นตอนที่ 8(step8) ความน่าจะเป็นที่ส่วนของข้อมูลจะเกิดซ้ำกับ FAW จะมีค่าเท่ากับ 0.5 คือจะขึ้นอยู่กับค่า input 1 บิท ที่ถูก shift เข้ามาเท่านั้น

เปรียบเทียบกับการเลือกค่า FAW(1110000) ในครั้งแรก ความน่าจะเป็นที่จะ detect FAW ได้อีก ในขั้นตอนที่ 8(step8) ที่เกิดจากการเหลื่อมกัน(overlap) ของ FAW ที่เริ่มถูก shift ออกไปทีละบิท กับค่าFAWที่ตั้งไว้ มีค่าเท่ากับ $(0.5)^F$ เมื่อเทียบกับการเลือก FAW(1111111) จะมีค่าน้อยกว่ามาก

F:จำนวนบิทของ F

ทฤษฎี SYNCHRONIZATION

เป็นกระบวนการที่ทำให้การสื่อสารกันระหว่างภาคส่งและภาครับได้อย่างถูกต้อง และตรงตำแหน่งกัน หรือที่เรียกว่าเป็นขั้นตอนการซิงค์ (Synchronization Procedure) กันได้ระหว่างภาคส่งภาครับนั่นเอง

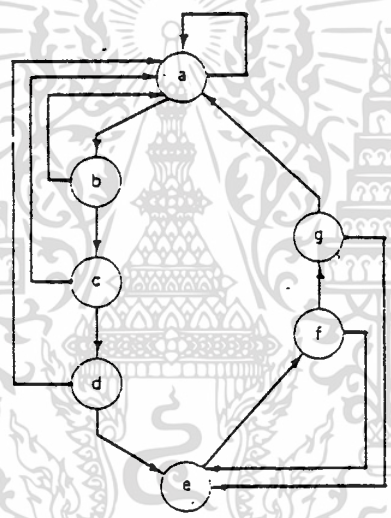
สำหรับเทคนิคของการsynchronizeกันมีหลายวิธีที่ต่างกัน แต่ที่เป็นแนวคิดของเรื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอน frame searching เริ่มใหม่อีกครั้ง เมื่อเข้าสู่ Frame ที่ 3 ระบบตรวจพบ FAW จะเข้าสู่ State f และ State g ตามลำดับ ถ้ายังคงตรวจพบ FAW ที่ตำแหน่งเดียวกันนี้ใน Frame ต่อๆมา และจะเข้าสู่ State a(synchronize state) เมื่อตรวจพบ FAW ติดกันตั้งแต่ 3 ครั้งขึ้นไป และจะอยู่ที่ State นี้ ต่อไปเรื่อยๆจนกว่าจะไม่สามารถ detect FAW ได้

กรณีของ I_2, I_3, I_4 จะไม่มีผลต่อระบบเพราะเป็น Imitated FAW อธิบายได้เช่นเดียวกับกรณีของ I_2

เราสามารถเขียนเป็น state diagram การทำงานของกระบวนการ synchronize ของรูปได้ดังนี้

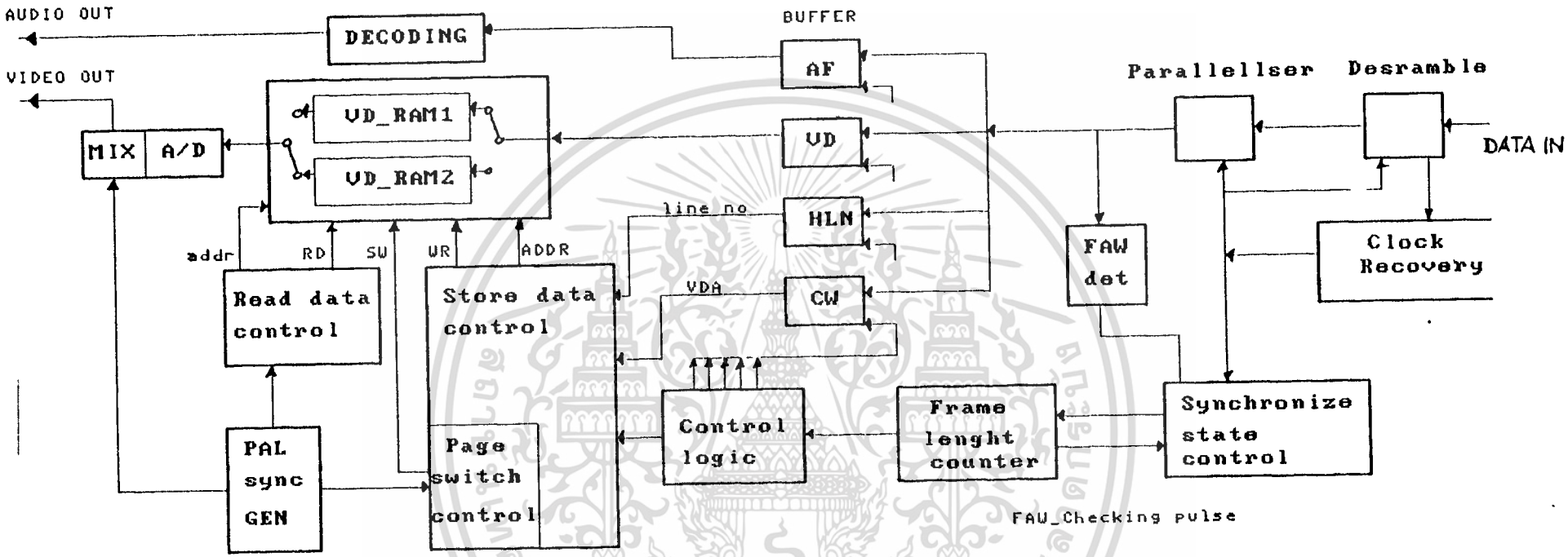


a : In frame synchronization
b : Frame code not detected in frame number n
c : Frame code not detected in frame number n + 1
d : Frame code not detected in frame number n + 2
e : Out of frame synchronism (search mode)
f : Frame code detected in frame number 0 (waiting state)
g : Frame code detected in frame number 1 (waiting state)

รูปแสดง state-transition diagramของการ synchronize

เริ่มต้นให้อยู่ที่ state e เมื่อตรวจพบ FAW ติดกัน 3 ครั้งขึ้นไป ระบบจะเข้าสู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



RECEIVER BLOCK DIAGRAME

pulse) เข้ามาคอยเช็คว่าที่ตำแหน่งเดียวกันนี้ เกิด FAW ที่ Frame ต่อ ๆไปเป็น 1 หรือไม่ ถ้าเป็น 1 ก็จะเข้าสู่ state 2(SCH2) และ state 4(SYNO) ระบบเข้าสู่ภาวะการ synchronize(SYNC State)แต่ถ้าระหว่างนี้เกิด FAW เป็น 0 ระบบจะให้กลับไปที่ state 0 ทันที เพื่อเริ่มการ search ใหม่

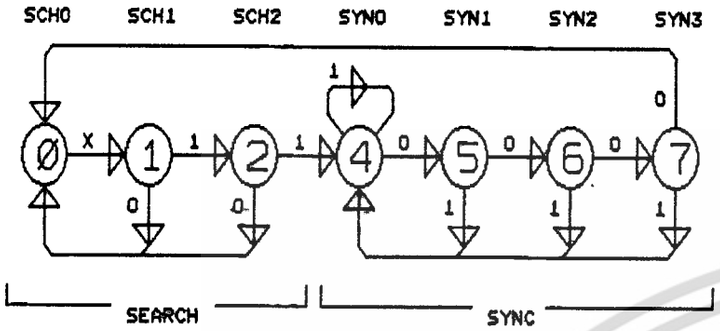
เมื่อระบบเข้าสู่ภาวะการซิงค์แล้วและ FAW ยังคงเป็น 1 ระบบก็จะวนอยู่ที่ state 4(SYNCO)นี้ต่อไป แต่ถ้าเกิด FAW เป็น 0 เมื่อไร ระบบจะให้หลุดจากภาวะ SYNCO ไปที่ state 5(SYNC1) และถ้าเกิด FAW เป็น 0 ติดกันเกิน 3 ครั้ง ระบบจะไปที่ state 6 และ state 7 ตามลำดับ และระบบจะกลับเข้าสู่ภาวะการ Search ที่ตำแหน่ง SCHO เหมือนเมื่อตอนเริ่มต้นระบบอีกครั้งหนึ่ง แต่ถ้าระหว่างนี้เกิด FAW เป็น 1 ระบบจะยอมให้กลับไปที่ state 4(SYNO)เข้าสู่ภาวะการซิงค์(SYNC State) ตามเดิม และจะเป็นเช่นนี้เรื่อยไปจนกว่าจะสิ้นสุดการส่งข้อมูล

<u>วงจรแสดงส่วน RECEIVER SYNCHRONIZE STATE CONTROL</u>

JK FlipFlop(JK F-F)จะเป็นตัวนับ state เริ่มต้นขา PWR จะ Clear Flip-FLop ทุกตัว ดังนั้น ตอนเริ่มต้น Flip-Flop นับ 0 เมื่อมี FAW เข้ามา Flip-Flop จะนับ 1 และถ้าตำแหน่งเดียวกันนี้ ที่ Frame ต่อไป จะมีสัญญาณ FAW chk.p (FAW Checking pulse) เป็นตัวเช็คว่า FAW เป็น 1 หรือ 0 ถ้าตรวจพบว่ายังคงเป็น 1 Flip-Flop จะนับ 2 และเมื่อ FAW ยังคงเป็น 1 ติดกันเกิน 3 ครั้ง JK F-F จะนับ 4 เอาขา Q ของ JK F-F ที่เป็น MSB(Most Significant Bit) มากำหนดให้เป็นขา SYN ซึ่งเริ่มเป็น 1 เริ่มเข้าสู่ภาวะการ SYNC และยังคงอยู่ในภาวะการSYNC (สังเกตว่า ที่ state 4 ถึง 7 ที่บิท MSB ของ JK F-F จะเป็น 1 เสมอ)แต่ถ้า FAW ต่อมาเป็น 0 เกิน 3 ครั้ง ระบบก็จะหลุดจาก state 4 โดยสังเกตที่ชุด Flip-Flop จะนับ 5,6 และ 7 ตามลำดับและกลับไปนับ 0 อีกครั้งหนึ่ง กลับสู่ภาวะการ SEARCH ใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECEIVER SECTION



STATE DIAGRAM

from FSW
Checking pulse

FAW ChK.P

/SCH0

FAW Det.

from FSW Detect

SCH0

SCH0

SYN

SCH0-SCH2

RLS

RLS

b2/RCW

RSS

(Remote Sync State)

Power On
Reset

PWR

U1A 74S08
U1B 74S08
U1C 74S08
U1D 74S08
U2A 74S32
U2B 74S32
U2C 74S32
U2D 74S32
U2A 74S00
U2A 7473
U2B 7473
U3B 74S08
U3C 74S08
U3D 74S08
U4A 74S08
U4B 74S08
U4C 74S08
U5E 74S04
U5F 74S04

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

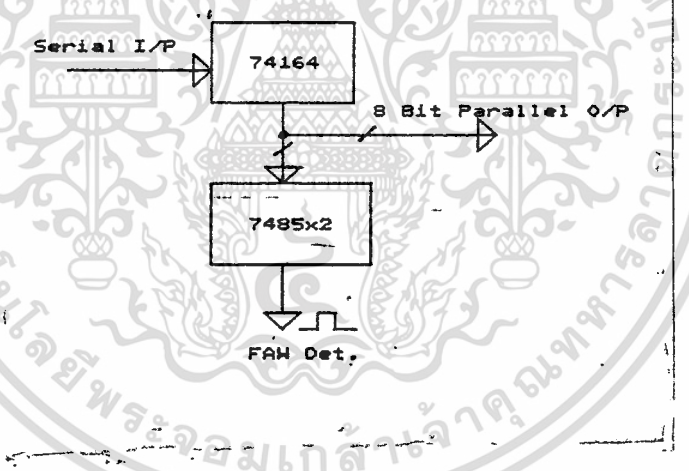
File:SSC.ORC

RECEIVE SYNCHRONIZE STATE CONTROL		
Size B	Document Number	REV
Date: January 4, 1980	Sheet of	

วงจร SIPO(Serial Input Parallel Output)

เป็นส่วนที่แปลงสัญญาณ serial input กลับมาเป็น parallel output ขนาด 8 บิท โดยใช้ IC 74LS165 (Parallel-Load Shift Register) เป็นตัวทำหน้าที่นี้

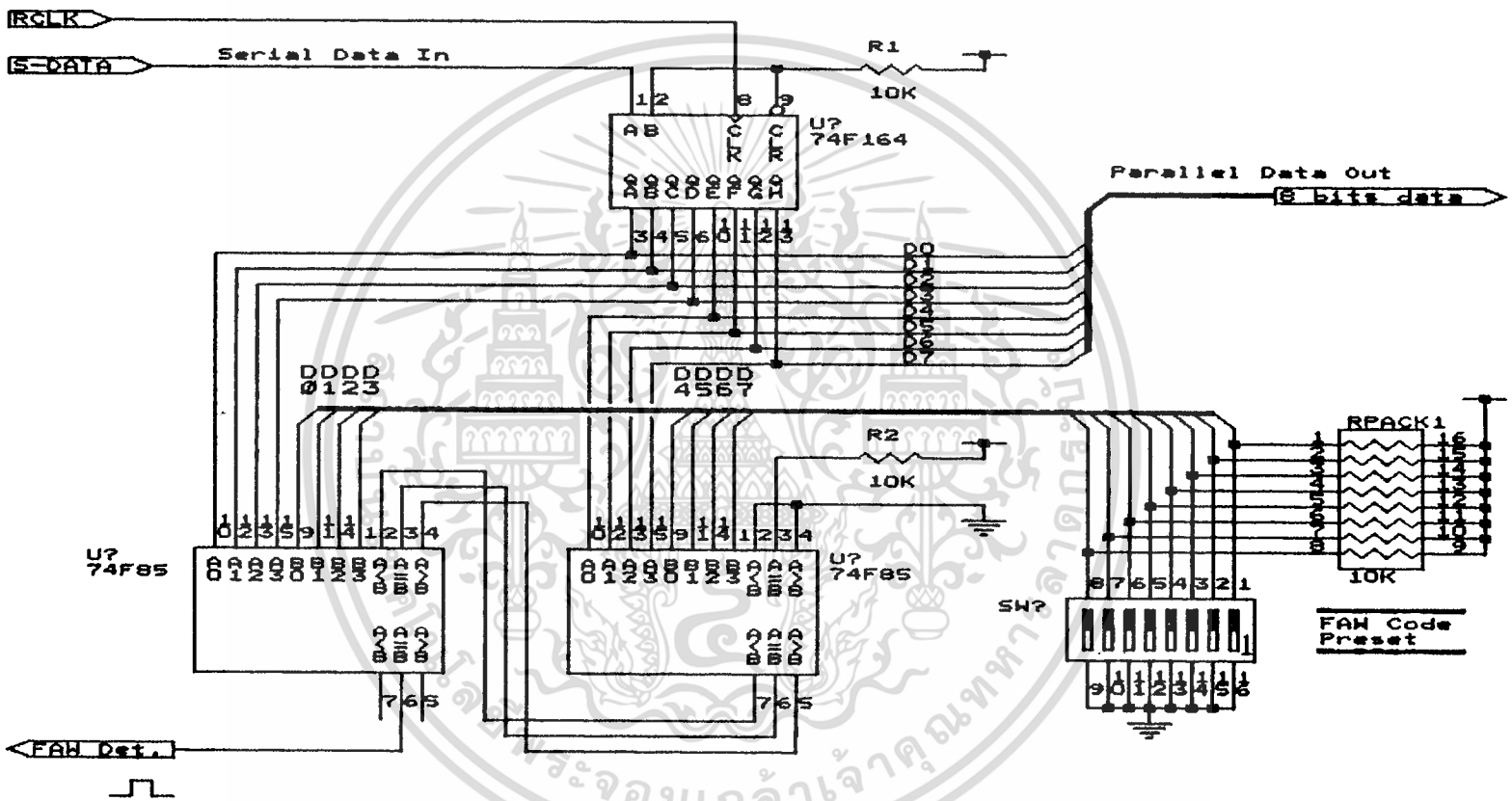
ในวงจรส่วนนี้ยังมีส่วนที่ใช้ตรวจสอบ(Detect)FAW ด้วยซึ่งประกอบด้วย IC74LS85 ต่อร่วมกันอยู่ เพื่อใช้ตรวจสอบค่าของ FAW ขนาด 8บิทได้ ซึ่งสามารถตั้งค่าให้กับ FAW ที่ Dip-Switch เมื่อ detect FAW ได้จะให้พัลส์ 1 ออกไป 1 ลูก มีขนาดความกว้างเท่ากับ 1 สัญญาณ clock เรียกว่า FAW Det. ออกมา ดังแสดงในรูป ซึ่งมีการทำงานตาม block diagram ดังในรูปข้างล่าง



รูปแสดงBlock Diagram ของส่วนวงจรSIPO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECEIVER SECTION.



SIPO & FAW Detect.		
Size A	Document Number	REV
Date: February 6, 1994	Sheet of	

SLOT COUNTER&LATCH PULSE GEN

วงจรส่วนนี้ เมื่อเข้าสู่ภาวะ SCH1(search1)สังเกตจากวงจรได้ที่ขา SCH0=0 ชุด COUNTER เริ่มทำงาน ซึ่งประกอบด้วย

ชุด COUNTER นับ8 : นับจำนวนบิทใน1byte

ชุด COUNTER นับ4 : นับจำนวนbyte ใน 1 page

ชุด COUNTER นับ33: นับจำนวน page ใน 1 FRAME

เมื่อระบบเริ่ม synchronize กัน สังเกตที่ขา SYN ที่ส่งมาจากภาค RECEIVE SYNCHRONIZE STATE CONTROL จะเปลี่ยน state เป็น 1 และ COUNTER นับมาถึงตำแหน่ง byte 1 ของ page 0 ชุดเปรียบเทียบเพื่อหาตำแหน่ง page 0(ในที่นี้ใช้ IC 74LS85 2 ตัวต่อร่วมกัน)จะให้พัลส์ 1 ออกมามีความกว้างเท่ากับช่วงเวลาที่เป็น page 0 ที่ขา A=B ดังรูปคือสัญญาณ Pg0 และ ผ่าน inverter 1ตัว จะได้สัญญาณ/Pg0 ออกมา

สัญญาณนี้จะนำไปใช้ enable ให้กับ IC 74LS155 (Dual 2-Line-to-4-Line Decoder) ที่ขา 1G และที่ขา 1C จะถูก enable โดย O/P จาก D-FlipFlop (ขา /Q) เพื่อสร้างสัญญาณ FAW chk.p เพื่อเป็นพัลส์คอยทดสอบสัญญาณ FAW ว่าเป็น 0 หรือ 1 ที่ตำแหน่งจุดเริ่มต้นของ FRAME

ที่ตำแหน่ง page0 จะมีการสร้างสัญญาณ

/CW-Latch ที่ byte 2 ของ page0 : เพื่อ latch ค่า /CW เก็บไว้

/HLN-Latch ที่ byte 3 ของ page 0 : เพื่อ latch ค่า Horizontal Line Number เก็บไว้

/AF-Latch ที่ byte 4 ของ Page0 : เพื่อ latch สัญญาณเสียง ซึ่งได้จาก O/P ของ 74LS155 ที่ขา 1Y1,2Y2 และ 2Y3 ตามลำดับ

ที่ตำแหน่ง page 1 ถึง page 33 จะมีการสร้างสัญญาณ(ช่วงนี้สัญญาณที่เกิดในช่วงเวลา page0 จะถูก disable ทั้งหมด)

/VD-Latch : เพื่อ Latch ค่าสัญญาณ video ไว้ เพื่อรอการเก็บใส่ Buffer ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECEIVER SECTION

RCLK
SCH0
R?
10k
U?
74AS163
U?E
74S04
U?D
74S04
U4
74S163
/4
U?
74AS163
/3
U5
74S163
/11
U?A
74ALS02
U?B
74ALS02
U?C
74ALS02
carry out
F
E
D
C
7
8
9
A
B
search state
U?
74ALS138
U?
74155
Latch
U?
74LS85
U?
74LS85
U?C
74ALS04
Pg0
Pg0
U?A
74ALS74
U?B
74ALS74
U?A
74ALS74
U?B
74ALS74
U?F
74ALS04
U?C
74LS00
U?C
74LS08
U?B
74LS08
U?D
74LS00
U?A
74LS08
U?A
74LS04
U?D
74LS08
/VD-Latch
Cntr
/WR
/CS
/CH-Latch
/HLN-Latch
/AF-Latch
/PWR
FAW chk.p
FAW checking pulse
VDA
b0/RCW
SYN
SCH0-SCH2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SLOT COUNTER & LATCH PULSE GEN.

Size	Document Number	REV
B		
Date: February 6, 1994	Sheet of	

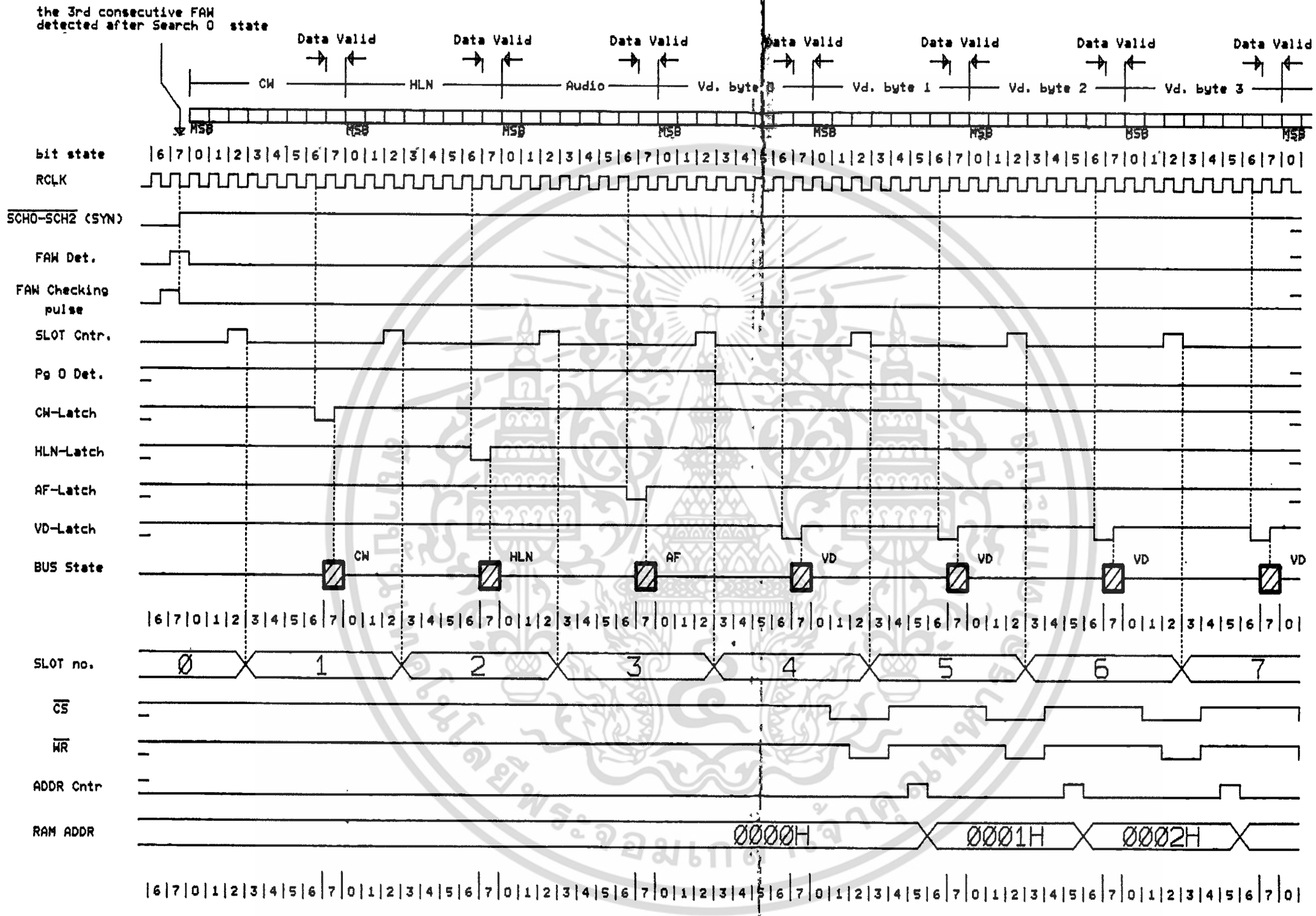
RECEIVER SECTION

A0-A6
Low Address
LO ADDR
/WE
/VD Latch
R BUS
R0-R7
PSW
/HLN Latch
DATA BUS
D0-D7
I/O
ADDR
64K RAM UNIT
Page 0
Page 1
WE
OE
15 bits Address
ADDR
Video data out
DATA
Latch
ADDRESS BUS A0-A15
74LS244
74LS374
74LS586
74LS32

RAM Page Switch Circuit

Size	Document Number	REV
B		
Date: February 6, 1994	Sheet of	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Demultiplex Timing Diagram

Size	Document Number	REV
B	(after Synchronize state)	

Date: December 7, 1992 Sheet of

Cntr : เพื่อนำไปเป็นสัญญาณนับให้กับชุดสร้าง Address ของ Buffer เก็บข้อมูลภาพ

/CS:เพื่อนำไปเป็นสัญญาณเลือก RAM ที่จะเขียนข้อมูลลงไปเก็บหรือเป็นสัญญาณ enable Buffer

/WR : เพื่อสร้างสัญญาณเขียน(Write)ข้อมูลลง RAM ของ Buffer นั่นเอง

การแยกสัญญาณนาฬิกา(Clock Recovery)

จากหัวข้อก่อนที่กล่าวถึงการซิงโครไนซ์ระดับเฟรม ซึ่งทำได้โดยการค้นหาและตรวจสอบ FAW เวิร์ดนั้นเนื่องจากเวิร์ดข้อมูลเกิดจากการรวมกันของบิทข้อมูลหลายๆบิท ดังนั้นการที่จะสามารถอ่านเวิร์ดใดๆอย่างถูกต้องจากขบวนข้อมูลที่รับได้นั้น จะต้องสามารถอ่านบิทข้อมูลต่างๆได้อย่างถูกต้องด้วย นั่นหมายความว่า ที่เครื่องรับจะต้องทราบว่าในแต่ละบิทข้อมูลที่รับได้นั้นเริ่มต้นและจบลงเมื่อใดซึ่งก็คือ ต้องทราบสัญญาณนาฬิกาของขบวนข้อมูลที่รับได้ ซึ่งสัญญาณนาฬิกานี้ต้องแยกออกมาจากขบวนข้อมูลที่รับได้

โดยมากแล้วข้อมูลก่อนที่จะส่งออกจากเครื่องส่งมักจะทำการเข้ารหัส เพื่อให้ภาครับสามารถแยกสัญญาณนาฬิกาได้ง่าย แต่การเข้ารหัสส่วนใหญ่มักจะทำให้รูปคลื่นของขบวนบิทข้อมูลมีแถบความถี่กว้างขึ้นกว่าเดิม (เช่น Manchester Code, RZ เป็นต้น) ซึ่งทำให้ต้องใช้แถบความถี่ของตัวกลางมากขึ้น สำหรับระบบที่ออกแบบนี้จะใช้วิธีกำเนิดสัญญาณนาฬิกาด้วยวงจร LC ringing ซึ่งไม่จำเป็นต้องเข้ารหัสที่ทำให้แถบความถี่ของสัญญาณเพิ่มมากขึ้น

จากรูปข้อมูลอินพุทจะถูกนำเข้าสู่ส่วนดิฟเฟอเรนชิเอเตอร์(Differentiator) เพื่อสร้างริงกิงอิมพัลส์(ringing impulse)ที่บริเวณที่มีการเปลี่ยนสถานะของข้อมูล(ซึ่งสอดคล้องกับจุดที่มีการเปลี่ยนสถานะของสัญญาณนาฬิกาด้วย)เพื่อกระตุ้นวงจรจน LC ซึ่งจูนความถี่ไว้ที่อัตราการส่งข้อมูล 8.488 MHz เนื่องจากแอมปลิจูดของสัญญาณนาฬิกาที่ได้มีขนาดไม่คงที่คือจะมีขนาดใหญ่ที่จุดกระตุ้นและลดลงแบบเอ็กโปเนนเชียล(exponential)ไปเรื่อยจนกว่าจะถูกกระตุ้นใหม่ ดังนั้นจึงต้องนำสัญญาณที่ได้ไปเข้าตัวลิมิตเตอร์(limiter)เพื่อควบคุมให้แอมปลิจูดคงที่ สัญญาณนาฬิกาที่ได้เรียกว่า ริงกิงคล็อก (Ringing Clock)

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาที่เกิดขึ้นสำหรับ LC ringing circuit คือปัญหาเรื่องจิทเตอร์(jitter)ซึ่งเป็นอาการสั่นทางเฟสของสัญญาณนาฬิกา (ความจริงแล้วเป็นปัญหาที่เกิดกับการสื่อสารข้อมูลทุกแบบ)สาเหตุเนื่องมาจากความไม่สมบูรณ์ของวงจรจูน LC โดยเมื่อ LC ถูกกระตุ้นด้วยอิมพัลส์ก็จะออสซิลเลตด้วยความถี่ F_O ที่จุดกระตุ้น เมื่อเวลาผ่านไปความถี่ F_O จะเลื่อนออกไปเป็น F_r พร้อมกับที่แอมปลิจูดลดลง ความถี่ที่เลื่อนออกไปนี้เป็นผลให้เฟสเลื่อนออกไปด้วย ถ้าเฟสเลื่อนออกไปจนถึงจุดหนึ่งก็จะมีผลต่อการซิงโครไนซ์บิท จะเห็นว่าความถี่ F_r จะเลื่อนออกไปมากแค่ไหนขึ้นอยู่กับแพทเทอร์นของข้อมูลที่เข้ามาว่าในแต่ละเวลาจะมีจุดเปลี่ยนสถานะ(อิมพัลส์)มากน้อยแค่ไหน จึงเรียกจิทเตอร์ที่เกิดจากสาเหตุนี้ว่า pattern-induced jitter เมื่อกล่าวโดยสรุปแล้ว การเลื่อนออกไปของความถี่เกิดจากองค์ประกอบ 2 ประการ คือ

1.ความหนาแน่นสเปคตรัม(spectrum density)และความหนาแน่นอิมพัลส์

2.เสถียรภาพของวงจรจูน LC

องค์ประกอบข้อแรกขึ้นกับความหนาแน่นของอิมพัลส์ อิมพัลส์ที่ทิ้งช่วงห่างกันมากเกินไป ข้อมูลขบวนเป็น 1 หรือ 0 ติดกันยาวๆ)จะทำให้ความถี่ F_r เลื่อนออกไปมาก นั่นหมายความว่า ถ้าขบวนข้อมูลที่ส่งออกมามีความเป็นแรนดอมปัญหานี้ก็จะหมดไป วิธีที่ใช้ในทางปฏิบัติ คือ การทำการสแครมเบลอร์กับขบวนข้อมูลก่อนที่จะถูกส่งออกจากเครื่องส่งซึ่งตัวสแครมเบลอร์จะทำการสร้างขบวนสัญญาณที่มีลักษณะแรนดอม(randim) คือโอกาสที่จะเป็น 1 และ 0 เท่าๆกัน มาทำการ xor กับขบวนข้อมูลที่ต้องการส่ง ผลที่ได้คือขบวนข้อมูลใหม่ที่มีข้อมูลข่าวสารอยู่ด้วยและมีลักษณะเป็นแรนดอม ซึ่งสามารถพิสูจน์ได้ง่ายๆดังนี้ ถ้ากำหนดให้โอกาสที่ขบวนข้อมูล(ก่อนถูกสแครมเบลอร์)จะเป็น 1 และ 0 เป็น p(1) และ p(0) ตามลำดับ และโอกาสที่ข้อมูลจากตัวสแครมเบลอร์จะเป็น 1 และ 0 เป็น q(1) และ q(0) ตามลำดับ ดังนั้นโอกาสที่จะเป็น 1 ของขบวนข้อมูลใหม่ที่ได้จะเป็น

$$p1 = p(1)q(0)+p(0)q(1)$$

เมื่อตัวสแครมเบลอร์มีจำนวนสเตทที่มากพอ

$$q(0) = q(1) = 0.5$$

ดังนั้น $$p1 = [p(1)+p(2)]0.5$$

$$p1 = 0.5$$

และ $$p0 = 1-p1 = 0.5$$ เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าขบวนข้อมูลใหม่ที่ได้มีความเป็นแรนดอมเช่นกัน และจากการวิจัย[3]พบว่าสแครมเบลอร์ขนาด 5 สเตทมีความเป็นแรนดอมมากเพียงพอ

ข้อดีอีกประการหนึ่งของการใช้ตัวสแครมเบลอร์คือ ทำให้แอมปลิจูดของสัญญาณนาฬิกาที่ได้จากวงจรจูน LC ไม่มีโอกาสที่จะลดลงเป็นศูนย์ ซึ่งจะทำให้สัญญาณนาฬิกาขาดหายไปได้

ส่วนองค์ประกอบที่ 2 เกี่ยวกับเสถียรภาพของวงจรจูน LC การเลื่อนออกไปของความถี่ เกี่ยวข้องกับค่า Q ของวงจรจูน วงจรจูนที่มีค่า Q สูง แสดงว่าวงจรจูนนั้นมีแถบความถี่แคบ ซึ่งบ่งบอกถึงความสามารถและความมั่นคงในการรักษาความถี่เรโซแนนซ์ของวงจร การที่จะทำให้ค่า Q ของวงจรจูนสูงขึ้น จากการทดลองพอจะสรุปได้ดังนี้

1.พยายามเลือกใช้ L ให้มีค่าต่ำและเลือก C ให้มีค่าสูง โดยที่ยังสามารถเรโซแนนซ์ที่ความถี่ที่ต้องการได้

2.โหลดของวงจรจูน LC ต้องมีอิมพิแดนซ์สูง เช่นการใช้บัฟเฟอร์ที่อินพุทเป็นเฟ็ตหรือมอสเฟ็ต

3.เลือกอุปกรณ์ที่มีคุณภาพที่ดีและเหมาะสม เช่น การใช้ C ที่มีค่าสัมประสิทธิ์อุณหภูมิเป็นลบ

นอกจากการพยายามทำให้ค่า Q ของวงจรจูนสูงขึ้น ซึ่งในทางปฏิบัติมักจะทำได้ไม่มากนัก การนำระบบเฟสล็อคลูป(PLL:Phase Lock Loop)เข้ามาช่วยเป็นอีกวิธีหนึ่งที่สามารถทำให้ค่า Q ของระบบเพิ่มขึ้นอย่างมาก คุณสมบัติที่สำคัญของ PLL ที่จะนำมาประยุกต์ใช้งานนี้ คือ การทำให้ PLL มีแถบความถี่ลูป(Loop Bandwidth)ที่แคบมาก ซึ่งทำได้โดยการใช้ผลึกแร่(crystal)ในส่วนควบคุมความถี่ด้วยแรงดัน, VCO(Voltage Control Oscillator) เรียก VCO แบบนี้ว่า VCXO(VoltageControl Crystal Oscillator) สำหรับ VCXO ที่ใช้ในการทดลองมีความถี่กลางอยู่ที่ 8 MHz แถบความถี่ประมาณ 3 KHz ที่แรงดันควบคุมอินพุท 0-30V จะเห็นว่าเมื่อเทียบกับความถี่กลางแล้วแถบความถี่จะแคบมาก ดังนั้นความถี่อ้างอิงหลักทางภาคส่งที่ใช้กำหนดจังหวะเวลามากับขบวนข้อมูลที่ส่งมา จะต้องมีเสถียรภาพสูง ความถี่ต้องอยู่ในแถบความถี่ของ PLL ที่ภาครับ ซึ่งอุณหภูมิก็มีผลต่อเสถียร ภาพด้วยเช่นกัน

การที่ PLL มีแถบความถี่แคบมากๆมีผลให้

- เมื่อเกิดสภาพการสูญเสียการซิงโครไนซ์ ความถี่อิสระ(free-running fre-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

quency)ของ VCXO จะยังคงใกล้เคียงกับความถี่อ้างอิงมาก[2]

- ลดผลการรบกวนของจิทเตอร์ได้มาก[4]

ทฤษฎี Phase-Locked Loops

Phase-Locked Loops(PLL)เป็นกระบวนการที่อาศัยการป้อนกลับของสัญญาณ O/P เพื่อทำการเปรียบเทียบความถี่และเฟส กับสัญญาณ I/P แล้วสร้างสัญญาณเพื่อไปบังคับให้การกำเนิดสัญญาณที่ภาค O/P ที่มีเฟส และ ความถี่ ตรงกับภาค I/P ตามที่เราต้องการ

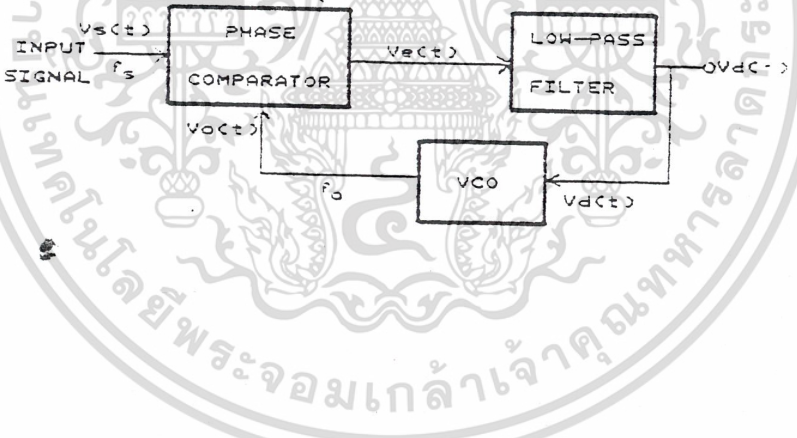
PLL มีส่วนประกอบสำคัญพื้นฐาน 3 ส่วน คือ

1.Phase comparator

2.Low-pass filter

3.Voltage Controlled Oscillator(VCO)

ดังรูปข้างล่าง



รูปแสดง block diagram ของระบบ PLL

ถ้ายังไม่มีสัญญาณป้อนเข้ามา V_d(error voltage) จะมีค่าเป็นศูนย์ ส่วน VCO จะกำเนิดสัญญาณที่ความถี่ที่ได้ตั้งค่าไว้ f_o ซึ่งเรียกกันว่า free-running frequency

ถ้ามีสัญญาณป้อนให้ระบบ phase comparator จะทำการเปรียบเทียบสัญญาณนี้กับสัญญาณที่ได้จากส่วน VCO จะได้ค่า error voltage $V_e(t)$ ค่าหนึ่ง ซึ่งขึ้นอยู่กับค่าความต่างกันของความถี่และเฟสของ 2 สัญญาณนี้ ค่า error voltage นี้ จะถูก filter และป้อนเป็นสัญญาณควบคุมให้กับส่วน VCO ถ้าความถี่สัญญาณที่เข้ามา f_s มีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าใกล้ค่า f_o เพียงพอแล้วระบบ PLL นี้ จะบังคับให้ส่วน VCO สร้างสัญญาณที่ synchronize หรือ lock กับสัญญาณที่ป้อนเข้ามา ในภาวะ synchronize นี้ ความถี่ของสัญญาณที่ได้จาก VCO จะเหมือนกับสัญญาณที่เข้ามายกเว้นเฟสที่อาจจะมีผลต่างของเฟสคงที่ได้

Lock range : เป็นย่านความถี่ที่ใกล้เคียงกับ f_o ที่ยังคงทำให้ระบบ PLL ยังคง Lock กับสัญญาณ I/P หรือที่เรียกกันว่า Tracking หรือ Holding range ก่อนที่จะหลุดจากการ lock

: Lock range นี้จะเพิ่มขึ้นตามค่า gain ของ PLL ที่เพิ่มขึ้น

Capture range : ค่าของแถบความถี่ที่ใกล้เคียง f_o ซึ่งระบบ PLL สามารถจับสัญญาณI/P และเริ่มทำการล็อคเฟส และความถี่ตามสัญญาณI/P

: โดยปกติค่านี้จะอยู่ในย่าน(range)ที่แคบกว่า ซึ่งค่านี้ขึ้นอยู่กับ bandwidth ของส่วนlow-pass filter

ค่า Lock range และค่า capture range ของส่วน PLL แสดงได้ดังรูป ซึ่งแสดง frequency-to-voltage characteristics ของ PLL จากรูป ให้ I/P มีการเปลี่ยนแปลงความถี่อย่างช้าๆตลอดแนวแกนความถี่ และในแนวตั้งเป็นค่าของ loop error voltage(V_d)

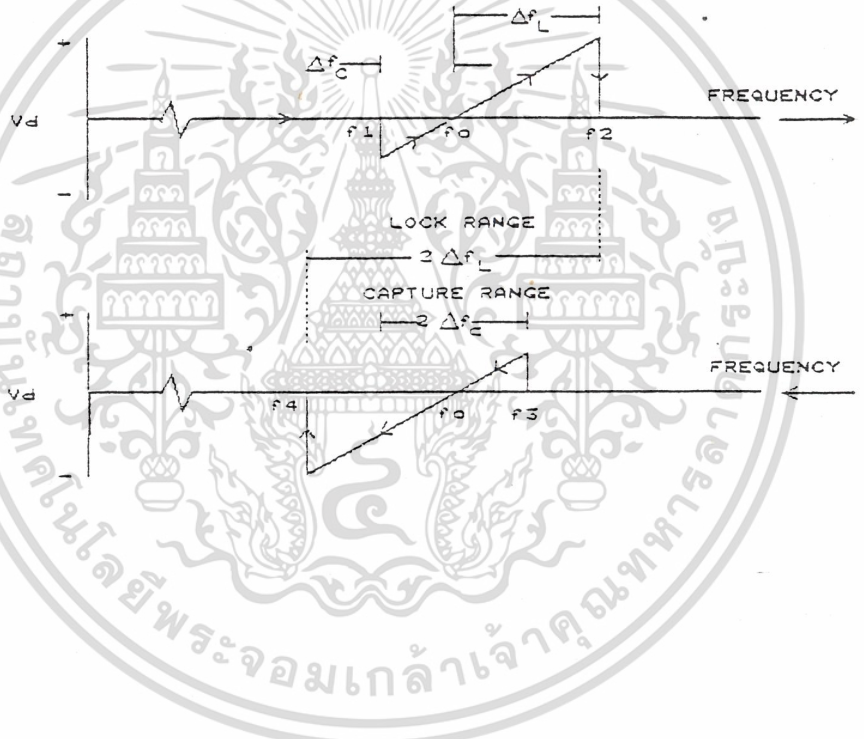
ในรูปบน ความถี่ของสัญญาณที่ป้อนเข้ามา มีค่าเพิ่มขึ้นอย่างต่อเนื่อง จนถึงค่าหนึ่ง f_1 ซึ่งเป็นค่า lower edge ของ capture range ระบบจะ lock กับสัญญาณ I/P ทันที ทำให้ค่า error voltage(V_d) ลงมาเป็นลบ ต่อมา V_d จะแปรผันตามความถี่ตามค่าความชัน(slope)ของเส้นกราฟ ซึ่งมีค่าเท่ากับค่า gain ของส่วน VCO(Voltage-to-Frequency Conversion Gain) V_d จะมีค่าเป็นศูนย์ ขณะที่ $f_s = f_o$ ระบบ PLL จะยังคง lock กับสัญญาณ I/P จนกระทั่งความถี่ I/P สูงถึงค่า f_2 (upper edge ของ lock range) ระบบจะหลุดจากการ lock ค่า error voltage ตกลงเป็นศูนย์อีกครั้งหนึ่ง

เมื่อลดความถี่ I/P ที่ป้อนเข้ามา ดังแสดงในรูปล่าง ระบบเข้าสู่ช่วง capture range ที่จุด f_3 และลดลงไปเรื่อยๆถึง f_4 จะเห็นว่าความถี่จะกระจายอยู่ระหว่างช่วง (f_1,f_3) และ(f_2,f_4) นั่นคือ $f_3 - f_1$ = capture range และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

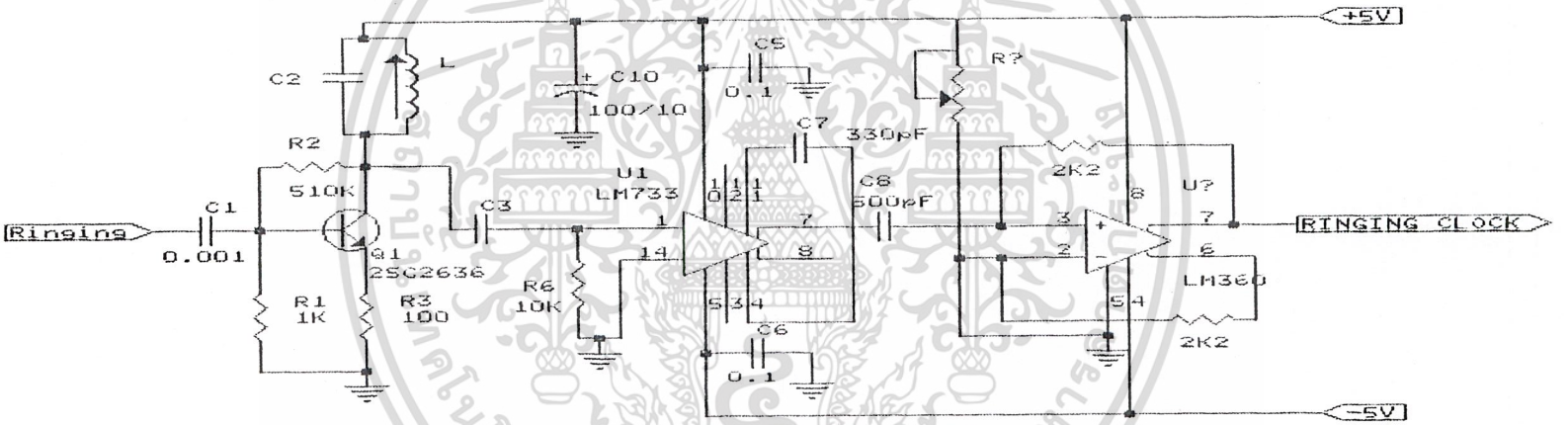
$f_2 - f_4$ = lock range

สรุปก็คือระบบ PLL จะตอบสนอง(response) ต่อความถี่สัญญาณ I/P ที่ใกล้เคียงกับค่า VCO frequency (f_o) ซึ่งอาจอยู่ในช่วง "Lock" หรือ "Capture" range ของระบบ ดังนั้นประสิทธิภาพของระบบก็จะดูได้จากการเลือกค่า f_o ที่ทำให้ได้ที่ทำให้ช่วงความถี่ที่ครอบคลุมช่วง capture range และ lock range มีค่าสูงนั่นเอง



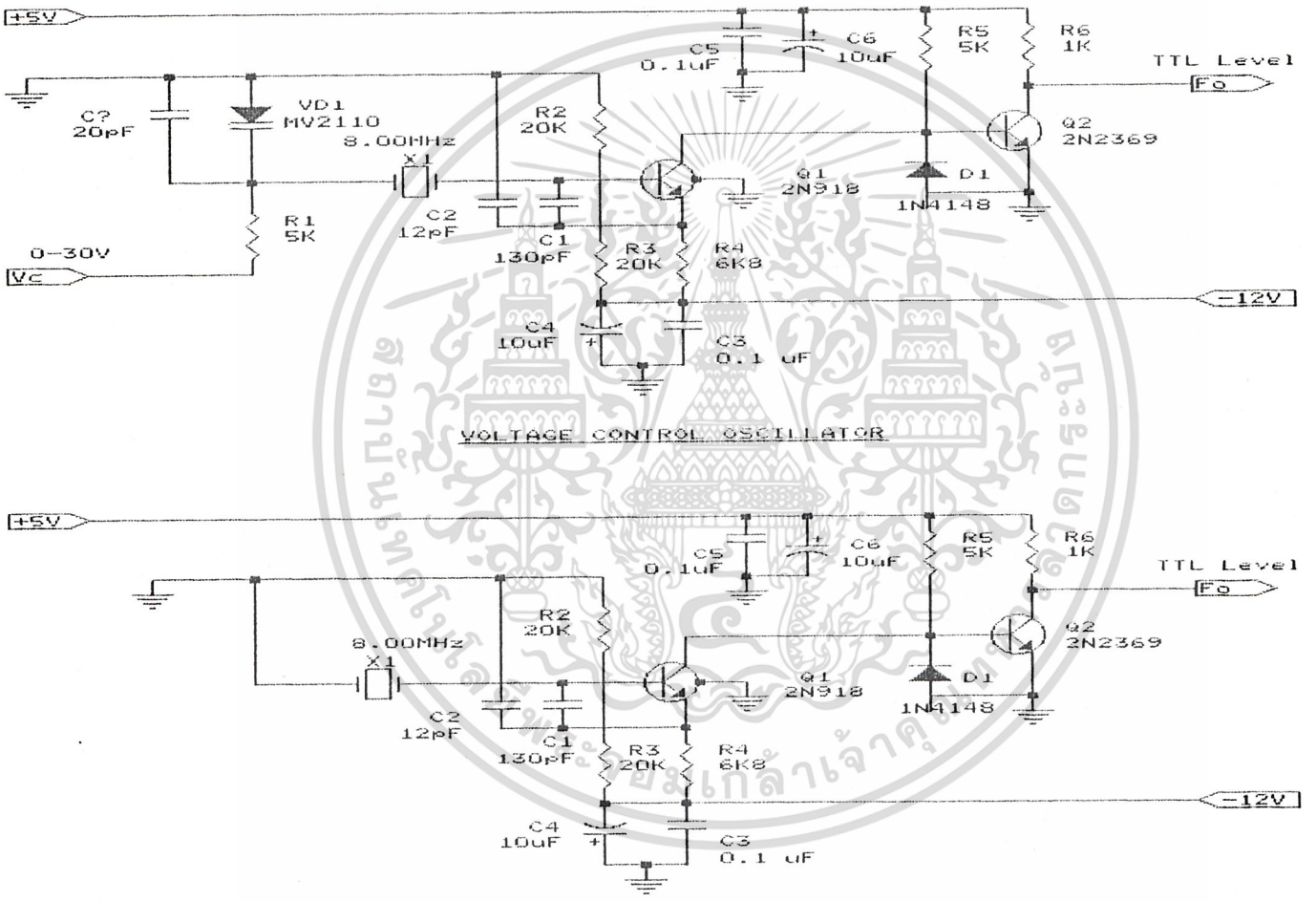
รูปแสดง frequency-to-voltage transfer characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

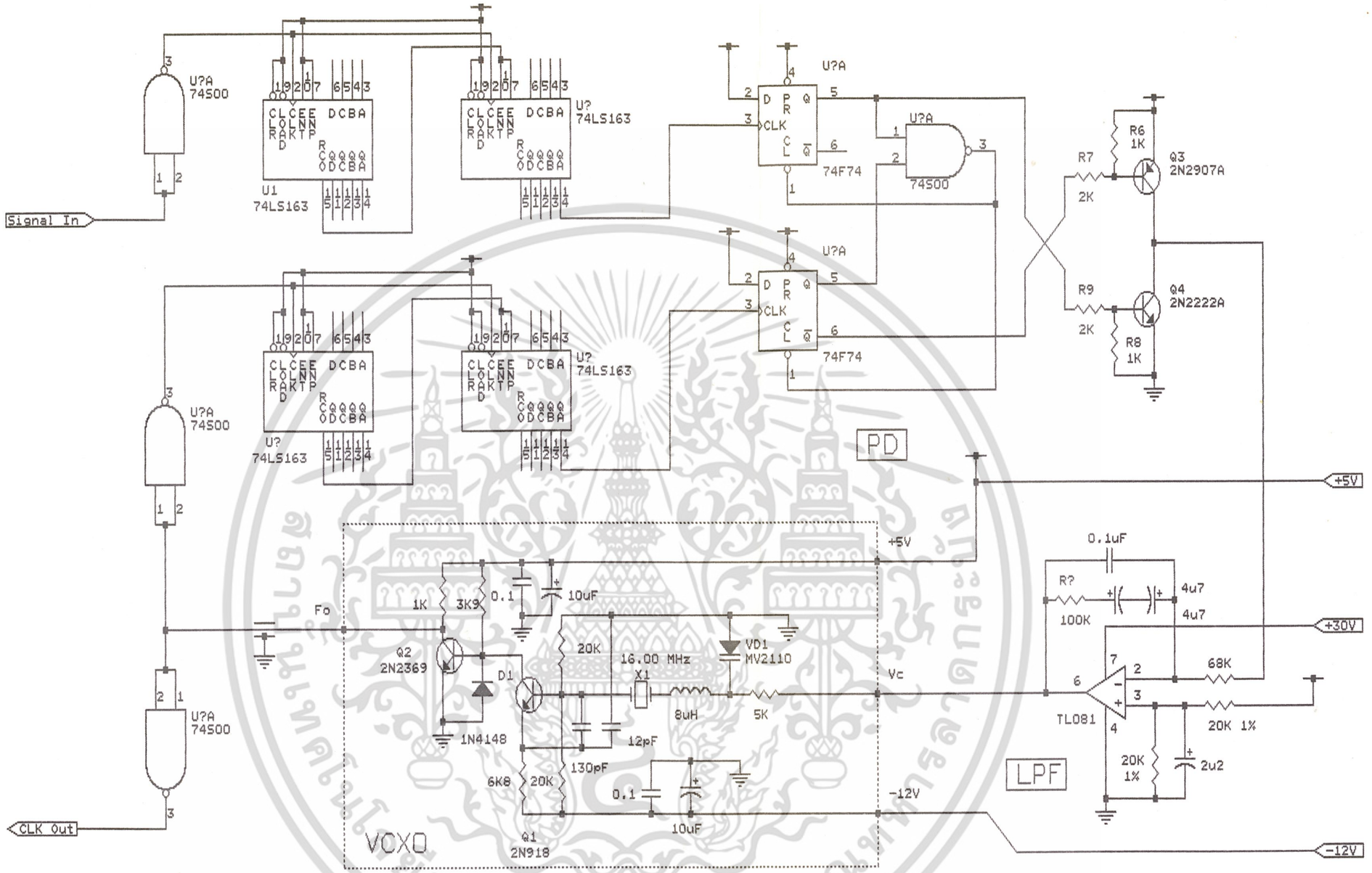


RINGING OSCILLATOR CIRCUIT

Size	Document Number	REV
A		
Date: February 6, 1994	Sheet of	

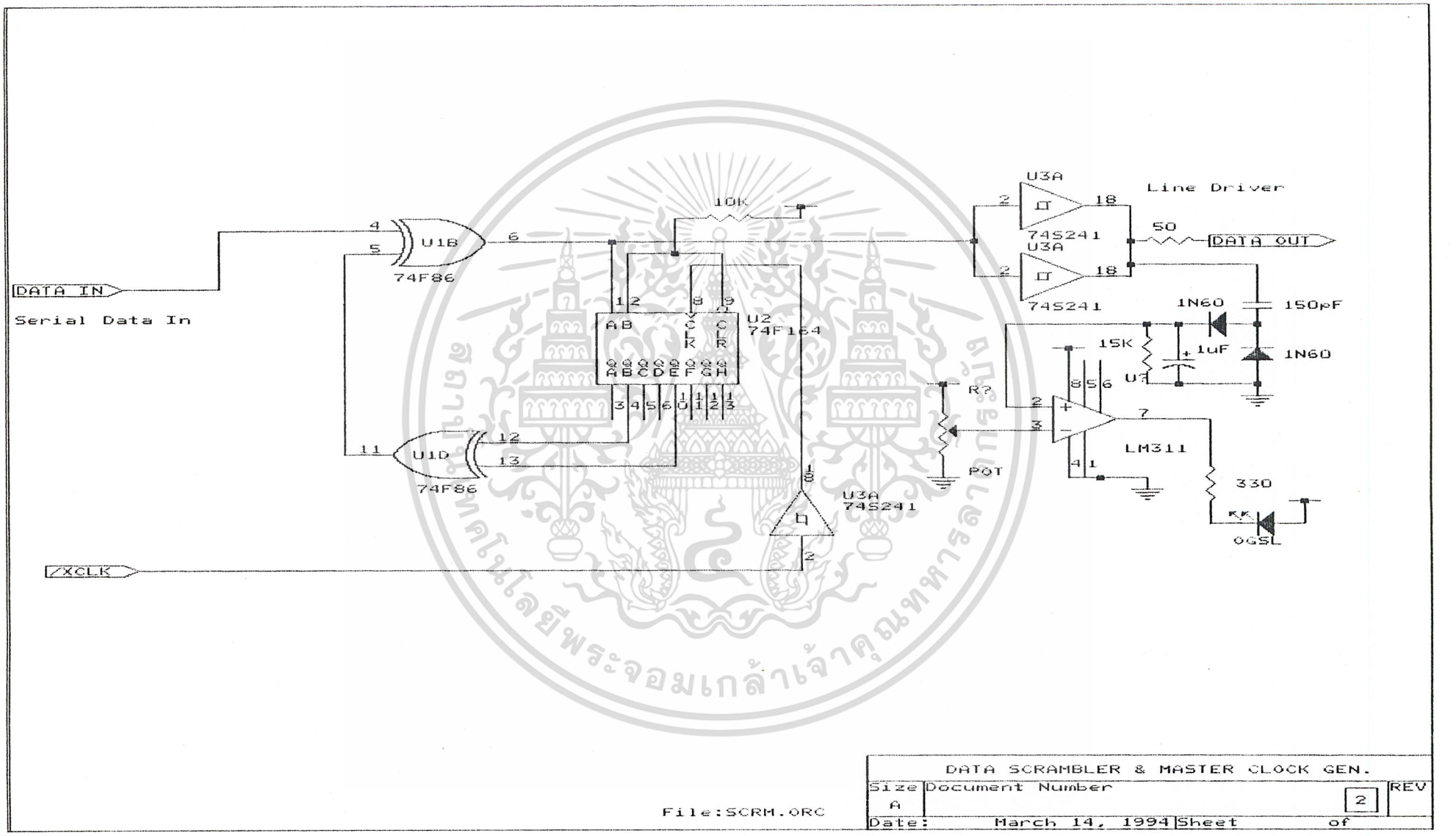


VCXO & X'TAL OSC.		
Size A	Document Number	REV
Date: March 13, 1994	Sheet of	

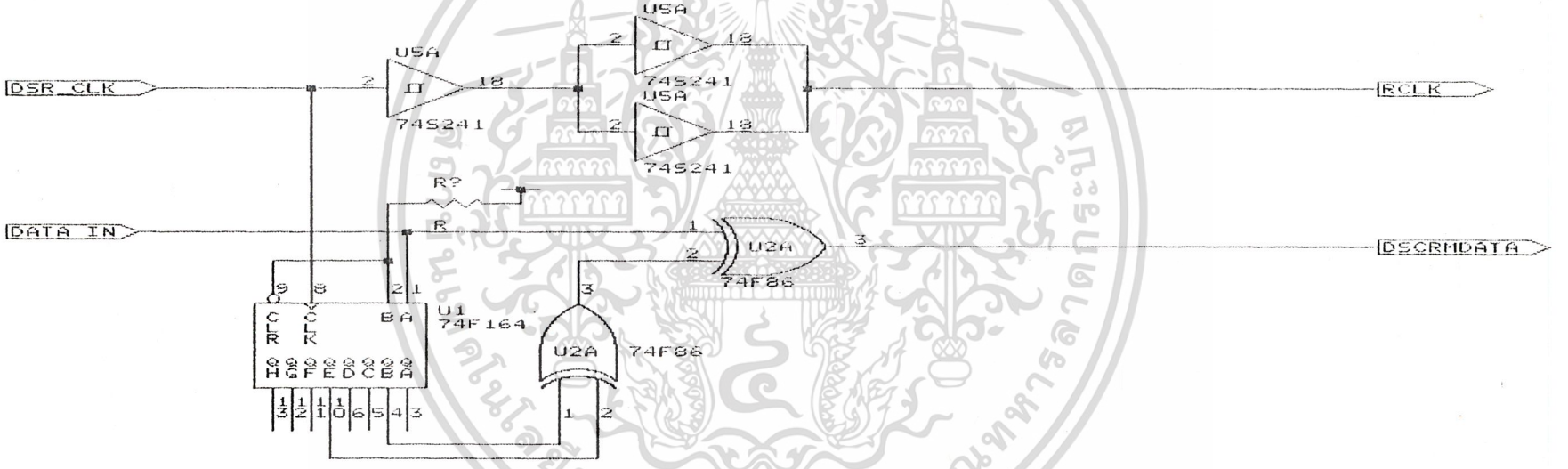


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE LOCK LOOP CIRCUIT		
Size B	Document Number	REV
Date: February 6, 1994	Sheet of	


DATA IN
Serial Data In
/XCLK
U1B
74F86
U1D
74F86
10K
U2
74F164
AB
CLK
CLR
QA QB QC QD QE QF QG QH
U3A
74S241
Line Driver
U3A
74S241
U3A
74S241
50
DATA OUT
1N60
150pF
1N60
15K
1uF
R?
POT
LM311
330
OGSL
DATA SCRAMBLER & MASTER CLOCK GEN.
Size
A
Document Number
2
REV
Date: March 14, 1994
Sheet of
File:SCRM.ORC

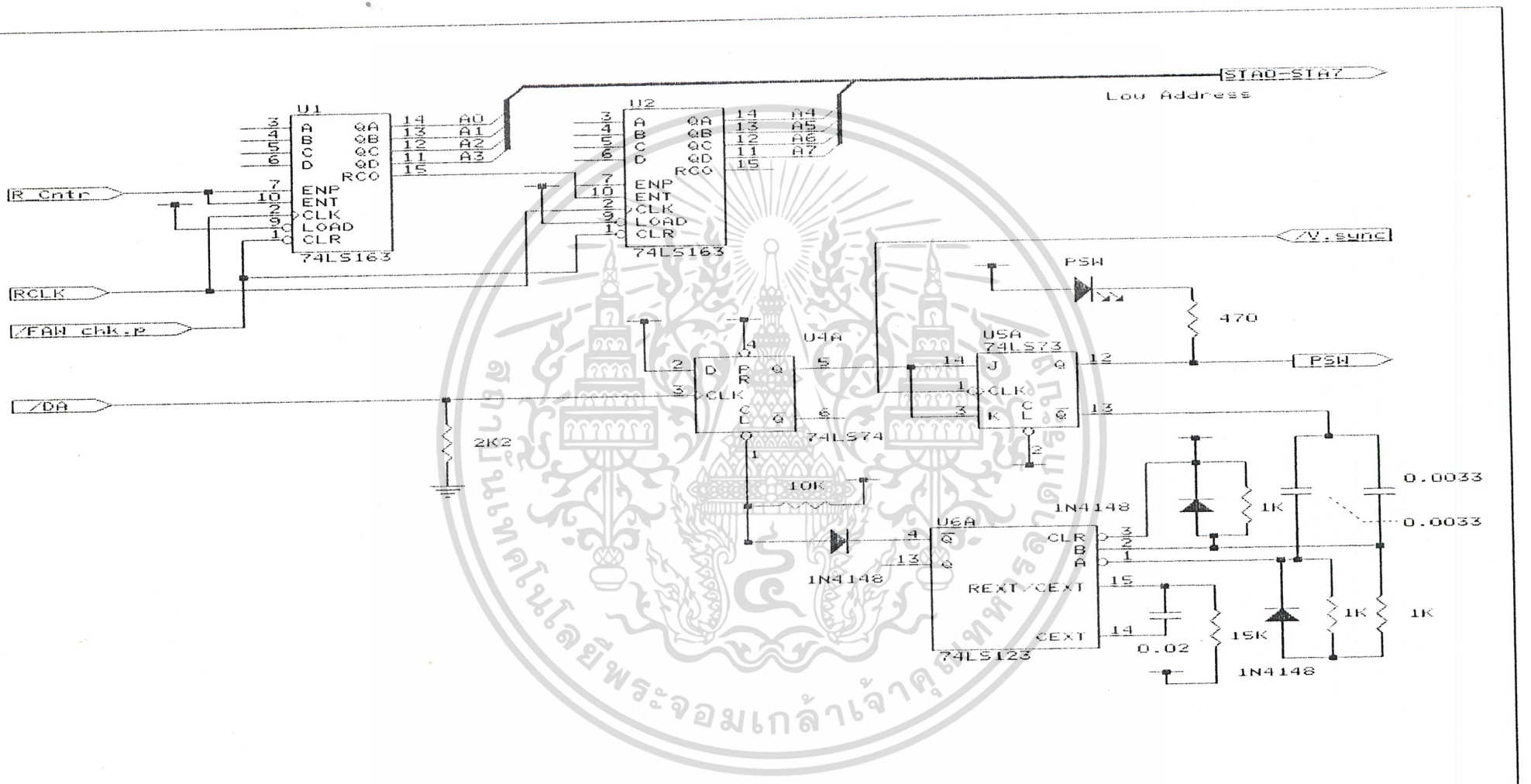
RECEIVER SECTION.



ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

File:DSCRM.ORC

Size	Document Number	REV
A		
Date: March 14, 1994	Sheet of	

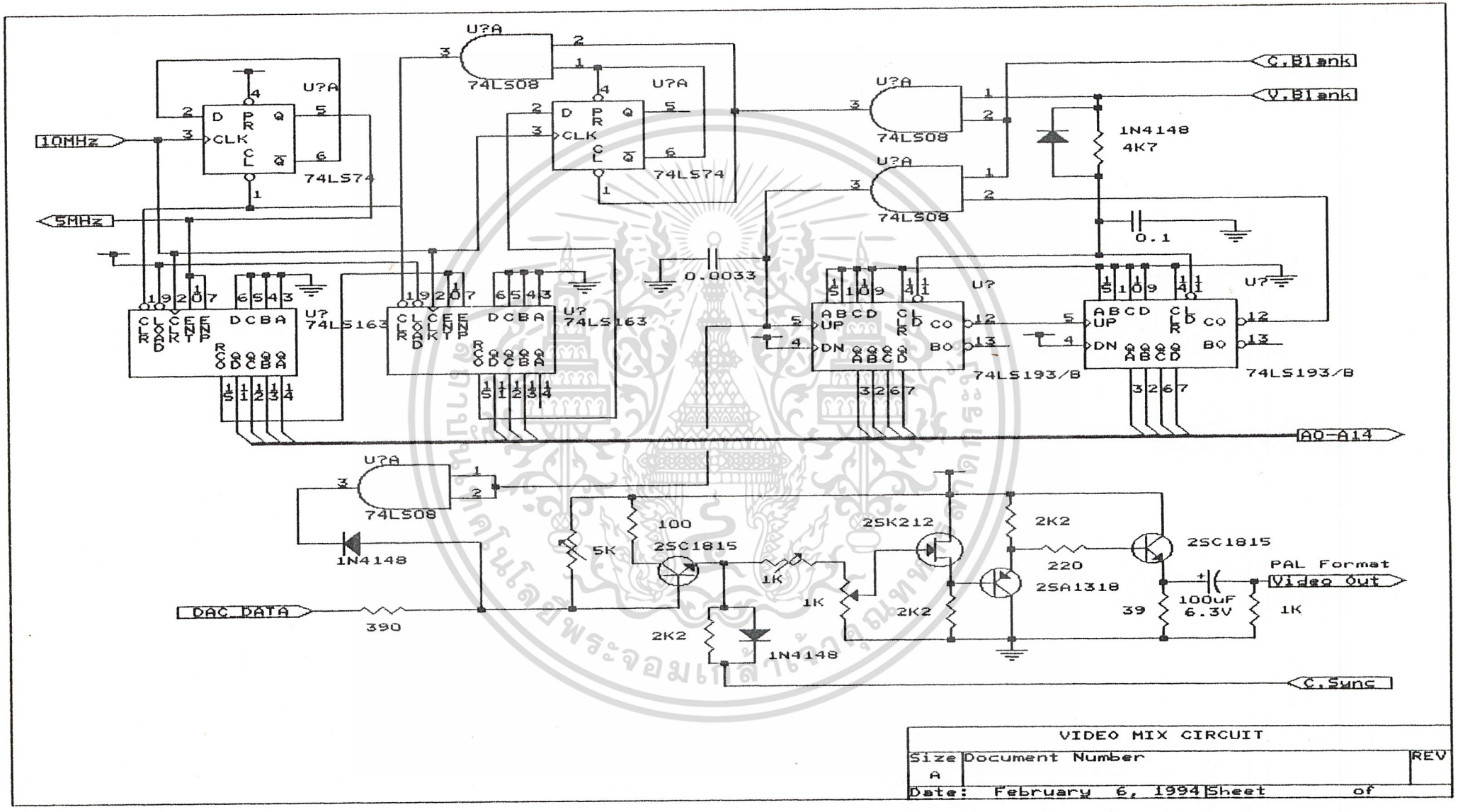


File:PSW.ORC

PSW Control & Store Address Counter

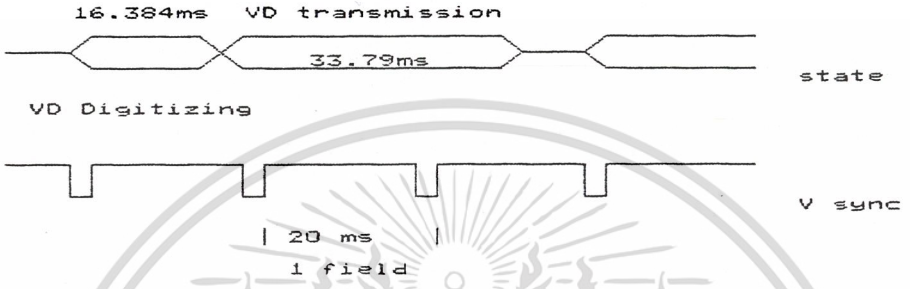
Size	Document Number	REV
A	12	
Date: March 14, 1994	Sheet of	

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง


10MHz
5MHz
74LS74
74LS08
74LS163
74LS193/B
0.0033
0.1
1N4148
4K7
C.Blank
V.Blank
A0-A14
DAC DATA
390
100
5K
2SC1815
2SK212
2SA1318
2K2
220
1K
39
100uF
6.3V
PAL Format
Video Out
C.Sync
VIDEO MIX CIRCUIT
Size
A
Document Number
REV
Date: February 6, 1994
Sheet of

ความเร็วในการส่งภาพ

หลังจากที่ได้กล่าวถึงระบบทั้งหมดที่ได้ออกแบบแล้ว ยังมีอีกส่วนหนึ่งที่ควรกล่าวถึง คือ ความเร็วในการส่งภาพ ซึ่งจะแสดงด้วยไดอะแกรมเวลาการทำงานของส่วนดิจิไทซ์สัญญาณภาพ และช่วงเวลาการส่งข้อมูงภาพเมื่อเทียบกับสัญญาณซิงค์แนวตั้งของสัญญาณภาพ ดังรูป



จากรูปจะเห็นว่าทุกๆ 3 ฟิลด์ของสัญญาณภาพจะสามารถส่งข้อมูลภาพสมบูรณ์ไปเครื่องรับได้ 1 ภาพ เนื่องจากอัตราฟิลด์ของสัญญาณภาพตามมาตรฐาน PAL เป็น 50 ฟิลด์/วินาที ดังนั้นอัตราความเร็วในการส่งภาพของเครื่องส่งจะเป็น 50/3 = 16.66 ภาพ/วินาที ถึงแม้ว่าสำหรับสัญญาณภาพแล้ว 2 ฟิลด์ ถึงจะถือเป็น 1 เฟรมภาพที่สมบูรณ์ การดิจิไทซ์สัญญาณเพียงฟิลด์เดียวในเชิงความหมายของภาพแล้ว ถือว่าได้ 1 ภาพสมบูรณ์เช่นกัน ดังนั้นจึงถือได้ว่าค่า 16.66 ภาพ/วินาที ที่คำนวณได้มีความถูกต้องเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

จากการทดลองพบว่าได้เกิดปัญหาต่างๆ โดยเฉพาะอย่างยิ่งในส่วนของ วงจรแยกสัญญาณนาฬิกา(CLOCK RECOVERY) เนื่องจากสัญญาณ RINGING CLOCK ที่ได้จากวงจร LC TANK CIRCUIT การเลื่อนทางเฟสมาก(JITTER) ทำให้เมื่อผ่านเข้าวงจร PHASE LOCKED LOOP สัญญาณ RINGING CLOCK ไม่สามารถ lock กับ clock ที่ได้จากวงจร VOLTAGE CONTROL OSCILLTOR นอกจากนี้ วงจร VCO ที่ใช้ เป็นวงจรที่ใช้ CRYSTAL เป็นตัวผลิตสัญญาณ ซึ่งข้อดีก็คือความถี่ที่ได้จาก CRYSTAL VCO จะมี stability สูง แต่ก็มีข้อเสียคือ FREQUENCY DEVIATION มีค่าน้อย ดังนั้นถ้าความถี่ clock ที่ได้จาก VCOไม่ใกล้เคียงกับความถี่ clock จากภาคส่ง วงจร PHASE LOCKED LOOP ก็จะไม่สามารถเข้าสู่สภาวะ lock ได้

นอกจากนี้ปัญหาที่เกิดขึ้นก็คือ การ INTERFACE วงจรสร้างสัญญาณควบคุมกับวงจรอื่นๆยังมีส่วนที่บกพร่อง ทำให้การทำงานของส่วนภาครับและภาคส่งยังมีส่วนที่ผิดพลาดและนอกจากนั้นการตรวจสอบสัญญาณจากภาคส่งไม่สามารถตรวจสอบได้โดยตรงเนื่องจากสัญญาณที่ส่งเป็นสัญญาณดิจิตอลที่ส่งแบบอนุกรม

อย่างไรก็ตามจากการทดลองสามารถ set ค่า FAW และมองเห็นถึง FRAME FORMAT ของการส่งสัญญาณที่ออกแบบไว้ได้อย่างชัดเจน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทสรุป

โครงงานนี้ได้นำเสนอการออกแบบระบบการส่งข้อมูลภาพ ความเร็ว 8 Mbit/s โดยส่วนของวงจร Interface ยังไม่สามารถเชื่อมต่อวงจรระหว่าง ภาครับกับภาคส่งได้ ทำให้ไม่สามารถตรวจสอบสัญญาณที่ภาคส่งได้ว่าถูกต้องหรือไม่ แต่สามารถตรวจสอบ FAW ที่ภาคส่งและภาครับให้ตรงกันได้ถ้า และถ้าถอดวงจร Interface ออกสามารถตรวจสอบสัญญาณที่ภาคส่งได้ การแก้ไขนั้นต้องทำการเปลี่ยนระบบการเดินสายไฟและสายสัญญาณต่างๆ ใหม่ให้สั้นลงเพื่อป้องกันการลดทอนของสัญญาณ

นอกจากนี้ สัญญาณ Clock Recovery ยังมีความสั่นทางเฟสมากทำให้ไม่สามารถนำไปใช้งานได้ จะต้องได้รับการปรับปรุง โดย การทำให้วงจร Tuned Circuit มีประสิทธิภาพมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณอย่างสูงต่อ อาจารย์ สมศักดิ์ เชียร์ศิริกุล ที่คอยช่วยเหลือชี้แนะต่างๆ และ พี่ สมศักดิ์ อภิรักษ์สมบัติ นักศึกษาปริญญาโท คณะวิศวกรรมศาสตร์ ที่ให้คำแนะนำช่วยเหลือในระหว่างการทำโครงงานชิ้นนี้ รวมทั้งเพื่อนๆและน้องๆที่คอยช่วยเหลือและให้กำลังใจตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] Frank F.E. Owen : "PCM and Digital Transmission System", Mc Graw-Hill ,Inc,1982.

[2] ถวิล กิ่งทอง :"เทคโนโลยีการส่งสัญญาณดิจิตอล",ตำราชุดวิศวกรรมศาสตร์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ,พิมพ์ครั้งที่ 2 ,2535.

[3] สมศักดิ์ อภิรักษ์สมบัติ :"ระบบการส่งข้อมูลภาพและเสียงแบบ TDM",การประชุมวิชาการทางไฟฟ้าครั้งที่ 16 ,460-466

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้