เฟสล็อคคอนโทรลเลอร์

PHASE LOCKED CONTROLLER

นางสาว ฐิติบันท์ ตั้งมหาศุกร์

นางสาว บิยาบี ริ้วเลิศคิริกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2536

ภาควิชา วิศวกรรมระบบควบคุม

คณะ วิศวกรรมศาสตร์

สถาบัน เทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เฟสล็อคคอนโทรลเลอร์

PHASE LOCKED CONTROLLER

ผู้จัดทำ ฐิตินันท์ ตั้งมหาศุภร์ 33100099

ปิยานี ร้ำเลิศศิริกุล 33100224

อาจารย์ที่ปรึกษา

(ดร. โยธิน เปรมปราณีรัชต์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033195

เฟสล็อคคอนโทรลเลอร์

PHASE LOCKED CONTROLLER

โดย ฐิตินันท์ ต้งมหาศุภร์

บิยามี ริ้วเลิศศิริกุล

อาจารย์ที่ปรึกษา รศ.ดร. โยธิน เปรมปราณีรัชต์

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการนำเสนอการออกแบบและสร้างตัวคอนโทรลเลอร์แบบเฟสล็อคลูป ด้วยไมโครคอนโทรลเลอร์ 8031 โดยใช้ซอฟแวร์โปรแกรมทำงานเหมือนกับเฟส/ความถี่ดีเทกเตอร์ ในลักษณะการทำงานแบบไตร-สเตท และได้ทดลองนำไปประยุกต์ใช้ควบคุมความเร็วของดีซีมอเตอร์ ซึ่งให้ผลการทดลองเป็นที่น่าพอใจ คือมีความเร็วที่คงที่ดีมาก และสามารถแทร็คติดตามค่าการเปลี่ยนแปลงของค่าสัญญาณอินพุทได้ดี

ABSTRACT

This thesis presents phase-locked loop controller by using microcontroller 8031 which provides in the form of software programming. This controller acts as the phase/frequency detector which has the behavior of tri-state. The application of this controller is using for DC motor speed control. The experimental results is good in speed regulation and can track the variation setpoint.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การทำโครงงานครั้งนี้สำเร็จลุล่วงได้ เพราะคำแนะนำ , คำปรึกษา และกำลังใจจากบุคคลหลายท่าน

ขอขอบคุณ รศ. ดร.โยธิน เปรมปราณีรัชต์ หัวหน้าภาควิชาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ สจล. ที่ได้ให้คำปรึกษาในการทำโครงงานนี้

ขอบคุณ อาจารย์ เกียรติศักดิ์ คมวัชระ , อาจารย์ เกียรติวรรณ ทรงสัตย์ ,อาจารย์ ปรเมษฐ์ ประนยานนทน์ อาจารย์ภาควิชาวิศวกรรมระบบควบคุม ที่ได้ให้ความอนุเคราะห์อุปกรณ์ และคำแนะนำต่างๆ ในการทำงาน

และสุดท้าย ขอบคุณเพื่อนๆ ภาคอิเล็กทรอนิคส์ ที่ให้กำลังใจตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อ	I
กิตติกรรมประกาศ	II
สารบัญตาราง	IV
สารบัญรูป	V
บทที่ 1 บทนำ	1
บทที่ 2 หลักการของเฟสล็อคลูป	2
บทที่ 3 เฟสดีเทกเตอร์	13
บทที่ 4 ฟรีเควนซี่ซินทิไซเซอร์	20
บทที่ 5 ขั้นตอนการทำงานของเฟสล็อคคอนโทรลเลอร์	38
บทที่ 6 สรุปผลและข้อเสนอแนะ	54
บรรณานุกรม	56
ภาคผนวก ก ซอฟต์แวร์ภาษาแอสเซมบลี 8031 ของโปรแกรม	57
ภาคผนวก ข ไมโครคอนโทรลเลอร์ 8031	71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

		หน้า
ตาราง 3.1	การสร้างสัญญาณควบคุมจากสเตทไดอะแกรม	19
ตาราง 4.1	แสดงค่าตัวเลขที่เซ็ตให้ TH0	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

		หน้า
รูปที่ 2.1	Basic phase-locked loop	2
รูปที่ 2.2	PD characterictic	3
รูปที่ 2.3	Shift PD characteristic	3
รูปที่ 2.4	model ของ PD	4
รูปที่ 2.5	VCO characteristic	4
รูปที่ 2.6	Shift VCO characteristic	5
รูปที่ 2.7	Model ของ VCO	6
รูปที่ 2.8	Linear model of PLL	6
รูปที่ 2.9	ac model of PLL	7
รูปที่ 2.10	Frequency reference of PLL	8
รูปที่ 2.11	Narrowed banwidth PLL	9
รูปที่ 2.12	Model เมื่อใส่ loop filter	10
รูปที่ 2.13	Frequency response ของ loop filter	11
รูปที่ 2.14	Expanded frequency range PLL	11
รูปที่ 2.15	Full linear model of PLL	12
รูปที่ 3.1	สเตทไดอะแกรมของ Tri-state phase detector	13
รูปที่ 3.2	วงจรอิเล็กทรอนิคส์ของ Tri-state phase detector	13
รูปที่ 3.3	Timing diagram ของ Tri-state phase detector	14
รูปที่ 3.4	Tri-state PD characteristic	15
รูปที่ 3.5	การเปรียบเทียบข้อมูลเดิมและข้อมูลใหม่	16
รูปที่ 3.6	สเตทไดอะแกรมการเปลี่ยนสเตทของเฟสดีเทกเตอร์	17
รูปที่ 4.1	ฟรีเควนซี่ซินทิไซเซอร์อย่างง่าย	20
รูปที่ 4.2	บล็อคไดอะแกรมของฟรีเควนซี่ซินทิไซเซอร์(ใช้ฮาร์ดแวร์)	21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3	วงจรฟรีเควนซี่ซินทีไซเซอร์	23
รูปที่ 4.4	ส่วนประกอบต่างๆของฟรีเควนซี่ซินทีไซเซอร์	27
รูปที่ 4.5	วงจรกำเนิดความถี่ 100 KHz	28
รูปที่ 4.6	Counter mode 2 auto-reload	29
รูปที่ 4.7	Tri-state switch	31
รูปที่ 4.8	Low pass filter and buffer	32
รูปที่ 4.9	Equivalent diagram ของ driver และมอเตอร์	33
รูปที่ 4.10	การทำสัญญาณ sine wave ให้เป็น square wave	34
รูปที่ 4.11	บล็อคไดอะแกรมของฟรีเควนซี่ซินทีไซเซอร์(ใช้ซอฟต์แวร์)	35
รูปที่ 4.12	วงจร low pass filter	36
รูปที่ 5.1	วงจรของเฟสล็อคคอนโทรลเลอร์	53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

เฟสล็อกลูปสามารถนำไปใช้งานได้หลายอย่าง โดยเฉพาะในด้านการสื่อสาร เนื่องจากสามารถลดสัญญาณรบกวนได้ดี การใช้งานก็สะดวก ไม่ยุ่งยาก สร้างได้ง่ายโดยใช้โมโนลิทิกไอซี

ในระบบควบคุมสมัยใหม่นิยมใช้ระบบเฟสล็อกลูปในงานต่างๆมากขึ้น โดยใช้ การชิงโครไนซ์สัญญาณอ้างอิงกับสัญญาณป้อนกลับจากขบวนการมาเปรียบเทียบความถี่และเฟส และแทร็คตามการเปลี่ยนแปลงนั้น เพื่อให้ได้เอาท์พุทออกมาใช้งานควบคุมตามต้องการ

การใช้งานระบบเฟสล็อคลูปในปัจจุบัน ยังต้องใช้เฟสดีเทกเตอร์ที่เป็นวงจรสำเร็จรูปอยู่ ในโครงงานนี้ได้ทำการพัฒนาโดยใช้ซอฟแวร์แทนตัวเฟสดีเทกเตอร์ ซึ่งมีความยืดหยุ่นในการใช้งานดีกว่าการใช้ไอซีสำเร็จรูป แต่ยังรักษาคุณสมบัติของความเที่ยงตรง และความเร็วในการแทร็คกิ้งของระบบเฟสล็อกเหมือนเดิม

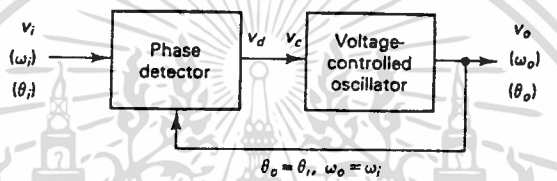
การเลียนแบบการทำงานของไอซีสำเร็จรูปนี้ จะใช้แทนไอซีเบอร์ 4044 ซึ่งมีลักษณะการทำงานแบบไตร-สเตท และใช้เพื่อควบคุมความเร็วของ dc มอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการของเฟสล็อกลูป

เฟสล็อกลูป(PLL) คือ OSCILLATOR ที่ความถี่ของมันถูกล็อกกับความถี่สัญญาณอินพุท V_i ดังแสดงตามรูป 2.1



รูปที่ 2.1 Basic phase-locked loop

สัญญาณอินพุท V_i ความถี่ คือ w_i

เฟส คือ θ_i

สัญญาณ oscillator V_o ความถี่ คือ w_o

เฟส คือ θ_o

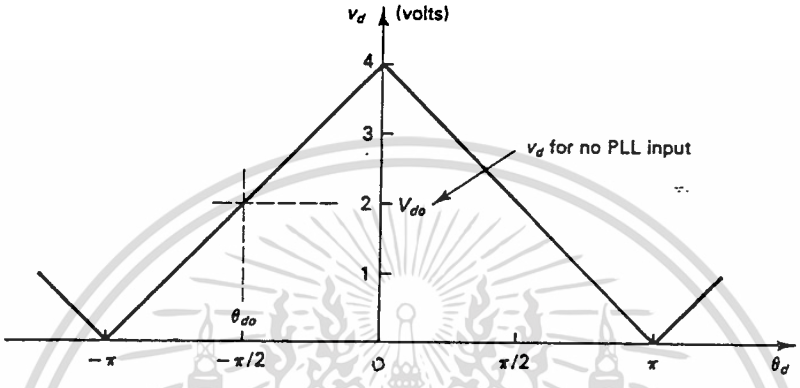
เฟสดีเทกเตอร์(PD) จะเปรียบเทียบ θ_o กับ θ_i แล้วให้ V_d ซึ่งเป็นสัดส่วนกับความต่างเฟส (phase error) ที่ได้ โวลต์เตจนี้จะเป็น control- voltage V_c ที่ใช้ควบคุม oscillator (VCO) ให้มีความถี่ w_o แล้วป้อนกลับเป็น negative feedback

ในสภาวะล็อก $w_o = w_i$ ทำให้ phase error มีค่าน้อยมาก ดังนั้นทั้งเฟสและความถี่ของ oscillator จะล็อกกับเฟสและความถี่ของสัญญาณอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE DETECTOR CHARACTERISTICS

ให้ θ_d แทนความต่างเฟสระหว่างเฟสของอินพุทกับเฟสของ VCO characteristics ของ V_d และ θ_d แสดงดังรูป 2.2



รูปที่ 2.2 PD characteristic

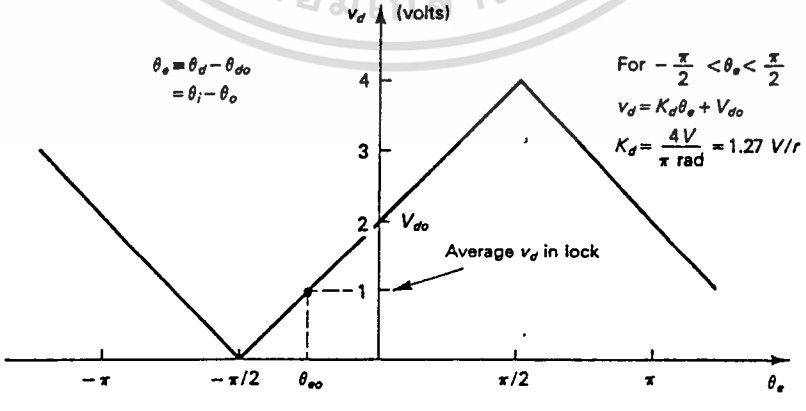
ถ้าไม่มีสัญญาณ V_i เฟสดีเทกเตอร์จะให้ free-running voltage (V_{do}) ดังนั้น

$$V_d = V_{do}$$

$$\theta_e = \theta_d - \theta_{do}$$

$$= \theta_i - \theta_o$$

plot V_d กับ θ_e ดังรูป 2.3



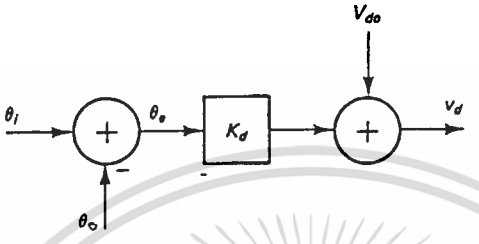
รูปที่ 2.3 Shift Pd characteristic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_d = dV_d/d\theta_e$$

$$V_d = K_d\theta_e + v_{do}$$

แสดงเป็น model ได้ดังรูป 2.4

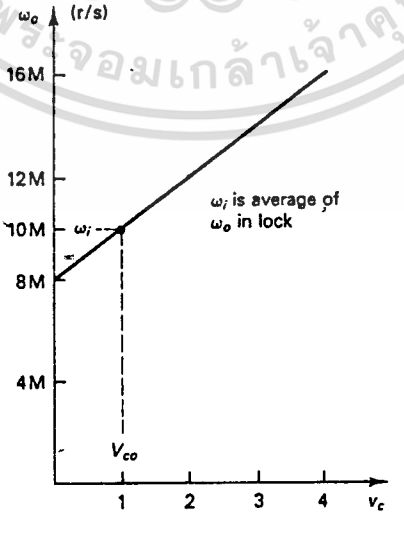


รูปที่ 2.4 model ของ PD

K_d คือ PD gain

V_{do} คือ free-running detector voltage

VCO CHARACTERISTICS



รูปที่ 2.5 VCO characteristic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.5 จะเห็นว่า ถ้า V_c แปรค่าตั้งแต่ 0-4 V. VCO จะอยู่ในช่วง 8-16 Mrad/s เมื่อ PLL ล็อก (w_o=w_i) และให้ w_i=10 Mrad/s ซึ่งเท่ากับ w_o จากรูป w_o = 10 Mrad/s จะได้ V_c = 1 V. ซึ่งก็คือ static control voltage(V_{co}) จะเห็นว่า V_{co} ไม่เพียงแต่สัมพันธ์กับ VCO เท่านั้น ยังสัมพันธ์กับ w_i ที่ PLL ล็อก ไม่เหมือนกับ V_{do} ที่สัมพันธ์กับ PD เพียงอย่างเดียว

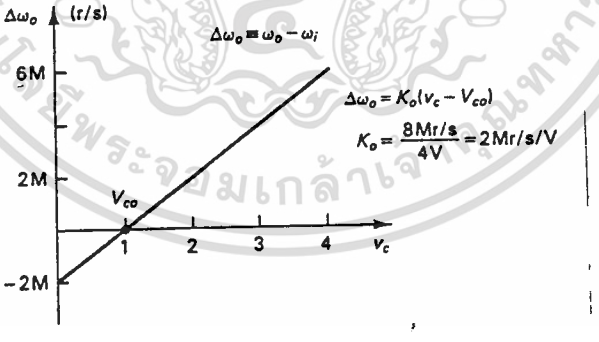
เมื่อ V_c = V_{co} = 1 V. แสดงว่า PD ให้ V_d = 1 V. จากรูป 2.3 จะได้ Θ_e = -0.79 radians

Θ_e เฉลี่ย ในสภาวะล็อก เรียกว่า phase error Θ_{eo} ซึ่งมีค่าใกล้เคียงศูนย์ และอยู่ในช่วง $-\pi/2$ ถึง $+\pi/2$ radians

ให้ output frequency deviation = Δw_o

$$\Delta w_o = w_o - w_i$$

ในสภาวะล็อก ค่าเฉลี่ยของ w_o จะเท่ากับ w_i การ plot ค่า Δw_o กับ V_c จะ shift VCO characteristics ดังรูป 2.6



รูปที่ 2.6 Shift VCO characteristic

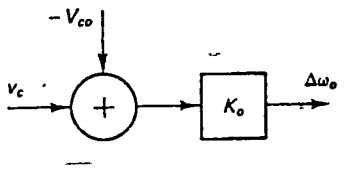
จะเห็นว่าเมื่อ Δw_o = 0 , V_c = V_{co} slope ของ VCO characteristics จะเป็น VCO gain K_o

$$K_o = dw_o/dV_c = d\Delta w_o/dV_c$$

$$\Delta w_o = K_o (V_c - V_{co})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ signal flow graph ดังรูป



รูปที่ 2.7 model ของ VCO

LINEAR MODEL OF PLL

ถ้าคิดว่า θ_e และ w_o อยู่ในช่วง linear

ให้ $V_i = \sin(w_i t + \theta_i)$

$V_o = \sin(w_i t + \theta_o)$

เมื่อ w_o = constant

จะได้ $w_o = d(w_i t + \theta_o)/dt$

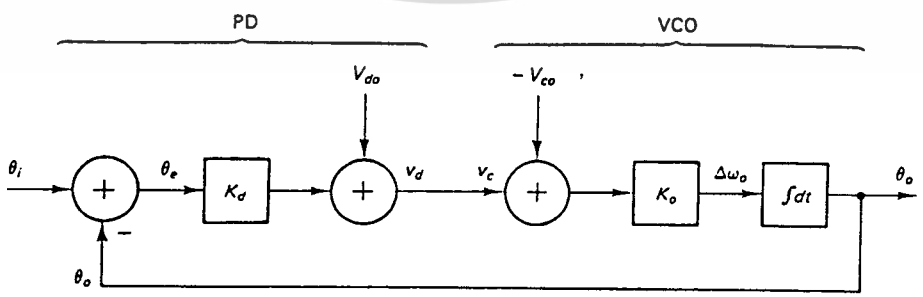
$= w_i + d\theta_o/dt$

โดยที่ $\Delta w_o = w_o - w_i$

จะได้ $\Delta w_o = d\theta_o/dt$

หรือ $\theta_o = \int \Delta w_o \, dt$

เมื่อเรานำรูป signal flow graph มาต่อกันเป็น linear model ของ PLL จะได้ดังรูป



รูปที่ 2.8 Linear model of PLL

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC PHASE ERROR

เมื่อ PLL อยู่ในสภาวะล็อก $w_o = w_i$ และ $\Delta w_o = 0$ static phase error θ_{eo} เป็นค่าเฉลี่ยของ θ_e จากรูป 2.8 จะได้ว่า

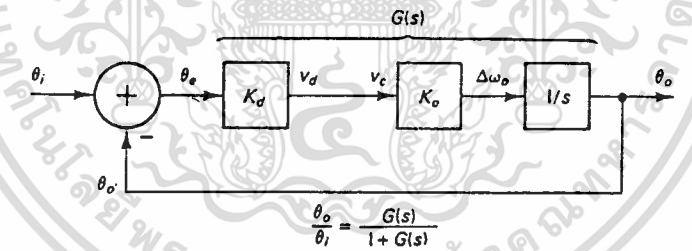
$$\Delta w_o = K_o(K_d\theta_e + V_{do} - V_{co})$$

ในสภาวะล็อก $\Delta w_o = 0$ และ $\theta_e = \theta_{eo}$

$$\theta_{eo} = (-V_{do} + V_{co})K_d$$

PLL BANDWIDTH

banwidth ของ PLL ขึ้นอยู่กับ θ_i และ θ_o หรืออาจกล่าวได้ว่าขึ้นอยู่กับ w_i และ w_o เนื่องจาก banwidth ต้องทำโดยสัญญาณ ac เราจึงกำจัดพารามิเตอร์ที่เป็น dc ใน linear model รูป 2.8 แล้วแปลงลาปลาซจะได้ดังรูป



รูปที่ 2.9 ac model of PLL

จะเห็นว่า forward gain คือ G(s)

$$G(s) = K_dK_o / s$$

$$\theta_o(s) / \theta_i(s) = G(s) / [1+G(s)]$$

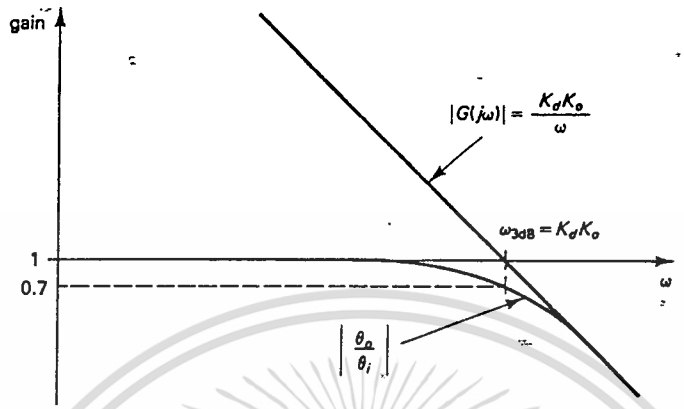
แทน $s = jw$

$$\theta_o / \theta_i = G(jw) / [1+G(jw)]$$

$$|G(jw)| = K_dK_o/w$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

plot graph log ได้ดังรูป



รูปที่ 2.10 Frequency response of PLL

จะได้ว่า ถ้า w มีค่าต่ำๆ $|G(jw)| > 1$, $|\Theta_o/\Theta_i| = 1$

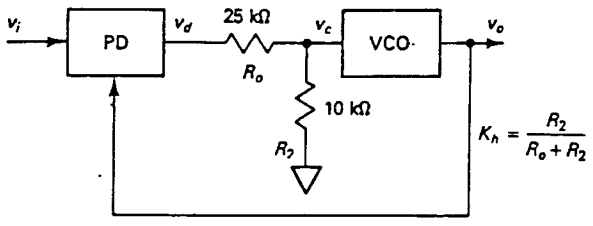
ถ้า w มีค่าสูงๆ $|G(jw)| < 1$, $|\Theta_o/\Theta_i| = G(jw)$

ดังนั้น bandwidth w_{3dB} จะเกิดขึ้นเมื่อ $|G(jw)| = 1$

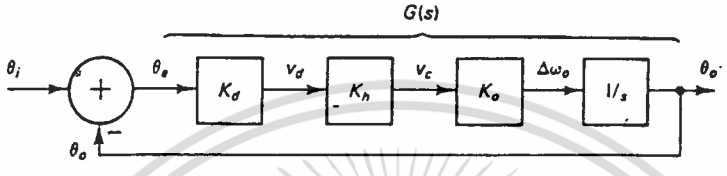
$$w_{3dB} = K_d K_o$$

ถ้าเราต้องการลด bandwidth ทำโดยใส่ R_0 และ R_2 ระหว่าง PD และ VCO ดังรูป

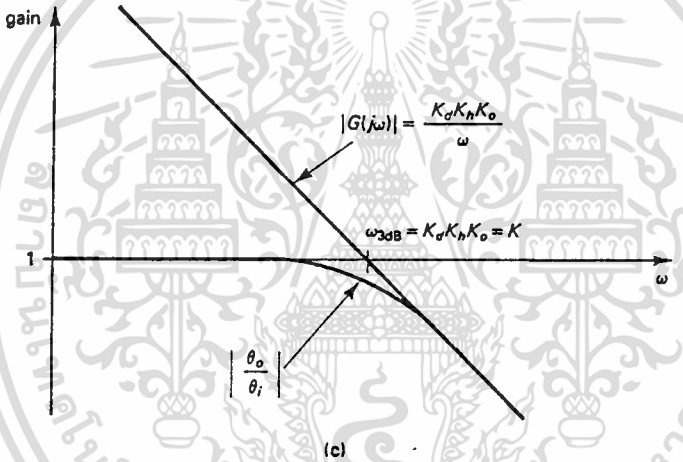
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



(b)



(c)

รูปที่ 2.11 Narrowed banwidth PLL

จะได้ $K_h = R_2 / (R_0+R_2)$

$G(s) = K_d K_h K_o / s$

และ bandwidth ถูกกำหนดโดยความถี่ที่ |G(jw)=1|

$w_{3dB} = K_d K_h K_o$

$= K$

$=$ loop gain

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033195

K คือ ค่า 3 dB bandwidth ของ PLL ได้ transfer function เป็น

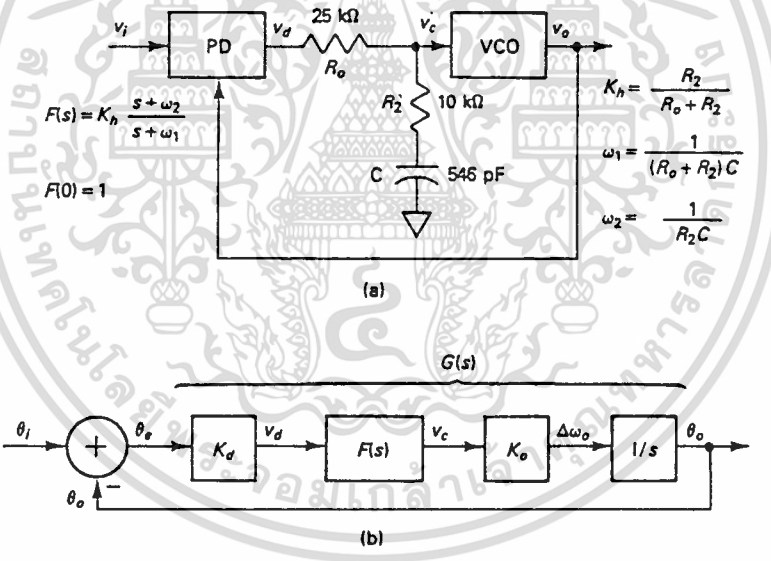
$\Theta_o(s) / \Theta_i(s) = K / (s+K)$

แสดงว่า ตามรูป 2.11 เป็น first order phase-locked loop

LOOP FILTER

การใส่ R หรือตัวลดทอน ใน PLL ทำให้ ac gain K ลดลง bandwidth ก็ลดลง เรียกว่า การใส่ loop filter ซึ่งจะทำงานที่ความถี่สูง และมี unity gain ที่ dc

การทำ loop filter อย่างง่ายๆ คือ ใส่ capacitor ตามรูป 2.12a



รูปที่ 2.12 model เมื่อใส่ loop filter

transfer function $F(s) = K_h(s+w_2) / (s+w_1)$

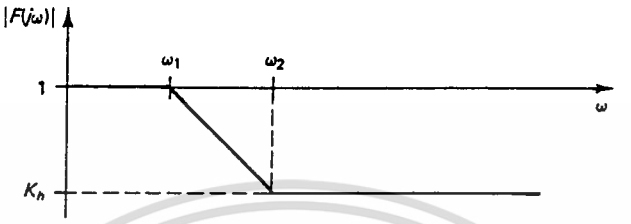
โดยที่ $K_h = R_2 / (R_o+R_2)$

$w_1 = 1/(R_0+R_2)c$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$w_2 = 1/w_2c$

frequency response |F(jw)| ของลูปฟิลเตอร์ plot ได้ดังรูป



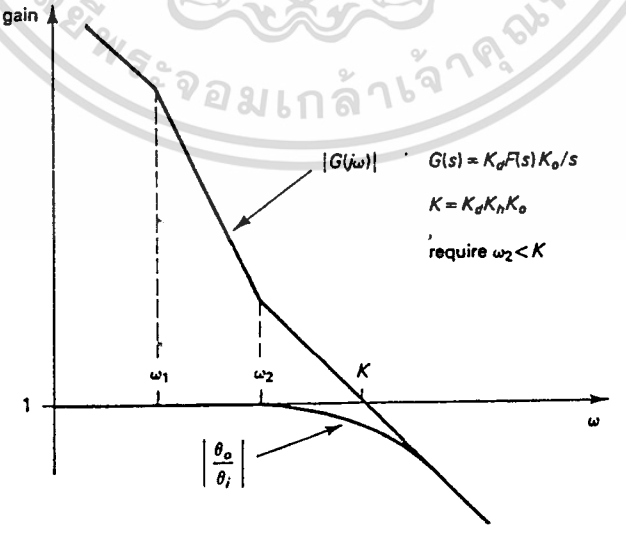
รูปที่ 2.13 response ของ loop filter

ที่ dc gain คือ F(0) = 1

จากรูป 2.12 จะได้

$$G(s) = K_d F(s) K_o / s$$

frequency response ของ |G(jw)| plot ได้ดังรูป



รูปที่ 2.14 Extened frequency range PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ความถี่สูงๆ $|F(jw)| = K_h$ และ $|G(jw)| = 1$ สำหรับ $w = K_dK_hK_o$

จะได้ bandwidth $w_{3dB} = K_dK_hK_o = K$

แต่ $|F(jw)| = K_h$ เมื่อ $w > w_2$

ดังนั้น จะได้ว่า $w_2 < K$

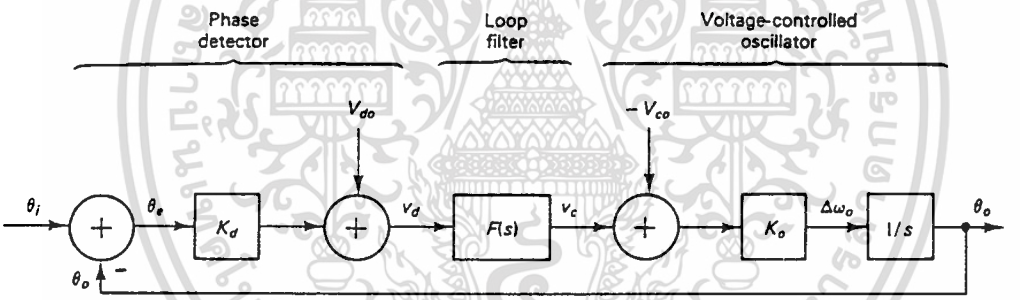
จากรูป 2.14 จะเห็นว่าถ้า w_2 น้อยกว่า 4K จะมีผลน้อยมากใน response $|\theta_o/\theta_i|$

ดังนั้น PLL transfer function จะเป็น

$$\theta_o(s)/\theta_i(s) = (Ks + Kw_2) / [s^2 + (K+w_1) + Kw_2]$$

STATIC PHASE ERROR WITH A LOOP-FILTER

จากรูป 2.8 ถ้าเราใส่ loop filter เข้าไป ดังรูป



รูปที่ 2.15 Full linear model of PLL

จะได้ว่า $\Delta w_o = \theta_e K_d F(s) K_o + V_{do} F(s) K_o - V_{co} K_o$

หาค่าเฉลี่ย (คิด dc , s=0)

$$\Delta\bar{w}_o = \bar{\theta}_e K_d F(0) K_o + V_{do} F(0) K_o - V_{co} K_o$$

static phase error θ_{eo} จะถูกนิยามเป็น $\bar{\theta}_e$ ได้เมื่อ PLL อยู่ในสภาวะล็อก ($\Delta w_o = 0$)

จะได้ $\theta_{eo} = (-V_{do}/K_d) + [V_{co}/K_d F(0)]$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

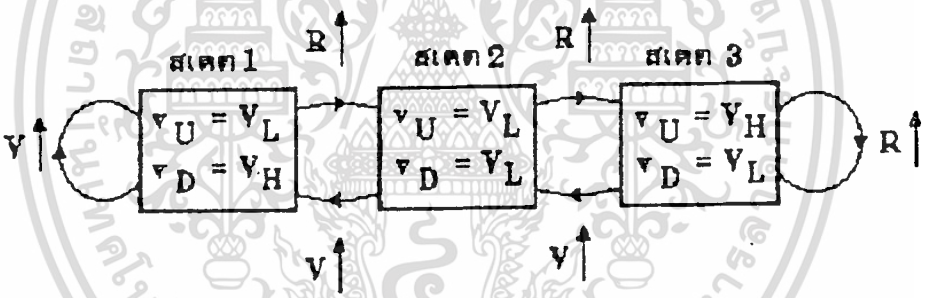
บทที่ 3

เฟสดีเทกเตอร์

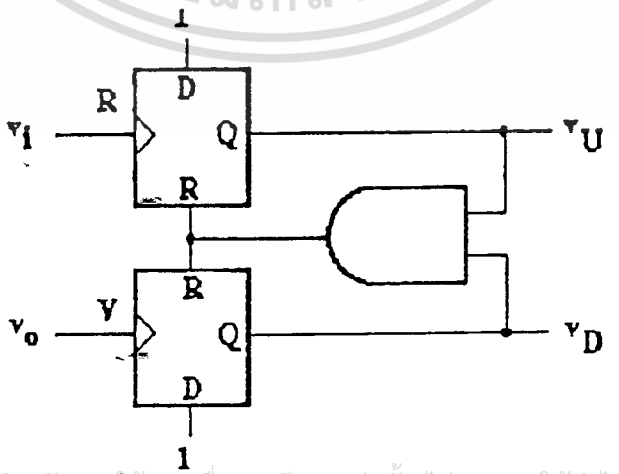
TRI-STATE PHASE DETECTOR

เฟสดีเทกเตอร์แบบไตร-สเตท จะถูกใช้อย่างกว้างขวาง เพราะมีลักษณะการทำงานที่ง่าย และมีช่วง linear กว้าง คือในช่วง -2π ถึง $+2\pi$ เรเดียน และสามารถตรวจจับได้ทั้งความถี่และกระแส

สเตทไดอะแกรมของวงจรทรี-สเตทเฟสดีเทกเตอร์แสดงดังรูป 3.1 การย้ายสเตทจากสเตทหนึ่งไปยังสเตทหนึ่งจะขึ้นอยู่กับการเปลี่ยนระดับจาก 0 เป็น 1 (rising edges) ของความถี่อ้างอิง(R) และความถี่ป้อนกลับของระบบ(V)



รูปที่ 3.1 สเตทไดอะแกรมของ Tri-state phase detector



รูปที่ 3.2 วงจรอิเล็กทรอนิคส์ ของ Tri-state phase detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

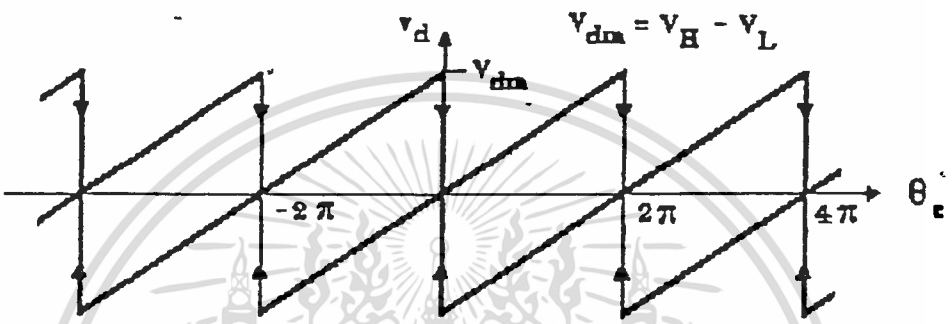
การเปลี่ยนระดับของ R ทำให้เกิดการย้ายสถานะไปยังสเตทที่สูงขึ้น และการเปลี่ยนระดับของ V ทำให้เกิดการลดสถานะมายังสเตทที่ต่ำกว่า ไตร-สเตทเฟสดีเทกเตอร์จะมีสถานะเริ่มต้นการทำงานที่สเตทที่ 2 เมื่อระดับของ V เพิ่มขึ้นและระดับของ R เพิ่มขึ้นตามลำดับกันไปเรื่อยๆ ทำให้การเปลี่ยนสถานะของสเตทเกิดขึ้นระหว่างสเตทที่ 2 และสเตทที่ 1 ดังรูปที่ 3.3 แต่เมื่อการเปลี่ยนระดับของ R เกิดขึ้น 2 ครั้ง โดยไม่เกิดการเปลี่ยนระดับของ V เลย ไตร-สเตทเฟสดีเทกเตอร์จะทำการเปลี่ยนสถานะจากสเตท 2 ไปยังสเตท 3 และเมื่อระดับของ R เพิ่มขึ้น ตามด้วยระดับของ V เพิ่มขึ้นตามลำดับไปเรื่อยๆ จะเกิดการเปลี่ยนสถานะระหว่างสเตท 3 และสเตท 2 ดังรูป 3.3

รูปที่ 3.3 Timing diagram ของ tri-state phase detector

คุณสมบัติของเฟสดีเทกเตอร์จะแสดงในรูป 3.4 โดยจะมีลักษณะการเปลี่ยนแปลง V_d และ θ_e เป็นเส้นตรงในช่วง 4π เรเดียน จากรูป 3.4 ค่า V_d ที่ได้จะมีค่าเป็นบวกทุกๆ 2π เรเดียนใน 1 ไซเคิล เมื่อทำการลดค่า θ_e ลงเรื่อยๆ คุณสมบัติต่างๆก็จะลดลงด้วยเป็นช่วงถึง 4π เรเดียน และจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ค่าเป็นลบทุกๆ 2π เรเดียนใน 1 ไซเคิล สรุปการทำงานฟรีเควนซี่ดีเทกเตอร์ได้ว่า ในกรณีที่ $w_i > w_o$ ค่า θ_e ที่ได้จะมีค่าเพิ่มขึ้นตามเวลา และจะให้ค่า V_d เป็นบวก แต่เมื่อ $w_i < w_o$ ค่า θ_e ที่ได้จะลดลงตามเวลา และค่า V_d จะให้ค่าเป็นลบ



รูปที่ 3.4 Tri-state PD characteristic

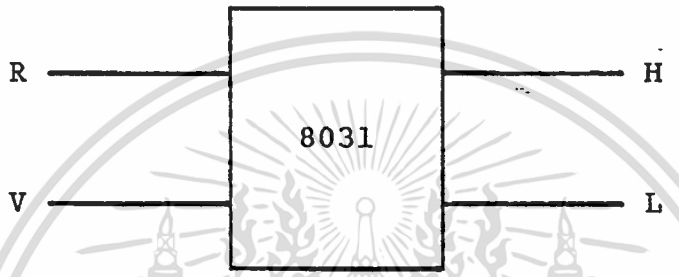
การตรวจจับความถี่ของไตร-สเตทเฟสดีเทกเตอร์ จะมีลักษณะเป็นแบบ multiple-valued แสดงได้ดังรูป 3.4 ซึ่งอาจจะทำให้เกิดการผิดพลาดขึ้นเมื่อสัญญาณ pulse ของ V_i เกิดสูญหายไป เป็นสาเหตุให้ V_d มีค่าตามค่าของ V_{dm} ดังนั้น ไตร-สเตทเฟสดีเทกเตอร์จะไม่เหมาะสมในการใช้ที่ความถี่สูงๆ

การเลียนแบบโดยซอฟต์แวร์

ไตร-สเตทเฟสดีเทกเตอร์โดยทั่วไป จะทำหน้าที่ปรับทั้งความถี่และเฟสของสัญญาณความถี่ทางด้านเอาท์พุทที่ออกจากโหลด ให้มีค่าเท่ากับความถี่อินพุทที่ป้อนให้แก่ไตร-สเตทเฟสดีเทกเตอร์ โดยมีลักษณะการทำงานตามสเตทไดอะแกรมรูปที่ 3.1 การเขียนซอฟต์แวร์เลียนแบบการทำงานของเฟสดีเทกเตอร์ จะต้องพิจารณาสเตทไดอะแกรม ในรูปคู่ลำดับของความถี่อ้างอิงและความถี่ป้อนกลับจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

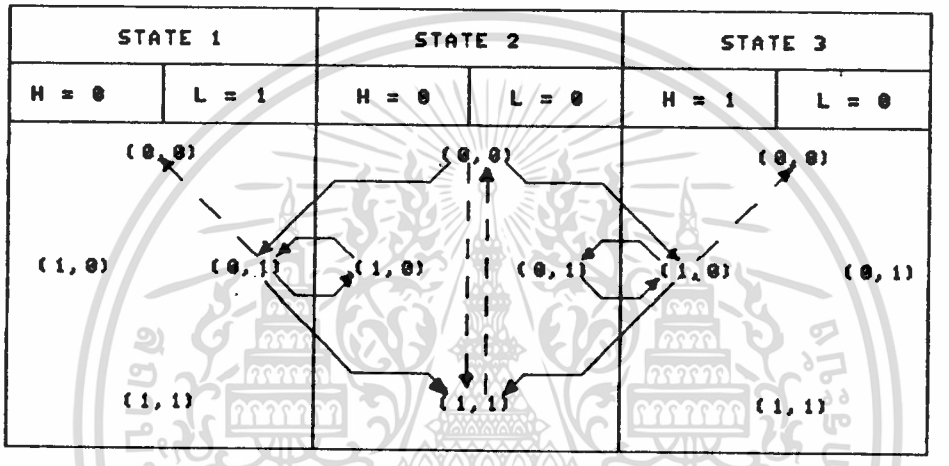
พลานท์ โดยจะทำการเปรียบเทียบข้อมูลเดิม $(R,V)_{old}$ และข้อมูลใหม่ $(R,V)_{new}$ เพื่อสร้างสัญญาณควบคุมป้อนให้แก่พลานท์สัญญาณควบคุมที่สร้างขึ้นจะทำให้ความถี่ของพลานท์ลดลง(ออกทางขา low) หรือเพิ่มความถี่ของพลานท์(ออกทางขา high)



รูปที่ 3.5 การเปรียบเทียบข้อมูลเดิมและข้อมูลใหม่

การพิจารณาสเตทไดอะแกรมในการเขียนซอฟแวร์ของไดร-สเตทเฟสดีเทกเตอร์ จะมีลักษณะเดียวกับสเตทไดอะแกรมที่เกิดจากวงจรฮาร์ดแวร์ของไดร-สเตทดีเทกเตอร์ โดยการเปลี่ยนสเตทยังคงขึ้นอยู่กับการเปลี่ยนระดับสัญญาณจาก 0 เป็น 1 ของ R และ V และการเปลี่ยนสเตทจะป้อนการสร้างสัญญาณควบคุมเพื่อป้อนให้แก่พลานท์ด้วยสเตทไดอะแกรมดังรูป 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 สเตทไดอะแกรมการเปลี่ยนสเตทของเฟสดีเทกเตอร์

การเปลี่ยนแปลงตามเส้นประ ------- ไม่เกิดการย้ายสเตท

การเปลี่ยนแปลงตามเส้นทึบ ——— เกิดการย้ายสเตท

การทำงานของสเตทไดอะแกรมตามรูป 3.6 แบ่งออกเป็น 3 ลักษณะ

1. สภาวะสมดุลของระบบ ระบบจะอยู่ใน state ที่ 2 การเปลี่ยนคู่ลำดับของ (R,V) จะอยู่ในรูป (0,0) และ (1,1) สลับกันไป สัญญาณ H และ L จะอยู่ในรูป 0 ทั้งคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. สภาวะเพิ่มของระบบ ระบบจะเกิดการเสียสมดุล เนื่องจากมีการเพิ่มค่าความถี่อ้างอิง ระบบจะทำการปรับค่าเพื่อให้ความถี่เอาท์พุทจากพลานท์มีค่าเพิ่มขึ้นเท่ากับความถี่อ้างอิง โดยจะสร้างสัญญาณควบคุมออกจากขา high สัญญาณควบคุมที่ได้จากการเปลี่ยนสเตท จากสเตท 2 ไปเป็นสเตท 3 สลับกันไป

3. สภาวะลดของระบบ ระบบเกิดการเสียสมดุล เนื่องจากมีการลดค่าความถี่อ้างอิง ระบบจะปรับค่าให้ความถี่ที่ได้จากพลานท์มีค่าลดลงเท่ากับความถี่อ้างอิง โดยการสร้างสัญญาณควบคุมออกจากขา low สัญญาณควบคุมที่ได้มาจากการเปลี่ยนสเตทจากสเตท 2 ไปเป็นสเตท 1 สลับกันไป

การสร้างสัญญาณควบคุม

สัญญาณควบคุมจะสร้างจากการเปรียบเทียบคู่ลำดับ (R,V) ซึ่งได้จากการสุ่มค่าความถี่อ้างอิงและความถี่ป้อนกลับจากพลานท์ แต่สัญญาณควบคุมที่ได้จะมีการส่งออกทางขา high หรือ ขา low เพื่อเพิ่มหรือลดความถี่ของพลานท์ ดังนั้นจะต้องมีการคำนวณก่อนว่าจะมีการส่งสัญญาณออกทางขา high หรือ ขา low โดยการคำนวณตามโปรแกรมทางซอฟต์แวร์ที่เขียนขึ้น ส่วนโปรมแกรมการสร้างสัญญาณควบคุม จะได้จากการพิจารณาสเตทไดอะแกรมตามรูป 3.6 จะได้ดังตาราง 3.1

โดยที่ ——→ : คงค่าเดิมไว้

: ลดค่าจาก 1 เป็น 0

: เพิ่มค่าจาก 0 เป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$(R,V)_{old}$	$(R,V)_{new}$	HIGH	LOW
(1,1)	(1,1) (0,0) (1,0) (0,1)		
(1,0)	(0,0) (1,0)		
	(0,1) (1,1)		
(0,1)	(0,0) (0,1)		
	(1,0) (1,1)		
(0,0)	(0,0) (1,1)		
	(1,0)		
	(0,1)		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

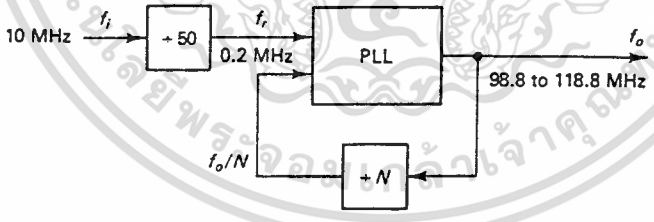
ตาราง 3.1 การสร้างสัญญาณควบคุมจากสเตทไดอะแกรม

บทที่ 4

ฟรีเควนซี่ซินทิไซเซอร์

(FREQUENCY SYNTHESIZER)

ฟรีเควนซี่ซินทิไซเซอร์เป็นวงจรกำเนิดความถี่ค่าต่างๆ โดยการล็อคการทำงานของ VCO กับ ค่าความถี่ที่เที่ยงตรงจากแหล่งกำเนิดความถี่ เช่น คริสตอลออสซิเลเตอร์ ซึ่งโดยส่วนมากการทำงานของวิทยุ FM ที่มีประสิทธิภาพดีจะใช้วงจรฟรีเควนซี่ซินทิไซเซอร์ในการกำเนิด ความถี่ที่แตกต่างกัน 101 ความถี่ ซึ่งจำเป็นสำหรับการจูนหาสถานีต่างๆ และสำหรับการจูนหาความถี่ที่แน่นอน ตัวกำเนิดความถี่ของซินทิไซเซอร์จำเป็นต้องมีความเที่ยงตรง แม้กระทั่ง 10 ส่วนใน 1 ล้านส่วน (10 rpm) ซึ่งเป็นตัวกำหนดความเที่ยงตรงของคริสตอลออสซิเลเตอร์



รูปที่ 4.1 ฟรีเควนซี่ซินทิไซเซอร์อย่างง่าย

ฟรีเควนซี่ซินทิไซเซอร์อย่างง่ายที่สุด แสดงได้ดังรูปที่ 4.1 ประกอบด้วยเฟสล็อคลูป และตัวหารความถี่ในสายป้อนกลับ เมื่อเฟสล็อคลูปอยู่ในสภาวะล็อค ความถี่ป้อนกลับ f_o/N จะมีค่าเท่ากับความถี่อ้างอิง f_r ดังนั้นจะได้ความสัมพันธ์ของความถี่ทางด้านเอาท์พุทดังสมการ (4.1)

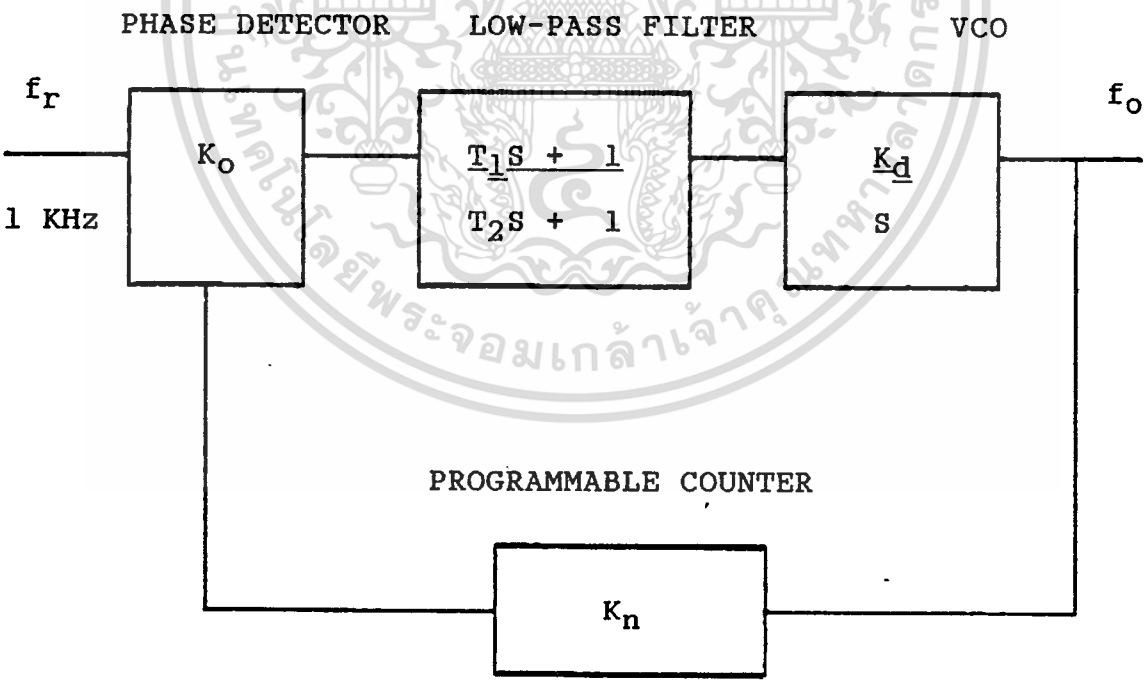
$$f_o = Nf_r \qquad (4.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับค่าความถี่อ้างอิง (f_r) ที่คงที่ ค่าความถี่เอาท์พุทที่ได้จะถูกกำหนดจากการเลือกค่า N ที่เหมาะสม วงจรที่ทำการหารความถี่ด้วยค่า N ซึ่งถูกควบคุมโดยสัญญาณเรียกว่า programmable dividers หรือ programmable counter

4.1 ฟรีเควนซี่ซินทิไซเซอร์ โดยการใช้วงจรทางด้านฮาร์ดแวร์ (FREQUENCY SYNTHESIZER BY USED HAREWARE CIRCUIT)

วงจรทางฮาร์ดแวร์ที่ประกอบเป็นฟรีเควนซี่ซินทิไซเซอร์ ประกอบด้วยส่วนของเฟสล็อคลูป และ ตัวหารความถี่ ซึ่งประกอบทำเป็นฟรีเควนซี่ซินทิไซเซอร์อย่างง่าย โดยมีความถี่อ้างอิงที่ป้อนให้เป็น 1 KHz ค่าความถี่ทางด้านเอาท์พุทที่ได้จากฟรีเควนซี่ซินไซเซอร์อยู่ในช่วง 150-500 KHz บล็อคไดอะแกรมจะแสดงได้ดังรูป 4.2 วงจรฟรีเควนซี่ซินทิไซเซอร์แสดงได้ดังรูป 4.3



รูปที่ 4.2 บล็อคไดอะแกรมของฟรีเควนซี่ซินทิไซเซอร์(ใช้ฮาร์ดแวร์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

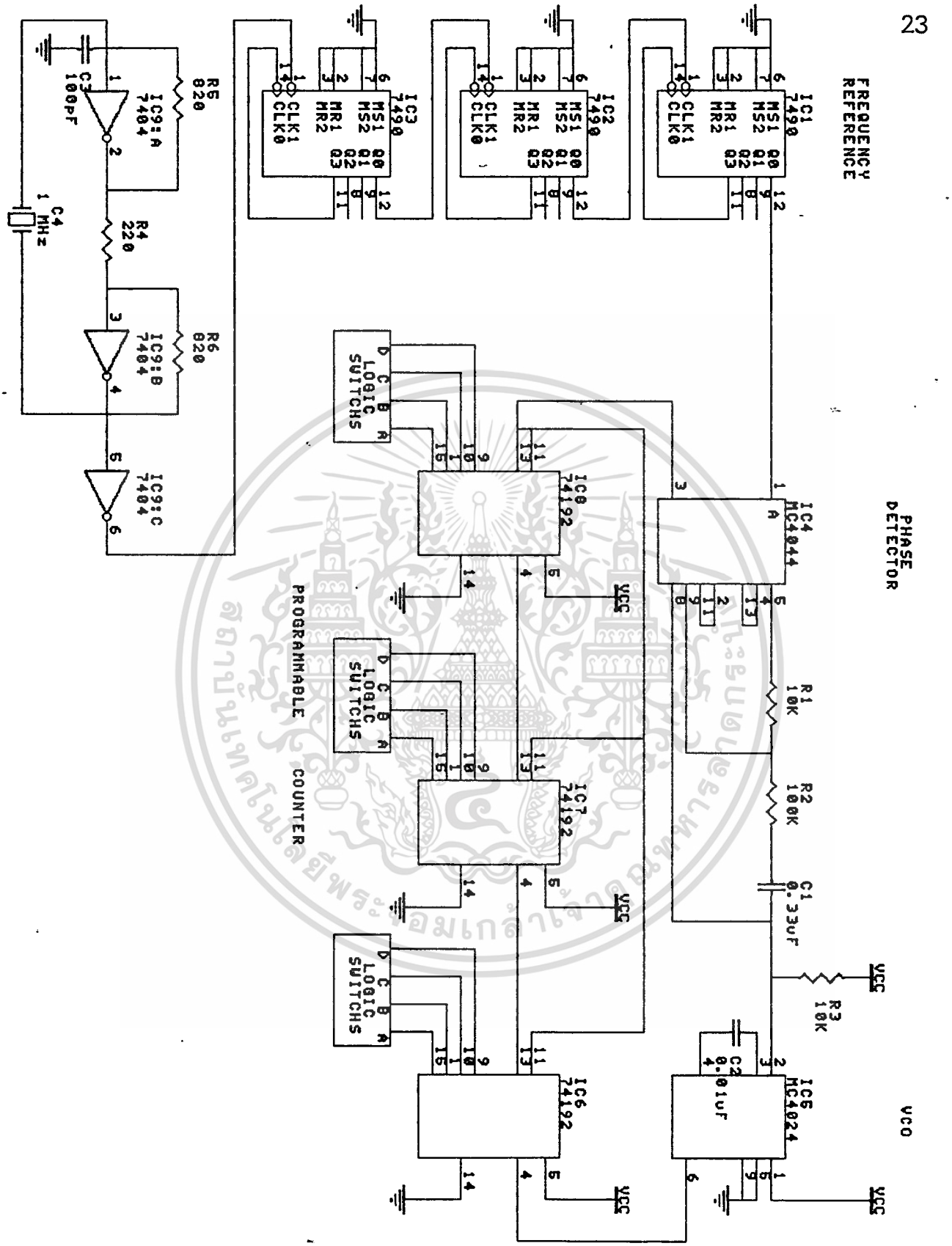
K_o : PHASE DETECTOR CONVERSION

GAIN = 0.12 V/rad

K_d : VCO CONVERSION

GAIN = $11*10^6$ V/rad/sec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรฟรีเควนซี่ซินทีไซเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>ส่วนประกอบของวงจรฟรีเควนซี่ซินทีไซเซอร์</u>

1. Frequency reference circuit จะสร้างจาก crystal oscillator ซึ่งกำเนิดความถี่ 1 MHz ทำการหารโดย divider -by N counter จนได้ความถี่อ้างอิงที่ต้องการ 1 KHz

2. Phase detector ใช้ MC 4044 integrated circuit phase detector ซึ่งประกอบด้วยเฟสดีเทกเตอร์ 2 ชุด โดยชุดแรกจะเป็นเฟสดีเทกเตอร์แบบ nagative edge-triggered มีค่า K_d = 0.12 V/rad ชุดที่สองจะทำหน้าที่เป็นอินดิเคเตอร์บอกสภาวะการล็อค , charge pump และ amplifier เฟสดีเทกเตอร์ชนิดนี้จะกำจัดผลที่เกิดจาก Harmonic และ duty cycle ด้วย

3. Voltage control oscillator ใช้ MC 4024 voltage -controlled multivibrator (VCM) ซึ่งสามารถกำหนดช่วงความถี่ได้จากค่า C ที่ต่อระหว่างขา 3 และขา 4 (หรือขา 10 และ ขา 11) MC 4024 จะให้ความถี่ได้สูงสุดเป็น 25 MHz และสำหรับค่า C ที่มีค่ามากกว่า 100 pF จะให้ค่า free running frequency ของ VCO

$$f_o(MHz) = 300/C(pF)$$

4. Loop filter จะทำหน้าที่ควบคุมการ lock , capture, bandwidth และ transient response ของ loop ภายใน วงจรนี้จะใช้ first order lag-lead low pass filter ซึ่งเป็น passive filter network

จาก block diagram ในรูปที่ 4.2 จะได้ ทรานสเฟอร์ฟังก์ชันของ forward part และ feedback part ดังสมการที่ (4.2) และ (4.3)

transfer function of forward part

$$G(s) = K_dK_oF(s)/s \qquad (4.2)$$

transfer function of feedback part

$$H(s) = K_n \qquad (4.3)$$

คำนวณค่า K_n ของ programmable counter ได้ดังสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$N_{min} = f_{o(min)}/f_r \quad (4.4)$$

$$= 150 \text{ KHz} / 1 \text{ KH}$$

$$= 150$$

$$N_{max} = f_{o(max)}/f_r \quad (4.5)$$

$$= 500 \text{ KHz} / 1 \text{ KHz}$$

$$= 500$$

K_n = 1/150 ถึง 1/500

transfer function ของ low pass filter เป็นไปดังสมการ (4.6)

$$F(s) = (T_1 s + 1)/(T_2 s + 1) \quad (4.6)$$

โดยมีค่า $T_1 = R_1 C$

$T_2 = (R_1 + R_2)C$

(R_1 = 10K , R_2 = 100K , C = 0.33 μF)

ดังนั้นจะได้ transfer function ของ loop เป็นไปตามสมการ(4.7)

$$G(s)H(s) = K_p K_o K_n F(s)/s \quad (4.7)$$

$$= K(T_1 s+1)/s(T_2 s+1)$$

โดยที่ $K = K_p K_o K_n$

จะได้ characteristic equation เป็นไปตามสมการ (4.8)

$$1 + G(s)H(s) = 0 \quad (4.8)$$

$$1 + K(T_1 s+1)/s(T_2 s+1) = 0$$

$$T_2 s^2 + (1+KT_1)s + K = 0$$

$$s^2 + (1+KT_1)s/T_2 + K/T_2 = 0$$

$$s^2 + 2\zeta w_n s + w_n^2 = 0$$

จะได้ natural frequency ของ ฟรีเควนซี่ซินทิไซเซอร์เป็นไปตามสมการ (4.10)

$$w_n^2 = K/T_2 \quad (4.9)$$

$$w_n = \sqrt{K/T_2} \quad (4.10)$$

$$= \sqrt{K_p K_o K_n/T_2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \sqrt{\frac{(0.12)(11*10^{6})(1/500)}{(10+100)10^{3}*0.33*10^{-6}}}$$

$$= 269.68 \text{ rad/sec}$$

จะได้ dampling ratio ของฟรีเควนซี่ซินทิไซเซอร์เป็นไปตามสมการ(4.12)

$$2\zeta w_n = 1+KT_1/T_2 \quad (4.11)$$

$$\zeta = (1+KT_1)/2\sqrt{KT_2} \quad (4.12)$$

$$= \frac{1+(0.12)(11*10^{6})(1/500)(10*10^{3}*0.33*10^{-6})}{2[\sqrt{(0.12)(11*10^{6})(1/500)}][(10+100)10^{3}*0.33*10^{-6}]}$$

$$= 0.823$$

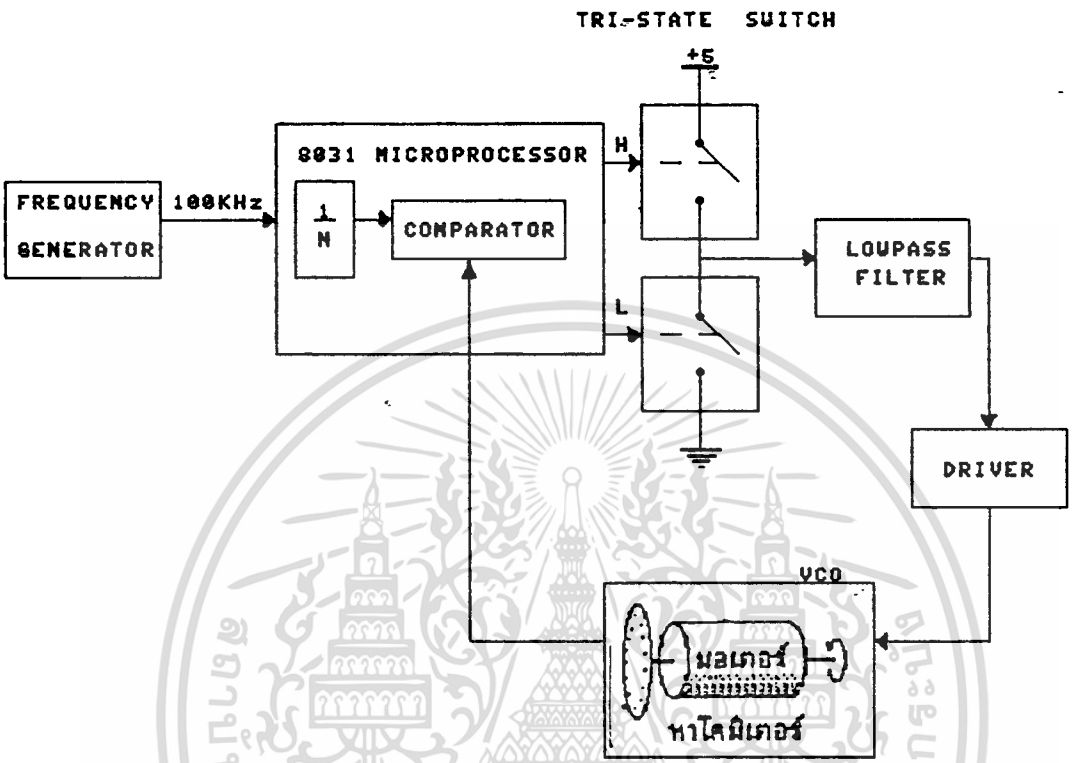
4.2 ฟรีเควนซี่ซินทิไซเซอร์ โดยการใช้ซอฟต์แวร์เลียนแบบเฟสดีเทกเตอร์

ฟรีเควนซี่ซินทิไซเซอร์ที่ใช้ซอฟต์แวร์แทนเฟสดีเทกเตอร์ ในวงจรนี้ซอฟต์แวร์ที่เขียนขึ้นจะเลียนแบบการทำงานของไตรสเตทเฟสดีเทกเตอร์ (TRI-STATE PHASE DETECTOR) ซึ่งอธิบายไว้ในบทที่ 3 และสามารถเลือกความถี่อ้างอิง ของฟรีเควนซี่ซินทิไซเซอร์ได้ ส่วนประกอบต่างๆของฟรีเควนซี่ซินทิไซเซอร์ แสดงดังรูป 4.4

ส่วนประกอบของฟรีเควนซี่ซินทิไซเซอร์

1. วงจรกำเนิดความถี่ 100 KHz
2. 8031 Microcontroller
3. Tristate switch
4. Low pass filter and buffer
5. Driver , moter and tachometer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

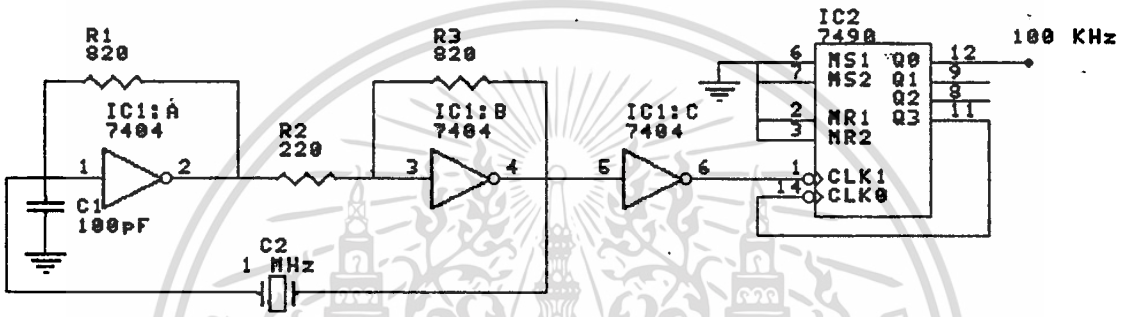


รูปที่ 4.4 ส่วนประกอบต่างๆของฟรีเควนซี่ซินทิไซเซอร์

1. วงจรกำเนิดความถี่ 100 KHz

ฟรีเควนซี่ซินทิไซเซอร์ต้องการความถี่อ้างอิง (f_o) ที่แม่นยำเพื่อความแม่นยำในการทำงาน ดังนั้นการสร้างความถี่ป้อนให้แก่ 8031 microcontroller จะสร้างจากคริสตอลออสซิเลเตอร์ขนาด 1 MHz แล้วหารความถี่ให้ได้ 100 KHz ซึ่งใช้เป็นความถี่อ้างอิง ความถี่ที่ได้นี้จะมีความเที่ยงตรงสูง วงจรในการกำเนิดความถี่แสดงได้ดังรูป 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 วงจรกำเนิดความถี่ 100 KHz

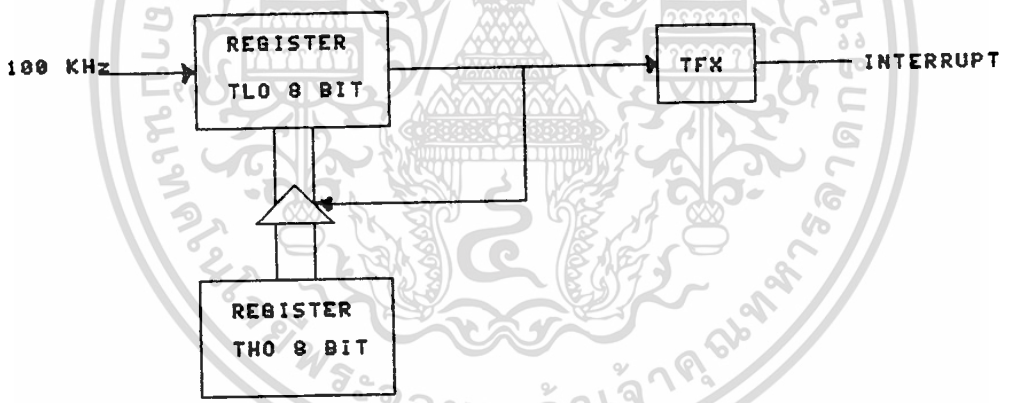
2. 8031 MICROCONTROLLER

ภายในวงจรนี้ 8031 microcontroller จะทำหน้าที่หลัก 2 ประการ คือ สร้างความถี่อ้างอิง(f_r) จากความถี่พื้นฐาน 100 KHz ที่ป้อนให้แก่ 8031 และเป็นตัว controller ของระบบ โดยจะทำการเปรียบเทียบความถี่อ้างอิง(f_r) และความถี่ป้อนกลับจากระบบ(f_o) เพื่อสร้างสัญญาณควบคุมการทำงานของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 การสร้างความถี่อ้างอิงของ 8031

การกำหนดเซตพอย์นหรือความถี่อ้างอิงของระบบ จะกำหนดจากตัวนับแบบโปรแกรมได้ (programmable counter) ซึ่งภายในตัว 8031 จะใช้ counter ใน mode 2 Auto-Reload of TL from TH ทำหน้าที่เป็น programmable counter โดยมีความถี่พื้นฐานป้อนให้แก่ counter 100 KHz ความถี่นี้จะถูกป้อนให้แก่รีจิสเตอร์ TL0 รีจิสเตอร์ TL0 จะนับขึ้นจากค่าที่ตั้งไว้ (ซึ่งถูกโหลดจากรีจิสเตอร์ TH0) จนถึงค่า FFH TL0 จะให้ clock ออกมา 1 ลูก เพื่อทำการ enable อินเทอร์รัพท์โดยการเซ็ทบิท TF0 ให้มีค่าเป็น 1 และทำการโหลดค่าจาก TH0 เข้าไปยัง TL0 เพื่อเริ่มต้นการนับใหม่ โปรแกรมการอินเทอร์รัพท์จะสร้างถี่ซึ่งมีค่าเป็นครึ่งหนึ่งของความถี่ในการอินเทอร์รัพท์ ส่วนของ programmable counter แสดงดังรูป 4.6



รูปที่ 4.6 Counter mode 2 auto-reload

สมการในการคำนวณค่าตัวเลข 8 bit ที่จะป้อนให้แก่ TH0 จะคำนวณได้จากสมการต่อไปนี้

ความถี่อ้างอิง (f_r) ที่ต้องการเป็นไปตามสมการ

$$f_o = f_{mt/2}$$

ความถี่ในการอินเตอร์รัพท์จะเป็นไปตามสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$100KHz/(256-TH0) = f_{mt}$

$100KHz/(256-TH0) = 2f_o$

$TH0 = 256-(100KHz/2f_o)$

ภายใน program นี้จะกำหนดความถี่อ้างอิงในช่วง 600 Hz-3300 Hz ซึ่งจะได้ค่าตัวเลข 8 บิท ที่จะเซ็ตให้แก่ TH0 ดังตารางที่ (4.1)

F_{out}(y)		THx(x)	
Dec(Hz)	Hex(Hz)	Dec	Hex
600	258	173	AD
900	384	200	C8
1200	4B0	214	D6
1500	5DC	223	DF
1800	708	228	E4
2100	834	232	E8
2400	960	235	EB
2700	A8C	237	ED
3000	BB8	239	EF
3300	CE4	241	F1

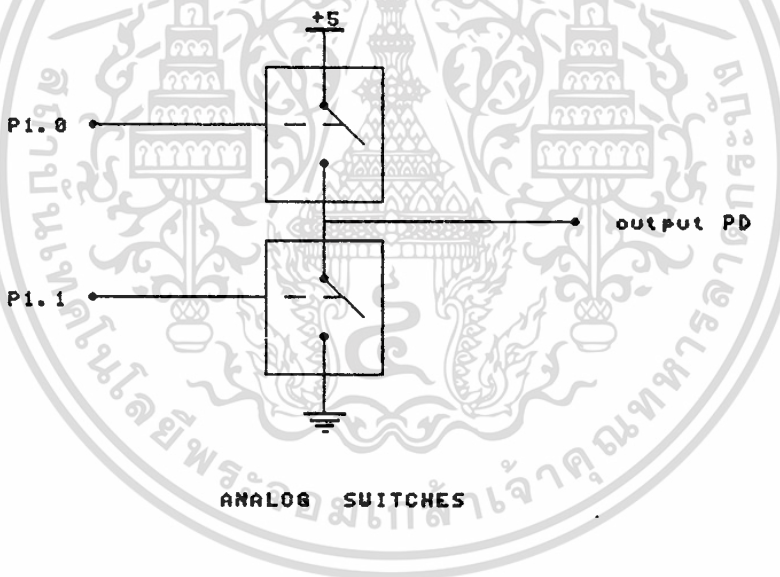
ตาราง 4.1 แสดงค่าตัวเลขที่เซ็ตให้ TH0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ทำหน้าที่เป็นตัวคอนโทรลเลอร์ชนิดเฟสดีเทกเตอร์ ซึ่งมีลักษณะในการเปรียบเทียบและการสร้างสัญญาณ ดังที่ได้กล่าวในบทที่ 3

3. TRI-STATE SWITCH

สัญญาณควบคุมจาก 8031 MICROCONTROLLER จะถูกป้อนให้แก่ TRI-STATE SWITCH เพื่อควบคุมการ ON หรือ OFF ของ switch ของ TRI-STATE SWITCH ดังแสดงในรูป 4.7



รูปที่ 4.7 Tri-state switch

การทำงาน TRI-STATE SWITCH จะถูกควบคุมโดยสัญญาณควบคุมทางขา HIGH และขา LOW ที่ออกจาก 8031 ในกรณีที่ระบบอยู่ในสภาวะสม

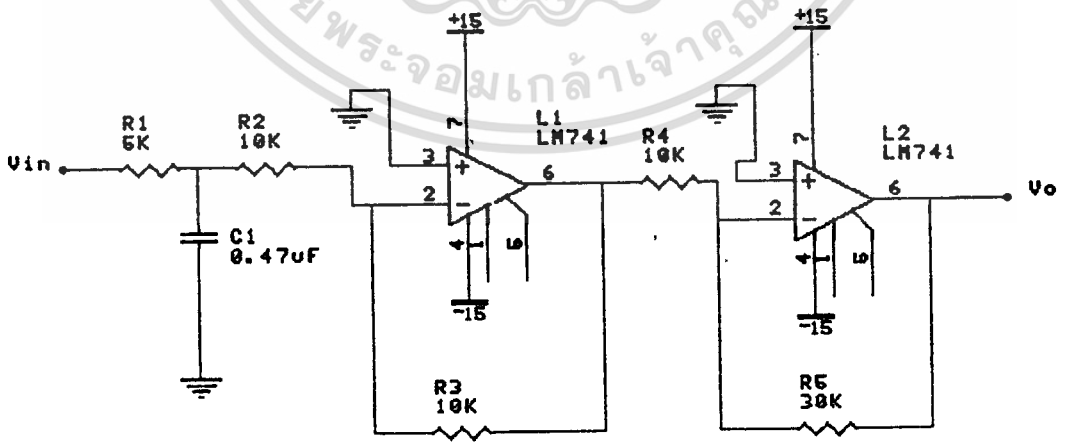
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดุล สัญญาณควบคุมจะมีค่าเป็น 0 ขา HIGH และขา LOW จะเซตค่า 0 ออกมา ทำให้ SWITCH S_1 และ S_2 OFF แต่ถ้าระบบหลุดจากสภาวะสมดุล สัญญาณควบคุมจะมีลักษณะเป็นพัลส์ออกมาทางขา HIGH หรือ ขา LOW ขาใดขาหนึ่ง ซึ่งถ้าออกทางขา HIGH จะทำให้ SWITCH S_1 ON จะเกิดการถ่ายความต่างศักย์จาก 5 โวลท์ ให้แก่ C ใน LOW PASS FILTER ทำให้ความต่างศักย์ใน C สูงขึ้น แต่ถ้าสัญญาณควบคุมออกทางขา LOW จะทำให้ SWITCH S_2 ON จะเกิดการถ่ายความต่างศักย์จาก C ลง GND ทำให้ความต่างศักย์ใน C ลดลง

4. LOW-PASS FILTER AND BUFFER

วงจร LOW-PASS FILTER จะทำการ HOLD ค่าความต่างศักย์ที่ได้จากการถ่ายโอน โดยการ ON หรือ OFF ทาง SWITCH ใน TRI-STATE SWITCH ค่าความต่างศักย์ที่ HOLD ไว้ ซึ่งมีค่าอยู่ระหว่าง 0-5 โวลท์ จะถูกส่งให้แก่ BUFFER ซึ่งมี GAIN เท่ากับ 3 ค่าความต่างศักย์ที่ออกจาก BUFFER มีค่าอยู่ระหว่าง 1-15 โวลท์ ซึ่งเป็นความต่างศักย์ที่เหมาะสมในการ drive มอเตอร์

วงรของ LOW-PASS FILTER AND BUFFER แสดงดังรูป



รูปที่ 4.8 Low-pass filter and buffer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

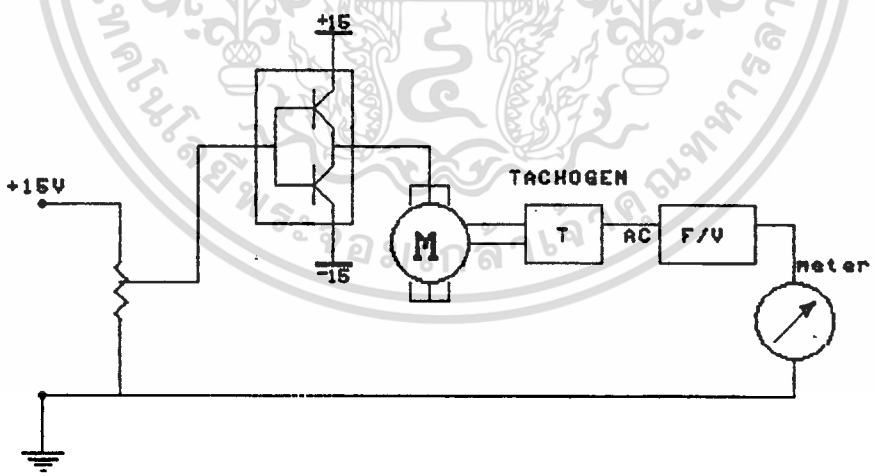
5. DRIVER และ MOTOR

เมื่อ voltage ผ่าน LOW-PASS FILTER และ BUFFER มาแล้ว จะมีค่าอยู่ในช่วง 0-15 โวลท์ นำมาขับ DC มอเตอร์ ในชุดทดลอง MODEL ED-4400 ได้โดยการต่อจะต่อผ่าน DRIVER AMPLIFIER เพื่อขับมอเตอร์ซึ่งมีทาโคมิเตอร์ต่ออยู่มอเตอร์สามารถหมุนได้ในช่วง 1500-5000 rpm

ความเร็วในการหมุนของมอเตอร์ขึ้นอยู่กับ voltage ที่ป้อนเข้ามาขับมอเตอร์ ถ้า voltage ที่เข้ามามีค่าน้อย มอเตอร์จะหมุนช้า แต่ถ้า voltage ที่เข้ามามีค่ามาก มอเตอร์จะหมุนเร็ว

TACHO GEN. ที่ต่อกับมอเตอร์ จะวัดค่าความเร็วรอบการหมุนของมอเตอร์แล้วให้เป็นสัญญาณ AC ออกมา ซึ่งก็คือสัญญาณความถี่ที่ป้อนกลับไปเปรียบเทียบกับสัญญาณอ้างอิงที่เฟสดีเทกเตอร์นั่นเอง

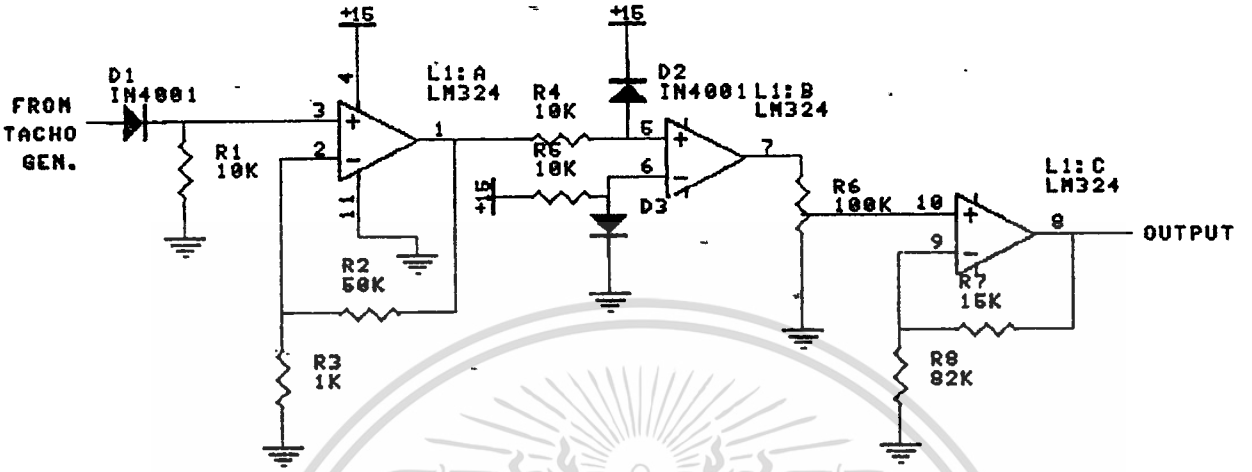
การต่อ DRIVER , MOTOR และ TACHO GEN. แสดงได้ดังรูป 4.9 ซึ่งสามารถวัดความเร็วรอบของมอเตอร์ได้จาก METER



รูปที่ 4.9 Equivalent diagram ของ driver และ motor

สัญญาณ ac ที่ออกมาจาก tacho gen. จะเป็น sine wave ต้องทำเป็นsquare wave โดยต่อวงจรตามรูป 4.10

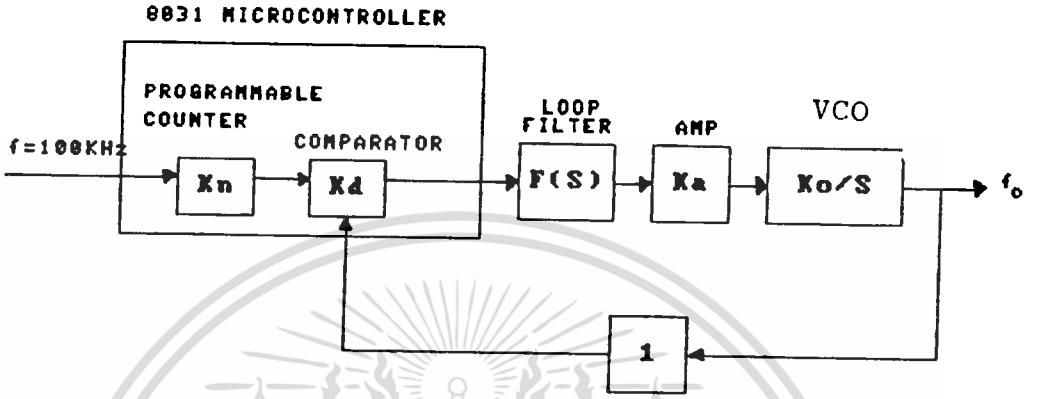
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 การทำสัญญาณ sine wave ให้เป็น square wave

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณค่าของส่วนต่างๆ



รูปที่ 4.11 บล็อคไดอะแกรมของฟรีเควนซี่ซินทีไซเซอร์(ใช้ซอฟต์แวร์)

กำหนด * FREQUENCY REFERENCE 600Hz-3300Hz

* FREQUENCY STEP 300Hz

* LOCK-UP TIME BETWEEN 1 SEC

* ERROR LESS THAN 10%

* AMPLIFIER GAIN(Ka) 3

* VCO CONVERTION GAIN(Ko) 27.78rad/s/v ;จาก Tacho gen =3V/5000 rpm

คำนวนค่าพารามิเตอร์ Kn,Kd,F(s) ที่เหลือ

คำนวนค่า Gain Kn;

$$N_{min} = f_{R(min)}/f_{step}$$

$$= 600Hz/300Hz$$

$$= 3$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$N_{max} = f_{R(max)}/f_{step}$$

$$= 3300Hz/300Hz$$

$$= 11$$

จะได้ค่า Gain ของ PROGRAMMABLE COUNTER Kn = 1/11 ถึง 0.33

= 0.09 ถึง 0.33

คำนวนค่า PHASE DETECTOR CONVERSION GAIN Kd;

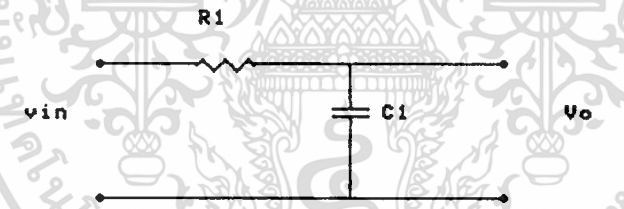
$$Kd = (DF\ HIGH - DF\ LOW)/2(2\pi)$$

$$= (5V - 0V)/2(2\pi)$$

$$= 0.4\ V/rad$$

คำนวนค่า transfer function ของ LOOP-FILTER;

จากวงจร เป็น LAWPASS FILTER ดังรูป



รูปที่ 4.12 วงจร low pass filter

จะมี transfer function เป็น

$$F(s) = 1/(1+Ts) \quad ;T = RC$$

จะได้ forward part gain

$$G(s) = K_dK_aK_oF(s)/s$$

$$= K_dK_aK_o/s(1+Ts)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ forward part gain

$$H(s) = 1$$

loop gain เป็น

$$G(s)H(s) = K/s(1+Ts)$$

ได้ charcteristic equation เป็น

$$1 + G(s)H(s) = 0$$

$$1 + K/s(1+Ts) = 0$$

$$Ts^2 + s + K = 0$$

$$s^2 + s/T + K/T = 0$$

$$s^2 + 2\zeta W_n + W_n^2 = 0$$

จะได้ $W_n^2 = K/T$

$$W_n = \sqrt{K/T} \quad \text{--------- (1)}$$

$$2\zeta W_n = 1/T$$

$$W_n = 1/2\zeta T$$

จะได้ response ที่ดีที่สุด $\zeta = 1/\sqrt{2}$

$$W_n = 1/2\sqrt{2}\ T \quad \text{--------- (2)}$$

จะได้ (1) =(2)

$$1/2\sqrt{2}\ T = \sqrt{K/T}$$

$$\sqrt{T} = 1/2\sqrt{2K}$$

$$T = 1/8K$$

$$= 1/(8*0.4*27.78*3)$$

$$= 0.0037$$

จาก $T = RC = 0.0037$

$$R = 0.0037/(0.47*10^{-6})$$

$$= 7872 \text{ ohm} = 7.8 \text{ K}$$

$$W_n = 1/2\sqrt{2}T$$

$$= 95.5 \text{ rad/sec}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ขั้นตอนการทำงานของ

เฟสล็อคคอนโทรล เลอร์

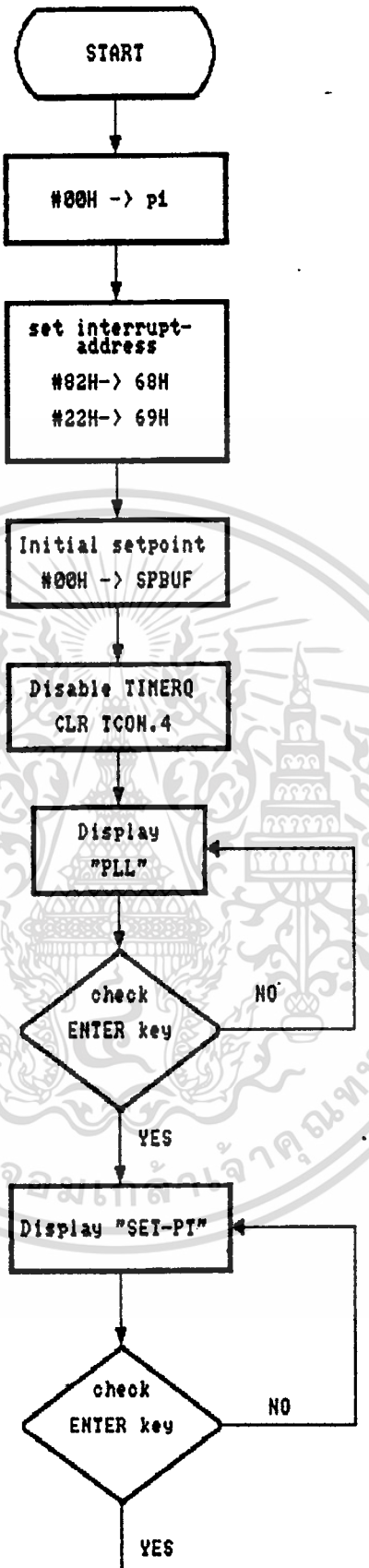
แผนผังการทำงานของซอฟต์แวร์

ซอฟต์แวร์ของไตร-สเตท เฟสดีเทกเตอร์ถูกเขียนขึ้นเพื่อใช้ในการควบคุมการทำงานของ ดีซี มอเตอร์ ดังนั้นซอฟต์แวร์ต้องมีลักษณะการควบคุมเป็นแบบ real time เพื่อให้ทันกับการทำงานของ ดีซีมอเตอร์ การทำงานของโปรแกรมจะแบ่งออกเป็น โปรแกรมจะแบ่งออกเป็น โปรแกรมหลัก และโปรแกรมย่อยๆ ดังนี้

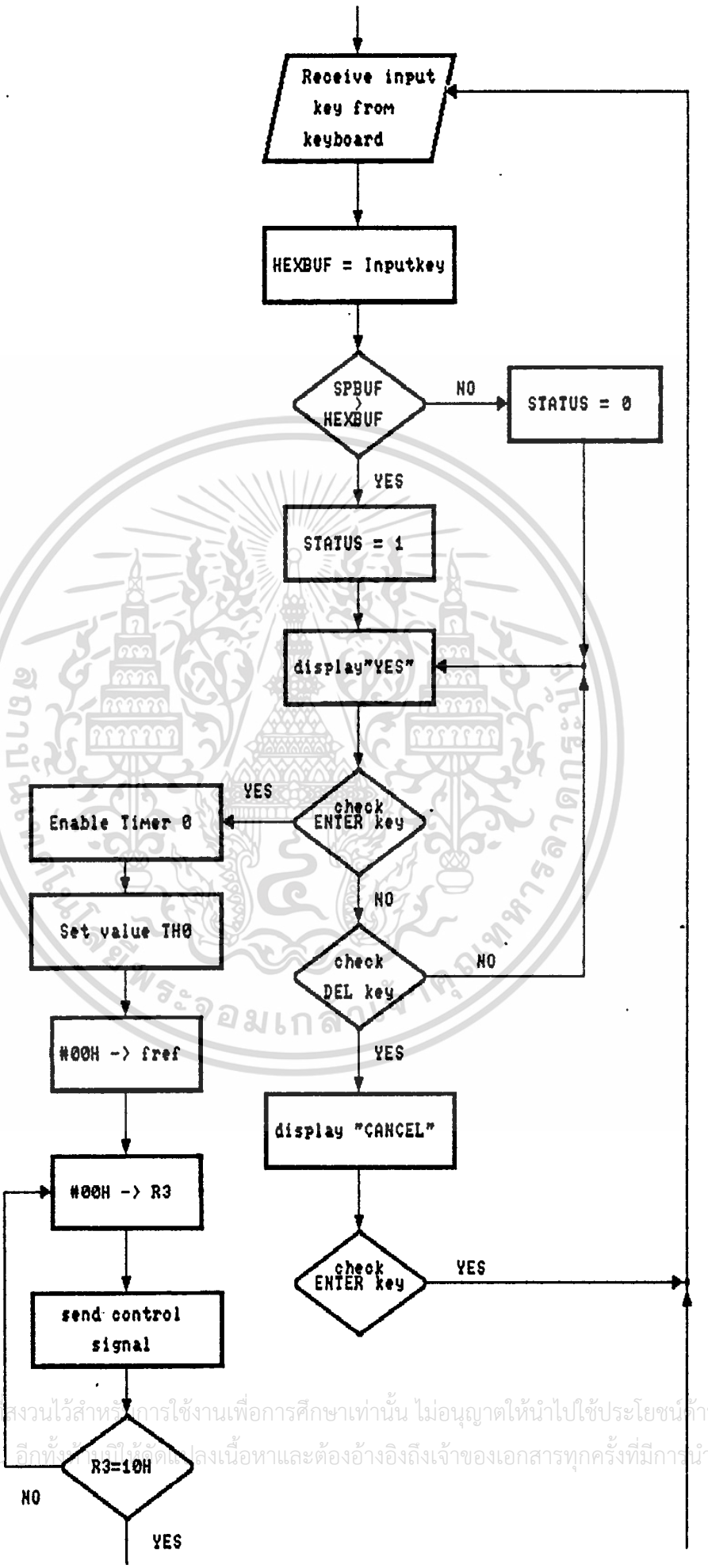
1. MAIN PROGRAM
2. SUBROUTINE
   - INTERRUPT SERVICE ROUTINE
   - COMPARE SETPOINT
   - CALCULATE FREQUENCY
   - CONTROL SIGNAL
   - STOP MOTOR

FLOW CHART การทำงานของ MAIN PROGRAM

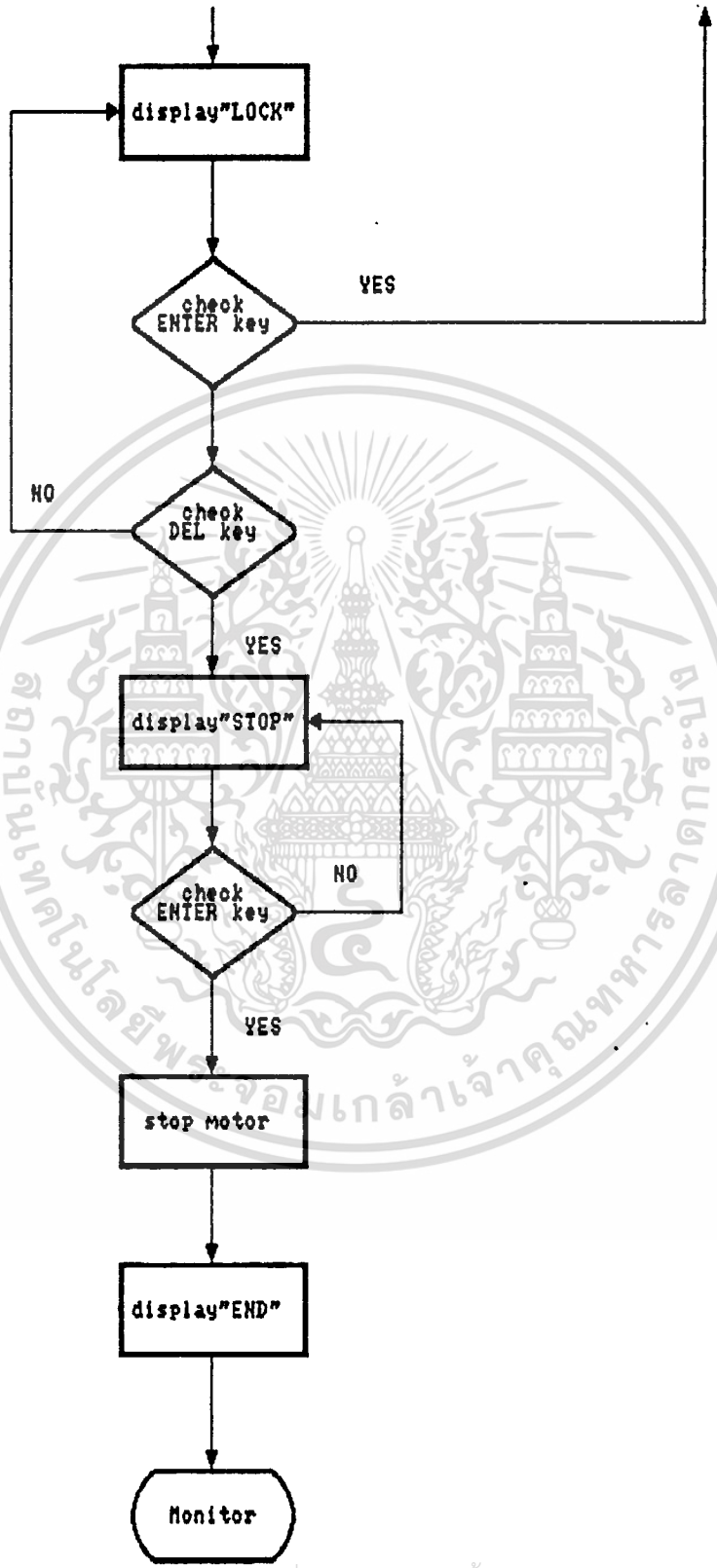
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

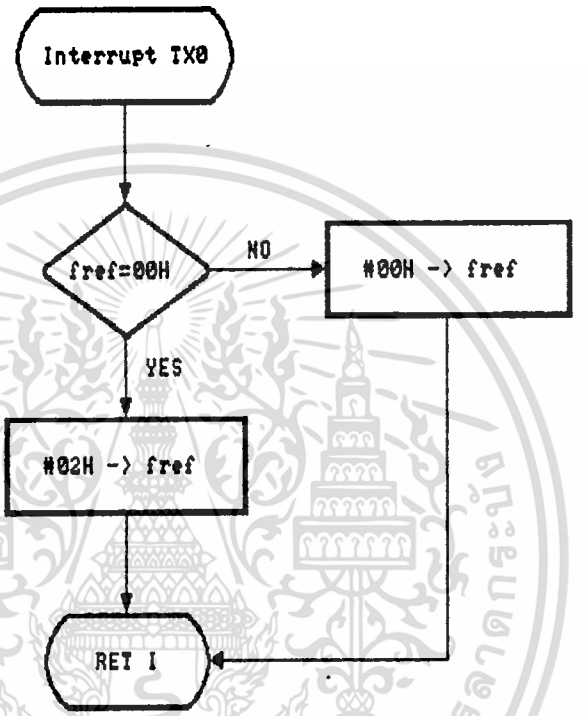
FLOW CHART การทำงานของ SUBROUTINE ต่างๆ

INTERRUPT SERVICE ROUTINE

การทำงานของ INTERRUPT SERVICE ROUTINE จะทำงานโดยการอินเทอรัพท์จาก TIMER 0 เพื่อสร้างความถี่อ้างอิงตามค่าที่รับจากคีย์บอร์ด โดยค่าจากคีย์บอร์ดจะถูกคำนวณตามสมการ (5.1) เพื่อใช้เป็นฐานเวลาให้แก่ TH0 ของ TIMER 0 TIMER 0 จะทำงานเป็น COUNTER ใน MODE 2 AUTO-RELOAD TH0 TO TL0 เมื่อ TL0 ทำการนับขึ้นจนถึงค่า FFH จะเกิดการเซ็ต TX0 เพื่อ ENABLE สัญญาณอินทางรัพท์จาก TIMER 0

$$f_{in}/(256-TH0) = 2F_o \qquad (5.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

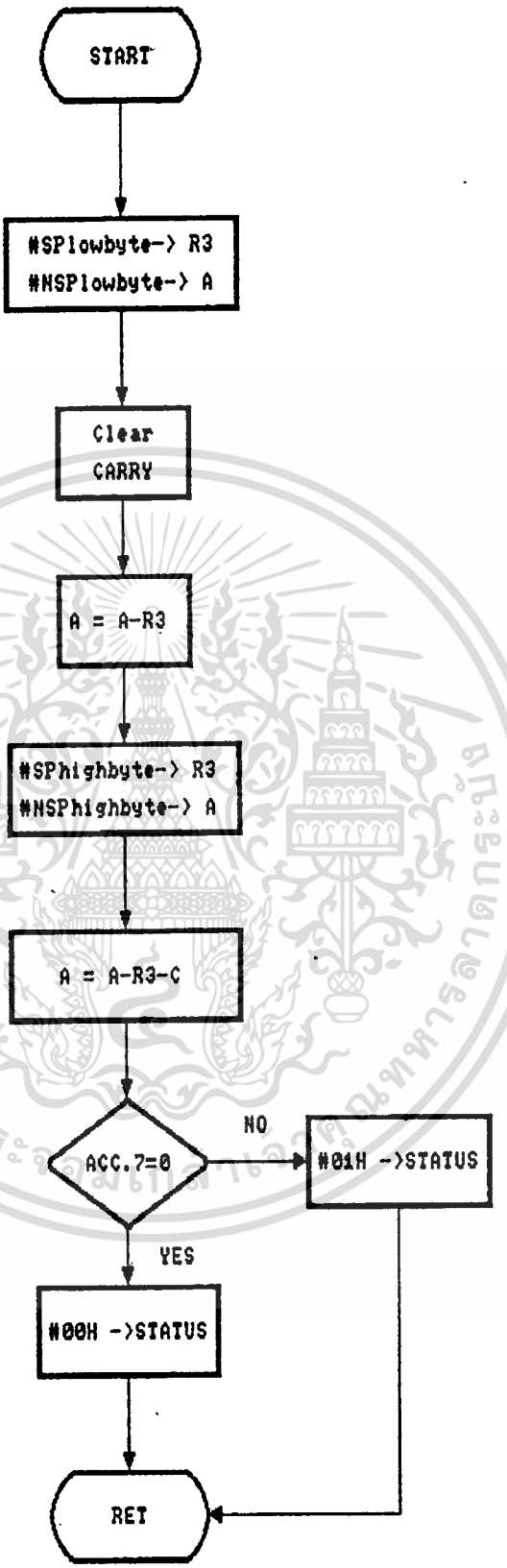


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COMPARE SETPOINT

COMPARE SETPOINT SERVICE ROUTINE จะทำหน้าที่ในการเปรียบเทียบค่าความถี่ของมอเตอร์เดิม และความถี่ใหม่ที่ป้อนให้แก่ 8031 เพื่อนำมาคำนวณว่าสัญญาณควบคุมทำให้ ดีซี มอเตอร์หมุนเร็วขึ้นหรือช้าลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

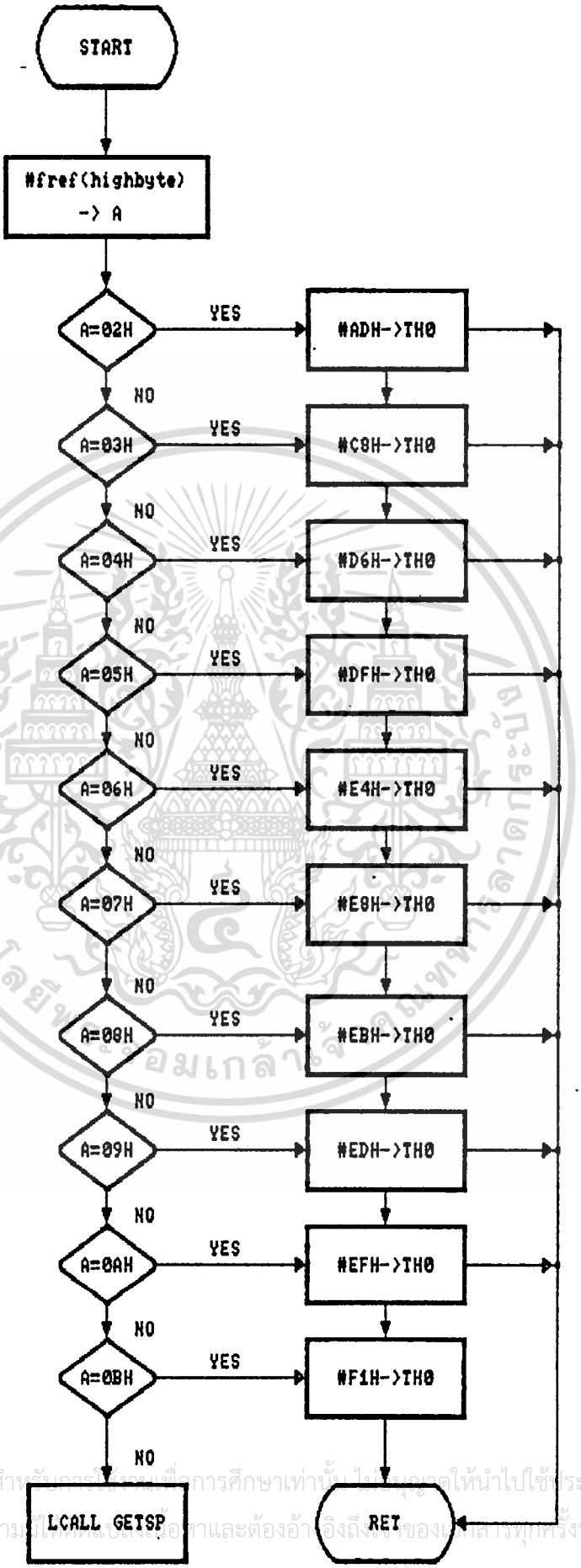


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CALCULATE FREQUENCY

โปรแกรมย่อยนี้จะทำการคำนวณค่าให้แก่ TH0 เพื่อ LOAD TL0 ใน TIMER 0 โดยการนำค่าความถี่ที่ป้อนจากคีย์บอร์ดมาเปรียบเทียบค่าความถี่ต่างๆ จากตาราง 3.1 เพื่อหาค่าที่จะ SET ให้แก่ TH0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

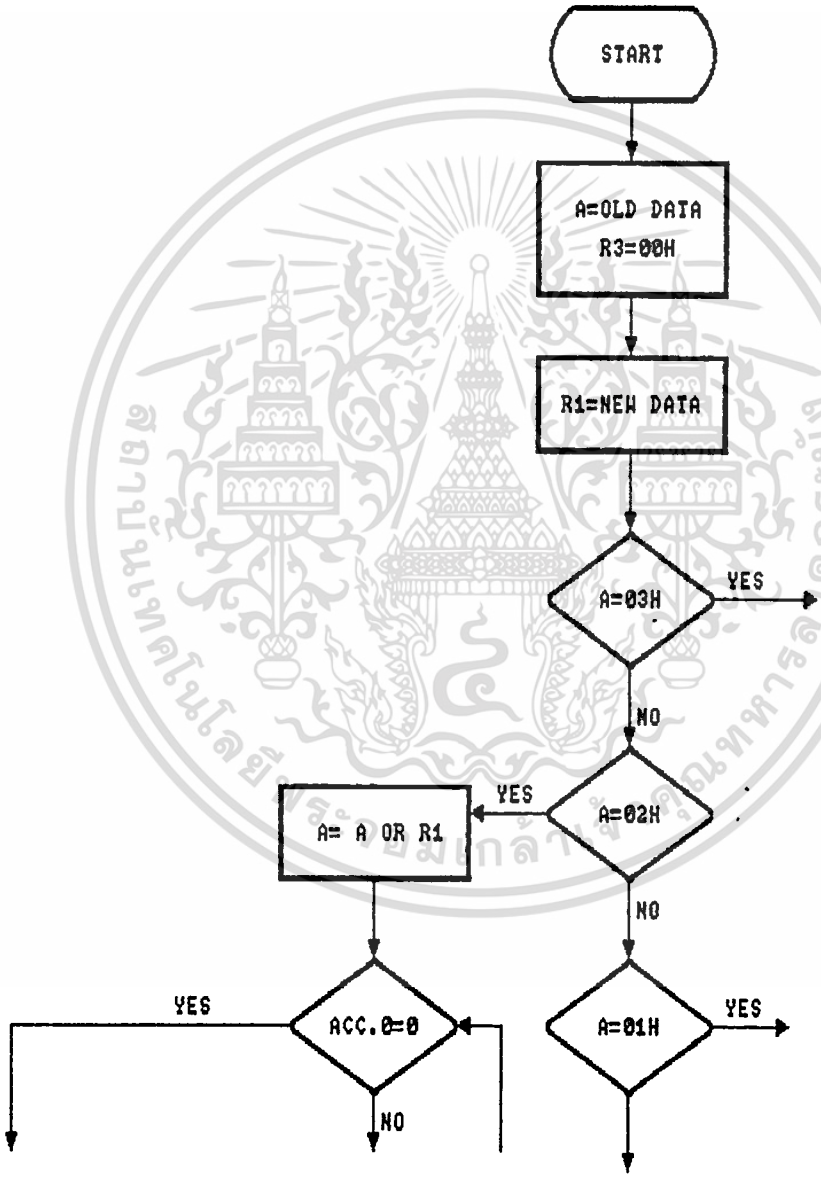


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

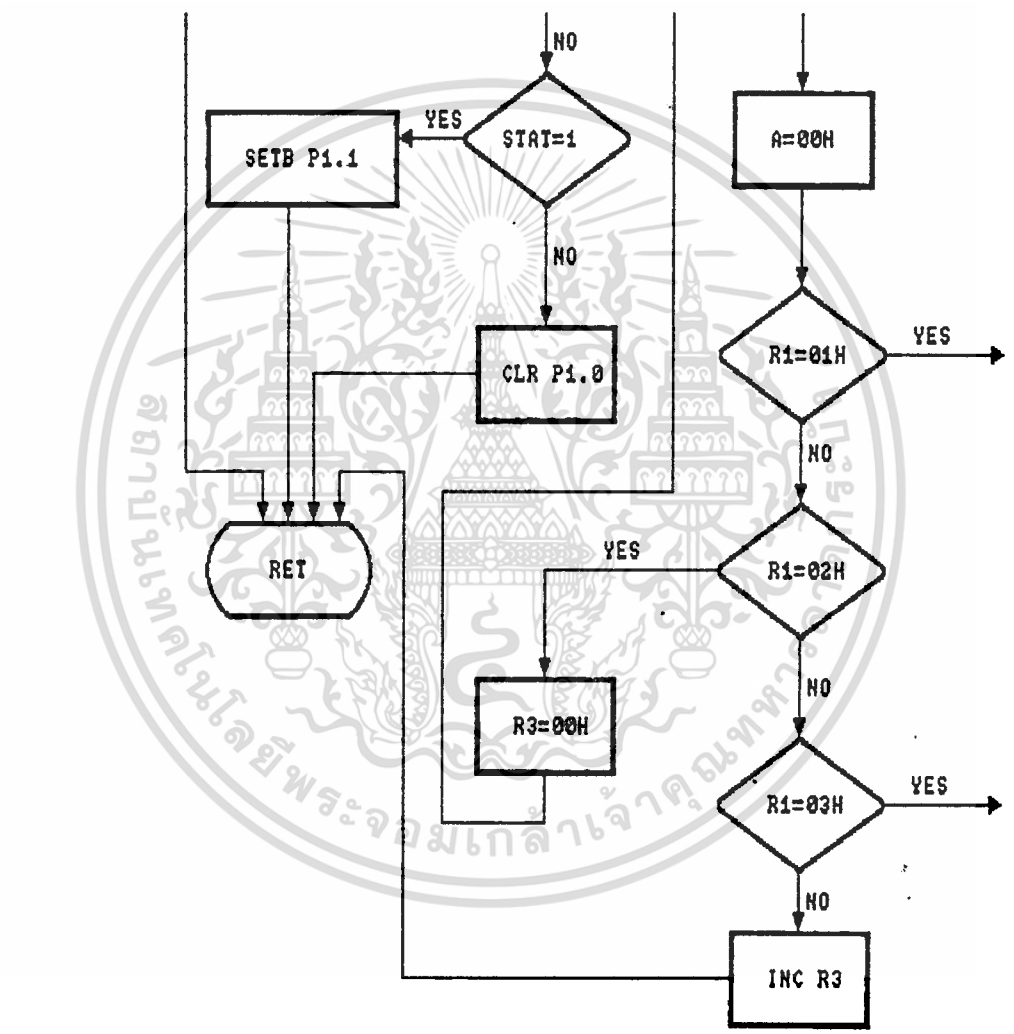
CONTROL SIGNAL

เป็นโปรแกรมย่อยที่จะทำหน้าที่สร้างสัญญาณควบคุม โดยการเปรียบเทียบเฟสและความถี่ ของสัญญาณความถี่อ้างอิงและความถี่ป้อนกลับ

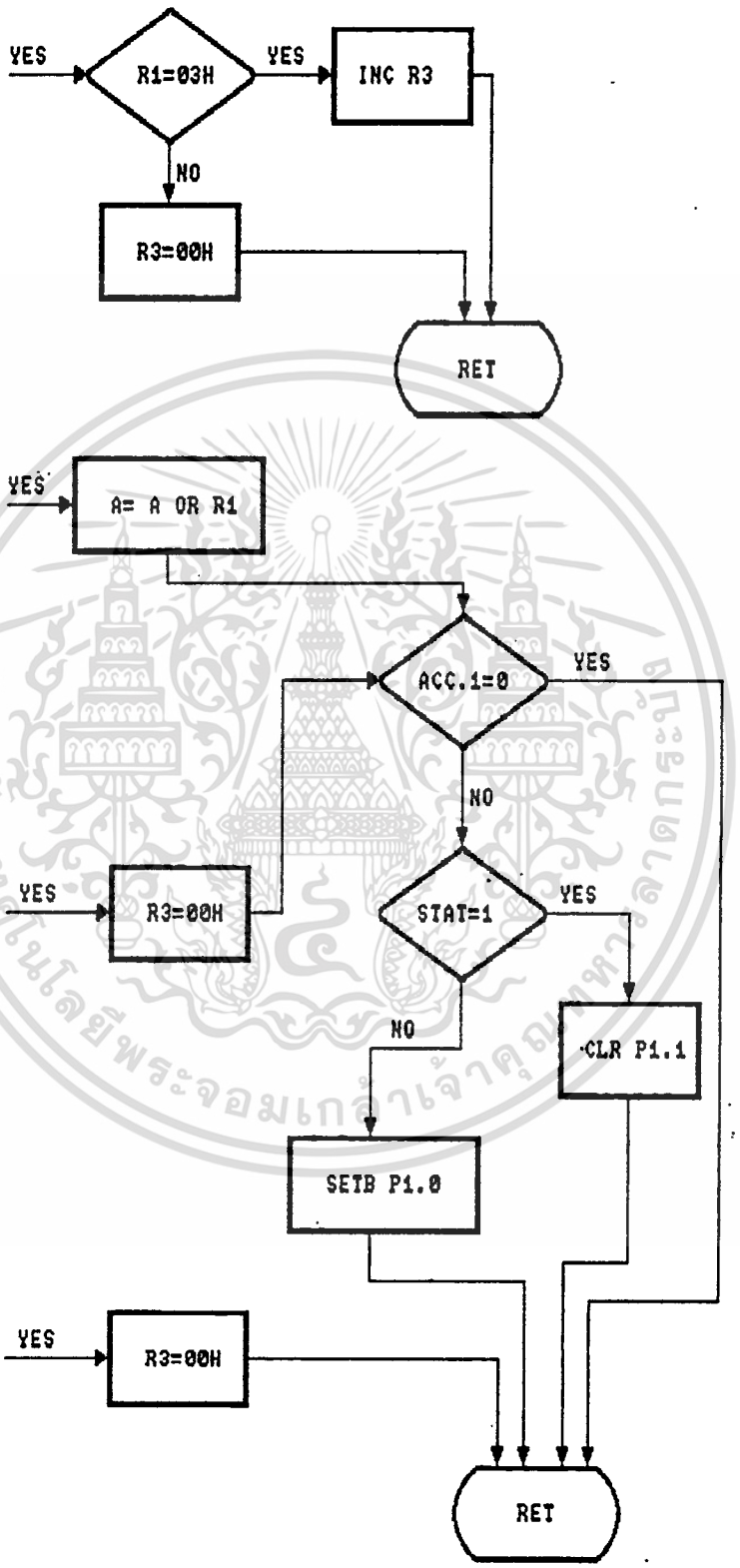
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



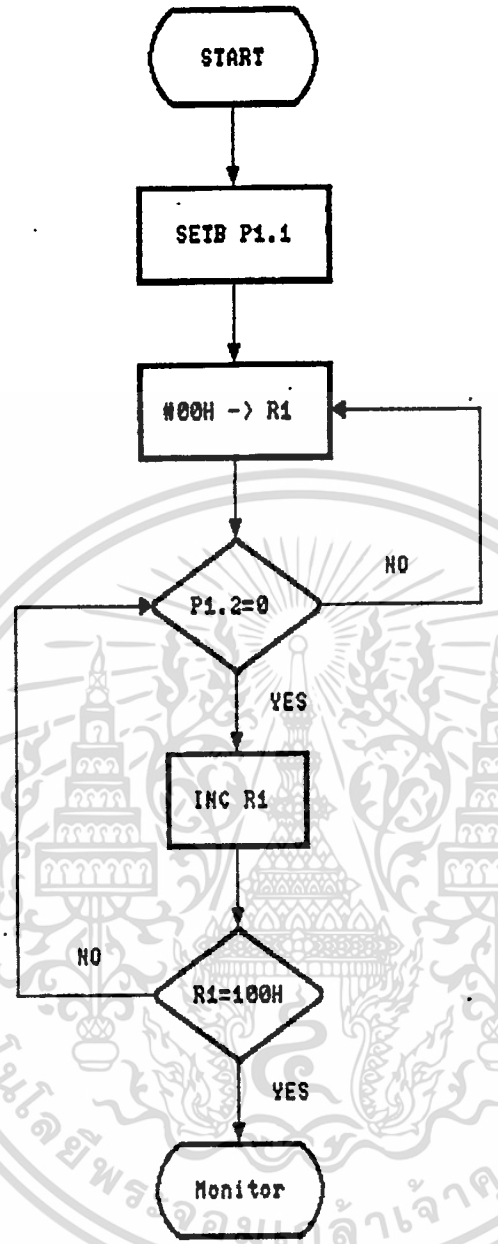
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

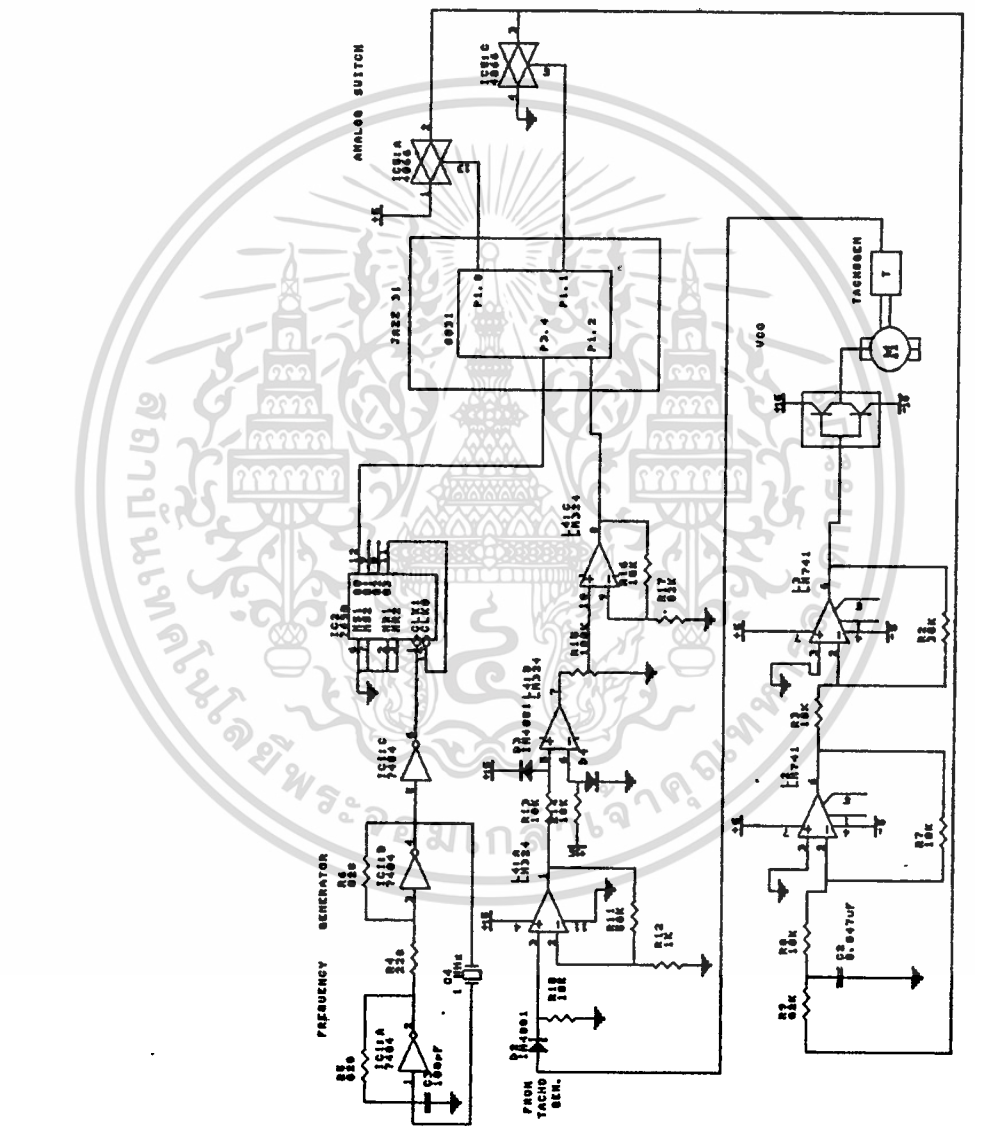


STOP | MOTOR

เป็นโปรแกรมย่อยที่ใช้ในการควบคุมการหยุดของ motor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำส่วนต่างๆมาต่อเป็นวงจร ดังรูป 5.1



รูปที่ 5.1 วงจรของเฟสล็อคคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลและข้อเสนอแนะ

สรุปผลการทดลอง

1. จากลักษณะการทำงานของซอฟต์แวร์ที่เขียนนั้น สามารถล็อคความถี่ได้ในช่วง 600-3300 Hz ซึ่งเป็นช่วงที่คำนวณแล้วว่าสามารถขับมอเตอร์ได้ แต่เมื่อทำการทดลองจะพบว่า sampling time ของโปรแกรมจริงๆจำทำการล็อคความถี่ได้ในช่วง 0-1.2 KHz เท่านั้น ถ้าความถี่ที่ป้อนให้มากกว่านี้ ผลการคำนวณของซอฟต์แวร์จะผิดพลาด JASS 31 ไม่ทำงานตามโปรมแกรมที่เขียน

2. สัญญาณที่ออกจาก analog switch เพื่อใช้ขับมอเตอร์ จะถูกควบคุมโดยการ on/off ของสวิทช์ขา HIGH และขา LOW โดยการ start มอเตอร์ในตอนแรกต้องให้สัญญาณ clock เกิดขึ้นที่ขา HIGH ทำให้ switch on และขา LOW ต่อลง GND ทำให้ switch off แต่จากคุณสมบัติของ low-pass filter ที่ใช้ในการ hold ค่าโวลต์เตจ C ใน low-pass filter จะ charge และ discharge อย่างรวดเร็วมาก ดังนั้นเมื่อเกิดการ on switch ขา HIGH เพียง 1 ครั้ง C ก็จะทำการ chart ประจุจนเต็ม สัญญาณที่ออกมาซึ่งเป็น 5 โวลต์ เมื่อผ่าน buffer gain 3 เท่า จะถูกขยายเป็น 15 โวลต์ ทำให้มอเตอร์หมุนด้วยความเร็วสูงสุด และเมื่อผ่านวงจรแปลงสัญญาณ sine wave ที่ออกจาก tacho gen. ให้เป็น square wave จะวัดค่าความถี่ที่ออกมาได้ 5 KHz ซึ่งเป็นความถี่ที่เกินกว่าการทำงานของซอฟต์แวร์ขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสนอแนะ

1. การเขียนโปรแกรมบนบอร์ด JASS 31 ถูกจำกัดเนื่องจากการทำงานของ monitor program ทำให้ไม่สามารถใช้เนื้อที่ใน internal ram 128 Kbyte ได้ การใช้คำสั่งต่างๆในการเขียนโปรแกรมจึงยาวขึ้น ซึ่งขัดกับหลักการทำงานของซอฟต์แวร์ที่ต้องทำงานเป็น real time กับการหมุนของมอเตอร์ ถ้าโปรแกรมยาว ความถี่ในการ sampling สัญญาณจะน้อยลง ความสามารถในการล็อคที่ถูกต้องจะลดลง

ดังนั้นควรทำการแก้ไข โดยเขียนโปรแกรมบนฮาร์ดแวร์อื่นที่มีความคล่องในการคำนวณได้รวดเร็ว ซึ่งสามารถ support ลักษณะของโปรแกรมได้เป็นอย่างดี จะทำให้โปรแกรมสั้นขึ้น ค่าความถี่ในการ sampling ก็จะสูงขึ้น ความสามารถในการล็อคก็สูงขึ้นด้วย

2. loop filter ที่ใช้ควรมีคุณสมบัติที่ดี คือ การ charge ของ C ควรเกิดขึ้นอย่างช้าๆ กับกับสัญญาณควบคุมที่ออกมาจากซอฟต์แวร์

3. การควบคุมในการทดลองนี้เป็นแบบ linear ไม่สามารถแยก GND ระหว่างมอเตอร์กับ JASS 31 ได้ ทำให้สัญญาณที่ป้อนกลับจากมอเตอร์ มีผลรบกวนต่อการทำงานของ JASS 31 ดังนั้นควรต่อ isolator ก่อนเข้า JASS 31 เพื่อแยก GND โดยต้องระวังการ shift ของเฟสและการ bias ค่าต่างๆ ต้องละเอียดเพียงพอ

4. การแก้ปัญหาในกรณีที่ความถี่ป้อนกลับมีค่ามากกว่าช่วงความถี่ที่ซอฟต์แวร์สามารถทำการล็อคได้ โดยการหารค่าความถี่ป้อนกลับ ให้มีค่าอยู่ในช่วงที่ต้องการควบคุม ต้องนำค่า K_n ของตัวหารมาคำนวณหา low-pass filter ตัวใหม่ จึงให้ค่าโวลต์เตจที่สามารถ drive มอเตอร์ที่มีความเร็วรอบมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Dan H. Wolaver , Phase-Locked Loop Circuit Design , Prentice Hall : Englewood Cliffs , New Jersey , 1991.
2. Howard M. Berlin , Design of Phase-Locked Loop Circuits with Experiments , Howard W. Sams & Co.,Inc.,Indianapolis , 1978.
3. Kenneth J. Ayala , The 8051 Microcontroller , West Publishi Company.
4. ศิษฐ์ เลาหสงคราม , ไมโครคอนโทรลเลอร์.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

36071

ภาคผนวก ก

ซอฟแวร์ ภาษาแอสเซมบลี 8031 ของ โปรแกรม

โปรแกรมของตัวเฟสดีเทกเตอร์ จะเขียนเป็นภาษาแอสเซมบลีของ 8031 ไมโครคอนโทรลเลอร์ ซึ่งอยู่ในตระกูล MCS-51

ซอฟต์แวร์ลิสต์จะแสดงรายละเอียด จำแนกเป็นส่วนๆ ดังนี้

```
0280  F521    LIST:   MOV  A,R6    ;SHIFT LEFT OF R7
```

0280 เป็นค่าแหน่งหน่วยความจำ(Address)ของโปรมแกรม

F521 เป็นภาษาเครื่องที่เขียนอยู่ในรูปของเลขฐาน 16

LIST เป็นการกำหนดข้างนอดเดรสในคำสั่ง

MOV A,R6 เป็นคำสั่งของภาษาแอสเซมบลี 8031

SHIFT LEFT OF R7 เป็นคำอธิบาย(comment)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8051 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology

THESIS.ASM

                    1
                    2                ; FILENAME      THESIS.ASM
                    3                ; SUBJECT       PHASE LOCKED CONTROLLER
                    4                ; SOFEWARE      SIULATING TRI-STATE PHASE
                    5                ;               IN FREQUENCY SYNTHESIZER
                    6                ; HARDWARE      JASS 31 SINGLE BOARD MIC
                    7                ;               MONITOR PROGRAM V 1.0
                    8                ; ASSEMBLER     SXA51
                    9
                   10;********* SYSTEM CALL ADDRESS **********
003C=               11CLEAR          EQU     003CH          ; CLEAR SUBVECTOR
0093=               12SCAN           EQU     0093H          ; SCAN  SUBVECTOR
00E4=               13HTOS           EQU     00E4H          ; HTOS  SUBVECTOR
009F=               14INW            EQU     009FH          ; INW   SUBVECTOR
                   15
                   16;**** RESERVED MEMMORY INTERNAL RAM *****
0025=              17DISBUF          EQU     0025H          ; DISPLAY BUFFER
                   18
                   19;**** RESERVED MEMMORY EXTERNAL RAM *****
8050=              20OSP             EQU     8050H          ; OLD SETPOINT
8051=              21NSP             EQU     8051H          ; NEW SETPOINT
8052=              22STAT            EQU     8052H          ; STATUS
8053=              23FR              EQU     8053H          ; FREQ REFFERENCE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8054=           24ODAT          EQU     8054H           ; OLD SAMPLING DATA
8055=           25NDAT          EQU     8055H           ; NEW SAMPLING DATA
                26
8000            27              ORG     8000H
8000 028003     28              LJMP    PLLTAB
8003 00000073   29PLLTAB:       DB      00H,00H,00H,73H,38H,38H
8007 3838
8009 6D797808   30SETTAB:       DB      6DH,79H,78H,08H,73H,78H
800D 7378
800F 00000066   31OK:           DB      00H,00H,00H,66H,79H,6DH
8013 796D
8015 39773739   32CANCLE:       DB      39H,77H,37H,39H,38H,79H
8019 3879
801B 40383F39   33LOCKTAB:      DB      40H,38H,3FH,39H,70H,40H
801F 7040
8021 ADC8D6DF   34SETPOINT:     DB      0ADH,0C8H,0D6H,0DFH,0E4H
8025 E4
8026 E8EBEDEF   35              DB      0E8H,0EBH,0EDH,0EFH,0F1H
802A F1
802B 006D783F   36STOPTAB:      DB      00H,6DH,78H,3FH,73H,00H
802F 7300
8031 00000079   37ENDTAB:       DB      00H,00H,00H,79H,54H,5EH
8035 545E
8037 028100     38              LJMP    MAIN
                39
                40;****************** MAIN ******************
8100            41              ORG     8100H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8100 759000      42MAIN:          MOV     P1,#00H
8103 756882      43               MOV     68H,#82H
8106 756922      44               MOV     69H,#22H
8109 7400        45               MOV     A,#00H
810B 908050      46               MOV     DPTR,#OSP       ; SET INITIAL FR
810E F0          47               MOVX    @DPTR,A
810F C28C        48LOOP:          CLR     TCON.4          ; DISABLE TIMER
8111 12003C      49               LCALL   CLEAR

8051 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
THESIS.ASM

8114 908003      50               MOV     DPTR,#PLLTAB
8117 1281A7      51               LCALL   STDB
811A 120093      52PLLKEY:        LCALL   SCAN            ; DISPLAY " PLL "
811D B412FA      53               CJNE    A,#12H,PLLKEY
8120 12003C      54               LCALL   CLEAR
8123 908009      55               MOV     DPTR,#SETTAB
8126 1281A7      56               LCALL   STDB
8129 120093      57SETKEY:        LCALL   SCAN            ; DISPLAY " SET_PT"
812C B412FA      58               CJNE    A,#12H,SETKEY   ; CHECK ENTER KEY
812F 900000      59GETSP:         MOV     DPTR,#00H
8132 7A40        60               MOV     R2,#40H
8134 12009F      61               LCALL   INW
8137 E583        62               MOV     A,DPH           ; HEXBUF = NEW FR
8139 908051      63               MOV     DPTR,#NSP
813C F0          64               MOVX    @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
813D 1281B4      65                LCALL   CPSP            ; CALL COMPARE SP
8140 12003C      66                LCALL   CLEAR
8143 90800F      67                MOV     DPTR,#OK
8146 1281A7      68                LCALL   STDB
8149 120093      69YESKEY:         LCALL   SCAN            ; DISPLAY " YES "
814C B41202      70                CJNE    A,#12H,CKEY1
814F 8014        71                SJMP    SETFR
8151 B410F5      72CKEY1:          CJNE    A,#10H,YESKEY
8154 12003C      73                LCALL   CLEAR
8157 908015      74                MOV     DPTR,#CANCLE
815A 1281A7      75                LCALL   STDB
815D 120093      76CCKEY:          LCALL   SCAN            ; DISPLAY " CANCLE"
8160 B412FA      77                CJNE    A,#12H,CCKEY
8163 80CA        78                SJMP    GETSP
8165 908053      79SETFR:          MOV     DPTR,#FR
8168 7400        80                MOV     A,#00H
816A F0          81                MOVX    @DPTR,A         ; Fref = 00H
816B 1281CF      82                LCALL   CALFREQ
816E D28C        83SETINT:         SETB    TCON.4          ; ENABLE TIMER 0
8170 758906      84                MOV     TMOD,#06H       ; SET TIMER 0 TO COUN
8173 D2AF        85                SETB    IE.7            ; ALL INTERRUPT
8175 D2A9        86                SETB    IE.1            ; ENABLE TIMER 0
8177 128231      87                LCALL   CTSN
817A 90801B      88                MOV     DPTR,#LOCKTAB
817D 1281A7      89                LCALL   STDB
8180 120093      90LOCKKEY:        LCALL   SCAN            ; DISPLAY " LOCK "
8183 B41203      91                CJNE    A,#12H,STOP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8186 12810F      92                LCALL   LOOP
8189 B410F4      93STOP:           CJNE    A,#10H,LOCKKEY
818C 90802B      94                MOV     DPTR,#STOPTAB
818F 1281A7      95                LCALL   STDB
8192 120093      96STOPKEY:        LCALL   SCAN            ; DISPLAY " STOP "
8195 B412FA      97                CJNE    A,#12H,STOPKEY
8198 1282CF      98                LCALL   BREAK
819B 908031      99                MOV     DPTR,#ENDTAB
819E 1281A7     100                LCALL   STDB
81A1 120093     101ENDKEY:         LCALL   SCAN            ; DISPLAY " END "
81A4 B412FA     102                CJNE    A,#12H,ENDKEY
                103
                104;********* SET DISPLAY BUFFER ***********
81A7 7825       105STDB:           MOV     R0,#DISBUF
81A9 7A06       106                MOV     R2,#06H         ; 6 SEGMENT
81AB 7400       107GO:             MOV     A,#00H
81AD 93         108                MOVC    A,@A+DPTR

8051 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
THESIS.ASM

81AE F6         109                MOV     @R0,A
81AF A3         110                INC     DPTR
81B0 08         111                INC     R0
81B1 DAF8       112                DJNZ    R2,GO
81B3 22         113                RET
                114
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    115;********** COMPARE SET POINT ***********
81B4 908050         116CPSP:        MOV     DPTR,#OSP
81B7 E0             117             MOVX    A,@DPTR
81B8 FB             118             MOV     R3,A
81B9 908051         119             MOV     DPTR,#NSP
81BC E0             120             MOVX    A,@DPTR
81BD C3             121             CLR     C
81BE 9B             122             SUBB    A,R3
81BF 23             123             RL      A
81C0 5401           124             ANL     A,#01H
81C2 908052         125             MOV     DPTR,#STAT
81C5 F0             126             MOVX    @DPTR,A
81C6 908051         127             MOV     DPTR,#NSP
81C9 E0             128             MOVX    A,@DPTR
81CA 908050         129             MOV     DPTR,#OSP
81CD F0             130             MOVX    @DPTR,A
81CE 22             131             RET
                    132
                    133;********* CALCULATE FREQUEHCY **********
81CF 908050         134CALFREQ:     MOV     DPTR,#OSP
81D2 E0             135             MOVX    A,@DPTR
81D3 B40205         136FREQ2:       CJNE    A,#02H,FREQ3        ; COMPARE
81D6 908021         137             MOV     DPTR,#SETPOINT
81D9 8043           138             SJMP    SETTIME
81DB B40305         139FREQ3:       CJNE    A,#03H,FREQ4        ; COMPARE
81DE 908022         140             MOV     DPTR,#SETPOINT+1
81E1 803B           141             SJMP    SETTIME
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
81E3 B40405     142FREQ4:       CJNE    A,#04H,FREQ5            ; COMPARE
81E6 908023     143             MOV     DPTR,#SETPOINT+2
81E9 8033       144             SJMP    SETTIME
81EB B40505     145FREQ5:       CJNE    A,#05H,FREQ7            ; COMPARE
81EE 908024     146             MOV     DPTR,#SETPOINT+3
81F1 802B       147             SJMP    SETTIME
81F3 B40705     148FREQ7:       CJNE    A,#07H,FREQ8            ; COMPARE
81F6 908025     149             MOV     DPTR,#SETPOINT+4
81F9 8023       150             SJMP    SETTIME
81FB B40805     151FREQ8:       CJNE    A,#08H,FREQ9            ; COMPARE
81FE 908026     152             MOV     DPTR,#SETPOINT+5
8201 801B       153             SJMP    SETTIME
8203 B40905     154FREQ9:       CJNE    A,#09H,FREQA            ; COMPARE
8206 908027     155             MOV     DPTR,#SETPOINT+6
8209 8013       156             SJMP    SETTIME
820B B40A05     157FREQA:       CJNE    A,#0AH,FREQB            ; COMPARE
820E 908028     158             MOV     DPTR,#SETPOINT+7
8211 800B       159             SJMP    SETTIME
8213 B40B05     160FREQB:       CJNE    A,#0BH,FREQC            ; COMPARE
8216 908029     161             MOV     DPTR,#SETPOINT+8
8219 8003       162             SJMP    SETTIME
821B 90802A     163FREQC:       MOV     DPTR,#SETPOINT+9        ; COMPARE
821E E0         164SETTIME:     MOVX    A,@DPTR
821F F58C       165             MOV     TH0,A
8221 22         166             RET
                167
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8051 Cross-Assembler (1.3) (C) 1987, 1989 Binary Technology

THESIS.ASM

```
                    168;****** SET FREQUENCY REFFERENCE ********
8222 908053         169GETINT:      MOV     DPTR,#FR        ; INTERRUPT SERVICE
8225 E0             170             MOVX    A,@DPTR
8226 B40004         171             CJNE    A,#00H,SGI
8229 7402           172             MOV     A,#02H
822B F0             173             MOVX    @DPTR,A
822C 32             174             RETI
822D 7400           175SGI:         MOV     A,#00H
822F F0             176             MOVX    @DPTR,A
8230 32             177             RETI
                    178
                    179;************ CONTROL SIGNAL ************
8231 908053         180CTSN:        MOV     DPTR,#FR        ; SET INITIAL
8234 E0             181             MOVX    A,@DPTR
8235 A292           182             MOV     C,P1.2
8237 92E0           183             MOV     ACC.0,C
8239 908054         184             MOV     DPTR,#ODAT
823C F0             185             MOVX    @DPTR,A
823D 7B00           186             MOV     R3,#00H         ; R3 = 0
823F 908053         187SUBCTSN:     MOV     DPTR,#FR        ; SET NEW SAMPLING
8242 E0             188             MOVX    A,@DPTR
8243 A292           189             MOV     C,P1.2
8245 92E0           190             MOV     ACC.0,C
8247 908055         191             MOV     DPTR,#NDAT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
824A F0        192                MOVX    @DPTR,A
824B 908054    193                MOV     DPTR,#ODAT
824E E0        194                MOVX    A,@DPTR          ; A = OLD SAMPLING
824F B40305    195CHECK03:        CJNE    A,#03H,CHECK02
8252 128279    196                LCALL   COMP03
8255 8013      197                SJMP    NEWSET
8257 B40205    198CHECK02:        CJNE    A,#02H,CHECK01
825A 128285    199                LCALL   COMP02
825D 800B      200                SJMP    NEWSET
825F B40105    201CHECK01:        CJNE    A,#01H,CHECK00
8262 12829B    202                LCALL   COMP01
8265 8003      203                SJMP    NEWSET
8267 1282B1    204CHECK00:        LCALL   COMP00
826A 908055    205NEWSET:         MOV     DPTR,#NDAT       ; MOVE NDAT TO ODAT
826D E0        206                MOVX    A,@DPTR
826E 908054    207                MOV     DPTR,#ODAT
8271 F0        208                MOVX    @DPTR,A
8272 BB10CA    209                CJNE    R3,#10H,SUBCTSN ; IF R3 = 32H OUT
8275 759000    210                MOV     P1,#00H
8278 22        211                RET
               212
               213;************** COMPARE 03 **************
8279 908055    214COMP03:         MOV     DPTR,#NDAT
827C E0        215                MOVX    A,@DPTR          ; A = NEW SAMPLING
827D B40302    216                CJNE    A,#03H,COMP033
8280 0B        217                INC     R3
8281 22        218                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8282 7B00       219COMP033:         MOV     R3,#00H
8284 22         220                 RET
                221
                222;************** COMPARE 02 **************
8285 F9         223COMP02:          MOV     R1,A
8286 908055     224                 MOV     DPTR,#NDAT
8289 E0         225                 MOVX    A,@DPTR
828A 49         226                 ORL     A,R1

8051 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
THESIS.ASM

828B 30E00C     227                 JNB     ACC.0,RET02
828E 908052     228CSTATUS1:        MOV     DPTR,#STAT
8291 E0         229                 MOVX    A,@DPTR
8292 20E003     230                 JB      ACC.0,CL02
8295 C290       231CH02:            CLR     P1.0            ; CLEAR HIGH PORT
8297 22         232                 RET
8298 D291       233CL02:            SETB    P1.1            ; SET LOW PORT
829A 22         234RET02:           RET
                235
                236;************** COMPARE 01 **************
829B F9         237COMP01:          MOV     R1,A
829C 908055     238                 MOV     DPTR,#NDAT
829F E0         239                 MOVX    A,@DPTR
82A0 49         240                 ORL     A,R1
82A1 30E10C     241                 JNB     ACC.1,RET01
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
82A4 908052     242CSTATUS2:    MOV     DPTR,#STAT
82A7 E0         243             MOVX    A,@DPTR
82A8 20E003     244             JB      ACC.0,CL01
82AB D290       245CH01:        SETB    P1.0            ; SET HIGH PORT
82AD 22         246             RET
82AE C291       247CL01:        CLR     P1.1            ; CLEAR LOW PORT
82B0 22         248RET01:       RET
                249
                250;************** COMPARE 00 *************
82B1 908055     251COMP00:      MOV     DPTR,#NDAT
82B4 E0         252             MOVX    A,@DPTR         ; A = NEW SAMPLING
82B5 B40106     253COMP001:     CJNE    A,#01H,COMP002
82B8 12828E     254             LCALL   CSTATUS1
82BB 7A00       255             MOV     R2,#00H
82BD 22         256             RET
82BE B40206     257COMP002:     CJNE    A,#02H,COMP003
82C1 1282A4     258             LCALL   CSTATUS2
82C4 7A00       259             MOV     R2,#00H
82C6 22         260             RET
82C7 B40002     261COMP003:     CJNE    A,#00H,COMP004
82CA 0B         262             INC     R3
82CB 22         263             RET
82CC 7A00       264COMP004:     MOV     R2,#00H
82CE 22         265             RET
                266
                267;************** STOP MOTOR **************
82CF D291       268BREAK:       SETB    P1.1            ; SET LOW PORT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
82D1 7900       269                MOV     R1,#00H
82D3 D292       270SUBBK:          SETB    P1.2
82D5 A292       271                MOV     C,P1.2
82D7 92E0       272                MOV     ACC.0,C
82D9 30E005     273                JNB     ACC.0,OUTSYS
82DC 7900       274                MOV     R1,#00H
82DE 1282D3     275                LCALL   SUBBK
82E1 09         276OUTSYS:         INC     R1
82E2 B964EE     277                CJNE    R1,#64H,SUBBK
82E5 22         278                RET
0000=           279                END

8051 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology

THESIS.ASM

          break = 82CF          calfreq = 81CF          cancle = 8015
           ch02 = 8295          check00 = 8267         check01 = 825F
          ckey1 = 8151            c101 = 82AE            c102 = 8298
         comp001 = 82B5         comp002 = 82BE         comp003 = 82C7
          comp02 = 8285          comp03 = 8279         comp033 = 8282
        cstatus2 = 82A4            ctsn = 8231          disbuf = 0025
              fr = 8053           freq2 = 81D3           freq3 = 81DB
           freq7 = 81F3           freq8 = 81FB           freq9 = 8203
           freqc = 821B          getint = 8222           getsp = 812F
             inw = 009F         lockkey = 8180         locktab = 801B
            ndat = 8055          newset = 826A             nsp = 8051
             osp = 8050          outsys = 82E1          pllkey = 811A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ret02 = 829A        scan = 0093        setfr = 8165
setpoint = 8021     settab = 8009      settime = 821E
stdb = 81A7         stop = 8189        stopkey = 8192
subctsn = 823F      yeskey = 8149
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

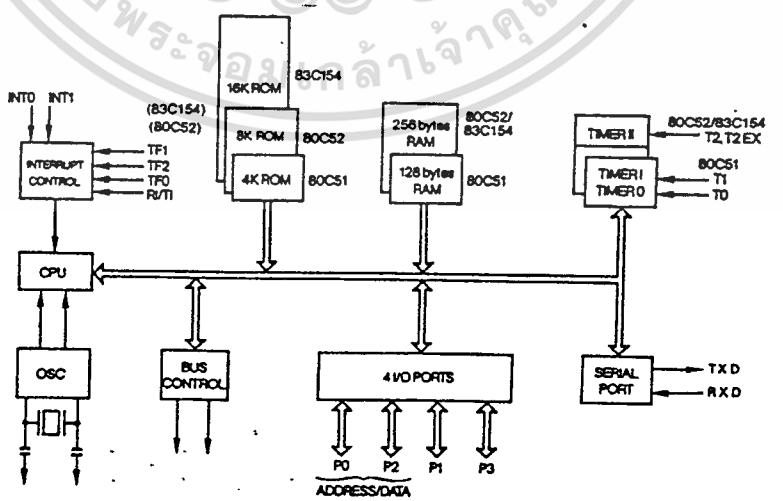
ภาคผนวก ข

ไมโครคอนโทรลเลอร์ 8031

8031 เป็นไมโครคอนโทรลเลอร์แบบชิพเดี่ยว เหมาะสำหรับงานควบคุมอุปกรณ์อื่นๆแบบอัตโนมัติ สามารถเขียนโปรแกรมควบคุมการทำงานได้ตามต้องการ ภายในประกอบด้วย

1. หน่วยประมวลผล (CPU)
2. หน่วยความจำ (MEMORY)
   - ROM
   - RAM
3. อุปกรณ์อินพุทและเอาท์พุท (Input / output Device)
   - 4 I/O Port
   - Timer/Counter
   - Serial port

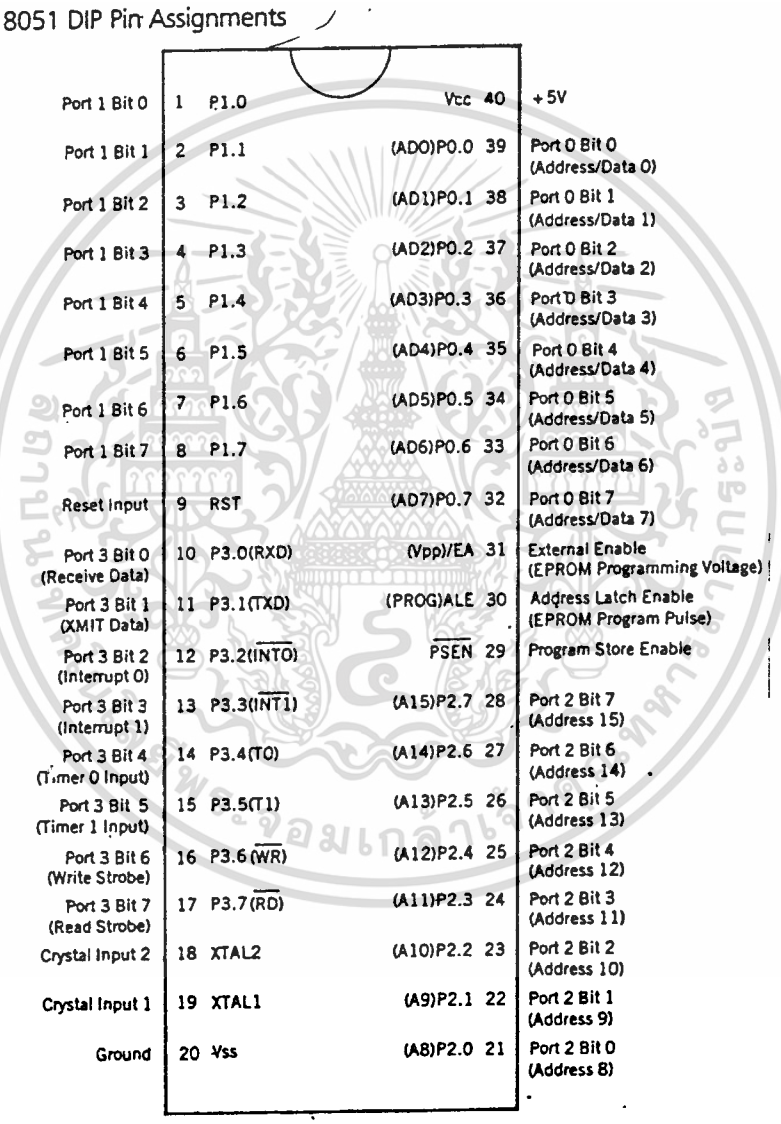
โดยมีโครงสร้างดังรูป



รูป ข-1 ไดอะแกรมโครงสร้างของ 8031

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

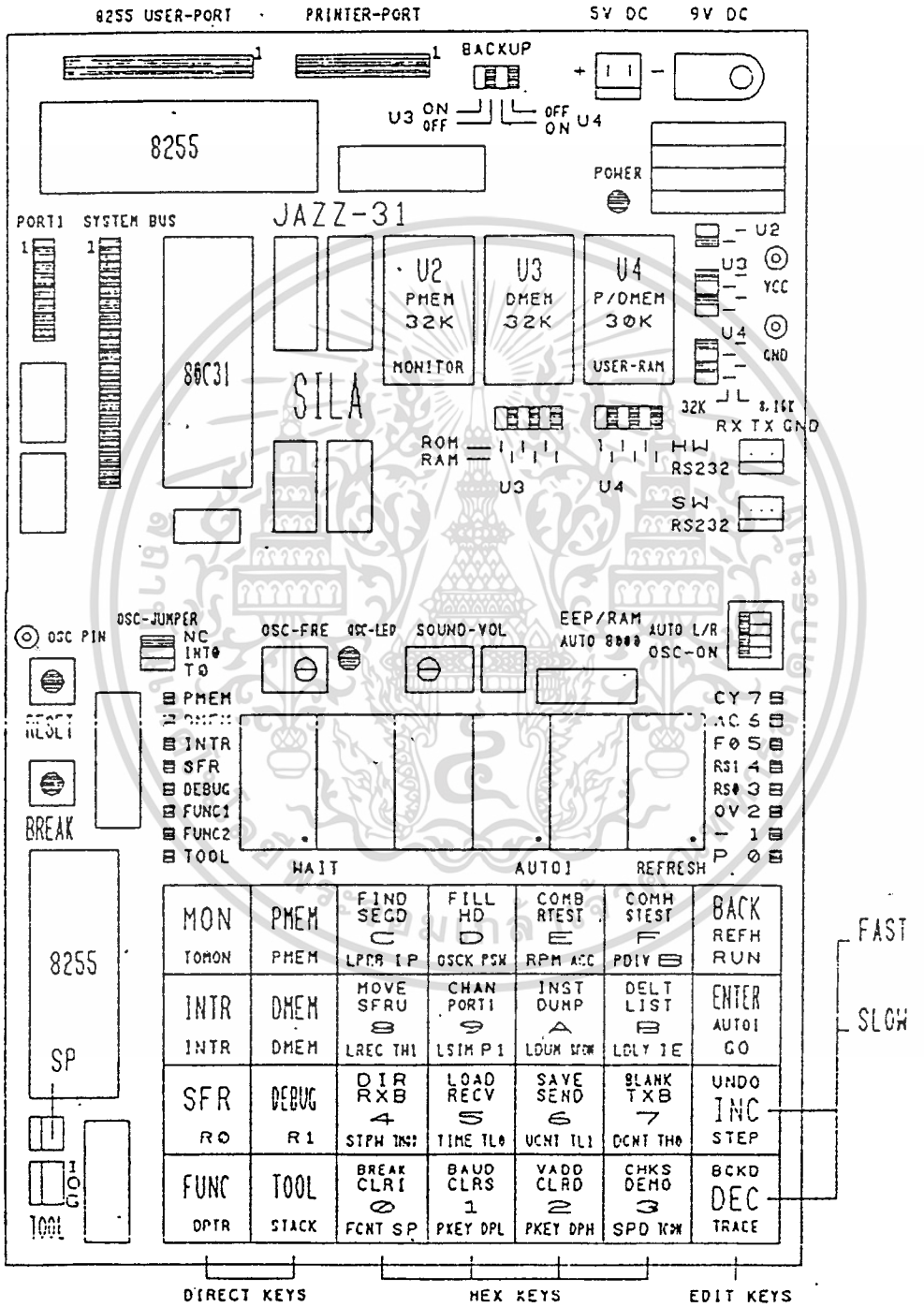
8031 เป็นชิพเดี่ยวแบบ 40 ขา การส่งสัญญาณจากภายใน และการรับสัญญาณจากภายนอก จะทำทางขา (pin) ดังรูป



รูป ข-2 ไดอะแกรมขาของ 8031 แบบ DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้ 8031 ในโครงงานนี้ จะใช้ผ่าน JASS 31 SINGLE BOARD MICROCONTROLLER ซึ่งมีลักษณะดังรูป



รูป ข-3 Jass 31 single board

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่งต่างๆในโปรแกรมจากภาคผนวก ก ดูได้จากตาราง

Table 1. MCS®-51 Instruction Set Description

ARITHMETIC OPERATIONS

Mnemonic		Description	Byte	Cyc
ADD	A,Rn	Add register to Accumulator	1	1
ADD	A,direct	Add direct byte to Accumulator	2	1
ADD	A,@Ri	Add indirect RAM to Accumulator	1	1
ADD	A,#data	Add immediate data to Accumulator	2	1
ADDC	A,Rn	Add register to Accumulator with Carry	1	1
ADDC	A,direct	Add direct byte to A with Carry flag	2	1
ADDC	A,@Ri	Add indirect RAM to A with Carry flag	1	1
ADDC	A,#data	Add immediate data to A with Carry flag	2	1
SUBB	A,Rn	Subtract register from A with Borrow	1	1
SUBB	A,direct	Subtract direct byte from A with Borrow	2	1
SUBB	A,@Ri	Subtract indirect RAM from A with Borrow	1	1
SUBB	A,#data	Subtract immed. data from A with Borrow	2	1
INC	A	Increment Accumulator	1	1
INC	Rn	Increment register	1	1
INC	direct	Increment direct byte	2	1
INC	@Ri	Incriment indirect RAM	1	1
INC	DPTR	Incriment Data Pointer	1	2
DEC	A	Decrement Accumulator	1	1
DEC	Rn	Decrement register	1	1
DEC	direct	Decrement direct byte	2	1
DEC	@Ri	Decrement indirect RAM	1	1
MUL	AB	Multiply A & B	1	4
DIV	AB	Divide A by B	1	4
DA	A	Decimal Adjust Accumulator	1	1

LOGICAL OPERATIONS

Mnemonic		Destination	Byte	Cyc
ANL	A,Rn	AND register to Accumulator	1	1
ANL	A,direct	AND direct byte to Accumulator	2	1
ANL	A,@Ri	AND indirect RAM to Accumulator	1	1
ANL	A,#data	AND immediate data to Accumulator	2	1
ANL	direct,A	AND Accumulator to direct byte	2	1
ANL	direct,#data	AND immediate data to direct byte	3	2
ORL	A,Rn	OR register to Accumulator	1	1
ORL	A,direct	OR direct byte to Accumulator	2	1
ORL	A,@Ri	OR indirect RAM to Accumulator	1	1
ORL	A,#data	OR immediate data to Accumulator	2	1
ORL	direct,A	OR Accumulator to direct byte	2	1
ORL	direct,#data	OR immediate data to direct byte	3	2
XRL	A,Rn	Exclusive-OR register to Accumulator	1	1
XRL	A,direct	Exclusive-OR direct byte to Accumulator	2	1
XRL	A,@Ri	Exclusive-OR indirect RAM to A	1	1
XRL	A,#data	Exclusive-OR immediate data to A	2	1
XRL	direct,A	Exclusive-OR Accumulator to direct byte	2	1
XRL	direct,#data	Exclusive-OR immediate data to direct	3	2
CLR	A	Clear Accumulator	1	1
CPL	A	Complement Accumulator	1	1
RL	A	Rotate Accumulator Left	1	1
RLC	A	Rotate A Left through the Carry flag	1	1
RR	A	Rotate Accumulator Right	1	1
RRC	A	Rotate A Right through Carry flag	1	1
SWAP	A	Swap nibbles within the Accumulator	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. (Cont.)

DATA TRANSFER

Mnemonic		Description	Byte	Cyc
MOV	A,Rn	Move register to Accumulator	1	1
MOV	A,direct	Move direct byte to Accumulator	2	1
MOV	A,@Ri	Move indirect RAM to Accumulator	1	1
MOV	A,#data	Move immediate data to Accumulator	2	1
MOV	Rn,A	Move Accumulator to register	1	1
MOV	Rn,direct	Move direct byte to register	2	2
MOV	Rn,#data	Move immediate data to register	2	1
MOV	direct,A	Move Accumulator to direct byte	2	1
MOV	direct,Rn	Move register to direct byte	2	2
MOV	direct,direct	Move direct byte to direct	3	2
MOV	direct,@Ri	Move indirect RAM to direct byte	2	2
MOV	direct,#data	Move immediate data to direct byte	3	2
MOV	@Ri,A	Move Accumulator to indirect RAM	1	1
MOV	@Ri,direct	Move direct byte to indirect RAM	2	2
MOV	@Ri,#data	Move immediate data to indirect RAM	2	1
MOV	DPTR,#data 16	Load Data Pointer with a 16-bit constant	3	2
MOVC	A,@A+DPTR	Move Code byte relative to DPTR to A	1	2
MOVC	A,@A+PC	Move Code byte relative to PC to A	1	2
MOVX	A,@Ri	Move External RAM (8-bit addr) to A	1	2
MOVX	A,@DPTR	Move External RAM (16-bit addr) to A	1	2
MOVX	@Ri,A	Move A to External RAM (8-bit addr)	1	2
MOVX	@DPTR,A	Move A to External RAM (16-bit addr)	1	2
PUSH	direct	Push direct byte onto stack	2	2
POP	direct	Pop direct byte form stack	2	2
XCH	A,Rn	Exchange register with Accumulator	1	1
XCH	A,direct	Exchange direct byte with Accumulator	2	1
XCH	A,@Ri	Exchange indirect RAM with A	1	1
XCHD	A,@Ri	Exchange low-order nibble ind RAM with A	1	1

BOOLEAN VARIABLE MANIPULATION

Mnemonic		Description	Byte	Cyc
CLR	C	Clear Carry flag	1	1
CLR	bit	Clear direct bit	2	1
SETB	C	Set Carry flag	1	1
SETB	bit	Set direct Bit	2	1
CPL	C	Complement Carry flag	1	1
CPL	bit	Complement direct bit	2	1
ANL	C,bit	AND direct bit to Carry flag	2	2
ANL	C,1 bit	AND complement of direct bit to Carry	2	2
ORL	C/bit	OR direct bit to Carry flag	2	2
ORL	C,1 bit	OR complement of direct bit to Carry	2	2
MOV	C/bit	Move direct bit to Carry flag	2	1
MOV	bit,C	Move Carry flag to direct bit	2	2

PROGRAM AND MACHINE CONTROL

Mnemonic		Description	Byte	Cyc
ACALL	addr 11	Absolute Subroutine Call	2	2
LCALL	addr 16	Long Subroutine Call	3	2
RET		Return from subroutine	1	2
RETI		Return from interrupt	1	2
AJMP	addr 11	Absolute Jump	2	2
LJMP	addr 16	Long Jump	3	2
SJMP	rel	Short Jump (relative addr)	2	2
JMP	@A+DPTR	Jump indirect relative to the DPTR	1	2
JZ	rel	Jump if Accumulator is Zero	2	2
JNZ	rel	Jump if Accumulator is Not Zero	2	2
JC	rel	Jump if Carry flag is set	2	2
JNC	rel	Jump if No Carry flag	2	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. (Cont.)

PROGRAM AND MACHINE CONTROL (cont.)				
Mnemonic		**Description**	**Byte**	**Cyc**
JB	bit,rel	Jump if direct Bit set	3	2
JNB	bit,rel	Jump if direct Bit Not set	3	2
JBC	bit,rel	Jump if direct Bit is set & Clear bit	3	2
CJNE	A,direct,rel	Compare direct to A & Jump if Not Equal	3	2
CJNE	A,#data,rel	Comp. immed. to A & Jump if Not Equal	3	2
CJNE	Rn,#data,rel	Comp. immed. to reg & Jump if Not Equal	3	2
CJNE	@Ri,#data. rel	Comp. immed. to ind. & Jump if Not Equal	3	2
DJNZ	Rn,rel	Decrement register & Jump if Not Zero	2	2
DJNZ	direct. rel	Decrement direct & Jump if Not Zero	3	2
NOP		No operation	1	1

Notes on data addressing modes:

Rn	– Working register R0-R7
direct	– 128 internal RAM locations, any I/O port, control or status register
@Ri	– Indirect internal RAM location addressed by register R0 or R1
#data	– 8-bit constant included in instruction
#data 16	– 16-bit constant included as bytes 2 & 3 of instruction
bit	– 128 software flags, any I/O pin, control or status bit

Notes on program addressing modes:

addr 16	– Destination address for LCALL & LJMP may be anywhere within the 64-k program memory address space
Addr 11	– Destination address for ACALL & AJMP will be within the same 2-k page of program memory as the first byte of the following instruction
rel	– SJMP and all conditional jumps include an 8-bit offset byte. Range is +127–128 bytes relative to first byte of the following instruction.

All mnemonics copyrighted © Intel Corporation 1979

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. Instruction Opcodes in Hexadecimal Order

Hex Code	Number of Bytes	Mnemonic	Operands
00	1	NOP	
01	2	AJMP	code addr
02	3	LJMP	code addr
03	1	RR	A
04	1	INC	A
05	2	INC	data addr
06	1	INC	@R0
07	1	INC	@R1
08	1	INC	R0
09	1	INC	R1
0A	1	INC	R2
0B	1	INC	R3
0C	1	INC	R4
0D	1	INC	R5
OE	1	INC	R6
0F	1	INC	R7
10	3	JBC	bit addr,code addr
11	2	ACALL	code addr
12	3	LCALL	code addr
13	1	RRC	A
14	1	DEC	A
15	2	DEC	data addr
16	1	DEC	@R0
17	1	DEC	@R1
18	1	DEC	R0
19	1	DEC	R1
1A	1	DEC	R2
1B	1	DEC	R3
1C	1	DEC	R4
1D	1	DEC	R5
1E	1	DEC	R6
1F	1	DEC	R7
20	3	JB	bit addr,code addr
21	2	AJMP	code addr
22	1	RET	
23	1	RL	A
24	2	ADD	A,data
25	2	ADD	A,data addr
26	1	ADD	A,@R0
27	1	ADD	A,@R1
28	1	ADD	A,R0
29	1	ADD	A,R1
2A	1	ADD	A,R2
2B	1	ADD	A,R3
2C	1	ADD	A,R4
2D	1	ADD	A,R5
2E	1	ADD	A,R6
2F	1	ADD	A,R7
30	3	JNB	bit addr,code addr
31	2	ACALL	code addr
32	1	RETI	
33	1	RLC	A
34	2	ADDC	A,#data
35	2	ADDC	A,data addr
36	1	ADDC	A,@R0
37	1	ADDC	A,@R1
38	1	ADDC	A,R0
39	1	ADDC	A,R1
3A	1	ADDC	A,R2
3B	1	ADDC	A,R3
3C	1	ADDC	A,R4
3D	1	ADDC	A,R5
3E	1	ADDC	A,R6
3F	1	ADDC	A,R7
40	2	JC	code addr
41	2	AJMP	code addr
42	2	ORL	data addr,A
43	3	ORL	data addr,#data
44	2	ORL	A,#data
45	2	ORL	A,data addr
46	1	ORL	A,@R0
47	1	ORL	A,@R1
48	1	ORL	A,R0
49	1	ORL	A,R1
4A	1	ORL	A,R2
4B	1	ORL	A,R3
4C	1	ORL	A,R4
4D	1	ORL	A,R5
4E	1	ORL	A,R6
4F	1	ORL	A,R7
50	2	JNC	code addr
51	2	ACALL	code addr
52	2	ANL	data addr,A
53	3	ANL	data addr,#data
54	2	ANL	A,#data
55	2	ANL	A,data addr
56	1	ANL	A,@R0
57	1	ANL	A,@R1
58	1	ANL	A,R0
59	1	ANL	A,R1
5A	1	ANL	A,R2
5B	1	ANL	A,R3
5C	1	ANL	A,R4
5D	1	ANL	A,R5
5E	1	ANL	A,R6
5F	1	ANL	A,R7
60	2	JZ	code addr
61	2	AJMP	code addr
62	2	XRL	data addr A
63	3	XRL	data addr,#data
64	2	XRL	A,#data
65	2	XRL	A,data addr

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. (Cont.)

Hex Code	Number of Bytes	Mnemonic	Operands
66	1	XRL	A,@R0
67	1	XRL	A,@R1
68	1	XRL	A,R0
69	1	XRL	A,R1
6A	1	XRL	A,R2
6B	1	XRL	A,R3
6C	1	XRL	A,R4
6D	1	XRL	A,R5
6E	1	XRL	A,R6
6F	1	XRL	A,R7
70	2	JNZ	code addr
71	2	ACALL	code addr
72	2	ORL	C,bit addr
73	1	JMP	@A+DPTR
74	2	MOV	A,#data
75	3	MOV	data addr,#data
76	2	MOV	@R0,#data
77	2	MOV	@R1,#data
78	2	MOV	R0,#data
79	2	MOV	R1,#data
7A	2	MOV	R2,#data
7B	2	MOV	R3,#data
7C	2	MOV	R4,#data
7D	2	MOV	R5,#data
7E	2	MOV	R6,#data
7F	2	MOV	R7,#data
80	2	SJMP	code addr
81	2	AJMP	code addr
82	2	ANL	C,bit addr
83	1	MOVC	A,@A+PC
84	1	DIV	AB
85	3	MOV	data addr,data addr
86	2	MOV	data addr,@R0
87	2	MOV	data addr,@R1
88	2	MOV	data addr,R0
89	2	MOV	data addr,R1
8A	2	MOV	data addr,R2
8B	2	MOV	data addr,R3
8C	2	MOV	data addr,R4
8D	2	MOV	data addr,R5
8E	2	MOV	data addr,R6
8F	2	MOV	data addr,R7
90	3	MOV	DPTR,#data
91	2	ACALL	code addr
92	2	MOV	bit addr,C
93	1	MOVC	A,@A+DPTR
94	2	SUBB	A,#data
95	2	SUBB	A,data addr
96	1	SUBB	A,@R0
97	1	SUBB	A,@R1
98	1	SUBB	A,R0

Hex Code	Number of Bytes	Mnemonic	Operands
99	1	SUBB	A,R1
9A	1	SUBB	A,R2
9B	1	SUBB	A,R3
9C	1	SUBB	A,R4
9D	1	SUBB	A,R5
9E	1	SUBB	A,R6
9F	1	SUBB	A,R7
A0	2	ORL	C,bit addr
A1	2	AJMP	code addr
A2	2	MOV	C,bit addr
A3	1	INC	DPTR
A4	1	MUL	AB
A5	-	reserved	
A6	2	MOV	@R0,data addr
A7	2	MOV	@R1,data addr
A8	2	MOV	R0,data addr
A9	2	MOV	R1,data addr
AA	2	MOV	R2,data addr
AB	2	MOV	R3,data addr
AC	2	MOV	R4,data addr
AD	2	MOV	R5,data addr
AE	2	MOV	R6,data addr
AF	2	MOV	R7,data addr
B0	2	ANL	C,bit addr
B1	2	ACALL	code addr
B2	2	CPL	bit addr
B3	1	CPL	C
B4	3	CJNE	A,#data,code addr
B5	3	CJNE	A,data addr,code addr
B6	3	CJNE	@R0,#data,code addr
B7	3	CJNE	@R1,#data,code addr
B8	3	CJNE	R0,#data,code addr
B9	3	CJNE	R1,#data,code addr
BA	3	CJNE	R2,#data,code addr
BB	3	CJNE	R3,#data,code addr
BC	3	CJNE	R4,#data,code addr
BD	3	CJNE	R5,#data,code addr
BE	3	CJNE	R6,#data,code addr
BF	3	CJNE	R7,#data,code addr
C0	2	PUSH	data addr
C1	2	AJMP	code addr
C2	2	CLR	bit addr
C3	1	CLR	C
C4	1	SWAP	A
C5	2	XCH	A,data addr
C6	1	XCH	A,@R0
C7	1	XCH	A,@R1
C8	1	XCH	A,R0
C9	1	XCH	A,R1
CA	1	XCH	A,R2
CB	1	XCH	A,R3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. (Cont.)

Hex Code	Number of Bytes	Mnemonic	Operands
CC	1	XCH	A,R4
CD	1	XCH	A,R5
CE	1	XCH	A,R6
CF	1	XCH	A,R7
D0	2	POP	data addr
D1	2	ACALL	code addr
D2	2	SETB	bit addr
D3	1	SETB	C
D4	1	DA	A
D5	3	DJNZ	data addr,code addr
D6	1	XCHD	A,@R0
D7	1	XCHD	A,@R1
D8	2	DJNZ	R0,code addr
D9	2	DJNZ	R1,code addr
DA	2	DJNZ	R2,code addr
DB	2	DJNZ	R3,code addr
DC	2	DJNZ	R4,code addr
DD	2	DJNZ	R5,code addr
DE	2	DJNZ	R6,code addr
DF	2	DJNZ	R7,code addr
E0	1	MOVX	A,@DPTR
E1	2	AJMP	code addr
E2	1	MOVX	A,@R0
E3	1	MOVX	A,@R1
E4	1	CLR	A
E5	2	MOV	A,data addr
E6	1	MOV	A,@R0
E7	1	MOV	A,@R1
E8	1	MOV	A,R0
E9	1	MOV	A,R1
EA	1	MOV	A,R2
EB	1	MOV	A,R3
EC	1	MOV	A,R4
ED	1	MOV	A,R5
EE	1	MOV	A,R6
EF	1	MOV	A,R7
F0	1	MOVX	@DPTR,A
F1	2	ACALL	code addr
F2	1	MOVX	@R0,A
F3	1	MOVX	@R1,A
F4	1	CPL	A
F5	2	MOV	data addr,A
F6	1	MOV	@R0,A
F7	1	MOV	@R1,A
F8	1	MOV	R0,A
F9	1	MOV	R1,A
FA	1	MOV	R2,A
FB	1	MOV	R3,A
FC	1	MOV	R4,A
FD	1	MOV	R5,A
FE	1	MOV	R6,A
FF	1	MOV	R7,A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้