เครื่องชุมสายโทรศัพท์สาขากึ่งอัตโนมัติ

PRIVATE SEMIAUTOMATIC BRANCH EXCHANGE

โดย

นายจำนวน	นิ่มละออ	34131203
นายฉัตรชัย	กลิ่นแย้ม	34131204
นายสัญชัย	วัฒนกุล	34131234
นายสันติภาพ	ไข่ทองดี	34131235

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร

ปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRIVATE SEMIAUTOMATIC BRANCH EXCHANGE

BY

MR.CHAMNUAN NIMLA-O

MR.CHATCHAI KLINYAM

MR.SANCHAI WATTANAKUL

MR.SANTIPHAP KHAITONGDEE

PROJECT REPORT SUBMITTED IN PARTIAL FULFILLMENT OF THE

REQUIREMENTS FOR THE BACHELOR'S DEGREE

DEPARTMENT OF INDUSTRIAL TECHNOLOGY

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

1993

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ **เครื่องชุมสายโทรศัพท์สาขากึ่งอัตโนมัติ**

ชื่อนักศึกษา

นาย จำนวน	นิ่มละออ	34131203
นาย ฉัตรชัย	กลิ่นแย้ม	34131204
นาย สัญชัย	วัฒนกุล	34131234
นาย สันติภาพ	ไข่ทองดี	34131235

อาจารย์ที่ปรึกษา

อาจารย์ ไพศาล สิทธิโยภาสสกุล

อาจารย์ ชวลิต เบญจางคประเสริฐ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2536

ภาคเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของ การศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ

(.....)

..... กรรมการ

(.....)

..... กรรมการ

(.....)

..... กรรมการ

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Report Private Semiautometic Branch Exchange

By Mr. Chamnuan Nimla-o 34131203

Mr. Chatchai Klinyam 34131204

Mr. Sanchai Wattanakul 34131234

Mr. santiphap khaitongdee 34131235

Department Industrial Technology

Project Report Advisor Mr. Paisan Sithiyopasakul

Mr. Choavalit Benjangkaprasert

Accepted by the Faculty of Engineering, King mongkut's Institute of Technology, Ladgrabang in partial fulfillment of the requirements for the bachelor's degree

Project Report Committee

..... Member

( )

..... Member

( )

..... Member

( )

..... Member

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ **เครื่องชุมสายโทรศัพท์สาขากึ่งอัตโนมัติ**

ชื่อนักศึกษา

นาย จำนวน	นิ่มละออ	34131203
นาย ฉัตรชัย	กลิ่นแย้ม	34131204
นาย สัญชัย	วัฒนกุล	34131234
นาย สันติภาพ	ไข่ทองดี	34131235

อาจารย์ที่ปรึกษา อาจารย์ ไพศาล สิทธิโยภาสสกุล

อาจารย์ ชวลิต เบญจางคประเสริฐ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2536

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เสนอการนำระบบไมโครโปรเซสเซอร์ไปประยุกต์ใช้กับระบบชุมสายแบบที่ต้องใช้เจ้าหน้าที่ควบคุมการติดต่อ เพื่อช่วยลดต้นทุนในการผลิตชุมสายประเภทนี้ โดยตัวชุมสายจะมีขนาดเล็กมากเป็นแบบตั้งโต๊ะ ซึ่งได้ดัดแปลงมาจากระบบชุมสายที่ใช้ติดต่อกัน ภายในโรงแรม,หอพัก หรือแมนชั่น ที่ใช้สายเสียบเป็นตัวตัดต่อ โดยมีเจ้าหน้าที่คอยควบคุม ด้วยแนวความคิดที่จะลดต้นทุนในการผลิตที่ใช้แบบสายเสียบที่มีราคาแพงมาก กรอปกับไม่สามารถที่จะผลิตได้เองภายในประเทศ จึงทำให้เกิดแนวความคิดที่จะนำเอาระบบไมโครโปรเซสเซอร์ มาควบคุมการทำงานดังกล่าวแทน ซึ่งหวังว่าจะช่วยพัฒนาระบบชุมสายประเภทนี้ให้ดียิ่งขึ้นต่อไป.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Report Private Semiautometic Branch Exchange

Name Mr. Chamnuan Nimla-o

Mr. Chatchai Klinyam

Mr. Sanchai Wattanakul

Mr. santiphap khaitongdee

Project Report Advisor Mr. Paisan Sithiyopasakul

Mr. Choavalit Benjangkaprasert

Department Industrial Technology

Academic year 1993

ABSTRACT

This thesis will demonstrates the many application of microprocessor to improve old mamual swithing technology which requires operators to operate. It will decrease the cost of the implementation of this switching which the switching has the small size that can be set on the table. It has been developed from the switching that uses daily in the hotels,apartments and mansions.The old switching uses the Jack plug-in which is so expensive and need the man to operate. With the thought to reduce the production cost by eliminate the Jack plug-in that can't be produce in the country,so I came up with the idea to use the microprocessor to control the same switching which will improve the performance of the switching.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานเรื่อง เครื่องชุมสายโทรศัพท์กึ่งอัตโนมัติ เป็นโครงงานที่นำเสนอต่อภาควิชาเทคนิคอุตสาหกรรม สาขาวิชาอีเลคทรอนิคส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ซึ่งเป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต โครงงานนี้สามารถสำเร็จลุล่วงได้ เนื่องจากคณะผู้จัดทำได้รับความช่วยเหลือและข้อแนะนำจากอาจารย์ไพศาล สิทธิโยภาสกุล และอาจารย์ชวลิต เบญจางคประเสริฐ อาจารย์ที่ปรึกษาโครงงาน คณะผู้จัดทำขอขอบคุณบริษัท ETT ที่แนะนำ EDITOR ให้ อีกทั้งคุณพยัญ บุญญสุวรรณ และคุณบรรจบ วัฒนสุนทร ที่ให้ความเอื้อเฟื้อสถานที่ ช่วยเสนอแนวความคิดจนโครงงานนี้สำเร็จตามวัตถุประสงค์ที่ต้องการ

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ		I
กิตติกรรมประกาศ		II
บทที่ 1	บทนำ	2
1.1	จุดมุ่งหมาย	2
1.2	SCHEDULE PLAN PROJECT	4
บทที่ 2	ทฤษฎีระบบไมโครโปรเซสเซอร์	5
2.1	ทฤษฎี	5
2.2	โครงสร้างของระบบไมโครโปรเซสเซอร์	5
บทที่ 3	BLOCK DIAGRAM และ FLOW CHART	10
3.1	BLOCK DIAGRAM	11
3.2	หลักการทำงานของระบบและ FLOW CHART	13
บทที่ 4	การทำงานของวงจร และ CIRCUIT	19
4.1	วงจร LINE TRUNK CIRCUIT	19
4.2	วงจร MAIN TRUNK UNIT	22
	4.2.1 OPERATOR AND DIMF CIRCUIT	22
	4.2.2 RINGING SIGNAL CIRCUIT	24
	4.2.3 RECIVE RING AND SONG SIGNAL CIRCUIT	25
	4.2.4 BUSY AND RING BACK CIRCUIT	26
4.3	วงจร CONTROL UNIT	27
4.4	วงจร SUB TRUNK UNIT	28
4.5	CIRCUIT	30
บทที่ 5	สรุปและวิจารณ์	39
บรรณานุกรม		40
ภาคผนวก		41
ก.	การใช้เครื่อง	
ข.	โปรแกรมการทำงานของระบบ	
ค.	DATA ของอุปกรณ์	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ปัจจุบันระบบโทรศัพท์ ได้พัฒนาไปมากไม่ว่าจะเป็น โทรศัพท์ชนิดไร้สายแบบพกพา หรือชนิดติดกับรถยนต์ แต่มีอีกระบบหนึ่งถึงแม้ว่าวิวัฒนาการของโทรศัพท์จะก้าวไปไกล แต่ว่ายังมีการใช้อยู่เป็นจำนวนมาก และยิ่งในปัจจุบันระบบคู่สายขององค์การโทรศัพท์ ไม่อาจตอบสนองความต้องการของผู้ใช้บริการได้ จึงทำให้ระบบนี้นิยมแพร่หลายมากขึ้น นั้นคือ

1. ระบบ ชุมสาย MANUALซึ่งจะมี OPERATOR คอยต่อคู่สายระหว่างภายในกับภายใน หรือภายนอกกับภายใน ปกติโดยทั่วไปนิยมกันเป็นชนิดแบบ JACKเสียบ ซึ่งสามารถขยายจำนวนคู่สายภายในและคู่สายภายนอกได้ โดยไม่มีที่สิ้นสุดแม้จะเพิ่มในภายหลังจากการติดตั้งก็ตาม ซึ่งระบบนี้ตามโรงแรม แมนชั่น คอนโด ฯลฯ หรือบ้างหมู่บ้านยังนิยมใช้กันอยู่ แต่ราคาสูงมาก และต้องสั่งอย่างน้อย 20 คู่สายขึ้นไป

2. ระบบชุมสาย AUTOMATIC แบบPABX สามารถตอบสนองได้เฉพาะภายในสำนักงาน ซึ่งจำนวนคู่สายภายในและภายนอก มีจำกัดไม่อาจขยายได้อีกในภายหลัง

จุดมุ่งหมายของโครงการนี้เพื่อนำจุดดีเด่นของระบบ PABX มาใช้โดยยังทำงานได้เหมือนกับระบบ MANUAL แต่จะไม่ใช้ JACK เสียบ เพราะมีราคาสูงมาก อีกทั้งเป็นสินค้าที่มี บริษัทสั่งเข้ามาจากญี่ปุ่นเพียง 2 รายเท่านั้น จึงทำให้ระบบ MANUAL ในปัจจุบันมีราคาสูง

1.1 จุดมุ่งหมาย

- ต้องการพัฒนาระบบ MANUAL
- ปัจจุบันราคาที่ดินใน กทม. เขตปริมณฑล และตัวเมืองใหญ่มีราคาสูงขึ้นมาก ทำให้มีการก่อสร้างอาคารแบบ อพาร์ทเมนต์ แมนชั่น ฯลฯ ซึ่งต้องใช้โทรศัพท์จำนวนมาก แต่คู่สายโทรศัพท์ไม่สามารถตอบสนองได้
- นำอุปกรณ์ที่มีใช้ในท้องตลาดมาพัฒนา
- เพื่อพัฒนาระบบชุมสายชนิดนี้ให้ทัดเทียมกับต่างประเทศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงการนี้แบ่งออกเป็น 2 ส่วน ส่วนที่ 1 เรียกว่า HARDWARE และส่วนที่ 2 เรียกว่า SOFTWARE

HARDWARE ประกอบด้วย

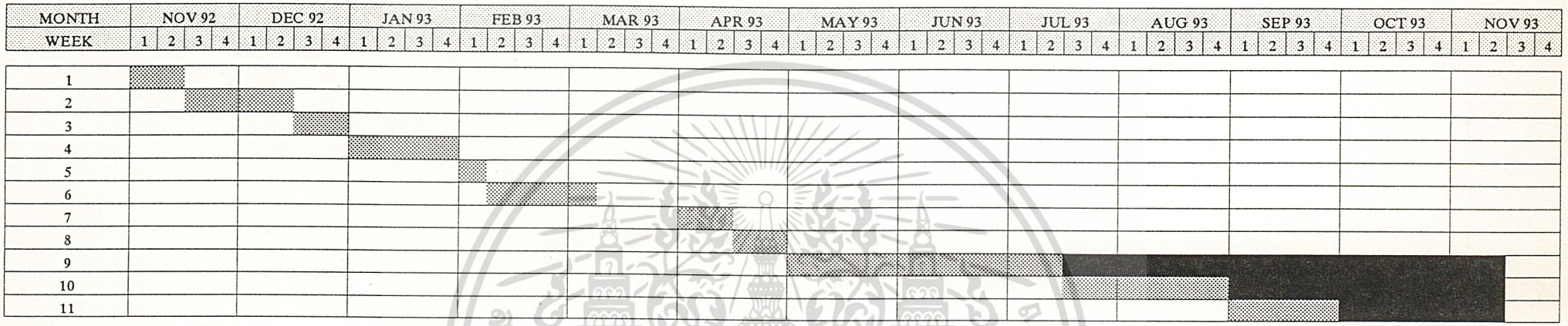
- LINE TRUNK UNITรับการติดต่อจากภายนอกและสามารถขยายได้ไม่จำกัดจำนวน
- MAIN TRUNK UNIT ประกอบด้วย OPR, DTMF TO BCD, RINGING, HOLD MUSIC, RECIVE RING และสัญญาณโทรศัพท์
- SUB TRUNK UNIT ทำการติดต่อภายในกับภายใน,ภายในกับภายนอก และภายในกับ OPR
- CONTROL UNIT ควบคุมการทำงานของวงจรโดย CPU

SOFTWARE เป็นโปรแกรมควบคุมการทำงานของระบบทั้งหมด

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHEDULE PLAN FOR PRIVATE SEMIAUTOMATIC BRANCH EXCHANGE



REMARK

1) ศึกษาหลักการทำงานของระบบนำเสนออาจารย์ที่ปรึกษา
2) ทดลองวงจรส่วน LINE TRUNK CIRCUIT พร้อมประกอบลงชุดทดลอง
3) ทดลองวงจรส่วน OPR. UNIT พร้อมประกอบลงชุดทดลอง
4) ทดลองวงจรส่วน MIX UNIT พร้อมประกอบลงชุดทดลอง
5) ทดลองวงจรส่วน DTMF UNIT พร้อมประกอบลงชุดทดลอง
6) จัดทำหนังสือโครงงาน PROJECT 1
7) ทดลองวงจรส่วน ANALOG SWITCH UNIT พร้อมประกอบลงชุดทดลอง
8) ทดลองวงจรส่วน DISPLAY UNIT พร้อมประกอบลงชุดทดลอง
9) ทดลองวงจรส่วน CONTROL UNIT (SOFT WARE)
10) แก้ไขและพัฒนาวงจรส่วนที่มีปัญหา
11) จัดทำหนังสือโครงงาน PROJECT 2

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทที่ 2

ทฤษฎีระบบไมโครโปรเซสเซอร์

(MICROPROCESSOR SYSTEM)

2.1 ทฤษฎี

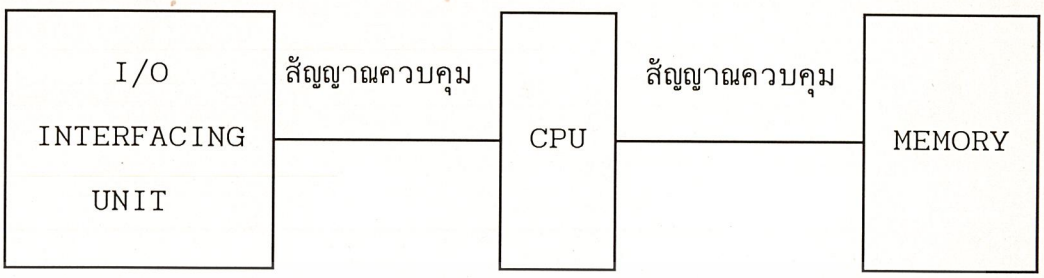
ตามที่เราทราบกันแล้วว่าคอมพิวเตอร์ (COMPUTER) เป็นสมองกลที่สามารถคำนวณแยกแยะข้อมูล และตัดสินปัญหาต่าง ๆ ตามที่เรากำหนดได้รวดเร็ว และถูกต้องมากกว่าการที่ให้มนุษย์คิด เนื่องจาก คอมพิวเตอร์สามารถที่จะปฏิบัติคำสั่ง ไม่ว่าจะเป็นทาง คณิตศาสตร์ (ARITHEMATICS) ลอจิก (LOGIC) การเก็บข้อมูล และอื่น ๆ ภายในเวลา 1 วินาที ได้เป็นจำนวนแสน ๆ คำสั่ง จากงานชิ้นเดียวกัน ถ้าให้มนุษย์คิดจะต้องใช้เวลาเป็นอาทิตย์ หรือเป็นเดือนจึงจะได้คำตอบ จากความสามารถสูงนี้เองทำให้คอม-พิวเตอร์จึงเข้ามามีบทบาทในความเจริญก้าวหน้าใหม่ ไม่ว่าจะเป็น ทางด้านวิทยาศาสตร์, ธุรกิจ และอุตสาหกรรม เป็นต้น

ในปัจจุบันเทคโนโลยีของการผลิตวงจรรวมขนาดใหญ่ (LARGE SCALE INTEGRATION หรือ LSI) เจริญก้าวหน้าไปอย่างมากมาย ทำให้สามารถบรรจุวงจรทางอิเลคทรอนิคส์หลาย ๆ วงจรลงในแผ่นวงจรรวมแผ่นเดียว ซึ่งเรียกว่าชิพ (CHIP) ได้ ดังนั้นจึงสามารถบรรจุหน่วยต่าง ๆ ของคอมพิวเตอร์ คือหน่วยควบคุม (CONTROL UNIT) หน่วยคำนวณ (ARITHEMATICS AND LOGIC UNIT) หน่วยความจำ (MEMORY) บางส่วนและวงจรควบคุมการส่งและรับสัญญาณภายนอกบางส่วนเข้าไว้ในชิพเพียงชิ้นเดียว เรียกว่าไมโครโปรเซสเซอร์ ซึ่งสามารถประมวลผลข้อมูลต่าง ๆ และควบคุมหน่วยอื่น ๆ ให้ทำงานไปด้วยกันได้

2.2 โครงสร้างของระบบไมโครโปรเซสเซอร์

โครงสร้างของ ระบบไมโครโปรเซสเซอร์ โดยทั่วไปสามารถเขียนเป็นบล็อคไดอะแกรม ดังรูปที่ 1 CPU เป็นหน่วยประมวลผลกลางทำหน้าที่คำนวณทาง คณิตศาสตร์ ลอจิก และแยกแยะข้อมูล มี MEMORY เป็นที่เก็บโปรแกรมหลัก (MONITOR PROGRAM) รวมทั้งข้อมูลและผลการคำนวณจาก CPU โดยมี I/O INTERFACING UNIT เป็นตัวรับส่งข้อมูลติดต่อกับภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



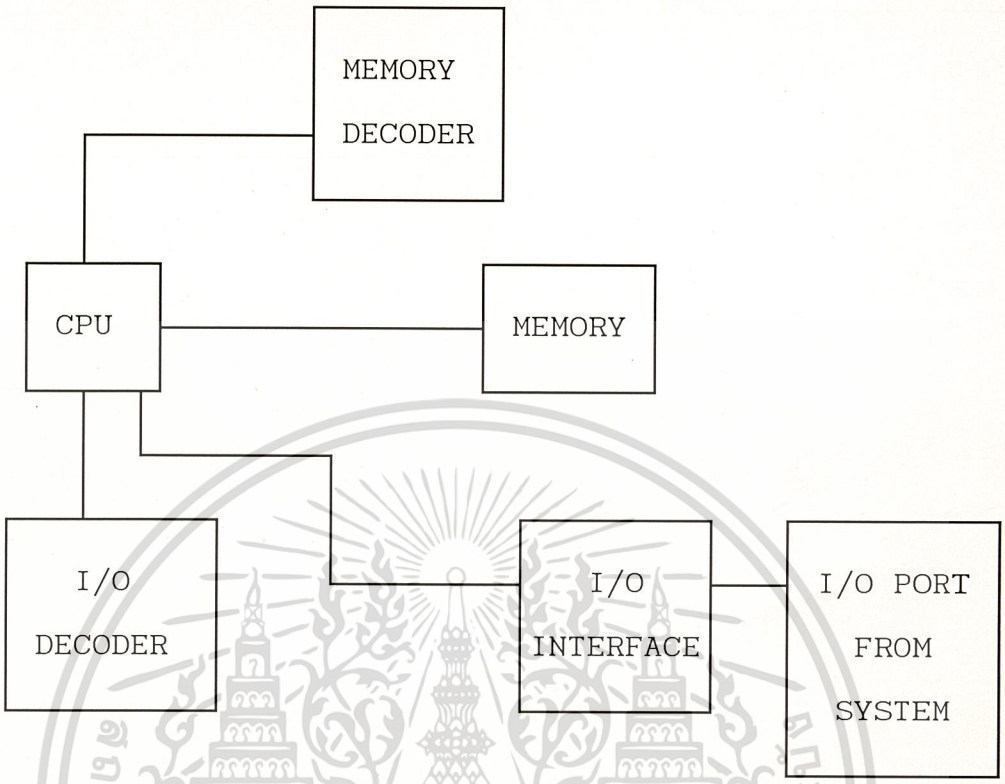
รูปที่ 1 แสดงโครงสร้างของระบบไมโครโปรเซสเซอร์

ลำพังแต่ตัว ไมโครโปรเซสเซอร์นั้น ไม่สามารถทำอะไรได้ ต้องอาศัยวงจรประกอบอื่น ๆ เช่น วงจรสร้างสัญญาณนาฬิกา (CLOCK) วงจรถอดระหัส (DECODER) เพื่อทำให้หน่วยประมวลผลกลาง (CENTRAL PROCESSING UNITหรือ CPU) ทำงานและติดต่อกับหน่วยควบคุมอื่น ๆ ได้

ระบบไมโครโปรเซสเซอร์ที่ออกแบบเพื่อควบคุมการทำงานของเครื่องชุมสายโทรศัพท์กึ่งอัตโนมัติ

การออกแบบระบบไมโครโปรเซสเซอร์ ขึ้นอยู่กับการใช้งานว่าจะเป็นไปในลักษณะรูปแบบใด เช่น จะนำมาใช้ควบคุมการทำงานทั้งหมดของเครื่องชุมสายโทรศัพท์กึ่งอัตโนมัติ จะมีบล็อคไดอะแกรม ดังในรูปที่ 2 จำเป็นที่จะต้องใช้หน่วยความจำที่มาก ซึ่งภายในตัว 80180 CPU มีไม่เพียงพอ จำเป็นต้องต่อหน่วยความจำเพิ่มเข้าไปอีกทำให้ต้องมีส่วนถอดรหัสหน่วยความจำ (MEMORY DECODER) ซีพียูต้องมีการรับข้อมูล (DATA) จากระบบชุมสายโทรศัพท์นำมาคำนวณและตัดสินใจตามข้อกำหนดของโปรแกรม แล้วส่งข้อมูลออกไปควบคุมการทำงานของเครื่องชุมสายโทรศัพท์ ระบบชุมสายโทรศัพท์เป็นระบบใหญ่ที่มีจุดที่ซีพียูจะต้องส่งและรับข้อมูล (I/O PORT) หลายจุดจำเป็นต้องมีส่วนถอดรหัสการรับส่งข้อมูลเข้าออก (I/O DECODER)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 MICROPROCESSOR BLOCK DIAGRAM FOR PRIVATE SEMIAUTOMATIC BRANCH EXCHANGE

<u>รายละเอียดของอุปกรณ์และวงจรที่ใช้ในระบบไมโครโปรเซสเซอร์</u>

วงจรของระบบไมโครโปรเซสเซอร์ที่ออกแบบขึ้นมีรายละเอียดแสดงในรูปวงจรซึ่งมี 80180CPU เป็นหน่วยประมวลผลกลางที่มีข้อมูลขนาด 8 บิท (D0-D7) ADDRESS BUS ขนาด 16 บิท (A0-A15) มีรีจิสเตอร์หลักขนาด 8 บิท ใช้งานอีก 8 รีจิสเตอร์ คือ A,F,B,C,D,E,H และ L มีรีจิสเตอร์สำรองขนาด 8 บิท ใช้งานอีก 8 รีจิสเตอร์ คือ A,F,B,C,D,E,H และ L มีรีจิสเตอร์ใช้งานเฉพาะขนาด 8 บิท 2 รีจิสเตอร์ คือ I และ R และมีรีจิสเตอร์ใช้งานเฉพาะขนาด 16 บิท อีกส่วนหนึ่งคือ รีจิสเตอร์ IX, IY SP และ PC และมีคำสั่งที่ใช้งานได้ถึง 158 คำสั่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง เผยแพร่ หรือแสวงหาประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ลบข้อความนี้ออก และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสร้างสัญญาณนาฬิกา

สัญญาณนาฬิกา เป็นสัญญาณที่สำคัญมากที่ประกอบเข้ากับซีพียู เพื่อให้ซีพียูทำงานได้ วงจรสร้างสัญญาณนาฬิกาที่ออกแบบไว้ เป็น ASTABLE MULTIVIBRATON ที่มีความถี่ 3..579 MHZ ได้จากวงจรออสซิลเลเตอร์ที่มี CRYSTAL เป็นตัวควบคุมความถี่ออสซิลที่ความถี่ 3.579545 MHZ

หน่วยความจำ (MEMORY)

หน่วยความจำที่ออกแบบไว้ในระบบ ไมโครโปรเซสเซอร์นี้ แบ่งเป็น 2 ชนิด คือ

- หน่วยความจำแบบอ่านอย่างเดียว (READ ONLY MEMORY หรือ ROM) เราจะเขียนข้อมูลไปในหน่วยความจำชนิดนี้เพียงครั้งเดียว และข้อมูลนั้นจะอยู่ตลอดไป แม้ไม่มีไฟเลี้ยงก็ตามเวลาใช้งาน CPU จะอ่านข้อมูลเพียงอย่างเดียวนิยมใช้เพื่อโปรแกรมหลัก (MONITOR PROGRAM) หน่วยความจำนี้จะปฏิบัติคำสั่ง (EXCEUTE) ตามลำดับขั้นตอนของโปรแกรม จะเห็นได้ว่าขีดความสามารถเครื่องชุมสายโทรศัพท์ขึ้นอยู่กับโปรแกรม

- หน่วยความจำแบบแรนดอม (RANDOM ACCESS MEMORY หรือ RAM) เป็นหน่วยความจำชนิดที่เก็บข้อมูลได้ และขณะเดียวกันซีพียูสามารถจะเปลี่ยนแปลงข้อมูลในหน่วยความจำนั้นได้ หรือกล่าวอีกนัยหนึ่งคือ เป็นหน่วยความจำที่อ่านออกมาหรือเขียนเข้าไปได้ (READ WRITE MEMORY) ตลอดเวลาที่มีไฟเลี้ยงอยู่ ถ้าเราปิดเครื่องข้อมูลเหล่านั้นจะหายไป แต่ในการออกแบบครั้งนี้ได้มีส่วนของแบตเตอรี่ (BATTERY) เพิ่มเติมลงไป ทำให้หน่วยความจำนี้ข้อมูลจะคงอยู่ตลอดเวลาเพราะมีไฟเลี้ยงจากแบตเตอรี่หน่วยความจำนี้จะใช้เก็บข้อมูลชั่วคราว บางอย่างในการทำงานของโปรแกรม,ใช้เก็บสถานะต่าง ๆ ทั้งหมดของเครื่องชุมสายโทรศัพท์กึ่งอัตโนมัติ เช่น สถานะของสายนอก, โทรศัพท์ภายใน, ช่องสัญญาณติดต่อ, ส่วนแสดงผลและคีย์-บอร์ด เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากระบบไมโครโปรเซสเซอร์ที่มีหน่วยความจำ 2 อย่างจำเป็นต้องมีวงจรแยกตำแหน่งของหน่วยความจำทั้ง 2 ชนิด ดังนี้

- ตำแหน่ง (ADDRESS) 0000H ถึง IFFFH เป็นตำแหน่งที่ซีพียูใช้ติดต่อกับ EPROM เบอร์ 2764 ซึ่งจะใช้เป็น MONITER PROGRAM จากรูปวงจร JPI จะต้องต่อกับ Vcc จึงจะเป็น 2764 หรือจะใช้ EPROM เบอร์ 2732 ก็ได้แต่ ADDRESS จะเป็น 0000H ถึง OFFFH เพราะว่า EPROM เบอร์ 2732 ซึ่งมีขา 24 ขาจะมีขาสัญญาณเหมือนกับ EPROM เบอร์ 2764 ซึ่งมีขา 28 ขา ตั้งแต่ขาสัญญาณหมายเลข 3 ถึงขาสัญญาณหมายเลข 26 เนื่องจากระบบที่เราออกแบบไว้ใช้ EPROM เบอร์ 2764 ดังนั้นเราจึงสามารถนำมา EPROM เบอร์ 2764 มาเสียบใน SOCKET ได้

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

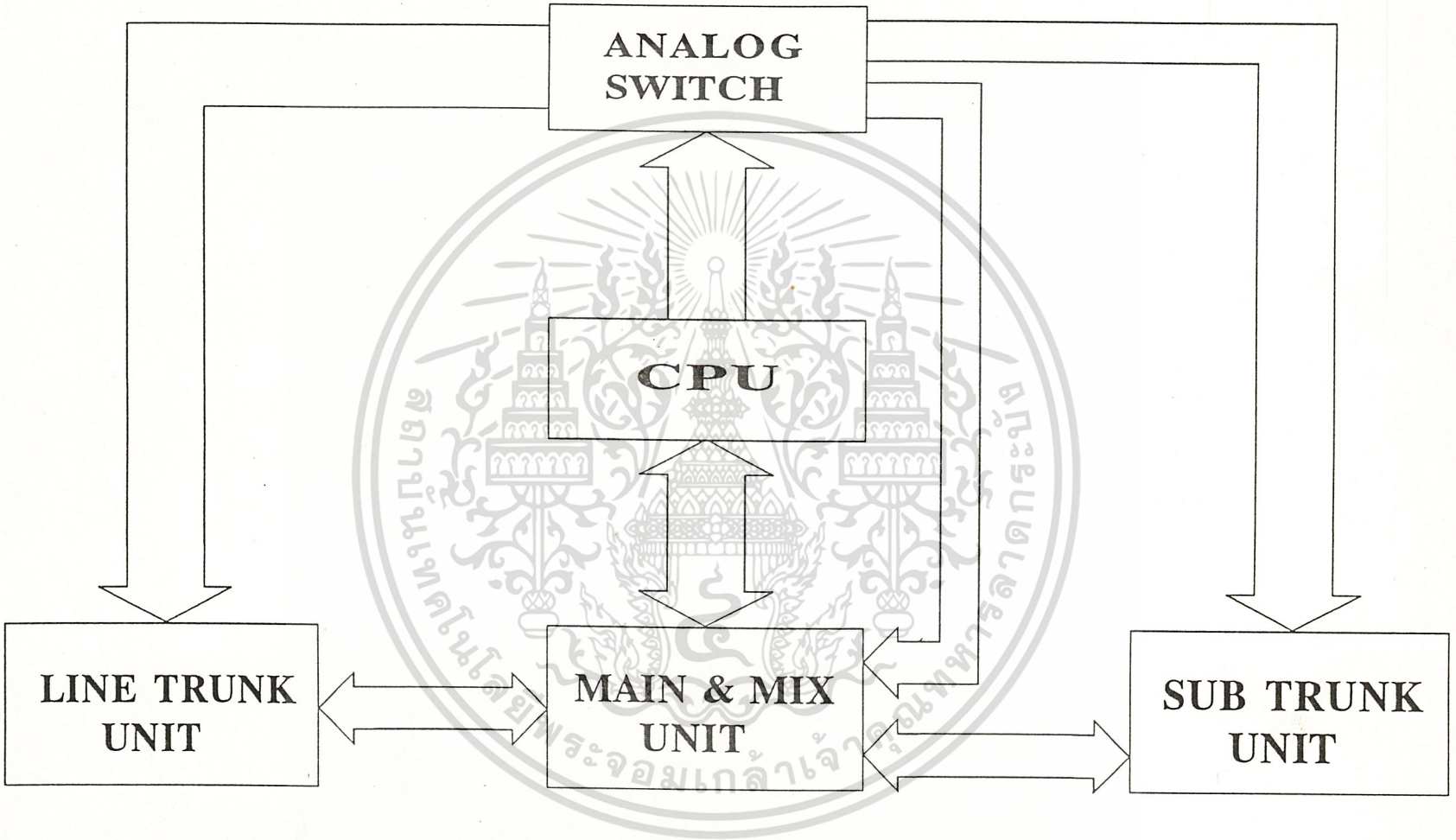
033192

บทที่ 3

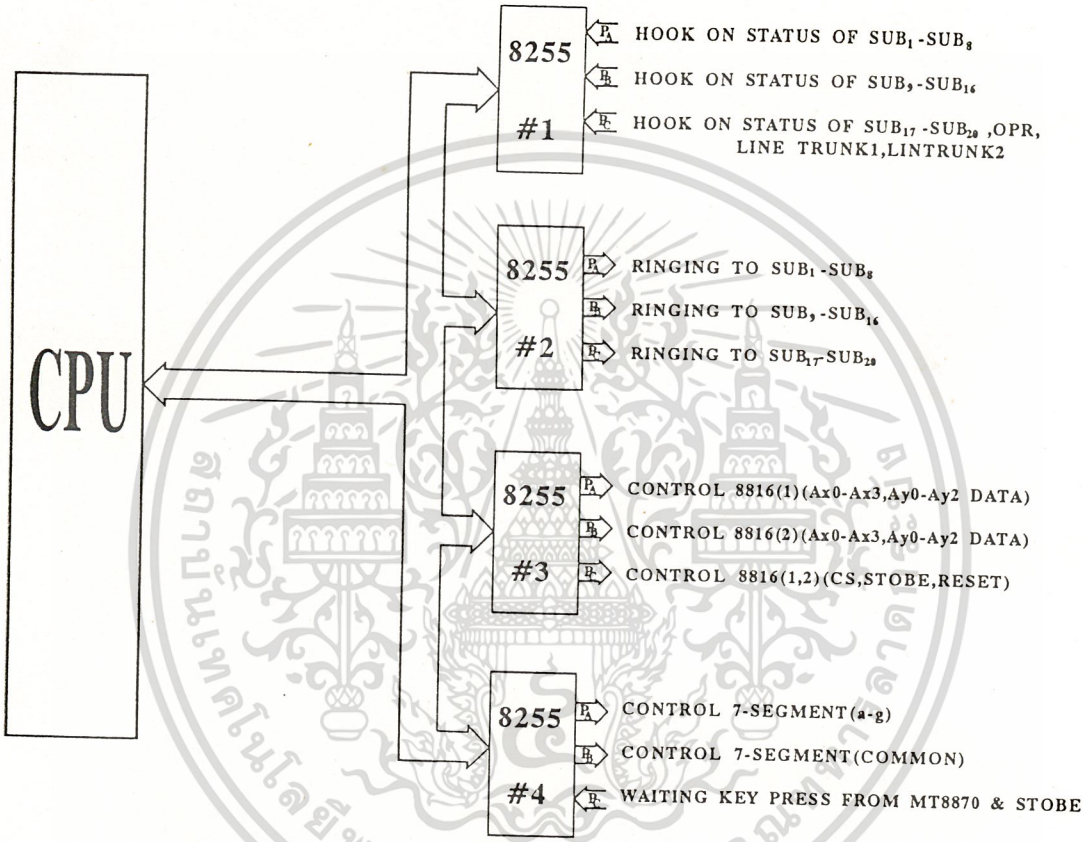
BLOCK DIAGRAM และ FLOW CHART

3.1 BLOCK DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



SYSTEM BLOCK DIAGRAM



CPU OPERATING CONTROL BLOCK DIAGRAM

3.2 หลักการทำงานของระบบ

TOT - SUB โดยผ่าน OPR

- เมื่อมีสัญญาณ RINGING จากภายนอกเข้ามา จะผ่านวงจร DETECT ที่จุด P1และPn ของวงจร MAIN TRUNK UNIT และนำสัญญาณ RINGING นั้นมาผ่าน DIODE เพื่อขับ RELAY Ri CONTACT Ri/1 จะไป TRIG ให้วงจร F/F ใน LINE TRUNK UNIT ทำงานและแสดงผลด้วย LED1
- OPR กด SW-r เพื่อรับการติดต่อจากภายนอก ทำให้ RELAY (Rr) ทำงาน (ในวงจร LINE TRUNK UNIT) CONTACT ของ RELAY จะทำงานทำให้สามารถติดต่อกับ OPR ได้ Rr/1 และ Rr/2 จะไปต่อวงจรภายนอกกับวงจร OPR ที่ (Eh,5h)
- เมื่อ OPR ทราบว่า TOT ต้องการติดต่อกับ SUB ห้องใดแล้ว(สมมุติห้อง 1)
- OPR กด SW-2 HOLD เพื่อให้ TOT ได้รับวงจร MUSIC ซึ่งทำให้ RELAY (H) ทำงานโดย H/1 และ H/2 ไปต่อที่จุด N ของ LINE TRUNK UNIT
- เมื่อจะเรียก SUB ภายในให้กด SW-SUB ที่วงจร MAIN UNIT จะทำให้ CONTACT OPR2/1 และ OPR2/2 ต่อกับวงจร DTMF การที่ RELAY(OPR2) ทำงาน ทำให้มี VOLTAGE (+48V)ต่อให้กับวงจร DTMF ซึ่งการที่ต้องมีไฟ +48V เพราะวงจรโทรศัพท์จะต้องมีไฟเลี้ยงโทรศัพท์ด้วย ซึ่งเป็นมาตรฐานของวงจรโทรศัพท์ทั่วไป
- เมื่อกดหมายเลขห้อง (ต้องกด 3 หมายเลข) ซึ่งจะออกเป็นความถี่จะถูกเก็บข้อมูลและถูกแสดงออกโดย CPU ซึ่งเมื่อกดครบ 3 หมายเลขแล้ว CPU จะไป CONTROL ให้แสดงการกดหมายเลขโดย 7-SEGMENT และ CPU จะ CONTROL การต่อกับ SUB ที่เรียกโดยการจ่าย RINGING ให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เมื่อ SUB ยกหู จะแสดงผลของการยกหู ให้ CPU ทราบ เนื่องจากต่อกับวงจรแสดงสถานะ ทำให้ CPU รับรู้การยกหูของ SUB และจะไป CONTROL ให้วงจร RINGING หยุด และต่อวงจร SUB กับ OPR เพื่อติดต่อกัน
- เมื่อ OPR ได้ติดต่อกับ SUB ที่ต้องการแล้ว ก็ทำการต่อ TOT กับ SUB ได้

<u>SUB - TOT หรือ SUB - SUB โดยผ่าน OPR</u>

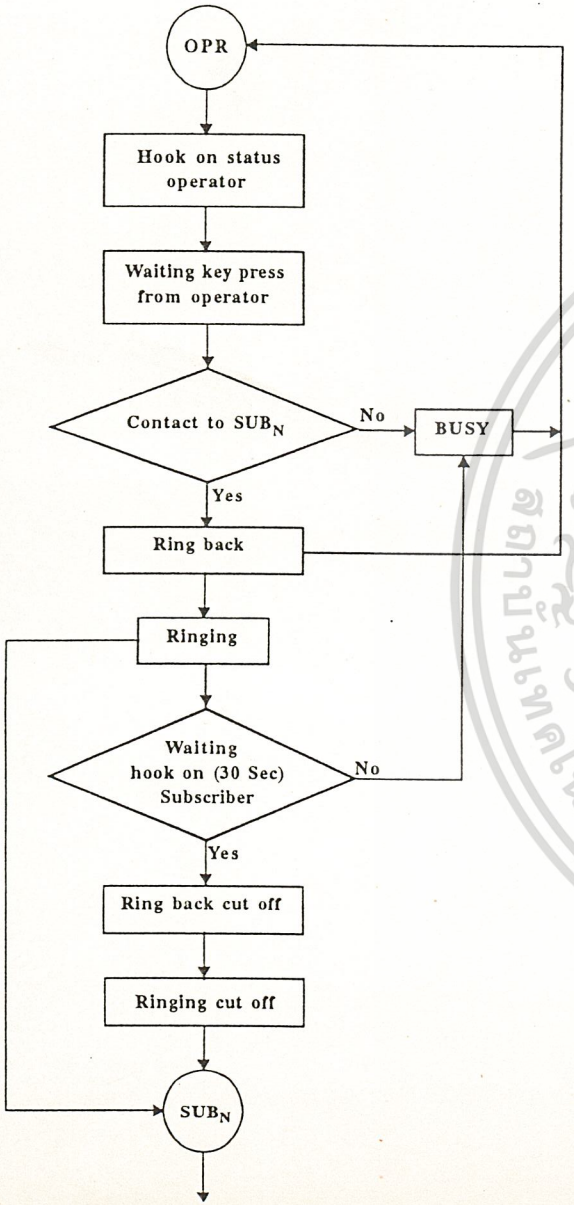
- เมื่อ SUB1 ยกหู วงจรสถานะ จะไปแสดงผลให้ CPU รับรู้ และจะ CONTROL ให้ OPR ได้รับสัญญาณ RINGING ขึ้นเพื่อจะได้รู้ว่า SUB ใดเรียกเข้ามา

- เมื่อ OPR กด SW รับการติดต่อแล้วจะทำให้สามารถติดต่อกับ SUB1ได้ จะเห็นว่าการติดต่อแบบ TOT - SUB และแบบ SUB1 - TOT จะมีการทำงานที่คล้ายกัน

- แต่ถ้า SUB1 ต้องการติดต่อกับ SUB2 OPR จะกดหมายเลขของ SUB2 และ CPU จะทำการต่อวงจร RING ไปยัง SUB2 และเมื่อ SUB2 ยกหู CPU จะทำการตัดวงจร RING และต่อวงจรส่วนที่ SUB1 ติดต่อ SUB2 กันได้

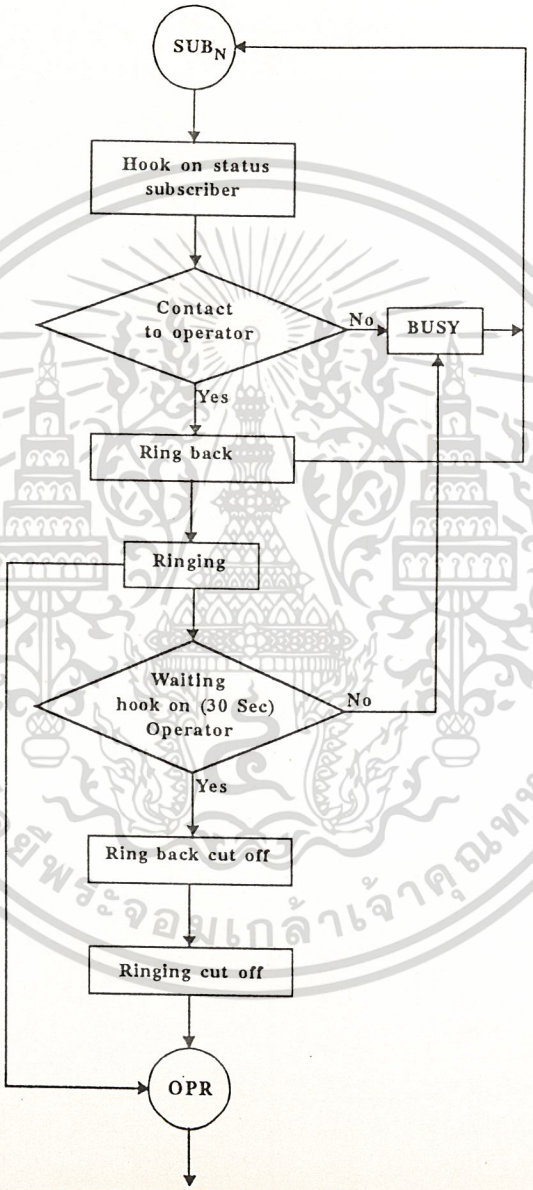
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operator to Subscriber Connection



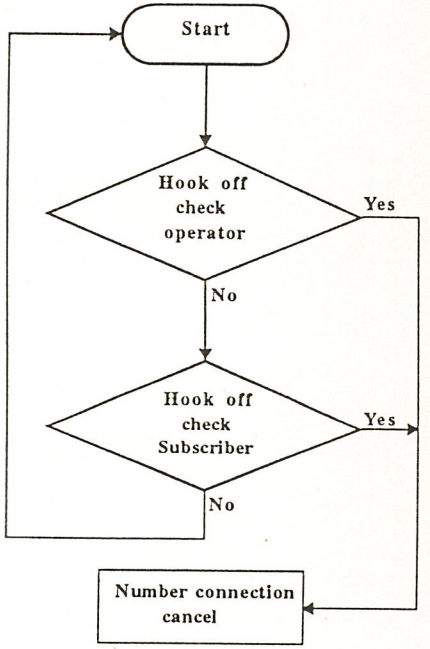
"A1 TYPE" HOOK OFF CHECK

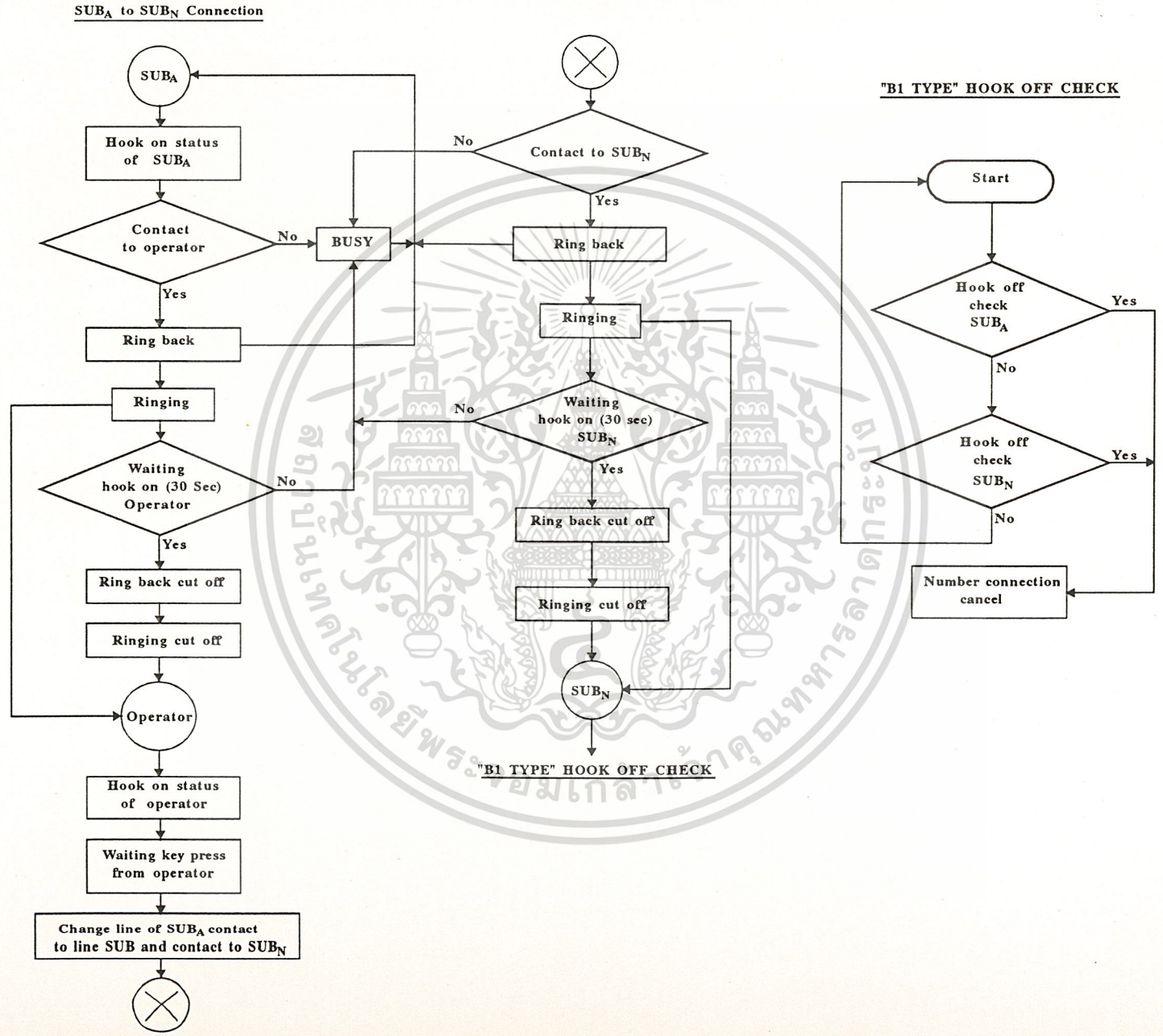
Subscriber to Operator Connection

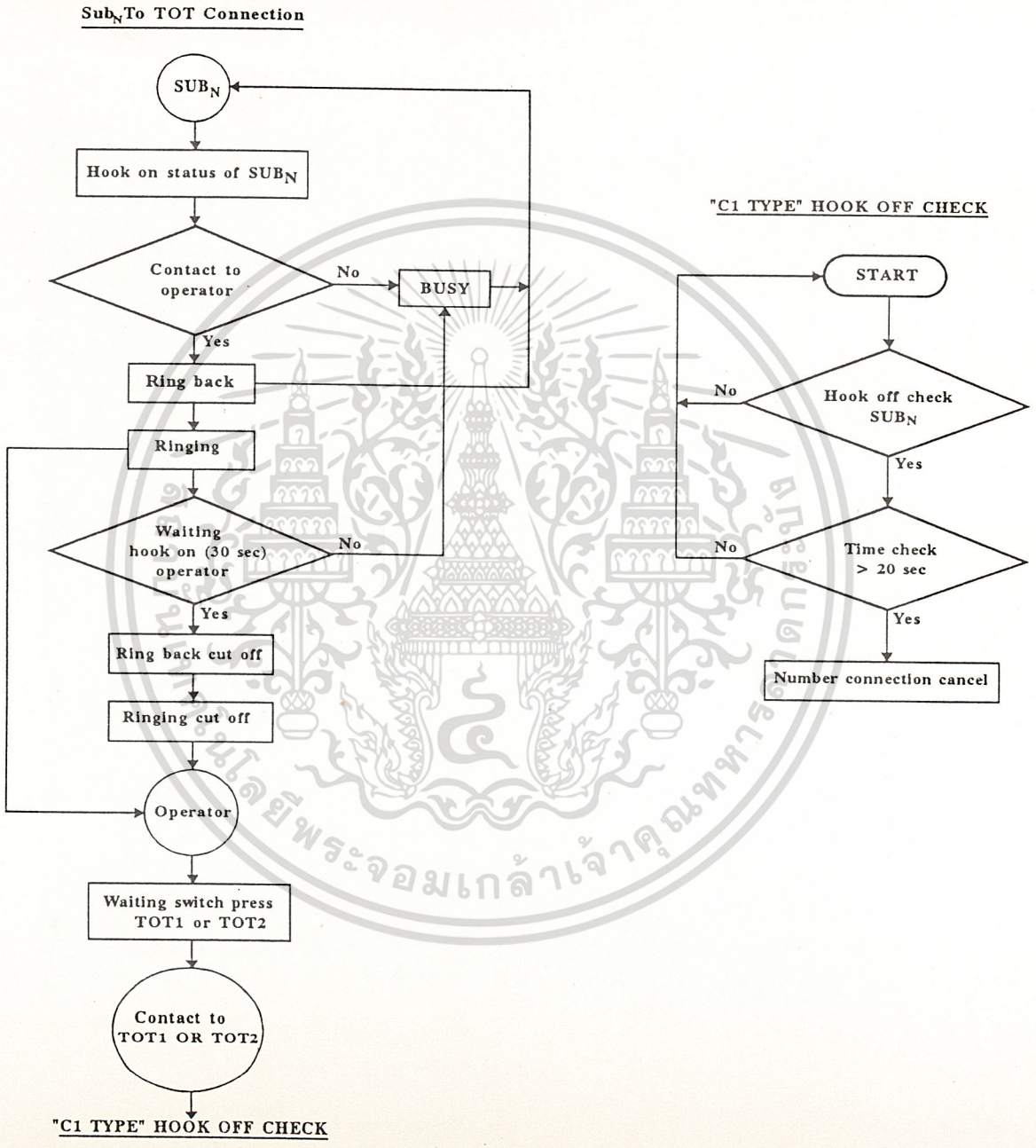


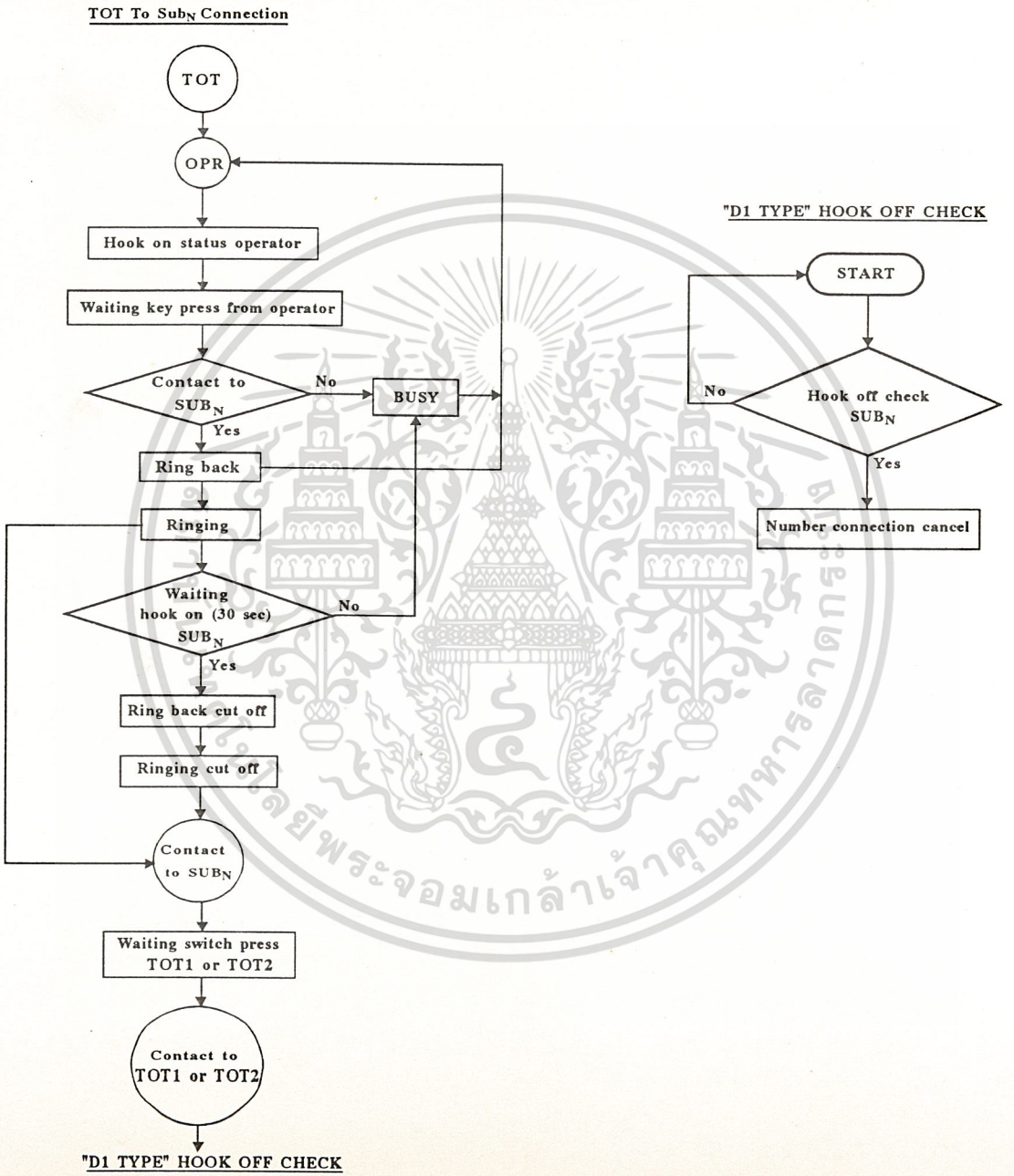
"A1 TYPE" HOOK OFF CHECK

"A1 TYPE" HOOK OFF CHECK




SUB$_A$ to SUB$_N$ Connection
SUB$_A$
Hook on status of SUB$_A$
Contact to operator
No
BUSY
Yes
Ring back
Ringing
Waiting hook on (30 Sec) Operator
No
Yes
Ring back cut off
Ringing cut off
Operator
Hook on status of operator
Waiting key press from operator
Change line of SUB$_A$ contact to line SUB and contact to SUB$_N$
Contact to SUB$_N$
No
Yes
Ring back
Ringing
Waiting hook on (30 sec) SUB$_N$
No
Yes
Ring back cut off
Ringing cut off
SUB$_N$
"B1 TYPE" HOOK OFF CHECK
"B1 TYPE" HOOK OFF CHECK
Start
Hook off check SUB$_A$
Yes
No
Hook off check SUB$_N$
Yes
No
Number connection cancel


Sub$_N$To TOT Connection
SUB$_N$
Hook on status of SUB$_N$
Contact to operator
No
BUSY
Yes
Ring back
Ringing
Waiting hook on (30 sec) operator
No
Yes
Ring back cut off
Ringing cut off
Operator
Waiting switch press TOT1 or TOT2
Contact to TOT1 OR TOT2
"C1 TYPE" HOOK OFF CHECK
"C1 TYPE" HOOK OFF CHECK
START
Hook off check SUB$_N$
No
Yes
Time check > 20 sec
No
Yes
Number connection cancel

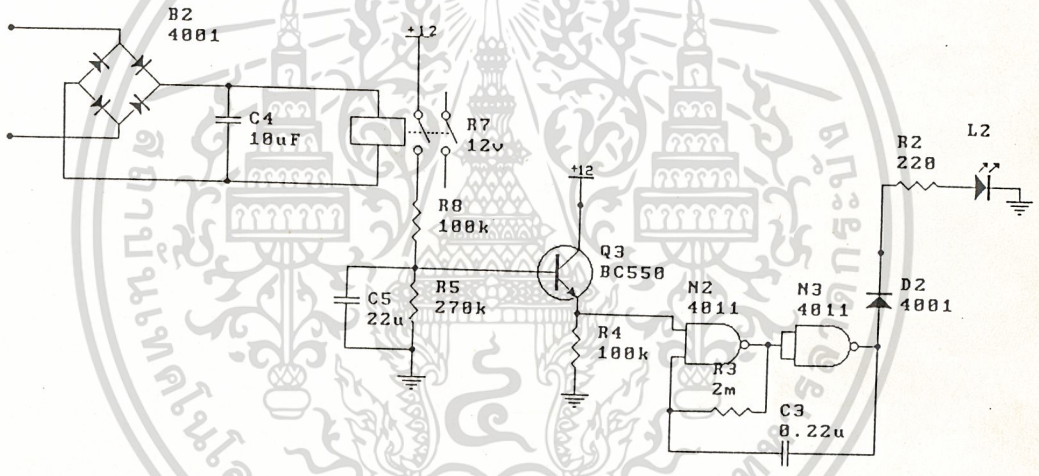

TOT To Sub$_N$ Connection
TOT
OPR
Hook on status operator
Waiting key press from operator
Contact to SUB$_N$
No
BUSY
Yes
Ring back
Ringing
Waiting hook on (30 sec) SUB$_N$
No
Yes
Ring back cut off
Ringing cut off
Contact to SUB$_N$
Waiting switch press TOT1 or TOT2
Contact to TOT1 or TOT2
"D1 TYPE" HOOK OFF CHECK
"D1 TYPE" HOOK OFF CHECK
START
No
Hook off check SUB$_N$
Yes
Number connection cancel

บทที่ 4

การทำงานของวงจร และ CIRCUIT

4.1 วงจร LINE TRUNK CIRCUIT

เมื่อมีสัญญาณ RINGING เข้ามาจาก LINE ภายนอก จะถูกแบ่งออกไปเป็น 2 ส่วนโดยผ่าน ไปที่จุด P1 และ PN อีกส่วนจะไปเข้าวงจร DETECT โดยเปลี่ยนสัญญาณ AC เป็น DC เพื่อทำให้ RELAY RI ทำงาน และผ่านไปยังวงจร F/F ทำให้ LED กระพริบ ดังรูป 3

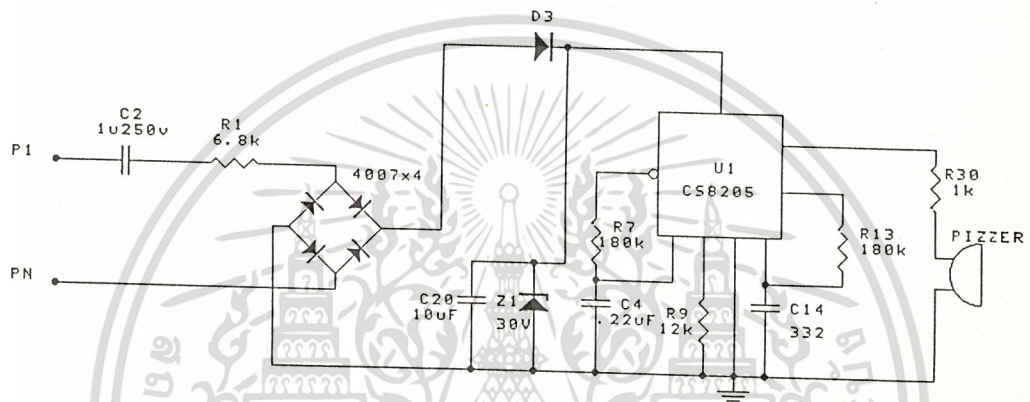


รูปที่ 3

จะเห็นว่าเมื่อสัญญาณ RINGING เข้ามาซึ่งเป็นสัญญาณ AC จะถูกเปลี่ยนเป็น DC ประมาณ 12 VOLT โดย DIODE RECTIFITE ทำให้ RELAY RI ทำงาน จะมีไฟบวกประมาณ 3 - 5 VOLT เข้าที่ขา 1 ของ IC รับสัญญาณเป็น "1" และที่ขา 3 จะมี OUTPUT (เป็น "0" เนื่องจาก IC เป็นชนิด NAND GATE โดยใช้ IC เบอร์ 4011 เป็นชนิด CMOS) ทำให้ที่ขา 2 ของ IC มีสัญญาณรับเป็น "0" และเมื่อมา NAND กับขา 1 จะทำให้ OUTPUT ที่ขา 1 มีสัญญาณออกเป็น "1" และจะถูกป้อนกลับไปให้ที่ขา 2 เป็น "1" ด้วย เมื่อมา NAND กับขา 1 จะทำให้ได้ OUTPUT เป็น "0" OUTPUT ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ แสวงหาผลประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

ออกจากขา 3 จะถูกป้อนเข้าขา 5 และ 6 ของ IC อีกตัวหนึ่ง ทำให้ OUTPUT ที่ได้ที่ขา 4 เป็น "0" และ "1" สลับกันไปมาป้อนเข้าที่ LED(R) จะเห็นว่าที่ INPUT และ OUTPUT ของ IC อีกตัวจะถูกควบคุมการกระพริบของ LED ด้วยค่าของ CAPACITOR สัญญาณ RINGING ที่ไปยังจุด P1 และ PN จะผ่านเข้าวงจร RECIVE RING ดังรูป 4



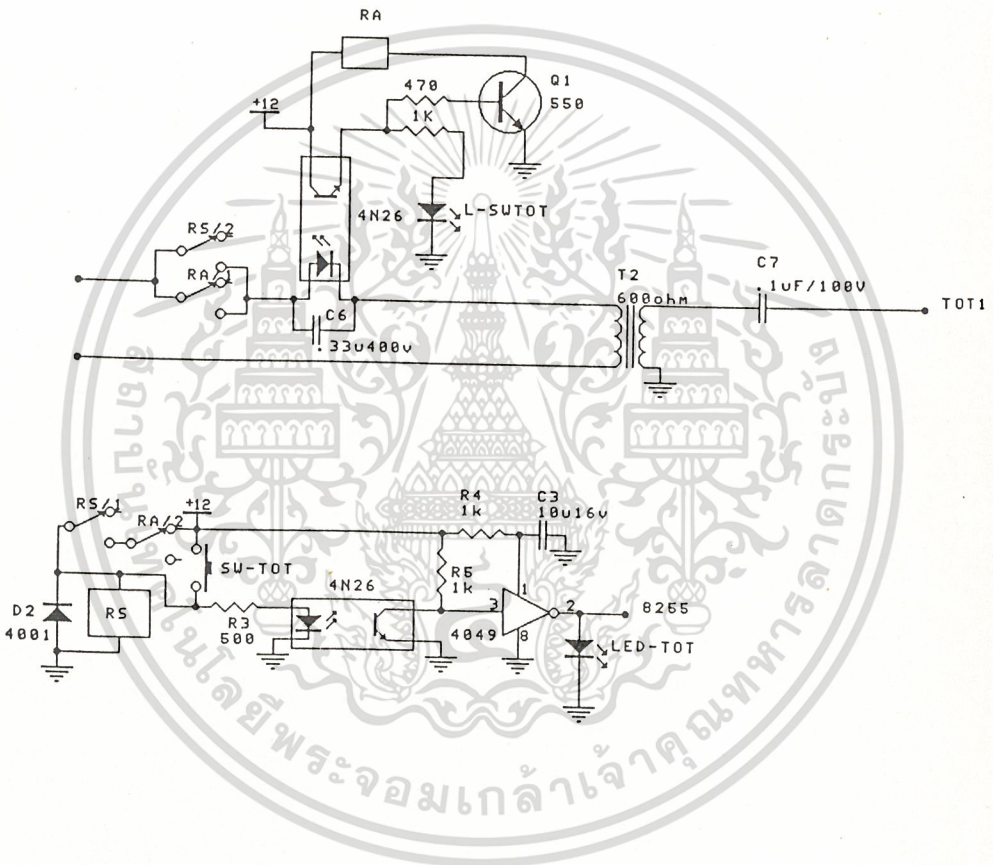
รูปที่ 4

ตามรูปเมื่อมีสัญญาณ RINGING เข้ามาจะถูก DETECT ด้วย DIODE 4 ตัว จะเป็น DC ไม่เกิน 32 VOLT และยังมี ZENER 30 VOLT ไว้คอย LIMIT ไม่ให้ VOLTTAGEเกิน เพราะจะทำให้ IC CS8205 พังได้ IC CS8205 ทำหน้าที่เปลี่ยนระดับ VOLTAGE มาเป็นสัญญาณเสียงโดยภายในตัว CS8205 จะมีวงจรสร้างความถี่ออกมาและถูกป้อนเข้ายัง PIZZER มีเสียงดังขึ้น จะเห็นว่า เมื่อมีสัญญาณเรียกจากภายนอกมายังชุมสาย จะมีเสียงดังขึ้นและมีไฟแสดงโชว์ด้วย LED ทำให้ทราบว่า LINE TOT ใดเรียกเรียกเข้ามาในกรณีมีคู่สายภายนอกเกินหนึ่งคู่

กรณีที่ LINE TOT ภายนอกเรียกเข้ามา OPERATOR สามารถติดต่อได้โดยการกด SW-R ไปยังวงจร OPERATOR ที่จุด 5H และ EH เมื่อ LINE TOT ภายนอก ต้องการติดต่อกับ SUB ภายใน OPERATOR ต้องต่อวงจร HOLD MUSIC ให้กับ LINE TOT ภายนอกก่อนจึงสามารถที่จะเรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SUB ภายในได้และเมื่อ OPERATOR เรียก SUB ภายในได้ จะทำการกด SW-TOT และกด SW-W ดังรูปที่ 5



รูปที่ 5

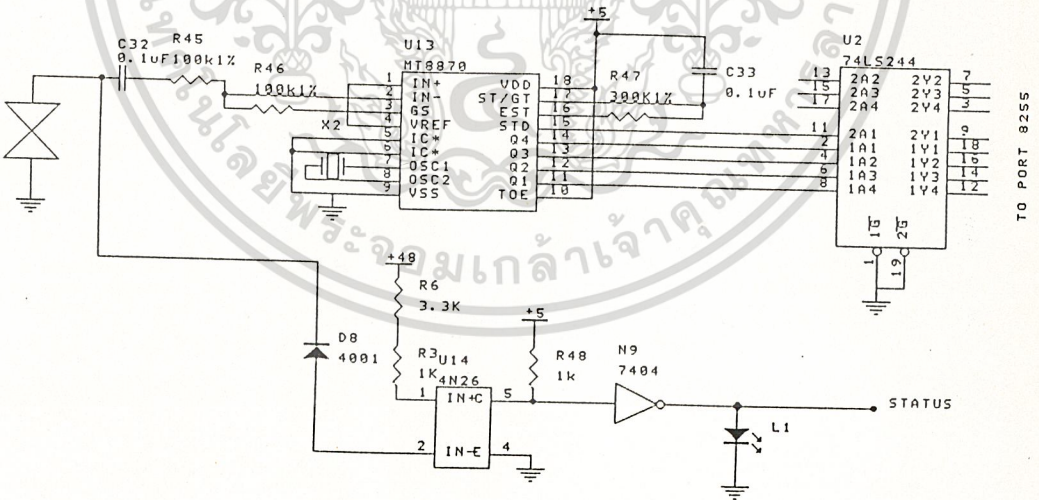
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5 เมื่อ OPERATORเรียก SUB ที่ LINE TOT ต้องการติดต่อ จะกด SW-TOT ทำให้ RELAY RS ทำงานซึ่งจะมีสัญญาณออกไปยัง 8255 ซึ่งเป็นส่วนที่ทำหน้าที่บอกว่า LINE TOT ต้องการติดต่อกับ SUB ใดและสามารถติดต่อโดยผ่าน MATHCHING 600 OHM ที่จุด TOT1 และจะขาดการติดต่อโดยการวางหู

4.2 วงจร MAIN TRUNK UNIT

4.2.1 วงจร OPERATOR AND DTMF CIRCUIT

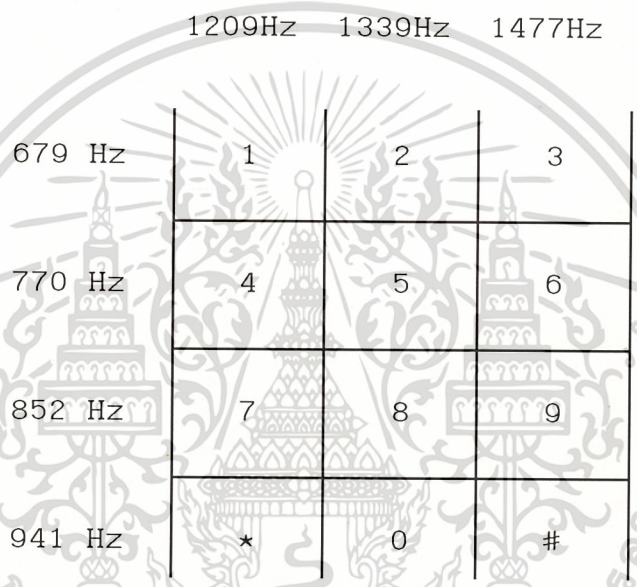
ชุมสาย OPERATOR สามารถที่จะติดต่อกับ SUB ภายในได้โดยการกด SW-SUB ทำให้เครื่อง OPERATOR ไปต่อกับวงจร DTMF ตามรูป 6



รูปที่ 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ OPERATOR กด SW-SUB จะมีสัญญาณการยกหูของ OPERATOR ไปยัง 8255 ซึ่งใช้ IC OP-TO เป็นตัวทำงาน เพื่อทำให้ CPU รอรับการกด KEY ของ OPERATOR ใช้ IC เบอร์ MT 8870 ทำหน้าที่เป็นวงจร DTMF ซึ่งจะแปลงความถี่จาก KEY TELEPHONE ซึ่งแต่ละ KEY จะมีความถี่ดังรูป 7

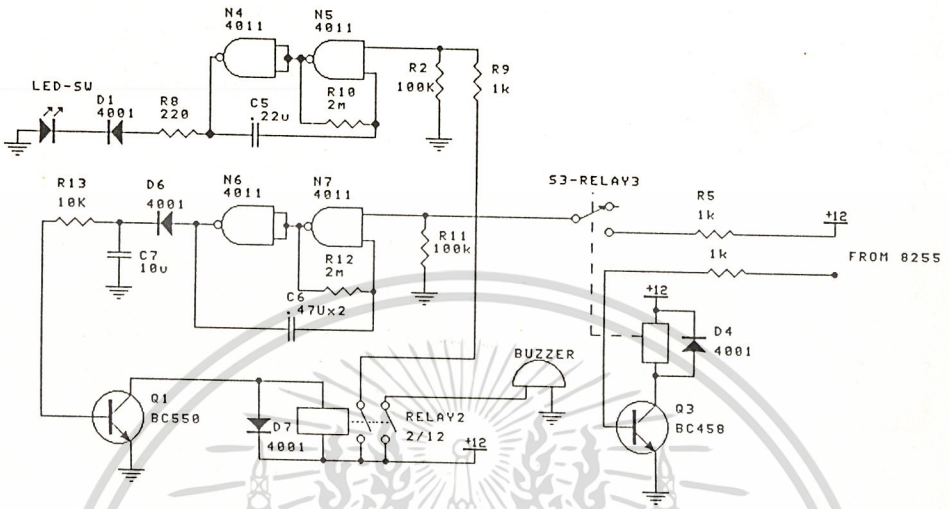


รูปที่ 7

IC MT8870 จะทำการเปลี่ยนความถี่จาก KEY TELEPHONE มาเป็นสัญญาณ BCD 4 BIT(8421) ที่ขา 11 - 14 และที่ขา 15 จะมีสัญญาณ STB ออกเมื่อมีการกด KEY ซึ่งการกด KEY (สัญญาณที่จะเข้า MT8870 จะต้องมีระดับ VOLTAGE ไม่ต่ำกว่า 4 VOLT ถ้าต่ำกว่าจะไม่ทำงาน) จะไปแสดงผลโดย 7-SECMENT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุมสาย OPERATOR จะกับรู้การเรียกของ SUB ได้โดยมีสัญญาณมา TRIG ที่ RELAY D4 ซึ่งจะแบ่งการทำงานออกเป็น 2 ส่วน ดังรูป 8



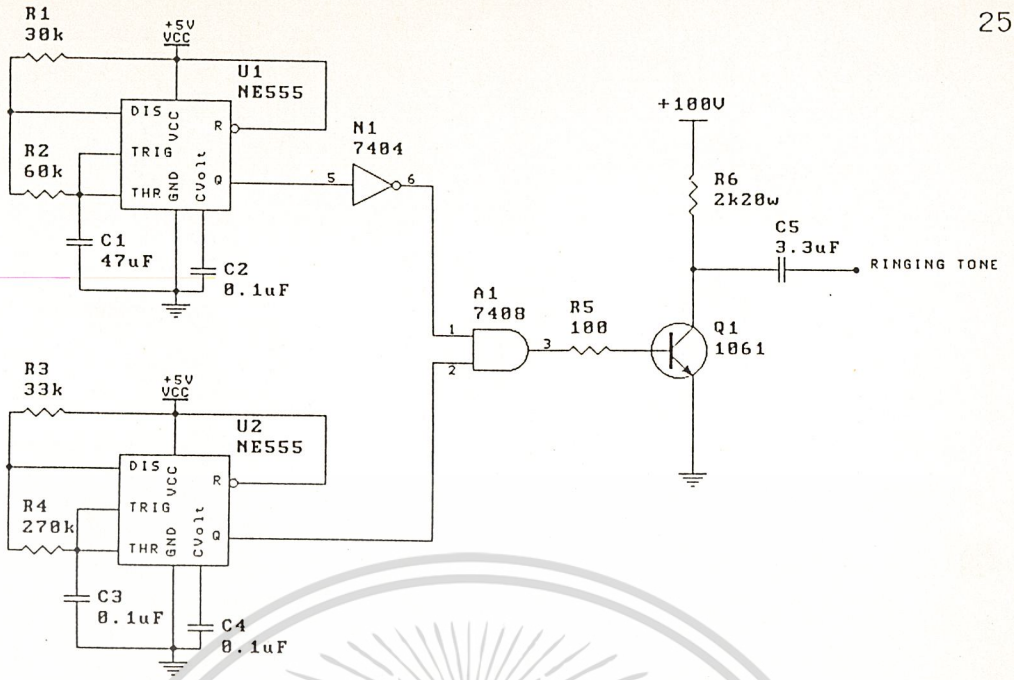
รูปที่ 8

ส่วนแรกจะไปทำให้ IC N6และN7 ทำงาน เพื่อให้ BUZZER ดังขึ้น และอีกส่วนหนึ่งไปทำให้ LED SUB ทำงาน

4.2.2 วงจร RINGING SINGNAL CIRCUIT

วงจร RINGING นี้ใช้หลักการทำงานของ IC NE 555 2 ตัว โดยจะทำหน้าที่เป็น วงจร OSCILLATE 1 ตัว และอีกตัวหนึ่งจะคอยทำหน้าที่เป็น วงจรสร้าง PULSE เพื่อให้ได้ลักษณะของสัญญาณ RINGING ที่สมบูรณ์ตามมาตรฐานที่ใช้กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

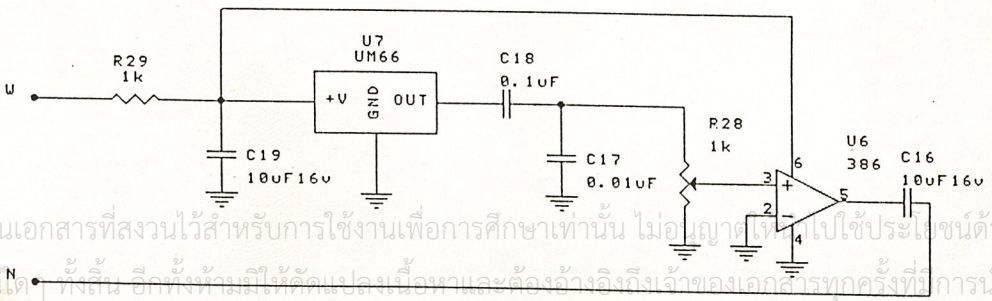


รูปที่ 9

จากวงจร IC NE 555 ตัวที่ 1 จะทำหน้าที่สร้างความถี่ของสัญญาณ ซึ่งมีค่าประมาณ 20 Hz ส่วน NE 555 ตัวที่ 2 จะสร้างสัญญาณ PULSE ที่มีลักษณะของเวลา ON/OFF ของสัญญาณในอัตราส่วน 3/1 สัญญาณทั้งสองที่ได้จาก NE 555 นี้จะถูกป้อนผ่าน AND GATE A1 และ Q1 TR 1061 ซึ่งก็จะได้สัญญาณ RINGING ที่สมบูรณ์พร้อมที่จะขับกระดิ่งให้ทำงานได้

4.2.3 วงจร RECEIVE RING AND SONG SIGNAL CIRCUIT

ส่วนนี้จะมีอยู่ 2 วงจรคือ วงจร RECEIVE RING ซึ่งทำหน้าที่เปลี่ยนสัญญาณ AC เป็นสัญญาณเสียงดังได้อธิบายไปแล้ว วงจรส่วนที่สองทำหน้าที่เป็นวงจร HOLD MUSIC ให้กับ LINE TOT ภายนอก ในกรณีที่ LINE TOT ต้องการติดต่อกับ SUB ซึ่งจะทำหน้าที่เป็น LOAD ให้ LINE TOT ภายนอกด้วย ตามรูป 10



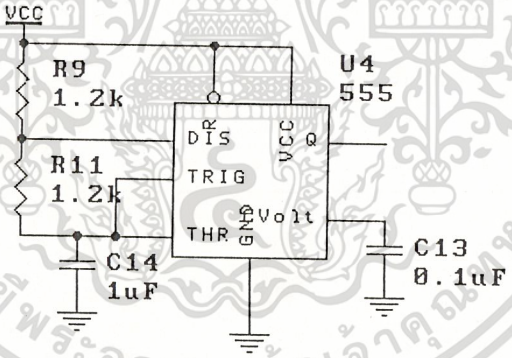
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 10

เมื่อกด SW-H ในวงจร LINE TRUNK UNIT จะมี VOLTAGE 12 VOLT เข้าที่จุด W ซึ่งจะไปจ่ายให้กับ UM66 ซึ่งเป็น IC เสียงเพลง จากนั้นจึงเอา OUTPUT ของ UM66ไปเข้าวงจร OP-AMP เพื่อขยายสัญญาณให้ดังขึ้น

4.2.4 วงจร BUSY AND RING BACK CIRCUIT

มีเพียง 2 วงจร คือ BUSY และ RING BACK ในส่วนของระบบนี้จะไม่ใช้วงจร TONE วงจรนี้ทำงานโดยอาศัย IC เบอร์ 555 ซึ่งจะผลิตสัญญาณ OSCILATOR ออกมา ซึ่งจะทำให้ได้สัญญาณ BUSY และ RING BACK โดยอาศัยการเปลี่ยนค่า TIME ที่ R และ C ตามรูป 11



รูปที่ 11

สัญญาณ BUSY เป็นสัญญาณที่แจ้งให้ทราบว่า คู่สายที่ต้องการติดต่อด้วยนั้น ไม่สามารถติดต่อได้ สัญญาณมีความถี่ประมาณ 500 Hz ดับและติดเป็นช่วงๆ โดยห่างกันช่วงละ 0.3 วินาที เท่าๆกัน

สัญญาณ RINGBACK เป็นสัญญาณที่ใช้ตอบการติดต่อกลับมา ยังผู้เรียกว่าสาย ที่ต้องการติดต่อนั้นว่างอยู่ ให้รอรับการยกหู สัญญาณนี้มีความถี่ 400 Hz โดยดัง 1 วินาทีและดับ 2 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

4.3 วงจร CONTROL UNIT

โครงงานนี้ใช้การควบคุมจาก CPU เบอร์ 80180 ซึ่งทำหน้าที่เหมือนกับ Z - 80 ทุกอย่าง โดยใช้ 8255 เป็นตัวติดต่อ INPUT และ OUTPUT ของระบบรวม 5 ตัว ยังมีภาคการแสดงผลการกด หมายเลขของ OPERATOR ที่ติดต่อกับ SUB วงจร CONTROL UNIT นี้จะถูกบรรจุโปรแกรมการทำงานของระบบทั้งหมด ประกอบด้วย

1.ส่วนที่เป็น CPU ใช้เบอร์ 80180 จะทำหน้าที่ควบคุมวงจร (ประมวลผลกลาง)

2.ส่วนที่เป็น MEMORY ซึ่งจะเป็นทั้ง ROM และ RAM ซึ่ง ROM ใช้ IC16 เบอร์ 27512 เก็บข้อมูลได้ 64 Kbytes และ RAM ตัวที่ IC17 ใช้เบอร์ 6264 เก็บข้อมูลได้ 8 Kbytes และ IC 18 นี้สามารถใช้เป็น ROM หรือ RAM ก็ได้ โดยการ DIP-SWITCH J9

ในการเลือก ADDRESS ของหน่วยความจำนั้นจะมี IC5 เบอร์ 74HC138 IC3 เบอร์ 74HCT32 เป็นตัว DECODER

3.ส่วนที่เป็น INPUT และ OUTPUT PORT จะใช้ 8255 จำนวน 5 ตัวโดย

-8255(1) จะเป็นตัวควบคุม SYSTEM เช่น WATCHDOG การเช็ค POWER SUPPLY การ RESET CPU

-8255(2) ทำหน้าที่เป็น INPUT PORT รับสถานะการยกหูของ SUB ทั้งหมด OPR LINE TOT1 และ LINE TOT2

-8255(3) ทำหน้าที่เป็น OUTPUT PORT เพื่อไปควบคุมให้ RINGING ของ SUB แต่ละ SUB ON หรือ OFF รวมทั้ง RINGING ของ OPERATOR ด้วย

-8255(4) ทำหน้าที่เป็น OUTPUT PORT เพื่อไปควบคุมการเลือก ADDRESS SWITCH ของ IC MT8816 ควบคุมขาสัญญาณ RESET CS และ STROBE ให้ MT8816 ทำงานหรือไม่ทำงาน

-8255(5) ทำหน้าที่เป็นทั้ง OUTPUT PORT และ INPUT PORT โดยให้ PORT C เป็น INPUT ที่รับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BCD และ STROBE มาจาก MT8870 แล้วให้ PORT A และ PORT B เป็น OUTPUT PORT เพื่อขับสัญญาณให้ 7-SEGMENT DISPLAY หมายเลขห้อง

4.4 วงจร SUB TRUNK UNIT

ในส่วนการทำงานของวงจร SUB TRUNK UNIT จะมี MT 8816 ซึ่งเป็น ANALOG SWITCH ทำหน้าที่ตัดต่อ เพื่อที่จะให้ SUB ต่อกับ SUB หรือ LINE TOT จากภายนอกต่อกับ SUB ภายในโดยมีสัญญาณควบคุมมาจากPORT OUTPUT ของ 8255 โดยมีการควบคุม 2 ชุด คือ ชุดควบคุมสัญญาณ มี RESET CS และ STROBE เพื่อให้ MT8816 ทำงานหรือไม่ทำงานอีกชุดหนึ่ง คือการเลือก SWITCH ภายใน MT 8816 หรือการเลือก ADDRESS เพื่อจะให้ CPU ควบคุมการเลือก SWITCH ภายใน MT 8816 ว่าให้ SWITCH (ADDRESS) ไหน ON หรือ OFF เพื่อการต่อและตัด SUB หรือ LINE ภายนอก ชุดนี้ใช้ PB0-PB7 โดยให้ PB0-PB6 เป็นตัวควบคุม ADDRESS ที่ขา AX0 , AX1 , AX2 , AX3 , AY0 , AY1 , AY2 ตามลำดับ แล้วให้ PB7 ต่อเข้าที่ขา DATA ของ MT 8816 เพื่อควบคุมการให้ ADDRESS ดังกล่าว ON หรือ OFF

เช่นตัวอย่าง ถ้าเราต้องการให้ขา INPUT X1 ต่อกับ Y1 เราสามารถควบคุม ADDRESS ได้ดังนี้

PC0 = 0 = RESET

PC1 = 1 = CS

PC2 = 1 = STROBE

DATA	AY2	AY1	AY0	AX3	AX2	AX1	AX0
1	0	0	1	0	0	0	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงว่าเมื่อให้ OUTPUT ที่ PORT = 06H จะทำให้ MT8816 ON คือ พร้อมให้การทำงาน หรือรับคำสั่งทางขา ADDRESS

และเมื่อให้ PORT B = 91H จะเป็นการเลือกให้ X1 กับ Y1 ต่อกัน

ถ้าหากต้องการให้ X1 กับ Y1 ตัดออกจากกัน ก็โดยการสั่ง ADDRESS 01 OFF โดยจ่าย ขา DATA = 0 ดั้งนั้น OUTPUT จาก 8255 มาที่ PORT B จะเท่ากับ 01H สำหรับ MT 8816 ANALOG SWITCH นี้ สามารถควบคุม ADDRESS ให้ทำการต่อได้ 128 SWITCH

ส่วนที่เรานำมาต่อกับ X0 ถึง X9 คือ SUB1 - SUB10 X12 จะต่อกับ สัญญาณ BUSY X13 ต่อกับ สัญญาณ RINGBACK เพื่อจ่ายให้กับ OPERATOR

ส่วนทางด้านขา Y

- Y0 CONNECT TOT1
- Y1 CONNECT TOT2
- Y2 CONNECT OPR
- Y3,Y4,Y5 เป็น LINE ยืม เพื่อให้ SUB กับ SUB
- Y6 CONNECT BUSY เพื่อจ่ายให้กับ SUB
- Y7 CONNECT RINGBACK เพื่อจ่ายให้กับ SUB

ระหว่างขา X แต่ละขาที่ต่อกับ SUB ต้องมี CAPACITOR .1 Mf 100 VOLT เพื่อป้องกันไฟ +48 VOLT ที่เลี้ยงให้แก่ SUB เข้ามาที่ MT-8816

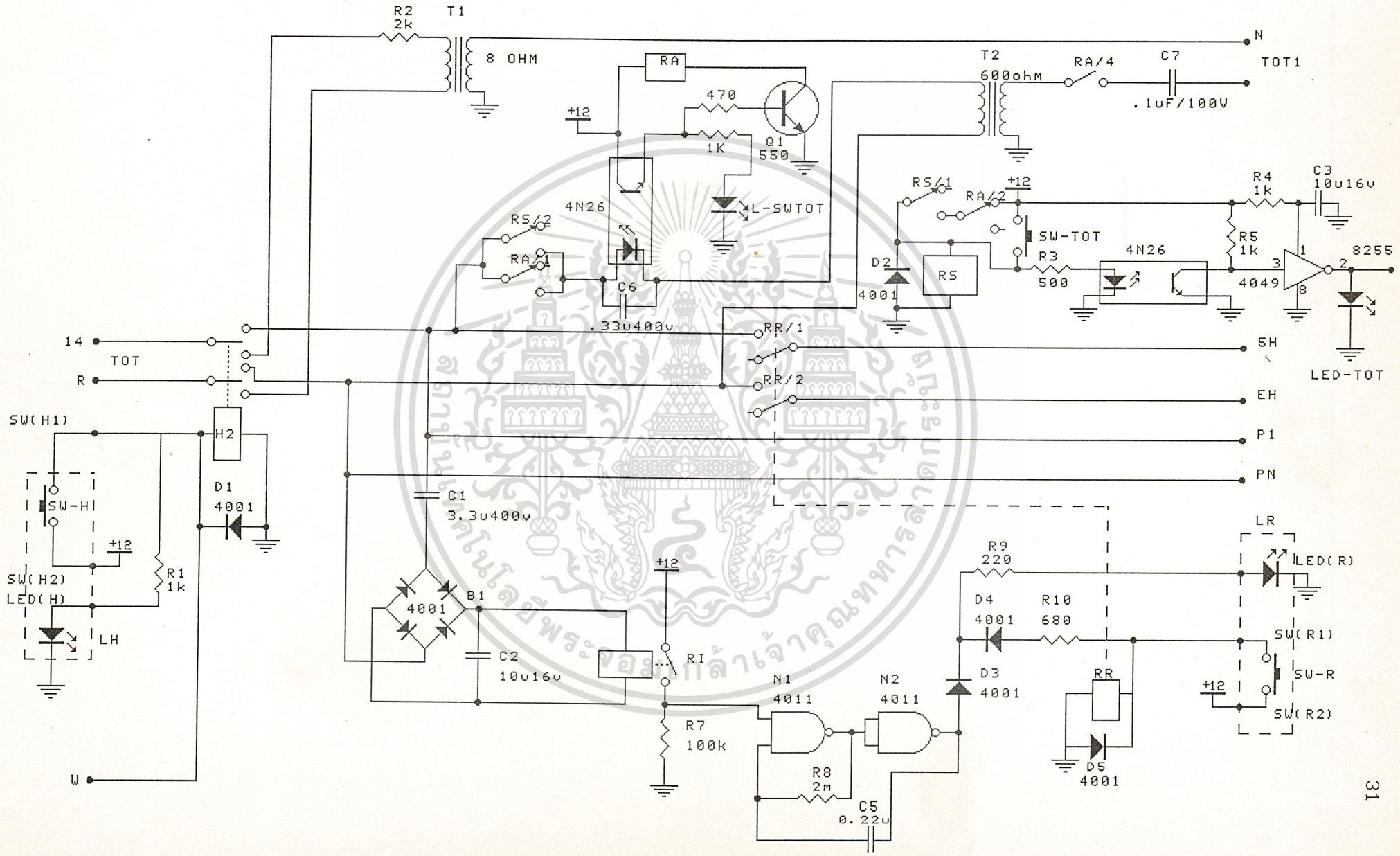
วงจรแสดงสถานะการยกหูของ SUB นั้น ใช้ไฟ +48 VOLT โดยผ่าน ความต้านทานค่า 3.3 K OPTO 4N26 เพื่อแสดงให้รู้ว่า SUB ใดยกหู เพื่อใช้งาน สถานะการยกหูของ SUB จะถูกส่งไปยัง INPUT PORT ของ 8255 เพื่อจะบอกให้ CPU รับรู้ในการ CHECK การยกหู

ส่วนสัญญาณ RINGING นั้นที่จะต่อให้กับ SUB แต่ละตัว จะใช้ RELAY เป็นตัวตัดต่อ โดยมี OUTPUT PORT ของ 8255 มาควบคุม

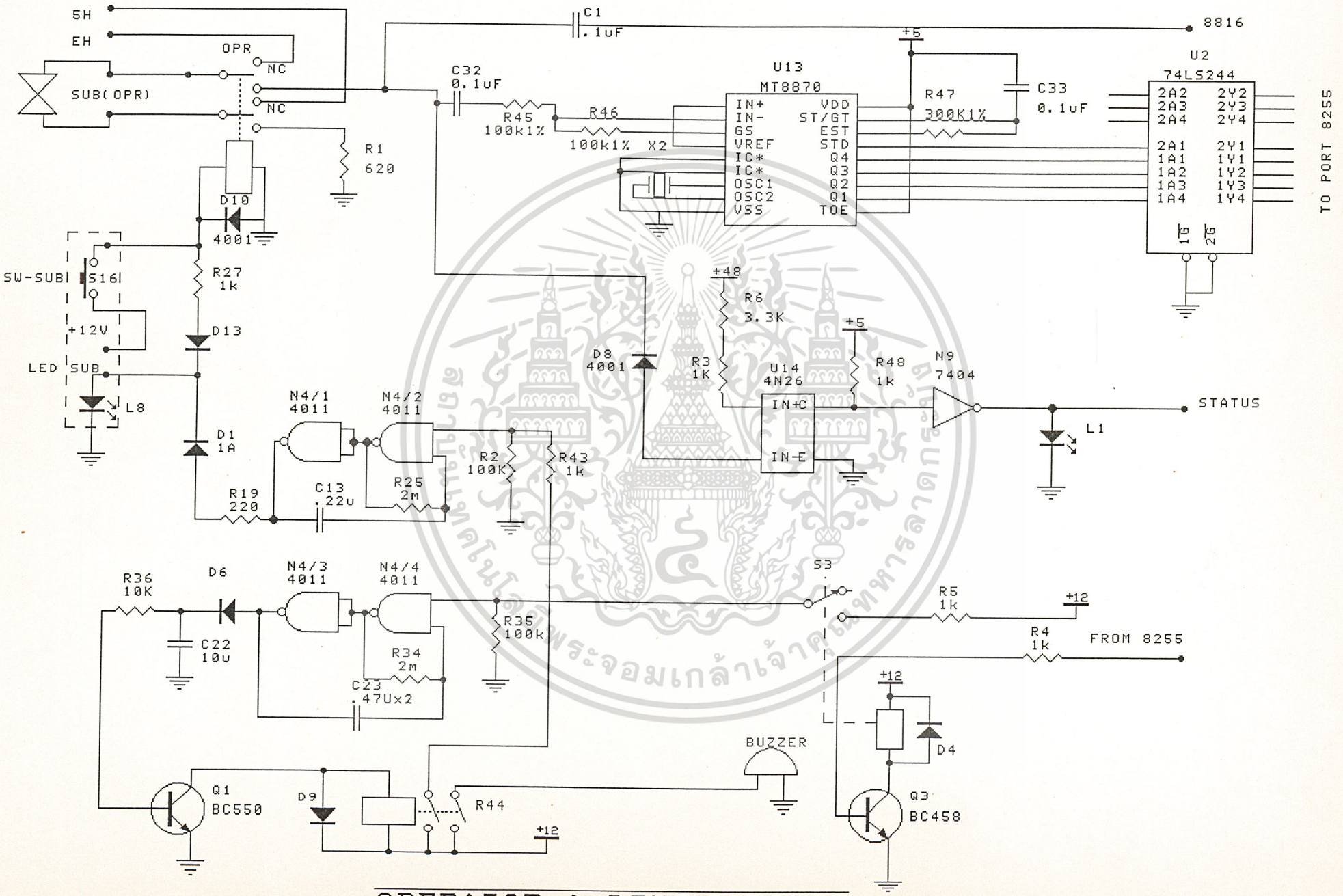
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 CIRCUIT

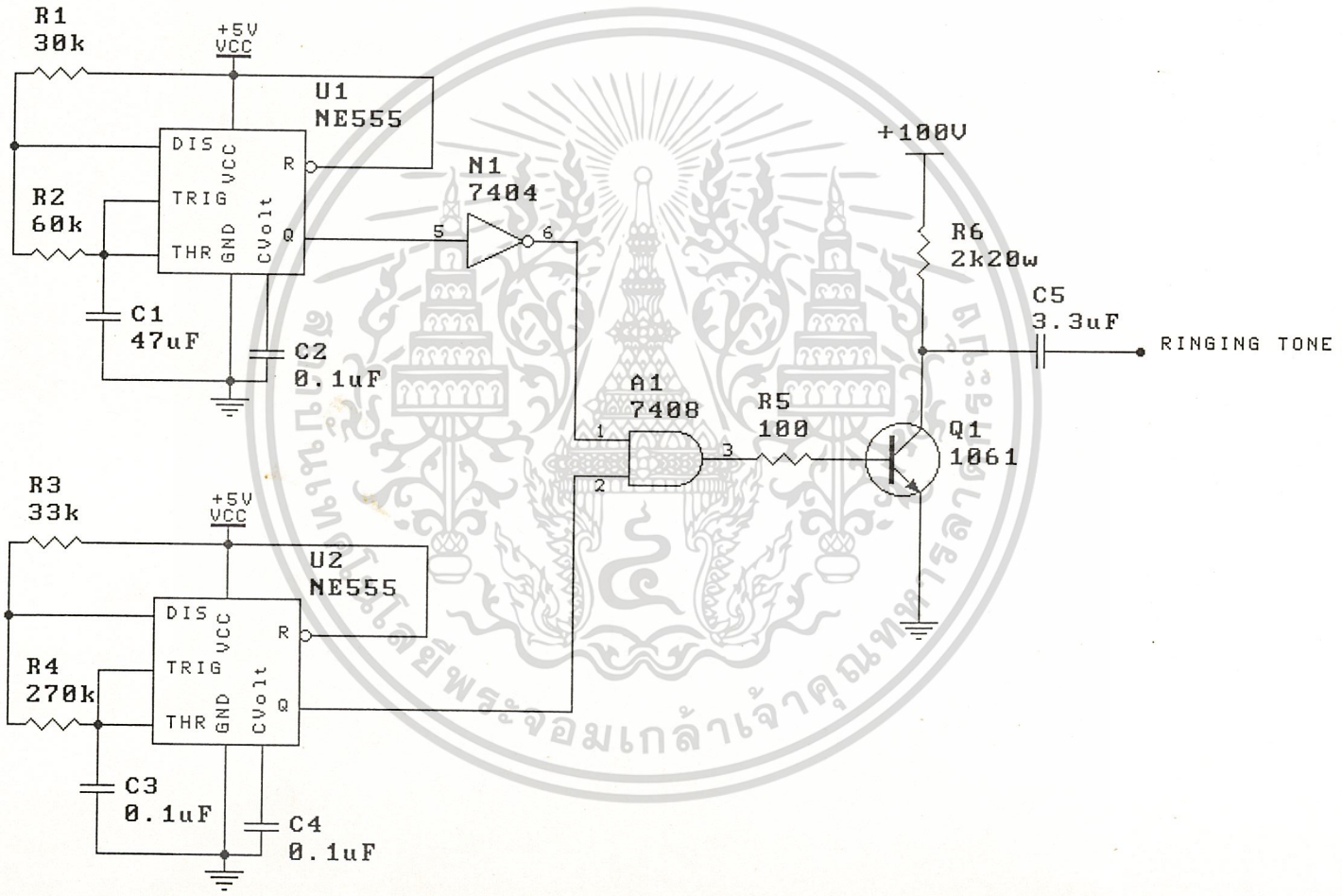
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



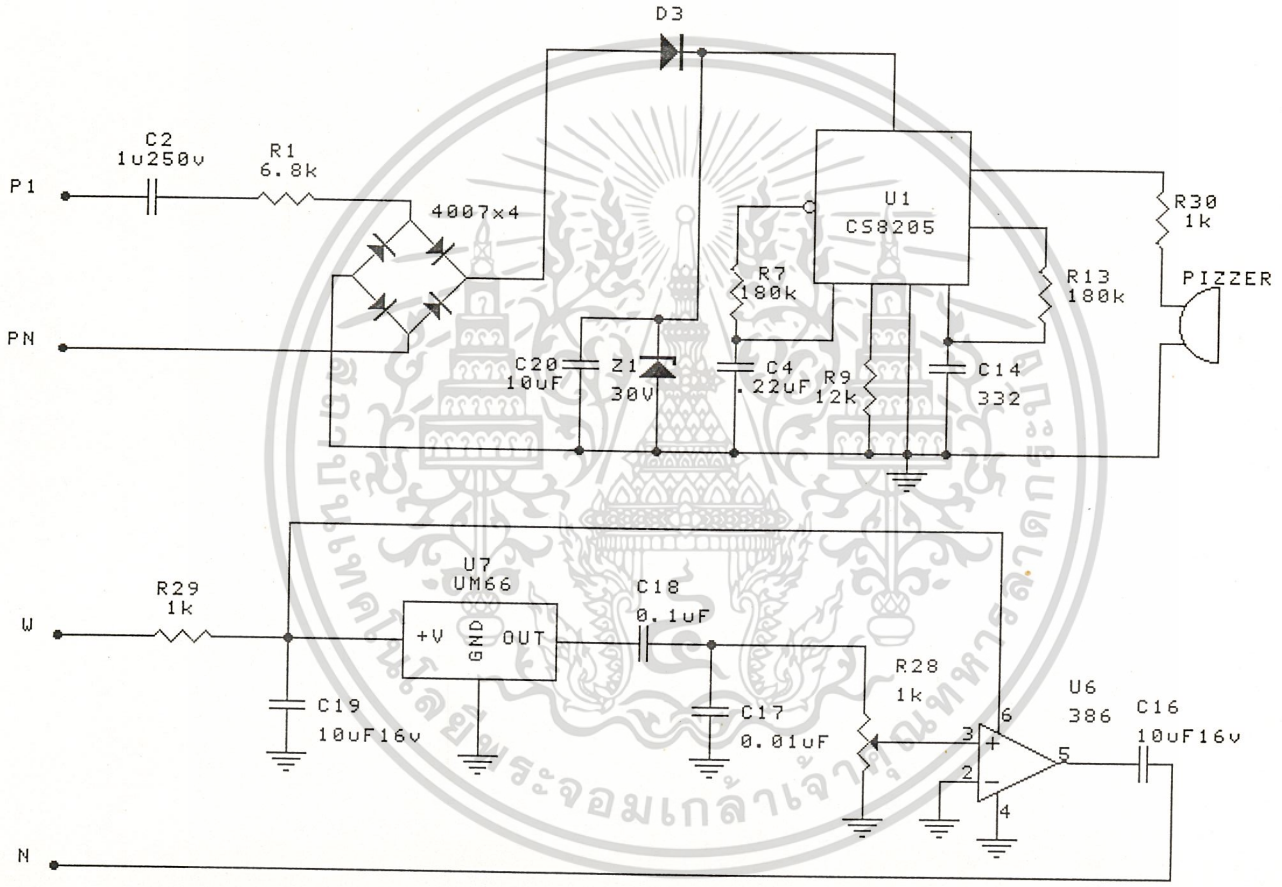
LINE TRUNK CIRCUIT



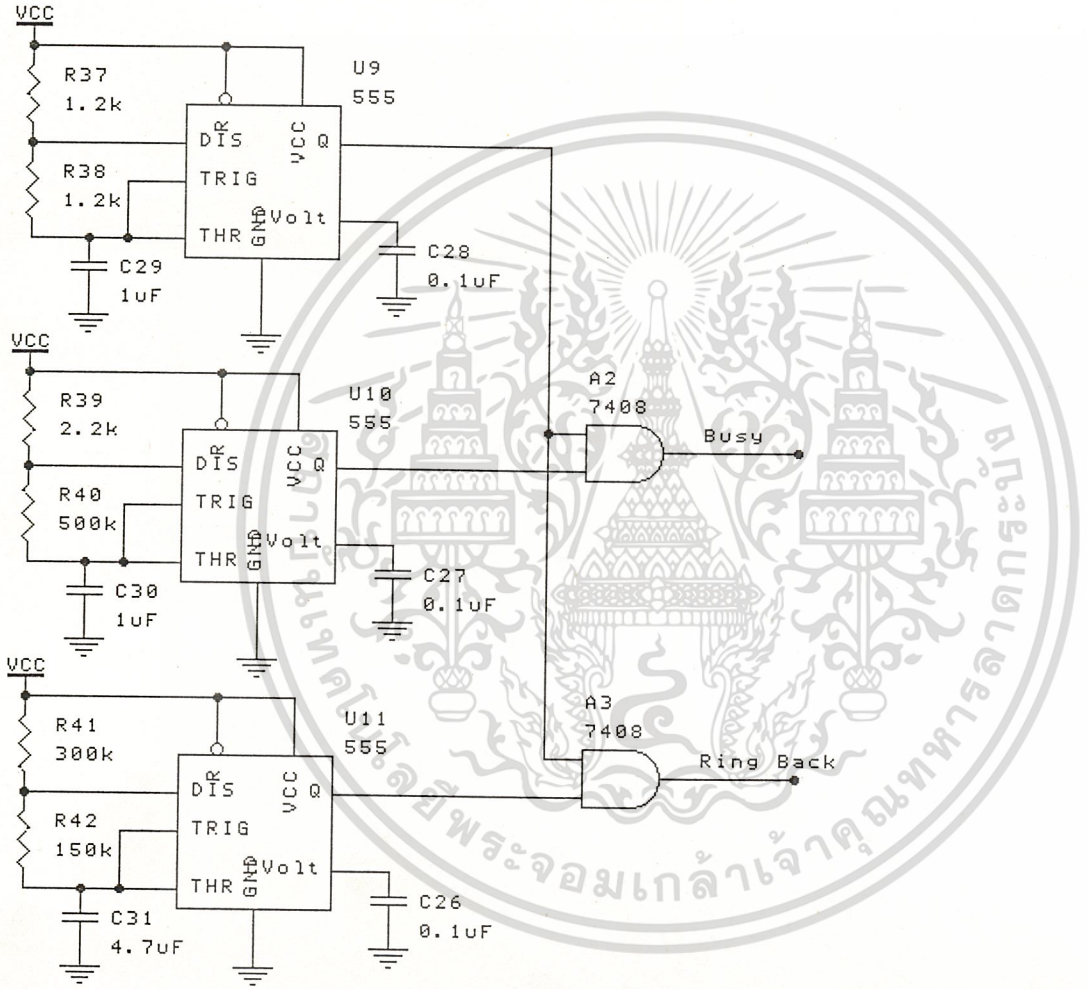
OPERATOR & DTMF CIRCUIT



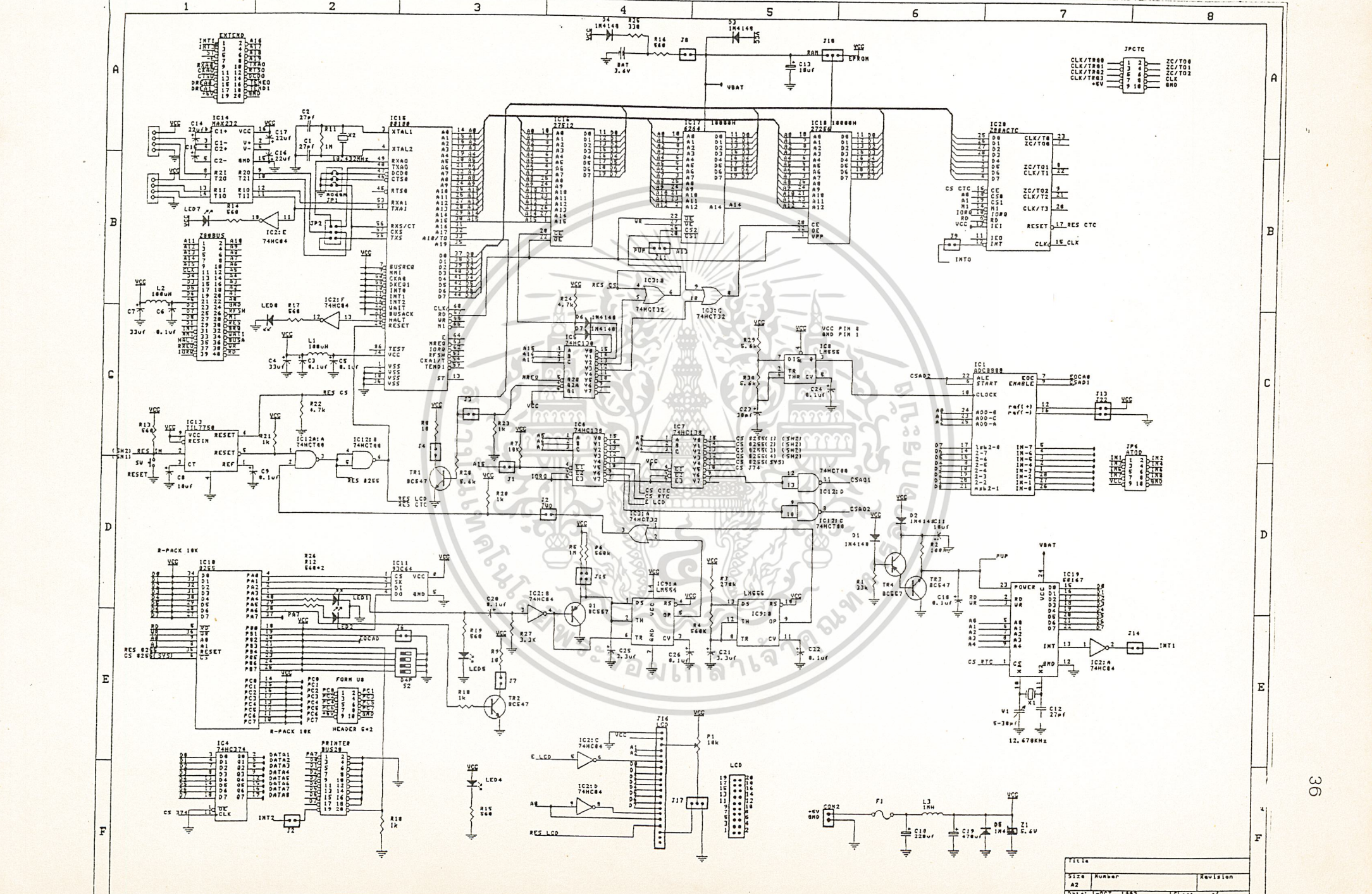
RINGING SIGNAL CIRCUIT

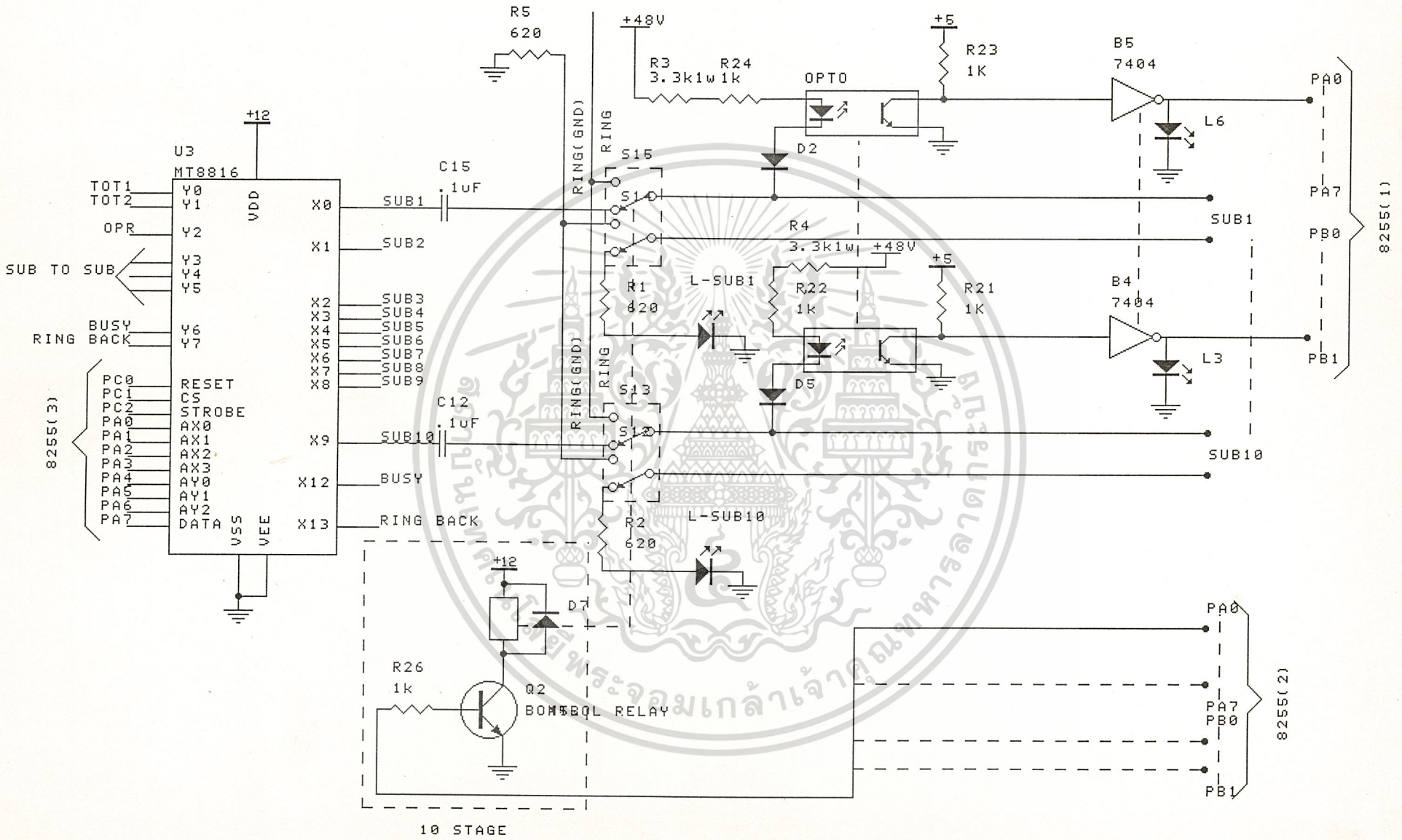


RECEIVE RING & SONG SIGNAL CIRCUIT

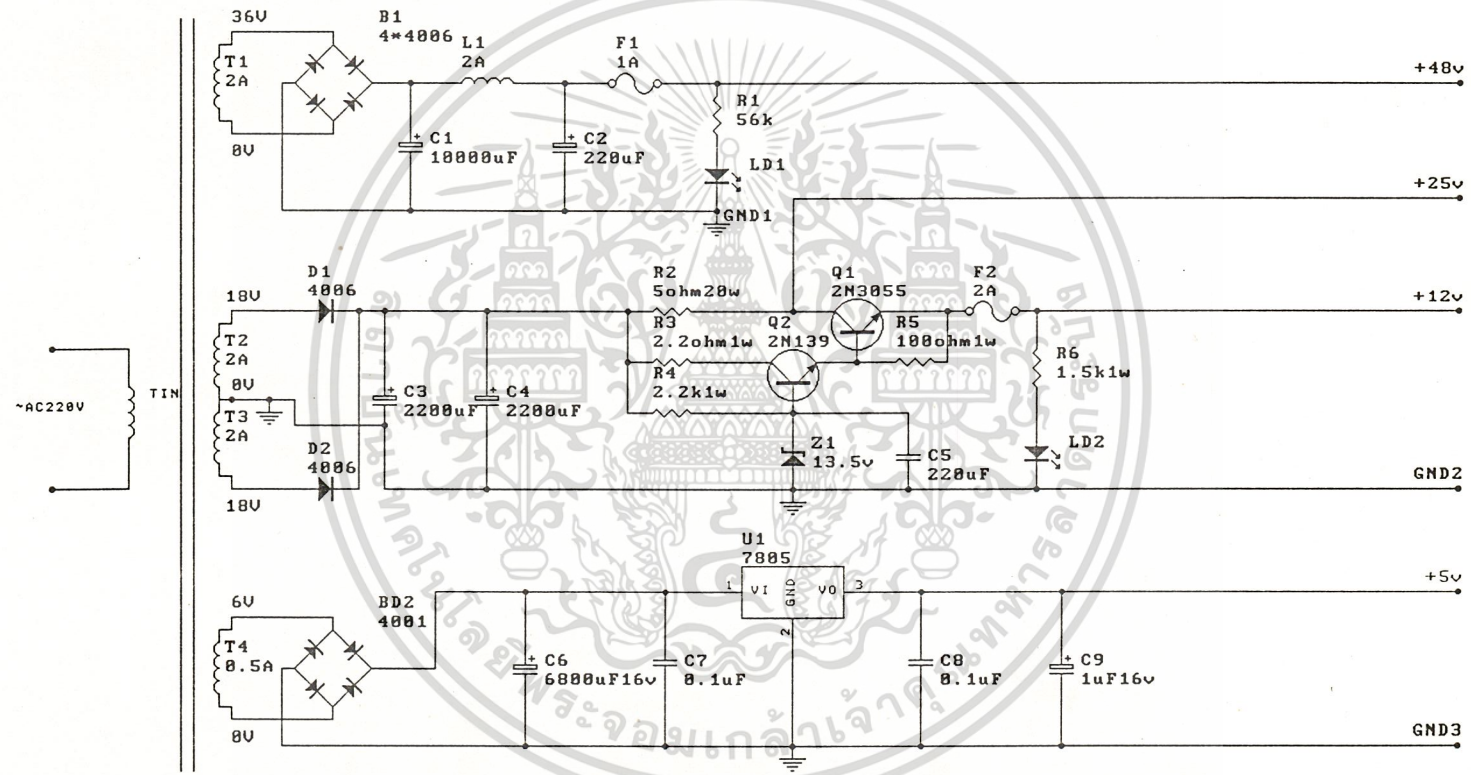


BUSY & RING BACK CIRCUIT


EXTEND
IC14 MAX232
IC15 Z8188
IC16 27512
IC17 62256
IC18 28008H 27256
IC20 Z84CTC
Z80BUS
IC13 TL7750
IC1 ADC0808
IC19 68147
IC11 93C46
IC18 8255
IC4 74HC374
PRINTER BUS20
LCD
JPCTC
R-PACK 10K
HEADER 6*2
12.670MHz
VBAT
BAT 3.6V
RES CS
RES 8255
RES CTC
RES LCD



SUB TRUNK CIRCUIT



POWER SUPPLY

บทที่ 5

สรุปและวิจารณ์

จากการทดลองของ ระบบชุมสายทั้งหมดสามารถทำงานได้ตามจุดประสงค์ โดยเฉพาะ IC MT 8816 (ANALOG SWITCH) นั้นใช้งานได้ดี และไม่มีสัญญาณรบกวนเลย ทำให้การติดต่อชัดเจนดี ซึ่งความสามารถของ MT 8816 นี้มีมากแต่ไม่สามารถจะศึกษาได้หมด ปัญหาทางด้าน HARDWARE จึงมีน้อย ปัญหาส่วนใหญ่อยู่ที่ SOFTWARE เพราะผู้เขียนยังขาดประสบการณ์การเขียน SOFTWARE อีกทั้งการประสานงานตอนทำ HARDWARE นั้นไม่ดีพอ จึงทำให้โปรแกรมที่ใช้เขียนต้องการเนื้อที่ของ MEMORY จำนวนมากและใช้ BOARD CONTROL ที่ใหญ่ แต่ถึงกระนั้นวงจรทั้งหมดก็สามารถทำงานได้คล้ายระบบ MANUAL

หวังว่า PROJECT นี้คงจะเป็นประโยชน์ต่อผู้ที่สนใจระบบชนิดนี้ เพราะว่าต้นทุนในการผลิตต่ำกว่า ของระบบ MANUAL ถึงครึ่งหนึ่ง ในขณะที่ความสามารถเท่ากัน จำนวนคู่สายภายในและภายนอก เท่ากันอีกทั้งการขยายของคู่สายภายในของระบบนี้ สามารถขยายได้ทีละ 10 หมายเลข และขนาดของตู้ชุมสายเล็กกว่าซึ่งเป็นชนิดตั้งโต๊ะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. บุญชู สุนทรทวีแสง และอรุณ ประเสริฐวรนันท์, "เครื่องชุมสายโทรศัพท์ สาขาอัตโนมัติ" ระหัส 33277
2. วรวุฒิ ชัชวานิชกุล,"เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ" ระหัส 34214
3. จักรี ห่านทองคำ, จริชัย จิรแสงทอง, พิเชษฐ์ วิจารณ์และสุพรชัย บุรณพนนท์,"เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ" ระหัส 34249
4. บริษัทซีเอ็ดยูเคชั่น จำกัด,"คู่มือไอซีซิพซัพพอร์ท และหน่วยความจำ"
5. MOTOROLA, "TRANSISTOR DATA"
6. MOTOROLA, "IC TTL DATA"
7. MOTOROLA, "CMOS DATA"
8. MOTOROLA, "OPTO DATA"
9. MITEL, "MICROELECTRONICS COMMUNICATION HAND BOOK"
10. ZILOG, "CPU CONTROLER DATA"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

การใช้เครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้เครื่อง

สามารถแบ่งออกเป็นส่วน ๆ ดังนี้

1. กรณี SUB เรียก OPERATOR

1.1 SUB ยกหูโทรศัพท์ จะมีสัญญาณ RINGING ดังที่ตู้ชุมสายพร้อมทั้งมีไฟสว่างที่ปุ่ม OPERATOR ตามการดังของ RINGING และมี RINBACK ไปที่ SUB หลอด LED แสดงหมายเลข SUB ที่ติดต่อด้วย

1.2 OPERATOR กดปุ่ม SWITCH-OPERATOR ที่หน้าปัทม์เพื่อรับโทรศัพท์จาก SUB

1.3 ในกรณีที่ OPERATOR ไม่ว่างหรือปุ่ม OPERATOR ถูกกดสวิทซ์ไว้ จะทำให้ SUB ได้รับ สัญญาณ BUSY แทน

1.4 ถ้าหากว่า OPERATOR ได้รับสัญญาณ RINGING ที่ SUB เรียกมาแล้ว ไม่ยอมกดปุ่ม SWITCH-OPERATOR ภายในเวลา 20 วินาที สัญญาณ RINGING ก็จะดับ แล้วสัญญาณ BUSY จะส่งไปบอก SUB แทน RINGBACK

2. กรณี OPERATOR เรียก SUB

2.1 กดปุ่ม SWITCH-OPERATOR ตามด้วยหมายเลขห้องหรือหมายเลขSUB

2.2 หมายเลข SUB ที่ OPERATOR กดที่ KEY นั้นจะแสดงที่ 7-SEGMENT 5 วินาที แล้วจะดับ หลังจากนั้นจะมี สัญญาณ RINGING ดังที่ SUB ขณะเดียวกันสัญญาณ RINGBACK ก็จะดังที่ หูโทรศัพท์ของ OPERATOR

2.3 เมื่อ SUB หมายเลขที่ OPERATOR เรียกไป ยกหู ก็จะจะสามารถพูดคุยกันได้ และหลอด LED ที่แสดงหมายเลข SUB นั้นจะสว่างที่ชุมสายด้วย

2.4 กรณีที่สัญญาณ RINGING ดังที่ SUB เป็นเวลา 20วินาที แล้ว ยังไม่มีการยกหูรับที่ SUB ชุมสายก็จะส่งสัญญาณ BUSY กลับมาที่ OPERATOR แทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. กรณีที่ SUB เรียก OPERATOR เพื่อขอติดต่อกับ SUB ภายใน

3.1 SUB ยกหู สัญญาณ RINGING จะดังที่ OPERATOR และจะมีไฟสว่างที่ปุ่ม OPERATOR ตาม

3.2 OPERATOR กดปุ่ม OPERATOR เพื่อเป็นการรับโทรศัพท์ของ SUB จากนั้น SUB ก็จะบอกให้ OPERATOR ว่าต้องการให้ต่อห้องหรือ SUB หมายเลขที่เท่าไร โดยที่ OPERATOR จะกดปุ่ม KEY หมายเลข SUB โดยต้องกดภายใน 5 วินาที หลังจากกดปุ่ม OPERATOR รับสัญญาณจาก SUB มา หลังจากนั้น สัญญาณ RINGBACK ก็จะดังที่หมายเลขที่ถูกเรียก เมื่อ SUB หมายเลขที่ถูกเรียกยกหู ก็จะสามารถคุยกับ SUB ที่เรียกมาได้ LED ที่หน้า-ปัทม์ก็จะสว่าง เมื่อ OPERATOR เห็น LED หมายเลขที่ถูกเรียกสว่าง ก็ให้กดปุ่ม OPERATOR ปล่อยให้หลอดดับ เพื่อทำให้ OPERATOR ว่าง

3.3 กรณีที่ SUB หมายเลขที่ถูกเรียก ไม่ยอมยกหูรับสายภายใน 20 วินาที สัญญาณ RINGING ก็จะดับ แล้วสัญญาณ BUSY ก็จะดังที่ SUB หมายเลขที่เรียกมาแทน

4. กรณีที่ SUB เรียก OPERATOR เพื่อขอต่อ LINE TOT. (คู่สายจากองค์การโทรศัพท์ ฯ)

4.1 SUB ยกหู สัญญาณ RINGING ดังที่ OPERATOR สัญญาณ RINGBACK ดังที่ SUB

4.2 เมื่อ OPERATOR กดปุ่ม OPERATOR ที่ตู้ชุมสาย SUB ก็จะบอกแก่ OPERATOR เพื่อขอ LINE TOT. OPERATOR ก็จะดูว่า TOT. LINE 1 หรือ LINE 2 ว่าว่างหรือไม่ ถ้า TOT. LINE 1 หรือ LINE 2 ใช้งานอยู่ หลอดที่ปุ่มสวิทช์ของมันก็จะสว่างอยู่

4.3 สมมุติว่า TOT LINE 1 ว่างอยู่(หลอดที่สวิทช์ดับ) OPERATOR ก็กดปุ่มสวิทช์ LINE. 1 TO SUB N. แล้วกดปุ่ม OPERATOR เพื่อปล่อยให้ว่าง SUB ก็จะได้รับสัญญาณ DIAL TONE ของ TOT. จาก SUB ก็สามารถกดหมายเลข 7 ตัว เพื่อต่อภายนอกได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. กรณี LINE TOT.เข้ามาแล้ว OPERATOR โอน LINE ให้ SUB

5.1 เมื่อมีโทรศัพท์จาก LINE ภายนอกเข้ามา ถ้าหากว่าเข้ามาที่ TOT. LINE 1 ปุ่มสวิทซ์ TOT. LINE 1 ก็จะติดสว่างตามจังหวะของ RINGING OPERATOR ก็จะกดรับโดยการกดปุ่มสวิทซ์ TOT. LINE 1 จากนั้น OPERATOR จะถามว่าต้องการจะต่อห้องไหน เมื่อทาง LINE ภายนอกบอกหมายเลขห้องที่ต้องการติดต่อ OPERATOR ก็จะบอกให้รอสักครู่แล้วจึงกดปุ่มสวิทซ์ HOLD 1 เพื่อให้ LINE ภายนอกรับสัญญาณเสียงดนตรีไปก่อน

5.2 OPERATOR กดปุ่มสวิทซ์ OPERATOR จากนั้นก็กดหมายเลข SUB หรือ ห้องที่ LINE ภายนอกต้องการ เมื่อหมายเลขห้องแสดงที่ 7-SEGMENT อยู่ ให้กดปุ่มสวิทซ์ LINE 1. TO SUB N. ตามไปด้วย(ต้องกดก่อนที่หมายเลขที่แสดงจะดับ) หลังจากที่ กดปุ่มสวิทซ์ LINE 1. TO SUB N. แล้ว RINGING ก็จะไปดังที่ SUB หมายเลขที่ OPERATOR กดเมื่อ OPERATOR สังเกต SUB ยกหูแล้ว(โดยการดูจาก LED ที่แสดงบนหน้าปัทม์) OPERATOR ก็กดปุ่มสวิทซ์ HOLD 1 ให้ OFF.SUB ก็สามารถติดต่อกับ LINE ภายนอกที่โทรเข้ามาได้

5.3 ในกรณีที่โอน TOT.LINE 2 ก็ทำได้เช่นเดียวกันกับการโอน TOT.LINE 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

โปรแกรมการทำงานของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;**********************
;*     DEFILE-MEMORY    *
;**********************
          ORG       8000H
RAM       EQU       9E00H
RING      EQU       RAM+1
CHECKS    EQU       RAM+30
CHECK     EQU       RAM+70
;**********************
;*      DEFILE-PORT     *
;**********************
;8255(1)
STATUS1   EQU       0E0H
STATUS2   EQU       0E1H
STATUS3   EQU       0E2H
CONT1     EQU       0E3H
;8255(2)
RING1     EQU       0E4H
RING2     EQU       0E5H
RING3     EQU       0E6H
CONT2     EQU       0E7H
;8255(3)
SWITCH1   EQU       0E8H
SWITCH2   EQU       0E9H
SIGNAL    EQU       0EAH
CONT3     EQU       0EBH
;8255(4)
SEG       EQU       0ECH
SEGCOM    EQU       0EDH
BCD_IN    EQU       0EEH
CONT4     EQU       0EFH

;***************************
;*     START - PROGRAM     *
;***************************

          LD    SP,RAM+100 ;SET STACK
          LD    A,9BH
          OUT   (CONT1),A  ;IN ALL-PORT
          LD    A,80H
          OUT   (CONT2),A  ;OUT ALL-PORT
          OUT   (CONT3),A
          LD    A,089H
          OUT   (CONT4),A  ;A B OUT, C IN
          LD    A,11H
          OU    (SIGNAL),A ;RESET 8816
          LD    A,66H
          OUT   (SIGNAL),A ;SET 8816
          LD    A,0F8H
          OUT   (SEGCOM),A
          LD    A,40H
          OU    (SEG),A
;************************
;*      - START -       *
;************************
S_TART:   LD    IX,RING
          LD    IY,CHECKS
          CALL  R_SET
          IN    A,(STATUS3)
          BIT   4,A
          JP    NZ,INN
          CALL  R_OPR
          JP    CK_SUB

;************************
;*   RECEIVE BCD-IN     *
;************************
INN:      IN    A,(BCD_IN)
          BIT   4,A
          JP    NZ,START
          CALL  DELAY
          JP    INN
START:    LD    IX,RING
          LD    IY,CHECKS
          CALL  R_SET       ;RESET IX,IY
          LD    IX,RING
          LD    IY,CHECKS
IN:       LD    B,00
          LD    IX,RING
INNN:     IN    A,(BCD_IN) ;RECEIVE KEYING
          CALL  DELAY
          AND   0FH
          INC   B
          CP    1
          JR    Z,D1
          CP    2
          JR    Z,D2
          CP    3
          JR    Z,D3
          CP    4
          JR    Z,D4
          CP    5
          JR    Z,D5
          CP    6
          JR    Z,D6
          CP    7
          JR    Z,D7
          CP    8
          JR    Z,D8
          CP    9
          JR    Z,D9
          CP    0AH
          JR    Z,D0
D1:       LD    (IX),06H
          JP    CRT
D2:       LD    (IX),5BH
          JP    CRT
D3:       LD    (IX),4FH
          JP    CRT
D4:       LD    (IX),66H
          JP    CRT
D5:       LD    (IX),6DH
          JP    CRT
D6:       LD    (IX),7DH
          JP    CRT
D7:       LD    (IX),07H
          JP    CRT
D8:       LD    (IX),7FH
          JP    CRT
D9:       LD    (IX),6FH
          JP    CRT
D0:       LD    (IX),3FH
;************************
;*    - DISPLAY -       *
;************************
CRT:      LD    A,B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CP    3
        JP    Z,BB_3
        CP    2
        JP    Z,BB_2
        CP    1
        JP    Z,BB_1
F2:     LD    E,(IX+1)    ;SHIFT2
        LD    (IX+2),E
F1:     LD    E,(IX)
        LD    (IX+1),E
        JP    INNN
BB_3:   LD    A,0FEH
        OUT   (SEGCOM),A
        LD    A,(IX+2)
        OUT   (SEG),A
        CALL  DELAY2
BB_2:   LD    A,0FDH
        OUT   (SEGCOM),A
        LD    A,(IX+1)
        OUT   (SEG),A
        CALL  DELAY2
BB_1:   LD    A,0FBH
        OUT   (SEGCOM),A
        LD    A,(IX)
        OUT   (SEG),A
        CALL  DELAY2
        IN    A,(BCD_IN)
        BIT   4,A
        JP    NZ,CK_BIT
        LD    A,B
        CP    3
        JP    NZ,CRT
        JP    DOWN
CK_BIT: LD    A,B
        CP    1
        JR    Z,F1
        CP    2
        JR    Z,F2
DOWN:   LD    B,02H
DIS:    LD    D,B
        LD    B,0F0H
;DISS:  IN    A,(STATUS3)
        BIT   5,A
        JP    NZ,L1       ;CHECK LINE-TOT1
        CALL  R_TOT1
T2:     BIT   6,A
        JP    NZ,L2
        CALL  R_TOT2
T3:     LD    C,B
        LD    B,0FFH
        LD    D,B
DISS1:  LD    A,0FEH
        OUT   (SEGCOM),A
        LD    A,(IX+2)
        OUT   (SEG),A
        CALL  DELAY2
        LD    A,0FDH
        OUT   (SEGCOM),A
        LD    A,(IX+1)
        OUT   (SEG),A
        CALL  DELAY2
        LD    A,0FBH
        OUT   (SEGCOM),A
        LD    A,(IX)
        OUT   (SEG),A
        CALL  DELAY2
        DJNZ  DISS1
        LD    B,D
        DJNZ  DIS
        LD    A,0F8H
        OUT   (SEGCOM),A
        LD    A,040H
        OUT   (SEG),A
        JP    NU
L1:     LD    A,(IY+31)   ;MARK TOT1
        CP    1
        JP    Z,T2
        JP    CO_L1       ;TOT1 NO USED
                          ;GO CONNECT LI
L2:     LD    A,(IY+31)
        CP    1
        JP    Z,T3
        JP    CO_L2
;**************************************
;*  CHANGE BCD TO  NUMBER  OF  SUB    *
;**************************************

;(IX)  =BIT1
;(IX+1)=BIT2
;(IX+2)=BIT2
NU:     LD    B,02        ;COUNT BIT
NUM:    LD    A,(IX)
        CP    3FH
        JR    Z,A0
        CP    06H
        JR    Z,A1
        CP    5BH
        JR    Z,A2
        CP    4FH
        JR    Z,A3
        CP    66H
        JR    Z,A4
        CP    6DH
        JR    Z,A5
        CP    7DH
        JR    Z,A6
        CP    07H
        JR    Z,A7
        CP    7FH
        JR    Z,A8
        CP    6FH
        JR    Z,A9
        JP    S_TART
A0:     LD    (IX),00
        JP    ST
A1:     LD    (IX),01
        JP    ST
A2:     LD    (IX),02
        JP    ST
A3:     LD    (IX),03
        JP    ST
A4:     LD    (IX),04
        JP    ST
A5:     LD    (IX),05
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        JP      ST
A6:     LD      (IX),06
        JP      ST
A7:     LD      (IX),07
        JP      ST
A8:     LD      (IX),08
        JP      ST
A9:     LD      (IX),09
ST:     INC     IX
        DJNZ    NUM
        LD      IX,RING
        LD      B,04
        LD      A,(IX+1)    ;GET 4 BIT MSB
RO:     RL      A
        DJNZ    RO
        LD      B,(IX)      ;GET 4 BIT LSB
        LD      IX,RING
        ADD     A,B
        CP      01
        JP      Z,O_S1
        CP      02
        JP      Z,O_S2
        CP      03
        JP      Z,O_S3
        CP      04
        JP      Z,O_S4
        CP      05
        JP      Z,O_S5
        CP      06
        JP      Z,O_S6
        CP      07
        JP      Z,O_S7
        CP      08
        JP      Z,O_S8
        CP      09
        JP      Z,O_S9
        CP      10H
        JP      Z,O_S10
        CP      11
        JP      Z,O_S11
        CP      12H
        JP      Z,O_S12
        CP      13H
        JP      Z,O_S13
        CP      14H
        JP      Z,O_S14
        CP      15H
        JP      Z,O_S15
        CP      16H
        JP      Z,O_S16
        CP      17H
        JP      Z,O_S17
        CP      18H
        JP      Z,O_S18
        CP      19H
        JP      Z,O_S19
        CP      20H
        JP      Z,O_S20
        JP      INN
O_S1:   LD      (IX),01H    ;RING-S1
        LD      (IX+1),0A0H;OPR-S1
        LD      E,1         ;MARK 8816
        LD      D,1         ;MARK PORT
        LD      C,00        ;MARK BIT
        LD      H,01        ;MARK SUB-NUMBER
        JP      K
O_S2:   LD      (IX),02H
        LD      (IX+1),0A1H
        LD      E,1
        LD      D,1
        LD      C,01
        LD      H,02
        JP      K
O_S3:   LD      (IX),04H
        LD      (IX+1),0A2H
        LD      E,1
        LD      D,1
        LD      C,02
        LD      H,03
        JP      K
O_S4:   LD      (IX),08H
        LD      (IX+1),0A3H
        LD      E,1
        LD      D,1
        LD      C,03
        LD      H,04
        JP      K
O_S5:   LD      (IX),10H
        LD      (IX+1),0A4H
        LD      E,1
        LD      D,1
        LD      C,04
        LD      H,05
        JP      K
O_S6:   LD      (IX),20H
        LD      (IX+1),0A5H
        LD      E,1
        LD      D,1
        LD      C,05
        LD      H,06
        JP      K
O_S7:   LD      (IX),40H
        LD      (IX+1),0A6H
        LD      E,1
        LD      D,1
        LD      C,06
        LD      H,07
        JP      K
O_S8:   LD      (IX),80H
        LD      (IX+1),0A7H
        LD      E,1
        LD      D,1
        LD      C,07
        LD      H,08
        JP      K
O_S9:   LD      (IX),01
        LD      (IX+1),0A8H
        LD      E,1
        LD      D,2
        LD      C,00
        LD      H,09
        JP      K
O_S10:  LD      (IX),02
        LD      (IX+1),0A9H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD      E,1
        LD      D,2
        LD      C,01
        LD      H,10H
        JP      K
O_S11:  LD      (IX),04
        LD      (IX+1),0A0H
        LD      E,2
        LD      D,2
        LD      C,02
        LD      H,11H
        JP      K
O_S12:  LD      (IX),08H
        LD      (IX+1),0A1H
        LD      E,2
        LD      D,2
        LD      C,03
        LD      H,12H
        JP      K
O_S13:  LD      (IX),10H
        LD      (IX+1),0A2H
        LD      E,2
        LD      D,2
        LD      C,04
        LD      H,13H
        JP      K
O_S14:  LD      (IX),20H
        LD      (IX+1),0A3H
        LD      E,2
        LD      D,2
        LD      C,05
        LD      H,14H
        JP      K
O_S15:  LD      (IX),40H
        LD      (IX+1),0A4H
        LD      E,2
        LD      D,2
        LD      C,06
        LD      H,15H
        JP      K
O_S16:  LD      (IX),80H
        LD      (IX+1),0A5H
        LD      E,2
        LD      D,2
        LD      C,07
        LD      H,16H
        JP      K
O_S17:  LD      (IX),21H
        LD      (IX+1),0A6H
        LD      E,2
        LD      D,03
        LD      C,00
        LD      H,17H
        JP      K
O_S18:  LD      (IX),22H
        LD      (IX+1),0A7H
        LD      E,2
        LD      D,03
        LD      C,01
        LD      H,18H
        JP      K
O_S19:  LD      (IX),24H
        LD      (IX+1),0A8H
        LD      E,2
        LD      D,3
        LD      C,02
        LD      H,19H
        JP      K
O_S20:  LD      (IX),28H
        LD      (IX+1),0A9H
        LD      E,2
        LD      D,3
        LD      C,03
        LD      H,20H
;*******************
;    CHECK PORT
;*******************
K:      LD      A,0ADH
        OUT     (SWITCH1),A;BACK-OPR
        LD      A,D
        CP      1
        JR      Z,R1
        CP      2
        JR      Z,R2
        LD      A,(IX)      ;RING TO SUB
        OUT     (RING3),A
        JP      W1
R2:     LD      A,(IX)
        OUT     (RING2),A   ;RING-OSC
        LD      A,20H
        OUT     (RING3),A
        JP      W1
R1:     LD      A,(IX)
        OUT     (RING1),A
        LD      A,20H
        OUT     (RING3),A
;*******************
;* WAIT SUB HOOK   *
;*******************
W1:     LD      B,012H
PPP:    CALL    DELAY
        CALL    DELAY
        LD      A,D
        CP      1
        JP      Z,PA
        CP      2
        JP      Z,PB
        IN      A,(STATUS3)   ;WHEN D=3
        JP      BITT
PB:     IN      A,(STATUS2)
        JP      BITT
PA:     IN      A,(STATUS1)
BITT:   LD      L,A
        LD      A,C
        CP      0
        JP      Z,B0
        CP      1
        JP      Z,B1
        CP      2
        JP      Z,B2
        CP      3
        JP      Z,B3
        CP      4
        JP      Z,B4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CP    5
        JP    Z,B5
        CP    6
        JP    Z,B6
        LD    A,L
        BIT   7,A
        JP    Z,W_1       ;IF NO HOOK WAIT
        JP    CON_SUB     ;IF HOOK CONNECT
B6:     LD    A,L
        BIT   6,A
        JP    Z,W_1
        JP    CON_SUB
B5:     LD    A,L
        BIT   5,A
        JP    Z,W_1
        JP    CON_SUB
B4:     LD    A,L
        BIT   4,A
        JP    Z,W_1
        JP    CON_SUB
B3:     LD    A,L
        BIT   3,A
        JP    Z,W_1
        JP    CON_SUB
B2:     LD    A,L
        BIT   2,A
        JP    Z,W_1
        JP    CON_SUB
B1:     LD    A,L
        BIT   1,A
        JP    Z,W_1
        JP    CON_SUB
B0:     LD    A,L
        BIT   0,A
        JP    Z,W_1
        JP    CON_SUB
W_1:    CALL  DELAY
        DEC   B
        JP    NZ,PPP
;******************
;*  OFF - RINGING *
;******************
P:      LD    A,D
        CP    1
        JR    Z,RA
        CP    2
        JR    Z,RB
        LD    A,00
        OUT   (RING3),A
        JP    OFF_S
RB:     LD    A,00
        OUT   (RING3),A
        OUT   (RING2),A
        JP    OFF_S
RA:     LD    A,00
        OUT   (RING3),A
        OUT   (RING1),A
OFF_S:  LD    A,H
        CP    1
        JP    Z,S1
        CP    2
        JP    Z,S2
        CP    3
        JP    Z,S3
        CP    4
        JP    Z,S4
        CP    5
        JP    Z,S5
        CP    6
        JP    Z,S6
        CP    7
        JP    Z,S7
        CP    8
        JP    Z,S8
        CP    9
        JP    Z,S9
        CP    10H
        JP    Z,S10
        CP    11H
        JP    Z,S11
        CP    12H
        JP    Z,S12
        CP    13H
        JP    Z,S13
        CP    14H
        JP    Z,S14
        CP    15H
        JP    Z,S15
        CP    16H
        JP    Z,S16
        CP    17H
        JP    Z,S17
        CP    18H
        JP    Z,S18
        CP    19H
        JP    Z,S19
S20:    CALL  R_S20
        JP    B           ;TO OFF RINGBACK OPR
S19:    CALL  R_S19
        JP    B
S18:    CALL  R_S18
        JP    B
S17:    CALL  R_S17
        JP    B
S16:    CALL  R_S16
        JP    B
S15:    CALL  R_S15
        JP    B
S14:    CALL  R_S14
        JP    B
S13:    CALL  R_S13
        JP    B
S12:    CALL  R_S12
        JP    B
S11:    CALL  R_S11
        JP    B
S10:    CALL  R_S10
        JP    B
S9:     CALL  R_S9
        JP    B
S8:     CALL  R_S8
        JP    B
S7:     CALL  R_S7
        JP    B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
S6:     CALL  R_S6
        JP    B
S5:     CALL  R_S5
        JP    B
S4:     CALL  R_S4
        JP    B
S3:     CALL  R_S3
        JP    B
S2:     CALL  R_S2
        JP    B
S1:     CALL  R_S1
B:      LD    B,0AH
        LD    A,2DH
        OUT   (SWITCH1),A
BBB:    LD    A,0ACH
        OUT   (SWITCH1),A
        IN    A,(STATUS3)
        BIT   4,A
        JP    Z,VVV
        CALL  DELAY
        IN    A,(STATUS3)
        BIT   4,A
        JP    Z,VVV
        CALL  DELAY
        IN    A,(STATUS3)
        BIT   4,A
        JP    Z,VVV
        CALL  DELAY
        DJNZ  BBB
VVV:    CALL  R_OPR
        JP    S_TART
;********************
;* CONNECT OPR-SUB *
;********************
CON_SUB: LD   A,2DH
        OUT   (SWITCH1),A;OFF RING-BACK
        LD    A,D
        CP    1
        JP    Z,RG1
        CP    2
        JP    Z,RG2
        LD    A,00
        OUT   (RING3),A
        JP    CNN
RG2:    LD    A,00
        OUT   (RING3),A
        OUT   (RING2),A
        JP    CNN
RG1:    LD    A,00
        OUT   (RING3),A
        OUT   (RING1),A
CNN:    LD    A,E
        CP    1
        JP    Z,C1
        LD    A,(IX+1)
        OUT   (SWITCH2),A;CONNECT O-S
        CALL  SET1
        CALL  SET0
        JP    S_TART;MARK TEST OPR CALL SUB
        JP    CK_SUB;BEFORE JP S_TART
C1:     LD    A,(IX+1)
        OUT   (SWITCH1),A
        CALL  SET1      ;set sub is used
        CALL  SET0
        JP    S_TART
        JP    CK_SUB
;********************
;   CHECK - SUB   *
;********************
CK_SUB: LD    IY,CHECKS
        IN    A,(STATUS1)
        BIT   0,A
        JP    NZ,S1_O
        CALL  R_S1
X2:     BIT   1,A
        JP    NZ,S2_O
        CALL  R_S2
X3:     BIT   2,A
        JP    NZ,S3_O
        CALL  R_S3
X4:     BIT   3,A
        JP    NZ,S4_O
        CALL  R_S4
X5:     BIT   4,A
        JP    NZ,S5_O
        CALL  R_S5
X6:     BIT   5,A
        JP    NZ,S6_O
        CALL  R_S6
X7:     BIT   6,A
        JP    NZ,S7_O
        CALL  R_S7
X8:     BIT   7,A
        JP    NZ,S8_O
        CALL  R_S8
X9:     IN    A,(STATUS2)
        BIT   0,A
        JP    NZ,S9_O
        CALL  R_S9
X10:    BIT   1,A
        JP    NZ,S10_O
        CALL  R_S10
X11:    BIT   2,A
        JP    NZ,S11_O
        CALL  R_S11
X12:    BIT   3,A
        JP    NZ,S12_O
        CALL  R_S12
X13:    BIT   4,A
        JP    NZ,S13_O
        CALL  R_S13
X14:    BIT   5,A
        JP    NZ,S14_O
        CALL  R_S14
X15:    BIT   6,A
        JP    NZ,S15_O
        CALL  R_S15
X16:    BIT   7,A
        JP    NZ,S16_O
        CALL  R_S16
X17:    IN    A,(STATUS3)
        BIT   0,A
        JP    NZ,S17_O
        CALL  R_S17
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
X18:    BIT   1,A
        JP    NZ,S18_O
        CALL  R_S18
X19:    BIT   2,A
        JP    NZ,S19_O
        CALL  R_S19
X20:    BIT   3,A
        JP    NZ,S20_O
        CALL  R_S20
        JP    S_TART
S1_O:   LD    A,(IY+0BH)
        CP    1
        JP    Z,X2          ;SUB IS USED
                            ;GO CK NECT
        LD    (IY),0E0H ;BUSY-S1
        LD    (IY+1),0F0H;RING-BACK S1
        LD    (IY+2),0A0H;OPR-S1
        LD    (IY+3),080H;L1-S1
        LD    (IY+4),090H;L2-S1
        LD    E,1           ;MARK 8816-1
        LD    D,1           ;MARK PORTA
        LD    C,00          ;MARK BIT
        LD    H,01          ;MARK NUMBER
        JP    SUBB
S2_O:   LD    A,(IY+0CH)
        CP    1
        JP    Z,X3
        LD    (IY),0E1H
        LD    (IY+1),0F1H
        LD    (IY+2),0A1H
        LD    (IY+3),081H
        LD    (IY+4),091H
        LD    E,1
        LD    D,1
        LD    C,01
        LD    H,02
        JP    SUBB
S3_O:   LD    A,(IY+0DH)
        CP    1
        JP    Z,X4
        LD    (IY),0E2H
        LD    (IY+1),0F2H
        LD    (IY+2),0A2H
        LD    (IY+3),82H
        LD    (IY+4),92H
        LD    E,1
        LD    D,1
        LD    C,02
        LD    H,03
        JP    SUBB
S4_O:   LD    A,(IY+0EH)
        CP    1
        JP    Z,X5
        LD    (IY),0E3H
        LD    (IY+1),0F3H
        LD    (IY+2),0A3H
        LD    (IY+3),83H
        LD    (IY+4),93H
        LD    E,1
        LD    D,1
        LD    C,03
        LD    H,04
        JP    SUBB
S5_O:   LD    A,(IY+0FH)
        CP    1
        JP    Z,X6
        LD    (IY),0E4H
        LD    (IY+1),0F4H
        LD    (IY+2),0A4H
        LD    (IY+3),84H
        LD    (IY+4),94H
        LD    E,1
        LD    D,1
        LD    C,4
        LD    H,05
        JP    SUBB
S6_O:   LD    A,(IY+10H)
        CP    1
        JP    Z,X7
        LD    (IY),0E5H
        LD    (IY+1),0F5H
        LD    (IY+2),0A5H
        LD    (IY+3),85H
        LD    (IY+4),95H
        LD    E,1
        LD    D,1
        LD    C,5
        LD    H,6
        JP    SUBB
S7_O:   LD    A,(IY+11H)
        CP    1
        JP    Z,X8
        LD    (IY),0E6H
        LD    (IY+1),0F6H
        LD    (IY+2),0A6H
        LD    (IY+3),86H
        LD    (IY+4),96H
        LD    E,1
        LD    D,1
        LD    C,06
        LD    H,07
        JP    SUBB
S8_O:   LD    A,(IY+12H)
        CP    1
        JP    Z,X9
        LD    (IY),0E7H
        LD    (IY+1),0F7H
        LD    (IY+2),0A7H
        LD    (IY+3),87H
        LD    (IY+4),97H
        LD    E,1
        LD    D,1
        LD    C,07
        LD    H,08
        JP    SUBB
S9_O:   LD    A,(IY+13H)
        CP    1
        JP    Z,X10
        LD    (IY),0E8H
        LD    (IY+1),0F8H
        LD    (IY+2),0A8H
        LD    (IY+3),88H
        LD    (IY+4),98H
        LD    E,1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD    D,2
        LD    C,00
        LD    H,09
        JP    SUBB
S10_0:  LD    A,(IY+14H)
        CP    1
        JP    Z,X11
        LD    (IY),0E9H
        LD    (IY+1),0F9H
        LD    (IY+2),0A9H
        LD    (IY+3),89H
        LD    (IY+4),99H
        LD    E,1
        LD    D,2
        LD    C,01
        LD    H,10H
        JP    SUBB
S11_0:  LD    A,(IY+15H)
        CP    1
        JP    Z,X12
        LD    (IY),0E0H
        LD    (IY+1),0F0H
        LD    (IY+2),0A0H
        LD    (IY+3),80H
        LD    (IY+4),90H
        LD    E,2
        LD    D,2
        LD    C,02
        LD    H,11H
        JP    SUBB
S12_0:  LD    A,(IY+16H)
        CP    1
        JP    Z,X13
        LD    (IY),0E1H
        LD    (IY+1),0F1H
        LD    (IY+2),0A1H
        LD    (IY+3),81H
        LD    (IY+4),91H
        LD    E,2
        LD    D,2
        LD    C,03
        LD    H,12H
        JP    SUBB
S13_0:  LD    A,(IY+17H)
        CP    1
        JP    Z,X14
        LD    (IY),0E2H
        LD    (IY+1),0F2H
        LD    (IY+2),0A2H
        LD    (IY+3),82H
        LD    (IY+4),92H
        LD    E,2
        LD    D,2
        LD    C,04
        LD    H,13H
        JP    SUBB
S14_0:  LD    A,(IY+18H)
        CP    1
        JP    Z,X15
        LD    (IY),0E3H
        LD    (IY+1),0F3H
        LD    (IY+2),0A3H
        LD    (IY+3),83H
        LD    (IY+4),93H
        LD    E,2
        LD    D,2
        LD    C,05
        LD    H,14H
        JP    SUBB
S15_0:  LD    A,(IY+19H)
        CP    1
        JP    Z,X16
        LD    (IY),0E4H
        LD    (IY+1),0F4H
        LD    (IY+2),0A4H
        LD    (IY+3),84H
        LD    (IY+4),94H
        LD    E,2
        LD    D,2
        LD    C,06
        LD    H,15H
        JP    SUBB
S16_0:  LD    A,(IY+1AH)
        CP    1
        JP    Z,X17
        LD    (IY),0E5H
        LD    (IY+1),0F5H
        LD    (IY+2),0A5H
        LD    (IY+3),85H
        LD    (IY+4),95H
        LD    E,2
        LD    D,2
        LD    C,07
        LD    H,16H
        JP    SUBB
S17_0:  LD    A,(IY+1BH)
        CP    1
        JP    Z,X18
        LD    (IY),0E6H
        LD    (IY+1),0F6H
        LD    (IY+2),0A6H
        LD    (IY+3),86H
        LD    (IY+4),96H
        LD    E,2
        LD    D,3
        LD    C,00
        LD    H,17H
        JP    SUBB
S18_0:  LD    A,(IY+1CH)
        CP    1
        JP    Z,X19
        LD    (IY),0E7H
        LD    (IY+1),0F7H
        LD    (IY+2),0A7H
        LD    (IY+3),87H
        LD    (IY+4),97H
        LD    E,2
        LD    D,3
        LD    C,01
        LD    H,18H
        JP    SUBB
S19_0:  LD    A,(IY+1DH)
        CP    1
        JP    Z,X20
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD    (IY),0E8H
        LD    (IY+1),0F8H
        LD    (IY+2),0A8H
        LD    (IY+3),88H
        LD    (IY+4),98H
        LD    E,2
        LD    D,3
        LD    C,02
        LD    H,19H
        JP    SUBB
S20_0:  LD    A,(IY+1EH)
        CP    1
        JP    Z,S_TART
        LD    (IY),0E9H
        LD    (IY+1),0F9H
        LD    (IY+2),0A9H
        LD    (IY+3),89H
        LD    (IY+4),99H
        LD    E,1
        LD    D,1
        LD    C,06
        LD    H,20H
SUBB:   LD    A,(IY+1FH);check opr
        CP    1
        JP    NZ,SUU1   ;OPR NO HOOK
                        ;SEND RING
        JP    Q3
SUBB11: CALL  OFFRING
Q3:     LD    A,E       ;WHEN OPR BUSY
        CP    1
        JR    Z,SW1
        LD    A,(IY+1)
        RES   7,A
        OUT   (SWITCH2),A;OFF RINGBACK
        LD    B,015H
Q1:     LD    A,(IY)
        OUT   (SWITCH2),A;BUSY-SUB
        CALL  DELAY
        DJNZ  Q1
        CALL  SET1
        CALL  R_SUB     ;RESET SUB
        JP    NECT      ;CKECK NECT-SUB
SW1:    LD    A,(IY+1)
        RES   7,A
        OUT   (SWITCH1),A
        LD    B,015H
Q2:     LD    A,(IY)
        OUT   (SWITCH1),A
        CALL  DELAY
        DJNZ  Q2
        CALL  SET1
        CALL  R_SUB
        JP    NECT
SUU1:   LD    A,10H
        OUT   (RING3),A ;RING TO OPR
        LD    A,E
        CP    1
        JP    Z,SW11
        LD    A,(IY+1)  ;BACK TO SUB
        OUT   (SWITCH2),A
        JP    W2
SW11:   LD    A,(IY+1)  ;BACK TO SUB
        OUT   (SWITCH1),A
;******************
;* WAIT OPR HOOK  *
;******************
W2:     LD    B,1FH
W3:     IN    A,(STATUS3)
        BIT   4,A
        JP    NZ,C_SUB
        CALL  DELAY
        CALL  DELAY
        DJNZ  W3
        JP    SUBB11
NECT:   LD    A,H
        CP    1
        JP    NZ,XX2
        IN    A,(STATUS1)
        JP    X2
XX2:    CP    2
        JP    NZ,XX3
        IN    A,(STATUS1)
        JP    X3
XX3:    CP    3
        JP    NZ,XX4
        IN    A,(STATUS1)
        JP    X4
XX4:    CP    4
        JP    NZ,XX5
        IN    A,(STATUS1)
        JP    X5
XX5:    CP    5
        JP    NZ,XX6
        IN    A,(STATUS1)
        JP    X6
XX6:    CP    6
        JP    NZ,XX7
        IN    A,(STATUS1)
        JP    X7
XX7:    CP    7
        JP    NZ,XX8
        IN    A,(STATUS1)
        JP    X8
XX8:    CP    8
        JP    NZ,XX9
        IN    A,(STATUS1)
        JP    X9
XX9:    CP    9
        JP    NZ,XX10
        IN    A,(STATUS2)
        JP    X10
XX10:   CP    10H
        JP    NZ,XX11
        IN    A,(STATUS2)
        JP    X11
XX11:   CP    11H
        JP    NZ,XX12
        IN    A,(STATUS2)
        JP    X12
XX12:   CP    12H
        JP    NZ,XX13
        IN    A,(STATUS2)
        JP    X13
XX13:   CP    13H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            JP    NZ,XX14
            IN    A,(STATUS2)
            JP    X14
XX14:       CP    14H
            JP    NZ,XX15
            IN    A,(STATUS2)
            JP    X15
XX15:       CP    15H
            JP    NZ,XX16
            IN    A,(STATUS2)
            JP    X16
XX16:       CP    16H
            JP    NZ,XX17
            IN    A,(STATUS2)
            JP    X17
XX17:       CP    17H
            JP    NZ,XX18
            IN    A,(STATUS3)
            JP    X18
XX18:       CP    18H
            JP    NZ,XX19
            IN    A,(STATUS3)
            JP    X19
XX19:       CP    19H
            JP    NZ,XX20
            IN    A,(STATUS3)
            JP    X20
XX20:       JP    S_TART
;*******************
;*   -CONNECT_     *
;*******************
C_SUB:      LD    A,00
            OUT   (RING3),A ;OFF OPR-RING
            LD    A,E
            CP    1
            JR    Z,SU1
            LD    A,(IY+1)
            RES   7,A
            OUT   (SWITCH2),A;OFF RING-BACK
            LD    A,(IY+2)
            OUT   (SWITCH2),A;CONNECT SUB-OPR
            CALL  SET1
            JP    COILL
SU1:        LD    A,(IY+1)
            RES   7,A
            OUT   (SWITCH1),A
            LD    A,(IY+2)
            OUT   (SWITCH1),A;CONNECT
            CALL  SET1        ;SET CONDITION
            JP    COILL
;*******************
;*  TOT TO SUB     *
;*******************
CO_L1:      LD    (IY+5),01H ;MARK LINE
            LD    (IY+6),8FH ;BACK-L1
            LD    (IY+7),8EH ;BUSY-L1
            JP    CK_NM
CO_L2:      LD    (IY+5),02H
            LD    (IY+6),9FH
            LD    (IY+7),9EH

;*******************
; CHANGE TO NUMBER *
;*******************
;(IX)  =BIT1
;(IX+1)=BIT2
;(IX+2)=BIT2
CK_NM:      LD    B,02      ;COUNT BIT
N_BER:      LD    A,(IX)
            CP    3FH
            JR    Z,A10
            CP    06H
            JR    Z,A11
            CP    5BH
            JR    Z,A12
            CP    4FH
            JR    Z,A13
            CP    66H
            JR    Z,A14
            CP    6DH
            JR    Z,A15
            CP    7DH
            JR    Z,A16
            CP    07H
            JR    Z,A17
            CP    77H
            JR    Z,A18
            CP    6FH
            JR    Z,A19
A10:        LD    (IX),00
            JP    ST_N
A11:        LD    (IX),01
            JP    ST_N
A12:        LD    (IX),02
            JP    ST_N
A13:        LD    (IX),03
            JP    ST_N
A14:        LD    (IX),04
            JP    ST_N
A15:        LD    (IX),05
            JP    ST_N
A16:        LD    (IX),06
            JP    ST_N
A17:        LD    (IX),07
            JP    ST_N
A18:        LD    (IX),08
            JP    ST_N
A19:        LD    (IX),09
ST_N:       INC   IX
            DEC   B
            JP    NZ,NUM
            LD    IX,RING
            LD    B,04
            LD    A,(IX+1)  ;GET 4 BIT MSB
ROTATE:     RL    A
            DJNZ  ROTATE
            LD    B,(IX)    ;GET 4 BIT LSB
            LD    IX,RING
            ADD   A,B
            CP    01
            JP    Z,01
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CP    02
        JP    Z,02
        CP    03
        JP    Z,03
        CP    04
        JP    Z,04
        CP    05
        JP    Z,05
        CP    06
        JP    Z,06
        CP    07
        JP    Z,07
        CP    08
        JP    Z,08
        CP    09
        JP    Z,09
        CP    10H
        JP    Z,010
        CP    11H
        JP    Z,011
        CP    12H
        JP    Z,012
        CP    13H
        JP    Z,013
        CP    14H
        JP    Z,014
        CP    15H
        JP    Z,015
        CP    16H
        JP    Z,016
        CP    17H
        JP    Z,017
        CP    18H
        JP    Z,018
        CP    19H
        JP    Z,019
        CP    20H
        JP    Z,020
01:     LD    (IX),01H  ;RING-S1
        LD    (IX+3),80H;L1-S1
        LD    (IX+4),90H;L2-S1
        LD    E,1       ;MARK 8816
        LD    D,1       ;MARK PORT
        LD    C,00      ;MARK BIT
        LD    H,01      ;MARK SUB-NUMBER
        JP    KK
02:     LD    (IX),02H
        LD    (IX+3),81H
        LD    (IX+4),91H
        LD    E,1
        LD    D,1
        LD    C,01
        LD    H,02
        JP    KK
03:     LD    (IX),04H
        LD    (IX+3),82H
        LD    (IX+4),92H
        LD    E,1
        LD    D,1
        LD    C,01
        LD    H,03
        JP    KK
04:     LD    (IX),08H
        LD    (IX+3),83H
        LD    (IX+4),93H
        LD    E,1
        LD    D,1
        LD    C,03
        LD    H,04
        JP    KK
05:     LD    (IX),10H
        LD    (IX+3),84H
        LD    (IX+4),94H
        LD    E,1
        LD    D,1
        LD    C,04
        LD    H,05
        JP    KK
06:     LD    (IX),20H
        LD    (IX+3),85H
        LD    (IX+4),95H
        LD    E,1
        LD    D,1
        LD    C,05
        LD    H,06
        JP    KK
07:     LD    (IX),40H
        LD    (IX+3),86H
        LD    (IX+4),96H
        LD    E,1
        LD    D,1
        LD    C,06
        LD    H,07
        JP    KK
08:     LD    (IX),80H
        LD    (IX+3),87H
        LD    (IX+4),97H
        LD    E,1
        LD    D,1
        LD    C,07
        LD    H,08
        JP    KK
09:     LD    (IX),01
        LD    (IX+3),88H
        LD    (IX+4),98H
        LD    E,1
        LD    D,2
        LD    C,00
        LD    H,09
        JP    KK
010:    LD    (IX),02
        LD    (IX+3),89H
        LD    (IX+4),99H
        LD    E,1
        LD    D,2
        LD    C,01
        LD    H,10H
        JP    KK
011:    LD    (IX),04
        LD    (IX+3),80H
        LD    (IX+4),90H
        LD    E,2
        LD    D,2
        LD    C,02
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD      H,11H
        JP      KK
O12:    LD      (IX),08H
        LD      (IX+3),81H
        LD      (IX+4),91H
        LD      E,2
        LD      D,2
        LD      C,03
        LD      H,12H
        JP      KK
O13:    LD      (IX),10H
        LD      (IX+3),82H
        LD      (IX+4),92H
        LD      E,2
        LD      D,2
        LD      C,04
        LD      H,13H
        JP      KK
O14:    LD      (IX),20H
        LD      (IX+3),83H
        LD      (IX+4),93H
        LD      E,2
        LD      D,2
        LD      C,05
        LD      H,14H
        JP      KK
O15:    LD      (IX),40H
        LD      (IX+3),84H
        LD      (IX+4),94H
        LD      E,2
        LD      D,2
        LD      C,06
        LD      H,15H
        JP      KK
O16:    LD      (IX),80H
        LD      (IX+3),85H
        LD      (IX+4),95H
        LD      E,2
        LD      D,2
        LD      C,07
        LD      H,16H
        JP      KK
O17:    LD      (IX),21H
        LD      (IX+3),86H
        LD      (IX+4),96H
        LD      E,2
        LD      D,03
        LD      C,00
        LD      H,17H
        JP      KK
O18:    LD      (IX),22H
        LD      (IX+3),87H
        LD      (IX+4),97H
        LD      E,2
        LD      D,03
        LD      C,01
        LD      H,18H
        JP      KK
O19:    LD      (IX),24H
        LD      (IX+3),88H
        LD      (IX+4),98H
        LD      E,2
        LD      D,3
        LD      C,02
        LD      H,19H
        JP      KK
O20:    LD      (IX),28H
        LD      (IX+3),89H
        LD      (IX+4),99H
        LD      E,2
        LD      C,03
        LD      H,20H
        JP      KK
KK:     LD      A,(IY+6)  ;RINGBACK-L1
        OUT     (SWITCH1),A
        LD      A,D
        CP      1
        JR      Z,R_NG1   ;PORT A
        CP      2
        JR      Z,R_NG2   ;PORT B
        LD      A,(IX)    ;RING TO SUB
        OUT     (RING3),A
        JP      XX
R_NG2:  LD      A,(IX)
        OUT     (RING2),A
        LD      A,20H
        OUT     (RING3),A ;RING-OSC
        JP      XX
R_NG1:  LD      A,(IX)
        OUT     (RING1),A
        LD      A,20H
        OUT     (RING3),A
;*******************
;* WAIT SUB HOOK   *
;*******************
XX:     LD      B,0FFH
XX1:    CALL    DELAY
        CALL    DELAY
        LD      A,D
        CP      1
        JP      Z,PO_A
        CP      2
        JP      Z,PO_B
        IN      A,(STATUS3);WHEN D=3
        JP      BBT
PO_B:   IN      A,(STATUS2)
        JP      BBT
PO_A:   IN      A,(STATUS1)
BBT:    LD      L,A
        LD      A,C
        CP      0
        JP      Z,B_0
        CP      1
        JP      Z,B_1
        CP      2
        JP      Z,B_2
        CP      3
        JP      Z,B_3
        CP      4
        JP      Z,B_4
        CP      5
        JP      Z,B_5
        CP      6
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            JP    Z,B_6
            LD    A,L
            BIT   7,A
            JP    Z,WW_2      ;IF NO HOOK WAIT
            JP    CO_L        ;IF HOOK CONNECT
B_6:        LD    A,L
            BIT   6,A
            JP    Z,WW_2
            JP    CO_L
B_5:        LD    A,L
            BIT   5,A
            JP    Z,WW_2
            JP    CO_L
B_4:        LD    A,L
            BIT   4,A
            JP    Z,WW_2
            JP    CO_L
B_3:        LD    A,L
            BIT   3,A
            JP    Z,WW_2
            JP    CO_L
B_2:        LD    A,L
            BIT   2,A
            JP    Z,WW_2
            JP    CO_L
B_1:        LD    A,L
            BIT   1,A
            JP    Z,WW_2
            JP    CO_L
B_0:        LD    A,L
            BIT   0,A
            JP    Z,WW_2
            JP    CO_L
WW_2:       CALL  DELAY
            DEC   B
            LD    A,B
            CP    0
            JP    NZ,XX1
;******************
;*  OFF - RINGING *
;******************
            LD    A,D
            CP    1
            JR    Z,RGG1
            CP    2
            JR    Z,RGG2
            LD    A,00
            OUT   (RING3),A
            JP    OF_SUB
RGG2        LD    A,00
            OUT   (RING3),A
            OUT   (RING2),A ;OFF RINGING-SUB
            JP    OF_SUB
RGG1:       LD    A,00
            OUT   (RING3),A
            OUT   (RING1),A
OF_SUB:     LD    A,(IX+6)
            RES   7,A
            OUT   (SWITCH1),A;OFF BACK-TOT
            LD    A,(IY+7)
            OUT   (SWITCH1),A
            JP    S_TART
;******************
;* CONNECT TOT-SUB*
;******************
CO_L:       LD    A,(IY+6)  ;OFF RINGBACK_TOT
            RES   7,A
            OUT   (0E8H),A
            LD    A,D
            CP    1         ;CHECK PORT OF RING
            JP    Z,R_G1
            CP    2
            JP    Z,R_G2
            LD    A,00      ;R_G3
            OUT   (0E6H),A  ;OFF RING-SUB
            JP    CON
R_G2:       LD    A,00
            OUT   (0E5H),A
            OUT   (0E6H),A  ;OFF-OSC
            JP    CON
R_G1:       LD    A,00
            OUT   (0E4H),A
            OUT   (0E6H),A
CON:        LD    A,(IY+5)
            CP    1
            JP    Z,CC1
            LD    A,E       ;TOT2
            CP    1
            JP    Z,CNN11
            LD    A,(IY+3);TOT1-SUB IS CONNECTED
            OUT   (0E9H),A  ;8816-2
            LD    (IY+1FH),01
            JP    CK_SUB
CNN11:      LD    A,(IY+3)
            OUT   (0E8H),A  ;8816-1
            LD    (IY+1FH),01;MARK OPR IS USED
            JP    CK_SUB
CC1:        LD    A,E       ;TOT1
            CP    1
            JP    Z,CNN21
            LD    A,(IY+4)
            OUT   (0E9H),A  ;TOT1-SUB
            LD    (IY+20H),01;MARK IS USED
            JP    CK_SUB
CNN21:      LD    A,(IY+4)
            OUT   (0E8H),A  ;8816-1
            LD    (IY+20H),01
            JP    CK_SUB
;************************************
;* CHECK LINE-TOT AND BCD_IN FOR SUB *
;************************************
COILL:      CALL  DELAY
            LD    B,02FH
CL1:        IN    A,(BCD_IN);STROBE
            BIT   4,A   ;CHECK SUB TO SUB
            JP    NZ,SB_SB ;GO SUB TO SUB
            IN    A,(STATUS3)
            BIT   5,A
            JP    NZ,CK_L1 ;CHECK TOT
            LD    (IY+1FH),00
;TOT22:     BIT   6,A
            JP    NZ,CK_L2
;TT2:       LD    (IY+20H),00;MARK TOT2 NO USED
            CALL  DELAY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            CALL  DELAY
            CALL  DELAY
            DJNZ  CL1
            IN    A,(STATUS3)
            BIT   4,A
            JP    NZ,S_TART
            JP    CK_SUB
CK_L1:      LD    A,(IY+1FH)
            CP    1
            JP    NZ,C_L1
            JP    TOT22
CK_L2:      LD    A,(IY+20H)
            CP    1
            JP    NZ,C_L2
            JP    CK_SUB    ;TOT1,2 BUSY
C_L1:       LD    A,E
            CP    1
            JP    Z,C_L11
            LD    A,(IY+3)  ;TOT1
            OUT   (SWITCH2),A
            LD    A,(IY+2)
            RES   7,A
            OUT   (SWITCH2),A;OFF OPR SUB
            JP    ST_L1
C_L11:      LD    A,(IY+3)
            OUT   (SWITCH1),A;TOT
            LD    A,(IY+2)
            RES   7,A
            OUT   (SWITCH1),A;OFF OPR-SUB
            JP    ST_L1
C_L2:       LD    A,E
            CP    1
            JP    Z,C_L21
            LD    A,(IY+4)  ;L2 8816-2
            OUT   (SWITCH2),A
            LD    A,(IY+2)
            RES   7,A
            OUT   (SWITCH2),A
            JP    ST_L2
C_L21:      LD    A,(IY+4)
            OUT   (SWITCH1),A
            LD    A,(IY+20H)
            RES   7,A
            OUT   (SWITCH1),A
ST_L2:      LD    (IY+20H),01
            JP    CK_SUB
ST_L1:      LD    (IY+31),01
            JP    CK_SUB
;*****************
; START SUB SUB
;*****************
SB_SB:      LD    A,H
            CP    1
            JP    Z,MK1
            CP    2
            JP    Z,MK2
            CP    3
            JP    Z,MK3
            CP    4
            JP    Z,MK4
            CP    5
            JP    Z,MK5
            CP    6
            JP    Z,MK6
            CP    7
            JP    Z,MK7
            CP    8
            JP    Z,MK8
            CP    9
            JP    Z,MK9
            CP    10H
            JP    Z,MK10
            CP    11H
            JP    Z,MK1
            CP    12H
            JP    Z,MK2
            CP    13H
            JP    Z,MK3
            CP    14H
            JP    Z,MK4
            CP    15H
            JP    Z,MK5
            CP    16H
            JP    Z,MK6
            CP    17H
            JP    Z,MK7
            CP    18H
            JP    Z,MK8
            CP    19H
            JP    Z,MK9
            CP    20H
            JP    Z,MK10
MK1:        LD    (IY),0B0H     ;CO1-S1
            LD    (IY+1),0C0H;CO2-S1
            LD    (IY+2),0D0H;CO3-S1
            JP    SU_SU
MK2:        LD    (IY),0B1H
            LD    (IY+1),0C1H
            LD    (IY+2),0D1H
            JP    SU_SU
MK3:        LD    (IY),0B2H
            LD    (IY+1),0C2H
            LD    (IY+2),0D2H
            JP    SU_SU
MK4:        LD    (IY),0B3H
            LD    (IY+1),0C3H
            LD    (IY+2),0D3H
            JP    SU_SU
MK5:        LD    (IY),0B4H
            LD    (IY+1),0C4H
            LD    (IY+2),0D4H
            JP    SU_SU
MK6:        LD    (IY),0B5H
            LD    (IY+1),0C5H
            LD    (IY+2),0D5H
            JP    SU_SU
MK7:        LD    (IY),0B6H
            LD    (IY+1),0C6H
            LD    (IY+2),0D6H
            JP    SU_SU
MK8:        LD    (IY),0B7H
            LD    (IY+1),0C7H
            LD    (IY+2),0D7H
            JP    SU_SU
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MK9:    LD    (IY),0B8H
        LD    (IY+1),0C8H
        LD    (IY+2),0D8H
        JP    SU_SU
MK10:   LD    (IY),0B9H
        LD    (IY+1),0C9H
        LD    (IY+2),0D9H
SU_SU:  CALL  DELAY
        CALL  DELAY
STORT:  LD    B,00
        LD    IX,RING
INPUT:  IN    A,(BCD_IN)
        CALL  DELAY
        AND   0FH
        INC   B
        CP    1
        JR    Z,DD1
        CP    2
        JR    Z,DD2
        CP    3
        JR    Z,DD3
        CP    4
        JR    Z,DD4
        CP    5
        JR    Z,DD5
        CP    6
        JR    Z,DD6
        CP    7
        JR    Z,DD7
        CP    8
        JR    Z,DD8
        CP    9
        JR    Z,DD9
        CP    0AH
        JR    Z,DD0
DD1:    LD    (IX),06H
        JP    CRT1
DD2:    LD    (IX),5BH
        JP    CRT1
DD3:    LD    (IX),4FH
        JP    CRT1
DD4:    LD    (IX),66H
        JP    CRT1
DD5:    LD    (IX),6DH
        JP    CRT1
DD6:    LD    (IX),7DH
        JP    CRT1
DD7:    LD    (IX),07H
        JP    CRT1
DD8:    LD    (IX),7FH
        JP    CRT1
DD9:    LD    (IX),6FH
        JP    CRT1
DD0:    LD    (IX),3FH
;**********************
;*     - DISPLAY -      *
;**********************
CRT1:   LD    A,B
        CP    3
        JP    Z,BT_3
        CP    2
        JP    Z,BT_2
        CP    1
        JP    Z,BT_1
SFT2:   LD    E,(IX+1)  ;SHIFT2
        LD    (IX+2),E
SFT1:   LD    E,(IX)
        LD    (IX+1),E
        JP    INPUT
BT_3:   LD    A,0FEH
        OUT   (SEGCOM),A
        LD    A,(IX+2)
        OUT   (SEG),A
        CALL  DELAY2
BT_2:   LD    A,0FDH
        OUT   (SEGCOM),A
        LD    A,(IX+1)
        OUT   (SEG),A
        CALL  DELAY2
BT_1:   LD    A,0FBH
        OUT   (SEGCOM),A
        LD    A,(IX)
        OUT   (SEG),A
        CALL  DELAY2
        IN    A,(BCD_IN)
        BIT   4,A
        JP    NZ,CK_BT
        LD    A,B
        CP    3
        JP    NZ,CRT1
        JP    MMM
CK_BT:  LD    A,B
        CP    1
        JR    Z,SFT1
        CP    2
        JR    Z,SFT2
MMM:    LD    B,0FFH
DIISS:  LD    A,0FEH
        OUT   (SEGCOM),A
        LD    A,(IX+2)
        OUT   (SEG),A
        CALL  DELAY2
        LD    A,0FDH
        OUT   (SEGCOM),A
        LD    A,(IX+1)
        OUT   (SEG),A
        CALL  DELAY2
        LD    A,0FBH
        OUT   (SEGCOM),A
        LD    A,(IX)
        OUT   (SEG),A
        CALL  DELAY2
        DJNZ  DIISS
;********************
;* CHECK LINE CO1-3*
;********************
        LD    A,0F8H
        OUT   (SEGCOM),A
        LD    A,40H
        OUT   (SEG),A
        LD    A,(IY+22H)
        CP    1
        JP    NZ,CO1_S  ;CO1 NO USED
        LD    A,(IY+23H)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                CP    1
                JP    NZ,CO2_S
                LD    A,(IY+24H)
                CP    1
                JP    NZ,CO3_S
CO1_S:          LD    L,1
                LD    (IY+22H),01;MARK CO1 IS USED
                LD    A,E
                CP    1
                JP    Z,CO11_S
                LD    A,(IY)      ;ON CO1-S
                OUT   (SWITCH2),A
                CALL  R_OPR       ;OFF OPR-SUB
                JP    CHANGES
CO11_S:         LD    A,(IY)
                OUT   (SWITCH1),A
                CALL  R_OPR
                JP    CHANGES
CO2_S:          LD    L,2
                LD    (IY+23H),01;MARK CO2 IS USED
                LD    A,E
                CP    1
                JP    Z,CO21_S
                LD    A,(IY)
                OUT   (SWITCH2),A
                CALL  R_OPR
                JP    CHANGES
CO21_S:         LD    A,(IY)
                OUT   (SWITCH1),A
                CALL  R_OPR
                JP    CHANGES
CO3_S:          LD    L,3
                LD    (IY+24H),01;MARK CO3 IS USED
                LD    A,E
                CP    1
                JP    Z,CO31_S
                LD    A,(IY)      ;ON CO3-SUB
                OUT   (SWITCH2),A
                CALL  R_OPR
                JP    CHANGES
CO31_S:         LD    A,(IY)
                OUT   (SWITCH1),A
                CALL  R_OPR
                JP    CHANGES
;*************************************
;*  CHANGE BCD TO  NUMBER   OF  SUB   *
;*************************************

;(IX)  =BIT1
;(IX+1)=BIT2
;(IX+2)=BIT2
CHANGES:        LD    B,02        ;COUNT BIT
PUT:            LD    A,(IX)
                CP    3FH
                JR    Z,NU_0
                CP    06H
                JR    Z,NU_1
                CP    5BH
                JR    Z,NU_2
                CP    4FH
                JR    Z,NU_3
                CP    66H
                JR    Z,NU_4
                CP    6DH
                JR    Z,NU_5
                CP    7DH
                JR    Z,NU_6
                CP    07H
                JR    Z,NU_7
                CP    77H
                JR    Z,NU_8
                CP    6FH
                JR    Z,NU_9
                JP    STORT
NU_0:           LD    (IX),00
                JP    SST
NU_1:           LD    (IX),01
                JP    SST
NU_2:           LD    (IX),02
                JP    SST
NU_3:           LD    (IX),03
                JP    SST
NU_4:           LD    (IX),04
                JP    SST
NU_5:           LD    (IX),05
                JP    SST
NU_6:           LD    (IX),06
                JP    SST
NU_7:           LD    (IX),07
                JP    SST
NU_8:           LD    (IX),08
                JP    SST
NU_9:           LD    (IX),09
SST:            INC   IX
                DJN   PUT
                LD    IX,RING
                LD    B,04
                LD    A,(IX+1)    ;GET 4 BIT MSB
ROTATE1:        RL    A
                DJNZ  ROTATE1
                LD    B,(IX)      ;GET 4 BIT LSB
                LD    IX,RING
                ADD   A,B
                CP    01
                JP    Z,J1
                CP    02
                JP    Z,J2
                CP    03
                JP    Z,J3
                CP    04
                JP    Z,J4
                CP    05
                JP    Z,J5
                CP    06
                JP    Z,J6
                CP    07
                JP    Z,J7
                CP    08
                JP    Z,J8
                CP    09
                JP    Z,J9
                CP    10H
                JP    Z,J10
                CP    11H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        JP      Z,J11
        CP      12H
        JP      Z,J12
        CP      13H
        JP      Z,J13
        CP      14H
        JP      Z,J14
        CP      15H
        JP      Z,J15
        CP      16H
        JP      Z,J16
        CP      17H
        JP      Z,J17
        CP      18H
        JP      Z,J18
        CP      19H
        JP      Z,J19
        CP      20H
        JP      Z,J20
        JP      PUT
J1:     LD      (IX),01H  ;RING-SUB1
        LD      (IX+1),0B0H;CO1-SUB1
        LD      (IX+2),0C0H;CO2-SUB1
        LD      (IX+3),0D0H;CO3-SUB1
        LD      E,1
        LD      D,1
        LD      C,00
        LD      H,01
        JP      SIIG
J2:     LD      (IX),02H
        LD      (IX+1),0B1H
        LD      (IX+2),0C1H
        LD      (IX+3),0D1H
        LD      E,1
        LD      D,1
        LD      C,01
        LD      H,01
        JP      SIIG
J3:     LD      (IX),04H
        LD      (IX+1),0B2H
        LD      (IX+2),0C2H
        LD      (IX+3),0D2H
        LD      E,1
        LD      D,1
        LD      C,02
        LD      H,03
        JP      SIIG
J4:     LD      (IX),08H
        LD      (IX+1),0B3H
        LD      (IX+2),0C3H
        LD      (IX+3),0D3H
        LD      E,1
        LD      D,1
        LD      C,03
        LD      H,04
        JP      SIIG
J5:     LD      (IX),10H
        LD      (IX+1),0B4H
        LD      (IX+2),0C4H
        LD      (IX+3),0D4H
        LD      E,1
        LD      D,1
        LD      C,04
        LD      H,05
        JP      SIIG
J6:     LD      (IX),20H
        LD      (IX+1),0B5H
        LD      (IX+2),0C5H
        LD      (IX+3),0D5H
        LD      E,1
        LD      D,1
        LD      C,05
        LD      H,06
        JP      SIIG
J7:     LD      (IX),40H
        LD      (IX+1),0B6H
        LD      (IX+2),0C6H
        LD      (IX+3),0D6H
        LD      E,1
        LD      D,1
        LD      C,06
        LD      H,07
        JP      SIIG
J8:     LD      (IX),80H
        LD      (IX+1),0B7H
        LD      (IX+2),0C7H
        LD      (IX+3),0D7H
        LD      E,1
        LD      D,1
        LD      C,07
        LD      H,08
        JP      SIIG
J9:     LD      (IX),01H
        LD      (IX+1),0B8H
        LD      (IX+2),0C8H
        LD      (IX+3),0D8H
        LD      E,1
        LD      D,2
        LD      C,00
        LD      H,09
        JP      SIIG
J10:    LD      (IX),02H
        LD      (IX+1),0B9H
        LD      (IX+2),0C9H
        LD      (IX+3),0D9H
        LD      E,1
        LD      D,2
        LD      C,01
        LD      H,10H
        JP      SIIG
J11:    LD      (IX),04H
        LD      (IX+1),0B0H
        LD      (IX+2),0C0H
        LD      (IX+3),0D0H
        LD      E,2
        LD      D,2
        LD      C,02
        LD      H,11H
        JP      SIIG
J12:    LD      (IX),08H
        LD      (IX+1),0B1H
        LD      (IX+2),0C1H
        LD      (IX+3),0D1H
        LD      E,2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD    D,2
        LD    C,03
        LD    H,12H
        JP    SIIG
J13:    LD    (IX),10H
        LD    (IX+1),0B2H
        LD    (IX+2),0C2H
        LD    (IX+3),0D2H
        LD    E,2
        LD    D,2
        LD    C,04
        LD    H,13H
        JP    SIIG
J14:    LD    (IX),20H
        LD    (IX+1),0B3H
        LD    (IX+2),0C3H
        LD    (IX+3),0D3H
        LD    E,2
        LD    D,2
        LD    C,05
        LD    H,14H
        JP    SIIG
J15:    LD    (IX),40H
        LD    (IX+1),0B4H
        LD    (IX+2),0C4H
        LD    (IX+3),0D4H
        LD    E,2
        LD    D,2
        LD    C,06
        LD    H,15H
        JP    SIIG
J16:    LD    (IX),80H
        LD    (IX+1),0B5H
        LD    (IX+2),0C5H
        LD    (IX+3),0D5H
        LD    E,2
        LD    D,2
        LD    C,07
        LD    H,16H
        JP    SIIG
J17:    LD    (IX),021H
        LD    (IX+1),0B6H
        LD    (IX+2),0C6H
        LD    (IX+3),0D6H
        LD    E,2
        LD    D,3
        LD    C,00
        LD    H,17H
        JP    SIIG
J18:    LD    (IX),022H
        LD    (IX+1),0B7H
        LD    (IX+2),0C7H
        LD    (IX+3),0D7H
        LD    E,1
        LD    D,1
        LD    C,00
        LD    H,18H
        JP    SIIG
J19:    LD    (IX),024H
        LD    (IX+1),0B8H
        LD    (IX+2),0C8H
        LD    (IX+3),0D8H
        LD    E,1
        LD    D,1
        LD    C,00
        LD    H,19H
        JP    SIIG
J20:    LD    (IX),028H
        LD    (IX+1),0B9H
        LD    (IX+2),0C9H
        LD    (IX+3),0D9H
        LD    E,1
        LD    D,1
        LD    C,00
        LD    H,20H
        JP    SIIG
;******************
;* RINGBACK TO  CO*
;******************
SIIG:   LD    A,L
        CP    1
        JP    Z,CO1
        CP    2
        JP    Z,CO2
        LD    A,0DDH
        OUT   (SWITCH1),A;RINGBACK-CO3
        JP    SIIG1
CO2:    LD    A,0CDH
        OUT   (SWITCH1),A
        JP    SIIG1
CO1:    LD    A,0BDH
        OUT   (SWITCH1),A
;******************
;*   CHECK - PORT *
;******************
SIIG1:  LD    A,D
        CD    1
        JR    Z,RR1
        CP    2
        JR    Z,RR2
        LD    A,(IX)     ;RING TO SUB
        OUT   (RING3),A
        JP    C_COL
RR2:    LD    A,(IX)
        OUT   (RING2),A ;RING-OSC
        LD    A,20H
        OUT   (RING3),A
        JP    C_COL
RR1:    LD    A,(IX)
        OUT   (RING1),A
        LD    A,20H
        OUT   (RING3),A
;******************
;*  WAIT SUB HOOK *
;******************
C_COL:  LD    B,012H
COLL:   CALL  DELAY
        CALL  DELAY
        LD    A,D
        CP    1
        JP    Z,P_A
        CP    2
        JP    Z,P_B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        IN    A,(STATUS3);WHEN D=3
        JP    BIT_T
P_B:    IN    A,(STATUS2)
        JP    BIT_T
P_A:    IN    A,(STATUS1)
BIT_T:  LD    (IX+4),A
        LD    A,C
        CP    0
        JP    Z,AB0
        CP    1
        JP    Z,AB1
        CP    2
        JP    Z,AB2
        CP    3
        JP    Z,AB3
        CP    4
        JP    Z,AB4
        CP    5
        JP    Z,AB5
        CP    6
        JP    Z,AB6
        LD    A,(IX+4)
        BIT   7,A
        JP    Z,COL     ;IF NO HOOK WAIT
        JP    CO        ;IF HOOK CONNECT
AB6:    LD    A,(IX+4)
        BIT   6,A
        JP    Z,COL
        JP    CO
AB5:    LD    A,(IX+4)
        BIT   5,A
        JP    Z,COL
        JP    CO
AB4:    LD    A,(IX+4)
        BIT   4,A
        JP    Z,COL
        JP    CO
AB3:    LD    A,(IX+4)
        BIT   3,A
        JP    Z,COL
        JP    CO
AB2:    LD    A,(IX+4)
        BIT   2,A
        JP    Z,COL
        JP    CO
AB1:    LD    A,(IX+4)
        BIT   1,A
        JP    Z,COL
        JP    CO
AB0:    LD    A,(IX+4)
        BIT   0,A
        JP    Z,COL
        JP    CO
COL:    CALL  DELAY
        DEC   B
        JP    NZ,COLL
;******************
;* OFF - RINGING *
;******************
        LD    A,D
        CP    1
        JR    Z,R1A
        CP    2
        JR    Z,R2A
        LD    A,00
        OUT   (RING3),A
        JP    OUT
R2A:    LD    A,00
        OUT   (RING3),A
        OUT   (RING2),A
        JP    OUT
R1A:    LD    A,00
        OUT   (RING3),A
        OUT   (RING1),A
OUT:    LD    A,L
        CP    1
        JP    Z,FOCO1
        CP    2
        JP    Z,FOCO2
        LD    A,5DH
        OUT   (SWITCH1),A;OFF RINGBACK-CO3
        LD    A,0DCH
        OUT   (SWITCH1),A;BUSY TO CO3
        LD    (IY+24H),0
        JP    LOW
FOCO2:  LD    A,4DH
        OUT   (SWITCH1),A
        LD    A,0CCH
        OUT   (SWITCH1),A
        LD    (IY+23H),00
        JP    LOW
FOCO1:  LD    A,3DH
        OUT   (SWITCH1),A
        LD    A,0BCH
        OUT   (SWITCH1),A
        LD    (IY+22H),00
        JP    LOW
LOW:    LD    B,0FH
LOWS:   CALL  DELAY
        CALL  DELAY
        DJNZ  LOWS
        CALL  R_CO
        CALL  SET1
        JP    S_TART
;******************
;CONNECT SUB - SUB*
;******************
CO:     LD    A,D
        CP    1
        JP    Z,OFFR1
        CP    2
        JP    Z,OFFR2
        LD    A,00
        OUT   (RING3),A
        JP    CAT
OFFR2:  LD    A,00
        OUT   (RING3),A
        OUT   (RING2),A
        JP    CAT
OFFR1:  LD    A,00
        OUT   (RING3),A
        OUT   (RING1),A
CAT:    LD    A,L
        CP    1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                JP      Z,TTT1
                CP      2
                JP      Z,TTT2
                LD      A,E
                CP      1
                JP      Z,T31
                LD      A,5DH     ;OFF RINGBACK-CO3
                OUT     (SWITCH1),A
                LD      A,(IX+3)
                OUT     (SWITCH2),A;CO3-SUB 8816-2
                LD      (IY+24H),01
                JP      SATART
T31:            LD      A,5DH
                LD      A,(IX+3)
                OUT     (SWITCH1),A
                LD      (IY+24H),01
                JP      SATART
TTT2:           LD      A,E
                CP      1
                JP      Z,T21
                LD      A,4DH
                OUT     (SWITCH1),A
                LD      A,(IX+3)
                OUT     (SWITCH2),A
                LD      (IY+23H),01
                JP      SATART
T21:            LD      A,4DH
                OUT     (SWITCH1),A
                LD      A,(IX+3)
                OUT     (SWITCH1),A
                LD      (IY+23H),01
                JP      SATART
TTT1:           LD      A,E
                CP      1
                JP      Z,T11
                LD      A,3DH
                OUT     (SWITCH1),A
                LD      A,(IX+3)
                OUT     (SWITCH2),A
                LD      (IY+22H),01
                JP      SATART
T11:            LD      A,3DH
                OUT     (SWITCH1),A
                LD      A,(IY+3)
                OUT     (SWITCH1),A
                LD      (IY+22H),01
SATART:         CALL    SET1
                CALL    SET0
                JP      CK_SUB
;*******************
;*   RESET - CO    *
*******************
R_CO:           LD      A,(IY+22H)
                CP      1
                JP      Z,R_CCO2
                CALL    R_CO1
R_CCO2:         LD      A,(IY+23H)
                CP      1
                JP      Z,R_CCO3
                CALL    R_CO2
R_CCO3:         LD      A,(IY+24H)
                CP      1
                JP      Z,R_CCO4
                CALL    R_CO3
R_CCO4:         RET
;*******************
;*     RESET-CO1   *
;*******************
R_CO1:          PUSH    BC
                PUSH    AF
                LD      B,8
                LD      A,30H
R_COO1:         OUT     (SWITCH1),A
                OUT     (SWITCH2),A
                INC     A
                DJNZ    R_COO1
                LD      A,3CH
                OUT     (SWITCH1),A
                LD      A,3DH
                OUT     (SWITCH1),A
                POP     AF
                POP     BC
                RET
;*******************
;*     RESET-CO2   *
;*******************
R_CO2:          PUSH    BC
                PUSH    AF
                LD      B,8
                LD      A,40H
R_COO2:         OUT     (SWITCH1),A
                OUT     (SWITCH2),A
                INC     A
                DJNZ    R_COO1
                LD      A,4CH
                OUT     (SWITCH1),A
                LD      A,4DH
                OUT     (SWITCH1),A
                POP     AF
                POP     BC
                RET
;*******************
;*     RESET-CO3   *
;*******************
R_CO3:          PUSH    BC
                PUSH    AF
                LD      B,8
                LD      A,50H
R_COO3:         OUT     (SWITCH1),A
                OUT     (SWITCH2),A
                INC     A
                DJNZ    R_COO1
                LD      A,5DH
                OUT     (SWITCH1),A
                LD      A,5CH
                OUT     (SWITCH1),A
                POP     AF
                POP     BC
                RET
;*******************
;* OFF - RINGING   *
;*******************
OFFRING:        LD      A,D
                CP      1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                JP      Z,OFFRING1
                CP      2
                JP      Z,OFFRING2
                LD      A,00
                OUT     (RING3),A
                JP      OFF
OFFRING2:       LD      A,00H
                OUT     (RING3),A
                OUT     (RING2),A
                JP      OFF
OFFRING1:       LD      A,00H
                OUT     (RING3),A
                OUT     (RING1),A
OFF:            RET
;*******************
;*   RESET IX IY   *
;*******************
R_SET:          LD      B,1EH
V:              LD      (IX),00
                INC     IX
                DJNZ    V
                LD      B,25H
VVVV:           LD      (IY),00
                INC     IY
                DJNZ    VVVV
                RET
;*******************
;* RESET   RINGING*
;*******************
R_RING:         PUSH    AF
                LD      A,00H
                OUT     (RING1),A
                OUT     (RING2),A
                OUT     (RING3),A
                POP     AF
                RET
;*******************
;  CLEAR  -  SUB1  *
;*******************
R_S1:           PUSH    AF
                PUSH    BC
                LD      B,08
                LD      C,10H
                LD      A,00H
RE_SUB1:        OUT     (SWITCH1),A
                ADD     A,C
                DJNZ    RE_SUB1
                POP     BC
                POP     AF
                RET
;*******************
;* CLEAR - SUB2    *
;*******************
R_S2:           PUSH    AF
                PUSH    BC
                LD      B,08
                LD      C,10H
                LD      A,01H
RE_SUB2:        OUT     (SWITCH1),A
                ADD     A,C
                DJNZ    RE_SUB2
                POP     BC
                POP     AF
                RET
;*******************
;*  CLEAR - SUB3   *
;*******************
R_S3:           PUSH    AF
                PUSH    BC
                LD      B,08
                LD      C,10H
                LD      A,02H
RE_SUB3:        OUT     (SWITCH1),A
                ADD     A,C
                DJNZ    RE_SUB3
                POP     BC
                POP     AF
                RET
;*******************
;* CLEAR - SUB4    *
;*******************
R_S4:           PUSH    AF
                PUSH    BC
                LD      B,08
                LD      C,10H
                LD      A,03H
RE_SUB4:        OUT     (SWITCH1),A
                ADD     A,C
                DJNZ    RE_SUB4
                POP     BC
                POP     AF
                RET
;*******************
;  CLEAR  -  SUB5   *
;*******************
R_S5:           PUSH    AF
                PUSH    BC
                LD      B,08
                LD      C,10H
                LD      A,04H
RE_SUB5:        OUT     (SWITCH1),A
                ADD     A,C
                DJNZ    RE_SUB5
                POP     BC
                POP     AF
                RET
;*******************
;*  CLEAR  -  SUB5  *
;*******************
R_S6:           PUSH    AF
                PUSH    BC
                LD      B,08
                LD      C,10H
                LD      A,05H
RE_SUB6:        OUT     (SWITCH1),A
                ADD     A,C
                DJNZ    RE_SUB6
                POP     BC
                POP     AF
                RET
;*******************
;*   CLEAR - SUB7  *
;*******************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
R_S7:       PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,06H
RE_SUB7:    OUT   (SWITCH1),A
            ADD   A,C
            DJNZ  RE_SUB7
            POP   BC
            POP   AF
            RET
;******************
;*  CLEAR - SUB8  *
;******************
R_S8:       PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,07H
RE_SUB8:    OUT   (SWITCH1),A
            ADD   A,C
            DJNZ  RE_SUB8
            POP   BC
            POP   AF
            RET
;******************
;*  CLEAR - SUB9  *
;******************
R_S9:       PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,08H
RE_SUB9:    OUT   (SWITCH1),A
            ADD   A,C
            DJNZ  RE_SUB9
            POP   BC
            POP   AF
            RET
;******************
;*  CLEAR - SUB10 *
;******************
R_S10:      PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,09H
RE_SUB10:   OUT   (SWITCH1),A
            ADD   A,C
            DJNZ  RE_SUB10
            POP   BC
            POP   AF
            RET
;******************
;* CLEAR  -  SUB11*
;******************
R_S11:      PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,00H
RE_SUB11:   OUT   (SWITCH2),A
            ADD   A,C
            DJNZ  RE_SUB11
            POP   BC
            POP   AF
            RET
;******************
;  CLEAR - SUB12   *
;******************
R_S12:      PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,01H
RE_SUB12:   OUT   (SWITCH2),A
            ADD   A,C
            DJNZ  RE_SUB12
            POP   BC
            POP   AF
            RET
;******************
;  CLEAR - SUB13   *
;******************
R_S13:      PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,02H
RE_SUB13:   OUT   (SWITCH2),A
            ADD   A,C
            DJNZ  RE_SUB13
            POP   BC
            POP   AF
            RET
;******************
;  CLEAR - SUB14   *
;******************
R_S14:      PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,03H
RE_SUB14:   OUT   (SWITCH2),A
            ADD   A,C
            DJNZ  RE_SUB14
            POP   BC
            POP   AF
            RET
;******************
;*  CLEAR - SUB15 *
;******************
R_S15:      PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,04H
RE_SUB15:   OUT   (SWITCH2),A
            ADD   A,C
            DJNZ  RE_SUB15
            POP   BC
            POP   AF
            RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*******************
;* CLEAR - SUB16  *
;*******************
R_S16:      PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,05H
RE_SUB16:   OUT   (SWITCH2),A
            ADD   A,C
            DJNZ  RE_SUB16
            POP   BC
            POP   AF
            RET
;*******************
;*  CLEAR - SUB17 *
;*******************
R_S17:      PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,06H
RE_SUB17:   OUT   (SWITCH2),A
            ADD   A,C
            DJNZ  RE_SUB17
            POP   BC
            POP   AF
            RET
;*******************
;* CLEAR - SUB18  *
;*******************
R_S18:      PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,07H
RE_SUB18:   OUT   (SWITCH2),A
            ADD   A,C
            DJNZ  RE_SUB18
            POP   BC
            POP   AF
            RET
;*******************
;* CLEAR - SUB19  *
;*******************
R_S19:      PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,08H
RE_SUB19:   OUT   (SWITCH2),A
            ADD   A,C
            DJNZ  RE_SUB19
            POP   BC
            POP   AF
            RET
;*******************
;* CLEAR - SUB20  *
;*******************
R_S20:      PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,09H
RE_SUB20:   OUT   (SWITCH2),A
            ADD   A,C
            DJNZ  RE_SUB20
            POP   BC
            POP   AF
            RET
;*******************
;*  CLEAR - OPR   *
;*******************
R_OPR:      PUSH  AF
            PUSH  BC
            LD    B,0AH
            LD    A,20H
RE_OPR:     OUT   (SWITCH1),A
            OUT   (SWITCH2),A
            INC   A
            DJNZ  RE_OPR
            LD    A,2DH
            OUT   (SWITCH1),A
            LD    A,2CH
            OUT   (SWITCH1),A
            POP   BC
            POP   AF
            RET
;*******************
;*  CLEAR - TOT1  *
;*******************
R_TOT1:     PUSH  AF
            PUSH  BC
            LD    B,10
            LD    A,00H
RE_TOT1:    OUT   (SWITCH1),A
            OUT   (SWITCH2),A
            INC   A
            DJNZ  RE_TOT1
            LD    A,0DH
            OUT   (SWITCH1),A
            LD    A,0CH
            OUT   (SWITCH1),A
            POP   BC
            POP   AF
            RET
;*******************
;*  CLEAR - TOT2   *
;*******************
R_TOT2:     PUSH  AF
            PUSH  BC
            LD    B,08
            LD    C,10H
            LD    A,10H
RE_TOT2:    OUT   (SWITCH1),A
            OUT   (SWITCH2),A
            ADD   A,C
            DJNZ  RE_SUB20
            LD    A,1DH
            OUT   (SWITCH1),A
            LD    A,1CH
            OUT   (SWITCH1),A
            POP   BC
            POP   AF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*******************
;* RESET - STATUS *
;*******************
SET0:   LD   IY,CHECKS
        IN   A,(STATUS1);CHECK SUB CALL
        BIT  0,A
        JP   NZ,CK2
        LD   (IY+0BH),00
        CALL R_S1
CK2:    BIT  1,A
        JP   NZ,CK3
        LD   (IY+0CH),00
        CALL R_S2
CK3:    BIT  2,A
        JP   NZ,CK4
        LD   (IY+0DH),00
        CALL R_S3
CK4:    BIT  3,A
        JP   NZ,CK5
        LD   (IY+0EH),00
        CALL R_S4
CK5:    BIT  4,A
        JP   NZ,CK6
        LD   (IY+0FH),00
        CALL R_S5
CK6:    BIT  5,A
        JP   NZ,CK7
        LD   (IY+10H),00
        CALL R_S6
CK7:    BIT  6,A
        JP   NZ,CK8
        POP  IY
        PUSH AF
        POP  AF
        PUSH DE
        POP  DE
        DJNZ DEL2
        LD   B,C
        DJNZ DELL2
        POP  BC
        RET
;*******************
;*     DELAY       *
;*******************
DELAY:  PUSH BC
        LD   B,0BFH
DELL:   LD   C,B
        LD   B,05FH
DEL:    PUSH IY
        POP  IY
        PUSH IY
        POP  IY
        PUSH AF
        POP  AF
        PUSH DE
        POP  DE
        DJNZ DEL
        LD   B,C
        DJNZ DELL
        POP  BC
        RET
        RET
;*******************
;*     DELAY1      *
;*******************
DELAY1: PUSH BC
        LD   B,02FH
DELL1:  LD   C,B
        LD   B,0AH
DEL1:   PUSH IY
        POP  IY
        PUSH IY
        POP  IY
        PUSH AF
        POP  AF
        PUSH DE
        POP  DE
        DJNZ DEL1
        LD   B,C
        DJNZ DELL1
        POP  BC
        RET
;*******************
;*     DELAY2      *
;*******************
DELAY2: PUSH BC
        LD   B,01FH
DELL2:  LD   C,B
        LD   B,0AH
DEL2:   PUSH IY
        POP  IY
        PUSH IY
        LD   (IY+11H),00
        CALL R_S7
CK8:    BIT  7,A
        JP   NZ,CK9
        LD   (IY+12H),00
        CALL R_S8
CK9:    IN   A,(STATUS2)
        BIT  0,A
        JP   NZ,CK10
        LD   (IY+13H),00
        CALL R_S9
CK10:   BIT  1,A
        JP   NZ,CK11
        LD   (IY+14H),00
        CALL R_S10
CK11:   BIT  2,A
        JP   NZ,CK12
        LD   (IY+15H),00
        CALL R_S11
CK12:   BIT  3,A
        JP   NZ,CK13
        LD   (IY+16H),00
        CALL R_S12
CK13:   BIT  4,A
        JP   NZ,CK14
        LD   (IY+17H),00
        CALL R_S13
CK14:   BIT  5,A
        JP   NZ,CK15
        LD   (IY+18H),00
        CALL R_S14
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CK15:   BIT   6,A
        JP    NZ,CK16
        LD    (IY+19H),00
        CALL  R_S15
CK16:   BIT   7,A
        JP    NZ,CK17
        LD    (IY+1AH),00
        CALL  R_S16
CK17:   IN    A,(STATUS3)
        BIT   0,A
        JP    NZ,CK18
        LD    (IY+1BH),00
        CALL  R_S17
CK18:   BIT   1,A
        JP    NZ,CK19
        LD    (IY+1CH),00
        CALL  R_S18
CK19:   BIT   2,A
        JP    NZ,CK20
        LD    (IY+1DH),00
        CALL  R_S19
CK20:   BIT   3,A
        JP    NZ,CK21
        LD    (IY+1EH),00
        CALL  R_S20
CK21:   BIT   4,A
        JP    NZ,CK22
        LD    (IY+1FH),00;OPR CONDITION
        CALL  R_OPR
CK22:   BIT   5,A
        JP    NZ,CKK23
        LD    (IY+20H),00   ;TOT1
        CALL  R_TOT1
CKK23:  BIT   6,A
        JP    NZ,CKK24
        LD    (IY+21H),00   ;TOT2
        CALL  R_TOT2
CKK24:  RET

;***********************
;*  SET -  CONDITION   *
;***********************
SET1:   LD    IY,CHECKS
        LD    A,H
        CP    1
        JP    NZ,SE2
        LD    (IY+0BH),01
SE2:    CP    2
        JP    NZ,SE3
        LD    (IY+0CH),01
SE3:    CP    3
        JP    NZ,SE4
        LD    (IY+0DH),01
SE4:    CP    4
        JP    NZ,SE5
        LD    (IY+0EH),01
SE5:    CP    5
        JP    NZ,SE6
        LD    (IY+0FH),01
SE6:    CP    6
        JP    NZ,SE7
        LD    (IY+10H),01
SE7:    CP    7
        JP    NZ,SE8
        LD    (IY+11H),01
SE8:    CP    8
        JP    NZ,SE9
        LD    (IY+12H),01
SE9:    CP    9
        JP    NZ,SE10
        LD    (IY+13H),01
SE10:   CP    10H
        JP    NZ,SE11
        LD    (IY+14H),01
SE11:   CP    11H
        JP    NZ,SE12
        LD    (IY+15H),01
SE12:   CP    12H
        JP    NZ,SE13
        LD    (IY+16H),01
SE13:   CP    13H
        JP    NZ,SE14
        LD    (IY+17H),01
SE14:   CP    14H
        JP    NZ,SE15
        LD    (IY+18H),01
SE15:   CP    15H
        JP    NZ,SE16
        LD    (IY+19H),01
SE16:   CP    16H
        JP    NZ,SE17
        LD    (IY+1AH),01
SE17:   CP    17H
        JP    NZ,SE18
        LD    (IY+1BH),01
SE18:   CP    18H
        JP    NZ,SE19
        LD    (IY+1CH),01
SE19:   CP    19H
        JP    NZ,SE20
        LD    (IY+1DH),01
SE20:   LD    (IY+1EH),01
        RET

;********************
;*  RESET - SUB    *
;********************
R_SUB:  LD    A,H
        CP    1
        JP    NZ,QQ2
        CALL  R_S1
QQ2:    CP    2
        JP    NZ,QQ3
        CALL  R_S2
QQ3:    CP    3
        JP    NZ,QQ4
        CALL  R_S3
QQ4:    CP    4
        JP    NZ,QQ5
        CALL  R_S4
QQ5:    CP    5
        JP    NZ,QQ6
        CALL  R_S5
QQ6:    CP    6
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        JP      NZ,QQ7
        CALL    R_S6
QQ7:    CP      7
        JP      NZ,QQ8
        CALL    R_S7
QQ8:    CP      8
        JP      NZ,QQ9
        CALL    R_S8
QQ9:    CP      9
        JP      NZ,QQ10
        CALL    R_S9
QQ10:   CP      10H
        JP      NZ,QQ11
        CALL    R_S10
QQ11:   CP      11H
        JP      NZ,QQ12
        CALL    R_S11
QQ12:   CP      12H
        JP      NZ,QQ13
        CALL    R_S12
QQ13:   CP      13H
        JP      NZ,QQ14
        CALL    R_S13
QQ14:   CP      14H
        JP      NZ,QQ15
        CALL    R_S14
QQ15:   CP      15H
        JP      NZ,QQ16
        CALL    R_S15
QQ16:   CP      16H
        JP      NZ,QQ17
        CALL    R_S16
QQ17:   CP      17H
        JP      NZ,QQ18
        CALL    R_S17
QQ18:   CP      18H
        JP      NZ,QQ19
        CALL    R_S18
QQ19:   CP      19H
        JP      NZ,QQ20
        CALL    R_S19
QQ20:   CP      20H
        CALL    R_S20
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

DATA ของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9161-002-101-NA ISSUE 2 November 1988

Features

- Internal control latches and address decoder
- Short set-up and hold times
- Wide operating voltage: 4.5V to 13.2V
- 12Vpp analog signal capability
- R_{ON} 65Ω max. @ V_{DD} = 12V, 25°C
- $\Delta R_{ON} \leq 10\Omega$ @ V_{DD} = 12V, 25°C
- Full CMOS switch for low distortion
- Minimum feedthrough and crosstalk
- Separate analog and digital reference supplies
- Low power consumption ISO-CMOS technology

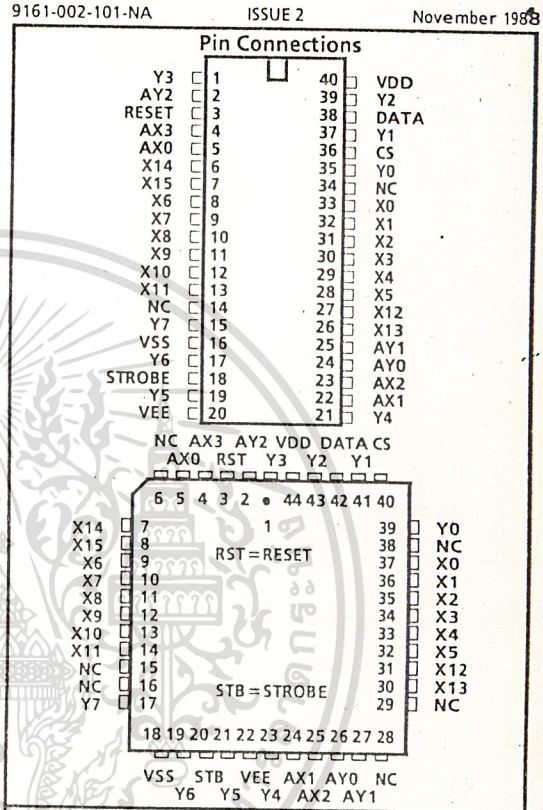
Applications

- Key systems
- PBX systems
- Mobile radio
- Test equipment /instrumentation
- Analog/digital multiplexers
- Audio/Video switching

Description

The Mitel MT8816 is fabricated in MITEL's ISO-CMOS technology providing low power dissipation and high reliability. The device contains a 8 × 16 array of crosspoint switches along with a 7 to 128 line decoder and latch circuits. Any one of the 128 switches can be addressed by selecting the appropriate seven address bits. The selected switch can be turned on or off by applying a logical one or zero to the DATA input. V_{SS} is the ground reference of the digital inputs. The range of the analog signal is from V_{DD} to V_{EE}. Chip Select (CS) allows the crosspoint array to be cascaded for matrix expansion.

Pin Connections



Ordering Information -40° to 85°C

MT8816AC	40 Pin CERDIP
MT8816AE	40 Pin PLASTIC DIP
MT8816AP	44 Pin PLCC

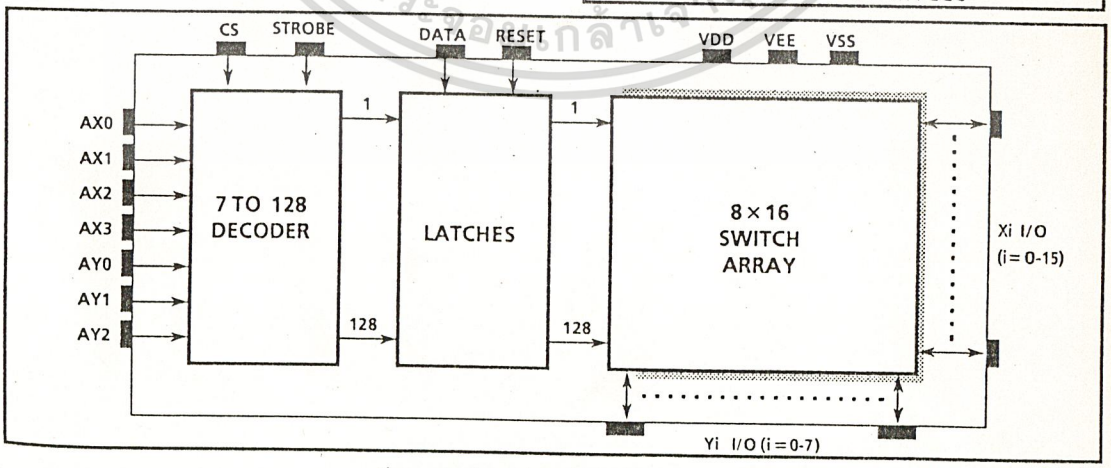


Figure 1- Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

- Voltages are with respect to V_{EE} unless otherwise stated.

	Parameter		Symbol	Min	Max	Units
1	Supply Voltage		V_{DD} V_{SS}	−0.3 −0.3	15.0 V_{DD}+0.3	V V
2	Analog Input Voltage		V_{INA}	−0.3	V_{DD}+0.3	V
3	Digital Input Voltage		V_{IN}	V_{SS}−0.3	V_{DD}+0.3	V
4	Current on any I/O Pin		I		±15	mA
5	Storage Temperature		T_S	−65	+150	°C
6	Package Power Dissipation	PLASTIC DIP CERDIP	P_D P_D		0.6 1.0	W W

*Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Recommended Operating Conditions

- Voltages are with respect to V_{EE} unless otherwise stated.

	Characteristics	Sym	Min	Typ	Max	Units	Test Conditions
1	Operating Temperature	T_O	−40	25	85	°C	
2	Supply Voltage	V_{DD} V_{SS}	4.5 V_{EE}		13.2 V_{DD}−4.5	V V	
3	Analog Input Voltage	V_{INA}	V_{EE}		V_{DD}	V	
4	Digital Input Voltage	V_{IN}	V_{SS}		V_{DD}	V	

DC Electrical Characteristics†

- Voltages are with respect to $V_{EE}=V_{SS}=0V$, $V_{DD}=12V$ unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Quiescent Supply Current	I_{DD}		1	100	µA	All digital inputs at $V_{IN}=V_{SS}$ or V_{DD}
				0.4	1.5	mA	All digital inputs at $V_{IN}=2.4+V_{SS}$; $V_{SS}=7.0V$
				5	15	mA	All digital inputs at $V_{IN}=3.4V$
2	Off-state Leakage Current (See G.9 in Appendix)	I_{OFF}		±1	±500	nA	$\lvert V_{Xi}-V_{Yj}\rvert = V_{DD}-V_{EE}$ See Appendix, Fig. A.1
3	Input Logic "0" level	V_{IL}			$0.8+V_{SS}$	V	$V_{SS}=7.5V$; $V_{EE}=0V$
4	Input Logic "1" level	V_{IH}	$2.0+V_{SS}$			V	$V_{SS}=6.5V$; $V_{EE}=0V$
5	Input Logic "1" level	V_{IH}	3.3			V	
6	Input Leakage (digital pins)	I_{LEAK}		0.1	10	µA	All digital inputs at $V_{IN}=V_{SS}$ or V_{DD}

† DC Electrical Characteristics are over recommended temperature range.
‡ Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.

DC Electrical Characteristics- Switch Resistance

- V_{DC} is the external DC offset applied at the analog I/O pins.

	Characteristics	Sym	25°C		70°C		85°C		Units	Test Conditions
			Typ	Max	Typ	Max	Typ	Max		
1	On-state Resistance $V_{DD}=12V$ $V_{DD}=10V$ $V_{DD}=5V$ (See G.1, G.2, G.3 in Appendix)	R_{ON}	45 55 120	65 75 185		75 85 215		80 90 225	Ω Ω Ω	$V_{SS}=V_{EE}=0V$, $V_{DC}=V_{DD}/2$, $\lvert V_{Xi}-V_{Yj}\rvert = 0.4V$ See Appendix, Fig. A.2
2	Difference in on-state resistance between two switches (See G.4 in Appendix)	ΔR_{ON}	5	10		10		10	Ω	$V_{DD}=12V$, $V_{SS}=V_{EE}=0$, $V_{DC}=V_{DD}/2$, $\lvert V_{Xi}-V_{Yj}\rvert = 0.4V$ See Appendix, Fig. A.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† - Crosspoint Performance

Voltages are with respect to $V_{DD} = 5V$, $V_{SS} = 0V$, $V_{EE} = -7V$, unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Switch I/O Capacitance	C_S		20		pF	f = 1 MHz
2	Feedthrough Capacitance	C_F		0.2		pF	f = 1 MHz
3	Frequency Response Channel "ON" $20LOG(V_{OUT}/V_{Xi}) = -3dB$	F_{3dB}		45		MHz	Switch is "ON"; V_{INA} = 2Vpp sine wave; R_L = 1kΩ See Appendix, Fig. A.3
4	Total Harmonic Distortion (See G.5, G.6 in Appendix)	THD		0.01		%	Switch is "ON"; V_{INA} = 2Vpp sine wave f = 1kHz; R_L = 1kΩ
5	Feedthrough Channel "OFF" Feed. = $20LOG (V_{OUT}/V_{Xi})$ (See G.8 in Appendix)	FDT		−95		dB	All Switches "OFF"; V_{INA} = 2Vpp sine wave f = 1kHz; R_L = 1kΩ. See Appendix, Fig. A.4
6	Crosstalk between any two channels for switches Xi − Yi and Xj − Yj. Xtalk = $20LOG (V_{Yj}/V_{Xi})$. (See G.7 in Appendix).	X_{talk}		−45		dB	V_{INA} = 2Vpp sine wave f = 10MHz; R_L = 75Ω.
				−90		dB	V_{INA} = 2Vpp sine wave f = 10kHz; R_L = 600Ω.
				−85		dB	V_{INA} = 2Vpp sine wave f = 10kHz; R_L = 1kΩ.
				−80		dB	V_{INA} = 2Vpp sine wave f = 1kHz; R_L = 10kΩ. Refer to Appendix, Fig. A.5 for test circuit.
7	Propagation delay through switch	t_{PS}			30	ns	R_L = 1kΩ; C_L = 50pF

† Timing is over recommended temperature range. See Fig. 2 for control and I/O timing details.
‡ Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.
Crosstalk measurements are for Plastic DIPS only, crosstalk values for PLCC packages are approximately 5dB better.

AC Electrical Characteristics† - Control and I/O Timings

Voltages are with respect to $V_{DD} = 5V$, $V_{SS} = 0V$, $V_{EE} = -7V$, unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Control Input crosstalk to switch (for CS, DATA, STROBE, Address)	CX_{talk}		30		mVpp	V_{IN} = 3V squarewave; R_{IN} = 1kΩ, R_L = 10kΩ. See Appendix, Fig. A.6
2	Digital Input Capacitance	C_{DI}		10		pF	f = 1MHz
3	Switching Frequency	F_O			20	MHz	
4	Setup Time DATA to STROBE	t_{DS}	10			ns	R_L = 1kΩ, C_L = 50pF ②
5	Hold Time DATA to STROBE	t_{DH}	10			ns	R_L = 1kΩ, C_L = 50pF ②
6	Setup Time Address to STROBE	t_{AS}	10			ns	R_L = 1kΩ, C_L = 50pF ②
7	Hold Time Address to STROBE	t_{AH}	10			ns	R_L = 1kΩ, C_L = 50pF ②
8	Setup Time CS to STROBE	t_{CSS}	10			ns	R_L = 1kΩ, C_L = 50pF ②
9	Hold Time CS to STROBE	t_{CSH}	10			ns	R_L = 1kΩ, C_L = 50pF ②
10	STROBE Pulse Width	t_{SPW}	20			ns	R_L = 1kΩ, C_L = 50pF ②
11	RESET Pulse Width	t_{RPW}	40			ns	R_L = 1kΩ, C_L = 50pF ②
12	STROBE to Switch Status Delay	t_S		40	100	ns	R_L = 1kΩ, C_L = 50 pF ②
13	DATA to Switch Status Delay	t_D		50	100	ns	R_L = 1kΩ, C_L = 50 pF ②
14	RESET to Switch Status Delay	t_R		35	100	ns	R_L = 1kΩ, C_L = 50 pF ②

† Timing is over recommended temperature range. See Fig. 2 for control and I/O timing details.
Digital Input rise time (tr) and fall time (tf) = 5ns.
‡ Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.
② Refer to Appendix, Fig. A.7 for test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

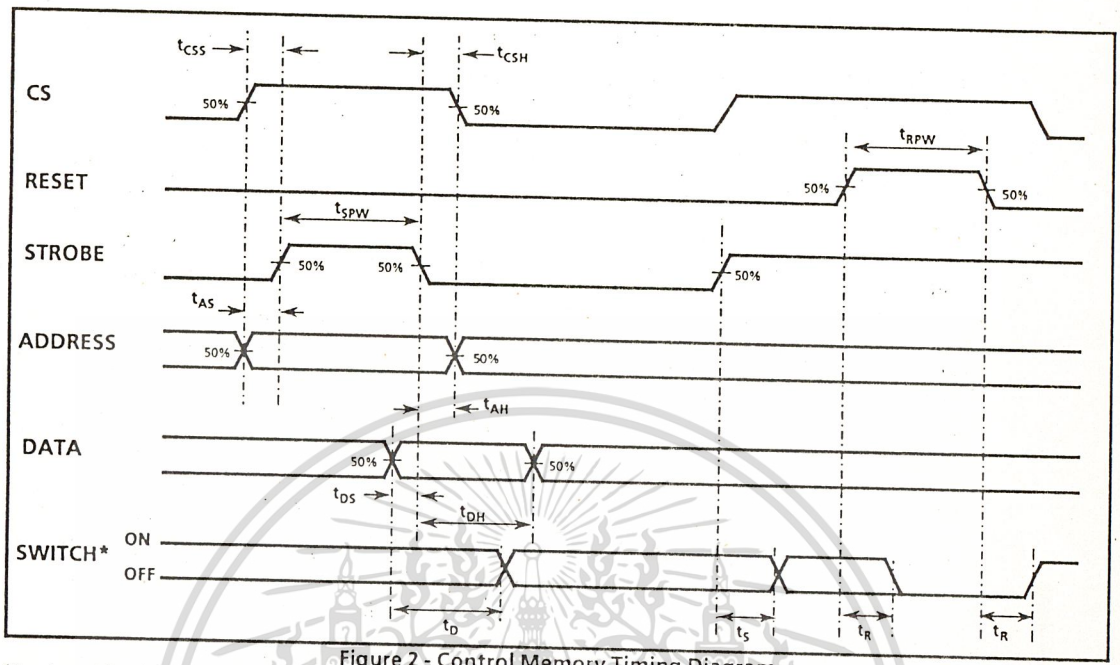


Figure 2 - Control Memory Timing Diagram

*See Appendix, Fig. A.7 for switching waveform

AX0	AX1	AX2	AX3	AY0	AY1	AY2	Connection*
0	0	0	0	0	0	0	X0 - Y0
1	0	0	0	0	0	0	X1 - Y0
0	1	0	0	0	0	0	X2 - Y0
1	1	0	0	0	0	0	X3 - Y0
0	0	1	0	0	0	0	X4 - Y0
1	0	1	0	0	0	0	X5 - Y0
0	1	1	0	0	0	0	X12 - Y0
1	1	1	0	0	0	0	X13 - Y0
0	0	0	1	0	0	0	X6 - Y0
1	0	0	1	0	0	0	X7 - Y0
0	1	0	1	0	0	0	X8 - Y0
1	1	0	1	0	0	0	X9 - Y0
0	0	1	1	0	0	0	X10 - Y0
1	0	1	1	0	0	0	X11 - Y0
0	1	1	1	0	0	0	X14 - Y0
1	1	1	1	0	0	0	X15 - Y0
0 ↓ 1	0 ↓ 1	0 ↓ 1	0 ↓ 1	1 ↓ 1	0 ↓ 0	0 ↓ 0	X0 - Y1 ↓ ↓ X15 - Y1
0 ↓ 1	0 ↓ 1	0 ↓ 1	0 ↓ 1	0 ↓ 0	1 ↓ 1	0 ↓ 0	X0 - Y2 ↓ ↓ X15 - Y2
0 ↓ 1	0 ↓ 1	0 ↓ 1	0 ↓ 1	1 ↓ 1	1 ↓ 1	0 ↓ 0	X0 - Y3 ↓ ↓ X15 - Y3
0 ↓ 1	0 ↓ 1	0 ↓ 1	0 ↓ 1	0 ↓ 0	0 ↓ 0	1 ↓ 1	X0 - Y4 ↓ ↓ X15 - Y4
0 ↓ 1	0 ↓ 1	0 ↓ 1	0 ↓ 1	1 ↓ 1	0 ↓ 0	1 ↓ 1	X0 - Y5 ↓ ↓ X15 - Y5
0 ↓ 1	0 ↓ 1	0 ↓ 1	0 ↓ 1	0 ↓ 0	1 ↓ 1	1 ↓ 1	X0 - Y6 ↓ ↓ X15 - Y6
0 ↓ 1	0 ↓ 1	0 ↓ 1	0 ↓ 1	1 ↓ 1	1 ↓ 1	1 ↓ 1	X0 - Y7 ↓ ↓ X15 - Y7

Figure 3 - Address Decode Truth Table

*Switch connections are not in ascending order

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description

Pin #*	Name	Description
1	Y3	Y3 Analog (Input/Output): this is connected to the Y3 column of the switch array.
2	AY2	Y2 Address Line (Input).
3	RESET	Master RESET (Input): this is used to turn off all switches regardless of the condition of CS. Active High.
4,5	AX3,AX0	X3 and X0 Address Lines (Inputs).
6,7	X14, X15	X14 and X15 Analog (Inputs/Outputs): these are connected to the X14 and X15 rows of the switch array.
8-13	X6-X11	X6-X11 Analog (Inputs/Outputs): these are connected to the X6-X11 rows of the switch array.
14	NC	No Connection
15	Y7	Y7 Analog (Input/Output): this is connected to the Y7 column of the switch array.
16	VSS	Digital Ground Reference .
17	Y6	Y6 Analog (Input/Output): this is connected to the Y6 column of the switch array.
18	STROBE	STROBE (Input): enables function selected by address and data. Address must be stable before STROBE goes high and DATA must be stable on the falling edge of the STROBE. Active High.
19	Y5	Y5 Analog (Input/Output): this is connected to the Y5 column of the switch array.
20	VEE	Negative Power Supply.
21	Y4	Y4 Analog (Input/Output): this is connected to the Y4 column of the switch array.
22, 23	AX1,AX2	X1 and X2 Address Lines (Inputs).
24, 25	AY0,AY1	Y0 and Y1 Address Lines (Inputs).
26, 27	X13, X12	X13 and X12 Analog (Inputs/Outputs): these are connected to the X13 and X12 rows of the switch array.
28 - 33	X5-X0	X5-X0 Analog (Inputs/Outputs): these are connected to the X5-X0 rows of the switch array.
34	NC	No Connection.
35	Y0	Y0 Analog (Input/Output): this is connected to the Y0 column of the switch array.
36	CS	Chip Select (Input): this is used to select the device. Active High.
37	Y1	Y1 Analog (Input/Output): this is connected to the Y1 column of the switch array.
38	DATA	DATA (Input): a logic high input will turn on the selected switch and a logic low will turn off the selected switch. Active High.
39	Y2	Y2 Analog (Input/Output): this is connected to the Y2 column of the switch array.
40	VDD	Positive Power Supply.

* Plastic DIP and CERDIP only

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8816 is an analog switch matrix with an array size of 8×16. The switch array is arranged such that there are 8 columns by 16 rows. The columns are referred to as the Y inputs/outputs and the rows are the X inputs/outputs. The crosspoint analog switch array will interconnect any X I/O with any Y I/O when turned on and provide a high degree of isolation when turned off. The control memory consists of a 128 bit write only RAM in which the bits are selected by the address inputs (AY0-AY2, AX0-AX3). Data is presented to the memory on the DATA input. Data is asynchronously written into memory whenever both the CS (Chip Select) and STROBE inputs are high and are latched on the falling edge of STROBE. A logical "1" written into a memory cell turns the corresponding crosspoint switch on and a logical "0" turns the crosspoint off. Only the crosspoint switches corresponding to the addressed memory location are altered when data is written into memory. The remaining switches retain their previous states. Any combination of X and Y inputs/outputs can be interconnected by establishing appropriate patterns in the control memory. A logical "1" on the RESET input will asynchronously return all memory locations to logical "0" turning off all crosspoint switches regardless of whether CS is high or low. Two voltage reference pins (V_{SS} and V_{EE}) are provided for the MT8816 to enable switching of negative analog signals. The range for digital signals is from V_{DD} to V_{SS} while the range for analog signals is from V_{DD} to V_{EE}. V_{SS} and V_{EE} pins can be tied together if a single voltage reference is needed.

Address Decode

The seven address inputs along with the STROBE and CS (Chip Select) are logically ANDed to form an enable signal for the resettable transparent latches. The DATA input is buffered and is used as the input to all latches. To write to a location, RESET must be low and CS must go high while the address and data are set up. Then the STROBE input is set high and then low causing the data to be latched. The data can be changed while STROBE is high, however, the corresponding switch will turn on and off in accordance with the DATA input. DATA must be stable on the falling edge of STROBE in order for correct data to be written to the latch.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8806/08/09/12/14/15/16 ANALOG SWITCH ARRAY FAMILY: TEST CIRCUITS FOR KEY PARAMETER MEASUREMENTS

A.1 Off-State Leakage Current (I_{OFF}) Measurement

A.2 $R_{ON}/\Delta R_{ON}$ vs. V_{DC} Measurements

A.3 Frequency Response (F_{3dB}) Measurement

A.4 Feedthrough (FDT) Measurement

A.5 Crosstalk (X_{talk}) Measurement

A.6 Control Input Crosstalk (CX_{talk}) Measurement

A.7 Control Memory Timing Measurements

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Appendix: Analog Switch Array Measurements

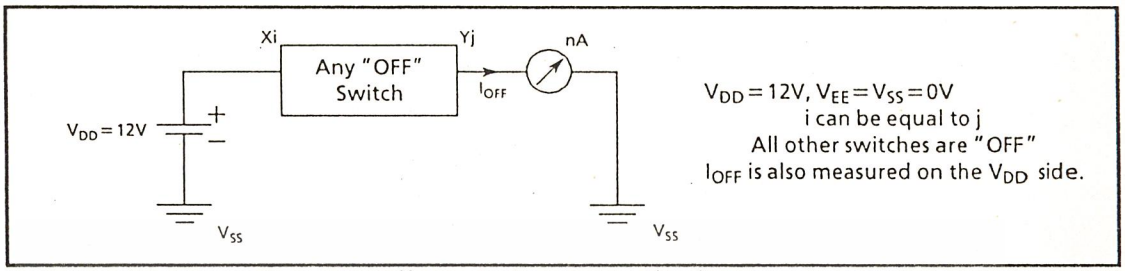


Figure A.1 - Off-State Leakage Current (I_{OFF}) Measurement *

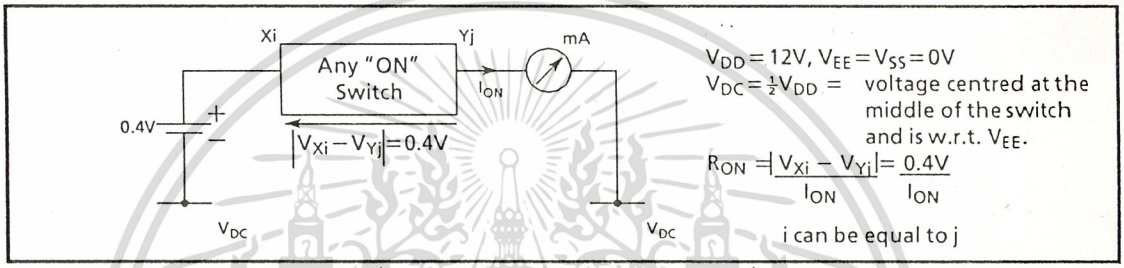


Figure A.2 - $R_{ON}/\Delta R_{ON}$ Measurement *

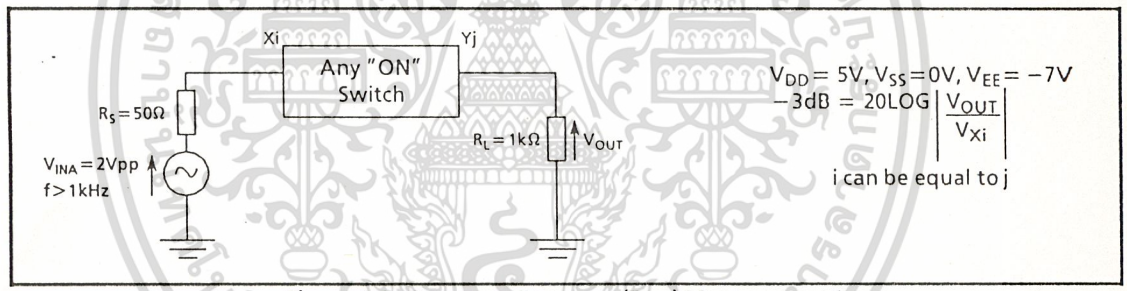


Figure A.3 - Frequency Response (F_{3dB}) Measurement †

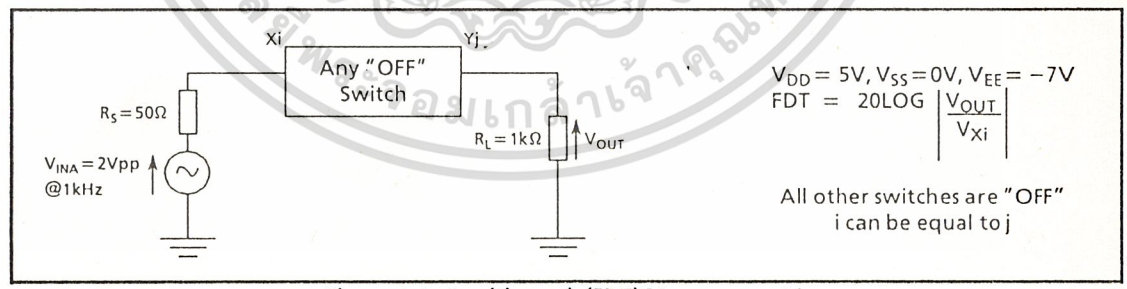


Figure A.4 - Feedthrough (FDT) Measurement †

Notes:
* Test Conditions for MT8809 and MT8812 are respectively: $V_{DD}=12V$, $V_{SS}=0V$ and $V_{DD}=14V$, $V_{SS}=0V$.
† Test Conditions for MT8809 and MT8812 are respectively: $V_{DD}=5V$, $V_{DC}=0V$, $V_{SS}=-7V$ and $V_{DD}=7V$, $V_{DC}=0V$, $V_{SS}=-7V$.
All Xi and Yj analog I/O pins can be interchanged for all measurements.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

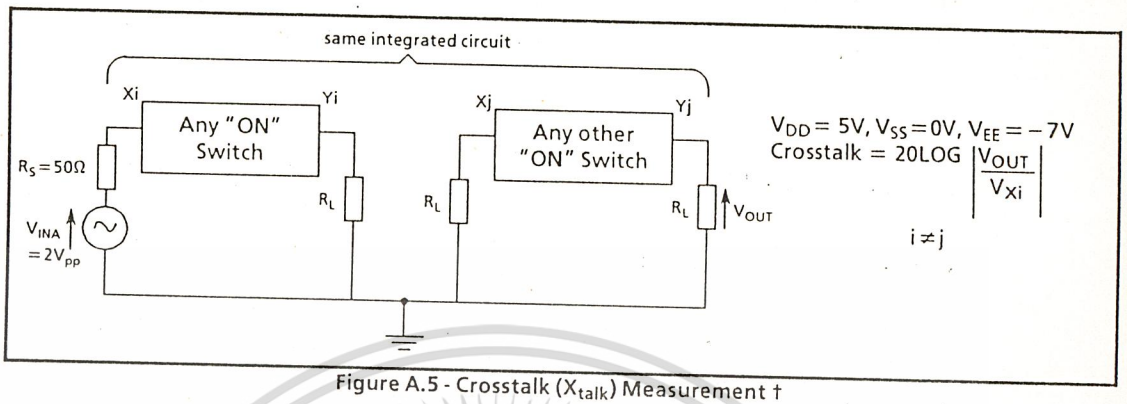


Figure A.5 - Crosstalk (X_{talk}) Measurement †

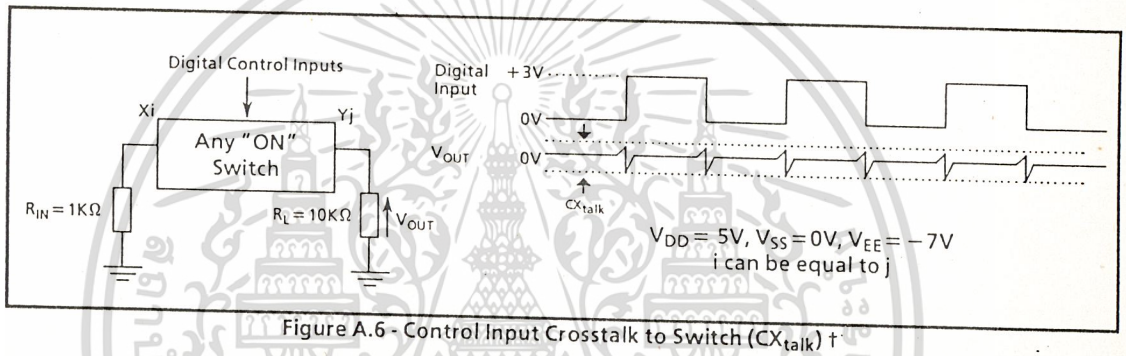


Figure A.6 - Control Input Crosstalk to Switch (CX_{talk}) †

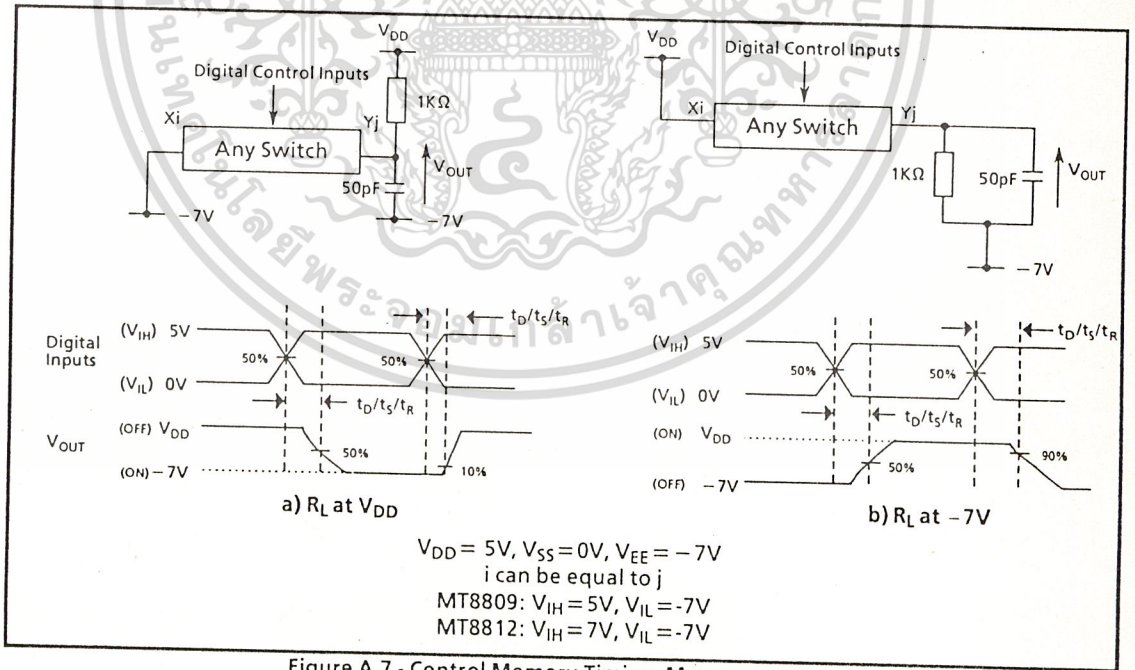


Figure A.7 - Control Memory Timing Measurements†

Notes:

†Test Conditions for MT8809 and MT8812 are respectively: $V_{DD} = 5V$, $V_{DC} = 0V$, $V_{SS} = -7V$ and $V_{DD} = 7V$, $V_{DC} = 0V$, $V_{SS} = -7V$.
All Xi and Yj analog I/O pins can be interchanged for all measurements.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8806/08/09/12/14/15/16 ANALOG SWITCH ARRAY FAMILY:

TYPICAL GRAPHS FOR SELECTED PARAMETERS

G.1 On-state Resistance (R_{ON}) vs. Temperature @ V_{DD} = 5V, 10V, 12V

G.2 On-state Resistance (R_{ON}) vs. DC Offset (V_{DC}) @ V_{DD} = 5V, 10V, 12V @ 25°C

G.3 On-state Resistance (R_{ON}) vs. DC Offset (V_{DC}) @ V_{DD} = 12V @ -40°C, 25°C, 85°C

G.4 ΔR_{ON} vs. Temperature @ V_{DD} = 5V, 10V, 12V

G.5 Total Harmonic Distortion (THD) vs. Frequency

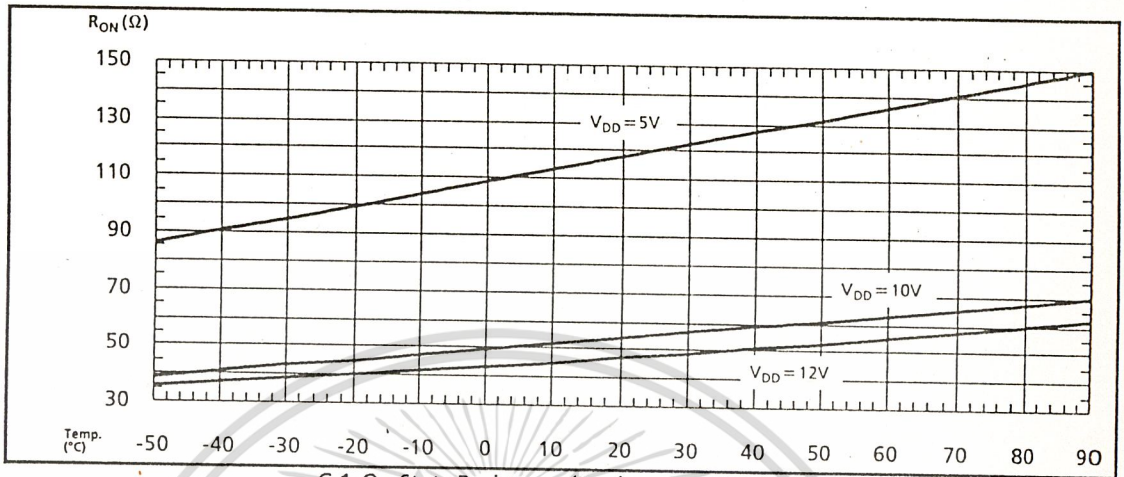
G.6 Total Harmonic Distortion (THD) vs. I/P Signal Amplitude (Vpeak)

G.7 Crosstalk (X_{talk}) vs. Frequency

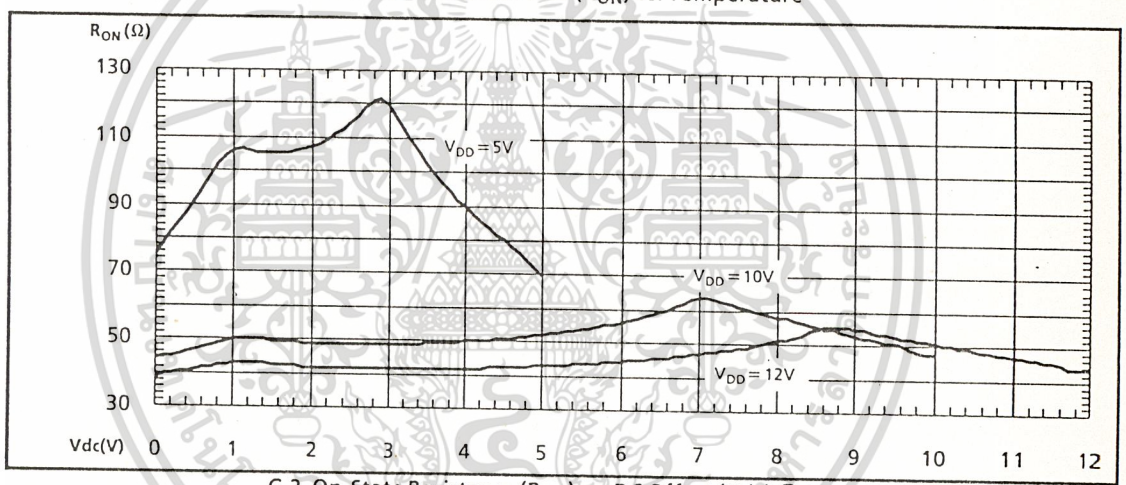
G.8 Feedthrough (FDT) vs. Frequency

G.9 Off-State Leakage Current (I_{OFF}) vs. Switch Voltage

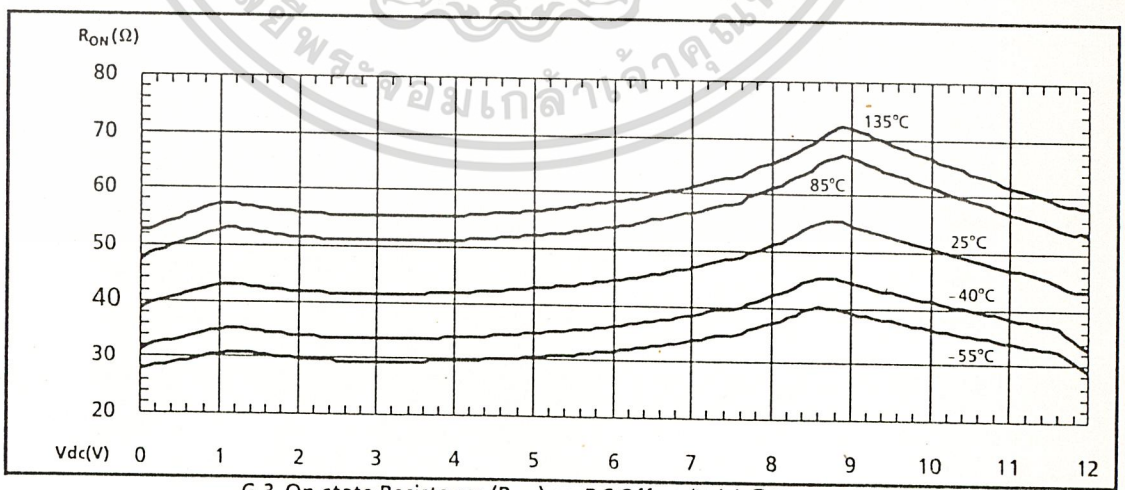
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



G.1 On-State Resistance (R_{ON}) vs. Temperature

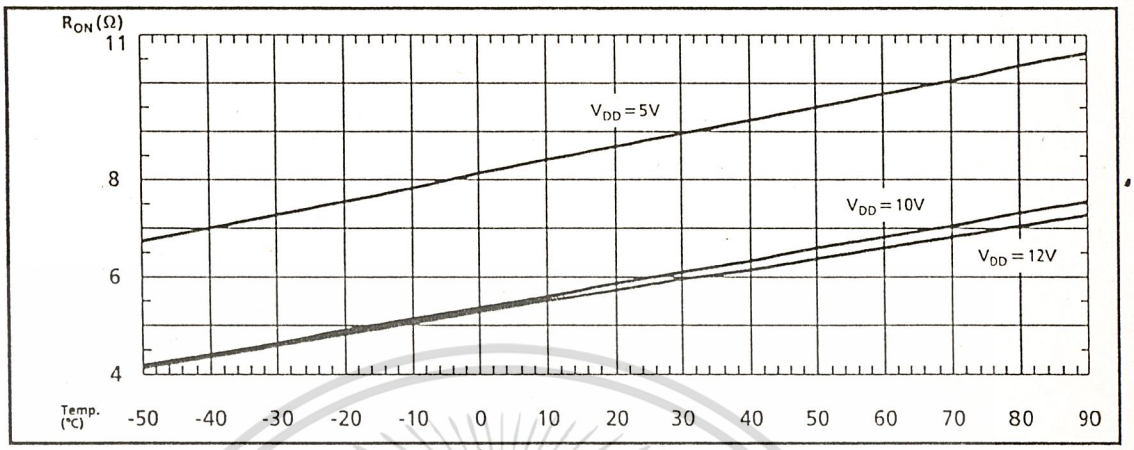


G.2 On-State Resistance (R_{ON}) vs. DC Offset (Vdc) @ 25°C

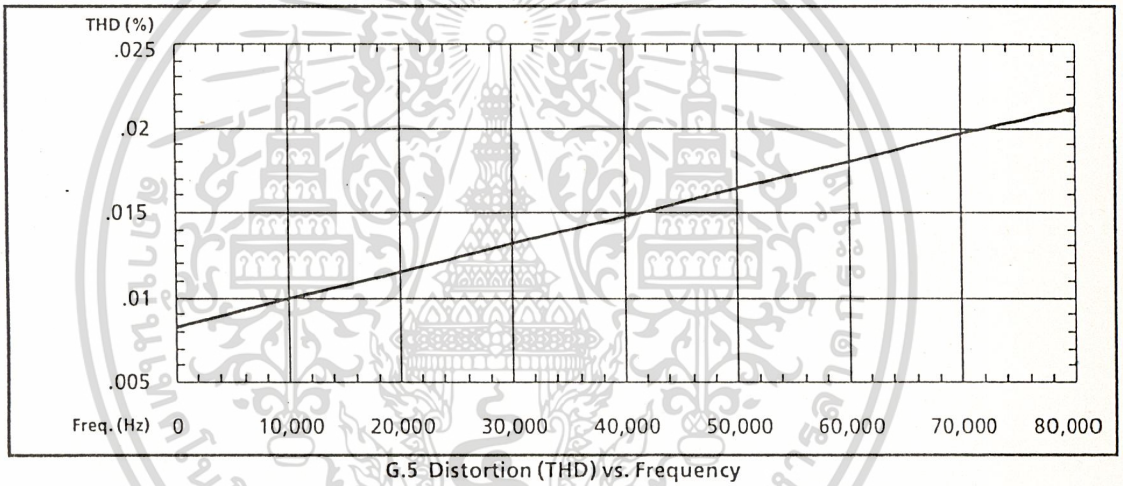


G.3 On-state Resistance (R_{ON}) vs. DC Offset (Vdc) @ V_{DD} = 12V

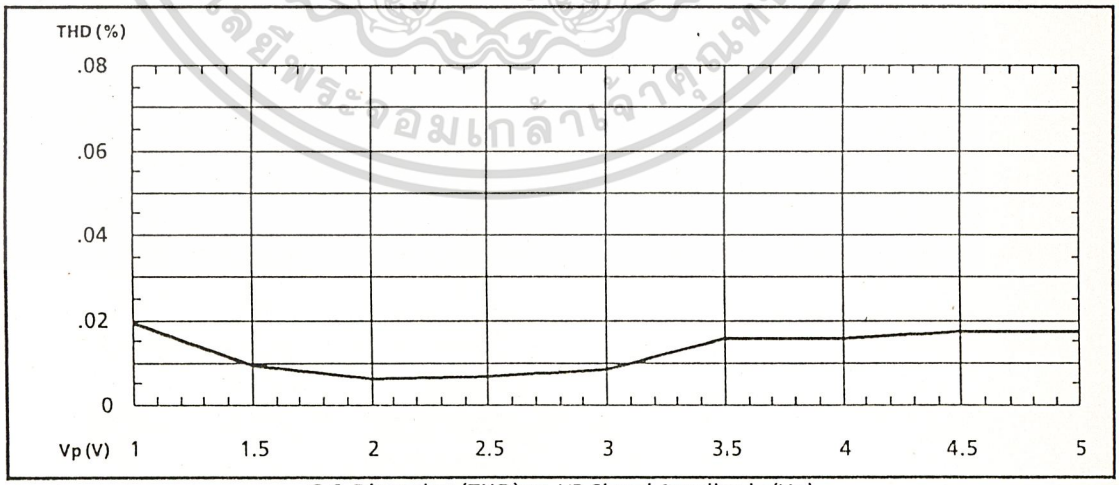
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



G.4 ΔR_{ON} vs. Temperature



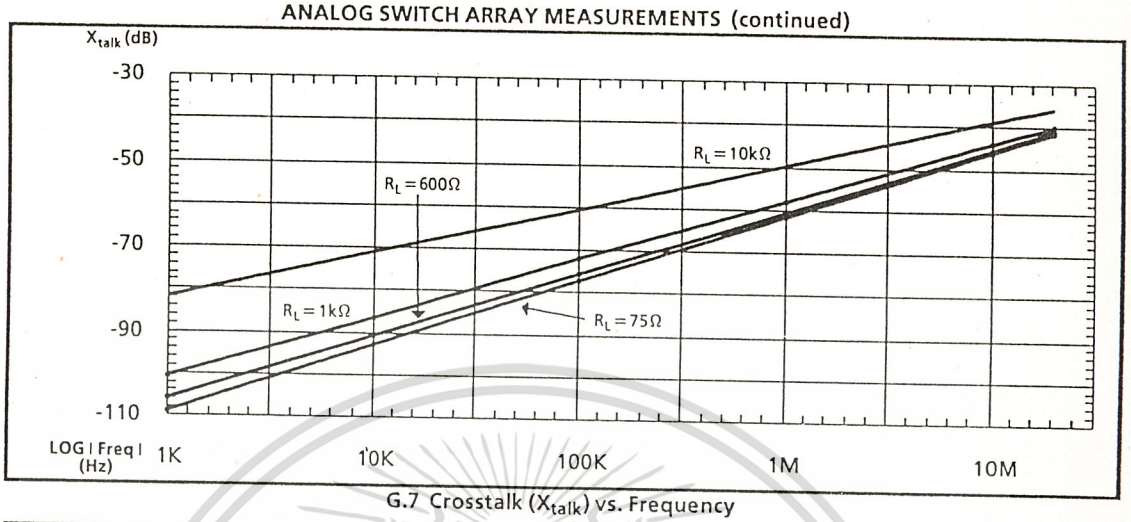
G.5 Distortion (THD) vs. Frequency



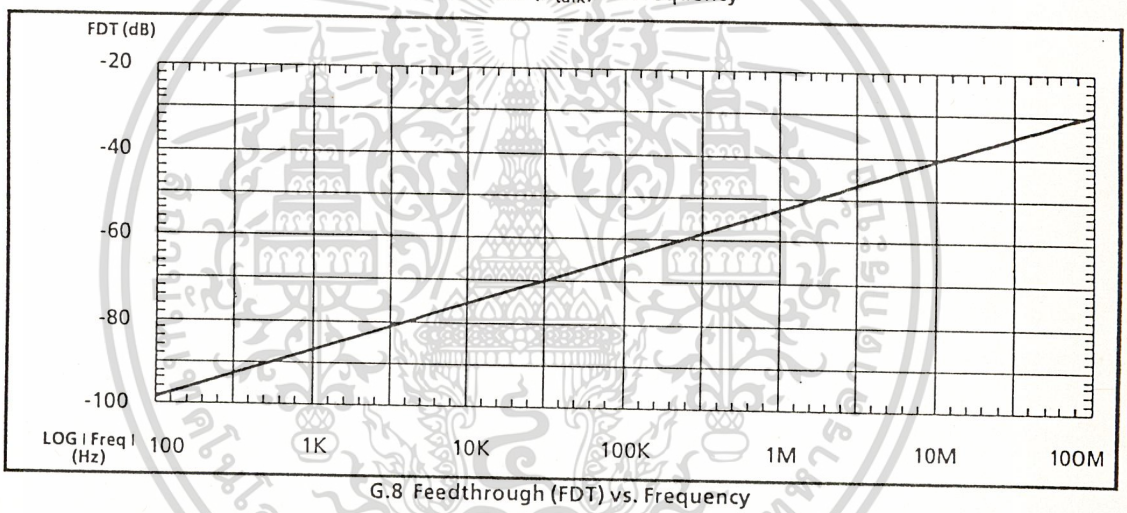
G.6 Distortion (THD) vs. I/P Signal Amplitude (Vp)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

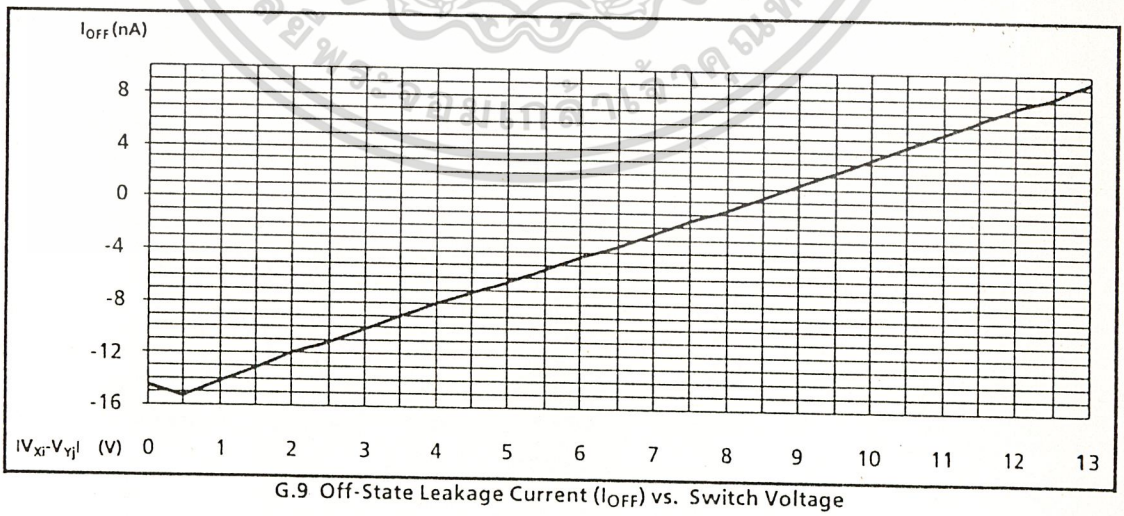
ANALOG SWITCH ARRAY MEASUREMENTS (continued)



G.7 Crosstalk (X_{talk}) vs. Frequency



G.8 Feedthrough (FDT) vs. Frequency



G.9 Off-State Leakage Current (I_{OFF}) vs. Switch Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8806/08/09/12/14/15/16 ANALOG SWITCH ARRAY FAMILY:

Analog Switch Array Applications

The analog switch array is shown in Figure A.8 as a switching matrix for a typical key system. The system shown below allows connection of outside Central Office telephone lines to inside extension telephones.

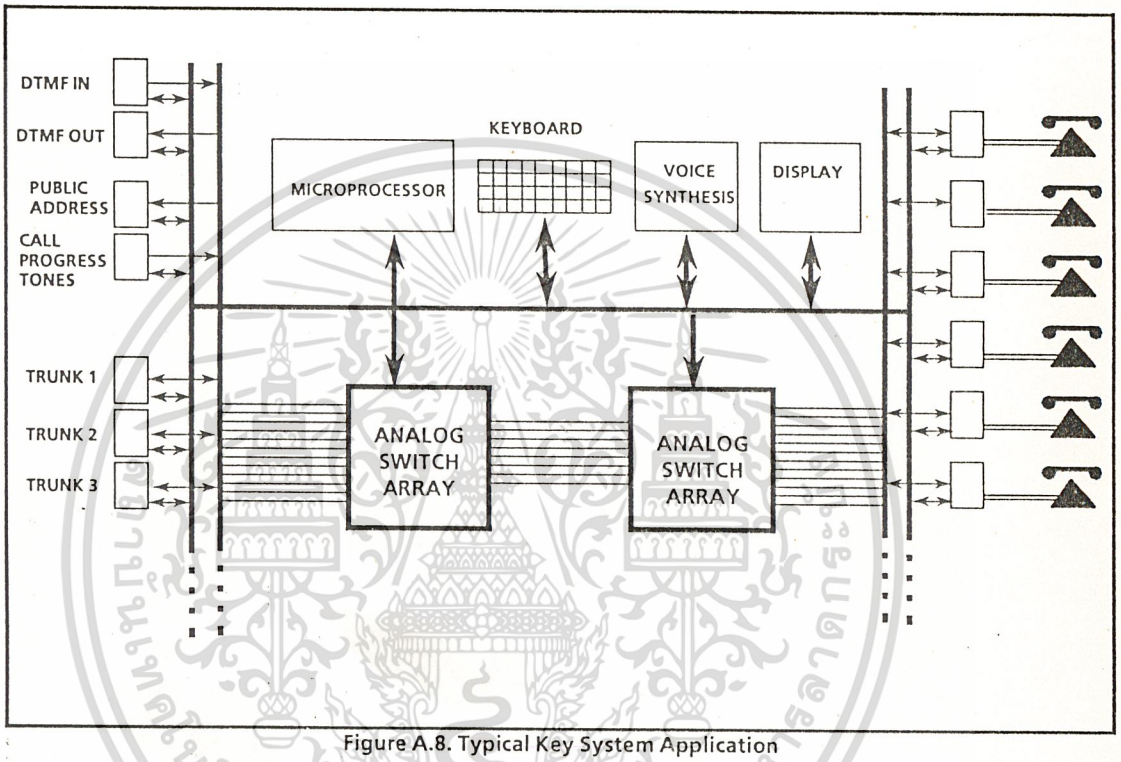


Figure A.8. Typical Key System Application

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISO²-CMOS MT8870B/MT8870B-1
Integrated DTMF Receiver

9161-002-051-NA ISSUE 2 December 1987

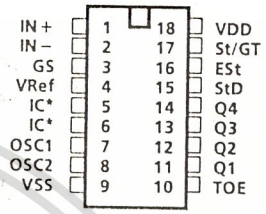
Features

- Complete DTMF Receiver
- Low Power Consumption
- Internal Gain Setting Amplifier
- Adjustable Guard Time
- Central Office Quality

Applications

- Receiver System for British Telecom (BT) or CEPT Spec (MT8870B-1)
- Paging Systems
- Repeater Systems/Mobile Radio
- Credit Card Systems
- Remote Control
- Personal Computers

Pin Connections



* Connect to VSS

Ordering Information -40°C to +85°C

MT8870BE/MT8870BE-1 Plastic DIP
MT8870BC/MT8870BC-1 Cerdip

Description

The MT8870B/MT8870B-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions, fabricated in Mitel's double poly ISO²-CMOS technology. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

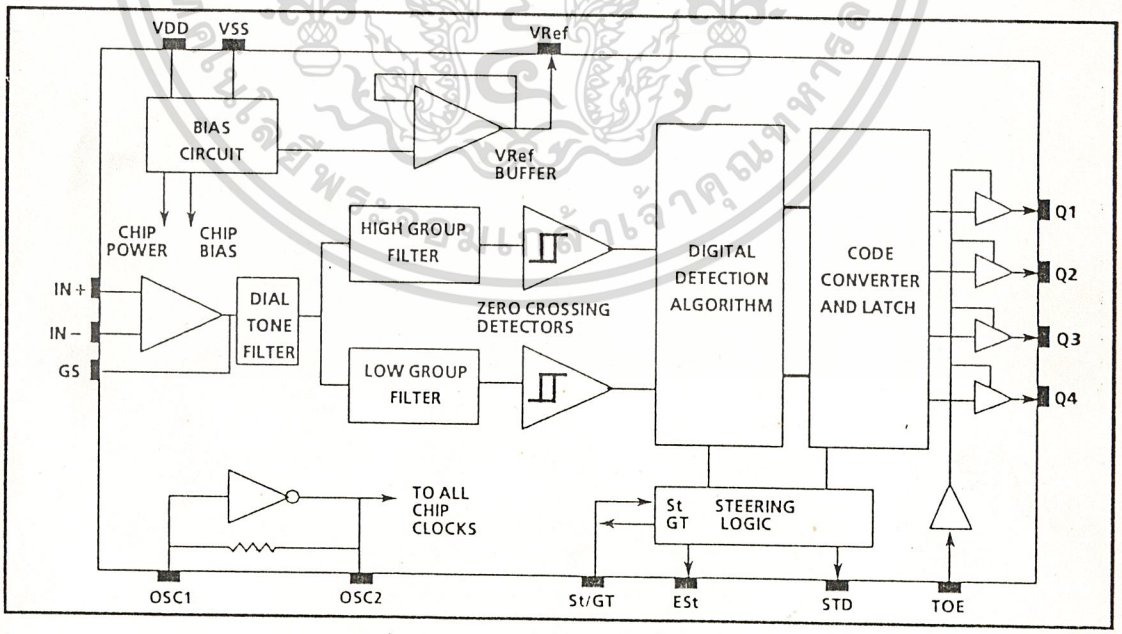


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	Power supply voltage V_{DD}-V_{SS}			6	V
2	Voltage on any pin		$V_{SS}-0.3$	$V_{DD}+0.3$	V
3	Current at any pin (other than supply)			10	mA
4	Operating temperature	T_A	−40	+85	°C
5	Storage temperature		−65	+150	°C
6	Package power dissipation			1000	mW

†Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.
Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1		Positive Supply Voltages	V_{DD}		5		V	$V_{SS}=0V$
2		Oscillator Clock Frequency	fc		3.579545		MHz	
3		Oscillator Frequency Tolerance	Δfc		±0.1		%	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics- $V_{DD}=5.0V\pm5\%$, $V_{SS}=0V$. Voltages are with respect to ground (V_{SS}) unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	SUPPLY	Operating supply voltage	V_{DD}	4.75	5.0	5.25	V	
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_O		15	45	mW	f = 3.58 MHz; V_{DD} = 5V
4	INPUTS	High level input	V_{IH}	3.5			V	
5		Low level input voltage	V_{IL}			1.5	V	
6		Input leakage current	I_{IH}/I_{IL}		0.1		μA	$V_{IN}=V_{SS}$ or V_{DD}
7		Pull-up (source) current	I_{SO}		7.5	15	μA	TOE (pin 10) = 0V
8		Input impedance (IN+, IN−)	R_{IN}		10		MΩ	@ 1 kHz
9		Steering threshold voltage	V_{TSt}	2.2		2.5	V	
10	OUTPUTS	Low level output voltage	V_{OL}			$V_{SS}+0.03$	V	No load
11		High level output voltage	V_{OH}	V_{DD}-0.03			V	No load
12		Output low (sink) current	I_{OL}	1	2.5		mA	$V_{OUT}=0.4$ V
13		Output high (source) current	I_{OH}	0.4	0.8		mA	$V_{OUT}=4.6$ V
14		V_{Ref} output voltage	V_{Ref}	2.4		2.7	V	No load
15		V_{Ref} output resistance	R_{OR}		10		kΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input leakage current	I_{IN}		100		nA	$V_{SS} \leq V_{IN} \leq V_{DD}$
2	Input resistance	R_{IN}		10		MΩ	
3	Input offset voltage	V_{OS}		25		mV	
4	Power supply rejection	PSRR		60		dB	1 kHz
5	Common mode rejection	CMRR		60		dB	$-3.0V \leq V_{IN} \leq 3.0V$
6	DC open loop voltage gain	A_{VOL}		65		dB	
7	Open loop unity gain bandwidth	f_C		1.5		MHz	
8	Output voltage swing	V_O		4.5		V_{pp}	$R_L \geq 100K\Omega$ to V_{SS}
9	Maximum capacitive load (GS)	C_L		100		pF	
10	Maximum resistive load (GS)	R_L		50		KΩ	
11	Common mode range	V_{CM}		3.0		V_{pp}	No Load

† $V_{DD} = 5$ V, $V_{SS} = 0$ V, $T_A = 25°C$

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

MT8870B AC Electrical Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ	Max	Units	Notes
1	SIGNAL CONDITIONS	Valid input signal levels (each tone of composite signal)		-29			dBm	1,2,3,5,6,9
				27.5			mV_{RMS}	1,2,3,5,6,9
						+1	dBm	1,2,3,5,6,9
						869	mV_{RMS}	1,2,3,5,6,9
2		Positive twist accept			10		dB	2,3,6,9
3		Negative twist accept			10		dB	2,3,6,9
4		Freq. deviation accept		±1.5% ± 2Hz			Nom.	2,3,5,9
5		Freq. deviation reject		±3.5%			Nom.	2,3,5,9
6		Third tone tolerance			-16		dB	2,3,4,5,9
7		Noise tolerance			-12		dB	2,3,4,5,7,9,10
8		Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

† $V_{DD} = 5$ V, $V_{SS} = 0$, $T_A = 25°C$ and $f_C = 3.579545$ MHz using test circuit shown in Figure 2.

NOTES

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones
3. Tone duration = 40 ms, tone pause = 40 ms.
4. Signal condition consists of nominal DTMF frequencies
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5% ± 2Hz.
7. Bandwidth limited (3KHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. For guard time calculation purposes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870B-1 AC Electrical Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ	Max	Units	Notes
1	SIGNAL CONDITIONS	Valid input signal levels (each tone of composite signal)		-31			dBm	1,2,3,5,6,9
				21.8			mV_{RMS}	1,2,3,5,6,9
						+1	dBm	1,2,3,5,6,9
						869	mV_{RMS}	1,2,3,5,6,9
2		Input Signal Level Reject		-37			dBm	1,2,3,5,6,9
				10.9			mV_{RMS}	1,2,3,5,6,9
3		Positive twist accept				6	dB	2,3,6,9
4		Negative twist accept				6	dB	2,3,6,9
5		Freq. deviation accept		±1.5% ± 2Hz				2,3,5,9
6		Freq. deviation reject		±3.5%				2,3,5,9
7		Third tone tolerance		-18.5			dB	2,3,4,5,9,13
8		Noise tolerance			-12		dB	2,3,4,5,7,9,10
9		Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

† V_{DD} = 5 V, V_{SS} = 0 , T_A = 25° C and f_C = 3.579545 MHz using test circuit shown in Figure 2.

NOTES

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones
3. Tone duration = 40 ms, tone pause = 40 ms.
4. Signal condition consists of nominal DTMF frequencies
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5% ± 2Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. For guard time calculation purposes.
13. Referenced to Fig. 10 Input DTMF Tone Level at -25 dBm (-28 dBm at GS Pin) Interference Frequency Range between 480-3400 Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics - - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	Note 12
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 12
3		Tone duration accept	t_{REC}			40	ms	User adjustable
4		Tone duration reject	$t_{\overline{REC}}$	20			ms	User adjustable
5		Interdigit pause accept	t_{ID}			40	ms	User adjustable
6		Interdigit pause reject	t_{DO}	20			ms	User adjustable
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	μs	TOE = V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12		μs	TOE = V_{DD}
9		Output data setup (Q to StD)	t_{QStD}		3.4		μs	TOE = V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	R_L = 10kΩ C_L = 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	R_L = 10kΩ C_L = 50 pF
12	CLOCK	Crystal /clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
13		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
14		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
15		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
16		Capacitive load (OSC2)	C_{LO}			30	pF	

† V_{DD} = 5.0V, V_{SS} = 0V, T_A = 25°C and f_c = 3.579545 MHz, using test circuit shown in Figure 2.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

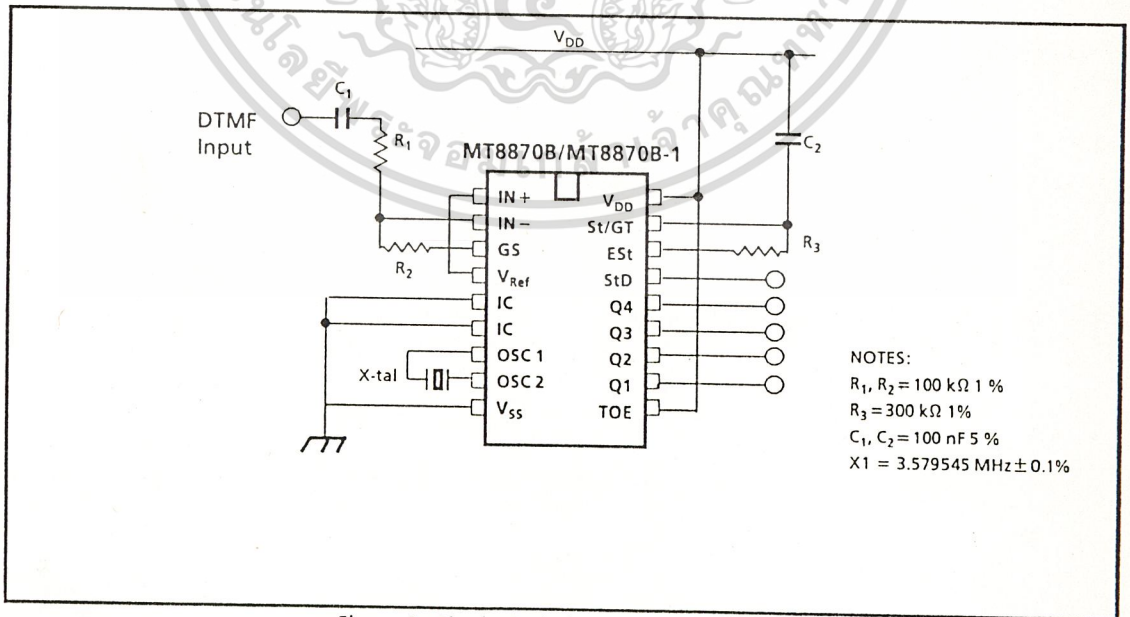


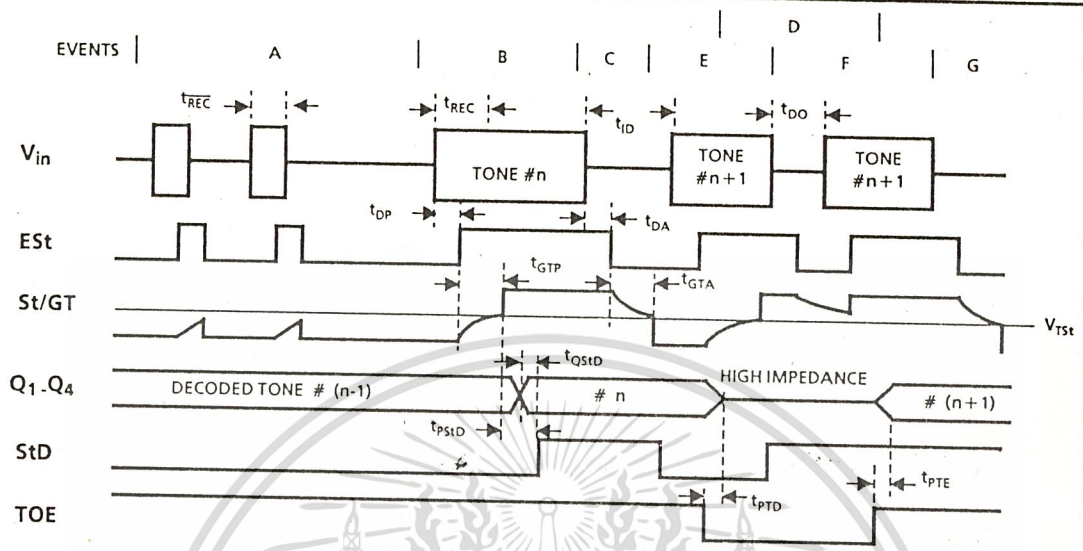
Figure 2 - Single-Ended Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description

Pin #	Name	Description
1	IN+	Non-Inverting Op-Amp (Input).
2	IN−	Inverting Op-Amp (Input).
3	GS	Gain Select. Gives access to output of front end differential amplifier for connection of feedback resistor.
4	V_{Ref}	Reference Voltage (Output), Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig.2).
5	IC	Internal Connection. Must be tied to V_{SS}.
6	IC	Internal Connection. Must be tied to V_{SS}.
7	OSC1	Clock (Input).
8	OSC2	Clock (Output). A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	V_{SS}	Negative Power Supply (Input).
10	TOE	Three State Output Enable (Input). Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	Q1-Q4	Three State Data (Output). When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	StD	Delayed Steering (Output).Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}
16	ESt	Early Steering (Output). Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	St/GT	Steering Input/Guard time (Output) Bidirectional. A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	V_{DD}	Positive power supply (Input).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.
B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS.
C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.
D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.
E) TONE #n+1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).
F) ACCEPTABLE DROPOUT OF TONE #n+1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.
G) END OF TONE #n+1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in} DTMF COMPOSITE INPUT SIGNAL.
ESt EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
St/GT STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
Q_1-Q_4 4-BIT DECODED TONE OUTPUT.
StD DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.
TOE TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.

$t_{\overline{REC}}$ MAXIMUM DTMF SIGNAL DURATION NOT DETECTED AS VALID.
t_{REC} MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION.
t_{ID} MINIMUM TIME BETWEEN VALID DTMF SIGNALS.
t_{DO} MAXIMUM ALLOWABLE DROPOUT DURING VALID DTMF SIGNAL.
t_{DP} TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.
t_{DA} TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.
t_{GTP} GUARD TIME, TONE PRESENT.
t_{GTA} GUARD TIME, TONE ABSENT.

Figure 3- Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8870B/MT8870B-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 4). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 5) to rise as the capacitor discharges. Provided signal condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit

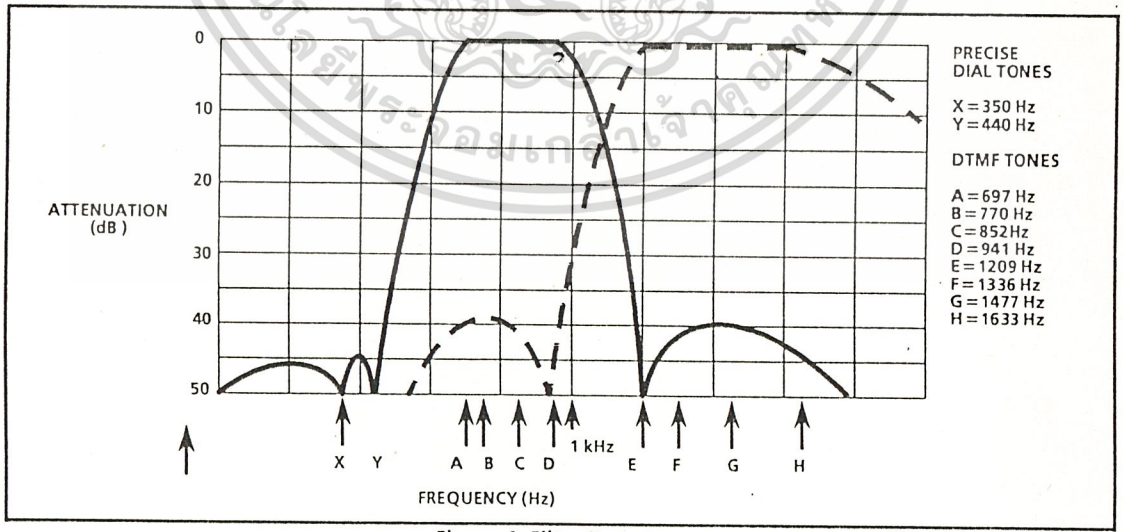


Figure 4- Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

F_{LOW}	F_{HIGH}	NO.	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

L = LOGIC LOW, H = LOGIC HIGH, Z = HIGH IMPEDANCE

Table 1. Functional Decode Table

pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 5 is applicable. Component values are chosen according to the formula:

$$t_{REC} = t_{DP} + t_{GTP}$$
$$t_{ID} = t_{DA} + t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 3) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 μF is recommended for most applications, leaving R to be selected by the designer.

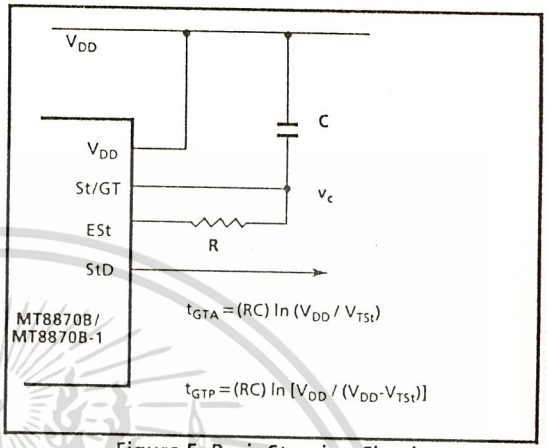


Figure 5- Basic Steering Circuit

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone dropouts are required. Design information for guard time adjustment is shown in Figure 6.

Differential Input Configuration

The input arrangement of the MT8870B/MT8870B-1 provides a differential-input operational amplifier as well as a bias source(V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 2 with the op-amp connected for unity gain and V_{Ref} biasing the input at $\frac{1}{2}V_{DD}$. Figure 7 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

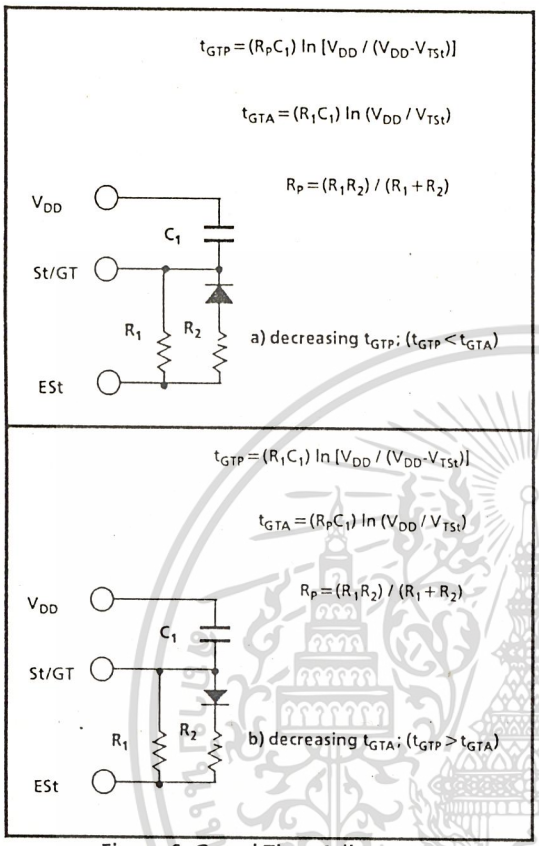


Figure 6- Guard Time Adjustment

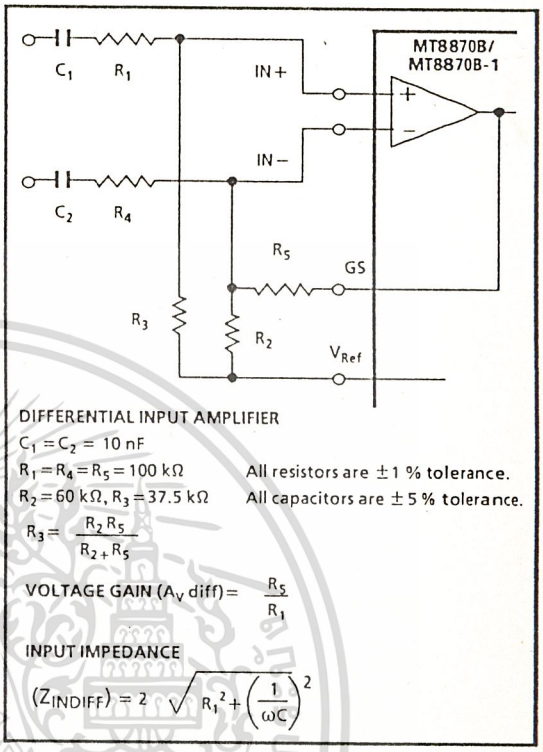


Figure 7- Differential Input Configuration

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 2 (Single Ended Input Configuration). However, it is possible to configure several MT8870B/MT8870B-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 8 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, ie; precision balancing capacitors are not required.

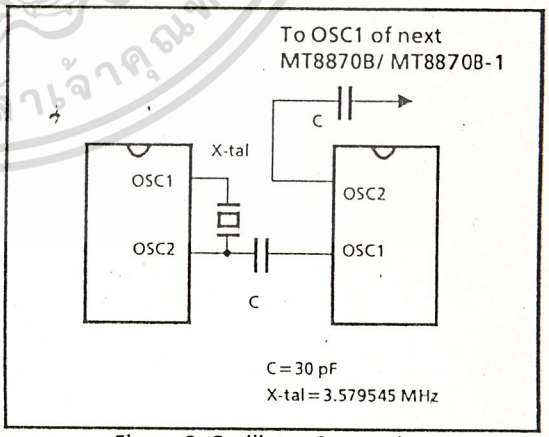


Figure 8- Oscillator Connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 10 illustrates the use of MT8870B-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870B-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 9.

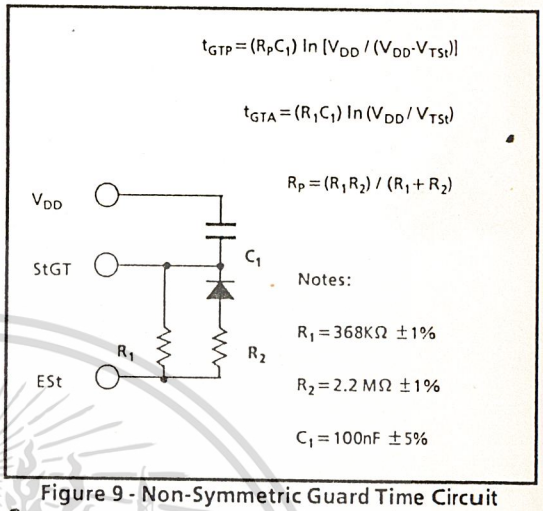


Figure 9 - Non-Symmetric Guard Time Circuit

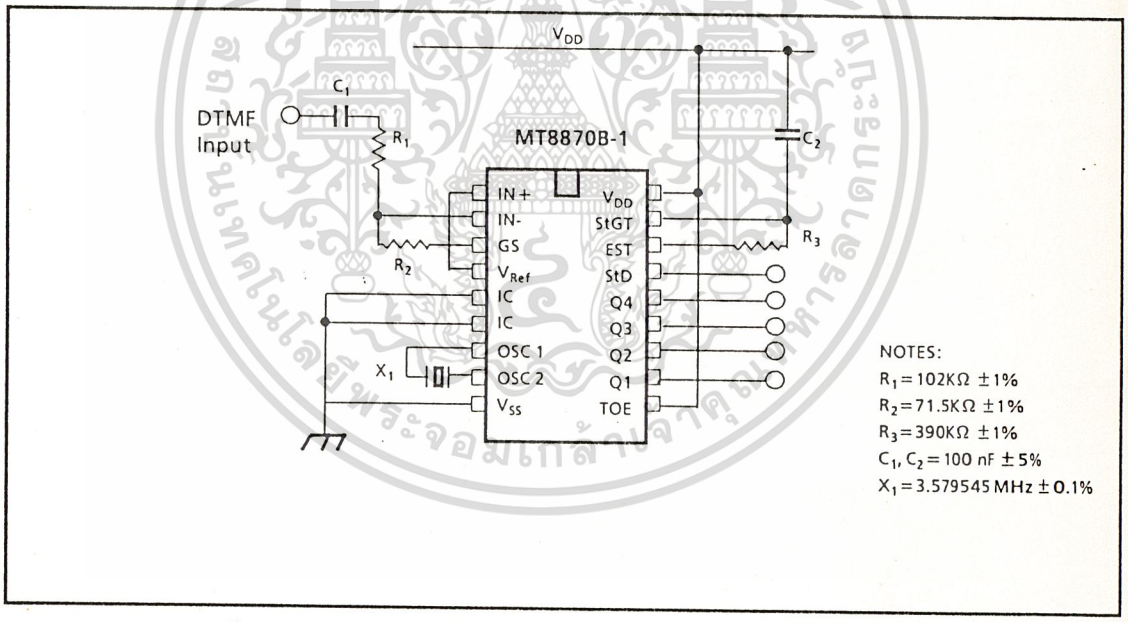


Figure 10 - Single-Ended Input Configuration for BT or CEPT Spec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z80180
Z180 MPU

FEATURES:

- Operating Frequency to 12.5 MHz
- On-Chip MMU Supports Extended Address Space
- Two DMA Channels
- On-Chip Wait State Generators
- Two UART Channels
- Two 16-Bit Timer Channels
- On-Chip Interrupt Controller
- On-Chip Clock Oscillator/Generator
- Clocked Serial I/O Port
- Code Compatible with Zilog Z80 CPU
- Extended Instructions
- 6 MHz Version Supports 6.144 MHz CPU Clock Operation

GENERAL DESCRIPTION:

Based on a microcoded execution unit and an advanced CMOS manufacturing technology, the Z80180 is an 8-bit MPU which provides the benefits of reduced system costs and low power operation while offering higher performance and maintaining compatibility with a large base of industry standard software written around the Zilog Z80 CPU.

Higher performance is obtained by virtue of higher operating frequencies, reduced instruction execution times, an enhanced instruction set, and an on-chip memory management unit (MMU) with the capability of addressing up to 1 Mbyte of memory.

Reduced system costs are obtained by incorporating several key system functions on-chip with the CPU. These key functions include I/O devices such as DMA, UART, and timer channels. Also included on-chip are several "glue" functions such as dynamic RAM refresh control, wait state generators, clock oscillator, and interrupt controller.

Not only does the Z80180 consume a low amount of power during normal operation, but it also provides two operating modes that are designed to drastically reduce the power consumption even further. The SLEEP mode reduces power by placing the CPU into a "stopped" state, thereby consuming less current, while the on-chip I/O device is still operating. The SYSTEM STOP mode places both the CPU and the on-chip peripherals into a "stopped" mode, thereby reducing power consumption even further.

When combined with other CMOS VLSI devices and memories, the Z80180 provides an excellent solution to system applications requiring high performance, and low power operation.

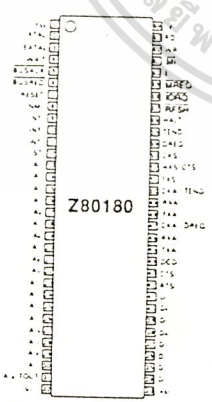


Figure 1. 64 Pin DIP

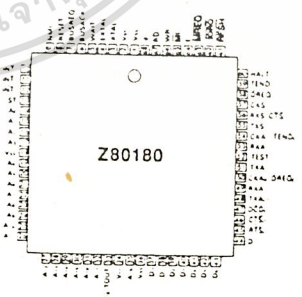


Figure 2. 68 Pin PLCC

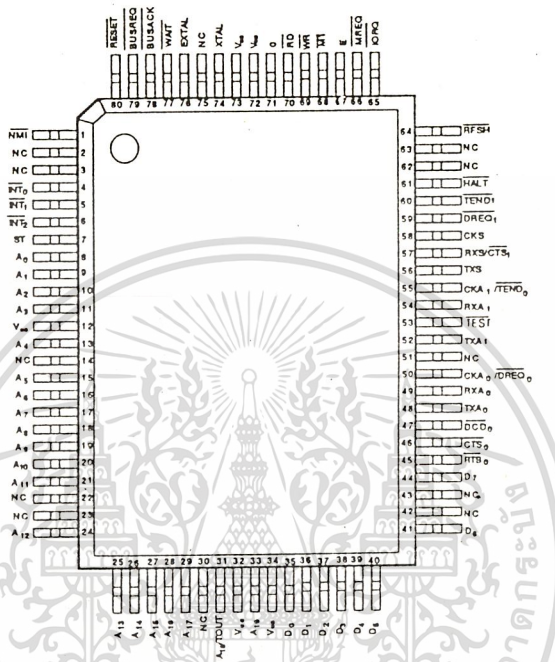


Figure 2b. 80-pin Quad Flat Pack

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

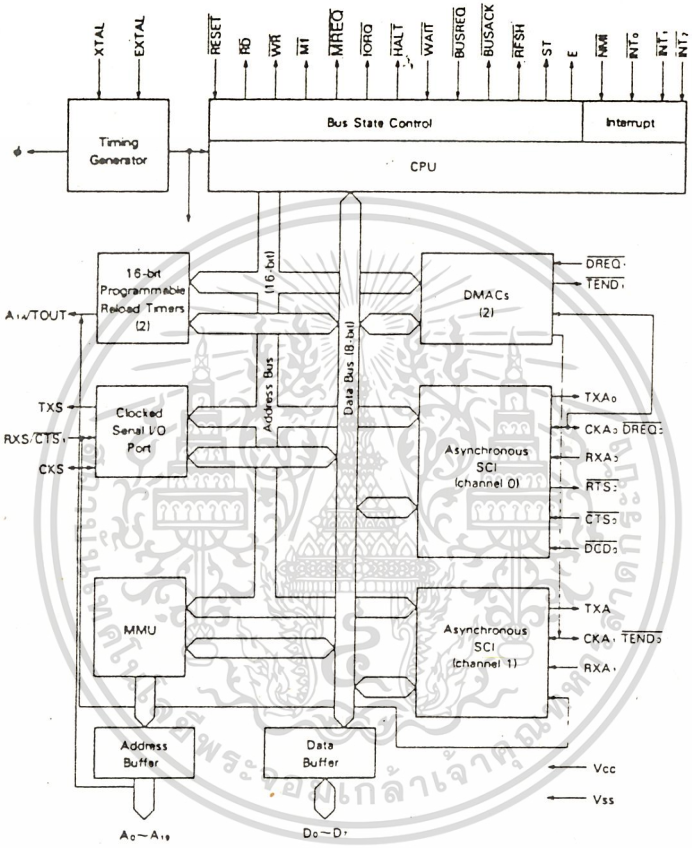


Figure 3. Block Diagram

PIN DESCRIPTION:

A_0-A_{19}. *Address Bus (Output, active High, 3-state).* A_0-A_{19} form a 20-bit address bus. The Address Bus provides the address for memory data bus exchanges, up to 1 Mbyte, and I/O data bus exchanges, up to 64K. The address bus enters a high impedance state during reset and external bus acknowledge cycles. Address line A_{18} is multiplexed with the output of PRT channel 1 (TOUT, selected as address output on reset) and address line A_{19} is not available in DIP versions of the Z80180.

$\overline{BUSACK}$. *Bus Acknowledge (Output, active Low).* $\overline{BUSACK}$ indicates the requesting device, the MPU address and data bus, and some control signals, have entered their high impedance state.

$\overline{BUSREQ}$. *Bus Request (Input, active Low).* This input is used by external devices (such as DMA controllers) to request access to the system bus. This request has a higher priority than $\overline{NMI}$ and is always recognized at the end of the current machine cycle. This signal will stop the CPU from executing further instructions and places the address and data buses, and other control signals, into the high impedance state.

CKA_0, CKA_1. *Asynchronous Clock 0 and 1 (Bidirectional, active High).* These pins are the transmit and receive clocks for the synchronous channels. CKA_0 is multiplexed with $\overline{DREQ_0}$ and CKA_1 is multiplexed with $\overline{TEND_0}$.

CKS. *Serial Clock (Bidirectional, active High).* This line is clock for the CSIO channel.

CLOCK. *System Clock (Output, active High).* The output is used as a reference clock for the MPU and the external system. The frequency of this output is equal to one-half that of the crystal or input clock frequency.

$\overline{CTS_0}$-$\overline{CTS_1}$. *Clear to Send 0 and 1 (Inputs, active Low).* These lines are modem control signals for the ASCI channels. $\overline{CTS1}$ is multiplexed with RXS.

D_0-D_7. *Data Bus (Bidirectional, active High, 3-state).* D_0-D_7 constitute an 8-bit bidirectional data bus, used for the transfer of information to and from I/O and memory devices. The data bus enters the high impedance state during reset and external bus acknowledge cycles.

$\overline{DCD_0}$. *Data Carrier Detect 0 (Input, active Low).* This is a programmable modem control signal for ASCI channel 0.

$\overline{DREQ_0}$, $\overline{DREQ_1}$. DMA Request 0 and 1 (Input, active Low). $\overline{DREQ}$ is used to request a DMA transfer from one of the on-chip DMA channels. The DMA channels monitor these inputs to determine when an external device is ready for a read or write operation. These inputs can be programmed to be either level or edge sensed. $\overline{DREQ_0}$ is multiplexed with CKA_0.

E. *Enable Clock (Output, active High).* Synchronous machine cycle clock output during bus transactions.

EXTAL. *External Clock/Crystal (Input, active High).* Crystal oscillator connection. An external clock can be input to the Z80180 on this pin when a crystal is not used. This input is Schmitt triggered.

$\overline{HALT}$. *Halt/Sleep Status (Output, active Low).* This output is asserted after the CPU has executed either the HALT or SLP instruction, and is waiting for either non-maskable or maskable interrupt before operation can resume. It is also used with the $\overline{M1}$ and ST signals to decode status of the CPU machine cycle.

$\overline{INT_0}$. *Maskable Interrupt Request 0 (Input, active Low).* This signal is generated by external I/O devices. The CPU will honor this request at the end of the current instruction cycle as long as the $\overline{NMI}$ and $\overline{BUSREQ}$ signals are inactive. The CPU acknowledges this interrupt request with an interrupt acknowledge cycle. During this cycle, both the $\overline{M1}$ and $\overline{IORQ}$ signals will become active.

$\overline{INT_1}$, $\overline{INT_2}$. *Maskable Interrupt Requests 1 and 2 (Inputs, active Low).* This signal is generated by external I/O devices. The CPU will honor these requests at the end of the current instruction cycle as long as the $\overline{NMI}$, $\overline{BUSREQ}$, and $\overline{INT_0}$ signals are inactive. The CPU will acknowledge these interrupt requests with an interrupt acknowledge cycle. Unlike the acknowledgement for $\overline{INT_0}$, during this cycle neither the $\overline{M1}$ or $\overline{IORQ}$ signals will become active.

$\overline{IORQ}$. *I/O Request (Output, active Low, 3-state).* $\overline{IORQ}$ indicates that the address bus contains a valid I/O address for an I/O read or I/O write operation. $\overline{IORQ}$ is also generated, along with $\overline{M1}$, during the acknowledgement of the $\overline{INT_0}$ input signal to indicate that an interrupt response vector can be placed onto the data bus. This signal is analogous to the $\overline{IOE}$ signal of the Z64180.

$\overline{M1}$. *Machine Cycle 1 (Output, active Low).* Together with $\overline{MREQ}$, $\overline{M1}$ indicates that the current cycle is the opcode fetch cycle of an instruction execution. Together with $\overline{IORQ}$, $\overline{M1}$ indicates that the current cycle is for an interrupt acknowledge. It is also used with the $\overline{HALT}$ and ST signal to decode status of the CPU machine cycle. This signal is analogous to the $\overline{LIR}$ signal of the Z64180.

$\overline{MREQ}$. *Memory Request (Output, active Low, 3-state).* $\overline{MREQ}$ indicates that the address bus holds a valid address for a memory read or memory write operation. This signal is analogous to the $\overline{ME}$ signal of the Z64180.

$\overline{NMI}$. *Non-maskable Interrupt (Input, negative edge triggered).* $\overline{NMI}$ has a higher priority than $\overline{INT}$ and is always recognized at the end of an instruction, regardless of the state of the interrupt enable flip-flops. This signal forces CPU execution to continue at location 0066H.

$\overline{RD}$. *Read (Output, active Low, 3-state).* $\overline{RD}$ indicates that the CPU wants to read data from memory or an I/O device. The addressed I/O or memory device should use this signal to gate data onto the CPU data bus.

$\overline{RFSH}$. *Refresh (Output, active Low).* Together with $\overline{MREQ}$, $\overline{RFSH}$ indicates that the current CPU machine cycle and the contents of the address bus should be used for refresh of dynamic memories. The low order 8 bits of the address bus (A_7-A_0) contain the refresh address.

This signal is analogous to the $\overline{REF}$ signal of the Z64180.

$\overline{RTS}_0$. *Request to Send 0 (Output, active Low).* This is a programmable modem control signal for ASCI channel 0.

RXA_0, RXA_1. *Receive Data 0 and 1 (Inputs, active High).* These signals are the receive data to the ASCI channels.

RXS. *Clocked Serial Receive Data (Input, active High).* This line is the receiver data for the CSIO channel. RXS is multiplexed with the $\overline{CTS1}$ signal for ASCI channel 1.

ST. *Status (Output, active High).* This signal is used with the $\overline{M1}$ and $\overline{HALT}$ output to decode the status of the CPU machine cycle.

Note that the output from M1 is affected by the status of the M1E bit in OMCR register. Table 1 shows the status while M1E = 1.

ST	$\overline{HALT}$	$\overline{M1}$	Operation
0	1	0	CPU operation (1st op-code fetch)
1	1	0	CPU operation (2nd op-code and 3rd op-code fetch)
1	1	1	CPU operation (MC except for op-code fetch)
0	X	1	DMA operation
0	0	0	HALT mode
1	0	1	SLEEP mode (including SYSTEM STOP mode)

NOTE X: Don't care
MC: Machine cycle

Table 1. Status Summary

$\overline{TEND}_0$, $\overline{TEND}_1$. *Transfer End 0 and 1 (Outputs, active Low).* This output is asserted active during the last write cycle of a DMA operation. It is used to indicate the end of the block transfer. $\overline{TEND}_0$ in multiplexed with CKA_1.

TEST (Output): This pin is for test and is left open.

TOUT. *Timer Out (Output, active High).* TOUT is the pulse output from PRT channel 1. This line is multiplexed with A_{18} of the address bus.

TXA_0, TXA_1. *Transmit Data 0 and 1 (Outputs, active High).* These signals are the transmitted data from the ASCI channels. Transmitted data changes are with respect to the falling edge of the transmit clock.

TXS. *Clocked Serial Transmit Data (Output, active High).* This line is the transmitted data from the CSIO channel.

$\overline{WAIT}$. *Wait (Input, active Low).* $\overline{WAIT}$ indicates to the MPU that the addressed memory or I/O devices are not ready for a data transfer. This input is used to induce additional clock cycles into the current machine cycle. The $\overline{WAIT}$ input is sampled on the falling edge of T_2 (and subsequent wait states). If the input is sampled low, then additional wait states are inserted until the $\overline{WAIT}$ input is sampled high, at which time execution will continue.

$\overline{WR}$. *Write (Output, active Low, 3-state).* $\overline{WR}$ indicates that the CPU data bus holds valid data to be stored at the addressed I/O or memory location.

XTAL. *Crystal (Input, active High).* Crystal oscillator connection. This pin should be left open if an external clock is used instead of a crystal. The oscillator input is not a TTL level (reference DC characteristics).

Multiplexed pin descriptions

$A_{18}/\overline{TOUT}$ — During RESET, this pin is initialized as A_{18} pin. If either TOC1 or TOC0 bit of the Timer Control Register (TCR) is set to 1, TOUT function is selected. If TOC1 and TOC0 bits are cleared to 0, A_{18} function is selected.

$CKA_0/\overline{DREQ}_0$ — During RESET, this pin is initialized as CKA_0 pin. If either DM1 or SM1 in DMA Mode Register (DMODE) is set to 1, $\overline{DREQ}_0$ function is always selected.

$CKA_1/\overline{TEND}_0$ — During RESET, this pin is initialized as CKA_1 pin. If CKA1D bit in ASCI control register ch 1 (CNTLA1) is set to 1, $\overline{TEND}_0$ function is selected. If CKA1D bit is set to 0, CKA_1 function is selected.

$RXS/\overline{CTS}_1$ — During RESET, this pin is initialized as RXS pin. If CTS1E bit in ASCI status register ch1 (STAT1) is set to 1, $\overline{CTS}_1$ function is selected. If CTS1E bit is set to 0, RXS function is selected.

ARCHITECTURE:

The Z80180 combines a high performance CPU core with a variety of system and I/O resources useful in a broad range of applications. The CPU core consists of five functional blocks: clock generator, bus state controller (including dynamic memory refresh), interrupt controller, memory management unit (MMU), and the central processing unit (CPU). The integrated I/O resources make up the remaining four functional blocks: direct memory access (DMA) control (2 channels), asynchronous serial communications interface (ASCI, 2 channels), programmable reload timers (PRT, 2 channels), and a clock serial I/O (CSIO) channel.

Clock Generator. This logic generates the system clock from either an external crystal or clock input. The external clock is divided by two and provided to both internal and external devices.

Bus State Controller. This logic performs all of the status and bus control activity associated with both the CPU and some on-chip peripherals. This includes wait state timing, reset cycles, DRAM refresh, and DMA bus exchanges.

Interrupt Controller. This block monitors and prioritizes the variety of internal and external interrupts and traps to provide the correct responses from the CPU. To remain compatible with the Z80 CPU, three different interrupt modes are supported.

Memory Management Unit. The MMU allows the user to "map" the memory used by the CPU (logically only 64K) into the 1M Byte addressing range supported by the Z80180. The organization of the MMU object code compatibility with the Z80 CPU while offerring access to an extended memory space. This is accomplished by using an effective "common area - banked area" scheme.

Central Processing Unit. The CPU is microcoded to provide a core that is object code compatible with the Z80 CPU. It also provides a superset of the Z80 instruction set, including 8-bit multiply and divide. This core has been enhanced to allow many of the instructions to execute in fewer clock cycles.

DMA Controller. The DMA controller provides high speed transfers between memory and I/O devices. Transfer operations supported are memory to memory, memory to/from I/O, and I/O to I/O. Transfer modes supported are request, burst, and cycle steal. DMA transfers can access the full 1 Mbyte addressing range with a block length up to 64K bytes, and can cross over 64K boundaries.

Asynchronous Serial Communications Interface (ASCI). The ASCI logic provides two individual full-duplex UARTs. Each channel includes a programmable baud rate generator and modem control signals. The ASCI channels can also support a multiprocessor communications format.

Programmable Reload Timer (PRT). This logic consists of two separate channels, each containig a 16-bit counter (timer) and count reload register. The time base for the counters is derived from the system clock (divided by 20) before reaching the counter. PRT channel 1 provides an optional output to allow for waveform generation.

Clocked Serial I/O (CSIO). The CSIO channel provides a half-duplex serial transmitter and receiver. This channel can be used for simple high-speed data connection to another microprocessor or microcomputer.

OPERATION MODES:

The Z80180 can be configured to operate like the 64180. This is accomplished by allowing the user to have control over the $\overline{M1}$, $\overline{IORQ}$, $\overline{WR}$, and $\overline{RD}$ signals. The Operation Mode Control Register (OMCR) determines the $\overline{M1}$ options; the timing of the $\overline{IORQ}$, RD, and $\overline{WR}$ signals; and the RETI operation.

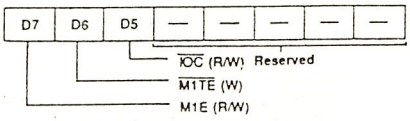


Figure 4. Operation Mode Control Register (I/O Address = 3 EH)

M1E ($\overline{M1}$ Enable): This bit controls the M1 output and is set to a 1 during reset.

When M1E=1, the $\overline{M1}$ output is asserted LOW during the opcode fetch cycle, the $\overline{INT0}$ acknowledge cycle, and the first machine cycle of the $\overline{NMI}$ acknowledge. This will also cause the $\overline{M1}$ signal to be active during both fetches of the RETI instruction sequence, which may cause corruption of the external interrupt daisy chain. Hence, this bit should be set to 0 for the Z80180. When M1E=0, the $\overline{M1}$ output is normally inactive and asserted LOW only during the refetch of the RETI instruction sequence and during the $\overline{INT0}$ acknowledge cycle.

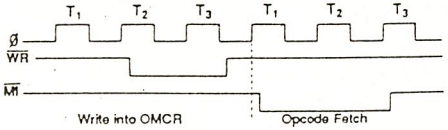


Figure 5. M1 Temporary Enable Timing

M1TE (M1 Temporary Enable): This bit controls the temporary assertion of the $\overline{M1}$ signal. It is always read back as

a 1 and is set to 1 during reset. This function is used to "arm" the internal interrupt structure of the Z80PIO. When a control word is written to the Z80PIO to enable interrupts, no enable actually takes place until the PIO sees an active $\overline{M1}$ signal. When $\overline{M1TE}$=1, there is no change in the operation of the $\overline{M1}$ signal and M1E controls its function. When $\overline{M1TE}$=0, the $\overline{M1}$ output will be asserted during the next opcode fetch cycle regardless of the state programmed into the M1E bit. This is only momentary (one time) and the user need not reprogram a 1 to disable the function (See Figure 5).

$\overline{IOC}$: this bit controls the timing of the $\overline{IORQ}$ and $\overline{RD}$ signals. It is set to 1 by reset.

When $\overline{IOC}$=1, the $\overline{IORQ}$ and $\overline{RD}$ signals function the same as the Z64180.

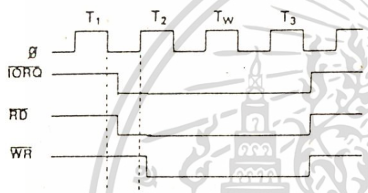


Figure 6. I/O Read and Write Cycles with $\overline{IOC}$ =1

When $\overline{IOC}$=0, the timing of the $\overline{IORQ}$ and $\overline{RD}$ signals match the timing required by the Z80 family of peripherals. The $\overline{IORQ}$ and $\overline{RD}$ signals will go active as a result of the rising edge of T2. This allows the Z80180 to satisfy the setup times required by the Z80 peripherals on those two signals.

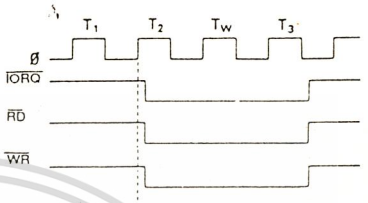


Figure 7. I/O Read and Write Cycles with $\overline{IOC}$ = 0

For the rest of this manual, it is assumed that M1E=0 and $\overline{IOC}$=0. The user must program the Operation Mode Control Register before the first I/O instruction is executed.

TIMING:

This section explains the Z80180 CPU timing for the following operations:

Instruction (op-code) fetch timing.
Operand and data read/write timing.
I/O read/write timing.
Basic instruction (fetch and execute) timing.
RESET timing.
BUSREQ/BUSACK bus exchange timing.

The basic CPU operation consists of one or more "Machine Cycles" (MC). A machine cycle consists of three system clocks, T1, T2, and T3 while accessing memory or I/O, or it consists of one system clock (T1) during CPU internal operations. The system clock is half the frequency of the Crystal oscillator (e.g., an 8 MHz crystal produces 4 MHz or 250 nsec). For interfacing to slow memory or peripherals, optional wait states (Tw) may be inserted between T2 and T3.

Instruction (op-code) Fetch Timing. Fig. 8 shows the instruction (op-code) fetch timing with no wait states. An op-code fetch cycle is externally indicated when the $\overline{M1}$ output pin is LOW.

In the first half of T_1, the address bus (A_0-A_{19}) is driven from the contents of the Program Counter (PC). Note that this is the translated address output of the Z80180 on-chip MMU.

In the second half of T_1, the $\overline{MREQ}$ (Memory Request) and $\overline{RD}$ (Read) signals are asserted LOW, enabling the memory.

The op-code on the data bus is latched at the rising edge of T_3 and the bus cycle terminates at the end of T_3.

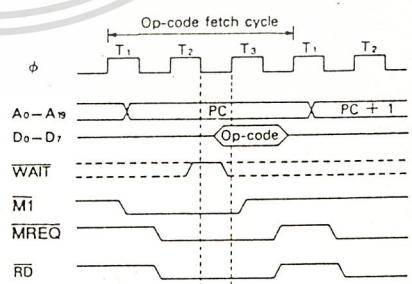


Figure 8. Opcode Fetch timing (Without Wait State)

Fig. 9 illustrates the insertion of wait states (Tw) into the op-code fetch cycle. Wait states (Tw) are controlled by the external $\overline{WAIT}$ input combined with an on-chip programmable wait state generator.

At the falling edge of T_2 the combined $\overline{WAIT}$ input is sampled. If $\overline{WAIT}$ input is asserted LOW, a wait state (Tw) is inserted. The address bus, $\overline{MREQ}$, $\overline{RD}$ and $\overline{M1}$ are held stable during wait states. When the WAIT is sampled inactive HIGH at the falling edge of Tw, the bus cycle enters T_3 and completes at the end of T_3.

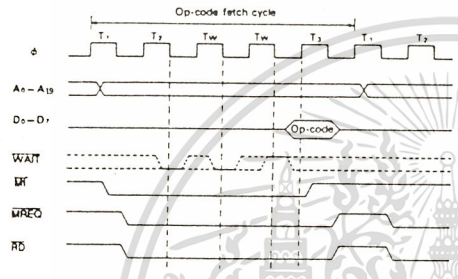


Figure 9. Opcode Fetch Timing (With Wait State)

Operand and Data Read/Write Timing. The instruction operand and data read/write timing differs from op-code fetch timing in two ways. First, the $\overline{M1}$ output is held inactive. Second, the read cycle timing is relaxed by one-half clock cycle since data is latched at the falling edge of T_3.

Instruction operands include immediate data, displacement, and extended addresses, and have the same timing as memory data reads.

During memory write cycles the $\overline{MREQ}$ signal goes active in the second half of T_1. At the end of T_1, the data bus is driven with the write data.

At the start of T_2, the $\overline{WR}$ signal is asserted LOW enabling the memory. $\overline{MREQ}$ and $\overline{WR}$ go inactive in the second half of T3 followed by disabling of the write data on the data bus.

Wait states (Tw) are inserted as previously described for op-code fetch cycles. Fig. 10 illustrates the read/write timing without wait states (Tw), while Fig. 11 illustrates read/write timing with wait states (Tw).

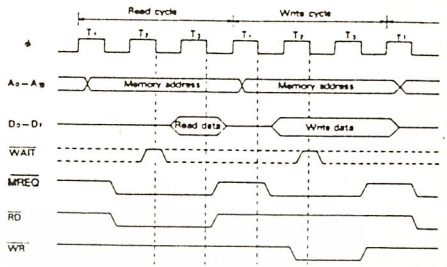


Figure 10. Memory Read/Write Timing (Without Wait State)

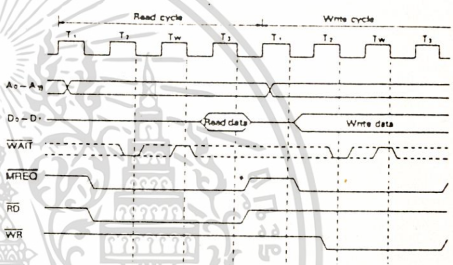


Figure 11. Memory Read/Write Timing (With Wait State)

I/O Read/Write Timing. I/O instructions cause data read/write transfers which differ from memory data transfers in the following three ways:

1. The $\overline{IORQ}$ (I/O Request) signal is asserted LOW instead of the $\overline{MREQ}$ signal.
2. The 16-bit I/O address is not translated by the MMU.
3. A_{16}-A_{19} are held LOW.

At least one wait state (Tw) is always inserted for I/O read and write cycles (except internal I/O cycles).

Fig. 12 shows I/O read/write timing with the automatically inserted wait state (Tw).

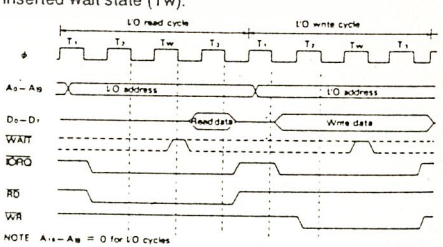


Figure 12. I/O Read/Write Timing

Basic Instruction Timing. An instruction may consist of a number of machine cycles including op-code fetch, operand fetch, and data read/write cycles. An instruction may also include cycles for internal processes which make the bus idle.

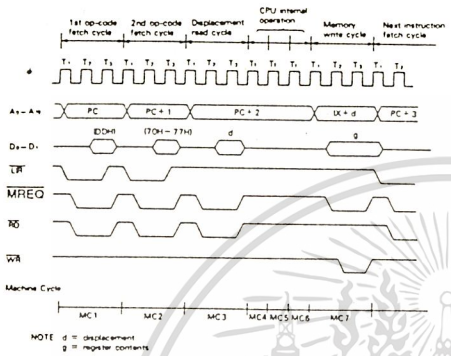


Figure 13. Instruction Timing

The example in Fig. 13 illustrates the bus timing for the data transfer instruction LD (IX+d),g. This instruction moves the contents of a CPU register (g) to the memory location with address computed by adding a signed 8-bit displacement (d) to the contents of an index register (IX).

The instruction cycle starts with the two machine cycles to read the two byte instruction op-code as indicated by $\overline{M1}$ LOW. Next, the instruction operand (d) is fetched.

The external bus is idle while the CPU computes the effective address. Finally, the computed memory location is written with the contents of the CPU register (g).

RESET Timing. Fig. 14 shows the Z80180 hardware RESET timing. If the $\overline{RESET}$ pin is LOW for six or more than six clock cycles, processing is terminated and the Z80180 restarts execution from (logical and physical) address 00000H.

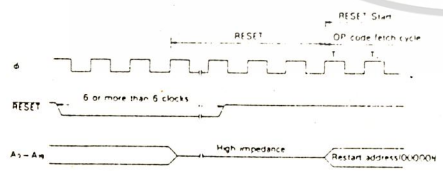


Figure 14. Reset Timing

$\overline{BUSREQ}$/$\overline{BUSACK}$ Bus Exchange Timing. The Z80180 can coordinate the exchange of control, address and data bus ownership with another bus master. The alternate bus master can request the bus release by asserting the $\overline{BUSREQ}$ (Bus Request) input LOW. After the Z80180 releases the bus, it relinquishes control to the alternate bus master by asserting the $\overline{BUSACK}$ (Bus Acknowledge) output LOW.

The bus may be released by the Z80180 at the end of each machine cycle. In this context, a machine cycle consists of a minimum of 3 clock cycles (more if wait states are inserted) for op-code fetch, memory read/write, and I/O read/write cycles. Except for these cases, a machine cycle corresponds to one clock cycle.

When the bus is released, the address (A_0-A_{19}), data (D_0-D_7), and control ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$) signals are placed in the high impedance state.

Note that dynamic RAM refresh is not performed when the Z80180 has released the bus. The alternate bus master must provide dynamic memory refreshing if the bus is released for long periods of time.

Fig. 15 illustrates $\overline{BUSREQ}$/$\overline{BUSACK}$ bus exchange during a memory read cycle. Fig. 16 illustrates bus exchange when the bus release is requested during a Z80180 CPU internal operation. $\overline{BUSREQ}$ is sampled at the falling edge of the system clock prior to T_3, T_i and Tx (BUS RELEASE state). If $\overline{BUSREQ}$ is asserted LOW at the falling edge of the clock state prior to Tx, another Tx is executed.

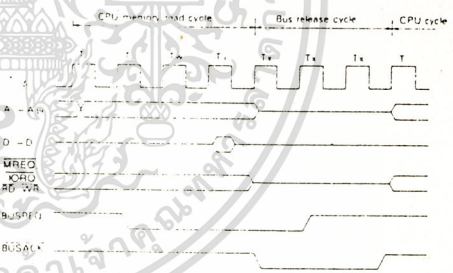


Figure 15. Bus Exchange Timing

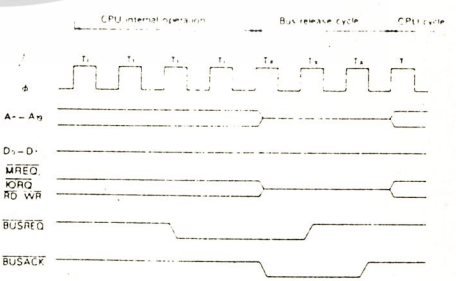


Figure 16. Bus Exchange Timing

WAIT State Generator

To ease interfacing with slow memory and I/O devices, the Z80180 uses wait states (Tw) to extend bus cycle timing. A wait state(s) is inserted based on the combined (logical OR) state of the external $\overline{WAIT}$ input and an internal programmable wait state (Tw) generator. Wait states (Tw) can be inserted in both CPU execution and DMA transfer cycles.

When the external $\overline{WAIT}$ input is asserted LOW, wait state(s) (Tw) are inserted between T_2 and T_3 to extend the bus cycle duration. The $\overline{WAIT}$ input is sampled at the falling edge of the system clock in T_2 or Tw. If the $\overline{WAIT}$ input is asserted LOW at the falling edge of the system clock in Tw, another Tw is inserted into the bus cycle. Note that $\overline{WAIT}$ input transitions must meet specified set-up and hold times. This can easily be accomplished by externally synchronizing $\overline{WAIT}$ input transitions with the rising edge of the system clock.

Dynamic RAM refresh is not performed during wait states (Tw) and thus system designs which use the automatic refresh function must consider the affects of the occurrence and duration of wait states (Tw). Figure 17 shows WAIT timing.

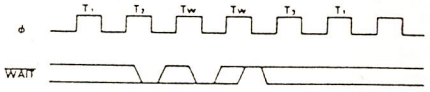


Figure 17. $\overline{WAIT}$ Timing

Programmable Wait State Insertion. In addition to the $\overline{WAIT}$ input, wait states (Tw) can also be inserted by program using the Z80180 on-chip wait state generator. Wait state (Tw) timing applies for both CPU execution and on-chip DMAC cycles.

By programming the four significant bits of the DMA/WAIT Control Register (DCNTL) the number of wait states, (Tw) automatically inserted in memory and I/O cycles, can be separately specified.

HALT and Low Power Operation Modes

The Z80180 can operate in 4 different modes, HALT mode, IOSTOP mode and 2 low power operation modes - SLEEP and SYSTEM STOP. Note that in all operating modes, the basic CPU clock (XTAL, EXTAL) must remain active.

HALT mode. HALT mode is entered by execution of the HALT instruction (op-code = 76H) and has the following characteristics.

(1) The internal CPU clock remains active.

(2) All internal and external interrupts can be received.

(3) Bus exchange ($\overline{BUSREQ}$ and $\overline{BUSACK}$) can occur.

(4) Dynamic RAM refresh cycle ($\overline{RFSH}$) insertion continues at the programmed interval.

(5) I/O operations (ASCI, CSI/O and PRT) continue.

(6) The DMAC can operate.

(7) The $\overline{HALT}$ output pin is asserted LOW.

(8) The external bus activity consists of repeated "dummy" fetches of the op-code following the HALT instruction.

Essentially, the Z80180 operates normally in HALT mode, except that instruction execution is stopped.

HALT mode can be exited in the following two ways.

RESET Exit from HALT mode. If the $\overline{RESET}$ input is asserted LOW for at least 6 clock cycles, HALT mode is exited and the normal RESET sequence (restart at address 00000H) is initiated.

Interrupt Exit from HALT mode. When an internal or external interrupt is generated, HALT mode is exited and the normal interrupt response sequence is initiated.

If the interrupt source is masked (individually by enable bit, or globally by IEF1 state), the Z80180 remains in HALT mode. However, $\overline{NMI}$ interrupt will initiate the normal $\overline{NMI}$ interrupt response sequence independent of the state of IEF_1.

HALT timing is shown in Fig 18.

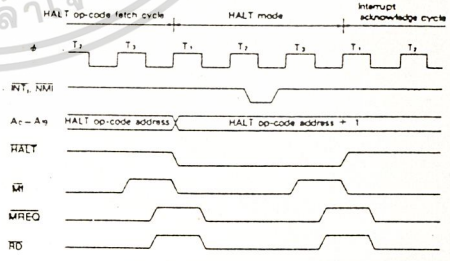


Figure 18. HALT Timing

SLEEP mode. SLEEP mode is entered by execution of the 2 byte SLP instruction. SLEEP mode has the following characteristics.

(1) The internal CPU clock stops, reducing power consumption.

(2) The internal crystal oscillator does not stop.

(3) Internal and external interrupt inputs can be received.

(4) DRAM refresh cycles stop.

(5) I/O operations using on-chip peripherals continue.

(6) The internal DMAC stop.

(7) $\overline{BUSREQ}$ can be received and acknowledged.

(8) Address outputs go HIGH and all other control signal output become inactive HIGH.

(9) Data Bus, 3-state.

SLEEP mode is exited in one of two ways as shown below.

RESET Exit from SLEEP mode. If the $\overline{RESET}$ input is held LOW for at least 6 clock cycles, it will exit SLEEP mode and begin the normal $\overline{RESET}$ sequence with execution starting at address (logical and physical) 00000H.

Interrupt Exit from SLEEP mode. The SLEEP mode is exited by detection of an external ($\overline{NMI}$, $\overline{INT_0}$-$\overline{INT_2}$) or internal (ASCI, CSI/O, PRT) interrupt.

In case of $\overline{NMI}$, SLEEP Mode is exited and the CPU begins the normal $\overline{NMI}$ interrupt response sequence.

In the case of all other interrupts, the interrupt response depends on the state of the global interrupt enable flag (IEF_1) and the individual interrupt source enable bit.

If the individual interrupt condition is disabled by the corresponding enable bit, occurrence of that interrupt is ignored and the CPU remains in the SLEEP state.

Assuming the individual interrupt condition is enabled, the response to that interrupt depends on the global interrupt enable flag (IEF_1). If interrupts are globally enabled (IEF_1=1) and an individually enabled interrupt occurs, SLEEP mode is exited and the appropriate normal interrupt response sequence is executed.

If interrupts are globally disabled (IEF_1=0) and an individually enabled interrupt occurs, SLEEP mode is exited and instruction execution begins with the instruction following the SLP instruction. Note that this provides a technique for synchronization with high speed external events without incurring the latency imposed by an interrupt response sequence.

Figure 19 shows SLEEP timing.

IOSTOP mode. IOSTOP mode is entered by setting the IOSTOP bit of the I/O Control Register (ICR) to 1. In this case, on-chip I/O (ASCI, CSI/O, PRT) stops operating. However, the CPU continues to operate. Recovery from IOSTOP mode is by resetting the IOSTOP bit in ICR to 0.

SYSTEM STOP mode. SYSTEM STOP mode is the combination of SLEEP and IOSTOP modes. SYSTEM STOP mode is entered by setting the IOSTOP bit in ICR to 1 followed by execution of the SLP instruction. In this mode, on-chip I/O and CPU stop operating, reducing power consumption. Recovery from SYSTEM STOP mode is the same as recovery from SLEEP mode, noting that internal I/O sources (disabled by IOSTOP) cannot generate a recovery interrupt.

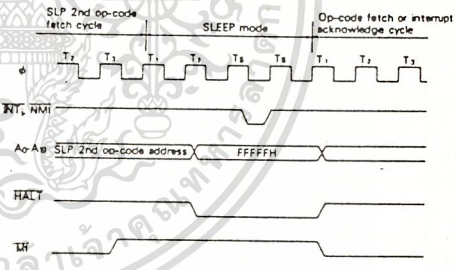


Figure 19. SLEEP Timing

Trap and Interrupts

The Z80180 CPU has twelve interrupt sources, 4 external and 8 internal, with fixed priority. (Reference Figure 20).

Higher Priority	(1)	TRAP (Undefined Op-code Trap)	Internal Interrupt
	(2)	$\overline{NMI}$ (Non Maskable Interrupt)	
	(3)	$\overline{INT_0}$ (Maskable Interrupt Level 0)	External Interrupt
	(4)	$\overline{INT_1}$ (Maskable Interrupt Level 1)	
	(5)	$\overline{INT_2}$ (Maskable Interrupt Level 2)	
	(6)	Timer 0	Internal Interrupt
	(7)	Timer 1	
	(8)	DMA channel 0	
	(9)	DMA channel 1	
	(10)	Clocked Serial I/O Port	
Lower Priority	(11)	Asynchronous SCI channel 0	
	(12)	Asynchronous SCI channel 1	

Figure 20. Interrupt Sources

TRAP Interrupt. The Z80180 generates a non-maskaable TRAP interrupt when an undefined op-code fetch occurs. This feature can be used to increase software reliability, implement an "extended" instruction set, or both. TRAP may occur during op-code fetch cycles and also if an undefined op-code is fetched during the interrupt acknowledge cycle for INT_0 when Mode 0 is used.

When a TRAP interrupt occurs the Z80180 operates as follows.

(1) The TRAP bit in the Interrupt TRAP/Control (ITC) register is set to 1.

(2) The current PC (Program Counter) value, reflecting location of the undefined op-code, is saved on the stack.

(3) The Z80180 vectors to logical address 0. Note that if logical address 0000H is mapped to physical address 00000H, the vector is the same as for RESET. In this case, testing the TRAP bit in ITC will reveal whether the restart at physical address 00000H was caused by RESET or TRAP.

External Interrupts. The Z80180 has four external hardware interrupt inputs.

(1) $\overline{NMI}$ - Non-maskable Interrupt
(2) $\overline{INT_0}$ - Maskable Interrupt Level 0
(3) $\overline{INT_1}$ - Maskable Interrupt Level 1
(4) $\overline{INT_2}$ - Maskable Interrupt Level 2

$\overline{NMI}$, $\overline{INT_1}$ and $\overline{INT_2}$ have fixed interrupt response modes. $\overline{INT_0}$ has 3 different software programmable interrupt response modes - Mode 0, Mode 1 and Mode 2.

$\overline{NMI}$ - Non-Maskable Interrupt. The $\overline{NMI}$ interrupt input is edge sensitive and cannot be masked by software. When $\overline{NMI}$ is detected, the Z80180 operates as follows.

(1) DMAC operation is suspended by the clearing of the DME (DMA Main Enable) bit in DCNTL.

(2) The PC is pushed onto the stack.

(3) The contents of IEF_1 are copied to IEF_2. This saves the interrupt reception state that existed prior to $\overline{NMI}$.

(4) IEF_1 is cleared to 0. This disables all external and internal maskable interrupts (i.e. all interrupts except $\overline{NMI}$ and TRAP).

(5) Execution commences at logical address 0066H.

The last instruction of an $\overline{NMI}$ service routine should be RETN (Return from Non-maskable Interrupt). This restores the stacked PC, allowing the interrupted program to continue.

$\overline{INT_0}$ - Maskable Interrupt Level 0
The next highest priority external interrupt after $\overline{NMI}$ is $\overline{INT_0}$. $\overline{INT_0}$ is sampled at the falling edge of the clock state prior to T_3 or T1 in the last machine cycle. If $\overline{INT_0}$ is asserted LOW at the falling edge of the clock state prior to T_3 or T_1 in the last machine cycle, $\overline{INT_0}$ is accepted. The interrupt is masked if either the IEF1 flag or the ITE0 (Interrupt Enable 0) bit in ITC are reset to 0.

The $\overline{INT_0}$ interrupt is unique in that 3 programmable interrupt response modes are available - Mode 0, Mode 1 and Mode 2. The specific mode is selected with the IM 0, IM 1 and IM 2 (Set Interrupt Mode) instructions. During RESET, the Z80180 is initialized to use Mode 0 for INT0. The 3 interrupt response modes for INT_0 are:

(1) Mode 0 - Instruction fetch from data bus.

(2) Mode 1 - Restart at logical address 0038H.

(3) Mode 2 - Low byte vector table address fetch from data bus.

$\overline{INT_0}$ Mode 0
During the interrupt acknowledge cycle, an instruction is fetched from the data bus (D0-D7) at the rising edge of T3. Often, this instruction is one of the eight single byte RST (RESTART) instructions which stack the PC and restart execution at a fixed logical address. However, multibyte instructions can be processed if the interrupt acknowledging device can provide a multibyte response. Unlike all other interrupts, the PC is not automatically stacked.

Note that TRAP interrupt will occur if an invalid instruction is fetched during Mode 0 interrupt acknowledge.

$\overline{INT_0}$ Mode 1
When $\overline{INT_0}$ is received, the PC is stacked and instruction execution restarts at logical address 0038H. Both IEF1 and IEF2 flags are reset to 0, disabling all maskable interrupts. The interrupt service routine should normally terminate with the EI (Enable Interrupts) instruction followed by the RETI (Return from Interrupt) instruction, to reenable the interrupts.

$\overline{INT_0}$ Mode 2
This method determines the restart address by reading the contents of a table residing in memory. The vector table consists of up to 128 two-byte restart addresses stored in low byte, high byte order.

The vector table address is located on 256 byte boundaries in the 64K byte logical address space programmed in the 8-bit Interrupt Vector Register (I).

During the $\overline{INT_0}$ Mode 2 acknowledge cycle, the low-order 8 bits of the vector is fetched from the data bus at the rising edge of T3 and the CPU acquires the 16-bit vector.

Next, the PC is stacked. Finally, the 16-bit restart address is fetched from the vector table and execution begins at that address.

Note that external vector acquisition is indicated by both $\overline{M1}$ and $\overline{IORQ}$ LOW. Two wait states (Tw) are automatically inserted for external vector fetch cycles.

$\overline{INT}_1$, $\overline{INT}_2$

The operation of external interrupts $\overline{INT}_1$ and $\overline{INT}_2$ is a vector mode similar to $\overline{INT}_0$ Mode 2. The difference is that $\overline{INT}_1$ and $\overline{INT}_2$ generate the low-order byte of vector table address using the IL (Interrupt Vector Low) register rather than fetching it from the data bus. This is also the interrupt response sequence used for all internal interrupts (except TRAP).

Internal Interrupts. Internal interrupts (except TRAP) ise the same vectored response mode as INT1 and INT2. Internal interrupts are globally masked by IEF1 = 0. Individual internal interrupts are enabled/disabled by programming each individual I/O (PRT, DMAC, CSI/O, ASCI) control register. The lower vector of INT_1, INT_2 and internal interrupt are summarized in Table 2.

Interrupt Source	Priority	IL			Fixed Code				
		b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0
$\overline{INT}_1$	Highest	*	*	*	0	0	0	0	0
$\overline{INT}_2$		*	*	*	0	0	0	1	0
PRT channel 0		*	*	*	0	0	1	0	0
PRT channel 1		*	*	*	0	0	1	1	0
DMA channel 0		*	*	*	0	1	0	0	0
DMA channel 1		*	*	*	0	1	0	1	0
CSI/O		*	*	*	0	1	1	0	0
ASCI channel 0		*	*	*	0	1	1	1	0
ASCI channel 1	Lowest	*	*	*	1	0	0	0	0

* Programmable

Table 2. Vector Table

RETI Instruction Sequence:
When the EDH/4DH-sequence is fetched by the Z80180, it is recognized as the RETI instruction sequence. The Z80180 will then refetch the RETI instruction with 4 T-states in the EDH cycle to allow the Z80 peripherals time to decode that cycle (See Figure 21). This allows the internal interrupt structure of the peripheral to properly decode the instruction and behave accordingly.

The M1E bit of the Operation Mode Control Register (OMCR) should be set to 0 so that $\overline{M1}$ signal is active only during the refetch of the RETI instruction sequence. This is the desired operation when Z80 peripherals are connected to the Z80180.

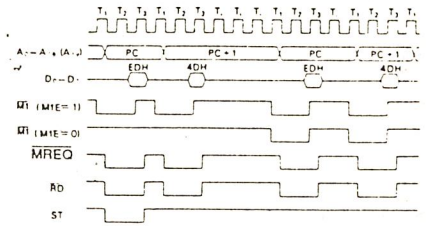


Figure 21. RETI Instruction Sequence

The RETI instruction takes 22 T-states and 10 machine cycles.

Interrupt Control Registers and Flags. The Z80180 has three registers and two flags which are associated with interrupt processing.

Function	Name	Access Method
(1) Interrupt Vector High	I	LD A,I and LD I, A instructions
(2) Interrupt Vector Low	IL	I/O instruction (addr=33H)
(3) Interrupt/Trap Control	ITC	I/O instruction (addr=34H)
(4) Interrupt Enable Flag 1,2	IEF_1,IEF_2	EI and DI

Interrupt Enable/Disable Operation
Two flags, IEF_1 and IEF_2, are used to signal the Z80180 CPU interrupt status. IEF_1 controls the overall enabling and disabling of all internal and external maskable interrupts (i.e. all interrupts except NMI and TRAP).

If IEF_1 = 0, all maskable interrupts are disabled. IEF_1 can be reset to 0 by the DI (Disable Interrupts) instruction and set to 1 by the EI (Enable Interrupts) instruction.

The purpose of IEF_2 is to correctly manage the occurrence of $\overline{NMI}$. During $\overline{NMI}$, the prior interrupt reception state is saved and all maskable interrupts are automatically disabled (IEF_1 copied to IEF_2 and then IEF_1 cleared to 0). At the end of the $\overline{NMI}$ interrupt service routine, execution of the RETN (Return from Non-maskable Interrupt) will automatically restore the interrupt receiving state (by copying IEF2 to IEF1) prior to the occurrence of $\overline{NMI}$.

IEF_2 state can be reflected in the P/V bit of the CPU Status Register by executing LD A, I or LD A, R instructions.

CPU Operation	IEF_1	IEF_2	REMARKS
RESET	0	0	Inhibits the interrupt except $\overline{NMI}$ and TRAP
$\overline{NMI}$	0	IEF_1	Copies the contents of IEF_1 to IEF_2
RETN	IEF_2	not affected	Returns from the $\overline{NMI}$ service routine
Interrupt except $\overline{NMI}$ and TRAP	0	0	Inhibits the interrupt except $\overline{NMI}$ and TRAP
RETI	not affected	not affected	
TRAP	not affected	not affected	
EI	1	1	
DI	0	0	
LD A, I	not affected	not affected	Transfers the contents of IEF_2 to P/V flag
LD A, R	not affected	not affected	Transfers the contents of IEF_2 to P/V flag

Table 3. State of IEF_1 and IEF_2

Internal I/O Registers

The Z80180 internal I/O Registers occupy 64 I/O addresses (including reserved addresses). These registers access the internal I/O modules (ASCI, CSI/O, PRT) and control functions (DMAC, DRAM refresh, interrupts, wait state generator, MMU and I/O relocation).

To avoid address conflicts with external I/O, the Z80180 internal I/O addresses can be relocated on 64 byte boundaries within the bottom 256 bytes of the 64K byte I/O address space.

By programming IOA7 and IOA6 in the I/O control register, internal I/O register addresses are relocatable within ranges from 0000H to 00FFH in the I/O address space.

REGISTER	MNEMONICS	ADDRESS	REMARKS
ASCI Control Register A Channel 0	CNTLA0	0 0	
ASCI Control Register A Channel 1	CNTLA1	0 1	
ASCI Control Register B Channel 0	CNTLB0	0 2	

ASCI Control Register A Channel 0 : CNTLA0

bit	MPE	RE	TE	$\overline{RTS0}$	MPBR/EFR	MOD2	MOD1	MOD0
during RESET	0	0	0	1	invalid	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- MODE Selection
- Multi Processor Bit Receive/ Error Flag Reset
- Request To Send
- Transmit Enable
- Receive Enable
- Multi Processor Enable

ASCI Control Register A Channel 1 : CNTLA1

bit	MPE	RE	TE	CKA1D	MPBR/EFR	MOD2	MOD1	MOD0
during RESET	0	0	0	1	invalid	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- MODE Selection
- Multi Processor Bit Receive/ Error Flag Reset
- CKA1 Disable
- Transmit Enable
- Receive Enable
- Multi Processor Enable

MOD2, 1, 0

0 0 0	Start + 7 bit Data + 1 Stop
0 0 1	Start + 7 bit Data + 2 Stop
0 1 0	Start + 7 bit Data + Parity + 1 Stop
0 1 1	Start + 7 bit Data + Parity + 2 Stop
1 0 0	Start + 8 bit Data + 1 Stop
1 0 1	Start + 8 bit Data + 2 Stop
1 1 0	Start + 8 bit Data + Parity + 1 Stop
1 1 1	Start + 8 bit Data + Parity + 2 Stop

ASCI Control Register B Channel 0 : CNTLB0

bit	MPBT	MP	$\overline{CTS}$/PS	PEO	DR	SS2	SS1	SS0
during RESET	invalid	0	*	0	0	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- Clock Source and Speed Select
- Divide Ratio
- Parity Even or Odd
- Clear To Send/Prescale
- Multi Processor
- Multi Processor Bit Transmit

$\overline{CTS}$: Depending on the condition of $\overline{CTS}$ Pin.
PS : Cleared to 0.

(to be continued)

REGISTER	MNEMONICS	ADDRESS	REMARKS
ASCI Control Register B Channel 1	CNTLB1	0 3	

bit

	MPBT	MP	$\overline{CTS}$ PS	PEO	DR	SS2	SS1	SS0
during RESET	invalid	0	0	0	0	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- SS2, SS1, SS0 — Clock Source and Speed Select
- DR — Divide Ratio
- PEO — Parity Even or Odd
- $\overline{CTS}$ PS — Clear To Send/Prescale
- MP — Multi Processor
- MPBT — Multi Processor Bit Transmit

General divide ratio	PS=0 (divide ratio=10)		PS=1 (divide ratio=30)	
SS2,1,0	DR=0 (×16)	DR=1 (×64)	DR=0 (×16)	DR=1 (×64)
0 0 0	φ÷ 160	φ÷ 640	φ÷ 480	φ÷ 1920
0 0 1	÷ 320	÷ 1280	÷ 960	÷ 3840
0 1 0	÷ 640	÷ 2560	÷ 1920	÷ 7680
0 1 1	÷ 1280	÷ 5120	÷ 3840	÷ 15360
1 0 0	÷ 2560	÷ 10240	÷ 7680	÷ 30720
1 0 1	÷ 5120	÷ 20480	÷ 15360	÷ 61440
1 1 0	÷ 10240	÷ 40960	÷ 30720	÷ 122880
1 1 1	External clock (frequency < φ ÷ 40)			

ASCI Status Register Channel 0	STAT0	0 4

bit

	RDRF	OVRN	PE	FE	RIE	$\overline{DCD0}$	TDRE	TIE
during RESET	0	0	0	0	0	*	**	0
R/W	R	R	R	R	R/W	R	R	R/W

- TIE — Transmit Interrupt Enable
- TDRE — Transmit Data Register Empty
- $\overline{DCD0}$ — Data Carrier Detect
- RIE — Receive Interrupt Enable
- FE — Framing Error
- PE — Parity Error
- OVRN — Over Run Error
- RDRF — Receive Data Register Full

** $\overline{CTS_0}$ Pin | TDRE: L | 1; H | 0

* $\overline{DCD_0}$ Depending on the condition of $\overline{DCD_0}$ Pin

ASCI Status Register Channel 1	STAT1	0 5

bit

	RDRF	OVRN	PE	FE	RIE	CTS1E	TDRE	TIE
during RESET	0	0	0	0	0	0	1	0
R/W	R	R	R	R	R/W	R/W	R	R/W

- TIE — Transmit Interrupt Enable
- TDRE — Transmit Data Register Empty
- CTS1E — $\overline{CTS1}$ Enable
- RIE — Receive Interrupt Enable
- FE — Framing Error
- PE — Parity Error
- OVRN — Over Run Error
- RDRF — Receive Data Register Full

(to be continued)

REGISTER	MNEMONICS	ADDRESS	REMARKS
ASCI Transmit Data Register Channel 0	: TDR0	0 6	
ASCI Transmit Data Register Channel 1	: TDR1	0 7	
ASCI Receive Data Register Channel 0	: TSR0	0 8	
ASCI Receive Data Register Channel 1	: TSR1	0 9	
CSI/O Control Register	: CNTR	0 A	
CSI/O Transmit/Receive Data Register	: TRDR	0 B	
Timer Data Register Channel 0L	: TMDR0L	0 C	
Timer Data Register Channel 0H	: TMDR0H	0 D	
Timer Reload Register Channel 0L	: RLDR0L	0 E	
Timer Reload Register Channel 0H	: RLDR0H	0 F	
Timer Control Register	: TCR	1 0	

bit	EF	EIE	RE	TE	–	SS2	SS1	SS0
during RESET	0	0	0	0	1	1	1	1
R/W	R	R/W	R/W	R/W		R/W	R/W	R/W

- Speed Select
- Transmit Enable
- Receive Enable
- End Interrupt Enable
- End Flag

SS2,1,0	Baud Rate	SS2,1,0	Baud Rate
000	φ ÷ 20	100	φ ÷ 320
001	÷ 40	101	÷ 640
010	÷ 80	110	÷ 1280
011	÷ 160	111	External (frequency < ÷ 20)

bit	TIF1	TIF0	TIE1	TIE0	TOC1	TOC0	TDE1	TDE0
during RESET	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

- Timer Down Count Enable 1,0
- Timer Output Control 1,0
- Timer Interrupt Enable 1,0
- Timer Interrupt Flag 1,0

TOC1,0	A₁₆/TOUT
00	Inhibited
01	Toggle
10	0
11	1

(to be continued)

REGISTER	MNEMONICS	ADDRESS	REMARKS
Timer Data Register Channel 1L	: TMDR1L	1 4	
Timer Data Register Channel 1H	: TMDR1H	1 5	
Timer Reload Register Channel 1L	: RLDR1L	1 6	
Timer Reload Register Channel 1H	: RLDR1H	1 7	
Free Running Counter	: FRC	1 8	read only
DMA Source Address Register Channel 0L	: SAR0L	2 0	
DMA Source Address Register Channel 0H	: SAR0H	2 1	
DMA Source Address Register Channel 0B	: SAR0B	2 2	Bits 0-2 (3) are used for SAR0B A_{19}*, A_{18}, A_{17}, A_{16} | DMA Transfer Request X X 0 0 | $\overline{DREQ_0}$ (external) X X 0 1 | RDR0 (ASCI0) X X 1 0 | RDR1 (ASCI1) X X 1 1 | Not Used
DMA Destination Address Register Channel 0L	: DAR0L	2 3	
DMA Destination Address Register Channel 0H	: DAR0H	2 4	
DMA Destination Address Register Channel 0B	: DAR0B	2 5	Bits 0-2 (3) are used for DAR0B. A_{19}*, A_{18}, A_{17}, A_{16} | DMA Transfer Request X X 0 0 | $\overline{DREQ_0}$ (external) X X 0 1 | TDR0 (ASCI0) X X 1 0 | TDR1 (ASCI1) X X 1 1 | Not Used
DMA Byte Count Register Channel 0L	: BCR0L	2 6	
DMA Byte Count Register Channel 0H	: BCR0H	2 7	
DMA Memory Address Register Channel 1L	: MAR1L	2 8	
DMA Memory Address Register Channel 1H	: MAR1H	2 9	
DMA Memory Address Register Channel 1B	: MAR1B	2 A	Bits 0-2 (3) are used for MAR1B.
DMA I/O Address Register Channel 1L	: IAR1L	2 B	
DMA I/O Address Register Channel 1H	: IAR1H	2 C	

(to be continued)

* In the R1 and Z Mask, these DMAC registers are expanded from 4 bits to 3 bits in the package version of CP-68 and FP-80.

REGISTER	MNEMONICS	ADDRESS	REMARKS
DMA Byte Count Register Channel 1L	BCR1L	2 E	
DMA Byte Count Register Channel 1H	BCR1H	2 F	
DMA Status Register	DSTAT	3 0	
DMA Mode Register	DMODE	3 1	

bit	DE1	DE0	$\overline{DWE1}$	$\overline{DWE0}$	$\overline{DIE1}$	$\overline{DIE0}$	–	DME
during RESET	0	0	1	1	0	0	1	0
R/W	R/W	R/W	W	W	R/W	R/W		R

DME: DMA Master Enable
$\overline{DIE1}$, $\overline{DIE0}$: DMA Interrupt Enable 1,0
$\overline{DWE1}$, $\overline{DWE0}$: DMA Enable Bit Write Enable 1,0
DE1, DE0: DMA Enable ch 1,0

bit	–	–	DM1	DM0	SM1	SM0	MMOD	–
during RESET	1	1	0	0	0	0	0	1
R/W			R/W	R/W	R/W	R/W	R/W	

MMOD: Memory MODE Select
SM1, SM0: Ch 0 Source Mode 1,0
DM1, DM0: Ch 0 Destination Mode 1, 0

DM1, 0	Destination	Address
0 0	M	DAR0 + 1
0 1	M	DAR0 − 1
1 0	M	DAR0 fixed
1 1	I/O	DAR0 fixed

SM1, 0	Source	Address
0 0	M	SAR0 + 1
0 1	M	SAR0 − 1
1 0	M	SAR0 fixed
1 1	I/O	SAR0 fixed

MMOD	Mode
0	Cycle Steal Mode
1	Burst Mode

(to be continued)

REGISTER	MNEMONICS	ADDRESS	REMARKS

DMA/WAIT Control Register : DCNTL — 3 2

bit	MW11	MW10	IW11	IW10	DMS1	DMS0	DM1	DM0
during RESET	1	1	1	1	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DM1, DM0 — DMA Ch. 1 I/O Memory Mode Select
- DMS1, DMS0 — DREQi Select, i = 1, 0
- IW11, IW10 — I/O Wait Insertion
- MW11, MW10 — Memory Wait Insertion

MW11,0	The number of wait states
0 0	0
0 1	1
1 0	2
1 1	3

IW11,0	The number of wait states
0 0	0
0 1	2
1 0	3
1 1	4

DMSi	Sense
1	Edge sense
0	Level sense

DM1,0	Transfer Mode	Address Increment/Decrement	
0 0	M—I/O	MAR1 + 1	IAR1 fixed
0 1	M—I/O	MAR1 − 1	IAR1 fixed
1 0	I/O—M	IAR1 fixed	MAR1 + 1
1 1	I/O—M	IAR1 fixed	MAR1 − 1

Interrupt Vector Low Register : IL — 3 3

bit	IL7	IL6	IL5	–	–	–	–	–
during RESET	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W					

- IL7, IL6, IL5 — Interrupt Vector Low

INT/TRAP Control Register : ITC — 3 4

bit	TRAP	UFO	–	–	–	ITE2	ITE1	ITE0
during RESET	0	0	1	1	1	0	0	1
R/W	R/W	R				R/W	R/W	R/W

- ITE2, ITE1, ITE0 — INT Enable 2, 1, 0
- UFO — Undefined Fetch Object
- TRAP

Refresh Control Register : RCR — 3 6

bit	REFE	REFW	–	–	–	–	CYC1	CYC0
during RESET	1	1	1	1	1	1	0	0
R/W	R/W	R/W					R/W	R/W

- CYC1, CYC0 — Cycle Select
- REFW — Refresh Wait State
- REFE — Refresh Enable

CYC1,0	Interval of Refresh Cycle
0 0	10 States
0 1	20
1 0	40
1 1	80

(to be continued)

REGISTER	MNEMONICS	ADDRESS	REMARKS
MMU Common Base Register	: CBR	3 8	
MMU Bank Base Register	: BBR	3 9	
MMU Common/Bank Area Register	: CBAR	3 A	
Operation Mode Control Register	: OMCR	3 E	
I/O Control Register	: ICR	3 F	

MMU Common Base Register

bit	CB7*	CB6	CB5	CB4	CB3	CB2	CB1	CB0
during RESET	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MMU Bank Base Register

bit	BB7*	BB6	BB5	BB4	BB3	BB2	BB1	BB0
during RESET	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MMU Common/Bank Area Register

bit	CA3	CA2	CA1	CA0	BA3	BA2	BA1	BA0
during RESET	1	1	1	1	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Operation Mode Control Register

bit	MIE	$\overline{\text{MITE}}$	$\overline{\text{IOC}}$	–	–	–	–	–
during RESET	1	1	1	1	1	1	1	1
R/W	R/W	W	R/W					

I/O Control Register

bit	IOA7	IOA6	IOSTP	–	–	–	–	–
during RESET	0	0	0	1	1	1	1	1
R/W	R/W	R/W	R/W					

These MMU registers are expanded from 7 bits to 8 bits in the PLCC package

Memory Management Unit (MMU)

The Z80180 has an on-chip MMU which performs the translation of the CPU 64K byte (16-bit addresses 0000H to FFFFH) logical memory address space into a 1024K byte (20-bit addresses 00000H to FFFFFH) physical memory address space. Address translation occurs internally in parallel with other CPU operation.

Logical Address Spaces. The 64K byte CPU logical address space is interpreted by the MMU as consisting of up to three separate logical address areas, Common Area 0, Bank Area, and Common Area 1.

As shown in Fig.22, a variety of logical memory configurations are possible. The boundaries between the Common and Bank Areas can be programmed with 4K byte resolution.

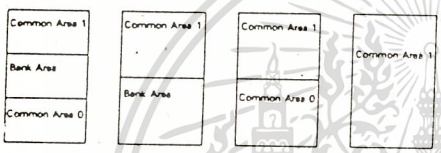


Figure 22. Logical Address Mapping Examples

Whether address translation takes place depends on the type of CPU cycle as follows.

(1) Memory Cycles
Address Translation occurs for all memory access cycles including instruction and operand fetches, memory data reads and writes, hardware interrupt vector fetch, and software interrupt restarts.

(2) I/O Cycles
The MMU is logically bypassed for I/O cycles. The 16-bit logical I/O address space corresponds directly with the 16-bit physical I/O address space. The four high-order bits (A16-A19) of the physical address are always 0 during I/O cycles.

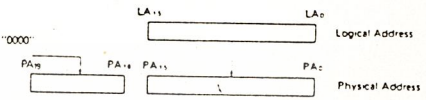


Figure 23. I/O Address Translation

(3) DMA Cycles
When the Z80180 on-chip DMAC is using the external bus, the MMU is physically bypassed. The 20-bit source and destination registers in the DMAC are directly output on the physical address bus (A0-A19).

Physical address translation. Fig. 24 shows the way in which physical addresses are generated based on the contents of CBAR, CBR and BBR. MMU comparators classify an access by logical area as defined by CBAR. Depending on which of the three potential logical areas (Common Area 1, Bank Area, or Common Area 0) is being accessed, the appropriate 8-bit base address is added to the high-order 4 bits of the logical address, yielding a 20-bit physical address. CBR is associated with Common Area 1 accesses. Common Area 0, if defined, is always based at physical address 00000H.