

เครื่องกำเนิดความถี่ย่าน RF  
RF SIGNAL GENERATOR



ปฏิยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต  
สาขาเทคโนโลยีโทรคมนาคม  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เครื่องกำเนิดความถี่ RF (RF SIGNAL GENERATOR)

โดย

นาย เมธิน ดันประดิษฐ์ เลขประจำตัว 35102067

นาย รณรงค์ รั้วหลัก เลขประจำตัว 35102070

อาจารย์ที่ปรึกษา อ. อุกฤษ ศรีธีระวิโรจน์

ภาควิชาเทคโนโลยีอุตสาหกรรม

ปีการศึกษา 2536

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติ  
ให้นับเป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เครื่องกำเนิดความถี่ย่าน RF

## RF SIGNAL GENERATOR

โดย นายเมธิน ตันประดิษฐ์

นายรณรงค์ ฐิตลัก

อาจารย์ที่ปรึกษา

อ. อุกฤษ ศรีธีระวิโรจน์

### บทคัดย่อ

โครงการนี้เป็นการพัฒนาเครื่องกำเนิดความถี่สูง โดยใช้เฟสล็อกคิรูล์ทอการผลิตความถี่ ซึ่งวิธีนี้ เป็นการผลิตความถี่แบบง่าย ๆ โดยจะสามารถเปลี่ยนแปลงความถี่ได้ด้วยการบื้อนรหัสเลขฐานสอง เพื่อให้ได้ความถี่ตามต้องการ วิธีดังกล่าวนี้จะทำให้สามารถกำเนิดความถี่ที่มีลักษณะสัญญาณเป็นรูปร่างคลื่นไซน์ ที่ด้านขาออกของวงจร ซึ่งจะมีความเที่ยงตรงสูง สัญญาณรบกวนน้อย มีความเสถียรภาพของคววมถี่ และสามารถนำไปทดสอบกับเครื่องมือทางความถี่สูงอื่นได้

### ABSTRACT

The project is a development of RF signal generator by using PHASE LOCK LOOP for frequency operating. This system is a simple for production by changing frequency of taking binary code into it for the result of needed frequency. These method can form a sine wave frequency that the way out of circuit has a high precision, a little noise signal and stability frequency which leads to test with others equipments of high frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ

หน้า

บทคัดย่อ	
Abstract	
บทที่ 1 เฟสล็อกกลุ่ปสิ่งเคราะห์ความถี่	1
1.1 แบบเริ่มต้น	1
1.2 แบบปรีส์เกลเลอร์	2
1.3 แบบปรีส์เกลเลอร์ สองโมดูลัส	4
1.4 แบบมิกซิ่ง	5
บทที่ 2 วงจรกรองและผลตอบสนองของลูป	7
2.1 หน้าที่ของวงจรกรอง	7
2.2 วงจรกรองความถี่ต่ำผ่าน	9
2.3 ผลตอบสนองด้านทรานเซียนท์	10
2.4 Lock and Capture	14
บทที่ 3 การทำงานแต่ละบล็อกโคอะแกรม	17
3.1 Voltage Control Oscillator (VCO)	17
3.2 ปรีส์เกลเลอร์	19
3.3 วงจรโปรแกรมการหาร	20
3.4 Phase Detector	20
3.5 ความถี่ Reference	22
3.6 วงจรกำเนิดเสียง	23
3.7 Key Broad and Display	24
บทที่ 4 ขั้นตอนการทำงานและอุปสรรคในการทำงาน	25
บทที่ 5 สรุปการทำงานและวิจารณ์	32
กิตติกรรมประกาศ	36
เอกสารอ้างอิง	37

	หน้า
ภาคผนวก ก MC 1648/MC 1648M	39
ภาคผนวก ข MC 4344/MC 4044	47
ภาคผนวก ค MWA 110	65
MWA 120	
MWA 130	
ภาคผนวก ง BFX 89	73
BFY 90	
ภาคผนวก จ MV 1403,H	77
MV 1404,H	
MV 1405,H	
ภาคผนวก ฉ uPB 569C	79
ภาคผนวก ช TC 9122P	81



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทนำ

ในส่วนใหญ่ของวิชาทางด้านโทรคมนาคมหรือการสื่อสารเรามักจะได้พบกับ วงจรที่เกี่ยวข้องกับความถี่เป็นส่วนใหญ่ เรื่องของความถี่มีผู้สนใจทำการศึกษาค้นคว้าและวิเคราะห์ในด้านนี้มากมาย เพื่อจะพัฒนาและศึกษาถึงผลกระทบของความถี่ในด้านต่างๆ เพื่อจะก่อให้เกิดประสิทธิภาพ การปฏิบัติงานในด้านความถี่สูงที่สุด

เราพบว่าในส่วนของความถี่สูงนั้น มักจะก่อให้เกิดปัญหาหลายๆด้าน จึงทำให้มีผู้ที่ทำการศึกษา ค้นคว้าทางแก้ปัญหาเหล่านั้นมาตลอด ทำให้ในปัจจุบันสามารถนำความถี่สูงๆมาใช้ได้ถึงย่านที่เป็น GHz ซึ่งก่อให้เกิดประโยชน์อย่างสูง ในด้านการติดต่อสื่อสารในโลกปัจจุบัน ฉะนั้นในส่วนของความถี่จึงเป็นส่วนหนึ่งที่นักศึกษาในด้านโทรคมนาคมสมควรที่จะศึกษาไว้ เพื่อจะนำไปใช้ประโยชน์ในอนาคต จึงทำให้เกิดแนวคิดที่จะทำการศึกษาในด้านความถี่อย่างจริงจัง ที่มีส่วนเกี่ยวข้องกับการกำเนิดความถี่สูง

จากในสภาวะการปัจจุบัน เราได้ทำการศึกษาการใช้ประโยชน์ในด้านความถี่ในประเทศไทย ได้บทสรุปว่า การติดต่อสื่อสารที่นิยมใช้กันอย่างกว้างขวางก็คือ ความถี่วิทยุย่าน VHF ซึ่งมีบทบาทสำคัญอย่างมากในการสื่อสารทั่วไปที่สามารถพบเห็นได้ ได้แก่ วิทยุสื่อสารสมัครเล่น 144 MHz วิทยุ FM และการส่งโทรทัศน์ ฯลฯ นอกจากคลื่นความถี่ย่าน VHF แล้วยังมีคลื่นความถี่ย่าน UHF ที่กำลังมีบทบาทสำคัญอีกย่านหนึ่ง เราสามารถพบเห็นระบบ UHF ทั่วไปได้จากโทรศัพท์เคลื่อนที่ต่างๆ ด้วยเหตุผลนี้จึงทำให้เกิดความคิดที่จะทำการทดลอง สร้างเครื่องกำเนิดความถี่สูงขึ้นมา เพื่อศึกษาถึงการทำงาน การแก้ปัญหาที่อาจเกิดขึ้นได้ในย่านความถี่สูง ซึ่งวงจรที่ทำการออกแบบทั้งหมดนี้สร้างจากหลักการพื้นฐานของเครื่องกำเนิดความถี่สูงที่นิยมใช้โดยทางคณะผู้จัดทำ ได้สรุปเนื้อหา เพื่อให้ง่ายต่อความเข้าใจไว้ในเอกสารฉบับนี้

## จุดประสงค์

- เพื่อศึกษาการกำเนิดความถี่สูงโดยใช้ Phase Lock Loop
- เพื่อศึกษาวิธีการกำเนิดแบบหลายความถี่ โดยไม่ต้องเปลี่ยน Hard ware
- สามารถนำเครื่องวิทยุความถี่สูงมาใช้งานได้
- เป็นแนวทางนำความถี่ไปประยุกต์ใช้ในงานอื่นๆ

## ขอบเขตการทำงาน

ในโครงการนี้ผู้จัดทำมีความมุ่งหวังเพื่อที่จะทำการศึกษา โครงสร้างภายในและวิธีการผลิตความถี่สูงโดยใช้ Phase Lock Loop เป็นตัวกำเนิดความถี่โดยกำหนดขอบเขตของการกำเนิดเป็นรูปร่าง Sine wave ซึ่งมีช่วงความถี่ตั้งแต่ 100-200 MHz สามารถปรับความละเอียดได้ 1 MHz และยังสามารถทำการผลิตความถี่ต่ำในย่าน 20-20KHz ที่สามารถเปลี่ยนรูปร่างของสัญญาณได้ โดยสามารถปรับรูปลักษณะได้เป็น Sine wave, Triangle wave, Square wave เป็นวงจรที่มีความเที่ยงตรง

## บทที่ 1

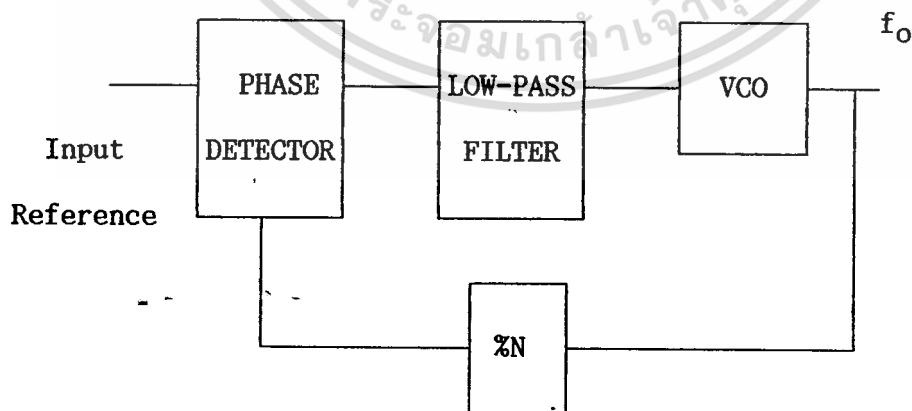
### เฟสล็อกกลุ่บสังเคราะห์ความถี่

การใช้เฟสล็อกกลุ่บสังเคราะห์ความถี่ คือการนำเอาเฟสล็อกกลุ่บมาประยุกต์เป็นวงจรสังเคราะห์ความถี่ ทำให้ได้วงจรที่ดีขึ้นซึ่งขณะนี้มิใช่แพร่หลายมาก เช่น อุปกรณ์สื่อสารที่ใช้ปุ่มกดสามารถโปรแกรมความถี่ที่ต้องการรับและส่งได้ ทำให้การใช้งานสะดวกรวดเร็วขึ้นมาก แต่ที่สำคัญก็คือคุณภาพในการสื่อสารดีขึ้น เช่น ความถี่ที่รับและส่งแม่นยำแบบวิตต์แคบ สัญญาณรบกวนต่ำ และอื่นๆที่เป็นข้อดีของเฟสล็อกกลุ่บ

วิธีประยุกต์เฟสล็อกกลุ่บให้เป็นวงจรสังเคราะห์ความถี่นั้น มีหลายวิธี แต่ที่เป็นพื้นฐานมี 4 วิธีคือ

1. แบบเริ่มต้น (Basic Synthesizer)
2. แบบพรีสเกลเลอร์ (Prescaler)
3. แบบพรีสเกลเลอร์ สองโมดูลัส (Prescaler Two-modulus)
4. แบบมิกซิง (Mixing)

#### 1.1 แบบเริ่มต้น



$$f_{REF} = f_o/N$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลง 1.1 ใช้เฟสล็อกกลุ่บสังเคราะห์ความถี่ เริ่มต้นเอกสารทุกครั้งที่มีการนำไปใช้

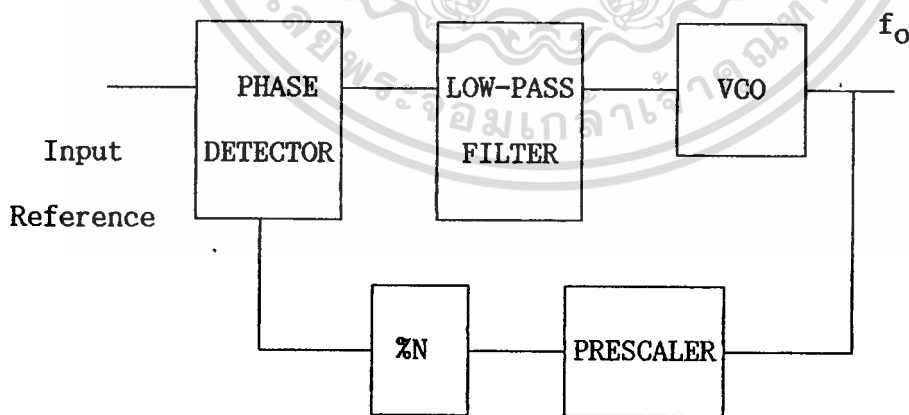
จากหลักการของเฟสล็อกลูปที่ว่าเมื่อลูปล็อก ความถี่ที่ป้อนกลับจากเอาต์พุตต้องเท่ากับ อินพุต เมื่อเราเพิ่มวงจรถหาร  $N$  ที่วงจรถ้อนกลับ ความถี่ป้อนกลับจะมีค่าเท่ากับความถี่ขาออก หารด้วย  $N$  ( $f_o/N$ ) แล้วป้อนให้กับเฟสดีเทคเตอร์ ดังรูป 1.1 เมื่อเฟสล็อกความถี่นี้จะเท่ากับความถี่ขาเข้า ( $f_{ref}$ ) ดังนั้นเขียนสมการได้ดังนี้

$$f_{ref} = f_o/N$$

$$f_o = N \cdot f_{ref}$$

จากสมการ จะเห็นได้ว่าเมื่อเปลี่ยนแปลงค่า  $N$  ความถี่ขาออกก็จะเปลี่ยนแปลงไปด้วย เป็น จำนวนเท่าของความถี่อ้างอิง สมมุติว่าต้องการความถี่ขาออก ตั้งแต่ 100 ถึง 200 MHz โดยสามารถรับความถี่ขาออกได้ระดับละ 100 ถึง 200 MHz นั่นคือจะต้องใช้  $f_{ref}=1$  MHz วงจรถหารได้ตั้งแต่ 100, 101 ถึง 200 ปัญหานี้เกิดขึ้นสำหรับวงจรถหารนี้ก็คือ วงจรถหาร  $N$  นั้น ทำงานที่ความถี่ไม่สูงนัก (ไม่เกิน 50 MHz) ดังนั้นวงจรถหารนี้จึงถูกจำกัดความถี่ของเอาต์พุตด้วยวง จรถหาร  $N$

### 1.2 แบบพรีสเกลเลอร์



$$f_{REF} = f_o/NK$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 1.2 ใช้เฟสล็อกลูปสังเคราะห์ความถี่แบบพรีสเกลเลอร์

จากข้อจำกัดของวงจรสังเคราะห์ความถี่แบบที่ 1 ถ้าเรามีวงจรที่สามารถลดความถี่ของ VCO ลงก่อนที่จะป้อนให้กับวงจรหาร ดังรูปที่ 1.2 ก็จะทำให้ความถี่ขาออกของเฟสล็อกลูป มีค่าสูงกว่าความถี่สูงสุดของวงจรหารได้ วงจรนี้เรียกว่า พรีสเกลเลอร์ วงจรนี้ให้ค่าหารคงที่  $\times K$  ทำให้สามารถ สร้างให้ทำงานที่ความถี่สูงๆได้ (สูงถึง 1.1 GHz) อุปกรณ์ตัวนี้อยู่ในกลุ่ม ECL (Emitter Couple Logic) ความถี่ที่ป้อนให้กับดีเทคเตอร์ผ่านการหารด้วยค่า  $K$  และ  $N$  หรือ  $f/NK$  นั่นคือ

$$f_{\text{ref}} = f_o / (N \cdot K)$$

$$f_o = K \cdot N \cdot f_{\text{ref}}$$

จากสมการ จะเห็นว่าความถี่  $f_o$  ถูกควบคุมด้วยค่า  $K, N$  และ  $f_{\text{ref}}$   $K$  และ  $f_{\text{ref}}$  มีค่าคงที่ ส่วน  $N$  นั้นมีค่าเปลี่ยนแปลงไปตามการควบคุมภายนอก

### ข้อสังเกต

ถ้าต้องการความถี่ขาออก 100–200 MHz เวกซ์ลูชั่น 1 MHz

1. พรีสเกลเลอร์ต้องทำงานได้ตลอดช่วงความถี่นี้ สมมติ  $K = 64$

2.  $1 \text{ MHz} = K \cdot f_{\text{ref}}$

$$f_{\text{ref}} = 1/64 \text{ MHz}$$

3.  $f_o = K \cdot N \cdot f_{\text{ref}}$

$$= 64 \cdot N (1/64) \text{ MHz}$$

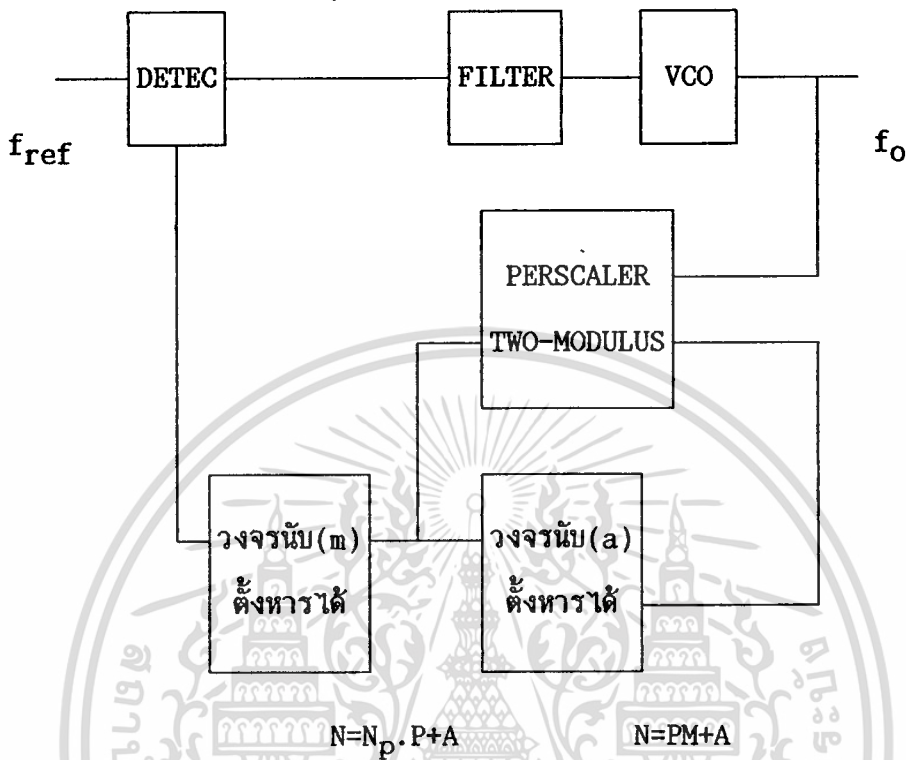
$$= N$$

ดังนั้น  $N$  จะต้องมีค่าตั้งแต่ 100,101 ถึง 200

4. วงจรหาร  $N$  จะต้องทำงานได้ที่ความถี่ 100/64 ถึง 200/64 MHz หรือ 1.56 ถึง 3.2 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 1.3 แบบพรีสเกลเลอร์ สองโมดูลัส



รูป 1.3 ใช้เฟสล็อกคูลบัสเพราะความถี่แบบ พรีสเกลเลอร์ สองโมดูลัส

วงจรมอด P และ มอด P+1 เป็นพรีสเกลเลอร์ตัวเดียวกับวงจรมอดที่ผ่านมา เพียงแต่ต่อวงจรมอดสองโมดูลัส ดังรูป 1.3 และต่อร่วมกับวงจรมอดปรับค่าได้สองวงจรมอดคือ มอด M และมอด A ความถี่ที่ออกจากวงจรมอดนี้เท่ากับ  $f/(M.P+A)$  นั่นคือ

$$f_{ref} = f_o / (M.P+A)$$

$$f_o = (M.P+A)f_{ref}$$

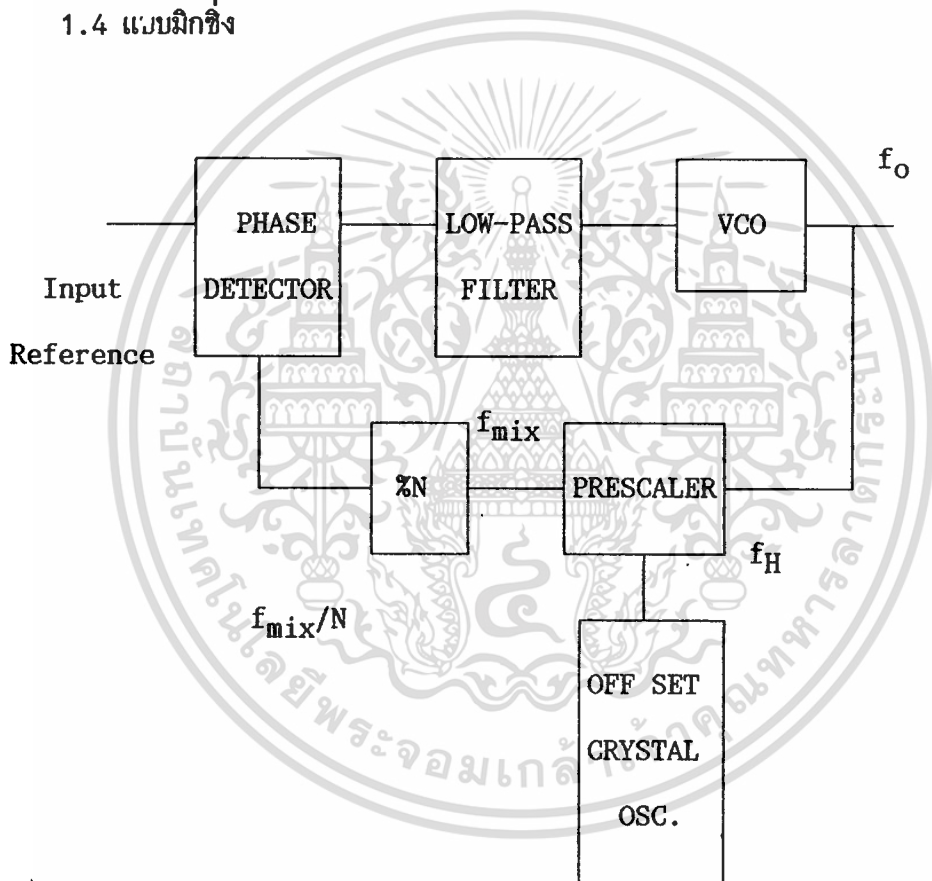
จากสมการ จะเห็นว่าเรโซลูชัน เท่ากับ  $f_{ref}$  และ  $(M.P+A)$  เป็นตัวกำหนดว่า  $f_o$  เป็นกี่เท่าของ  $f_{ref}$  ค่า P เป็นตัวกำหนดว่าค่าหารนี้เป็นเลขฐานอะไร A เป็นหลักหน่วยและ M เป็นหลักถัดไป เช่นถ้า  $P=64$  จะแสดงว่าค่าหารนี้เป็นเลขฐาน 64 นั่นคือ A จะต้องมีการตั้งค่าตั้งแต่ 0-63 ถ้า M มีค่าตั้งแต่ 0-99 วงจรมอดนี้จะให้ค่าหารได้ตั้งแต่ 0-9499 ทุกครั้งที่มีการนำไปใช้

วงจรมีดีกว่าวงจรมอดูเลสเซอร์ธรรมดา เพราะความถี่ที่บ่อนให้กับเฟสดีเทคเตอร์สูงกว่าแบบ มอดูเลสเซอร์ธรรมดา P เท่า เมื่อต้องการเวรชลูชั่นเท่ากันคือสมมุติว่า ต้องการเวรชลูชั่น 10 KHz ใช้ P เท่ากับ 64 วงจรแบบมอดูเลสเซอร์ธรรมดา

$$f_{ref} = 10 \text{ KHz} / P \text{ เท่ากับ } 0.15625 \text{ KHz}$$

แต่ วงจรนี้  $f_{ref} = 10 \text{ KHz}$  เมื่อ  $f_{ref}$  สูงกว่า ทาให้ความไวของลูบสูงกว่าและต้องการกรองน้อยกว่าด้วย

#### 1.4 แบบมิกซิง



รูป 1.4 ใช้เฟสดีคูลูบสังเคราะห์ความถี่แบบมิกซิง

วงจรมิกเซอร์ คือวงจรมี สองอินพุตและความถี่เอาที่พุตมีค่าเท่ากับความแตกต่างของความถี่ของอินพุตทั้งสอง ดังรูป 1.4 และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_{\text{mix}} = f_o - f_H$$

เมื่อ  $f_o$  = ความถี่เอาต์พุตของเฟสล็อกคูลูป

$f_H$  = ความถี่จะนำมาผสม

เมื่อผ่านวงจรฐาน  $N$  จะได้ว่า

$$f_{\text{ref}} = (f_o - f_H) / N$$

$$f_o = N \cdot f_{\text{ref}} + f_H$$

เหตุผลที่ต้องมีวงจรมิกเซอร์คือ ต้องการลดความถี่ที่ป้อนให้กับวงจร นอกจากนั้นวงจรนี้ยังมีข้อดีที่สามารถทำให้เฟสล็อกคูลูปมีค่าเรโซแนนซ์ต่ำ โดยใช้เฟสล็อกคูลูปหลายๆ ชุดต่อรวมกันผ่านมิกเซอร์และยังสามารถทำให้แบนวิดท์กว้างมากได้ โดยไม่เกิดปัญหาการล็อกกับฮาร์โมนิกของความถี่เอาต์พุตเรโซแนนซ์ของวงจรนี้เท่ากับ  $f_{\text{ref}} + f_H$  อาจจะมีค่าคงที่หรือเปลี่ยนแปลงค่าได้ขึ้นอยู่กับกรอกแบบ

นอกจากการสังเคราะห์ความถี่ 4 แบบนี้แล้วยังมีวงจรสังเคราะห์ความถี่โดยเฟสล็อกคูลูปอีกมากโดยยึดหลักที่ว่าความถี่ขาเข้า ของเฟสดีเทคเตอร์ทั้งสองเท่ากัน ขณะเฟสล็อก จากนั้นก็ใช้เทคนิคที่ ผ่านมา ควบคุมความถี่ที่ป้อนกลับจากเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2

### วงจรรองและผลตอบสนองของลูป

เราได้ผ่านการวิเคราะห์เฟสดีเทคเตอร์และ VCO ไปแล้ว แต่ยังไม่ได้พูดถึงผลตอบสนองของลูป เช่น การควบคุมการล็อก แคมเจอร์ (Capture) แบนด์วิดท์ (Bandwidth) และการตอบสนองด้านทรานเซียนท์ (Transient Response) ของลูป เนื่องจากผลตอบสนองของลูปเหล่านี้ขึ้นอยู่กับวงจรรอง

#### 2.1 หน้าที่ของวงจรรอง

วงจรรองในเฟสล็อกลูปเป็นวงจรรองความถี่ต่ำผ่าน มีหน้าที่ 2 อย่างคือ

1. ขจัดนอยส์ (Noise) สัญญาณรบกวน และส่วนประกอบความถี่สูงจากแรงดันขาออกของเฟสดีเทคเตอร์ เพื่อให้ได้แรงดันไฟตรง ที่เป็นค่าเฉลี่ยของเอาพุทของเฟสดีเทคเตอร์
2. กำหนดคุณลักษณะทางด้านไดนามิก (Dynamic) ของลูป โดยมี 3 แพแอมเตอร์ดังนี้คือ
  - แคมเจอร์และช่วงล็อก
  - แบนด์วิดท์
  - ผลตอบสนองด้านทรานเซียนท์

วงจรรองของลูปนั้นอาจจะเป็นพาสซีฟ (Passive) หรือ แอกทีฟ (Active) ก็ได้ การวิเคราะห์ผลตอบสนองของลูป โดยวิธีทางคณิตศาสตร์นั้นยุ่งยากมาก มีแพแอมเตอร์ที่แปรเปลี่ยนไปอย่างซับซ้อน ยากต่อการอธิบายให้เข้าใจได้ ดังนั้นจึงจะแสดงเฉพาะที่สำคัญ ๆ เท่านั้น

เฟสล็อกลูปที่สมบูรณ์มีลักษณะเป็น ระบบลำดับสอง (Second-order System) ดังนั้นก่อนที่จะถึงวงจรรอง จะอธิบายคุณลักษณะของระบบระดับสองก่อน ซึ่งมีรูปแบบมาตรฐานดังนี้

$$V_{out}/V_{in}(dB) = -20\log[w^4+2w^2(2\zeta^2-1)+1]^{1/2}$$

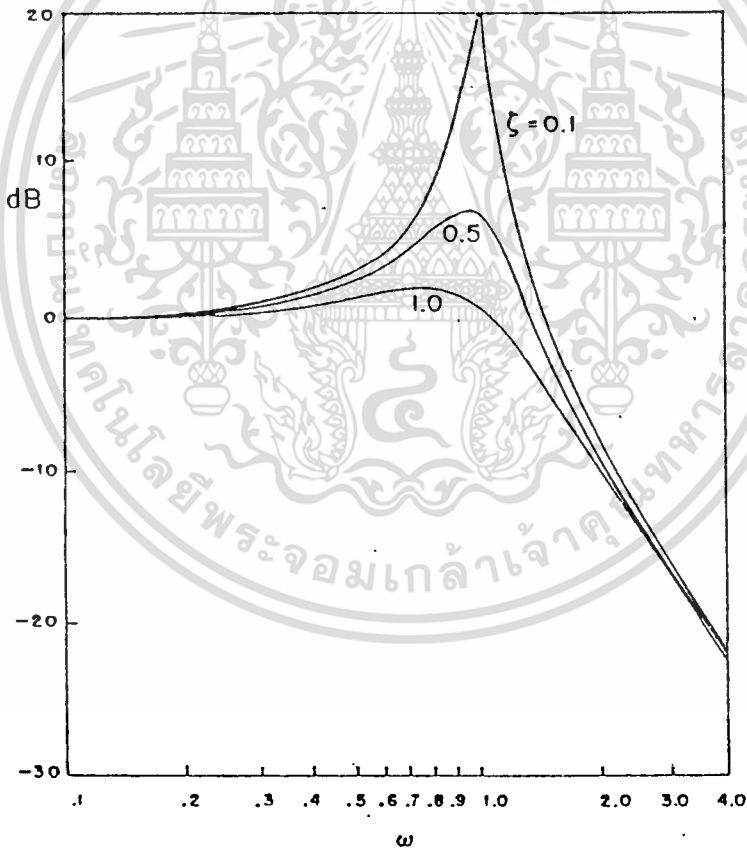
โดยที่

$$V_{in} = \text{แรงดันขาเข้าของลูป}$$

$$V_{out} = \text{แรงดันขาออกของลูป}$$

เอกสารนี้เป็นเอกสาร แพแอมเตอร์หน่วง (Damping Factor) เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\omega$  = อัตราส่วนของความถี่เข้า ( $\omega_L$ ) กับ Undamping Natural Frequency ( $\omega_n$ ) เมื่อนำสมการข้างต้นมาเขียนลงบนกราฟ จะได้กราฟดังรูป 2.1 พารามิเตอร์ที่กำหนดรูปร่างของผลตอบสนองคือ แพลคเตอร์หน่วง ความถี่ที่ทำให้ผลตอบสนองสูงสุดคือ Undamped Natural Frequency หรือเรียกสั้น ๆ ว่า ความถี่ธรรมชาติ ความถี่ที่ทำให้ผลตอบสนองต่ำกว่าผลตอบสนองสูงสุด 3dB เรียกว่า แบนด์วิดท์ ถ้าแพลคเตอร์หน่วงเท่ากับศูนย์ก็จะได้ Sinusoidal Osc แพลคเตอร์หน่วงกับความถี่ธรรมชาติ เป็นคุณสมบัติของวงจรรอง ที่สามารถกำหนดได้ตามความต้องการ โดยการออกแบบวงจรรอง นั่นคือเราสามารถควบคุมผลตอบสนองของลูบ



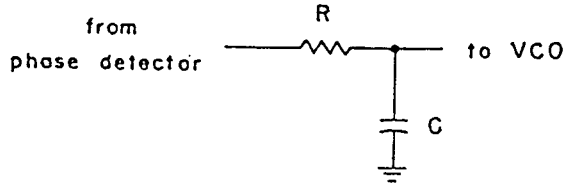
รูป 2.1 ผลของแพลคเตอร์หน่วงบนผลตอบสนองความถี่ ของระบบลำดับสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2.2 วงจรกรองความถี่ต่ำผ่าน  
ที่นิยมใช้กันนั้นมีอยู่ 3 แบบคือ

- First-order RC Low-pass Filter



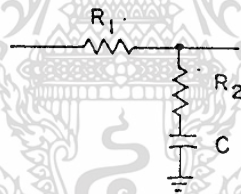
รูป 2.2 First-order RC Low-pass Filter

Cut off Frequency  $\omega_{LPP} = 1/RC$  เรเดียน/วินาที (1)

ความถี่ธรรมชาติ  $\omega_n = (K_o K_o \omega_{LPP})^{1/2}$  เรเดียน/วินาที (2)

แฟคเตอร์หน่วง  $= 1/2(\omega_{LPP}/K_o K_o)^{1/2}$  (3)

- Lag-Lead Low-pass Filter



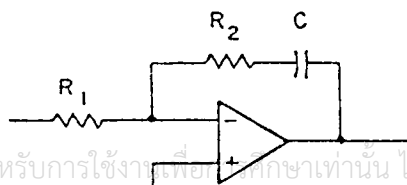
รูป 2.3 First-order , Lag-Lead Low-pass Filter

$\omega_{LPP} = 1/(R_1 + R_2)C$  เรเดียน/วินาที (4)

$\omega_n = (K_o K_o \omega_{LPP})^{1/2}$  เรเดียน/วินาที (5)

$= \omega_n / 2[R_2 C + (1/K_o K_o)]$  (6)

- Active Low-pass Filter



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

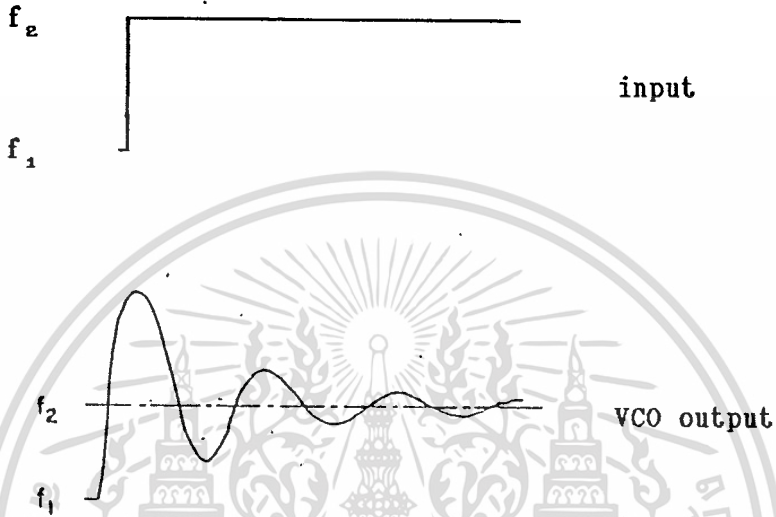
รูป 2.4 Active Low-pass Filter

$$\omega_{LPP} = 1/R_1 C \quad \text{เรเดียน/วินาที} \quad (7)$$

$$\omega_n = (K_o K_o \omega_{LPP})^{1/2} \quad \text{เรเดียน/วินาที} \quad (8)$$

$$\zeta = (R_2 C / 2) \omega_n \quad (9)$$

### 2.3 ผลตอบสนองด้านทรานเซียนต์



รูป 2.5 ผลตอบสนองด้านทรานเซียนต์

เมื่อระบบเป็นแบบ Undamped Second-order ( $\zeta < 1$ ) การเปลี่ยนแปลงอย่างทันทีทันใดของอินพุต เช่น เปลี่ยนจากความถี่หนึ่งไปอีกความถี่หนึ่ง เอาท์พุทของ VCO พยายามเปลี่ยนตามแต่ไม่สามารถเปลี่ยนตามได้ในทันทีทันใด จะต้องผ่านการแกว่งไปมาจนกระทั่งถึงความถี่ใหม่ ขบวนการนี้แสดงในรูป 2.5 ขบวนการนี้จะเร็วแค่ไหนขึ้นอยู่กับแฟคเตอร์หน่วงของลูป ซึ่งถูกควบคุมด้วยวงจรรองของลูป ดังแสดงในรูป 2.6 ถ้าหากในวงจรรอง RC ดังรูป 2.2 จะต้องใช้เวลาในการแกว่งไปมานานกว่าแบบอื่น วิธีการหา และ  $\omega_n$  ที่เหมาะสมวิธีหนึ่งก็คือการกำหนดแรงดันกระชาก (Overshoot) และเวลาจัดการ (Settling Time) ขึ้นมาก่อน

-แรงดันกระชาก คือ ความแตกต่างสูงสุดของทรานเซียนต์ และค่าสภาวะคงตัว (Steady

State) เมื่อมีการเปลี่ยนแปลงอย่างทันทีทันใดของอินพุทของเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้เข้าไปใช้ประโยชน์ด้านการค้า

-เวลาจัดการ ( $T_s$ ) คือ เวลาที่ผลตอบสนองด้านทรานเซียนต์ ไปถึงและคงอยู่ที่จุดที่กำหนดไว้

โดยคิดเป็นเปอร์เซ็นต์ของสภาวะคงตัว เช่น 10 %

โดยทั่วไปจะกำหนดให้แฟกเตอร์หน่วงมีค่าระหว่าง 0.5 ถึง 0.8 ต่อไปจะแสดงตัวอย่าง  
วิธีคำนวณดังนี้

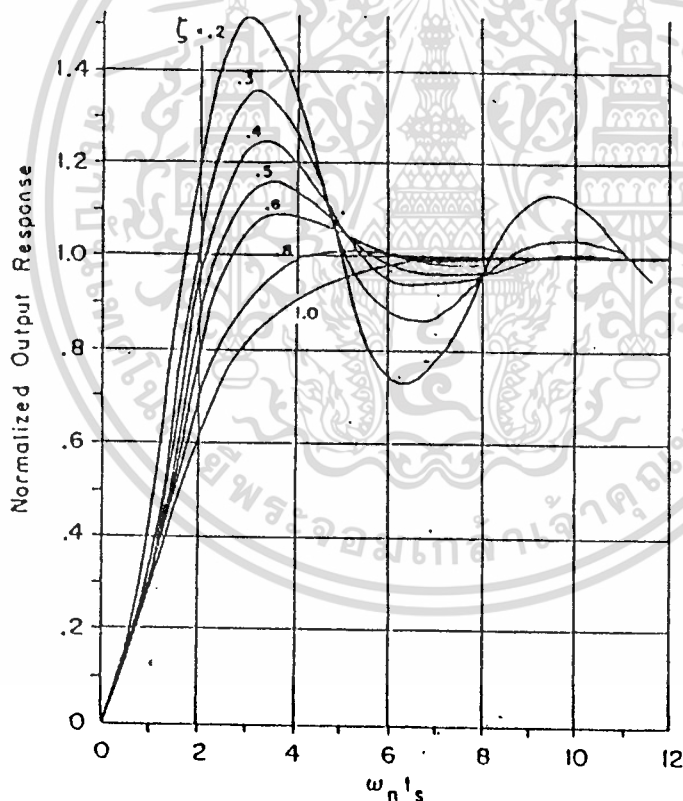
สมมติว่าใช้วงจรรูป 2.2 กำหนดแฟกเตอร์หน่วง = 0.5 เอาพุดต้องน้อยกว่า 10% ของ  
สภาวะคงตัว หลังจากเกิดการเปลี่ยนแปลงแบบทันทีทันใดของอินพุต 10 ms

จากข้อกำหนดดังกล่าวจะได้ว่า  $\omega_n T_u = 4.5$  (จากรูป 2.6)

$$\text{ดังนั้น } \omega_n = 4.5/T_u$$

$$T_u = 10 \text{ ms} , \omega_n = 450 \text{ เรเดียน/วินาที}$$

แทนค่า  $\omega_n$  ในสมการ 2-2 จะได้  $\omega_{LPF}$  และหาค่า RC ได้จากสมการ 2-1



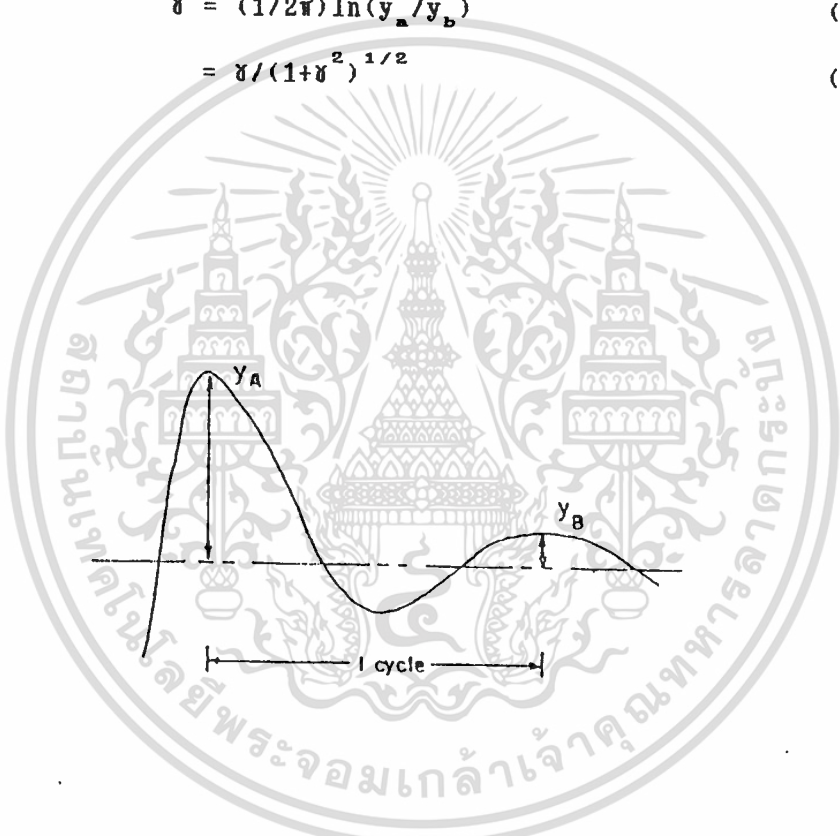
รูป 2.6 ผลตอบสนองด้านทรานเซียนท์ที่เทียบเท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่ผ่านมาใช้ความถี่ (Cutoff Frequency) ในการออกแบบวงจรกรองแต่จะใช้ค่าเท่าไรนั้นยากที่จะกำหนดได้ เริ่มแรกควรจะให้ความถี่ Cut off มีค่า 1/100 เท่าของอินพุท จากนั้นก็ทดสอบโดยให้ความถี่อินพุทของลูป เปลี่ยนแปลงอย่างทันทีทันใด สังเกตดูเอาพุทของวงจรกรอง แล้วก็ปรับ R หรือ C เพื่อให้ได้แรงดันกระชาก และเวลาจัดการตามที่ต้องการ จากผลตอบสนองด้านทรานเซียนท์และแฟกเตอร์หน่วงของลูป สามารถหาได้ง่าย ๆ จากค่าแอมพลิจูดสูงสุดของแรงดันกระชากที่ต่างกัน 1 คาบ ดังรูป 2.7 และคำนวณตามสมการต่อไปนี้

$$\chi = (1/2\pi) \ln(y_u/y_b) \quad (10)$$

$$= \chi / (1 + \chi^2)^{1/2} \quad (11)$$



รูป 2.7 แสดงการหาแฟกเตอร์หน่วง

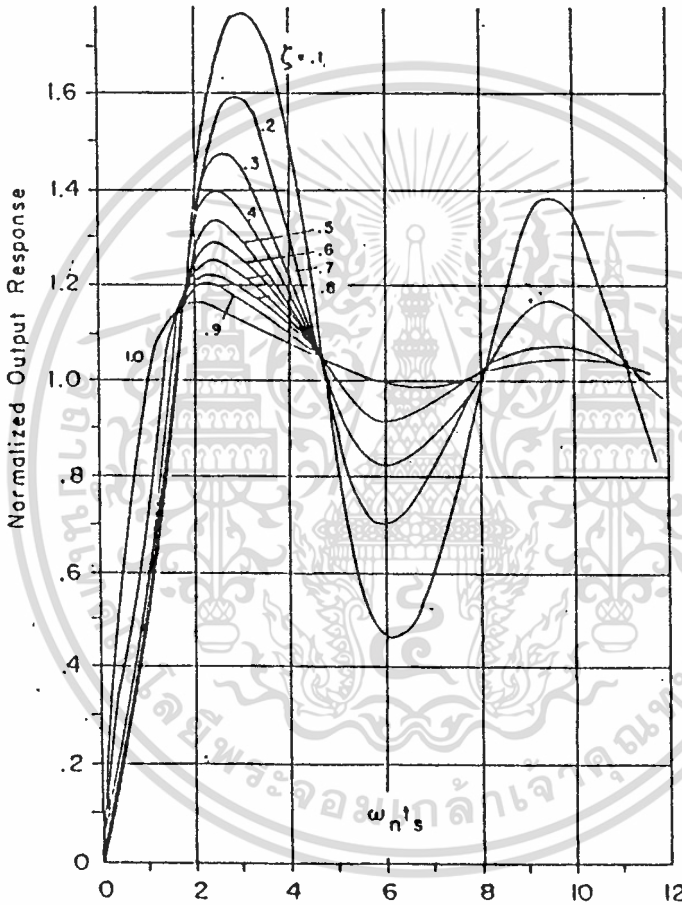
ถ้าวงจรรองรูป 2.2 หรือ 2.3 ต่ออยู่ระหว่างเฟสดีเทคเตอร์ และ VCO จะเกิดผลตอบสนองด้านทรานเซียนท์ขึ้น ดังรูป 2.8 จากรูปจะเห็นว่าผลตอบสนองเป็นคาบที่มีความถี่คงที่ ความถี่นี้เรียกว่า Damped Natural Frequency ,  $\omega_d$

$$\omega_d = 2\pi/T \quad \text{เรเดียน/วินาที} \quad (12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น มิใช่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $T$  เป็น 1 คาบในการแกว่ง Damped Natural Frequency ก็จะมีขึ้นอยู่กับแฟกเตอร์หน่วงและความถี่ธรรมชาติของลูป ดังนี้

$$\omega_d = \omega_n (1 - \zeta^2)^{1/2} \quad \text{เรเดียน/วินาที} \quad (13)$$



รูป 2.8. ผลตอบสนองด้านทรานเชียนท์ที่เทียบเท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.4 Lock and Capture

ในหัวข้อนี้มีศัพท์อยู่หลายคำคือ

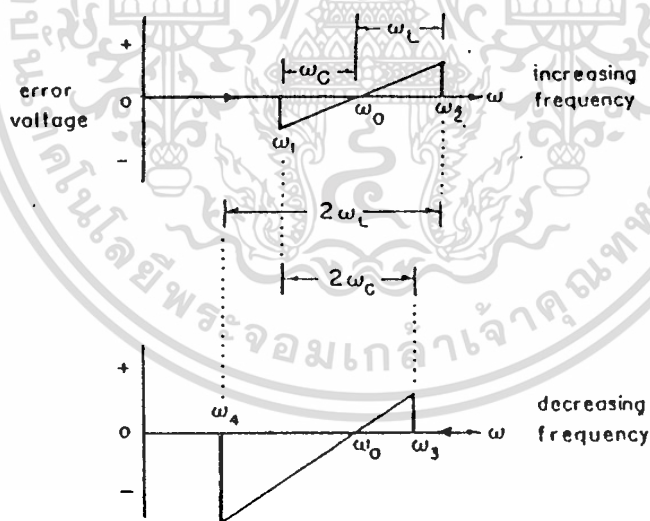
**Lock Range,  $2\omega_L$**  คือ ช่วงความถี่ที่เฟสล็อกสามารถติดตามการเปลี่ยนแปลงความถี่ของอินพุตได้

**Tracking Range** เหมือนกับ Lock Range

**hold-in Range** หมายถึง ความถี่ขาเข้าจะเบี่ยงเบนจาก Free-running ของ VCO ได้มากแค่ไหนเท่ากับครึ่งหนึ่งของ Lock Range

**Capture Range,  $2\omega_C$**  หมายถึง ช่วงความถี่ที่เฟสล็อกเข้าไปสู่เฟสล็อก

**Lock-in Range** หมายความว่า ความถี่ขาเข้าจะต้องเข้าใกล้ Free-run ของ VCO ขนาดไหนจึงจะเกิดล็อกขึ้น เท่ากับครึ่งหนึ่งของ Capture Range



รูป 2.9 Frequency-to-Voltage Transfer Characteristic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปนี้แสดงให้เห็นว่าความถี่ขาเข้าจะต้องเพิ่มขึ้นถึง  $\omega_2$  จึงจะเกิดเฟสล็อกจุดนี้เรียกว่าความถี่ล่างของ Capture Range เมื่อความถี่ขาเข้าเพิ่มขึ้นเรื่อยๆ Error Voltage จะเพิ่มขึ้นจนกว่าเท่ากับศูนย์ นั่นคือ VCO อยู่ในสภาวะ Free-running ต่อไปเพิ่มความถี่ขาเข้าจนถึง  $\omega_2$  เฟสล็อกจะหลุดจากการล็อก ทำให้ Error Voltage เท่ากับศูนย์ และ VCO อยู่ในสภาวะ Free-running เรียกจุดนี้ว่าความถี่บนของ Lock Range รูป 2.9 แสดงสภาวะเมื่อลดความถี่ขาเข้าลงจนถึง  $\omega_3$  จุดนี้คือความถี่บนของ Capture Range ระบบจะเข้าสู่การล็อก เมื่อลดความถี่ขาเข้าลงมาเรื่อยๆจนถึง  $\omega_4$  ระบบก็จะหลุดจากการล็อก เรียกจุดนี้ว่าความถี่ล่างของ Lock Range

สรุปนิยามต่างๆได้ดังนี้

$$\begin{aligned}
 \text{lock rang} &: 2\omega_L = \omega_2 - \omega_4 \\
 \text{hold-in rang} &: \omega_L = \omega_2 - \omega_0 \\
 &= \omega_0 - \omega_4 \\
 \text{capture rang} &: 2\omega_o = \omega_3 - \omega_1 \\
 \text{lock-in rang} &: \omega_o = \omega_0 - \omega_1 \\
 &= \omega_3 - \omega_o
 \end{aligned}
 \tag{14}$$

โดยปกติแล้ว Hole-in Range จะเท่ากับ DC Loop Gain, K ดังนั้น

$$\begin{aligned}
 \omega_L &= K \\
 &= K \cdot K_O \quad \text{เรเดียน/วินาที}
 \end{aligned}
 \tag{15}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ 2-15 Hole-in Range ไม่ได้ขึ้นอยู่กับพารามิเตอร์ของวงจรรองความถี่ต่ำผ่าน วงจรรองไม่ได้กำหนดอัตราสูงสุดที่เฟสล็อกเกิดขึ้นได้ เนื่องจากแรงดันที่ผ่านตัวเก็บประจุของวงจรรอง ไม่สามารถประจุได้ในทันทีทันใด

เราสามารถประมาณค่า Lock-in Range ของเฟสล็อกสำหรับวงจรรองรูป 2.2 ได้ดังนี้

$$\omega_c = (\omega_L/RC)^{1/2} \quad \text{เรเดียน/วินาที} \quad (16)$$

สำหรับ Lag-Lead Network รูป 2.3

$$\omega_c = \omega_L (R_2/R_1 + R_2) \quad \text{เรเดียน/วินาที} \quad (17)$$

สำหรับ Active Filter รูป 2.4

$$\omega_c = \omega_L (R_2/R_1) \quad \text{เรเดียน/วินาที} \quad (18)$$

และสมการในรูปแฟกเตอร์หนึ่งกับความถี่ธรรมชาติ

$$\omega_c = 2 \omega_n \quad (19)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### บทที่ 3

#### การทำงานของระบบล็อกเฟส

การทำงานของ PLL นั้นจำเป็นต้องอาศัยส่วนป้อนกลับมาทำการควบคุมการกำเนิดของ  
เอาต์พุตเป็นส่วนสำคัญ ในส่วนป้อนกลับนี้ จะมีวงจรที่ทำการลดทอนความถี่จากเอาต์พุต ซึ่ง  
สามารถทำการโปรแกรม ได้ว่าจะต้องการ ความถี่ที่เอาต์พุตนั้นมีค่าเท่าไร วงจรทุกส่วนของ  
เฟสล็อกจะมีความสำคัญทุกส่วน เพราะจะทำให้ความถี่ที่เอาต์พุตมีความถี่ที่ตรงสูง ฉะนั้น  
เรามารู้จักกับอุปกรณ์แต่ละตัว อย่างละเอียดถึงการทำงาน การใช้งานการประยุกต์ใช้งานของ  
วงจรแต่ละตัว

#### 3.1 VOLTAGE CONTROL OSCILATOR (VCO)

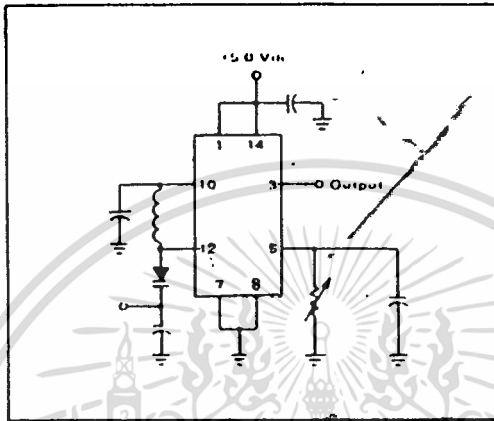
การทำงานของ VCO นี้ก็คือ ทำหน้าที่เปลี่ยนแรงดันที่ได้รับให้เป็นความถี่ที่เอาต์พุตอุปกรณ์  
ตัวนี้จะถือว่าเป็นอุปกรณ์ส่วนที่สำคัญที่สุดของวงจร จึงจะจำเป็นมากที่จะต้องมีความถี่ที่ตรงสูง  
มาก เพราะค่าที่เป็นแรงดันที่ป้อนเข้ามาเกิดการเปลี่ยนแปลง และ ทำให้ค่าความถี่ที่เอาต์พุต  
เปลี่ยนแปลงตามไปด้วย การเลือก VCO ขึ้นอยู่กับการใช้งานที่ความถี่เอาต์พุต ว่าจำเป็น  
ต้องการผลิตความถี่มีค่าเท่าไร ในที่นี้ได้เลือก IC MC 1648P เป็นส่วนผลิตความถี่เพราะ  
สามารถทำความถี่สูงสุดได้ถึง 225 MHz และจะเป็นการสะดวกในการใช้งาน

เมื่อทำการพิจารณาจากคู่มือ IC เบอร์นี้ พบว่าผู้ใช้สามารถจัดวงจรใช้งานตามความ  
ถี่ที่ต้องการตามคู่มือให้มา ในที่นี้เราจึงเลือกวงจรใน FIGURE 8 ซึ่งเป็นการต่อวงจร TANK  
OSC. เพื่อเป็นตัวกำหนดเอาต์พุตให้กับ MC 1648P ให้สามารถผลิตความถี่ได้ในย่าน 90-  
200 MHz ตามที่เราต้องการ

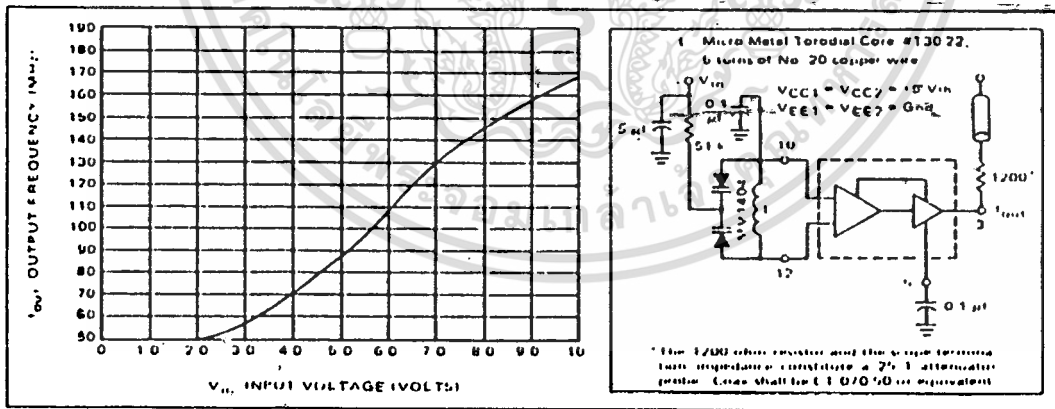
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้แก้ไขประโยชน์ด้านราคา  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการศึกษาคู่มือของ MC 1648P ต่อมา ในหน้าที่ 4-9 ของคู่มือจะบอกถึงการต่อใช้งานของลักษณะที่ต้องการของรูปคลื่นสัญญาณ จึงเลือกการต่อใช้งานใน FIGURE 10 ซึ่งเป็นวิธีการต่อใช้งานในส่วนที่เอากัฟท์ เป็นสัญญาณ SINE WAVE

FIGURE 10 - METHOD OF OBTAINING A SINE-WAVE OUTPUT



จากการพิจารณาทั้งหมดจึงได้วงจรใช้งานของ MC 1648P สมบูรณ์ดังรูป



รูปที่ 3.1 วงจร MC 1648 ที่สามารถผลิตความถี่ได้ 170 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้แก้ไขประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งก่อนนำไปใช้

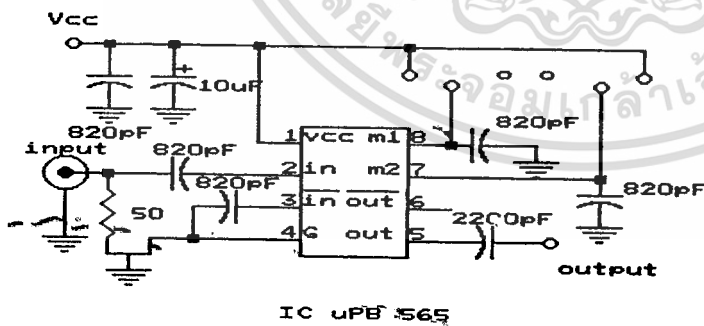
### 3.2 ปริสเกลเลอร์

จากวงจรของ MC 1648P ที่ทำหน้าที่เป็น VCO ขั้วดันอินจะแบ่งออกเป็น 2 ส่วนสัญญาณ ส่วนหนึ่งป้อนไปเพื่อเตรียมการโมดูเลตอีกส่วนจะส่งมาให้กับวงจรปริสเกลเลอร์เพื่อเป็นส่วนป้อน การไปควบคุมความถี่ที่ VCO อีกทีหนึ่งปริสเกลเลอร์ เป็นตัวลดทอนความถี่ของเอาต์พุตที่มีความถี่สูงให้มีความถี่ที่ต่ำลงมาเพื่อที่จะต่อวงจรรวมกับอุปกรณ์ที่ใช้ความถี่ทั่วไปได้

ณั้้นคุณสมบัติที่สำคัญของปริสเกลเลอร์ จะต้องเป็นอุปกรณ์ที่ทำงานที่ความถี่สูงได้อย่างที่ตรง

ในที่นี้เราจึงพิจารณาเลือก IC UPB 565 ซึ่งจากคุณสมบัติ สามารถหารได้ที่ 2, 4, 8, 64 ซึ่งจะต้องจัดวงจรให้เหมาะสม IC UPB 565 ยังสามารถใช้งานในย่านความถี่ 90-1 GHz ได้จึงเหมาะที่จะใช้งานเพื่อจะขยาย และพัฒนาความถี่ให้มีค่าสูงขึ้น โดยไม่ต้องเปลี่ยนอุปกรณ์ตัว

จากวงจรทำการจัดให้ IC UPB 565 หารที่ 64 ตามที่ต้องการ



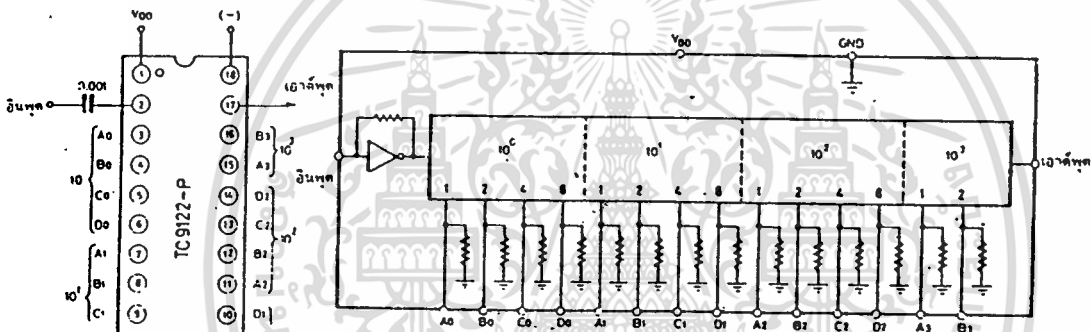
M1	M2	หาร
H	L	2
L	H	4
H	H	8
L	L	64

รูปที่ 3.2 วงจรปริสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3 วงจรโปรแกรมการหาร

การที่จะเลือกความถี่ที่เอาต์พุต ได้นั้นจะต้องมีการโปรแกรมการหารได้ภายในวงจรโปรแกรมการหารนั้นสามารถหาได้ง่าย และมีขายมากมายตามท้องตลาด แต่ในที่นี้จะใช้งานด้วย IC TC 9122 ซึ่งสามารถโปรแกรมการหารด้วยตัวเลข BCD ถึง 3 1/2 หลักซึ่งสะดวกในการใช้งานเป็นอย่างมาก โดยนำเอาต์พุตของปริสเกลเลอร์มาต่อกับอินพุตได้ทันทีวงจรใช้งานที่ไม่ซับซ้อน ดังที่แสดงในรูป



รูปที่ 3.3 IC TC 9122

### 3.4 PHASE DETECTOR

PHASE DETECTOR นี้เป็นส่วนที่ทำหน้าที่เปรียบเทียบความแตกต่างจากความถี่ 2 แหล่งว่ามีค่าแตกต่างเท่าใด และทำการแยกความแตกต่างนั้นออกไปป้อนให้ LOW PASS FILTER ความถี่ 2 แหล่งที่กล่าวถึงคือ ความถี่มาตรฐานและความถี่ที่ผลิตจากเอาต์พุต ที่ถูกการลดทอนลงมาจากปริสเกลเลอร์ และวงจรหารโปรแกรมซึ่งจะได้ค่าที่แตกต่างจากความถี่มาตรฐานออกมาเป็นสัญญาณควบคุมอีกทีหนึ่ง ในวงจรนี้เราใช้ IC MC4044 ทำหน้าที่เป็น PHASE DETECTOR ภายในตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

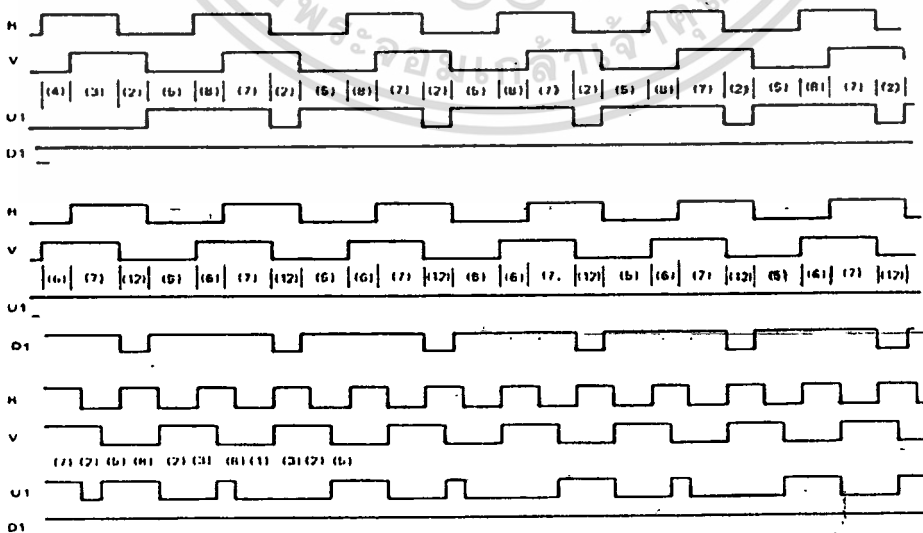
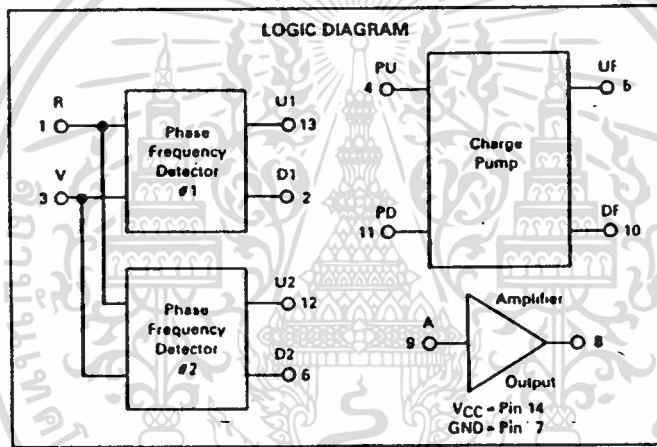
IC MC 4044 มีประกอบด้วย 3 ส่วนที่สำคัญ

-PHASE FREQUENCY

-CHARGE PUMP

-AMPLIFIER

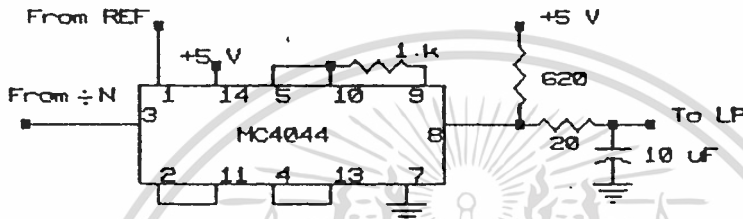
PHASE FREQUENCY ภายในตัว MC 4044 นี้มี 2 ตัวคือ PHASE FREQUENCY#1 ,#2 แต่ที่จะกล่าวถึงคือ PHASE FREQUENCY#1 ซึ่งเป็นส่วนที่ทำหน้าที่เปรียบเทียบความถี่จากขา R และ V เป็นค่าความแตกต่างออกที่ขา U1,D1 ดังแสดงในรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
**รูปที่ 3.4 ลักษณะการเปรียบเทียบสัญญาณของ Phase Detector**  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุเปลี่ยนแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHANGE PUMP ทำหน้าที่แยกความถี่ที่ได้จาก PHASE FREQUENCY ว่าตอนไหนควรจะเพิ่มหรือ ลดแรงดันที่จะทำการจ่ายให้กับ VCO แต่ถ้าหากว่าไม่มีความแตกต่างจากวงจร PHASE FREQUENCY ก็จะมีรักษาระดับแรงดันนั้นไว้ให้คงที่

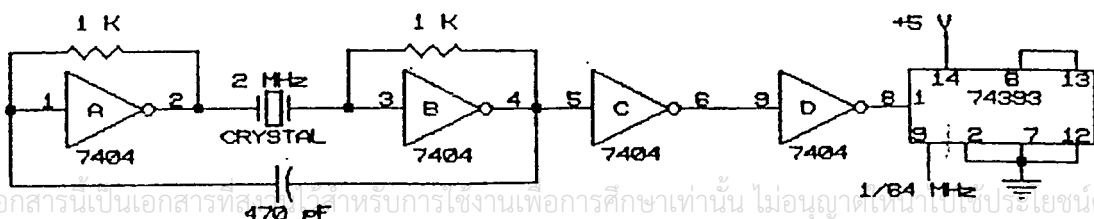
AMPLIFIER จะทำการขยาย OUTPUT ของ CHANGE PUMP ให้ได้ตามขนาดที่ต้องการ ฉะนั้นจึงต้องใช้ทั้ง 3 ส่วนภายใน MC 4044 ร่วมกันดังการต่อวงจรในรูป



รูปที่ 3.5 วงจรใช้งานของ Phase Detector

### 3.5 ความถี่ REFERENCE

ในภาคนี้ถือว่าเป็นที่จำเป็นที่สุดที่ต้องมีความเสถียรภาพของความถี่เพราะจะเป็นตัวที่จะนำเอาความถี่ OUTPUT มาเปรียบเทียบกับ REF ไม่เที่ยงตรงจะทำให้การเปรียบเทียบจาก PHASE DETECTOR ผิดพลาด ความถี่ OUTPUT ก็ผิดพลาดด้วย ดังนั้นจึงเลือกใช้วงจรที่ผลิตความถี่จาก CRYSTAL ที่มีความถี่ 2MHz และนำมาต่อรวมกับวงจรหาร 128 ซึ่งจะได้ความถี่ 15625 Hz ในวงจรหาร 128 ใช้ IC 74393 เป็นวงจรหาร วงจรนี้เน้นในความเที่ยงตรงของความถี่ 15625 Hz



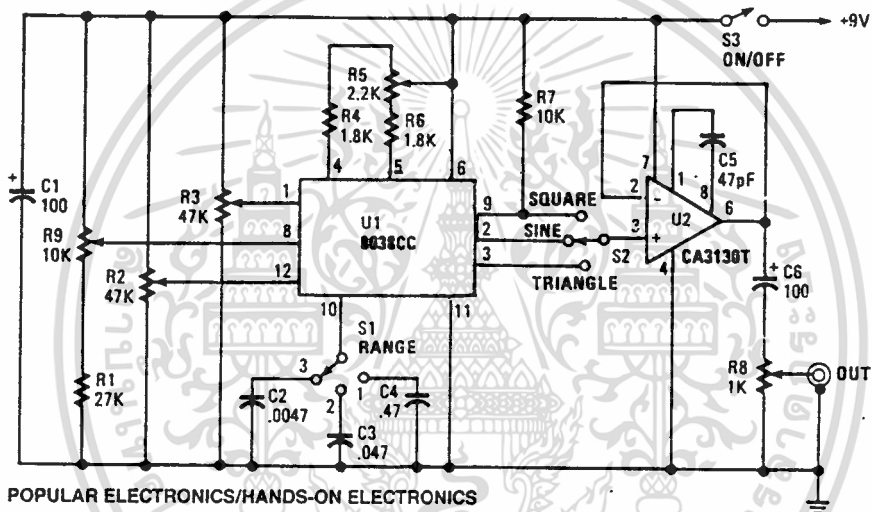
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.6 วงจรกำเนิดความถี่อ้างอิง 15625 Hz

### 3.6 วงจรกำเนิดเสียง

วงจรนี้เป็นวงจรผลิตความถี่ในย่าน 15 Hz ถึง 25 KHz โดยใช้ U1 8038C เป็นตัวกลางการผลิตโดยสามารถเลือกสัญญาณได้ทั้งสัญญาณ SQUARE WAVE, SINE WAVE, TRIANGLE และทำการปรับแต่ง AMPLITUDE ของสัญญาณในส่วน OUT PUT ได้สัญญาณตัวนี้จะเป็นสัญญาณพื้นฐานที่เครื่องสามารถกำเนิดได้ ดังมีวงจรใช้งานดังรูป



รูปที่ 3.7 วงจรกำเนิดความถี่โดยใช้ 8038

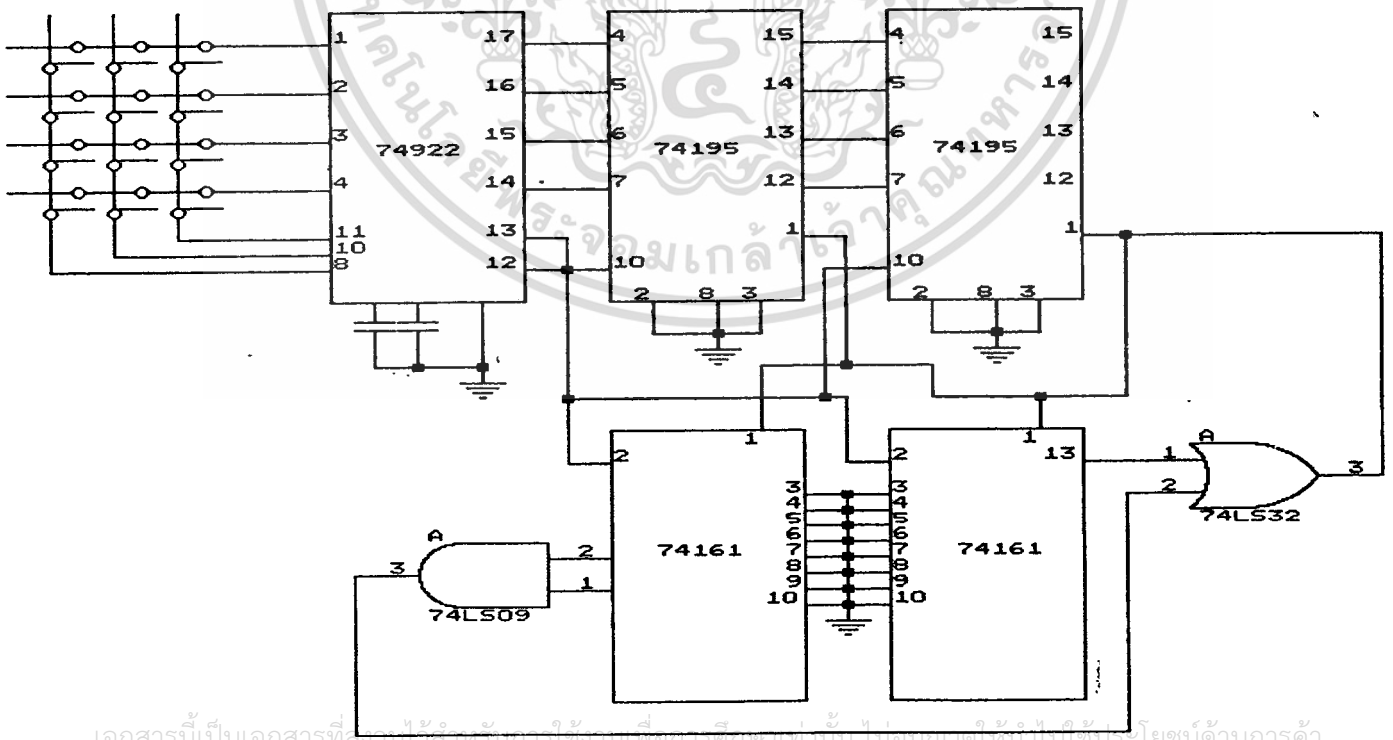
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.7 KEY BROAD และ DISPLAY

ทำหน้าที่เป็น IN PUT ของเครื่องโดยจะเปลี่ยนสัญญาณจากการกดข้อมูลให้เป็นเลข BCD เพื่อป้อนให้กับวงจรทรา N ในที่นี้ใช้วงจรที่เป็น TTL เป็นตัวสั่งงาน การทำงานของวงจรเริ่มจาก IC 74922C ซึ่งเป็นตัวการรับข้อมูลจากการกดเปลี่ยนให้เป็นรหัส BINARY และนำมาผ่านวงจรควบคุมให้รหัสที่ผ่านมาเป็นเพียง BCD CODE โดยการต่อวงจรจะมีผลเป็นลักษณะตามสมการ  $A = BCD, B = DC, C = BD, D = CBA+DA$

จากนั้นก็นำมาเข้าวงจร LATCH ทำการคงค่าที่กดไว้ในหลักที่ 1 เมื่อมีการกดค่าใหม่ก็จะนำค่าที่คงอยู่เลื่อนไปในหลักต่อไป และในหลักเดิมก็จะทำการรับข้อมูลใหม่มาเก็บไว้จนครบ 3 ค่า ถ้ามีการกดใหม่ ข้อมูลเก่าจะทำการลบตัวเลขออกไปและทำการเก็บข้อมูลใหม่เข้ามา จนมีการกด ENTER ข้อมูลจะถูกส่งไปให้กับ TC 9122 ต่อไป

ข้อมูลอีกส่วนจะถูกส่งไปที่ DISPLAY เพื่อแสดงข้อมูลที่ป้อนทาง KEY BROAD โดยใช้ 74248 เปลี่ยนจาก BCD เป็น 7 SEGMENT ตามที่แสดงการต่อวงจรตามรูป



รูปที่ 3.8 วงจรของ Key Broad

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ทำซ้ำ, โด่งดัง, ผลิตซ้ำ, ผลิตซ้ำ, ผลิตซ้ำของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการทำงานและอุปกรณ์ในการทำงาน

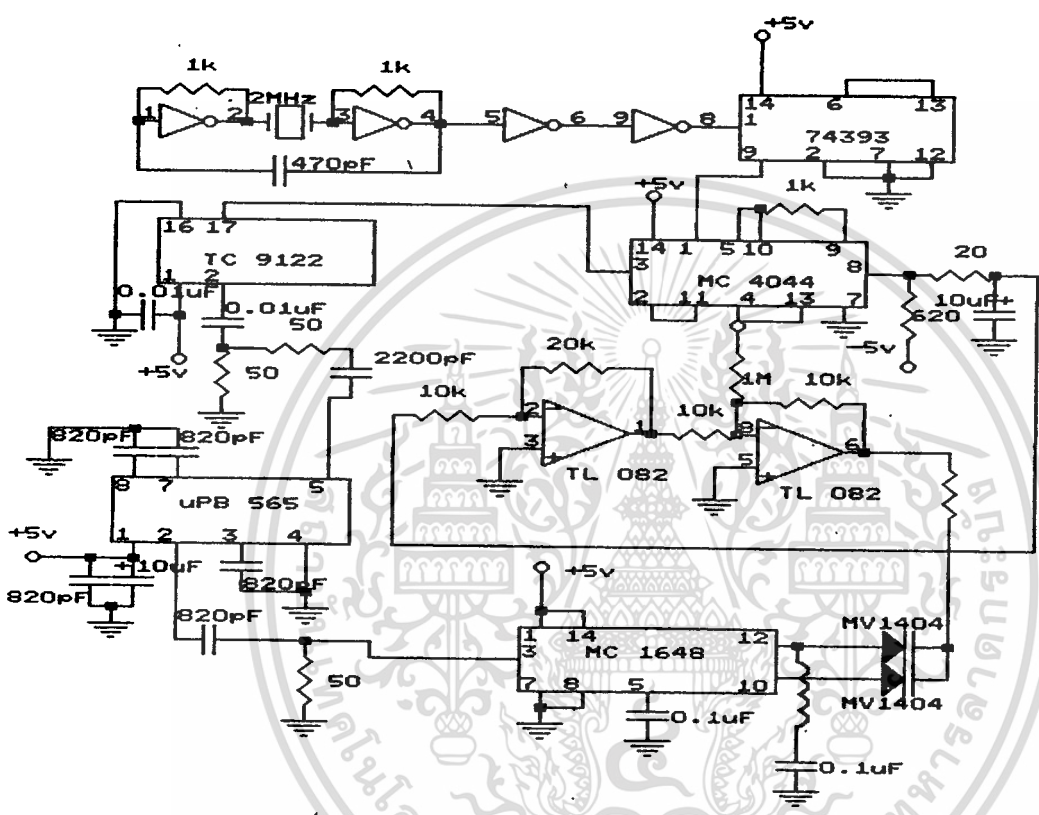
จากการทำการจัดสร้าง RF FREQUENCY GENERATOR สามารถสรุปการทำงานไว้เป็นขั้นตอนในแต่ละส่วน พร้อมทั้งการแก้ไขอุปกรณ์และปัญหาที่เกิดขึ้นในวงจรดังนี้

4.1 จากการทำงานเสนอโครงงานจัดสร้าง RF GENERATOR ผู้จัดทำได้ทำการรวบรวมข้อมูลเกี่ยวกับการจัดทำโครงงานนี้จากแหล่งต่างๆ เพื่อคัดเลือกวงจรและหลักการทำงานอย่างละเอียด จากการคัดเลือกจากวงจรและข้อมูลที่มีอยู่ได้ทำการลงความเห็นว่าควรจัดสร้างวงจรนี้เป็นการกำเนิดความถี่โดยระบบ PHASE LOCKED LOOP ซึ่งเป็นที่นิยมโดยทั่วไปในขณะนี้ ดังนั้นผู้จัดทำได้พิจารณาในส่วนต่าง ๆ ของส่วนประกอบของวงจรทำการคัดเลือกอุปกรณ์ต่าง ๆ ตาม BLOCK DIAGRAM ของ PLL โดยให้มีความสัมพันธ์ตามที่ต้องการ คือสามารถทำความถี่ได้ในย่าน 100 - 200 MHZ โดยมีรายการอุปกรณ์ที่ได้รับการพิจารณาออกมาดังนี้

1. MC 1648 ทำหน้าที่เป็น ชุดกำเนิดความถี่ย่าน 90-200 MHZ
2. UPB 565 ทำหน้าที่เป็น PRE SCALLER ของวงจร โดยมีค่าหาร 64
3. TC 9122 ทำหน้าที่เป็น ชุดโปรแกรมการหา
4. MC 4044 ทำหน้าที่เป็น PHASE DETECTOR
5. 74393 ทำหน้าที่เป็น ตัวหาร 128
6. CRYTRAL 2M ทำหน้าที่เป็น สัญญาณอ้างอิงของวงจร
7. TL 082 ทำหน้าที่เป็น OP-AMP ขยายทั่วไปในวงจร
8. MV 1404 ทำหน้าที่เป็น TUNING DIODE
9. 749122C ทำหน้าที่เป็น ENCODE KEYBROAD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 เมื่อได้อุปกรณ์หลักดังข้างต้น จึงทำการออกแบบวงจรโดยพิจารณาจาก DATA ของแต่ละอุปกรณ์ได้วงจรรวมของ RF GENERATOR ดังแสดงในรูป



รูปที่ 4.1 วงจรภาคผลิตความถี่ RF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 จากการออกแบบวงจรข้างต้น จึงนำวงจรมาทดสอบเป็นส่วนๆของแต่ละภาคได้ผลการทดลองออกมาดังนี้

ภาคการทำงานของวงจร VCO:

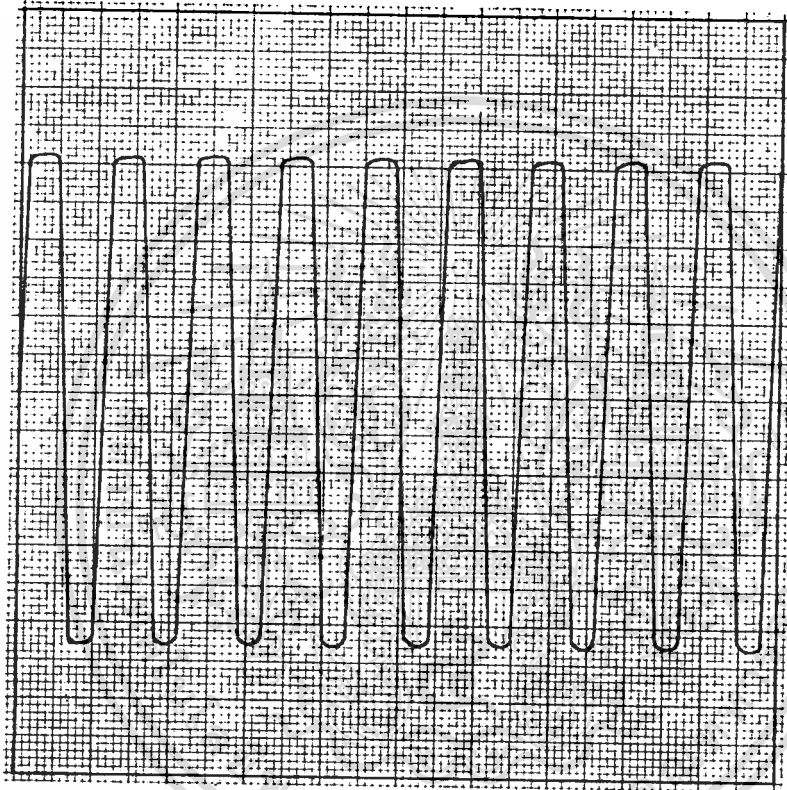
4.3.1 การทดลองของภาค VCO นี้ทำโดยการแก้ไขวงจร TANK OSC เดิมของ MC 1648P ซึ่งจากวงจรเดิมเป็นการต่อวงจรร่วมกันระหว่าง MV 1404 กับ COIL ซึ่งเป็นค่าที่ทางผู้ผลิตกำหนดขึ้นมาเพื่อที่จะสามารถผลิตความถี่เอาท์พุทสูงสุดได้ถึง 170 MHz ซึ่งในวงจรนี้ต้องการสูงถึง 200 MHz จึงจำเป็นต้องแก้ไขวงจร TANK OSC เสียใหม่ โดยการเปลี่ยน TUNING DIODE ซึ่งเดิมใช้ MV-1404 ซึ่งมีค่าความจุประมาณ 120 PF เป็น MV 1405 ซึ่งมีค่าความจุสูงถึง 250 PF และแก้ไข COIL ใหม่โดยใช้ขดลวดเบอร์ 22 พันเป็นรัศมี 0.7 มม แกนอากาศ ทำการทดสอบโดยจ่ายแรงดันให้ผลิตความถี่ดังนี้

ความถี่ (MHz)	VOLTAGE CONTROL	ความถี่ (MHz)	VOLTAGE CONTROL
100	6.548	150	8.26
105	6.745	155	8.41
110	6.94	160	8.51
115	7.12	165	8.64
120	7.31	170	8.77
125	7.48	175	8.91
130	7.65	180	9.02
135	7.81	185	9.14
140	7.96	190	9.26
145	8.11	197	9.45

ตารางที่ 4.1 แสดงค่าของแรงดันที่จ่ายให้แก่ VCO ต่อความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 เนื่องจากในการทดสอบการวัดความถี่โดยใช้ OSCILSCOPE นั้นไม่สามารถวัดความถี่สูงที่เป็นจำนวน 200 MHz ได้ จึงจำเป็นต้องมากระทำที่ส่วนของปริสเกลเลอร์ ซึ่งค่าที่วัดออกได้ต้องนำมาคูณด้วย 64 MHz จึงจะได้ความถี่ที่เอาต์พุทจริง ลักษณะของเอาต์พุทที่ถูกรับออกมามีลักษณะดังรูป



รูปที่ 4.2 แสดงลักษณะสัญญาณจากปริสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

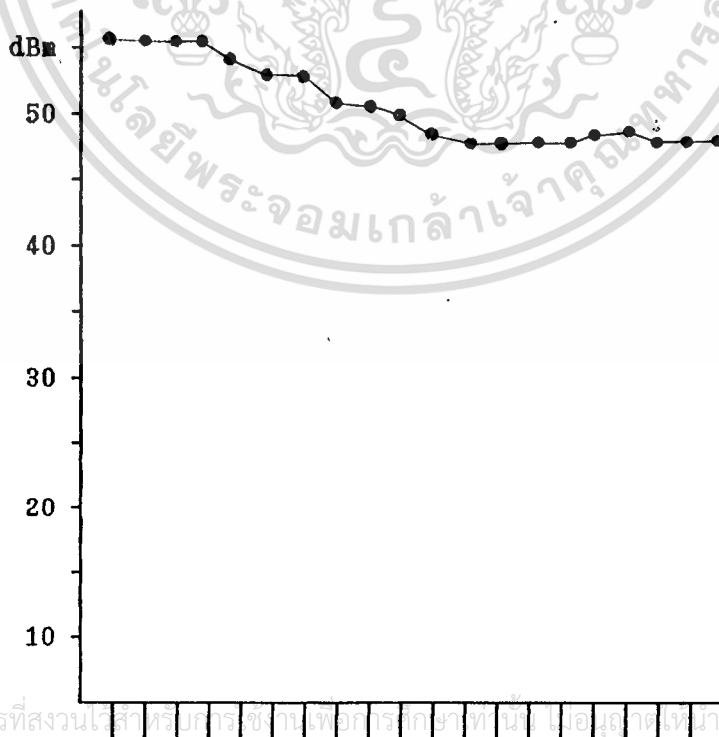
4.3.3 จากการผ่านวงจรหารโพรแกรมมาได้จะเหลือความถี่ที่มีค่าใกล้เคียงกับ  $f_{REF}$  คือ ความถี่ 15625-3.2 MHz ซึ่งจะนำมาเปรียบเทียบกันที่ PHASE DETECTOR และส่งค่าความแตกต่างไปยังวงจร LOW PASS FILTER จะมีค่า VOLTAGE ที่ไปป้อนให้กับ VCO ดังแสดงในตาราง

ความถี่ (MHz)	VOLTAGE CONTROL	ความถี่ (MHz)	VOLTAGE CONTROL
100	6.548	150	8.268
105	6.745	155	8.414
110	6.944	160	8.519
115	7.129	165	8.642
120	7.316	170	8.774
125	7.488	175	8.913
130	7.653	180	9.022
135	7.817	185	9.14
140	7.965	190	9.265
145	8.116	197	9.454

ตารางที่ 4.2 แสดงค่า Voltage ที่ VCO ได้รับจาก Loop Filter

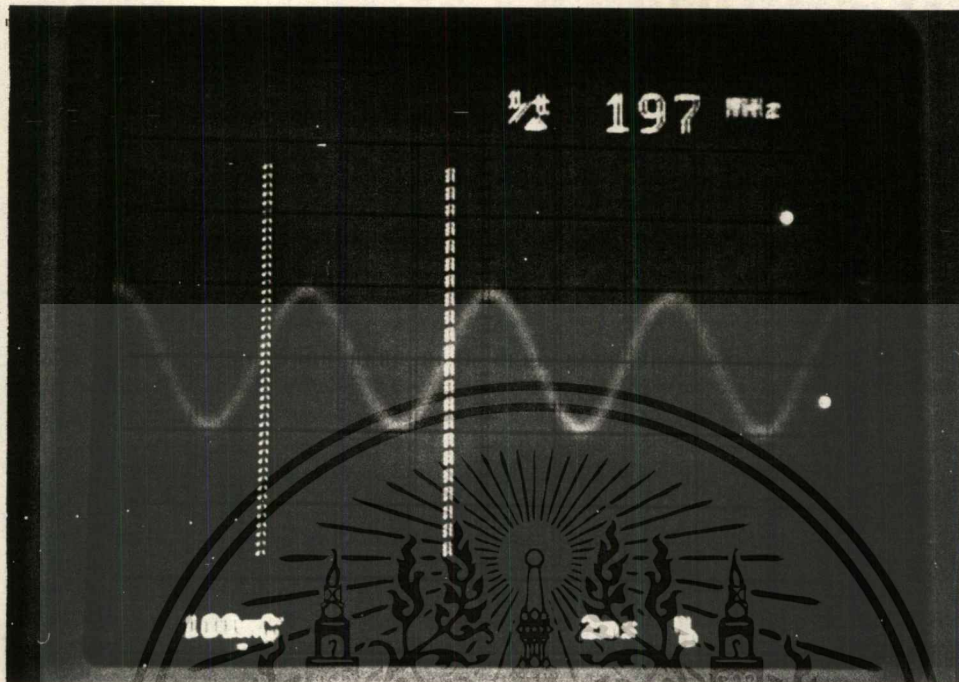
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ MHz	Output dBm	ความถี่ MHz	Output dBm
100	55.490	150	48.456
105	55.400	155	47.784
110	55.305	160	47.950
115	55.278	165	47.950
120	54.300	170	47.950
125	53.537	175	48.786
130	53.507	180	48.290
135	51.862	185	47.866
140	50.683	190	47.753
145	49.538	195	47.598

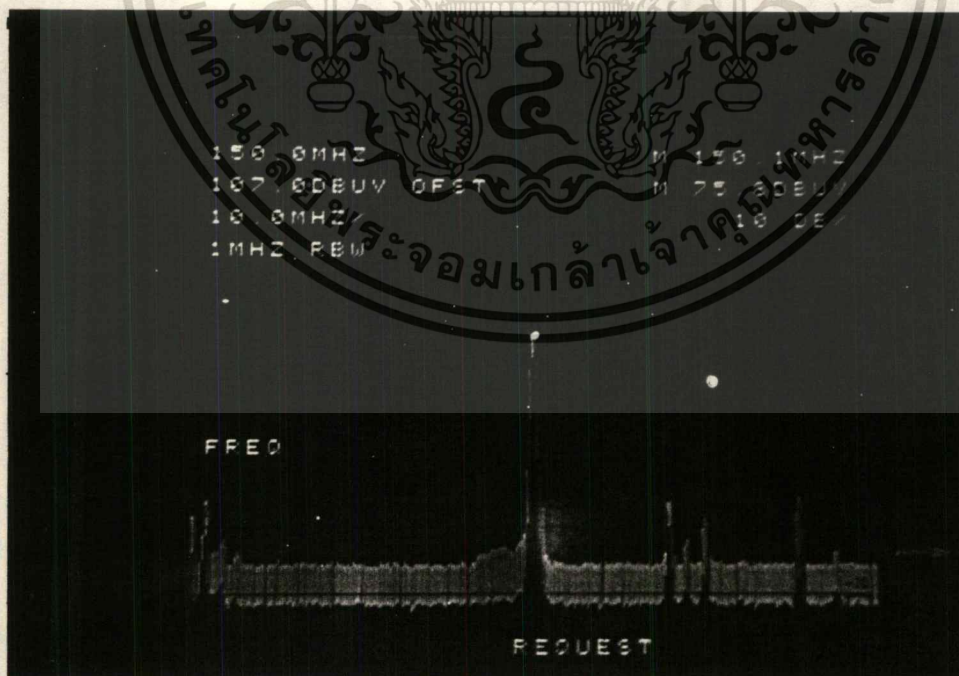


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามบันทึกและลงเนื้อหาในสื่อทางอิเล็กทรอนิกส์ที่มีการนำไปใช้

ตารางที่ 4.3 แสดงกำลังงานที่ Output โดยการนำมาเขียนกราฟ

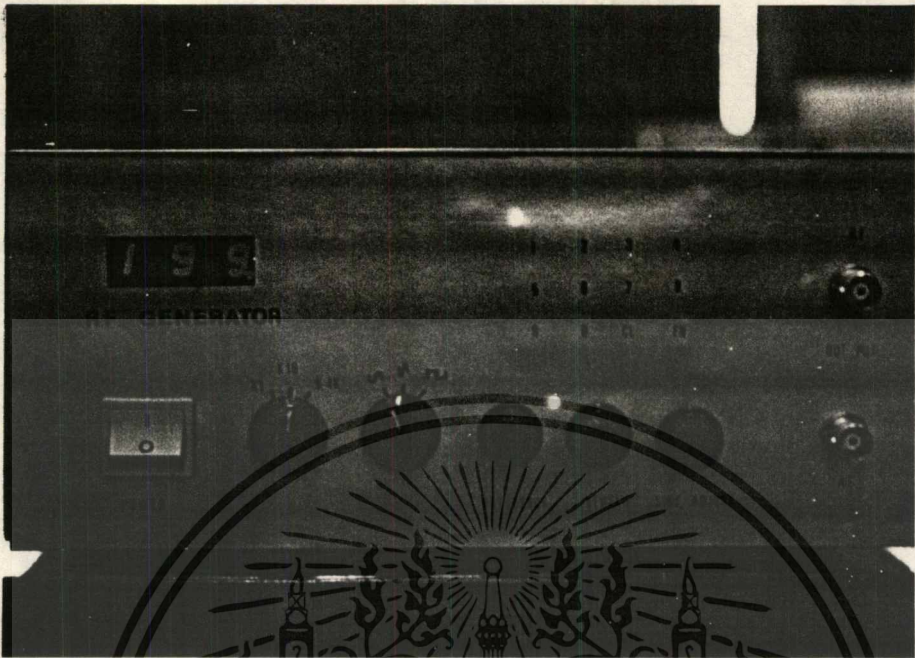


รูปที่ 4.3 แสดงลักษณะสัญญาณเอาท์พุท

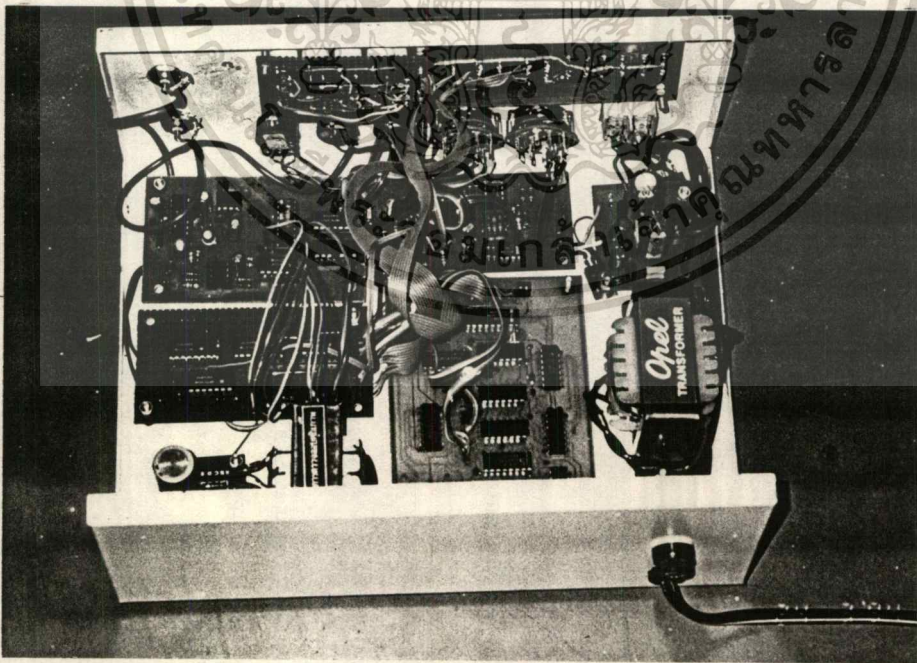


รูปที่ 4.4 แสดงลักษณะของ Power Spectrum

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น หากมีการนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตจากเจ้าของลิขสิทธิ์ถือว่าผิดกฎหมายและจะดำเนินการฟ้องร้องดำเนินคดีตามกฎหมายต่อไป



รูปที่ 4.5 แสดงลักษณะด้านหน้าของเครื่องกำเนิดความถี่ RF



รูปที่ 4.6 แสดงการต่ออุปกรณ์ภายในเครื่องกำเนิดความถี่ RF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### สรุปการทำงาน และ วิจารณ์

การทำงานของวงจรในวงจรนี้ ยังสามารถนำไปพัฒนาเพื่อให้มีประสิทธิภาพสูงขึ้นได้อีก จะเห็นว่าในการผลิตความถี่ที่อยู่ในช่วงของ 100-200 MHz ซึ่งมีความละเอียดในแต่ละช่วง ความถี่ 1 MHz ซึ่งเป็นค่าที่ชยาบมากเกินไปในการใช้งานจริงนั้น ควรจะมีความละเอียด อย่างน้อยที่สุดคือ 100 MHz ต่อการปรับในหนึ่งครั้ง ในวงจรนี้ได้ออกแบบการปรับแต่งวงจร ให้สามารถปรับละเอียดได้ เพียงแต่จะต้องปรับเปลี่ยนโครงสร้างบางจุดของการทำงานของ เครื่อง ได้แก่

- ลดความถี่อ้างอิงลงมาสิบเท่า จะได้ความถี่  $f_{REF}$  เป็น 15625 Hz
- เพิ่มค่าวงจรหารชนิดที่โปรแกรมได้ให้สามารถหารความถี่ได้ 1000-2000

ซึ่งในการออกแบบการทำงานของวงจร ได้คำนึงในส่วนนี้แล้วจึงได้เลือก วงจรหาร โดยที่ใช้ IC TC 9122 C ซึ่งไอซีเบอร์นี้มีความสามารถหารได้ถึง  $3^{1/2}$  หลัก BCD

- ปรับปรุงวงจร FILTER เดี่ยวใหม่ เพราะความถี่ของเฟสดีเทคเตอร์ลดลงในการตอบสนองลูบจะลดลงมาก

จากการทำงานของวงจรจะเห็นผลการกำเนิดเอาท์พุทของ VCO นั้นจะยังไม่ค่อยมี เสถียรภาพมากนัก ซึ่งอาจจะมีหลายสาเหตุที่ทำให้เกิดการผิดพลาดของการทำงาน คือ

- วงจรของ LOOP FILTER ยังไม่เหมาะสม
- ค่าของวงจร TUNK OSC ที่ทำการนั้นมีลักษณะการตอบสนองของ แรงดัน

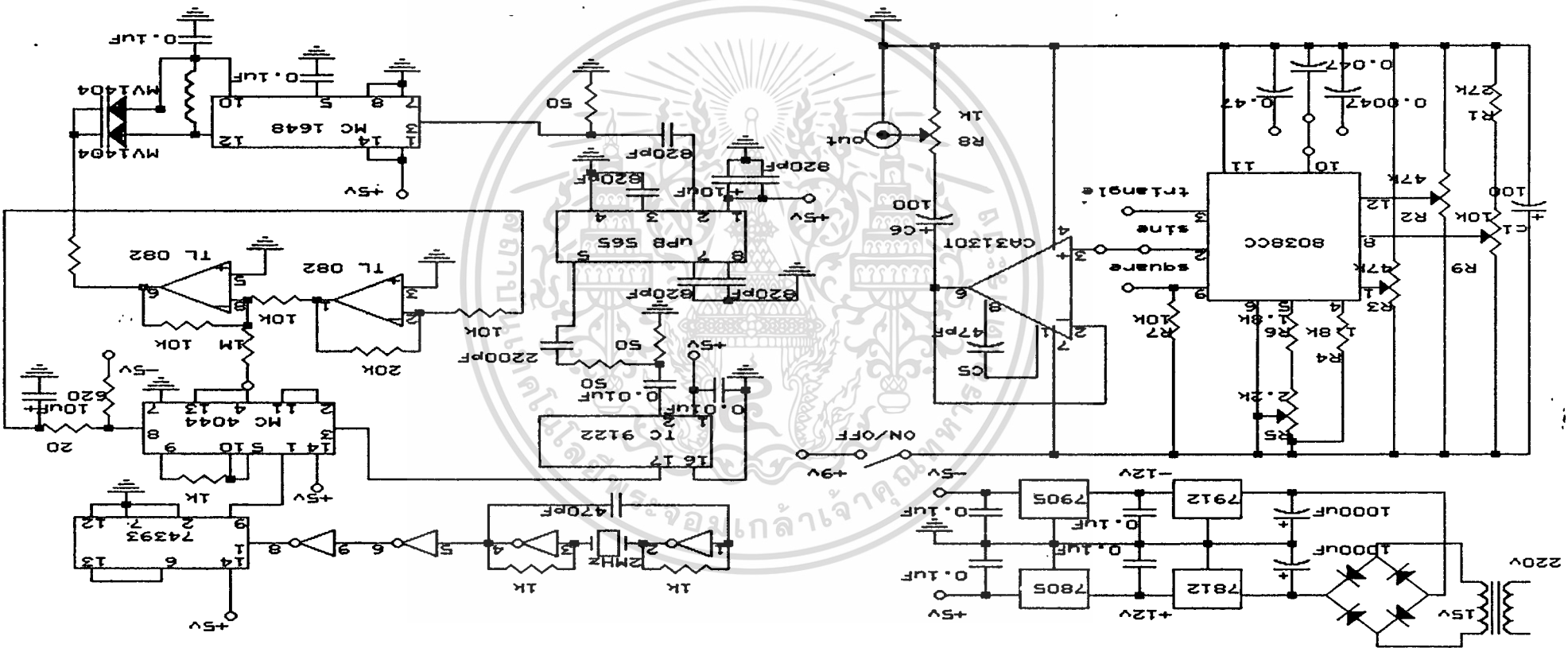
ยังไม่เป็น LINERITY

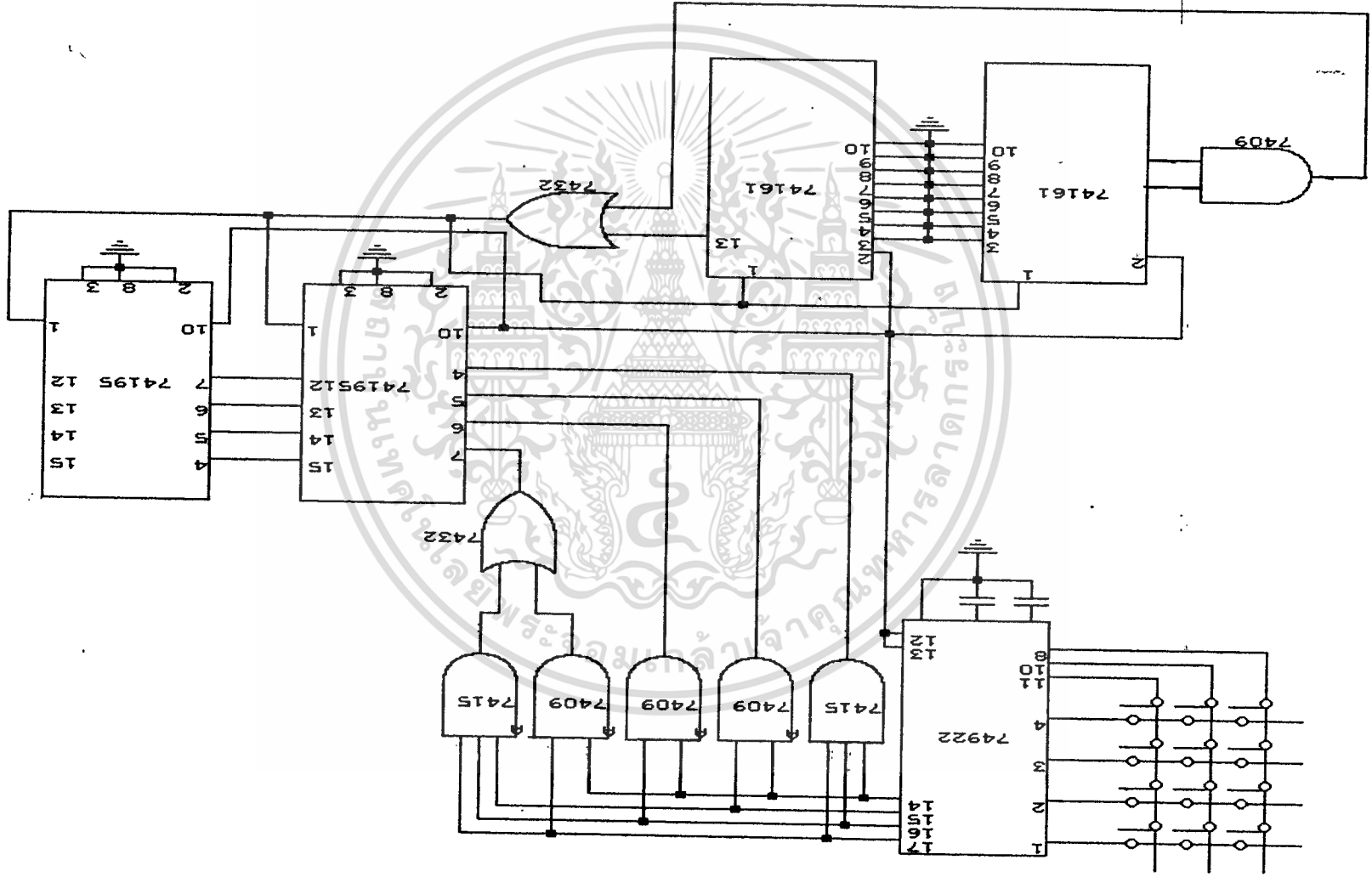
- การวางอุปกรณ์ต่างๆ บนลายปรี้น และขนาด

ซึ่งทุกส่วนที่กล่าวมานี้ อาจเป็นส่วนหนึ่งในการทำงานของ VCO ที่ผลิตความถี่ผิดพลาดไป จากการที่เรา พบว่า การผลิตความถี่ที่มีค่าสูงนั้น จะประสบปัญหามากมาย เนื่องจากการผิดพลาดของลักษณะของสัญญาณ ความไม่เสถียรภาพของเอาท์พุทในที่นี้ เพื่อป้องกันการรบกวนของความถี่เอาท์พุท ได้ทำการออกแบบ GROUND PLANE ให้มีขนาดกว้างบนแผ่นพิมพ์วงจรเพื่อลดการรบกวนของความถี่เอาท์พุท ปัญหาอีกอย่างที่พบคือ ใน MC 1648 นั้นหากทำ

การโปรแกรมให้ค่าที่เกิดผ่านจากทำให้ความถี่ได้จากเอาท์พุทมีค่าออกนอก LOCK RANGE ไป

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





## กิตติกรรมประกาศ

ปริญาานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของวิชา PROJECT 2 ปีการศึกษา 2536 สำเร็จลุล่วงไปด้วยดี คณะผู้จัดทำขอขอบพระคุณท่านอาจารย์ อุกฤษ ศรีธีระวีโรจน์ และอาจารย์คณะวิศวกรรมศาสตร์ทุกท่าน ซึ่งให้คำปรึกษาและแนะแนวทางการแก้ไขปัญหาต่างๆที่เกิดขึ้น และ เพื่อนๆทุกคนที่ได้ให้ความช่วยเหลือในทุกๆด้านจึงทำให้ผลงานชิ้นนี้สำเร็จลุล่วงไปด้วยดี

คณะผู้จัดทำจึงขอขอบคุณ ณ ที่นี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เอกสารอ้างอิง

1. HOWARD M. BERLIN, DESIGN OF PHASE LOOKED LOOP CIRCUITS WITH EXPERIMENTS, HOWARD W. SAMA & CO., Inc. 1981
2. JACK SMITH, MODREN COMMUNICATION CIRCUITS, McGRAW-HALL BOOK COMPANY
3. RUDOLF F. GRAF, ENCYCLOPEDIA OF ELECTRONIC CIRCUITS, McGRAW-HALL BOOK COMPANY
4. MECL DEVICE DATA MOTOROLA 1987
5. MOTOROLA RF DEVICE MANUAL 1982
6. MOTOROLA RF DATA MANUAL 1980
7. LINAER APPLICATION NATIONAL SEMICONDUCTOR
8. คู่มือ IC TTL

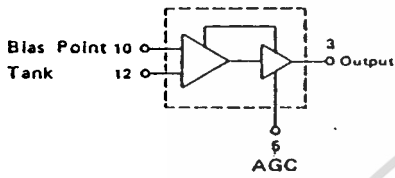
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC1648/MC1648M

## VOLTAGE-CONTROLLED OSCILLATOR



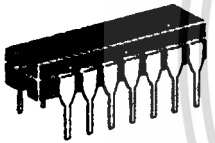
Input Capacitance = 6 pF typ  
 Maximum Series Resistance for L (External Inductance) = 50 Ω typ  
 Power Dissipation = 150 mW typ/pkg (+5.0 Vdc Supply)  
 Maximum Output Frequency = 225 MHz typ

The MC1648 requires an external parallel tank circuit consisting of the inductor (L) and capacitor (C).

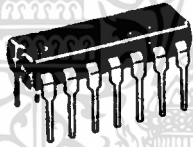
A varactor diode may be incorporated into the tank circuit to provide a voltage variable input for the oscillator (VCO). The MC1648 was designed for use in the Motorola Phase-Locked Loop shown in Figure 9. This device may also be used in many other applications requiring a fixed or variable frequency clock source of high spectral purity. (See Figure 2.)

The MC1648 may be operated from a +5.0 Vdc supply or a -5.2 Vdc supply, depending upon system requirements.

Supply Voltage	Gnd Pins	Supply Pins
+5.0 Vdc	7, 8	1, 14
-5.2 Vdc	1, 14	7, 8



L SUFFIX CERAMIC PACKAGE CASE 632

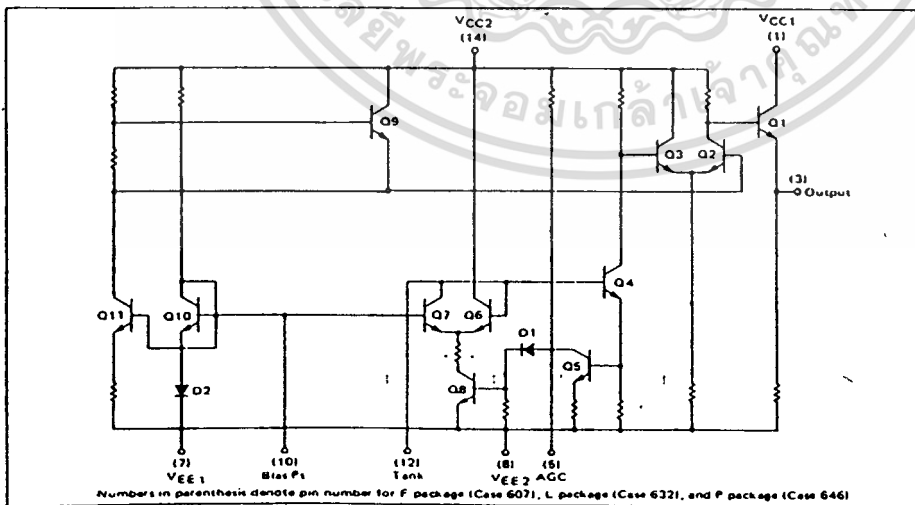


P SUFFIX PLASTIC PACKAGE CASE 646



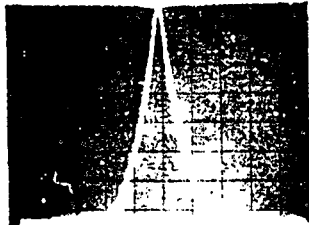
F SUFFIX CERAMIC PACKAGE CASE 607

FIGURE 1 - CIRCUIT SCHEMATIC

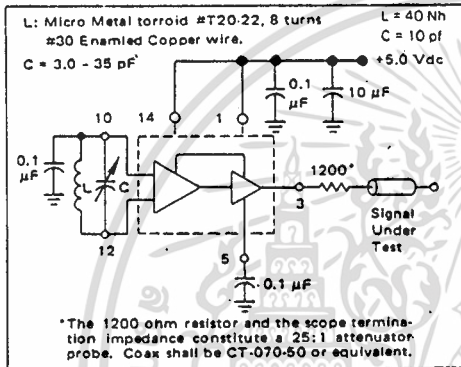


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2—SPECTRAL PURITY OF SIGNAL OUTPUT FOR 200 MHZ TESTING



B.W. = 10 kHz  
Center Frequency = 100 MHz  
Scan Width = 50 kHz/div  
Vertical Scale = 10 dB/div



@ Test Temperature	TEST VOLTAGE/CURRENT VALUES			
	(Volts)		mAdc	
	V <sub>IHmax</sub>	V <sub>ILmin</sub>	V <sub>CC</sub>	I <sub>L</sub>
<b>MC1648</b>				
-30°C	+2.00	+1.50	5.0	-5.0
+25°C	+1.85	+1.35	5.0	-5.0
+85°C	+1.70	+1.20	5.0	-5.0
<b>MC1648M</b>				
-55°C	+2.07	+1.57	5.0	-5.0
+25°C	+1.85	+1.35	5.0	-5.0
+125°C	+1.60	+1.10	5.0	-5.0

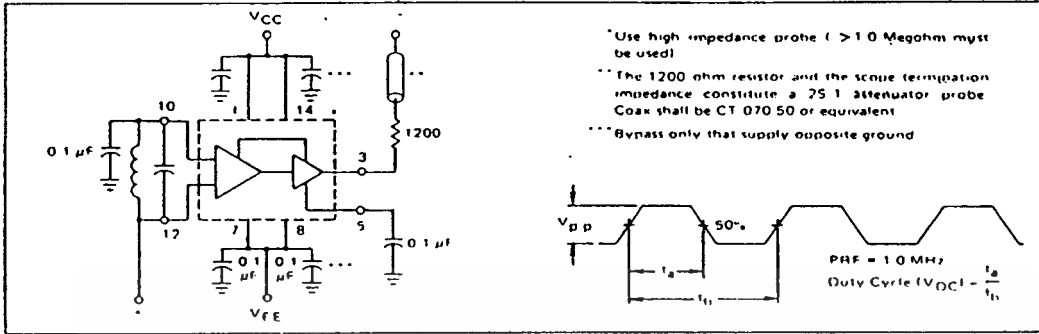
ELECTRICAL CHARACTERISTICS

Supply Voltage = +5.0 Volts

Characteristic	Symbol <sup>1</sup>	-55°C			-30°C			+25°C			+85°C			+125°C			Unit	Conditions
		Min	Max	Typ	Min	Max	Typ	Min	Max	Typ	Min	Max	Typ	Min	Max	Typ		
Power Supply Drain Current	I <sub>E</sub>	-	-	-	-	-	-	-	41	-	-	-	-	-	-	mAdc	Inputs and outputs open.	
Logic "1" Output Voltage	V <sub>OH</sub>	3.92	4.13	-	3.955	4.185	-	4.04	4.25	-	4.11	4.36	-	4.16	4.40	Vdc	V <sub>ILmin</sub> to Pin 12, I <sub>L</sub> @ Pin 3.	
Logic "0" Output Voltage	V <sub>OL</sub>	3.13	3.38	-	3.16	3.40	-	3.20	3.43	-	3.22	3.475	-	3.23	3.51	Vdc	V <sub>IHmax</sub> to Pin 12, I <sub>L</sub> @ Pin 3.	
Bias Voltage	V <sub>Bias</sub> <sup>2</sup>	1.67	1.97	-	1.60	1.90	-	1.45	1.75	-	1.30	1.60	-	1.20	1.50	Vdc	V <sub>ILmin</sub> to Pin 12.	
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
Peak-to-Peak Tank Voltage	V <sub>p.p</sub>	-	-	-	-	-	-	400	-	-	-	-	-	-	-	mV	See Figure 3.	
Output Duty Cycle	V <sub>DC</sub>	-	-	-	-	-	-	50	-	-	-	-	-	-	-	%		
Oscillation Frequency	f <sub>max</sub> <sup>**</sup>	-	225	-	-	225	-	200	225	-	-	225	-	-	225	MHz		

<sup>1</sup>This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor turning diode at this point.

<sup>\*\*</sup>Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.



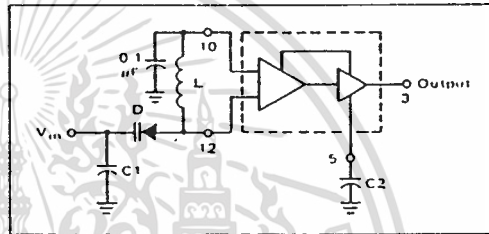
OPERATING CHARACTERISTICS

Figure 1 illustrates the circuit schematic for the MC1648. The oscillator incorporates positive feedback by coupling the base of transistor Q6 to the collector of Q7. An automatic gain control (AGC) is incorporated to limit the current through the emitter-coupled pair of transistors (Q7 and Q6) and allow optimum frequency response of the oscillator.

In order to maintain the high Q of the oscillator, and provide high spectral purity at the output, transistor Q4 is used to translate the oscillator signal to the output differential pair Q2 and Q3. Q2 and Q3, in conjunction with output transistor Q1, provides a highly buffered output which produces a square wave. Transistors Q9 and Q11 provide the bias drive for the oscillator and output buffer. Figure 2 indicates the high spectral purity of the oscillator output (pin 3).

When operating the oscillator in the voltage controlled mode (Figure 4), it should be noted that

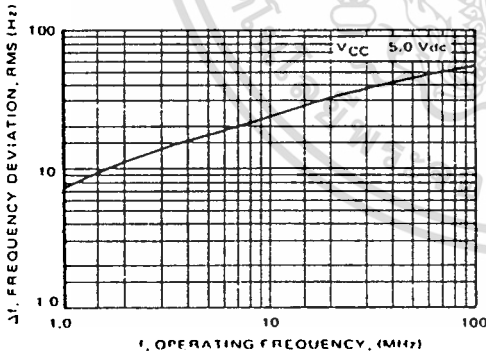
FIGURE 4 - THE MC1648 OPERATING IN THE VOLTAGE CONTROLLED MODE



the cathode of the varactor diode (D) should be biased at least 2 V<sub>BE</sub> above V<sub>EE</sub> (≈ 1.4 V for positive supply operation).

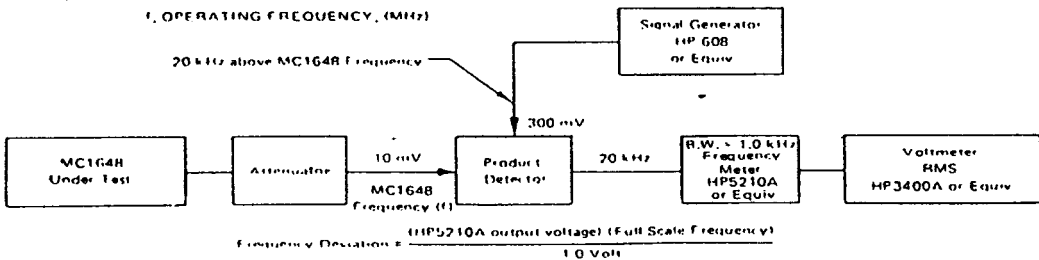
When the MC1648 is used with a constant dc voltage to the varactor diode, the output frequency will vary slightly because of internal noise. This variation is plotted versus operating frequency in Figure 5.

FIGURE 5 - NOISE DEVIATION TEST CIRCUIT AND WAVEFORM



Oscillator Tank Components (Circuit of Figure 4)

f MHz	D	L μH
1.0 10	MV2115	100
10 60	MV2115	2.3
60 100	MV2106	0.15



NOTE: Any frequency deviation caused by the signal generator and MC1648 power supply should be determined and minimized prior to testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ 4-6 ศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST VOLTAGE/CURRENT VALUES				
@ Test Temperature	(Volts)			mAdc
	V <sub>IHmax</sub>	V <sub>ILmin</sub>	V <sub>CC</sub>	I <sub>L</sub>
<b>MC1648</b>				
-30°C	-3.20	-3.70	-5.2	-5.0
+25°C	-3.35	-3.85	-5.2	-5.0
+85°C	-3.50	-4.00	-5.2	-5.0
<b>MC1648M</b>				
-55°C	-3.13	-3.63	-5.2	-5.0
+25°C	-3.35	-3.85	-5.2	-5.0
+125°C	-3.60	-4.10	-5.2	-5.0

**ELECTRICAL CHARACTERISTICS**

Supply Voltage = -5.2 Volts

Characteristic	Symbol	-55°C			-30°C			+25°C			+85°C			+125°C			Unit	Conditions
		Min	Max	Typ	Min	Max	Typ	Min	Max	Typ	Min	Max	Typ	Min	Max	Typ		
Power Supply Drain Current	I <sub>E</sub>	-	-	-	-	-	-	41	-	-	-	-	-	-	-	mAdc	Inputs and outputs open.	
Logic "1" Output Voltage	V <sub>OH</sub>	-1.080	-0.870	-	-1.045	-0.815	-	-0.960	-0.750	-	-0.890	-0.640	-	-0.840	-0.600	Vdc	V <sub>ILmin</sub> to Pin 12, I <sub>L</sub> @ Pin 3.	
Logic "0" Output Voltage	V <sub>OL</sub>	-1.920	-1.670	-	-1.890	-1.650	-	-1.850	-1.620	-	-1.830	-1.575	-	-1.820	-1.540	Vdc	V <sub>IHmax</sub> to Pin 12, I <sub>L</sub> @ Pin 3.	
Bias Voltage	V <sub>Bias</sub> *	-3.53	-3.23	-	-3.60	-3.30	-	-3.75	-3.45	-	-3.90	-3.60	-	-4.00	-3.70	Vdc	V <sub>ILmin</sub> to Pin 12.	
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
Peak-to-Peak Tank Voltage	V <sub>p,p</sub>	-	-	-	-	-	-	400	-	-	-	-	-	-	-	mV	See Figure 3.	
Output Duty Cycle	V <sub>DC</sub>	-	-	-	-	-	-	50	-	-	-	-	-	-	-	%		
Oscillation Frequency	f <sub>max</sub> **	-	225	-	-	225	-	200	225	-	-	225	-	-	225	MHz		

\*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor turning diode at this point.

\*\* Frequency variation over temperature is a direct function of the ΔC/Δ Temperature and ΔL/Δ Temperature.

TRANSFER CHARACTERISTICS IN THE VOLTAGE CONTROLLED MODE  
USING EXTERNAL VARACTOR DIODE AND COIL.  $T_A = 25^\circ\text{C}$

FIGURE 6

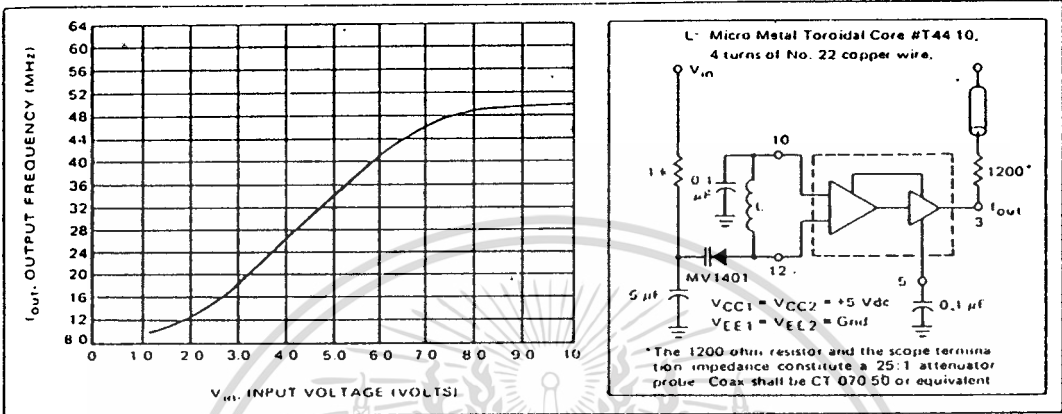


FIGURE 7

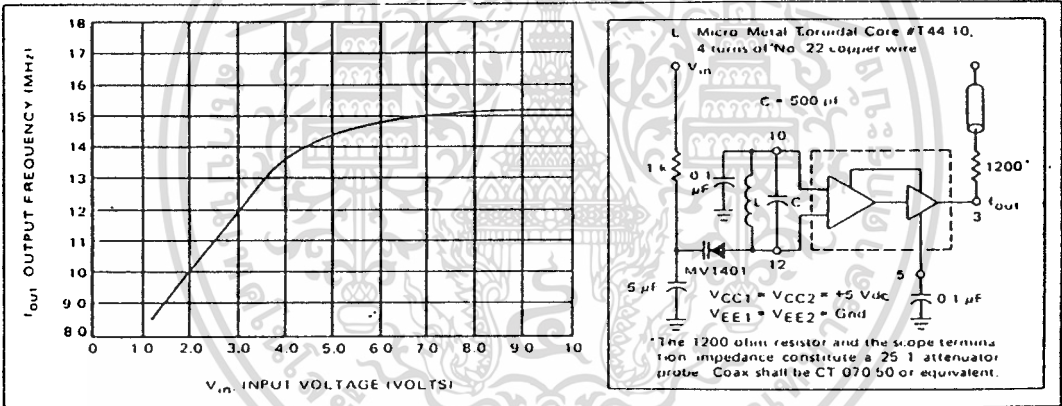
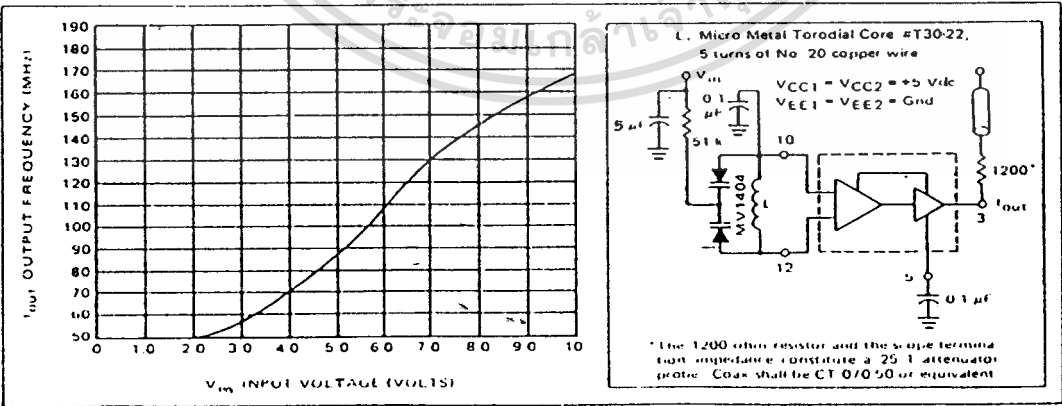


FIGURE 8



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical transfer characteristics for the oscillator in the voltage controlled mode are shown in Figures 6, 7, and 8. Figures 6 and 8 show transfer characteristics employing only the capacitance of the varactor diode (plus the input capacitance of the oscillator, 6 pF typical). Figure 7 illustrates the oscillator operating in a voltage controlled mode with the output frequency range limited. This is achieved by adding a capacitor in parallel with the tank circuit as shown. The 1 kΩ resistor in Figures 6 and 7 is used to protect the varactor diode during testing. It is not necessary as long as the dc input voltage does not cause the diode to become forward biased. The larger-valued resistor (51 kΩ) in Figure 8 is required to provide isolation for the high impedance junctions of the two varactor diodes.

The tuning range of the oscillator in the voltage controlled mode may be calculated as:

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_D(max) + C_S}}{\sqrt{C_D(min) + C_S}}$$

where  $f_{min} = \frac{1}{2\pi\sqrt{L(C_D(max) + C_S)}}$

$C_S$  = shunt capacitance (input plus external capacitance).

$C_D$  = varactor capacitance as a function of bias voltage.

Good RF and low frequency bypassing is necessary on the power supply pins. (See Figure 2.)

Capacitors (C1 and C2 of Figure 4) should be used to bypass the AGC point and the VCO input (varactor diode), guaranteeing only dc levels at these points.

For output frequency operation between 1 MHz and 50 MHz a 0.1 μF capacitor is sufficient for C1 and C2. At higher frequencies, smaller values of capacitance should be used; at lower frequencies, larger values of capacitance. At high frequencies the value of bypass capacitors depends directly upon the physical layout of the system. All bypassing should be as close to the package pins as possible to minimize unwanted lead inductance.

The peak-to-peak swing of the tank circuit is set internally by the AGC circuitry. Since voltage swing of the tank circuit provides the drive for the output buffer, the AGC potential directly affects the output waveform. If it is desired to have a sine wave at the output of the MC1648, a series resistor is tied from the AGC point to the most negative power potential (ground if +5.0 volt supply is used, -5.2 volts if a negative supply is used) as shown in Figure 10.

At frequencies above 100 MHz typ, it may be desirable to increase the tank circuit peak-to-peak voltage in order to shape the signal at the output of the MC1648. This is accomplished by tying a series resistor (1 kΩ minimum) from the AGC to the most positive power potential (+5.0 volts if a +5.0 volt supply is used, ground if a -5.2 volt supply is used). Figure 11 illustrates this principle.

APPLICATIONS INFORMATION

The phase locked loop shown in Figure 9 illustrates the use of the MC1648 as a voltage controlled oscillator. The figure illustrates a frequency synthesizer useful in tuners for FM broadcast, general aviation, maritime and landmobile communications, amateur and CB receivers. The system operates from a single +5.0 Vdc supply, and requires no internal translations, since all components are compatible.

Frequency generation of this type offers the advantages of single crystal operation, simple channel selection, and elimination of special circuitry to prevent harmonic lockup. Additional features include dc digital switching (preferable over RF

switching with a multiple crystal system), and a broad range of tuning (up to 150 MHz, the range being set by the varactor diode).

The output frequency of the synthesizer loop is determined by the reference frequency and the number programmed at the programmable counter;  $f_{out} = Nf_{ref}$ . The channel spacing is equal to frequency ( $f_{ref}$ ).

For additional information on applications and designs for phase locked-loops and digital frequency synthesizers, see Motorola SG72, Electronic Tuning Address Systems, (ETAS) Selector Guide.

FIGURE 9 – TYPICAL FREQUENCY SYNTHESIZER APPLICATION

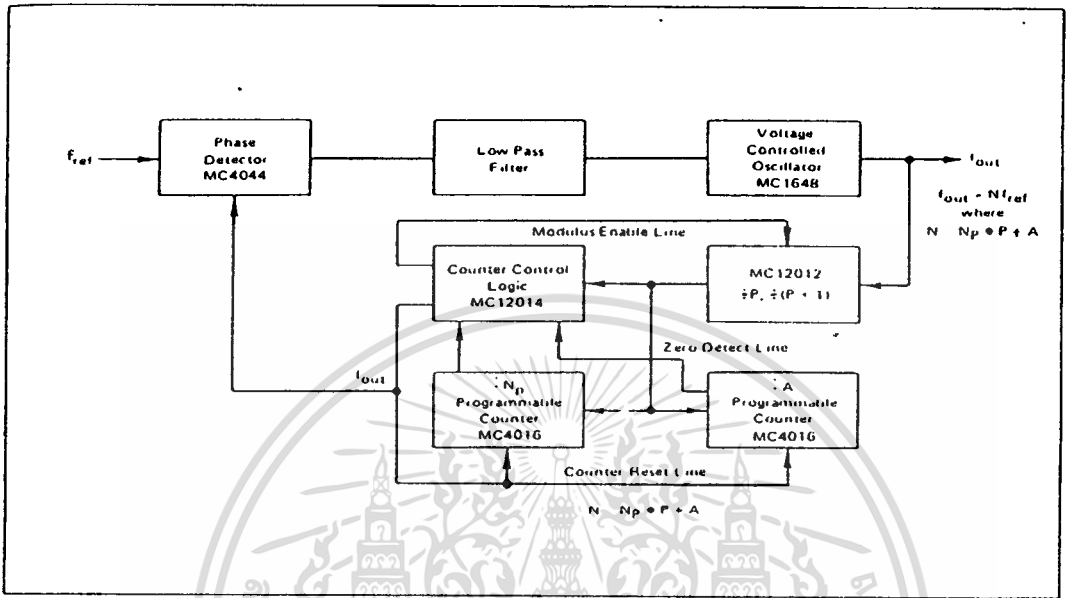


Figure 10 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To obtain a sine wave at the output, a resistor is added from the AGC circuit (pin 5) to VEE.

Figure 11 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To extend the useful range of the device (maintain a square wave output above 175 MHz), a resistor is added to the AGC circuit at pin 5 (1 k ohm minimum).

Figure 12 shows the MC1648 operating from +5.0 Vdc and +9.0 Vdc power supplies. This permits a higher voltage swing and higher output power than is possible from the MECL output (pin 3). Plots of output power versus total collector load resistance at pin 1 are given in Figures 13 and 14 for 100 MHz and 10 MHz operation. The total collector load includes R in parallel with R<sub>p</sub> of L1 and C1 at resonance. The optimum value for R at 100 MHz is approximately 850 ohms.

FIGURE 10 – METHOD OF OBTAINING A SINE-WAVE OUTPUT

FIGURE 11 – METHOD OF EXTENDING THE USEFUL RANGE OF THE MC1648 (SQUARE WAVE OUTPUT)

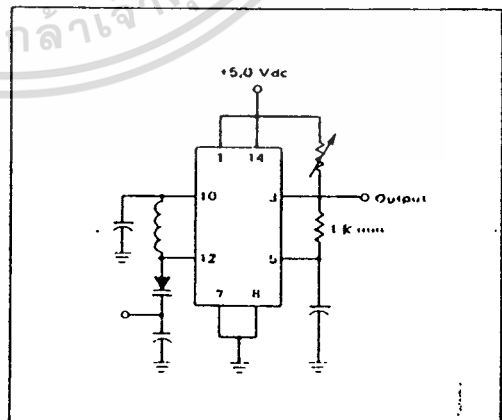
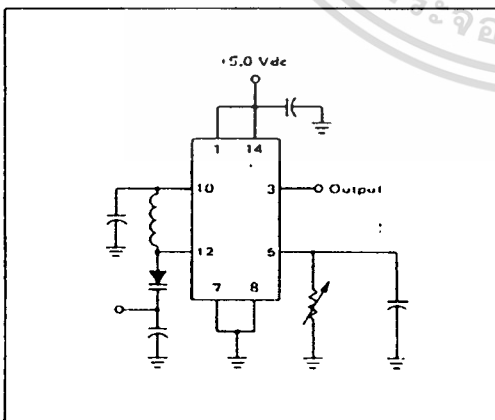


FIGURE 12 – CIRCUIT USED FOR COLLECTOR OUTPUT OPERATION

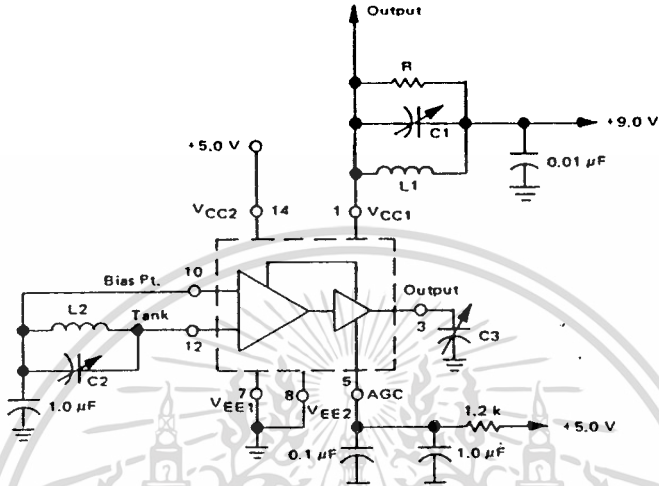


FIGURE 13 – POWER OUTPUT versus COLLECTOR LOAD

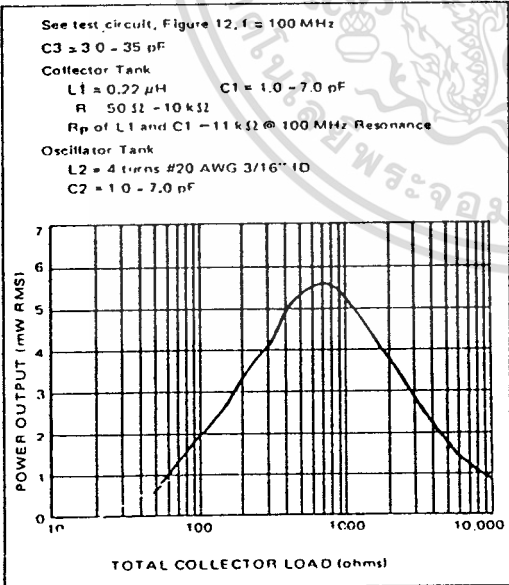
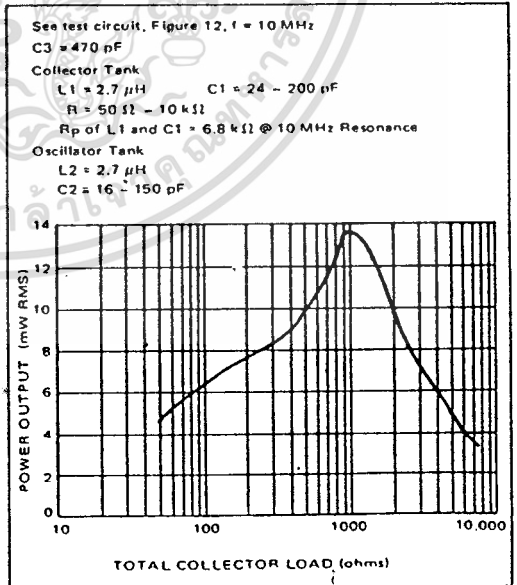


FIGURE 14 – POWER OUTPUT versus COLLECTOR LOAD



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**MOTOROLA**

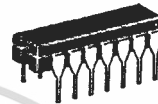
**MC4344/  
MC4044**

**PHASE-FREQUENCY DETECTOR**

The MC4344/4044 consists of two digital phase detectors, a charge pump, and an amplifier. In combination with a voltage controlled multivibrator (such as the MC4324/4024 or MC1648), it is useful in a broad range of phase-locked loop applications. The circuit accepts TTL waveforms at the R and V inputs and generates an error voltage that is proportional to the frequency and/or phase difference of the input signals. Phase detector #1 is intended for use in systems requiring zero frequency and phase difference at lock. Phase detector #2 is used if quadrature lock is desired. Phase detector #2 can also be used to indicate that the main loop, utilizing phase detector #1, is out of lock.

Operating Frequency = 8 MHz typ  
Input Loading Factor: R, V = 3  
Output Loading Factor (Pin 8) = 10  
Total Power Dissipation = 85 mW typ/pkg  
Propagation Delay Time = 9.0 ns typ  
(thru phase detector)

**PHASE-FREQUENCY  
DETECTOR**



L SUFFIX  
CERAMIC PACKAGE  
CASE 632  
(TO-116)

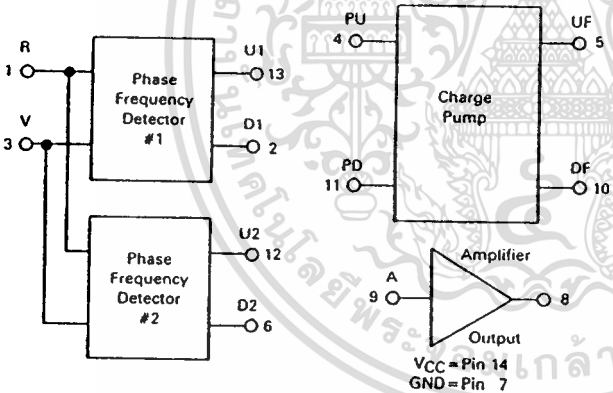


F SUFFIX  
CERAMIC PACKAGE  
CASE 607

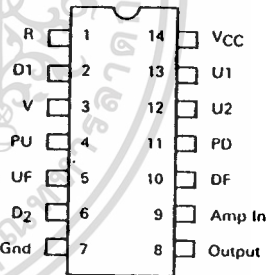


P SUFFIX  
PLASTIC PACKAGE  
CASE 646  
MC4044 only

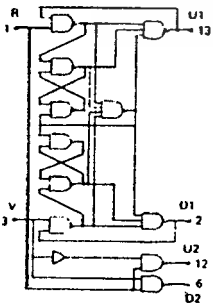
**LOGIC DIAGRAM**



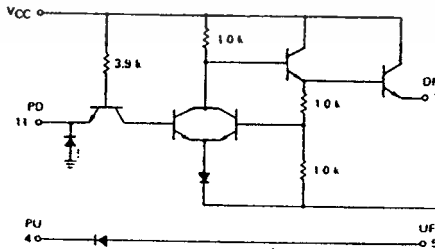
**PIN ASSIGNMENT**



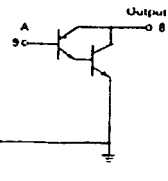
**PHASE DETECTOR**



**CHARGE PUMP**



**AMPLIFIER**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





instance, outputs U1 and D1 remain unchanged. The input states next become R-V = 0-1; moving horizontally to the R-V = 0-1 column, stable state (2) is indicated. At this point there is still no change in U1 or D1. The next input change shifts operation to the R-V = 0-0 column where unstable state 5 is indicated. Moving vertically to stable state (5), the outputs now change state to U1-D1 = 1-1. The next input change, R-V = 1-0, drives the circuitry to stable state (8), with no change in U1 or D1. The next input, R-V = 1-1, leads to stable state (7) with no change in the outputs. The next two input state changes cause U1 to go low between the negative transitions of R and V. As the inputs continue to change, the circuitry moves repeatedly through stable states (2), (5), (8), (7), (2), etc., as shown, and a periodic waveform is obtained on the U1 terminal while D1 remains high.

A similar result is obtained if V is leading with respect to R, except that the periodic waveform now appears on D1 as shown in rows e-h of the timing diagram of Figure 2. In each case, the average value of the resulting waveform is proportional to the phase difference between the two inputs. In a closed VCO loop application, the error signal for controlling the VCO is derived by translating and filtering these waveforms.

The results obtained when R and V are separated by a fixed frequency difference are indicated in rows i-l of the timing system. For this case, the U1 output goes low when R goes low and stays in that state until a negative transition on V occurs. The resulting waveform is similar

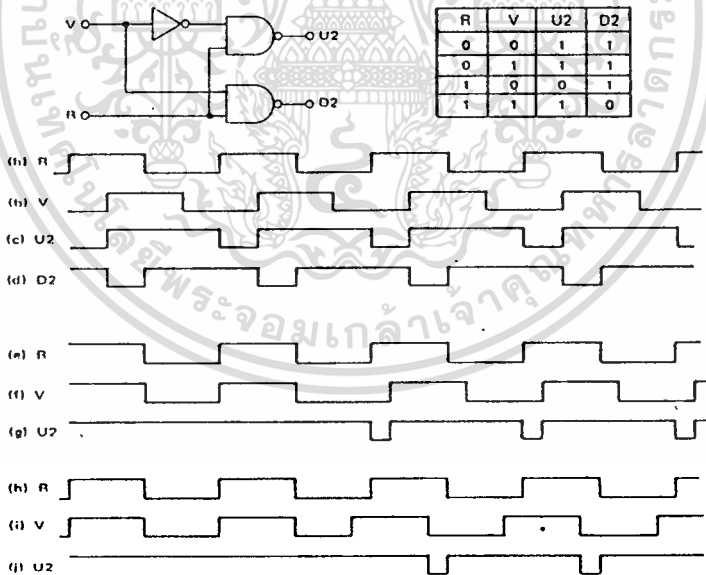
to the fixed phase difference case, but now the duty cycle of the U1 waveform varies at a rate proportional to the difference frequency of the two inputs, R and V. It is this characteristic that permits the MC4344/4044 to be used as a frequency discriminator; if the signal on R has been frequency modulated and if the loop bandwidth is selected to pass the deviation frequency but reject R and V, the resulting error voltage applied to the VCO will be the recovered modulation signal.

Phase detector #2 consists only of combinatorial logic, therefore its characteristics can be determined from the simple truth table of Figure 3. Since circuit operation requires that both inputs to the charge pump either be high or have the same duty cycle when lock occurs, using this phase detector leads to a quadrature relationship between R and V. This is illustrated in rows a-d of the timing diagram of Figure 3. Note that any deviation from a fifty percent duty cycle on the inputs would appear as phase error.

Waveforms showing the operation of phase detector #2 when phase detector #1 is being used in a closed loop are indicated in rows e-j. When the main loop is locked, U2 remains high. If the loop drifts out of lock in either direction a negative pulse whose width is proportional to the amount of drift appears on U2. This can be used to generate a simple loss-of-lock indicator.

Operation of the charge pump is best explained by considering it in conjunction with the Darlington amplifier included in the package (see Figure 4). There will be

FIGURE 3 — PHASE DETECTOR #2 OPERATION

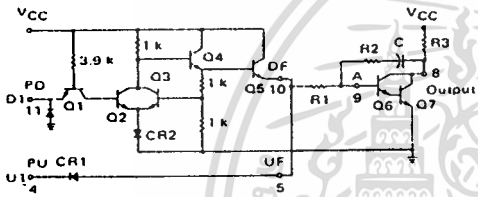


6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

a pulsed waveform on either PD or PU, depending on the phase-frequency relationship of R and V. The charge pump serves to invert one of the input waveforms (D1) and translates the voltage levels before they are applied to the loop filter. When PD is low and PU is high, Q1 will be conducting in the normal direction and Q2 will be off. Current will be flowing through Q3 and CR2; the base of Q3 will be two  $V_{BE}$  drops above ground or approximately 1.5 volts. Since both of the resistors connected to the base of Q3 are equal, the emitter of Q4 (base of Q5) will be approximately 3.0 volts. For this condition, the emitter of Q5 (DF) will be on  $V_{BE}$  below this voltage, or about 2.25 volts. The PU input to the charge pump is high (> 2.4 volts) and CR1 will be reverse biased. Therefore Q5 will be supplying current to Q6. This will tend to lower the voltage at the collector of Q7, resulting in an error signal that lowers the VCO frequency as required by a "pump down" signal.

FIGURE 4 — CHARGE PUMP OPERATION



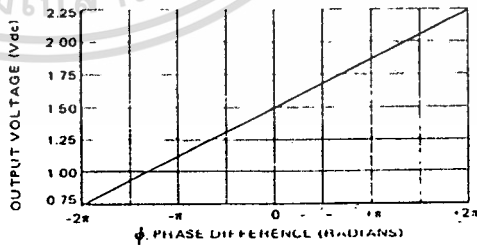
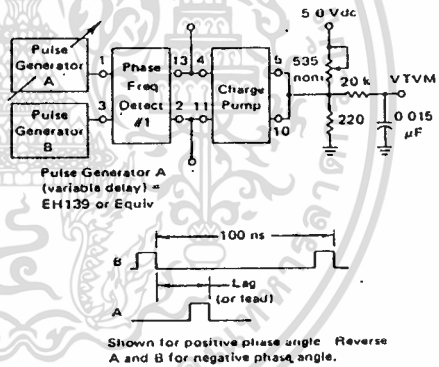
When PU is low and PD is high, CR1 is forward biased and UF will be approximately one  $V_{BE}$  above ground (neglecting the  $V_{CE(sat)}$  of the driving gate). With PD high, Q1 conducts in the reverse direction, supplying base current for Q2. While Q2 is conducting, Q4 is prevented from supplying base drive to Q5; with Q5 cut off and UF low there is no base current for Q6 and the voltage at the collector of Q7 moves up, resulting in an increase in the VCO operating frequency as required by a "pump up" signal.

If both inputs to the charge pump are high (zero phase difference), both CR1 and the base-emitter junction of Q5 are reverse biased and there is no tendency for the error voltage to change. The output of the charge pump varies between one  $V_{BE}$  and three  $V_{BE}$  as the phase difference of R and V varies from minus  $2\pi$  to plus  $2\pi$ . If this signal is filtered to remove the high-frequency components, the phase detector transfer function,  $K_{\phi}$ , of approximately 0.12 volt/radian is obtained (see Figure 5).

The specified gain constant of 0.12 volt/radian may not be obtained if the amplifier/filter combination is improperly designed. As indicated previously, the charge pump delivers pump commands of about 2.25 volts on the positive swings and 0.75 volt on the negative swings for a mean no-pump value of 1.5 volts. If the filter amplifier is biased to threshold "on" at 1.5 volts, then the pump up

and down voltages have equal effects. The pump signals are established by  $V_{BE}$ s of transistors with milliampere currents flowing. On the other hand, the transistors included for use as a filter amplifier will have very small currents flowing and will have correspondingly lower  $V_{BE}$ s — on the order of 0.6 volt each for a threshold of 1.2 volts. Any displacement of the threshold from 1.5 volts causes an increase in gain in one direction and a reduction in the other. The transistor configuration provided is hence not optimum but does allow for the use of an additional transistor to improve filter response. This addition also results in a non-symmetrical response since the threshold is now approximately 1.8 volts. The effective positive swing is limited to 0.45 volt while the negative swing below threshold can be greater than 1.0 volt. This means that the loop gain when changing from a high frequency to a lower frequency is less than when changing in the opposite direction. For type two loops this tends to increase overshoot when going from low to high and increases damping in the other direction. These problems and the selection of external filter components are intimately related to system requirements and are discussed in detail in the filter design section.

FIGURE 5 — PHASE DETECTOR TEST



**PHASE-LOCKED LOOP COMPONENTS**

**General**

A basic phase-locked loop, when operating properly, will acquire ("lock on") an input signal, track it in frequency, and exhibit a fixed phase relationship relative to the input. In this basic loop, the output frequency will be identical to the input frequency (Figure 6). A fundamental loop consists of a phase detector, amplifier/filter, and voltage-controlled oscillator (Figure 7). It appears and acts like a unity gain feedback loop. The controlled variable is phase; any error between  $f_{in}$  and  $f_{out}$  is amplified and applied to the VCO in a corrective direction.

FIGURE 6 — BASIC PHASE-LOCKED LOOP FREQUENCY RELATIONSHIP

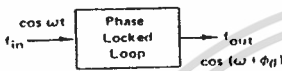


FIGURE 7 — FUNDAMENTAL PHASE-LOCKED LOOP



Simple phase detectors in digital phase-locked loops usually put out a series of pulses. The average value of these pulses is the "gain constant,"  $K_{\phi}$ , of the phase detector — the volts out for a given phase difference, expressed as volts/radian.

The VCO is designed so that its output frequency range is equal to or greater than the required output frequency range of the system. The ratio of change in output frequency to input control voltage is called "gain constant,"  $K_V$ . If the slope of  $f_{out}$  to  $V_{in}$  is not linear (i.e., changes greater than 25%) over the expected frequency range, the curve should be piece-wise approximated and the appropriate constant applied for "best" and "worst" case analysis of loop performance.

System dynamics when in lock are determined by the amplifier/filter block. Its gain determines how much phase error exists between  $f_{in}$  and  $f_{out}$ , and filter characteristics shape the capture range and transient performance. This will be discussed in detail later.

**Loop Filter**

Fundamental loop characteristics such as capture range, loop bandwidth, capture time, and transient response are controlled primarily by the loop filter. The loop behavior is described by gains in each component block of Figure 8. The output to input ratio reflects a second order low pass filter in frequency response with a static gain of N:

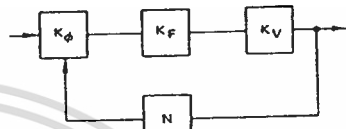
$$\frac{\theta_O(s)}{\theta_I(s)} = \frac{K_{\phi}K_FK_V}{s^2 + \frac{K_{\phi}K_FK_V}{N}} \quad (1)$$

where:  $K_F = \frac{1 + T_1s}{T_2s}$  (2)

$T_1 = R_2C$  and  $T_2 = R_1C$  of Figure 4. Therefore,

$$\frac{\theta_O(s)}{\theta_I(s)} = \frac{N(1 + T_1s)}{s^2NT_2 + T_1s + 1} \quad (3)$$

FIGURE 8 — GAIN CONSTANTS



- $K_{\phi}$  = Phase Detector Gain (volts/radian)
- $K_F$  = Amplifier/Filter Gain
- $K_V$  = VCO Gain (radians/second/volt)
- $N$  = Integer Divisor

Both  $\omega_n$  (loop bandwidth or natural frequency) and  $\zeta$  (damping factor) are particularly important in the transient response to a step input of phase or frequency (Figure 9), and are defined as:

$$\omega_n = \sqrt{\frac{K_{\phi}K_V}{NT_2}} \quad (4)$$

$$\zeta = \sqrt{\frac{K_{\phi}K_V}{NT_2} \left( \frac{T_1}{2} \right)} \quad (5)$$

Using these terms in Equation 3,

$$\frac{\theta_O(s)}{\theta_I(s)} = \frac{N(1 + T_1s)}{\frac{s^2}{\omega_n^2} + \frac{2\zeta s}{\omega_n} + 1} \quad (6)$$

In a well defined system controlling factors such as  $\omega_n$  and  $\zeta$  may be chosen either from a transient basis (time domain response) or steady state frequency plot (roll-off point and peaking versus frequency). Once these two design goals are defined, synthesis of the filter is relatively straight-forward.

Constants  $K_{\phi}$ ,  $K_V$ , and  $N$  are usually fixed due to other design constraints, leaving  $T_1$  and  $T_2$  as variables to set  $\omega_n$  and  $\zeta$ . Since only  $T_2$  appears in Equation 4, it is the easiest to solve for initially.

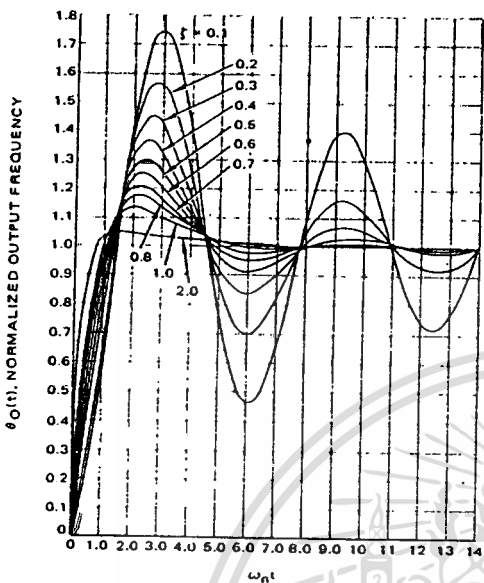
$$T_2 = \frac{K_{\phi}K_V}{N\omega_n^2} \quad (7)$$

From Equation 5, we find

$$T_1 = \frac{2\zeta}{\omega_n} \quad (8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 9 — TYPE 2 SECOND ORDER STEP RESPONSE



Using relationships 7 and 8, actual resistor values may be computed:

$$R_1 = \frac{K_{\phi} K_V}{N \omega_n^2 C} \quad (9)$$

$$R_2 = \frac{2\zeta}{\omega_n C} \quad (10)$$

Although fundamentally the range of  $R_1$  and  $R_2$  may be from several hundred to several thousand ohms, sideband considerations usually force the value of  $R_1$  to be set first, and then  $R_2$  and  $C$  computed.

$$C = \frac{K_{\phi} K_V}{N \omega_n^2 R_1} \quad (11)$$

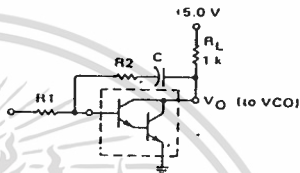
Calculation of passive components  $R_2$  and  $C$  (in synthesizers) is complicated by incomplete information on  $N$ , which is variable, and the limits of  $\omega_n$  and  $\zeta$  during that variance. Equally important are changes in  $K_V$  over the output frequency range. Minimum and maximum values of  $\omega_n$  and  $\zeta$  can be computed from Equations 4 and 5 when the appropriate worst case numbers are known for all the factors.

Amplifier/filter gain usually determines how much phase error exists between  $f_{in}$  and  $f_{out}$ , and the filter characteristic shapes capture range and transient performance. A relatively simple, low gain amplifier may usually be used in the loop since many designs are not constrained so much by phase error as by the need to make  $f_{in}$  equal  $f_{out}$ . Unnecessarily high gains can cause

problems in linear loops when the system is out of lock if the amplifier output swing is not adequately restricted since integrating operational amplifier circuits will latch up in time and effectively open the loop.

The internal amplifier included in the MC4344/4044 may be used effectively if its limits are observed. The circuit configuration shown in Figure 10 illustrates the placement of  $R_1$ ,  $R_2$ ,  $C$ , and load resistor  $R_L$  (1 k $\Omega$ ). Due to the non-infinite gain of this stage ( $A_V \approx 30$ ) and other non-ideal characteristics, some restraint must be placed on passive component selection. Foremost is a lower limit on the value of  $R_2$  and an upper limit on  $R_1$ . Placed in order of priority, the recommendations are as follows: (a)  $R_2 > 50 \Omega$ , (b)  $R_1/R_2 \leq 10$ , (c)  $1 \text{ k}\Omega < R_1 < 5 \text{ k}\Omega$ .

FIGURE 10 — USING MC4344/4044 LOOP AMPLIFIER



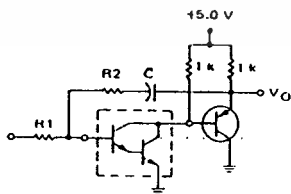
Limit (c) is the most flexible and may be violated with either higher sidebands and phase error ( $R_1 > 5 \text{ k}\Omega$ ) or lower phase detector gain ( $R_1 < 1 \text{ k}\Omega$ ). If limit (b) is exceeded, loop bandwidth will be less than computed and may not have any similarity to the prediction. For an accurate reproduction of calculated loop characteristics one should go to an operational amplifier which has sufficient gain to make limit (b) readily satisfied. Limit (a) is very important because  $T_1$  in Equation 5 is in reality composed of three elements:

$$T_1 = C \left( R_2 - \frac{1}{g_m} \right) \quad (12)$$

where  $g_m$  = transconductance of the common emitter amplifier.

Normally  $g_m$  is large and  $T_1$  nearly equals  $R_2 C$ , but resistance values below 50  $\Omega$  can force the phase-compensating "zero" to infinity or worse (into the right half plane) and give an unstable system. The problem can be circumvented to a large degree by buffering the feedback with an emitter follower (Figure 11). Inequality (a) may then be reduced by at least an order of magnitude ( $R_2 > 5 \Omega$ ) keeping in mind that electrolytic capacitors used

FIGURE 11 — AMPLIFIER CAPABLE OF HANDLING LOWER  $R_2$



as C may approach this value by themselves at the frequency of interest ( $\omega_n$ ).

Larger values of  $R_1$  may be accommodated by either using an operational amplifier with a low bias current ( $I_b < 1.0 \mu A$ ) as shown in Figure 12 or by buffering the internal Darlington pair with an FET (Figure 13). It is vitally important, however, that the added device be operated at zero  $V_{GS}$ . Source resistor  $R_4$  should be adjusted for this condition (which amounts to  $I_{DSS}$  current for the FET). This insures that the overall amplifier input threshold remains at the proper potential of approximately two base-emitter drops. Use of an additional emitter follower instead of the FET and  $R_4$  (Figure 14) gives a threshold near the upper limit of the phase detector charge pump, resulting in an extremely unsymmetrical phase detector gain in the pump up versus pump down mode. It is not unusual to note a 5:1 difference in  $K_\phi$  for circuits having the bipolar buffer stage. If the initial design can withstand this variation in loop gain and remain stable, the approach should be considered since there are no critical adjustments as in the FET circuit.

FIGURE 12 — USING AN OPERATIONAL AMPLIFIER TO EXTEND THE VALUE OF  $R_1$

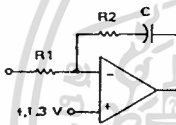


FIGURE 13 — FET BUFFERING TO RAISE AMPLIFIER INPUT IMPEDANCE

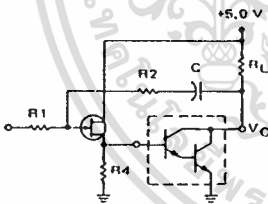
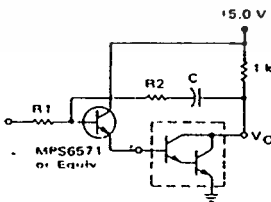


FIGURE 14 — EMITTER FOLLOWER BUFFERING OF AMPLIFIER INPUT



DESIGN PROBLEMS AND THEIR SOLUTIONS

Dynamic Range

A source of trouble for all phase-locked loops, as well as most electronics is simply overload or lack of sufficient dynamic range. One limit is the amplifier output drive to the VCO. Not only must a designer note the outside limits of the dc control voltage necessary to give the output frequency range, he must also account for the worst case of overshoot expected for the system. Relatively large damping factors ( $\zeta = 0.5$ ) can contribute significant amounts of overshoot (30%). To be prepared for the worst case output swing the amplifier should have as much margin to positive and negative limits as the expected swing itself. That is, if a two-volt swing is sufficient to give the desired output frequency excursion, there should be at least a two-volt cushion above and below maximum expected steady-state values on the control line.

This increase in range, in order to be effective, must of course be followed by an equivalent range in the VCO or there is little to be gained. Any loss in loop gain will in general cause a decrease in  $\zeta$  and a consequent increase in overshoot and ringing. If the loss in gain is caused by saturation or near saturation conditions, the problem tends to accelerate towards a situation where the system settles in not only a slow but oscillator manner as well.

Loss of amplifier gain may not be due entirely to normal system damping considerations. In loops employing digital phase detectors, an additional problem is likely to appear. This is due to amplifier saturation during a step input when there is a maximum phase detector output simultaneous with a large transient overshoot. The phase detector square wave rides on top of the normal transient and may even exceed the amplifier output limits imposed above. Since the input frequency will exceed the  $R_2C$  time constant, gain  $K_F$  for these annoying pulses will be  $R_2/R_1$ . Ordinarily this ratio will be less than 1, but some circumstances dictate a low loop gain commensurate with a fairly high  $\omega_n$ . For these cases,  $R_2/R_1$  may be higher than 10 and cause pulse-wise saturation of the amplifier. Since the dc control voltage is an average of phase detector pulses, clipping can be translated into a reduction in gain with all the "benefits" already outlined, i.e., poor settling time. An easy remedy to apply in many cases is a simple RC low pass section preceding or together with the integrator-lag section. To make transient suppression independent of amplifier response, the network may be imbedded within the input resistor  $R_1$  (Figure 15) or be implemented by placing a feedback capacitor across  $R_2$  (Figure 16). Besides rounding off and inhibiting pulses, these networks add an additional pole to the loop and may cause further overshoot if the cutoff frequency ( $\omega_c$ ) is too close to  $\omega_n$ . If at all possible the cutoff point should be five to ten times  $\omega_n$ . How far  $\omega_c$  can be placed from  $\omega_n$  depends on the input frequency relationship to  $\omega_n$  since  $f_{in}$  is, after all, what is being filtered. A side benefit of this simple RC pulse "flattener" is a reduction in  $f_{in}$  sidebands around  $f_{out}$  for synthe-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

sizers with  $N > 1$ . However, a series of RC filters is not recommended for either extended pulse suppression or sideband improvement as excess phase will begin to build up at the loop crossover ( $= \omega_n$ ) and tend to cause instability. This will be discussed in more detail later.

FIGURE 15 — IMPROVED TRANSIENT SUPPRESSION WITH  $R1 - C_c$

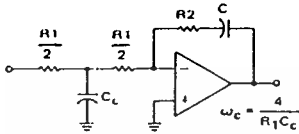
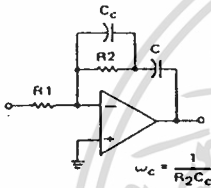


FIGURE 16 — IMPROVED TRANSIENT SUPPRESSION WITH  $R2 - C_c$



**Spurious Outputs**

Although the major problem in phase-locked loop design is defining loop gain and phase margin under dynamic operating conditions, high-quality synthesizer designs also require special consideration to minimize spurious spectral components — the worst of which is reference-frequency sidebands. Requirements for good sideband suppression often conflict with other performance goals — loop dynamic behavior, suppression of VCO noise, or suppression of other in-loop noise. As a result, most synthesizer designs require compromised specifications. For a given set of components and loop dynamic conditions, reference sidebands should be predicted and checked against design specifications before any hardware is built.

Any steady-state signal on the VCO control will produce sidebands in accordance with normal FM theory. For small spurious deviations on the VCO, relative sideband-to-carrier levels can be predicted by:

$$\frac{\text{sidebands}}{\text{carrier}} \approx \frac{V_{ref} K_V}{2\omega_{ref}} \quad (13)$$

where  $V_{ref}$  = peak voltage value of spurious frequency at the VCO input.

Unwanted control line modulation can come from a variety of sources, but the most likely cause is phase detector pulse components feeding through the loop fil-

ter. Although the filter does establish loop dynamic conditions, it leaves something to be desired as a low pass section for reference frequency components.

For the usual case where  $\omega_{ref}$  is higher than  $1/T_2$ , the  $K_F$  function amounts to a simple resistor ratio:

$$K_F(j\omega) \Big|_{\omega = \omega_{ref}} \approx - \frac{R_2}{R_1} \quad (14)$$

By substitution of Equations 9 and 10, this signal transfer can be related to loop parameters.

$$K_F(j\omega) \Big|_{\omega = \omega_{ref}} \approx \frac{2\zeta N\omega_n}{K_\phi K_V} \approx \frac{V_{ref}}{V_\phi} \quad (15)$$

where  $V_{ref}$  = peak value of reference voltage at the VCO input, and  
 $V_\phi$  = peak value of reference frequency voltage at the phase detector output.

Sideband levels relative to reference voltage at the phase detector output can be computed by combining Equations 13 and 15:

$$\frac{\text{sideband level}}{f_{out \text{ level}}} = V_\phi \left( \frac{\zeta N\omega_n}{\omega_{ref} K_\phi} \right) \quad (16)$$

From Equation 16 we find that for a given phase detector, a given value of  $R_1$  (which determines  $V_\phi$ ), and given basic system constraints ( $N, f_{ref}$ ), only  $\zeta$  and  $\omega_n$  remain as variables to diminish the sidebands. If there are few limits on  $\omega_n$ , it may be lowered indefinitely until the desired degree of suppression is obtained. If  $\omega_n$  is not arbitrary and the sidebands are still objectionable, additional filtering is indicated.

One item worthy of note is the absence of  $K_V$  in Equation 16. From Equation 15 it might be concluded that decreasing  $K_V$  would be another means for reducing spurious sidebands, but for constant values of  $\zeta$  and  $\omega_n$  this is not a free variable. In a given loop, varying  $K_V$  will certainly affect sideband voltage, but will also vary  $\zeta$  and  $\omega_n$ .

On the other hand, the choice of  $\omega_n$  may well affect spectral purity near the carrier, although reference sideband levels may be quite acceptable.

In computing sideband levels, the value of  $V_\phi$  must be determined in relation to other loop components. Residual reference frequency components at the phase detector output are related to the dc error voltage necessary to supply charge pump leakage current and amplifier bias current. From these average voltage figures, spectral components of the reference frequency and its harmonics can be computed using an approximation that the phase detector output consists of square waves  $\tau$  seconds

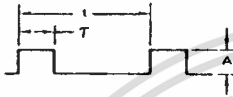


wide repeated at 1 second intervals (Figure 17). A Fourier analysis can be summarized for small ratios of  $\tau/t$  by:

- (1) the average voltage ( $V_{avg}$ ) is  $A/\tau/t$
- (2) the peak reference voltage value ( $V_\phi$ ) is twice  $V_{avg}$ , and
- (3) the second harmonic ( $2f_{ref}$ ) is roughly equal in amplitude to the fundamental.

By knowing the requirements for (1) due to amplifier bias and leakage currents, values for (2) and (3) are uniquely determined.

FIGURE 17 — PHASE DETECTOR OUTPUT



An example of this sideband approximation technique can be illustrated using the parameters specified for the synthesizer design included in the applications information section.

$$\begin{aligned}
 N_{max} &= 30 & \omega_n &= 4500 \text{ rad/s} \\
 K_V &= 11.2 \times 10^6 \text{ rad/s/V} & R_1 &= 2 \text{ k}\Omega \\
 K_\phi &= 0.12 \text{ V/rad} & f_{ref} &= 100 \text{ kHz} \\
 \zeta &= 0.8
 \end{aligned}$$

Substituting these numbers into Equation 16:

$$\begin{aligned}
 \frac{\text{sideband}}{f_{out}} &= V_\phi \frac{(0.8)(30)(4500)}{2\pi(10^5)(0.111)} & (17) \\
 &= V_\phi (1.55) & (18)
 \end{aligned}$$

The result illustrates how much reference feedthrough will affect sideband levels. If 1.0 mV peak of reference appears at the output of the phase detector, the nearest sideband will be down 56.2 dB.

If the amplifier section included in the MC4344/4044 is used, with  $R_L = 1 \text{ k}\Omega$ , some approximations of the value of  $V_\phi$  can be made based on the input bias current and the value of  $R_1$ . The phase detector must provide sufficient average voltage to supply the amplifier bias current,  $I_b$ , through  $R_1$ ; when the bias current is about 5.0  $\mu\text{A}$  and  $R_1$  is 2 k $\Omega$ ,  $V_{avg}$  must be 10 mV. From the assumptions earlier concerning the Fourier transform, and with the help of Figure 18, we can see that the phase detector duty cycle will be about 1.7% ( $A = 0.6 \text{ V}$ ), giving a fundamental (reference) of 20 mV peak. If this value for  $V_\phi$  is substituted into Equation 18, the resulting sideband ratio represents 30 dB suppression due to this component alone.

In addition to the amplifier bias current, another factor to consider is transistor Q5 reverse leakage current  $I_L$  flowing into pin 10 of the MC4344/4044 charge pump.  $I_L$  is generally less than 1.0  $\mu\text{A}$  and is no more than 5.0  $\mu\text{A}$  over the temperature range. A typical design value for 25°C is 0.1  $\mu\text{A}$ . Both  $I_L$  and amplifier bias current  $I_b$  are

in a direction to deplete the charge on filter capacitor C. A second charge pump leakage,  $I_L'$ , attributed by diode CR1 flows out of pin 5. This current, however, is in a direction to help supply  $I_b$  and  $I_L$  and thus tends to minimize the discharge of C. Typically  $I_L'$  is much less than  $I_L$  and, since it is also in a direction to minimize discharge of the filter capacitor, it will be ignored in the following discussion. The total charge removed from C must be replaced by current supplied by the charge pump during the next up-date opportunity. This current flows through  $R_1$ . To minimize the effects of  $I_b$  and  $I_L$  a relative small value of  $R_1$  should be chosen. A minimum value of 1 k $\Omega$  is a good choice.

FIGURE 18 — OUTPUT ERROR CHARACTERISTICS

DUTY CYCLE (%)	PHASE ERROR (Deg)	$V_{avg}$ (mV)	$V_\phi(\text{peak})$ (mV)
0.1	0.36	0.6	1.2
0.2	0.72	1.2	2.4
0.3	1.08	1.8	3.6
0.4	1.44	2.4	4.8
0.5	1.80	3.0	6.0
0.6	2.16	3.6	7.2
0.7	2.52	4.2	8.4
0.8	2.88	4.8	9.6
0.9	3.24	5.4	10.8
1.0	3.60	6.0	12.0
2.0	7.2	12.0	24.0
3.0	10.8	18.0	35.9
4.0	14.4	24.0	47.9
5.0	18.0	30.0	59.8
6.0	21.6	36.0	71.6
7.0	25.2	42.0	83.3
8.0	28.8	48.0	95.0
9.0	32.4	54.0	106.6
10.0	36.0	60.0	118.0

After values for C and  $R_2$  have been computed on the basis of loop dynamic properties, the overall sideband to  $f_{out}$  ratio computation can be simplified.

Since

$$\begin{aligned}
 V_\phi &= 2 V_{avg} \\
 V_{avg} &= (I_b + I_L) R_1 &= 2R_1 (I_b + I_L) \left(\frac{R_2}{R_1}\right) \\
 V_\phi &= 2 (I_b + I_L) R_1 &= 2R_2 (I_b + I_L) \\
 V_{ref} &= V_\phi \left(\frac{R_2}{R_1}\right)
 \end{aligned}$$

we find that

$$\frac{\text{sideband}}{f_{out}} = \frac{V_{ref}K_V}{2\omega_{ref}} \quad (19)$$

$$\frac{\text{sideband}}{f_{out}} = \frac{2R_2(I_b + I_L)K_V}{2\omega_{ref}} \quad (20)$$

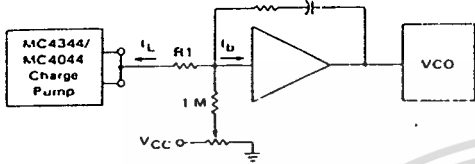
Equation 20 indicates that excellent suppression could be achieved if the bias and leakage terms were nulled by current summing at the amplifier input (Figure 19). This has indeed proved to be the case. Experimental results indicate that greater than 60 dB rejection can routinely

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

be achieved at a constant temperature. However when nulling fairly large values (> 100 nA), the rejection becomes quite sensitive since leakages are inherently a function of temperature. This technique has proved useful in achieving improved system performance when used in conjunction with good circuit practice and reference filtering.

FIGURE 19 — COMPENSATING FOR BIAS AND LEAKAGE CURRENT



**Additional Loop Filtering**

So far, only the effects of fundamental loop dynamics on resultant sidebands have been considered. If further sideband suppression is required, additional loop filtering is indicated. However, care must be taken in placement of any low pass rolloff with regard to the loop natural frequency ( $\omega_n$ ). On one hand, the "corner" should be well below (lower than)  $\omega_{ref}$  and yet far removed (above) from  $\omega_n$ . Although no easy method for placing the roll-off point exists, a rule of thumb that usually works is:

$$\omega_c = 5\omega_n \quad (21)$$

Reference frequency suppression per pole is the ratio of  $\omega_c$  to  $\omega_{ref}$ .

$$SB_{dB} \approx n \cdot 20 \log_{10} \left( \frac{\omega_c}{\omega_{ref}} \right) \quad (22)$$

where n is the number of poles in the filter.

Equation 22 gives the additional loop suppression to  $\omega_{ref}$ ; this number should be added to whatever suppression already exists.

For non-critical applications, simple RC networks may suffice, but if more than one section is required, loop dynamics undergo undesirable changes. Loop damping factor decreases, resulting in a high percentage of overshoot and increased ringing since passive RC sections tend to accumulate phase shift more rapidly than signal suppression and part of this excess phase subtracts from the loop phase margin. Less phase margin translates into a lower damping factor and can, in the limit, cause outright oscillation.

A suitable alternative is an active RC section, Figure 20, compatible with the existing levels and voltages. An active two pole filter (second order section) can realize a more gradual phase shift at frequencies less than the cutoff point and still get nearly equal suppression at frequencies above the cutoff point. Sections designed with a slight amount of peaking ( $\zeta \approx 0.5$ ) show a good compromise between excess phase below cutoff ( $\omega_c$ ), without peaking enough to cause any danger of raising the loop gain for frequencies above  $\omega_n$ . A fairly non-critical section may simply use an emitter follower as the active device

with two resistors and capacitors completing the circuit (Figure 21). This provides a -12 dB/octave (-40 dB/decade) rolloff characteristic above  $\omega_n$ , though the attenuation may be more accurately determined by Equation 22. If the sideband problem persists, an additional section may be added in series with the first. No more than two sections are recommended since at that time either (1) the constraint between  $\omega_n$  and  $\omega_{ref}$  is too close, or (2) reference voltage is modulating the VCO from a source other than the phase detector through the loop amplifier.

FIGURE 20 — OPERATIONAL AMPLIFIER LOW PASS FILTER

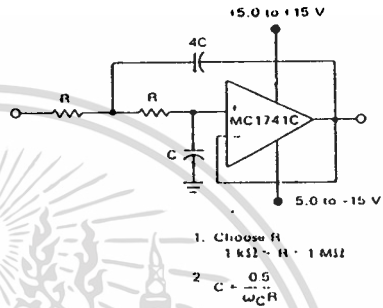
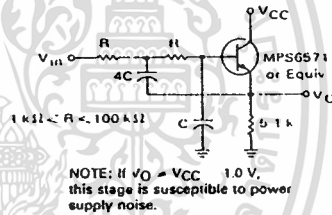


FIGURE 21 — EMITTER FOLLOWER LOW PASS FILTER

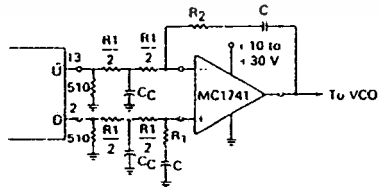


Operation without charge pump phase detector #1 of the MC4344/4044 can be implemented quite successfully in many applications without using the charge pump and internal darlington amplifier approach. An operational amplifier filter can be used to process the error information appearing at U1 and D1 (pins 13 and 2) directly (Figure 22). This phase detector/filter approach offers a potentially superior performing system because:

- a. Charge pump delay time is eliminated.
- b. Charge pump input signed threshold level need not be overcome before error information is obtained.

This can result in a substantial improvement in the

FIGURE 22 — TYPICAL FILTER AND SUMMING NETWORK



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 4044's transfer function linearity in the vicinity of zero phase error between the R and V inputs.
- c. The filter amplifier ground location can be separated from the phase detector ground.
- d. An "optimum" filter amplifier input threshold of approximately two diode drops need not be established.

The filter discussions and relationships developed for integrator-log filter sections can be applied to the system of Figure 22 and the previously derived equations can be used to determine values for R1, R2 and C.

It may be desirable to split each of the R1 resistors and incorporate a capacitor to ground in a manner similar to that shown in Figure 15. This should improve transient suppression and provide integration of the U1 and D1 signals to better enable the operational amplifier to develop corrective error information from very narrow U1 and D1 pulse widths.

Phase error for the circuit in Figure 22 will result from input offset voltage in the operational amplifier, resistor mismatch and mismatch between the phase detector output states appearing at U1 and D1. Phase error can be trimmed to zero initially by adjusting either the amplifier input offset or one of the R1 resistors.

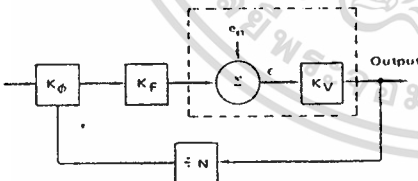
**VCO Noise**

Effects of noise within the VCO itself can be evaluated by considering a closed loop situation with an external noise source,  $e_n$ , introduced at the VCO (Figure 23). Resultant modulation of the VCO by error voltage,  $\epsilon$ , is a second order high pass function:

$$\frac{\epsilon}{e_n} = \frac{S^2}{S^2 + \frac{ST_1K\phi KV}{T_2N} + \frac{K\phi KV}{T_2N}} \quad (23)$$

$$= \frac{S^2}{S^2 + 2\zeta\omega_n S + \omega_n^2}$$

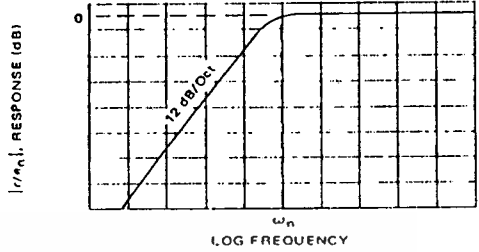
FIGURE 23 — EFFECTS OF VCO NOISE



$$\frac{\epsilon}{e_n} = \frac{S^2}{S^2 + 2\zeta\omega_n S + \omega_n^2}$$

This function has a slope of 12 dB/octave at frequencies less than  $\omega_n$  (loop natural frequency), as shown in Figure 24. This means that noise components in the VCO above  $\omega_n$  will pass unattenuated and those below will have some degree of suppression. Therefore choice of loop natural frequency may well rest on VCO noise quality.

FIGURE 24 — LOOP RESPONSE TO VCO NOISE

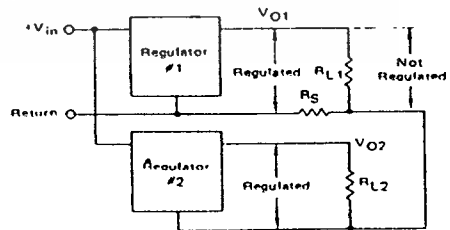


**Other Spurious Responses**

Spurious components appearing in the output spectrum are seldom due to reference frequency feedthrough alone. Modulation of any kind appearing on the VCO control line will cause spurious sidebands and can come in through the loop amplifier supply, bias circuitry in the control path, a translator, or even the VCO supply itself. Some VCOs have a relatively high sensitivity to power supply variation. This should be investigated and its effects considered. Problems of this nature can be minimized by operating all devices except the phase detector, charge pump, and VCO from a separate and well isolated supply. A common method uses a master supply of about 10 or 12 volts and two regulators to produce voltages for the PLL — one for all the logic (including the phase detector) and the other for all circuitry associated with the VCO control line.

Sideband and noise performance is also a function of good power supply and regulator layout. As mentioned earlier, extreme care should be exercised in isolating the control line voltage to the VCO from influences other than the phase detector. This not only means good voltage regulation but ac bypassing and adherence to good grounding techniques as well. Figure 25 shows two separate regulators and their respective loads. Resistor  $R_S$  is a small stray resistance due to a common thin ground return for both  $R_{L1}$  and  $R_{L2}$ . Any noise in  $R_{L2}$  is now reproduced (in a suppressed form) across  $R_{L1}$ . Load current from  $R_{L1}$  does not affect the voltage across  $R_{L2}$ . Even though the regulators may be quite good, they can hold  $V_O$  constant only across their outputs, not necessarily across the load (unless remote sensing is used).

FIGURE 25 — LOOP VOLTAGE REGULATION



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

One solution to the ground-coupled noise problem is to lay out the return path with the most sensitive regulated circuit at the farthest point from power supply entry as shown in Figure 26.

Even for regulated subcircuits, accumulated noise on the ground bus can pose major problems since although the cross currents do not produce a differential load voltage directly, they do produce essentially common mode noise on the regulators. Output differential load noise then is a function of the input regulation specification. By far the best way to sidestep the problem is to connect each subcircuit ground to the power supply entry return line as shown in Figure 27.

FIGURE 26 — REGULATOR LAYOUT

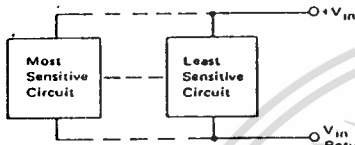
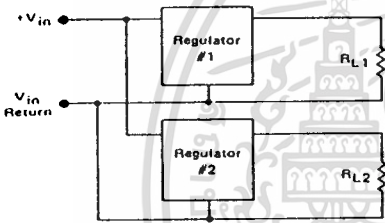
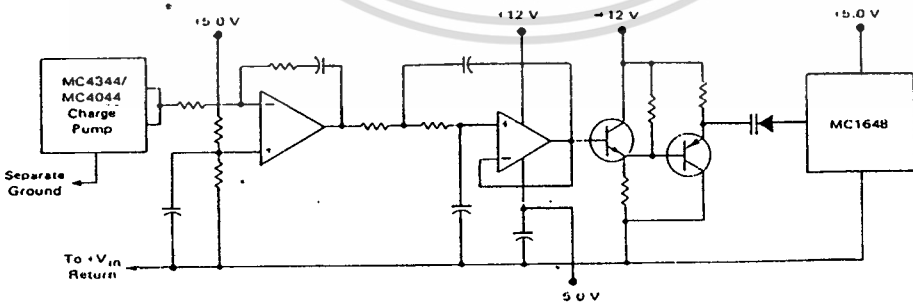


FIGURE 27 — REGULATOR GROUND CONNECTION



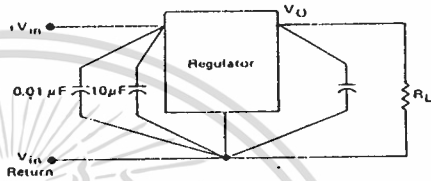
In Figures 25 and 27,  $R_{L1}$  and  $R_{L2}$  represent component groups in the system. The designer must insure that all ground return leads in a specific component group are returned to the common ground. Probably the most overlooked components are bypass capacitors. To minimize sidebands, extreme caution must be taken in the area immediately following the phase detector and through the VCO. A partial schematic of a typical loop amplifier and filter is shown in Figure 28 to illustrate the common grounding technique.

FIGURE 28 — PARTIAL SCHEMATIC OF LOOP AMPLIFIER AND FILTER



Bypassing in a phase-locked loop must be effective at both high frequencies and low frequencies. One capacitor in the 1.0-to-10  $\mu\text{F}$  range and another between 0.01 and 0.001  $\mu\text{F}$  are usually adequate. These can be effectively utilized both at the immediate circuitry (between supply and common ground) and the regulator if it is some distance away. When used at the regulator, a single electrolytic capacitor on the output and a capacitor pair at the input is most effective (Figure 29). It is important, again, to note that these bypasses go from the input/output pins to as near the regulator ground pin as possible.

FIGURE 29 — SUGGESTED BYPASSING PROCEDURE

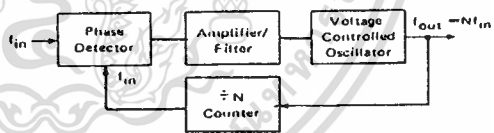


APPLICATIONS INFORMATION

Frequency Synthesizers

The basic PLL discussed earlier is actually a special case of frequency synthesis. In that instance,  $f_{out} = f_{in}$ , although normally a programmable counter in the feedback loop insures the general rule that  $f_{out} = Nf_{in}$  (Figure 30). In the synthesizer  $f_{in}$  is usually constant (crystal controlled) and  $f_{out}$  is changed by varying the programmable divider ( $+ N$ ). By stepping  $N$  in integer increments, the output frequency is changed by  $f_{in}$  per increment. In com-

FIGURE 30 — PHASE-LOCKED LOOP WITH PROGRAMMABLE COUNTER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

munication use, this input frequency ( $f_{ref}$ ) is called the "channel spacing" or, in general, it is the reference frequency.

There is essentially no difference in loop dynamic problems between the basic PLL and synthesizers except that synthesizer designers must contend with problems peculiar to loops where  $N$  is variable and greater than 1. Also, sidebands or spectral purity usually require special attention. These and other aspects are discussed in greater detail in AN-535. The steps for a suitable synthesis procedure may be summarized as follows:

**Synthesis Procedure**

1. Choose input frequency. ( $f_{ref}$  = channel spacing)
2. Compute the range of digital division:

$$N_{max} = \frac{f_{max}}{f_{ref}}$$

$$N_{min} = \frac{f_{min}}{f_{ref}}$$

3. Compute needed VCO range:

$$(2f_{max} - f_{min}) < f_{VCO} < (2f_{min} - f_{max})$$

4. Choose minimum  $\zeta$  from transient response plot, Figure 9. A good starting point is  $\zeta = 0.5$ .
5. Choose  $\omega_n$  from needed response time (Figure 9):

$$\omega_n = \frac{\omega_n t}{t}$$

6. Compute  $C$ :

$$C = \frac{K_{\phi} K_V}{N_{max} \omega_n^2 R_1}$$

7. Compute  $R_2$ :

$$R_2 = \frac{2\zeta_{min}}{\omega_n C}$$

8. Compute  $\zeta_{max}$ :

$$\zeta_{max} = \zeta_{min} \sqrt{\frac{N_{max}}{N_{min}}}$$

9. Check transient response of  $\zeta_{max}$  for compatibility with transient specification.
10. Compute expected sidebands:

$$\frac{\text{sideband}}{f_{out}} = \frac{(I_b + I_L) R_2 K_V}{\omega_{ref}} \quad (A)$$

( $I_L$  is about 100 nA at  $T_j = 25^\circ\text{C}$ .)

11. If step 10 yields larger sidebands than are acceptable, add a single pole at the loop amplifier by splitting  $R_1$  and adding  $C_c$  as shown in Figure 15:

$$C_c = \frac{0.8}{R_1 \omega_n}$$

Added sideband suppression (dB) is:

$$\text{dB} \approx 20 \log_{10} \frac{1}{\sqrt{1 + \frac{\omega_{ref}^2}{25(\omega_n)^2}}} \quad (B)$$

12. If step 11 still does not give the desired results, add a second order section at  $\omega_c = 5 \omega_n$  using either the configuration of Figure 20 or 21. The expected improvement is twice that of the single pole in step 11.

$$\text{dB} \approx 40 \log_{10} \frac{1}{\sqrt{1 + \frac{\omega_{ref}^2}{25(\omega_n)^2}}} \quad (C)$$

Total sideband rejection is then the total of  $20 \log_{10}(A) + (B) + (C)$ .

**Design Example (Figure 31)**

Assume the following requirements:

Output frequency,  $f_{out} = 2.0 \text{ MHz}$  to  $3.0 \text{ MHz}$

Frequency steps,  $f_{in} = 100 \text{ kHz}$

Lockup time between channels (to 5%) = 1.0 ms

Overshoot < 20%.

Minimum sideband suppression = -30 dB

From the steps of the synthesis procedure:

1.  $f_{ref} = f_{in} = 100 \text{ kHz}$

$$2. N_{max} = \frac{f_{max}}{f_{ref}} = \frac{3.0 \text{ MHz}}{0.1 \text{ MHz}} = 30$$

$$N_{min} = \frac{f_{min}}{f_{ref}} = \frac{2.0 \text{ MHz}}{0.1 \text{ MHz}} = 20$$

3. VCO range:

The VCO output frequency range should extend beyond the specified minimum-maximum limits to accommodate the overshoot specification. In this instance  $f_{out}$  should be able to cover an additional 20% on either end. End limits on the VCO are:

$$f_{out(max)} \geq 3.0 + 0.2(1.0) = 3.2 \text{ MHz}$$

$$f_{out(min)} \leq 2.0 - 0.2(1.0) = 1.8 \text{ MHz}$$

This VCO range ( $\approx 1.8:1$ ) is realizable with the MC4324/4024 voltage controlled multivibrator. From Figure 5 of the MC4324/4024 data sheet we find the required tuning capacitor value to be 120 pF and the VCO gain,  $K_V$ , typically  $11 \times 10^6 \text{ rad/s/v}$ .

4. From the step response curve of Figure 9,  $\zeta = 0.8$  will produce a peak overshoot less than 20%.
5. Referring to Figure 9, overshoot with  $\zeta = 0.8$  will settle to within 5% at  $\omega_n t = 4.5$ . Since the required lock-up time is 1.0 ms.

$$\omega_n = \frac{\omega_n t}{t} = \frac{4.5}{0.001} = (4.5)(10^3) \text{ rad/s}$$

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. In order to compute C, phase detector gain and R1 must be selected. Phase detector gain,  $K_{pd}$ , for the MC4344/4044 is approximately 0.1 volt/radian with  $R_1 = 1 \text{ k}\Omega$ . Therefore,

$$C = \frac{(0.1)(11 \times 10^6)}{(30)(4.5 \times 10^3)^2(10^3)} = 1.8 \mu\text{F}$$

7. At this point,  $R_2$  can be computed:

$$R_2 = \frac{2\zeta_{\min}}{\omega_n C} = \frac{1.6}{(4.5 \times 10^3)(1.8 \times 10^{-6})} = 200 \Omega$$

8.  $\zeta_{\max} = \zeta_{\min} \sqrt{\frac{N_{\max}}{N_{\min}}} = 0.98$

9. Figure 9 shows that  $\zeta = 0.98$  will meet the settling time requirement.

10. Sidebands may be computed for two cases: (1) with  $I_L$  (charge pump leakage current) nominal (100 nA), and (2) with  $I_L$  maximum (5.0  $\mu\text{A}$ ). A value of 5  $\mu\text{A}$  will also be assumed for the amplifier bias current,  $I_b$ .

$$\left. \frac{\text{sideband}}{f_{\text{out}}} \right|_{\text{max}} = \frac{(10 \times 10^{-6})(200)(11 \times 10^6)}{6.28 \times 10^5} = 35 \times 10^{-3}$$

The sideband-to-center frequency ratio nominally will be:

$$\left. \frac{\text{sideband}}{f_{\text{out}}} \right|_{\text{nom}} = \frac{5.1}{10} \times 35 \times 10^{-3} = 20 \log_{10}(17.85 \times 10^{-3}) \approx -35 \text{ dB}$$

If desired additional sideband filtering can be obtained as noted in steps 11 and 12.

11. By splitting  $R_1$  and  $C_C$ , further attenuation can be gained. The magnitude of  $C_C$  is approximately:

$$C_C = \frac{0.8}{R_1 \omega_n} = \frac{0.8}{(10^3)(4.5)(10^3)} = 0.18 \mu\text{F}$$

Improvement in sidebands will be:

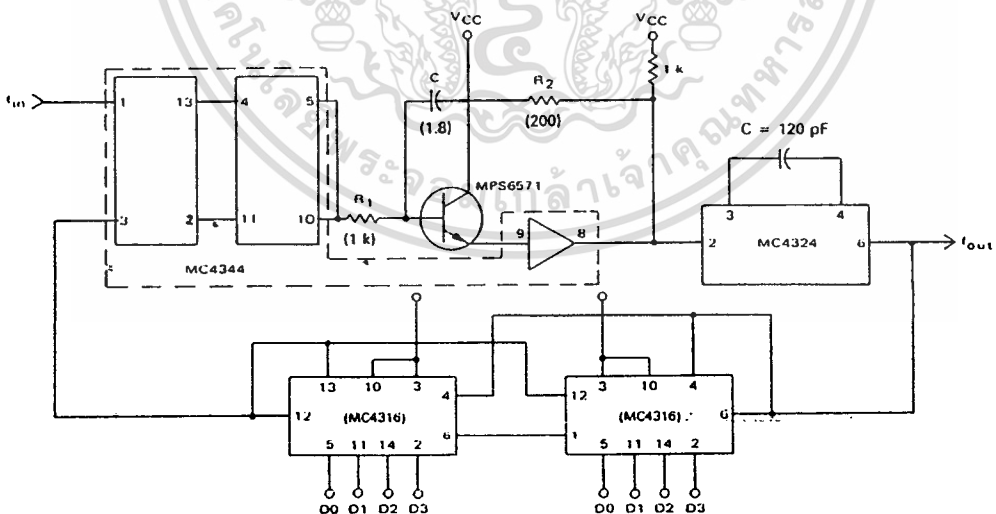
$$20 \log_{10} \frac{1}{\sqrt{1 + \frac{(2\pi \times 10^5)^2}{25(4.5 \times 10^3)^2}}} = -28 \text{ dB}$$

Nominal suppression is now -63 dB. Worst-case is 6 dB higher than nominal suppression of -57 dB. This is well within the -30 dB design requirement, step 12 is included for completeness only.

12. Attenuation of a second order filter is double that of the single order filter section described in step 11. The calculations for a second order filter indicate an additional -56 dB of sideband rejection. Figures 20 and 21 show two second order filter configurations. If R is assigned a value of 10 k $\Omega$  then C may be calculated.

$$C = \frac{0.1}{\omega_n R} = \frac{0.1}{(4.5 \times 10^3)(10^4)} = 0.0022 \mu\text{F}$$

FIGURE 31 — CIRCUIT DIAGRAM OF TYPE 2 PHASE-LOCKED LOOP



**Clock Recovery from Phase-Encoded Data**

The electro-mechanical system used for recording digital data on magnetic tape often introduces random variations in tape speed and data spacing. Because of this and the encoding technique used, it is usually necessary to regenerate a synchronized clock from the data during this read cycle. One method for doing this is to phase-lock a voltage controlled multivibrator to the data as it is read (Figure 32).

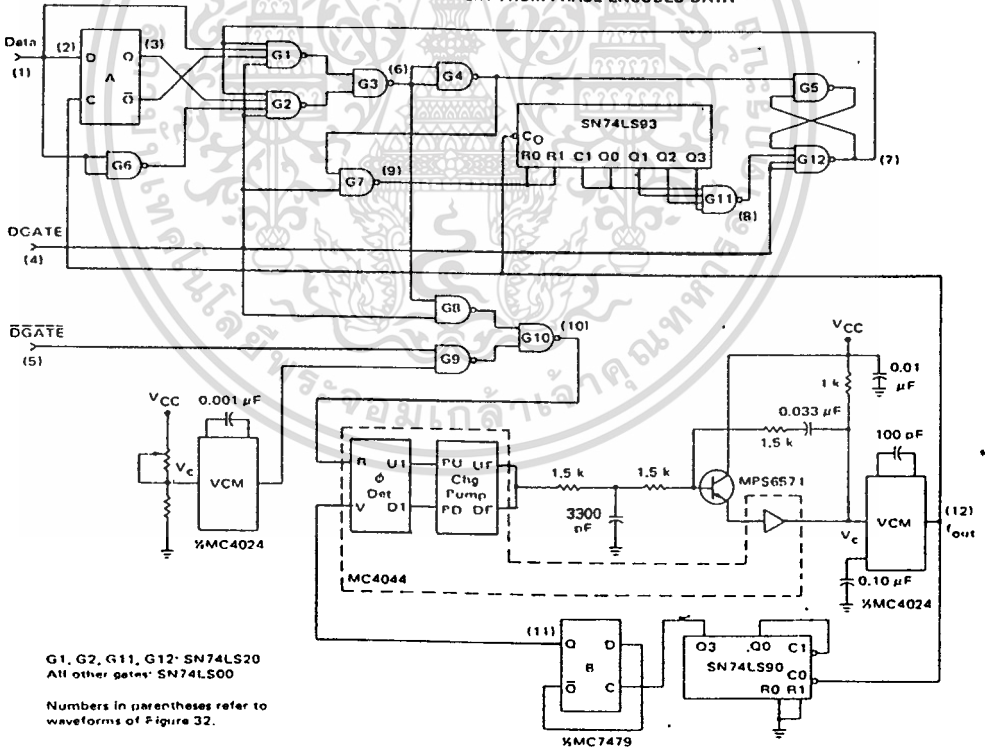
A typical data block using the phase encoded format is shown in row 1 of Figure 33. The standard format calls for recording a preamble of forty "0"s followed by a single "1"; this is followed by from 18 to 2048 characters of data and a postamble consisting of a "1" followed by forty "0"s. The encoding format records a "0" as a transition from low to high in the middle of a data cell. A "1" is indicated by a transition from high to low at the data cell midpoint. When required, phase transitions occur at the end of data cells. If a string of either consecutive "0"s or consecutive "1"s is recorded, the format duplicates the original clock; the clock is easily recovered by straight forward synchronization with a phase-locked loop. In the general case, where the data may appear in any order, the phase-encoded data must be processed to obtain a single pulse during each data cell before it is applied to the phase detector. For example, if the data

consisted only of alternating "1"s and "0"s, the phase-encoded format would result in a waveform equal to one-half the original clock frequency. If this were applied directly to the loop, the VCM would of course move down to that frequency. The encoding format insures that there will be a transition in the middle of each data time. If only these transitions are sensed they can be used to regenerate the clock. The schematic diagram of Figure 32 indicates one method of accomplishing this.

The logic circuitry generates a pulse at the midpoint of each data cell which is then applied to the reference input of the phase detector. The loop VCM is designed to operate at some multiple of the basic clock rate. The VCM frequency selected depends on the decoding resolution desired and other system timing requirements. In this example, the VCM operates at twenty-four times the clock rate (Figure 33, Row 12).

Referring to Figure 32 and the timing diagram of Figure 33, the phase-encoded data (Figure 33, Row 1) is combined with a delayed version of itself (output of flip-flop A row 3) to provide a positive pulse out of G3 for every transition of the input signal. Portions of the data block are shown expanded in row 2 of Figure 33. Flip-flop A delays the incoming data of one-half of a VCM clock period. Gates G1, G2 and G3 implement the logic Exclusive OR of waveforms 1 and 3 except when inhibited by DGATE (row 4) or the output of G12 (row 7). DGATE and

FIGURE 32 — CLOCK RECOVERY FROM PHASE-ENCODED DATA



its complement,  $\overline{DGATE}$ , serve to initialize the circuitry and insure that the first transition of the data block (a phase transition) is ignored. The MC7493 binary counter and the G5-G12 latch generate a suitable signal for gating out G3 pulses caused by phase transitions at the end of a data cell, such as the one shown dashed in row 6.

The initial data pulse from G3 sets G12 low and is combined with DGATE in G7 to reset the counter to its zero state. Subsequent VCM clock pulses now cycle the counter and approximately one-third of the way through the next data cell the counter's full state is decoded by G11, generating a negative transition. This causes G12 to go high, removing the inhibit signal until it is again reset by the next data transition. This pulse also resets the counter, continuing the cycle and generating a positive pulse at the midpoint of each data cell as required.

Acquisition time is reduced if the loop is locked to a frequency approximately the same as the expected data rate during inter-block gaps. In Figure 32, this is achieved by operating the remaining half of the dual VCM at slightly less than the data rate and applying it to the reference input of the phase detector via the G8-G9-G10 data selector. When data appears, DGATE and  $\overline{DGATE}$  cause the output of G3 to be selected as the reference input to the loop.

The loop parameters are selected as a compromise between fast acquisition and jitter-free tracking once synchronization is achieved. The resulting filter component values indicated in Figure 32 are suitable for recovering the clock from data recorded at a 120 kHz rate, such as would result in a tape system operating at 75 i.p.s. with a recording density of 1600 b.p.i. Synchronization is achieved by approximately the twenty-fourth bit time of the preamble. The relationship between system requirements and the design procedure is illustrated by the following sample calculation:

Assume a  $-3.0$  dB loop bandwidth much less than the input data rate ( $\approx 120$  kHz), say 10 kHz. Further, assume a damping factor of  $\zeta = 0.707$ . From the expression for loop bandwidth as a function of damping factor and undamped natural frequency,  $\omega_n$ , calculate  $\omega_n$  as:

$$\omega_{-3\text{ dB}} = \omega_n \left( 1 + 2\zeta^2 + \sqrt{2 + 4\zeta^2 + 4\zeta^4} \right)^{1/2} \quad (24)$$

or for  $\omega_{-3\text{ dB}} = (2\pi)10^4$  rad/s and  $\zeta = 0.707$ :

$$\omega_n = \frac{(2\pi)10^4}{2.06} = (3.05)10^4 \text{ rad/s}$$

As a rough check on acquisition time, assume that lockup should occur not later than half-way through a 40-bit preamble, or for twenty 8.34  $\mu$ s data periods.

$$\omega_n t = (3.05)10^4 (20)(8.34)10^{-6} = 5.1 \quad (26)$$

From Figure 9, the output will be within 2 to 3% of its final value for  $\omega_n t \approx 5$  and  $\zeta = 0.707$ . The filter components are calculated by:

$$\frac{K_\phi K_V}{R_1 C N} = \omega_n^2 \quad (27)$$

and

$$\frac{K_\phi K_V R_2}{R_1 N} = 2\zeta\omega_n \quad (28)$$

where  $K_\phi = 0.115$  v/rad  
 $K_V = (18.2)10^6$  rad/s/volt  
 $N = 24 =$  Feedback divider ratio  
 $\omega_n = (3.05)10^4$  rad/s  
 $\zeta = 0.707$

$$\frac{K_\phi K_V}{N} = \frac{(0.115)(18.2)10^6}{24} = (8.72)10^4$$

From Equation 27:

$$R_1 C = \frac{K_\phi K_V}{N \omega_n^2} = \frac{(8.72)10^4}{(3.05)^2 10^8} = (9.34)10^{-5}$$

From Equation 28:

$$\frac{R_2}{R_1} = \frac{2\zeta\omega_n N}{K_\phi K_V} = \frac{2(0.707)(3.05)10^4}{(8.72)10^4} = 0.494 \approx 1/2$$

Let  $R_1 = 3.0$  k $\Omega$ ; then  $R_2 = 1.5$  k $\Omega$  and

$$C = \frac{(9.34)10^{-5}}{(3.0)10^3} = (3.1)10^{-8}$$

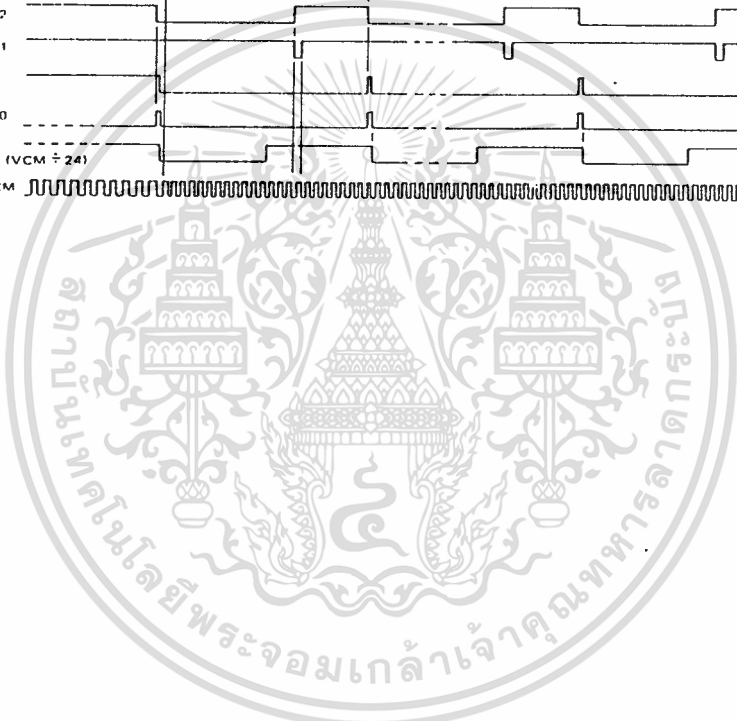
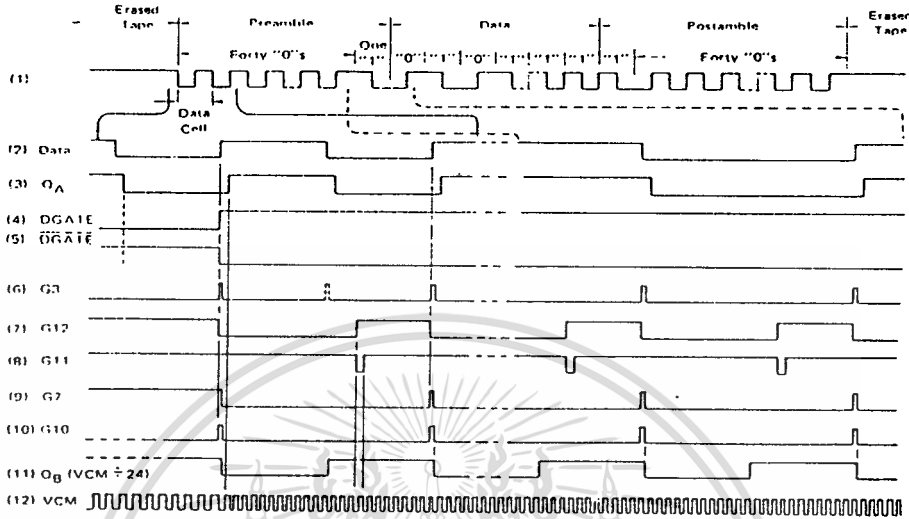
or using a close standard value, use  $C = 0.033$   $\mu$ F. Now add the additional prefiltering by splitting  $R_1$  and selecting a time constant for the additional section so that it is large with respect to  $R_2 C$ .

$$10(1/2 R_1) C = R_2 C$$

or

$$C = \frac{2R_2 C}{10R_1} = \frac{2(1.5)10^3(3.1)10^{-8}}{10(3.0)10^3} = 3300 \text{ pF}$$

FIGURE 33 — TIMING DIAGRAM — CLOCK RECOVERY FROM PHASE-ENCODED DATA



6

**MWA110  
MWA120  
MWA130**

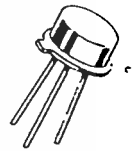


**WIDEBAND HYBRID AMPLIFIERS**

... single stage amplifiers designed for broadband linear applications up to 400 MHz.

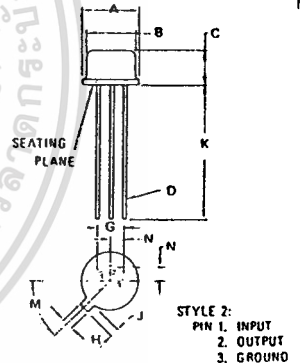
- Low-Cost TO-39 Type Package
- Gain 14 dB Typ
- 50 Ω Input and Output Impedance
- Fully Cascadable for Any Gain
- Thin Film Construction
- Hermetic Package
- Guaranteed Performance from -25°C to +125°C

**DC-400 MHz WIDEBAND  
GENERAL-PURPOSE  
HYBRID AMPLIFIERS**



**MAXIMUM RATINGS**

Rating	Symbol	Value			Unit
		MWA110	MWA120	MWA130	
RF Input Power	$P_{in}$	100			mW
DC Supply Current	$I_D$	25	55	100	mA
Maximum Case Temperature	$T_C$	125			°C
Storage Temperature Range	$T_{stg}$	-65 to +200			°C
<b>OPERATING CONDITIONS</b>					
Device Voltage	$V_D$	2.9	5.0	5.5	Vdc
Device Current	$I_D$	10	25	60	mAdc
Decoupling Impedance	$Z_D$	1000	1000	330	Ω



STYLE 2:  
PIN 1. INPUT  
PIN 2. OUTPUT  
PIN 3. GROUND

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	8.51	9.40	0.335	0.370
B	7.75	8.51	0.305	0.335
C	3.81	4.57	0.150	0.180
D	0.41	0.48	0.016	0.019
G	5.08 BSC		0.200 BSC	
H	0.71	0.86	0.028	0.034
J	0.74	1.14	0.029	0.045
K	12.70	-	0.500	-
M	45° BSC		45° BSC	
N	2.54 BSC		0.100 BSC	

NOTE:  
1. LEADS WITHIN 0.36 mm (0.014) DIA  
OF TRUE POSITION AT SEATING  
PLANE AT MAXIMUM MATERIAL CONDITION

CASE 31A-01

MOTOROLA RF DEVICE DATA

5-88

5.3

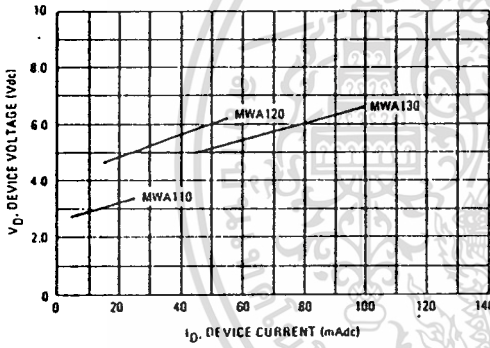
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MWA110, MWA120, MWA130

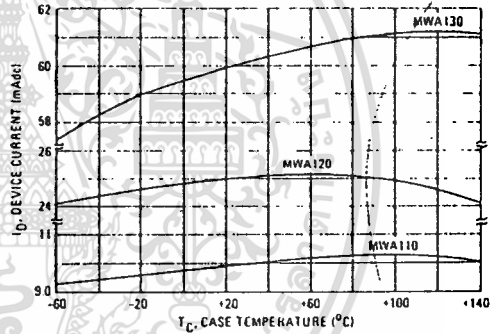
**ELECTRICAL CHARACTERISTICS** ( $T_C = -25$  to  $+125^\circ\text{C}$ , 50  $\Omega$  system and specified operating conditions)

Characteristic	Symbol	Min	Typ	Max	Unit
Frequency Range	BW	0.1	-	400	MHz
Power Gain	$G_p$	13	14	-	dB
Response Flatness	F	-	0	$\pm 1.0$	dB
Input VSWR					
MWA110/120				2.5:1	-
MWA130				3:1	-
Output VSWR					
MWA110/120/130				2.5:1	-
Output @ 1 dB Gain Compression					dBm
MWA110		-	-2.5	-	
MWA120		-	+8.2	-	
MWA130		-	+18	-	
Noise Figure	NF				dB
MWA110		-	4.0	-	
MWA120		-	5.5	-	
MWA130		-	7.0	-	
Reverse Isolation	$P_{RI}$				dB
MWA110		-	18.8	-	
MWA120		-	19.2	-	
MWA130		-	16.8	-	
Harmonic Output	$d_{50}$				dB
MWA110 ( $P_{out} = -9$ dBm)		-	-24	-	
MWA120 ( $P_{out} = 0$ dBm)		-	-34	-	
MWA130 ( $P_{out} = +10$ dBm)		-	-35	-	

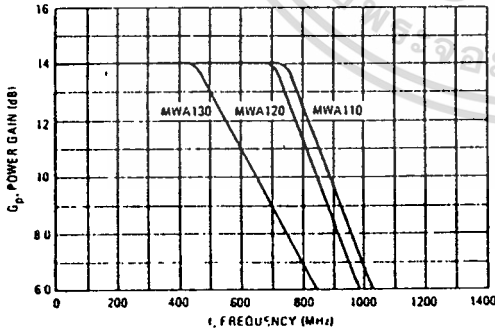
**FIGURE 1 – DEVICE VOLTAGE versus DEVICE CURRENT**



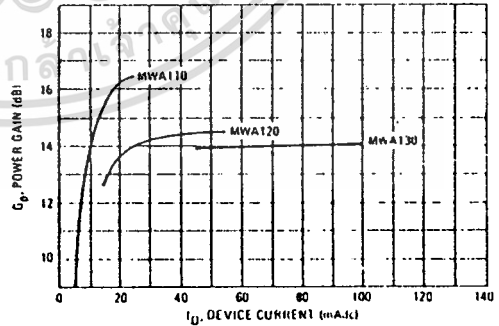
**FIGURE 2 – DEVICE CURRENT versus CASE TEMPERATURE**



**FIGURE 3 – POWER GAIN versus FREQUENCY**



**FIGURE 4 – POWER GAIN versus DEVICE CURRENT**  
 $f = 400$  MHz



5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MWA110, MWA120, MWA130

FIGURE 5 - POWER GAIN versus CASE TEMPERATURE  
f = 100 MHz

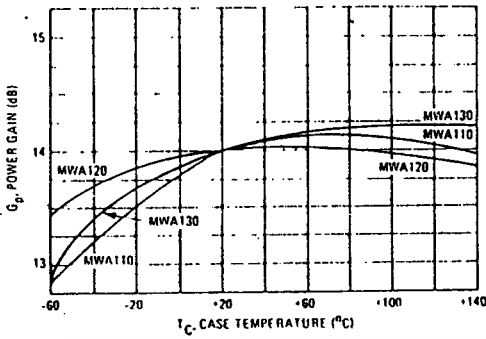


FIGURE 6 - POWER GAIN versus CASE TEMPERATURE  
f = 400 MHz

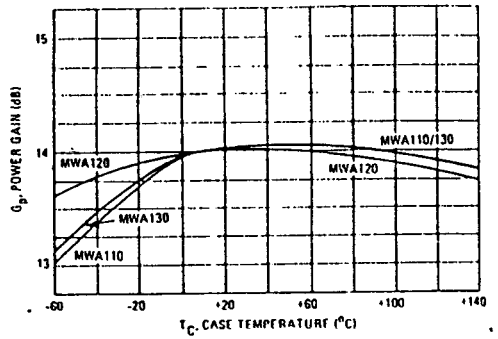


FIGURE 7 - VSWR versus FREQUENCY  
MWA110

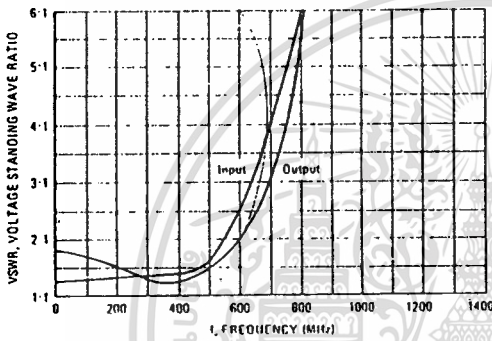


FIGURE 8 - VSWR versus FREQUENCY  
MWA120

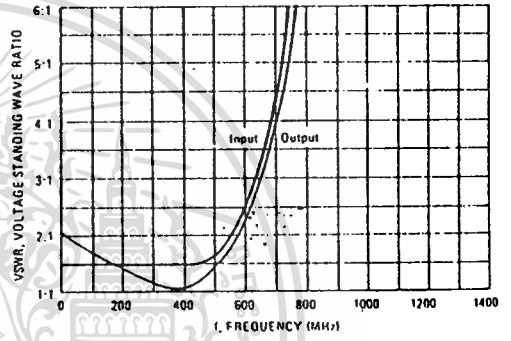
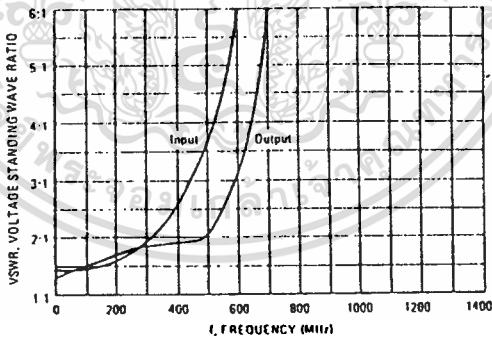


FIGURE 9 - VSWR versus FREQUENCY  
MWA130



5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 10 – INPUT AND OUTPUT IMPEDANCE versus FREQUENCY  
MWA110

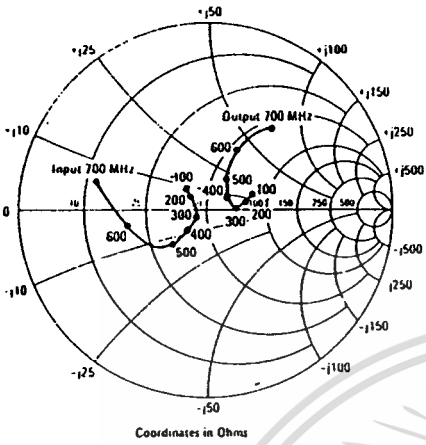


FIGURE 11 – INPUT AND OUTPUT IMPEDANCE versus FREQUENCY  
MWA120

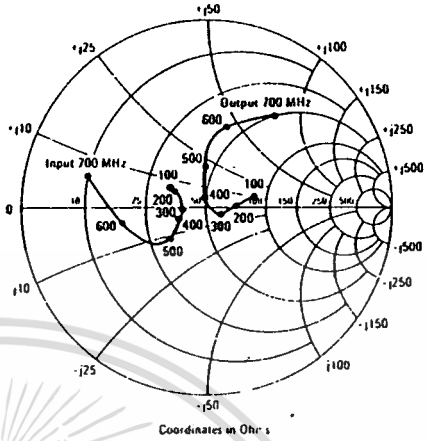


FIGURE 12 – INPUT AND OUTPUT IMPEDANCE versus FREQUENCY  
MWA130

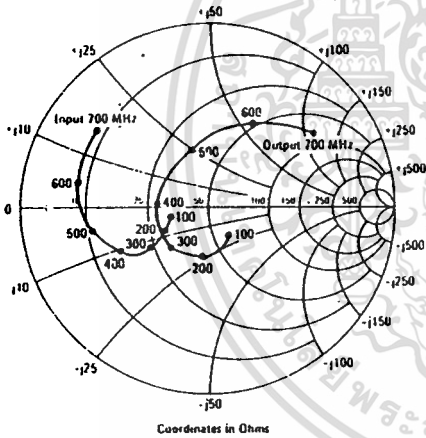
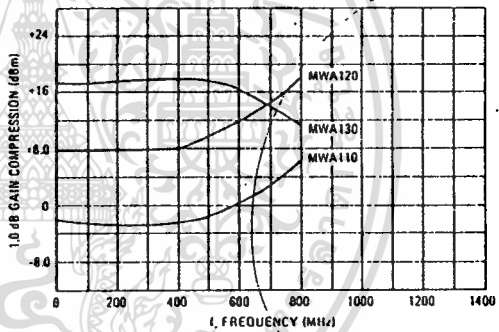


FIGURE 13 – 1.0 dB GAIN COMPRESSION versus FREQUENCY



5.3

MWA110, MWA120, MWA130

FIGURE 14 - 1.0 dB GAIN COMPRESSION versus DEVICE CURRENT  
f = 400 MHz

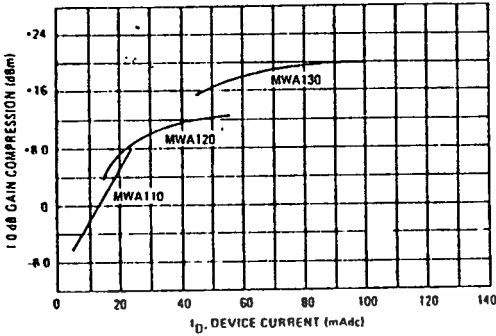


FIGURE 15 - 1.0 dB GAIN COMPRESSION versus CASE TEMPERATURE  
f = 400 MHz

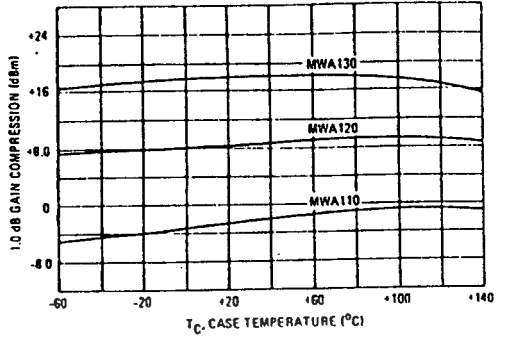


FIGURE 16 - NOISE FIGURE versus FREQUENCY

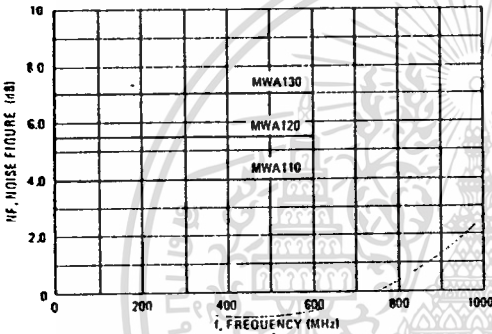


FIGURE 17 - REVERSE ISOLATION versus FREQUENCY

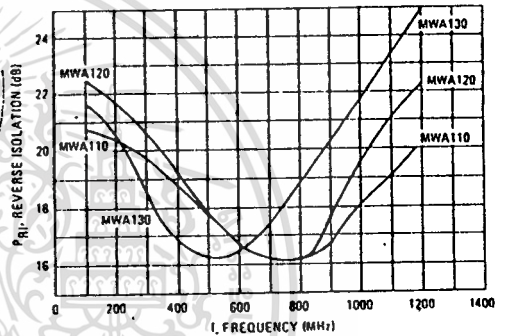


FIGURE 18 - SECOND HARMONIC OUTPUT versus FREQUENCY

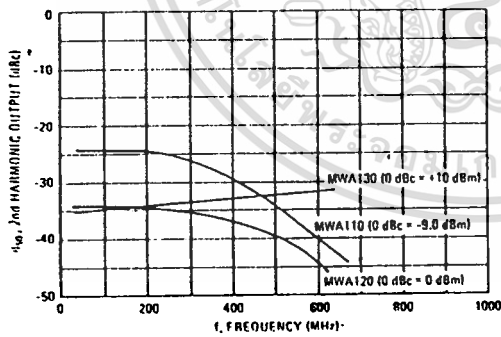


FIGURE 19 - SECOND AND THIRD ORDER INTERCEPT MWA110

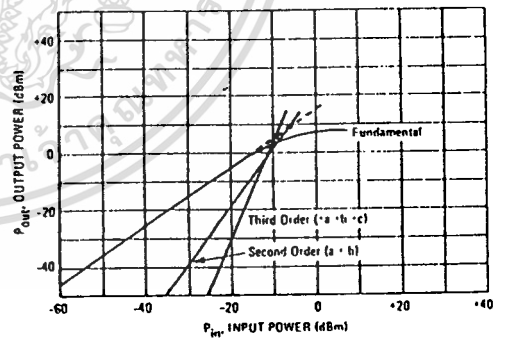


FIGURE 20 – SECOND AND THIRD ORDER INTERCEPT  
MWA120

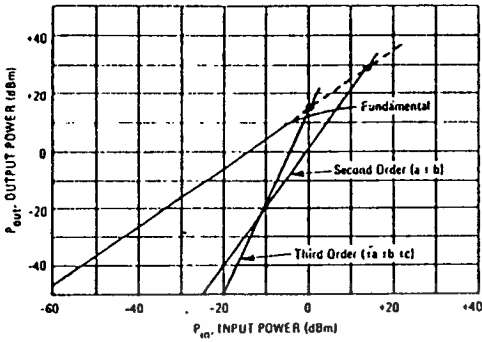


FIGURE 21 – SECOND AND THIRD ORDER INTERCEPT  
MWA130

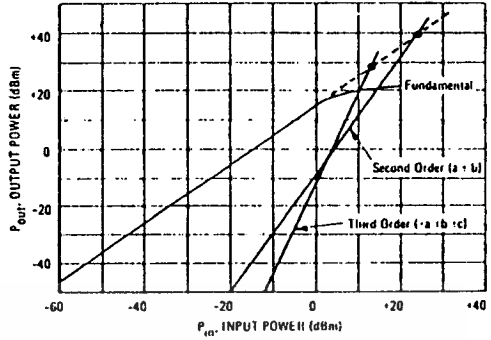


FIGURE 22 – INTERMODULATION DISTORTION  
versus POWER OUTPUT  
MWA110

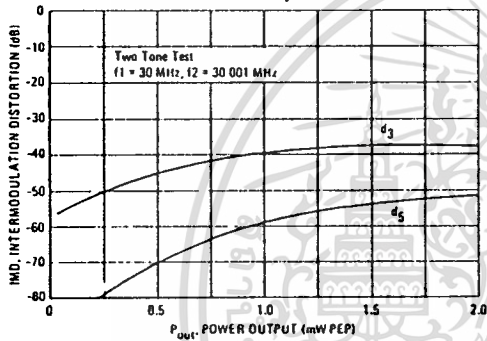


FIGURE 23 – INTERMODULATION DISTORTION  
versus POWER OUTPUT  
MWA120

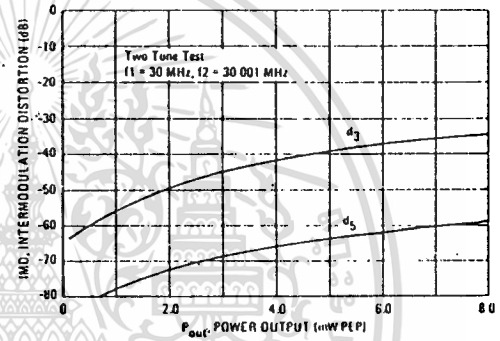


FIGURE 24 – INTERMODULATION DISTORTION  
versus POWER OUTPUT  
MWA130

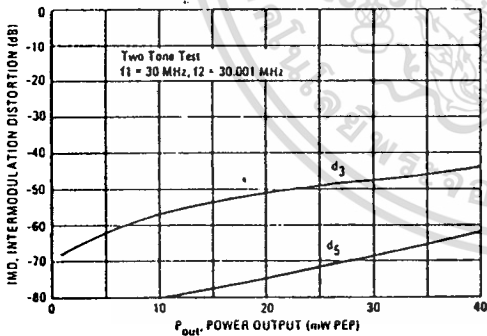
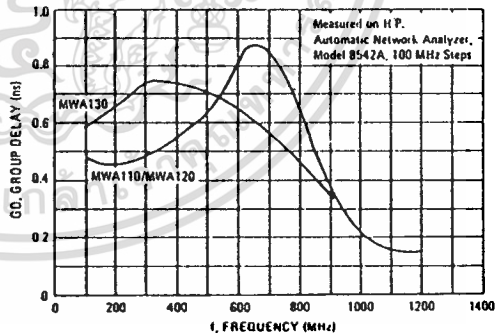


FIGURE 25 – GROUP DELAY versus FREQUENCY



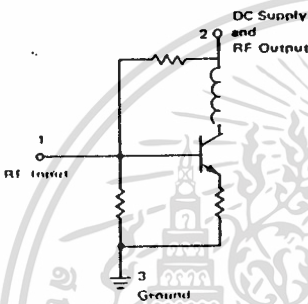
MWA SERIES HYBRID AMPLIFIER APPLICATIONS INFORMATION

The MWA series hybrid amplifiers are designed for wideband general purpose applications in 50 Ω systems. Fully cascadable for any gain combination, operable at voltages as low as 3 Vdc, and external control of the low frequency corner make the MWA amplifiers extremely versatile gain blocks.

Basic Circuit Configuration

Figure 26 shows the basic internal circuit. It is important to note that the specified operating conditions of voltage, current, and external decoupling impedance must be applied to the units in order to achieve the published electrical characteristics.

FIGURE 26 - INTERNAL CIRCUIT



Amplifier Application

The circuit schematic for a simple amplifier design is shown in Figure 27. External to the MWA hybrid amplifier the only components required are:

- Decoupling elements - Bypass Capacitor
- Decoupling Impedance (resistor/inductor)

DC Blocking Capacitors at the RF input and output.

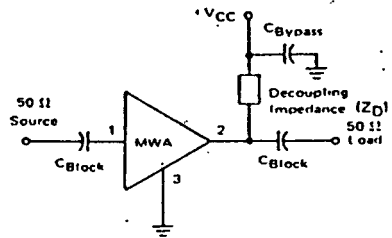
External Decoupling Impedance

In all cases the external bias (decoupling elements) must present an impedance which is large compared to the 50 Ω load impedance to minimize RF gain reduction. The loss in gain due to the decoupling impedance is given by the equation:

$$\text{Loss} = 20 \text{ Log} \frac{Z_D}{Z_D + 25} \text{ dB}$$

where  $Z_D$  = decoupling impedance in ohms. For example, if  $Z_D = 1 \text{ k}\Omega$ , Loss = 0.214 dB.

FIGURE 27 - AMPLIFIER SCHEMATIC DIAGRAM



Supply Voltage

The value of the external decoupling resistive impedance ( $R_D$ ) determines the supply voltage ( $+V_{CC}$ ) and is determined by the following equation:

$$V_{CC} = R_D \cdot I_D + V_D$$

where  $I_D$  and  $V_D$  are the device current and voltage stated in the data sheet. For example, for MWA110,

$$I_D = 10 \text{ mA}$$

$$V_D = 2.9 \text{ V}$$

and, if  $R_D = 330 \Omega$ , then

$$V_{CC} = 6.2 \text{ V}$$

More commonly  $V_{CC}$  is predetermined and  $R_D$  may be calculated from:

$$R_D = \frac{V_{CC} - V_D}{I_D}$$

If an RF choke is used for decoupling, then the supply voltage ( $V_{CC}$ ) required is equal to the device voltage ( $V_D$ ).

Low Frequency Response

The value of the blocking capacitors determines the low frequency response of the amplifier. The following expression is used to determine the blocking capacitor value to yield a desired 3 dB low frequency corner ( $f_{LFC}$ ).

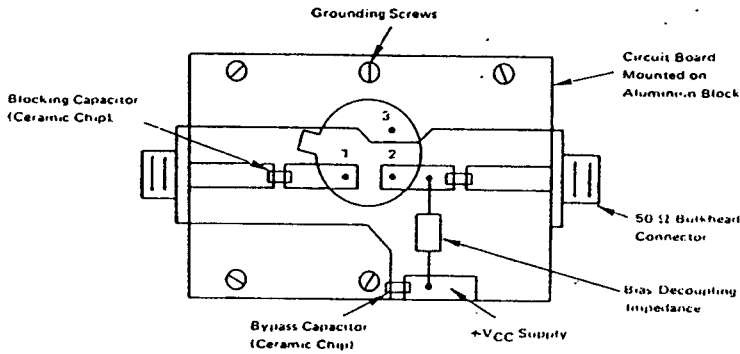
$$C_{Block} (\text{Farads}) = \frac{1}{100 \pi (f_{LFC} (\text{Hz}))}$$

Bypass Capacitor

The reactive impedance of the bypass capacitor should be small compared to the impedance of the decoupling element at the lowest frequency of operation.

3

FIGURE 28 — TEST FIXTURE



Note The circuitry indicated is on the underside of the printed circuit board with sockets for the amplifier pins. The case of the amplifier should contact the printed circuit board top surface to ensure effective RF grounding

**Text Fixture**

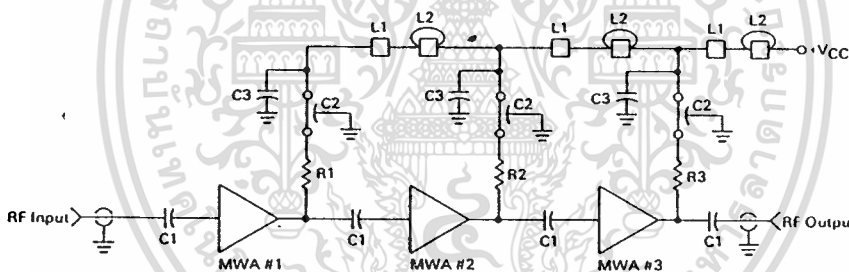
The 50 Ω input/output impedance levels of the MWA hybrids are most easily preserved on a circuit board by using 50 Ω microstrip transmission lines. Figure 28 is an example of a circuit board layout which utilizes microstrip transmission lines in conjunction with other sound RF construction techniques.

The characteristic impedance and corresponding line width of the microstrip are a function of the circuit board dielectric constant and thickness. The table lists appropriate line widths for 50 Ω microstrip lines on commonly used circuit board materials.

MATERIAL TYPE	DIELECTRIC CONSTANT	DIELECTRIC THICKNESS INCHES	LINE WIDTH INCHES
Teflon	2.5	0.03125	0.090
Fiberglass		0.0625	0.180
Fiberglass Epoxy	5.0	0.0625	0.100

As in all good RF circuit designs, care should be taken to minimize parasitic lead inductances and to provide adequate grounding.

FIGURE 29 — TYPICAL CASCADE



The dc isolation components shown are critical in maintaining good stability in multi-stage designs. Keep Pin #3 (Ground) as short as possible preferably soldering the case to the ground plane for best gain flatness to 1000 MHz.

- C1 — For operation to 400 MHz, 1000 pF, 50 mil Chip Capacitor - ATC 50 mil Case (5.0 MHz L.F.)
- C1 — For operation to 1000 MHz, 0.018 mF, Chip Capacitor for 0.25 MHz L.F. Cut-Off
- C2 — Feedthru Capacitor Centralab SFT-102, 1000 pF or Metuchen 54-794002-681M, 680 pF
- C3 — 0.1 μF Sprague 3CZ5U104X0050C5 - 50 Volt
- L1 — Ferroxcube Shielding Bead 56-590-65/4A - Single Wire
- L2 — Ferroxcube Shielding Bead 56-590-65/4A - 2 Turns #26 AWG

**Cascading**

The inherent stability of the MWA hybrid modules makes possible the cascading of two or more units with no oscillatory problems. Figure 29 shows a typical 3 hybrid cascade with measured data for 400 MHz and 1000 MHz hybrids.

	Cascade 1	Cascade 2
Frequency Range	0.25 to 400 MHz	5.0 to 1000 MHz
Gain	43.5 dB	20.5 dB
Gain Flatness	± 1.0 dB	± 0.75 dB
Input VSWR	2.0 : 1	2.4 : 1
Output VSWR	1.2 : 1	2.1 : 1
VCC Supply	12 Vdc	33 Vdc
I Supply	44 mAdc	150 mAdc
MWA #1	MWA110	MWA320
MWA #2	MWA110	MWA330
MWA #3	MWA120	MWA330
R1	1000 Ω	1000 Ω
R2	1000 Ω	500 Ω
R3	300 Ω	500 Ω

5.3

**BFX89  
BFY90**



**The RF Line**

**6.2**

**NPN SILICON HIGH-FREQUENCY TRANSISTORS**

... designed for VHF and UHF applications where high-gain, low-noise and good intermodulation characteristics are required. Particularly suited for wideband MATV amplifiers.

- High Current-Gain — Bandwidth Product —  $f_T$   
1.2 GHz (Min) @  $I_C = 25$  mA — BFX89  
1.3 GHz (Min) @  $I_C = 25$  mA — BFY90
- Low Noise Figure — NF  
6.5 dB (Max) @  $f = 500$  MHz — BFX89  
5.0 dB (Max) @  $f = 500$  MHz — BFY90
- High Power Gain —  $G_{pe}$   
19 dB (Min) @  $f = 200$  MHz — BFX89  
21 dB (Typ) @  $f = 200$  MHz — BFY90
- JEDEC Equivalents — 2N6304, 2N6305

$f_T = 2.0$  GHz @ 10 mA

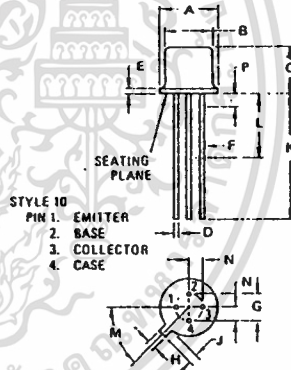
**HIGH FREQUENCY TRANSISTORS**

NPN SILICON



**MAXIMUM RATINGS**

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	$V_{CE0}$	15	Vdc
Collector-Base Voltage	$V_{CB0}$	30	Vdc
Emitter-Base Voltage	$V_{EB0}$	2.5	Vdc
Collector-Current — Continuous	$I_C$	50	mA
Total Continuous Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above $25^\circ\text{C}$	$P_D$	200 1.14	mW mW/ $^\circ\text{C}$
Storage Temperature Range	$T_{stg}$	-65 to +200	$^\circ\text{C}$



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	5.31	5.84	0.209	0.230
B	4.52	4.55	0.178	0.185
C	4.32	5.33	0.170	0.210
D	0.41	0.53	0.016	0.021
E	—	0.76	—	0.030
F	0.41	0.48	0.016	0.019
G	2.54 BSC		0.100 BSC	
H	0.91	1.17	0.036	0.046
J	0.71	1.22	0.028	0.048
K	12.70	—	0.500	—
L	6.35	—	0.250	—
M	45° BSC		45° BSC	
N	1.27 BSC	—	0.050 BSC	—
P	—	1.27	—	0.050

ALL JEDEC dimensions and notes apply

**CASE 20-3  
TO-72**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# BFX89, BFY90

## ELECTRICAL CHARACTERISTICS (T<sub>A</sub> = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
<b>OFF CHARACTERISTICS</b>					
Collector-Emitter Breakdown Voltage (I <sub>C</sub> = 10 mA, I <sub>B</sub> = 0)	V <sub>(BR)CEO</sub>	15	—	—	Vdc
Collector Cutoff Current (V <sub>CE</sub> = 15 Vdc, I <sub>E</sub> = 0)	I <sub>CBO</sub>	—	—	10	nAdc

## ON CHARACTERISTICS

DC Current Gain (I <sub>C</sub> = 2.0 mA, V <sub>CE</sub> = 1.0 Vdc) (I <sub>C</sub> = 25 mA, V <sub>CE</sub> = 1.0 Vdc)	h <sub>FE</sub>	25 20	— —	150 125	—
--	-----------------	----------	--------	------------	---

## DYNAMIC CHARACTERISTICS

Collector-Base Capacitance (1) (V <sub>CB</sub> = 10 Vdc, I <sub>E</sub> = 0, f = 1.0 MHz)	BFX89 BFY90	C <sub>cbo</sub>	— —	0.85 0.85	1.7 1.5	pF
Emitter-Base Capacitance (V <sub>EB</sub> = 0.5 Vdc, I <sub>C</sub> = 0, f = 1.0 MHz)	BFY90	C <sub>ibo</sub>	—	—	2.0	pF
Current-Gain-Bandwidth Product (2) (I <sub>C</sub> = 2.0 mA, V <sub>CE</sub> = 5.0 Vdc, f = 500 MHz)	BFX89 BFY90	f <sub>T</sub>	— 1.0	1.0 —	— —	GHz
(I <sub>C</sub> = 25 mA, V <sub>CE</sub> = 5.0 Vdc, f = 500 MHz)	BFX89 BFY90		1.3 —	1.1 —	— —	

## FUNCTIONAL TEST

Common-Emitter Amplifier Power Gain (2) (V <sub>CE</sub> = 10 Vdc, I <sub>C</sub> = 8.0 mA, f = 200 MHz)	BFX89 BFY90	G <sub>pe</sub>	19 —	— 21	— —	dB
Spot Noise Figure (R <sub>S</sub> = Optimum) (2) (V <sub>CE</sub> = 5.0 Vdc, I <sub>C</sub> = 2.0 mA, f = 500 MHz)	BFX89 BFY90	NF	— —	2.5 2.5	6.5 5.0	dB

Notes: 1. Pin 4 is not grounded.

2. Pin 4 is grounded.

3. G<sub>U(max)</sub> is calculated from the S-Parameters using the equation  $G_{U(max)} = \frac{|S_{21}|^2}{(1-|S_{11}|^2)(1-|S_{22}|^2)}$

FIGURE 1 -- POWER GAIN versus FREQUENCY

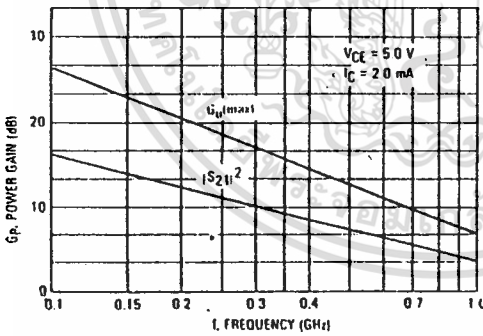


FIGURE 2 -- POWER GAIN versus COLLECTOR CURRENT

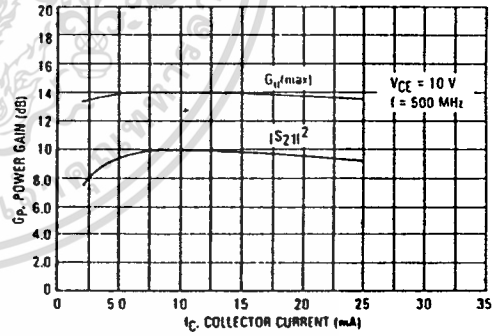


FIGURE 3 — NOISE FIGURE versus FREQUENCY

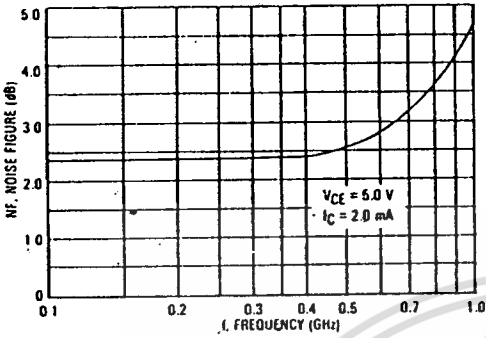


FIGURE 4 — NOISE FIGURE versus COLLECTOR CURRENT

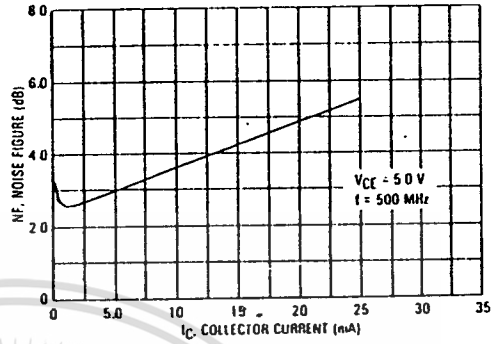


FIGURE 5 — CURRENT GAIN-BANDWIDTH PRODUCT versus COLLECTOR CURRENT

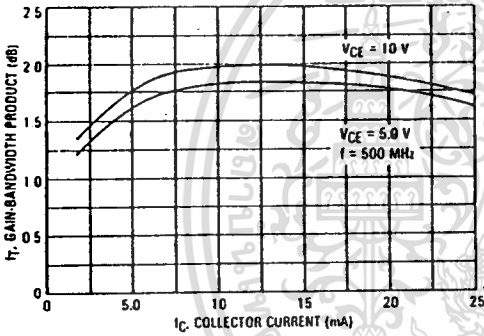
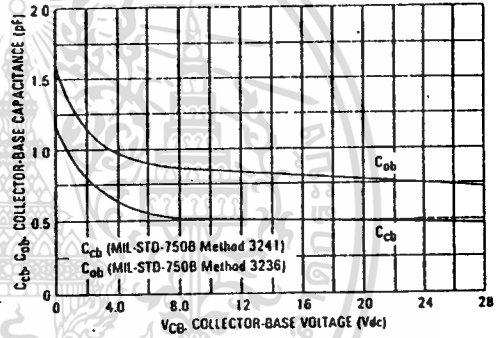


FIGURE 6 — OUTPUT CAPACITANCE versus VOLTAGE



6.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COMMON EMITTER SCATTERING PARAMETERS

FIGURE 7 — INPUT AND OUTPUT REFLECTION COEFFICIENTS versus FREQUENCY

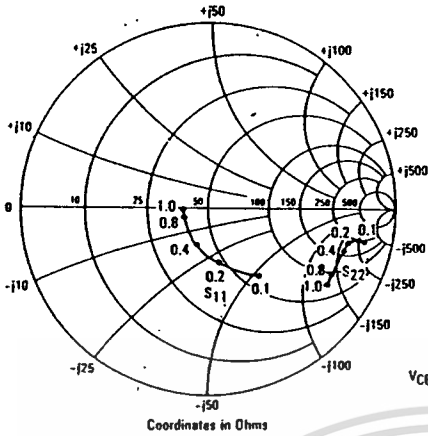
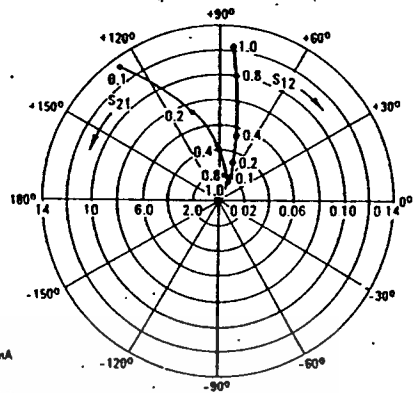


FIGURE 8 — FORWARD AND REVERSE TRANSMISSION COEFFICIENTS versus FREQUENCY



V<sub>CE</sub> = 10 V, I<sub>C</sub> = 10 mA

S — PARAMETERS

V <sub>CE</sub> (Volts)	I <sub>C</sub> (mA)	Frequency (MHz)	S <sub>11</sub>		S <sub>21</sub>		S <sub>12</sub>		S <sub>22</sub>	
			S <sub>11</sub>	∠φ	S <sub>21</sub>	∠φ	S <sub>12</sub>	∠φ	S <sub>22</sub>	∠φ
5.0	2.0	100	0.81	-37	5.76	148	0.031	72	0.95	-11
		200	0.64	-66	4.56	127	0.050	63	0.87	-17
		400	0.41	-105	2.91	102	0.071	62	0.79	-23
		800	0.26	-157	1.63	77	0.105	74	0.75	-34
		1000	0.23	179	1.38	68	0.129	80	0.74	-41
	5.0	100	0.60	-54	9.73	133	0.026	68	0.87	-13
		200	0.41	-84	6.33	112	0.040	66	0.78	-17
		400	0.26	-121	3.54	92	0.064	72	0.73	-21
		800	0.19	-169	1.89	72	0.112	80	0.72	-31
		1000	0.17	168	1.59	64	0.140	82	0.71	-39
	10	100	0.71	-66	12.13	122	0.022	70	0.81	-14
		200	0.28	-96	7.11	104	0.036	71	0.73	-15
		400	0.19	-133	3.85	88	0.064	77	0.70	-19
		800	0.18	-178	2.00	69	0.115	83	0.71	-30
		1000	0.17	160	1.66	61	0.143	84	0.70	-37
	25	100	0.26	-88	12.79	112	0.019	73	0.76	-13
		200	0.20	-122	7.04	97	0.034	76	0.71	-13
		400	0.20	-156	3.68	83	0.062	81	0.70	-18
		800	0.23	165	1.88	65	0.114	86	0.71	-30
		1000	0.24	146	1.56	58	0.145	88	0.70	-38
10	2.0	100	0.83	-34	5.82	150	0.025	73	0.96	-9
		200	0.66	-61	4.60	129	0.042	65	0.89	-15
		400	0.42	-97	2.98	104	0.059	64	0.83	-20
		800	0.25	-147	1.69	79	0.088	77	0.80	-31
		1000	0.20	-172	1.42	70	0.108	82	0.79	-38
	5.0	100	0.63	-48	9.94	135	0.021	70	0.90	-11
		200	0.43	-76	6.54	114	0.034	68	0.82	-15
		400	0.26	-108	3.72	94	0.054	73	0.77	-19
		800	0.16	-155	1.98	74	0.095	83	0.77	-24
		1000	0.14	180	1.65	66	0.119	85	0.76	-36
	10	100	0.47	-57	12.42	125	0.019	70	0.85	-12
		200	0.30	-83	7.43	106	0.031	72	0.78	-14
		400	0.19	-113	4.04	90	0.054	78	0.75	-18
		800	0.14	-160	2.09	71	0.098	84	0.75	-28
		1000	0.13	173	1.73	64	0.121	86	0.75	-35
	25	100	0.32	-71	13.05	114	0.017	72	0.81	-11
		200	0.21	-99	7.27	99	0.029	76	0.77	-12
		400	0.16	-135	3.81	85	0.052	81	0.76	-16
		800	0.17	177	1.96	68	0.096	87	0.76	-28
		1000	0.18	154	1.62	61	0.120	89	0.76	-35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**MOTOROLA**

**MV1403, H  
MV1404, H  
MV1405, H**

**Tuning Diodes**

**SILICON HYPER-ABRUPT TUNING DIODES**

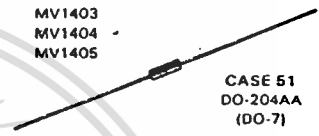
... designed with high capacitance and a capacitance change of greater than TEN TIMES for a bias change from 2 to 10 volts. Provides tuning over broad frequency ranges; tunes AM radio broadcast band, general AFC and tuning applications in lower RF frequencies.

- High Capacitance: 120-250 pF
- Large Capacitance Change with Small Bias Change
- Guaranteed High Q
- Available in Standard Axial Glass Packages
- H Suffix Devices with 100% Screening

**HIGH TUNING RATIO  
VOLTAGE-VARIABLE  
CAPACITANCE DIODES**

120-250 pF  
12 VOLTS

MV1403  
MV1404  
MV1405



CASE 51  
DO-204AA  
(DO-7)

**100% SCREENING FOR HIGH RELIABILITY**

MV1403H, MV1404H, MV1405H are screened with the following tests:

**Internal Visual Inspection**  
per 12M53957B

**High Temperature Storage**  
 $T_A = 200^\circ\text{C}$ ,  $t \geq 48$  hours

**Thermal Shock (Temperature Cycling)**  
MIL-STD-202, Method 107, Condition C except 10 cycles continuously performed (extremes) = 15 minutes

**Constant Acceleration**  
MIL-STD-750, Method 2006  
20,000 G's

**Hermetic Seal**  
MIL-STD-750, Method 1071  
Fine Leak - Condition G  
Gross Leak - Condition C, Step 1

**Electrical Test**  
 $I_R$  and  $C_T$

**High Temperature Reverse Bias**  
 $T_A = 120^\circ\text{C} \pm 5^\circ\text{C}$ ,  $t \geq 96$  hours  
 $V_R =$  approximately 80% of MWV  
Lower temperature till  $T_A = 30 \pm 5^\circ\text{C}$ .

Maintain this temperature prior to removal of Reverse Bias Voltage. Perform Electrical Test within 24 hours following bias removal

**Electrical Test**  
 $I_R$  and  $C_T$



**NOTES.**

1. PACKAGE CONTOUR OPTIONAL WITHIN DIA B AND LENGTH A. HEAT SLUGS, IF ANY, SHALL BE INCLUDED WITHIN THIS CYLINDER, BUT SHALL NOT BE SUBJECT TO THE MIN LIMIT OF DIA B.
2. LEAD DIA NOT CONTROLLED IN ZONES F, TO ALLOW FOR FLASH, LEAD FINISH BUILDUP, AND MINOR IRREGULARITIES OTHER THAN HEAT SLUGS.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	5.84	7.62	0.230	0.300
B	2.16	2.72	0.085	0.107
D	0.46	0.56	0.018	0.022
F	-	1.27	-	0.050
K	25.40	38.10	1.000	1.500

All JEDEC dimensions and notes apply

CASE 51-02  
DO-204AA

MOTOROLA RF DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MV1403H, MV1404H, MV1405H

## MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Reverse Voltage	$V_R$	12	Volts
Forward Current	$I_F$	250	mA
Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above $25^\circ\text{C}$	$P_D$	400 2.67	mW mW/ $^\circ\text{C}$
Junction Temperature	$T_J$	+175	$^\circ\text{C}$
Storage Temperature Range	$T_{stg}$	-65 to +200	$^\circ\text{C}$

## ELECTRICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic — All Types	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage ( $I_R = 10 \mu\text{Adc}$ )	$V_{(BR)R}$	12	—	—	Vdc
Leakage Current at Reverse Voltage ( $V_R = 10 \text{Vdc}$ , $T_A = 25^\circ\text{C}$ )	$I_R$	—	—	0.10	$\mu\text{Adc}$
Series Inductance ( $f = 250 \text{MHz}$ , Lead Length = $1/16"$ )	$L_S$	—	5.0	—	nH
Case Capacitance ( $f = 1.0 \text{MHz}$ , Lead Length = $1/16"$ )	$C_C$	—	0.25	—	pF

Device	$C_T$ , Diode Capacitance $V_R = 2.0 \text{Vdc}$ , $f = 1.0 \text{MHz}$ pF			$Q$ , Figure of Merit $V_R = 2.0 \text{Vdc}$ , $f = 1.0 \text{MHz}$	TR, Tuning Ratio $C_2/C_{10}$ $f = 1.0 \text{MHz}$
	Min	Nom	Max	Min	Min
	MV1403, H	140	175	210	200
MV1404, H	96	120	144	200	10
MV1405, H	200	250	300	200	10

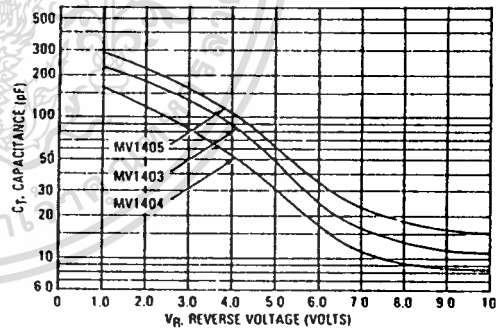
## PARAMETER TEST METHODS

- 1.  $L_S$ , SERIES INDUCTANCE**  
 $L_S$  is measured on a shorted package at 250 MHz using an impedance bridge (Boonton Radio Model 250A RX Meter).
- 2.  $C_C$ , CASE CAPACITANCE**  
 $C_C$  is measured on an open package at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).
- 3.  $C_T$ , DIODE CAPACITANCE**  
( $C_T = C_C + C_J$ )  $C_T$  is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).
- 4. TR, TUNING RATIO**  
TR is the ratio of  $C_T$  measured at 2.0 V divided by  $C_T$  measured at 10 Vdc.
- 5. Q, FIGURE OF MERIT**  
Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equation

$$Q = \frac{2\pi f C}{G}$$

(Boonton Electronics Model 33ASB) Use Lead Length =  $1/16"$

FIGURE 1 — DIODE CAPACITANCE versus REVERSE VOLTAGE



新製品速報



バイポーラデジタル集積回路  
Bipolar Analog Integrated Circuit

$\mu$ PB569C

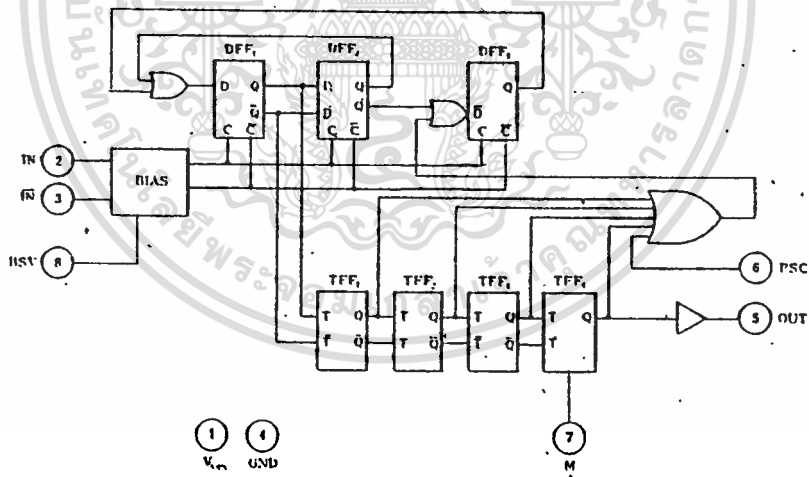
500 MHz 低電圧デュアル・モジュラス プリスケアラ

$\mu$ PB569Cは、500 MHz帯用の低電圧デュアル・モジュラス プリスケアラです。  
低電圧で小形パッケージであり、PLL LSI  $\mu$ PD2831シリーズとの組み合わせにより500 MHz帯まで基準周波数  
チャンネルベースの新しい高性能な周波数シンセサイザが構成できます。

特長 Features

- 低電源電圧  $V_{CC} = 2.9$  V MIN.
- 低電力  $I_{CC} = 5.6$  mA TYP. ( $V_{CC} = 3.3$  V)
- パルススワロー  $\pm 32/\pm 33, \pm 64/\pm 65$
- 高速  $f_m : 100 \sim 550$  MHz  
( $V_{IN} = 160$  mV<sub>rms</sub>)
- 動作温度範囲  $-30 \sim +85$  °C
- バッテリセーブ機能
- 8ピンプラスチックDIP

ブロック図 Block Diagram



日本電気株式会社

IN 5967  
11N-31-641

© 1984 NEC Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

絶対最大定格 / Absolute Maximum Ratings (T<sub>B</sub>=25 °C)

項目	記号	単位
電源電圧	V <sub>CC</sub>	6.0 V
入力電圧	V <sub>I1</sub>	-0.5 ~ V <sub>CC</sub> + 0.5 V
出力電圧	V <sub>O</sub>	V <sub>CC</sub> - 0.5 ~ V <sub>OL</sub> V
出力電流	I <sub>O</sub>	-10 mA
保存温度	T <sub>STG</sub>	-40 ~ +125 °C

(E) BSV端子入力

推奨動作条件 / Recommended Operating Conditions

項目	記号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V <sub>CC</sub>		2.9	3.3	5.5	V
周囲温度	T <sub>A</sub>		-30	25	85	°C
負荷容量	C <sub>L</sub>				10	pF

電気的特性 / Electrical Characteristics (V<sub>CC</sub>=2.9~5.5 V, T<sub>B</sub>=-30~85 °C)

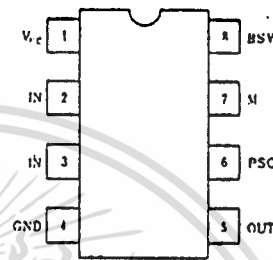
項目	記号	条件	MIN.	TYP.	MAX.	単位
電源電流	I <sub>CC1</sub>	V <sub>CC</sub> =3.3 V		5.6	7.5	mA
電源電流	I <sub>CC2</sub>	V <sub>CC</sub> =5.5 V		7.0	10	mA
出力電圧	V <sub>O</sub>	OUT端子, C <sub>L</sub> =10 pF	0.8		1.4	V <sub>CC</sub>
入力電圧	V <sub>I1</sub>	IN端子 (f <sub>IN</sub> =100~550 MHz)	160		630	mV <sub>rms</sub>
高レベル入力電圧	V <sub>IHI</sub>	PSC端子, M端子	V <sub>CC</sub> - 0.4			V
低レベル入力電圧	V <sub>ILI</sub>	PSC端子, M端子		0.4 V <sub>CC</sub>		V
高レベル入力電流	I <sub>IH</sub>	PSC端子, M端子		35		μA
低レベル入力電流	I <sub>IL</sub>	PSC端子, M端子	-150			μA
高レベル入力電圧	V <sub>IHI</sub>	BSV端子	2.7			V
低レベル入力電圧	V <sub>ILI</sub>	BSV端子	0	0.4		V
電源電流	I <sub>CC3</sub>	BSV端子=LOW		10		μA
動作周波数	f <sub>IN</sub>	IN端子 (V <sub>IN</sub> =160 mV <sub>rms</sub> )	100		550	MHz
セットアップ時間	t <sub>su</sub>	PSC/HOLT			20	ns

分周比

M	PSC	分周比
L	H	+64
L	L	+65
H	H	+32
H	L	+33

\*H\*: V<sub>IHI</sub> = 0.4 ~ V<sub>CC</sub>  
 \*L\*: 0 ~ 0.4 V<sub>CC</sub>

端子接続図 / Connection Diagram (Top View)



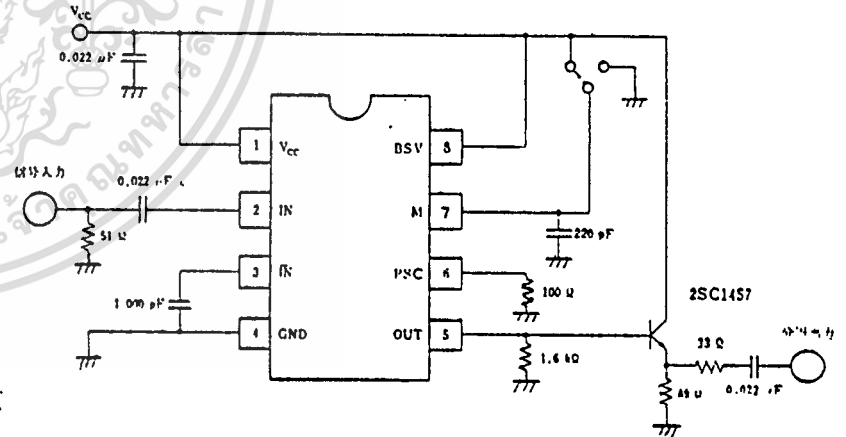
ピン番号	略号	機能
1	V <sub>CC</sub>	電源端子
2	IN	信号入力端子 (1)
3	IN	信号入力端子 (-)
4	GND	グランド
5	OUT	分周出力端子
6	PSC	ハルスマクロコントロール端子
7	M	分周比選択用入力端子 "H"…1, 32, 133, "L"…1, 64, 1, 65
8	BSV	バッテリセイブ端子 "H"…通常動作, "L"…バッテリセイブモード

(E) バッテリセイブモード

BSV端子入力"L"でバッテリセイブモードに入ります。

バッテリセイブモードに入ると、μPB569Cの機能が停止し、消費電流が10 μA以下になります。

測定回路



INTEGRATED CIRCUIT

TECHNICAL DATA

TC9122P  
 "C<sup>2</sup>MOS" DIGITAL INTEGRATED CIRCUIT  
 SILICON MONOLITHIC

TC9122P HIGH-SPEED BCD PROGRAMMABLE COUNTER

TC9122P is high-speed programmable counter of C-MOS structure developed for PLL circuits and various frequency dividers, and is provided with the following features.

- Permits epoch-making high-speed operation for C-MOS structure.

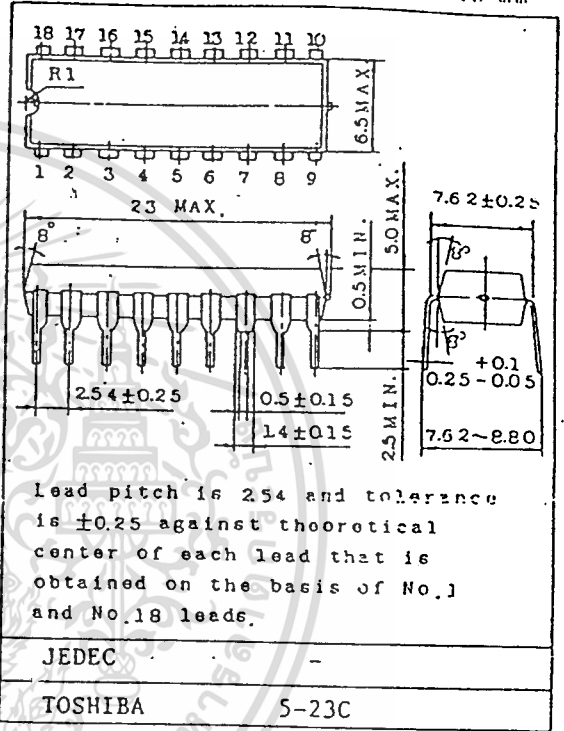
$$f_{max} = 15\text{MHz} \begin{pmatrix} V_{DD}=7.5\text{V} \\ T_a=-30 \sim 75^\circ\text{C} \\ V_{IN}=2.0\text{Vp-p} \end{pmatrix}$$

Program data are input by means of BCD code, allowing frequency division of 8 ~ 3999.

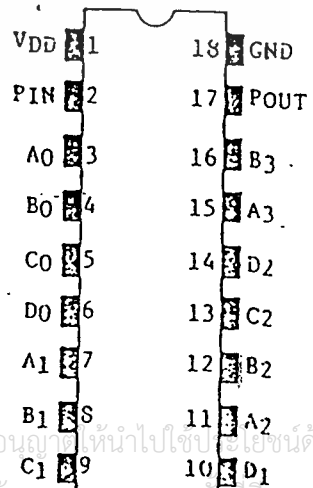
Built-in self-bias type amplifier for divided frequency signal input is capable of operation by small signal in combination with capacitor.

- C-MOS structure provides wide range of operational supply voltage (4.5 ~ 8.5V) and simplification of design.

Unit in mm



PIN CONNECTION



MAXIMUM RATINGS (  $T_a=25^\circ\text{C}$  )

CHARACTERISTIC	SYMBOL	RATING	UNIT
Supply Voltage	V <sub>DD</sub>	-0.3 ~ 10	V
Input Voltage	V <sub>IN</sub>	-0.3 ~ V <sub>DD</sub> +0.3	V
Operating Temp.	T <sub>opr</sub>	-30 ~ 75	°C
Storage Temperature	T <sub>stg</sub>	-55 ~ 125	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

