การสื่อสารข้อมูลผ่านคลื่นวิทยุ

DATA COMMUNICATION

BY

RADIO WAVE

โดย

นายศุภชัย ลีลาโสภิต 34132226
นายสุรพล บุญจันทร์ 34132237
นายสุรพันธ์ แย้มทิม 34132238

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษา ตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต
ภาควิชา เทคนิคอุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2536

033162

ปริญญานิพนธ์ปีการศึกษา 2536

ภาควิชา เทคนิคอุตสาหกรรม

สาขา เทคโนโลยีโทรคมนาคม

เรื่อง การสื่อสารข้อมูลผ่านคลื่นวิทยุ
(DATA COMMUNICATION BY RADIO WAVE)

ผู้จัดทำ

1. นายศุภชัย ลีลาโสภิต
2. นายสุรพล บุญจันทร์
3. นายสุรพันธ์ แย้มทิม

_____ อาจารย์ที่ปรึกษา
(กฤษดากร กล่อมการ)

_____ กรรมการ
(.....)

_____ กรรมการ
(.....)

_____ กรรมการ
(.....)

การสื่อสารข้อมูลโดยคลื่นวิทยุ

โดย

นาย ศุภชัย ลีลาโสภิต

นาย สุรพล บุญจันทร์

นาย สุรพันธ์ แย้มทิม

อาจารย์ที่ปรึกษา

อ.กฤษดากร กล่อมการ

ปีการศึกษา ๒๕๓๖

บทคัดย่อ

ในระบบการสื่อสารข้อมูลจากที่หนึ่งไปยังอีกที่หนึ่งนั้นสามารถทำได้หลายวิธี แต่ในวิธีใดก็ตามจะต้องคำนึงถึงประสิทธิภาพของการรับ-ส่งข้อมูล ซึ่งหมายถึงข่าวสารที่ได้รับด้านปลายทาง จะต้องมีความเที่ยงตรงแม่นยำหรือมีความผิดเพี้ยนน้อยที่สุด ในเงื่อนไขที่สามารถยอมรับได้

ในโครงการนี้จะกล่าวถึงการสื่อสารข้อมูล โดยใช้คลื่นความถี่วิทยุกระจายออกอากาศไปสู่ทางด้านรับ โดยใช้หลักการการเปลี่ยนสัญญาณ Analog หรือข้อมูลข่าวสารให้เป็นสัญญาณ PSK หรือ FSK แล้วทำการ modulate กับคลื่นพาหะความถี่ย่าน FM ส่งออกอากาศไป

ในทางกลับกันทางด้านรับจะรับคลื่นความถี่ FM มาทำการ demodulate ให้ได้สัญญาณ PSK หรือ FSK ที่ได้ให้เป็นสัญญาณ Analog หรือข้อมูลข่าวสารเหมือนกับทางด้านส่ง ซึ่งในโครงการนี้สามารถเลือกการส่งด้วยสัญญาณ PSK หรือ FSK ก็ได้ โดยมีความเร็วในการรับ-ส่งข้อมูลเท่ากับ 1200 baud และจะเป็นการสื่อสารข้อมูลแบบ Half Duplex เท่านั้น

DATA COMMUNICATION BY RADIO WAVE

By

Mr.Suppachai Leelasopit

Mr.Surapon Bunchan

Mr.Surapan Yamtim

Advisor

Mr.Kridakorn Klomkarn

1st Semester, 1993

ABSTRACT

There are many method of data communication system which transmitted from one place to another. The efficiency in each method must have high accuracy or low distortion in accept condition.

The data communication in this project will use radio frequency wave to propagate on air to destination by analog signal (information) conversion which converse to PSK signal or FSK signal and then it will modulate with radio frequency carrier wave and propagate on air.

In opposite at the destination will recieve radio frequency wave and demodulate to PSK signal or FSK signal.

In this project the either PSK signal or FSK signal can be use at 1200 baud rate,and half-duplex data communication only.

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
1.1 แนวความคิดในการทำปริญญานิพนธ์	1
1.2 องค์ประกอบของปริญญานิพนธ์	2
บทที่ 2 การสื่อสารข้อมูล	3
2.1 อุปกรณ์การสื่อสารข้อมูล	6
2.2 การส่งชนิดของสัญญาณ	8
บทที่ 3 รูปแบบการส่งข้อมูลแบบซิงโครนัสและอะซิงโครนัส	13
3.1 การส่งแบบอะซิงโครนัส	14
3.2 พาริตีคู่ และ พาริตีคี่	16
3.3 รูปคลื่นของอักษรอะซิงโครนัส	17
3.4 การส่งอัตราส่งอักษรสูงสุด	18
บทที่ 4 การส่งข้อมูลแบบขนานและแบบอนุกรม	20
บทที่ 5 การมอดดูเลชั่นข้อมูล	25
5.1 การมอดดูเลชั่น	27
5.2 การมอดดูเลชั่นสัญญาณข้อมูลแบบซิงโครนัส	28
5.3 อัตราบอดและการมอดดูเลชั่นขั้นหลายระดับ	30
5.4 แบนด์วิดท์การส่งสัญญาณ	32
5.5 ระบบการดีโมดูเลเตอร์	35
บทที่ 6 การอินเตอร์เฟส RS-232C และการควบคุมโมเด็ม	38
บทที่ 7 การคำนวนการออกแบบ	47
บทที่ 8 การทดลองและผลการทดลอง 1,2	66
บทที่ 9 ผลสรุปและวิจารณ์	73
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

บทที่ 1

บทนำ

1.1 แนวความคิดในการทำปริญญานิพนธ์

เป็นที่ทราบกันว่า ในปัจจุบันการพัฒนาข่าวสารได้มีการพัฒนาไปอย่างรวดเร็วมากขึ้นพร้อมกับระบบเทคโนโลยีโทรคมนาคม โดยเฉพาะระบบการส่งสัญญาณดิจิตอลและโครงข่ายบริการสื่อสารร่วมแบบดิจิตอล (Integrated Services Digital Network ISDN) ซึ่งเป็นการส่งทั้งข่าวสารในรูปแบบของภาพและเสียงและข้อมูล

สำหรับปริญญานิพนธ์ฉบับนี้เป็นการเสนอการใช้ช่องสัญญาณกระจายคลื่นความถี่ย่าน FM มาบริการส่งข่าวสารข้อมูล ซึ่งระบบการกระจายคลื่นย่าน FM เป็นระบบที่ได้รับความนิยมมากในประเทศ โดยใช้หลักการของการมอดดูเลชั่นและดีมอดดูเลชั่นข้อมูล จากนั้นข้อมูลข่าวสารจะผ่านออกอากาศไปยังเครื่องรับสัญญาณเพื่อทำการแปลงระหัสข่าวสารข้อมูลด้วยคอมพิวเตอร์

1.2 องค์ประกอบของวิทยานิพนธ์

สำหรับในส่วนของปริญญานิพนธ์ เป็นการวิจัยเกี่ยวกับงานที่เป็นระบบการต่อเชื่อมกับส่วนอื่น เช่น X25 และ TNC และมีส่วนประกอบอื่น ๆ ค่อนข้างมากทั้งระบบที่เป็นฐานข้อมูลที่ภาคส่ง ซึ่งปริญญานิพนธ์นี้ได้แบ่งออกเป็นบทต่าง ๆ ดังนี้

บทที่ 2 กล่าวถึง ทฤษฎีของการสื่อสารข้อมูล โดยใช้ Micro Processor และอุปกรณ์การสื่อสารข้อมูลของการรับส่งสัญญาณ ซึ่งจะประกอบถึงการวิเคราะห์ข้อมูล

บทที่ 3 กล่าวถึง วิธีการรูปแบบของการส่งข้อมูลหลาย ๆ แบบ ซึ่งในบทนี้จะกล่าวถึงข่าวสารบนสายนั้นมีลักษณะอย่างไร เป็นกลุ่มของบิท ซึ่งเรียกว่า ตัวอักษร(Charecter)

บทที่ 4 กล่าวถึง การส่งข้อมูลแบบขนานและแบบอนุกรม ซึ่งโดยทั่วไปแล้วจะกล่าวถึงการเชื่อมโยงระ

บทที่ 5 กล่าวถึง การมอดดูเลชั่นและคลื่นพาหะ ซึ่งในการมอดดูเลชั่นนั้น จะทำการฝากสัญญาณข่าวสารกับคลื่นพาหะ โดยมีองค์ประกอบของวงจร FSK และ PSK

บทที่ 6 กล่าวถึง การอินเตอร์เฟสของเครื่องอุปกรณ์สื่อสาร ในบทนี้จะกล่าวถึงของRS-232C และการควบคุมการทำงาน และการเชื่อมต่อต่าง ๆ โดยการเชื่อมต่อจะต้องอินเตอร์เฟสอุปกรณ์ดิจิตอลกับโมเด็ม

บทที่ 7 กล่าวถึง การคำนวนหาค่าต่าง ๆ ในวงจร PSK และ FSK รวมถึงการออกแบบใช้งานวัดค่าผิดพลาดของสัญญาณต่าง ๆ ในการส่ง

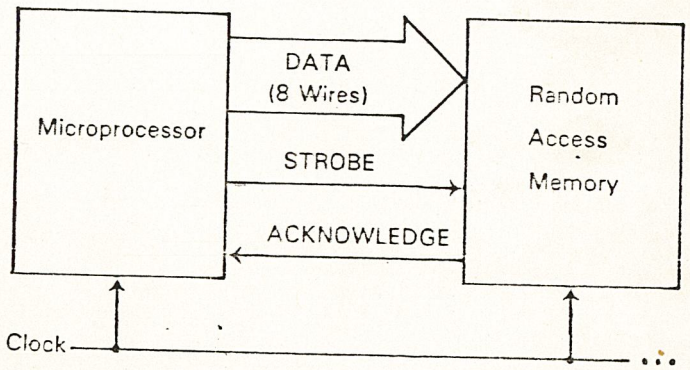
บทที่ 8 กล่าวถึง การทดลองของ PSK และ FSK ของโครงการเพื่อนำเสนอแพคเกตที่จะใช้ในการส่งข้อมูลที่มีค่าเหมาะสม

บทที่ 9 สรุปและวิจารณ์การออกแบบการสร้าง ผลการทดลอง รวมถึงแนวทางวิจัยต่อไปและแนวทางที่จะใช้งานวิจัยนี้ในทางปฏิบัติอย่างจริง ๆ

บทที่ 2

การสื่อสารข้อมูล เป็นสาขาหนึ่งของเทคโนโลยีการสื่อสารที่กล่าวถึง การส่งข้อมูลระหว่างอุปกรณ์ดิจิตอลอิเล็กทรอนิกส์ซึ่งอยู่ห่างกันพอควร ปัจจุบันการสื่อสารข้อมูลนั้นนับวันจะทวีความสำคัญยิ่งขึ้น ธุรกิจหลายอย่างหันมาใช้ประโยชน์จากการสื่อสารข้อมูลกันอย่างแพร่หลาย เช่น ระบบการฝาก หรือถอนเงินอัตโนมัติ ระบบโทรสาร เป็นต้น

การส่งสัญญาณดิจิตอลไปในระยะไกลนั้น มีข้อจำกัดต่าง ๆ ที่ทำให้การสื่อสารข้อมูลทำได้ไม่สะดวก เหมือนการส่งสัญญาณระหว่างอุปกรณ์ที่อยู่ใกล้เคียงกัน ยกตัวอย่างเช่น การส่งข้อมูลภายในคอมพิวเตอร์ส่วนบุคคล (PC) ระหว่างไมโครโพรเซสเซอร์กับ แรม (RAM) เพื่อที่จะเก็บข้อมูลจากไมโครโพรเซสเซอร์ลงไปในแรมในกรณีนี้ บล็อกของข้อมูล 8 บิท จะถูกส่งพร้อมกันผ่านบัสข้อมูล (8 สายขนานกัน) ดังแสดงโดยลูกศรแถบใหญ่ในรูป 2.1 สายแต่ละสายในบัสข้อมูลจะใช้ส่งข้อมูลสายละบิท อย่างไรก็ตาม บัสข้อมูลเท่านี้ยังไม่พอเพียงที่จะใช้ทำงานนี้ จะต้องมีสายสัญญาณ ควบคุมและสาย สัญญาณจังหวะเวลา (timing signal) ที่เรียกว่า สัญญาณนาฬิกา (clock) ร่วมทำงานด้วย



คือต้องมีสัญญาณ STROBE , ACKKNOWLEDGE และ CLOCK ร่วมทำงานด้วยตามขั้นตอนดังนี้คือ

1. ไมโครโพรเซสเซอร์ต้องส่งสัญญาณ STORBE มาบอก แรมว่าพร้อมที่จะรับข้อมูลมาเก็บหรือไม่

2. แรมจะต้องส่งสัญญาณ ACKNOWLEDGE มาบอกไมโครโพรเซสเซอร์ว่าการเก็บข้อมูลเรียบร้อยแล้วเพื่อที่จะให้ไมโครโพรเซสเซอร์เตรียมส่งข้อมูลตัวต่อไป

3. สัญญาณ CLOCK คือ ลำดับของพัลส์ที่มีช่วงห่างระหว่างพัลส์ที่เท่ากันและมีมาอย่างต่อเนื่อง เพื่อใช้ในการควบคุมจังหวะการทำงานของไมโครโพรเซสเซอร์แรม และวงจรอื่น ๆ ใน PC ให้ทำงาน สัมพันธ์ (synchronize) กันสัญญาณ CLOCK นี้ จะใช้ กระตุ้น หรือ ทริก (trick) ให้เกิดการส่งถ่ายข้อมูลในขณะที่มีพัลส์มากระตุ้นอุปกรณ์ ดังนั้นในช่วงเวลาก่อนนี้ก็จะเป็นจังหวะที่ผู้ออกแบบวงจรต้องเตรียมการให้อุปกรณ์ต่าง ๆ มีความพร้อมเพื่อการส่งถ่ายข้อมูลนั้นด้วยการกระทำเช่นนี้ทำให้เกิดความแน่ใจได้ว่าการส่งถ่ายข้อมูลภายใน PC จะเกิดขึ้นได้อย่างบริบูรณ์ แต่ถ้าหากว่าจะทำการส่งถ่ายข้อมูลในระยะไกลที่มีระยะทางเป็นหลายร้อยกิโลเมตร แล้วตัวกลางที่ใช้ในการส่งถ่ายข้อมูลคงจะต้องเป็นเพียงสายโทรศัพท์ ซึ่งมีสายสายเพียงคู่เดียว (หรือ 2 คู่ เป็นอย่างมาก สำหรับระบบโทรศัพท์ 4 สาย) แทนที่จะเป็นบัสข้อมูลและสายสัญญาณควบคุมต่าง ๆ ดังกล่าวแล้วซึ่งปัญหาต่างๆ ก็จะเกิดตามมาอย่างมากมาย แม้เพียงแต่การแทนสายต่อภายใน PC ซึ่งเป็นสายสั้น ด้วยสายโทรศัพท์ที่ยาวไกลก็จะเกิดปัญหาขึ้นมามากม่ายแล้ว คุณสมบัติที่แตกต่างกันนั้น ยกกันขึ้นมาเป็นตัวอย่างได้ดังแสดงในตารางที่ 2.1 ด้วยเหตุนี้จึงจะต้องมีเทคโนโลยีในการสื่อสารข้อมูลนี้ขึ้นมาโดยเฉพาะ ต่อไปนี้จะกล่าวถึงศัพท์บางคำที่จำเป็นในการสื่อสารข้อมูลไว้พอสังเขป

แบนด์วิดท์ คือ ความกว้างของย่านความถี่ที่เมื่อสัญญาณที่มีความถี่อยู่ในย่านนั้นสามารถที่จะส่งผ่านตัวกลางไปได้โดยปราศจากการลดทอนจนถึงขนาดที่จะทำลายคุณสมบัติของสัญญาณนั้น สายสั้น ๆ ภายใน PC นั้น อาจจะประมาณได้ว่าเป็นสายตัวนำไฟฟ้าในอุดมคติจึงมีแบนด์วิดท์ที่กว้างมาก แต่สำหรับสายโทรศัพท์นั้น เนื่องจากเดิมทีได้ถูกสร้างไว้เพียงเพื่อให้นำสัญญาณ

ตาราง 2.1 คุณสมบัติของตัวกลางที่ใช้สื่อสาร

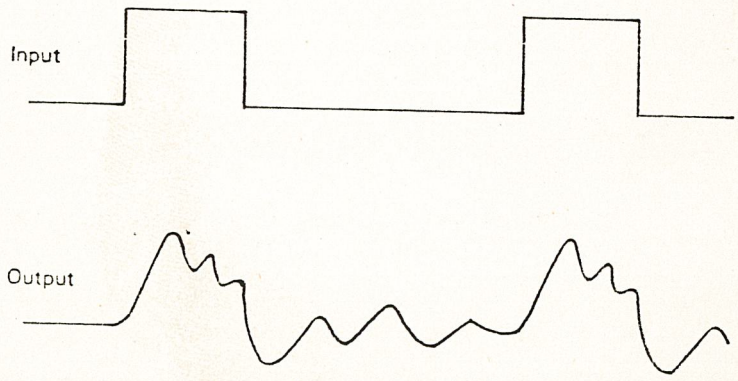
คุณสมบัติ	สายสั้น ๆ ใน PC	สายโทรศัพท์
แบนด์วิดท์ (Hz)	$0 - 10^7$	300 - 3400
การหน่วงเวลา (delay)	ไม่มี	มี
อัตราส่งข้อมูลสูงสุด	$> 10^6$ b/s	$< 10^4$ b/s
โอกาสที่จะเกิดการผิดพลาด	0	พอสมควร
การผิดเพี้ยนของรูปสัญญาณ	ไม่เกิด	มี
ราคาต่อบิท	ต่ำ	สูง

เสียง จึงมีแบนด์วิดท์ที่จำกัด ปรกติทั่วไปจะมีค่าจำกัดอยู่เพื่อส่งถ่ายเสียงที่มีสเปกตรัมความถี่ระหว่าง 300-3400 Hz ซึ่งพอเพียงสำหรับที่ผู้ฟังที่จะเข้าใจและจำเสียงของผู้พูดได้แต่แบนด์วิดท์ดังกล่าวนั้น ไม่เหมาะสำหรับการส่งถ่ายสัญญาณดิจิตอลเลยเพราะสัญญาณดิจิตอลมีความถี่ต่าง ๆ ประกอบอยู่มากสัญญาณดิจิตอลนั้นจะมีการเปลี่ยนสถานะ(state) ที่เร็ว สัญญาณยิ่งมีความเร็วของการเปลี่ยนสถานะมากขึ้นเท่าไรก็จะเกิดองค์ประกอบของความถี่มากขึ้นเท่านั้น

การเคลื่อนที่ของสัญญาณผ่านสายใน PC จะใช้เวลาที่มีระยะสั้น เมื่อเทียบกับระยะเวลาที่ IC (Integrated Circuits) ภายใน PC ใช้ปฏิบัติการอย่างใดอย่างหนึ่ง ดังนั้นจึงถือได้เสมือนกับว่าสัญญาณเดินทางผ่านสายภายใน PC ได้โดยไม่เกิดความล่าช้าอย่างไร ซึ่งต่างกับการที่สัญญาณเดินทางผ่านสายโทรศัพท์ที่มีระยะทางไกล สัญญาณอาจจะเสียเวลาช้าไปนานถึงเป็นเสี้ยววินาที หรือครึ่งวินาทีซึ่งถือได้ว่ามีค่ามากเมื่อเทียบกับเวลาที่ IC ใน PC ใช้ทำงาน ข้อจำกัดในเรื่องแบนด์วิดท์และค่าเวลาที่ล่าช้าไปในการเดินทางผ่านสายโทรศัพท์นั้น จะทำให้การส่งถ่ายข้อมูลช้าลงมากกว่าการส่งผ่านข้อมูลระหว่างอุปกรณ์ภายใน PC เอง

ในกรณีที่มีการส่งข้อมูลผ่านสายระยะสั้น ๆ ไม่กี่เซนติเมตรภายใน PC นั้นโอกาสที่อุปกรณ์อื่นจะรับสัญญาณมาผิดนั้น แทบจะเรียกได้ว่าไม่มีเลย แต่การส่งผ่านข้อมูลไปในสายโทรศัพท์ที่ยาวไกลนั้นสัญญาณรบกวนจากภายนอกรวมกับผลของการหน่วงเวลาและการลดทอนสาย จะทำให้การตัดสินค่าของข้อมูลที่รับมานั้นมีโอกาสผิดพลาดเกิดขึ้นได้สูง

ปัญหาเกี่ยวกับการเกิดความผิดเพี้ยนของรูปสัญญาณนั้น มีความสัมพันธ์อย่างใกล้ชิดกับค่าแบนด์วิดท์ของสายโทรศัพท์ซึ่งจัดว่าแคบ ปกติแล้วสัญญาณดิจิตอลจะมีองค์ประกอบของสัญญาณทั้งที่เป็นความถี่สูงเป็นหลายเมกกะเฮริตซ์ และที่เป็นความถี่ต่ำในระดับสัญญาณ DC การที่องค์ประกอบความถี่สูงและความถี่ต่ำ ของสัญญาณดิจิตอลถูกสายโทรศัพท์กรองเอาออกไปจะก่อให้ เกิดความผิดเพี้ยนกับสัญญาณดิจิตอลนั้นตัวอย่างมีดังเช่นแสดงในรูป 2.2 การสั่นของสัญญาณที่เรียกว่า



รูป 2.2 การผิดเพี้ยนของรูปคลื่นอันเนื่องมาจากข้อจำกัดของแบนด์วิดท์

RINGING นั้นเกิดจากผลที่องค์ประกอบความถี่สูงของสัญญาณดิจิตอลถูกขจัดออกไปและการหย่อนสลายของยอดพัลส์สัญญาณนั้นปรากฏขึ้น เนื่องจากการที่องค์ประกอบ DC สูญหายไป เพื่อให้การสื่อสารข้อมูลผ่านสายโทรศัพท์ได้ จำเป็นที่จะต้องแปลงสัญญาณดิจิตอลนั้นให้เหมาะสมที่จะส่งผ่านแบนด์วิดท์ของสายโทรศัพท์ ซึ่งจะประสบปัญหาทั้งในเรื่องการลดทอนและการหน่วงเวลาที่เกิดมีกับองค์ประกอบของสัญญาณที่ความถี่ต่างกัน สิ่งเหล่านี้สามารถที่จะทำการชดเชยได้ในภายหลัง ซึ่งก็ตกเป็นปัญหาของวิศวกรผู้ออกแบบอุปกรณ์การสื่อสารที่จะต้องจัดการอย่างถูกเหมาะสม

ในบรรทัดสุดท้ายของตาราง 2.1ได้กล่าวถึงปัญหาเรื่องราคาสายภายใน PC ว่ามีราคาค่าใช้จ่ายเพียงเล็กน้อย ทั้งนี้เพราะเมื่อซื้อ PC มาแล้วก็เป็นอันสิ้นสุดไม่ต้องมีค่าใช้จ่ายที่ต้องจ่ายต่อเนื่องเหมือนการใช้สายโทรศัพท์ การเช่าสายโทรศัพท์เพื่อมาส่งข้อมูลแบบขนานกันออกมาเป็นบิทขนานเหมือนใช้บัสข้อมูล ดังในรูป 2.1 นั้น คงเป็นเรื่องทางเศรษฐกิจที่ควรหลีกเลี่ยงอย่างยิ่งแน่นอน

2.1 อุปกรณ์การสื่อสารข้อมูล

อุปกรณ์การสื่อสารข้อมูลที่ควรแนะนำไว้ในเบื้องต้นดังนี้มีดังต่อไปนี้ คือ

โฮสท์คอมพิวเตอร์ หรือคอมพิวเตอร์หลัก

โฮสท์คอมพิวเตอร์ เป็นคอมพิวเตอร์ขนาดกลางหรือขนาดใหญ่ที่สามารถทำการคำนวณโปรแกรมหลาย ๆ โปรแกรมได้พร้อม ๆ กัน โดยความจริงแล้ว โพรเซสเซอร์จะทำงานทีละโปรแกรม แต่มันใช้หลักการของ การแบ่งเวลาใช้ร่วมกัน (time-sharing) ที่รวดเร็วมาก ปฏิกิริยาจึงเกิดขึ้นเสมือนกับคอมพิวเตอร์หลักปฏิบัติการให้กับผู้ใช้หลาย ๆ คนพร้อม ๆ กัน ปกติผู้ใช้ติดต่อกับโฮสท์คอมพิวเตอร์โดยสายการสื่อสาร ซึ่งมีชั้วต่อซึ่งเรียกว่า "พอร์ท" (port) โฮสท์คอมพิวเตอร์ขนาดใหญ่จะมีพอร์ทเป็นจำนวนมากกว่า 100 พอร์ท

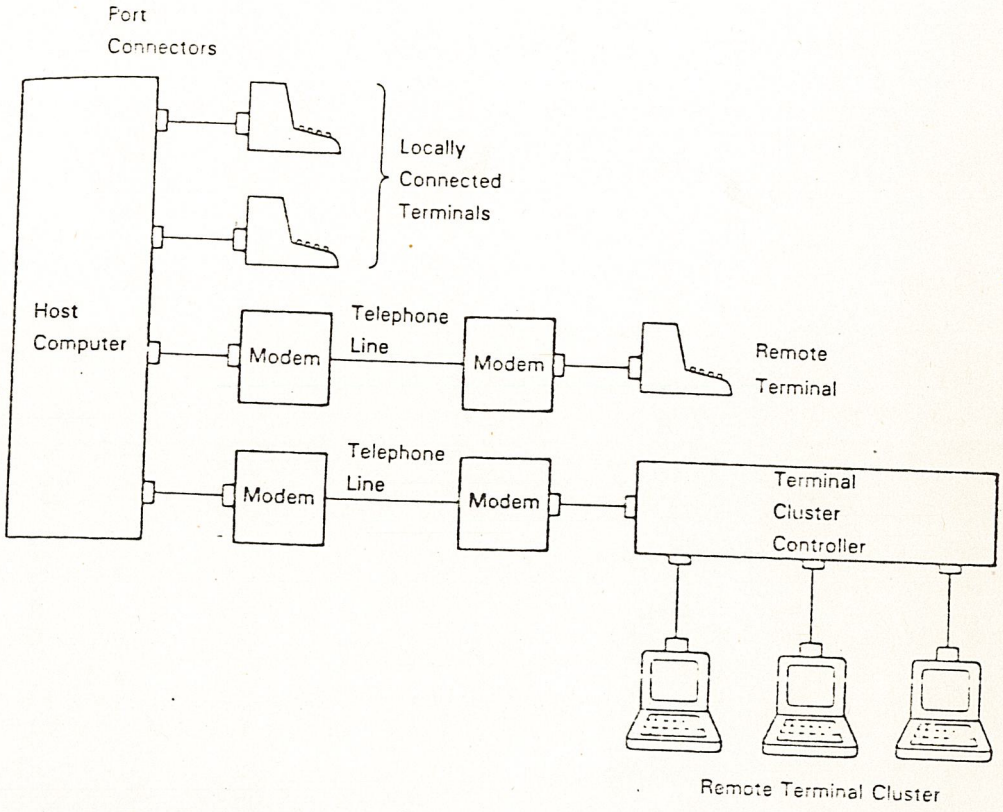
อุปกรณ์ปลายทาง

อุปกรณ์ปลายทาง (terminal) จะอยู่แยกออกห่างจากโฮสท์คอมพิวเตอร์เป็นอุปกรณ์ที่สามารถใช้ส่งถ่ายข้อมูลกับโฮสท์คอมพิวเตอร์ได้ จะต่ออยู่กับพอร์ทของคอมพิวเตอร์ที่ปลายอีกข้างหนึ่งของสายการสื่อสาร

อุปกรณ์ปลายทางมักจะเป็นตัวอุปกรณ์ที่เชื่อมโยงคอมพิวเตอร์เข้ากับ"โลกภายนอก" คำว่าโลกภายนอกในที่นี้หมายถึง โลกของสัญญาณอนาลอก หรือเจ้าหน้าที่และพนักงานเป็นต้น มีเครื่องมือมากมายหลายชนิดที่ถูกใช้เป็นอุปกรณ์ปลายทาง เช่น แป้นพิมพ์ จอภาพ CRT เคาน์เตอร์เช็คเอาท์ตามร้านสรรพสินค้า ดังนี้เป็นต้น

โมเด็ม

ดังกล่าวมาแล้วว่าการต่ออุปกรณ์อิเล็กทรอนิกส์เชิงดิจิตอลผ่านตัวกลางซึ่งเป็นสายระยะทางไกล ๆ นั้น จำต้องมีอุปกรณ์ที่ทำหน้าที่เปลี่ยนแปลงสเปกตรัมของสัญญาณดิจิตอลให้เหมาะกับแบนด์วิดท์ของสายนั้น กระบวนการที่ใช้ในการเปลี่ยนย้ายสเปกตรัมของสัญญาณนั้นมีชื่อว่า การมอดดูเลชั่น (modulation) และกระบวนการที่เปลี่ยนสัญญาณที่ถูกมอดดูเลชั่นแล้วให้กลับคืนสู่สัญญาณเดิมนั้น มีชื่อว่าการดีมอดดูเลชั่น (demodulation) อุปกรณ์ที่ทำหน้าที่ทั้งสองอย่างนี้ร่วมกัน มีชื่อว่า โมเด็ม (modem)



รูป 2.3 คอมพิวเตอร์หลักและอุปกรณ์ร่วม

รูป 2.3 แสดงให้เห็นถึงลักษณะการต่อโฮสท์คอมพิวเตอร์กับอุปกรณ์ปลายทางในแบบที่ใช้โมเด็มและไม่ใช้โมเด็มเพื่อช่วยการอธิบายภาพรวมของอุปกรณ์ต่างๆ ดังที่กล่าวมาแล้ว

2.2 ชนิดของสัญญาณ

สัญญาณที่เกี่ยวข้องกับการสื่อสารเชิงไฟฟ้านั้น เมื่อพิจารณาจากแหล่งกำเนิดของสัญญาณแล้วอาจแบ่งออกอย่างกว้าง ๆ เป็น 3 แบบ ด้วยกัน คือ

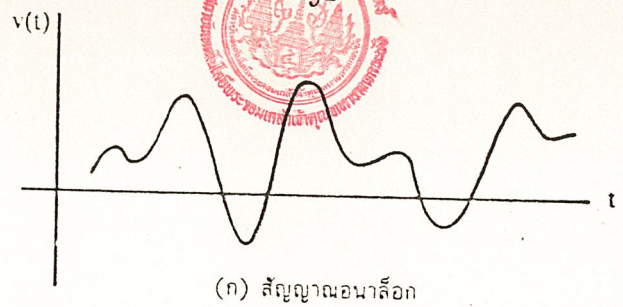
1. สัญญาณอนาลอก
2. สัญญาณดิจิตอล
3. สัญญาณรบกวน

สัญญาณอนาล็อก เป็นสัญญาณที่มีระดับของสัญญาณเปลี่ยนแปลงอย่างต่อเนื่องซึ่งต่างจากสัญญาณดิจิตอล เพราะสัญญาณดิจิตอลจะมีจำนวนระดับสัญญาณเป็น 2 ระดับหรือเป็นจำนวนเต็มที่มีค่าจำกัดค่าหนึ่ง ตัวอย่างของสัญญาณอนาล็อกก็คือสัญญาณเสียงและสัญญาณภาพเป็นต้น ส่วนสัญญาณดิจิตอลนั้นมีแหล่งกำเนิดจากวงจรอิเล็กทรอนิกส์แบบดิจิตอลที่ใช้อยู่ในเครื่องคอมพิวเตอร์โดยทั่วไป เครื่องคอมพิวเตอร์และอุปกรณ์รอบข้างทั้งหมายจะทำงานโดยใช้สัญญาณดิจิตอลทั้งหมดกล่าวคือ สัญญาณตัวอักษรและสัญญาณควบคุมทั้งหลายจะอยู่ในรูปสัญญาณดิจิตอลทั้งหมด นอกจากนั้นสัญญาณดิจิตอลจะถูกสร้างมาจากสัญญาณอนาล็อก อย่างเช่น สัญญาณดิจิตอลในระบบ PCM (Pulse - code modulation) ซึ่งรายละเอียดจะกล่าวถึงต่อไปในภายหลัง

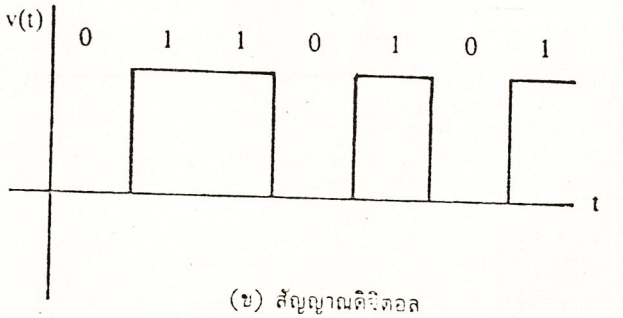
สำหรับสัญญาณรบกวนนั้นเป็นสัญญาณที่มีการเปลี่ยนแปลงค่าอย่างแรนดัม และจะเกิดอยู่ในระบบสื่อสารอย่างหลีกเลี่ยงไม่ได้ โดยเกิดจากชิ้นส่วนอิเล็กทรอนิกส์ที่ใช้อยู่ทั้งหลาย

2.1 แสดงตัวอย่างของสัญญาณทั้งสามแบบนี้โดยรูป (ก) แสดงสัญญาณเสียงรูป (ข) แสดงสัญญาณดิจิตอลแบบ NRZ (Non-Return to Zero) และรูป (ค) แสดงสัญญาณรบกวนแบบความร้อน (thermal noise)

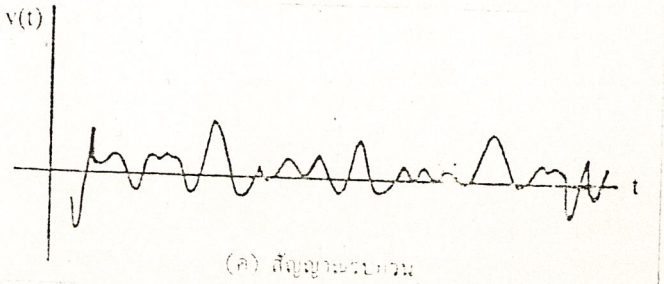
สัญญาณทั้งสามแบบที่กล่าวมาข้างต้นนี้ ล้วนแล้วแต่สามารถทำการวิเคราะห์ออกมาได้ว่ามีส่วนประกอบของความถี่เป็นอย่างไรบ้าง และในระบบไฟฟ้าสื่อสารนั้นการวิเคราะห์ว่าสัญญาณแต่ละชนิดมีลักษณะเฉพาะอย่างไรนั้น จัดว่าเป็นหัวข้อพื้นฐานที่จำเป็นอย่างยิ่ง ดังนั้น ในบทที่ 2 นี้ และในบทที่ 3 ถึงบทที่ 5 จะกล่าวถึงแนวคิดและคณิตศาสตร์พื้นฐานที่ใช้ในการวิเคราะห์สัญญาณทั้งสามแบบนี้



(ก) สัญญาณอนาล็อก



(ข) สัญญาณดิจิตอล



(ค) สัญญาณรบกวน

รูปที่ 2.1 ตัวอย่างของสัญญาณแบบต่าง ๆ

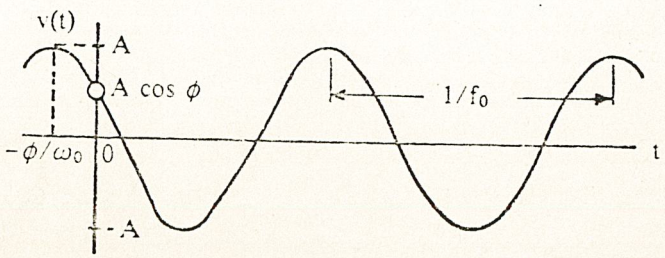
การแสดงสเปกตรัมของสัญญาณและสเปกตรัมกำลังเฉลี่ยของสัญญาณ

2.2 การแสดงสเปกตรัมของสัญญาณ

สัญญาณในระบบจริงนั้นส่วนใหญ่จะเป็นสัญญาณที่มีการเปลี่ยนแปลงตามเวลาและประกอบด้วยหลาย ๆ ความถี่ อย่างไรก็ตามเพื่อความสะดวกในการอธิบายในขั้นต้นขอให้พิจารณาสัญญาณในรูปไซน์ซึ่งมีความถี่เดียวเป็น f_0 และความถี่เชิงมุมเป็น w_0 ดังที่แสดงไว้ในรูปที่ 3.2 สัญญาณตามรูปนี้จะสามารถเขียนอยู่ในรูป ของฟังก์ชันของเวลาได้ดังนี้

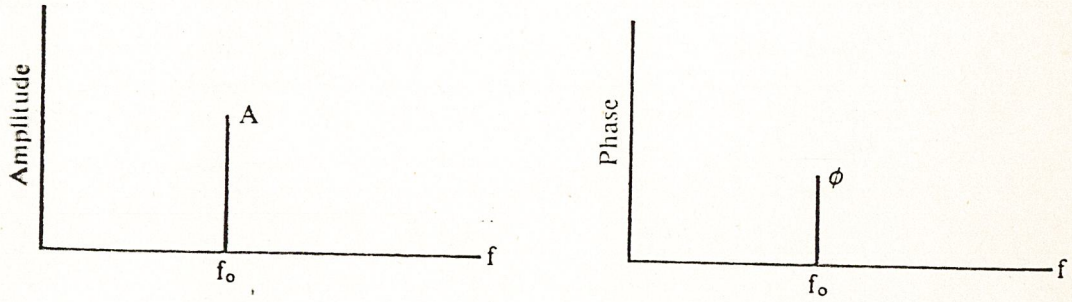
$$v(t) = A \cos (w_0 t + 0)$$

โดยที่ A เป็นขนาดหรือแอมปลิจูดของสัญญาณ 0 เป็นเฟสของสัญญาณ



033162

จากสมการ (1) และรูปที่ 2.2 จะเห็นได้ว่าการที่จะเขียนรูปสัญญาณได้ถูกต้องนั้นจะต้องรู้ขนาด ความถี่เชิงมุม และเฟสของสัญญาณที่จุดอ้างอิง หรือกล่าวอีกนัยหนึ่งข่าวสารเกี่ยวกับสัญญาณรูปไซน์นี้จะครบถ้วนก็ต่อเมื่อรู้ข้อมูลทั้งสามดังกล่าวนี้ รูปที่2.2 แสดงส่วนประกอบเชิงความถี่ของสัญญาณ ในกรณีนี้เนื่องจากสัญญาณมีความถี่เดียวคือ f_o ส่วนประกอบเชิงความถี่หรือสเปกตรัมของสัญญาณจึงมีค่าเป็นเส้นที่ตำแหน่ง f_o เท่านั้น ลักษณะดังกล่าวนี้เรียกว่าไลน์สเปกตรา (line spectra)

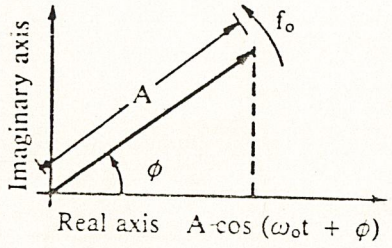


(ก) ขนาด (ข) เฟส

รูปที่ 2.2 การแสดงสเปกตรัมของสัญญาณความถี่เดียว

การแสดงรูปสัญญาณตามสมการ (1) นั้นจะไม่ให้ความสะดวกในการบวก ลบคูณหารระหว่างสัญญาณมากนัก ดังนั้น โดยทั่วไปจึงนิยมใช้เครื่องมือทางคณิตศาสตร์เข้าช่วยโดยแสดงสัญญาณนี้อยู่ในรูปของเฟสเซอร์ (phasor) ซึ่งให้ความสะดวกมากกว่า และในยามที่ต้องการรู้ค่าฟังก์ชันจริงก็ดึงเอาส่วนจริงของเฟสเซอร์นั้นไปใช้ในลักษณะต่อไปนี้

$$A \cos (\omega_o t + \theta) = \text{Re}\,[Ae^{j(\omega_o t + \theta)}]$$



รูปที่ 2.2-3 การแสดงเฟสเซอร์ของสัญญาณความถี่เดียว

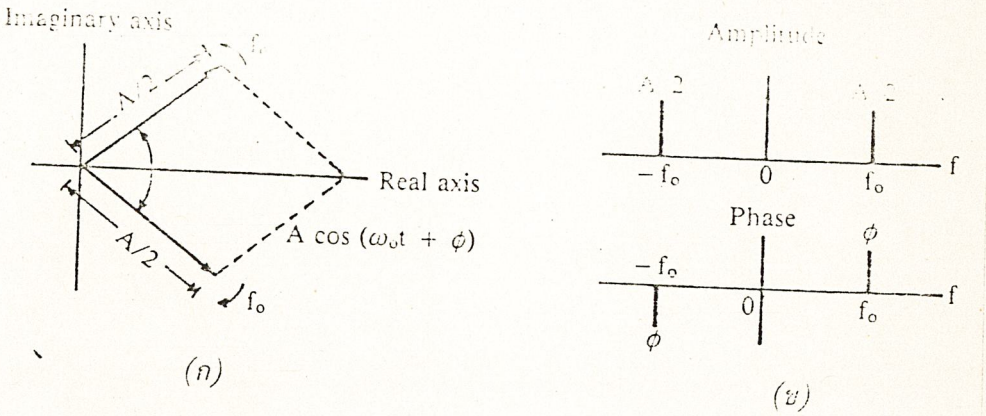
รูปที่ 2.2-3 แสดงเฟสเซอร์ของสัญญาณตามสมการ (2) การแสดงเฟสเซอร์และสเปกตรัมของสัญญาณจะถือหลักดังนี้

1. เพื่อให้ส่วนจริงของเฟสเซอร์มีค่าตรงกับสัญญาณที่ต้องการ มุม 0 ที่แสดงในเฟสเซอร์จะต้องเป็นมุมที่ทำกับแกน X

2. ขนาดสเปกตรัมของสัญญาณจะเขียนให้มีค่าบวกเสมอ ดังนั้นใน กรณีที่มีเครื่องหมายลบติดอยู่ก็จะทำให้เป็นเครื่องหมายบวกโดยเปลี่ยนเฟสไป+180° หรือ -180° การใช้เฟสเซอร์แสดงสัญญาณไซน์นั้นจะทำได้อีกแบบหนึ่งโดยพิจารณาจาก

$$A\cos(\omega_o t + 0) = A/2\, e^{j0}\, e^{j\omega_o t} + A/2\, e^{-j0}\, e^{-j\omega_o t} \qquad (3)$$

เมื่อเราเขียนเฟสเซอร์และรูปสเปกตรับของสัญญาณในสมการ (3) นี้จะได้ดังรูปที่ 2.2-4 เฟสเซอร์เทอมที่สองในสมการ (3) นั้นมีค่าความเร็วเชิงมุมเป็น $-\omega_o$ ซึ่งก็มีความหมายว่าเฟสเซอร์นั้นหมุนในทิศตรงข้ามกับทิศทางที่กำหนดให้เป็นบวกไว้ เท่านั้น ในการแสดงภาพสเปกตรัมก็จะมีสเปกตรัมที่มีความถี่เป็น $+f_o$ และ $-f_o$ นั้น มีความคลังกล่าวข้างต้น เมื่อเปรียบเทียบการแสดงภาพสเปกตรัมในรูปที่ 2.2-2และรูปที่ 2.2-4 อาจกล่าวได้ว่ารูปที่ 2.2-2 เป็นการแสดงสเปกตรัมด้านเดียวคือด้านที่ความถี่เป็นบวก รูปที่ 2.2-4 จะเป็นการแสดงสเปกตรัมสองด้านคือแสดงด้านที่ความถี่เป็นบวกและเป็นลบด้วย โดยที่ขนาดของสเปกตรัมจะเป็น 1/2 ของกรณีที่แสดงสเปกตรัมด้านเดียว



รูปที่ 2.2-4 การแสดงเฟสเซอร์และสเปกตรัมแบบความถี่สองด้าน

การแสดงสเปกตรัมแบบความถี่สองด้านนี้จะให้ความสะดวกในการวิเคราะห์ สเปกตรัมของสัญญาณในภายหลังมาก ดังนั้นโดยทั่วไปจึงมักใช้การแสดงสเปกตรัมในลักษณะนี้

เนื่องจากสัญญาณที่เกิดขึ้นตามธรรมชาติ หรือสัญญาณที่มนุษย์สร้างขึ้นเพื่อติดต่อสื่อสารกันนั้น โดยทั่วไปจะประกอบด้วยสเป็กตรัมเป็นแถบ เช่น เสียงพูดของคนเราโดยทั่วไปจะมีสเป็กตรัมอยู่ในช่วง 100-4,000 Hz หรือเสียงดนตรีจะมีช่วงความถี่ที่กว้างขึ้นอีก และสิ่งที่ต้องพิจารณาอีกอย่างหนึ่งก็คือ สัญญาณโดยทั่วไปจะมีการเปลี่ยนแปลงตามเวลา ดังนั้นส่วนประกอบสเป็กตรัมของสัญญาณก็จะมีขนาดเปลี่ยนแปลงตามเวลาด้วยทั้งนี้ยกเว้นกรณีที่สัญญาณนั้นก็มีการเปลี่ยนแปลงเป็นรายคาบ การวิเคราะห์สัญญาณที่เป็นรายคาบ และไม่เป็นรายคาบนี้ต้องอาศัยหลักการของการแตกอนุกรมฟูเรีย และการทำฟูเรียร์ทรานสฟอร์ม ซึ่งรายละเอียดจะกล่าวถึงในหัวข้อต่อไป

บทที่ 3

การส่งข้อมูลแบบซิงโครนัส และอะซิงโครนัส

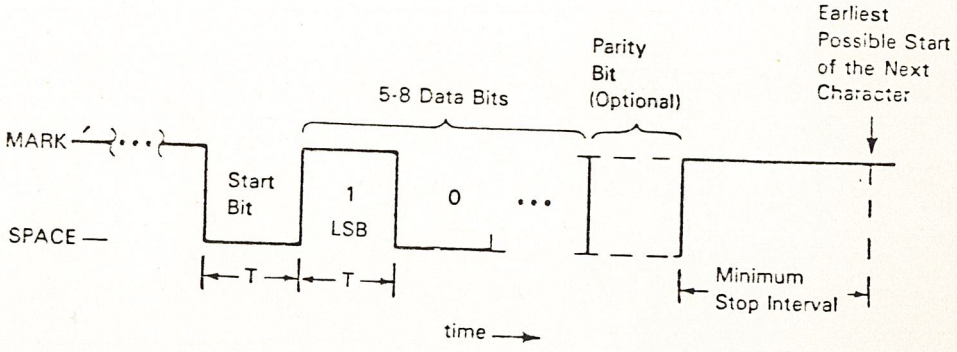
ขนาดของข้อมูลในหนึ่งตัวอักษรนั้น จะขึ้นอยู่กับอุปกรณ์การสื่อสารที่ใช้ ซึ่งจะมีขนาดความยาวอยู่ระหว่าง 5 บิท ถึง 8 บิท ตัวอักษรนั้น เกิดจากการกำหนดความหมายให้กับกลุ่มของเลขฐาน 2 ซึ่งความหมายนั้นจะแปลออกมาเป็น อักขระ(alphanumeric) ซึ่งอาจจะเป็นตัวอักษร , ตัวเลข หรือเครื่องหมายวรรคตอนอย่างใดก็ได้ หรือไม่เช่นนั้นก็อาจเป็นตัวกำหนดหน้าที่ควบคุมการทำงานของอุปกรณ์เช่น อาจเป็นคำสั่งให้เครื่องพิมพ์เลื่อนบรรทัด ขึ้นหน้ากระดาษใหม่ ฯลฯ ชุดของกลุ่มของเลขฐาน 2 ที่มีการกำหนดความหมายต่างๆ ให้นี้มีชื่อเรียกว่ารหัส(code)มีรหัสมากมายที่ใช้กันอยู่ในปัจจุบัน ซึ่งเราจะยกตัวอย่างมากล่าวถึงบ้างบางรหัส ในบทต่อไปอุปกรณ์การสื่อสารแต่ละชนิดนั้นจะถูกออกแบบมาให้ใช้ได้เฉพาะกับรหัสชนิดต่างๆกันขึ้นอยู่กับวัตถุประสงค์ของผู้ออกแบบ เราต้องทำความเข้าใจว่าการกำหนดความหมายของตัวอักษรในระบบไบนารีนั้น เป็นได้ต่าง ๆ นานา ตามใจชอบของผู้ออกแบบอุปกรณ์นั้น ดังนั้นในการติดต่อสื่อสารกัน ผู้ใช้การสื่อสาร ต้องเลือกอุปกรณ์ปลายที่มีการใช้รหัสชนิดเดียวกัน เท่านั้น ซึ่งฟังดูแล้วก็เหมือนกับเรื่องของการใช้สามัญสำนึก แต่ปัญหาส่วนใหญ่ในการสื่อสารข้อมูลนั้นก็มักจะเกิดจากความไม่เข้าใจในขีดความสามารถที่แท้จริงของอุปกรณ์ และข้อมูลที่ใช้ติดต่อกันอยู่

การใช้ศัพท์คำว่า อะซิงโครนัส (asynshcronous) และ ซิงโครนัส (synchronous) นั้น จะใช้อธิบายถึงการเกี่ยวข้องของเวลาที่สัมพันธ์กันระหว่างเวลาการส่งตัวอักษรแต่ละตัวบนสายส่งข้อมูลถ้าจะกล่าวถึงความหมายตามตัวอักษร แล้วอะซิงโครนัสก็หมายถึง "ไม่มีการสัมพันธ์ระหว่างกัน" (not synchronous) แต่อย่างไรก็ดีความหมายของการส่งข้อมูลในระบบอะซิงโครนัสนั้นหมายถึงว่า การส่งตัวอักขรตัวหนึ่ง ๆ นั้นจะเริ่มต้นที่เวลาใดก็ได้ เวลาที่ว่างในระหว่างการส่งอักษรแต่ละตัวไม่มีความแน่นอน ช่วงเวลาที่ว่าง (idle time) นี้ไม่มีการจำกัดระยะเวลาไว้แต่อย่างใด ดังนั้นรูปแบบการส่งข้อมูลแบบนี้ จึงเหมาะสมกับ ข้อมูลที่เกิดจากการพิมพ์อักษรของพนักงานที่ใช้อุปกรณ์ปลายแต่ละครั้งที่กดแป้นพิมพ์ตัวอักษรตัวอักษรก็จะถูกส่งออกไปแบบ อะซิงโครนัส

ในรูปแบบ ซิงโครนัส เวลาที่ว่างระหว่างตัวอักษรจะถูกขจัดออกไปบิทแรกของตัวอักษร จะถูกส่งตามหลังบิทสุดท้ายของตัวอักษรที่ส่งมาก่อนแล้วอย่างต่อเนื่องนั่นก็คือบนสายส่งข้อมูลนั้น จะต้องมีอะไรถูกส่งผ่านอยู่เสมอ และถ้ามีช่วงเวลาที่อุปกรณ์ที่ควบคุมสายไม่มีอะไรเป็นพิเศษที่จะส่ง ช่วงเวลานี้ก็จะต้องถูกเติมอักษรข้อมูลที่ไม่ใช่อักขระ(nonalphanumeric character) ซึ่งกำหนดจุดมุ่งหมายพิเศษเฉพาะเพื่อจะใช้รักษาความเป็นซิงโครนัสของสายส่งสัญญาณนั้นไว้ ความจริงแล้วมีสภาพการณ์อื่น ๆ อีกที่จะทำให้เกิดการสูญเสียการควบคุมการส่งแบบซิงโครนัสนี้ไปได้ เช่นการที่เครื่องรับไม่สามารถกำหนดได้ว่า ตัวอักษรที่ส่งมานั้นสิ้นสุดที่ไหนและตัวอักษรตัวต่อไปจะเริ่มต้นที่ใด และปัญหาที่เมื่อบิทข้อมูลเป็น "1" หรือ "0" ยาวนานเกินไป จะทำให้ขาดสัญญาณควบคุมสัญญาณนาฬิกาไป ดังนี้เป็นต้น แต่อย่างไรก็ดี ส่วนที่เหลือของบทนี้ จะยังไม่กล่าวถึงเรื่องเหล่านั้น คงจะกล่าวถึงเรื่องของรูปแบบอะซิงโครนัสเป็นหลัก

3.1 รูปลักษณะของข้อมูลแบบอะซิงโครนัส

รูป 2-1 เป็นภาพทั่วไป ของตัวอักษรแบบอะซิงโครนัส เวลาจะผ่านไปในลักษณะที่เคลื่อนไปสู่ด้านขวามือของหน้ากระดาษ สิ่งแรกที่ควรสังเกต ก็คือสถานะของสายการสื่อสารแบบไปนานี้นั้นจะเรียก มาร์ค(mark) และสเปซ (space) มากกว่า "1" และ "0" มาร์คจะตรงกับ "1" ส่วนสเปซจะตรงกับ "0" เนื่องจากเทคโนโลยีการสื่อสารข้อมูลนั้นตามความจริงแล้ว เก่าแก่มีมาก่อนเทคโนโลยีอิเล็กทรอนิกส์คอมพิวเตอร์ ดังนั้น ศัพท์สมัยเริ่มต้น ดังเช่น มาร์คและสเปซ จึงถูกใช้ต่อเนื่องกันมาจนปัจจุบัน



รูป 3.1 ภาพทั่วไปของสัญญาณอักษรอะซิงโครนัส

ในช่วงเวลาที่ว่างระหว่างตัวอักษรสถานะของสายส่งสัญญาณจะถูกรักษาไว้ให้มีค่าเป็นมาร์ค และโดยคำนิยามของการส่งสัญญาณแบบอะซิงโครนัส การส่งตัวอักษรสามารถจะเริ่มจากเวลาใดก็ได้เมื่อสายว่า แต่อย่างไรก็ตาม เพื่อให้ระบบสามารถที่จะทำงานได้ จะต้องมีสภาวะบางอย่างที่จะใช้บอกกับเครื่องรับให้รู้ว่าในช่วงเวลาใดกำลังมีข้อมูลตัวอักษรปรากฏอยู่บนสาย สภาวะที่ใช้บอกนั้นก็ คือบิทเริ่มต้น (start bit) บิทเริ่มต้นนี้ไม่ใช่บิทข้อมูล แต่เป็นสัญญาณควบคุม (controlsignal) ที่จุดเริ่มต้นของ "บิทเริ่มต้น" นี้ สถานะของสายส่งข้อมูล จะเปลี่ยนจากมาร์คมาเป็นสเปซและจะถูกรักษาให้อยู่ในสถานะสเปซนี้ตลอดช่วงเวลาที่จำกัด T ค่าหนึ่ง ที่เรียกว่า เวลาบิท (bit time)

ถัดจากบิทเริ่มต้นไปทันทีนั้นจะเป็นบิทข้อมูลตัวอักษร ซึ่งจะเป็นเนื้อหาข้อมูลของตัวอักษรแต่ละตัวที่ถูกส่งบิทที่มีนัยสำคัญน้อยที่สุด(least significant bit)ซึ่งนิยมเขียนย่อว่า LSB จะถูกส่งตามบิทเริ่มต้นก่อนเป็นลำดับแรก แต่ละช่วงเวลาของบิทข้อมูลจะมีความยาวเท่ากับ T ซึ่งเท่ากับช่วงเวลาของบิทเริ่มต้น เวลาบิท T นี้เป็นค่าพารามิเตอร์พื้นฐานที่สำคัญของสายการสื่อสาร อัตราส่งข้อมูล (data - rate) ของสายการสื่อสารในหน่วย บิทต่อวินาที สามารถคำนวณได้โดยความสัมพันธ์ต่อไปนี้คือ

$$\text{อัตราส่งข้อมูล} = 1/T \text{ (บิท/วินาที : b/s)}$$

ยกตัวอย่างเช่น ถ้าเวลาบิทมีค่า 20 มิลลิวินาที (ms) เราจะได้ที่

$$\text{อัตราส่งข้อมูล} = 1/20 \times 30^{-3} = 50 \text{ (b/s)}$$

อัตราส่งข้อมูล (b/s) นี้มักจะถูกอ้างถึงว่าคือ อัตราบอด (baud rate) ของสายการสื่อสาร แต่ความจริงแล้วมันมีข้อแตกต่างระหว่างอัตราส่งข้อมูลในหน่วยบิทต่อวินาที (b/s) กับอัตราบอดซึ่งเราจะศึกษากันในบทที่ 9 ในขณะนี้ขอให้ผู้อ่านเข้าใจว่า ตราบเท่าที่เราเกี่ยวข้องอยู่กับวงจรไบนารี่ (สัญญาณมี 2 สถานะ) คืออัตราบอด และ อัตราส่งข้อมูล (b/s) นั้นสามารถใช้แทนกันได้ ความจริงแล้วเมื่อเราศึกษาสถานะของสัญญาณข้อมูลในสายส่งนั้น สถานะสัญญาณที่ใช้ภายในสายส่งย่อมมีได้เกิน 2 สถานะ ในสภาวะเช่นนี้ อัตราส่งข้อมูลจะไม่เป็นค่าเดียวกันกับอัตราบอด อย่างไรก็ตามสัญญาณระหว่างอุปกรณ์อินเตอร์เฟส (interface) กับอุปกรณ์ปลาย (terminal) และคอมพิวเตอร์หลักนั้นจะมีสถานะเป็นไบนารี่ (2 สถานะ) เป็นหลักอยู่ ดังนั้นในวงอุตสาหกรรมทั่วไป จึงใช้คำศัพท์ทั้งสองในความหมายเดียวกัน

เหมือนดังเช่นพิจารณาได้จากรูป 3.1 ว่า ค่าสถานะของบิทข้อมูลนั้น เกิดขึ้นแบบประสานต่อเนื่องกัน ดังนั้น ถ้าข้อมูลแต่ละบิทมีค่าเหมือนกัน ก็จะไม่มีสภาวะที่จะทำให้เราสังเกตรอยต่อประสานระหว่างแต่ละบิทได้เลย มันมีเพียงความรู้ที่ว่าเวลาบิท T เป็นตัวกำหนดว่า บิทนั้นเมื่อเริ่มต้นแล้วจะไปสิ้นสุดที่ใดดังที่กล่าวแล้วว่าความยาวของตัวอักษร อาจจะอยู่ระหว่าง 5-8 บิทข้อมูลขึ้นอยู่กับการออกแบบอุปกรณ์นั้นขึ้นมา อุปกรณ์บางอย่างถูกออกแบบขึ้นด้วยการกำหนดบิทหนึ่งเพิ่มขึ้นมาต่อท้ายบิทข้อมูลเพื่อใช้เป็นตัวช่วยตรวจสอบความผิดพลาด ซึ่งอาจจะเกิดขึ้นได้เมื่อทำการส่งข้อมูลผ่านช่องการสื่อสาร (channel) บิทที่เพิ่มขึ้นมาเพื่อทำหน้าที่ดังกล่าวนี้ เรียกว่า พาริตีบิท (parity bit) การเลือกค่าของพาริตีบิท นี้มีหลักการดังต่อไปนี้ คือ

3.2 พาริตีคู่ และ พาริตีคี่

พาริตีคู่ (even parity)

ทำการกำหนดค่าพาริตีโดยการนับจำนวนของบิทข้อมูลที่มีสถานะ เป็นมาร์ค(1) สถานะของพาริตีบิทจะถูกจัดให้มีค่าเป็นมาร์ค (1) หรือสเปซ (0) เพื่อทำให้จำนวนบิททั้งหมด รวมทั้งพาริตีบิทมีจำนวนบิทที่เป็นมาร์ครวมกันแล้วมีค่าเป็นเลขคู่ (การนับนี้ไม่รวมบิทเริ่มต้น)

พาริตีคี่ (odd parity)

มีหลักการคล้ายกับหลักการแรก ต่างกันแต่การเลือกค่าของพาริตีบิทนั้น จะทำให้จำนวนของบิทที่เป็นมาร์ค ในจำนวนบิทที่รวมกันแล้วมีค่าเป็นจำนวนคี่แทนที่จะเป็นจำนวนคู่

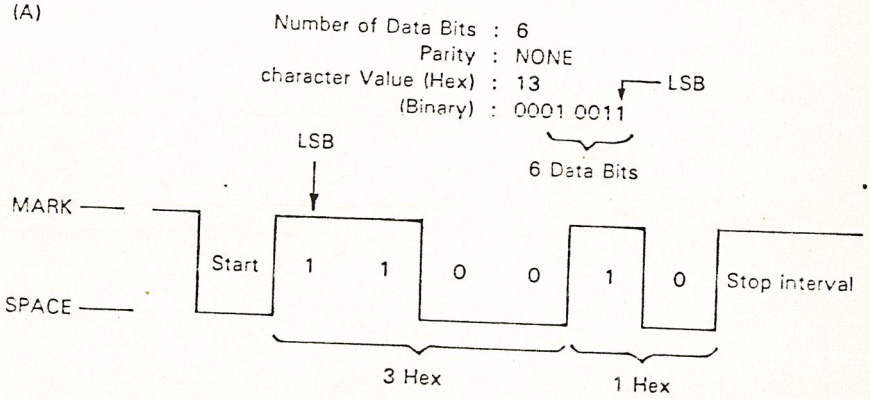
แน่นอนว่าเครื่องรับและเครื่องส่งนั้นถ้าใช้ระบบการตรวจพาริตี จะต้องใช้ระบบเดียวกัน ถ้าเครื่องส่งใช้ระบบพาริตีคู่ แต่เครื่องรับใช้ระบบพาริตีคี่แล้วระบบก็ย่อมล้มเหลว การตรวจสอบความผิดพลาดที่อาจเกิดจากการส่งสัญญาณ ผ่านช่องการสื่อสารก็เพียงแต่เครื่องรับตรวจดูว่าข้อมูลที่รับเข้ามามีพาริตีตรงตามชนิดที่ออกแบบไว้หรือไม่ ถ้ามีบิทผิดพลาดเกิดขึ้นก็หมายความว่ามีบิทใดบิทหนึ่งเปลี่ยนค่า

จาก0เป็น 1 หรือ 1 เป็น 0 ก็จะทำให้จำนวนผลรวมของบิทที่เป็น 1 แตกต่างไปจากจำนวนคู่หรือจำนวนคี่ที่กำหนด เครื่องรับก็จะรู้ได้ว่าในกรณีนั้นข้อมูลที่รับเข้ามาเกิดผิดพลาดแล้ว

ย้อนกลับไปพิจารณารูป 3.1 อีกครั้งว่า เมื่อสิ้นสุดบิทสุดท้ายแล้ว สถานะของสายส่งข้อมูลก็จะถูกบังคับกลับเป็นมาร์คอีกครั้ง นี้คือการเริ่มต้นของ ช่วงการหยุด (stop interval) ซึ่งมักจะมีผู้ใช้คำเรียกคลาดเคลื่อนว่าเป็น "บิทสิ้นสุด" (stop bit) กันมาก มันเป็นจุดเริ่มต้นของเวลาที่ว่าง (idle time) ระหว่างการส่งตัวอักษรแบบอะซิงโครนัส แต่เพื่อเป็นการประกันว่าจะมีการเปลี่ยนสถานะของสายจากมาร์คเป็นสเปซในการเริ่มต้นของบิทเริ่มต้นของการส่งตัวอักษรตัวใหม่นั้น ก็จะเกิดความจำเป็นที่จะต้องจัดค่าช่วงการหยุดจากท้ายสุดของตัวอักษรตัวเก่าให้เกิดมีขึ้น ไม่เช่นนั้นถ้าบิทสุดท้ายของตัวอักษรตัวเก่า มีสถานะเป็นสเปซแล้วสถานะการเริ่มต้นของบิทเริ่มต้นที่สังเกตจากการเปลี่ยนแปลงสถานะของสาย จากมาร์คมาเป็นสเปซก็จะไม่มีความชัดเจน ช่วงการหยุดนั้นจะมีช่วงเวลาน้อยที่สุดเท่าใดนั้น มีใช้ต่างกันไปตามการออกแบบระบบสื่อสารข้อมูลนั้น ๆ ที่นิยมใช้กันอยู่ทั่วไป นั้นคือ 1 หรือ 2 เท่าของเวลาบิท T และมีอยู่เหมือนกันที่ใช้เวลา 1.5 T และเนื่องจากรูปแบบการส่งเป็นแบบอะซิงโครนัส ช่วงการหยุดนี้ จะไม่มีการกำหนดค่าช่วงเวลาว่าค่าที่นานที่สุดควรเป็นเท่าไร

3.3 รูปคลื่นของอักษรอะซิงโครนัส

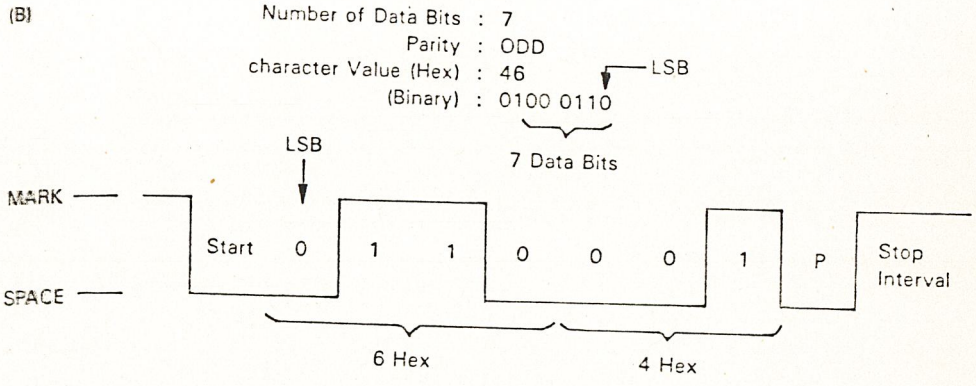
ในหัวข้อนี้จะแสดงให้เห็นถึงตัวอย่างรูปคลื่นที่เกิดจากตัวอักษรอะซิงโครนัสแบบต่าง ๆ เพราะบิทข้อมูลในหนึ่งตัวอักษรนั้นมีจำนวน 5-8 บิท ดังนั้น เราจึงสามารถอ้างอิงถึงค่าตามลำดับของมันได้ด้วยค่าในเลขฐาน 16 (Hexadecimal)ในตัวอย่างแรก (รูป 3.3) เป็นตัวอักษรที่มีบิทข้อมูล 6 บิท ดังนั้น ถ้าเราจะอ้างอิงถึงค่าของมันด้วยเลขฐาน 16 เราก็จะคิด 4 บิทแรกเป็นหลักแรก



รูป 3.3 ตัวอย่างรูปคลื่นของอักษรอะซิงโครนัส 6 บิท

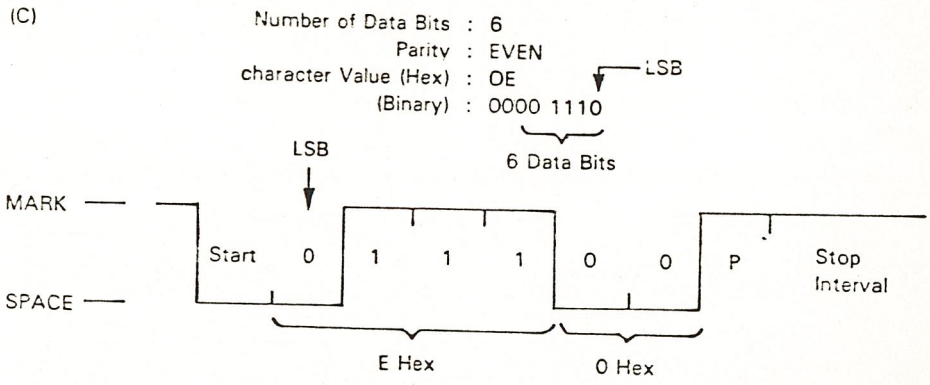
ของเลขฐาน 16 ที่เราอ้างถึงในที่นี้คือ 3_H และหลักที่ 2 ของเลขฐาน 16 ที่จะอ้างถึงสำหรับรูปแบบนี้จะใช้บิทข้อมูลที่ 5 และที่ 6 รวมกับบิท 0 สองบิท ซึ่งไม่ปรากฏในสัญญาณเป็นตัวกำหนดค่าโดยถือบิทข้อมูลที่ 5 เป็น LSB เพราะฉะนั้นในรูป 2.3 นี้ก็จะได้เลขฐาน 16 หลักที่ 2 คือ 1_H ความจริงแล้วขีดแบ่งรอยต่อเวลาระหว่างบิทข้อมูลต่าง ๆ ที่มีระดับเดียวกันดังแสดงในรูปนั้นจะไม่มีปรากฏให้เห็นแต่ในที่นี้แสดงไว้เพื่อให้ผู้อ่านมีจุดสังเกตเท่านั้น ตามรูปนี้ไม่มีการใช้พาริตีบิทหลังบิทสุดท้ายจะเป็นช่วงการหยุดระหว่างตัวอักษรทันที

ตัวอย่างที่สองมีดังแสดงในรูป 3.4 ตัวอักษรในตัวอย่างมีบิทข้อมูล 7 บิทใช้พาริตีบิทชนิดพาริตีคี่ ผู้อ่านจะสังเกตเห็นได้ว่าจะนำนวนบิทที่มีค่าเป็นมาร์ค ในรูปนี้มีค่าเป็นจำนวนคี่ ช่วงบิทที่แสดงลำกับโดยตัวอักษร P คือพาริตีบิทในตัวอย่างนี้ถ้าจะใช้การอ้างถึงบิทข้อมูลด้วยเลขฐาน 16 แล้วเลขหลักแรกได้มาจาก 4 บิทแรกคือ 6_H และหลักหลังได้มาจากบิทที่ 5,6 และ 7 รวมกับบิท 0 ซึ่งไม่ปรากฏในรูปสัญญาณ (ไม่ใช่พาริตีบิท) จึงมีค่าเป็น 4_H



รูป 3.4 ตัวอย่างรูปคลื่นของอักษรอะซิงโครนัส 7 บิทที่มีพาริตีบิท

ตัวอย่างสุดท้าย (รูป 2.4) เป็นรูปคลื่นของอักษรอะซิงโครนัส ที่มีบิทข้อมูล 6 บิท เช่นเดียวกับตัวอย่างแรก ต่างกันแต่ว่าในตัวอย่างนี้มีการใช้พาริตีบิท ระบบพาริตีคู่ ผู้อ่านจะเห็นว่าค่าของพาริตีบิทมีค่าเป็น 1 หรือมาร์ค ซึ่งจะทำให้จำนวนบิทที่เป็นมาร์คในตัวอักษรอะซิงโครนัสนั้นมีจำนวนเป็นเลขคู่ (คือ 4) ตามรูปช่วงเวลาการหยุดหลังตัวอักษร จะเริ่มหลังพาริตีบิท P ซึ่งในที่นี้เป็นมาร์คเหมือนกับระดับในช่วงการหยุด (รูปคลื่นจริงจะไม่มีขีดแบ่งระหว่างช่องเวลาบิทให้เห็น) ตามรูปนี้การอ้างอิงด้วยเลขฐาน 16 จะได้เป็น $0E_H$



รูป 3.5 ตัวอย่างรูปคลื่นของอักษรอะซิงโครนัส 6 บิท ที่มีพาริตีบิท

3.4 การส่งอัตราส่งอักษรสูงสุด

จากที่ได้ศึกษามา เราก็พร้อมแล้วที่จะคำนวณปริมาณที่สำคัญค่าหนึ่งในสาขาการสื่อสารข้อมูลคือ ค่าอัตราสูงสุด (maximum rate) ของการส่งอักษรต่อวินาทีซึ่งเครื่องส่งแบบอะซิงโครนัสจะสามารถส่งได้ค่าสูงสุดนี้เกิดขึ้นได้ เมื่อตัวอักษรแต่ละตัวอยู่ใกล้ชิดกันมากที่สุดเท่าที่จะมากได้ นั่นคือช่วงต่อระหว่างตัวอักษรแต่ละตัวมีช่วงเวลาเพียงเท่ากับช่วงเวลาหยุด (stop interval) ที่น้อยที่สุด ดังนั้น สูตรการคำนวณที่เกี่ยวกับอัตราการส่งบิทข้อมูล และขนาดความยาวของตัวอักษรจึงเป็นดังต่อไปนี้คือ

อัตราการส่งอักษรต่อวินาที = อัตราการส่งข้อมูล/จำนวนบิทต่อตัวอักษร

เราสามารถที่จะคำนวณหาขนาดของข้อมูลได้ดังนี้คือ

จำนวนบิทต่อตัวอักษร = 1(บิทเริ่มต้น) + จำนวนบิทข้อมูล + พาริตีบิท (1 หรือ 0)
+ ช่วงเวลาหยุดที่สิ้นสุด

ยกตัวอย่างเช่น คอมพิวเตอร์เครื่องหนึ่งส่งข้อมูลแบบอะซิงโครนัสด้วยความเร็วบนสายส่งข้อมูล (line speed) เท่ากับ 300 b/s ค่าจำนวนบิทข้อมูลต่ออักษร คือ 7 บิท ใช้พาริตีคู่ และจำนวนช่วงเวลาหยุดที่สิ้นสุดคือ 1 เวลาบิท เราจะคำนวณ ได้ว่า

จำนวนบิทต่อตัวอักษร = 1+7+1+1+

= 10

ดังนี้เป็นต้น เราต้องไม่ลืมการรวมเวลาบิทเริ่มต้นเข้าไปเสมอ เรามักจะลืมมันเพราะว่าจะไม่มีการบอกกำหนดค่านี้มาให้ทั้ง ๆ ที่มันจำเป็นจะต้องมีอยู่ด้วยเสมอในกรณีนี้เราจะสามารถคำนวณอัตราการส่งตัวอักษรสูงสุดได้ว่า

อัตราการส่งอักษรต่อวินาที = 300/10

= 30 ตัวอักษร/วินาที

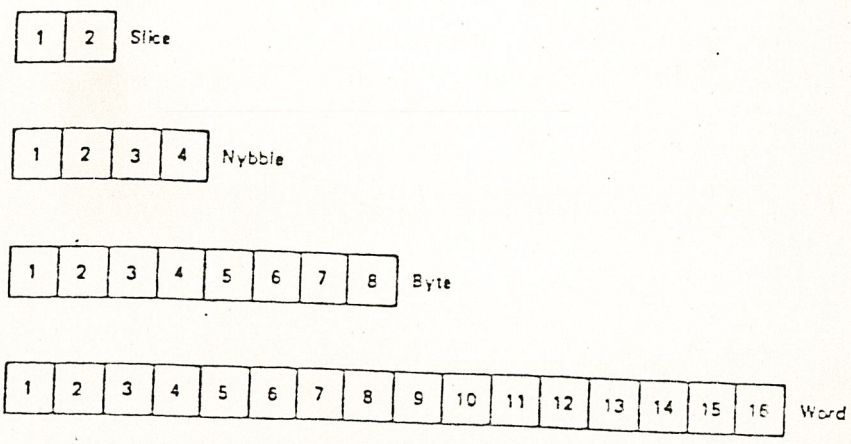
บทที่ 4

การส่งข้อมูลแบบขนานและแบบอนุกรม

โดยทั่ว ๆ ไปหลักใหญ่ของการส่งข้อมูลในคอมพิวเตอร์ หรือระหว่างคอมพิวเตอร์ด้วยกัน จะมีลักษณะของการส่งข้อมูลอยู่ 2 แบบ คือ ส่งแบบขนาน และส่งแบบอนุกรม ดังกล่าวมาแล้วว่าคำสั่งหรือข้อมูลอยู่ในรูปของบิท คือหลาย ๆ บิทประกอบกันเป็นคำ ๆ หนึ่ง (word) หรือคำสั่งหนึ่ง ๆ ดังในรูป 4.1 ได้แสดงถึงกลุ่มของบิทที่มีการใช้งานในไมโครคอมพิวเตอร์ โดยในการกำหนดแอดเดรสของหน่วยความจำ , หรือการเขียนคำสั่ง และขบวนการอื่น ๆ ล้วนแต่ต้องแปลงให้อยู่ในรูปของเลขศูนย์กับเลขหนึ่งเสมอ จึงจะทำให้ซีพียูรับรู้ และปฏิบัติตามได้ จึงได้มีการกำหนดลักษณะมาตรฐานของข้อมูล ดังนี้ "ถ้าข้อมูลหนึ่งตัวเมื่อแปลงให้อยู่ในรูปของเลขฐานสองแล้ว ประกอบด้วย 4 บิท เราเรียกว่า 4 บิท ไมโคร หรือ 1 นิบเบิล (Nybble)" "และถ้าข้อมูลประกอบไปด้วยกลุ่มของบิทที่มี 8 บิทเราเรียกว่าเป็น 1ไดท์ (Byle)" เป็นต้น แต่ในระบบอื่นอาจจะมี 16 บิท หรือ 32 บิท เป็น 1 ไบท์ก็ได้เพราะฉะนั้นเมื่อเรารู้ลักษณะของข้อมูลแล้ว ต่อไปเราจะมาดูถึงข้อแตกต่างระหว่างการส่งข้อมูลในแบบขนาน และอนุกรมว่าเป็นอย่างไร

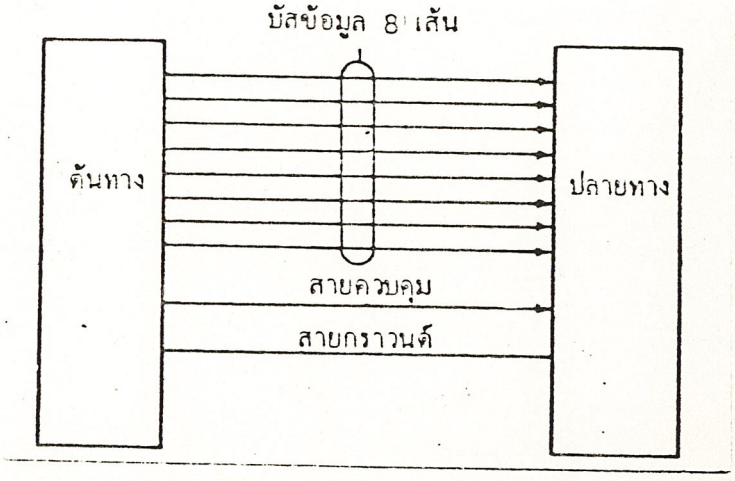
การส่งข้อมูลแบบอนุกรม : ข้อมูลแต่ละบิทจะถูกส่งเรียงกันออกไปเป็นลำดับ ต่อเนื่องกันทีละบิท เช่น ถ้าข้อมูลเป็น 1010 : เลข 0 ทางขวามือสุดซึ่งเป็น LSB(Least Significant bit) ส่งออกไปก่อน ตามด้วยบิทที่สองคือเลข 1และ บิทที่ 3 คือเลข 0 และบิทสุดท้ายคือเลข 1 ซึ่งเป็น MSB (Most Singniticant Bit) ตามลำดับโดยสายส่งข้อมูลจะมีอยู่เพียงเส้นเดียวเท่านั้น

การส่งข้อมูลแบบขนาน : ข้อมูลทุกๆ บิทจะถูกส่งออกไปพร้อมๆ กันในครั้งเดียวเช่น ถ้าข้อมูลเป็น 1010 ทั้งสี่บิทนี้จะถูกส่งออกไปพร้อมกัน โดยผ่านสายส่งข้อมูลที่มี 4 เส้น โดยแต่ละบิทจะส่งในสายส่งคนละเส้น



รูปที่ 4.1 แสดงรูปแบบของข้อมูล

ในระบบไมโครคอมพิวเตอร์ทั่วไป การส่งผ่านข้อมูลระหว่างอุปกรณ์ต่างๆที่อยู่บนแผ่นวงจรเดียวกัน จะส่งในแบบขนานทั้งสิ้น ถ้าเป็นไมโครคอมพิวเตอร์ขนาด 8 บิท สายส่งข้อมูลภายในก็จะมี 8 เส้น ซึ่งเรียกว่า "บัสข้อมูล" (data bus) นอกจากบัสข้อมูลที่ 8 เส้นนี้แล้วยังต้องมีสายส่งข้อมูลอย่างน้อยอีก 2 เส้นรวมกันอีกด้วย ซึ่งจะใช้เป็นสาย data Ready และสายกราวนด์ดังรูปที่



รูปที่ 4.2 ระบบการส่งข้อมูลแบบขนาน

ซึ่งความจำเป็นของสายกราวนด์นี้มีไว้เพื่อใช้เป็นจุดอ้างอิงของศักดาไฟฟ้าเพื่อแสดงสถานะทางลอจิกของข้อมูลทั้ง 8 บิท โดยที่ระดับศักดาไฟฟ้าของข้อมูลจะมีเพียง 0 กับ 1 เท่านั้น สำหรับสาย data ready นั้นจะบอกถึงความพร้อมของจุดส่งข้อมูลว่า ขณะนี้มีข้อมูลพร้อมที่จะส่งแล้ว ทางจุดรับจะตอบรับต่อสัญญาณนี้ว่าพร้อมที่จะรับหรือไม่ ซึ่งจะต้องมีการตรวจสอบสัญญาณเหล่านี้ก่อนเสมอ ถึงจุดนี้แล้วคงพอจะมองเห็นภาพของข้อมูลที่ถูกส่งแล้วว่าจะถูกส่งออกไปครั้งละ 1 ไบท์ ตลอดเวลาจึงทำให้ปฏิบัติตามขบวนการต่างๆ รับรู้คำสั่ง และปฏิบัติตามได้อย่างรวดเร็วถูกต้อง

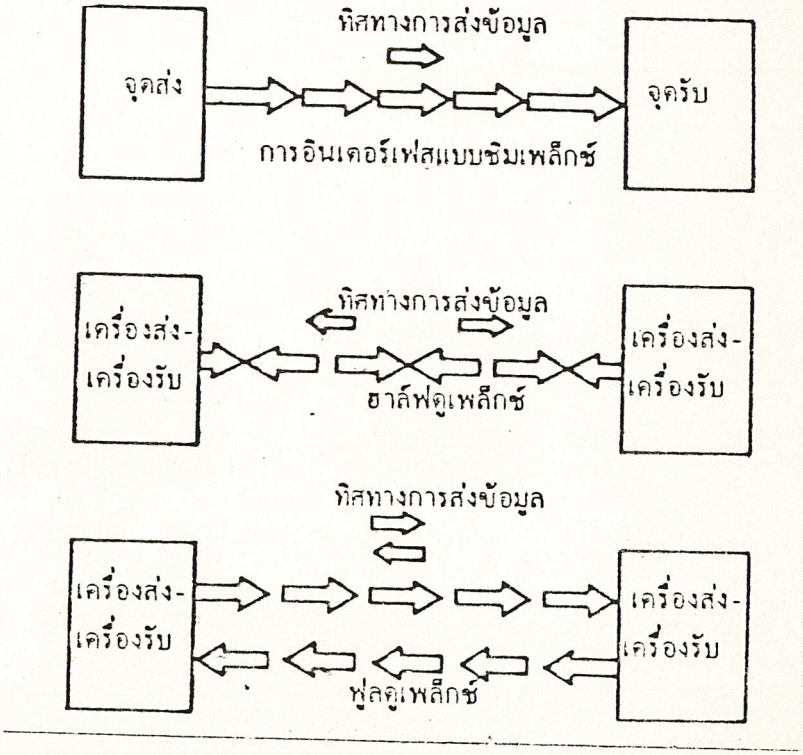
ข้อที่ควรสังเกตจากรูป 1-2 อีกข้อหนึ่งก็คือ ในการส่งข้อมูลแบบขนานนี้ควรจะต้องมีสัญญาณควบคุมเพื่อใช้ควบคุมการปฏิบัติงานให้ถูกต้องโดยสัญญาณควบคุมนี้ จะส่งในทิศทางเดียวตลอดเวลา แต่ถ้าหากทิศทางของข้อมูลมีการแลกเปลี่ยนกันคือ ส่งกลับไปมาได้ทั้งสองทางในลักษณะนี้สัญญาณควบคุมก็จะต้องเป็นลักษณะสองทิศทางด้วย จึงต้องใช้สายสัญญาณควบคุมถึง 2 เส้นพร้อมกันคือสัญญาณ IN และ OUT จะเป็นตัวชี้ว่า แชนแนลหรือช่องสัญญาณไหนที่ทำการส่งข้อมูลและช่องสัญญาณไหน ที่รับข้อมูลเป็นต้น

ข้อเปรียบเทียบระหว่างการส่งข้อมูลแบบขนานและแบบอนุกรม		
	แบบขนาน	แบบอนุกรม
1. ระยะทาง	ปกติจะน้อยกว่า 100 ฟุต	ส่งได้ตั้งแต่ระยะสั้น ๆ จนถึงระยะทางเป็นไมล์
2. ความเร็ว	อัตราความเร็วสูงมากในระยะที่ไม่ไกลมากนัก กำหนดได้เป็นจำนวนบิทต่อวินาที	อัตราความเร็วของข้อมูลที่ใช้กันอยู่ทั่วไปจะอยู่ในช่วง 0 ถึง 2 ล้านบิทต่อวินาที
3. ระดับของสัญญาณ	ในการอินเตอร์เฟสจะใช้ระดับสัญญาณที่ใช้กับอุปกรณ์ TTL คือ สัญญาณลอจิก 1และ0 จะแทนด้วยระดับแรงดัน+5V และ 0V ตามลำดับ	ใช้มาตรฐานของ EIA-RS 232C คือมีระดับสัญญาณไฟขนาด 12 V หรืออาจจะใช้มาตรฐาน 20 mA current loop หรืออาจจะใช้ระดับสัญญาณของ TTL ก็ได้ (ใช้กันน้อยมาก)
4. ความผิดพลาดของสัญญาณ	ถ้าส่งในระยะทางไกลๆ ความผิดพลาดของข้อมูลจะเกิดขึ้นง่าย	การผิดพลาดของสัญญาณจะมีน้อยลง
5. ค่าใช้จ่าย	ถ้าส่งในระยะทางไกลๆ จะสิ้นเปลืองค่าใช้จ่ายมาก เพราะต้องใช้สายส่งสัญญาณหลายเส้น	สิ้นเปลืองน้อยกว่าหลายเท่า ถึงแม้ว่าจะใช้อุปกรณ์เปลี่ยนสัญญาณของข้อมูลจากแบบขนานไปเป็นแบบอนุกรมแล้วส่งผ่านสายส่งใช้อุปกรณ์ในการแปลงสัญญาณกลับมาเป็นแบบขนานอีก ก็ยังลงทุนน้อยกว่า

ในระบบการสื่อสารข้อมูลนั้น ข้อมูลที่ส่งออกไปจะอยู่ในรูปของสัญญาณไฟฟ้า(เป็นสัญญาณอนาล็อก) วิ่งผ่านไปตามสายส่ง ซึ่งมักจะเกิดปัญหาเรื่องเกิดความผิดพลาดของสัญญาณขึ้นมา ซึ่งปัจจัยอย่างหนึ่งที่เป็นสาเหตุก็คือ ระยะทางที่ส่งผ่านข้อมูล ถ้าระยะทางยิ่งไกลความผิดพลาดของข้อมูลก็จะเพิ่มมากขึ้นเป็นเงาตามตัวฉะนั้นในการแก้ไขจุดบกพร่องนี้วิธีต่าง ๆ ที่ใช้แก้ไขปัญหานี้คือ ส่งสัญญาณข้อมูลที่มีความแรงมาก ๆ ออกไป หรือมีการใช้วงจรขยายสัญญาณข้อมูลเป็นช่วง ๆ เพื่อให้

ความแรงของสัญญาณคงที่ตลอดเวลา เป็นต้น หรือมีการใช้วงจรขยายสัญญาณข้อมูลที่เป็นแบบอนุกรมจะยุ่งยากน้อยกว่าแบบขนานมาก นอกจากนี้ปัญหาอื่น ๆ ที่พบอยู่เสมอก็ได้แก่ เฟสของสัญญาณและปัญหาเกี่ยวกับหน่วยเวลาของสัญญาณข้อมูล ซึ่งล้วนแต่มีผลให้ข้อมูลที่รับได้ทางปลายทางผิดพลาดได้ และในการส่งข้อมูลแบบขนานมักจะพบกับปัญหาการบิดเบือนของสัญญาณ (Skewing) เสมอ

ในปัจจุบันถ้าเป็นการสื่อสารข้อมูลที่มีระยะทางไกลแล้ว รูปแบบของการส่งสัญญาณมักจะอาศัยเครือข่ายในโทรศัพท์เป็นตัวกลาง หรือส่งผ่านสายโทรศัพท์นั่นเอง โดยจะส่งในรูปของสัญญาณเสียง (Voice Signal) หรือสัญญาณอนาล็อกแต่ในกรณีที่จะส่งสัญญาณในลักษณะของสัญญาณดิจิตอล โดยใช้เครือข่ายโทรศัพท์ แล้วจะต้องทำการแปลงสัญญาณดิจิตอลให้อยู่ในรูปของสัญญาณอนาล็อกเสียก่อน โดยจะต้องมีคุณสมบัติของสัญญาณ เช่น มีแถบความถี่ และอื่น ๆ สอดคล้องกับคุณสมบัติของระบบเครือข่ายโทรศัพท์ที่วางไว้เป็นมาตรฐานอยู่แล้ว ซึ่งรายละเอียดของการสื่อสารข้อมูลโดยผ่านสายโทรศัพท์เป็นตัวกลาง ดังนั้นเมื่อมาถึงจุดนี้เราคงจะนึกภาพออกแล้วว่า จะเลือกใช้วิธีการส่งข้อมูลแบบใดนั้นขึ้นอยู่กับความเหมาะสมที่จะนำไปใช้ในระบบ ถ้าเป็นการสื่อสารในระยะทางสั้น ก็ควรจะใช้การส่งข้อมูลแบบขนานเนื่องจากสามารถส่งข้อมูลในอัตราสูงได้ แต่สำหรับการสื่อสารในระยะไกลๆ การส่งในแบบอนุกรมจะเหมาะสมกว่า และไม่ว่าในการส่งข้อมูลแบบอนุกรมหรือแบบขนานก็ตาม คุณสมบัติอย่างหนึ่งที่ต้องคำนึงถึงก็คือ ทิศทางส่งข้อมูล ซึ่งจะกล่าวโดยละเอียดต่อไป



รูปที่ 4.3 การส่งข้อมูลในลักษณะต่าง ๆ

จากรูปที่ 4.3 จะเห็นว่ามีทิศทางของการส่งข้อมูลต่าง ๆ กัน 3 ลักษณะคือแบบทิศทางเดียวหรือซิมเพล็กซ์ แบบสองทางแต่โต้ตอบกันไม่ได้ หรือฮาล์ฟดูเพล็กซ์ และแบบที่สามเป็นแบบส่งข้อมูลได้สองทางและโต้ตอบกันได้ในเวลาเดียวกัน หรือแบบฟูลดูเพล็กซ์

วิธีที่ง่ายที่สุดก็คือ การส่งข้อมูลแบบไปในทิศทางเดียว เช่น ส่งข้อมูลจากเทอร์มินัล A ไปยังเทอร์มินัล B ในกรณีนี้เทอร์มินัล A จะต้องเป็นเครื่องส่งและ B จะต้องเป็นเครื่องรับเท่านั้น ส่วนในกรณีที่สองจะแตกต่างจากกรณีแรกคือ เป็นการส่งในลักษณะที่เทอร์มินัล A และ B สามารถทำหน้าที่เป็นได้ทั้งเครื่องรับและเครื่องส่ง เช่น เทอร์มินัล A ส่งข้อมูลไปให้ B ได้และ B ก็ส่งข้อมูลตอบกลับมาให้ A ได้เช่นกัน แต่ตัวส่งอยู่คนละช่วงเวลา ซึ่งต่างจากวิธีซิมเพล็กซ์ที่เทอร์มินัล B ทำหน้าที่เป็นฝ่ายรับข่าวสารได้เพียงอย่างเดียวเท่านั้น ในลักษณะที่สามวิธีนี้ เรียกว่าเป็นแบบฟูลดูเพล็กซ์ จากรูปที่ 2.4 เราจะเห็นความแตกต่างจากสองกรณีแรกได้เลยว่า เทอร์มินัล A และ B สามารถจะโต้ตอบกันได้คือ เป็นเครื่องรับและเครื่องส่งในเวลาเดียวกันได้ คือเทอร์มินัล A ส่งข้อมูลไปให้เทอร์มินัล B ซึ่งเป็นเวลาเดียวกันที่เทอร์มินัล B ก็ส่งข้อมูลไปให้เทอร์มินัล A เทอร์มินัล A และ B จะมีการทำงานที่เป็นอิสระต่อกัน และสายส่งข้อมูลที่ใช้ติดต่อระหว่างเทอร์มินัล A และ B จะประกอบไปด้วยสายส่งทั้งหมด 3 เส้นคือ สายสัญญาณรับ / ส่ง และสายกราวนด์ โดยระบบของเทอร์มินัล A และ B จะใช้สายกราวนด์ร่วมกัน จะเรียกว่าเป็นระบบฟูลดูเพล็กซ์ 4- เส้น (Full duplex 4- wires) ส่วนอีกระบบหนึ่งจะใช้สายสัญญาณส่งและรับร่วมกัน และในระบบจะมีสายส่งสัญญาณเพียง 2 เส้น ในลักษณะนี้เรียกว่าเป็นระบบฟูลดูเพล็กซ์ 2 เส้น (Full duplex 2-wires) เป็นต้น

บทที่ 5

การมอดดูเลชันข้อมูล

ในบทก่อนเราได้กล่าวถึงคำว่า "มอดดูเลชัน" และ "คลื่นพาห์" มาบ้างแล้ว แต่ยังไม่ได้กล่าวรายละเอียดไว้ ในบทนี้จะเป็นการเพิ่มเติมรายละเอียดในเรื่องเหล่านี้

ในการมอดดูเลชันนั้นจะทำการฝากสัญญาณข่าวสารไปกับคลื่นพาห์ ปกติจะทำโดยการใช้สัญญาณข่าวสารมาเปลี่ยนค่าพารามิเตอร์ในคลื่นพาห์นั้น คลื่นพาห์นั้นโดยปกตินิยมใช้คลื่นพาห์รูปไซน์ (sinusoidal wave) ซึ่งเขียนแสดงด้วยสมการทางคณิตศาสตร์คือ

$$V = A \sin (2\pi ft + \theta)$$

ค่าพารามิเตอร์ที่ใช้เปลี่ยนเมื่อเวลาทำการมอดดูเลชันได้ตาม 5.1 มี 3 ค่า คือ

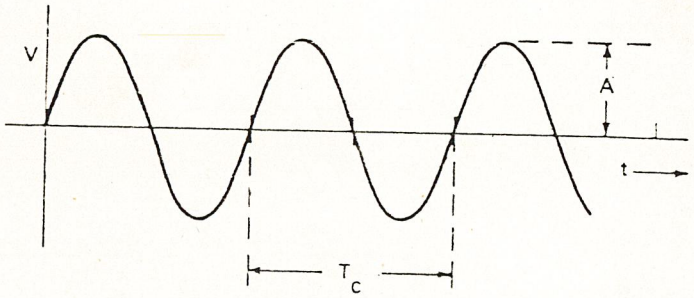
ก. แอมปลิจูด หรือขนาด A

ข. ความถี่ f

ค. เฟส θ

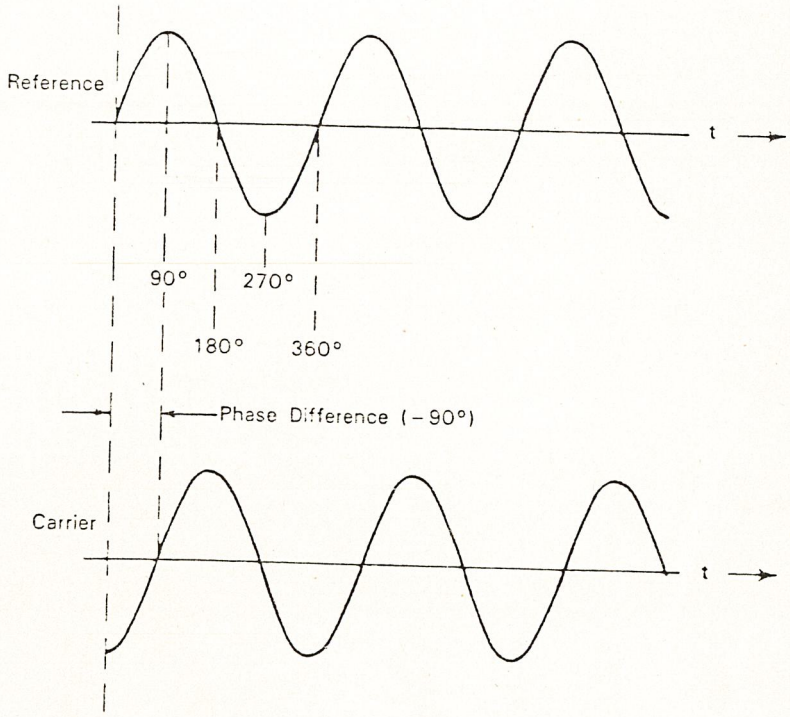
แอมปลิจูด คือ ความสูงของยอดของสัญญาณ (ตามรูป 9.1) ค่าความถี่ของสัญญาณคำนวณได้จากค่า **คาบเวลา** (period) ที่สัญญาณเปลี่ยนแปลงไปจนครบ 1 รอบ (T_c ในรูป 9.1) โดยสูตร

$$f = 1/T_c$$



รูป 5.1 คลื่นพาห์

ส่วนเฟสนั้นเป็นค่าพารามิเตอร์ที่ไม่สามารถจะวัดได้โดยสมบูรณ์ ถ้าไม่มีการเปรียบเทียบกับ **คลื่นอ้างอิง** (reference wave) คลื่นอ้างอิงจะเป็นคลื่นรูปไซน์อีกคลื่นหนึ่งที่มีความถี่เดียวกับคลื่นพาห์กระบวนการในการวัดเฟสแสดงในรูป 5.1 ใน 1 รอบของคลื่นพาห์ถูกแบ่งเป็น 360 องศา **ความต่างเฟส** (phase difference) หรือบางทีเรียกว่า **เฟสชิฟท์** (phase shift)คือจำนวนองศาระหว่างจุดตัดศูนย์ไปสู่ค่าบวก (positive-going zero crossing) ของสัญญาณอ้างอิงและจุดตัดศูนย์ไปสู่ค่าบวกที่ใกล้ที่สุดของสัญญาณคลื่นพาห์ ในรูป 5.2 คลื่นพาห์จะมีเฟสตาม (lag) สัญญาณอ้างอิงอยู่ 90 องศา ที่กล่าวว่าคลื่นพาห์เฟสตาม เพราะว่าจุดตัดศูนย์ไปสู่ค่าบวกของคลื่นพาห์เกิดขึ้นภายหลังจุดตัดค่าศูนย์ไปสู่ค่าบวกของสัญญาณอ้างอิง ค่าเฟสตามเรามักจะใช้เครื่องหมายเป็นลบ ดังนั้นคลื่นพาห์ตามรูป 5.2 จึงมีค่าเฟสเท่ากับ -90 องศา



รูป 5.2 การวัดเฟสของคลื่นพาห์

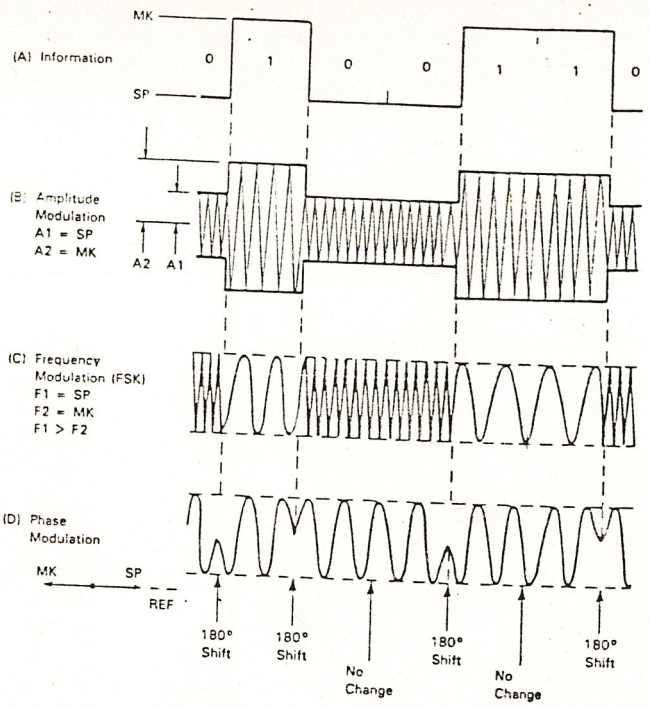
5.1 การมอดดูเลชั่น

เราเรียกการมอดดูเลชั่นที่เกิดการนำสัญญาณข้อมูลมา เปลี่ยนแปลงค่าแอมปลิจูดของคลื่นพาห์ว่า**แอมปลิจูดมอดดูเลชั่น** นิยมเขียนย่อว่า AM และถ้าใช้สัญญาณข้อมูลมาเปลี่ยนแปลงค่าความถี่ของคลื่นพาห์ เราจะเรียกว่า **ฟรีเควนซีมอดดูเลชั่น** (frequency modulation) ซึ่งนิยมเขียนย่อว่า FM และจะเรียกการมอดดูเลชันที่ใช้สัญญาณข้อมูลมาเปลี่ยนแปลงค่าเฟสของคลื่นพาห์ว่า **เฟสมอดดูเลชั่น** ซึ่งนิยมเขียนย่อว่า PM

การสร้างสัญญาณข้อมูลกลับคืนมาจากการตรวจจับการเปลี่ยนแปลง ค่าพารามิเตอร์ของคลื่นพาห์นั้นเรียกว่า **การดีมอดดูเลชั่น** (demodulation) รูปคลื่นที่เกิดจากการมอดดูเลชันด้วยสัญญาณข้อมูลไบนารี่มีดังแสดงในรูป 5.3

ในตัวอย่างแรกคือ AM (รูป 5.3 B) เรากำหนดการมอดดูเลชันที่ได้ค่า A1 แทนสเปซและ A2 แทนมาร์ค **กรอบสัญญาณ** (envelope) ของคลื่นพาห์จะมีลักษณะเหมือนสัญญาณข้อมูลดิจิตอลที่นำมามอดดูเลทเท่านั้น ดังแสดงในรูป 5.3 A

ในรูป 5.3 C แสดงรูปสัญญาณจากการมอดดูเลชันแบบ FM และรูป 9.3 D แสดงรูปสัญญาณจากการมอดดูเลชันแบบ PM ตามรูปนี้เมื่อสัญญาณดิจิตอลมีสถานะเป็น มาร์ค คลื่นพาห์จะมีเฟสตรงกันข้ามกับคลื่นอ้างอิง และถ้าสัญญาณดิจิตอลมีสถานะเป็น สเปซ คลื่นพาห์จะมีเฟสเดียวกันกับคลื่นอ้างอิง



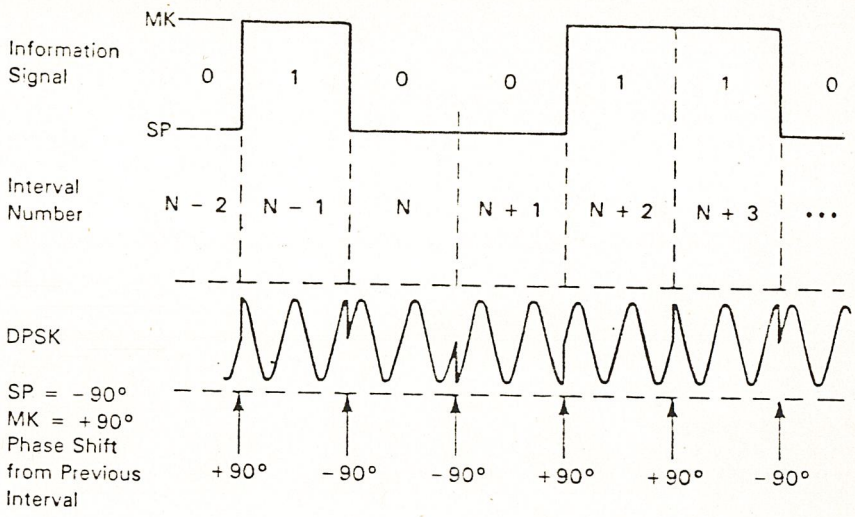
รูปที่ 5.3 การมอดดูเลชั่นของสัญญาณดิจิตอล

เนื่องจากสัญญาณไบนารีมีเพียง 2 ระดับ การมอดดูเลทแบบต่าง ๆ จึงเหมือนกับการสวิตช์เปลี่ยนค่าพารามิเตอร์นั้นของคลื่นพาห์ตามค่าข้อมูลไบนารีนั้นจึงทำให้การมอดดูเลทแบบ AM , FM และ PM มีชื่ออีกอย่างหนึ่งว่า AFK (Amplitude Shift Keying), FSK (Frequency Shift Keying)และ PSK (Phase Shift Keying) ตามลำดับ

5.2 การมอดดูเลชั่นสัญญาณข้อมูลแบบซิงโครนัส

ในการส่งสัญญาณแบบซิงโครนัสนั้นเราอาศัยการเปลี่ยนแปลงของสัญญาณที่ปลายขอบของเวลาบิท (bit time) เพื่อเป็นเครื่องหมายในการช่วยควบคุมการสัมพันธ์ของสัญญาณ ถ้าเกิดไม่มีการเปลี่ยนแปลงของสัญญาณข้อมูลเป็นระยะเวลานาน เราก็จะไม่สามารถพบความเปลี่ยนแปลงของคลื่นที่มอดดูเลทมา เช่น ถ้าเราส่งมาร์คไป 100 บิท การมอดดูเลชันแบบที่กล่าวมาในหัวข้อ 5.1 ทั้งสาม วิธีจะมีเอาท์พุทออกมาเป็นสัญญาณรูปไซน์บริสุทธิ์ยาวนานถึง 100 ช่วงเวลาบิททำให้ยากแก่การที่จะแบ่งแยกขอบของสัญญาณแต่ละบิทได้อย่างถูกต้อง ด้วยเหตุผลเช่นเดียวกับที่ได้อธิบายในเรื่องการส่งสัญญาณแบบอะซิงโครนัสในระบบ ซิงโครนัสก็ต้องการให้มีการเปลี่ยนแปลงของสัญญาณที่ขอบปลายของเวลาบิทเพื่อจะได้มีข้อมูลบางอย่างจากสัญญาณในขณะนั้นมาสร้าง **สัญญาณสัมพันธ์** (synchronizingsignal) หรือ **สัญญาณนาฬิกา**

เทคนิคที่เหมาะสำหรับการมอดดูเลชั่นสัญญาณข้อมูลซิงโครนัส มีดังแสดงในรูป 5.4 ซึ่งเรียกว่า differential phase shift keying (DPSK)โดยหลักการเบื้องต้นแล้วมันจะเหมือนกับ PM ในหัวข้อที่แล้ว คือ สัญญาณข้อมูลดิจิตอลจะทำให้เฟสของคลื่นพาห์เปลี่ยนแปลงไปเมื่อเทียบกับคลื่นอ้างอิง แต่มีข้อที่ต่างกับที่สำคัญอยู่สองประการคือ



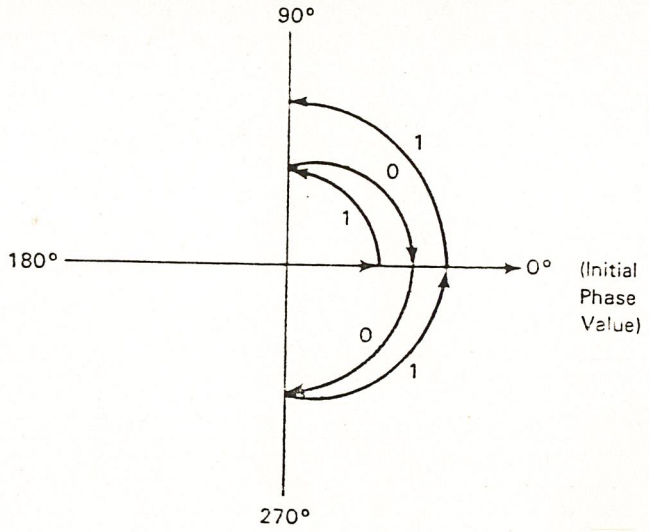
รูปที่ 5.4 DPSK

- การวัดเฟสอ้างอิง สำหรับแต่ละช่วงเวลาบิท จะยึดอ้างอิงกับคลื่นพาห์ในช่วงเวลา บิทที่มาก่อนนั้น

- การเลื่อนเฟสจะเกิดขึ้นที่ ปลายขอบของช่วงเวลาบิท แม้ว่าสถานะของสัญญาณข้อมูลจะไม่เปลี่ยนแปลง

ในกรณีตัวอย่างนี้มีกฎการเข้ารหัสของสัญญาณดังนี้ คือ ที่ขอบปลายของเวลาบิท ให้ตรวจอสถานะของบิทถัดไปของสัญญาณข้อมูล ถ้าสัญญาณข้อมูลมีสถานะเป็นมาร์ค ให้เลื่อนเฟสของสัญญาณเพิ่มอี 90 องศา แต่ถ้าสัญญาณข้อมูลมีสถานะเป็นสเปซก็ให้เลื่อนเฟสของสัญญาณลดลง -90 องศา ดังนั้นสัญญาณ DPSK จึงมีดังแสดงในรูป 5.4

ในการติดตามคุพฤติกรรมของการเลื่อนเฟสในรูป5.4 เราอาจเขียนเป็น รูปไดอะแกรมได้ดังแสดงในรูป 5.5 เราเริ่มต้นที่ปลายขอบของบิท N-2 โดยสมมุติว่าบิท N-1 เป็นมาร์ค ดังนั้นเฟสของคลื่นพาห์



รูป 5.5 ไดอะแกรมแสดงพฤติกรรมการเลื่อนเฟส

จะเลื่อนไป 90 องศา ตามเส้นโค้งที่อยู่ในสุดและมีค่า 1 กำกับอยู่ ต่อมาบิทที่ N เป็นสเปซ เฟสจะเลื่อนลง -90 องศา ทำให้ได้เป็นเส้นโค้งที่ถัดออกมาและมีค่า 0 กำกับอยู่ และสำหรับบิทที่ N+1 ข้อมูลเป็นสเปซเฟสของคลื่นพาห์ก็จะถูกเลื่อนไปอีก -90 องศา จึงได้เส้นโค้งแสดงการเลื่อนเฟสต่อลงไปตามเช็มนาฝิกาตามรูปพฤติกรรมจะเปลี่ยนแปลงต่อ ๆ ไปในทำนองเดียวกันนี้คือ ถ้าค่าบิทเป็นบวกลูกศรเส้นโค้งก็จะหมุนทวนเช็มนาฝิกา แต่ถ้าบิทข้อมูลเป็นลบลูกศรก็จะหมุนตามเช็มนาฝิกาด้วยค่า+90 หรือ -90 องศา ต่อ ๆ กันไป

เราสรุปข้อดีของ DPSK ในการแก้ปัญหาการออกแบบระบบการสื่อสารได้ คือ

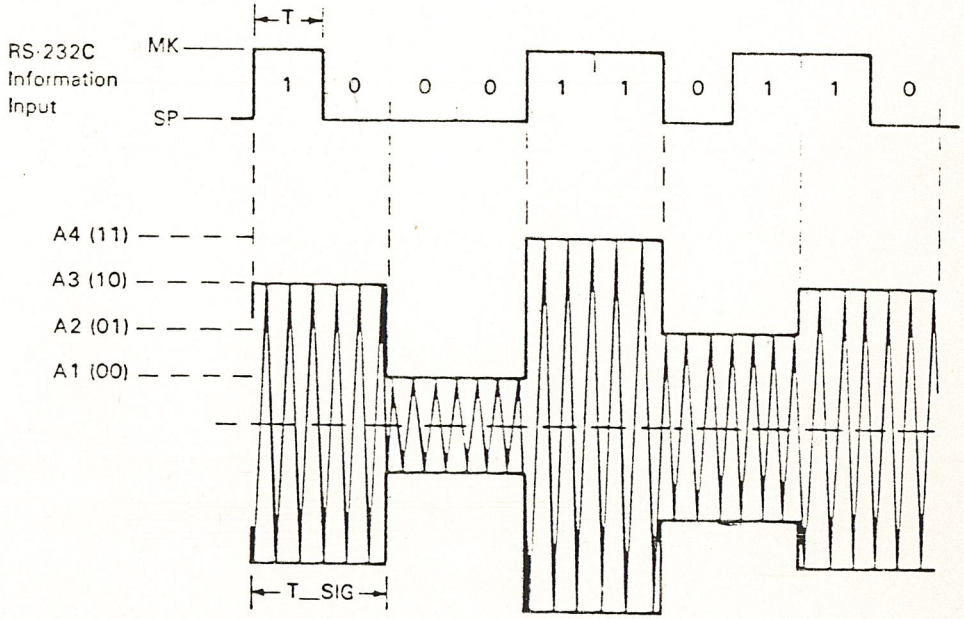
- สามารถใช้ตัวคลื่นพาห์เองเป็นสัญญาณอ้างอิงได้ในเวลาเดียวกัน
- มีการประกันได้ว่า จะเกิดการเปลี่ยนแปลงเฟสที่ปลายขอบเวลาบิท ทุกบิท ทำให้โมเด็มภาครับสามารถตรวจจับหาสัญญาณนาฝิกาจากสัญญาณข้อมูลซิงโครนัส ได้

5.3 อัตราบอดและกรมอดดูเลชันหลายระดับ

ถ้า T_s คือช่วงคาบเวลาที่สั้นที่สุดจัดไว้สำหรับควบคุมค่าพารามิเตอร์ของคลื่นพาห์ให้คงที่ในการส่งสัญญาณ เรากล่าวว่าคลื่นพาห์ในช่วงเวลานี้คือ อนุภาคสัญญาณ (signal element) ค่า **อัตราบอด** ถูกกำหนดว่าคือ อัตราของอนุภาคสัญญาณต่อวินาที หรืออีกนัยหนึ่งก็คือ

$$\text{อัตราบอด} = 1/T_s$$

สมมุติว่า เรามีวิธีการบางอย่างที่จะควบคุมค่า พารามิเตอร์ของคลื่นพาห์ให้เปลี่ยนแปลงตามการจัดชุดของสัญญาณข้อมูลได้ ยกตัวอย่างเช่น ถ้าเราสามารถใช้ข้อมูล 2 บิท มาควบคุมค่าพารามิเตอร์ของอนุภาคสัญญาณได้ ดังแสดงในรูป 5.6 เราก็จะได้ค่าเวลาของอนุภาคสัญญาณมีค่าเท่ากับ 2 เท่าของเวลาบิท นั่นคือเราสามารพที่จะส่งข้อมูล (บิท/วินาที) ออกไป ด้วยอัตราที่สูงกว่าอัตราการส่งสัญญาณ หรืออัตราบอดเป็น 2 เท่า หรือกล่าวอีกนัยหนึ่งได้ว่า อัตราบอดจะลดลงเหลือเพียงครึ่งหนึ่งของอัตราข้อมูลเท่านั้น ดังนั้นถ้าอนุภาคสัญญาณหนึ่งมีโอกาสที่จะแปรสถานภาพของพารามิเตอร์ได้



รูป 5.6 การมอดดูเลชั่นหลายระดับ

2^N สถานภาพก็หมายความว่า มันสามารถจะรองรับข้อมูลได้ N บิท เมื่อเราใช้สัญญาณข้อมูล N บิท เพื่อควบคุมค่าพารามิเตอร์ของแต่ละอนุภาคสัญญาณแล้วเราก็จะได้ว่า อัตราการส่งข้อมูลนั้นมีค่าสูงขึ้นเป็น N เท่าของอัตราบอด เพราะฉะนั้น เราจึงสรุปเป็นสูตรทั่วไปได้ว่า

อัตราส่งข้อมูล (บิท/วินาที) = อัตราบอด x ค่าจำนวนบิทต่ออนุภาคสัญญาณ

โดยการใช้การมอดดูเลชั่นสัญญาณหลายระดับดังกล่าวแล้วนี้ ทำให้เราสามารถส่งข้อมูลด้วยอัตราสูงได้ โดยที่อัตราการส่งสัญญาณหรืออัตราบอดนั้นมีค่าต่ำได้ ตาราง 5.1.1 แสดงให้เห็นถึงชนิดของโมเด็มในท้องตลาดที่ใช้เทคนิคการมอดดูเลชั่นและอัตราบิทต่ออนุภาคสัญญาณที่ต่างๆ กัน เพื่อเป็นข้อมูลประกอบในเรื่องนี้

ตาราง 5.1.1 ตัวอย่างข้อมูลของโมเด็มในท้องตลาด

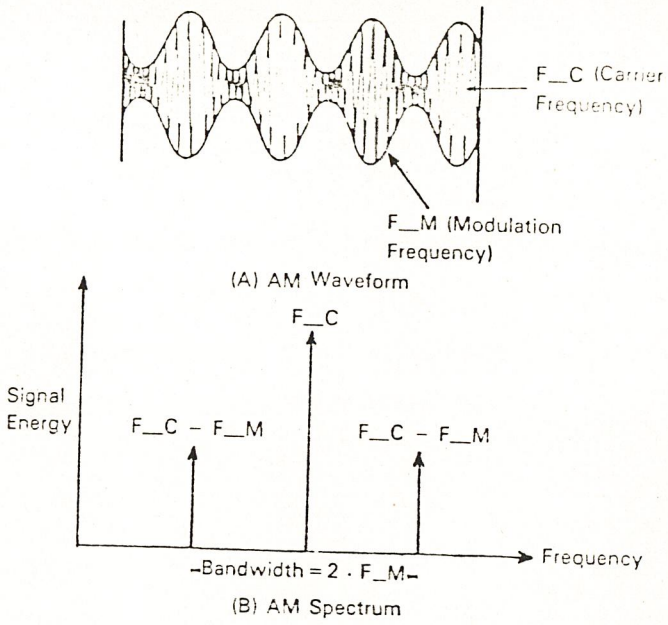
TYPE	SPPED RANGE (B_P_S)	MODULATIONZ TECHNIQUE	BITS PER SIGNAL(N)
Asynchronous	0-1800	FSK	1
Synchronous	1200-9600	DPSK	2,3 OR 4

โดยแท้จริงแล้ว โมเด็ม 9,600 บิท/วินาที แบบซิงโครนัสนั้นใช้การมอดดูเลชันที่ผสมกันระหว่าง DPSK และ AM

5.4 แบนด์วิดท์ของการส่งสัญญาณ

ในการมอดดูเลชั่นแบบ AM ด้วยสัญญาณข้อมูลที่เป็นคลื่นรูปไซน์ที่มีความถี่ F_M กับคลื่นพาห์ความพี่ F_C จะเกิดสเปคตรัมขึ้น ดังแสดงในรูป 5.7 ซึ่งจะใช้แบนดวิดท์ในการส่งสัญญาณเท่ากับ 2F_M ค่าความถี่ต่ำสุด และความถี่สูงสุดที่เกิดขึ้นนั้น มีค่าเท่ากับ F_C_F_M และ F_C+F_M ตามลำดับ

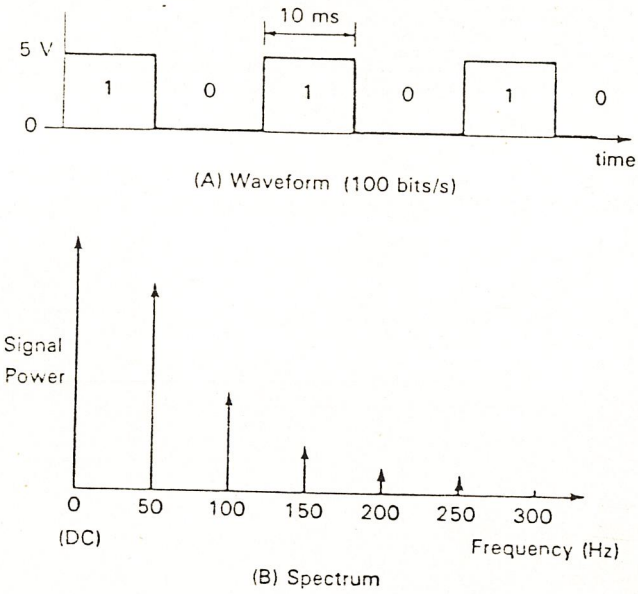
ในกรณีที่สัญญาณข้อมูลเป็นสัญญาณดิจิตอลนั้น จะมีความถี่ต่าง ๆ ประกอบอยู่มากมายยกตัวอย่างเช่น ถ้าเราส่งข้อมูล 1 และ 0 สลับกัน ด้วยอัตรา 100 บิท/วินาที รูปคลื่นของสัญญาณข้อมูลจะเป็นดังแสดงในรูป 5.8 A และองค์ประกอบของความถี่ หรือสเปคตรัมดังแสดงในรูป 5.8 B ค่าความถี่เหล่านี้ล้วนมีความเกี่ยวข้องอยู่กับอัตราการส่งข้อมูล เพราะ 1 และ 0 ถูกส่งสลับกันออกมา ดังนั้น ความถี่ของคลื่นพื้นฐานจึงเท่ากับ 50 Hz หรือครึ่งหนึ่งของอัตราส่งข้อมูล ฮาร์โมนิคต่างๆ หรือองค์ประกอบความถี่อื่นๆ จะมีค่าความถี่เป็นจำนวน n เท่าของความถี่พื้นฐาน (n เป็นเลขจำนวนเต็ม)



รูป 5.7 การมอดดูเลชันเชิงอนาล็อก

โดยทฤษฎีแล้ว ถ้าสัญญาณข้อมูลมีการเกิดเป็น 1 และ 0 สลับกันดังรูป 5.8 A ตลอดไป องค์ประกอบของความถี่จะมีค่าเฉพาะฮาร์โมนิคคี่ (n = 1,3,5...)เท่านั้น แต่ในทางปฏิบัติ การเกิด 1 และ 0 จะเป็นไปอย่างกระจัดกระจาย ตามรูปแบบของรหัสที่ใช้ จึงเป็นเหตุให้เกิดฮาร์โมนิคต่างๆ ครบทุกความถี่อย่างต่อเนื่องกัน ตั้งแต่ความถี่ต่ำสุด คือความถี่ศูนย์หรือสัญญาณ DC ไปจนถึงความถี่ที่มีค่าอนันต์แต่อย่างไรก็ดี ลักษณะการกระจายขององค์ประกอบความถี่ก็จะยังคงมีลักษณะเค้าโครง ตามรูปเดิม คือ คล้ายตามรูป 5.8 B นี้ เราจะสังเกตเห็นว่า ค่าองค์ประกอบความถี่สูงนั้นมีน้อยมาก จนสามารถที่จะตัดทิ้งได้ ในตัวอย่างตามรูป 5.8 B นี้ จะเห็นว่าแบนด์วิดท์ที่จำเป็นของสัญญาณข้อมูลนั้นเริ่มจากไฟ DC ถึงความถี่ประมาณ 200 Hz คือจากไฟ DC ถึงประมาณ 2 เท่าของอัตราส่งข้อมูลและโดยการปฏิบัติจนเป็นที่ยอมรับกันทั่วไปนั้น ก็จะมีผลในทำนองเดียวกันนี้ กล่าวคือ แบนด์วิดท์ของสัญญาณข้อมูลดิจิตอลจะประมาณเท่ากับ 2 เท่าของอัตราส่งข้อมูล และบ่อยครั้งที่เราจะเรียกสัญญาณข้อมูลที่ใช้นำไปมอดดูเลทต่อไปว่า สัญญาณแบนด์พื้นฐาน (baseband signal)ดังนั้น สูตรในการกำหนดค่าแบนด์วิดท์ของสัญญาณพื้นฐานจึงเป็นดังต่อไปนี้ คือBASE _BW = 2 x BIT RATE

โดยในที่นี้ BASE_BW คือแบนด์วิดท์ของสัญญาณข้อมูลดิจิตอลและ BIT RATE คืออัตราการส่งข้อมูล

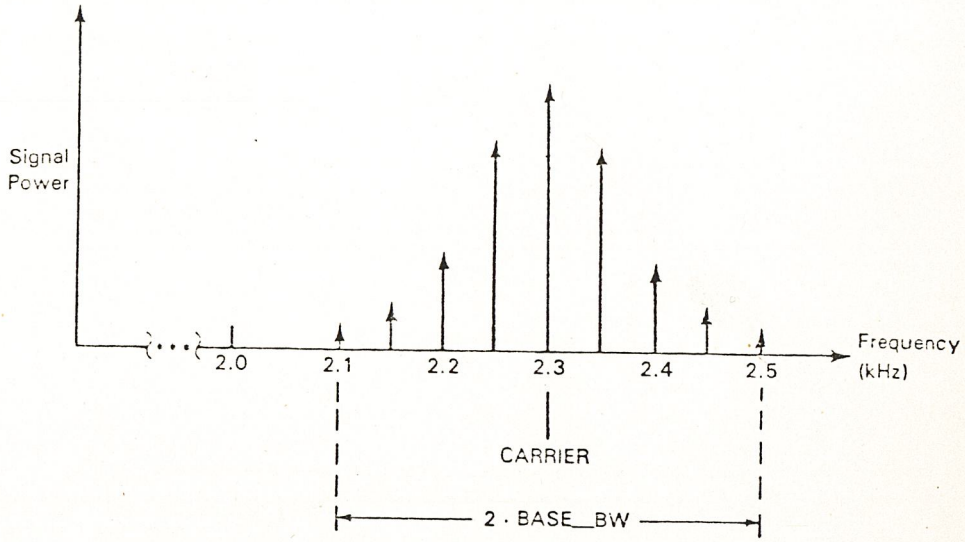


รูปที่ 5.8 สเปคตรัมของสัญญาณดิจิตอล

เราสรุป ได้ว่าพลังงานส่วนที่เป็นนัยสำคัญทั้งหมดของสัญญาณข้อมูลดิจิตอลจะรวมอยู่ภายในความถี่ที่ต่ำกว่าสองเท่าของอัตราส่งข้อมูลนั้น ต่อคำถามที่ว่าอะไรจะเกิดขึ้น ถ้าเราส่งสัญญาณข้อมูลดิจิตอลที่มีอัตราส่งข้อมูล 100 บิทต่อวินาทีไปในสายโทรศัพท์ คำตอบที่สรุปได้ก็คือเนื่องจากว่าสัญญาณข้อมูลดิจิตอลของเราจะมีพลังงานอยู่ในย่านความถี่ที่ต่ำกว่า 200 Hz แต่โครงข่ายวงจรโทรศัพท์นั้นถูกออกแบบมาให้ใช้ส่งความถี่เสียงซึ่งมีความถี่ประมาณจาก 300 Hz ถึง 3,400 Hz ดังนั้นสัญญาณดิจิตอล 100 บิท/วินาที จึงไม่สามารถผ่านโครงข่ายวงจรโทรศัพท์ไปได้ ด้วยเหตุนี้ เราจึงจำเป็นต้องทำการหาคลื่นพาห์มามอดดูเลทกับสัญญาณข้อมูลก่อน ถ้าเราใช้คลื่นพาห์ที่มีความถี่ 2,300 Hz เราจะได้สเปคตรัมของสัญญาณผลลัพธ์จากการมอดดูเลชันเป็นดังแสดงในรูป 5.9 ซึ่งเราจะพบว่า กระบวนการมอดดูเลชันนั้นทำการย้ายสเปคตรัมของสัญญาณข้อมูลเข้าไปในย่านความถี่ที่จะทำการสื่อสารได้ ดังนั้นเราอาจจะสรุปความหมายของการมอดดูเลชัน ในทัศนะมุมมองนี้ได้ว่า

"การมอดดูเลชัน คือกระบวนการที่แปลงย้ายสเปคตรัมของสัญญาณแบนด์พื้นฐานไปสู่ย่านความถี่ที่สามารถใช้ติดต่อได้ในโครงข่ายการสื่อสาร"

ให้สังเกตจากรูป 5.9 แบนด์วิดท์ของสัญญาณผลลัพธ์มีค่าเท่ากับสองเท่าของแบนด์วิดท์ของสัญญาณพื้นฐาน ตามที่เคยอ้างไว้ในย่อหน้าแรกของหัวข้อนี้ว่าแบนด์วิดท์ในการส่งสัญญาณเท่ากับ 2F_M ดังนั้นจะพบว่าถ้าเราสัญญาณข้อมูลด้วยอัตรา 775 บิท/วินาที เราจะต้องใช้แบนด์วิดท์ในการส่งสัญญาณเต็มช่องการสื่อสารโทรศัพท์ (3,400 - 300 = 3,100 Hz) พอดี ทำให้เกิดปัญหาว่า ถ้าเรา

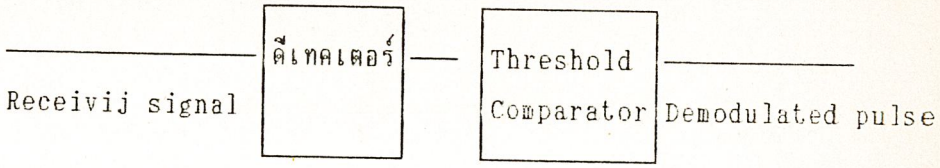


รูป 5.9 สเปคตรัมของสัญญาณในรูป 5.8 ที่ถูกมอดดูเลทแล้ว

ต้องการส่งข้อมูลด้วยอัตรา 9,600 บิท/วินาที เราจะทำอย่างไร ถ้าคิดให้ดีผู้อ่านจะพบคำตอบว่าเราสามารถนำเอาเทคนิคการมอดดูเลชันสัญญาณหลายระดับที่กล่าวถึงในหัวข้อ 9.3 มาใช้ได้ ยกตัวอย่างเช่น ถ้าเราใช้การมอดดูเลชัน 16 ระดับเราจะใช้อัตราการส่งสัญญาณ หรืออัตราบอดลดลงได้เหลือเพียงหนึ่งในสี่ของอัตราการส่งข้อมูล (ผู้อ่านควรนึกย้อนถึงรูป 5.6) นัยที่ควรกล่าวเกี่ยวกับเรื่องนี้อีกประเด็นหนึ่งที่เป็นสิ่งที่น่าสังเกตก็คือ เทคนิคการมอดดูเลชันสัญญาณหลายระดับจะทำให้สามารถเพิ่มอัตราการส่งข้อมูลได้ โดยการรักษาแบนด์วิดท์ของสัญญาณผลลัพท์จากการมอดดูเลชันให้มีค่าจำกัดอยู่ในย่านความถี่ที่ต้องการได้

5.5 ระบบการดีโมดูเลเตอร์

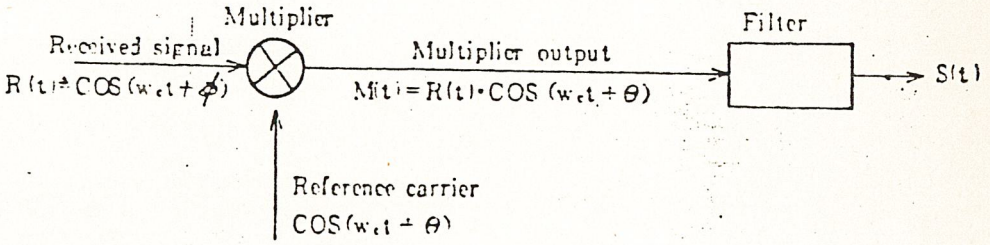
Incoherent detection : ไม่ต้องการสัญญาณอ้างอิง , detectโดยตรงการเปลี่ยนแปลงที่ประกอบอยู่ในสัญญาณที่รับเข้ามา เช่น AM Coherent delection :ต้องการสัญญาณอ้างอิงเปรียบเทียบสัญญาณที่รับเข้ามากับสัญญาณอ้างอิงแล้ว detect หาความแตกต่างนี้



รูปที่ 5.5.1 รูปแบบของการดีโมดูเลท

(1) Coherent detection

Coherent detection ทำได้โดยการคูณสัญญาณที่รับเข้ามาด้วยคลื่นพาหะอ้างอิงหลักการดังในรูป



รูป 5.5.2 หลักการของ Coherent detection

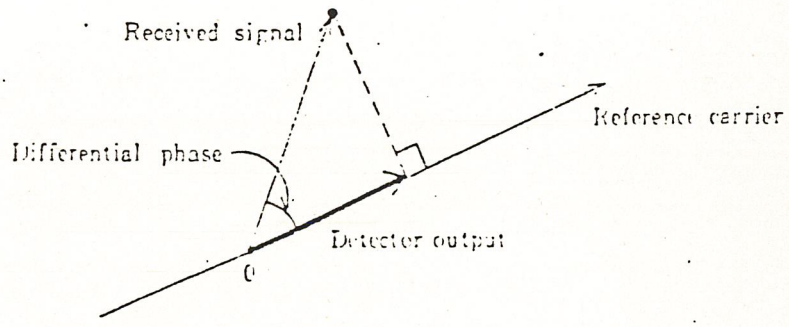
ถ้าสัญญาณที่รับเข้ามาเป็น $R(t) = \cos(W_c t + \theta)$ และถ้าคลื่นพาหะอ้างอิงเป็น $\cos(W_c t + \theta)$ โดยมีความถี่เชิงมุมคงที่เป็น W_c และความแตกต่างทางเฟสถูกนำมาใช้สัญญาณทางออกของมัลติไพลเออร์จะเป็น

$$M(t) = R(t).\cos(w_c t+\theta)$$

$$= \cos(w_c t+\phi) \cdot \cos(w_c t+\theta)$$

$$= 1/2\ \{\cos(2w_c t+\phi+\theta)+\cos(\phi-\theta)\}$$

ที่ทางออกของ multiplier output จะได้เป็นส่วนประกอบที่เป็น 2 เท่าของความถี่คลื่นพาหะ และส่วนประกอบที่เป็นความต่างเฟสระหว่างสัญญาณที่รับได้และคลื่นพาหะอ้างอิงส่วนที่เป็น higher harmonic จะถูกตัดออกไปโดยฟิลเตอร์จะเหลือแต่ส่วนประกอบที่ขึ้นกับ cosine ของความต่างเฟสและถ้า phase ϕ ของสัญญาณที่รับได้ถูกเปลี่ยนไป โดยการโมดูเลท output ก็จะเปลี่ยนตามการโมดูเลทนั้น ถ้าสัญญาณที่รับได้มีเฟสที่เหมือนกันกับคลื่นพาหะอ้างอิง ($\phi-0 = 0$) สัญญาณทางออกก็จะมีค่าสูงสุดและถ้าสัญญาณที่รับได้มีเฟสตั้งฉาก ($\phi-\theta = \pi/2$) สัญญาณทางออกก็จะเป็นศูนย์

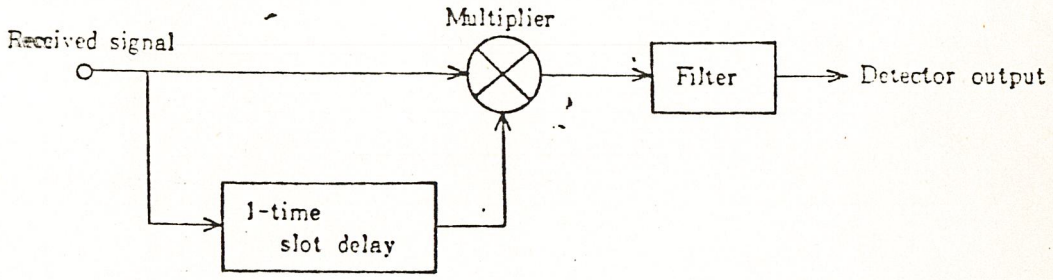


รูปที่ 5.5.3 Coherent detection บน เวคเตอร์ไดอาแกรม

เนื่องจาก output ของการดิเทคชั่นคือ projection ของสัญญาณที่รับได้ที่ทาบอยู่บนแกนของคลื่นพาหะอ้างอิง และเนื่องด้วยคลื่นพาหะอ้างอิงถูกหมุนไปรอบๆศูนย์กลางด้วยความเร็วเชิงมุมที่เท่ากัน detection output ที่คงค่าหนึ่งสามารถจึงได้รับมาตราบเท่าที่เฟสซึ่งเกี่ยวพันกันตามลำดับไม่ได้เปลี่ยนแปลงไป ถ้าเฟสของสัญญาณที่รับได้เปลี่ยนไป detection output ก็จะเปลี่ยนไปด้วย ดังนั้นจึงเป็นไปได้ที่จะรู้ตำแหน่งสัมพันธ์ของสัญญาณที่รับได้

(2) Differential detection

สัญญาณที่รับได้ใช้ประโยชน์ได้โดยตรงให้เป็นคลื่นพาหะอ้างอิง ตามรูปสัญญาณที่รับถูกแยกออกอีกทาง โดยมีการ delay 1 time slot เพื่อป้อนเข้ามัลติไพเออร์



รูปที่ 5.5.6 Cogerent detection โดยการใช้ delayed สัญญาณที่รับเข้ามา

เมื่อพิจารณากรณีของสัญญาณ 2 เฟส PSK อุปกรณ์ดิเทคเตอร์ชนิดนี้จะให้ output เป็น 1 ถ้ามีความแตกต่างเฟสระหว่าง Time slot ก่อน (ความแตกต่างเฟสเป็น output) หรือ output เป็น -1 ถ้าไม่มีความต่างเฟสใดๆ เกิดขึ้น (ความต่างเฟสเป็น 0) ถึงแม้ว่า absolute phase ของคลื่นพาหะอ้างอิงจะไม่รู้ก็ตาม detector สามารถที่จะดีเทคการเปลี่ยนแปลงทางเฟสระหว่างTime slot ได้

กรณี differential detection นี้ ต้องจำไว้ว่าสัญญาณที่รับได้ตัวมันเองที่ใช้เป็นคลื่นพาหะอ้างอิง ซึ่งมันอาจมีเสียงรบกวนและความเพี้ยนรวมอยู่ด้วยถ้าเปรียบเทียบ detection แบบนี้กับ coherent detection ซึ่งคลื่นพาหะอ้างอิงถูกสร้างแยกต่างหาก different detection จะมีวงจรที่ง่ายกว่า แต่ BER จะเพิ่มขึ้น

บทที่ 6

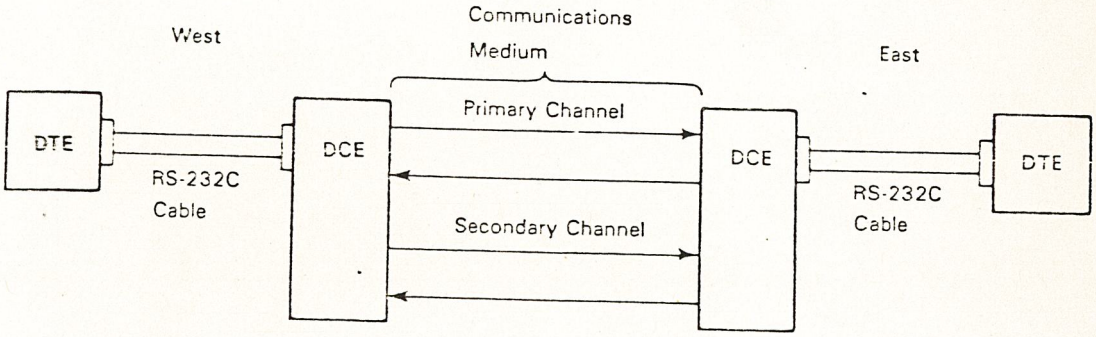
การอินเตอร์เฟส RS-232C และการควบคุมโมเด็ม

มีการนิยมศัพท์คำว่า DTE (Data terminial equipment) ว่าหมายถึงอุปกรณ์ดิจิตอล เช่น พอร์ทของคอมพิวเตอร์หลักหรืออุปกรณ์ปลายทาง DEC (data communication equipment) หมายถึงอุปกรณ์ซึ่งเรียกกันโดยสามัญว่าโมเด็ม ซึ่งแปลงรูปคลื่นดิจิตอลไปเป็นสัญญาณที่เหมาะสมสำหรับการส่งผ่านสายโทรศัพท์หรือ ตัวกลางการสื่อสารอย่างอื่น โดยกระบวนการที่เรียกว่า มอดดูเลชัน (modula - tion)

RS-232 เป็นหนึ่งในมาตรฐานไม่กี่มาตรฐานที่ใช้กันอย่างกว้างขวางในอุตสาหกรรมการสื่อสารข้อมูล ทำให้ผู้ผลิตโมเด็มสร้างโมเด็มขึ้นมาด้วยมาตรฐานเดียวกันที่จะใช้ต่อกับอุปกรณ์ปลายทาง อย่างไรก็ตามไม่ได้หมายความว่าโมเด็มนั้นจะใช้มาตรฐานนี้ทุกเครื่อง

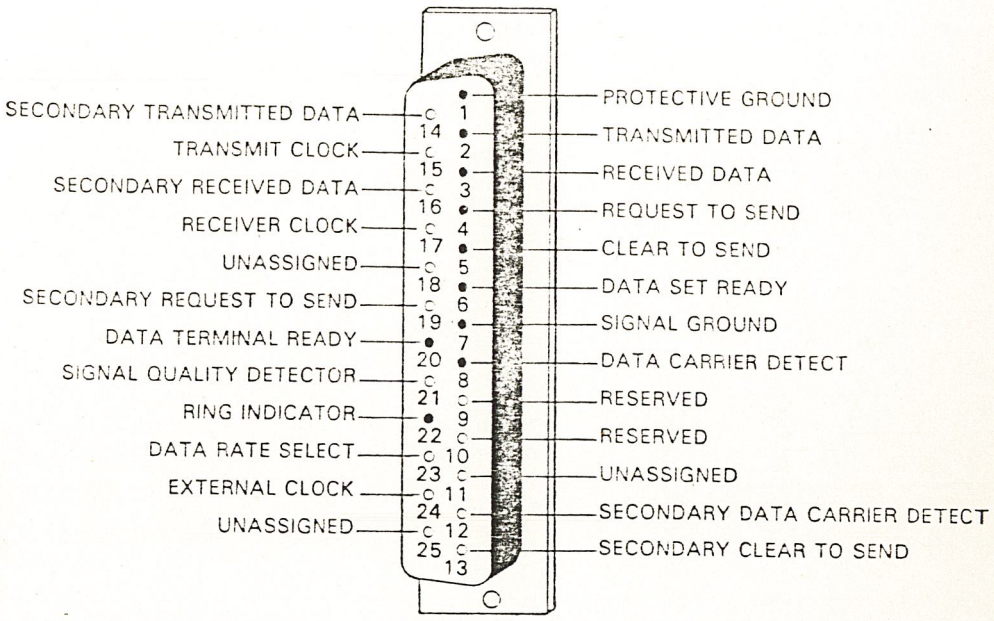
6.1 แบบจำลองของวงจรการสื่อสารแบบ RS-232 C

ข้อกำหนดตาม RS-232 C นั้น บอกถึงการเดินสายในเคเบิลที่ต่อระหว่าง DTE กับ DCE (ตามรูป 6.1) เป็นเคเบิลที่ต่อกับปลั๊ก 25 ขา ที่เสียบเข้ากับคอนเนคเตอร์ "serial port" ที่หลัง PC



รูป 6.1 แบบจำลองของวงจรการสื่อสารที่ใช้ RS-232 C

หรืออุปกรณ์ปลายทางต่างๆ ปลั๊กนี้มีลักษณะดังแสดงในรูป 6.2 ประการแรกข้อกำหนดระดับ



รูป 6.2 RS-232 C Female Connector

โวลเตจและคุณสมบัติทางไฟฟ้าอย่างอื่นของสายในเคเบิล พร้อมทั้งอธิบายหน้าที่ของมันซึ่งจะได้กล่าวถึงในหัวข้อต่อไป และเพื่อที่จะให้เข้าใจว่า DTE ควบคุมโมเด็มได้อย่างไร เราจำเป็นต้องเข้าใจแบบจำลอง หรือรูปแสดงแนวความคิดของตัวกลางการสื่อสารที่ใช้ในข้อกำหนด RS-232 C ด้วย รูปแบบจำลองนี้มีดังแสดงในรูป 6.1 ต่อไป จะกล่าวถึงอุปกรณ์ที่อยู่ทางด้านซ้ายมือและด้านขวามือของตัวกลางการสื่อสารเราจะอ้างว่าเป็นอุปกรณ์ด้านตะวันตก และด้านตะวันออก ตามลำดับตัวกลางการสื่อสาร ประกอบด้วย ช่องสัญญาณหลัก (primary channel) และช่องสัญญาณรอง (secondary channel) ขอให้ผู้อ่านจงเข้าใจว่าช่องสัญญาณ นั้นเป็นช่องทาง (pipeline) ที่สัญญาณไหลผ่านเท่านั้น ดังนั้นช่องสัญญาณหลัก และ ช่องสัญญาณรองนั้นอาจจะมีอยู่ในสายคู่เดียวกัน หรือคนละคู่ก็ได้

เกี่ยวเนื่องกับช่องสัญญาณ ก็คือแนวความคิดเรื่อง **คลื่นพาห์** (carrier) คลื่นพาห์คือสัญญาณอนาลอก (ปกติเป็นครื่นรูปไซน์) ที่ความถี่ที่เหมาะสมที่จะเคลื่อนผ่านตัวกลางการสื่อสารได้ ตัวพาห์เป็นตัวบรรทุกข้อมูล ที่เรียกว่า มอดดูเลทข้อมูลเพื่อนำข้อมูลผ่านตัวกลางการสื่อสารไปสู่จุดหมายมีวิธีการมอดดูเลทหลายวิธี ซึ่งเราจะกล่าวถึงต่อไปในบทข้างหน้า

ในแต่ละช่องสัญญาณมีสัญญาณคลื่นพาห์ 2 สัญญาณ แต่ละสัญญาณใช้สำหรับการส่งแต่ละทิศทาง ถ้าคลื่นพาห์ทั้งสองสามารถใช้ได้พร้อมกัน ช่องสัญญาณก็จะเป็นชนิดฟูลดูเพล็กซ์ แต่ถ้าต้องใช้สลับเวลากัน ช่องสัญญาณนั้นก็เป็นชนิด ฮาล์ฟดูเพล็กซ์ช่องสัญญาณมีค่า **ความจุ** ซึ่งมีค่าเท่ากับ จำนวนบิทต่อวินาทีมากที่สุด ที่ช่องสัญญาณยอมให้ผ่านตัวมันไปได้ ช่องสัญญาณรองไม่จำเป็นที่จะต้องมีใช้อยู่ในทุกโมเด็มแต่ถ้ามีอยู่แล้วค่าความจุ (ความเร็ว) ของมันจะน้อยกว่าค่าความจุของช่องสัญญาณหลัก เพราะถ้าไม่เป็นเช่นนั้นมันก็จะไม่มีแนวความแตกต่างระหว่างช่องสัญญาณหลักกับช่องสัญญาณรอง ข้อกำหนด RS-232 C กำหนดว่ามันไม่สามารถจะประยุกต์ใช้ได้กับตัวกลางการสื่อสารที่มีค่าสูงกว่า 20,000 บิทต่อวินาที

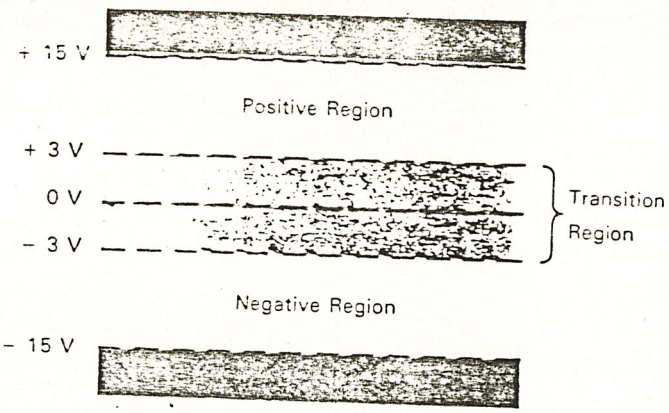
RS-232 C ปล่อยการเลือกหลายอย่างไว้ให้ขึ้นกับผู้ออกแบบโมเด็มเองเป็นต้นว่า

- ช่องสัญญาณจะเป็น ฮาล์ฟ หรือ ฟูลดูเพล็กซ์
- ตัวกลางการสื่อสารจะเป็นแบบสวิตช์หรือแบบเช่าเฉพาะ
- ช่องสัญญาณจะเป็นแบบซิงโครนัสหรืออะซิงโครนัส
- ช่องสัญญาณรองจะมีหรือไม่

เหล่านี้ล้วนแล้วแต่ผู้ออกแบบจะต้องการอย่างไรก็ได้ ผลก็คือ จำนวนของสายในเคเบิล RS-232 C ที่ใช้ควบคุม DCE จะถูกใช้ไม่เท่ากัน ขึ้นอยู่กับการออกแบบ บางทีอาจจะไม่มีโมเด็มแบบหนึ่งแบบใดเลยก็ได้ ที่ใช้สายครบหมดทุกสายตาม RS-232 C

6.2 ข้อกำหนดทางไฟฟ้า

มีรายละเอียดเกี่ยวกับคุณสมบัติของสัญญาณไฟฟ้า บนสายแต่ละสายในเคเบิล RS-232 C มากมายแต่เพราะเราเกี่ยวข้องอยู่กับสัญญาณไบนารี ข้อจำกัดเกี่ยวกับโวลเตจจึงถูกกำหนดลงในสองบริเวณ ดังแสดงในรูป 6.3 บริเวณบวก (positiverigion) อยู่ระหว่าง +3 โวลท์ DC ถึง +15 โวลท์ DC



รูป 6.3 ระดับโวลเตจของสัญญาณที่ RS-232 C กำหนดใช้

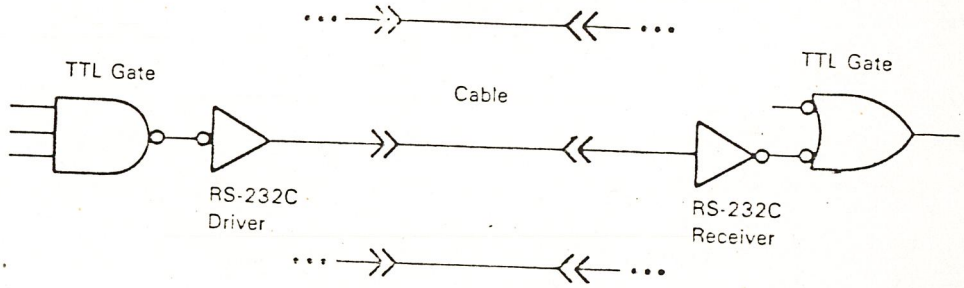
และ **บริเวณลบ** (negative region) อยู่ระหว่าง -3 โวลท์ DC ถึง -15 โวลท์ DC บริเวณระหว่าง -3 โวลท์ ถึง 3 โวลท์ถือเป็น**บริเวณเปลี่ยนถ่ายสถานะ** (transition region) มีข้อกำหนดให้สัญญาณจะมีสถานะอยู่ในบริเวณนี้ได้ไม่เกิน 1 มิลลิวินาที ในบริเวณเปลี่ยนถ่ายสถานะนี้จะไม่มีการกำหนดสถานภาพให้กับสัญญาณแต่อย่างใด

บริเวณเหล่านี้ใช้เกี่ยวพันกับสถานะไบนารีของสายสัญญาณ ในลักษณะที่เป็นเอกเทศ การแปลความหมายของระดับโวลเตจขึ้นอยู่กับหน้าที่ของสาย ซึ่งกำหนดแบ่งเป็นไปตามตาราง 6.1

ตาราง 6.1 หน้าที่ของสายและความหมายของโวลเตจที่กำหนดให้

WIRE FUNCTION	VOLTAGE LEVE	
	Positive	Negative
Data	SPACE (0)	MARK (1)
Modem Control & Timing	On (asserted)	Off (negated)

เนื่องจากระดับโวลเตจดังกล่าวไม่พอเหมาะที่จะใช้ได้กับ TTL ดังนั้นอินเตอร์เฟสสู่เคเบิล RS-232 C จึงต้องการวงจรภาคขับและภาครับเป็นพิเศษดังแสดง ในรูป 6.4 ภาคขับและภาครับนี้สามารถหาได้ในรูป IC ตามท้องตลาดทั่วไป



รูป 6.4 วงจรอินเตอร์เฟส RS-232 C

RS-232 C นั้นจำกัดค่าความจุไฟฟ้าของสายสัญญาณ (วัดเทียบกับกราวนด์) อย่างมากสุดคือ 2500 PF สำหรับสายเคเบิลที่มีฉนวนและช่วงว่างระหว่างสายอย่างสามัญทั่วไป สายยาวประมาณ 50 ฟุต จะมีค่าความจุไฟฟ้าประมาณนั้น ดังนั้นถ้าไม่ใช้สายชนิดพิเศษแล้ว ระยะห่างมากสุดระหว่าง DTE และ DCE คือ 50 ฟุต หรือประมาณ 15 เมตร

6.3 ขาขั้วต่อ RS-232 C และหน้าที่

ตาราง 6.2 แสดงรายการขาขั้วต่อของ RS-232 C และชื่อสัญญาณที่ใช้ร่วมกับขาขั้วต่อนั้น คอลัมน์ขวามือสุดเป็นชื่อย่อที่ใช้เรียกขานั้น ๆ ซึ่งใช้อยู่ในหนังสือเล่มนี้ (ชื่อย่อนี้ยังไม่มีการกำหนดมาตรฐานใช้เรียกโดยสากล) ในหัวข้อนี้จะขอให้ข้อมูลเกี่ยวกับขาต่าง ๆ โดยจะจัดอธิบายเป็นกลุ่มตามประเภทของสัญญาณและหน้าที่ของมันโดยย่อ

ขาที่ 1 และขาที่ 7 เป็นขากราวนด์ โดยขาที่ 1 เป็นกราวนด์ของเครื่องเพื่อวัตถุประสงค์หลักในการป้องกันสัญญาณรบกวนโดยรอบและลดการสอดแทรกของสัญญาณอันจะเกิดขึ้นได้ ขาที่ 7 เป็นขากราวนด์ซึ่งใช้เพื่อต่อให้เกิดเส้นทางหรือจุดอ้างอิงร่วมกันของสัญญาณทุกชนิด ไม่ว่าจะเป็นข้อมูล สัญญาณนาฬิกา หรือสัญญาณควบคุมต่าง ๆ ขา 7 นั้นจำเป็นต้องต่อระหว่าง DTE และ DCE เพื่อให้เครื่องทำงานร่วมกันได้อย่างถูกต้อง การต่อกราวด์ขา 7 นี้ ควรระวังเรื่องความต่างศักย์ อันเนื่องมาจากความต้านทานของสายด้วย ถ้ากราวด์ไม่ดีมันก็จะเป็นสาเหตุทำให้การรับข้อมูลมาผิดความไม่ถูกต้องได้

ขาที่ 2 และขาที่ 3 เป็นขาสำหรับส่งและรับข้อมูลตามลำดับ คำว่าส่งหรือรับในที่นี้ให้ยึดเอาตัว CPU หรือ DTE เป็นหลักว่าเป็นผู้ส่งหรือผู้รับ ตามเกณฑ์ของ RS-232 C DTE จะส่งข้อมูลออกมาที่ขา 2 และรับข้อมูลจากขา 3

Pin	Signal Name	Direction DTE	Direction DCE	Abbreviation
1	PROTECTIVE (FRAME) GROUND			
2	TRANSMIT DATA	→		XMT
3	RECEIVE DATA	←		RCV
4	REQUEST TO SEND	→		RTS
5	CLEAR TO SEND	←		CTS
6	DATA SET READY	←		DSR
7	SIGNAL GROUND (COMMON RETURN)			GRD
8	CARRIER DETECT	←		CAR_DET
9	–			
10	–			
11	–			
12	SECONDARY CARRIER DETECT	←		SEC_CAR_DET
13	SECONDARY CLEAR TO SEND	←		SEC_CTS
14	SECONDARY TRANSMIT DATA	→		SEC_XMT
15	TRANSMIT CLOCK (DCE SOURCE)	←		XMT_CLK
16	SECONDARY RECEIVE DATA	←		SEC_RCV
17	RECEIVE CLOCK	←		RCV_CLK
18	–			
19	SECONDARY REQUEST TO SEND	→		SEC_RTS
20	DATA TERMINAL READY	→		DTR
21	SIGNAL QUALITY DETECTOR	←		SQD
22	RING INDICATOR	←		RI
23	DATA RATE SELECTOR	→		DR_SEL
24	TRANSMIT CLOCK (DTE SOURCE)	→		XMT_CLK
25	–			

ขาที่4 และ 5 คือขา RTS และ CTS สัญญาณบนขา 4 นั้น DTE ใช้แสดงต่อ DCE เมื่อประสงค์จะส่งข้อมูล สัญญาณ RTS นี้อาจใช้เพื่อเปิดเครื่องโมเด็ม DTE จะไม่ส่งข้อมูลจนกระทั่งได้รับสัญญาณ CTS บนขา5 จาก DCE ซึ่ง CTS เป็นสัญญาณตอบรับจาก DCE ว่าตัว DCE นั้นพร้อมในการสื่อสารแล้ว ในกรณีที่ DCE มีความพร้อม และเตรียมคลื่นพาห์ที่จะใช้ในการส่งข้อมูลอยู่แล้วก็ไม่มีความจำเป็นจะต้องหน่วงเวลาระหว่าง RTS และ CTS

ขาที่ 6 และ 20 เป็นขา DSR และ DTR สัญญาณ DSR นั้น DCE ได้แจ้ง DTE ให้รู้ว่าโมเด็มได้เปิดเครื่องรออยู่แล้ว และก็ไม่ได้ปฏิบัติตัวอยู่ในโหมดทดลอง (test mode) กล่าวคือ ชุดสื่อสาร (communication set) นั้นเตรียมพร้อมอยู่แล้ว สัญญาณ DTR นั้นใช้เพื่อ DTE แจ้ง DCE ในการพร้อมที่จะตอบรับการสื่อสารที่จะมีผ่านโมเด็มเข้ามาแล้ว

ขาที่ 8 เป็นขาที่ใช้ในการตรวจจับการรับสัญญาณจากสาย บางครั้งเรียกว่า data carrier detect แทนคำว่า carrier detect ที่ใช้ในตาราง 6.2 modem จะทำการยืนยันด้วยสัญญาณ CAR-DET ในเมื่อมันได้รับสัญญาณคลื่นพาห์ ที่มีระดับพอเพียงกับเกณฑ์ที่กำหนดไว้ในการรับส่งข้อมูล DTE ส่วนใหญ่ต้องการสัญญาณนี้ก่อนที่จะมีการยอมส่งหรือรับข้อมูลและด้วยเหตุนี้เอง ในการส่งข้อมูลที่ไม่ผ่านโมเด็ม (การส่งข้อมูลโดยตรงระหว่าง DTE ต่อ DTE) ขาที่ 8 นั้นปกติจะถูกต่อโดยตรงกับขาที่ 20

ขาที่ 22 เป็นขา RI (Ring Indicator) สัญญาณนี้เป็นสัญญาณที่ DCE บอก DTE ว่ามีการเรียกโทรศัพท์เข้ามาตามสายปกติ โมเด็มจะถูกออกแบบให้ต่อ โดยตรงกับสายโทรศัพท์ ในกรณีที่โมเด็มเป็นแบบตอบรับอัตโนมัติ โมเด็มจะมีความสามารถในการตรวจรับ สัญญาณเรียกเข้ามาทางโทรศัพท์ได้ และจะส่งสัญญาณ RI สู่ DTE ในขณะที่มีสัญญาณเรียก (ringing tone) เข้ามาและโมเด็มจะทำการตอบรับโดยการจัดวงจรเสมือนมีการยกหูโทรศัพท์รับ เมื่อได้คำสั่งจาก DTE ซึ่งปกติ DTE จะสั่งให้โมเด็มตอบรับการสื่อสารนั้น โดยใช้สัญญาณ DTR ส่งผ่านขาที่ 20 ปกติสำหรับเครื่องคอมพิวเตอร์เล็ก ๆ ตามท้องตลาด มักจะเกี่ยวข้องอยู่กับขาขั้วต่อ 10 ขา ที่กล่าวมาแล้วข้างต้นเป็นสำคัญ ขาอื่น ๆ นั้นจะมีความสำคัญรองลงไป

ขาที่ 15,17,21 และ 24 นั้นจะใช้เมื่อโมเด็มทำงานส่งแบบซิงโครนัสเพราะโมเด็มทางด้านส่งจะต้องส่งข้อมูลบางอย่าง (0 หรือ 1) ที่แต่ละช่องเวลาบิท โมเด็มจะควบคุมจังหวะสัญญาณนาฬิกาจาก DTE และในทำนองเดียวกัน โมเด็มที่ทำหน้าที่รับก็จะต้องส่งบิทข้อมูล และจังหวะสัญญาณนาฬิการที่ร่วมมาด้วยกันออกมาด้วย ขาที่ 15 และ 17 จะใช้สนองความต้องการเหล่านี้และในกรณีที่สัญญาณควบคุมไม่ได้เกิดจากโมเด็มทางด้านเครื่องส่ง เช่นในกรณีที่มีการมัลติเพล็กซ์รวมกับสถานีอื่น จะใช้การควบคุมผ่านขาที่ 24 และสำหรับขาที่ 21 นั้น จะใช้เพื่อแสดงว่าคลื่นพาห์ที่รับเข้ามานั้นมีคุณสมบัติเป็นไปตามเงื่อนไขที่ได้กำหนดไว้ก่อนแล้ว

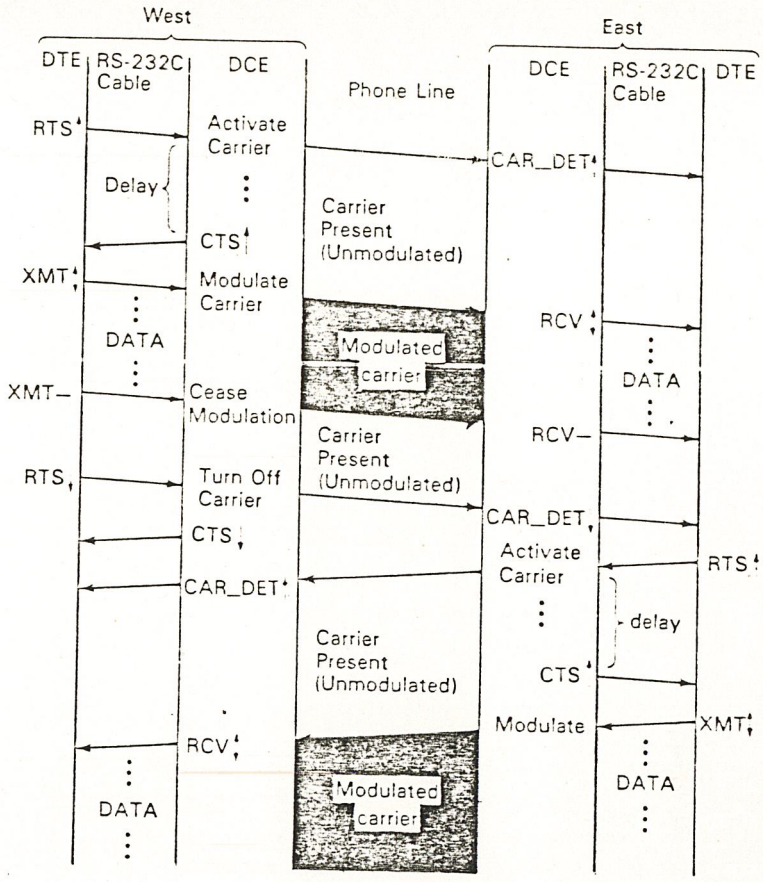
ขาที่ 23 ใช้เพื่อส่งสัญญาณเลือกอัตราการส่งสัญญาณข้อมูล ในกรณีที่โมเด็มเป็นแบบชนิดที่สามารถเปลี่ยนอัตราส่งข้อมูลได้ จะใช้ขาที่ 23 นี้เป็นตัวคอยควบคุมอัตราการส่งข้อมูลที่ใช้นั้นปกติโมเด็มทางด้านส่ง จะเป็นตัวเลือกอัตราการส่งข้อมูลนี้และจะแจ้งให้ทั้ง DTE ด้านส่ง และโมเด็มด้านรับให้บอก DTE ด้านรับอีกต่อหนึ่ง

ขาที่ 12,13,14 และ 19 เป็นขาสัญญาณที่ใช้กับช่องสัญญาณรอง โมเด็มบางเครื่องจะมีช่องสัญญาณใช้สองช่องคือช่องสัญญาณหลักและช่องสัญญาณรอง ขาสัญญาณทั้ง 5 ของช่องสัญญาณรองนั้น มีหน้าที่เหมือนกับหน้าที่ทางช่องสัญญาณหลัก ต่างกัน แต่ว่าอัตราการส่งสัญญาณทางช่องสัญญาณรองนั้นปกติมักจะช้ากว่าอัตราการส่งของช่องหลัก และช่องสัญญาณรองนั้นจะมีทิศทางการส่งสัญญาณสวนกันกับทิศทางของช่องสัญญาณหลัก เกี่ยวกับช่องสัญญาณรองนี้จะมีกล่าวถึงต่อไป

ลักษณะของข้อมูลที่ส่งผ่านอินเตอร์เฟส RS-232 C นั้นเป็นการส่งแบบลำดับอาจจะเป็นอะซิงโครนัส หรือแบบซิงโครนัสก็ได้ ขึ้นอยู่กับ DTE

6.4 การควบคุมคลื่นพาห์และการส่งข้อมูล

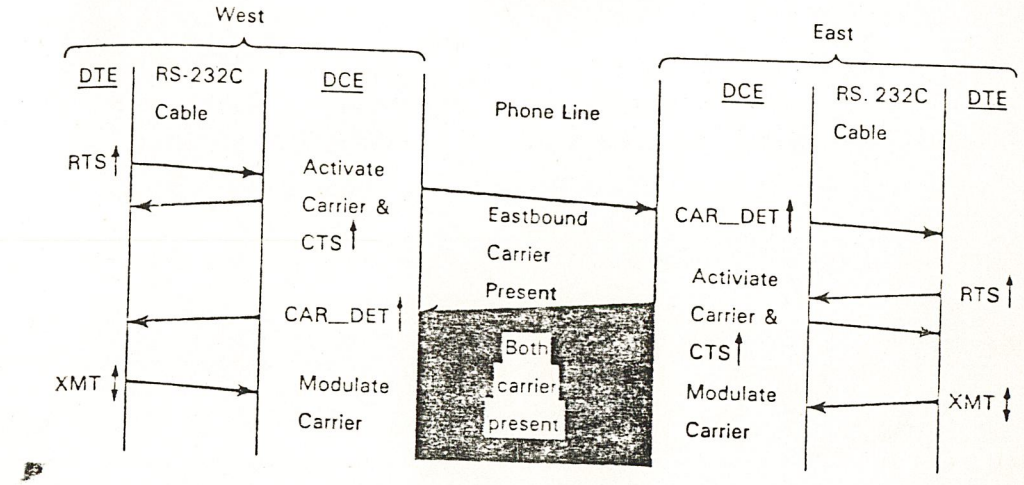
กระบวนการควบคุมคลื่นพาห์ และการส่งข้อมูลสามารถอธิบายให้เข้าใจได้ง่าย โดยใช้รูป 6.5 ในรูปนี้เราใช้เครื่องหมายลูกศรที่พุ่งขึ้นท้ายตัวอักษรย่อแสดงการเปิดส่งสัญญาณนั้น และใช้เครื่องหมาย



รูป 6.5 การควบคุมคลื่นพาห์ระบบฮาล์ฟดูเพล็กซ์

อักษรพุ่งลงแสดงการปิดเลิกส่งสัญญาณ เครื่องหมายอักษรสองหัวชี้ขึ้นและลงแสดงการเริ่มรับส่งข้อมูล การส่งข่าวสาร และการตอบรับได้แสดงโดยลูกศรที่พุ่งผ่านข้ามช่องการสื่อสาร โดยเวลาที่ผ่านไปนั้นแสดงโดยการเคลื่อนลงในแนวดิ่งของรูปไดอะแกรมนั้น เครื่องหมายขีด(-) แสดงสถานะสงบ (quiescent)

ในรูป 6.6 ตามรูปนี้ สถานีด้านตะวันตกได้เริ่มการสื่อสารโดยการส่ง RTS ไปก่อน DCE ด้านตะวันตก



รูป 6.6 การควบคุมคลื่นพาห์ของระบบฟูลดูเพล็กซ์

เมื่อได้รับสัญญาณ RTS ก็จะส่งคลื่นพาห์หลักไปสู่ DCE ด้านตะวันออก และส่งสัญญาณCTS ไปสู่ DTE ในเวลาที่ไล่เลี่ยกัน เมื่อ DCE ด้านตะวันออกตรวจพบคลื่นพาห์ บนสาย DCE ก็จะส่ง CAR-DET ไปยัง DTE ด้านเดียวกัน DTE ด้านตะวันออกเมื่อได้รับ CAR-DET ก็จะส่ง RTS กลับมายัง DCE ให้ส่งคลื่นพาห์รองไปสู่ DCE ด้านตะวันตก พร้อมกับส่ง CTS มายัง DTE ด้านตะวันออกด้วย เมื่อ DCE ด้านตะวันตกตรวจจับคลื่นพาห์รองได้ ก็จะส่ง CAR-DET ไปบอก DTE ด้านตะวันตกว่าได้มีการจัดระบบคลื่นพาห์บนสายการสื่อสารเรียบร้อยแล้ว จากช่วงเวลานี้การสื่อสารข้อมูลก็จะเริ่มต้นได้พร้อมกันทั้งสองสถานี

เพราะคลื่นพาห์จะปรากฏมีอยู่บนสายตลอดเวลาที่ทำการสื่อสาร จึงไม่มีปรากฏการสายวกกลับ อันเป็นเหตุให้ประสิทธิภาพในการใช้สายเสียไป จึงสามารถปรับปรุงเวลาการส่งผ่านข้อมูลเพิ่มขึ้นเป็นอย่างมาก

บทที่ 7

การคำนวณและการออกแบบ

ตัวกำหนดสัญญาณ FSK (FSK Generator)

ตัวกำเนิดสัญญาณ FSK ก็คือ ตัวส่งสัญญาณ FSK (FSK Transmitter) ซึ่งมีหลักการที่ว่าเมื่อข้อมูลที่เป็นสัญญาณดิจิตอลที่มีลักษณะเป็นข้อมูลไบนารี จะทำให้ความถี่เลื่อนหรือเบี่ยงเบนไปตามการเปลี่ยนแปลงของข้อมูลไบนารีที่เข้ามาดังนั้นสัญญาณทางเอาท์พุทของตัวกำเนิด FSK จะอยู่ในรูปของความถี่ที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง (Frequency Continuous) เมื่อข้อมูลไบนารีด้านอินพุทเปลี่ยนแปลงจากสถานะโลจิก "1" เป็นโลจิก "0" (หรือในทางกลับกันคือโลจิก "0" เป็นโลจิก "1") สัญญาณเอาท์พุทจาก FSK ก็จะเลื่อนความถี่ระหว่าง 2 ความถี่ด้วยกัน คือความถี่โลจิก "1" หรือ Mark Frequency (fm) และความถี่ที่โลจิก "0" หรือ Space Frequency (fs)

การเปลี่ยนแปลง (หรือการเลื่อน) ของความถี่แต่ละครั้งจะเกิดขึ้น เมื่อสถานะของโลจิกด้านสัญญาณเข้าเปลี่ยนแปลงนั่นคือ อัตราการเปลี่ยนแปลงสัญญาณออกจะเท่ากับอัตราการเปลี่ยนแปลงสัญญาณเข้า ซึ่งในดิจิตอล มอดดูเลชั่นนั้นอัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุทของ FSK Generator จะเรียกว่า "อัตราบิท" หรือ Bit Rate มีหน่วยเป็นบิทต่อวินาที (bps) ส่วนอัตราการเปลี่ยนแปลงของสัญญาณด้านเอาท์พุทของ FSK Generator เรียกว่า "อัตราบอด"หรือ Baud Rate ดังนั้นการส่งข้อมูลด้วยเทคนิค FSK อัตราบิทจะเท่ากับอัตราบอร์ดเสมอ

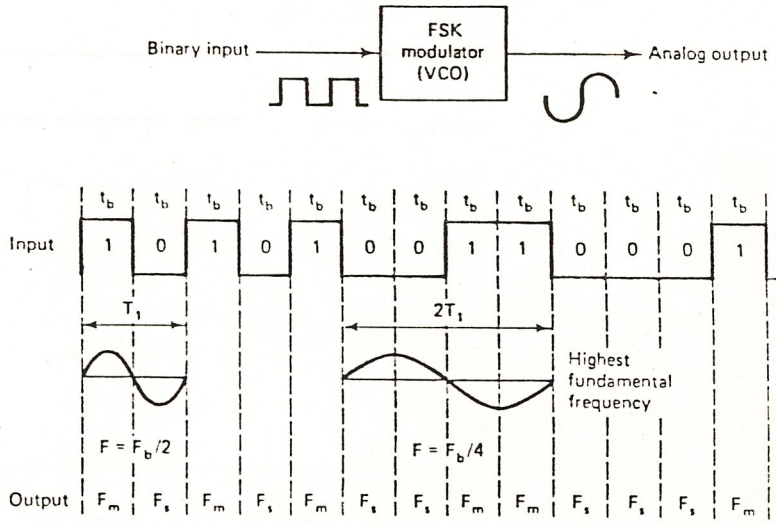
FSK Bandwidth

ในระบบการสื่อสารข้อมูลด้วยสัญญาณอนาล็อกหรือสัญญาณความถี่นั้นแบนด์วิทเป็นสิ่งที่ต้องพิจารณาเป็นอันดับแรก เนื่องจากวิธีการของ FSK อยู่บนพื้นฐานเดียวกันกับ FM ดังนั้นการอธิบายถึงสูตรต่าง ๆ ก็ใช้หลักการของ FM ทุกอย่าง

จากรูปที่ 2.10 แสดงถึงตัว FSK มอดูเลเตอร์ ซึ่งใช้หลักการเดียวกันกับเอฟเอ็มมอดูเลเตอร์คือ ใช้หลักการของ VCO (Voltage Control Oscillator) จะเห็นว่าอัตราการเปลี่ยนแปลงที่เร็วที่สุดของสัญญาณอินพุทจะเกิดขึ้นเมื่อข้อมูลไบนารีมีลักษณะเป็น "1" และ "0" สลับกันซึ่งก็คือสัญญาณที่เหลี่ยมนั่นเอง (Square Wave) ตามตัวอย่างในรูปที่ 2.1ม เป็นสัญญาณในช่วง T_1 ความถี่หลักของคลื่นสี่เหลี่ยมจะมีค่าเท่ากับครึ่งหนึ่งของ Bit Rate ดังนั้นถ้าพิจารณาเฉพาะความถี่หลักเพียงอย่างเดียวแล้ว ความถี่สูงสุดของสัญญาณดิจิตอลที่ต้องการนำมามอดูเลทแบบ FSK จะเท่ากับครึ่งหนึ่งของ Bit Rate คือ

$$F_{a\ max} = \text{Bit Rate} / 2$$

เมื่อ $F_{a\ max}$ = ความถี่สูงสุดของสัญญาณดิจิตอลที่จะนำมามอดูเลท



รูป 7.1 FSK Modulator

ความถี่กลาง (Center Frequency = fo) ของ VCO จะอยู่ในตำแหน่งกลางระหว่าง Mark Frequency (fm) กับ Space Frequency (fs) ดังรูปที่ 10

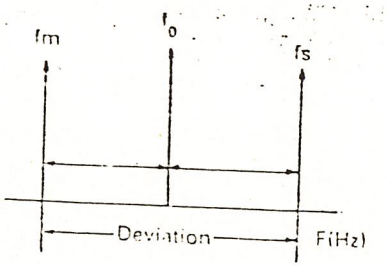
โลจิก 1 ด้านอินพุทจะเลื่อนความถี่ของ VCO จาก fo ไปเป็น fs จะเห็นว่าการเปลี่ยนแปลงของข้อมูล ไบนารีด้านอินพุทจาก "1" ไป "0" หรือ "0" ไป "1" จะทำให้ความถี่เอาท์พุทของ VCO เลื่อนหรือเบี่ยงเบนไปมา ระหว่าง fm กับ fs เนื่องจากที่กล่าวมาแล้วว่า FSK นั่นคือการมอดูเลทแบบ FM ดังนั้น ดัชนีการมอดูเลท (Modulate Index = MI) ใน FSK ก็ทำได้จาก FM คือ

$$MI = \Delta F/Fa$$

เมื่อ MI = ดัชนีการมอดูเลท

ΔF = การเบี่ยงเบนของความถี่ใด ๆ จากความถี่กลาง (Hz)

Fa = ความถี่ของสัญญาณที่นำมามอดูเลท (Hz)



รูป 7.2 การเบี่ยงเบนความถี่

ค่า MI ที่ยอมให้มีได้สูงสุดคือ ค่า MI ที่ทำให้แบนด์วิชกว้างที่สุด ซึ่งจะเกิดขึ้นเมื่อ การเบี่ยงเบนของความถี่ถูกมอดูเลทแล้วและความถี่ของสัญญาณที่นำมามอดูเลทมีค่าสูงสุด

ใน FSK มอดูเลท ค่า ΔF เป็นการเบี่ยงเบนของความถี่สูงสุด (Peak Frequency Deviation) ของสัญญาณที่ถูกมอดูเลทแล้ว ซึ่งมีค่าเท่ากับความแตกต่างระหว่าง fo กับ fm หรือ fo กับ fs ซึ่งก็คือ ครึ่งหนึ่งของความแตกต่างระหว่าง fm กับ fs นั่นคือ

$$\Delta F = \frac{fs-fm}{2}$$

การเบี่ยงเบนของความถี่สูงสุดขึ้นอยู่กับขนาดหรือแอมพลิจูดของสัญญาณที่นำมามอดูเลท (สัญญาณดิจิตอล) เมื่อสถานะทางโลจิกเป็น "1" ก็จะให้แรงดันออกมาค่าหนึ่งคงที่ตามสถานะ (เช่น 5 V หรือถ้าเป็นโลจิก "0" ก็จะให้แรงดันออกมาคงที่ในระดับโลจิก "0" เช่นกัน (เช่น 0 V) ดังนั้น ความถี่เบี่ยงเบนของ FSK มอดูเลทจะเบี่ยงเบนคงที่ และอยู่ในระดับการเบี่ยงเบนของความถี่สูงสุดเสมอ Fa เป็นความถี่หลักของข้อมูลไบนารีด้านอินพุท ซึ่งจะทำให้แบนด์วิท กว้างที่สุดเมื่อ Fa = Bit Rate/2 เท่านั้นเพราะฉะนั้นเราสามารถหาค่า MI ได้จาก

$$MI = \frac{fs-fm}{2} \Big/ \frac{fb}{2}$$

$$MI = \frac{fs-fm}{Fb}$$

เมื่อ fs-fm = ความถี่เบี่ยงเบนสูงสุด
Fb = อัตราบิทของไบนารีอินพุท

ในการส่งสัญญาณ FM โดยทั่ว ๆ ไป ความกว้างของแบนด์วิท จะแปรผันตรงกับค่า MI ซึ่งเช่นเดียวกับ FSK ที่ค่า MI โดยทั่ว ๆ ไปจะต้องมีค่าต่ำกว่า 1.0 เพื่อให้เป็นเอฟเอ็มแบบแคบ (Narrow band FM) ค่าแบนด์วิทที่แคบที่สุดเรียกว่า Minimum Nyquist Bandwidth (Fn) ตัวอย่างเช่นการส่งข้อมูลแบบ FSK มีความถี่กลาง (fo) = 7 KHz ความถี่สเปซ (fs) = 6 KHz และความถี่มาร์ค (fm) = 8 KHz ข้อมูลไบนารีอินพุทมี Bit Rate = KHz สามารถหา Fnได้ดังนี้

$$MI = \frac{fs-fm}{Fb}$$

$$MI = \frac{6\ KHz - 8\ KHz}{2\ KHz}$$

$$MI = \frac{2\ KHz}{2\ KHz}$$

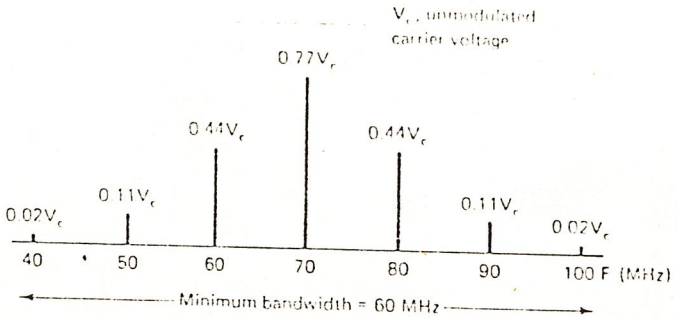
$$MI = 1.0$$

จากตาราง Bassel Function ในตารางที่ 1 เมื่อ MI = 1.0 จะได้แถบความถี่ข้าง (Sideband Frequency) ออกมาข้างละ 3 ความถี่ โดยแต่ละความถี่จะห่างจากความถี่กลาง (fo) ช่วงละ 1 KHz (ซึ่งก็คือ FB/2 เมื่อ Fb คือ Bit Rate = 2 KHz) สามารถเขียนเป็นสเปคตรัมความถี่ได้ดังรูปที่ 11

MI	J_0	J_1	J_2	J_3	J_4
0.0	1.00				
0.25	0.98	0.12			
0.5	0.94	0.24	0.03		
1.0	0.77	0.44	0.11	0.02	
1.5	0.51	0.56	0.23	0.06	0.01
2.0	0.22	0.58	0.35	0.13	0.03

ตารางที่ 7.3 Bassel Function Table

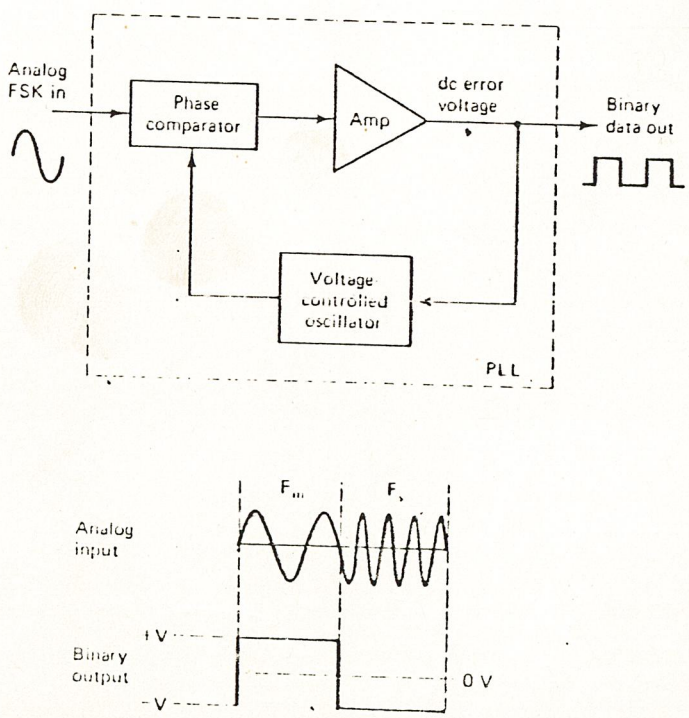
มีข้อน่าสังเกต คือ MI ที่มีค่าอยู่ระหว่าง 0.5 ถึง 1.0 จะทำให้แบนด์วิทมีค่าประมาณ 2-3 เท่าของ Bit Rate เสมอ



รูปที่ 7.4 สเป็คตรัมความถี่ของตัวอย่างที่ 1

FSK ดีมอดูเลทเตอร์ (FSK Demodulator)

FSK Demodulator คือ ตัวรับสัญญาณ FSK (FSK Receiver) จะเป็นตัวแยกสัญญาณไบนารีออกจากสัญญาณ FSK โดยส่วนมากจะใช้วงจร PLL (Phaselock loops) ดังรูปที่ 12



รูป 7.5 PILL-FSK demodulator

PLL ใน FSK Demodulator มีหลักการทำงานเหมือนกับ PLL ใน FM Detector ทุกอย่างคือจะมีความถี่ฟรีรันนิ่งเท่ากับ Center Frequency (fo) และในขณะที่ความถี่อินพุทของ PLL เลื่อนไป-มา ระหว่าง fm กับ fs จะทำให้เกิดแรงดันคลาดเคลื่อนไฟตรง (DC Error Voltage) ซึ่งเป็นผลมาจากการเปรียบเทียบเฟส (Phase Comparator) ของสัญญาณอินพุท เนื่องจากความถี่อินพุทที่เข้าทาง PLL มีเพียง 2 ความถี่คือ fm และ fs ดังนั้น ค่าแรงดันดังกล่าว จึงมีเพียง 2 ระดับเท่านั้น ซึ่งสามารถแทนด้วยโลจิก "1" และโลจิก "0" เมื่อความถี่ทางอินพุทเป็น fm และ fs ตามลำดับ เราจึงได้สัญญาณเอาท์พุทจาก PLL กลับมาเป็นข้อมูลไบนารีเหมือนกับตอนแรกที่ส่งมาทุกประการ

แนวทางการออกแบบ FSK เพื่อใช้งาน

หลังจากที่เราได้ทราบถึงหลักการและรายละเอียดของการรับ-ส่ง ข้อมูลด้วย FSK มาพอสมควรแล้ว ก็มาดูถึงการนำไปใช้งานในทางปฏิบัติ ซึ่งก็คือ เราจะออกแบบวงจร FSK ได้อย่างไร เมื่อก่อนการออกแบบวงจร FSK จะใช้อุปกรณ์ประเภททรานซิสเตอร์ และอุปกรณ์พาสซีฟต่าง ๆ มาต่อเป็นวงจร FSK ทั้งด้านรับและส่ง แต่เนื่องจากปัจจุบันเทคโนโลยีด้านไอซี (Integrate Circuit) ได้พัฒนาไปมาก ทำให้สามารถรวมวงจรต่าง ๆ เข้าด้วยกันบรรจุภายในชิฟเล็ก ๆ เช่น ไอซี ออปแอมป์ ไอซี PLL เป็นต้น

การออกแบบ FSK Generator

ในการออกแบบ FSK Generator ได้นำเอาไอซีเบอร์ XR-2206 ซึ่งเป็นโมโลลิธิค ฟังก์ชั่น เยนเนอเรเตอร์ กำเนิดรูปคลื่นเอาท์พุทได้ทั้งคลื่นซายน์คลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม หรือแรมป์ (Ramp) โดยมีย่านความถี่ตั้งแต่ 0.01 Hz ถึง 1.0 Hz

ในกรณีนี้เราจะใช้ XR-2206 เป็นตัวกำเนิดคลื่นรูปซายน์ ในลักษณะ FSK Generator โดยใช้ไทม์มิ่ง รีซิสเตอร์ R_1 และ R_2 ที่ต่อระหว่างขา 7 8 กับกราวด์ตามลำดับ โดยที่สัญญาณดิจิตอล (หรือ Keying Signal)ที่ป้อนเข้ามายังขา 9 ของไอซี เป็นตัวกำหนดสัญญาณทางเอ้าท์พุท (ขา 2) ถ้าขา9 อยู่ในสถานะวงจรเปิดหรือมี V_{in} 2V แล้ว R_1 จะเป็นตัวกำหนดไทม์มิ่งร่วมกับตัวเก็บประจุที่ต่อคร่อมระหว่างขา 5 กับขา 6 (หรือในทำนองกลับกันถ้าขา 9 มี V_{in} 1V แล้ว R_2 จะเป็นตัวกำหนดไทม์มิ่ง รวมกับตัวเก็บประจุระหว่างขา 5 กับขา 6 เช่นเดียวกัน)จึงทำให้ความถี่เอ้าท์พุทอยู่ในช่วงระหว่าง fm กับ fs โดยทั้ง fm และ fs จะอิสระต่อกันและสามารถเปลี่ยนแปลงความถี่ได้โดยการ เลือกค่า R_1 หรือ R_2 ตามสมการข้างล่าง

$$fm = 1/R_1C$$

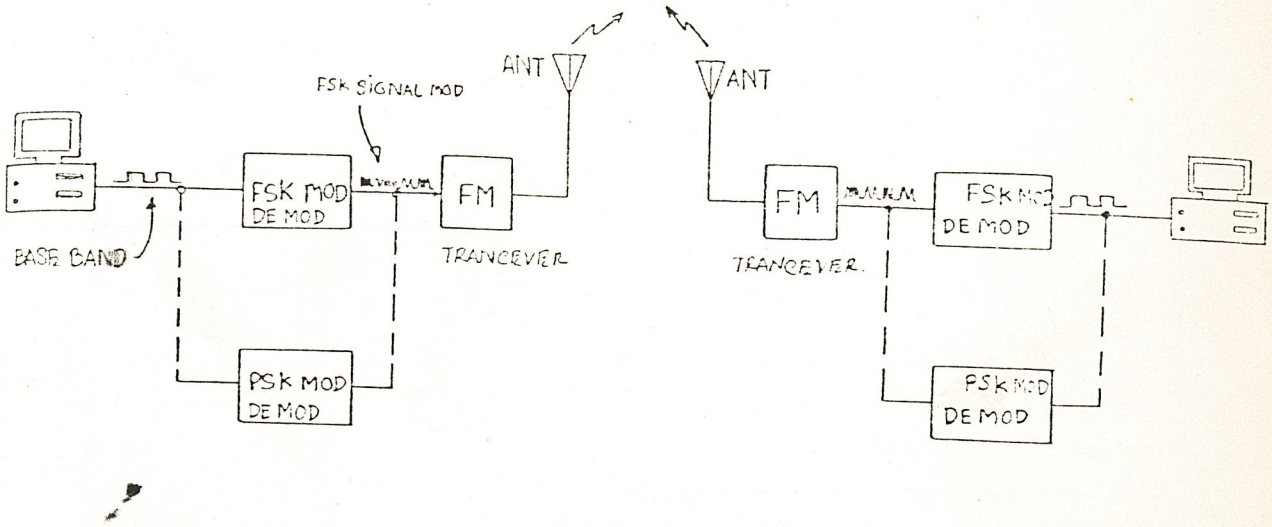
$$fs = 1/R_2C$$

ตัวเก็บประจุระหว่างขา 5 กับขา 6 จะอยู่ในช่วง 1,000 pF - 100 uf ตัวต้านทาน R_1 และ R_2 จะอยู่ในช่วง 4 K - 200 K

ในการออกแบบด้านส่งนั้นเราจำเป็นต้องกำหนดค่าง fm และ fs ก่อนซึ่งจะกำหนดเองก็ได้ แต่ในทางปฏิบัติจริงแล้วบางครั้งการกำหนด fm และ fs เองนั้น มักจะเป็นปัญหาในเรื่องความถี่ฮาร์โมนิคและการกำหนด fm และ fs นั้นจะเกี่ยวข้องไปถึง Band Rate ในการรับ-ส่งด้วย ดังนั้นจึงมีการกำหนด fm และ fs ซึ่งเรียกว่า FSK BAND และจะแตกต่างกันตาม Band Rate ดังตารางที่ 2

75 Band	fm = 1110 Hz
	fs = 1170 Hz
300 Band	fm = 1070 Hz
	fs = 1270 Hz
1200 Band	fm = 1200 Hz
	fs = 2200 Hz

ตารางที่ 7.6 FSK BAND



รูปที่ 7.7 บล็อกไดอะแกรมอย่างง่ายของโครงงาน

จากรูป อุปกรณ์ DTE ซึ่งในที่นี้คือ คอมพิวเตอร์ส่วนบุคคล จะทำการรับและส่งข้อมูลกับคอมพิวเตอร์อีกด้านหนึ่งทั้งด้านไปและด้านกลับ โดยในขณะที่คอมพิวเตอร์ด้านหนึ่งเป็นภาคส่งข้อมูล ก็จะส่งข้อมูลออกไปแบบอนุกรม ทางอินเตอร์เฟส RS-232 C ไปให้กับตัวโมเด็ม จากนั้นโมเด็มจะทำการแปลงสัญญาณข้อมูลแบบดิจิตอลให้เป็นสัญญาณอนาล็อกย่านความถี่ต่ำ เช่น ย่านความถี่เสียง ด้วยวิธีการเข้ารหัส แบบความถี่ (FSK) นั่นคือใช้ความถี่ค่าหนึ่งแทนบิท "0" และใช้ความถี่อีกค่าหนึ่งแทนบิท "1" จากนั้นสัญญาณ FSK นี้ก็จะถูกส่งออกไปในแบบเอฟเอ็ม โดยส่วนของเครื่องส่ง (Transmitter) ในย่านความถี่พาห์ที่เหมาะสม

คลื่นวิทยุที่ถูกมอดูเลทแล้ว เมื่อเดินทางผ่านตัวกลางไปยังภาครับของคอมพิวเตอร์อีกด้านหนึ่งก็จะผ่านส่วนของเครื่องรับ Receiverซึ่งจะทำให้การดีมอดูเลทสัญญาณ FM ที่รับได้ให้เป็นสัญญาณ FSK เมื่อนำสัญญาณที่ได้นี้ผ่านโมเด็มก็จะทำการแปลงสัญญาณอนาล็อกให้กลายเป็นสัญญาณข้อมูลดิจิตอลแล้วส่งผ่านอินเตอร์เฟส RS-232 C ไปให้คอมพิวเตอร์อีกด้านหนึ่งซึ่งทำการประมวลผลต่อไป

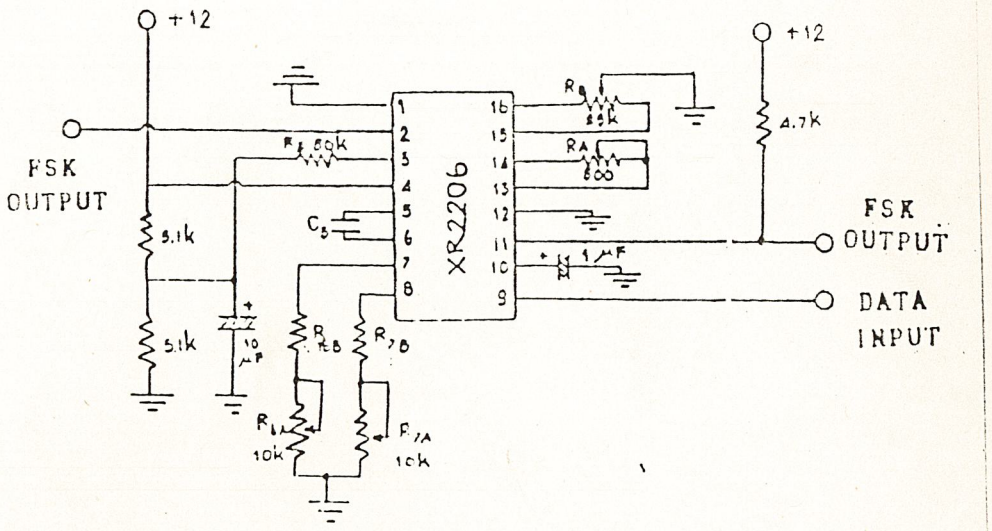
จากการทำงานของบล็อกไดอะแกรม จะเห็นว่าคอมพิวเตอร์ทั้งสองด้านทำหน้าที่เป็นอุปกรณ์ปลายทางข้อมูล (Data Terminal Equipment : DTE) ส่วนโมเด็มและตัวเครื่องส่ง เครื่องรับ จะทำหน้าที่เป็นอุปกรณ์สื่อสารข้อมูล (Data Communication Equipment : DCE) โดยที่อุปกรณ์อินเตอร์เฟสระหว่างอุปกรณ์ปลายทางข้อมูลกับอุปกรณ์สื่อสารข้อมูล นั่นคือ อินเตอร์เฟส EIA RS-232 C

การ Modulation ด้วย IC เบอร์ XR 2206

เราใช้ไอซีเบอร์ XR2206 ซึ่งเป็น Monolithic Function Generator ทำหน้าที่ในการมอดูเลทสัญญาณดิจิตอล โดยการเข้ารหัสแถบความถี่ FSK ซึ่งสามารถใช้ได้กับอินพุทที่เป็น TTL หรือ C/MOS ก็ได้ สามารถที่จะให้ค่าคลื่นรูปซายน์เอาท์พุทได้ประมาณ 3 V_{p-p} และค่าความผิดเพี้ยนของสัญญาณที่เกิดขึ้นจะอยู่ระหว่าง 0.5 % ถึง 2.5 %

วงจรที่ใช้แสดงดังรูปที่ 15 โดยสัญญาณดิจิตอล อินพุทจะเข้าที่ขา 9 สัญญาณระดับสูง (HIGH level signal) จะมีค่าความถี่ตามค่า $1/R_8C_3$ เฮิร์ตซ์ ส่วนสัญญาณระดับต่ำ (LOW level signal) จะมีค่าความถี่ตามค่า $1/R_7C_3$ เฮิร์ตซ์ (ค่าความต้านทานหน่วยเป็นโอห์ม ตัวเก็บประจุหน่วยฟารัด) ถ้าจะให้มีค่าเสถียรภาพที่ดี ความต้านทาน R_8 และ R_7 ควรมีค่าอยู่ในช่วง 10-100 กิโลโอห์ม โวลเตจที่ขา 9 จะอยู่ช่วง 12 โวลท์ และกราวน์

ตัวต้านทานปรับค่าได้ R_8 และ R_9 มีไว้เพื่อปรับค่าความผิดเพี้ยนของสัญญาณที่น้อยที่สุด ถ้าไม่ต้องการค่าที่ละเอียดมาก ก็อาจจะปล่อยขา 15 และ 16 ว่างและตัวต้านทานปรับค่าได้ R_8 อาจจะแทนด้วยตัวต้านทานค่าคงที่ 200 โอห์ม ที่ขา 2 ค่าเอาท์พุทอิมพีแดนซ์จะมีค่าประมาณ 600 โอห์ม และก็ควรจะใช้หลักการคับปลิ้ง (Coupling) ด้วย



รูปที่ 7.8 วงจร XR2206 FSK Modulator

ในวงจรใช้งาน เราจะใช XR2203 ทำการเปลี่ยนความถี่ในอัตรา 1200 บอด โดยมี

$$f_R = 1/R_8C_3 \text{ Hz}$$

$$f_L = 1/R_7C_3 \text{ Hz}$$

ตัวเก็บประจุที่อยู่ระหว่างขา 5 และ ขา 6 จะอยู่ในช่วง 1000 pF - 100 uF ซึ่งในวงจรจะใช้ 0.002 uF

กำหนด f_R = 1200 Hz

f_L =

จะได้ R_e = 83.3 กิโลโอห์ม

R_2 = 45.45 กิโลโอห์ม

การปรับแต่ระดับเอ้าท์พุทไฟตรง

ระดับแรงดันไฟตรงที่ขาเอ้าท์พุท (ขา 2) จะมีค่าโดยประมาณเท่ากับแรงดันไบอัสที่ขา 3 จากวงจรจะเห็นว่าแรงดันที่ขา 3 จะได้จากการแบ่งแรงดันระหว่างค่าความต้านทาน 5.1 K สองตัวกับแรงดันไฟเลี้ยงประมาณ 6V เมื่อแรงดันไฟเลี้ยงในวงจรเป็น +12 โวลท์ และสามารถปรับโดยโพเท็นชิโอมิเตอร์ 50K ที่อนุกรมกับขา 3 ดังนั้นการปรับที่ขา 3 ก็เป็นการปรับระดับของสัญญาณเอ้าท์พุทขา 2 ให้อยู่ในระดับที่ต้องการ

การปรับการผิดเพี้ยนรูปคลื่นของสัญญาณเอ้าท์พุท

ขา 13 และ 14 มีไว้สำหรับปรับแต่งรูปคลื่นเพื่อปรับการผิดเพี้ยน (distortion) ของรูปร่างสัญญาณ อันเนื่องมาจากความผิดเพี้ยนฮาร์โมนิค โดยการต่อค่าความต้านทานเข้าไประหว่างขา 13 และ 14 แต่ในคู่มือ XR-2206 แนะนำให้ใช้ค่า 200 โดยไม่มีการปรับแต่งแต่อย่างใด

พิจารณาค่าแบนด์วิท

ในการหาค่าแบนด์วิทที่แคบที่สุดจำเป็นต้องรู้ค่า fm,fs และ Bit Rate จากตัวอย่างที่ความเร็ว 1,200 Band เราหา Fn ได้ดังนี้

จาก MI = Δ F/Fa

เมื่อ Δ F = fm-fs

= 1200-2200

= 1000 Hz

Fa = Bit Rate ซึ่งก็คือ

Baud Rate

= 1200 bps

MI = $\frac{1000 \text{ Hz}}{1200 \text{ bps}}$ = 0.83

จากตาราง Bassel Function นั้นค่า MI 0.83 ไม่มีจึงประมาณเป็น 1.0 ซึ่งจะได้ความถี่ไซด์แบนด์ออกมาข้างละ 3 ความถี่ โดยแต่ละช่วงจะห่างกันเท่ากับ Bit Rate/2 คือ 600 Hz จากสเป็คตรัมความถี่เอ้าท์พุทจะได้ Fn = 3,600 Hz และมีลักษณะดังรูปที่ 2.17

จะเห็นว่าด้าน LSB ค่าความถี่ที่ติดลบเป็นไปไม่ได้แต่เกิดขึ้น เพราะเราประมาณค่า MI เป็น 1.0 จะได้แบนด์วิทประมาณ 3 เท่าของ Baud Rate ซึ่งก็จะไม่มีความถี่ -100 Hz ให้ปรากฏแต่อย่างใด

การ Demodulation ด้วย IC เบอร์ 564

IC เบอร์ 564 เป็น IC ที่สร้างขึ้นมาสำหรับใช้ในการ Demodulation แบบ FSK โดยเฉพาะประกอบไปด้วย ภาร Voltage Comparator และ ภาค VCO ซึ่งมี Input และ Output TTL และสามารถทำงานด้วยไฟ Power Supply SV สัญญาณไฟ DC Voltage ภาค Demodulated รวมเข้ากับสัญญาณความถี่แบบ Mark และ Space ถูกแปลงกลับคืนด้วย Capacitor ภายนอกอันเดียวในการกู้เอากู้เอาสัญญาณไฟ DC Voltage กลับคืน โดยไม่มีการใช้ Filter สัญญาณที่กล้าๆ ภาค Comparator ภายในแสดงตาม Schmitt Trigger ด้วยการปรับค่า Hystersis รูปร่างสัญญาณ Voltage ของการ Demodulstor ภายในระดับสัญญาณ TTL Output ค่าความถี่สูงถูกออกแบบของ IC เบอร์ 564 มีความสามารถในการ Demodulated แบบ FSK ที่อัตราความเร็วสูงกว่า 1.0 M Baud รูปที่ 1 แสดงการออกแบบภาค Decoder ความถี่ความถี่สูงแบบ FSK สำหรับค่าความถี่เบี่ยงเบน Input $^{+}/-$ 1.0 MH_z สภาวะความถี่ Frre-Runing 10.8 MH_z ค่าของ Timeing Capacitance หาค่าได้จากรูป 4a จะได้ค่าประมาณ 40 $_{PF}$ ช่วยในการปรับจูนอย่างละเอียดความถี่ fo' ที่ความถี่ 10.8 MH_z

รูปที่ 2b แสดงค่าเบี่ยงเบนความถี่ $^{+}/-$ 1.0 MH_z จะอยู่ในย่าน Lock สำหรับค่าระดับสัญญาณ Input มากว่าประมาณ 50 mV ด้วยค่ากระแส Bias ขาที่ 2 เป็นศูนย์ขณะที่มีค่าจำกัดในรูปนี้มีค่าความถี่ที่เหมาะสมสำหรับ 5 MH_z มันสามารถใช้เป็นแนวทางในการคำนวณหาค่าความถี่ fo อื่น ๆ ในการวิเคราะห์ยืนยันในตอนท้ายของสภาวะย่านการ Lock และใช้เป็นแนวทางสำหรับการออกแบบระบบอื่น ค่าอัตราการขยายแบบ Close-Loop ของ PLL เท่ากับสภาวะย่านการ Lock และหาค่าได้ตามค่าผลของ K_d และ K_o ปรับให้ได้ถึงความถี่ 10.8 MHz

$$2W_L = K_v = K_d K_o$$

$$2W_L = (0.46 \frac{volt}{radian}) (0.875 \frac{MH}{volt}_x)$$

$$*(2_r * 10.8 * 10^6 \frac{radian}{sec})$$

$$2W_L = 2.73 * 10^7 \frac{radian}{sec} \text{ (Lock range total)}$$

ดังนั้นที่ขาที่ 2 ทางด้านซ้ายตามวงจร Open และการตั้งค่าอัตราการขยายแบบ Closed Loop ลายในจึงเหมาะสมสำหรับการ Tracking สัญญาณความถี่ Input แบบ Mark และ Space อย่างไรก็ตาม เพื่อความปลอดภัยการปรับแต่งค่า Bias ตามที่แสดงเอาไว้ในรูปที่ 1 เป็นคุณสมบัติเด่นที่ใช้ค่าการเปลี่ยนแปลง K_o และ Kd จากอุปกรณ์หนึ่งไปยังอีกอุปกรณ์หนึ่ง ตัวอย่างในการออกแบบ ค่าสภาวะ Capture 700 KHz จงหาค่า Time Constant ของ Filter แบบ low pass หาได้จากสูตร

$$W_c = \sqrt{\frac{W_L}{2W_L}} = K_v = 2.73 * 10^7$$

$$(2*700*10^3) = \sqrt{2.73 * 10^7}$$

$$= 1.18 \text{ mS}$$

ดังนั้นค่า Capscitor ที่ใช้ในวงจร Low pase Filter จะได้

$$C = \frac{1.41 \text{ us}}{} = 1 \text{ nF}$$

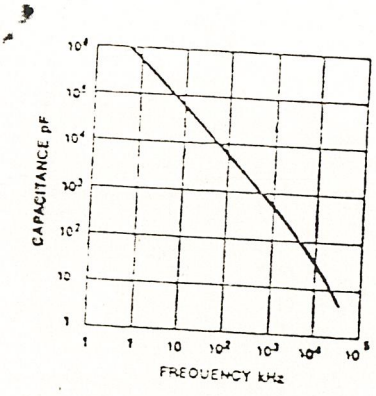
$$R = 1.3K$$

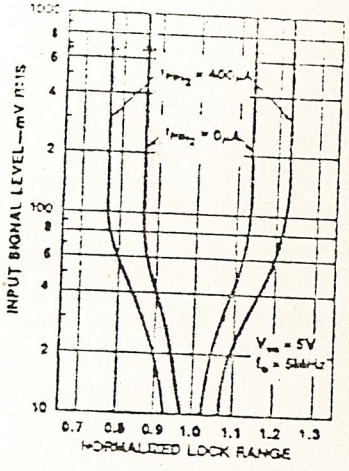
ค่า Capacitor 1nF 2 ตัว จึงถูกเลือกใช้งานสำหรับการออกแบบค่า Capcitor Coupling ถูกใช้สำหรับสัญญาณ Input แบบ FSK และเป็นคุณสมบัติที่จะหลีกเลี่ยงไฟ DCป้อนผ่านเข้ามาค่า DC Voltage ที่แสดงออกมาตามค่า DC Offset ไปยังความถี่ fo ที่ถูก shift จาก 10.8 MHz ค่า Balanced biasing ด้วยค่า Resistor 1.0 K ohm จากขา 7 ไปยังขา 3 และขา6 ด้วยเป็นค่าตั้งค่าให้สมมาตรกัน สภาวะค่ากระแสเฉลี่ยในค่าจำกัดและภาค Phase Comparator ของ IC เบอร์ 564 ค่า Pull - up Resistor 470 ohm สำหรับVCO output พบว่าให้ค่า Rise Time น้อยกว่า 10 nS ค่า Rise time

เป็นตัวเสริมให้ค่าลดลง โดยเพิ่มค่า Resistor 100 ohm ในระหว่างขา 8 และ ขา 11 ในรูปที่ 3 แสดงสัญญาณความถี่ Input ค่า 10.8 MHx ยังไม่ได้ผ่าน การ Modulated และหมายเหตุที่ค่า phase ล้าหลังไป 90 องศา ของค่า VCO Out put นั้น ค่า Capacitor 0.1 uF เป็นตัวอ้างเอาค่าสัญญาณ DC กลับมา(ขาที่ 14) มีค่า Impedance น้อยกว่า 1 ohm ที่ความถี่ fo และแสดงการย่อมรับได้ระหว่างค่าอัตราความเร็ว Baud สูง ๆ (ประมาณ 100 K Baud) ที่ความถี่ fo และค่า Order Filtering ค่านี้สูงกว่า ถ้าใช้ค่าอัตราความเร็ว Baud ที่สูงมาก ๆ Capacitor สามารถเป็นค่าที่น้อยกว่า ด้วยค่าที่เพิ่มขึ้นในค่า Schmitt Trigger Hysteresis ค่า Hysteresis ถูกปรับแต่งได้ในการทดลองโดยผ่าน Potentiometer 10K ohm และค่า Bias กำหนดไว้ 2K ohm ให้ค่ารูปคลื่นแสดงไว้ในรูปที่ 5 สำหรับค่าอัตราความเร็ว 20K , 500k และ 2MBaud ด้วยสัญญาณ Square Modulation แบบ FSK หมายเหตุค่า Magnitude และ ค่า Phase จะมีค่าความสัมพันธ์ของสัญญาณ Input Voltage Comparator เกี่ยวข้องกับแต่ละค่าสัญญาณ

output แบบ FSK ค่าความถี่สูงเป็นส่วนประกอบของสัญญาณ Input และ ความถี่ VCO ซึ่งเห็นได้ชัดเจนตามสัญญาณ ในค่า Phase ของสัญญาณ Output ภาค Comparator

สัญญาณ Output ของภาค Comparator แสดงรูปคลื่นจะอยู่ในรูปที่ 4 เมื่อสัญญาณ Input แบบ FM ถูกเปลี่ยนแปลงจาก Modulation แบบ FSK ด้วยรูปคลื่น Square Wave ต่อรูปคลื่น Triangular Sweep ที่ค่าอัตราความเร็ว 100 Hz ค่า Amplitude ของสัญญาณ Triangular Sweep มีค่าเพิ่มขึ้นจากการใช้ด้วยการ Modulator แบบ Square Wave เป็นต้นเหตุให้ Loop ไป Driver และของสภาวะการ Locked ในระหว่าง Smooth ส่วนที่เป็น

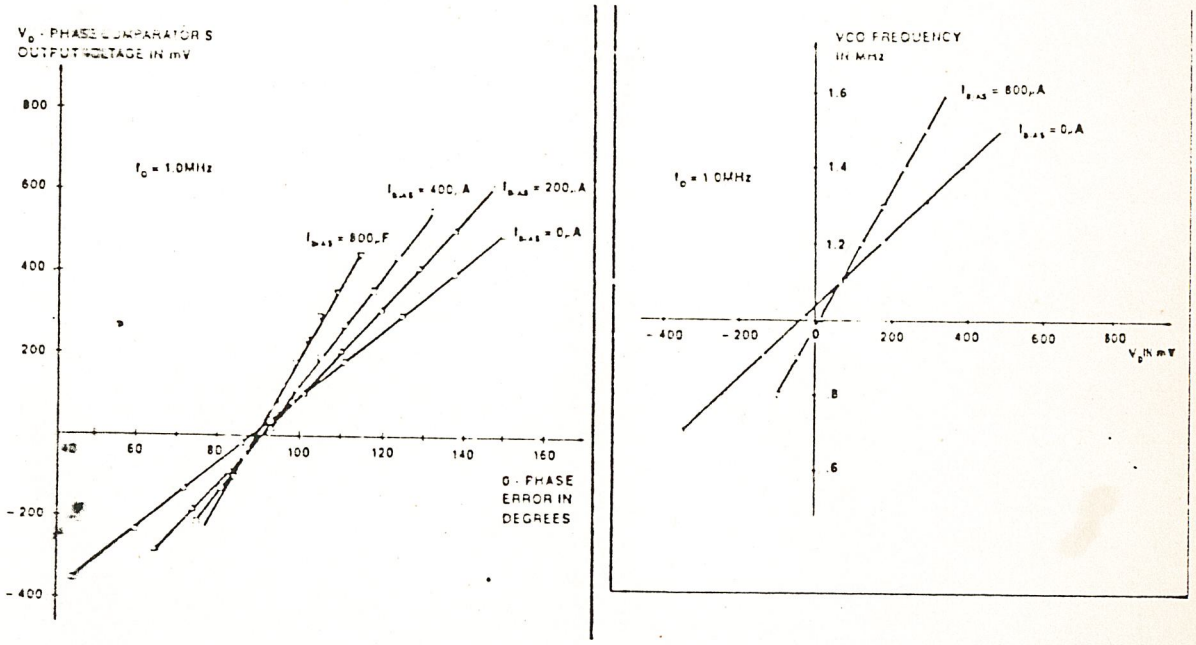




a. VCP Timing Capacitor VS Frequency

b. Lock Rang VS Input Signal Level and Bias Current

รูปที่ 22 NE564 Charteristics



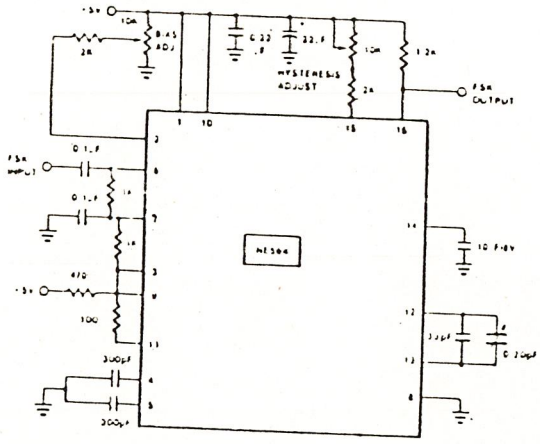
รูปที่ 3 PLL Input and VCO Output

Linear ของรูปคลื่นสัญญาณของค่ากระแสของภาค Comparator และสภาวะการ Lock ในระหว่างส่วนที่ยังคงค้างอยู่ ความถี่ สภาวะการ Lock และ Captureถูกวัดค่ากระแส 375 uA ที่ขา 2 และ fo = 10.8 MHz ได้ดังนี้

$$\text{Lock} = f_{L1} = 6.2\ MH_z \quad f_{L2} = 16.4\ MH_z$$

$$\text{Lock} = f_{c1} = 9.3\ Mh_z \quad f_{c2} = 12.2\ MH_z$$

เมื่อ Loop อยู่ในสภาวะ Lock ค่า Phase สัญญาณ output ของภาค Detector แสดงการ Demodulated สัญญาณ Output แบบ FM เมื่อสภาวะไม่ Lock , ค่าความถี่ Hormonics สูงแสดงออกมา , ค่า Amplitude เพิ่มขึ้นจนกระทั่งถูก Lock ในที่สุด



รูปที่ 7.9 FSK Decoder Using the NE564

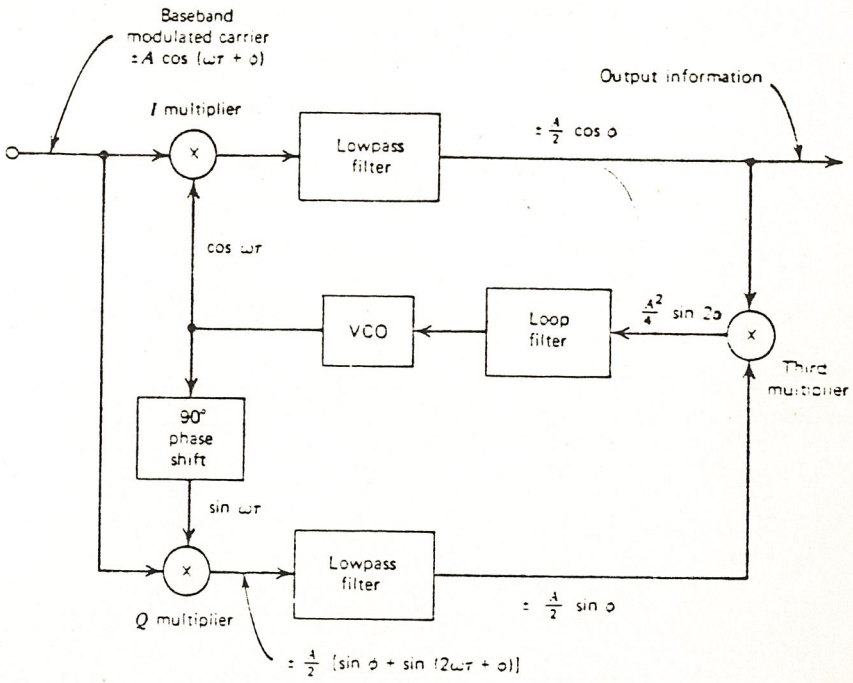
MODEM (PSK)

การส่ง

จากวงจรจะเห็นว่าอินพุทจะมีสัญญาณนาฬิกาและสัญญาณดิจิตอลป้อนให้แก่ 4030 โดยจะอ้างอิ้งกับแรงดันไฟ +5V และจะให้เอาท์พุทแก่ D flip-flop 4013 และจะนำสัญญาณที่ได้มา XR-OR และป้อนให้กับ 4024ซึ่งเป็น7-STAGE BINARY COUNTER จะเอาสัญญาณออกที่ Q4 ที่ขา 6 ซึ่งจะได้สัญญาณที่เป็นลักษณะแบบอนาล็อก

การรับ

สัญญาณที่เป็นอนาล็อกจะถูกป้อนให้กับ OP-AMP ซึ่งเป็นการขยายแบบกลับเฟส 4 ตัว จะเห็นว่าในส่วนของการรับจะมีการชิฟเฟส 0 , -45 , +45 และ 90 ซึ่งเป็นการมอดูเลเตอร์แบบ 4 PSK (QPSK) โดยสัญญาณที่ใช้ควบคุมในการชิฟเฟสจะถูกผลิตจากใน 4094 โดยสัญญาณนาฬิกาที่ป้อนให้แก่ 4094 นั้น จะได้จาก 4046 ซึ่งเป็น phase lock loop โดยในส่วนของสัญญาณดิจิตอลจะได้จาก D flip-flop 4013 ซึ่งวงจรรวมจะแสดงใน รูปที่ 3.8



รูปที่ 7.10 แสดง Costas loop demodulatorสำหรับ Double-sideband กดสัญญาณ Carrier

ค่า Bcos wt และโดยค่า Bsin wt,ตามลำดับสัญญาณ Output จากการ Multiplier ได้ดังนี้

สำหรับ I Multiplier $\pm(A/2)[\cos \phi + \cos (2wt - \phi)]$

สำหรับ Q Multiplier $\pm(A/2)[\sin \phi + \sin (2wt - \phi)]$

ซึ่ง, เมื่อสัญญาณ I และ Q Lowpass filter, กลายเป็นค่า $\pm$ A/2 cos ϕ และ $\pm$ A/2 sin ϕ ค่าสองสัญญาณเหล่านั้น, ซึ่งประกอบไปด้วยสัญญาณ Phase shift keyed และสัญญาณ Carrier phase ถูก Multiplied เข้าด้วยกันจะได้ $A^2 \sin 2\phi$ หลังจากผ่านการ Filtering แล้ว, สัญญาณนี้จะถูกใช้การ Loop VCO และทำให้มัน Track สัญญาณ Incoming (Virtual) carrier (แน่นอน, เราจะต้องจำเอาไว้เสมอว่าสัญญาณที่แท้จริงไม่ใช่สัญญาณ Incomming carrier) นั้นคือวัตถุประสงค์ของการ Demodulator สัญญาณแบบ Costas ไปยังการ Demodulate แบบ Double - sideband suppressed สัญญาณ Carrier

ส่วนที่หาได้ง่ายจาก 2 จุดขึ้นอยู่วิธีการ Modulation ที่ให้รายละเอียด Phase - shift keyed (PSK) นั้นเป็นผลจากการส่งข้อมูลเท่าที่จะหาได้ง่ายที่สัญญาณ Output ของค่า I Multiplier output filter การ Modulation ทางความถี่หาได้ง่ายที่อยู่ใน Simple phase lock loop ที่ Loop filter output Costas loop ไม่มีค่า Amplitude output และไม่สามารถอยู่ในรูปที่ให้ทั้ง "ค่าเปอร์เซนต์สัญญาณ" "In-lock" หรือสัญญาณ Coherent AGC ข้อได้เปรียบส่วนใหญ่ของมันมีมากกว่า Simple phase-lock loop เป็นความสามารถของมันเองที่ถูก Demodulate phase - shift keyed และ/ หรือ Suppressed สัญญาณ Carrier

ค่าสัญญาณ I filter output $\pm$ A/2 cos ϕ จะเป็น $\pm$ A/2 สำหรับค่ามุม ϕ เล็กๆ และค่า $\pm$ A/2 ที่ต้องการค่าข้อมูลแบบ Binary ค่า Cos ϕ จะมีค่าประมาณเท่ากับหนึ่งเมื่อ Loop อยู่ในสภาวะ Locked ϕ เข้ามาใกล้ค่ามุม 0 องศา มันจะสังเกตว่าค่า Loop ไม่จำเป็นต้องรู้ไม่มีวิธีการที่จะหาค่าได้, ซึ่งเป็นค่าหนึ่งและเป็นค่าศูนย์ ดังนั้นเราจะต้องใช้รูปแบบของการส่งข้อมูลอยู่ภายในสิ่งที่ไม่น่าสงสัยในตัวของมันเอง ดังนั้นเทคนิคตาม Differential phase - shift keying หรือ การกำหนดข้อมูลแบบ Polarity - determining bits ดีเท่ากับ ไม่ได้ถูกนำมาพิจารณาต่อไป

เมื่อค่าเปอร์เซนต์สัญญาณ, อยู่ในสภาวะ in-lock หรือสัญญาณ AGC แบบ Coherent, Costas loop ที่ค่าเพิ่ม การ Multiplier มากกว่า 3 เท่าขึ้นไป, เป็นสิ่ง ที่จำเป็นเป็น ค่าสัญญาณ Input ถูกนำไปประยุกต์ใช้งานที่ Costas loop, $\pm$ A cos (wt + ϕ) ถูกนำไปใช้ในการ Multiplier สัญญาณ Input ของมันอื่นๆ เป็น +45 องศา และ -45 องศา Shift ของ VCO

หลังจาก Filter ซึ่งเคลื่อน ที่ผ่าน ไปยังส่วนประกอบ ของความถี่ 2 ครั้ง (Cos 2wt + ...) การ Multiplier ครั้งที่ 3 ซึ่งเป็นผลและ ให้ค่า Output เป็น

$$(A^2/4)[\cos(0 - 2\phi) + \cos 90] = A^2 \cos 2\phi$$

สำหรับค่า ϕ ในสภาวะ in - lock Cos 2ϕ เป็นหนึ่งและค่า Output เป็น $A^2/4$ ถ้า Costas loop ไม่ได้อยู่ในสภาวะ Lock กับสัญญาณ Incoming อย่างไรก็ตาม, ค่า Cos 2ϕ ที่เกิดขึ้นอย่างรวดเร็ว เข้าใกล้ศูนย์ เป็นค่าสัญญาณ Coherent amplitude demodulator ที่ถูกต้องและ สามารถถูกใช้งานให้สัญญาณแบบ Coherent AGC, อื่นๆ

Filter ถูกใช้งานใน Amplitude detector โดยปกติ มักจะเหมือนกับการใช้งานในการ Demodulator แบบ Costas ของตัวมันเอง, แม้มันจะไม่ใช่สิ่งที่จำเป็นเหมือนกัน Lowpass filter ที่ใช้ในแขนของ Costas รายละเอียดของย่านความถี่การช่วง Cutoff ที่ความถี่สูงกว่าหรือบางความถี่ที่เลือกไปที่ค่าอัตราส่วนสัญญาณ-ต่อ-สัญญาณรบกวนในขณะที่อ้างถึงค่าต่ำที่สุด

บทที่ 8

ผลการทดลองที่ 1

การทดลองวงจร FSK MOD และ DEMOD

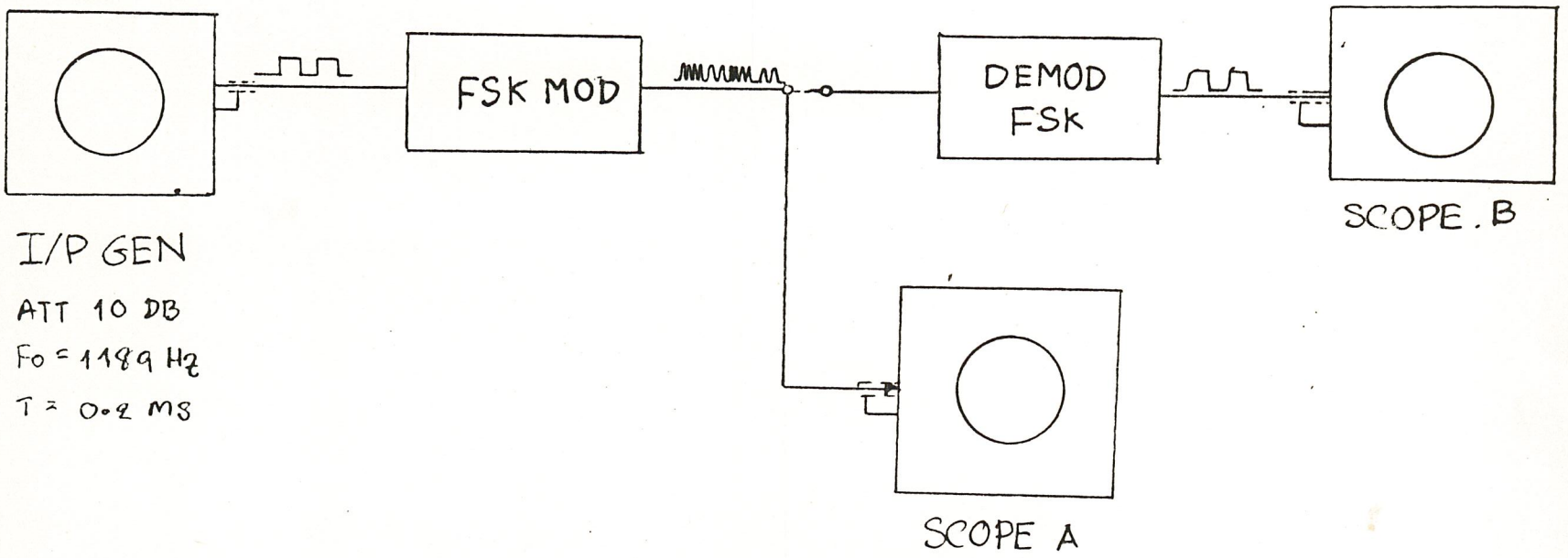
วัตถุประสงค์ - เพื่อทดสอบประสิทธิภาพในการรับส่งของสัญญาณ Analog และ Digita
- ต้องการรู้ถึงความถี่ช่วง Mark Frequency และ Space Frequency

เครื่องมือในการทดลอง และ อุปกรณ์

- เครื่องกำเนิดสัญญาณรูปคลื่น Square Wave	1	เครื่อง
- Oscilloscope	1	เครื่อง
- Power Supply	2	ชุด
- อุปกรณ์ R,L,C IC เบอร์ NE564, XR2206		

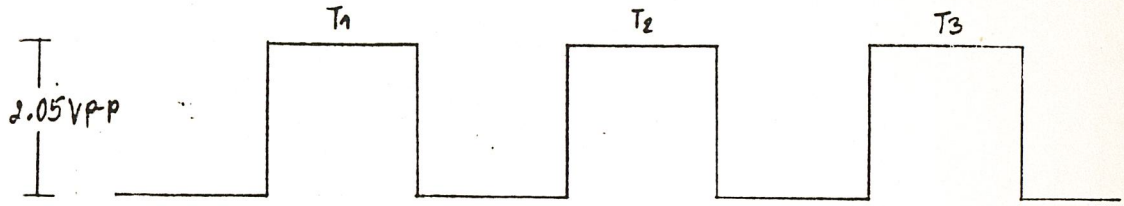
ขั้นตอนการทำงาน

1. ต่อวงจรตามรูปที่กำหนดมาให้
2. ต่อเครื่องมือตามรูปที่กำหนดให้มา
3. นำ Scope Channel A วัดที่ Output ของ FSK MOD
4. ป้อนสัญญาณ Square Wave ปรับให้วงจร FSK ทำงานทั้ง Mark Frequne Space Frequnecy (DEMODULATOR)
5. เมื่อได้ค่าจากข้อที่ 4 ทำวงจร DEMOD FSK ต่อกับ Output ของ FSK MO การกู้สัญญาณ
6. นำ Scop Channel B วัดที่ Output DEMOD FSK และปรับแต่งสัญญาณ เ ให้ได้ตาม Input ที่ป้อน
7. ทำการวาดรูปสัญญาณที่ได้จากการทดลอง

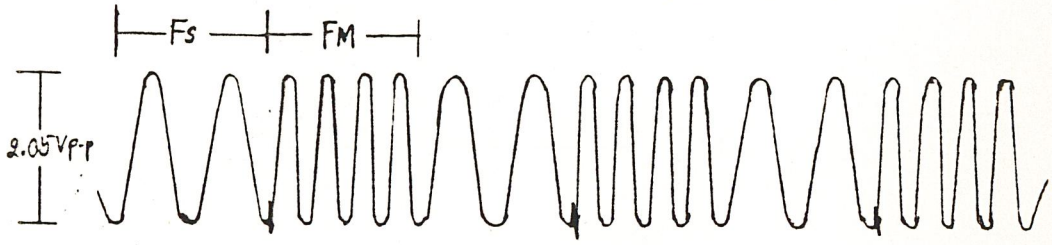


หลักการต่อ และทดสอบสัญญาณ FSK

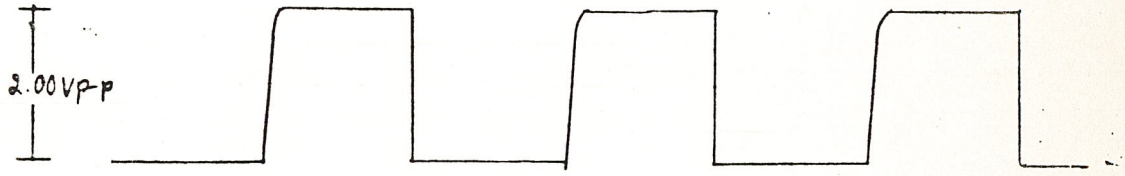
ATT 10 DB



INPUT GEN 1189 Hz , T= 0.2 MS



OUTPUT FSK (SCOPE A)



OUT PUT DEMODE FSK. (SCOPE B)

ผลการทดลองและทดสอบสัญญาณ FSK MOD , DEMOD

Fs = SPACE FREQUENCY

FM = MARK FREQUENCY.

สรุปผลการทดลอง

เมื่อเราป้อนสัญญาณจากเครื่องกำเนิด เข้าวงจร FSK Modulator แล้วนำ Frequnecy จับที่ Output จะได้ค่า 1200 H_z ซึ่งดูผลจากการทดลองที่ Outputของ FSK M เมื่อ Input ("0") ก็จะได้ Space Frequnecy (Fs) วัดได้ 2200 H_z ส่วนเมื่อ Input ในเวลา T_1 ก็จะได้ Mark Frequnecy (Fm) ที่ 1200 H_z ซึ่งค่าที่ได้นี้จะเป็นประสิทธิภาพการรับส่งของ FSK ซึงถ้าเราต้องการให้ค่าอัตราความเร็วของการรับ - ส่ง เร็วมากกว่านี้ การเปลี่ยนค่า Capacitor ของ IC 2206 ขา 5,6 และ R_1 R_2 (ขา 7,8) ก็จะได้เราต้องการ

จากสูตร $fm = 1/R_1C$

$fs = 1/R_2C$

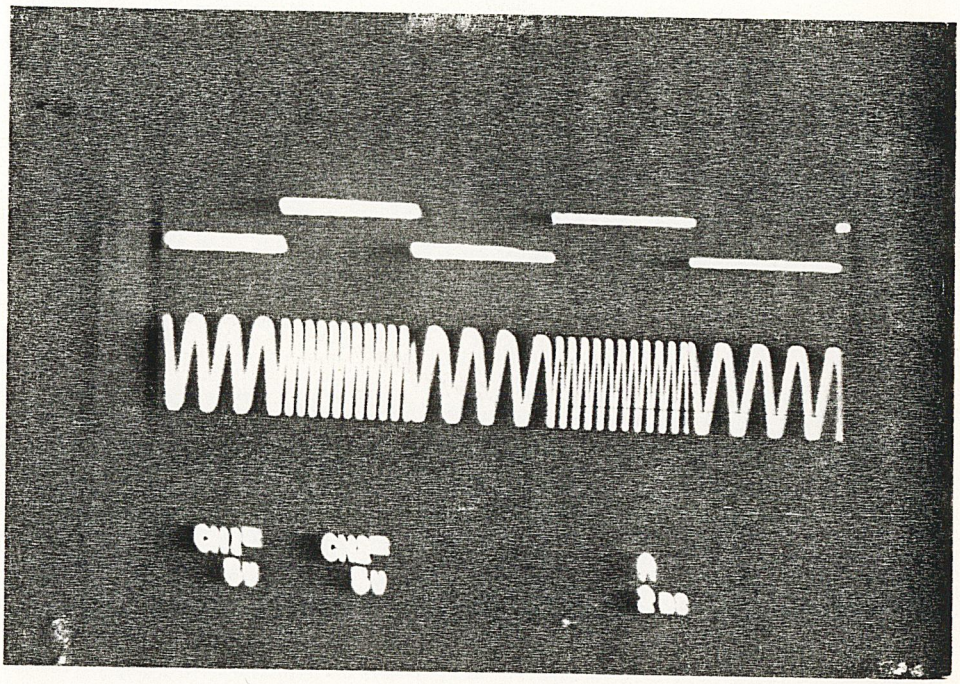
จากนั้น สัญญาณที่ประกอบด้วย fm,fs จะป้อนสัญญาณเข้า Demodulator ของกู้สัญญาณกับมาอยู่ในสภาพเดิม (Square Wave) โดยใช้วงจร NE564 โดยใช้หลักการทำงานเพื่อที่จะ Damping ของ FSK Modulator โดยกำหนดหาค่า Center Frequnecy

$$fo = \frac{fm + fs}{2}$$

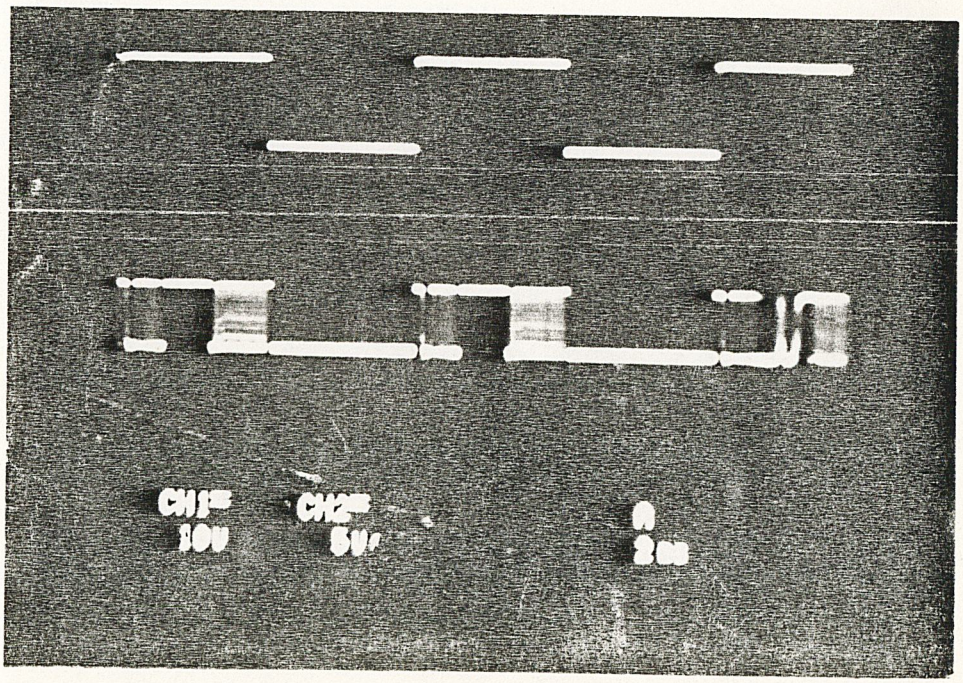
เพื่อที่จะหาค่า Bit แต่ละช่วงเพื่อที่จะให้ค่าเป็น "0", "1" ตาม Baud Rate ที่ต้องการ

ผลการทดลองที่ 2

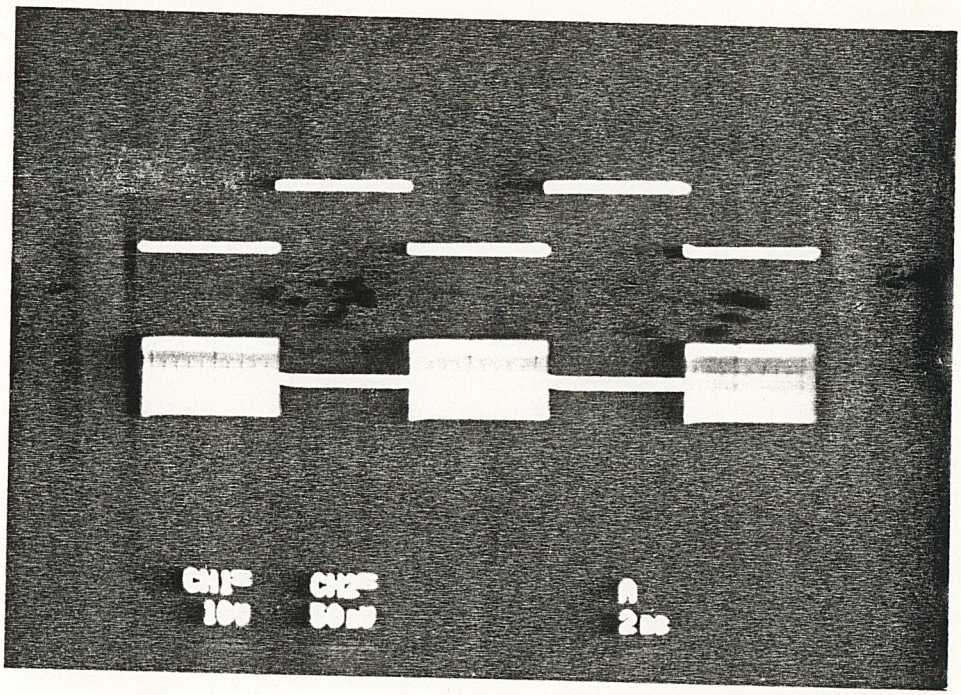
ผลการทดลองที่ 2 เป็นการทดลองส่งข้อมูล (data) ผ่านวงจร FSK และ PSK โดยผ่านเครื่องรับส่ง FM ซึ่งเป็นการแสดงผลการ Mod และ Demod จากรูปดังต่อไปนี้



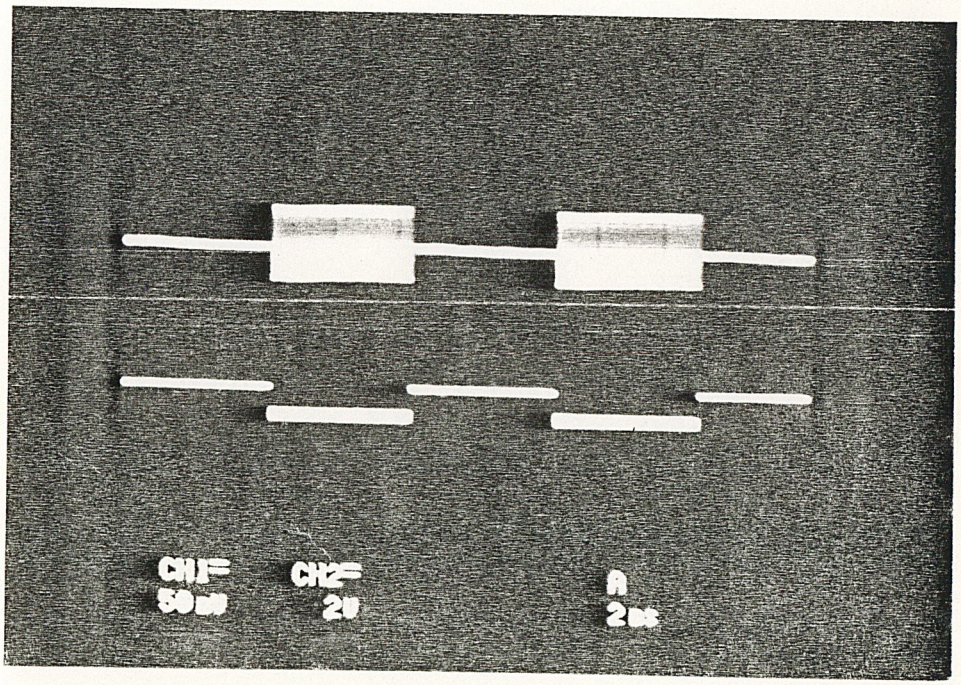
จากรูปเป็นการแสดงผลทางภาพของ FSK Modulation โดย IC XR2206 โดยกำหนดให้ I/P data 5 v_{p-p}.



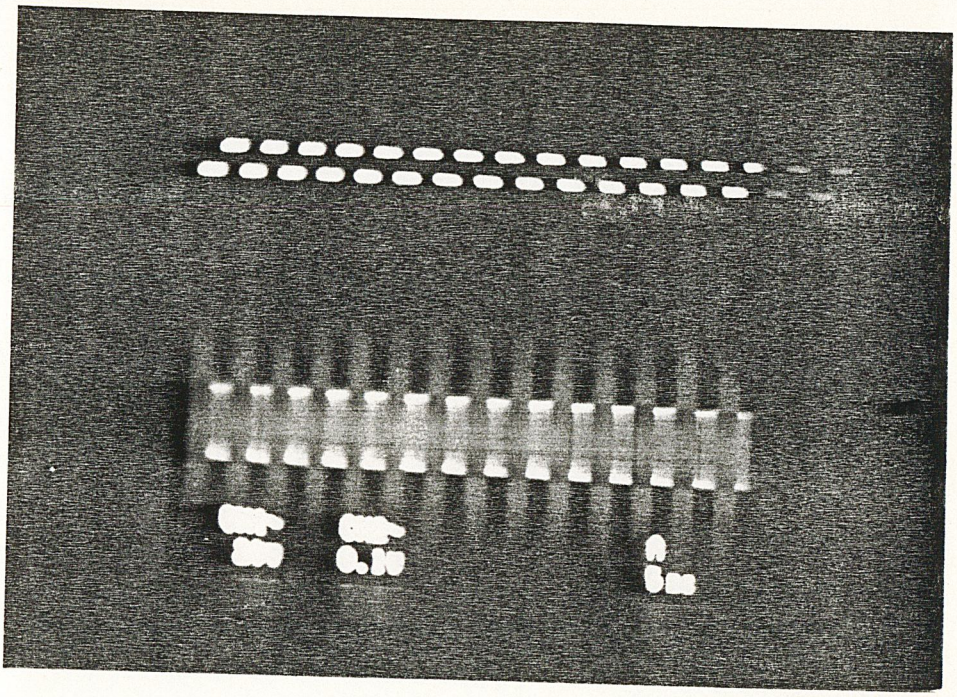
จากรูปเป็นการแสดงผลทางภาพของ FSK Modulation และ Demodulation โดยใช้ IC XR2206 และ NE564 โดยกำหนดให้ I/P data 5 v_{p-p}.



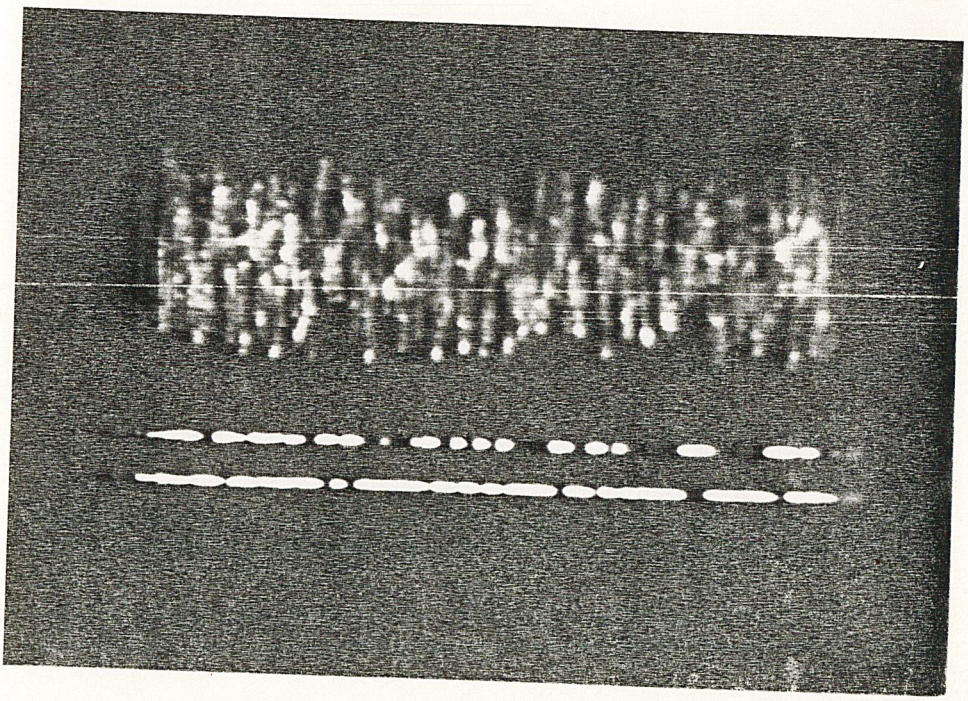
จากรูปเป็นการแสดงผลทางภาพของ PSK Modulation โดยกำหนดให้ I/P data 10 v_{p-p}.



จากรูปเป็นการแสดงผลทางภาพของ PSK Modulation และ Demodulation โดยกำหนด I/P data 50 mv_{p-p}.



จากรูปการแสดงผลทางภาพโดยป้อนข้อมูลผ่านเครื่องรับส่งย่านความถี่ FM แล้วส่งออกอากาศโดยผ่านวงจร PSK Modulation



จากรูปการแสดงผลทางภาพโดยรับคลื่นความถี่ที่ส่งข้อมูลโดยใช้เครื่องรับ-ส่งวิทยุ FM แล้วนำมาผ่านวงจร PSK Demodulation

บทที่ 9
สรุปและวิจารณ์

จากการทดลองวงจร รวมทั้งหมดจะเห็นได้ว่า มีข้อกำหนดในการมอดูเลชั่น และดีมอดูเลชั่น จึงมีความเร็วเพียง 1200 บิทต่อวินาที เท่านั้น ซึ่งในการทำงานดังกล่าวจะมี clock ร่วมด้วยในการส่งสัญญาณ เพื่อที่จะได้การส่งสัญญาณพร้อมกัน เท่ากับความเร็วของการมอดูเลท และในส่วนออกอากาศ ซึ่งเป็นการส่งสัญญาณด้วยย่านความถี่ FM ซึ่งอาจจะมีผลกระทบในการแทรกของคลื่นรบกวนได้ แต่วิธีการรับส่งจะต้องมีเครื่องทั้งตัวส่งและตัวรับปลายทาง

แนวทางพัฒนาต่อ

1. ในส่วนของโมเด็มจะต้องมีการแก้ไขเพิ่มเติมหรือเปลี่ยนวิธีการมอดูเลทใหม่ เพื่อให้มีความถี่สูงขึ้น

2. ในโครงงานนี้ เป็นชุดฝึก ในการรับส่งสัญญาณข่าวสาร ซึ่งเมื่อต้องการข่าวสารจากคอมพิวเตอร์โดยผ่าน RS-232 ซึ่งจะต้องเขียนโปรแกรมเพิ่มเติม

ภาคผนวก ก

DATA CCITT

Data Transmission Recommendations of the CCITT

The X Series of CCITT for data transmission over public data networks.

Number	*Title*
X.1	International user classes of service in public data networks
X.2	International user facilities in public data networks
X.4	General structure of signals of International Alphabet No. 5 code for data transmission over public data networks
X.20	Interface between data terminal equipment and data circuit-terminating equipment for start-stop transmission services on public data networks
X.21	General purpose interface between data terminal equipment and data circuit-terminating equipment for synchronous operation on public data networks
X.24	List of definitions of interchange circuits between data terminal equipment and data circuit-terminating equipment on public data networks
X.25	Interface between data terminal equipment and data circuit-terminating equipment for terminals operating in the packet mode on public data networks
X.26	Electrical characteristics for unbalanced double-current interchange circuits for general use with integrated circuit equipment in the field of data communications
X.27	Electrical characteristics for balanced double-current interchange circuits for general use with integrated circuit equipment in the field of data communications

V.27	Modem for data signaling rates up to 4800 bits/second over leased circuits

Number	*Title*
V.28	Electrical characteristics for interface circuits
V.30	Parallel data transmission system for universal use on the general switched telephone network
V.31	Electrical characteristics for contact closure-type interface circuits
V.35	Transmission of 48 kilobits/second data using 60 to 108 kHz group bank circuits
V.40	Error indication with electromechanical equipment
V.41	Code-independent error control system
V.50	Standard limits for transmission quality of data transmission
V.51	Organization of the maintenance of international telephone-type circuits used for data transmission
V.52	Characteristics of distortion and error rate measuring apparatus for data transmission
V.53	Limits for the maintenance of telephone-type circuits used for data transmission
V.56	Comprehensive tests for modems that use their own interface circuits
V.57	Comprehensive test set for high transmission rates

The V Series of CCITT for data transmission over the voice circuit or analog networks

V.1	Equivalence between binary notation symbols and the significant conditions of a two-condition code
V.2	Power levels for data transmission over telephone lines
V.3	International Alphabet No. 5 for transmission of data and messages
V.4	General structure of signals of the 7-unit code for data and message transmission
V.10	Use of the telex network for data transmission at the modulation rate of 50 baud
V.11	Automatic calling and/or answering on the telex network
V.13	Answer-back unit simulators
V.15	Use of acoustic couplers for data transmission
V.21	200 baud modem standardized for use in the general switched telephone network
V.22	Standardization of modulation rates and data signaling rates for synchronous data transmission in the general switched telephone network
V.22B	Standardization of modulation rates and data signaling rates on leased telephone circuits
V.23	600/1200 baud modem standardized for use on the general switched telephone networks
V.24	Functions and electrical characteristics of circuits at the interface between data terminal equipment and data circuit-terminating equipment
V.25	Automatic calling and/or answering on the general switched telephone network
V.26	2400 bits/second modem for use on four-wire leased point-to-point circuits
V.26B	2400 bits/second modem for use on the general switched telephone network

X.30	Standardization of basic model page-printing machine in accordance with International Alphabet No. 5
X.31	Characteristics for start-stop data terminal equipment using International Alphabet No. 5
X.32	Answer back units for 200 baud start-stop machines in accordance with International Alphabet No. 5
X.33	Standardization of an international text for the measurement of the margin of start-stop machines in accordance with International Alphabet No. 5
X.40	Standardization of frequency-shift modulated transmission systems for the provision of telegraph and data channels by frequency division of a primary group
X.50	Fundamental parameters of a multiplexing scheme for the international interface between synchronous data networks

Number	*Title*
X.51	Fundamental parameters of a multiplexing scheme for the international interface between synchronous data networks using 10-bit envelope structure
X.60	Common channel signaling for synchronous data applications-data user part
X.70	Terminal and transit control signaling for start-stop services on international circuits between asynchronous data networks
X.71	Decentralized terminal and transit control signaling system on international circuits between synchronous data networks
X.92	Hypothetical reference connections for public synchronous data networks
X.95	Network parameters in public data networks
X.96	Call progress signals in public data networks

ภาคผนวก ข.

วงจรตรรกเชิงดิจิตอลและทีทีแอล

ทีทีแอล (TTL : bipolar transistor-transistor logic) เป็นการออกแบบวงจร และเทคนิคการผลิตวงจรรวมเชิงดิจิตอลขนาดเล็ก และ ขนาดกลาง (Small-and medium-scale) ภายในกลุ่มของอุปกรณ์เหล่านี้มีอยู่หลายกลุ่มย่อยซึ่งสามารถเลือกใช้ได้ด้วยความเร็วในการปฏิบัติการที่ต่างกัน และระดับของกำลังงานที่ใช้แต่สำหรับทีทีแอลทุกกลุ่มนั้นมีการนิยามมาตรฐานคือระดับโวลเตจที่ใช้ แทนสถานะที่เป็นไปได้ สองสถานะของวงจรดิจิตอลดังนี้ คือ

1 : ประมาณ +4 V DC.

0 : ประมาณ +0.5 V DC.

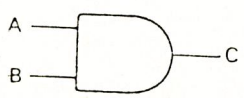
การตกลงในลักษณะอื่นก็อาจมีได้และมีวงจรตรรกหลาย เหล่า (family)ที่มีรากฐานเทคนิคการผลิตที่แตกต่างกันไป แต่ทว่าการนิยามที่ผ่านมานั้น เป็นการนิยามที่สามัญที่สุดสำหรับการออกแบบวงจรดิจิตอลในจุดมุ่งหมายทั่ว ๆ ไป ตลอดหนึ่งสือเล่มนี้เราจะเพียงแต่เกี่ยวข้องกับค่า 0 และค่า 1 โดยที่ไม่ได้ชี้เฉพาะไปว่าค่าระดับศักย์ไฟฟ้าที่แน่นอนและวงจรของมันมีลักษณะเป็นเช่นไร ในทัศนะเช่นนี้มีส่วนประกอบ หรืออุปกรณ์พื้นฐานอยู่สองชนิดที่เราจะต้องทำความเข้าใจ คือ เกท(gate) และ **ฟลิปฟลอป** (flipflop)

เกท

เกทเป็นวงจงดิจิตอลที่มีเอาท์พุทเดียวและมีอินพุทหนึ่งหรือมากกว่าหนึ่งอินพุทการทำงานของเกทถูกกำหนดโดย **ตารางความจริง** (truth table) ของมันซึ่งคือรายการของข้อจำกัดของสถานะของเอาท์พุท (0 หรือ 1) สำหรับการประกอบรวมกันของสถานะของอินพุทแบบต่าง ๆ ที่เป็นไปได้ เกทขั้นพื้นฐานมี 3 ชนิด

แอนด์เกท (AND gate)

ตารางความจริงและสัญลักษณ์ของแอนด์เกทที่มีสองอินพุทมีแสดงในรูป A-1



A	B	C = A AND B
0	0	0
0	1	0
1	0	0
1	1	1

รูป A-1 แอนด์เกท

คุณสมบัติสำคัญก็คือ เอาท์พุทจะมีสถานะ 1 เมื่ออินพุททุกอินพุทมีสถานะเป็น 1 หมดในเวลาเดียวกัน ในรูปแบบทางพีชคณิตของวงจรตรรกเชิงดิจิตอลนั้นเขียนได้ ดังต่อไปนี้ คือ

A AND B = C

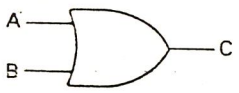
แนวความคิดดังกล่าวนี้ สามารถขยายไปสู่แอนด์เกทที่มี 3 อินพุทหรือมากกว่าได้โดยง่าย

ออร์เกท (OR gate)

ตารางความจริงและสัญลักษณ์ของออร์เกทที่มีสองอินพุทมีดังแสดงในรูป A-2 ในกรณีนี้เอาท์พุทจะมีสถานะเป็น 1 เมื่ออินพุทใดอินพุทหนึ่งมีสถานะเป็น 1 รูปแบบทางพีชคณิตของวงจรตรรกเชิงดิจิตอลนั้นเขียนได้ดังต่อไปนี้คือ

A OR B = C

เช่นเดียวกันกับกรณีของแอนด์เกทแนวความคิดนี้สามารถขยายไปสู่ออร์เกทที่มีอินพุทมากกว่าสองอินพุทได้โดยง่าย

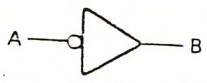


A	B	C = A OR B
0	0	0
0	1	1
1	0	1
1	1	1

รูป A-2 ออร์เกท

อินเวอร์เตอร์ (inverter)

อินเวอร์เตอร์เป็นเกทที่มีเพียงอินพุทเดียว ตารางความจริงและสัญลักษณ์ของมันมีดังแสดงในรูป A-3



A	$B = \overline{A}$
0	1
1	0

รูป A-3 อินเวอร์เตอร์

สถานะของเอาท์พุทจะมีค่าตรงกันข้ามกับค่าสถานะของอินพุทเสมอ รูปทางพีชคณิตใช้คำว่า NOT เพื่อแสดงการกลับสถานะ (state inversion) และ NOT A จะแสดงโดย A

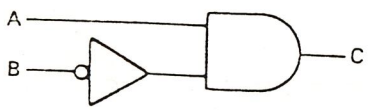
$$A = \bar{B}$$

อินเวอร์เตอร์จะมีเพียงอินพุทเดียวเสมอ

เมื่อมีเกทขั้นพื้นฐานทั้งสามชนิด เราสามารถสร้างฟังก์ชั่นที่ซับซ้อนต่าง ๆ ขึ้นได้ ยกตัวอย่างเช่น สมการเชิงตรรกต่อไปนี้คือ

$$A \text{ AND } \bar{B} = C$$

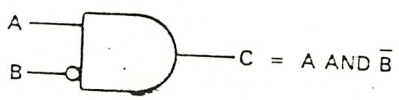
สามารถสร้างได้ด้วยเกทต่าง ๆ ดังแสดงในรูป A-4



A	B	C = A AND $\bar{B}$
0	0	0
0	1	0
1	0	1
1	1	0

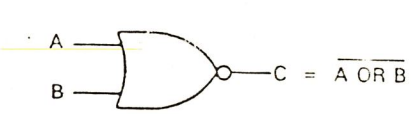
รูป A-4 ฟังก์ชั่นที่ซับซ้อนขึ้น

ในกรณีนี้เอาท์พุทจะมีสถานะเป็น 1 เมื่ออินพุท A มีค่าเป็น 1 และอินพุท B มีค่าเป็น 0 พร้อม ๆ กันเท่านั้น ฟังก์ชั่นในทำนองนี้ เกิดขึ้นบ่อยในการออกแบบอุปกรณ์ดิจิตอล และโดยวัตถุประสงค์ในการแสดงไดอะแกรม อินเวอร์เตอร์เมื่อต่อร่วมกับเกทชนิดอื่นนั้น จะเขียนให้ง่ายขึ้นโดยใช้วงกลมเติมลงไปที่อินพุทหรือเอาท์พุทของเกทที่อินเวอร์เตอร์นั้นต่ออยู่ ในกรณีของไดอะแกรมตามรูป A-4 นี้ สามารถเขียนให้ง่ายเข้าได้ดังแสดงในรูป A-5



รูป A-5 เกทที่ซับซ้อนขึ้น

ตัวอย่างอีกตัวอย่างหนึ่งมีดังแสดงในรูป A-6



A	B	C = $\overline{(A \text{ OR } B)}$
0	0	1
0	1	0
1	0	0
1	1	0

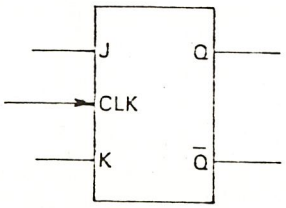
รูป A-6 เกทที่ซับซ้อนอีกแบบหนึ่ง

ฟังก์ชั่นที่ซับซ้อนนี้ในบางฟังก์ชันเราก็อาจพบเป็นวงจรรวม IC สำเร็จรูปที่หาได้จากตามท้องตลาดทั่วไป ในบางฟังก์ชันก็จะต้องใช้เกทขั้นพื้นฐานทั้งสามชนิดดังกล่าวแล้วมาต่อประกอบขึ้นเอง

ฟลิปฟลอป

คุณสมบัติสำคัญของฟลิปฟลอปก็คือ มันมีความสามารถในการเก็บข้อมูล ในขณะที่เอาท์พุทของเกทเปลี่ยนแปลงเนื่องจากอินพุทของเกทนั้นเปลี่ยนแปลง เอาท์-พุทของฟลิปฟลอปอาจจะแสดงถึงสภาวะของอินพุทของมันที่บางเวลาในอดีตได้

มีฟลิปฟลอปอยู่มากหลายชนิด ตัวอย่างของฟลิปฟลอปที่มีประโยชน์มากที่สุดคือ JK ฟลิปฟลอป อุปกรณ์นี้มี 3 อินพุท คือ J,K และ CLK หรือสัญญาณนาฬิกา(clock) และมีสองเอาท์พุท คือ Q กับ $\overline{Q}$ สัญญาณลักษณ์ของมันมีดังแสดงในรูป A-7

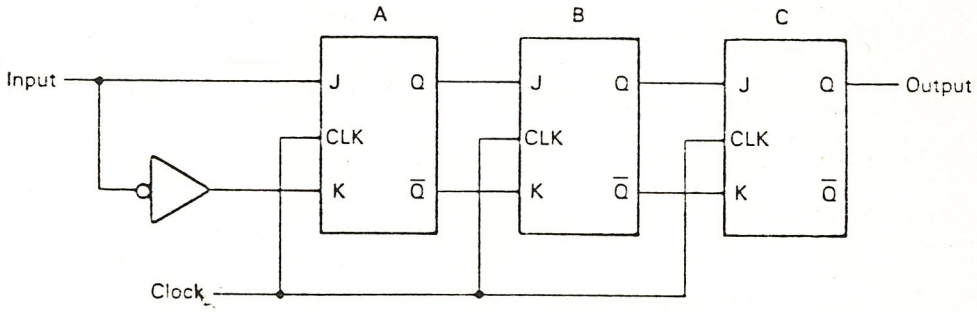


รูป A-7 JK ฟลิปฟลอป

JK ฟลิปฟลอปทำงานดังต่อไปนี้คือ

- สถานะไบนารีของ Q จะตรงกันข้ามกับสถานะของ Q เสมอ
- สถานะของเอาท์พุทจะไม่เปลี่ยนจนกระทั่งเกิดมีพัลส์ขึ้น ที่อินพุทสัญญาณ นาฬิกา การเปลี่ยนสถานะจะเกิดขึ้นตรงเวลาที่มีการย้ายสถานะจาก 1 ไปเป็น 0 ของพัลส์สัญญาณนาฬิกา
- ตรงเวลาที่มีการย้ายสถานะจาก 1 ไปเป็น 0 ของอินพุทสัญญาณนาฬิกา เอาท์พุทจะมีพฤติกรรมดังแสดงในตาราง A-1

อินพุท	พฤติกรรมของเอาท์พุท
J = K = 0	ไม่มีการเปลี่ยนแปลง
J = K = 1	Q และ $\overline{Q}$ จะมีสถานะตรงกันข้ามกับสถานะเดิม
J ≠ K	Q มีสถานะเดียวกับอินพุท J $\overline{Q}$ มีสถานะเดียวกับอินพุท K



รูป A-8 ชิฟท์รีจิสเตอร์

แต่ละฟลิปฟลอปในรีจิสเตอร์เลื่อนข้อมูล เรียกกันว่า สเตจ (stage) ตามรูป A-8 นั้น ทำให้เกิดความมั่นใจได้ว่าสถานะของ J และ K ของแต่ละสเตจจะต่างกัน ดังนั้นหลังจากมีพัลส์ สัญญาณนาฬิกาเข้ามาแล้ว เอาท์พุทของแต่ละสเตจจะมีค่าเดียวกันกับค่าอินพุทของแต่ละสเตจเมื่อก่อนที่จะมีพัลส์สัญญาณนาฬิกาเข้ามาสถานะของอินพุทจึงเอาท์พุท Q ของสเตจ C จะแทนสถานะของอินพุทเมื่อก่อนที่จะมีสัญญาณนาฬิกาเข้ามา 2 พัลส์ เช่นนี้เป็นลำดับไป

JK ฟลิปฟลอปแบบ TTL ธรรมดาจะยอมให้แต่ละสเตจของรีจิสเตอร์เลื่อนข้อมูลถูกโหลด (load) พร้อมกัน (ในแบบขนาน) จากอุปกรณ์ภายนอกบางตัวด้วย(ปกติเป็นไมโครโปรเซสเซอร์) เมื่อมีการป้อนพัลส์ภายหลังปฏิบัติการโหลด รีจิส -เตอร์เลื่อนข้อมูล จะกลายเป็นตัวแปลงข้อมูลแบบขนานเป็นแบบลำดับ (parallet-to-serial converter)

ภาคผนวก ค

ระบบเลขฐานสองและเลขฐานสิบหก

ระบบเลขที่เราใช้อยู่ทุกวันนี้มีชื่อว่าระบบเลขฐานสิบ เพราะมันเกิดขึ้นมารอบจำนวน 10 ขอให้พิจารณาเลขฐานสิบ 4 หลักและดูว่ามันประกอบขึ้นมาอย่างไร

$$
\begin{aligned}
&5478 \\
&= 500+400+70+8 \\
&= 5 \times 1000 + 4 \times 100 + 7 \times 10 + 8 \times 1 \\
&= 5 \times 10^3 + 4 \times 10^2 + 7 \times 10^1 + 8 \times 10^0
\end{aligned}
$$

มีแนวความคิดสองแนวที่ใช้การได้ในที่นี้

1. ค่าหลัก (digit value) แต่ละหลักถูกเลือกจากกลุ่มของค่าสิบค่าที่เป็นไปได้ (0-9)
2. ค่าถ่วงน้ำหนักตามตำแหน่ง (positional weighting) แต่ละหลักจะถูกคูณด้วยตัวประกอบถ่วงน้ำหนัก (10^0 , 10^1 , 10^2 ,...) ค่าของมันเพิ่มขึ้นเมื่อมันเคลื่อนไปสู่ด้านซ้ายมือ

ตัวเลข 10 (ฐานของระบบเลขฐานสิบ) เข้ามามีบทบาทใน 2 สภาวะ

- มีค่าที่เป็นไปได้ให้เลือก 10 ค่า (1,2,...,9) สำหรับค่าของแต่ละหลักในจำนวนเลขฐานสิบ
- เมื่อเคลื่อนที่ไปทางซ้าย ตัวประกอบถ่วงน้ำหนักแต่ละตัวจะมีค่าสูงขึ้นเป็นลำดับ ตามกำลังของ 10

เราสามารถที่จะทำแนวความคิดนี้ให้ใช้ได้ทั่วไป และกล่าวถึงจำนวนเลขที่สร้างขึ้นมารอบค่าฐานเลขใด ๆ ที่เราเลือกขึ้นมาตามชอบใจ (สมมุติว่าคือ B) ได้

- หลักของเลขอาจจะเลือกจากกลุ่มของค่าที่แตกต่างกัน B ค่า ซึ่งเริ่มจาก "0"ถึง"B-1"
- เมื่อเคลื่อนที่ไปทางซ้ายในเลขฐาน B ค่าตัวประกอบถ่วงน้ำหนักจะมีค่าเพิ่มขึ้นเป็นลำดับ ตามกำลังของ B

ดังนั้นสูตรทั่วไปสำหรับเลขฐาน B 4 หลัก จะเป็นดังต่อไปนี้คือ

$$D_3 \times B^3 + D_2 \times B^2 + D_1 \times B^1 + D_0 \times B^0$$

โดยในที่นี้ D_3 , D_2 , D_1 และ D_0 คือค่าของเลขแต่ละหลักที่มีค่าอยู่ในกลุ่มตัวเลข 0,1,...,B-1 และแน่นอนว่าแนวความคิดนี้สามารถขยายไปสู่เลขที่ มีมากหรือน้อยกว่า 4 หลักได้

ตัวอย่างของระบบเลขที่ไม่เป็นฐานสิบที่ง่ายและเป็นประโยชน์คือ ระบบเลขฐานสอง (binary system) ซึ่งฐาน (B) ของมันคือ 2 จากที่ได้กล่าวถึงมาแล้วเราสามารถสรุปเกี่ยวกับระบบเลขฐานสองได้ดังต่อไปนี้คือ

- ค่าของเลขในแต่ละหลักที่จะเป็นไปได้มีสองค่าเท่านั้น คือ 0 และ 1
- ตัวประกอบถ่วงน้ำหนักจะจัดอยู่ในแนวโน้มต่อไปนี้คือ

$2^0 = 1$

$2^1 = 2$

$2^2 = 4$

$2^3 = 8$

$2^4 = 16$

ต่อไปนี้เป็นตัวอย่างของการคิดค่าของเลขฐานสองจำนวนหนึ่งว่ามีค่าเท่าไรในระบบเลขฐานสิบ

$$10011$$
$$= 1 \times 2^4 + 0 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0$$
$$= 1 \times 16 + 0 \times 8 + 0 \times 4 + 1 \times 2 + 1 \times 1$$
$$= 16+2+1$$
$$= 19$$

ตาราง B-1 แสดงตัวเลขฐาน 2 31 ค่าแรกและค่าเลขฐาน 10 ที่มีค่าเทียบเท่ากัน ผู้อ่านควรตรวจสอบตารางนี้ในรายละเอียดและควรให้ความสนใจโดยเฉพาะกับลำดับของการนับ ควรสังเกตกลุ่มของ 1 ที่ ก้าวขึ้นเป็น 1 ตัวใหม่ในหลักที่สูงขึ้นและตามนโยบายของ 0 และ ผู้อ่านควรพิสูจน์หาค่าเลขฐานสิบที่เทียบเท่านั้นด้วยวิธีการที่อธิบายมาแล้วด้วย

ตาราง B-1

BINARY	DECIMAL	BINARY	DECIMAL	BINARY	DECIMAL	BINARY	DECIMAL
00000	0	01000	8	10000	16	11000	24
00001	1	01001	9	10001	17	11001	25
00010	2	01010	10	10010	18	11010	26
00011	3	01011	11	10011	19	11011	27
00100	4	01100	12	10100	20	11100	28
00101	5	01101	13	10101	21	11101	29
00110	6	01110	14	10110	22	11110	30
00111	7	01111	15	10111	23	11111	31

ระบบเลขฐานสองนั้นใช้กันเป็นสากลในการคำนวณเชิงดิจิตอลและในอุปกรณ์การสื่อสารความจริงแล้วศัพท์ที่เราคุ้นเคยมากคือบิท (bit) นั้น ย่อมาจากคำว่าbinary digit ส่วนใหญ่ของข้อมูลที่เทียบเท่านี้จะจัดอยู่เป็นกลุ่ม 8 บิท ที่เรียกว่าไบท์ (byte) ไบท์เป็นหน่วยของข้อมูลที่กะทัดรัดแต่มันจะก่อปัญหาในการสื่อความหมายกับมนุษย์เรา ยกตัวอย่างเช่นการอ่านค่าเลข 3 ไบท์ ในตาราง B-2 ให้คนที่ไม่เคยอ่านหนังสือในลักษณะเช่นนี้มาก่อน ถ้าจะให้เขากล่าวทวนค่าต่าง ๆ อย่างถูกต้องนั้นย่อมเป็นไปได้ยาก

ตาราง B-2

1 0 0 0 1 0 1 1
0 1 1 0 1 0 1 0
1 1 1 1 0 0 1 0

ในระหว่างการออกแบบและทดสอบอุปกรณ์ดิจิตอล โครงงานจำนวนมากขึ้นจะต้องสื่อความหมายกันระหว่างผู้ร่วมงาน ถึงค่าของสายข้อมูลในลักษณะที่กล่าวมาแล้วจึงทำให้เกิดความจำเป็นในการหาวิธีการที่สั้น และส่อความหมายให้รู้ถึงการแสดงค่าของตัวเลขไบนารีนั้น

สมมุติว่าเราแบ่งแต่ละไบท์ในตาราง B-2 เป็นสองกลุ่ม กลุ่มละ 4 บิท จากซ้ายมือของตาราง B-1 เราจะพบว่า ตัวเลขฐานสอง 4 บิทใด ๆ ก็ตามสามารถแทนโดยค่าที่เริ่มจาก 0 ถึง 15 ซึ่งมันเป็นแนวบอกว่าแต่ละกลุ่มของเลขฐานสอง 4บิทนั้นอาจจะพิจารณาได้ว่าเป็น เลขฐาน 16 (hexadecimal number) เพียงหลักเดียว ระบบตัวเลขที่คุ้นเคยกันอยู่นั้นไม่มีอักษรเดี่ยวตัวใดที่ใช้สำหรับแสดงค่าของเลขในหลักเดียวที่มากเกินกว่า 9 เลย ดังนั้นจึงจำเป็นจะต้องคิดสร้างมันขึ้น การเลือกที่จะกลายเป็นมาตรฐานในวงอุตสาหกรรมคอมพิวเตอร์นั้นใช้ A,B,...,F เพื่อแทนค่า 10,11,... ,15 ในหลักเลขฐาน 16 ตาราง B-3 แสดงรายการนี้ไว้โดยละเอียด

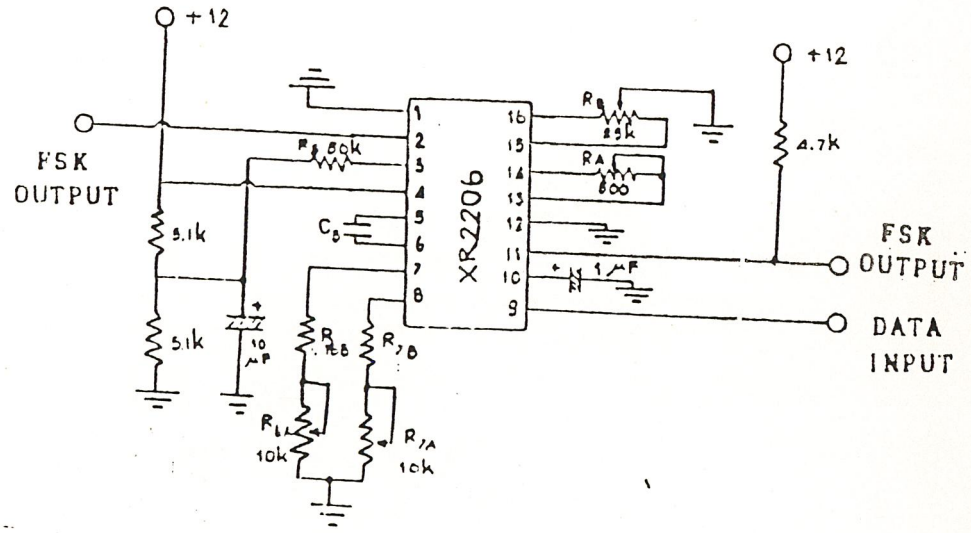
ดังนั้นทุกไบท์ข้อมูลจึงสามารถแทนได้ด้วยค่ารวมเลขฐานสิบหก 2 หลัก ซึ่งมันจะแสดงแทนได้อย่างสั้นกะทัดรัด ตัวอย่าง เช่น ค่าข้อมูลในตาราง B-2 จะสามารถแทนได้ด้วย

8B
6A
F2

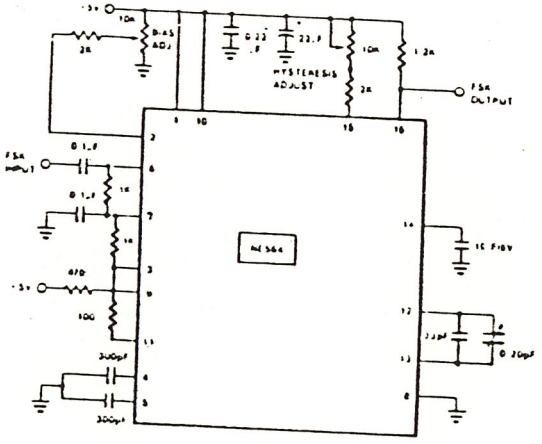
ดังนี้เป็นต้น และในบางครั้งเพื่อแสดงให้ชัดแจ้งว่าตัวเลขเหล่านั้นคือเลขฐาน16 มักจะใช้อักษร H ห้อยต่อข้างตัวเลขเหล่านั้นไว้ กล่าวคือ ค่าต่าง ๆ ที่ยกมาเป็นตัวอย่างนั้น ก็จะเขียนแทนด้วย $8B_H$, $6A_H$ และ $F2_H$ ตามลำดับดังนี้เป็นต้น

ภาคผนวก ง

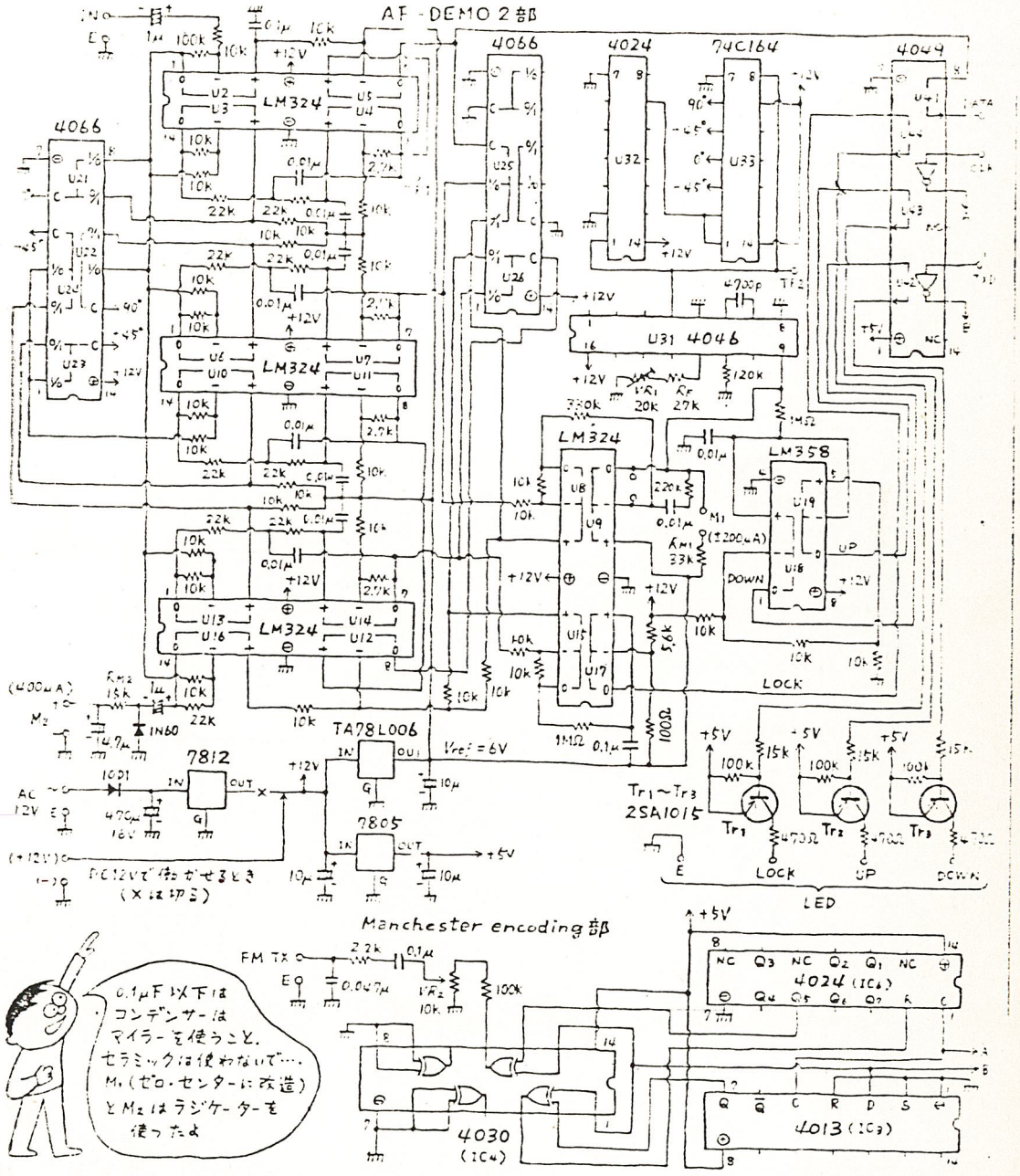
วงจรที่ใช้ในปริญญานิพนธ์



Fiq FSK MODULATOR

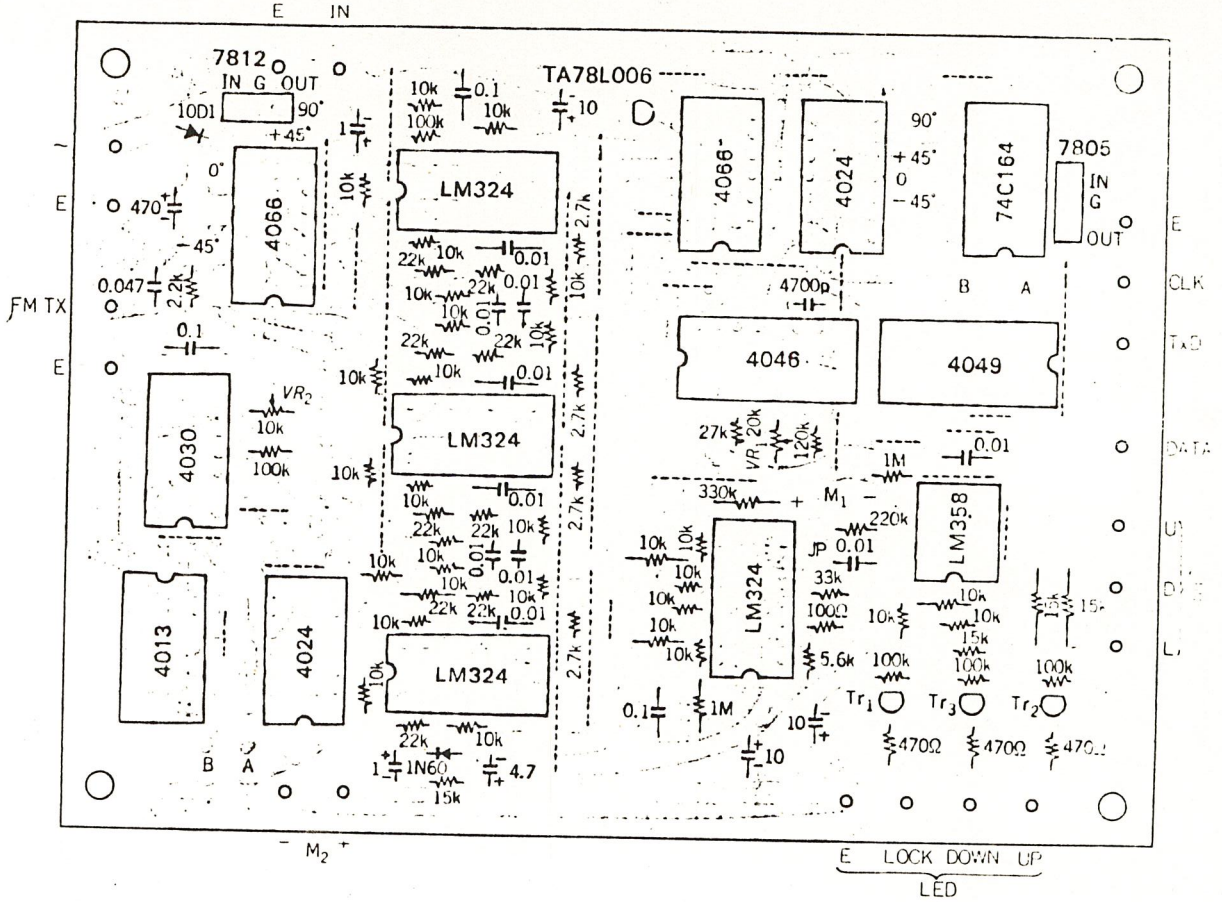


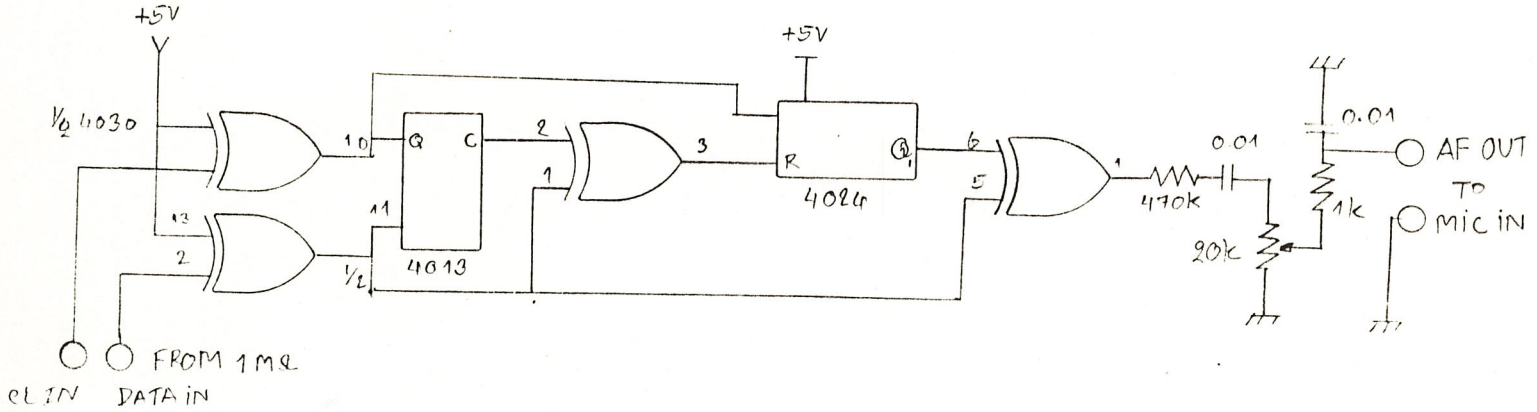
FSK Decoder Modulator



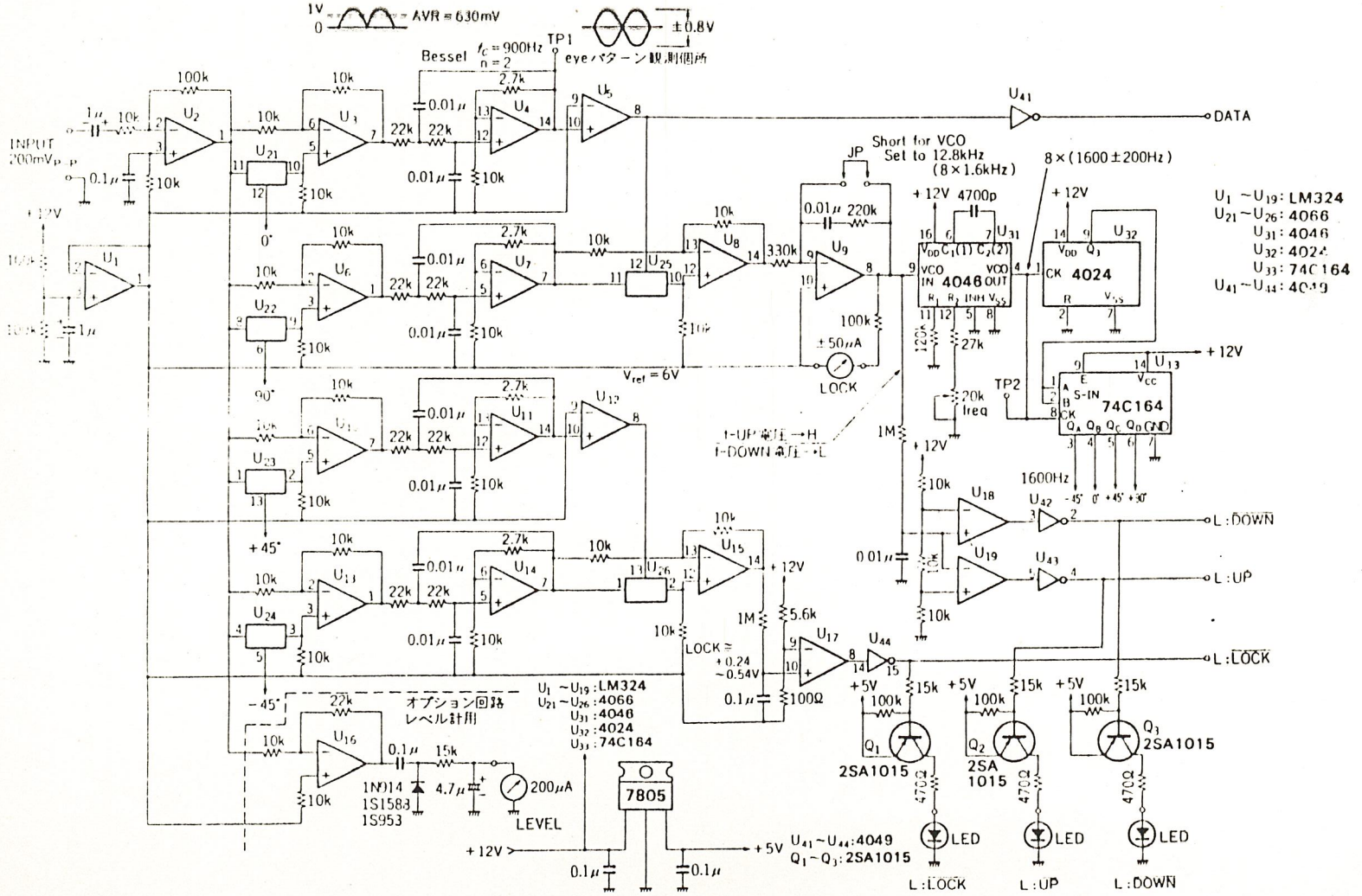
Weriing Diagram

PSK


E IN
7812
IN G OUT
TA78L006
10D1
90°
+45°
0°
-45°
470
4066
10k
0.1
100k
LM324
22k
0.01
2.7k
4066
4024
74C164
7805
IN
G
OUT
4700p
B A
4046
4049
FM TX
0.047
2.2k
VR2
4030
27k
VR1 20k
120k
1M
330k
M1
LM358
220k
33k
100Ω
5.6k
JP
4013
4024
LM324
1N60
4.7
15k
Tr1
Tr3
Tr2
470Ω
E
CLK
TxD
DATA
M2
E LOCK DOWN UP
LED

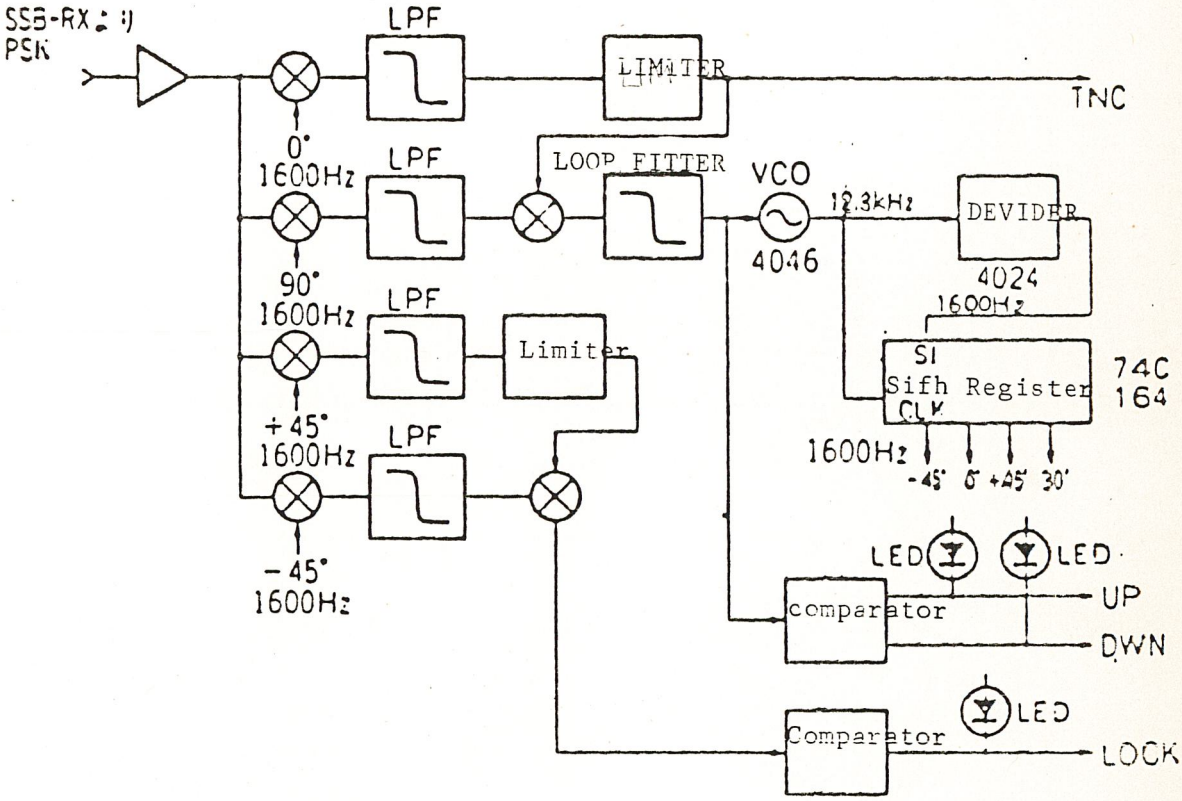


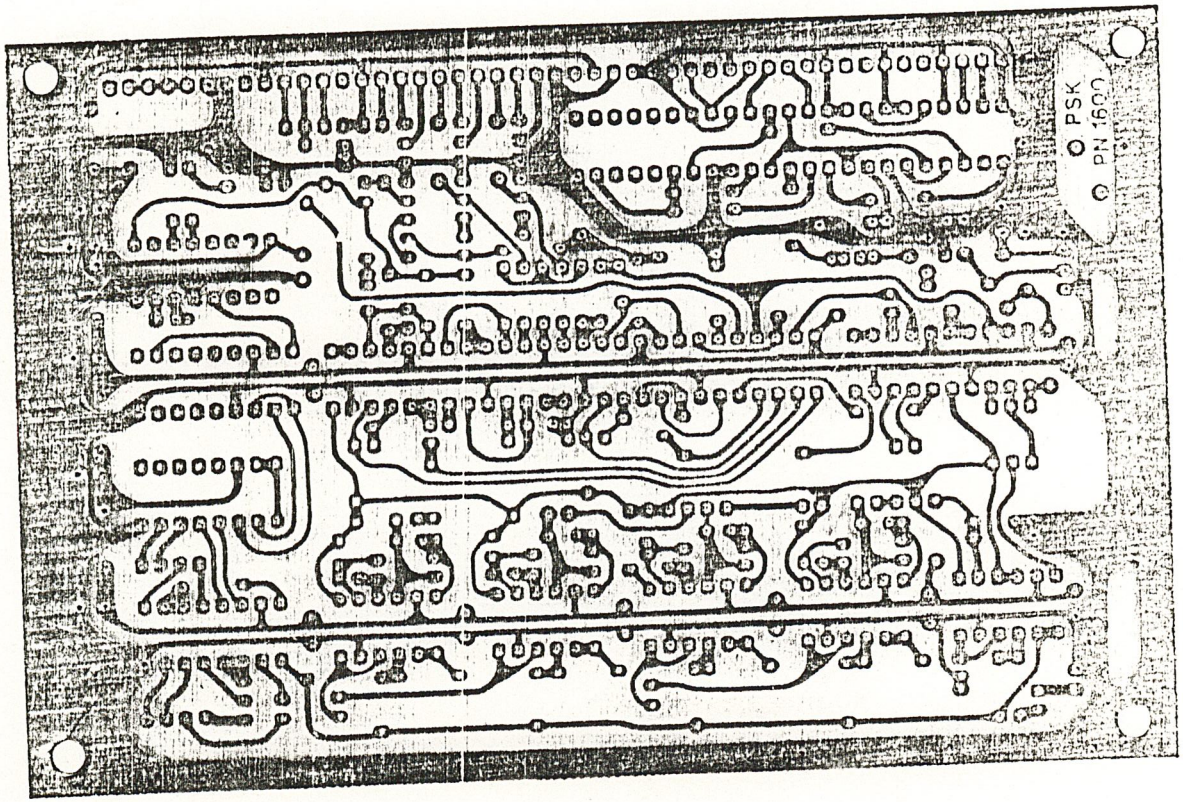
Modulator PSK



Demodulator PSK

AF-DEMO2


SSB-RX
PSK
LPF
LIMITER
TNC
0°
1600Hz
LPF
LOOP FITTER
VCO
12.3kHz
DEVIDER
4046
4024
90°
1600Hz
LPF
1600Hz
Limiter
SI
Sifh Register
CLK
74C
164
+45°
1600Hz
LPF
1600Hz
-45° 0° +45° 30°
LED
LED
comparator
UP
DWN
-45°
1600Hz
Comparator
LED
LOCK


PSK
PN 1600

ภาคผนวก จ

คู่มือ IC ที่ใช้ในปริญญานิพนธ์

Application Note AN-01

Stable FSK Modems Featuring the XR-2207, XR-2206 and XR-2211

INTRODUCTION

Frequency shift keying (FSK) is the most commonly used method for transmitting digital data over telecommunications links. In order to use FSK, a modulator-demodulator (modem) is needed to translate digital 1's and 0's into their respective frequencies and back again.

This Applications Note describes the design of a modem using state-of-the-art Exar devices specifically intended for modem application. The devices featured are the XR-2206 and XR-2207 FSK modulators, and the XR-2211 FSK demodulator with carrier-detect capability. Because of the superior frequency stability (typically 20 ppm/°C) of these devices, a properly designed modem using them will be virtually free of the temperature and voltage-dependent drift problems associated with many other designs. In addition, the demodulator performance is independent of incoming signal strength variation over a 60 dB dynamic range. Because bias voltages are generated internally, the external parts count is much lower than in most other designs. The modem designs shown in this Applications Note can be used with mark and space frequencies anywhere from several Hertz to 100 kiloHertz.

THE XR-2206 FSK MODULATOR

FEATURES

- Typically 20 ppm/°C temperature stability
- Choice of 0.5% THD sinewave, triangle, or squarewave output
- Phase-continuous FSK output
- Inputs are TTL and C/MOS compatible
- Low power supply sensitivity (0.01%/V)
- Split or single supply operation
- Low external parts count

OPERATION

The XR-2206 is ideal for FSK applications requiring the spectral purity of a sinusoidal output waveform. It offers TTL and C/MOS compatibility, excellent frequency stability, and ease of application. The XR-2206 can typically provide a 3 volt p-p sinewave output. Total harmonic distortion can be trimmed to 0.5%. If left untrimmed, it is approximately 2.5%.

The circuit connection for the XR-2206 FSK Generator is shown in Figure 1. The data input is applied to pin 9. A high level signal selects the frequency $(1/R_6C_3)$ Hz; a low level signal selects the frequency $(1/R_7C_3)$ Hz, (resistors in ohms and capacitors in farads). For optimum stability, R_6 and R_7 should be within the range of 10 kΩ to 100 kΩ. The voltage applied to pin 9 should be selected to fall between ground and V+.

Note: Over and under voltage may damage the device.

Potentiometers R_8 and R_9 should be adjusted for minimum total harmonic distortion. In applications where minimal distortion is unnecessary, pins 15 and 16 may be left open-circuited and R_3 may be replaced by a fixed 200Ω resistor. In applications where a triangular output waveform is satisfactory, pins 13 thru 16 may be left open-circuited.

The output impedance at pin 2 is about 600Ω. In most applications, AC coupling of the output is recommended.

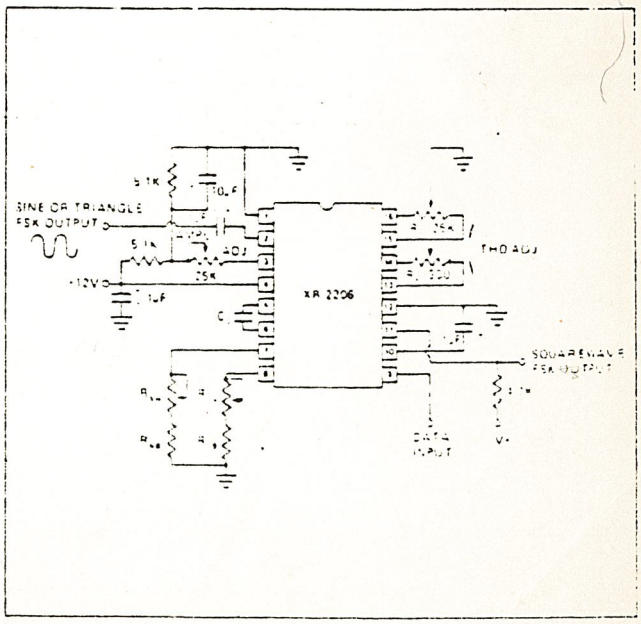


Figure 1. The XR-2206 Sinusoidal FSK Generator

THE XR-2207 FSK MODULA

FEATURES

- Typically 20 ppm/°C temperature stability
- Phase continuous FSK output
- Provides both triangle and squarewave outputs
- Operates single-channel or two-channel multiplex
- Inputs are TTL and C/MOS compatible
- Split or single power supply operation
- Low power supply sensitivity (0.15%/V)
- Low external parts count

OPERATION

The XR-2207 is a stable FSK generator which is designed for those applications where only a triangle or squarewave output is required. It is capable of either single-channel or two-channel multiplex operation, and can be used easily with either split or single power supplies.

Figure 2 shows the XR-2207 using a single-supply and Figure 3 shows split-supply operation. When used as an FSK modulator pins 8 and 9 provide the digital inputs. When the 2207 is used with a split-supply, the threshold at these pins is approximately +2 volts, which is a level that is compatible with both TTL and C MOS logic forms. When used with a single supply, the threshold is near mid-supply and is C/MOS compatible. Table 1 shows how to select the timing resistors R_1 thru R_4 to determine the output frequency based upon the logic levels applied to pins 8 and 9. For optimum stability, the values of R_1 and R_3 should be selected to fall between 10 kΩ and 100 kΩ.

With pin 8 grounded, pin 9 serves as the data input. A high level signal applied to pin 8 will disable the oscillator. When used in this manner, pin 8 of the XR-2207 serves as the channel select input. For two-channel multiplex operation, pins 4 and 5 should be connected as shown by the dotted lines. (For single channel operation, pins 4 and 5 should be left open-circuited.)

The XR-2207 provides two outputs; a squarewave at pin 13 and a triangle wave at pin 14. When used with a split-supply, the triangle wave peak-to-peak amplitude is equal to V– and the dc level is near ground. Direct coupling is usually used. With a single-supply, the peak-to-peak amplitude is approximately equal to ⅓V+, the DC level is at approximately mid-supply and AC coupling is usually necessary. In either case, the output impedance is typically 10Ω and is internally protected against short circuits.

The squarewave output has an NPN open-collector configuration. When connected as shown in Figure 2 or 3 this output voltage will swing between V+ and the voltage at pin 12.

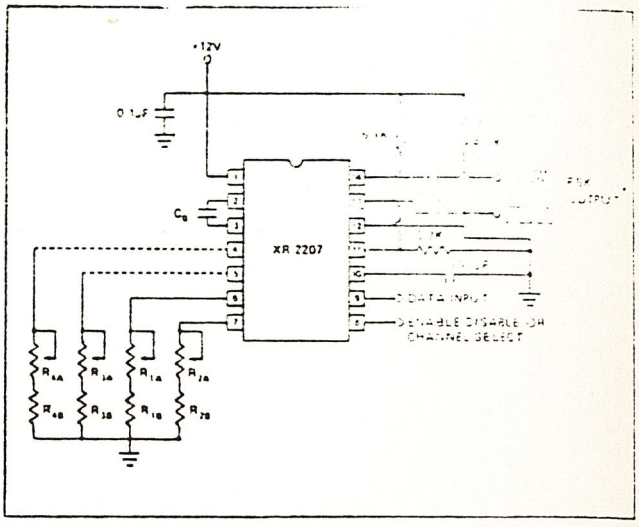


Figure 2. The XR-2207 FSK Modulator Single-Supply Operation

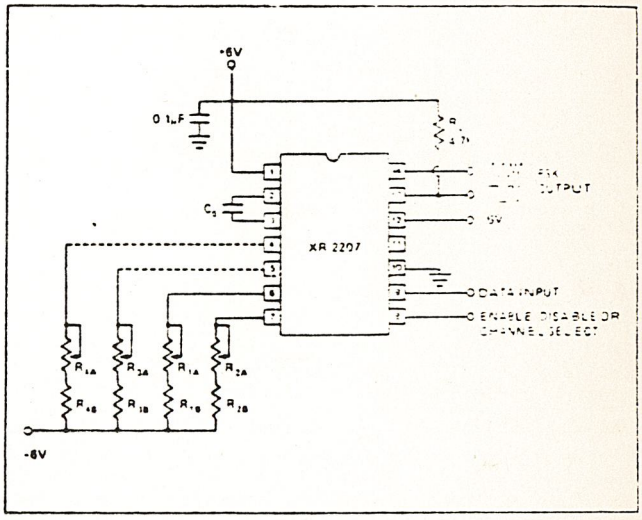


Figure 3. The XR-2207 FSK Modulator Split Supply Operation

TABLE 1
XR-2207 FSK Input Control Logic

Logic Level		Active Timing Resistor	Output Frequency
Pin 8	Pin 9		
L	L	Pin 6	$\frac{1}{C_0 R_1}$
L	H	Pins 6 and 7	$\frac{1}{C_0 R_1} - \frac{1}{C_0 R_2}$
H	L	Pin 5	$\frac{1}{C_0 R_3}$
H	H	Pins 4 and 5	$\frac{1}{C_0 R_3} - \frac{1}{C_0 R_4}$

Units: Resistors – Ohms; Capacitors – Farads; Frequency – Hz

THE XR-221[illegible] FSK DEMODULATOR WITH [illegible] DETECT

FEATURES

- Typically 20 ppm/°C temperature stability
- Simultaneous FSK and carrier-detect output
- Outputs are TTL and C MOS compatible
- Wide dynamic range (2 mV to 3 Vrms)
- Split or single supply operation
- Low power supply sensitivity (0.05%/V)
- Low external parts count

OPERATION

The XR-2211 is a FSK demodulator which operates on the phase-locked-loop principle. Its performance is virtually independent of input signal strength variations over the range of 2 mV to 3 Vrms.

Figure 4 shows the circuit connection for the XR-2211. The center frequency is determined by $f_0 = (1/C_1 R_4)$ Hz, where capacitance is in farads and resistance is in ohms. F_0 should be calculated to fall midway between the mark and space frequencies.

The tracking range ($\pm\Delta f$) is the range of frequencies over which the phase-locked loop can retain lock with a swept input signal. This range is determined by the formula: $\Delta f = (R_4 f_0/R_5)$ Hz. Δf should be made equal to, or slightly less than, the difference between the mark and space frequencies. For optimum stability, choose an R_4 between 10 kΩ and 100 kΩ.

The capture range ($\pm\Delta f_c$) is the range of frequencies over which the phase-locked loop can acquire lock. It is always less than the tracking range. The capture range is limited by C_2, which, in conjunction with R_5, forms the loop filter time constant. In most modem applications, $\Delta f_c = (80\% - 99\%)\ \Delta f$.

The loop damping factor (ζ) determines the amount of overshoot, undershoot, or ringing present in the phase-locked loop's response to a step change in frequency. It is determined by $\zeta = \frac{1}{4}\sqrt{C_1/C_2}$. For most modem applications, choose $\zeta \approx \frac{1}{2}$.

The FSK output filter time constant [illegible] the FSK output. The formula [illegible] Normally calculate τ_F to be approximately equal [illegible] baud rate] seconds.

The lock-detect filter capacitor (C_D) [illegible] the lock-detect output. With R_D = 510 [illegible] minimum value of C_D can be determined by: C_D (μf) = [illegible] capture range in Hz.

Note: Excessive values of C_D will unnecessarily slow the lock-detect response time.

The XR-2211 has three NPN open collector outputs each of which is capable of sinking up to 5 mA. Pin 7 is the FSK data output, Pin 5 is the Q lock-detect output, which goes low when a carrier is detected, and Pin 6 is the $\overline{Q}$ lock detect output, which goes high when lock is detected. If pins 6 and 7 are wired together, the output signal from these terminals will provide data when FSK is applied and will be "low" when no carrier is present.

If the lock-detect feature is not required, pins 3, 5 and 6 may be left open-circuited.

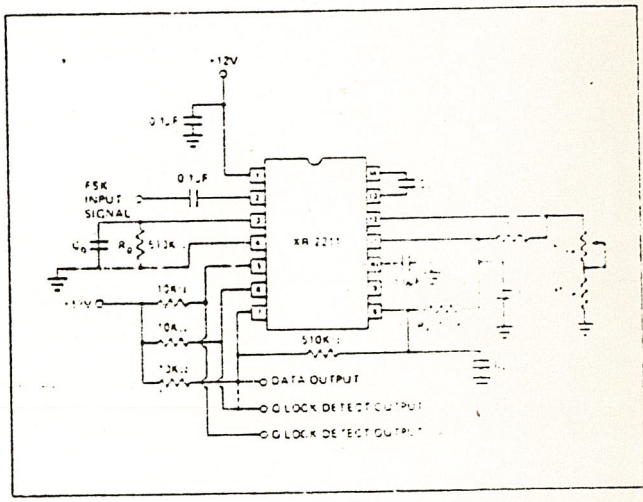


Figure 4. The XR-2211 FSK Demodulator with Carrier Detect

DESIGNING THE MODEM

Table 2 shows recommended component values for the three most commonly used FSK bands. In many instances, system constraints dictate the use of some non-standard FSK band. The XR-2206/XR-2207, XR-2211 combination is suitable for any range of frequencies from several Hertz to 100 kiloHertz.

Here are several guidelines to use when calculating non-standard frequencies.

- For maximum baud rate, choose the highest upper frequency that is consistent with the system bandwidth.
- The lower frequency must be at least 50% of the upper frequency. (Less than a 2:1 ratio)
- For minimum demodulated output pulsewidth jitter, select an FSK band whose mark and space frequencies [illegible]

both high compared to the baud rate. (i.e., for a 300 baud channel, mark and space frequencies of 2025 Hz and 2225 Hz would result in significantly less pulsewidth jitter than 300 Hz and 550 Hz).

- For any given pair of mark and space frequencies, there is a limit to the baud rate that can be achieved. When maximum spacing between the mark and space frequencies is used (where the ratio is close to 2:1) the relationship

$$\frac{\text{mark-space frequency difference (Hz)}}{\text{maximum data rate (baud)}} \geq 83\%$$

should be observed.

For narrower spacing [illegible] should be about 67%.

- The values shown in Table 2 may be scaled proportionately for mark and space frequencies, maximum baud rate, and (inversely) capacitor values. It is best to retain (approximately) the resistor values shown.

TABLE 2
Recommended Component Values for Typical FSK Bands

FSK Band			XR-2207					XR-2206					XR-2211						
Baud Rate	f_L	f_H	R_{1A} R_{3A}	R_{1B} R_{3B}	R_{2A} R_{4A}	R_{2B} R_{4B}	C_0	R_{6A}	R_{6B}	R_{7A}	R_{7B}	C_3	R_{4A}	R_{4B}	R_5	C_1	C_2	C_F	C_D
300	1070	1270	10	20	100	100	.039	10	18	10	20	.039	10	18	100	.039	.01	.005	.05
300	2025	2225	10	18	150	160	.022	10	16	10	18	.022	10	18	200	.022	.0047	.005	.05
1200	1200	2200	20	30	20	36	.022	10	16	20	30	.022	10	18	30	.027	.01	.0022	.01

Units: Frequency – Hz; Resistors – kΩ; Capacitors – μF

DESIGN EXAMPLES

A. Design a modem to handle a 10 kilobaud data rate, using the minimum necessary bandwidth.

1. Frequency Calculation

Because we want to use the minimum possible bandwidth (lowest possible upper frequency) we will use a 55:100 frequency ratio. The frequency difference, or 45% of the upper frequency, will be 83% of 10,000. We therefore choose an upper frequency:

$$\frac{83 \times 10{,}000}{45} = 18.444 \text{ kHz} \approx 18.5 \text{ kHz}.$$

and the lower frequency:

$$0.55 \times 18.5 \text{ kHz} = 10.175 \text{ kHz}.$$

2. Component Selection

a. For the XR-2207 FSK modulator, set $R_1 \approx 30$ kΩ. Now, select a value of C_0 to generate 10.175 kHz with R_1:

$$10.175 \text{ kHz} = 1/(C_0 \times 30.000)\ ;\ C_0 = 3300 \text{ pF}.$$

To choose R_2:

$$18.500 \text{ kHz} - 10.175 \text{ kHz} = 8.325 \text{ kHz} = 1/C_0R_2\ ;\ R_2 = 36 \text{ kΩ}.$$

A good choice would be to use 10 kΩ potentiometers for R_{1A} and R_{2A}, and to set R_{1B} = 24 kΩ and R_{2B} = 30 kΩ.

b. For the XR-2206, we can make R_7 equal to R_1 and C_3 equal to C_0 above. To determine R_6:

$$18.5 \text{ kHz} = 1/R_6C_3\ ;\ R_6 = 16 \text{ kΩ}.$$

Use a 10 kΩ potentiometer for R_{6A} and set R_{6B} = 13 kΩ.

c. For the XR-2211 demodulator, we need to first determine R_4 and C_1. First, $f_0 = (f_L + f_H)/2$ = (10.175 + 18.500)/2 = 14.338 kHz. If we make R_4 = 25 kΩ, then $1/(C_1 \times 25{,}000) = 14.338$; C_1 = 2790 pF ≈ 2700 pF. With that value of C_1, the precise value of R_4 is now 25.8 kΩ. Select R_{4B} = 18 kΩ and use a 10 kΩ for R_{4A}.

3. Frequency Component Selection

a. To calculate R_5, we first need our Δf, which is 18.500 – 10.175, or 8.325 kHz.

$$8325 = (25.800 \times 14.338)/R_5\ ;\ R_5 = 44.4 \text{ kΩ} \approx 47 \text{ kΩ}.$$

b. To determine C_2 use $\zeta = \frac{1}{2} = \frac{1}{4}\sqrt{C_1/C_2}$. Then, $C_2 = \frac{1}{4}C_1$; C_2 = 670 pF.

c. To select C_F, we use τ_F = (0.3/baud rate) seconds.

$$\tau_F = 0.3/10{,}000 = 30 \text{ μsec}$$

with

$$R_F = 100 \text{ kΩ}, C_1 = 300 \text{ pF}$$

4. Lock Range Selection

To select C_D, let us start with the actual range

$$\Delta f = R_4 f_0 / R_5 \text{ Hz} = 7870 \text{ Hz}.$$

If we assume a capture range of 80%,

$$\Delta f_C = 6296 \text{ Hz};$$

therefore our total capture range or $\pm\Delta f_C$ is 12,592 Hz. Our minimum value for C_D is (16/12,592) μf or 0.0013 μf.

5. Completed Circuit Example

See Figure 5.

B. Design a 3 kilobaud modem to operate with low output jitter. The bandwidth available is 13 kHz.

For this modem, we can take the values from 2 for the 300 baud modem operating at 1070 Hz and 1270 Hz, multiply our baud rate and mark and space frequencies by 10, and divide all capacitor values on the table by 10. Resistor values should be left as they are.

C. Design a 2 channel multiplex FSK modulator to operate at the following pairs of mark and space frequencies: 600 Hz and 900 Hz, and 1400 and 1700 Hz. (Each of these channels could handle about 400 baud.)

For this task, we will use the XR-2207. The only real consideration here is that, if possible, we want to keep the following resistances all between 10 kΩ and 100 kΩ: R_1, R_1/R_2, R_3 and R_3 R_4. The ratio between the maximum and minimum frequencies is less than 3:1, so we should have no trouble meeting this criterion. If we set our maximum frequency with an R of about 20 kΩ, we

Calculate [illegible] 600 Hz = 0.033 μf, we [illegible] and R_{3B} = [illegible] and R_{3A} = [illegible]. For R_{3B} we get 101 kΩ. Use R_{3B} = 91 kΩ and R_{3A} = 20 kΩ. To determine R_3, use 1400 Hz = $1/R_3C_3$, which gives R_3 = [illegible]. Use R_{3B} = 18 kΩ and R_{3A} = 5 kΩ. R_4 must generate a 300 Hz shift in frequency, the same as R_3. Therefore, let R_4 equal to R_3.

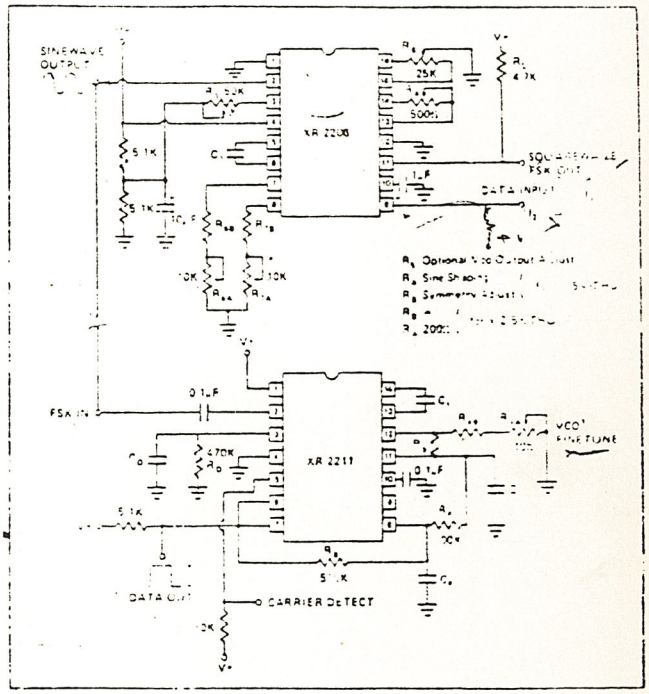


Figure 5. Full Duplex FSK Modem Using XR-2206 and XR-2211. (See Table 2 for Component Values.)

ADJUSTMENT PROCEDURE

The only adjustments that are required with any of the circuits in this application note are those for frequency fine tuning. Although these adjustments are fairly simple and straightforward, there are a couple of recommendations that should be followed.

The XR-2207: Always adjust the lower frequency first with R_{1B} or R_{3B} and a low level on pin 9. Then with a high level on pin 9, adjust the high frequency using R_{2B} or R_{4B}. The second adjustment affects only the high frequency, whereas the first adjustment affects both the low and the high frequencies.

The XR-2206: The upper and lower frequency adjustments are independent so the sequence is not important.

The XR-2211: With the input open-circuited, the loop phase detector output voltage is essentially undefined and VCO frequency may be anywhere within the lock range. There are several ways that it can be monitored:

1. Short pin 2 to pin 10 and measure at pin 3 with C_D disconnected;
2. Open R_5 and monitor pin 13 or 14 with a high-impedance probe; or
3. Remove the resistor between pins 7 and 8 and find the input frequency at which the FSK output changes state.

Note: Do NOT adjust the center frequency of the XR-2211 by monitoring the timing capacitor frequency with everything connected and no input signal applied.

For further information regarding the use of the XR-2207, XR-2206 and XR-2211 refer to the individual product data sheets.

SCL4066B

CMOS QUAD ANALOG SWITCH

FEATURES

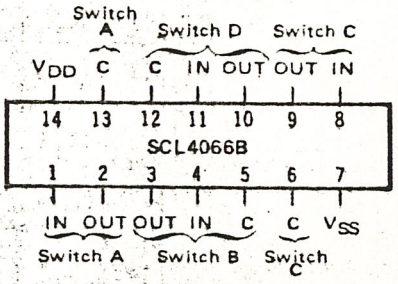
- Transmission or Multiplexing of Analog or Digital Signals
- 80Ω Typical ON-Resistance for 15-Volt operation
- Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ON-Resistance Flat over Full Peak-to-Peak Signal Range
- High Degree of Linearity:
  ≤0.5% Distortion (typ) @ f_{is} = 1kHz, V_{is} = $5V_{p-p}$, V_{DD}-V_{SS} ≥ 10V, R_L = 10kΩ
- Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  10pA (typ) @ V_{DD}-V_{SS} = 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  10^{12}Ω (typ)
- Low Crosstalk between Switches:
  -50dB (typ) @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitance Reduces Output Signal Transients
- Frequency Response, Switch ON = 40MHz (typ)

DESCRIPTION

The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample-and-hold applications, however, the SCL4016 is recommended.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

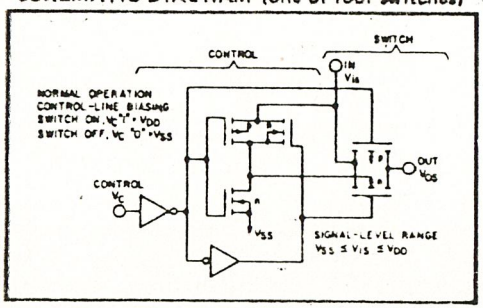
C	14-pin Cerdip	F	14-pin Flat
D	14-pin Ceramic	H	Chip
E	14-pin Epoxy		

RECOMMENDED OPERATING CONDITIONS

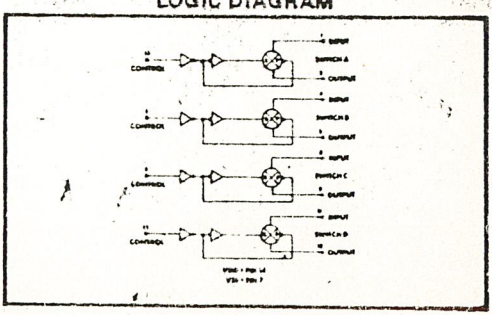
For maximum reliability:

DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

SCHEMATIC DIAGRAM (one of four switches)



LOGIC DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,3]

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	T_{LOW} [2] Min.	T_{LOW} [2] Max.	25°C Min.	25°C Typ.	25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	$V_{IN} = V_{SS}$ or V_{DD}	0	5	–	0.05	–	0.0005	0.05	–	1.5	µAdc
		All valid input	0	10	–	0.1	–	0.001	0.1	–	3.0	
		combinations	0	15	–	0.2	–	0.002	0.2	–	6.0	
MINIMUM INPUT HIGH VOLTAGE (Control Input)	V_{IH}	$V_{IS} = V_{SS}$	0	5	–	4.0	–	2.75	4.0	–	4.0	Vdc
		$V_{OS} = V_{DD}$	0	10	–	8.0	–	5.5	8.0	–	8.0	
		$I_{OS} = 10\mu A$	0	15	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE (Control Input)	V_{IL}	$V_{IS} = V_{SS}$	0	5	1.0	–	1.0	2.25	–	1.0	–	Vdc
		$V_{OS} = V_{DD}$	0	10	2.0	–	2.0	4.5	–	2.0	–	
		$I_{OS} = 10\mu A$	0	15	3.0	–	3.0	6.75	–	3.0	–	
SWITCH INPUT/OUTPUT LEAKAGE	I_{OFF}	$V_C = V_{SS}$	-7.5	+7.5	–	±100	–	±0.01	±100	–	±200	nAdc
		$V_{IS} = \pm 7.5$Vdc										
ON-RESISTANCE C,D,F,H device	R_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	220	–	80	280	–	320	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\Omega$	-5	+5	–	310	–	120	400	–	550	Ω
			0	+10								
			-2.5	+2.5	–	2000	–	270	2500	–	3500	Ω
			0	+5								
E device	R_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	250	–	80	280	–	300	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\Omega$	-5	+5	–	330	–	120	400	–	520	Ω
			0	+10								
			-2.5	+2.5	–	2100	–	270	2500	–	3200	Ω
			0	+5								
ON-RESISTANCE MATCH (Same package)	ΔR_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	–	–	5	–	–	–	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\Omega$	-5	+5	–	–	–	10	–	–	–	Ω
			0	+10								
			-2.5	+2.5	–	–	–	10	–	–	–	Ω
			0	+5								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"

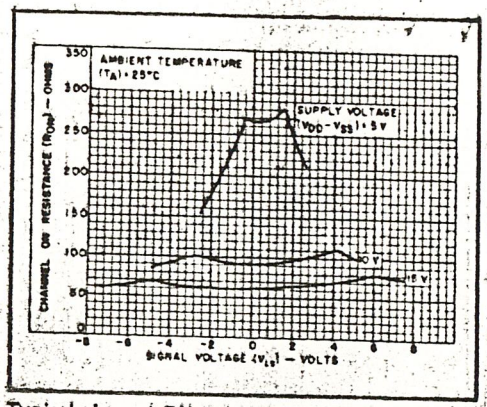
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

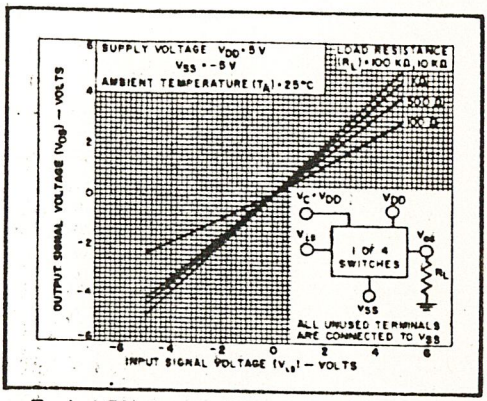
ELECTRICAL CHARACTERISTICS (Continued)

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

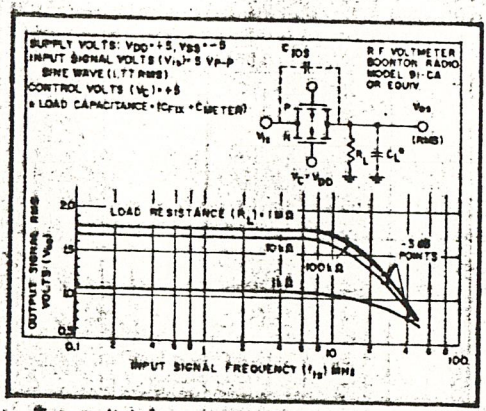
PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
SIGNAL INPUTS (V_{is}) AND OUTPUTS (V_{os})								
PROPAGATION DELAY TIME Signal Input to Signal Output	t_{PLH}, t_{PHL}	V_c=V_{DD} V_{is}=Square Wave R_L = 10kΩ	0 0 0	5 10 15	– – –	20 10 7.5	40 20 15	ns
BANDWIDTH (-3dB) (Sine Wave)	BW	V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	54 40 38 37	– – – –	MHz
INSERTION LOSS $(=20\ \log_{10}\frac{V_{os}}{V_{is}})$		V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	2.3 0.2 0.1 0.05	– – – –	dB
SIGNAL DISTORTION (Sine Wave)		V_c=V_{DD} V_{is}=5V_{p-p} centered @ 0.0Vdc f_{is}=1.0kHz R_L = 10kΩ	-5	+5	–	0.16	–	%
FEEDTHROUGH (-50dB)		V_c=V_{SS} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	1250 140 18 2	– – – –	kHz
CROSSTALK (-50dB) Between two switches		V_c(A)=V_{DD} V_c(B)=V_{SS} V_{is}(A)=5V_{p-p} centered @ 0.0Vdc R_L = 10kΩ	-5	+5	–	0.9	–	MHz
CAPACITANCE Input Output Feedthrough	C_{is} C_{os} C_{ios}	V_C = V_{SS}	-5	+5	– – –	8 8 0.5	– – –	pF pF pF
CONTROL INPUT (V_C)								
PROPAGATION DELAY TIME Turn on	t_{PC}	V_{SS}≤V_{is}≤V_{DD} R_L = 10kΩ	0 0 0	5 10 15	– – –	50 25 20	100 50 40	ns
MAXIMUM INPUT FREQUENCY	f_c	V_{SS}≤V_{is}≤V_{DD} R_L = 1.0kΩ	0 0 0	5 10 15	– – –	5 10 12	– – –	MHz
CROSSTALK (To signal port)		V_c= Square Wave R_L = 10kΩ R_{in} = 1.0kΩ	0 0 0	5 10 15	– – –	30 50 100	– – –	mV



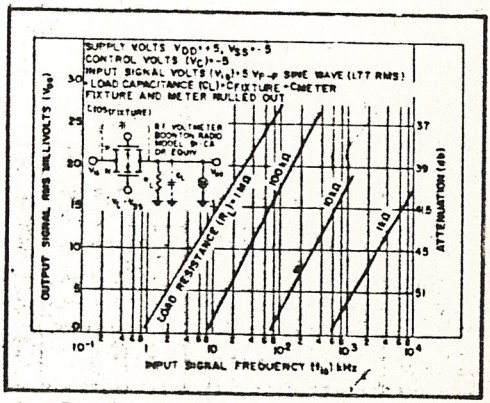
Typical channel ON resistance vs. signal voltage for three values of supply voltage (V_{DD}-V_{SS})



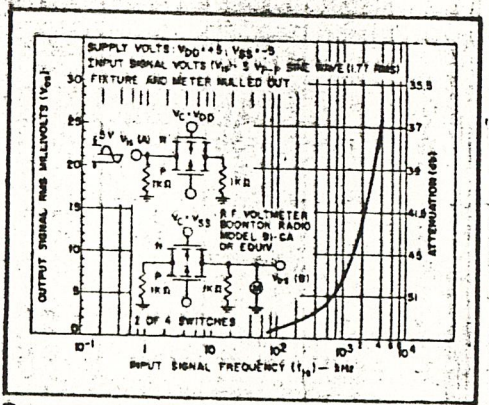
Typical ON characteristics for 1 of 4 channels.



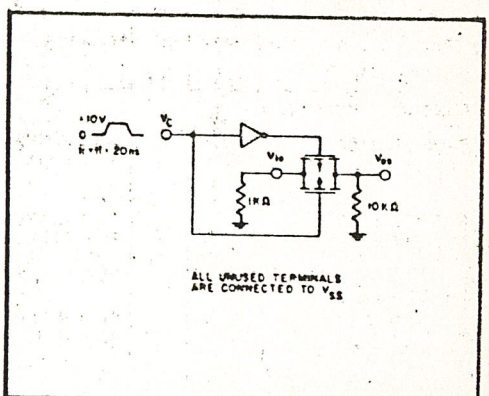
Typ. switch frequency response - switch "ON"



Typ. feedthru vs. freq. — switch "OFF"



Typ. crosstalk between switch circuits in the same package

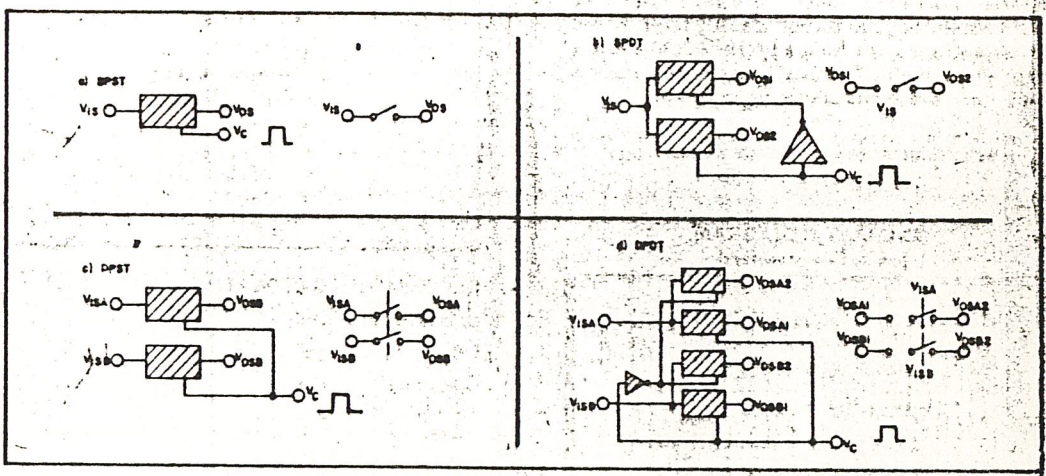


Test circuit, crosstalk-control input to signal output

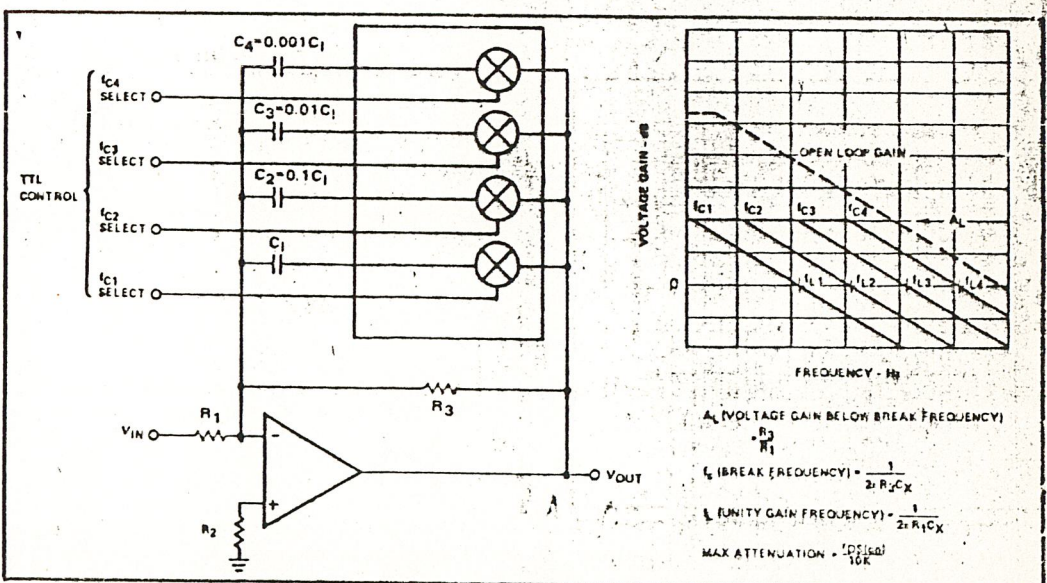
SPECIAL CONSIDERATIONS – SCL4066B

1. In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 SCL4066B bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from SCL4066B.
2. In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown).
   No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10. Failure to observe this condition may result in distortion of the signal.

APPLICATIONS INFORMATION



Basic Switch Functions using the SCL4066B



Active Low Pass Filter with Digitally Selected Break Frequency

SCL4024B

CMOS 7-STAGE BINARY COUNTER

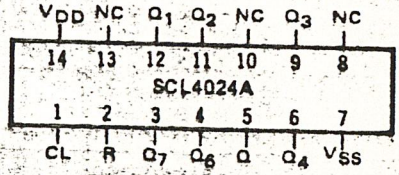
FEATURES

- 7 Fully Static Stages
- Buffered Outputs Available from All Stages
- Common Reset Line
- 8 MHz Counting Rate @ 10Vdc
- All Inputs Buffered

DESCRIPTION

The SCL4024B is a single chip monolithic medium scale integrated circuit containing N-Channel and P-Channel enhancement-mode MOS transistors. Seven single-phase clocked counting stages are provided with the Q output of each stage accessible. The Counter is reset to "zero" by a high level on the Reset input. Each counter stage is a static master-slave flip-flop. The counter state is advanced one count on the negative-going transition of each input pulse.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

TRUTH TABLE

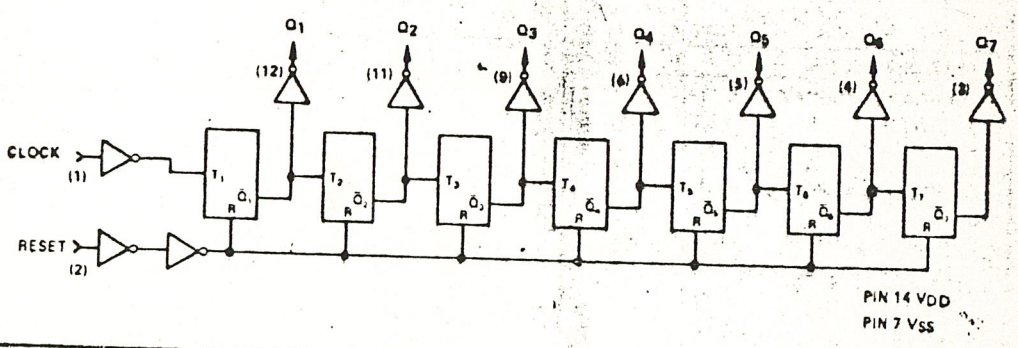
Clock	Reset	State
0	0	No Change
0	1	All Outputs Low
1	0	No Change
1	1	All Outputs Low
⌐	0	No Change
⌐	1	All Outputs Low
⌐	0	Advance One Count
⌐	1	All Outputs Low

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



ELECTRICAL CHARACTERISTICS

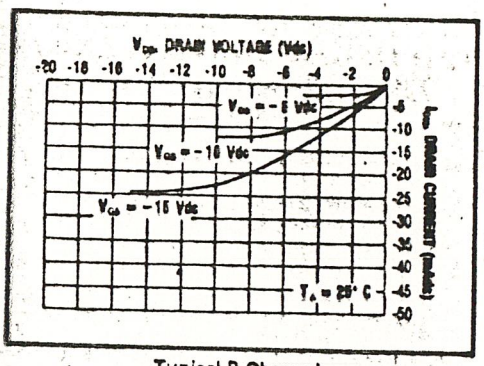
STATIC CHARACTERISTICS [1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

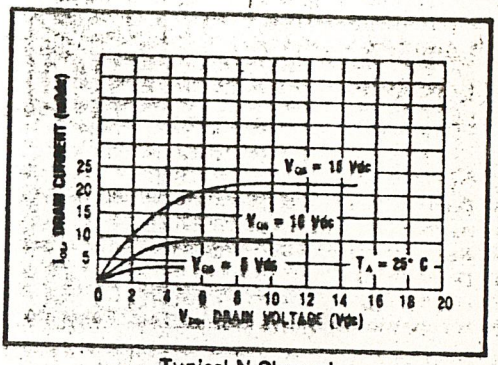
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = –55°C for C, D, F, H device.
= –40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock to Q_1	t_{PLH}, t_{PHL}	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
Q_i to Q_{i+1}	t_{PLH}, t_{PHL}	5	–	125	250	ns
		10	–	60	120	
		15	–	45	90	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	165	330	ns
		10	–	60	120	
		15	–	45	90	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.5	3.0	—	MHz
		10	4.0	8.0	—	
		15	5.5	11	—	
MAXIMUM CLOCK RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	–	—	μs
		10	10	–	—	
		15	5	–	—	
RESET OPERATION						
PROPAGATION DELAY TIME	t_{PHL}	5	–	350	700	ns
		10	–	175	350	
		15	–	130	260	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	250	500	ns
		10	–	125	250	
		15	–	100	200	
RESET REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	75	150	
		15	–	60	120	

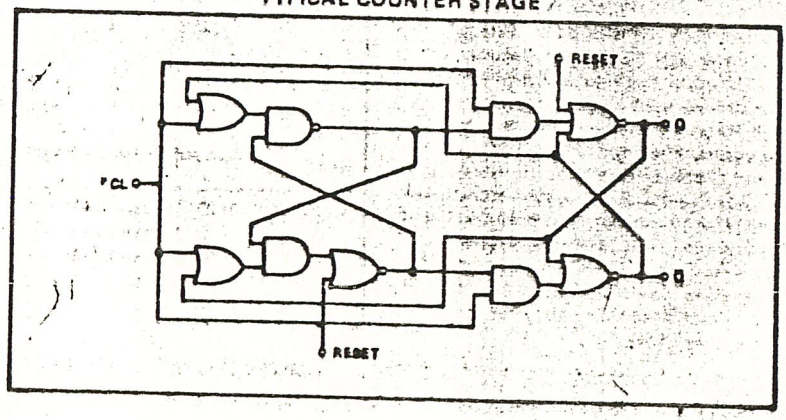


Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

TYPICAL COUNTER STAGE



SCL4013B

CMOS DUAL D-TYPE FLIP-FLOP

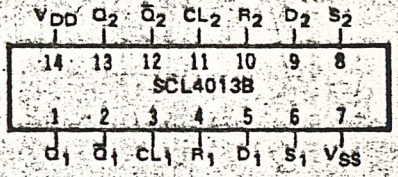
FEATURES

- Independent Set and Reset Controls
- Static Operation
- Logic Edge-Clocked Design
- 16MHz Toggle Rate @ 10Vdc
- Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4013B consists of two identical, independent D-type Flip-Flops. These devices can be used for shift register applications, and, by connecting the $\overline{Q}$ output to the Data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the Clock pulse. Setting or resetting is independent of the Clock and is accomplished by a high level on the Set or Reset line, respectively.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

TRUTH TABLE

CL	D	R	S	Q	$\overline{Q}$	
↑	0	0	0	0	1	
↑	1	0	0	1	0	
x	x	0	0	Q	$\overline{Q}$	No Change
x	x	1	0	0	1	
x	x	0	1	1	0	
x	x	1	1	1	1	

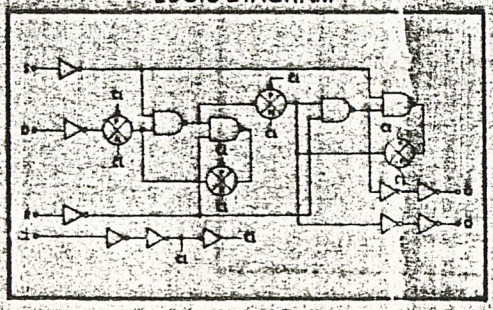
↑ = Level Change
x = Don't Care

RECOMMENDED OPERATING CONDITIONS

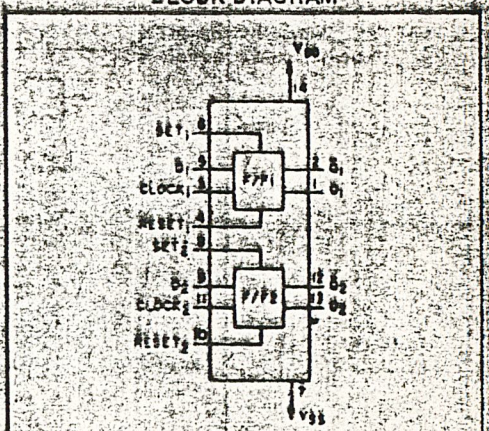
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Devices		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



BLOCK DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS[1,2]

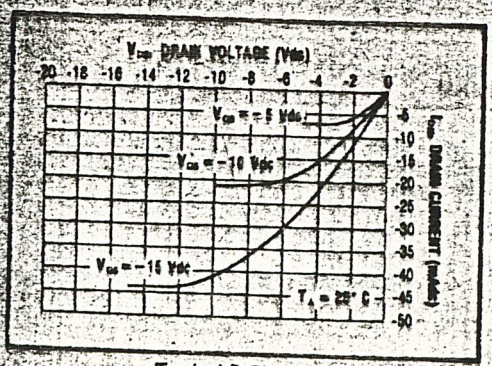
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[3]		+25°C			T_{HIGH}[3]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD} All valid input combinations	–	1.0	–	0.005	1.0	–	30	μAdc
		10		–	2.0	–	0.01	2.0	–	60	
		15		–	4.0	–	0.02	4.0	–	120	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= +85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

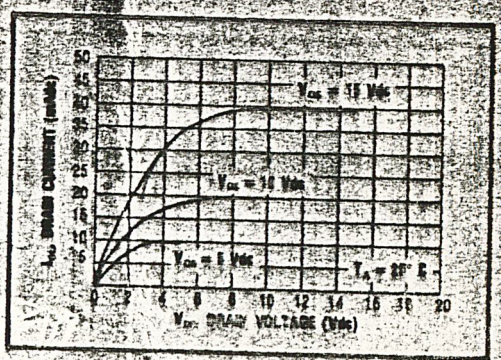
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.[1]	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5		125	250	ns
		10		65	130	
		15		45	90	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5		100	200	ns
		10		50	100	
		15		40	80	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5		70	140	ns
		10		30	60	
		15		20	40	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	3.5	7.0	–	MHz
		10	8.0	16	–	
		15	12.5	25	–	
MAXIMUM CLOCK RISE AND FALL TIME[2]	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	5	–	–	
		15	5	–	–	
MINIMUM SETUP TIME	t_{setup}	5		25	50	ns
		10		10	20	
		15		7.5	15	
MINIMUM HOLD TIME	t_{hold}	5		-25	0	ns
		10		-10	0	
		15		-5	0	
SET AND RESET OPERATIONS						
PROPAGATION DELAY TIME S to Q, R to $\overline{Q}$	t_{PLH}	5		125	250	ns
		10		65	130	
		15		45	90	
MINIMUM SET AND RESET PULSE WIDTH	PW_S, PW_R	5		65	130	ns
		10		30	60	
		15		25	50	
SET AND RESET REMOVAL TIME	t_{rem}	5		0	25	ns
		10		0	10	
		15		0	5	

[1] When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) — Up to 3MHz (typ) @ 10Vdc (SCL4046B) Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

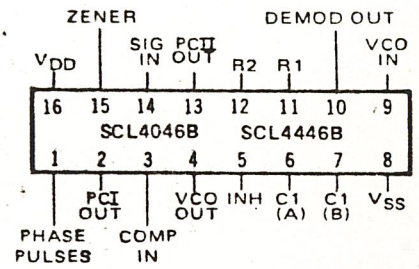
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

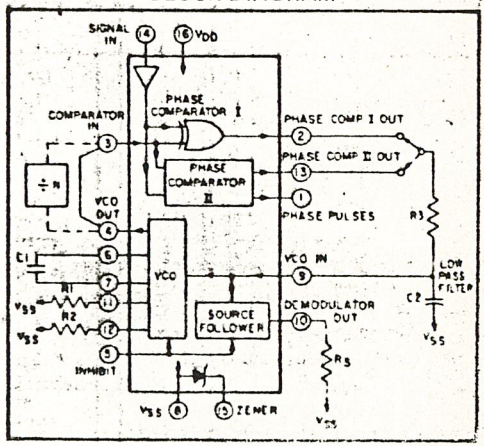


Fig. 1

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leqslant$ 30% (V_{DD}-V_{SS}), logic "1" $\geqslant$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

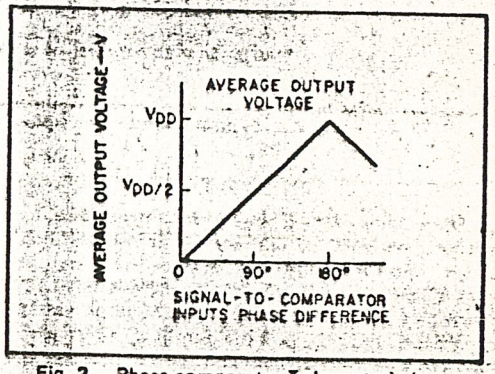


Fig. 2 – Phase-comparator I characteristics at low-pass filter output.

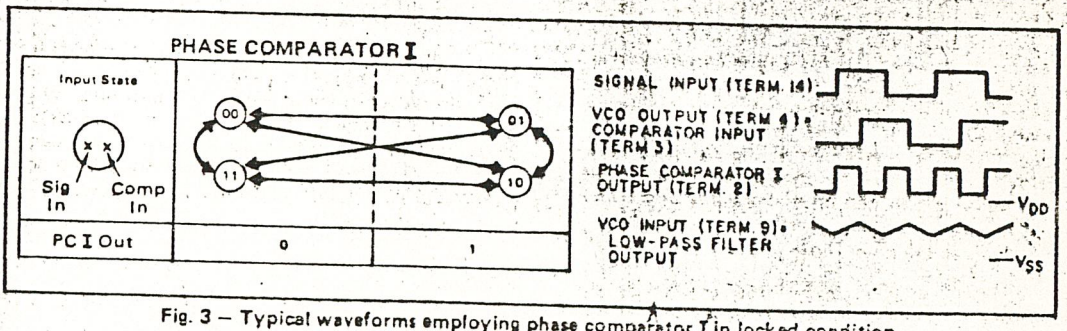


Fig. 3 – Typical waveforms employing phase comparator I in locked condition

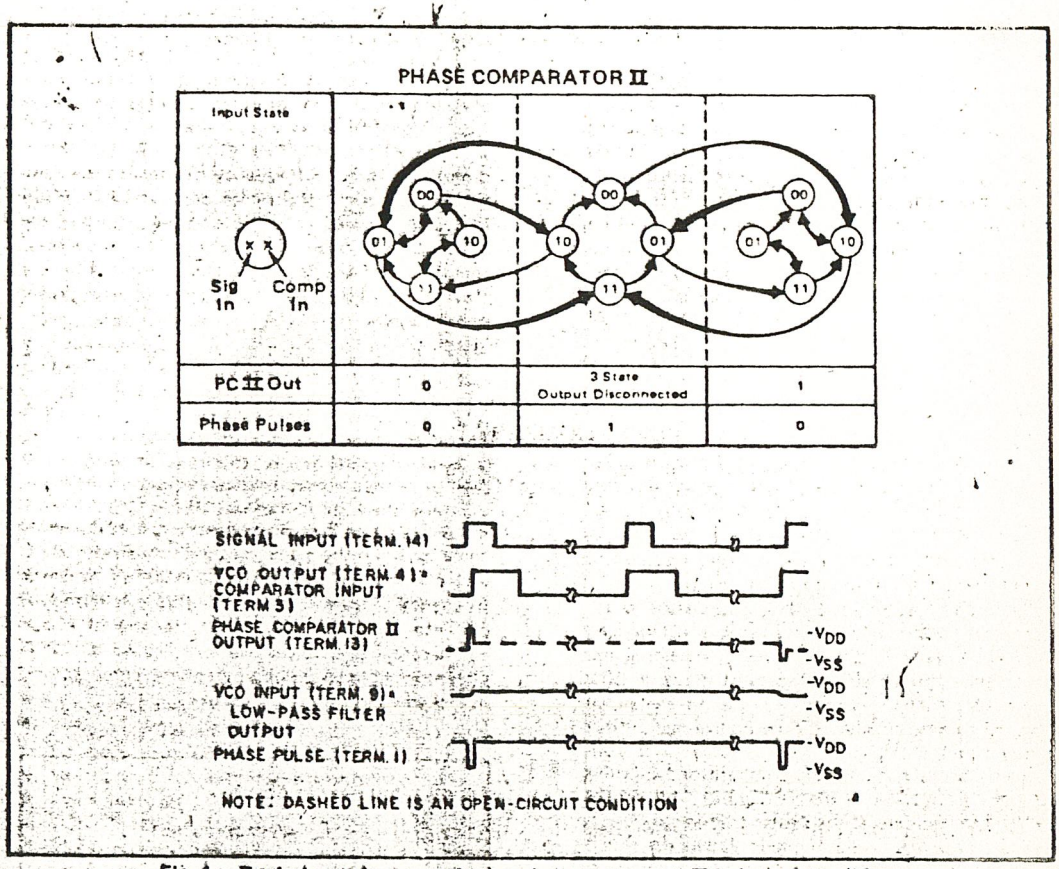


Fig. 4 – Typical waveforms employing phase comparator II in locked condition.

Phase comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS}, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

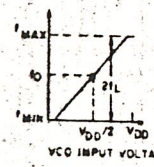
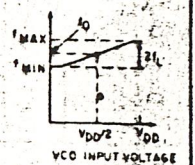
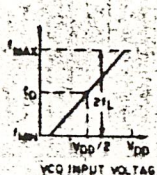
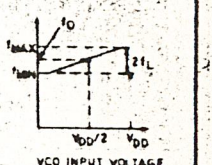
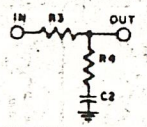
It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geq 2k\Omega$, $R_S \geq 10k\Omega$
$C1 \geq 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_0		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	$2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{R1}}$		$f_C = f_L$	
Loop Filter Component Selection		For $2f_C$ see Ref.		
Phase Angle between Signal and Comparator	90° at center frequency (f_0), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	– Given: f_0 – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_0 and f_L – Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ – Use f_{min} with Fig. 5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig 5c to determine ratio R2/R1 to obtain R1	– Given: f_{max} – Calculate f_0 from the equation $f_0 = \frac{f_{max}}{2}$ – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_{min} & f_{max} – Use f_{min} with Fig.5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1

REF. G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

ELECTRICAL CHARACTERISTICS [1, 3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	Inhibit = V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	Signal Input =	–	10	–	0.01	10	–	300	
		15	V_{DD}	–	20	–	0.2	20	–	600	
TOTAL POWER DISSIPATION	P_T		Inh = V_{SS}, $VCO_{IN} = \frac{V_{DD}}{2}$, f_o = 10kHz, C_L = 15pF, R1 = 1MΩ, R2 = R_S = ∞								
		5		–	–	–	0.07	–	–	–	mW
		10		–	–	–	0.6	–	–	–	
		15		–	–	–	2.4	–	–	–	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER		CONDITIONS	R1, C1	V_{DD}	25°C Min.	25°C Typ.	25°C Max.	UNIT
VCO SECTION								
MAXIMUM OPERATING FREQUENCY SCL4046B	f_{max}	R2 = ∞, VCO_{IN} = V_{DD}	10k 50pF	5	0.5	0.8	–	MHz
				10	1.0	1.5	–	
				15	1.3	1.9	–	
			5k 50pF	5	0.6	1.0	–	MHz
				10	1.4	2.1	–	
				15	1.8	2.7	–	
			2k 50pF	5	–	1.3	–	MHz
				10	–	2.9	–	
				15	–	3.8	–	
SCL4446B		R2 = ∞, VCO_{IN} = V_{DD}	R1, C1					
			10k 50pF	5	0.7	1.0	–	MHz
				10	1.3	2.0	–	
				15	1.9	2.8	–	
			5k 50pF	5	0.9	1.3	–	MHz
				10	1.9	2.9	–	
				15	2.6	3.9	–	
			2k 50pF	5	–	1.8	–	MHz
				10	–	3.9	–	
				15	–	5.4	–	
LINEARITY		R2 = ∞, VCO_{IN} = 2.5±0.3V, R1 ≥ 10kΩ		5	–	1	–	%
		VCO_{IN} = 5.0±2.5V, R1 ≥ 400kΩ		10	–	1	–	
		VCO_{IN} = 7.5±5.0V, R1 ≥ 1MΩ		15	–	1	–	

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER		CONDITIONS	V_{DD}	+25°C			UNIT
				Min.	Typ.	Max.	
VCO SECTION (Continued)							
TEMPERATURE-FREQUENCY STABILITY							
No Offset		R2 = ∞	5	–	0.12-0.24	–	%/°C
			10	–	0.04-0.08	–	
			15	–	0.015-0.03	–	
With Offset		R2 ≤ 10X R1	5	–	0.06-0.12	–	%/°C
			10	–	0.05-0.1	–	
			15	–	0.03-0.06	–	
INPUT RESISTANCE (VCO_{IN})	R_{IN}		5, 10, 15	–	10^6	–	MΩ
OUTPUT DUTY CYCLE		All valid input combinations and voltages		–	50	–	%
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
PHASE COMPARATORS							
INPUT RESISTANCE							
Signal Input	R_{IN}		5	1	3	–	MΩ
			10	0.2	0.7	–	
			15	0.1	0.3	–	
Comparator Input	R_{IN}		5, 10, 15	–	10^6	–	MΩ
AC-COUPLED INPUT SENSITIVITY	V_{IN}						
Signal Input			5	–	200	400	mV
			10	–	400	800	
			15	–	700	1400	
OUTPUT TRANSITION TIME							
PCI, PCII Outputs	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
Phase Pulses Output	t_{TLH}, t_{THL}		5	–	130	260	ns
			10	–	65	130	
			15	–	50	100	
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO_{IN}-V_{DEM}	R_S ≥ 50kΩ	5	–	1.4	2.2	Vdc
			10	–	1.6	2.2	
			15	–	1.8	2.2	
LINEARITY		R_S ≥ 50kΩ					
		VCO_{IN} = 2.5±0.3V	5	–	0.1	–	%
		VCO_{IN} = 5.0±2.5V	10	–	0.6	–	
		VCO_{IN} = 7.5±5.0V	15	–	0.8	–	
ZENER DIODE							
ZENER VOLTAGE	V_Z	I_Z = 50μA	–	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R_Z	I_Z = 1mA	–	–	100	–	Ω

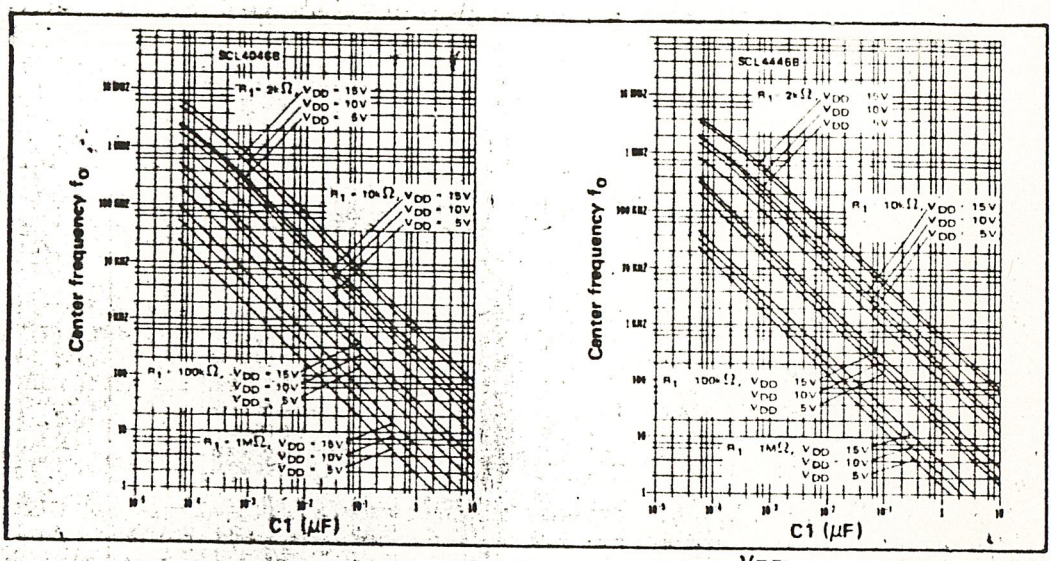


Fig. 5 (a) Typical center frequency (f_o) vs C1 ($R2 = \infty$, $VCO_{IN} = \frac{V_{DD}}{2}$, $T_A = 25°C$)

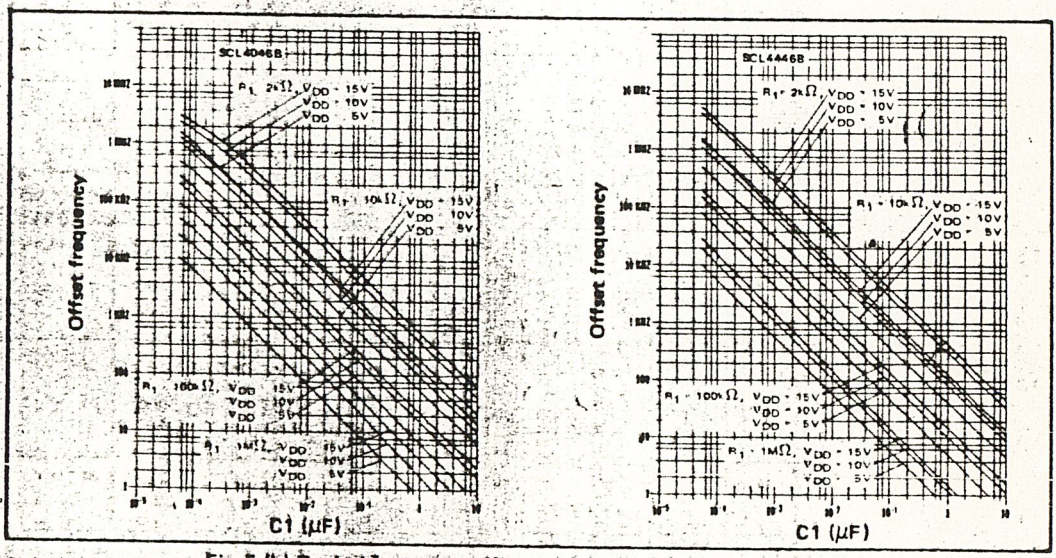


Fig. 5 (b) Typical frequency offset vs C1 ($VCO_{IN} = V_{SS}$, $T_A = 25°C$)

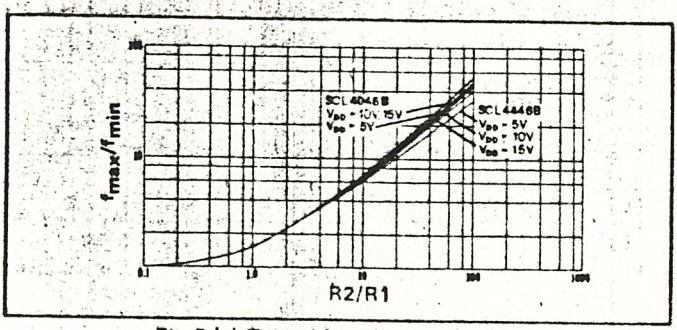


Fig. 5 (c) Typical f_{max}/f_{min} vs R2/R1

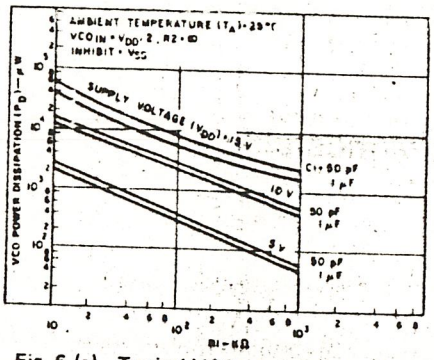


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

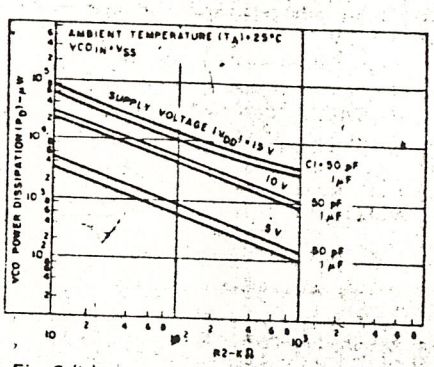


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

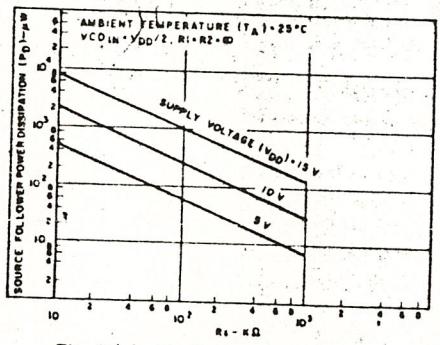


Fig. 6 (c) - Typical source follower power dissipation vs R_S.

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S)
— Phase Comparator I

P_D (Total) = P_D (f_{MIN})
— Phase Comparator II

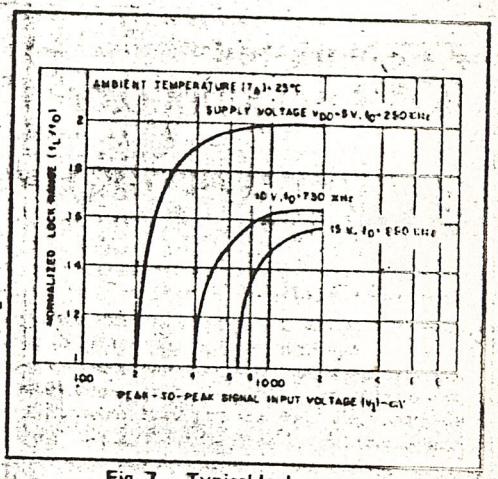


Fig. 7 – Typical lock range vs signal input amplitude

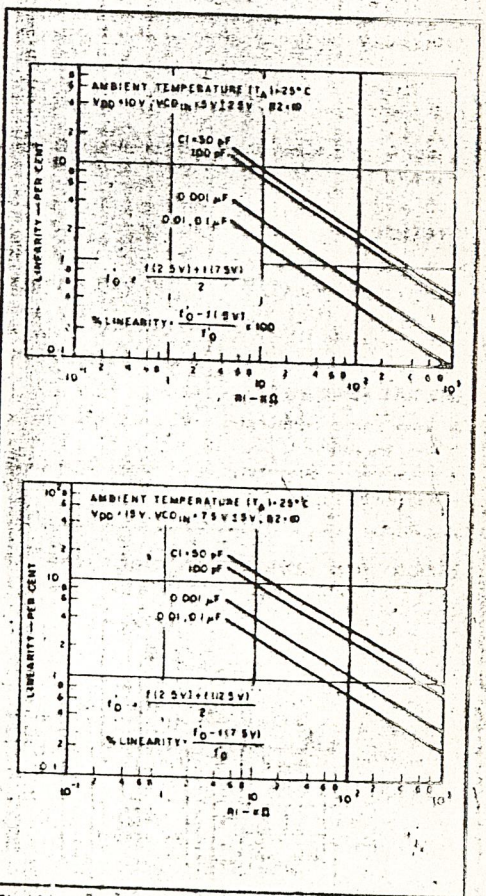


Fig. 8(a, b) – Typical VCO linearity vs R1 and C1

กิตติกรรมประกาศ

โครงงานนี้ คงไม่สามารถทำให้สำเร็จลุล่วงลงได้ ถ้าไม่ได้รับความช่วยเหลือ เรื่องปัจจัยต่าง ๆ จากคุณพ่อ , คุณแม่ ที่มีพระคุณอันใหญ่หลวงและขอขอบคุณท่านอาจารย์ที่ปรึกษา อาจารย์กฤตากร กล่อมการ และเพื่อนร่วมงานทุกท่าน ซึ่งท่านได้ให้คำปรึกษาแก้ไขปัญหาต่างๆ ด้วยดีมาตลอดและขอขอบพระคุณคณะวิศวกรรมภาคเทคนิคอุตสาหกรรมได้เอื้อเฟื้อเรื่องสถานที่ และเครื่องมือในการทำโครงการนี้ดำเนินการด้วยดีและประสบความสำเร็จลุล่วงดีมาตลอด

หนังสืออ้างอิง

1. รศ.ยืน ภู่วรรณ น.ต.ดร.ไพศาล สงวนหมู่ "การสื่อสารข้อมูลและไมโครคอมพิวเตอร์เนตเวอร์ค" บริษัท ซีเอ็ดยูเคชั่น จำกัด
2. รศ.ดร.บัณฑิต โรจน์อารยานนท์ "หลักการไฟฟ้าสื่อสาร" สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย
3. LEONW.COUCK II "DIGITAL AND ANALOG COMMUNICATIION SYSTEM" วารสาร CQ HAM RADIO JUNE 1986 "MODEM PSK" หน้า 371-375
4. FRANK R.DUNGAR , ELECTRONIC COMMUNICATION SYSTEM , DELMAR 1987
5. GEORGE B.RUTKOWSKI,INTEGRATE CIRCUIT OPERATION AMPLEFIER , PRENTICE HALL : 1985
6. WAYNE TOMASI , ADVANCED ELECTRONIC COMMUNICATION SYSTEM
7. คู่มือ ไอซี CMOS 4000 SERIES บริษัท ซีเอ็ดยูเคชั่น จำกัด