

VOICE CODEC MULTIPLEX



ปฏิญานี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

ภาควิชา วิศวกรรมอุตสาหการ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

033146

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญาโท VOICE CODEC MULTIPLEXER

โดย นาย ภูมิยศ พย์คฆวรรณ

นาย มงคล ชำคริตฐำกร

นาย อธิวัฒน์ ทูลศิริ

อาจารย์ที่ปรึกษา อ.ดลชัย สุขเจริญผล

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2536

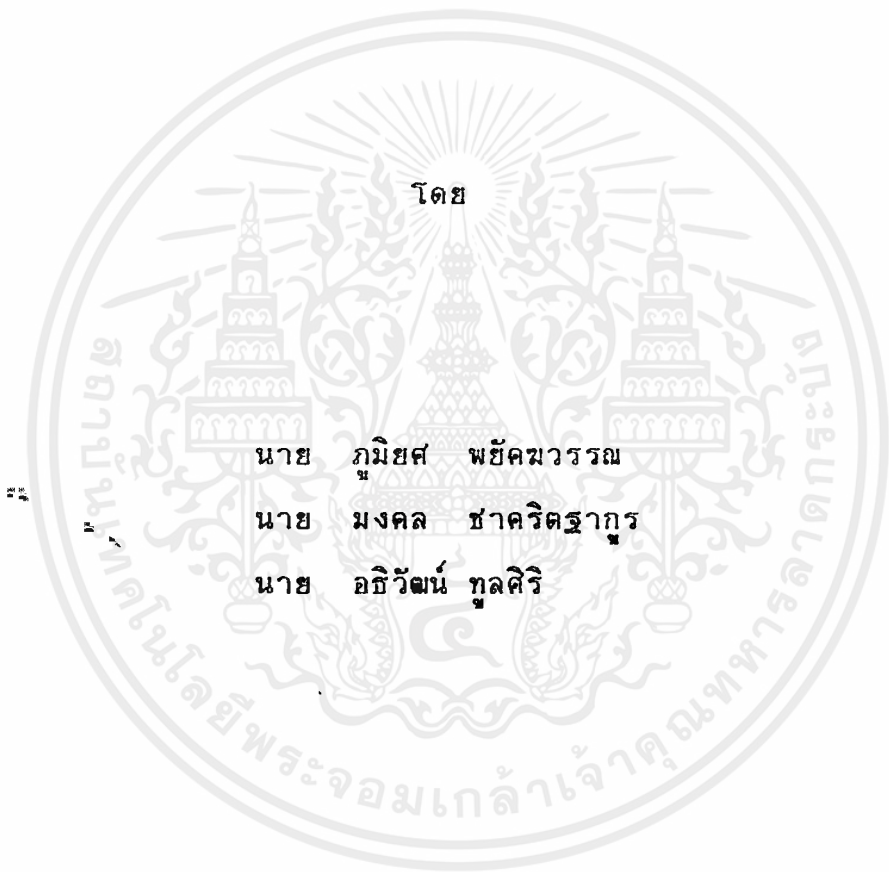
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังอนุมัติ
ให้นับปริญญาโทฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

----- คณะบดีคณะวิศวกรรมศาสตร์
()
คณะกรรมการสอบปริญญาโท
----- ประธานกรรมการ
()
----- กรรมการ
()
----- กรรมการ
()
----- กรรมการ
()
----- กรรมการ
()

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงการงาน

VOICE CODEC MULTIPLEXER



ปฏิญานี้เป็นหลักฐานเป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

ภาควิชา เทคโนโลยีอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VOICE CODEC MULTIPLEX

โดย นาย ภูมิยศ พย์คพวรรณ

นาย มงคล ชาคริตฐากร

นาย อธิวัฒน์ ทูลศิริ

อาจารย์ที่ปรึกษา อาจารย์ ดลชัย สุขเจริญผล

บทคัดย่อ

ในระบบการสื่อสารข้อมูลจากที่หนึ่งไปยังอีกที่หนึ่งนั้น สามารถทำได้หลายวิธี แต่ต้องคำนึงถึงประสิทธิภาพ ของการรับและส่งข้อมูล ซึ่งหมายถึงข่าวสารที่ได้รับด้านปลายทาง จะต้องมีความเที่ยงตรงแม่นยำ ผิดพลาดน้อยที่สุดในเงื่อนไขที่รับได้ การส่งข้อมูลหลายช่องออกไปพร้อมๆกันนั้น ทำให้เกิดการสิ้นเปลือง ดังนั้นจึงมีวิธีรวมสัญญาณโดยการนำข้อมูลมารวมกัน แล้วส่งออกไปในช่องสัญญาณเดียวกัน

โครงการวิทยานิพนธ์นี้เป็นการศึกษาและออกแบบระบบมัลติเพล็กซ์ แบบสวิตซ์ ทางเวลาขนาด 4 ช่องสัญญาณ เพื่อให้ในการสื่อสารข้อมูลแบบดิจิทัล ซึ่งสามารถส่งได้ทั้งข้อมูลแบบดิจิทัลและสัญญาณเสียง ซึ่งสัญญาณเสียงจะถูกแปลงให้เป็นสัญญาณดิจิทัลและมีการเข้ารหัส โดยใช้วิธี CVSD ข้อมูลที่ได้จะมีขนาด 1 บิตต่อการสุ่มตัวอย่าง 1 ครั้ง และข้อมูลทั้ง 2 แบบ มีขนาด 16 KBPS ในภาครับจะมีวงจรถอดรหัสและดีมัลติเพล็กซ์โดยทำการแยกช่องสัญญาณด้วยบิตชิงโครไนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSTRACT

IN THE DATA COMMUNICATION SYSTEM, THERE ARE MANY METHODS OF SENDING THE DATA FROM ONE PLACE TO ANOTHER, BUT WE HAVE TO THINK ABOUT THE EFFICIENCY OF RECEIVING AND SENDING THE DATA. IT MEANS THAT THE RECEIVED DATA MUST HAVE HIGH ACCURACY AND HAVE MINIMUM MISTAKE IN THE FIXED CONDITION. SENDING THE DATA TO MANY CHANNELS AT THE SAME TIME MAY CAUSE THE DISSIPATION. SO, THERE IS THE MULTIPLEX METHOD WHICH MIX THE DATA TOGETHER AND SEND THEM TO THE SAME CHANNEL.

THIS THESIS IS STUDY AND DESIGN FOUR CHANNELS TIME DIVISION MULTIPLEX FOR DATA COMMUNICATION, WHICH THE DATA CAN TRANSMIT IN FORM OF UNIPOLAR NRZ. THE VOICE SIGNAL TRANSFORMS, ANALOG TO DIGITAL BY USING CVSD AND OUTPUT IS A 1 BIT/SAMPLES POINT WITH BITRATE ABOUT 16 KBPS. THE MAIN RECEIVER CONSISTS OF THE CVSD DECODER AND DEMULTIPLEX CIRCUIT, WHICH DEMUX EACH A CHANNEL WITH USE A BIT SYNCHRONOUS CIRCUIT.

สารบัญ

บทคัดย่อ

ABSTRACT

บทนำ

บทที่ 1 ทฤษฎีและการออกแบบ DELTA MODULATION 1

บทที่ 2 ทฤษฎีและการออกแบบวงจรทางด้านส่ง 16

บทที่ 3 ทฤษฎีและการออกแบบวงจรทางด้านรับ 34

บทที่ 4 การทดสอบและผลการทดลอง 40

หนังสืออ้างอิง

กิจกรรมประกาศ

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

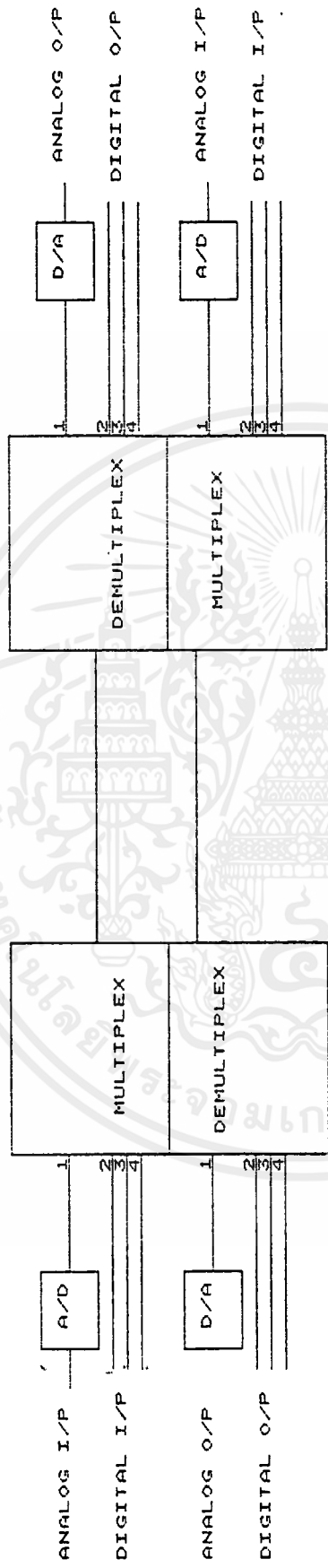
ในปัจจุบันได้มีการนำระบบสื่อสารข้อมูลต่างๆ มาบริการข่าวสารข้อมูลโดยผ่าน
เครือข่ายต่างๆ อย่างเช่นบริการข้อมูลของ DATANET บริการข้อมูลแบบ ISDN (INTERGATE SERVICE DIGITAL NETWORK)

ในโครงการนี้เป็นกรนำเอาข้อมูลที่เป็นดิจิทัล และสัญญาณที่เป็นอนาล็อกนำ
มารวมกัน และนำส่งไปในช่องสัญญาณเดียวกัน ส่วนสัญญาณอนาล็อกได้มาจากสัญญาณเสียง แล้ว
นำมาแปลงเป็นสัญญาณดิจิทัล โดยการเข้ารหัส ENCODE แบบ DELTA MODULATION
สัญญาณที่ได้นำมาวมกันโดยใช้การ MULTIPLEX ส่งออกไปทางด้านรับ โดยที่ทางด้านภาครับ
จะมีการ DEMULTIPLEX และมีการถอดรหัสจากดิจิทัลเป็นอนาล็อก และในโครงการนี้เป็น
การส่งข่าวสารแบบ FULL DUPLEX ซึ่งสามารถส่งและรับได้ในเวลาเดียวกัน

ในการส่งสัญญาณหลายช่องสัญญาณ สามารถทำได้โดยการส่งเป็นแบบ MULTIPLEX
ซึ่งในระบบมัลติเพล็กซ์ ทำได้ทั้งทางด้านความถี่ FREQUENCY DEVISION MULTIPLEX (FDM)
หรือ ทางด้านเวลา TIME DEVISION MULTIPLEX ทางด้านความถี่นั้นทำได้โดยนำสัญญาณแต่ละ
ช่องมา MODULATE ช่องละความถี่แล้วส่งไปพร้อมกัน ส่วนทางด้านรับก็จะ DEMODULATE
สัญญาณแต่ละความถี่ในแต่ละช่องสัญญาณก็จะได้สัญญาณตามต้องการ ส่วนในทางด้านเวลาก็
สามารถทำได้โดย MODULATE สัญญาณเพียงความถี่เดียว แต่สัญญาณในแต่ละช่องจะส่งไปคนละ
เวลา กัน ส่วนทางด้านรับก็สามารถ DEMODULATE สัญญาณโดยที่จะให้ทางรับสามารถรับสัญญาณ
ได้ถูกต้องเมื่อทางด้านส่งส่งสัญญาณช่องไหน ทางด้านรับก็ควรจะได้รับสัญญาณช่องนั้นได้ ดังนั้น
จะต้องให้มีการซิงโครไนเซชัน (SYNCRONIZATION) กัน

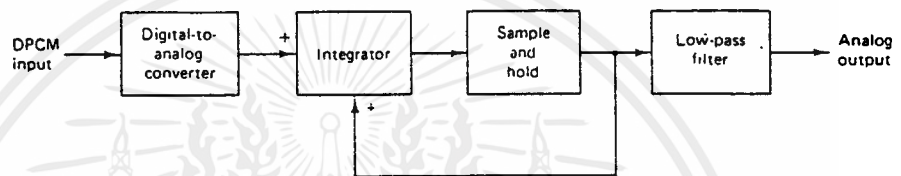
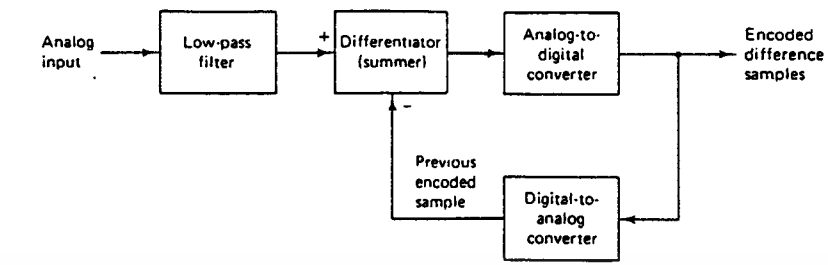
วัตถุประสงค์ของโครงการนี้

- 1 เพื่อศึกษาการส่งสัญญาณ VOICE รวมไปในช่องเดียวกับสัญญาณ ดิจิตอลโดยมีการ
เข้ารหัสสัญญาณเสียง โดยใช้ DELTA MODULATION
- 2 เพื่อศึกษาการทำงานของระบบ DELTA MODULATION โดยใช้ CONTINUOUS
VARIABLE SLOPE DELTA MODULATION/DEMULATION (CVSD)
- 3 เพื่อศึกษาการทำงานและหลักการของการ MULTIPLEX และ DEMULTIPLEX



FULL DUPLEX
BLOCK DIAGRAM VOICE CODEC MULTIPLEX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่1 โครงสร้างของระบบ ADPCM

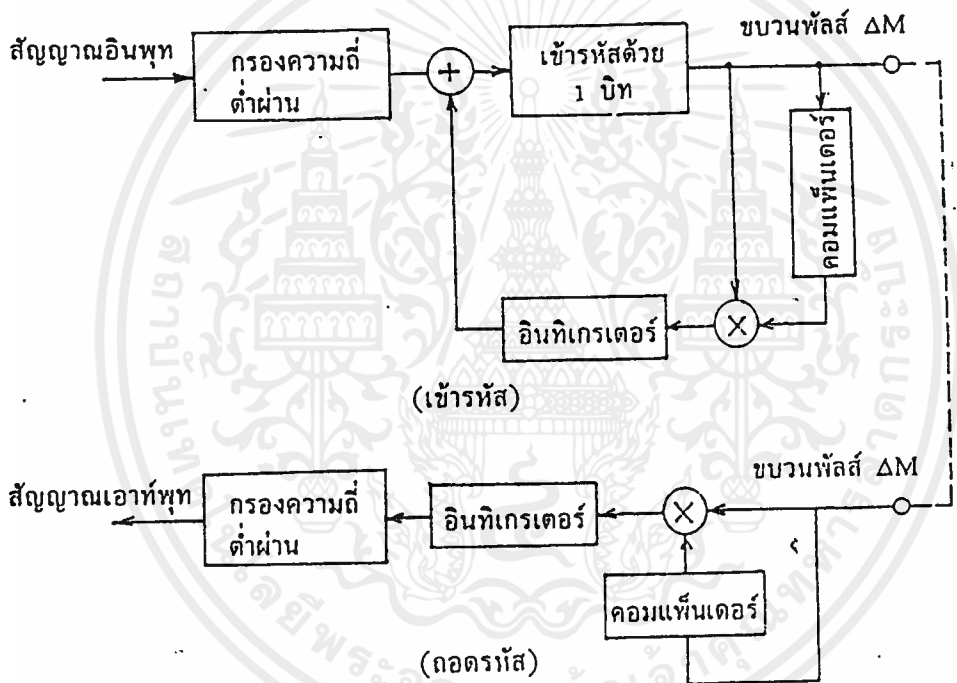
ข) การเข้ารหัสแบบอแดปทีฟเดลต้ามอดูเลชัน (Adaptive Delta Modulation)

ในขณะที่ความถี่ในการแซมปลิงสูงขึ้น ผลต่างระหว่างค่าซ่อมแซมเปลี่ยนแปลงเพียงจะน้อยลง ระบบการเข้ารหัสแบบ ADM จะพิจารณาจุดนี้ คือ ใช้ความถี่ในการแซมปลิงให้สูงขึ้น และเข้ารหัสของผลต่างของสัญญาณเพื่อส่งออกไปด้วย 1 บิต ตามรูป 2 ซึ่งแสดงโครงสร้างของการเข้ารหัส/ถอดรหัสแบบ ADM ประกอบด้วยคอมแพเรเตอร์ (Comparator) อินทิเกรเตอร์ (integrator) D/A คอนเวอร์เตอร์และวงจรถอยจิกที่จำเป็นบางวงจร เนื่องจากมีขนาดเล็กและการสูญเสียพลังงานน้อย จึงสามารถสร้างได้โดยง่าย

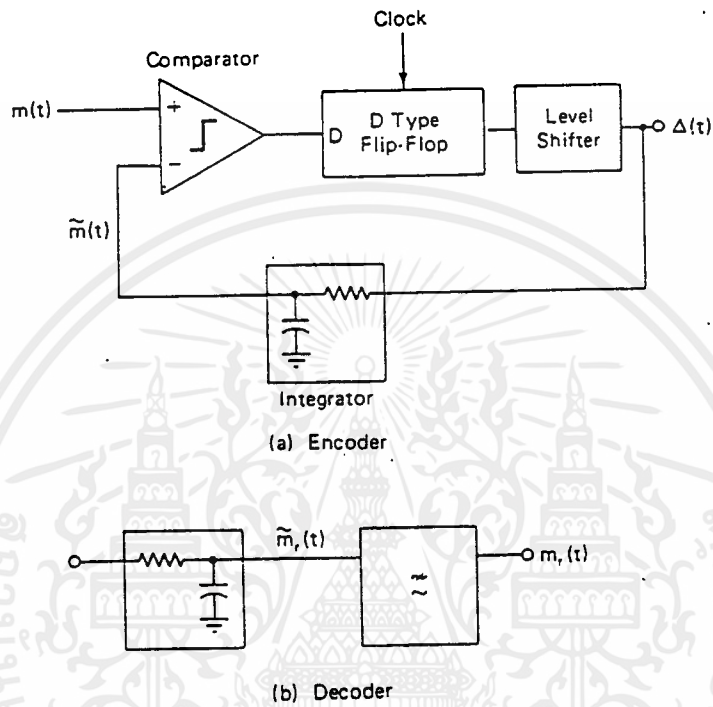
การที่เข้ารหัสโดยใช้เพียง 4 บิต จะกำหนดขนาดของสเต็ป (step) จากขบวนพัลส์ที่เข้ามาก่อน (ขบวนพัลส์ μ) กล่าวคือ ตามรูป 3 กรณีที่พัลส์ซึ่งมีขั้วเหมือนกันเกิดขึ้นอย่างต่อเนื่อง จะกำหนดว่าเป็นโอเวอร์โหลด ในขณะนี้จะเพิ่มขนาดของ step ให้กว้างขึ้น ในทางตรงกันข้ามถ้าผลลัพธ์ซึ่งมีขั้วสลับกันเกิดขึ้นอย่างต่อเนื่องแล้ว ในการลดควอนไทซ์นอยส์จะต้องลดขนาดของ step ให้แคบลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

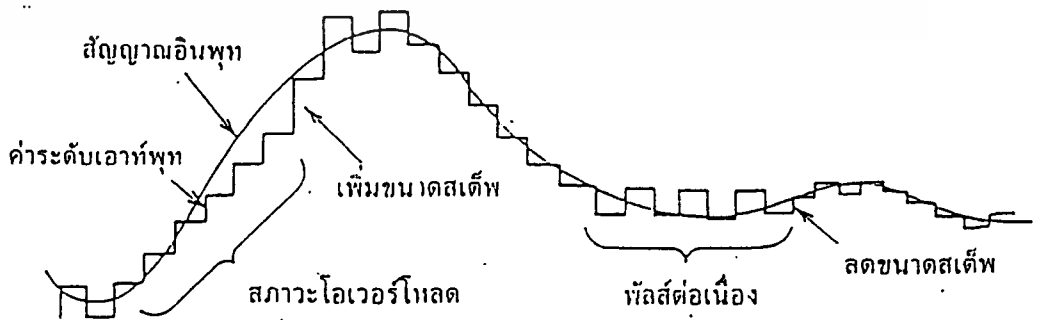
วงจรเข้ารหัสลดอัตราแบบ ADM สามารถสร้างได้ด้วย LIS 1 ชิป เมื่อเปรียบคุณภาพที่ใช้บิตเรท 32 kb/s แล้วจะดีกว่าระบบการเข้ารหัสแบบ ADPCM หรือ APC-AB แต่อย่างไรก็ตาม ADM ก็มีข้อดีหลายประการ เช่น ผลที่เกิดจากการผิดพลาดของรหัสในการส่งน้อย ไม่จำเป็นต้องใช้เฟรมซิงก์ มีขนาดเล็ก ทำงานที่โวลเตจต่ำและมีการสูญเสียพลังงานน้อย คาดว่าระบบนี้เหมาะสมที่จะนำไปใช้กับการสื่อสารระบบวิทยุเคลื่อนที่ (MOBILE SYSTEM)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 โครงร่างของระบบ ADM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 รูปที่ 3 หลักการของการเปลี่ยนสแต็ปในการจัดระดับของ ADM
 ไม่ว่าจะกรณีใดก็ตามสงวนลิขสิทธิ์ไว้สำหรับเอกสารนี้

คอมแพคติ้ง (Companding)

ตามที่ได้กล่าวมาแล้ว แล้วว่าเราไม่สามารถหลีกเลี่ยงควอนไทซิงนอยส์ที่เกิดขึ้นได้ แต่จะต้องทำให้ลดลง โดยการลดควอนไทซิงอินเทอร์วัล หรือการเพิ่มจำนวนระดับนั่นเอง แต่เมื่อเพิ่มจำนวนระดับขึ้นแล้ว จำนวนบิตที่จะใช้เพิ่มขึ้น จึงจำเป็นต้องใช้ความเร็วในการส่งสัญญาณดิจิทัลให้สูงขึ้น ตามปกติควอนไทซิงนอยส์จะเกิดขึ้นอย่างสม่ำเสมอในทุกอินเทอร์วัล โดยไม่เกี่ยวข้องกับอัมพลิจูดของสัญญาณเดิม หรือ กล่าวอีกนัยหนึ่งคือพาวเวอร์ของควอนไทซิงนอยส์เกือบจะคงที่โดยไม่ขึ้นอยู่กับสัญญาณ และในการวัดคุณภาพของการเข้ารหัสของสัญญาณจะใช้อัตราส่วนของสัญญาณ S ต่อ ควอนไทซิงนอยส์ N_q เมื่อเป็นเช่นนี้จะเข้าใจได้ว่าในกรณีที่สัญญาณมีระดับสูง S/N_q จะดีกว่ากรณีที่สัญญาณซึ่งมีระดับต่ำ ดังนั้นจึงจำเป็นต้องพิจารณาควอนไทซิงนอยส์ในบริเวณที่สัญญาณมีระดับต่ำ อย่างเช่นตามรูป 4 กรณีที่เป็นการจัดระดับแบบยูนิฟอร์ม จะเห็นได้ว่า เมื่อสัญญาณมีพาวเวอร์ต่ำ นอยส์จะมีระดับสูงเมื่อเปรียบเทียบกับระดับของสัญญาณจึงทำให้ S/N_q เลวลง ด้วยเหตุนี้จึงใช้การจัดระดับโดยวิธีอื่น กล่าวคือแบบนอนยูนิฟอร์ม (Non-Uniform Quantizing) คือบริเวณที่สัญญาณมีอัมพลิจูดต่ำจะใช้ควอนไทซิงสแต็ปแบบแคบ ๆ และในทางตรงกันข้ามบริเวณที่สัญญาณมีอัมพลิจูดสูงจะใช้ควอนไทซิงสแต็ปกว้าง ๆ ซึ่งการทำให้เป็นแบบนอนยูนิฟอร์มนั้นจะใช้หลักการของ Companding เข้าช่วย

คอมแพคติ้ง เป็นชื่อรวมของวงจรคอมเพรสเซอร์ (Compressor) ซึ่งใช้สำหรับด้านส่งและวงจรเอ็กซ์แพนเดอร์ (Expander) ซึ่งใช้สำหรับด้านรับ คุณสมบัติของวงจรนี้จะกล่าวในภายหลัง อย่างไรก็ตาม ตัวอย่างการจัดระดับควอนไทซ์แบบนอนยูนิฟอร์มได้แสดงไว้ในรูป 5 ซึ่งมีขั้นตอน คือ ก่อนที่จะทำการจัดระดับจะผ่านสัญญาณไปยังวงจรคอมเพรสเซอร์ ซึ่งมีคุณลักษณะของอินพุต/เอาต์พุตตามรูป 5 ก แล้วทำการจัดระดับแบบยูนิฟอร์มตามรูป 5 ข ก็จะได้การจัดระดับแบบนอนยูนิฟอร์มตามรูป 5 ค สำหรับทางด้านรับนั้น เมื่อสัญญาณดิจิทัล ผ่านขั้นตอนการถอดรหัสแล้ว ก็จะผ่านไปยังวงจรเอ็กซ์แพนเดอร์ซึ่งมีคุณลักษณะตรงกันข้ามกับคอมเพรสเซอร์ตามรูป 5 ง

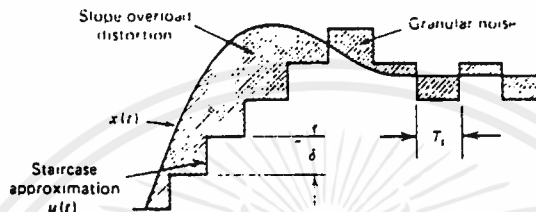
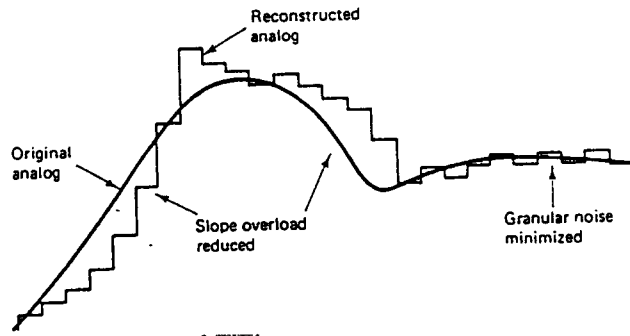
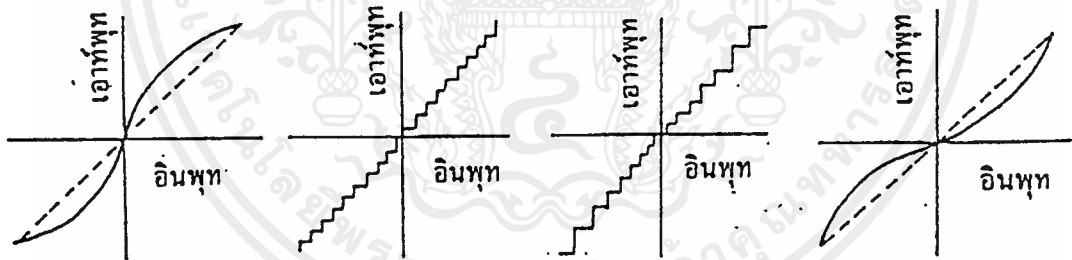


Illustration of quantization error in delta modulation.

รูปที่ 4 การควอนไทซ์และควอนไทซ์นอยส์



(ก) คอมเพรสชัน (ข) ยูนิฟอร์มควอนไทซ์ (ค) นีออนยูนิฟอร์มควอนไทซ์ (ง) เอ็กซ์แพนชัน

รูปที่ 5 คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอ็กซ์แพนเดอร์

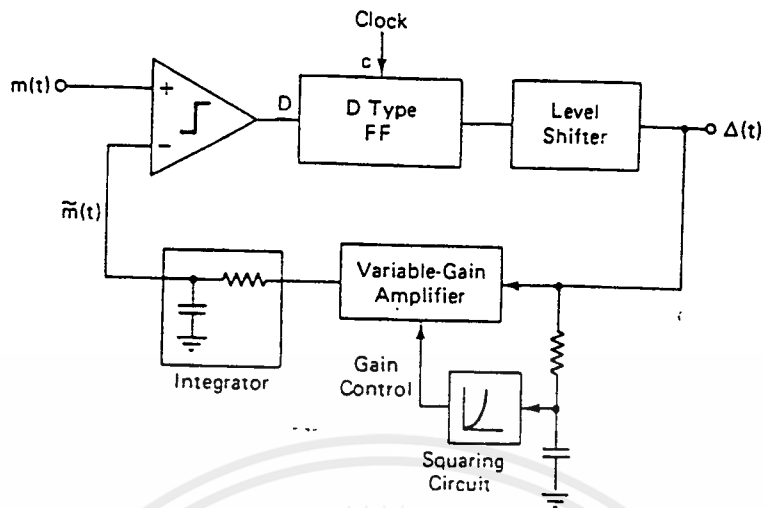
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดลด้าโมดูเลชัน

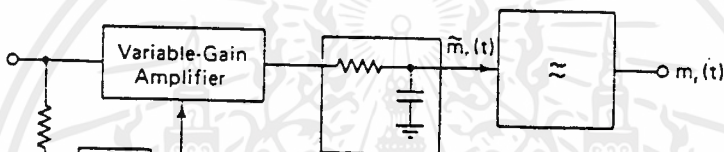
เดลด้าโมดูเลชัน เป็นเทคนิคของการโมดูเลชันอย่างหนึ่งที่สัญญาณอะนาล็อกสามารถนำมาเข้ารหัส (enclosed) เป็นไปนารัฐิจิต หรือปิดได้โดยตรง

เดลด้าโมดูเลชันหรือดีเอ็ม (DM) จึงมีข้อดีที่มีวงจรถูกส่งโดยเฉพาะอย่างยั้งวงจรถูกส่งง่ายกว่าวงจรถง PCM

ระบบเดลด้าโมดูเลชันแสดงอยู่ในรูปที่ 6 เครื่องกำเนิดพัลล์จะกำเนิดขบวนพัลล์ $P_i(t)$ ที่มีขนาดและขั้ว (Polarity) แน่นอน เมื่อสัญญาณเบสแบนด์ที่เป็นอะนาล็อก $m(t)$ เข้ามาในวงจรถง DM สัญญาณเบสแบนด์ $m(t)$ จะเปรียบเทียบกับพัลล์ $P_i(t)$ ที่ผ่านเครื่องอินทิเกรเตอร์ $\tilde{m}(t)$ ผลต่างของ $m(t) - \tilde{m}(t)$ ถ้าเป็นบวกจะผ่านลิมิตเตอร์ ให้สัญญาณ $+1$ คู่กับ $P_i(t)$ ถ้าเป็นลบจะผ่านลิมิตเตอร์ให้สัญญาณ -1 คู่กับ $P_i(t)$ เมื่อ $P_i(t)$ ผ่านเครื่องอินทิเกรเตอร์ก็จะให้พัลล์ $\tilde{m}(t)$ ตามสัญญาณเบสแบนด์ $m(t)$ อย่างใกล้ชิด และมีรูปร่างคล้ายสัญญาณเบสแบนด์ $m(t)$ มาก ยกเว้นในกรณีที่สัญญาณเบสแบนด์เปลี่ยนแปลงขนาดอย่างรวดเร็ว และเครื่องเดลด้าโมดูเลชันไม่สามารถสร้างพัลล์ $m(t)$ ไล่ทันสัญญาณเบสแบนด์ $\tilde{m}(t)$ ในกรณีนี้เราเรียกว่าเกิดการ เกินภาระของความชัน (slope overload) ดังในรูปที่ 7

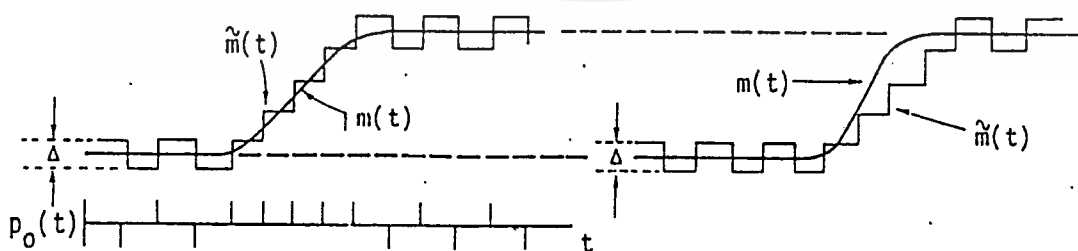


(a) Encoder



(b) Decoder

รูปที่ 6 ระบบเดลด้าโมดูเลชั่นภาคส่งและภาครับ



(n) ในกรณีปกติ

(ข) ในกรณีเกิดการกระของควมชัน

รูปที่ 7 รูปคลื่นของเดลด้าโมดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่จะเกิด slope overload เอ้าท์พุทของ modulator จะเป็น pulsed หรือลบบทตลอด ตอนนี้นี่อินทิเกรเตอร์ จะอินทิเกรตให้เอ้าท์พุทโวลต์เตจออกมาจึงไปเพิ่ม gain ของ amplifier ทำให้มีขนาด step เพิ่มขึ้น จึงทำให้ไม่เกิด slope overload หรือเกิดเพียงเล็กน้อย สำหรับ demodulator ในระบบ ADM จะมีวงจร adaptive encoder ทุกประการ

CVSD (CONTINUOUS VARIABLE DELTA MODULATOR/DEMOMULATOR)

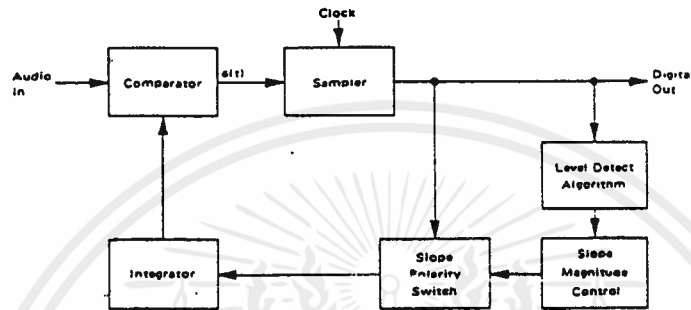
ข้อจำกัดของวิธีเดลต้ามอดูเลชัน ก็คือ แลกกว้างความถี่ใช้งาน ซึ่งถูกจำกัด โดยความถี่สัญญาณนาฬิกาและสูงกว่าความถี่สูงสุดของสัญญาณอินพุท (INPUT) มากกว่า 2 เท่าขึ้นไปอีกอันหนึ่ง คือ ความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณหรือไดนามิคเรนจ์ (Dinamic Range) ระบบเดลต้ามอดูเลชันธรรมดาที่มีค่าไดนามิคเรนจ์ที่แคบจำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิคเรนจ์ให้กว้าง โดยการควบคุมอัตราขยายของอินทิเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามอดูเลชันแบบเปลี่ยนแปลงความถี่ต่อเนื่อง หรือ CVSD (Continuous Variable Slope Delta Modulation)

ระบบ CVSD ทั้งส่วนแปลงจากอนาล็อกเป็นดิจิตอลและส่วนแปลงจากดิจิตอลเป็นอนาล็อกแสดงในบล็อกที่ 1 และ 2 ตามลำดับ วิธีการของ CVSD ก็คือมีการตรวจระบบตัดสัญญาณโดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์ (Register) สำหรับเก็บข้อมูลดิจิตอลล่าสุดจำนวน 3 ถึง 4 บิต แล้วตรวจดูว่าเป็น "0" หมด หรือ "1" หมด หรือไม่ถ้าใช้แสดงว่าขณะนี้อัตราขยายของอินทิเกรเตอร์ต่ำเกินไป ตอบสนองต่อความชันของสัญญาณไม่ทันก็จะทำการเพิ่มอัตราขยายให้สูงขึ้นเฉพาะในช่วงนั้น ในส่วนของการแปลงกลับก็จะมีการทำงานในลักษณะเดียวกัน คือ มีรีจิสเตอร์ตรวจดูข้อมูลว่าเป็น "0" หมด หรือ "1" หมดหรือไม่ แล้วจัดการควบคุมอัตราขยายของอินทิเกรเตอร์ให้สอดคล้องกัน

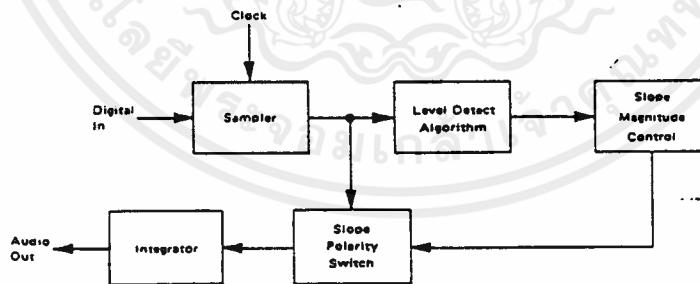
จากที่ได้กล่าวมาข้างต้น บิตเรต (Bit rate) หรืออัตราเร็วของข้อมูลสำหรับวิธีการ เดลต้ามอดูเลชัน มีความเท่ากับสัญญาณนาฬิกา เสียงพูดในระบบโทรศัพท์มีแถบความถี่กว้าง 4 kHz ต้องใช้ความถี่นาฬิกา 16 kHz ได้ข้อมูลที่บิตเรต 16 kBITต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงการนี้จะใช้ IC เบอร์ MC 3517 ของโมโตโรล่า ซึ่งเป็น CVSD Modulator/Demodulator ตัวเดียว ทำหน้าที่ทั้งแปลงสัญญาณอนาล็อกเป็นดิจิทัล และแปลงกลับจากดิจิทัล เป็นอนาล็อกแบบมาใช้กับระบบสื่อสารสมัยใหม่ที่เป็นระบบดิจิทัล



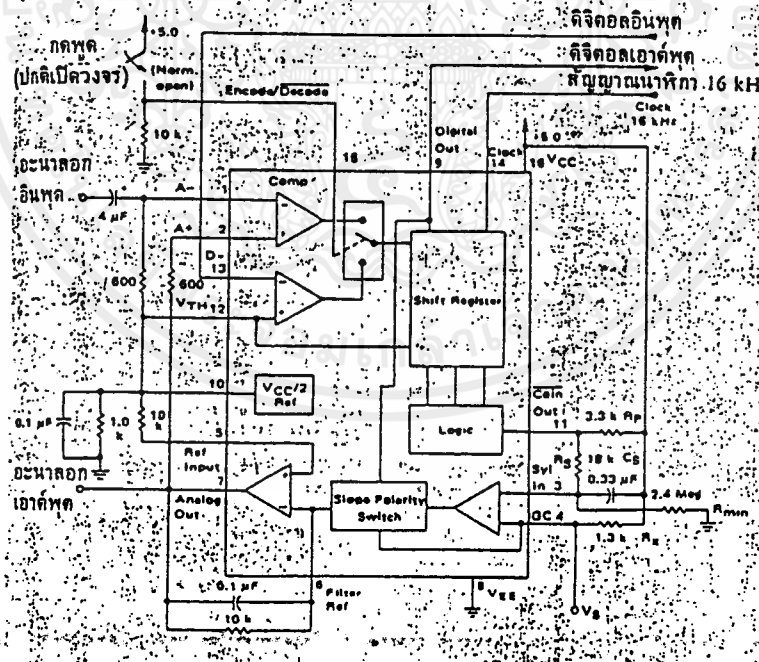
บล็อกที่ 1 แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงจากสัญญาณเสียงเป็นข้อมูลดิจิทัล



บล็อกที่ 2 แผนผังการทำงานของระบบ CVSD ในส่วนแปลงกลับจากดิจิทัลเป็นสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC 3517 มีชื่อเรียกเต็ม ๆ ว่า Continuous Variable Slope Delta Modulator/Demodulator เป็น IC ที่ทำหน้าที่แปลงสัญญาณอนาล็อก เป็นข้อมูลดิจิทัลขนาดกว้าง 1 บิต และแปลงจากข้อมูลดิจิทัล 1 บิตนี้กลับเป็นสัญญาณอนาล็อกตามเดิม ข้อมูลดิจิทัลขนาด 1 บิตสามารถส่งไปได้แบบอนุกรม โดยผ่านช่องทางของระบบสื่อสารทั่วไปได้ เช่น ระบบวิทยุและโทรศัพท์ โดยมีข้อมูลคือ ประสิทธิภาพและความชัดเจนของสัญญาณดีกว่า ทั้งยังป้องกันข่าวสารได้ด้วยการทำงานของ MC 3517 ก็ใช้หลักการของของ CVSD ที่ได้อธิบายมาแล้วข้างต้น โครงสร้างภายในมีชิพรีจิสเตอร์อยู่ 1 ชุด สำหรับตรวจระดับสัญญาณและควบคุมอัตราการขยายเพื่อเพิ่มไดนามิคเรนจ์ โดย MC 3517 ใช้รีจิสเตอร์ขนาด 3 บิต และหน้าที่การทำงานของขาสัญญาณต่าง ๆ แสดงไว้ในรายละเอียดและหน้าที่การใช้งานของ MC 3517 สำหรับวงจรใช้งานเบื้องต้นแสดงในรูปที่ 9



รายละเอียดและหน้าที่ขาใช้งานของ

MC 3517

ขา 1 Analog Input

เป็นขาอินพุทของ Comparator สำหรับสัญญาณอนาล็อกเชื่อมต่อได้ทั้งแบบ AC และ DC ถ้าต้องการเลื่อนระบบ DC ของสัญญาณให้เท่ากับแรงดันอ้างอิงภายใน ต้องมีตัวต้านทานไปอัลต่อระหว่างขา 1 กับขา 10

ขา 2 Analog Feedback

เป็นขาอินพุทไม่กลับเฟสของ Comparator ตัวเดียวกัน สำหรับป้อนกลับสัญญาณอนาล็อกที่สร้างขึ้น เพื่อเปรียบเทียบกับสัญญาณอนาล็อกที่เข้ามาใหม่ ซึ่งจะใช้เฉพาะในตอนแปลงจากอนาล็อกเป็นดิจิตอล โดยต่อขา 2 นี้เข้ากับขา 7 แต่ในการแปลงกลับจากดิจิตอลเป็นอนาล็อกขา 2 นี้ไม่ใช้

ขา 3 Syllable Feedback

เป็นขาสำหรับต่อแรงดัน ที่ได้จากการตรวจระบบสัญญาณแล้วผ่านวงจรกรองป้อนกลับเข้า IC เพื่อควบคุมอัตราขยายของอินทิเกรเตอร์ ให้ตอบสนองสัญญาณได้ทัน โดยจะมีวงจร RC ต่อระหว่างขา 11 และขา 3 ซึ่งมีค่า Time Constant 6 ms ถึง 50 ms ขา 4 Control Input

ใช้กำหนดอัตราการขยายคงที่ของอินทิเกรเตอร์ โดยใช้งานร่วมกับขา 3 ซึ่งเป็นขาปรับอัตราขยาย ตามระดับสัญญาณค่าความต้านทานที่ใช้กำหนดอัตราขยายนี้แปรไปตาม อัตราขยาย Loop ของระบบ แต่จะมีค่าได้ไม่เกิน 5 K เพื่อรักษาเสถียรภาพของวงจร

ขา 5 Reference Input

ขาอินพุทไม่กลับเฟสของอินทิเกรเตอร์ใช้เลื่อนระดับ DC ของเอาต์พุทในโหมดการแปลงจากอนาล็อกเป็นดิจิตอลจะจัดให้เท่าขา 1 โดยต่อเข้ากับขา 10

ขา 6 Filter Input

ขาอินพุทกลับเฟสของอินทิเกรเตอร์สำหรับต่ออุปกรณ์ภายนอกคือ ตัวเก็บประจุอินทิเกรเตอร์ และตัวต้านทานค่าระหว่าง 8 K - 13 K ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการคำนวณว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 14 Clock Input

สำหรับกำหนดบิตเรตของข้อมูล ซึ่งก็คืออัตราเร็วของการแปลงสัญญาณ บิตเรต 32 K ก็เท่ากับความถี่ของสัญญาณนาฬิกา 32 kHz ระดับ Thershold ของขาที่กำหนดโดยขา 12 ความกว้างพัลส์ซึกบวคต่ำสุด 300 ns ซึ่กลบต่ำสุด 900 ns

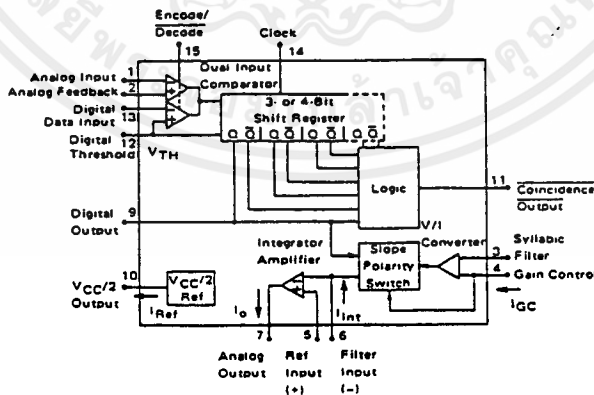
ขา 15 Encode/Decode

ขานี้เป็นตัวควบคุมว่าจะเลือก Comparator ที่จะต่อไปยัง Shift Register ถ้าเป็น "1" เลือก Comparator ด้านอนาล็อกที่รับอินพุตเข้ามา ถ้าเป็น "0" ก็เลือก Comparator ด้านดิจิตอลสำหรับการแปลงกลับเป็นการกำหนดโหมดการทำงาน นอกจากนี้ยังสามารถรับสัญญาณอินพุตที่เป็นดิจิตอลได้โดยการป้อนทางขา 13

ขา 16 VCC

ขาแรงดันไฟเลี้ยงมีค่าระหว่าง 4.57-16.5V เทียบกับ VEE

CVSD BLOCK DIAGRAM



รูปที่ 10 แสดงโครงสร้างภายในของ CVSD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีและการออกแบบวงจรทางด้านส่ง

การรวมสัญญาณ (Multiplexing)

ในการส่งสัญญาณข่าวสารหลาย ๆ สัญญาณออกไปพร้อม ๆ กันนี้ ในกรณีที่เครื่องรับและเครื่องส่งมีระยะทางอยู่ไกลกันมาก ถ้าใช้การส่งแยกกันไปสัญญาณละหนึ่งช่องทางการส่งจะเป็นการสิ้นเปลืองมาก ดังนั้นจึงเกิดวิธีการส่งสัญญาณแบบหนึ่งที่เรียกว่า "การรวมสัญญาณ" (Multiplex) ซึ่งเป็นการส่งสัญญาณโดยการนำสัญญาณข่าวสารหลาย ๆ สัญญาณมารวมกันก่อนโดยวิธีหนึ่ง แล้วจึงส่งออกไปในช่องทางเดียวกัน และทางด้านเครื่องรับจะมีส่วนที่สามารถแยกสัญญาณที่รวมกันเข้ามานี้ออกจากกันได้ เพื่อให้ได้สัญญาณข่าวสารออกมาตามต้องการโดยวิธีในการรวมสัญญาณอยู่สองวิธีคือ

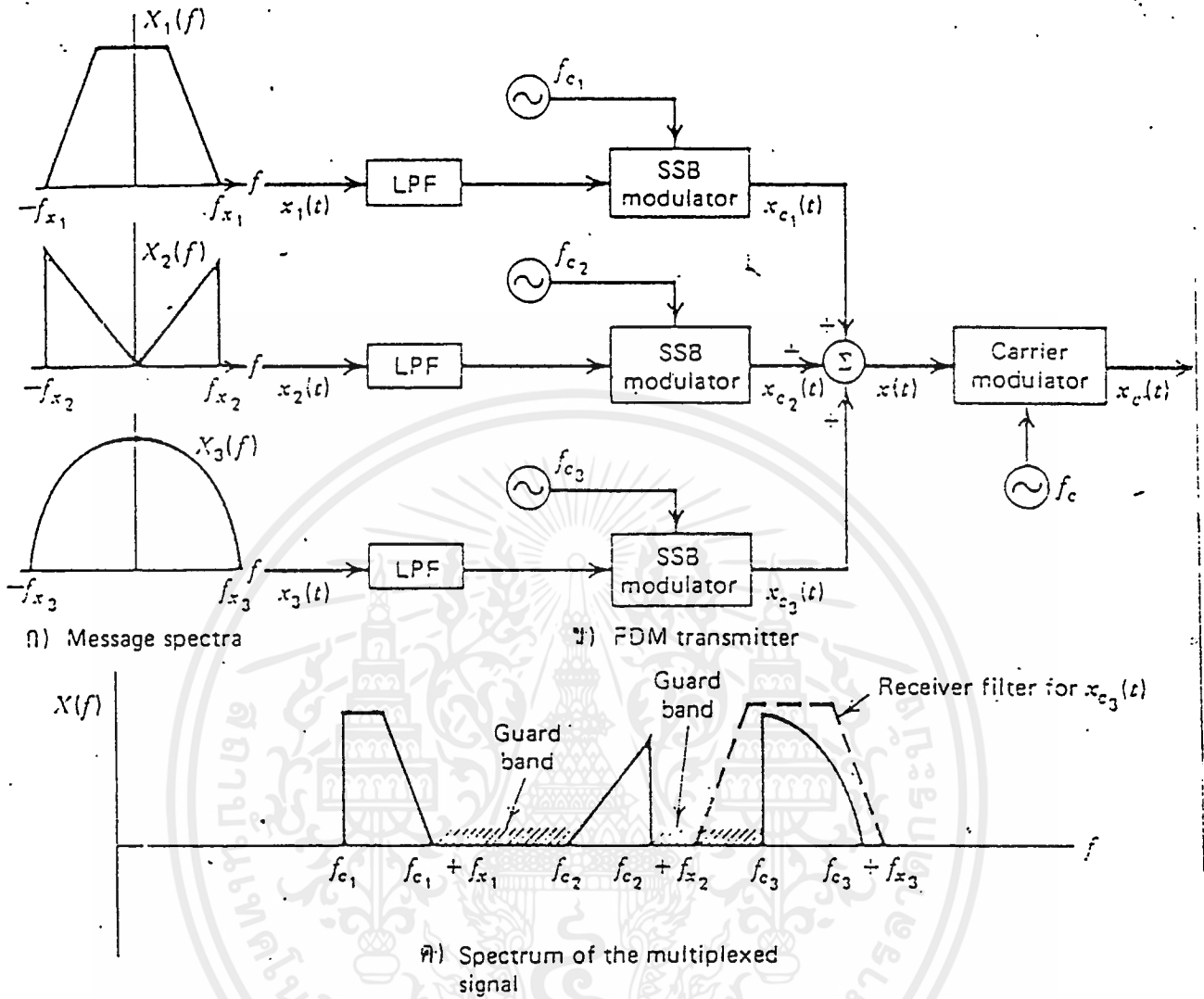
1.1 การรวมสัญญาณโดยการแบ่งความถี่ (Frequency Division Multiplex FDM)

การรวมสัญญาณด้วยวิธีนี้จะจัดสเปกตรัม (Spectrum) ของความถี่ของ Modulating Signal ในช่องต่าง ๆ ให้มีช่องความถี่แตกต่างกันโดยไม่ให้เกิดการเหลื่อม (Overlap) กันทางความถี่ขึ้น โดยการเลื่อนย่านความถี่ของสัญญาณข่าวสารแต่ละสัญญาณให้อยู่ในช่วงความถี่ต่าง ๆ กัน ดังแสดงไว้ในรูปที่ 1.1 ซึ่งเป็นการยกตัวอย่างการส่งและรับสัญญาณสามสัญญาณที่ถูกส่งมาโดยการรวมสัญญาณวิธีนี้

จากรูปที่ 1.1 จะเห็นว่าสัญญาณข่าวสารทั้ง 3 สัญญาณจะถูกมอดดูเลท (Modulate) ด้วยคลื่นพหุย่อยความถี่ f_{c1}, f_{c2} , และ f_{c3} ตามลำดับในการมอดดูเลทคลื่นพหุย่อยที่แสดงไว้ในรูปนี้ใช้แบบ SSB (Single Sideband)

Modulated Signal ทั้ง 3 สัญญาณจะถูกรวมกันเป็นสัญญาณมัลติเพล็กซ์รวม $x(t)$ ไว้ในรูป 1.1ค ถ้าเลือกใช้ความถี่ของคลื่นพหุย่อยได้อย่างเหมาะสมแล้ว สเปกตรัมของสัญญาณ $x(t)$ จะถูกแบ่งออกเป็นช่วง ๆ โดยไม่เกิดการเหลื่อมกันทางความถี่ สัญญาณมัลติเพล็กซ์ $x(t)$ นี้จะถูกส่งออกไปในช่องทางการส่งโดยตรงหรือจะมอดดูเลทเข้ากับคลื่นพหุอื่นที่ความถี่ f_c กลายเป็นสัญญาณ $x_c(t)$ ก่อนการส่งก็ได้

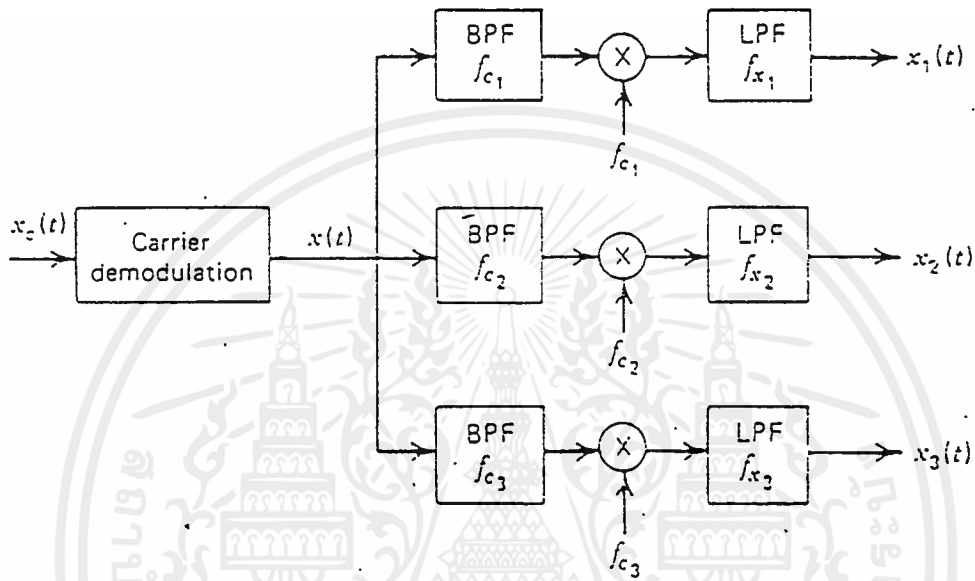
สัญญาณเข้ามาทางเครื่องรับจะถูกทำการแยกออกให้กับเป็นสัญญาณข่าวสาร



รูปที่ 1.1 การส่งสัญญาณแบบ FDM ก) สเปกตรัมของสัญญาณข่าวสาร
 ข) เครื่องส่ง FDM
 ค) สเปกตรัมของสัญญาณ

สามสัญญาณดั้งเดิม โดยการผ่านสัญญาณที่ได้รับนี้เข้าส่วน ดีมอดดูเลท (Demodulator) เพื่อที่จะนำเอาสัญญาณ $x(t)$ ออกจากสัญญาณ $X_c(t)$ แล้วจึงทำการแยกเอา $X_{c1}(t)$, $X_{c2}(t)$ และ $X_{c3}(t)$ ออกจาก $X_c(t)$ ด้วยวงจรกรองแถบความถี่ต่ำผ่าน (Band-Passfilter) หลังจากนั้นทั้งสามสัญญาณ $X_{c1}(t)$, $X_{c2}(t)$, $X_{c3}(t)$ จะถูกดีมอดดูเลทเพื่อให้สัญญาณ 3 สัญญาณสุดท้ายเป็นเหมือนสัญญาณข่าวสาร 3 สัญญาณที่ส่งมาดังแสดงไว้ในรูปที่ 1.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



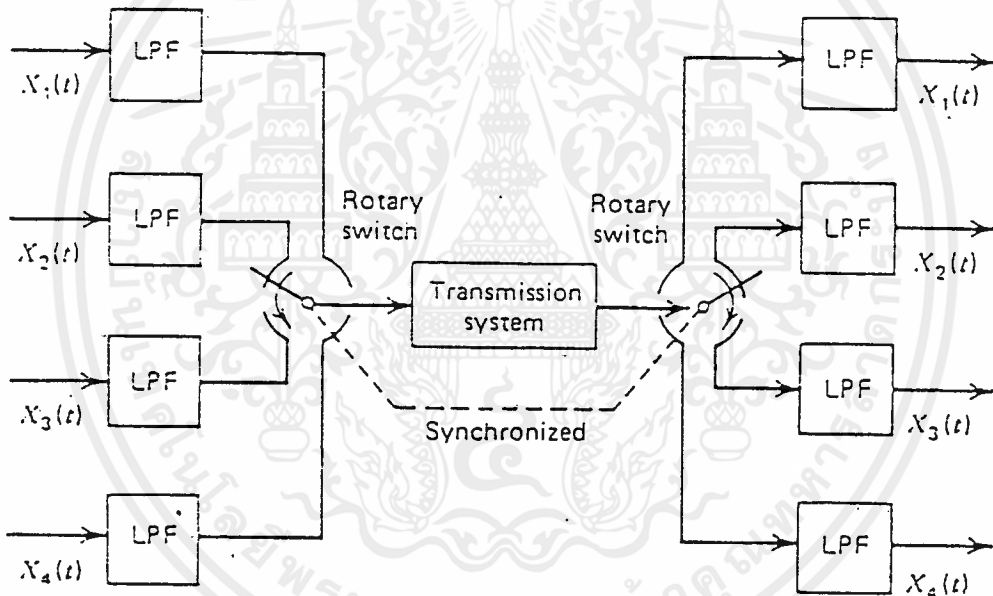
รูปที่ 1.2 เครื่องรับ FDM

ปัญหาอย่างหนึ่งของการรวมสัญญาณแบบ FDM นี้คือ การเกิดครอสทอล์ค (Cross Talk) ซึ่งเป็นการคัปปลิงของสัญญาณข่าวสารอื่น ๆ กับ อีกข่าวสารหนึ่ง สาเหตุใหญ่เกิดจากความไม่เป็นเชิงเส้นของส่วนต่าง ๆ ในระบบและอีกสาเหตุที่รองลงมา ก็คือการแยกสเปกตรัมเป็นไปอย่างไม่สมบูรณ์เนื่องจากการกรองความถี่ที่ไม่สมบูรณ์และการ เกิดการดริฟท์ของความถี่ของคลื่นพาร์ช้อยย ในการลดการเกิดการเหลื่อมกันทางความถี่ของ สเปกตรัมที่อาจเกิดขึ้นได้ทำได้โดยการเว้นช่วงความถี่ไว้ช่วงหนึ่งระหว่างสเปกตรัมของ แต่ละสัญญาณที่มอดูเลตแล้ว เรียกช่วงสัญญาณที่เว้นไว้นี้ว่า Guard Band ดังแสดงไว้

ในรูปที่ 1.1

1.2 การรวมสัญญาณโดยการแบ่งเวลา (Time Division Multiplexer : TDM)

การรวมสัญญาณโดยการแบ่งเวลาหรือ TDM นี้เป็นวิธีการส่งสัญญาณทางอนุกรมหลาย ๆ สัญญาณในช่องทางสื่อสารเดียวกัน โดยการแบ่งเฟรมของเวลา (Time Frame) ออกเป็นหลาย ๆ สล็อต (Slot) หนึ่งสล็อตสำหรับแต่ละสัญญาณข่าวสาร ในขณะที่การรวมสัญญาณโดยการแบ่งความถี่หรือ FDM นั้นจะแบ่งแบนด์วิดท์ออกเป็นสล็อตสำหรับแต่ละสัญญาณข่าวสารลักษณะของ TDM ได้แสดงไว้ในรูปที่ 1.3



รูปที่ 1.3 แสดงบล็อกไดอะแกรมการส่งแบบ TDM 4 ช่องสัญญาณ

สัญญาณอินพุตทั้งสี่สัญญาณ จะถูกส่งตัวอย่างอย่างเป็นลำดับ ด้วย โรตารี สวิตช์ (Rotary Switch) หรือ คอมมิวเตเตอร์ (Commutator) เอาท์พุทที่ได้ของสัญญาณจะเป็นตัวอย่างของสัญญาณอินพุตซึ่งจะอยู่ในรูปของลักษณะการมอดูเลชันทางความสูงของพัลส์หรือ RAM (Pulse Amplitude Modulation) ตัวอย่างของสัญญาณข่าวสาร ช่องสัญญาณที่ติดกันจะถูกกันด้วยเวลา T_n/M โดยที่ M คือจำนวนช่องสัญญาณอินพุต ลุ่มของพัลส์จำนวน M พัลส์ที่ประกอบด้วย 1 ตัวอย่างของสัญญาณแต่ละช่อง เรียกว่า หนึ่ง เฟรม

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณตัวอย่างที่ส่งร่วมกันเข้ามายังเครื่องรับจะถูกแยกจากกันโดยโรตารีสวิทช์อีกตัวหนึ่งเรียกว่า Distributor หรือ Demodulator สัญญาณตัวอย่างที่ถูกแยกออกมาแล้วนี้จะถูกกรองสัญญาณด้วยวงจรกรองความถี่ต่ำผ่าน เพื่อให้มีลักษณะของสัญญาณต่อเนื่องเหมือนสัญญาณข่าวสารเดิม โดยวงจรกรองสัญญาณ โดยปกติแล้วโรตารีสวิทช์ทั้งในเครื่องส่งและในเครื่องรับจะใช้อิเล็กทรอนิกส์สวิทช์ ซึ่งถูกจัดให้ทำงานสัมพันธ์กันโดยการซิงโครไนซ์

เมื่อเปรียบเทียบระหว่างการรวมสัญญาณโดยการแบ่งเวลาหรือ TDM กับการรวมสัญญาณโดยการแบ่งความถี่หรือ FDM จะพบว่าในการใช้งาน TDM จะมีข้อดีกว่า FDM อย่างน้อยสองประการคือ

1. วงจรที่ใช้ในการสื่อสารแบบ TDM จะมีลักษณะง่ายกว่าของ FDM มาก เพราะว่วงจรส่วนต่าง ๆ ของ FDM ได้แก่ วงจรมอดดูเลเตอร์, วงจรกำเนิดคลื่นพาร์, วงจรกรองแถบความถี่ผ่าน และ วงจรดีมอดดูเลเตอร์ ในแต่ละช่วงสัญญาณจะเป็นวงจรแบบแอนนาลอกแต่วงจรที่ใช้ใน TDM ซึ่งประกอบด้วยคอมพิวเตอรฺ์และดิสทริบิวเตอรฺ์เป็นวงจรทางดิจิทัล จะให้ความน่าเชื่อถือและประสิทธิภาพการทำงานที่สูงกว่า

2. ใน FDM จะเกิดครอสทอล์กที่เกิดขึ้นจากความไม่เป็นเชิงเส้นในวงจร ความไม่เป็นเชิงเส้นนี้จะทำให้เกิดมอดดูเลทภายในและความเพี้ยนฮาร์โมนิกส์ ซึ่งจะส่งผลกระทบต่อช่องสัญญาณความถี่สูงและความถี่ต่ำของระบบดังนั้นในการออกแบบวงจรจะต้องออกแบบให้มีความเป็นเชิงเส้นของเฟสและแอมพลิจูดสูงมากโดยเฉพาะในกรณีที่มีจำนวนช่องสัญญาณมาก ๆ ในทางตรงข้ามจะไม่เกิดครอสทอล์กใน TDM อันเนื่องมาจากความไม่เป็นเชิงเส้นของวงจรมานั้น เพราะสัญญาณตัวอย่างจะถูกสุ่มที่เวลาต่างกัน ดังนั้นเราสามารถลดความล่าช้าในการออกแบบวงจรไปได้แต่ TDM ก็มีปัญหาในเรื่องของการซิงโครไนซ์เมื่อต้องการความถี่ในการสุ่มสูง ๆ

วงจรสุ่มสัญญาณ (Sampling Circuit)

การทำงานของวงจรสุ่มสัญญาณคล้ายกับการปิด-เปิดสวิทช์ไฟฟ้า โดยมีสัญญาณควบคุมทำหน้าที่เป็นผู้ปิด-เปิดสวิทช์ ขณะที่สวิทช์ได้รับสัญญาณควบคุม สวิทช์จะปิด (ON) ยอมให้สัญญาณผ่านไปได้เฉพาะในช่วงเวลานั้น ถ้าไม่มีสัญญาณควบคุมมาบังคับสวิทช์จะเปิด (OFF) และสัญญาณข่าวสารจะผ่านไปไม่ได้ ตัวอย่างเช่น แอนนาลอกสวิทช์ (Analog Switch) เมื่อมีแรงดันลบค่าหนึ่งที่ขั้วแรงดันควบคุมสวิทช์จะเปิด สัญญาณข่าวสารที่ป้อนให้แก่ขั้วแรงดันทางเข้า (input) จะผ่านไปยังขั้วทางออก (output) ไม่ได้ แต่เมื่อขั้วแรงดันควบคุมได้รับแรงดันบวกที่มีค่ามากกว่าค่าแรงดันลบที่เป็นแรงดัน

ไบอัส (bias) เดิมสวิตช์จะปิดสัญญาณข่าวสารที่ป้อนให้กับตัวแรงดันทางเข้าจะผ่านไปยังตัวทางออกได้ เฉพาะในช่วงเวลาที่ได้รับสัญญาณควบคุมเป็นบวกนั้น

การซิงโครไนซ์ (Synchronization)

ในระบบการรวมสัญญาณโดยการแบ่งเวลานั้น เครื่องส่งและเครื่องรับจำเป็นต้องทำงานเวลาที่สอดคล้องกัน ถ้าวงจรใดทำงานคลาดเคลื่อนเพียงเล็กน้อยจะทำให้สัญญาณข่าวสารที่ได้รับได้ผิดพลาดจึงจำเป็นต้องส่งสัญญาณพิเศษซึ่งเรียกว่า สัญญาณซิงโครไนซ์ร่วมกับสัญญาณข่าวสารด้วย โดยอาศัยสัญญาณซิงโครไนซ์นี้ เครื่องรับสามารถที่จะรู้จะเริ่มต้นของรอบการทำงานและสามารถตรวจสอบได้ว่าการทำงานของเครื่องรับสัมพันธ์ถูกต้องกับเครื่องส่งหรือไม่

วิธีการซิงโครไนซ์ขึ้นในการส่งสัญญาณข่าวสารแบ่งออกเป็น 2 วิธี

คือ

1. การส่งสัญญาณข่าวสารด้วยวิธีอะซิงโครนัส (Asynchronous Transmission)

การส่งสัญญาณข่าวสารโดยวิธีนี้ คือ การส่งข่าวสารเป็นชุด ๆ โดยแต่ละชุดมีสัญญาณซิงโครไนซ์ในตัวเอง วิธีนี้ส่วนมากใช้ในการส่งโทรเลขหรือโทรพิมพ์ ซึ่งสัญญาณข่าวสารจะถูกส่งต่อเนื่องกันเป็นชุด ๆ โดยแต่ละชุดมีสัญญาณพิเศษกำหนดจุดเริ่มต้นและจุดหยุดของชุดนั้น ๆ เมื่อเครื่องรับได้รับสัญญาณบอกจุดเริ่มต้น เครื่องรับจะเริ่มรับสัญญาณข่าวสารที่ส่งมาและจะหยุดรับเมื่อได้รับสัญญาณหยุดและเตรียมรับสัญญาณข่าวสารชุดต่อไป จึงหวนเวลาว่างของสัญญาณแต่ละชุดไม่เท่ากัน ส่วนมากจำกัดเวลาต่ำสุดเอาไว้ เพื่อให้เครื่องรับเตรียมตัวได้ทันในการรับสัญญาณชุดใหม่ เท่านั้นสัญญาณข่าวสารแต่ละชุดประกอบด้วยสัญญาณ 5, 7, 8 บิต แล้วแต่ความมากน้อยของจำนวนข่าวสาร ช่วงเวลาระหว่างบิต เป็นตัวกำหนดความเร็วในการรับส่งข่าวสาร การส่งข่าวสารโดยวิธีนี้ไม่ต้องส่งสัญญาณคล็อกพัลส์ (Clock Pulse) ร่วมไปด้วยเครื่องรับสามารถรับรู้สัญญาณแต่ละชุดได้โดยการนับตำแหน่งศูนย์กลางของบิต เครื่องรับสัญญาณอซิงโครนัสนี้มีราคาถูกค่าใช้จ่ายในการติดตั้งและบำรุงรักษาน้อย แต่มีข้อเสียคือการทำงานค่อนข้างช้าอัตราเร็วสูงสุดทำได้เพียง 1,200 บิตต่อวินาทีเท่านั้น

2. การส่งสัญญาณแบบซิงโครนัส (Synchronous Transmission)

การส่งสัญญาณแบบซิงโครนัส หมายถึง การส่งสัญญาณไปตามสายส่งด้วยอัตราความเร็วของการส่งคงที่ โดยมีสัญญาณคล็อกพัลส์ที่กำเนิดขึ้นจากเครื่องส่งกำกับไปกับสัญญาณข่าวสารไปยังเครื่องรับด้วย เพื่อใช้เป็นตัวกำหนดเวลาให้เครื่องส่งและเครื่องรับทำงานตรงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับนักเรียนเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณแบบชิงโครนีสนี้สามารถส่งได้รวดเร็วกว่า แบบ
อชิงโครนีสจึงทำให้อัตราการส่งของข่าวสารต่อเวลาสูงขึ้น และเนื่องจากมีสัญญาณนาฬิกา
เป็นตัวกำหนดเวลาทั้งทางเครื่องส่งและเครื่องรับ จึงทำให้ระบบนี้สามารถทำงานได้
เที่ยงตรงมีความคลาดเคลื่อนในการรับข่าวสารน้อยมากสัญญาณที่ส่งไปในการส่งแบบชิงโคร
นีสนี้เป็นชุด ๆ แน่นนอน เช่นเดียวกับแบบอชิงโครนีส ต่างกันแต่ว่าการส่งแต่ละชุดเป็นไป
อย่างต่อเนื่องสม่ำเสมอในแต่ละชุดของสัญญาณมีข่าวสารหลาย ๆ ข่าวสารส่งรวมกันไป
โดยจะมี 1 บิท เอาไว้ส่งสัญญาณชิงโครไนซ์เพื่อให้เครื่องรับสามารถแยกสัญญาณออกได้
ถูกต้องตามช่องสัญญาณที่ส่งมา

หลักในการออกแบบ

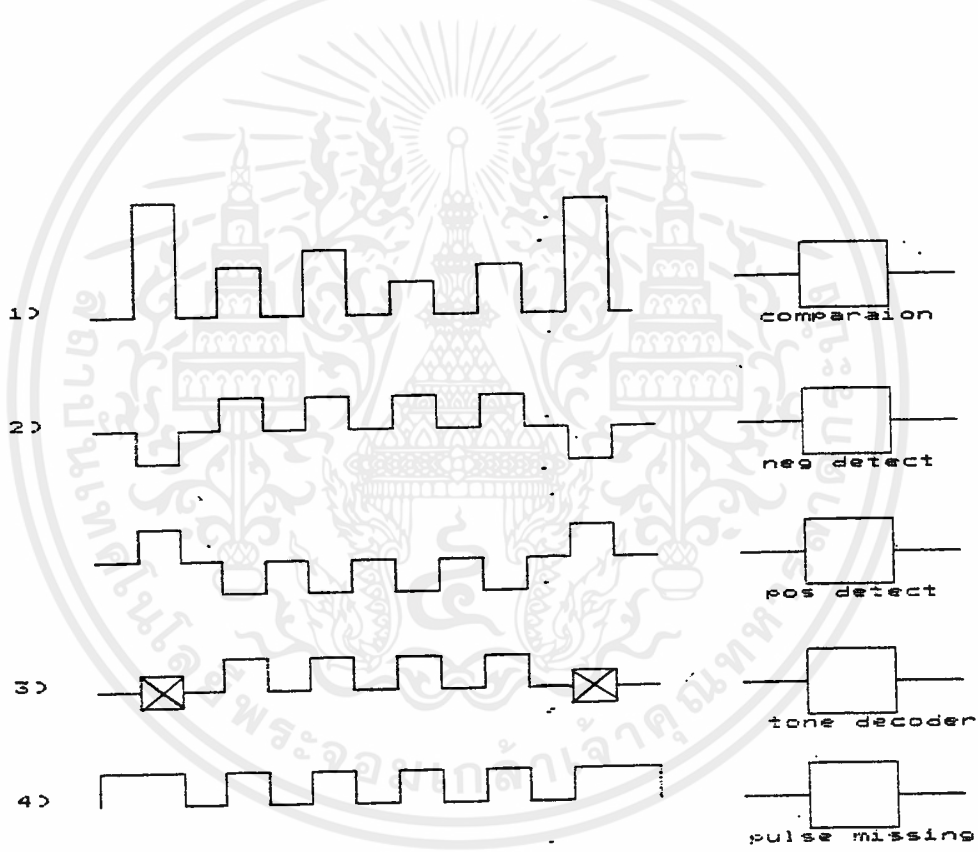
ในวิทยานิพนธ์ฉบับนี้ เป็นการออกแบบเครื่องส่งและเครื่องรับระบบรวม
สัญญาณโดยการแบ่งเวลา โดยได้ทำการทดลองออกแบบเครื่องส่งและเครื่องรับ 4 ช่อง
สัญญาณ ใน 1 ช่องสัญญาณเป็นข้อมูลที่ได้จากการแปลงสัญญาณดิจิตอลโดยใช้เคลตามอททุ
เลชั่น ส่วน 3 ช่องที่เหลือเป็นข้อมูลที่เป็นดิจิตอล ในการทดลองนี้ใช้เครื่อง data
source U 2970A ป้อนข้อมูลออกมา สัญญาณที่รวมได้จะถูกส่งออกไปโดยสายส่งเดียวกัน
โดยการจับเวลาสำหรับส่งสัญญาณแต่ละช่องสัญญาณให้ต่างกัน แต่มีระยะเวลาสำหรับตัว
อย่างข่าวสารเท่ากัน เมื่อส่งสัญญาณครบ 4 ช่องสัญญาณแล้ว ก็จะส่งสัญญาณชิงโครไนซ์
รวมออกไปด้วย สัญญาณชิงโครไนซ์นี้จะมีขนาดความกว้างของพัลส์มากกว่าขนาดความ
กว้างของสัญญาณดิจิตอล ในแต่ละช่องสัญญาณ 2 เท่า

เมื่อสัญญาณรวมมาถึงเครื่องรับ ที่เครื่องรับจะมีวงจรแยกสัญญาณชิงโคร
ไนซ์ออกจากสัญญาณรวม สัญญาณชิงโครไนซ์นี้ใช้เป็นสัญญาณกำหนดเวลาให้หน่วยสร้างสัญญาณ
ควบคุม จัดเวลาในการเปิดปิดวงจรสวิตซ์ เพื่อให้สัญญาณผ่านออกตามช่องสัญญาณที่กำหนดไว้

การออกแบบสัญญาณชิงโครไนซ์

โดยทั่วไปแล้วในระบบการส่งสัญญาณแบบ time division multiplex
ถือว่าส่วนของสัญญาณ sync เป็นส่วนประกอบที่อาจถือได้ว่าสำคัญที่สุดเพราะการที่
ภาคส่งและภาครับให้ได้ภาคส่งและภาครับก็ทำงานเกือบสมบูรณ์เต็ม 100 % ที่เดียว ในระ
ยะการรับส่งข้อมูลที่มีการส่งสัญญาณชิงโครไนซ์เพื่อการรับส่งข้อมูลได้อย่างถูกต้องและเที่ยงตรง

บบ sync. ที่วไปแล้วมีหลายลักษณะแล้วแต่ข้อจำกัดของแต่ละระบบเช่นสัญญาณ sync อาจจะมี amplitude ที่แตกต่างจากสัญญาณข่าวสารยกตัวอย่างเช่นมี amplitude สูงที่สุด เมื่อเทียบ amplitude ของสัญญาณข่าวสารหรือสัญญาณ sync อาจมีคีย์เป็นลบโดยให้ สัญญาณข่าวสารมีคีย์เป็นบวกเมื่อเทียบกับระดับ reference หรืออาจส่งสัญญาณความถี่ คงที่ความหนึ่งเป็นช่วง ๆ โดยทางภาครับจะสามารถ detect สัญญาณโดยอาจใช้ Tone decoder หรือ phase lock loop อีกลักษณะหนึ่งก็โดยการทำให้สัญญาณ sync. มีช่วง ของสัญญาณมากกว่า ช่องกว้างของ pulse ของสัญญาณข่าวสาร ดังในรูป



รูปที่ 2 การส่งสัญญาณซิงค์ ในระบบต่าง ๆ

ลักษณะของการส่งสัญญาณsyncแบบต่างๆและการ detect. เนื่องจากข้อจำกัดข้อ ที่ 2 ของระบบส่งที่สัญญาณจะต้องเป็นลักษณะ TTL เท่านั้น การเลือกใช้การ sync ก็ อาจเลือกวิธีที่ 3 หรือวิธีที่ 4 ก็ได้ แต่การจะเลือกวิธีที่ 3 นั้นมีข้อเสียคือความถี่ที่ ส่งจะต้องสูงกว่าความถี่ sampling เพื่อให้ได้จำนวน pulse สูงเพื่อความแม่นยำ

ในการ detect แต่ในระยะมีข้อจำกัดทางด้านความถี่อยู่ด้วยจึงไม่ได้เลือกใช้วิธีนี้ซึ่งผู้อ่านอาจเข้าใจได้ง่ายเมื่อได้ศึกษาถึงวิธีการต่อ ๆ ไป ดังนั้นจึงเลือกใช้วิธีที่ 4 ซึ่งเห็นว่าเหมาะสมที่สุดกับข้อจำกัดทั้งภาคส่งและภาครับ

เพื่อให้ความเข้าใจในการสร้างสัญญาณ sync ของระบบนี้ได้ดีขึ้นซึ่งเกี่ยวข้องไปถึงอัตราการ sampling และการแยกช่องสัญญาณแต่ละช่องออกจากกัน จาก sampling theorem ได้กล่าวไว้ว่า อัตราการ sampling หรือความถี่ sampling ต้องมีค่าอย่างน้อยเป็น 2 เท่าของความถี่ของสัญญาณข่าวสาร

$$f_s > 2f_m$$

หรือ $\frac{1}{T_s} >> \frac{2}{T_m}$

หรือ $T_s < T_m/2$

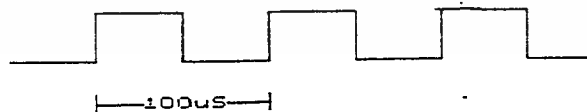
ดังนั้นถ้าให้ f_m = ความถี่สูงสุดของสัญญาณข่าวสาร
 f_s = ความถี่ของการ sampling

ตัวอย่าง

ความถี่สูงสุดของ $f_m = 5 \text{ KHz}$ แล้ว อย่างน้อยที่สุด

$$f_s = 2f_m = 10 \text{ KHz}$$

$$T_s = 0.1 \text{ mS} = 100 \text{ uS}$$



รูปที่แสดงสัญญาณ SAMPLING ในทางเวลาแต่ละความถี่สูงสุดที่ส่งมารถจะส่งได้เป็น 125 KHz

$$1 \text{ pulse ใช้เวลา} = \frac{1}{125 \times 10^3} \text{ S} = 8 \text{ uS}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นในช่วงเวลา 100 MS หรือการ sampling 1 ครั้ง สามารถส่ง pulse ได้

$$100/8 = 12.5 \text{ pulse.}$$

แต่การจะส่งสัญญาณในช่วงความถี่ที่จุด cut-off หรือใกล้จุด cutoff จกเกินไป สัญญาณที่ได้รับได้อาจไม่สมบูรณ์ก็ได้ จึงได้ลดความถี่ที่จะใช้เป็น carrier ลงเหลือเพียง 60 KHz ซึ่งจะได้จำนวน pulse ต่อ 1 ช่องการ sampling เป็น

$$100 \times 10 \times 60 \times 10^3 = 6 \text{ pulse}$$

และในที่นี้การแยกช่องสัญญาณแต่ละช่องจะใช้นับจำนวน pulse โดยถ้าทางภาครับ รับ pulse ได้ครบตามจำนวนที่กำหนดก็คือ ว่าช่องสัญญาณนั้น ๆ จบลงแล้ว ให้เปลี่ยนเป็น ช่องสัญญาณอื่นต่อไปตามลำดับ ดังนั้นแต่ละช่องสัญญาณจึงมีจำนวน pulse เท่ากัน จะเห็นว่า ถ้าเราใช้ความถี่ carrier เป็น 60 KHz และ $f_m = 5 \text{ KHz}$ แล้วเราจะมีจำนวน pulse ต่อการ sampling 1 ครั้ง เท่ากับ 6 pulse และถ้าเราให้แต่ละช่องใช้ pulse ช่องละ 1 pulse เราก็จะได้ช่องสัญญาณ 6 ช่อง แต่จะต้องประกอบด้วย sync pulse ด้วย จึงเหลือช่องสัญญาณเพียง 5 ช่อง และเป็น sync pulse 1 ช่อง จากที่กล่าวมาแล้วแต่ตอนต้นว่า เราเลือกวิธีการ sync แบบจับช่องกว้างของ pulse ดังนั้น sync pulse ก็ควรจะมีความกว้างมากกว่าสัญญาณข่าวสาร จึงให้ sync pulse ใช้ pulse อีก 1 pulse รวมเป็น 2 pulse และเพื่อให้ง่ายต่อการ multiplex จึงให้ทุกช่องสัญญาณมี pulse ช่องสัญญาณละ 2 pulse ดังนั้น pulse จำนวน 6 pulse จึงส่งสัญญาณได้ 2 ช่องกับอีกสัญญาณ sync อีก 1 ช่อง จากที่กล่าวมาแล้วทั้งหมดก็เพื่อในการนี้และเกี่ยวกับสัญญาณ sync ที่เกี่ยวข้องกับ sampling rate

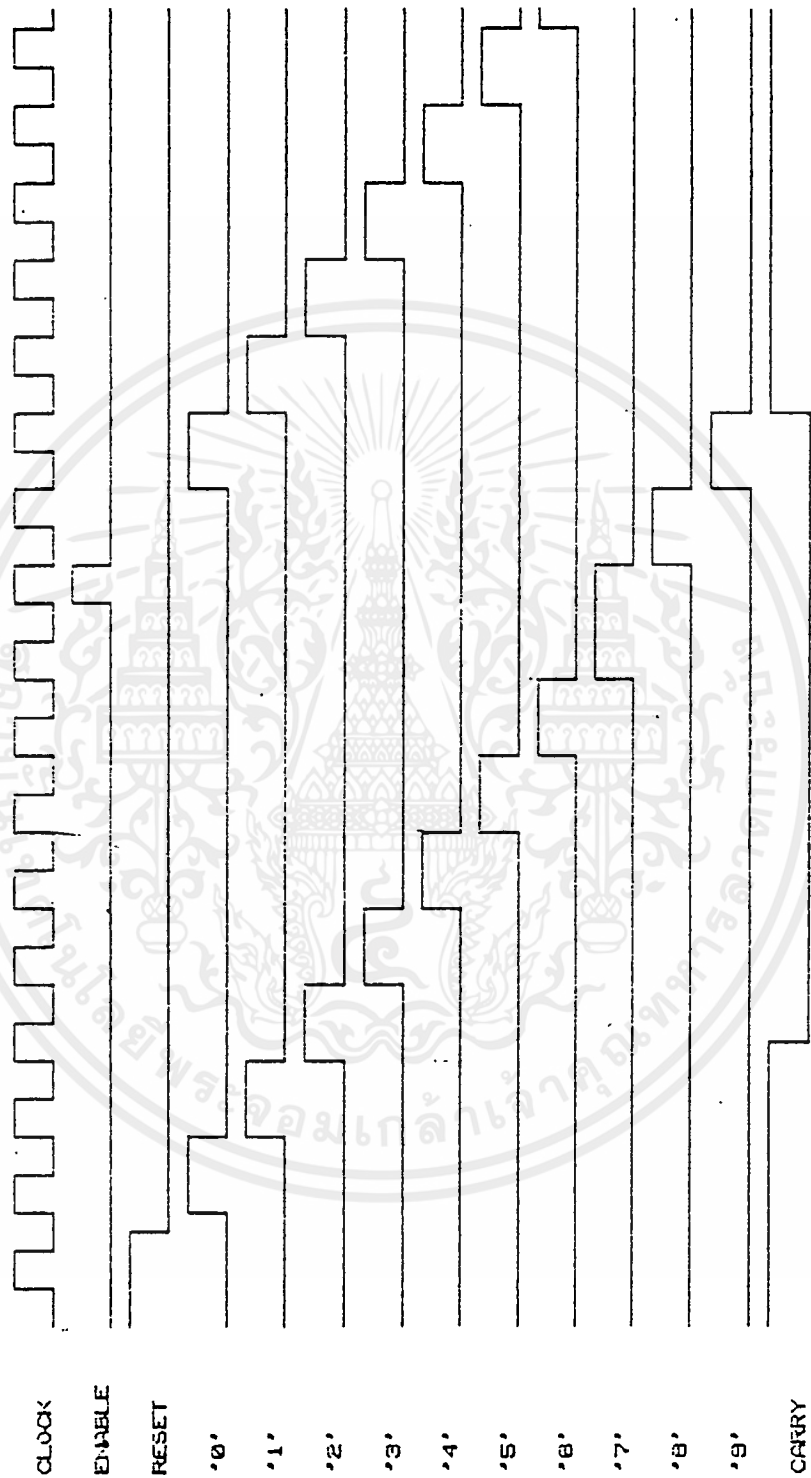
การออกแบบหน่วยสร้างสัญญาณควบคุม

4017 : วงจรรวมนี้เป็นวงจร 5 Stage Johnson Decade Counter and an Output Decoder วงจรนี้จะทำงานในขณะที่สัญญาณคล็อกพัลส์เปลี่ยนสถานะจากศูนย์ไปเป็นการทำงานหนึ่ง และให้สัญญาณออกที่ขา Decoded Output "0" ถึง "9"

โดยมีไคอะแกรมเวลาดังแสดงไว้ในรูปที่ 3

ถ้ามีแรงดันบวกที่ขา รีเซ็ต (Reset) และที่ขา คลอดเอ็นเอเบิล (Clock enable) มีแรงดันเป็นศูนย์เมื่อใด วงจรรวมจะรีเซ็ตตัวเองโดยที่ขา "0" จะเปลี่ยนจากสถานะเดิมเมื่อคลอคพัลส์เปลี่ยนจากแรงดันศูนย์ไปเป็นบวก และเริ่มต้นทำงานในรอบใหม่

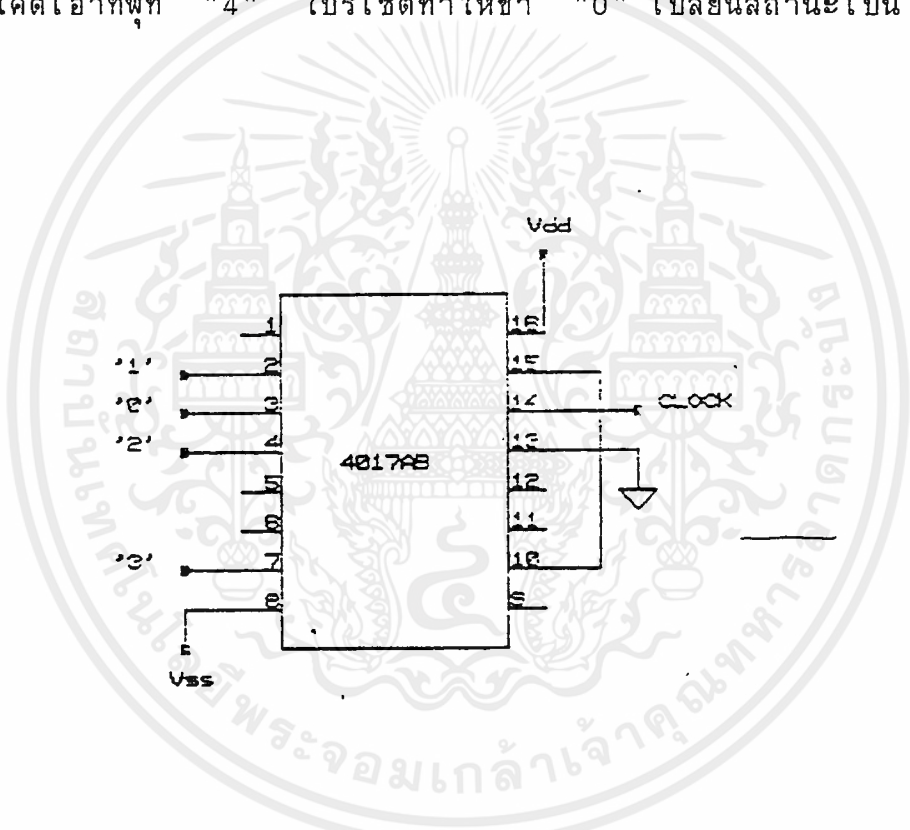
การทำงานในรอบหนึ่งเป็นดังนี้คือ เมื่อสัญญาณคลอคพัลส์ป้อนให้กับขาคลอค (14) ถ้าแรงดันที่ขา รีเซ็ต (15) และขาคลอคเอ็นเอเบิล (13) เป็นศูนย์ สัญญาณดิจิตอลเอาต์พุต "0" ซึ่งได้จากขา 3 ของวงจรรวมจะมีสถานะเป็น 1 (เป็นค่าแรงดันบวกค่าหนึ่งขึ้นอยู่กับค่าแรงที่ป้อนให้กับขา V_{DD} และ V_{SS}) เมื่อคลื่นลูกแรกในสัญญาณคลอคพัลส์ผ่านเข้ามา 1 ลูกคลื่นและจะเป็นศูนย์เมื่อมีลูกคลื่นที่ 3 เริ่มเข้ามาซึ่งในขณะเดียวกันนี้มีสัญญาณดิจิตอลเอาต์พุต "2" ที่ได้จากขาที่ 4 ของวงจรรวมจะมีสถานะเป็น 1 และจะมีสถานะเป็นศูนย์เมื่อลูกคลื่น 4 เริ่มเข้ามาสัญญาณดิจิตอลเอาต์พุต "0" ถึง "9" จะผลัดกันมีค่าเป็น 1 ตามจำนวนลูกคลื่นที่ผ่านเข้ามาที่ขา Clock จนครบ 10 ลูกคลื่นแล้ว ขาดิจิตอลเอาต์พุต "0" จะเริ่มเป็น 1 ใหม่เมื่อมีคลื่นลูกที่ 11 เริ่มเข้ามา วงจรนี้จะทำงานเป็นรอบเช่นนี้เรื่อยไป ถ้ามีแรงดันบวกเข้าที่ขาคลอคเอ็นเอเบิลและที่ขา รีเซ็ตเป็นศูนย์เมื่อใดจะทำให้แรงดันขาออกที่ขาดิจิตอลเอาต์พุต



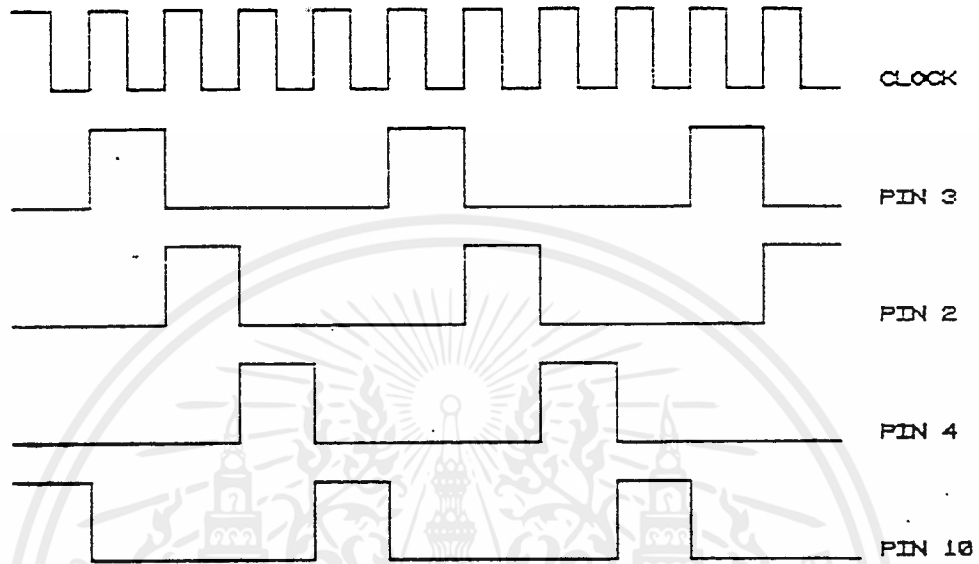
รูปที่ 3 แสดงไดอะแกรมเวลาของ 4017

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งมีสถานะเป็น 1 อยู่คงสถานะเป็นหนึ่งต่อไปจนกระทั่งแรงดันที่ขาคลอดเอ็นเอเบิลมีค่าเป็นศูนย์ ในขณะที่ถ้ามีคลื่นลูกใหม่เข้ามาที่ขาที่ Clock แรงดันที่ขาดีโคตเอ๊าท์พุทที่มีสถานะเป็น 1 จะเปลี่ยนเป็นศูนย์ ในขณะที่เดียวกันแรงดันที่ขาดีโคตเอ๊าท์พุทขาต่อไปจะ 4 ลูก แล้วให้เริ่มต้นรอบใหม่เมื่อลูกคลื่นที่ 5 เริ่มเข้ามาที่ขา Clock เราสามารถใช้ วงจรรวม 4017 นี้ทำงานได้โดยนำแรงดันที่ออกจากขาดีโคตเอ๊าท์พุท "4" ไปป้อนเข้ามาที่ขา RESET และต่อขา CLOCK ENABLE ลงกราวด์ เมื่อคลื่นลูกที่ 5 ผ่านเข้ามาที่ขา CLOCK แรงดันที่ขาดีโคตเอ๊าท์พุท "0" จะเปลี่ยนสถานะเป็น 1 ที่เป็นเช่นนั้นเพราะมีแรงดันจากขาดีโคตเอ๊าท์พุท "4" ไปรีเซ็ตทำให้ขา "0" เปลี่ยนสถานะเป็น 1 ตามต้องการ



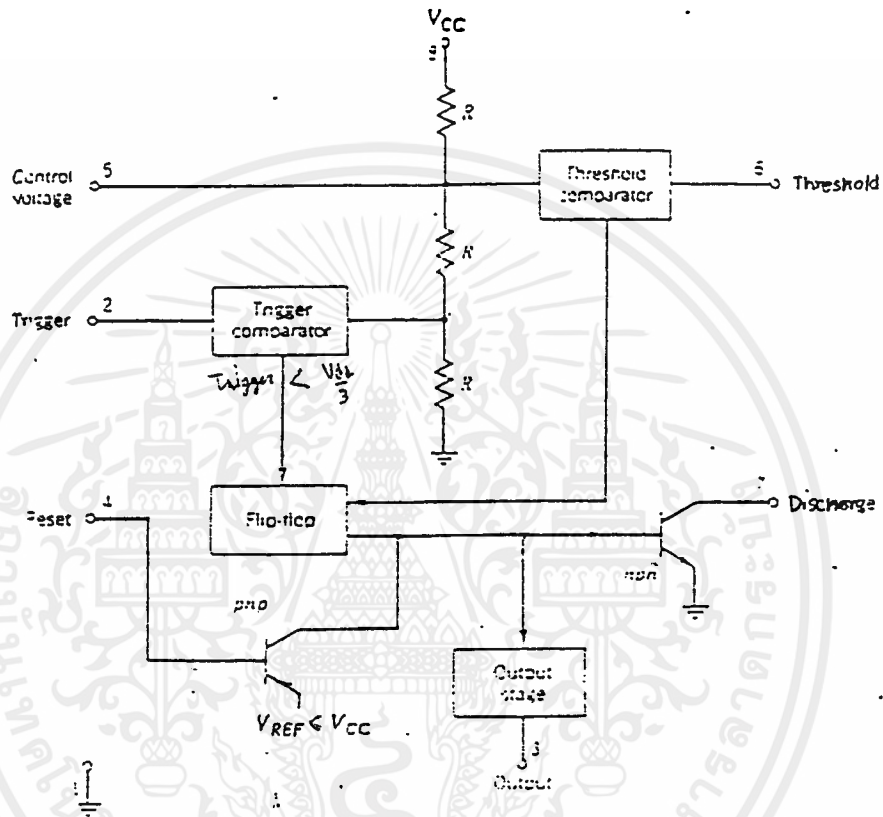
รูปที่ 4 แสดงการนำ 4017 มาใช้งาน



รูปที่ 5 แสดงสัญญาณเอาต์พุตที่จุดต่าง ๆ ของวงจรรูป 3

การออกแบบส่วนสร้างชบวนพัลส์

การออกแบบส่วนนี้ต้องพิจารณาถึงรูปร่างของสัญญาณที่จะสร้างขึ้น ต้องมีความเหมาะสมกับการทำงานของหน่วยสร้างสัญญาณควบคุม ซึ่งถ้าพิจารณาถึงส่วนสร้างสัญญาณควบคุมที่จะกล่าวถึงในตอนแรกแล้วนั้น จะเห็นว่าวงจรรวมที่ใช้ในหน่วยสร้างสัญญาณควบคุมต้องการสัญญาณพัลส์เป็นสัญญาณกระตุ้นในการทำงาน โดยมีความสูงของสัญญาณพัลส์อยู่ในช่วงแรงดัน +5V และจะต้องมีเสถียรภาพของความถี่ไม่เปลี่ยนแปลงง่าย ดังนั้นในวิทยานิพนธ์นี้จึงเลือกใช้วงจรรวมเบอร์ 555 เป็นตัวสร้างชบวนพัลส์



รูปที่ 6 แสดงบล็อกไดอะแกรมของวงจรรวมเบอร์ 555

การทำงานของวงจรรวมเบอร์ 555

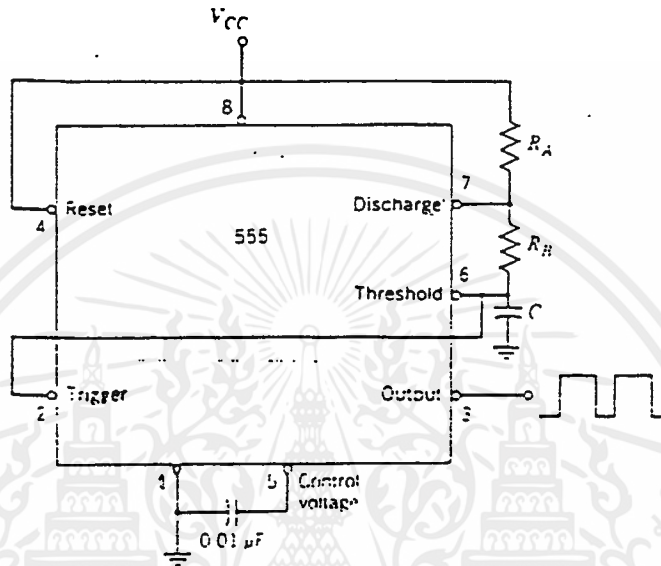
คอมพาราเตอร์ 2 (Comparator 2) จะเปรียบเทียบโวลเตจของ trigger input (ขา 2) กับโวลเตจ $V_{cc}/3$ เมื่อโวลเตจที่ขา trigger มีค่าต่ำกว่า $V_{cc}/3$ คอมพาราเตอร์ 2 จะให้สัญญาณไปรีเซ็ต (Reset) ให้ฟลิปฟลอป (Flip-flop) อยู่ในสถานะต่ำ ซึ่งจะทำให้ดีสชาร์จทรานซิสเตอร์ (Discharge transistor) ไม่นำกระแสและเมื่อสัญญาณระดับต่ำผ่านภาคเอาต์พุตซึ่งเป็นอินเวอร์ตติ้งบัฟเฟอร์ (Inverting Buffer) จะได้เอาต์พุตที่ขา 3 มีสถานะสูง

คอมพาราเตอร์ 1 (Comparator 1) จะเปรียบเทียบโวลเตจของ threshold input (ขา 6) กับโวลเตจ $2V_{cc}/3$ เมื่อโวลเตจที่ขา threshold มีค่ามากกว่า $2V_{cc}/3$ คอมพาราเตอร์ 1 จะส่งสัญญาณไปทำให้ฟลิปฟลอปอยู่ในสถานะสูง ดีสชาร์จทรานซิสเตอร์จะนำกระแสและเมื่อผ่านอินเวอร์ตติ้งบัฟเฟอร์ จะได้เอาต์พุตที่ขา 3 มี

สถานะต่ำ

ในการใช้งานวงจรรวมเบอร์ 555 ให้กำเนิดชบวนพัลส์ สามารถใช้วงจร

ดังรูป



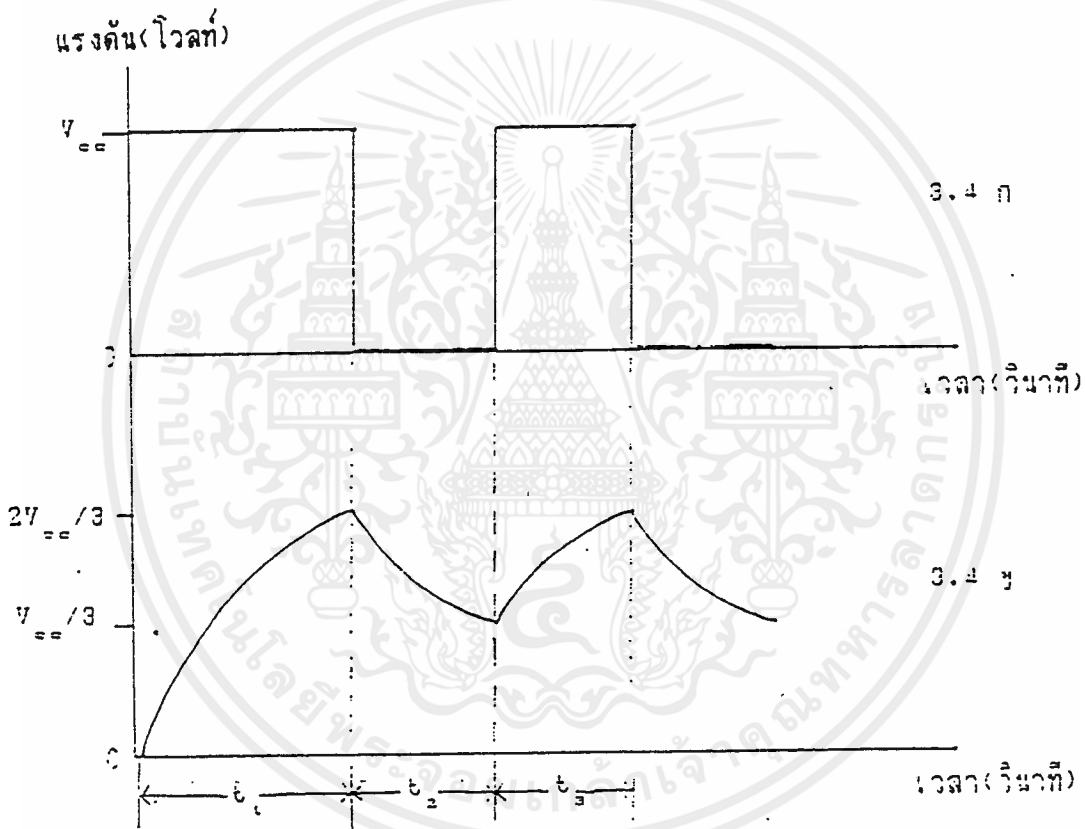
รูปที่ 7 แสดงการนำ 555 มาสร้างชบวนพัลส์

วงจรมีให้แรงดันทางออกเป็นชบวนพัลส์ต่อเนื่องที่ขา 3 ของวงจรรวม 555 โดยค่าความถี่ของชบวนพัลส์จะถูกกำหนดโดยตัวต้านทาน R_A, R_B และตัวเก็บประจุ C ที่ต่ออยู่ภายนอก

การทำงานของวงจร

เมื่อเริ่มจ่ายไฟเลี้ยง V_{CC} ให้กับวงจร ขณะนั้นศักดาคร่อมตัวเก็บประจุ C มีค่าเท่ากับศูนย์โวลต์ ดังนั้น คอมพาราเตอร์ 2 จะรีเซ็ตให้ฟลิปฟลอปอยู่ในสถานะต่ำ ทำให้เอาต์พุตที่ขา 3 มีสถานะสูง และหลังจากเวลาผ่านไป t_1 วินาที ศักดาคร่อมตัวเก็บประจุ C จะถูกอัดประจุผ่านความต้านทาน R_A และ R_B มีค่าเท่ากับ $2V_{CC}/3$ ซึ่งจะทำให้ศักดาไฟฟ้าที่ขา threshold มีค่าเท่ากับ $2V_{CC}/3$ คอมพาราเตอร์ 1 ก็ จะเปลี่ยนระดับโวลเตจ เปลี่ยนสถานะของเอาต์พุตฟลิปฟลอปให้อยู่ในสถานะสูง ทำให้เอาต์พุตที่ขา 3 มีสถานะต่ำ และบังคับให้ดีสชาร์จทรานซิสเตอร์นำกระแส ซึ่งจะทำให้ตัวเก็บประจุ C คายประจุผ่านความต้านทาน R_B และดีสชาร์จทรานซิสเตอร์ และเมื่อเวลาผ่านไป t_2 วินาที ศักดาคร่อมตัวเก็บประจุ C จะลดลงจาก $2V_{CC}/3$ เหลือ

$V_{cc}/3$ ซึ่งจะทำให้ตักดาไฟฟ้าที่ขา trigger มีค่าเท่ากับ $V_{cc}/3$ คอมพาราเตอร์ 2 ก็จะใช้ให้ฟลิปฟลอปอยู่ในสถานะต่ำอีกครั้ง ดังนั้นดิสชาร์จทรานซิสเตอร์จะหยุดนำกระแส เอาท์พุทที่ขา 3 ก็จะเปลี่ยนเป็นสถานะสูง ตัวเก็บประจุ C จะเริ่มอัดประจุโดยไฟเลี้ยง V_{cc} ผ่านความต้านทาน R_A และ R_B และเมื่อเวลาผ่านไป t_2 วินาที เอาท์พุทที่ขา 3 จะเปลี่ยนเป็นสถานะต่ำอีกครั้งโดยที่ตัวเก็บประจุ C จะอัดประจุจาก $V_{cc}/3$ ถึง $2V_{cc}/3$ โวลต์ พิจารณารูปข้างล่าง ซึ่งแสดงสัญญาณเอาท์พุทที่ขา 3 ของวงจรรวมเบอร์ 555 เทียบกับตักดาตกรวมตัวเก็บประจุ C



รูปที่ 8 ก) แสดงสัญญาณเอาท์พุทที่ขา 3 ของไอซี 555
 ข) แสดงตักดาไฟฟ้าตกรวมตัวเก็บประจุ C

ความถี่ของขบวนพัลส์ (f) หาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการใช้งานเพื่อการศึกษาเท่านั้น ไม่ให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

t_2 คือเวลาในการคายประจุของตัวเก็บประจุ C ลงกราวน์ผ่านตัวต้านทาน R_B จากศักดาไฟฟ้า $2V_{cc}/3$ ถึง V_{cc}

t_3 คือเวลาในการอัดประจุของตัวเก็บประจุ C โดย V_{cc} ผ่านตัวต้านทาน R_A และ R_B จากศักดาไฟฟ้า $V_{cc}/3$ ถึง $2V_{cc}/3$

จากสมการคายประจุตัวเก็บประจุ C ผ่านความต้านทาน R ลงกราวด์

$$V_{(t)} = V_c e^{-t/RC} \quad (2)$$

เมื่อ $V_{(t)}$ คือศักดาคร่อมตัวเก็บประจุที่เวลา t วินาที

V_c คือศักดาคร่อมตัวเก็บประจุที่เวลา $t = 0$

เมื่อใช้สมการ (2) ในการหาเวลา t_2 จะได้เป็น

$$V_{cc}/3 = 2V_{cc}/3 e^{-t_2/R_B C} \quad (3)$$

$$t_2 = 0.693 R_B C \quad (4)$$

และจากสมการอัดประจุตัวเก็บประจุ C ผ่านความต้านทาน R ด้วยแรงดัน V

$$V_{(t)} = V - (V - V_c) e^{-t/RC} \quad (5)$$

เมื่อใช้สมการ (5) ในการหา t_3 จะได้เป็น

$$2V_{cc}/3 = V_{cc} - (V_{cc} - V_{cc}/3) e^{-t_3/RC} \quad (6)$$

$$t_3 = 0.693 (R_A + R_B) C \quad (7)$$

ดังนั้นจาก (1)

$$f = 1/[0.693 (R_A + 2R_B) C] \quad H_z \quad (8)$$

การกำหนดความต้านทาน R_A และ R_B และตัวเก็บประจุ C

พิจารณารูปที่ (3.3) เมื่อระดับโวลเตจที่ขา threshold ถึงระดับ

$2V_{cc}/3$ จะมีกระแสส่วนหนึ่งไหลเข้าขา threshold (ขา6) ดังนั้นเราสามารถกำหนด

ค่า $R_A + R_B$ สูงสุด $(R_A + R_B)_{max}$ ได้จากศักดาคร่อม R_A ร่วมกับศักดาคร่อม

R_B ทารด้วยค่ากระแสที่ไหลเข้ามา threshold สูงสุด $[I_{threshold(max)}$

เพราะฉะนั้น

$$(R_A + R_B)_{max} = [V_{cc} - 2V_{cc}/3]/I_{threshold(max)} \quad (9)$$

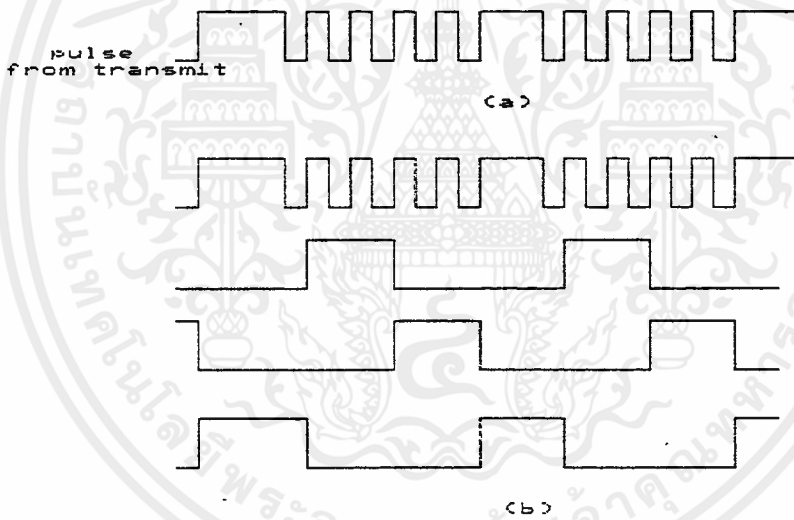
บทที่ 3

ทฤษฎีและการออกแบบวงจรทางด้านรับ

หลักการทั่วไป ต้องให้ทางด้านรับสามารถรับสัญญาณจากภาคส่งได้ และสามารถแยกช่องสัญญาณได้อย่างถูกต้องให้ได้สัญญาณข้อมูลที่ถูกต้อง

การออกแบบ sync demodulator

การที่กล่าวถึงวงจรส่วนนี้ก่อนก็เนื่องจากส่วนนี้จะไปสัมพันธ์กับส่วน Demultiplex เพื่อให้มีให้สับสนจึงนำเรื่องนี้มากล่าวไว้เสียก่อน จากสัญญาณ O/P ของภาคส่ง ดังแสดงในรูปที่ 1 (a)



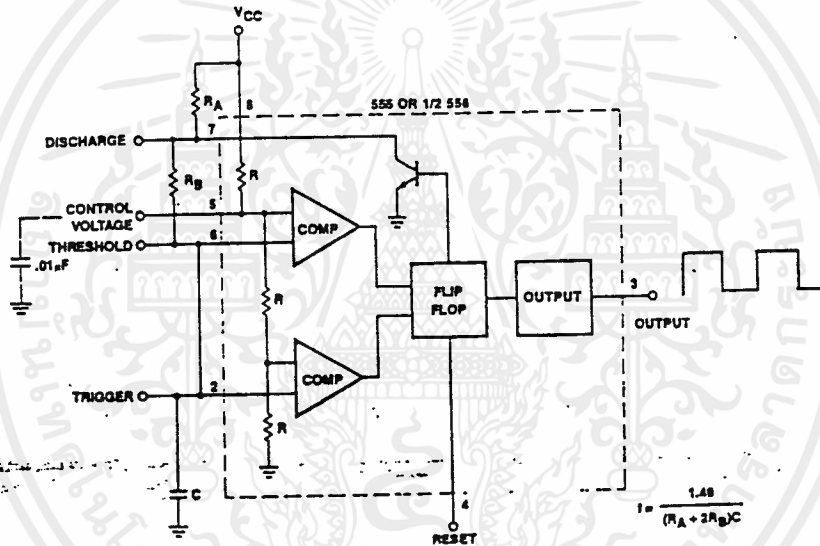
จะเห็นว่าสัญญาณ sync จะมีความกว้างของ pulse มากกว่า pulse ในส่วนของสัญญาณข่าวสาร ดังที่ได้กล่าวถึงการเลือกลักษณะ sync ในภาคส่งไปแล้วนั้น การ detect หรือตรวจจับ sync pulse ก็คือการตรวจหา pulse ที่มีความกว้างของ pulse มากกว่า pulse อื่น ๆ

ก่อนที่จะกล่าวถึงวงจรและการทำงาน จะบอกกล่าวถึงความต้องการของวงจร demultiplex เสียก่อนจาก timing diagram รูปที่ 2 (b)

จะเห็นการจัดช่องสัญญาณจะนับจากจำนวน pulse ในที่นี้ให้สัญญาณช่องที่ 1 เริ่มนับตั้งแต่ leading edge ของ pulse ลูกแรกซึ่งต่อจาก sync pulse นั่นก็คือเมื่อจบ sync pulse ลงไปแล้ว ก็ให้วงจร demultiplex ถูกว่า pulse ที่ตามไปว่าครบใดๆ ทั้งสิ้น อีกทั้งยังมีให้ดูเช่นเงาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีอายุไปใช้ มาให้เริ่มนับต้น cycle การนับขึ้นใหม่ดังนั้นหลังจากตรวจรับ sync pulse ได้แล้วก็ให้

กำเนิดสัญญาณ reset ไปให้กับวงจรนับอีกทีหนึ่งนอกจากจะต้อง reset วงจรนับของ demultiplex แล้วการวัดแบ่งช่องสัญญาณเราทำโดยการนับจำนวน pulse โดยดูจาก timing diagram ในช่วงของสัญญาณ sync จะมี pulse เพียงลูกเดียวดังนั้นหลังจากตรวจนับสัญญาณ sync ได้แล้วก็ให้ทำการ reset วงจรนับเพื่อแบ่งช่องสัญญาณเสียด้วยเพื่อป้องกันการผิดพลาดในการจัดแบ่งช่องสัญญาณนั่นเอง

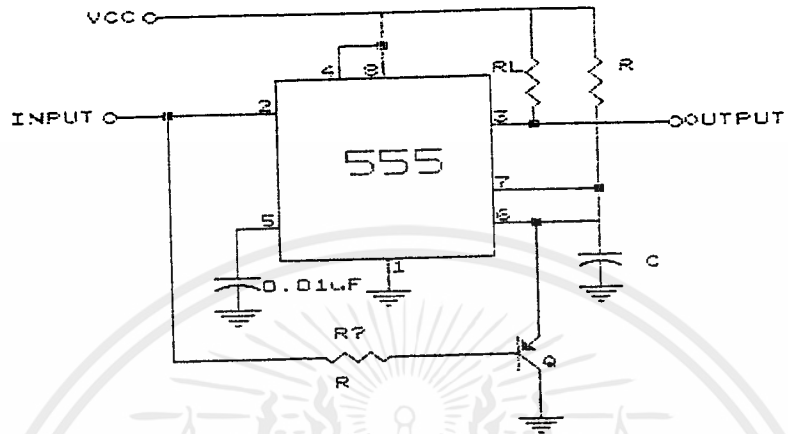
ต่อจากนั้นก็จะได้กล่าวถึงการออกแบบและเลือกใช้อุปกรณ์ อุปกรณ์ที่เลือกใช้ในที่นี้ก็คือ Ic. Timer 555 ซึ่งแสดงการทำงานภายในดังรูปที่ 3



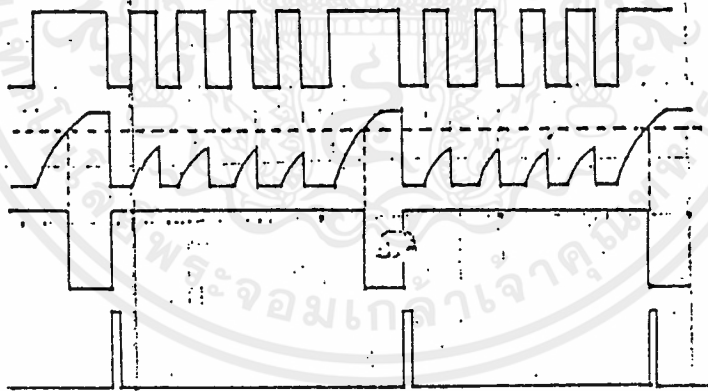
รูปที่ 3 แสดงการทำงานภายในตัว IC 555

หลักการการทำงานทั่วไปของ IC เบอร์นี้ก็คือ ตัว comparator ตัวแรกด้านบนของ diagram จะตรวจรับแรงดันถ้าแรงดันที่ขา threshold มีค่าสูงกว่าค่าแรงดันเปรียบเทียบกับให้ทำการ reset flip flop ซึ่งจะทำให้ Q₁ ON และ comparator ตัวที่สองด้านล่างจะตรวจรับแรงดันในลักษณะที่ว่าถ้าแรงดันที่ trigger มีค่าต่ำกว่าแรงดันเปรียบเทียบกับแล้วทำการ set flip flop ซึ่งเป็นผลให้ Q₁ OFF จากนี้ก็จะมาดูวงจรที่ใช้งานจริงคือ วงจร pulse missing detector ดังในรูปที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 วงจร PULSE MISSING DETECTOR



รูปที่ 5 แสดงการทำงานของวงจร PULSE MISSING DETECTOR

การทำงานของวงจรในขณะที่ pulse ในช่วงของสัญญาณช่องที่ 1 และ ช่องที่ 2 อยู่นั้นความกว้างของ pulse จะมีค่าน้อย จากการที่เรีบ้อนสัญญาณให้ขา trigger นี้เป็น ในช่วงที่ pulse หักออกมามีนั้นวงจรจะมี charge ตให้ประจุให้กับ C ได้โดยค่า ผ่านไม่ R ปรแต่เนื่องจกเป็นช่วงที่ pulse ออและตัด ดังนั้นเมื่อหมด pulse กลับอีกแล้วประจุที่

charge ก็ยังไม่ถึงจุด threshold และเราได้อั้ววงจร discharge C ไว้ภายนอก เพื่อ discharge C โดยทรานซิสเตอร์ Q เพื่อ pulse ลุกต่อไปเข้ามาจะได้ไม่มี ประจุค้างอยู่ภายใน C กันการผิดพลาด และเมื่อถึงช่วงที่ pulse อินพุตมาถึง sync pulse ในช่วงนี้เองที่สามารถประจุได้ถึงจุด threshold จึงทำการ reset flip flop ได้เอากั้พทุเป็นระดับ ground ซึ่งนั่นก็คือ เราสามารถตรวจนับ sync pulse ได้ จากนั้นจึงนำเอากั้พทุที่ได้ไปผ่านวงจรมอนอสเตเบิลที่ trig โดย leading edge ได้เอากั้พทุ pulse นำไปใช้เป็น reset pulse ให้กับวงจรต่า ๆ ดังได้กล่าวมา แล้วแต่ต้น

การออกแบบหน่วยสร้างสัญญาณควบคุม

หน่วยสร้างสัญญาณควบคุมนี้ รับพัลส์ซินโครไนซ์จากวงจรแยกสัญญาณซิงโครไนซ์นำมาสร้างเป็นสัญญาณควบคุมสัญญาณที่สร้างได้นี้มีลักษณะ เป็นพัลส์รูปสี่เหลี่ยมผืนผ้าระดับแรงดันเปลี่ยนแปลงอยู่ระหว่างแรงดัน 0-5V และสัญญาณควบคุมนี้มีอยู่ 4 ชุด และเพื่อให้การทำงานของเครื่องส่งและเครื่องรับ เป็นจังหวะสัมพันธ์กันในที่นี้ใช้สัญญาณควบคุมที่สร้างขึ้นชุดที่ 1 เป็นสัญญาณเบรียบเทียบกับสัญญาณซินโครไนซ์ ที่ได้รับจากวงจรแยกสัญญาณซินโครไนซ์ สัญญาณทั้งสองจะต้องมีเฟสตรงกัน

ในวิทยานิพนธ์นี้ หน่วยสร้างสัญญาณควบคุมทางเครื่องรับประกอบด้วยวงจรรวม 4 ตัว ทำงานร่วมกัน วงจรรวมทั้ง 2 ตัวเป็นวงจรรวมชนิด CMOS ได้แก่ วงจรรวม 4046, 4017 และ IC 555

4046 : วงจรนี้เป็น Micropower Phase-Locked loop ประกอบด้วยวงจร A Low Power Linear, Voltage-Controlled Oscillator (VCO), A Source Follower, A Zener Diode และ Phase Comparator 2 ตัว ดังแสดงเอาไว้ในรูปที่ 3-18

โวลเตจคอนโทรลลอสซิลเลเตอร์ (VCO) ของ 4046 สามารถผลิตความถี่ได้ในย่านตั้งแต่ ดีซีไปจนถึงความถี่ในย่านของเมกะเฮิรซ์ โดยขึ้นอยู่กั้ค่าของรีซิสเตอร์คาปาซิเตอร์ ที่ต่ออยู่ภายนอกไอซี และค่าของไฟเลี้ยงวงจรความถี่ต่ำสุดของการออสซิลเลทชันอยู่กั้ค่าของ ตัวต้านทาน R_2 ที่ขา 12 และความถี่สูงสุดของการออสซิลเลทชันอยู่กั้ค่าของ R_1 ที่ขา 11 และค่าของไฟเลี้ยงวงจร การทำงานของออสซิลเลเตอร์ (V_{DD}) สามารถควบคุมได้ด้วยระดับโลจิกที่ขา 5 ถ้าต่อขา 5 ของ 4046 เข้ากับไฟบวก (V_{DD}) ออสซิลเลเตอร์จะไม่ทำงานและถ้าต่อขา 5 ลงกราวด์

(V_{SS}) ออสซิลเลเตอร์ก็จะทำงาน

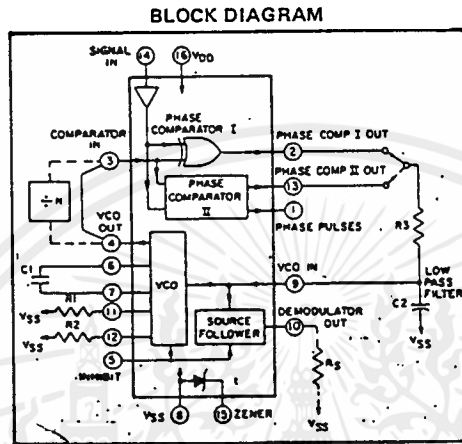


Fig. 1

รูปที่ 6 แสดงบล็อกไดอะแกรมภายใน 4046

วงจรรภายในของ 4046 ประกอบด้วยเฟสคอมพาราเตอร์ 2 คือตัวเฟสคอมพาราเตอร์ 1 หรือ โวล์นอยซ์ เฟสคอมพาราเตอร์ ซึ่งมีเอาต์พุตออกที่ขา 2 และเฟสคอมพาราเตอร์ II หรือไวต์แบนด์เฟสคอมพาราเตอร์ ซึ่งมีเอาต์พุตออกที่ขา 13 โดยเฟสคอมพาราเตอร์ทั้งสองมีอินพุตร่วมกันอยู่ ในการใช้งานเฟสคอมพาราเตอร์ตัวใดก็นำลูปฟิลเตอร์ไปต่อเข้ากับเอาต์พุตของเฟสคอมพาราเตอร์นั้น สำหรับในการใช้งาน 4046 ในหน่วยสร้างสัญญาณควบคุมของเครื่องรับนี้จะใช้ไวต์แบนด์เฟสคอมพาราเตอร์ เพราะอินพุตพลัสที่นำมาเปรียบเทียบกับไม่ได้มีดิวิตีไซเคิล 50 % เท่านั้น

สำหรับความถี่ของ VCO จะต้องเท่ากับความถี่ของส่วนกำหนดชววนพัลส์ทางเครื่องส่ง การทำงานจึงจะสามารถเข้าจังหวะกันได้อย่างพอดี ดังนั้น VCO จะต้องผลิตแรงดันทางออกความถี่ 96 kHz โดยเราสามารถหาค่า R_1, R_2, R_3, C_1, C_2 ได้จากตารางคุณสมบัติของ 4046 ดังนั้นเราจะได้

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้ R₁ ให้นำค่า 10 K, R₂ ให้นำค่า 100 K, R₃ ให้นำค่า 300 ไปใช้ประโยชน์ด้านการคำนวณว่ากรณีใดๆ ทั้งสิ้น อีกทั้ง C₁ ให้ค่า 300 PF, C₂ ให้ค่า 1uF ถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร

ป้อนสัญญาณซินโครไนซ์ที่ได้จาก วงจรแยกสัญญาณซินโครไนซ์เข้าที่ขา 14 ของวงจรรวม 4046 วงจร Phase Comparator II จะเปรียบเทียบเฟสของสัญญาณนี้กับสัญญาณที่ผ่านเข้ามาทางขั้ว Comparator in ผลต่างของเฟสของสัญญาณทั้งสองนำไปผ่านวงจรผ่านย่านความถี่ต่ำซึ่งประกอบด้วย R_9 และ C_2 จะได้แรงดันไฟตรง แรงดันไฟตรงนี้จะป้อนเข้าที่ขั้ว VCO in จะทำให้ VCO สร้างแรงดันทางออกมีความถี่ค่าหนึ่ง ดังแสดงในรูปที่ 3-19 สัญญาณที่ได้นี้ไปผ่านวงจรเหมือนกับวงจรในหน่วยสร้างสัญญาณควบคุมทางด้านเครื่องส่งจะได้สัญญาณซินโครไนซ์ป้อนเข้าที่ขั้ว comparator in ของ 4046 เมื่อนำสัญญาณซินโครไนซ์นี้ไปเปรียบเทียบกับสัญญาณซินโครไนซ์ที่ได้รับมาจากวงจรแยกสัญญาณซินโครไนซ์ ถ้าสัญญาณทั้งสองมีเฟสต่างกันจะมีสัญญาณผลต่างออกที่ขั้ว PhasecomparatorIIout สัญญาณที่ได้รับจากผลต่างของเฟสนี้จะไปควบคุมวงจร VCO ให้สร้างสัญญาณทางออกขึ้นที่ขั้ว VCO out ในทางที่จะทำให้ ผลต่างของเฟสมีค่าลดลงจนสัญญาณทั้งสองมีเฟสตรงกัน ในการทดลองนี้เมื่อสัญญาณทั้งสองมีเฟสตรงกันแล้ว ขั้ว VCO in จะมีแรงดันไฟตรงค่าหนึ่งที่ทำให้ VCO สร้างความถี่ค่าคงที่นี้ไว้ (ในการทดลองมีความถี่เท่ากับ 96 kHz) ตรวจจับที่ความถี่ของสัญญาณซินโครไนซ์ไม่เปลี่ยนแปลง ในขณะที่เดียวกันหน่วยสร้างสัญญาณควบคุมทางด้านเครื่องรับจะให้สัญญาณควบคุมสำหรับช่องสัญญาณที่ 1, 2, และ 3 ออกมาด้วย นำสัญญาณนี้ไปใช้ปิดเปิดสวิทช์ ให้สัญญาณข่าวสารออกตรงตามช่องสัญญาณที่ส่งมาได้ตามต้องการ

บทที่ 4

การทดสอบและผลการทดลอง

วงจรของภาคต่าง ๆ ที่ใช้ในการทดลอง

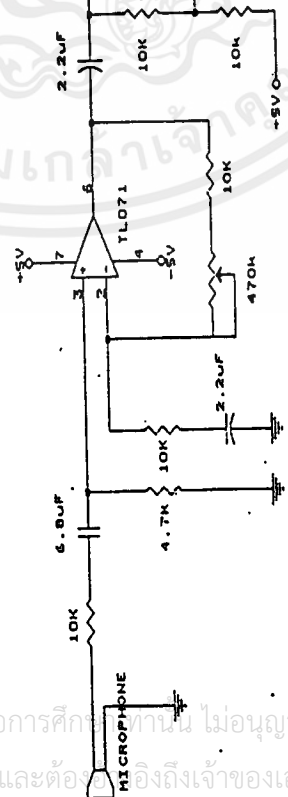
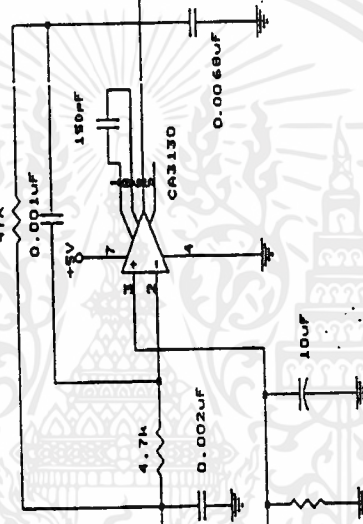
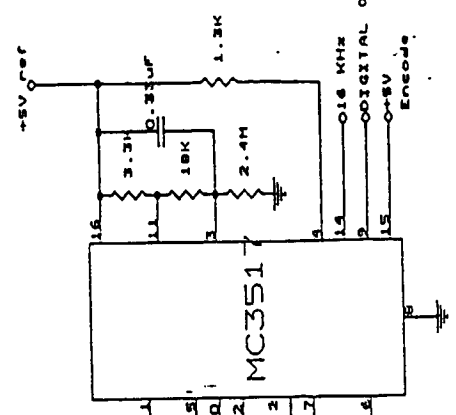
ENCODER และ DECODER

ในโครงงานนี้ใช้วงจร ENCODER ดังรูปที่ 1 และวงจร DECODER ดังรูปที่ 2 ในวงจรของ ENCODER และ DECODER ใช้ระบบการแปลงสัญญาณแบบ DELTA MODULATION โดยใช้ IC ของโมโตโรล่า เบอร์ MC 3517 ซึ่งเป็น IC ที่ใช้สำหรับ DELTA MODULATION โดยเฉพาะ

การทำงานของวงจร ENCODER คือ ทางด้านอินพุทจะต่อกับ ไมโครโฟนและสัญญาณอนาล็อกที่ได้จากไมโครโฟน จะถูกส่งเข้าวงจรขยาย ภาคแรกเพื่อให้สัญญาณมีความแรงขึ้น จากนั้นสัญญาณจะผ่านวงจรกรองความถี่ต่ำผ่านเพื่อให้มีเฉพาะสัญญาณเสียงผ่านไปได้ เพื่อส่งเข้าไปยังอินพุทของ MC 3517 ที่ขา 1 จากนั้น MC 3517 จะแปลงสัญญาณจากอนาล็อกเป็นดิจิตอล โดยให้เอาท์พุทเป็นดิจิตอลที่ขา 9 โดยอัตราการเปลี่ยนแปลงขึ้นอยู่กับสัญญาณนาฬิกาที่ป้อนให้ที่ขา 14 ในวงจรนี้ใช้สัญญาณนาฬิกา 16 KHZ

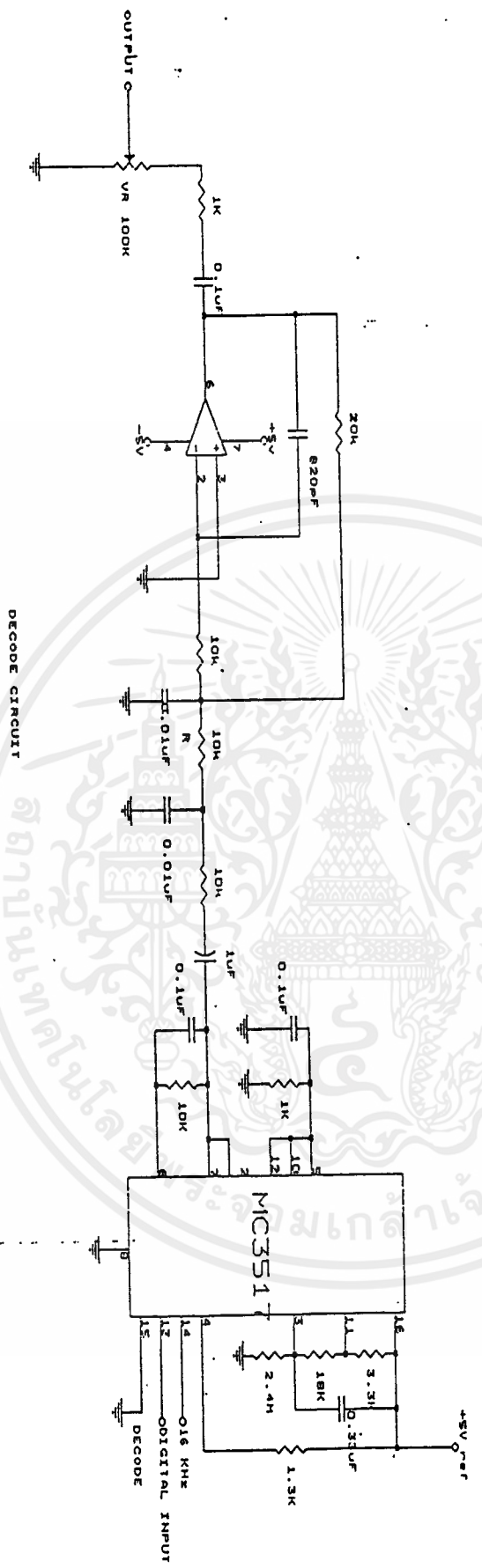
การทำงานของวงจร DECODER คือ จะรับสัญญาณอินพุทที่เป็นดิจิตอลเข้ามาทางขา 13 จากนั้น IC MC3517 จะแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อก ให้เอาท์พุทออกมาที่ขา 7 และจะถูกส่งไปเข้าวงจรขยาย โดยใช้โอปแอมป์

จากวงจรสามารถวิเคราะห์การทำงานได้คือ DELTA MODULATION จะไม่ใช้การสุ่มตัวอย่างสัญญาณหนึ่งจุดแล้วแปลง เป็นข้อมูลดิจิตอลหนึ่งเวิร์ดที่มีความละเอียดเป็นจำนวนบิตที่ต้องการ แต่จะใช้วิธีเปรียบเทียบความสูงหรือการเปลี่ยนแปลงของสัญญาณอนาล็อกแทน ข้อมูลที่ได้ก็คือทิศทางของการเปลี่ยนแปลง ปกติมีเพียงขึ้นลงเท่านั้น ดังนั้นความกว้างของข้อมูลดิจิตอลจึงใช้เพียงบิตเดียวก็เพียงพอ



รูปที่ 1 วงจร ENCODER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต่ออายุ อิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DECODE CIRCUIT

รูปที่ 2 วงจร DECODER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

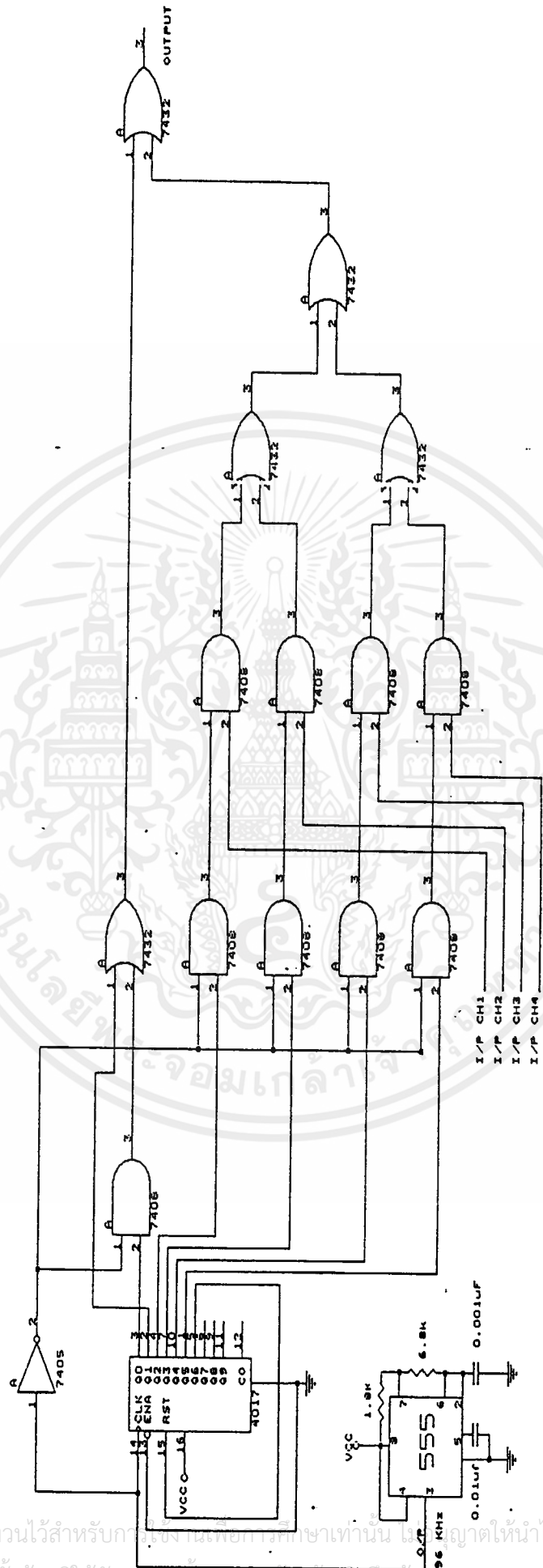
MULTIPLEX

วงจรมัลติเพลกซ์ที่ใช้ในใช้วงจรมัลติเพลกซ์แบบแบ่งเวลา หรือ TIME DIVISION MULTIPLEX (TDM)

การทำงานของวงจร คือจะใช้ COUNTER เป็นตัวสร้างสัญญาณซิงค์ และ สร้างสัญญาณควบคุมของแต่ละช่องสัญญาณ COUNTER ที่ใช้นี้เป็น IC เบอร์ 4017 วงจรมัลติเพลกซ์นี้จะมีอินพุต 4 ช่องสัญญาณ และสัญญาณซิงค์ของวงจรมัลติเพลกซ์นี้เป็นแบบที่มีความกว้างของสัญญาณมากกว่าสัญญาณควบคุมของแต่ละช่องสัญญาณ โดยจะใช้เอาต์พุตของ 4017 2 เอาต์พุต เพราะฉะนั้น จะต้องใช้เอาต์พุตของ 4017 ทั้งหมด 6 เอาต์พุต ความถี่ของสัญญาณนาฬิกาที่จะป้อนให้ 4017 จึงต้องเป็น 6 เท่า ของสัญญาณแต่ละช่อง ให้แต่ละช่องสัญญาณมีสัญญาณนาฬิกาเป็น 16 KHz ฉะนั้นสัญญาณนาฬิกาของมัลติเพลกซ์จึงเท่ากับ 96 KHz

การสร้างสัญญาณซิงค์ จากวงจรมัลติเพลกซ์จากเอาต์พุตที่ 1 คือขา 3 นำมา AND กับสัญญาณนาฬิกา เพื่อให้เกิดช่องว่างระหว่างสัญญาณซิงค์ กับสัญญาณช่องสุดท้าย จากนั้นนำสัญญาณมา OR กับเอาต์พุตที่ 2 คือขา 2 ของ 4017 ก็จะได้เป็นสัญญาณซิงค์

การสร้างสัญญาณควบคุมแต่ละช่องสัญญาณ นำเอาต์พุตที่ 3, 4, 5, 6 ของ 4017 มา AND กับสัญญาณนาฬิกา เพื่อให้เกิดช่องว่างระหว่าง ช่องสัญญาณ จากนั้นก็นำสัญญาณควบคุมไป AND กับสัญญาณอินพุตแต่ละช่องสัญญาณ สัญญาณอินพุตที่ได้จะเป็นสัญญาณที่ออกมาคนละช่วงเวลา จากนั้นนำสัญญาณที่ได้มา OR กัน และนำไป OR กับสัญญาณซิงค์ ก็จะได้เป็นสัญญาณ เอาต์พุตของวงจรมัลติเพลกซ์



รูปที่ 3 วงจรมัลติเพลกซ์

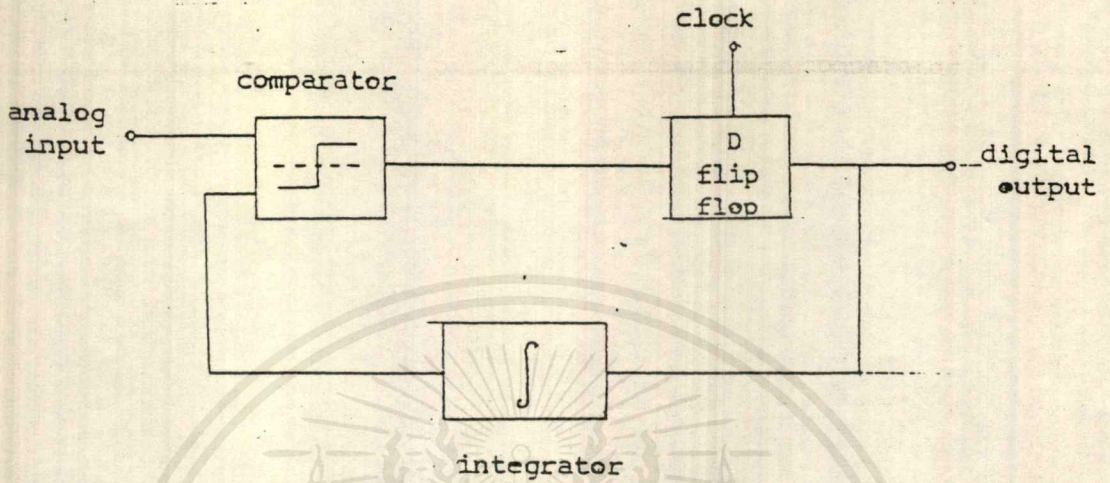
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับก... ใช้ในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ที่เห็น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงชื่อของเอกสารทุกครั้งที่มีการนำไปใช้

DEMULTIPLEX

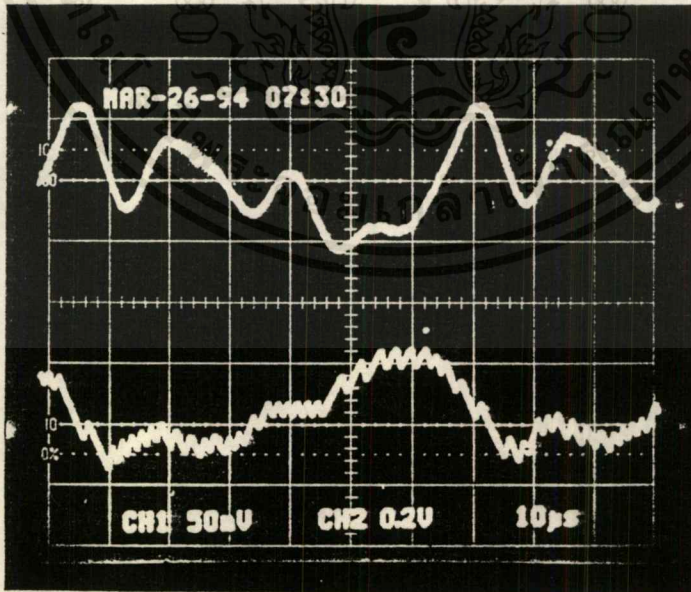
วงจรดีมัลติเพลกซ์ที่ใช้ในวงจรรูปที่ 4 จากรูปการทำงานของวงจร คือ เมื่อรับสัญญาณเข้ามาจะผ่านวงจรตรวจจับสัญญาณซิงค์ โดยใช้ IC 555 เป็นวงจรตรวจจับสัญญาณซิงค์ จากนั้นจะส่งสัญญาณซิงค์ที่จับได้ไปยัง IC 4046 ซึ่งเป็น วงจร PHASE LOCK LOOP โดยจะผลิตสัญญาณนาฬิกาเพื่อ ป้อนให้ COUNTER 4017 และจะนำเอาที่พุกของ 4017 มาผลิตสัญญาณเพื่อไปเปรียบเทียบกับสัญญาณซิงค์ และผลิตสัญญาณควบคุมแต่ละช่องสัญญาณ สัญญาณที่นำไปเปรียบเทียบกับสัญญาณซิงค์นั้นจะมีวงจรเหมือนในภาค มัลติเพลกซ์ และผ่านวงจรจับสัญญาณซิงค์ เพื่อให้มีสัญญาณเหมือนกับสัญญาณซิงค์ที่รับเข้ามา และส่งไปเข้า 4046 เพื่อทำการเปรียบเทียบกับสัญญาณซิงค์ ที่รับเข้ามา ถ้ามีเฟสไม่ตรงกัน แสดงว่า 4046 ผลิต สัญญาณนาฬิกาออกมาไม่ถูกต้อง IC 4046 จะทำการปรับการผลิตสัญญาณนาฬิกาให้ถูกต้อง เมื่อสัญญาณนาฬิกาที่ผลิตออกมาถูกต้อง สัญญาณที่ควบคุมแต่ละช่องสัญญาณของ IC 4017 จะตรงกับทางด้านส่ง และตัวที่จะใช้แยกสัญญาณอินพุทใช้ D FLIP FLOP โดยนำสัญญาณอินพุทเข้าที่ขาอินพุทของ D FLIP FLOP และนำสัญญาณควบคุมของแต่ละช่องเข้าที่ขา CLOCK ของ D FLIP FLOP ก็จะได้เอาที่พุกของแต่ละช่องสัญญาณ

ผลการทดลอง

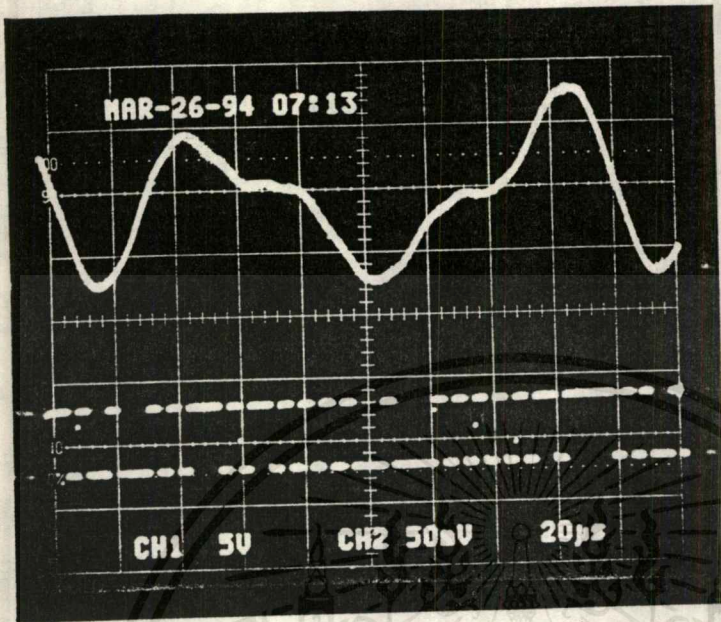
การทดลองภาค ENCODER



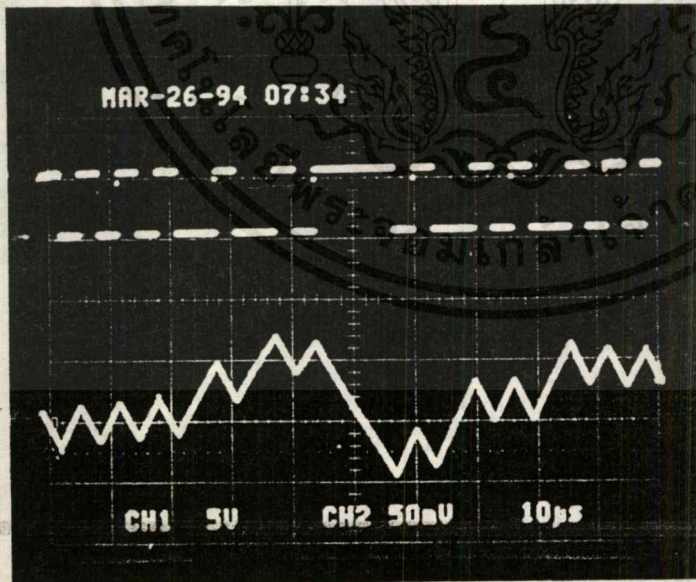
รูปที่ 5 BLOCK DIAGRAM ของ ENCODER



รูปที่ 6 เปรียบเทียบสัญญาณระหว่าง อนาล็อกอินพุท กับสัญญาณ อินทิเกรเตอร์ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

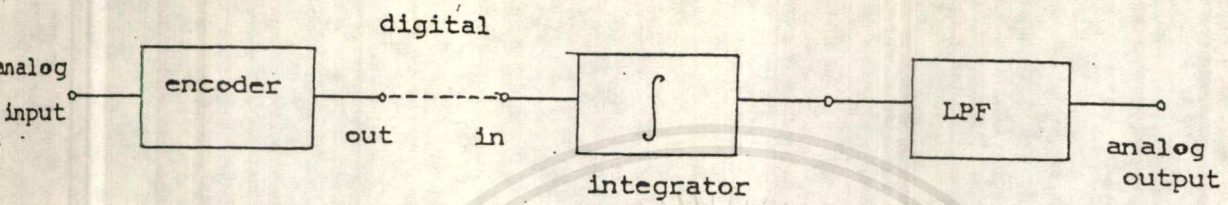


รูปที่ 7 เปรียบเทียบระหว่าง อนาล็อกอินพุท กับสัญญาณ ดิจิตอลเอาต์พุท

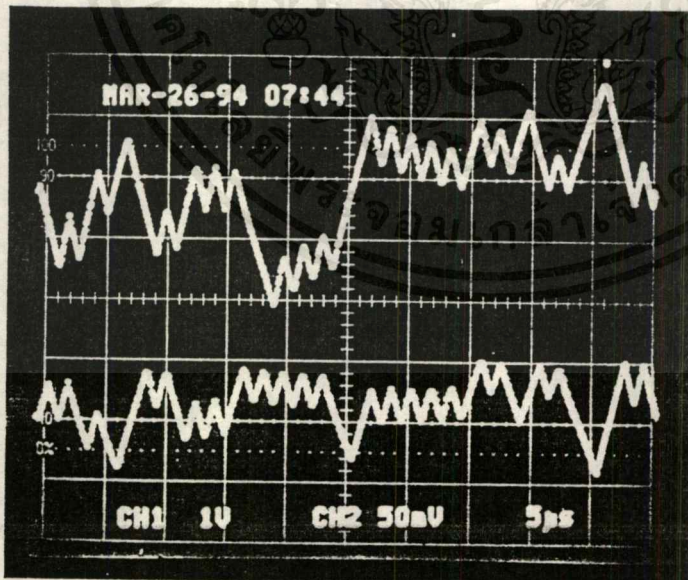


รูปที่ 8 เปรียบเทียบระหว่างสัญญาณ ดิจิตอล กับ สัญญาณอินทิเกรเตอร์ โดยขึ้นด้านการค้า
ไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

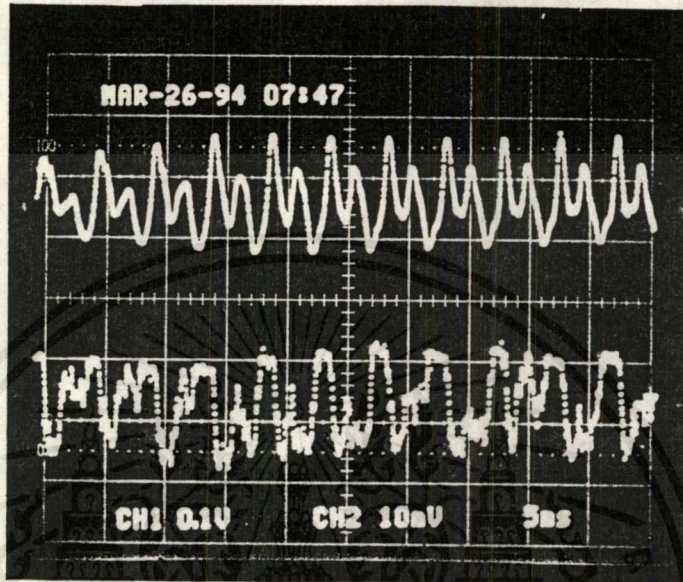
การทดสอบ DECODER



รูปที่ 9 BLOCK DIAGRAM ของ DECODER

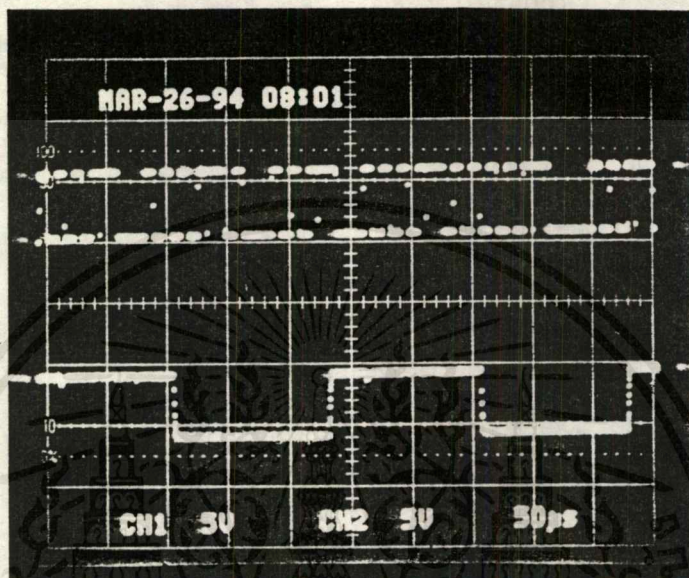


0 เปรียบเทียบระหว่าง อินทิเกรเตอร์ของ ENCODER กับ อินทิเกรเตอร์ของ DECODER
ไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

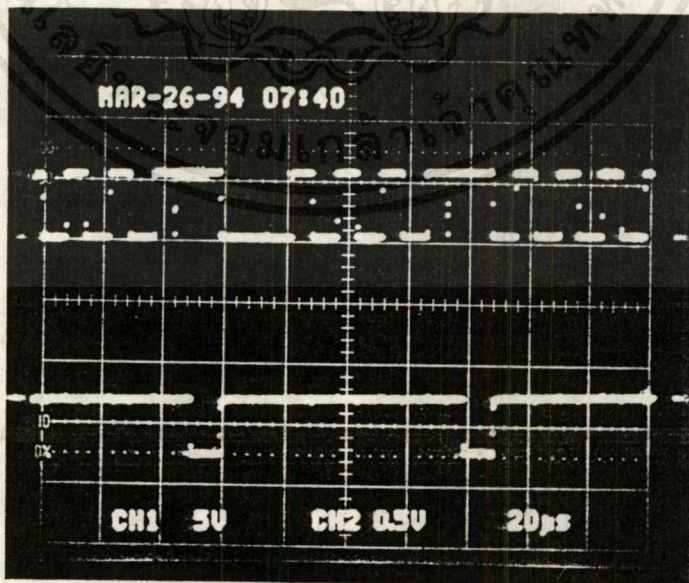


รูปที่ 11 เปรียบเทียบระหว่าง อินพุทของ ENCODER กับ เอาท์พุทของ DECODER

การทดสอบ MULTIPLEX และ DEMULTIPLEX

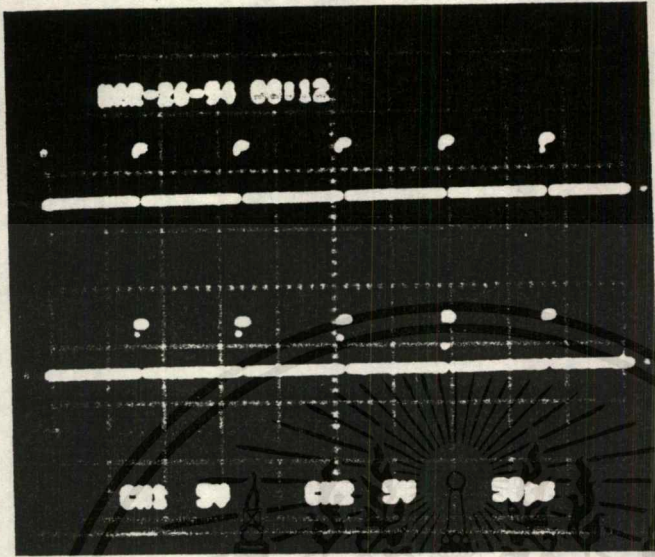


รูปที่ 12 แสดงสัญญาณเอาต์พุตของมัลติเพลกซ์ กับ สัญญาณอินพุตของ CH 2

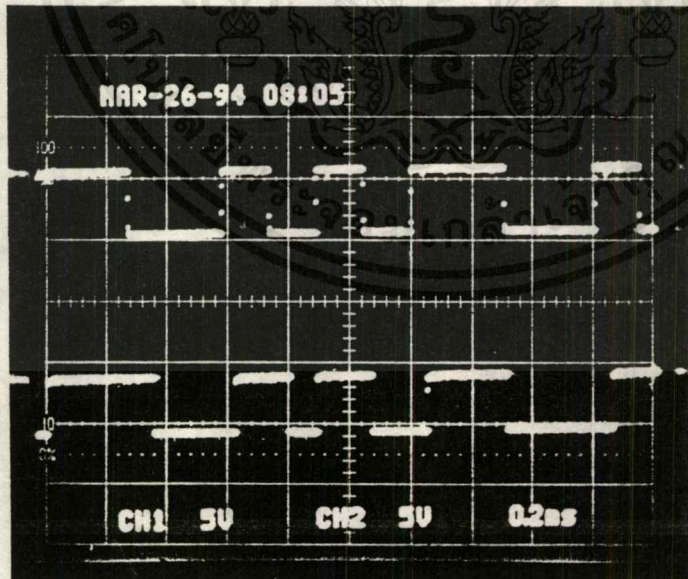


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้เผยแพร่เนื้อหาและข้อมูลอันถึงถึงแก่ความเสียหายของรั้วที่มีการรังแกใช้

รูปที่ 13 แสดงสัญญาณมัลติเพลกซ์ กับ สัญญาณของวงจรจับสัญญาณซิงค์



รูปที่ 14 เปรียบเทียบสัญญาณควบคุม ของ มัลติเพลกซ์ กับ ดีมัลติเพลกซ์



รูปที่ 15 เปรียบเทียบสัญญาณอินพุทของ มัลติเพลกซ์ กับ เอาท์พุทของ ดีมัลติเพลกซ์ ด้านการค้ำ
ไม่ว่ากรณีใด ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

จากผลการทดลองที่ได้จะเห็นว่าสัญญาณเสียงที่ได้ทางด้านรับเมื่อเปรียบเทียบกับด้านส่ง จะมีความเพี้ยนของสัญญาณบ้าง เนื่องมาจากการสูญเสียของข้อมูลดิจิทัลที่ส่งไปในสาย แนวความคิดในการทำต่อไปควรมีการต่อกับ MODEM เพื่อให้สามารถส่งไปได้ไกล ๆ และความเพี้ยนของสัญญาณจะน้อยลง ตัวของ CVSD จะเห็นได้ว่าจะตอบสนองต่อเสียงที่มีความถี่สูงได้ดี และจากผลการทดลองพบว่าสัญญาณที่ผ่าน LOW PASS FILTER ด้าน DECODER สัญญาณยังไม่เรียบเท่าที่ควร มีสัญญาณความถี่สูงเข้ามารบกวน ต่อไปควรมีการปรับปรุงด้าน LOW PASS FILTER ให้สามารถ cut off ความถี่สูงที่เข้ามารบกวนให้ดีกว่านี้

ทางด้านวงจร MULTIPLEX และ DEMULTIPLEX จากการทดลอง พบว่าสัญญาณดิจิทัลที่ส่งผ่าน นั้น มีความผิดพลาดเพียง เล็กน้อย ในบางเฟรม เพราะความถี่ CLOCK ที่ได้ในแต่ละภาคจาก DELTA MODULATION หรือ MULTIPLEX นั้นมีค่าผิดพลาดไปบ้าง เพราะค่าที่ได้จากการคำนวณ ไม่ตรงกับค่าที่ได้จากความจริง

หนังสืออ้างอิง

ดำริห์ สุภาพ, "เคลตามอดูเลชั่น การแปลง A/D ที่ง่ายกว่า", วารสารเซมิตอนดัด
ออร์, ฉบับที่ 106, 2534, หน้า 78-84

H, TAUB AND D.L. SCHILLING , "PRINCIPLE OF COMMUNICATION
SYSTEMS " , NEW YORK : MC GRAW - HILL.

SIMON HAYKIN , "COMMUNICATION SYSTEMS"

K. SAM, SHANMUGAM. "DIGITAL AND ANALOG COMMUNICATION SYSTEM",
HN WILEY & SONS, 1979



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ อาจารย์. ตลชัย สุขเจริญผล ที่ให้คำปรึกษาแก้ไขปัญหาต่าง ๆ และเอื้อ
เพื่อสถานที่ในการทำโครงการนี้ และให้ยืมเครื่องมือและอุปกรณ์ต่าง ๆ และขอขอบคุณเพื่อน ๆ
ที่คอยให้กำลังใจ และให้ความช่วยเหลือต่าง ๆ ด้วยดีมาตลอด



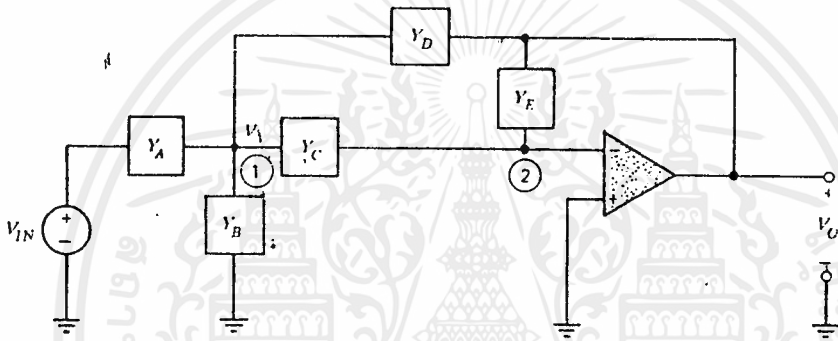
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ LOWPASS FILTER

จากวงจรด้าน DECODE เป็น LOWPASS FILTER 2nd แบบ MULTIPLE FEEDBACK สามารถออกแบบดังนี้



node 1:

$$V_1(Y_A + Y_B + Y_C + Y_D) - V_O(Y_D) - V_{IN}(Y_A) - 0(Y_C) = 0$$

node 2:

$$0(Y_C + Y_E) - V_1(Y_C) - V_O(Y_E) = 0$$

Solving

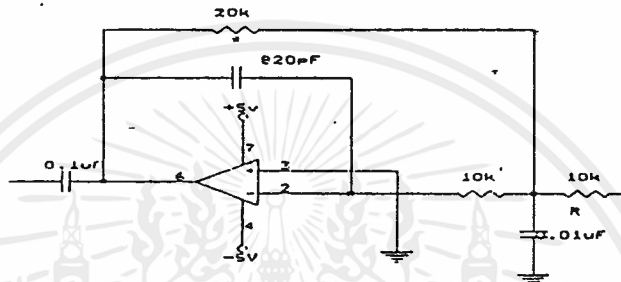
$$-V_O(Y_E/Y_C)(Y_A + Y_B + Y_C + Y_D) - V_O Y_D = V_{IN} Y_A$$

$$V_O/V_{IN} = - [Y_A Y_C / Y_E (Y_A + Y_B + Y_C + Y_D) + Y_C Y_D] ****$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRANSFER FUNCTION จะได้ดังนี้

$$V_o/V_{IN} = (A_o W_o^2) / (S^2 + (W_o/Q)S + W_o^2)$$



จากรูปนำมาเทียบพอร์มดังสมการ

$$Y_A = 1/R_1 \quad Y_B = SC_1 \quad Y_C = 1/R_2 \quad Y_D = 1/R_3 \quad Y_E = SC_2$$

$$V_o/V_{IN} = -Y_A Y_C / [Y_E (Y_A + Y_B + Y_C + Y_D) + Y_C Y_D]$$

$$= \frac{-1/R_1 R_2}{S^2 C_1 C_2 + S(C_2/R_1 + C_2/R_2 + C_2/R_3) + 1/R_1 R_2}$$

$$= \frac{-1/R_1 R_2 C_1 C_2}{S^2 + S(C_2/R_1 + C_2/R_2 + C_2/R_3)(1/C_1 C_2) + 1/R_2 R_3 C_1 C_2}$$

$$= \frac{-1/R_1 R_2 C_1 C_2}{S^2 + S(C_2/R_1 + C_2/R_2 + C_2/R_3)(1/C_1 C_2) + 1/R_2 R_3 C_1 C_2}$$

$$= \frac{-1/R_1 R_2 C_1 C_2}{S^2 + S(C_2/R_1 + C_2/R_2 + C_2/R_3)(1/C_1 C_2) + 1/R_2 R_3 C_1 C_2}$$

$$W_o^2 = 1/R_2 R_3 C_1 C_2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

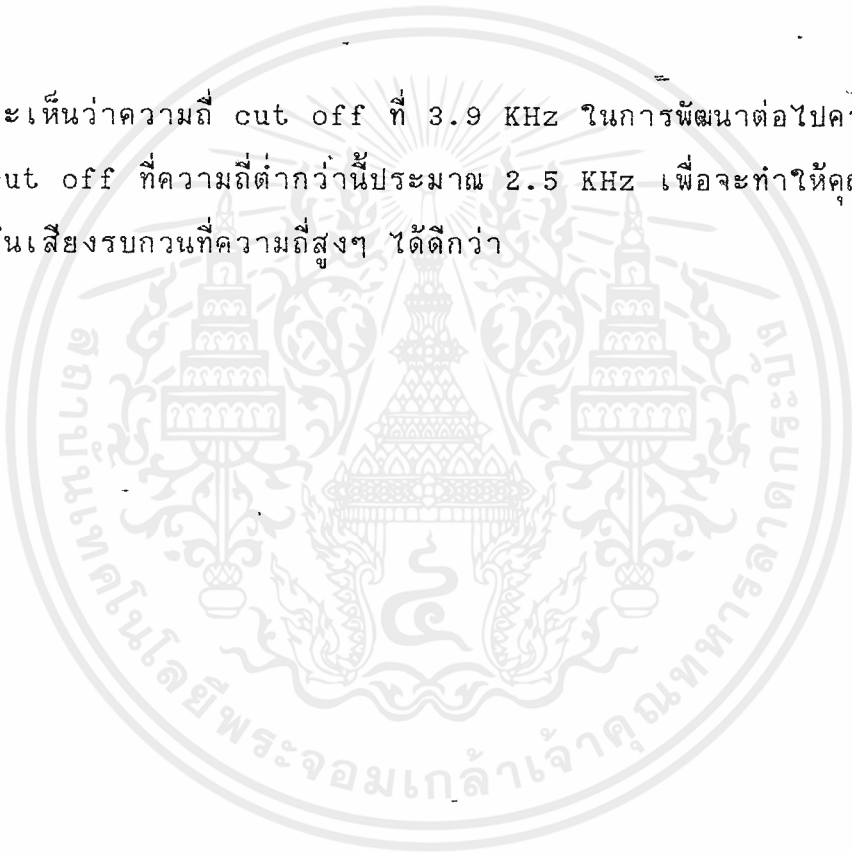
$$\omega_o = \sqrt{1/R_2 R_3 C_1 C_2}$$

$$f_c = (1/2\pi) \left(\sqrt{1/R_2 R_3 C_1 C_2} \right)$$

เมื่อ $R_2=10K$ $R_3=20K$ $C_1=0.01\mu F$ $C_2=820pF$

$$f_c = 3.9 \text{ KHz}$$

จะเห็นว่าความถี่ cut off ที่ 3.9 KHz ในการพัฒนาต่อไปควรรออกแบบ LOW PASS FILTER cut off ที่ความถี่ต่ำกว่านี้ประมาณ 2.5 KHz เพื่อจะทำให้คุณภาพของเสียงดีขึ้น สามารถป้องกันเสียงรบกวนที่ความถี่สูงๆ ได้ดีกว่า



TIMER

SE/NE555/SE555C

DESCRIPTION

The 555 monolithic timing circuit is a highly stable controller capable of producing accurate time delays, or oscillation. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For a stable operation as an oscillator, the free running frequency and the duty cycle are both accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output structure can source or sink up to 200mA.

FEATURES

- Turn off time less than 2 μ s
- Maximum operating frequency greater than 500kHz
- Timing from microseconds to hours
- Operates in both astable and monostable modes
- High output current
- Adjustable duty cycle
- TTL compatible
- Temperature stability of 0.005% per °C

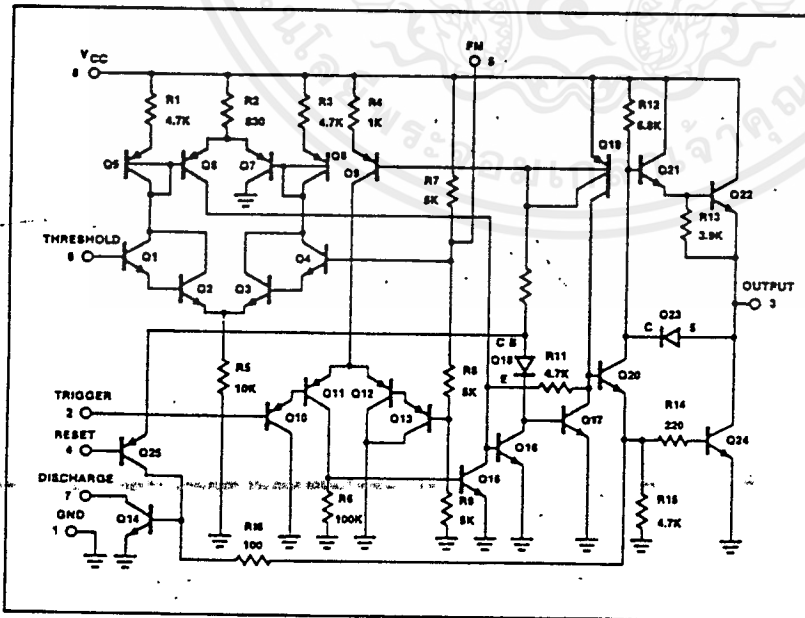
APPLICATIONS

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Missing pulse detector

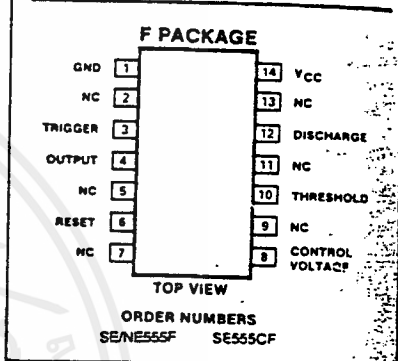
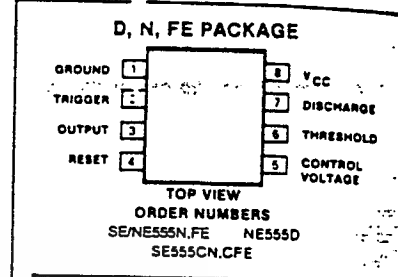
ABSOLUTE MAXIMUM RATINGS

PARAMETER	RATING	UNIT
Supply voltage		
SE555	+18	V
NE555, SE555C	+16	V
Power dissipation	600	mW
Operating temperature range		
NE555	0 to +70	°C
SE555, SE555C	-55 to +125	°C
Storage temperature range	-65 to +150	°C
Lead temperature (soldering, 60sec)	300	°C

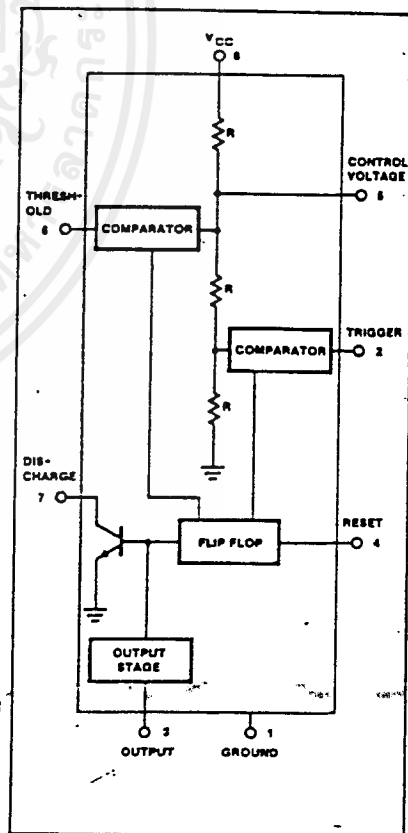
EQUIVALENT SCHEMATIC



PIN CONFIGURATIONS



BLOCK DIAGRAM



5

TIMER

SE/NE555/SE555C

DC ELECTRICAL CHARACTERISTICS TA = 25°C, VCC = +5V to +15 unless otherwise specified.

PARAMETER	TEST CONDITIONS	SE555			NE555/SE555C			UNIT
		Min	Typ	Max	Min	Typ	Max	
Supply voltage		4.5		18	4.5		16	V
Supply current (low state) ¹	VCC = 5V RL = ∞ VCC = 15V RL = ∞		3 10	5 12		3 10	6 15	mA mA
Timing error (monostable) Initial accuracy ² Drift with temperature Drift with supply voltage	RA = 2KΩ to 100KΩ C = 0.1μF		0.5 30 0.05	2.0 100 0.2		1.0 50 0.1	3.0 150 0.5	% ppm/°C %/V
Timing error (astable) Initial accuracy ² Drift with temperature Drift with supply voltage	RA, RB = 1kΩ to 100kΩ C = 0.1μF VCC = 15V		4 0.15	6 500 0.6		5 0.3	13 500 1	% ppm/°C %/V
Control voltage level	VCC = 15V VCC = 5V	9.6 2.9	10.0 3.33	10.4 3.8	9.0 2.6	10.0 3.33	11.0 4.0	V V
Threshold voltage	VCC = 15V VCC = 5V	9.4 2.7	10.0 3.33	10.6 4.0	8.8 2.4	10.0 3.33	11.2 4.2	V V
Threshold current ³			0.1	0.25		0.1	0.25	μA
Trigger voltage	VCC = 15V VCC = 5V	4.8 1.45	5.0 1.67	5.2 1.9	4.5 1.1	5.0 1.67	5.6 2.2	V V
Trigger current	VTRIG = 0V		0.5	0.9		0.5	2.0	μA
Reset voltage ⁴		0.3		1.0	0.3		1.0	V
Reset current			0.1	0.4		0.1	0.4	mA
Reset current	VRESET = 0V		0.4	1.0		0.4	1.5	mA
Output voltage (low)	VCC = 15V ISINK = 10mA ISINK = 50mA ISINK = 100mA ISINK = 200mA VCC = 5V ISINK = 8mA ISINK = 5mA		0.1 0.4 2.0 2.5	0.15 0.5 2.2 2.5		0.1 0.4 2.0 2.5	0.25 0.75 2.5	V V V V
Output voltage (high)	VCC = 15V ISOURCE = 200mA ISOURCE = 100mA VCC = 5V ISOURCE = 100mA		12.5 13.0			12.5 13.3		V V
Turn off time ⁵	VRESET = VCC		0.5	2.0		0.5	2.0	μs
Rise time of output			100	200		100	300	ns
Fall time of output			100	200		100	300	ns
Discharge leakage current			20	100		20	100	na

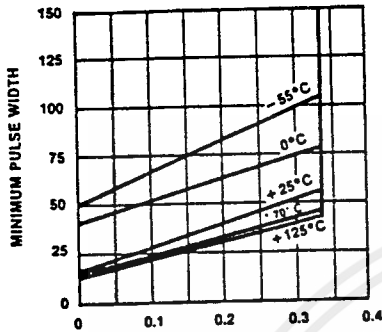
NOTES

- Supply current when output high typically 1mA less.
- Tested at VCC = 5V and VCC = 15V.
- This will determine the maximum value of RA + RB for 15V operation, the max total R = 10 megohm, and for 5V operation, the max total R = 3.4 megohm.
- Specified with trigger input high.
- Time measured from a positive going input pulse from 0 to 0.8 x VCC into the threshold to the drop from high to low of the output. Trigger is tied to threshold.

TIMER

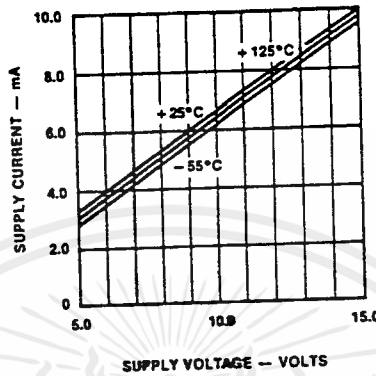
TYPICAL PERFORMANCE CHARACTERISTICS

MINIMUM PULSE WIDTH REQUIRED FOR TRIGGERING



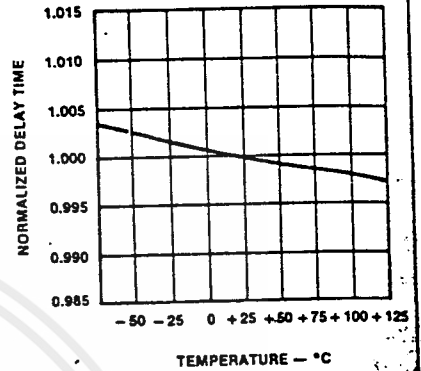
LOWEST VOLTAGE LEVEL OF TRIGGER PULSE

SUPPLY CURRENT vs SUPPLY VOLTAGE



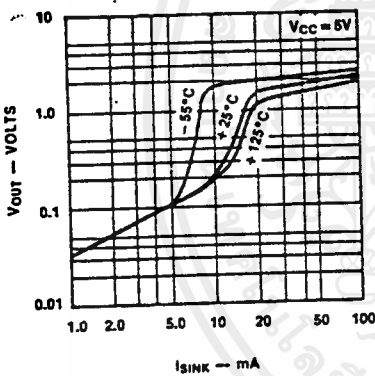
SUPPLY VOLTAGE - VOLTS

DELAY TIME vs TEMPERATURE



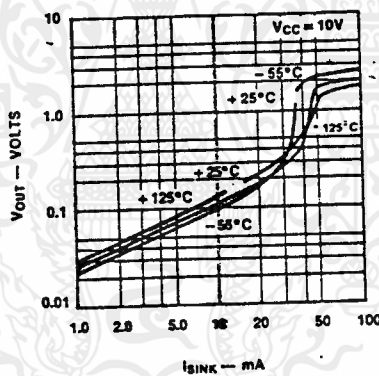
TEMPERATURE - °C

LOW OUTPUT VOLTAGE vs OUTPUT SINK CURRENT



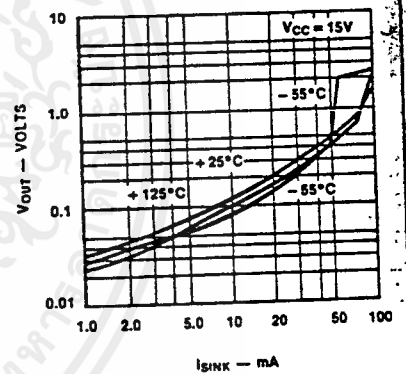
I_{sink} - mA

LOW OUTPUT VOLTAGE vs OUTPUT SINK CURRENT



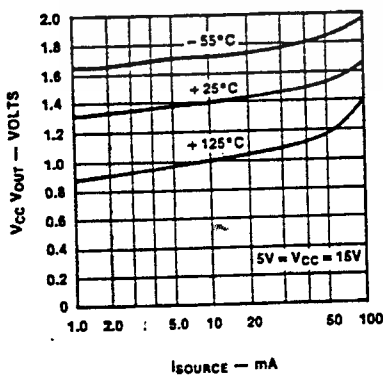
I_{sink} - mA

LOW OUTPUT VOLTAGE vs OUTPUT SINK CURRENT



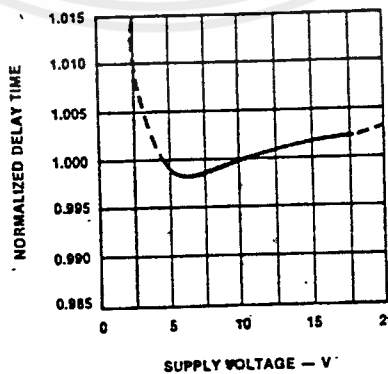
I_{sink} - mA

HIGH OUTPUT VOLTAGE DROP vs OUTPUT SOURCE CURRENT



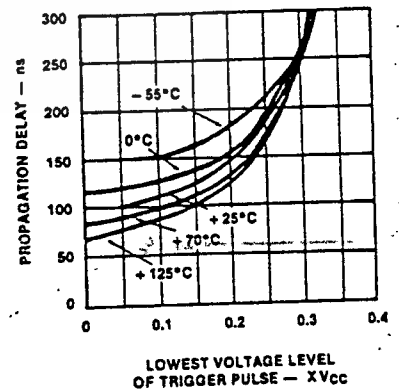
I_{source} - mA

DELAY TIME vs SUPPLY VOLTAGE



SUPPLY VOLTAGE - V

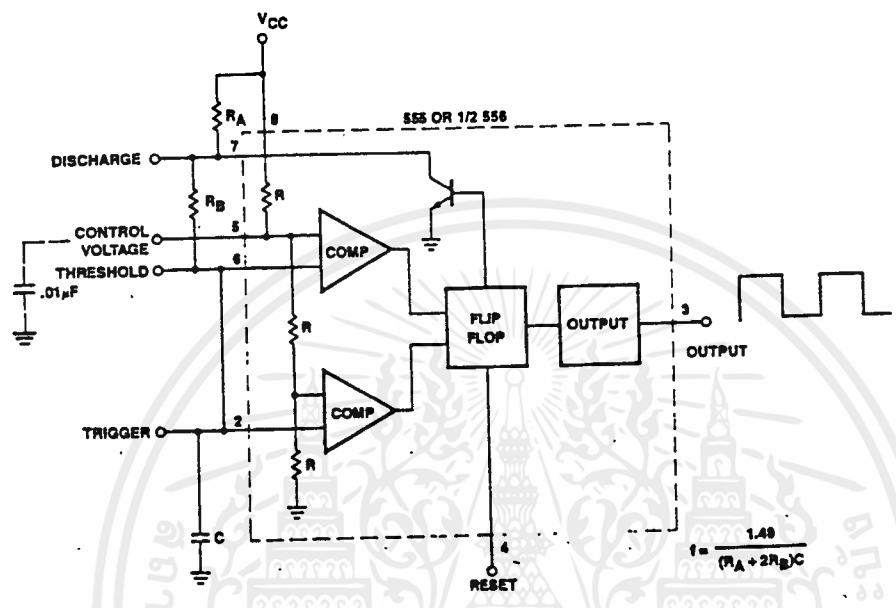
PROPAGATION DELAY vs VOLTAGE LEVEL OF TRIGGER PULSE



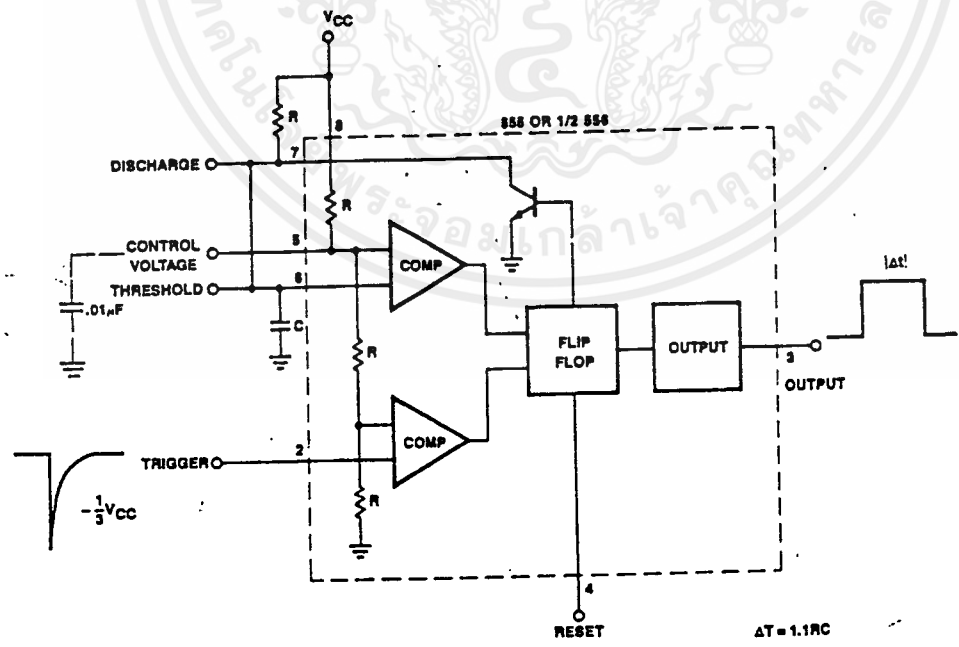
LOWEST VOLTAGE LEVEL OF TRIGGER PULSE - $\times V_{cc}$

TYPICAL APPLICATIONS

ASTABLE OPERATION



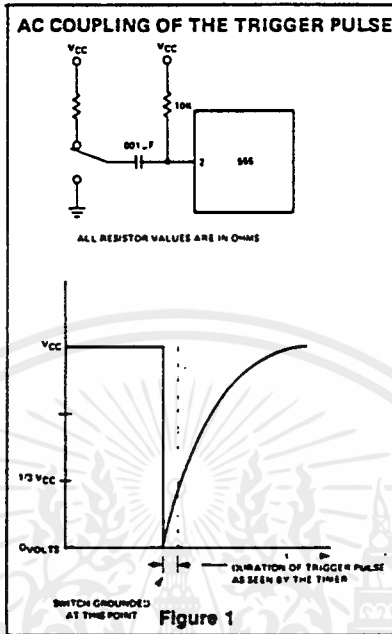
MONOSTABLE OPERATION



Trigger Pulse Width Requirements and Time Delays

Due to the nature of the trigger circuitry, the timer will trigger on the negative going edge of the input pulse. For the device to time out properly, it is necessary that the trigger voltage level be returned to a switch voltage greater than one third of the supply before the time out period. This can be achieved by making either the trigger pulse sufficiently short or by AC coupling into the trigger. By AC coupling the trigger, see Figure 1, a short negative going pulse is achieved when the trigger signal goes to ground. AC coupling is most frequently used in conjunction with a switch or a signal that goes to ground which initiates the timing cycle. Should the trigger be held low, without AC coupling, for a longer duration than the timing cycle the output will remain in a high state for the duration of the low trigger signal, without regard to the threshold comparator state. This is due to the predominance of Q₁₅ on the base of Q₁₆, controlling the state of the bi-stable flip-flop. When the trigger signal then returns to a high level, the output will fall immediately. Thus, the output signal will follow the trigger signal in this case.

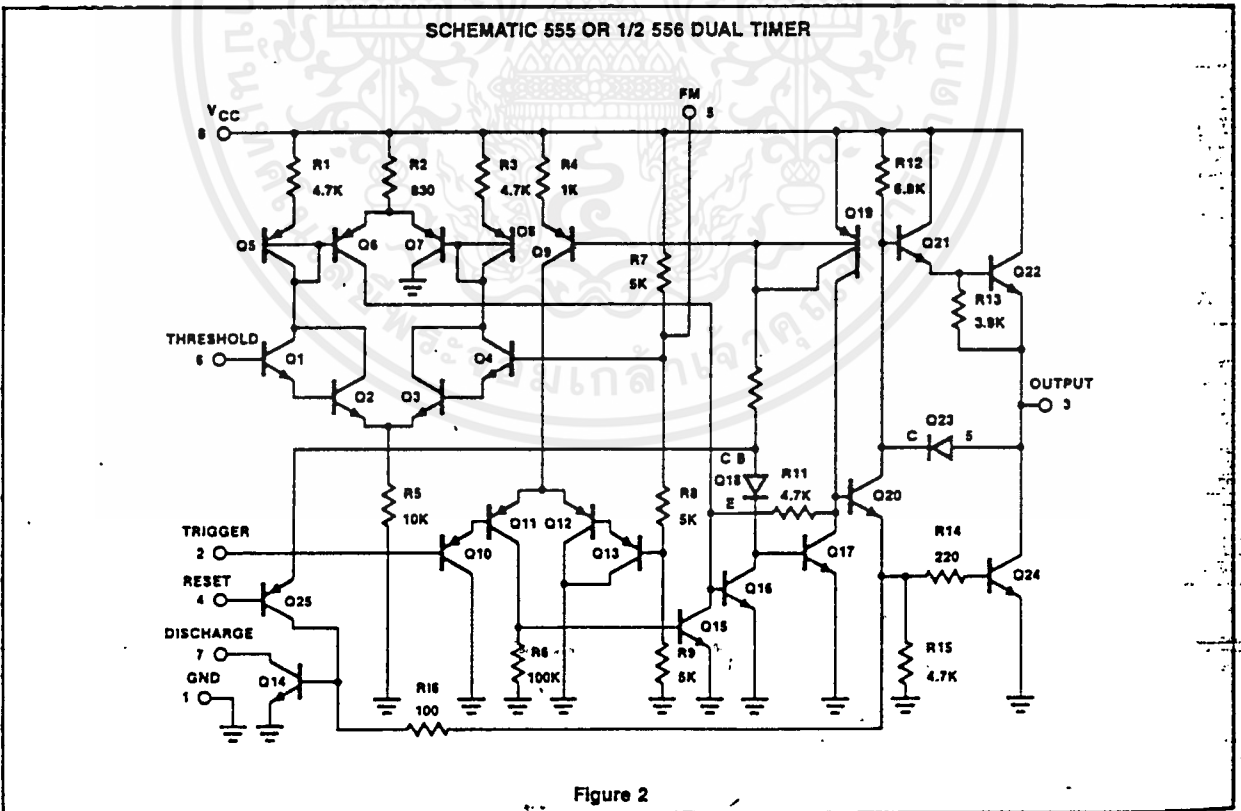
TYPICAL APPLICATIONS



Another consideration is the "turn off time". This is the measurement of the amount of time required after the threshold reaches $2/3 V_{CC}$ to turn the output low. To explain further, Q₁ at the threshold input turns on after reaching $2/3 V_{CC}$ which then turns on Q₅, which turns on Q₆. Current from Q₆ turns on Q₁₆ which turns Q₁₇ off. This allows current from Q₁₉ to turn on Q₂₀ and Q₂₄ to give an output low. These steps cause the 2μs maximum delay as stated in the data sheet.

Also, a delay comparable to the turn off time is the trigger release time. When the trigger is low, Q₁₀ is on and turns on Q₁₁ which turns on Q₁₅. Q₁₅ turns off Q₁₆ and allows Q₁₇ to turn on. This turns off current to Q₂₀ and Q₂₄, which results in output high. When the trigger is released, Q₁₀ and Q₁₁ shut off, Q₁₅ turns off, Q₁₆ turns on and the circuit then follows the same path and time delay explained as "turn off time". This trigger release time is very important in designing the trigger pulse width so as not to interfere with the output signal as explained previously.

5



MC3417, MC3517, MC3418, MC3518

ELECTRICAL CHARACTERISTICS (continued)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Applied Digital Threshold Voltage Range (Pin 12)	V _{TH}	+1.2	—	V _{CC} - 2.0	+1.2	—	V _{CC} - 2.0	Vdc
Digital Threshold Input Current (1.2 V ≤ V _{th} ≤ V _{CC} - 2.0 V) (V _{IL} applied to Pins 13, 14 and 15) (V _{IH} applied to Pins 13, 14 and 15)	I _{I(th)}	—	—	5.0	—	—	5.0	μA
Maximum Integrator Amplifier Output Current	I _O	±5.0	—	—	±5.0	—	—	mA
V _{CC} /2 Generator Maximum Output Current (Source only)	I _{Ref}	+10	—	—	+10	—	—	mA
V _{CC} /2 Generator Output Impedance (0 to +10 mA)	z _{Ref}	—	3.0	6.0	—	3.0	6.0	Ω
V _{CC} /2 Generator Tolerance (4.75 V ≤ V _{CC} ≤ 16.5 V)	er	—	—	±3.5	—	—	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15) Low Logic State High Logic State	V _{IL} V _{IH}	Gnd V _{th} + 0.4	—	V _{th} - 0.4 18	Gnd V _{th} + 0.4	—	V _{th} - 0.4 18	Vdc
Dynamic Total Loop Offset Voltage (Note 2) — Figures 3, 4 and 5 I _{GC} = 12 μA, V _{CC} = 12 V T _A = 25°C (All except 3418P,DW) (MC3418P,DW) 0°C ≤ T _A ≤ +70°C (MC3417/18L) (MC3418P,DW) -55°C ≤ T _A ≤ +125°C (MC3517/18) I _{GC} = 33 μA, V _{CC} = 12 V T _A = 25°C 0°C ≤ T _A ≤ +70°C (MC3417/18) -55°C ≤ T _A ≤ +125°C (MC3517/18) I _{GC} = 12 μA, V _{CC} = 5.0 V T _A = 25°C (All except MC3418P,DW) (MC3418P,DW) 0°C ≤ T _A ≤ +70°C (MC3417/18L) (MC3418P,DW) -55°C ≤ T _A ≤ +125°C (MC3517/18) I _{GC} = 33 μA, V _{CC} = 5.0 V T _A = 25°C 0°C ≤ T _A ≤ +70°C (MC3417/18) -55°C ≤ T _A ≤ +125°C (MC3517/18)	ΣV _{offset}	—	—	—	—	—	—	mV
Digital Output Voltage (I _{OL} = 3.6 mA) (I _{OH} = -0.35 mA)	V _{OL} V _{OH}	— V _{CC} - 1.0	0.1 V _{CC} - 0.2	0.4 —	— V _{CC} - 1.0	0.1 V _{CC} - 0.2	0.4 —	Vdc
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	V _{I(Sy)}	+3.2	—	V _{CC}	+3.2	—	V _{CC}	Vdc
Integrating Current (Figure 2) (I _{GC} = 12 μA) (I _{GC} = 1.5 mA) (All except 3418P,DW) (MC3418P,DW) (I _{GC} = 3.0 mA)	I _{I(int)}	8.0 1.45 2.75	10 1.5 3.0	12 1.55 3.25	8.0 1.45 2.75	10 1.5 3.0	12 1.55 3.25	μA mA mA
Dynamic Integrating Current Match (I _{GC} = 1.5 mA) Figure 6 (All except MC3418P,DW) (MC3418P,DW)	V _{O(Ave)}	—	±100	±250	—	±100	±250	mV
Input Current — High Logic State (V _{IH} = 18 V) Digital Data Input Clock Input Encode/Decode Input	I _{IH}	—	—	+5.0 +5.0 +5.0	—	—	+5.0 +5.0 +5.0	μA
Input Current — Low Logic State (V _{IL} = 0 V) Digital Data Input Clock Input Encode/Decode Input Clock Input, V _{IL} = 0.4 V	I _{IL}	—	—	-10 -360 -36 -72	—	—	-10 -360 -36 -72	μA

NOTE 2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517, the clock frequency is 16 kHz. For the MC3418/MC3518, the clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to insure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to $V_{CC}/2$ on Pin 10, ground or left open.

The analog input comparator has bias currents of 1.5 μA max, thus the driving impedances of Pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 ms to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current ($V-I$) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5 $\text{V}/\mu\text{s}$. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x-axis) and the integrating current, I_{INT} (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 k Ω to maintain stability.

Pin 5 — Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{INT}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in

the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{INT} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between 8.0 k Ω and 13 k Ω to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600-ohm load referenced to $V_{CC}/2$ to +6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 $\text{V}/\mu\text{s}$. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 — VEE

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and non-inverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for $V_{CC} = 12$ V and $C_L = 25$ pF to ground.

Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid-supply reference is provided for use of the MC3417/18 in single supply applications. The internal regulator is a current source and must be loaded with a resistor to insure its sinking capability. If a +6.0 dBm signal is expected across a 600 ohm input bias resistor, then Pin 10 must sink 2.2 $\text{V}/600 \Omega = 3.66$ mA. This is only possible if Pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — Coincidence Output

The duty cycle of this pin is proportional to the voltage across C_S . The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. In the MC3417 the register is 3 bits long while the MC3418 contains a 4 bit register. Pin 11 is an open collector of an NPN device and requires a pull-up resistor.

TYPICAL PERFORMANCE CURVES

FIGURE 7 - TYPICAL I_{int} versus I_{GC} (Mean $\pm 2\sigma$)

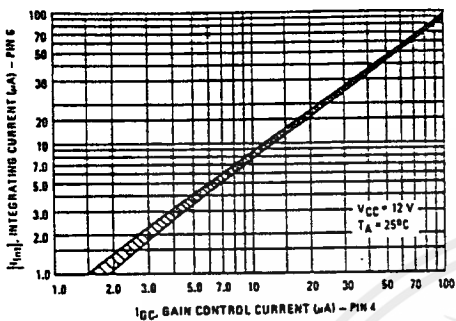


FIGURE 8 - NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus V_{CC}

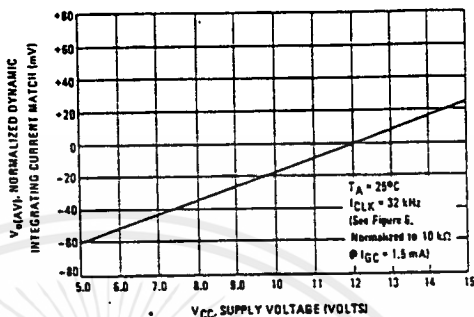


FIGURE 9 - NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus CLOCK FREQUENCY

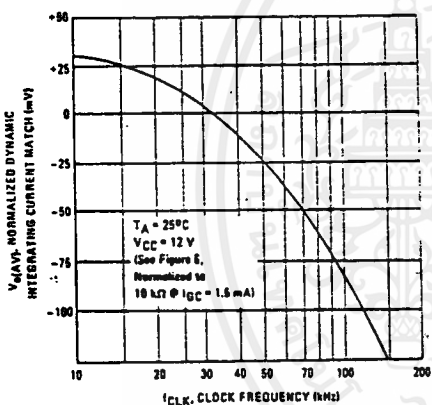


FIGURE 10 - DYNAMIC TOTAL LOOP OFFSET versus CLOCK FREQUENCY

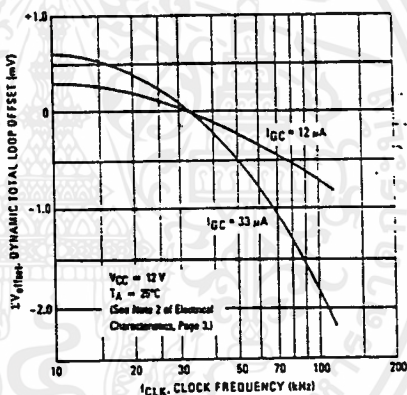


FIGURE 11 - BLOCK DIAGRAM OF THE CVSD ENCODER

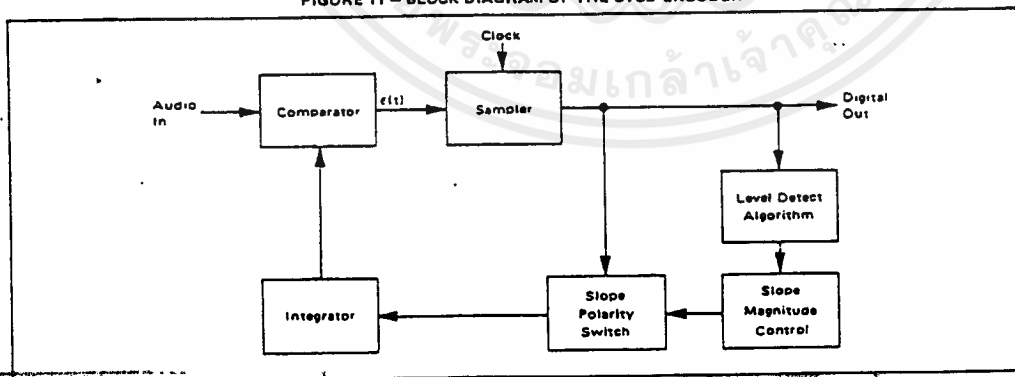
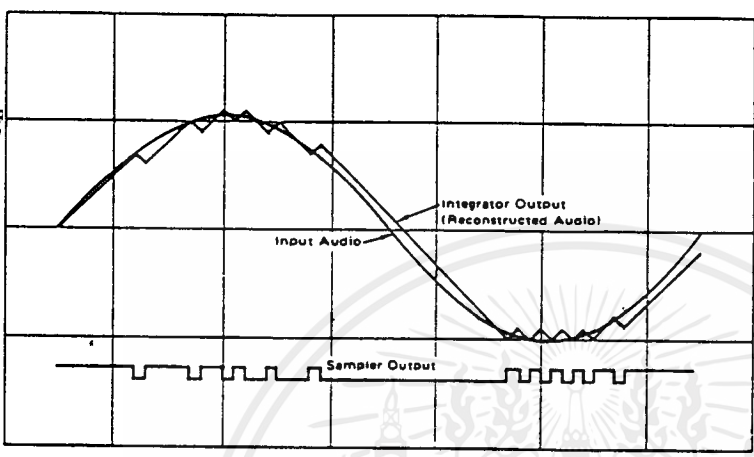
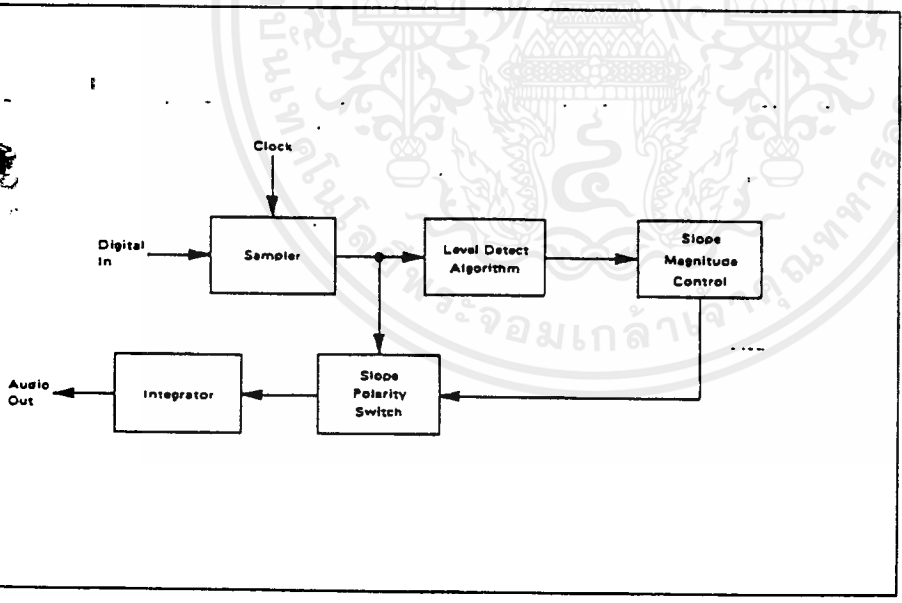


FIGURE 12 - CVSD WAVEFORMS



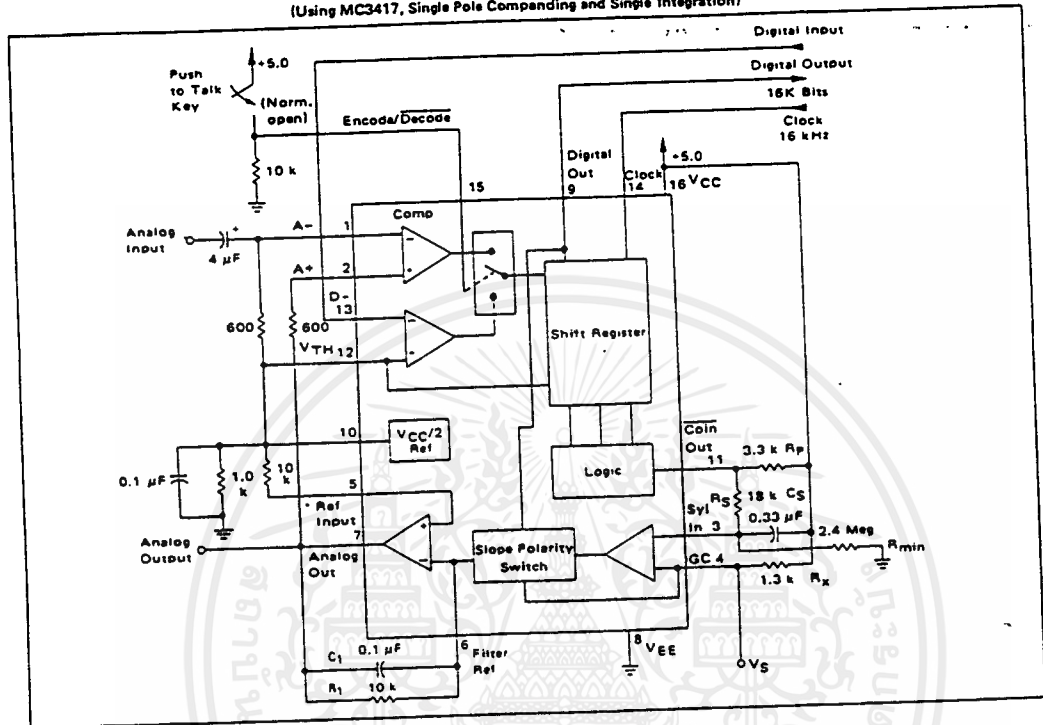
2

FIGURE 13 - BLOCK DIAGRAM OF THE CVSD DECODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 14 - 16 kHz SIMPLEX VOICE CODEC
(Using MC3417, Single Pole Companding and Single Integration)



CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the

sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting location tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from 8 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to

CIRCUIT DESCRIPTION (continued)

zero and receive restart begins without framing when the receiver reacquires. Similarly a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the Nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 3 or 4 bits long depending on the application. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates

if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all ones, all zeros algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm only operates on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communications requirements.

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3417 or MC3418 is shown in Figure 14. These ICs are general purpose CVSD building blocks which allow the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3417 and MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application, and they are as follows:

1. Selection of clock rate

2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single pole networks. The selection of items 1 through 4 govern the codec performance.

TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

The Active Companding Network

The unique feature of the codec in Figure 18 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across CS divided by the voltage swing of the coincidence output. In Figure 18, the voltage swing of Pin 11 is 6.0 volts. The operating companding ratio is analogized by the voltage between Pins 10 and 4 by means of the virtual short across Pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 volts below $V_{CC}/2$, then the positive input of A1 is ($V_{CC}/2 - 0.7$). The on diode drop at the input of A1 represents a 12% companding ratio ($12\% = 0.7 \text{ V}/6.0 \text{ V}$).

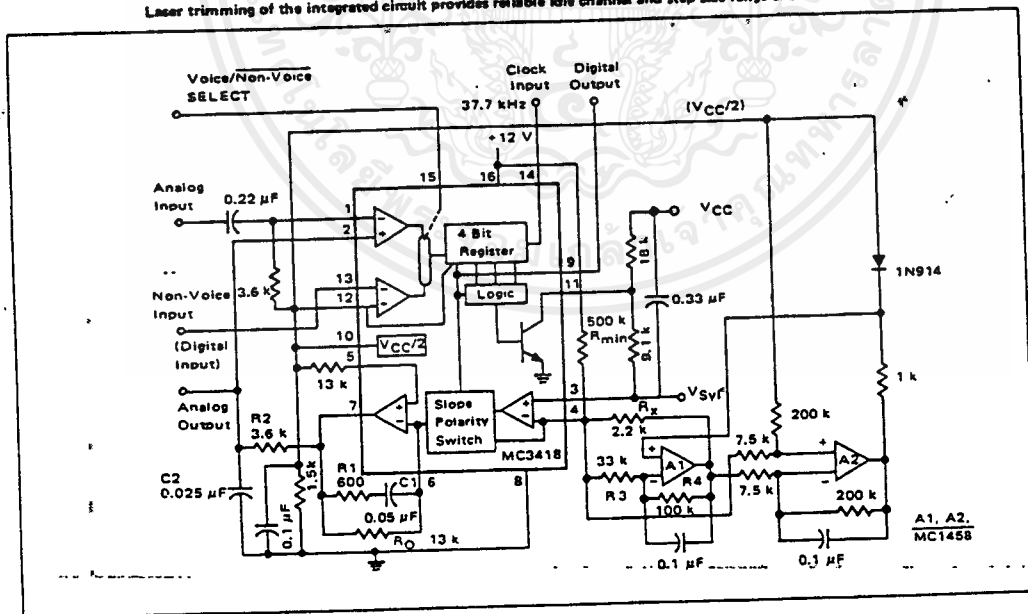
The present step size of the operating codec is directly related to the voltage across R_x , which established the

integrator current. In Figure 18, the voltage across R_x is amplified by the differential amplifier A2 whose output is single ended with respect to Pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 volts. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and the instantaneous companding ratio at Pin 4 is amplified by A1. The output of A1 changes the voltage across R_x in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R_4 and R_3 determines how closely the voltage at Pin 4 will be forced to 12%. The selection of R_3 and R_4 is initially experimental. However, the resulting companding control is dependent on R_x , R_3 , R_4 , and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on Pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_x and the gain of A2 and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily

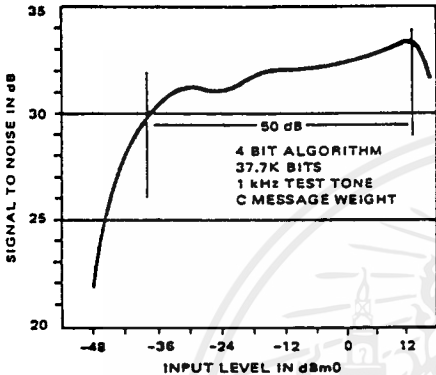
FIGURE 18 - TELEPHONE QUALITY DELTAMOD CODER
 (Both double integration and active companding control are used to obtain improved CVSD performance.
 Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.)



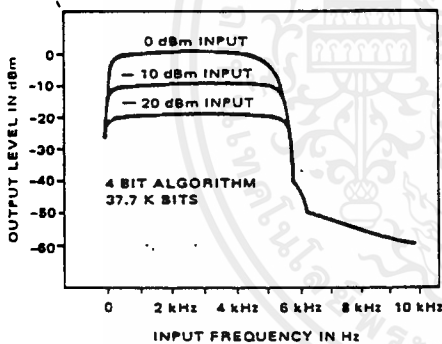
TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

FIGURE 19 - SIGNAL-TO-NOISE PERFORMANCE AND FREQUENCY RESPONSE (Showing the improvement realized with the circuit in Figure 18.)

a. SIGNAL-TO-NOISE PERFORMANCE OF TELEPHONY QUALITY DELTAMODULATOR



b. FREQUENCY RESPONSE versus INPUT LEVEL (SLOPE OVERLOAD CHARACTERISTIC)



repeated.

With no input signal, the companding ratio at Pin 4 goes to zero and the voltage across R_X goes to zero. The voltage at the output of A2 becomes zero since there is no drop across R_X . With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between V_{CC} and $V_{CC}/2$ and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 19. A smooth 2 dB drop is realized from +12 dBm to -24 under the control of A1. At -24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

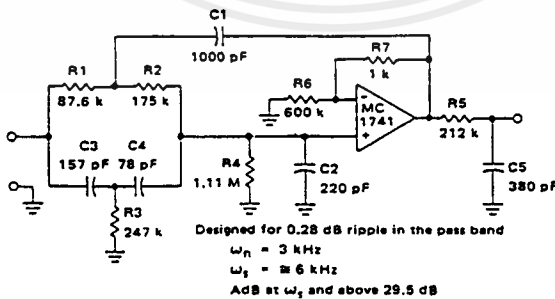
The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across R_X . The curves demonstrate that the level linearity has been maintained or improved.*

The codec in Figure 18 is designed specifically for 37.7K bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 18 represents a significant step forward in the art and cost of CVSD codec designs.

*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 18, 0.050 μ F would work well.

FIGURE 20 - HIGH-PERFORMANCE ELLIPTIC FILTER FOR CVSD OUTPUT



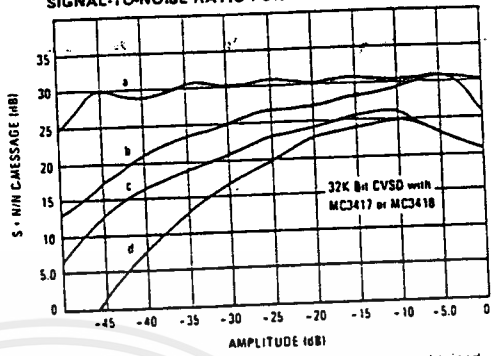
COMPARATIVE CODEC PERFORMANCE

The salient feature of CVSD codecs using the MC3517 and MC3518 family is versatility. The range of codec complexity tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required and the cost objectives. To illustrate the choices available, the data in Figure 22 compares the signal-to-noise ratios and dynamic range of various codec design options at 32K bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

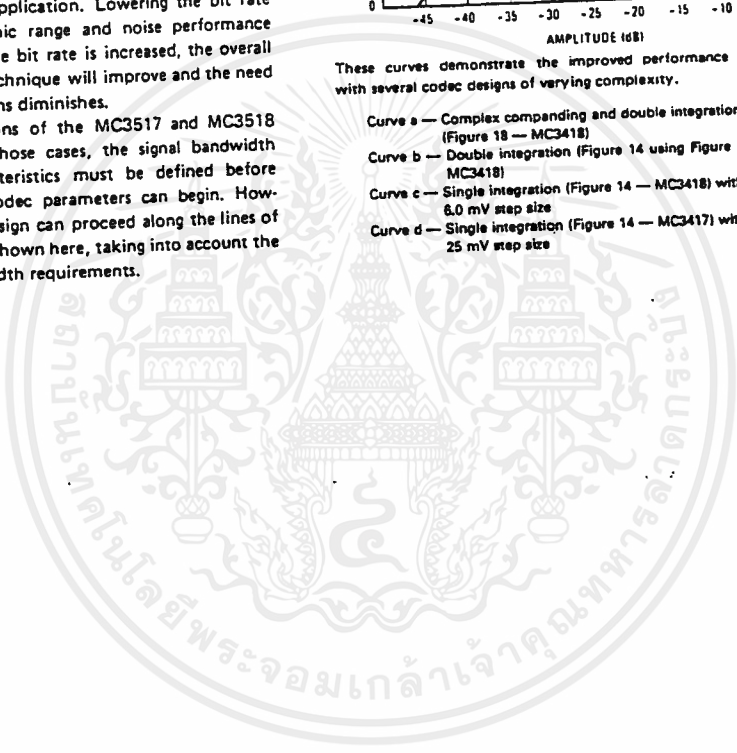
Non-voice applications of the MC3517 and MC3518 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

FIGURE 22 — COMPARATIVE CODEC PERFORMANCE — SIGNAL-TO-NOISE RATIO FOR 1 kHz TEST TONE



These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

- Curve a — Complex companding and double integration (Figure 18 — MC3418)
- Curve b — Double integration (Figure 14 using Figure 16 — MC3418)
- Curve c — Single integration (Figure 14 — MC3418) with 6.0 mV step size
- Curve d — Single integration (Figure 14 — MC3417) with 25 mV step size



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



CMOS DECADE COUNTER/DIVIDER

FEATURES

- ◆ 10 Decoded Decimal Outputs
- ◆ Direct Reset
- ◆ Trigger from either Edge of Clock Input
- ◆ Carry Output for Cascading Stages
- ◆ Fully Static Operation - DC to 5MHz @ 10Vdc

DESCRIPTION

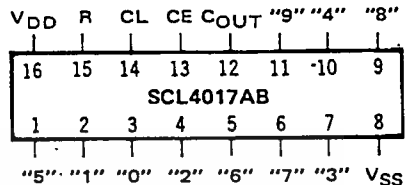
The SCL4017AB consists of a 5-stage Johnson Decade Counter and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out (C_{OUT}) signal completes one cycle every 10 clock input cycles and is used to directly clock the succeeding counter in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	V _{DD} - V _{SS}	3 to 15	Vdc
Operating Temperature	T _A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

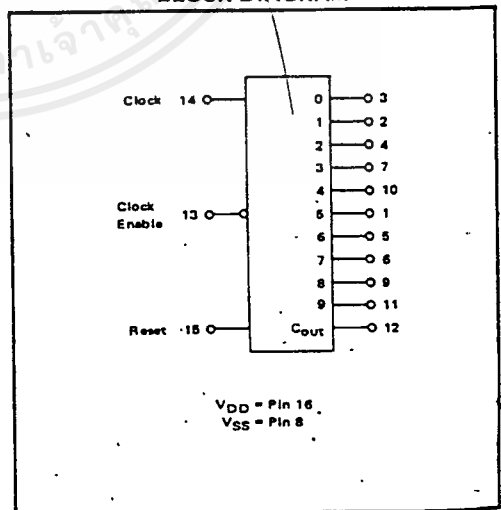
FUNCTIONAL TRUTH TABLE (Positive Logic)

Clock	Clock Enable	Reset	Decode Output = n
0	X	0	n
X	1	0	n
X	X	1	"0"
X	0	0	n + 1
X	X	0	n
X	X	0	n
1	X	0	n + 1

x = Don't Care

If n < 5 Carry = "1", Otherwise = "0"

BLOCK DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS¹

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units			
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.				
QUIESCENT DEVICE CURRENT	I _{DD}	5	V _{IN} =V _{SS} or V _{DD}	-	5	-	0.05	5	-	150	μAdc		
		10	All valid input combinations	-	10	-	0.1	10	-	300			
		15		-	20	-	0.2	20	-	600			
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device Decoded Outputs	I _{OH}	5	V _{OH} = 4.6V	-0.05	-	-0.04	-0.3	-	-0.028	-	mAdc		
		10	V _{OH} = 9.5V	-0.125	-	-0.1	-0.75	-	-0.07	-			
		15	V _{OH} = 13.5V	-0.375	-	-0.3	-2.5	-	-0.21	-			
			V _{IN} =V _{SS} or V _{DD}										
		Carry Output	5	V _{OH} = 4.6V	-0.25	-	-0.2	-0.75	-	-0.14		-	mAdc
			10	V _{OH} = 9.5V	-0.62	-	-0.5	-1.1	-	-0.35		-	
15	V _{OH} = 13.5V		-1.9	-	-1.5	-3.5	-	-1.1	-				
E device Decoded Outputs	I _{OH}	5	V _{OH} = 4.6V	-0.048	-	-0.04	-0.3	-	-0.032	-	mAdc		
		10	V _{OH} = 9.5V	-0.12	-	-0.1	-0.75	-	-0.08	-			
		15	V _{OH} = 13.5V	-0.36	-	-0.3	-2.5	-	-0.24	-			
			V _{IN} =V _{SS} or V _{DD}										
		Carry Output	5	V _{OH} = 4.6V	-0.24	-	-0.2	-0.75	-	-0.16		-	mAdc
			10	V _{OH} = 9.5V	-0.6	-	-0.5	-1.1	-	-0.4		-	
15	V _{OH} = 13.5V		-1.8	-	-1.5	-3.5	-	-1.2	-				
OUTPUT LOW (SINK) CURRENT C, D, F, H device Decoded Outputs	I _{OL}	5	V _{OL} = 0.4V	0.05	-	0.04	0.4	-	0.028	-	mAdc		
		10	V _{OL} = 0.5V	0.125	-	0.1	1.0	-	0.07	-			
		15	V _{OL} = 1.5V	0.375	-	0.3	3.0	-	0.21	-			
			V _{IN} =V _{SS} or V _{DD}										
		Carry Output	5	V _{OL} = 0.4V	0.25	-	0.2	0.75	-	0.14		-	mAdc
			10	V _{OL} = 0.5V	0.62	-	0.5	1.3	-	0.35		-	
15	V _{OL} = 1.5V		1.9	-	1.5	4.0	-	1.1	-				
E device Decoded Outputs	I _{OL}	5	V _{OL} = 0.4V	0.048	-	0.04	0.4	-	0.032	-	mAdc		
		10	V _{OL} = 0.5V	0.12	-	0.1	1.0	-	0.08	-			
		15	V _{OL} = 1.5V	0.36	-	0.3	3.0	-	0.24	-			
			V _{IN} =V _{SS} or V _{DD}										
		Carry Output	5	V _{OL} = 0.4V	0.24	-	0.2	0.75	-	0.16		-	mAdc
			10	V _{OL} = 0.5V	0.6	-	0.5	1.3	-	0.4		-	
15	V _{OL} = 1.5V		1.8	-	1.5	4.0	-	1.2	-				

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

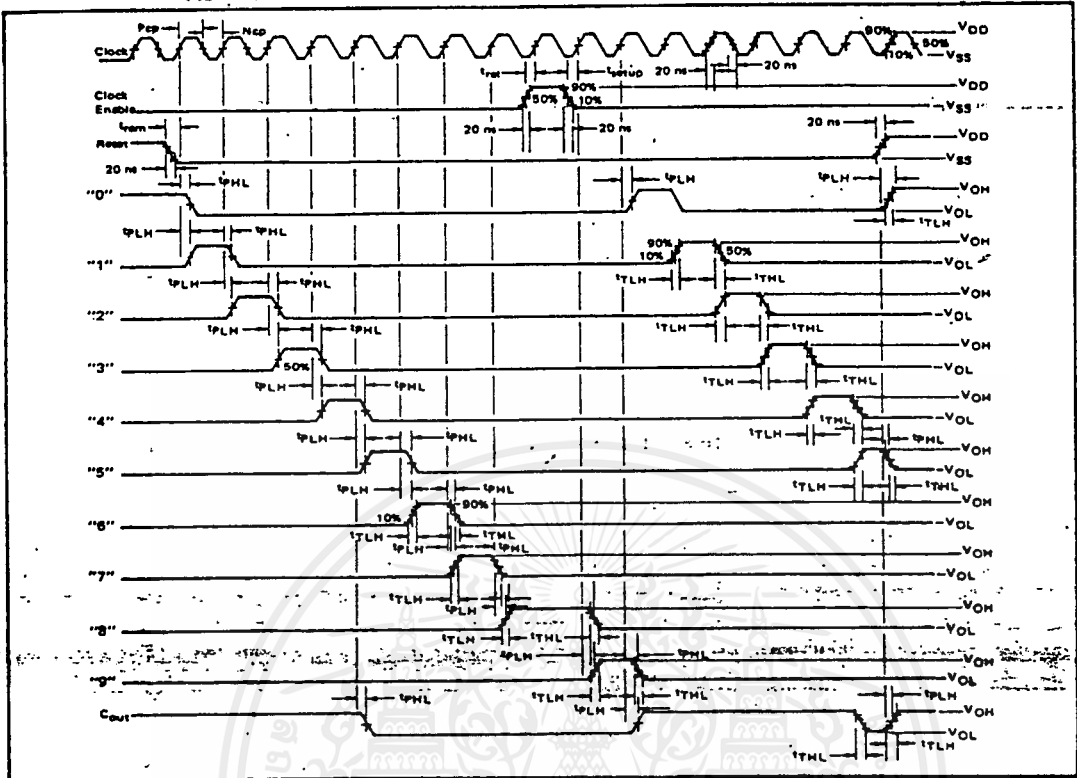
= + 85°C for E device.

ELECTRICAL CHARACTERISTICS (Continued)

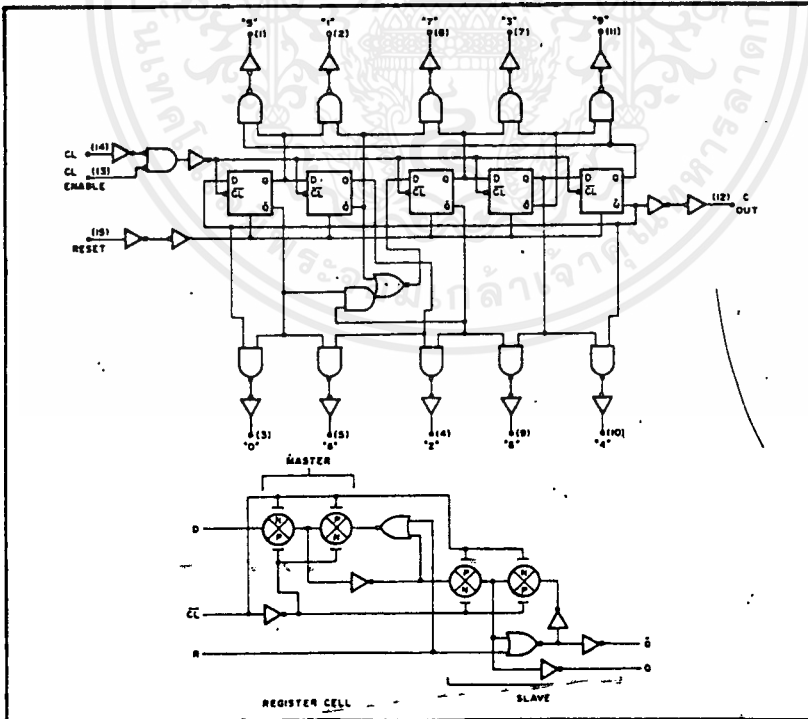
DYNAMIC CHARACTERISTICS ($C_L = 50\text{pF}$, $T_A = 25^\circ\text{C}$)

PARAMETER	V_{DD} (Vdc)	Min.	Typ.	Max.	Units	
CLOCKED OPERATION						
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	—	600	1200	ns
		10	—	240	480	
		15	—	180	360	
To Carry Output	t_{PLH}, t_{PHL}	5	—	500	1000	ns
		10	—	200	400	
		15	—	150	300	
OUTPUT TRANSITION TIME Decoded Outputs	t_{TLH}, t_{THL}	5	—	250	500	ns
		10	—	125	250	
		15	—	90	180	
Carry Output	t_{TLH}, t_{THL}	5	—	180	360	ns
		10	—	90	180	
		15	—	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	—	200	400	ns
		10	—	100	200	
		15	—	80	160	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.25	2.5	—	MHz
		10	2.5	5.0	—	
		15	3.0	6.0	—	
MAXIMUM CLOCK OR ENABLE RISE AND FALL TIME	t_{CL}, t_{CL}	5	15	—	—	μs
		10	15	—	—	
		15	5	—	—	
MINIMUM ENABLE SETUP TIME	t_{setup}	5	—	175	350	ns
		10	—	75	150	
		15	—	55	110	
MINIMUM ENABLE REMOVAL TIME	t_{rem}	5	—	250	500	ns
		10	—	100	200	
		15	—	75	150	
RESET OPERATION						
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	—	500	1000	ns
		10	—	200	400	
		15	—	140	280	
To Carry Output	t_{PLH}	5	—	400	800	ns
		10	—	150	300	
		15	—	110	220	
MINIMUM RESET PULSE WIDTH	PW_R	5	—	150	300	ns
		10	—	75	150	
		15	—	60	120	
RESET REMOVAL TIME	t_{rem}	5	—	250	500	ns
		10	—	100	200	
		15	—	80	160	

AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



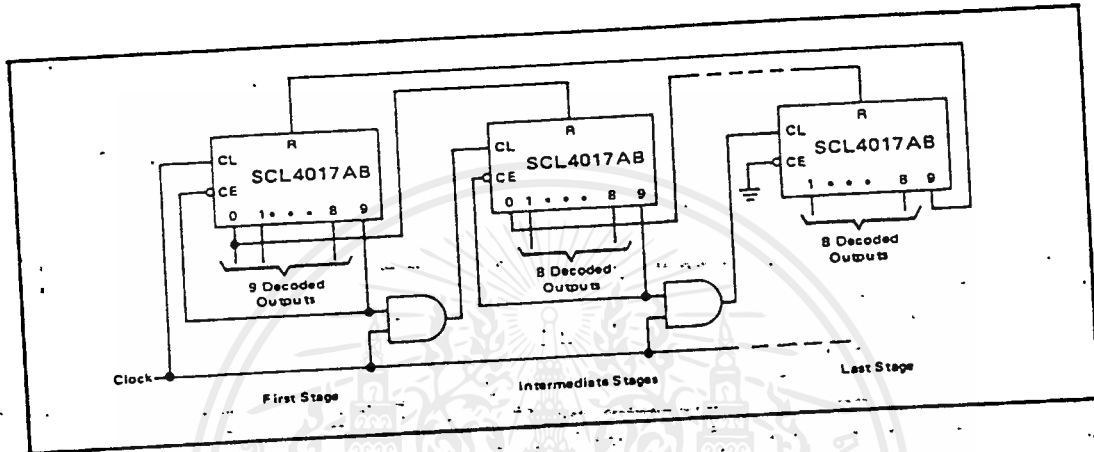
LOGIC DIAGRAM



APPLICATIONS INFORMATION

COUNTER EXPANSION

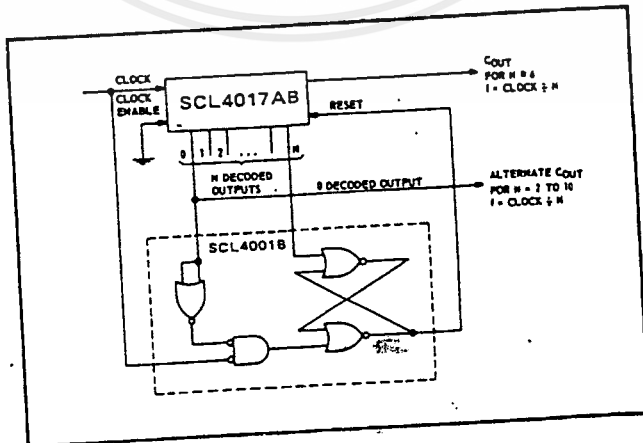
This figure shows a technique for extending the number of decoded output states for the SCL4017AB. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).



DIVIDE-BY-N COUNTER

When the Nth decoded output is reached (Nth clock pulse), the S-R flip-flop (constructed from the SCL4001B) generates a reset pulse which clears the SCL4017AB to its zero count. At this time, if the Nth decoded output is greater than or equal to 6, the COUT line goes high to clock the next counter section. The "0" decoded output also goes high at this time. Coincidence of the clock "low" and decoded "0" output "high" resets the S-R flip-flop to enable the SCL4017AB.

If the Nth decoded output is less than 6, the COUT line will not go high, and, therefore, cannot be used. In this case, the "0" decoded output may be used to perform the clock function for the next counter.



SCL4046B
SCL4446B



CMOS PHASE-LOCKED LOOPS

FEATURES

- ◆ Very low power consumption – 70 μ W (typ) @ $f_o = 10$ kHz, 5Vdc
- ◆ Operating frequency range (no offset) – Up to 3MHz (typ) @ 10Vdc (SCL4046B) Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- ◆ Low frequency drift – 0.04%/°C (typ) @ 10Vdc
- ◆ Choice of two phase comparators:
 1. Exclusive-OR network
 2. Edge-controlled memory network with phase-pulse output for lock indication
- ◆ VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- ◆ High VCO linearity 1% (typ)
- ◆ Source-follower output of VCO control input (Demodulator Output)
- ◆ Zener Diode to assist Supply Regulation
- ◆ Balanced Output Drive Current Specifications

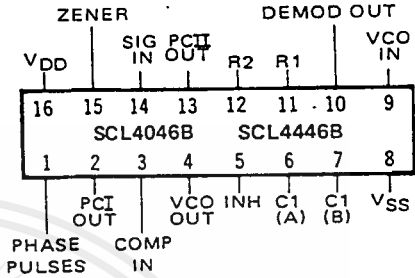
APPLICATIONS

- ◆ FM demodulator and modulator
- ◆ Frequency synthesis and multiplication
- ◆ Frequency discriminator
- ◆ Data synchronization
- ◆ Voltage-to-frequency conversion
- ◆ Tone decoding
- ◆ FSK Modems
- ◆ Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{OUT} , and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{OUT}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{OUT} whose frequency is determined by the voltage of input VCO_{IN} and the capacitor and resistors connected to pins C1A, C1B, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{IN} signal is needed but no loading can be tolerated. The inhibit input Inh , when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

BLOCK DIAGRAM

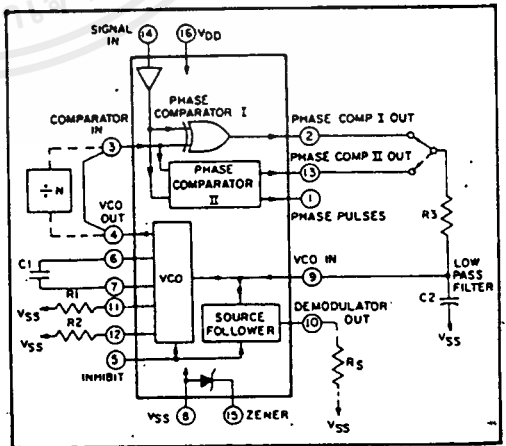


Fig. 1

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULA-

TOR OUTPUT). If this terminal is used, a load resistor (R_L) of $50k\Omega$ or more should be connected from this terminal to V_{SS} . If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leq 30\%$ ($V_{DD} - V_{SS}$), logic "1" $\geq 70\%$ ($V_{DD} - V_{SS}$)]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_0).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_C$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180° , and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

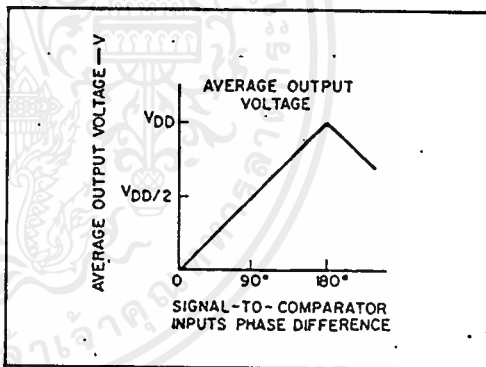


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

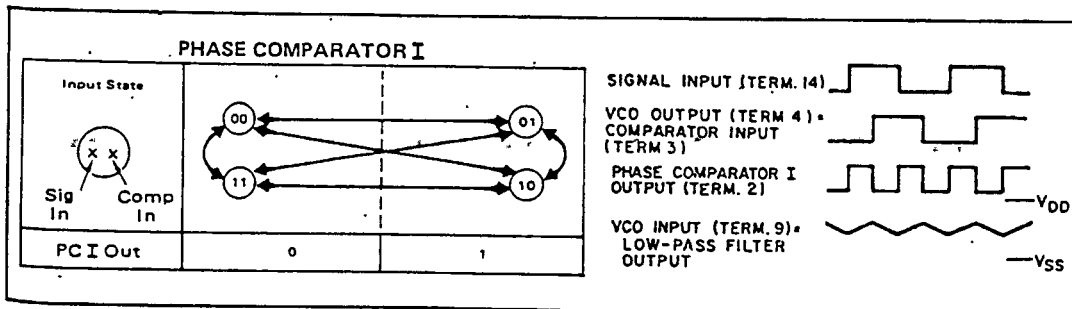


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

PHASE COMPARATOR II

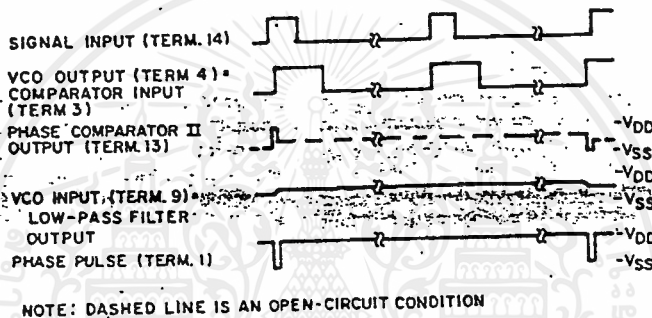
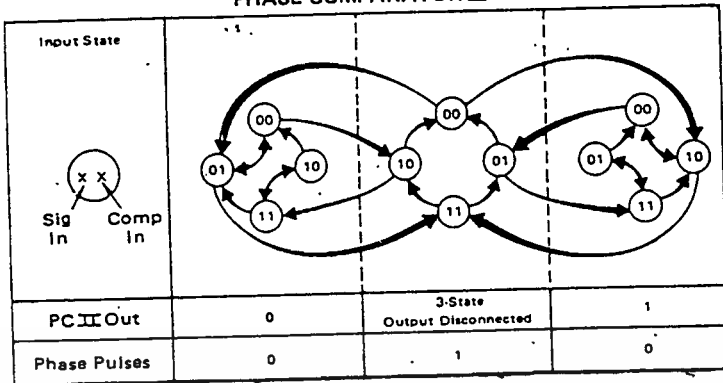


Fig. 4 — Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS} , respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output

drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

ELECTRICAL CHARACTERISTICS ^{1,3}

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	Inhibit = V _{DD} Signal Input = V _{DD}	—	5	—	0.05	5	—	150	μA _{dc}
			—	10	—	0.01	10	—	300	
			—	20	—	0.2	20	—	600	
TOTAL POWER DISSIPATION	P _T	Inh = V _{SS} , VCO _{IN} = V _{DD} , f _o = 10kHz, ² C _L = 15pF, R1 = 1MΩ, R2 = R _S = ∞	—	—	—	0.07	—	—	—	mW
			—	—	—	0.6	—	—	—	
			—	—	—	2.4	—	—	—	
			—	—	—	—	—	—	—	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

= +85°C for E device.

³ VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER	CONDITIONS	V _{DD}	25°C			UNIT			
			Min.	Typ.	Max.				
VCO SECTION									
MAXIMUM OPERATING FREQUENCY SCL4046B	f _{max} R2 = ∞ VCO _{IN} = V _{DD}	R1 C1 10k 50pF	5	0.5	0.8	—	MHz		
			10	1.0	1.5	—			
			15	1.3	1.9	—			
		5k 50pF	5	0.6	1.0	—	MHz		
			10	1.4	2.1	—			
			15	1.8	2.7	—			
		2k 50pF	5	—	1.3	—	MHz		
			10	—	2.9	—			
			15	—	3.8	—			
		SCL4446B	R2 = ∞ VCO _{IN} = V _{DD}	R1 C1 10k 50pF	5	0.7	1.0	—	MHz
					10	1.3	2.0	—	
					15	1.9	2.8	—	
5k 50pF	5			0.9	1.3	—	MHz		
	10			1.9	2.9	—			
	15			2.6	3.9	—			
2k 50pF	5			—	1.8	—	MHz		
	10			—	3.9	—			
	15			—	5.4	—			
LINEARITY	R2 = ∞ VCO _{IN} = 2.5±0.3V, R1 ≥ 10kΩ VCO _{IN} = 5.0±2.5V, R1 ≥ 400kΩ VCO _{IN} = 7.5±5.0V, R1 ≥ 1MΩ			5	—	1	—	%	
				10	—	1	—		
				15	—	1	—		

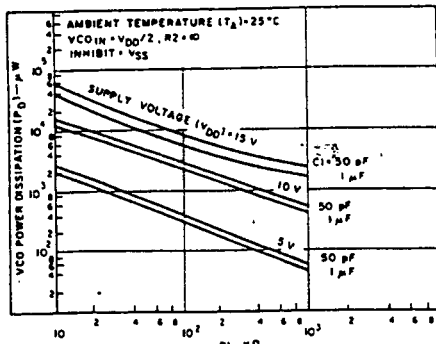


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

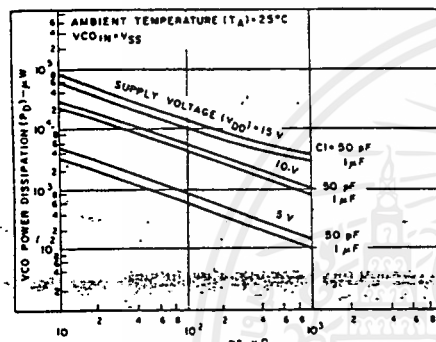


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

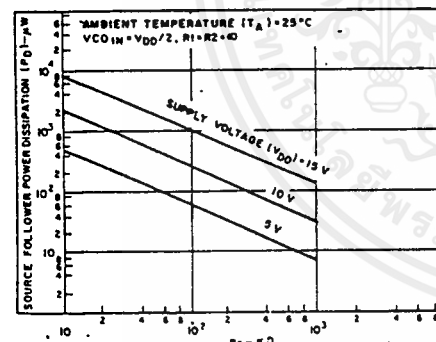


Fig. 6 (c) - Typical source follower power dissipation vs R_S .

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

$$P_D (Total) = P_D (f_0) + P_D (f_{MIN}) + P_D (R_S)$$

- Phase Comparator I

$$P_D (Total) = P_D (f_{MIN})$$

- Phase Comparator II

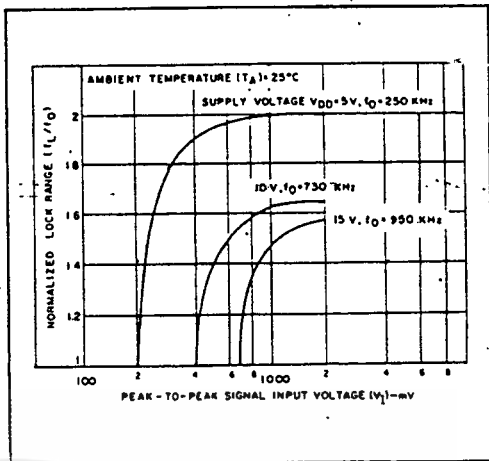


Fig. 7 - Typical lock range vs signal input amplitude

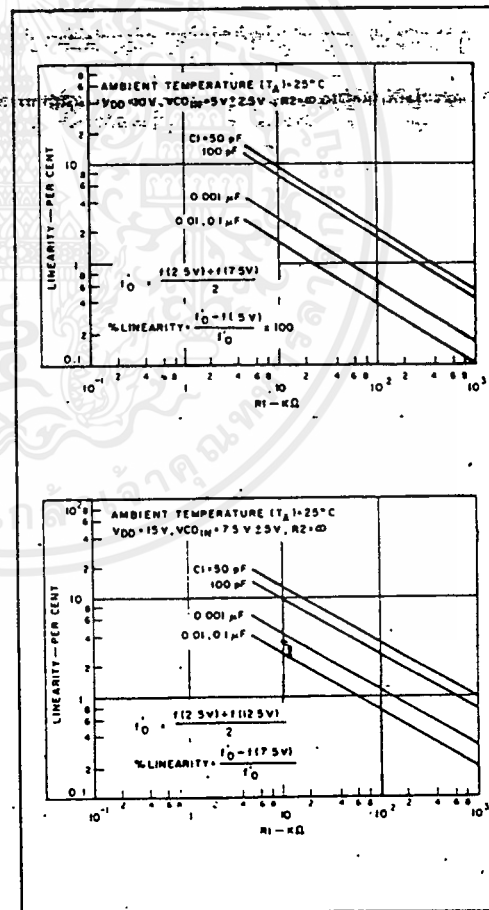


Fig. 8(a, b) - Typical VCO linearity vs R1 and C1