อุปกรณ์ต่อเชื่อมชุมสายต่างระบบชนิด DTMF แบบอัตโนมัติ

AUTOMATIC CONNECTION PABX (DTMF)

โดย

นายสมเกียรติ อาจารมิริ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033132

หัวข้อปริญญานิพนธ์	อุปกรณ์ต่อเชื่อมชุมสายต่างระบบชนิด DTMF แบบอัตโนมัติ
จัดทำโดย	นายสมเกียรติ อาจารสิริ 34131231
สาขาวิชา	เทคโนโลยีอีเล็กทรอนิกส์อุตสาหกรรม
ภาควิชา	เทคนิคอุตสาหกรรม
อาจารย์ที่ปรึกษา	อาจารย์ ไพศาล สิทธิโยภาสกุล
ปีการศึกษา	2536

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร ปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

---------- ประธานกรรมการ
( )

---------- กรรมการ
( )

---------- กรรมการ
( )

---------- กรรมการ
( )

---------- กรรมการ
( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์ต่อเชื่อมชุมสายต่างระบบชนิด DTMF แบบอัตโนมัติ

โดย

นายสมเกียรติ อาจารสิริ 34131231

อาจารย์ที่ปรึกษา

อาจารย์ ไพศาล สิทธิโยภาสกุล

ปีการศึกษา 2536

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

อุปกรณ์ต่อเชื่อมชุมสายต่างระบบนี้ เป็นอุปกรณ์ที่จะอำนวยความสะดวกในการต่อเชื่อมชุมสายโดยไม่ต้องใช้ OPERATOR เนื่องจากชุมสาย PABX แต่ละบริษัทที่ผลิตออกมาบางครั้งไม่สามารถต่อเชื่อมกันได้โดยตรง จากการทำงานของระบบเครื่องเอง อุปกรณ์ชุดนี้มีการเพิ่มเติมการใช้รหัสผ่าน (PASSWORD) เพื่อป้องกันปัญหาที่เกิดจากความหนาแน่นของการใช้งาน การต่อเชื่อมจะเป็นการต่อเชื่อมทางสัญญาณเสียงพูด (VOICE)จึงไม่เกิดปัญหาจากระบบของ PABX ที่ต่างกันหลักการทำงานของอุปกรณ์นี้ คือ เมื่อมีสัญญาณเรียกเข้าจาก ชุมสาย A วงจรนับสัญญาณกระดิ่งจะทำการนับ เมื่อนับครบตามที่กำหนดไว้ก็จะทำการต่อ MATCHING เข้ากับ LINE โทรศัพท์ เพื่อเป็นการยกหูรับสาย จากนั้นก็จะ CHECK รหัสผ่านว่าถูกต้องหรือไม่ ถ้าถูกต้องก็จะทำการต่อ MATCHING อีกด้านหนึ่งเข้ากับชุมสาย B เหมือนการยกหูเครื่องโทรศัพท์ของ ชุมสาย B จากนั้น เครื่องโทรศัพท์ที่หมุนเรียกเข้าจากชุมสาย A ก็จะกดสัญญาณ DTMF ผ่านออกทางชุมสาย B เหมือนกับการใช้เครื่องโทรศัพท์ของชุมสาย B โดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AUTOMATIC CONNECTION PABX (DTMF)

Mr. SOMKIAT ARJARASIRI 34131231

ADVISOR

Mr. PAISAN SITTIYOPASAKUL

ABSTRACT

AUTOMATIC CONNECTION PABX IN DIFFERENCE SYSTEMARE THE EQUIPMENT WITCH CAN BE CONNECTED BETWEEN PABX WITH OUT OPERATOR. BECAUSE EACH PABX OF THE MANUFACTURE SOME TIME CAN NOT DIRECTING CONNECT TOGETHER. FROM THE OPERTION OF EQUIPMENT HAVE TO BE USED PASSWORD FOR THE VOICE CONNCETION WITH IS NO PROBLEM. BECAUSE OF DIFFERENCE WHEN THERE IS PABX SYSTEM. THE PRINCIPLE OF THIS EQUIPMENT IS RINGING TONE FROM PABX A.THE RINGING COUNTER WILL BE COUNT WHEN THE COUNT IS DONE DISPOSE THE MATCHING IS CONNECTTED WITH THE TELEPHON LINE. FOR UNHOOK THE TELEPHON HANDSET THEN THEY WILL HECK FOR RIGHT OR WRONG. IF THEY ARE RIGHT THE MATCHING WILL BE CONNECTTED THE OTHER SIDE WITH THE PABX B. LIKE A OF HOOK OF PABX B. THEN THE TELEPHON WITH SEND THE DIAL TONE IN TO THE PABX A WILL PRESS DTMF SIGNAL PASS THROUGH PABX B. LIKE A USEING OF PABX B IN DIRECTLY.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณท่านอาจารย์ ไพศาล สิทธิโยภาสกุล ที่ได้กรุณาให้คำแนะนำ และ ช่วยแก้ปัญหาต่างๆ ที่เกิดขึ้นมาโดยตลอด จนปริญญานิพนธ์นี้สำเร็จลงได้ด้วยดี ขอบ คุณอาจารย์ทุกๆ ท่านที่ได้ประสิทธิ์ประสาท วิชาความรู้แก่ผู้เขียน ขอบคุณเพื่อนๆ ที่ได้ให้กำลังใจตลอดมา และสุดท้ายขอขอบคุณทุกๆ สิ่งที่ทำให้มีพลังกำลังใจ ต่อสู้จนกระทั่งสามารถทำปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
	1.1 วัตถุประสงค์	1
	1.2 ประโยชน์ที่ได้รับ	1
บทที่ 2	ระบบชุมสายโทรศัพท์	2
บทที่ 3	ทฤษฎีและการออกแบบ	3
	3.1 หลักการทำงาน	7
	3.2 วงจรนับสัญญาณกระดิ่ง	9
	3.3 DTMA ENCODER	10
	3.3.1 คุณสมบัติของ MT 8870	10
	3.3.2 การนำ MT 8870 ไปใช้งาน	11
	3.3.3 โครงสร้างของ MT 8870	11
	3.3.4 ภาคกรองสัญญาณความถี่	12
	3.3.5 ภาคถอดรหัส	12
	3.3.6 ภาคตรวจสอบสัญญาณ	12
	3.3.7 ภาคกำเนิดความถี่	13
	3.4 4 TO 16 DECODER	18
	3.5 CODE SELECT AND CODE DETECT	18
	3.6 TIMER OSC.	19
	3.7 MASTER RESET	20
	3.8 POWER SUPPLY	20
บทที่ 4	สรุปและวิจารณ์ ผลของโครงงาน	21
	4.1 อุปสรรคในการปฏิบัติงาน	21
	4.2 สรุป	21
	4.3 วิธีการใช้งาน	22
บรรณานุกรม		23
ภาคผนวก		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เทคโนโลยีของระบบโทรศัพท์ ได้มีการพัฒนาเปลี่ยนแปลงไปมากจากเดิมชุมสายโทรศัพท์จะเป็นระบบ STEP BY STEP ต่อมาได้พัฒนามาเป็นระบบ CROSS BAR และในปัจจุบันได้พัฒนามาเป็นระบบ ELECTRONIC แบบ DTMF ซึ่งสะดวกในการใช้งานมากขึ้น ตัดปัญหาที่เกิดจากระบบเดิมที่ใช้ RELAY จำนวนมากแต่ก็เกิดปัญหาขึ้นมาอีกคือ ชุมสายระบบ DTMF ในปัจจุบันมีการพัฒนาแข่งขันกัน จึงทำให้ชุมสายแบบเก่าบางรุ่นไม่สามารถต่อเชื่อมกับชุมสายแบบใหม่ ดังนั้น ถ้าต้องการติดต่อข้ามชุมสาย ซึ่งต่างระบบกันก็จะใช้วิธี MANUAL คือใช้ OPERATER เป็นผู้ต่อให้ จึงเกิดความไม่สะดวกและล่าช้าในการติดต่อ เพราะต้องเสียเวลารอสิ้นเปลืองแรงคนและค่าจ้าง

ดังนั้น อุปกรณ์ต่อเชื่อมชุมสายต่างระบบนี้ จะทำให้ประหยัดเวลาในการติดต่อ ทั้งไม่สิ้นเปลืองทั้งกำลังคนและค่าจ้าง อุปกรณ์นี้มีการทำงานไม่ยุ่งยากซับซ้อน จึงง่ายต่อการซ่อมบำรุงรักษา และ ค่าใช้จ่ายในการประกอบก็ไม่สูงนัก

1.1 วัตถุประสงค์

อุปกรณ์ต่อเชื่อมชุมสายต่างระบบชิ้นนี้ ผู้สร้างมีวัตถุประสงค์ที่จะอำนวยความสะดวกในการติดต่อระหว่างชุมสาย กับชุมสายโดยไม่ต้องผ่าน OPERATOR ซึ่งเป็นการสิ้นเปลืองเวลา และ เป็นการศึกษา IC ที่ใช้สำหรับ DECODER สัญญาณ DTMF เพื่อประยุกต์ใช้งานในด้านอื่นต่อไปอีก

1.2 ประโยชน์ที่คาดว่าจะได้รับ

เมื่อนำไปใช้งานจะทำให้เกิดความสะดวกในการติดต่อระหว่างชุมสายที่ต่างระบบกัน และ เป็นการเพิ่มพูนความรู้ในการนำ IC DECODER ไปใช้งาน ซึ่งเป็นอุปกรณ์ที่สำคัญที่สุดในวงจรนี้ เพื่อนำไปพัฒนาให้ใช้งานในด้านต่าง ๆ ที่จะเป็นประโยชน์อีกมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ระบบชุมสายโทรศัพท์

ระบบชุมสายโทรศัพท์ไดมีการพัฒนาแข่งขันกันอย่างมากในช่วง 10 ปีที่ผ่านมาโดยแต่เดิมชุมสายรุ่นแรกๆ จะเป็นลักษณะการใช้ OPERATOR เป็นผู้ต่อให้ซึ่งจะใช้การเสียบสายต่อให้กับผู้ใช้โดยตรง ต่อมาได้มีการพัฒนาให้เกิดความสะดวกขึ้นโดยเปลี่ยนจากระบบที่ใช้ OPERATOR มาเป็นระบบ AUTOMATIC ไม่ต้องผ่าน OPERATOR ในระยะแรกชุมสายชนิดนี้ เรียกว่า STEP BY STEP โดยอาศัยการทำงานของ ROTARY SWITCH ที่ CONTROL จาก RELAY ระบบ STEP BY STEP นี้การทำงานจะเกิดความล่าช้าขึ้นเนื่องจากต้องเสียเวลารอให้ ROTARY SWITCHทำงานทีละตัวจึงได้มีการพัฒนาระบบชุมสายแบบใหม่ขึ้นมา คือระบบ CROSS BAR ซึ่งการทำงานจะใช้เวลาน้อยกว่า STEP BY STEP เพราะได้ยกเลิก ROTARY SWITCHและเปลี่ยนเป็น RELAY CROSS BAR โดยจะแบ่งออกเป็น CROSS BAR 2 ชุด คือ PRIMARY CROSS BAR และ SECONDARY CROSS BAR การทำงานของ ระบบ CROSS BAR นี้จะเริ่มจากเมื่อมีการยกหูเครื่องโทรศัพท์เพื่อติดต่อรีเลย์ เลขหมายที่ใช้งานจะติดต่อไปยังชุด MARKER ซึ่ง MARKER จะติดต่อไปที่ชุด OR (ORIGINAL RESISTOR) เพื่อทำการ CHECK เลขกมายที่ถูกเรียก ถ้าพบว่าเลขหมายนี้ว่าง ก็จะทำการจองเพื่อติดต่อโดยจะต่อชุดของ SECONDARY CROOS BAR เข้ากับเลขหมายที่ต้องการเรียกจากนั้นก็จะส่งสัญญาณให้กับ MARKER เมื่อ MARKER ได้รับสัญญาณจาก OR ก็จะทำการต่อชุด PARMIRY CROSS BAR เข้ากับเลขหมายที่ต้องการเรียก ก็จะทำให้ติดต่อกันได้ โดยเลขหมายผู้เรียกจะได้รับสัญญาณ RING BACK TONE จาก MARKER ถ้าหมายเลขปลายทางไม่ว่าง MARKER จะส่งสัญญาณ BUSY ให้กับหมายเลข ผู้เรียก ซึ่งหมายความว่า เลขหมายผู้เรียกไม่สามารถติดต่อกับเลขหมายผู้รับได้ โดยการทำงานของ CROSS BAR จะทำการต่อเลขหมายที่ละชุด จึงทำงานได้เร็วกว่าระบบ STEP BY STEP แต่การทำงานของชุมสายก็ยังใช้ระบบ RELAY ประกอบเป็นส่วนใหญ่ซึ่งทำให้จำเป็นต้องใช้แหล่งจ่ายไฟเลี้ยงที่มีกระแสสูง

จึงทำให้ต้องเสียค่าใช้จ่ายสูงในการจัดหา ปัจจุบันชุมสายโทรศัพท์ได้พัฒนา เป็นแบบELECTRONIC (CROSS POINT) ซึ่งการทำงานจะใช้ MICROPROCRESSER เป็นตัวควบคุม โดยใช้วงจร INTEGRATE CIRCUIT เป็นส่วนประกอบและใช้สัญญาณการติดต่อระหว่างชุมสายเป็นแบบ DTMF (DUAL TONE MULTIFRQUFNCY) จึงทำให้ ชุมสายประเภทนี้ทำงานได้เร็วมาก

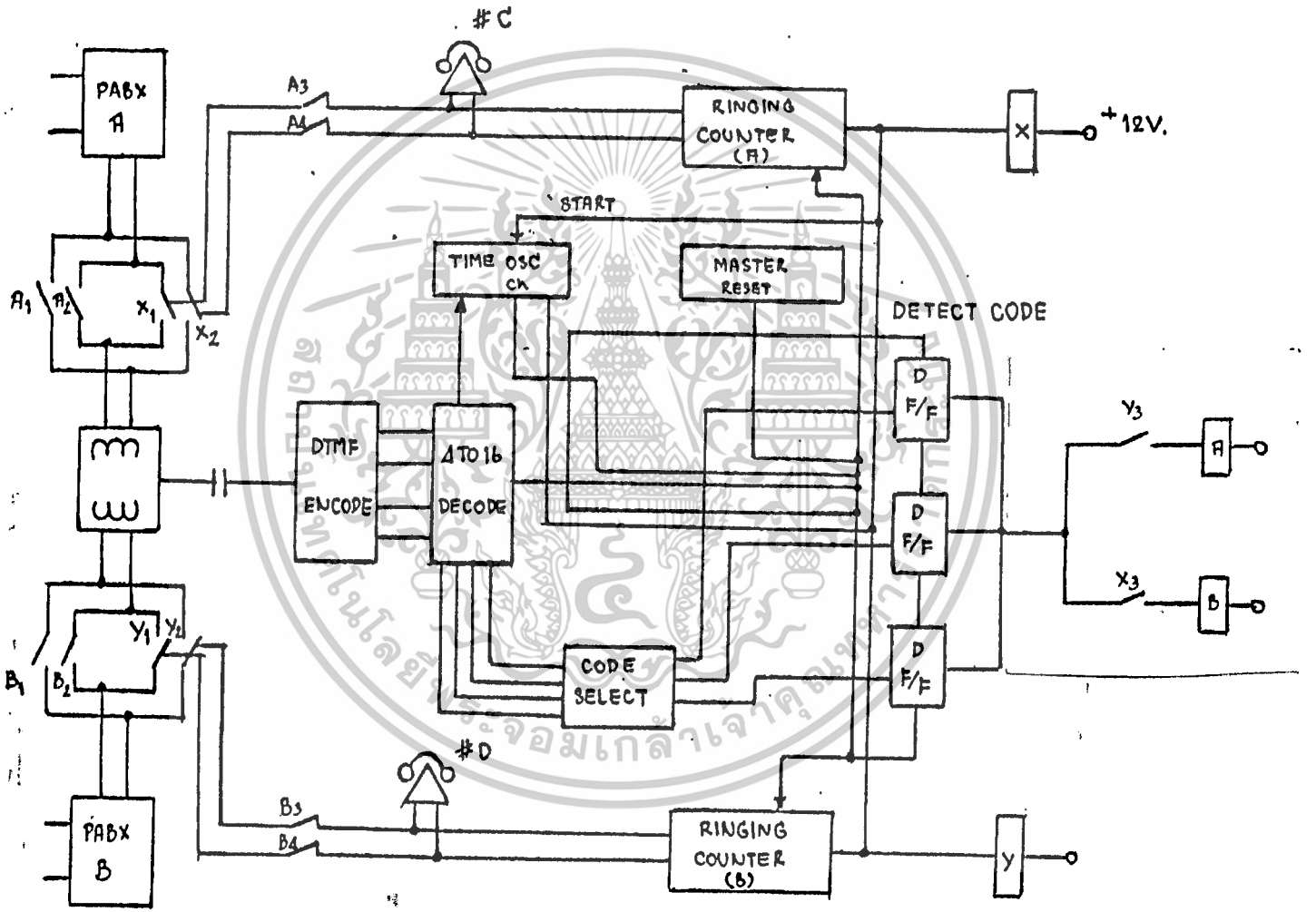
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีและการออกแบบ

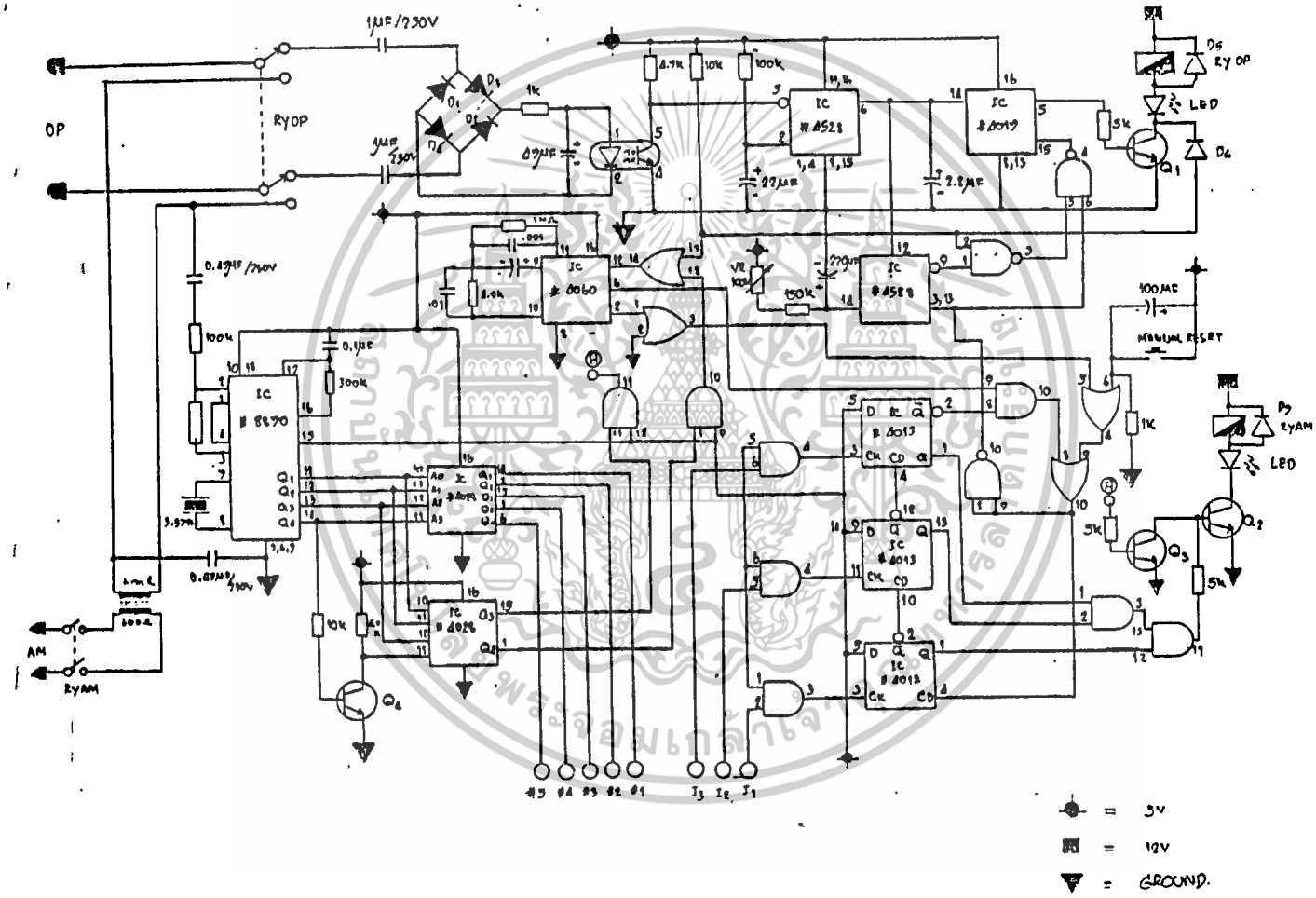
3.1 หลักการทำงาน

เนื่องจากการใช้ชุมสาย 2 ชุมสาย ที่ต่างชนิดกัน แต่ผู้ใช้ต้องการจะเชื่อมต่อชุมสาย ทั้ง 2 ชุมสายนี้เข้าด้วยกัน เพื่อใช้บริการติดต่อระหว่างชุมสายกันได้ โดยไม่ต้องใช้พนักงานสลับสาย แต่ให้ผู้ใช้ที่มีเครื่องโทรศัพท์ในแบบ DTMF สามารถส่งรหัสต่อข้ามชุมสายได้เองเช่น ผู้ใช้มีคู่สายอยู่ในกลุ่มของชุมสาย A ต้องการติดต่อกับหมายเลข ซึ่งเป็นผู้ใช้อยู่ในกลุ่มชุมสาย B สามารถทำได้โดยใช้เครื่องโทรศัพท์ ของชุมสาย A ติดต่อมาที่เลขหมายที่ต่ออุปกรณ์ต่อเชื่อมชุมสายต่างระบบ และจากการทำงานของอุปกรณ์นี้ คือ เมื่อมีสัญญาณเรียกเข้าจากชุมสาย A วงจรนับสัญญาณกระดิ่งจะทำการนับเมื่อนับครบตามที่กำหนดไว้ก็จะทำการต่อ MATCHING เข้ากับ LINE โทรศัพท์ เพื่อเป็นการยกหูรับสาย จากนั้นก็จะ CHECK รหัสผ่านว่าถูกต้องหรือไม่ ถ้าถูกต้องก็จะทำการต่อ MATCHING อีกด้านหนึ่งเข้ากับชุมสาย B เหมือนเป็นการยกหูเครื่องโทรศัพท์ของชุมสาย B จากนั้นเครื่องโทรศัพท์ที่หมุนเรียกเข้ามาจากชุมสาย A ก็จะกดสัญญาณ DTMF ผ่านออกทางชุมสาย B เหมือนกับการใช้เครื่องโทรศัพท์ชุมสาย A พิจารณาจากบล็อคไดอะแกรมในรูปที่ 1

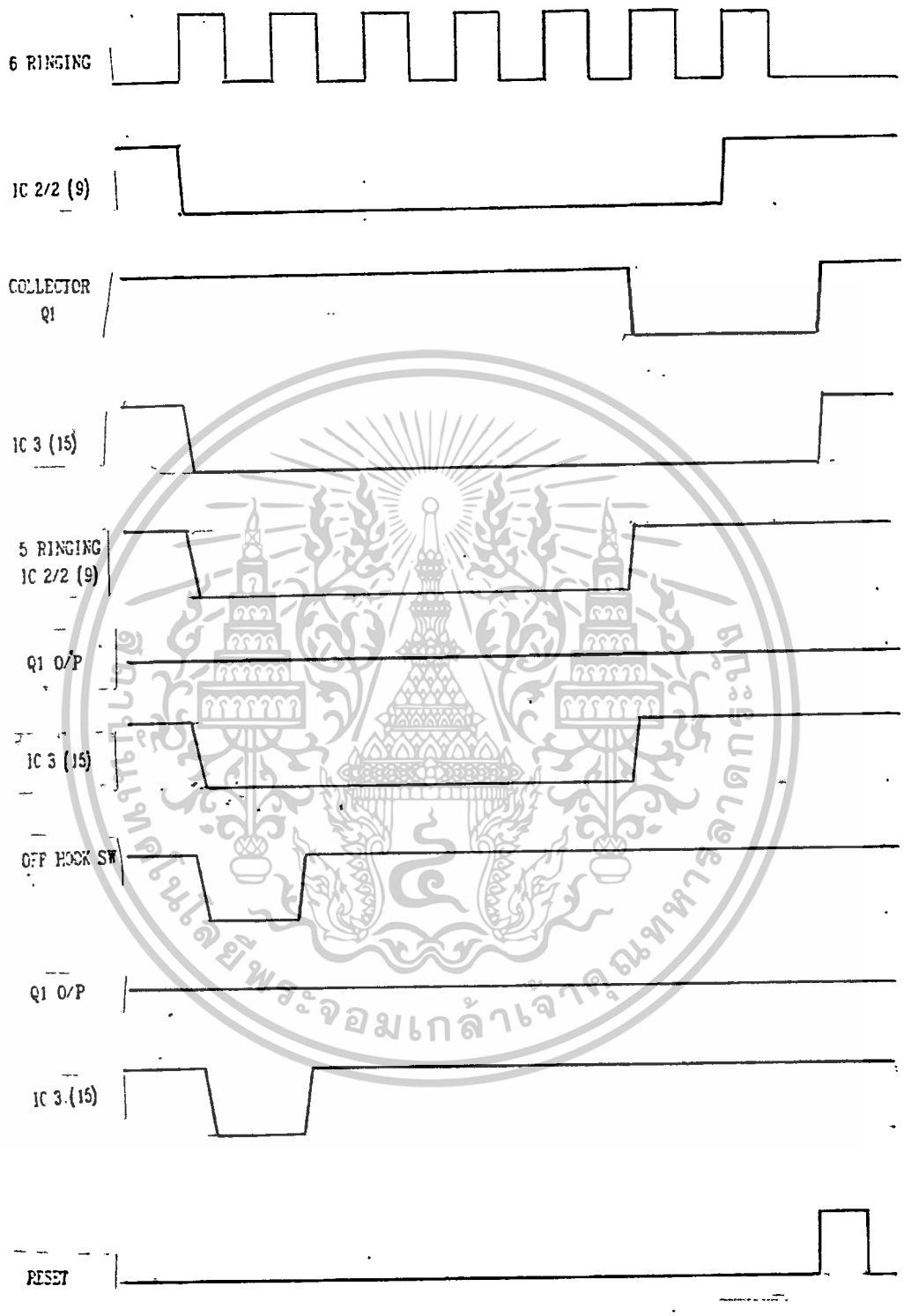
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 BLOCK DIAGRAM



รูปที่ 2 CIRCUIT DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3 TIMING DIAGRAM

หลักการทำงาน

จาก BLOCK DIAGRAM เมื่อมีสัญญาณเรียกเข้าจาก PABX (A) มาที่เครื่องโทรศัพท์ #C สัญญาณเรียกจะผ่าน CONTRACT X 1,2 ของ RELAY X ผ่าน CONTRACT A 3,4 เพื่อเรียกเครื่องโทรศัพท์ #C วงจร RINGING COUNTER (A) จะทำการนับจำนวนครั้งเมื่อครบตามที่กำหนดไว้ก็จะทำให้ RELAY X ทำงาน ซึ่งจะเป็นผลให้ PABX (A) คู่สายที่เรียกเข้าเครื่องโทรศัพท์ #C ถูก HOLD ด้วย TRANSFORMER MATCHING และ TR Q3 จะต่อเข้ากับทุ่น RELAY B โดย CONTRACT RELAY X 3 และ CONTRACT X 1 ,2 จะปลดเครื่องโทรศัพท์ #C และชุด RINGING ออก

เมื่อมีการส่งสัญญาณ DTMF จาก PABX(A) ซึ่งเป็นรหัสผ่านวงจร DTMF ENCODER จะเปลี่ยนสัญญาณ DTMF ให้เป็นรหัส BCD 4 BIT จากนั้นวงจร TO 16 DECODER จะเปลี่ยนรหัส BCD 4 BIT ให้เป็นสัญญาณ O/P เพื่อส่งไปยังชุด CODE SELECT โดย CODE SELECT จะตรวจสอบว่าถูกต้องหรือไม่ ถ้าถูกต้องก็จะให้ O/P ไปยังวงจร FLIP-FLOP โดยวงจร FLIP-FLOP จะใช้ IC D-FLIP-FLOP 3 ตัวต่อกันแบบ SQUENCE เพื่อให้สัญญาณเข้าออกเป็นไปตามลำดับ O/P ของ FLIP-FLOP จะทำให้ TR Q3 ON ซึ่งจะทำให้ RELAY B ทำงาน CONTACT RELAY B1,2 จะทำการต่อ TRANSFORMER MATCHING เข้ากับ LINE โทรศัพท์ # D โดย CONTRACT B3,4 จะปลดโทรศัพท์ #D ออกจาก PABX (B) ดังนั้นเมื่อส่งสัญญาณ DTMF จาก PABX (A) มา สัญญาณก็จะผ่าน TRANSFORMER (MATCHING TRANSFORMER) ไปยัง PABX (B) ซึ่งก็จะเป็นการติดต่อกันโดยตรงระหว่าง PABX (A) และ PABX (B)

ในการกลับกัน เมื่อมีสัญญาณเรียกเข้าจาก PABX (B) มายังเครื่องโทรศัพท์ # D โดยผ่านทาง CONTRACT Y 1,2 และ B 3,4 วงจร RINGING COUNTER (B) ก็จะทำการนับ จำนวนครั้ง ซึ่งเมื่อครบตามจำนวนก็จะทำให้ RELAY (Y) ทำงาน CONTRACT Y 1,2 ก็จะทำการต่อ TRANSFORMER MATCHING เข้ากับ LINE โทรศัพท์ของเครื่อง #D และปลดเครื่องโทรศัพท์ #D ออกจากระบบจากนั้นการทำงานก็จะเหมือนกับเรียกเข้าจากทาง PABX (A) แต่ O/P ของFLIP-FLOP จะทำให้ RELAY (A) ON ซึ่ง CONTRACT A 3,4 จะปลดเครื่องโทรศัพท์ #C ออกจากระบบ และต่อ MATCHING TRANSFORMER เข้ากับ PABX (A) โดยผ่านทาง CONTRACT A 1,2

อนึ่งถ้าไม่สามารถกดรหัสผ่านได้ถูกต้องภายใน 4 SEC. วงจร MASTERRESET ทำการยกเลิกระบบการทำงานทั้งหมด ส่วนในวงจร TIMER OSCILATOR จะทำงานแบบ FREE RUNNING โดยมีวงจรหารเพื่อให้ได้ O/P 4 SEC.และ 5 MIN ส่งไปยังชุด MASTER RESET เพื่อใช้ในการ RESETระบบการทำงาน

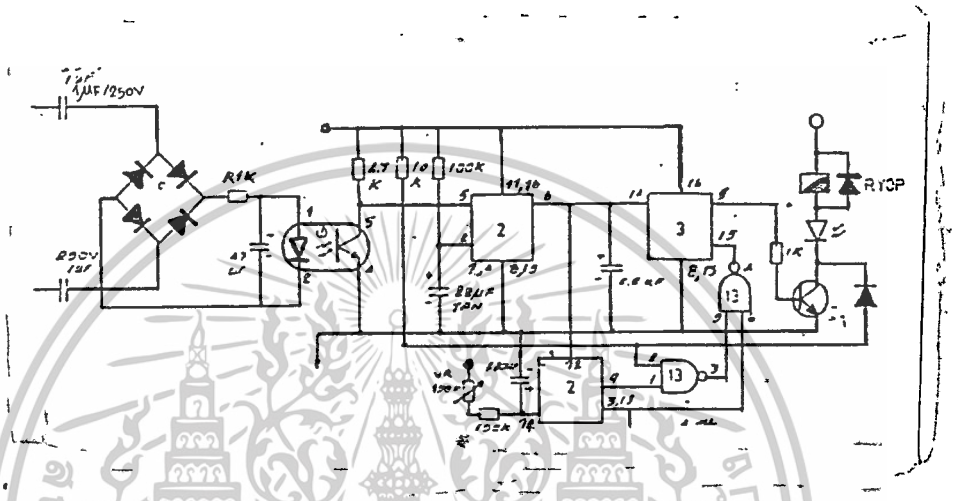
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ RESET ของระบบทั้งหมด มีดังนี้คือ

1. เมื่อใส่รหัสผ่านไม่ถูกต้องในเวลา 4 วินาที
2. เมื่อไม่กดปุ่มขอต่อเวลาหลังจากใช้งานไปแล้วภายในเวลา 5 นาที
3. เมื่อไม่กดปุ่มสัญญาณวางหูหลังจากใช้งานแล้ว
4. เมื่อกดปุ่มยกเลิกใช้งานหลังจากใช้งานเสร็จแล้ว
5. MANNAL RESET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรนับสัญญาณกระดิ่ง (RINGING COUNTER)



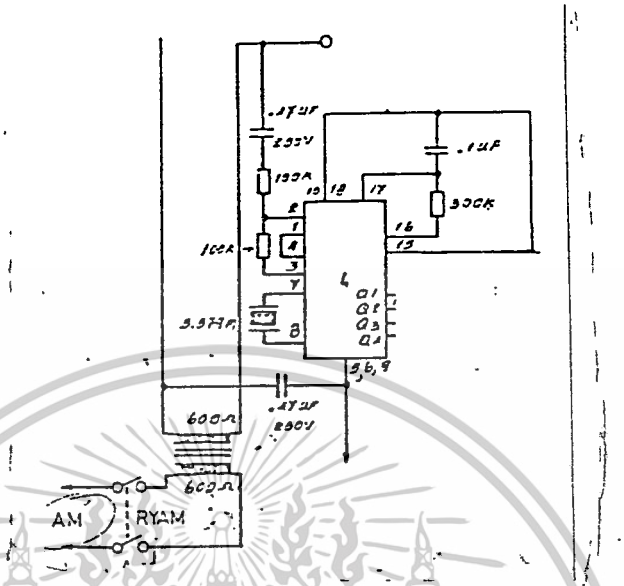
รูปที่ 4 RINGING COUNTER

วงจรจะทำหน้าที่ตรวจจับสัญญาณ RINGING ที่เข้ามาโดยจะผ่านทางวงจร BRIDGE เข้า OPTO และส่งสัญญาณ PULSE DC ไปที่ IC# 4528 1/2 ที่จะทำงานเป็นแบบ RETRIGABLE MONO STABLE MULTIVIBRATOR จากนั้นก็จะส่ง PULSE ของสัญญาณในช่วง RINGING ไปให้ IC # 4017 เป็นตัวนับโดยสัญญาณอีกส่วนหนึ่งจะเข้าไปที่ IC # 4528 2/2 เพื่อใช้ RESET IC # 4017 ในกรณีที่มีการวางหูก่อนสัญญาณจะดังครบตามจำนวนที่กำหนดไว้ เนื่องจาก IC # 4017 เป็น CMOS DECADE COUNTER / DIVIDER ซึ่งเมื่อมีการนับก็จะให้ O/P Q เป็น "1" โดยจะ SHIFT O/P ไปตาม PULSE ที่นับได้ซึ่งถ้าไม่มีการ RESET IC # 4017 เมื่อมีการหยุดนับ และ มีการนับใหม่จะทำให้การนับผิดพลาดเพราะ IC จะทำการนับต่อและให้ O/P ต่อจาก Q เดิม เมื่อ IC # 4017 นับ PULSE ครบตามจำนวนที่ตั้งไว้ก็จะให้ O/P ไปที่ TR Q1 เพื่อให้ ON และจะทำให้ RELAY "X" ทำงานซึ่งเป็นผลให้มีการ LOOP คู่สายที่เรียกเข้าด้วย T1 เหมือนเป็นการยกหูรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

033132

3.3 DTMF ENCODER



รูปที่ 5 DTMF ENCODER

วงจร DTMF ENCODER ใช้ IC #MT8870 เป็นตัว DECODE สัญญาณ DTMF ให้เป็นรหัส BCD ขนาด 4bit เพื่อส่งต่อให้ส่วนของ 4 TO 16 DECODER

MT 8870 IC ถอดรหัสความถี่โทรศัพท์ (INTEGRATED DTMF RECEIVER) การถอดรหัสความถี่โทรศัพท์ หมายถึง การแปลงสัญญาณความถี่ซึ่งเกิดจากการกดปุ่มตัวเลขของโทรศัพท์ชนิดกดปุ่ม (ชนิด TONE หรือ DTMF) ให้เป็นระบบตัวเลขทางดิจิตอล ซึ่งไอซี MT 8870 ใช้แปลงความถี่โทรศัพท์ให้เป็นเลขฐานสองขนาด 4 บิต ในยุคก่อนการออกแบบวงจรถอดรหัสความถี่ของโทรศัพท์ มักใช้ ไอซีจำพวกเฟสล็อคลูป ซึ่งสร้างปัญหาสารพัด ไม่ว่าเรื่องของความถี่ที่เปลี่ยนแปลงไป การปรับแต่งวงจร ขนาดของวงจรใหญ่ เพราะต้องใช้ไอซีจำนวนมาก

3.3.1 คุณสมบัติของ MT8870

- เป็นตัวรับและถอดรหัสความถี่ (DTMF receiver)
- กินไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกับ TTL
- สามารถตั้งอัตราขยายภายในตัวไอซีได้
- เป็นไอซีคุณภาพสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 การนำ MT8870 ไปใช้งาน

- นำไปใช้งานด้านรีโมทคอนโทรล
- เครื่องป้องกันโทรศัพท์ทางไกล
- ใช้ในงานเกี่ยวกับเครดิตการ์ด
- ใช้งานร่วมกับคอมพิวเตอร์
- ใช้ในเครื่องชุมสายขนาดย่อยหรือ PABX
- ใช้กับงานทางด้านโทรศัพท์ทั่วไป
- เครื่องกันขโมย
- การควบคุมอุปกรณ์ทางโทรศัพท์
- ใช้ทำเครื่องสอบถามโทรศัพท์

3.3.3 โครงสร้างของ MT8870

โครงสร้างภายในของ MT 8870 ประกอบไปด้วยวงจรกรองความถี่และวงจรถอดรหัสฟังก์ชันทางดิจิตอล เป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO^{2}-CMOS ในส่วนของวงจรกรองความถี่ใช้เทคนิคของสวิตช์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูงและต่ำส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขฐานสองขนาด 4 บิตและเช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุตเป็นออปแอมป์ซึ่งสามารถปรับอัตราขยายได้โดยต่ออุปกรณ์ภายนอกเอาต์พุตเป็นวงจรแลตช์ 3 สถานะ รูปที่ 6 แสดงขาของ MT8870 และรูปที่ 7 แสดงโครงสร้างภายในของ MT8870

3.3.4 ฟังก์ชั่นการทำงานภายใน MT8870

ภายใน MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วนคือ

- ภาคกรองความถี่ (FILTER SECTION)
- ภาคถอดรหัส (DECODER SECTION)
- ภาคตรวจสอบสัญญาณ (STEERING CIRCUIT)
- ภาคขยายสัญญาณความแตกต่าง (DIFFERENTIAL INPUT)
- ภาคกำเนิดความถี่ (OSCILLATOR)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.5 ภาคกรองสัญญาณความถี่

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือช่วงความถี่สูงและช่วงความถี่ต่ำโดยใช้วงจรกรองแถบความถี่อันดับ 6 ชนิดสวิตช์คาปาซิเตอร์(SIX-ORDER SWITCHED CAPACITOR BAND PASS FILTER)ซึ่งความถี่ที่แยกได้มี 2 ช่วง คือ ช่วงความถี่สูงและช่วงความถี่ต่ำ

3.3.6 ภาคถอดรหัส

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้วจะผ่านเข้าวงจรถอดรหัสความถี่ออกเป็นตัวเลขโดยใช้เทคนิคการนับแบบดิจิตอลและมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสมเมื่อตรวจว่าความถี่นั้นถูกต้องสัญญาณที่ขา ESt (EARLY STEERING)ก็จะแอคทีฟสำหรับค่าที่ถอดรหัสได้จากความถี่ต่างๆ นั้น แสดงในรูป 8

3.3.7 ภาคตรวจสอบสัญญาณ

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาต์พุต จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควรมิฉะนั้นวงจรส่วนนี้จะไม่รับโดยถือว่าสัญญาณนั้นไม่ถูกต้องส่วนช่วงเวลายาวเท่าใดสามารถตั้งได้โดยใช้ RC ต่อภายนอกสัญญาณที่ขา ESt จะเป็น "HIGH" นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามา จากรูปที่ 5 เมื่อขา ESt เป็น "HIGH" ทำให้ V_c สูงขึ้นโดยตัวเก็บประจุ C จะคายประจุทำให้แรงดัน V_c สูงขึ้นจนถึงค่าเทรชโฮลด์วงจรถอดรหัส จึงจะถอดรหัสออกเป็นตัวเลขขนาด 4 บิทรายละเอียดการทำงานขอให้ดูแผนภูมิเวลาหรือไทมิ่งไดอะแกรม (TIMING DIAGRAM) ในรูปที่ 13 จะเข้าใจได้ง่ายกว่า

สำหรับคำว่าการ์ดไทม์ (GARD TIME) นั้นหมายถึง ช่วงคาบเวลาของความถี่ที่เข้ามา ซึ่งจะต้องนานเท่ากับหรือมากกว่าช่วงเวลาที่เราตั้งไว้ จึงจะได้รับการยอมรับว่าสัญญาณความถี่นั้นถูกต้อง หรือพูดได้ว่าเวลาที่เราตั้งไว้โดย RC ก็คือการ์ดไทม์นั้นเอง เมื่อสัญญาณความถี่เข้ามานาน ทหรือมากกว่าเวลาที่ตั้งไว้จึงจะสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่เข้ามาสั้นกว่าก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป การตั้งเวลาและคำนวณเวลาดูได้จากรูปที่ 9 ภาคขยายสัญญาณความแตกต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

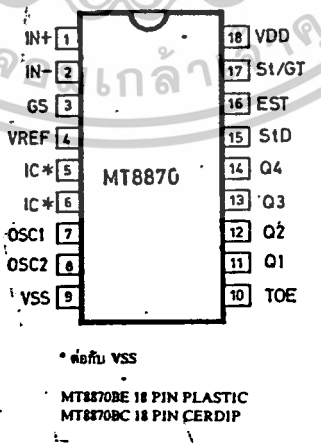
วงจรส่วนอินพุตของ MT 8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยายโดยต่อวงจรภายนอกเพิ่มเข้าไปรูปที่ 10 แสดงการต่อวงจรภายนอกเข้าอินพุตซึ่งสามารถคำนวณอัตราขยายความแตกต่างของอินพุตและอินพีแดนซ์ได้ ดังนี้

$$\text{อัตราขยาย } (A_v diff) = R_5 / R_1$$

$$\text{อินพุตอิมพีแดนซ์ } (Z_{in} diff) = 2 / R_1^2 + (1/wc)^2$$

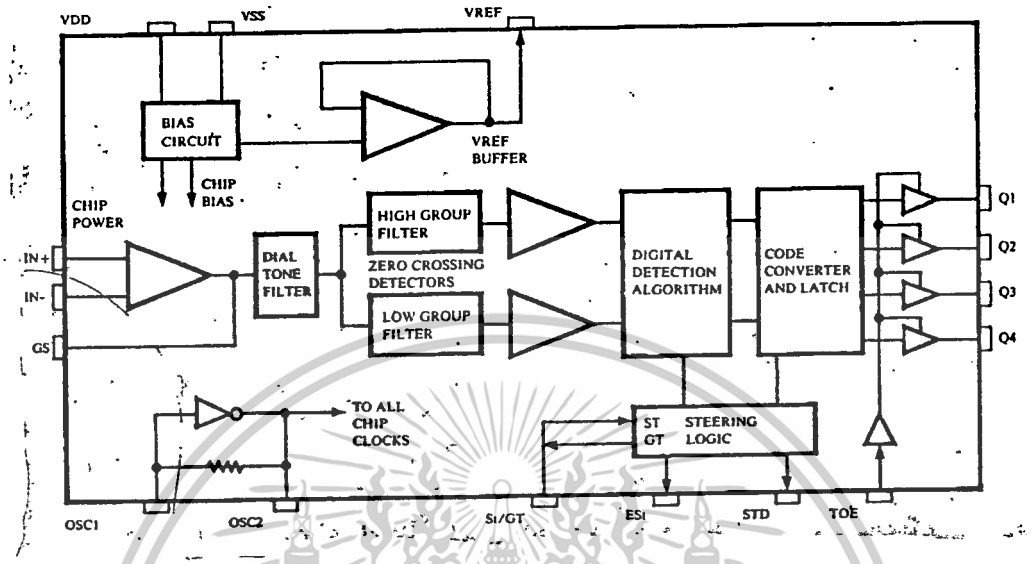
3.3.8 ภาคกำเนิดความถี่

ในภาคนี้ภายในไอซีจะมีวงจรเวลาอยู่ภายใน เพียงแต่ต่อแร่คริสตอล ขนาด 3.58 MHz ก็สามารถใช้งานได้ทันที การต่อวงจรกำเนิดความถี่แสดงในรูปที่ 11

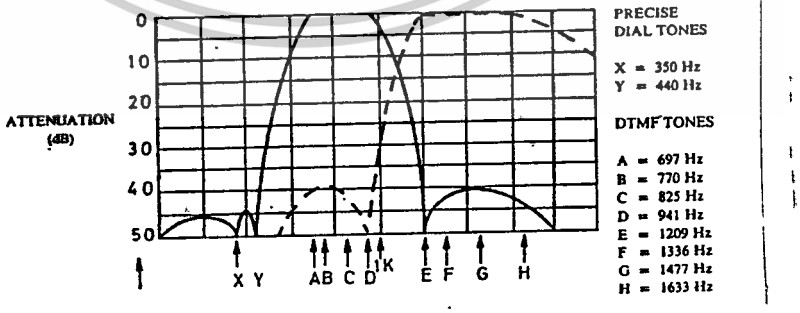


รูปที่ 6 แสดงรายละเอียดขาของ MT 8870

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 แสดงโครงสร้างภายในของ MT 8870

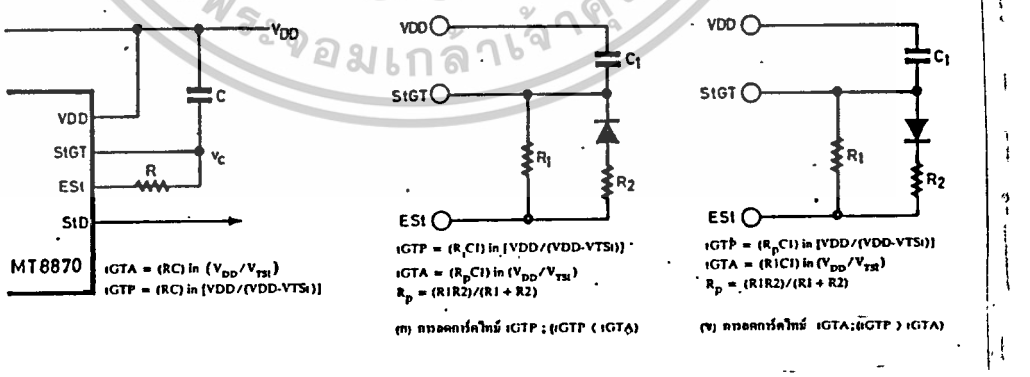


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 8 แสดงความถี่ที่ได้จากภาคกรองความถี่

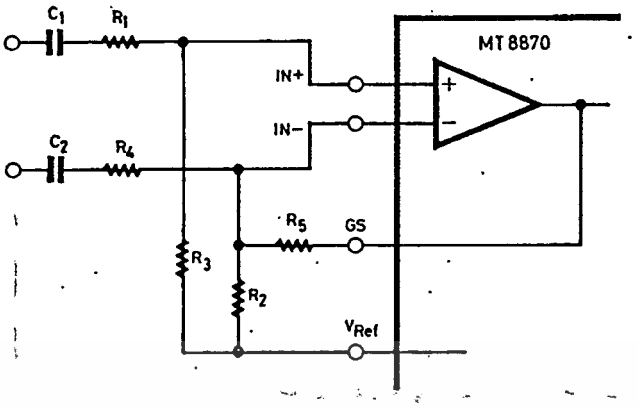
F_{LOW}	F_{HIGH}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

รูปที่ 9 แสดงค่าที่ถอดรหัสได้จากความถี่ต่างๆ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 10 แสดงวงจรตรวจสอบสัญญาณอย่างง่าย
และแสดงการกำหนดเวลาการ์ไทม์ (GARD TIME) พร้อมวิธีคำนวณ



ภาคขยายความแตกต่างด้านอินพุต

$C_1 = C_2 = 10$ nF

$R_1 = R_4 = R_5 = 100K\Omega$ ค่าผิดพลาด ±1%

$R_2 = 60K\Omega$, $R_3 = 37.5$ KΩ ค่าผิดพลาด ±5%

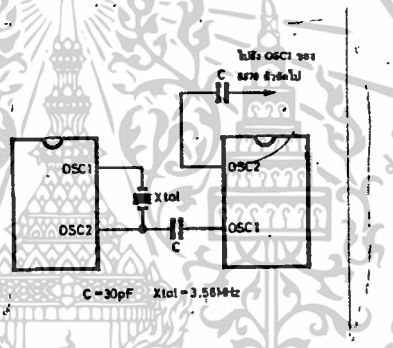
$$R_3 = \frac{R_2 R_5}{R_2 + R_5}$$

อัตราขยายแรงดัน (A_V diff) $= \frac{R_5}{R_1}$

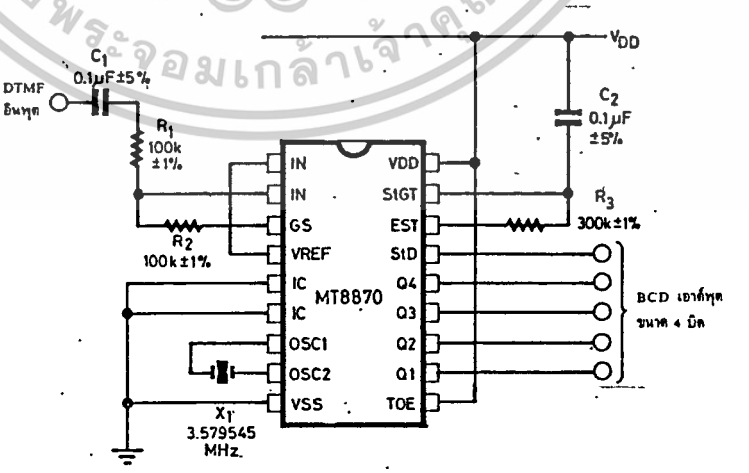
อินพุตอิมพีแดนซ์

$$(Z_{INDIFF}) = 2\sqrt{R_1^2 + \left(\frac{1}{\omega C}\right)^2}$$

รูปที่ 11 แสดงการต่อวงจรอินพุท

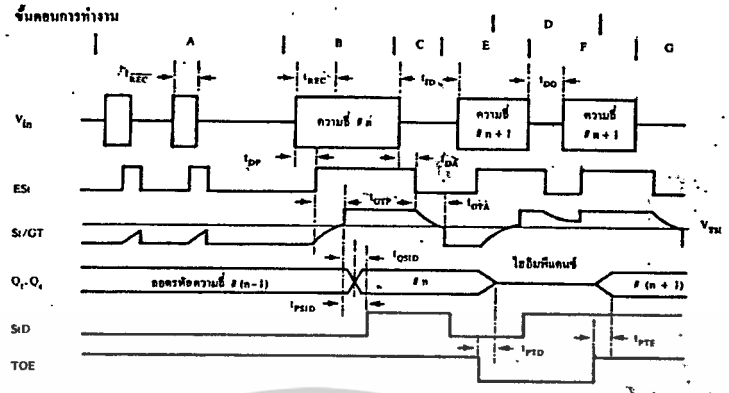


รูปที่ 12 แสดงการต่อวงจรผลิตความถี่



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 13 แสดงวงจรการใช้งานเบื้องต้นของ MT 8870



อธิบายขั้นตอนการทำงาน

A - ตรวจพบความถี่เข้ามา แต่คาบเวลาไม่ถูกต้อง เอาต์พุตไม่เปลี่ยน

B - ความถี่ # n ถูกตรวจพบและมีคาบเวลาที่ถูกต้อง ความถี่ถูกถอดรหัส และแลตช์ไว้ที่เอาต์พุต

C - จบความถี่ # n ช่วงห่างถูกต้อง เอาต์พุตยังคงแลตช์อยู่จนกว่าจะได้รับความถี่ที่ถูกต้องใหม่

D - เอาต์พุตเปลี่ยนเป็นไฮอิมพีแดนซ์

E - ความถี่ # n + 1 ถูกตรวจพบ คาบเวลาถูกต้อง ความถี่ถูกถอดรหัสและแลตช์ไว้

F - ความถี่ # n + 1 หายไป ช่วงห่างไม่ถูกต้อง เอาต์พุตยังคงแลตช์อยู่

C - จบความถี่ # n + 1 ช่วงห่างถูกต้อง เอาต์พุตยังแลตช์อยู่จนถึงความถี่ใหม่ที่ถูกต้อง

อธิบายคำศัพท์

V_{in} - สัญญาณความถี่ DTMF ที่เข้ามา

ESt - Early Steering output ใช้แสดงความถี่ที่ถูกต้อง

St/GT - Steering input/Guard Time output สำหรับต่อกับ RC ภายนอก

Q_1-Q_4 - เอาต์พุต BCD ขนาด 4 บิต

StD - Delayed Steering output ใช้แสดงว่าความถี่ที่ได้รับหรือหายไป มีคาบเวลาตามที่กำหนด เพื่อแสดงความถูกต้องของสัญญาณ

TOE - Tone Output Enable (input) ใช้ควบคุม Q_1-Q_4 ให้เป็นไฮอิมพีแดนซ์

$t_{\overline{REC}}$ - คาบเวลานานสุดที่ตรวจพบความถี่ DTMF แล้วยังไม่ถูกต้อง

t_{REC} - คาบเวลาสั้นสุดที่ต้องการเพื่อแสดงว่าสัญญาณถูกต้อง

t_{ID} - เวลาสั้นสุดระหว่างสัญญาณ DTMF ที่ถูกต้อง 2 สัญญาณ

t_{DO} - เวลานานสุดที่ยอมให้สัญญาณหายไปได้ในคาบเวลาความถี่ที่ถูกต้อง

t_{DP} - เวลาที่ใช้ในการตรวจพบสัญญาณความถี่ DTMF ที่ถูกต้อง

t_{DA} - เวลาที่ใช้ในการตรวจการหายไปของสัญญาณความถี่ DTMF ที่ถูกต้อง

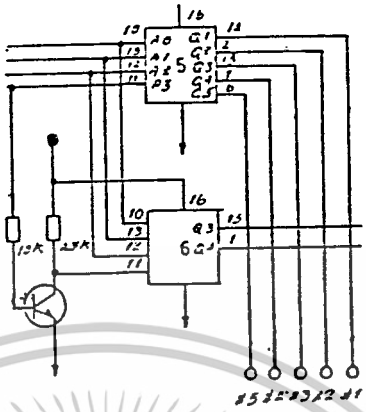
t_{GTP} - การ์ดไทม์ของการปรากฏความถี่ DTMF

t_{GTA} - การ์ดไทม์ของการหายไปของความถี่ DTMF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

รูปที่ 14 แสดงแผนภูมิเวลาของ MT 8870

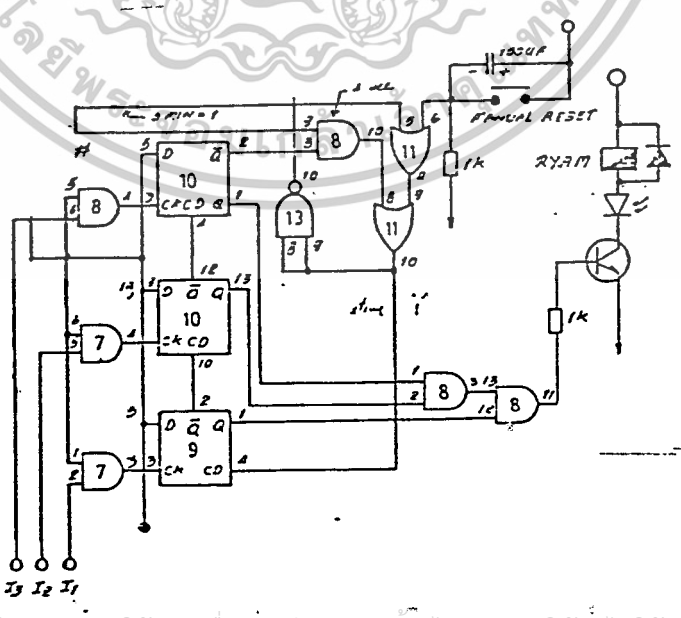
3.4 4 TO 16 BCD-TO-DECIMAL DECODER



รูปที่ 15 4 TO 16 DECODER

วงจร 4TO16 DECODER ใช้ IC#4028 ซึ่งเป็น CMOS-BCD-TO-DECIMAL DECODER 2 ตัวติดกันเป็นแบบ CASH CHDE เพื่อเปลี่ยนรหัส BCD ให้เป็น O/P 1-10 โดยใช้ทำหน้าที่เป็น CODE รหัสผ่าน ซึ่งจะต่อกับวงจร CODE SELECT และ CODE DETECT

3.5 CODE SELECT AND CODE DETECT



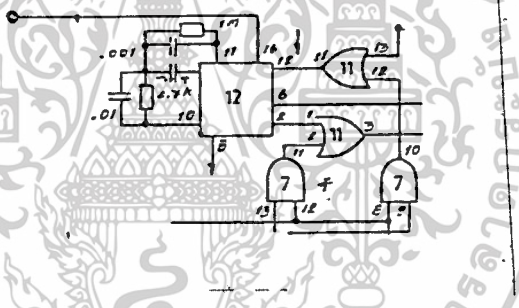
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 16 CODE SELECT AND CODE DETECT

วงจร CODE SELECT AND CODE DETECT ทำหน้าที่ CHECK สัญญาณCODEว่าถูกต้องหรือไม่ โดยในกรณีนี้วงจรต้องการ CODE 3 ตำแหน่ง จึงใช้IC # 4013 ซึ่งเป็น DUAL D F/F ต่อกัน 2 ตัวโดยต่อเป็นแบบ SEQUENCE คือเมื่อมี CODE เข้ามาจะจำให้ D F/F ตัวแรกทำก่อนซึ่งO/P Q ของ D F/Fตัวที่ 1 จะเป็น "1" และ Q จะเป็น "0" ซึ่งก็จะไป CLEAR ตัวที่ 2 และ O/P ตัวที่ 2 จะไป CLEAR ตัวที่ 3 ตามลำดับ

สัญญาณ O/P ของ D F/F ทั้ง 3 ตัวจะ AND กันเพื่อส่ง O/Pไปที่ Q3 ซึ่งก็จะทำให้ RY A,B ทำงานผลคือทำให้เกิดการ LOOP คู่สายของ PABX (B)ด้วย T1เหมือนกับการยกหูของเลขหมายภายใน PABX (B)นั่นก็หมายถึงในขณะนี้PABX (A) ก็จะติดต่อกัน PABX (B) ได้โดยตรงตามต้องการ

3.6 TIMER OSCILLATOR



รูปที่ 17 TIMER OSCILLATOR

วงจร TIMER OSC จะทำงานแบบ FREE RUNNING OSC. โดยใช้ IC# 4060 14 STAGE BINARY COUNETER AND OSCILATOR เพื่อกำเนิดความถี่และหารเพื่อให้ได้ O/P ที่ 4SEC.และ 5MIN ซึ่งจะนำไปใช้ในการ RESETระบบการทำงานของวงจร คือ 4 SEC. จะเป็นตัวกำหนดระยะเวลาในการใส่ รหัสผ่านและ 5 MIN.จะเป็นตัวกำหนดเวลาในการใช้งาน

สูตรการคำนวณความถี่ของ RC OSCILLATOR CIRCUIT

$f = 1/2.2\ R_t C_t$

$C_t > 100$ PF

$R_t > 1$ Kohm

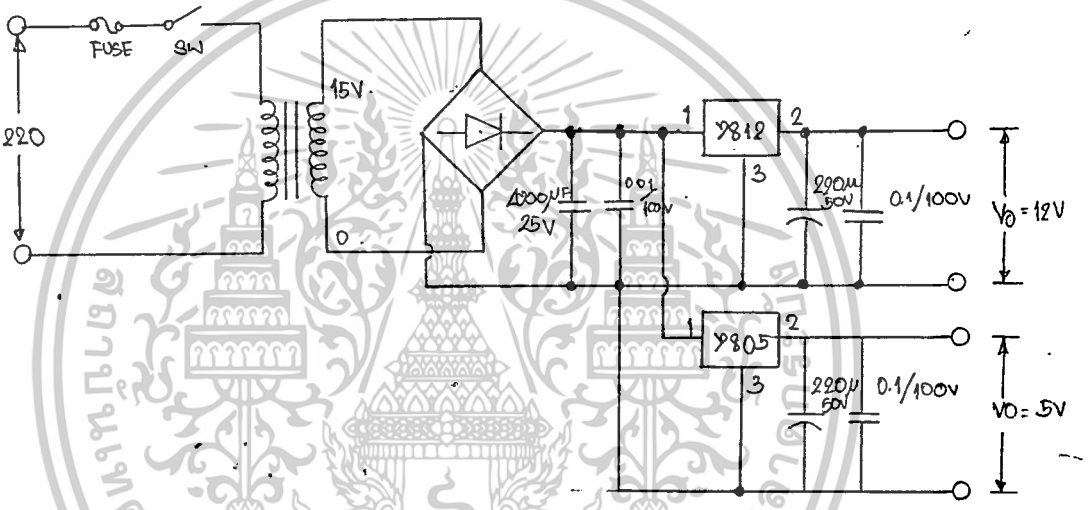
$R_2 = 10\ R_t$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 MASTER RESET

เป็นวงจร GATE ต่างๆ ต่อรวมกันอยู่ในวงจรเพื่อใช้ในการ RESET ระบบการทำงานของวงจร

3.8 POWER SUPPLY



รูปที่ 18 POWER SUPPLY

แหล่งจ่ายไฟของวงจรจะเป็นวงจร REGULATER โดยจ่ายไฟเลี้ยง 2 ระดับคือ + 12V และ + 5V โดยไฟ + 12V จะจ่ายให้กับชุดของ RELAY และ + 5V จ่ายให้ IC ต่างๆภายในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
สรุปและวิจารณ์ผลของโครงงาน

4.1 อุปสรรค์ในการปฏิบัติงาน

ปัญหาหรืออุปสรรคที่ทำให้การปฏิบัติงานล่าช้าไป พอสรุปได้ดังนี้คือ

การรวบรวมหรือค้นคว้าหาข้อมูล จำเป็นต้องใช้เวลามากเพราะวงจรที่ออกแบบ มีอุปกรณ์หลายชนิด ซึ่งจำเป็นต้องศึกษาในรายละเอียด ของอุปกรณ์ทั้งหมด การออกแบบเน้น ความประหยัด จึงพยายาม ใช้อุปกรณ์ทั่วไปตามท้องตลาด ซึ่งต้องดูว่าอุปกรณ์ที่ออกแบบต้องมีในท้องตลาด การออกแบบ คำนึงถึง ความสะดวกในการ ซ่อมและบำรุงรักษา ปัญหาในการจัดซื้ออุปกรณ์

ปัญหาจากระบบการทำงานของโครงงาน ในบางส่วน ซึ่งต้องใช้เวลา แก้ไข ดัดแปลง นิกัดการทำงานของอุปกรณ์บางตัวไม่สามารถทราบได้จากร้านที่ซื้อจึงจำเป็นต้องเสียเวลาในการค้นหา เพื่อที่จะนำไปออกแบบตามจุดประสงค์

4.2 สรุป

ในช่วงศึกษาหลักการทำงาน และออกแบบวงจรใช้เวลาเกินเป้าหมายเนื่องจากอุปสรรคดังกล่าวแล้ว ส่วนการจัดหาอุปกรณ์ใช้เวลาตามที่คาดหมาย แต่ได้เพิ่มขั้นตอนการทดลองประกอบลงบนแผ่นทดลอง ก่อนการออกแบบลายทองแดงเพื่อประหยัดเวลา ซึ่งถ้าหากเกิดความผิดพลาดในการทำงานของวงจร ภายหลังการออกแบบลายทองแดงไปแล้วซึ่งจะแก้ไขได้ยากกว่า หลังจากได้ออกแบบและทำวงจรพิมพ์เสร็จก็ทำการลงอุปกรณ์และทำการทดลอง ก็เกิดความปัญหาคือ การนับจำนวน สัญญาณกระดิ่งนั้นผิดพลาด และการ RESET ระบบตอนวางหูนั้นใช้เวลาในการ RESET ระบบนานเกินไป จากปัญหานี้ทางผู้จัดทำ ได้ใช้เวลาในการแก้ไขพอสมควร การแก้ไขก็โดยการทำการ ปรับค่า VR_1 และหาค่า CAPACITOR ของ IC# 4528 เป็นการปรับค่า TIMER (หน่วงเวลา) เพื่อให้ได้ค่าเวลาที่ จะไป RESET IC# 4017 ที่ขา 15 ซึ่งเป็นตัวนับสัญญาณกระดิ่งที่เข้ามา ให้ได้ช่วงเวลาที่เหมาะสม การปรับนั้นก็ปรับให้สัญญาณที่ออกมาทางขาเก้าของ IC#4528 เป็นหนึ่งหลังจากนับสัญญาณกระดิ่งไปแล้วตามที่กำหนดเล็กน้อย ก็จะทำให้การ RESET ระบบ และการนับสัญญาณกระดิ่ง เป็นไปอย่างถูกต้องตามที่เรากำหนด

เอกสารนี้เป็นเอกสาร... ไม่ว่ากรณีใดๆ ...

4.3 วิธีการใช้งาน

1. ติดตั้งเครื่องโดยการต่อคู่สาย A ที่ TERMINATE A และคู่สายจากชุมสาย B ที่ TERMINATE

2. เสียบปลั๊ก AC ON SWITCH POWER

3. ทดลองเรียกเข้าจากชุมสาย A โดยดูหลอด LED ของชุมสาย A จะติด แสดงว่ามี การยกหูรับสายแล้ว

4. กดรหัสผ่าน ถ้าถูกต้อง LED CHECK รหัสผ่านจะติด และ LED จะต่อผ่านเข้าชุมสาย B จะติด

5. กดสัญญาณเลขหมายคู่สายของชุมสาย B

อนึ่ง ในทางกลับกันถ้ามีการเรียกเข้าจากชุมสาย B ผ่านไปยังชุมสาย A ก็จะทำงานเหมือนกัน แต่สัญญาณ LED จะติดจากทางชุมสาย B ก่อน และเมื่อกดรหัสถูกต้องก็ จะทำการต่อไปยังทางชุมสาย A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. รศ. ชม กิ้มปาน, DIGITAL ELECTRONIC & LOGIC DESIGN

2. FAIRCHILD CAMERA AND INSTRUMENT CORPORATION, CMOS DATA BOOK, 1977.

3. TEXAS INSTRUMENTS INCORPORATED, THE BIPOLAR DIGITAL INTEGRATED CIRCUIT DATABOOK, 1976

4. บริษัท ซีเอ็ดยูเคชั่น จำกัด, เซมิคอนดัคเตอร์ อิเล็คทรอนิคส์ ฉบับที่ 88, 2531

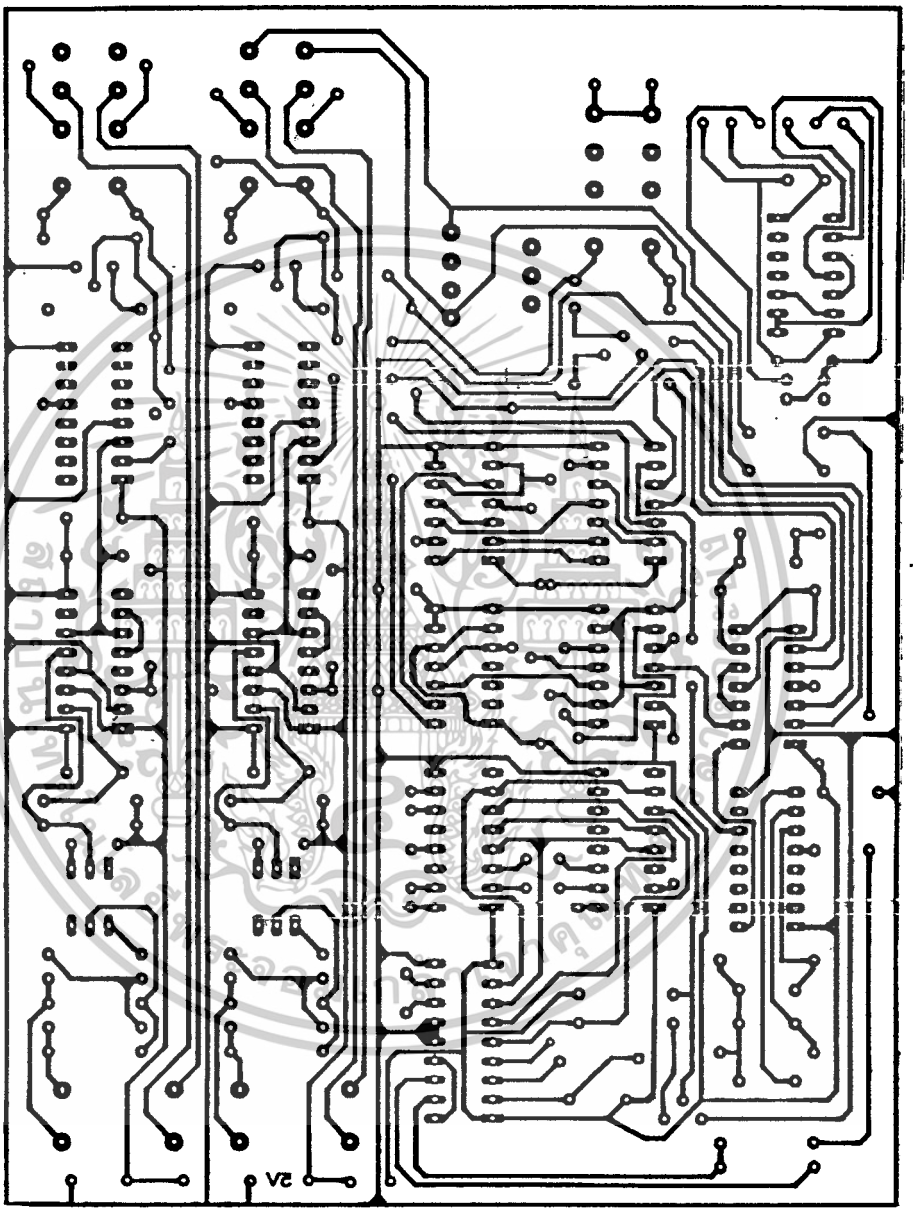
5. บริษัท ซีเอ็ดยูเคชั่น จำกัด, เซมิคอนดัคเตอร์ อิเล็คทรอนิคส์ ฉบับที่ 94, 2532

6. บริษัท ซีเอ็ดยูเคชั่น จำกัด, คู่มือ ไอซี CMOS 4000 SERIES, 2528

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

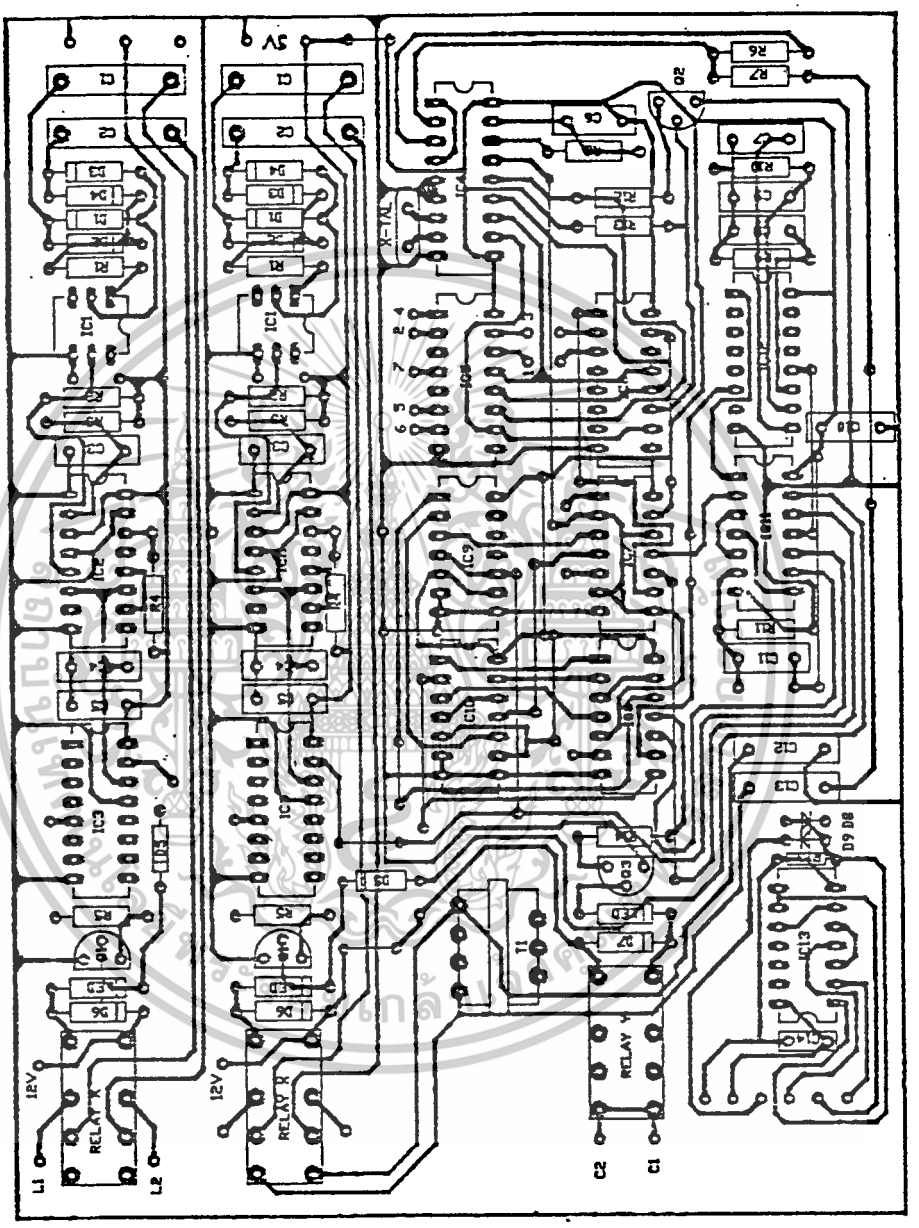
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แผ่นวงจรพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ตำแหน่งอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์

IC

IC_1	# 4N25	X 2
IC_2	# 4528	X 2
IC_3	# 4017	X 2
IC_4	# 8870	X 1
IC_5, IC_6	# 4028	X 2
IC_7, IC_8	# 4081	X 2
IC_9	# 4083	X 1
IC_{10}	# 4013	X 1
IC_{11}	# 4071	X 1
IC_{12}	# 4060	X 1
IC_{13}	# 4011	X 1
IC_{14}	# 7812	X 1
IC_{15}	# 7805	X 1

TRANSISTER

Q1,Q2,Q3	# 2N 2222	X 3

RESISTER

R_1, R_5, R_{11}	= 1K	1/4 W	X 6
R_2, R_{10}, R_{13}	= 4.7K	1/4 W	X 4
R_3, R_6, R_7	= 100K	1/4 W	X 3
R_8	= 300K	1/4 W	X 1
R_9	= 1M	1/4 W	X 1
R_{12}, R_{14}	= 10K	1/4 W	X 2
R_4	= VR 1M		X 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITOR

C_1, C_2	= 1μF	250 V	X 4
C_3	= 22μF	16 V	X 2
C_4	= 2.2μF	16 V	X 2
C_5, C_6, C_{10}	= 0.1μF	50 V	X 2
C_7	= 4.7μF	16 V	X 1
C_8	= 0.001μF	50 V	X 1
C_9	= 0.01μF	50 V	X 1
C_{11}	= 100μF	50 V	X 1
C_{12}, C_{13}	= 0.47μF	50 V	X 2
C_{14}	= 1 μF	50 V	X 1

DIODE

$D_1, D_2, D_3, D_4, D_5, D_7, D_8, D_9$	= 1N4148	X 15
D_5, D_{10}, D_{11}	= LED	X 3

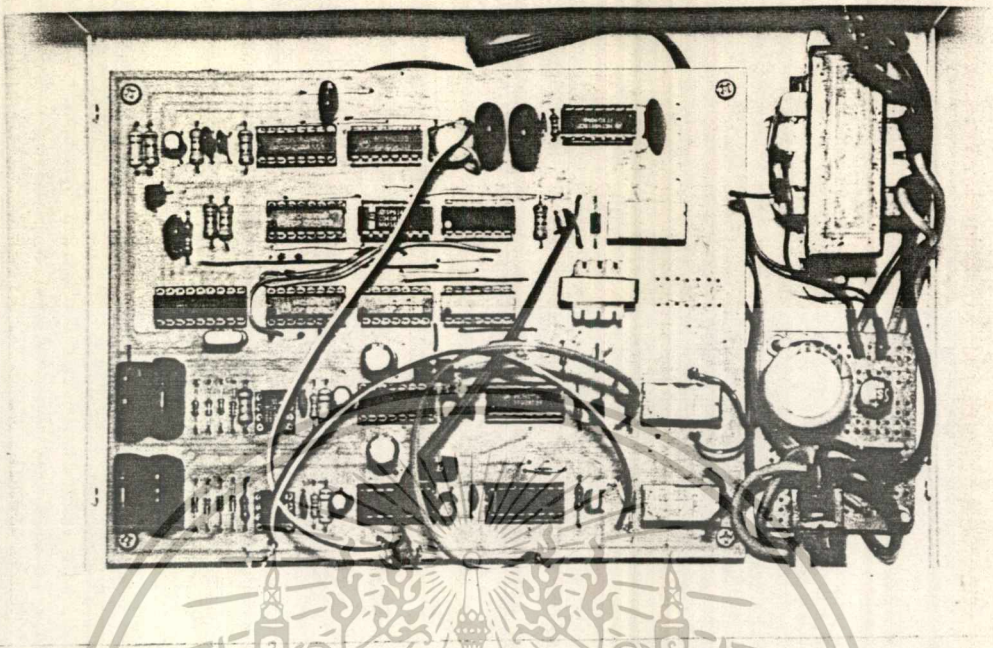
RELAY

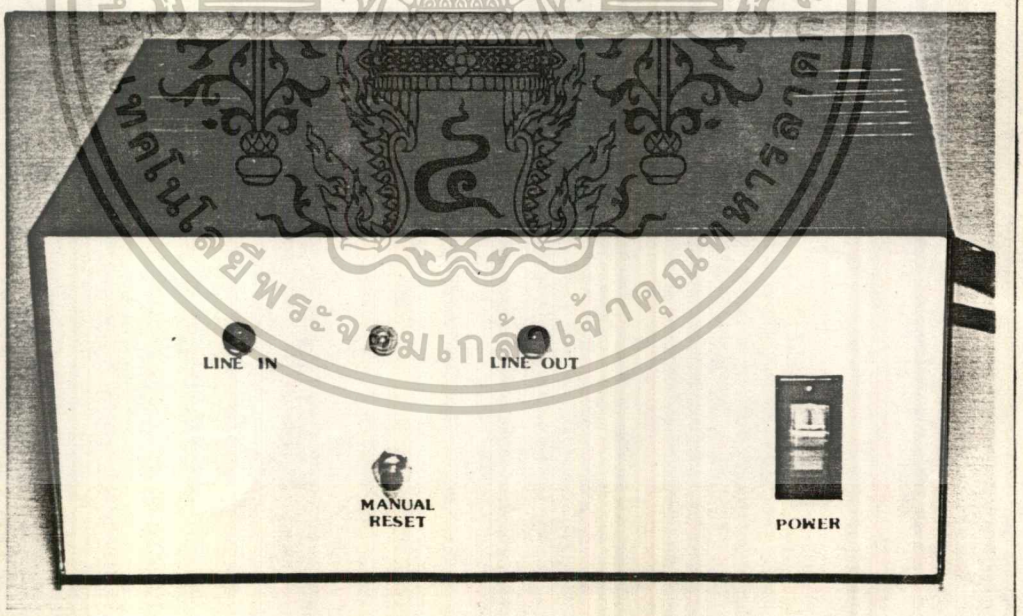
X	= 12V	X 2
Y	= 12V	X 1

TRANSFORMER

T_1	= 600 OHM	X 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





แสดงเครื่องต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14013B

DUAL TYPE D FLIP-FLOP

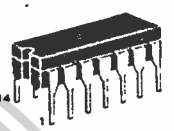
The MC14013B dual type D flip-flop is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. Each flip-flop has independent Data, (D), Direct Set, (S), Direct Reset, (R), and Clock (C) inputs and complementary outputs (Q and $\bar{Q}$). These devices may be used as shift register elements or as type T flip-flops for counter and toggle applications.

- Static Operation
- Quiescent Current = 2.0 nA/package typical @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typical
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Single Supply Operation
- Toggle Rate = 4 MHz typical @ 5 Vdc
- Logic Edge-Clocked Flip-Flop Design – Logic state is retained indefinitely with clock level either high or low; information is transferred to the output only on the positive-going edge of the clock pulse
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4013B

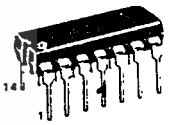
CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

DUAL TYPE D FLIP-FLOP



L SUFFIX
CERAMIC PACKAGE
CASE 632



P SUFFIX
PLASTIC PACKAGE
CASE 646

ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

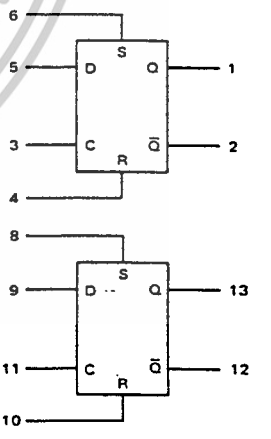
Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range – AL Device	T_A	-55 to +125	°C
CL/CP Device		-40 to +85	
Storage Temperature Range	T_{stg}	-65 to +150	°C

TRUTH TABLE

INPUTS				OUTPUTS		
CLOCK†	DATA	RESET	SET	Q	$\bar{Q}$	
⌐⌐	0	0	0	0	1	
⌐⌐	1	0	0	1	0	
⌐⌐	X	0	0	Q	$\bar{Q}$	No Change
X	X	1	0	0	1	
X	X	0	1	1	0	
X	X	1	1	1	1	

X = Don't Care
† = Level Change

BLOCK DIAGRAM



V_{DD} = Pin 14
V_{SS} = Pin 7

7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage# "0" Level (V_O = 4.5 or 0.5 Vdc) (V_O = 9.0 or 1.0 Vdc) (V_O = 13.5 or 1.5 Vdc)	V_{IL}	5.0	–	1.5	–	2.25	1.5	–	1.5	Vdc
		10	–	3.0	–	4.50	3.0	–	3.0	
		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level (V_O = 0.5 or 4.5 Vdc) (V_O = 1.0 or 9.0 Vdc) (V_O = 1.5 or 13.5 Vdc)	V_{IH}	5.0	3.5	–	3.5	2.75	–	3.5	–	Vdc
		10	7.0	–	7.0	5.50	–	7.0	–	
		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device) (V_{OH} = 2.5 Vdc) Source (V_{OH} = 4.6 Vdc) (V_{OH} = 9.5 Vdc) (V_{OH} = 13.5 Vdc)	I_{OH}	5.0	–1.2	–	–1.0	–1.7	–	–0.7	–	mAdc
		5.0	–0.25	–	–0.2	–0.36	–	–0.14	–	
		10	–0.62	–	–0.5	–0.9	–	–0.35	–	
		15	–1.8	–	–1.5	–3.5	–	–1.1	–	
(V_{OL} = 0.4 Vdc) Sink (V_{OL} = 0.5 Vdc) (V_{OL} = 1.5 Vdc)	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
		10	1.6	–	1.3	2.25	–	0.9	–	
		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device) (V_{OH} = 2.5 Vdc) Source (V_{OH} = 4.6 Vdc) (V_{OH} = 9.5 Vdc) (V_{OH} = 13.5 Vdc)	I_{OH}	5.0	–1.0	–	–0.8	–1.7	–	–0.6	–	mAdc
		5.0	–0.2	–	–0.16	–0.36	–	–0.12	–	
		10	–0.5	–	–0.4	–0.9	–	–0.3	–	
		15	–1.4	–	–1.2	–3.5	–	–1.0	–	
(V_{OL} = 0.4 Vdc) Sink (V_{OL} = 0.5 Vdc) (V_{OL} = 1.5 Vdc)	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
		10	1.3	–	1.1	2.25	–	0.9	–	
		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	μAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	μAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	–	1.0	–	0.002	1.0	–	30	μAdc
		10	–	2.0	–	0.004	2.0	–	60	
		15	–	4.0	–	0.006	4.0	–	120	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	–	4.0	–	0.002	4.0	–	30	μAdc
		10	–	8.0	–	0.004	8.0	–	60	
		15	–	16	–	0.006	16	–	120	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (0.75 μA/kHz) f + I_{DD}							μAdc
		10	I_T = (1.5 μA/kHz) f + I_{DD}							
		15	I_T = (2.3 μA/kHz) f + I_{DD}							

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
#Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc

†To calculate total supply current at loads other than 50 pF:
$I_T(C_L) = I_T(50\ pF) + 2 \times 10^{-3} (C_L - 50) V_{DD} f$
where: I_T is in μA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency.
**The formulas given are for the typical characteristics only at 25°C.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

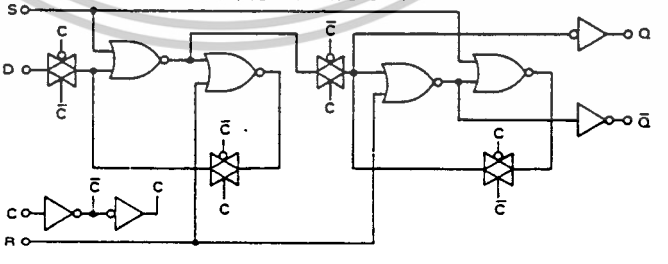
SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	–	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	–	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	–	65	130	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	–	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{THL} = (0.55 ns/pF) C_L + 12.5 ns		15	–	40	80	
Propagation Delay Time	t_{PLH}					ns
Clock to Q	t_{PHL}					
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 90 ns		5.0	–	175	350	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 42 ns		10	–	75	150	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 25 ns		15	–	50	100	
Set to Q						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 90 ns		5.0	–	175	350	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 42 ns		10	–	75	150	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 25 ns		15	–	50	100	
Reset to Q						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 265 ns		5.0	–	350	450	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 67 ns		10	–	100	200	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 50 ns		15	–	75	150	
Setup Times	t_{su}	5.0	40	20	–	ns
		10	20	10	–	
		15	15	7.5	–	
Hold Times	t_h	5.0	40	20	–	ns
		10	20	10	–	
		15	15	7.5	–	
Clock Pulse Width	t_{WL}, t_{WH}	5.0	250	125	–	ns
		10	100	50	–	
		15	70	35	–	
Clock Pulse Frequency	f_{cl}	5.0	–	4.0	2.0	MHz
		10	–	10	5.0	
		15	–	14	7.0	
Clock Pulse Rise and Fall Time	t_{TLH}	5.0	–	–	15	μs
	t_{THL}	10	–	–	5.0	
		15	–	–	4.0	
Set and Reset Pulse Width	t_{WL}, t_{WH}	5.0	250	125	–	ns
		10	100	50	–	
		15	70	35	–	

*The formula given is for the typical characteristics only.

7

LOGIC DIAGRAM
(1/2 of Device Shown)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 – DYNAMIC SIGNAL WAVEFORMS
(Data, Clock, and Output)

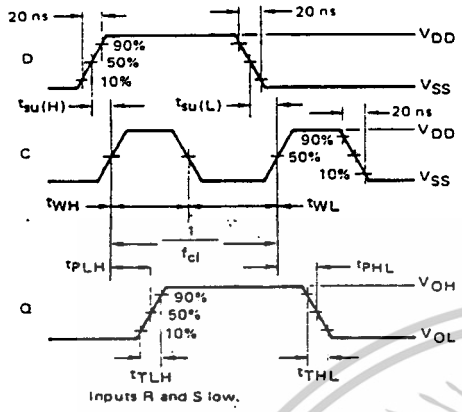
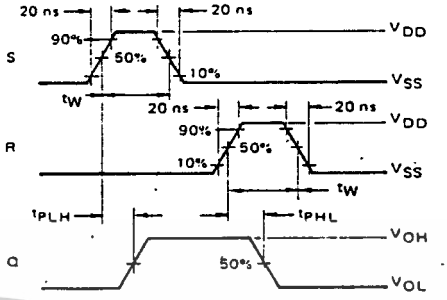
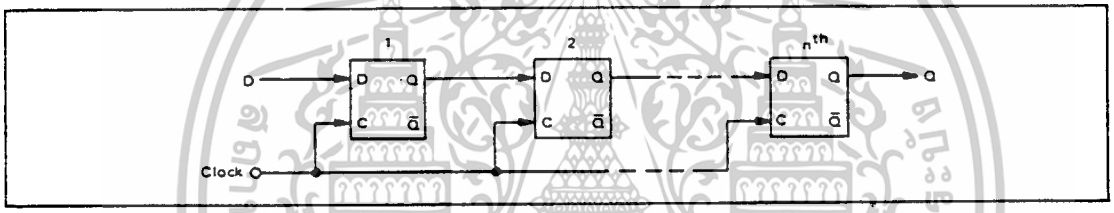


FIGURE 2 – DYNAMIC SIGNAL WAVEFORMS
(Set, Reset, and Output)

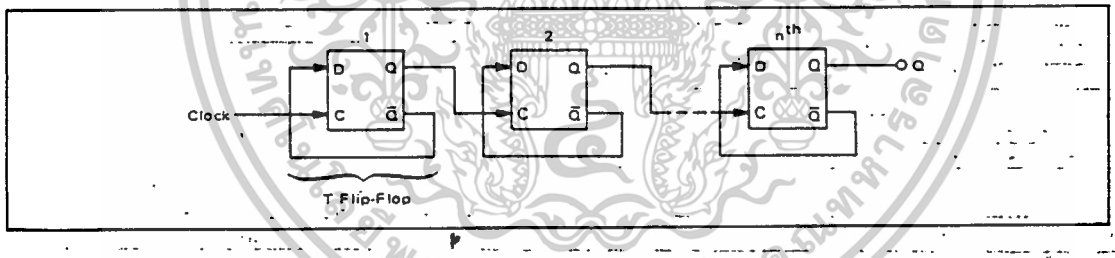


TYPICAL APPLICATIONS

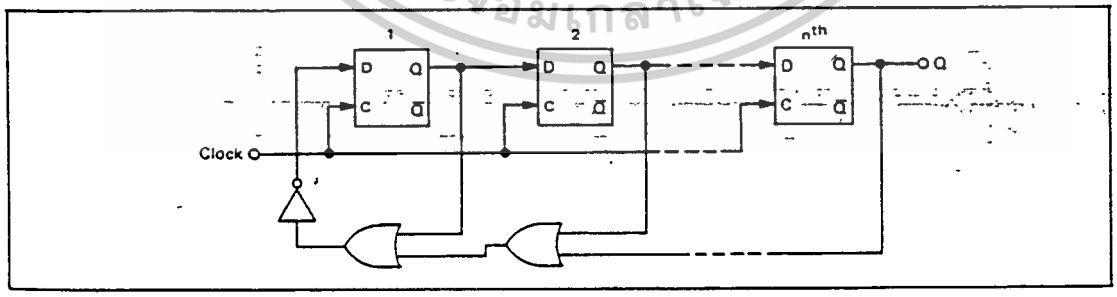
n-STAGE SHIFT REGISTER



BINARY RIPPLE UP-COUNTER (Divide-by-2^n)



MODIFIED RING COUNTER (Divide-by-(n + 1))



7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14017B

CMOS MSI

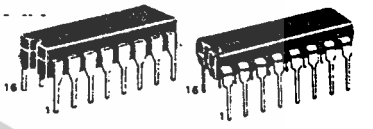
(LOW-POWER COMPLEMENTARY MOS)

DECADE COUNTER/DIVIDER

DECADE COUNTER/DIVIDER

The MC14017B is a five-stage Johnson decade counter with built-in code converter. High-speed operation and spike-free outputs are obtained by use of a Johnson decade counter design. The ten decoded outputs are normally low, and go high only at their appropriate decimal time period. The output changes occur on the positive-going edge of the clock pulse. This part can be used in frequency division applications as well as decade counter or decimal decode display applications.

- Fully Static Operation
- DC Clock Input Circuit Allows Slow Rise Times
- Carry Out Output for Cascading
- 12 MHz (typical) Operation @ V_{DD} = 10 Vdc
- Divide-by-N Counting
- Quiescent Current = 5.0 nA/package Typical @ 5 Vdc
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4017B



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

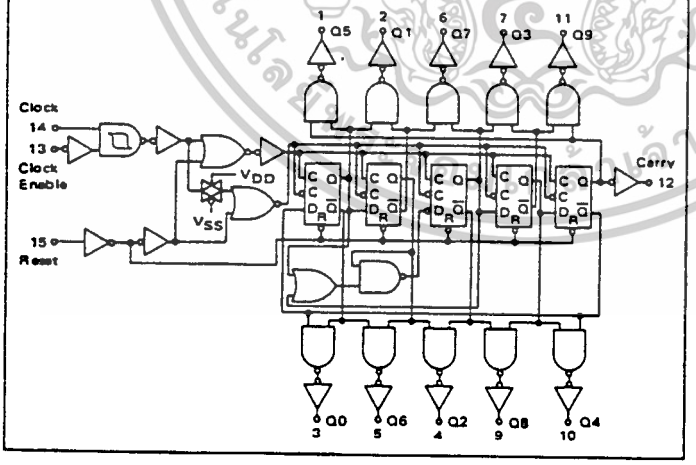
FUNCTIONAL TRUTH TABLE

(Positive Logic)

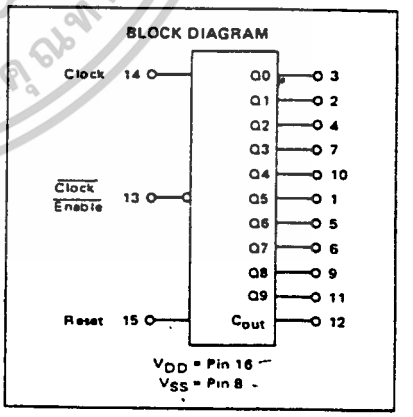
CLOCK	CLOCK ENABLE	RESET	DECODE OUTPUT = n
0	X	0	n
X	1	0	n
X	X	1	Q0
⎍	0	0	n+1
⎍	X	0	n
X	⎍	0	n
1	⎍	0	n+1

X = Don't Care If n < 5 Carry = "1", Otherwise = "0"

LOGIC DIAGRAM



BLOCK DIAGRAM



V_{DD} = Pin 16
V_{SS} = Pin 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
V_{in} = V_{DD} or 0		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
V_{in} = 0 or V_{DD}		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage# "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level	V_{IH}									
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	–	3.5	2.75	–	3.5	–	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-1.2	–	-1.0	-1.7	–	-0.7	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.25	–	-0.2	-0.36	–	-0.14	–	
(V_{OH} = 9.5 Vdc)		10	-0.62	–	-0.5	-0.9	–	-0.35	–	
(V_{OH} = 13.5 Vdc)		15	-1.8	–	-1.5	-3.5	–	-1.1	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-1.0	–	-0.8	-1.7	–	-0.6	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.2	–	-0.16	-0.36	–	-0.12	–	
(V_{OH} = 9.5 Vdc)		10	-0.5	–	-0.4	-0.9	–	-0.3	–	
(V_{OH} = 13.5 Vdc)		15	-1.4	–	-1.2	-3.5	–	-1.0	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device)	I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	µAdc
(Per Package)		10	–	10	–	0.010	10	–	300	
		15	–	20	–	0.015	20	–	600	
Quiescent Current (CL/CP Device)	I_{DD}	5.0	–	20	–	0.005	20	–	150	µAdc
(Per Package)		10	–	40	–	0.010	40	–	300	
		15	–	80	–	0.015	80	–	600	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (0.27 µA/kHz) f + I_{DD}							µAdc
		10	I_T = (0.55 µA/kHz) f + I_{DD}							
		15	I_T = (0.83 µA/kHz) f + I_{DD}							

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
#Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc
†To calculate total supply current at loads other than 50 pF:
$I_T(C_L) = I_T(50\ pF) + 1.1 \times 10^{-3} (C_L - 50) V_{DD} f$
where: I_T is in µA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency.
**The formulas given are for the typical characteristics only at 25°C.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

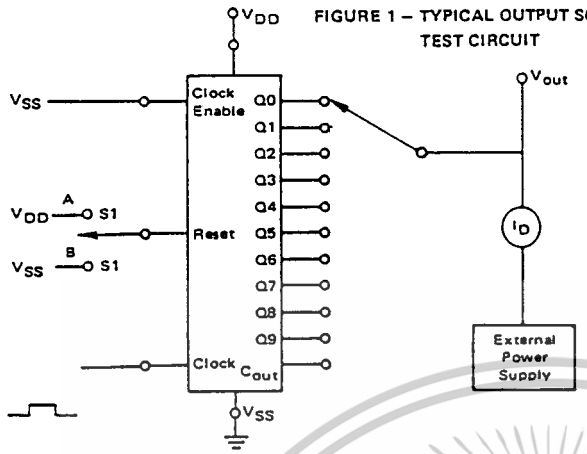
Characteristic	Symbol	V_{DD} Vdc	Min	Typ	Max	Unit
Output Rise Time t_{TLH} = (3.0 ns/pF) C_L + 30 ns t_{TLH} = (1.5 ns/pF) C_L + 15 ns t_{TLH} = (1.1 ns/pF) C_L + 10 ns	t_{TLH}	5.0 10 15	– – –	180 90 65	360 180 130	ns
Output Fall Time t_{THL} = (1.5 ns/pF) C_L + 25 ns t_{THL} = (0.75 ns/pF) C_L + 12.5 ns t_{THL} = (0.55 ns/pF) C_L + 12.5 ns	t_{THL}	5.0 10 15	– – –	100 50 40	200 100 80	ns
Propagation Delay Time Reset to Decade Output t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 415 ns t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 197 ns t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 150 ns	t_{PLH}, t_{PHL}	5.0 10 15	– – –	500 230 175	1000 460 350	ns
Propagation Delay Time Clock to C_{out} t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 315 ns t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 142 ns t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 100 ns	t_{PLH}, t_{PHL}	5.0 10 15	– – –	400 175 125	800 350 250	ns
Propagation Delay Time Clock to Decode Output t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 415 ns t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 197 ns t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 150 ns	t_{PLH}, t_{PHL}	5.0 10 15	– – –	500 230 175	1000 460 350	ns
Turn-Off Delay Time Reset to C_{out} t_{PLH} = (1.7 ns/pF) C_L + 315 ns t_{PLH} = (0.66 ns/pF) C_L + 142 ns t_{PLH} = (0.5 ns/pF) C_L + 100 ns	t_{PLH}	5.0 10 15	– – –	400 175 125	800 350 250	ns
Clock Pulse Width	t_{WH}	5.0 10 15	250 100 75	125 50 35	– – –	ns
Clock Frequency	f_{cl}	5.0 10 15	– – –	5.0 12 16	2.0 5.0 6.7	MHz
Reset Pulse Width	t_{WH}	5.0 10 15	500 250 190	250 125 95	– – –	ns
Reset Removal Time	t_{rem}	5.0 10 15	750 275 210	375 135 105	– – –	ns
Clock Input Rise and Fall Time	t_{TLH}, t_{THL}	5.0 10 15	No Limit			–
Clock Enable Setup Time	t_{su}	5.0 10 15	350 150 115	175 75 52	– – –	ns
Clock Enable Removal Time	t_{rem}	5.0 10 15	420 200 140	260 100 70	– – –	ns

*The formula given is for the typical characteristics only.

7

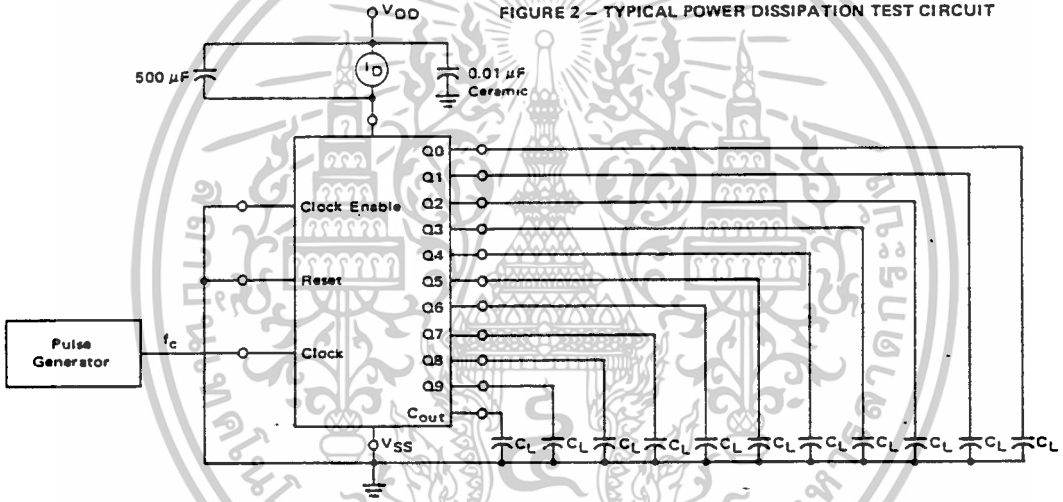
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 – TYPICAL OUTPUT SOURCE AND OUTPUT SINK CHARACTERISTICS TEST CIRCUIT



	OUTPUT SINK DRIVE	OUTPUT SOURCE DRIVE
DECODE OUTPUTS	(S1 to A)	Clock to desired outputs (S1 to B)
Carry	Clock to 5 thru 9 (S1 to B)	S1 to A
V_{GS} =	V_{DD}	$-V_{DD}$
V_{DS} =	V_{out}	$V_{out} - V_{DD}$

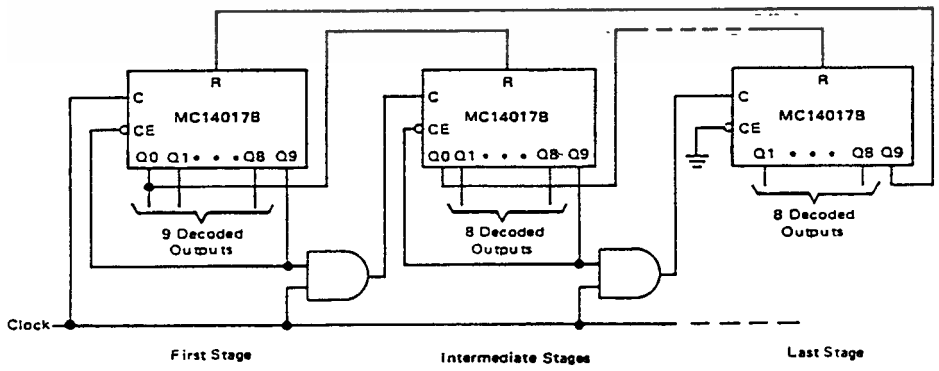
FIGURE 2 – TYPICAL POWER DISSIPATION TEST CIRCUIT



APPLICATIONS INFORMATION

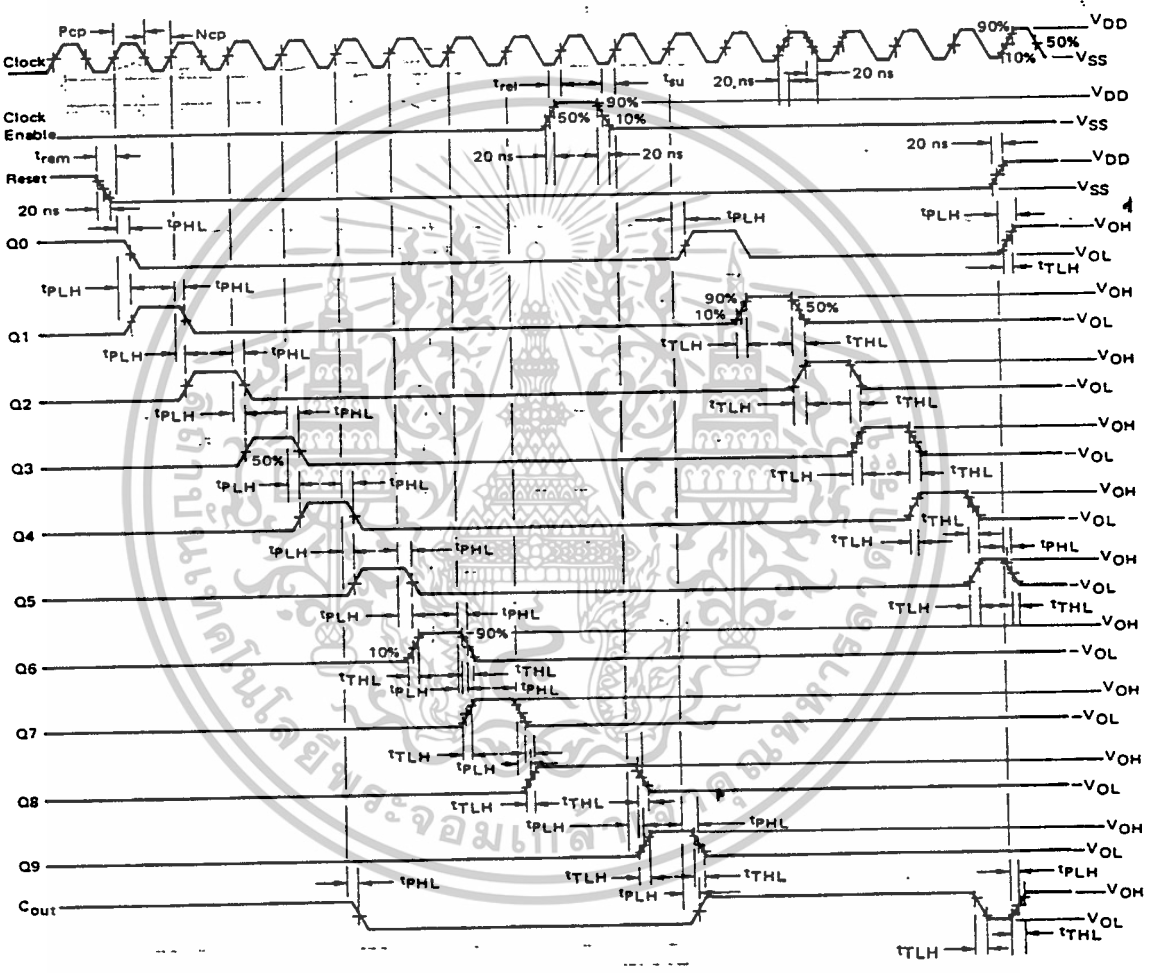
Figure 3 shows a technique for extending the number of decoded output states for the MC14017B. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).

FIGURE 3 – COUNTER EXPANSION



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4 – AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14028B

BCD-TO-DECIMAL DECODER
BINARY-TO-OCTAL DECODER

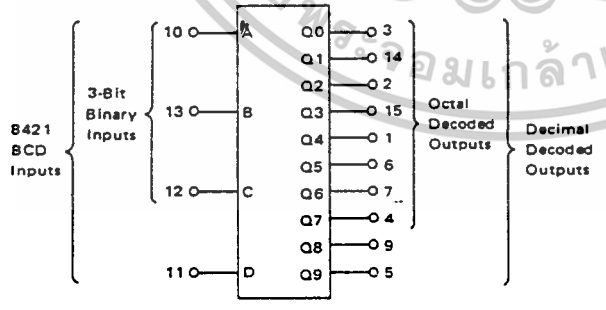
The MC14028B decoder is constructed so that an 8421 BCD code on the four inputs provides a decimal (one-of-ten) decoded output, while a 3-bit binary input provides a decoded octal (one-of-eight) code output with D forced to a logic "0". Expanded decoding such as binary-to-hexadecimal (one-of-16), etc., can be achieved by using other MC14028B devices. The part is useful for code conversion, address decoding, memory selection control, demultiplexing, or readout decoding.

- Diode Protection on All Inputs
- Noise Immunity = 45% of V_{DD} typical
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Positive Logic Design
- Quiescent Current 5.0 nA /package typical @ 5 Vdc
- Low Outputs on All Illegal Input Combinations
- Similar to CD4028B.

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

BLOCK DIAGRAM

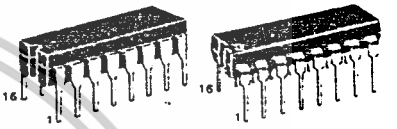


V_{DD} = Pin 16
V_{SS} = Pin 8

CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

BCD-TO-DECIMAL DECODER
BINARY-TO-OCTAL DECODER



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

TRUTH TABLE

INPUT				OUTPUT									
D	C	B	A	Q9	Q8	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
V_{in} = V_{DD} or 0		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
V_{in} = 0 or V_{DD}		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage# "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level	V_{IH}									
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	–	3.5	2.75	–	3.5	–	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-1.2	–	-1.0	-1.7	–	-0.7	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.25	–	-0.2	-0.36	–	-0.14	–	
(V_{OH} = 9.5 Vdc)		10	-0.62	–	-0.5	-0.9	–	-0.35	–	
(V_{OH} = 13.5 Vdc)		15	-1.8	–	-1.5	-3.5	–	-1.1	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-1.0	–	-0.8	-1.7	–	-0.6	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.2	–	-0.16	-0.36	–	-0.12	–	
(V_{OH} = 9.5 Vdc)		10	-0.5	–	-0.4	-0.9	–	-0.3	–	
(V_{OH} = 13.5 Vdc)		15	-1.4	–	-1.2	-3.5	–	-1.0	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device)	I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	µAdc
(Per Package)		10	–	10	–	0.010	10	–	300	
		15	–	20	–	0.015	20	–	600	
Quiescent Current (CL/CP Device)	I_{DD}	5.0	–	20	–	0.005	20	–	150	µAdc
(Per Package)		10	–	40	–	0.010	40	–	300	
		15	–	80	–	0.015	80	–	600	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (0.3 µA/kHz) f + I_{DD}							µAdc
		10	I_T = (0.6 µA/kHz) f + I_{DD}							
		15	I_T = (0.9 µA/kHz) f + I_{DD}							

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.

#Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc

†To calculate total supply current at loads other than 50 pF:
$I_T(C_L) = I_T(50\ pF) + 1 \times 10^{-3} (C_L - 50) V_{DD} f$
where: I_T is in µA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency.

**The formulas given are for the typical characteristics only at 25°C.

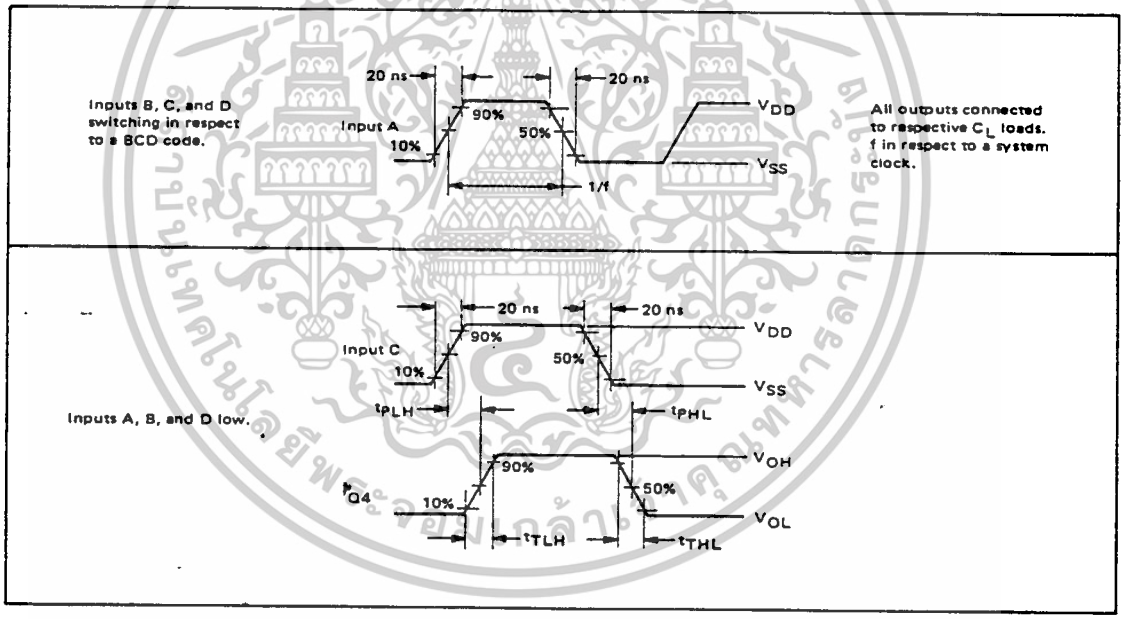
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	–	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	–	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	–	65	130	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	–	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	–	40	80	
Propagation Delay Time	t_{PLH}, t_{PHL}					ns
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 215 ns		5.0	–	300	600	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 97 ns		10	–	130	260	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 65 ns		15	–	90	180	

* The formula given is for the typical characteristics only.

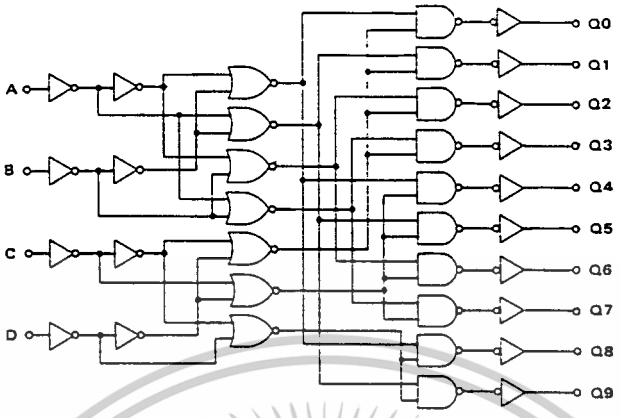
FIGURE 1 – DYNAMIC SIGNAL WAVEFORMS



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM

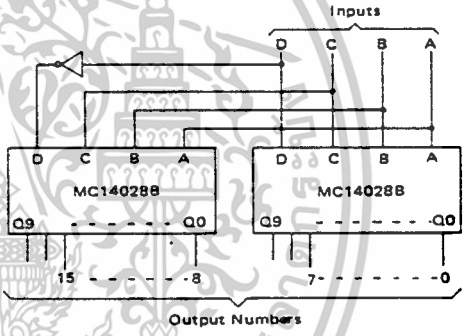


APPLICATION INFORMATION

Expanded decoding can be performed by using the MC14028B and other McMOS Integrated Circuits. The circuits in Figure 2 converts any 4-bit code to a decimal or hexadecimal code. The accompanying table shows the input binary combinations, the associated "output numbers" that go "high" when selected, and the "redefined output numbers" needed for the proper code. For example: For the combination DCBA = 0111 the output number 7 is redefined for the 4-bit binary, 4-bit gray, excess-3, or excess-3 gray codes as 7, 5, 4, or 2, respectively. Figure 3 shows a 6-bit binary 1-of-64 decoder using nine MC14028B circuits and two MC14069B inverters.

The MC14028B can be used in decimal digit displays, such as, neon readouts or incandescent projection indicators as shown in Figure 4.

FIGURE 2 – CODE CONVERSION CIRCUIT AND TRUTH TABLE



INPUTS				OUTPUT NUMBERS														CODE AND REDEFINED OUTPUT NUMBERS					
																		Hexadecimal		Decimal			
D	C	B	A	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	4-Bit Binary	4-Bit Gray	Excess-3	Excess-3 Gray	Aiken	4221
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0			0	0
0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1			1	1
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	2	3		0	2	2
0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	3	2	0	3	3	
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	4	7	1	4	4	
0	1	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	5	6	2			3
0	1	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	6	4	3	1		4
0	1	1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	7	5	4	2		
1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	8	15	5			
1	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	9	14	6			5
1	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	10	12	7	9		6
1	0	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	11	13	8		5	
1	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	12	8	9	5	6	
1	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	13	9		6	7	7
1	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	14	11		8	8	8
1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	15	10		7	9	9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 – SIX-BIT BINARY 1-OF-64 DECODER

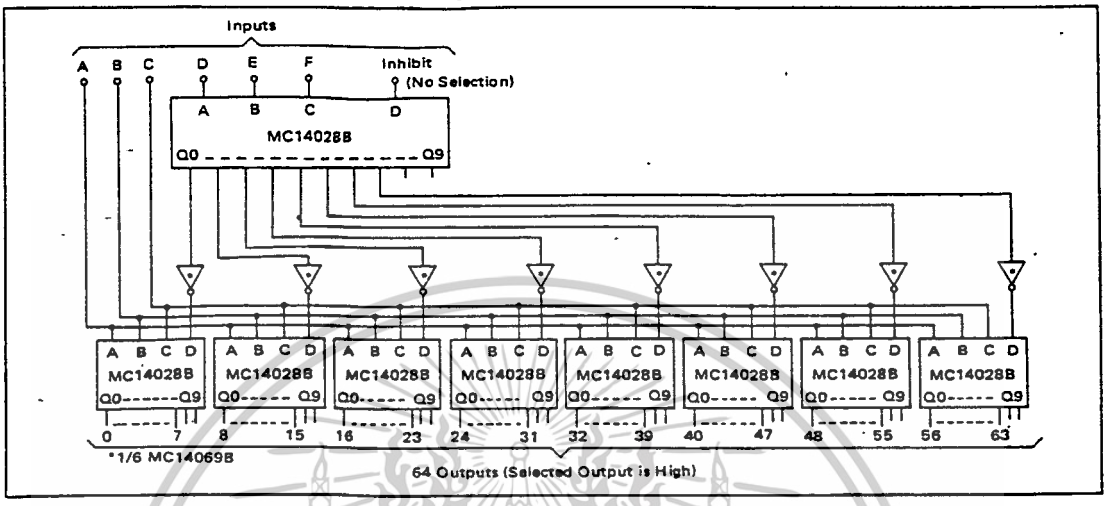
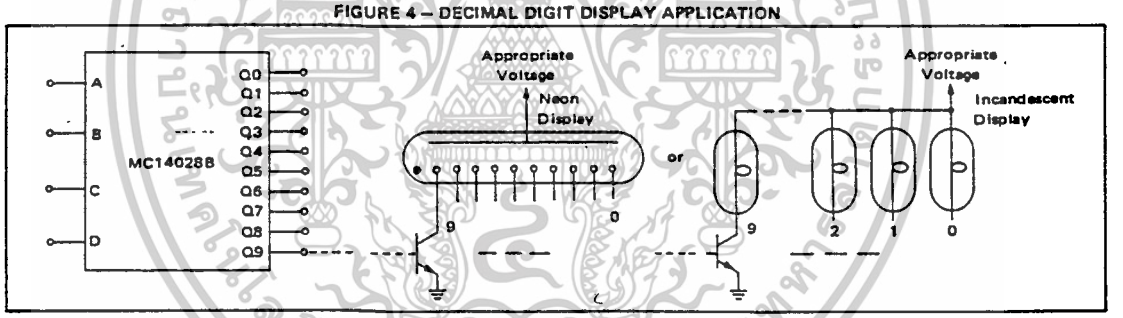


FIGURE 4 – DECIMAL DIGIT DISPLAY APPLICATION



Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications; consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc. or others.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14071
MC14071B

QUAD 2-INPUT "OR" GATE

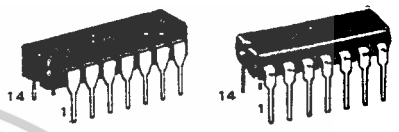
The MC14071 and MC14071B are constructed with P and N channel enhancement mode devices in a single monolithic structure (Complementary MOS). Their primary use is where low power dissipation and/or high noise immunity is desired.

- Quiescent Current = 0.5 nA typ/pkg @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typ
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- All Outputs Buffered
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range. (MC14071B only)
- Double Diode Protection on All Inputs
- Pin-for-Pin Replacements for CD4071A and CD4071B

CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

QUAD 2-INPUT "OR" GATE



L SUFFIX
CERAMIC PACKAGE
CASE 632

P SUFFIX
PLASTIC PACKAGE
CASE 646

ORDERING INFORMATION

MC14XXXB — Suffix — Denotes

- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

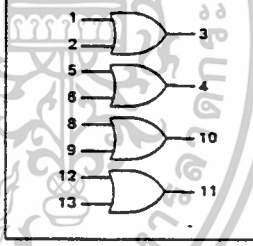
Delete for Non-B Device

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} +0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range AL Device	T_A	-55 to +125	°C
CL/CP Device		-40 to +85	
Storage Temperature Range	T_{stg}	-65 to +150	°C

See the MC14001B data sheet for complete characteristics of the B-Series device.

LOGIC DIAGRAM

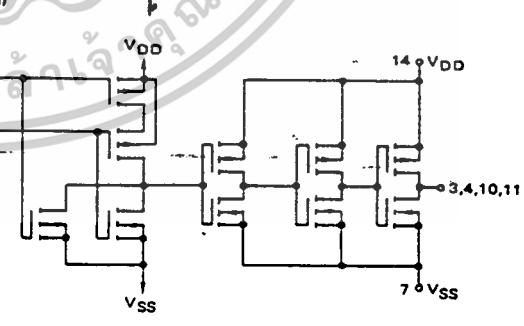


V_{DD} = Pin 14
V_{SS} = Pin 7

MC14071

CIRCUIT SCHEMATICS
(1/4 of Device Shown)

MC14071B



NOTE:

MC14071 (Non B) is not recommended for new designs. Use MC14071B.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in}$ or $V_{out}) \leq V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14081
MC14081B

QUAD 2-INPUT "AND" GATE

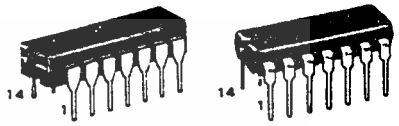
The MC14081 and MC14081B are constructed with P and N channel enhancement mode devices in a single monolithic structure (Complementary MOS). Their primary use is where low power dissipation and/or high noise immunity is desired.

- Quiescent Current = 0.5 nA typ/pkg @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typ
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- All Outputs Buffered
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range. (MC14081B only)
- Double Diode Protection on All Inputs
- Pin-for-Pin Replacements for CD4081A and CD4081B

CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

QUAD 2-INPUT "AND" GATE



L SUFFIX
CERAMIC PACKAGE
CASE 632

P SUFFIX
PLASTIC PACKAGE
CASE 646

ORDERING INFORMATION

MC14XXXB — Suffix — Denotes

Delete for Non-B Device

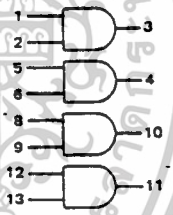
- L — Ceramic Package
- P — Plastic Package
- A — Extended Operating Temperature Range
- C — Limited Operating Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} +0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device	T_A	-55 to +125	°C
CL/CP Device		-40 to +85	
Storage Temperature Range	T_{stg}	-65 to +150	°C

See the MC14001B data sheet for complete characteristics of the B-Series device.

LOGIC DIAGRAM

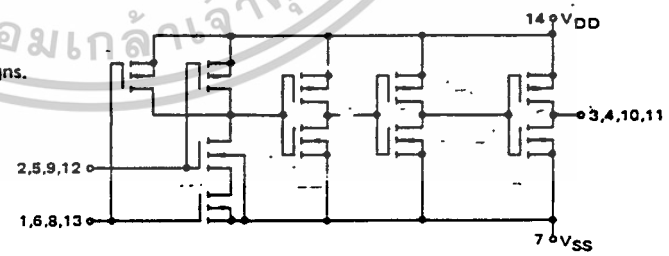


V_{DD} = Pin 14
V_{SS} = Pin 7

CIRCUIT SCHEMATICS
(1/4 of Device Shown)

MC14081

MC14081B



NOTE:
MC14081 (Non-B) is not recommended for new designs.
Use MC14081B.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in}$ or $V_{out}) \leq V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14528B

CMOS MSI

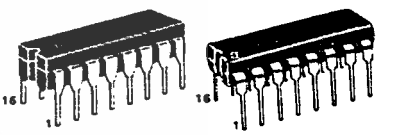
(LOW-POWER COMPLEMENTARY MOS)

DUAL RETRIGGERABLE/RESETTABLE MONOSTABLE MULTIVIBRATOR

DUAL MONOSTABLE MULTIVIBRATOR

The MC14528B is a dual, retriggerable, resettable monostable multivibrator. It may be triggered from either edge of an input pulse, and will produce an accurate output pulse over a wide range of widths, the duration and accuracy of which are determined by the external timing components, C_X and R_X.

- Separate Reset Available
- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Diode Protection on All Inputs
- Triggerable from Leading or Trailing Edge Pulse
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- See MC14538B Data Sheet for Applications Requiring Precise Control of Output Pulse Width



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

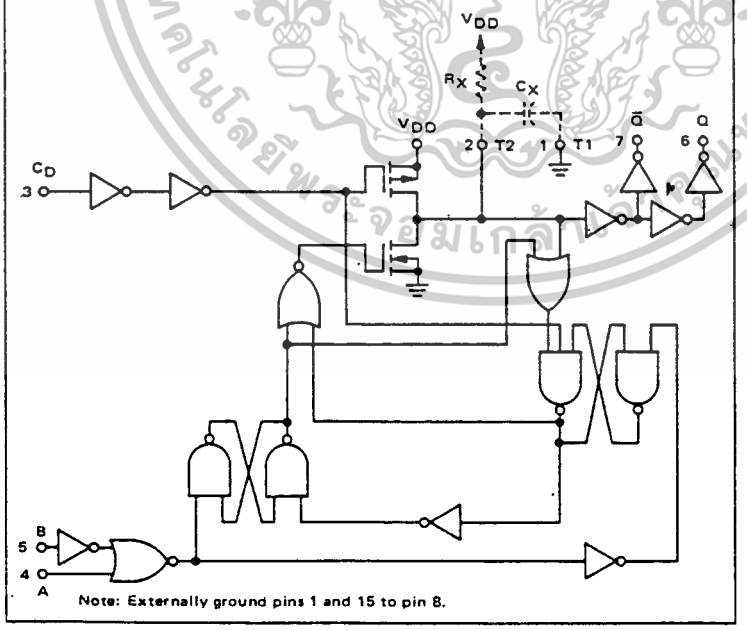
ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

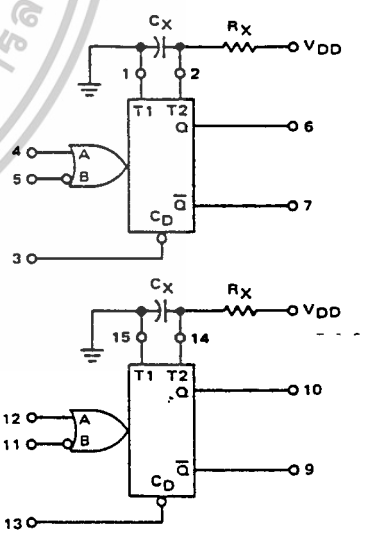
Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device	T_A	-55 to +125	°C
CL/CP Device		-40 to +85	
Storage Temperature Range	T_{stg}	-65 to +150	°C

LOGIC DIAGRAM
(1/2 of Device Shown)



Note: Externally ground pins 1 and 15 to pin 8.

BLOCK DIAGRAM



R_X and C_X are external components.

V_{DD} = Pin 16
V_{SS} = Pin 8

7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage# "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level	V_{IH}									
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	–	3.5	2.75	–	3.5	–	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	–1.2	–	–1.0	–1.7	–	–0.7	–	
(V_{OH} = 4.6 Vdc)		5.0	–0.25	–	–0.2	–0.36	–	–0.14	–	
(V_{OH} = 9.5 Vdc)		10	–0.62	–	–0.5	–0.9	–	–0.35	–	
(V_{OH} = 13.5 Vdc)		15	–1.8	–	–1.5	–3.5	–	–1.1	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	–1.0	–	–0.8	–1.7	–	–0.6	–	
(V_{OH} = 4.6 Vdc)		5.0	–0.2	–	–0.16	–0.36	–	–0.12	–	
(V_{OH} = 9.5 Vdc)		10	–0.5	–	–0.4	–0.9	–	–0.3	–	
(V_{OH} = 13.5 Vdc)		15	–1.4	–	–1.2	–3.5	–	–1.0	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	µAdc
		10	–	10	–	0.010	10	–	300	
		15	–	20	–	0.015	20	–	600	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	–	20	–	0.005	20	–	150	µAdc
		10	–	40	–	0.010	40	–	300	
		15	–	80	–	0.015	80	–	600	
**Total Supply Current at an external load Capacitance (C_L) and at external timing capacitance (C_X), use the formula —	I_T	$I_T(C_L, C_X) = [(C_L + 0.36C_X)V_{DD}f + 2x10^{-8} R_X C_X (V_{DD}-2)2f] \times 10^{-3}$ where: I_T in µA (per circuit), C_L and C_X in pF, R_X in megohms, V_{DD} in Vdc, f in kHz is input frequency.								

*T_{low} = –55°C for AL Device, –40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
#Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc
**The formulas given are for the typical characteristics only at 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS** (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	C_X pF	R_X kΩ	V_{DD} Vdc	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}	–	–					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns				5.0	–	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns				10	–	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns				15	–	65	130	
Output Fall Time	t_{THL}	–	–					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns				5.0	–	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns				10	–	50	100	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns				15	–	40	80	
Turn-Off, Turn-On Delay Time — A or B to Q or Q	t_{PLH}, t_{PHL}	15	5.0					ns
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 240 ns				5.0	–	325	650	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 87 ns				10	–	120	240	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 65 ns				15	–	90	180	
Turn-Off, Turn-On Delay Time — A or B to Q or Q	t_{PLH}, t_{PHL}	1000	10					ns
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 620 ns				5.0	–	705	–	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 257 ns				10	–	290	–	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 185 ns				15	–	210	–	
Minimum Input Pulse Width — A or B	t_{WH}	15	5.0	5.0	–	70	150	ns
				10	–	30	75	
				15	–	30	55	
	t_{WL}	1000	10	5.0	–	70	–	ns
				10	–	30	–	
				15	–	30	–	
Output Pulse Width — Q or Q (For C_X < 0.01 μF use graph for appropriate V_{DD} level.)	t_W	15	5.0	5.0	–	550	–	ns
				10	–	350	–	
				15	–	300	–	
Output Pulse Width — Q or Q (For C_X > 0.01 μF use formula: $t_W = 0.2\ R_X\ C_X\ Ln\ [V_{DD} - V_{SS}]$)†	t_W	10,000	10	5.0	–	30	±15	μs
				10	–	50	±40	
				15	–	55	±40	
Pulse Width Match between Circuits in the same package	t1 - t2	10,000	10	5.0	–	6.0	25	%
				10	–	8.0	35	
				15	–	8.0	35	
Reset Propagation Delay — C_D to Q or Q	t_{PLH}, t_{PHL}	15	5.0	5.0	–	325	600	ns
				10	–	90	225	
				15	–	60	170	
		1000	10	5.0	–	1000	–	ns
				10	–	300	–	
				15	–	250	–	
Minimum Retrigger Time	t_{rr}	15	5.0	5.0	–	0	–	ns
				10	–	0	–	
				15	–	0	–	
		1000	10	5.0	–	0	–	ns
				10	–	0	–	
				15	–	0	–	
						Min		
External Timing Resistance	R_X	–	–	–	5.0	1000	1000	kΩ
External Timing Capacitance	C_X	–	–	–		No Limits		μF

**The formula given is for the typical characteristics only.

† R_X is in Ohms, C_X is in farads, V_{DD} and V_{SS} in volts, PW_{out} in seconds.

7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 – OUTPUT SOURCE CURRENT TEST CIRCUIT

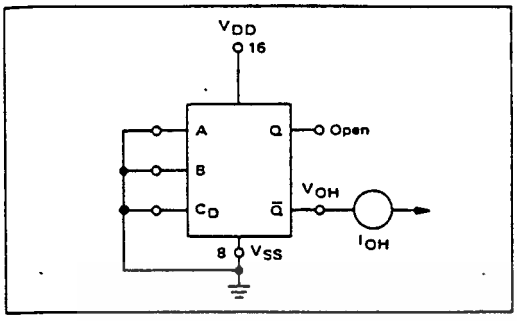


FIGURE 2 – OUTPUT SINK CURRENT TEST CIRCUIT

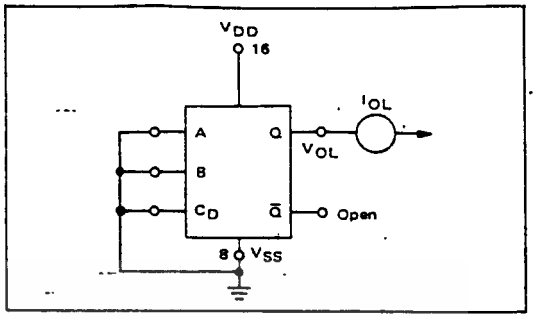


FIGURE 3 – POWER DISSIPATION TEST CIRCUIT AND WAVEFORMS

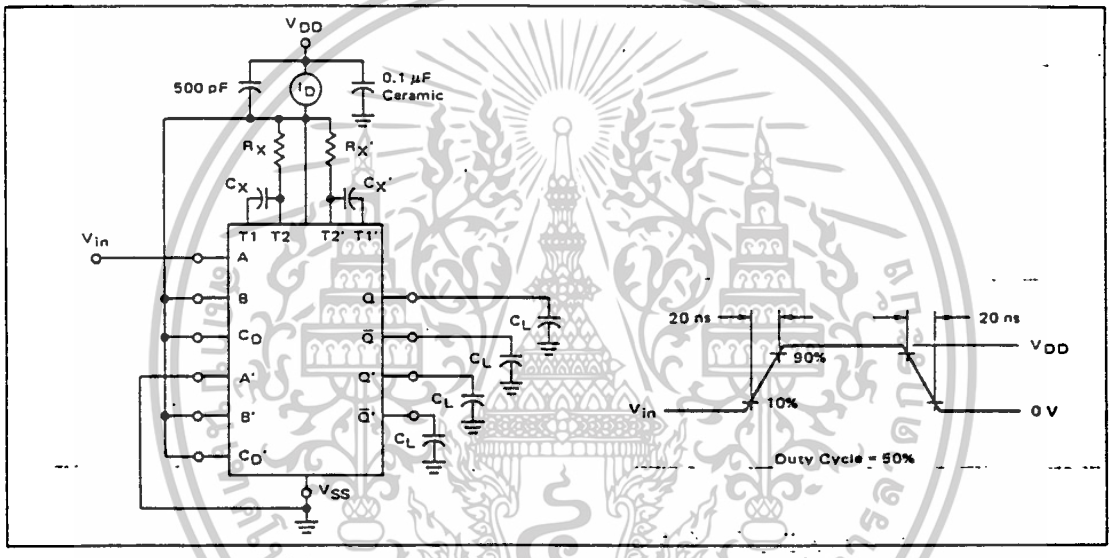
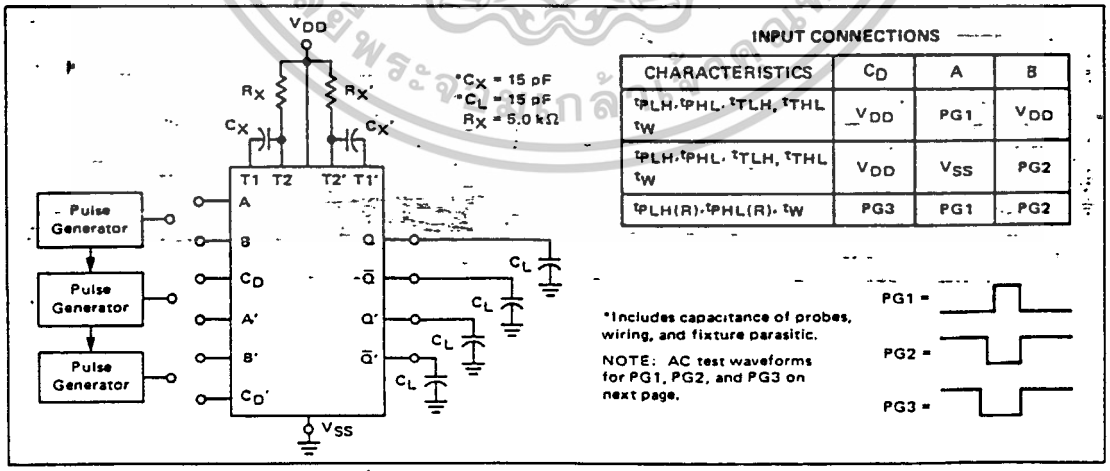


FIGURE 4 – AC TEST CIRCUIT



INPUT CONNECTIONS

CHARACTERISTICS	CD	A	B
t_{PLH}, t_{PHL}, t_{TLH}, t_{THL}, t_W	V_{DD}	PG1	V_{DD}
t_{PLH}, t_{PHL}, t_{TLH}, t_{THL}, t_W	V_{DD}	V_{SS}	PG2
$t_{PLH(R)}$, $t_{PHL(R)}$, t_W	PG3	PG1	PG2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 5 – AC TEST WAVEFORMS

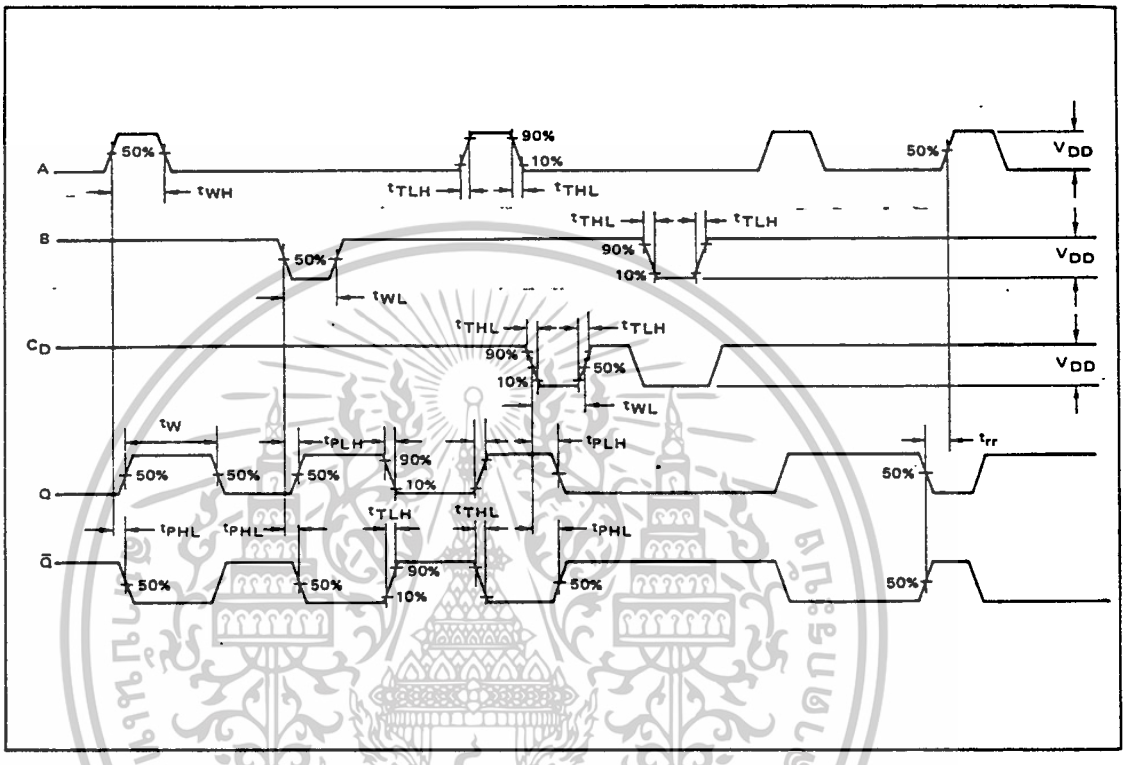


FIGURE 6 – NORMALIZED PULSE WIDTH versus TEMPERATURE

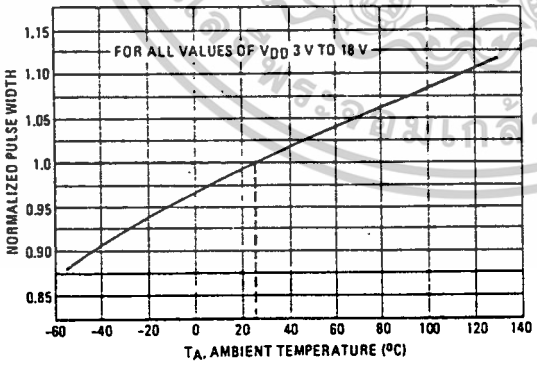
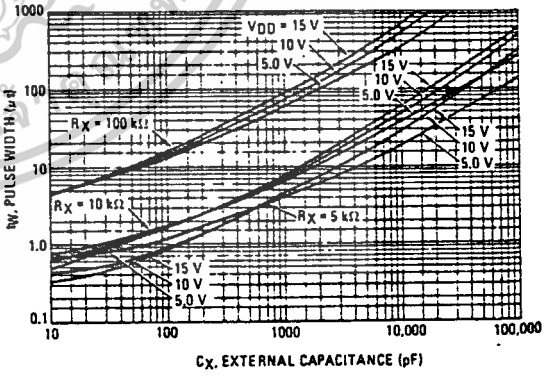


FIGURE 7 – PULSE WIDTH versus C_X



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4060AB

CMOS 14-STAGE BINARY COUNTER AND OSCILLATOR

FEATURES

- 14 Fully Static Stages
- 10 Buffered Outputs Available
- Common Reset Line
- 8MHz Counting Rate @ 10Vdc
- All Active Oscillator Components on Chip for R-C or Crystal Control

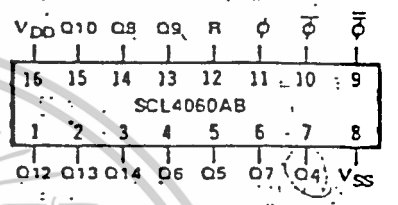
DESCRIPTION

The SCL4060AB consists of an oscillator section and 14 ripple-carry binary counter stages. The oscillator configuration allows design of either R-C or crystal oscillator circuits. A Reset input is provided which resets the counter to the all-0's state. A high level on the Reset line accomplishes the reset function. The state of the counter is advanced one step in binary order on the negative transition of the Clock input ϕ. All inputs and outputs are fully buffered. Outputs are available from stages 4 through 10 and 12 through 14.

Applications include timers, frequency dividers, delay circuits and counter controls.

CONNECTION DIAGRAM

(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
⌐	0	No Change
¬	0	Advance to next state
X	1	All Outputs are low

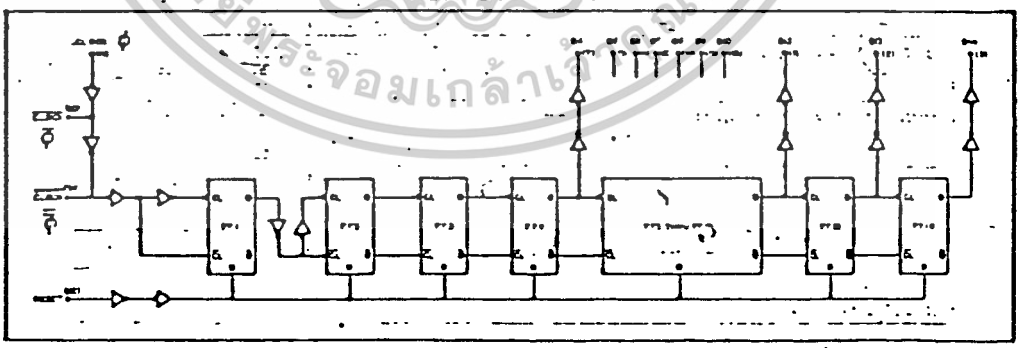
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

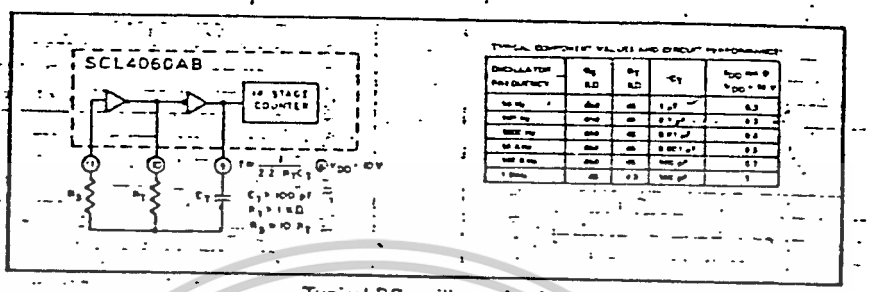
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM

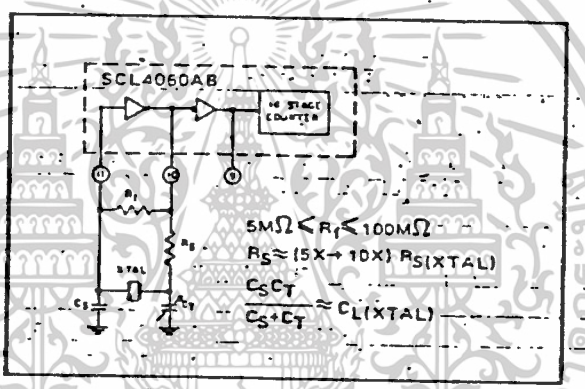


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

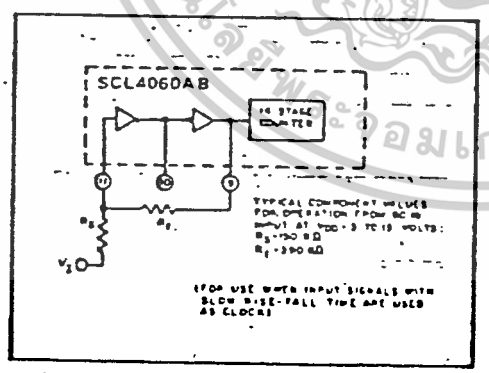
APPLICATIONS INFORMATION



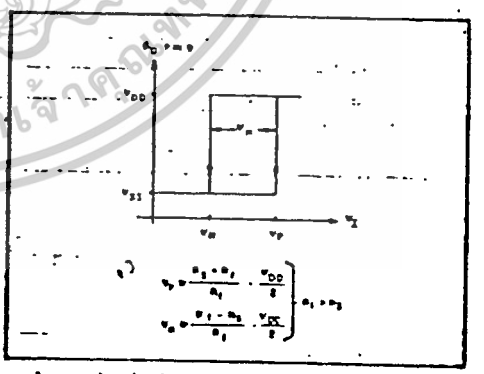
Typical RC oscillator circuit



Typical crystal oscillator circuit



Input pulse-shaping circuit (Schmitt trigger)



Input circuit characteristics for pulse-shaping circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS[1]

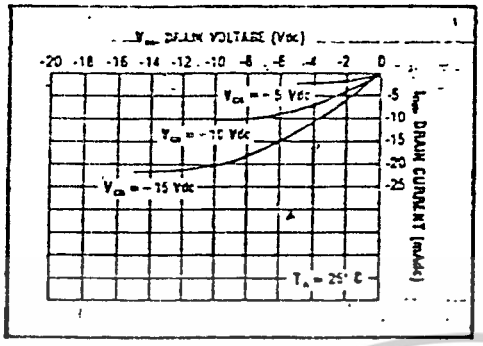
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[3] Min.	T_{LOW}[3] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH}[3] Min.	T_{HIGH}[3] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	15	–	0.2	20	–	600	
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device	I_{OH}	5	$V_{OH}=4.6V$	-0.15	–	-0.12	-0.5	–	-0.08	–	mAdc
		10	$V_{OH}=9.5V$	-0.37	–	-0.3	-1.15	–	-0.21	–	
		15	$V_{OH}=13.5V$	-1.25	–	-1.0	-4.5	–	-0.69	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	$V_{OH}=4.6V$	-0.14	–	-0.12	-0.5	–	-0.10	–	mAdc
		10	$V_{OH}=9.5V$	-0.35	–	-0.3	-1.15	–	-0.25	–	
		15	$V_{OH}=13.5V$	-1.2	–	-1.0	-4.5	–	-0.85	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
OUTPUT LOW (SINK) CURRENT C, D, F, H device	I_{OL}	5	$V_{OL}=0.4V$	0.15	–	0.12	0.5	–	0.08	–	mAdc
		10	$V_{OL}=0.5V$	0.37	–	0.3	1.0	–	0.21	–	
		15	$V_{OL}=1.5V$	1.25	–	1.0	5.8	–	0.69	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	$V_{OL}=0.4V$	0.14	–	0.12	0.5	–	0.10	–	mAdc
		10	$V_{OL}=0.5V$	0.35	–	0.3	1.0	–	0.25	–	
		15	$V_{OL}=1.5V$	1.2	–	1.0	5.8	–	0.85	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[3] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

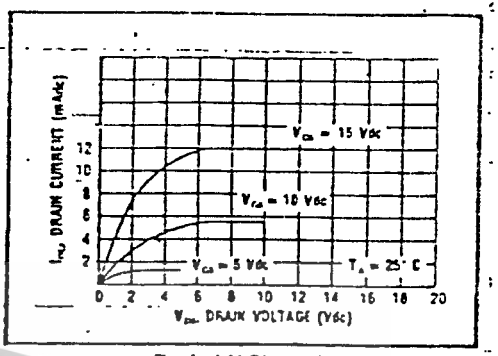
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock to Q_4	t_{PLH}, t_{PHL}	5	–	650	1300	ns
		10	–	325	650	
		15	–	250	520	
Q_i to Q_{i+1}	t_{PLH}, t_{PHL}	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	180	360	ns
		10	–	90	180	
		15	–	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	2.0	4.0	–	MHz
		10	4.0	8.0	–	
		15	5	10	–	
MAXIMUM CLOCK RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	15	–	–	
		15	5	–	–	
RESET OPERATION						
PROPAGATION DELAY TIME —	t_{PHL}	5	–	300	600	ns
		10	–	150	300	
		15	–	120	240	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
RESET REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	125	250	
		15	–	100	200	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

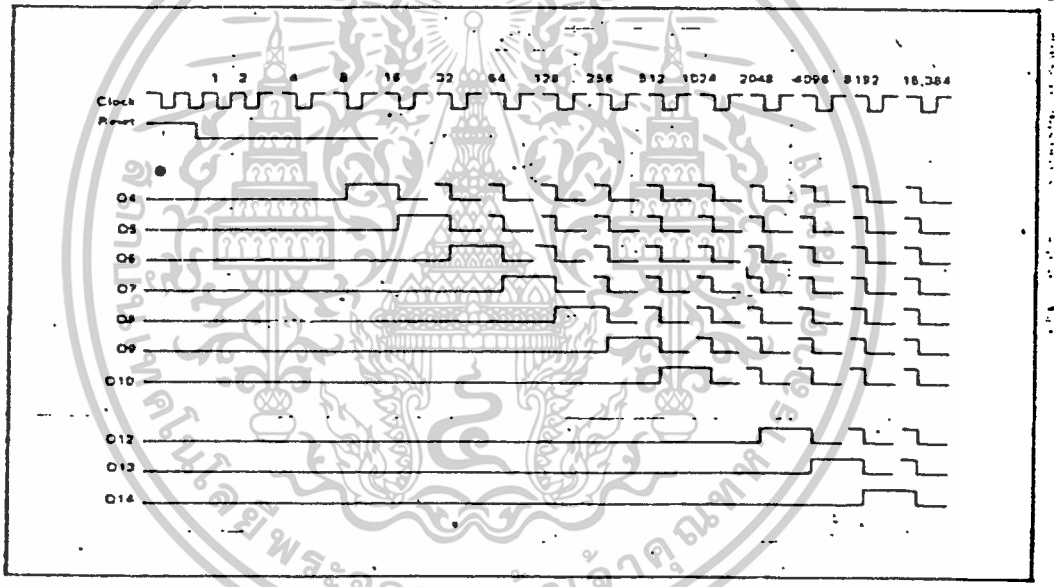


Typical P-Channel
Source Current Characteristics

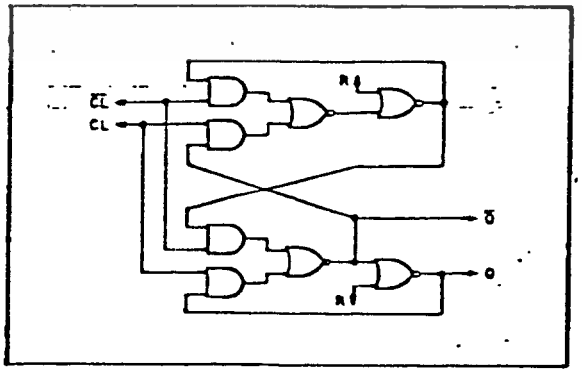


Typical N-Channel
Sink Current Characteristics

TIMING DIAGRAM



TYPICAL COUNTER STAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้