ระบบสังเคราะห์ความถี่โดยใช้เฟสล็อคลูปสำหรับวิทยุดิจิตอลย่านความถี่ ยูเฮชเอฟ

PHASE LOCK LOOP FREQUENCY SYNTHESIZER FOR DIGITAL RADIO IN UHF BAND

โดย

1.นางสาวกรกฎ มีพรหม

2.นางสาวนิศราภรณ์ ตั้งสกุล

วัน เดือน ปี 15 ส.ค 2540

เลขทะเบียน 037252

เลขเรียกหนังสือ T 383.45 ก 158ป

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบสังเคราะห์ความถี่โดยใช้เฟสล็อคลูปสำหรับวิทยุดิจิตอลย่านความถี่ยูเฮชเอฟ

PHASE LOCK LOOP FREQUENCY SYNTHESIZER FOR DIGITAL RADIO IN UHF BAND

โดย

1. นางสาวกรกฎ มีพรหม 35104006
2. นางสาวนิศรารภรณ์ ตั้งสกุล 35104224

อาจารย์ที่ปรึกษา

ดร.ทองทด วานิชศรี

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2538

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบสังเคราะห์ความถี่โดยใช้เฟสล็อคลูปสำหรับวิทยุดิจิตอลย่านความถี่ยูเฮชเอฟ

PHASE LOCK LOOP FREQUENCY SYNTHESIZER FOR DIGITAL RADIO IN UHF BAND

ผู้จัดทำ 1.นางสาวกรกฎ มีพรหม 35104006

2.นางสาวนิศราภรณ์ ตั้งสกุล 35104224

ทองทด วานิชศรี อาจารย์ที่ปรึกษา

(ดร. ทองทด วานิชศรี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ

ระบบสังเคราะห์ความถี่โดยใช้ความถี่เฟสล็อคลูปสำหรับวิทยุดิจิตอลย่านความถี่ยูเฮชเอฟ

PHASE LOCK LOOP FREQUENCY SYNTHESIZER FOR DIGITAL RADIO IN UHF BAND

โดย 1.นางสาวกรกฎ มีพรหม 35104006
2.นางสาวนิศราภรณ์ ตั้งสกุล 35104224
อาจารย์ที่ปรึกษา ดร.ทองทด วานิชศรี

บทคัดย่อ

การทดลองนี้เป็นการศึกษาเกี่ยวกับระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป โดยใช้ระบบสังเคราะห์ความถี่ผลิตความถี่ช่วง 735 MHz - 745 MHz ออกมา และนำมาผสมกับความถี่กลางที่ 60 MHz โดยใช้มิกเซอร์ ความถี่เอาท์พุตที่ออกมาจะเป็นความถี่ย่านความถี่วิทยุ ซึ่งเป็นความถี่ที่ใช้งาน สำหรับระบบสังเคราะห์ความถี่จะเป็นการประยุกต์ใช้งานของเฟสล็อคลูป ซึ่งจะประกอบด้วยวงจรวีซีโอ, วงจรหารแบบพรีสเกลเลอร์ชนิดหารสองโมดูลัสซึ่งหารด้วยค่า 64/65 ลูปฟิลเตอร์และเฟสดีเทคเตอร์ วงจรวีซีโอได้จากการออกแบบโดยใช้วงจรคอลพิทส์ออสซิลเลเตอร์ ซึ่งค่าความถี่จะเปลี่ยนไปตามศักดาร์เวอรสไบอัสที่ป้อนเข้ามา ตัวหารสำหรับวงจรหารจะใช้อีพรอมเป็นตัวเก็บค่าตัวหารซึ่งสามารถเลือกได้โดยการกำหนดแอดเดรส วงจรสังเคราะห์ความถี่ที่ดีจะต้องสามารถผลิตสัญญาณความถี่โดยปราศจากความถี่แปลกปลอมต่าง ๆ และวงจรวีซีโอจะต้องสามารถออสซิลเลตความถี่ต่าง ๆได้ถูกต้อง

ABSTRACT

This paper presents phase lock loop frequency synthesizer, generated frequency range 735 to 745 MHz, and mix with 60 MHz center frequency by mixer. The required output frequency is RF. The synthesizer is applied by phase lock loop, it consists of VCO circuit, prescaler two modulus, loop filter and phase detector. The VCO is designed by using the colpitts oscillater and the frequency changes by reverse input voltage. EPROM is used to store the divider of prescaler which can be selected by assigning the address. The good synthesizer must generate required frequency without any undesired, and the good VCO must oscillate at any frequency correctly.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีและหลักการ 3

2.1 ระบบเฟสล็อคลูป 4

2.1.1 ผลของลูปฟิลเตอร์และอัตราขยายลูปต่อคุณสมบัติการทำงานของเฟสล็อคลูป 13

2.1.2 กระบวนการแคปเจอร์สัญญาณอินพุท 15

2.1.3 คุณสมบัติการแทรคตามสัญญาณอินพุท 18

2.1.4 พิสัยการล็อค 21

2.1.5 พิสัยแคปเจอร์ 24

2.2 วงจรหารแบบพรีสเกลเลอร์ 27

2.3 วงจรมิกเซอร์ 29

บทที่ 3 การสร้างและการออกแบบ 31

3.1 การออกแบบวงจรวีซีโอ 31

3.1.1 การป้อนกลับแบบบวก 31

3.1.2 คอลพิทส์ออสซิลเลเตอร์ 32

3.1.3 การหาค่าความต้านทานภายในใน L ที่ใช้ในวงจรความถี่สูง 33

3.1.4 การโปรแกรมข้อมูลลงในอีพรอม 37

3.2 การออกแบบวงจรแบนด์พาสฟิลเตอร์ 38

บทที่ 4 การทดลองและผลการทดลอง 40

4.1 การทดลองวงจรวีซีโอ 40

4.2 การทดลองวงจรเฟสล็อคลูป 42

4.3 การทดลองแบนด์พาสฟิลเตอร์ 44

4.4 การทดลองวงจรมิกเซอร์ 49

4.5 การทดลองระบบสังเคราะห์ความถี่ 50

4.6 การทดสอบค่าความเพี้ยนฮาโมนิกส์ 55

บทที่ 5 สรุปและวิจารณ์ 56

ภาคผนวก

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้าที่

รูปที่ 2.1 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป 3

รูปที่ 2.2 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป 5

รูปที่ 2.3 (ก) แสดงผลต่างเฟสเมื่อเฟสเท่ากัน 5

รูปที่ 2.3 (ข) แสดงเฟสของอินพุทที่ไม่เท่ากัน 6

รูปที่ 2.4 แสดงบล็อคไดอะแกรมของระบบ PLL ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์ 11

รูปที่ 2.5 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจซึ่งขณะในระหว่างเวลา
กระบวนการแคปเจอร์ 16

รูปที่ 2.6 แสดงถึคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจ 19

2.6 (ก). เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้าๆ 19

2.6 (ข.) เมื่อความถี่อินพุทลดลง 19

รูปที่ 2.7 แสดงถึงคุณสมบัติรวมในการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป 20

รูปที่ 2.8 ระบบเฟสล็อคลูป 22

รูปที่ 2.9 พิสัยการล็อคของระบบเฟสล็อคลูป 23

รูปที่ 2.10 แสดงถึงคุณสมบัติเอาท์พุทของเฟสดีเทคเตอร์กับเฟสเออร์เรอร์ 24

รูปที่ 2.11 แสดงพิสัยแคปเจอร์ของระบบเฟสล็อคลูป 26

รูปที่ 2.12 แสดงวงจรสังเคราะห์ความถี่ที่ใช้วงจรหารแบบฟรีสเกลเลอร์ 28

รูปที่ 2.13 แสดงตัวอย่างมิกเซอร์ 30

2.13 (ก) มิกเซอร์ภาคเครื่องรับ 30

2.13 (ข) มิกเซอร์ภาคเครื่องส่ง 30

รูปที่ 3.1 แสดงบล็อคไดอะแกรมของระบบเปิดที่ไม่มีการป้อนกลับ 31

รูปที่ 3.2 แสดงบล็อคไดอะแกรมของระบบปิดที่มีการป้อนกลับ 31

รูปที่ 3.3 แสดงวงจรคอลพิทส์ออสซิลเลเตอร์ 32

รูปที่ 3.4 แสดงวงจรเสมือนของวงจรคอลพิทส์ออสซิลเลเตอร์ 33

รูปที่ 3.5 แสดงลักษณะของค่าความเหนี่ยวนำที่ใช้ในวงจรความถี่สูง 33

รูปที่ 3.6 (ก) แสดงวงจรวีซีโอ 34

(ข) แสดงวงจรเสมือนของวงจรวีซีโอ 35

รูปที่ 3.7 แสดงวงจรโลว์พาสฟิลเตอร์ 37

รูปที่ 3.8 แสดงรูปแบบการต่อวงจรแบนด์พาสฟิลเตอร์ 39

รูปที่ 4.1 แสดงวงจรวีซีโอที่ในการทดลอง 40

รูปที่ 4.2 แสดงความสัมพันธ์ระหว่างความถี่ที่ออสซิลเลทที่ความถี่ต่างๆ กับแรงดันควบคุม 41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3 แสดงความสัมพันธ์ระหว่างความถี่ที่ออสซิลเลทที่ความถี่ต่างๆ กับค่าของกำลังงาน 41
รูปที่ 4.4 แสดงลักษณะของสัญญาณความถี่ 740 MHz ที่ได้จากวีซีโอ 42
รูปที่ 4.5 แสดงวงจรของระบบสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป 42
รูปที่ 4.6 แสดงสัญญาณของ ϕ_V และ ϕ_R ที่ความถี่ 740 MHz ในสภาวะล็อค 43
รูปที่ 4.7 แสดงลักษณะของสัญญาณที่วัดได้จากขาล็อคดีเทค (LD) ในสภาวะล็อค ไว้ที่ความถี่ 740 MHz 44
รูปที่ 4.8 แสดงวงจรแบนด์พาสฟิลเตอร์ความถี่ 800 MHz 44
รูปที่ 4.9 แสดงผลจากการชิมูเลทวงจรแบนด์พาสฟิลเตอร์ 800 MHz 45
รูปที่ 4.10 แสดงลักษณะของสัญญาณที่ผ่านแบนด์พาสฟิลเตอร์ 800 MHz 46
รูปที่ 4.11 แสดงวงจรแบนด์พาสฟิลเตอร์ความถี่ 60 MHz 46
รูปที่ 4.12 แสดงผลจากการชิมูเลทวงจรแบนด์พาสฟิลเตอร์ 60 MHz 47
รูปที่ 4.13 แสดงลักษณะของสัญญาณที่ผ่านวงจรแบนด์พาสฟิลเตอร์ 60 MHz 48
รูปที่ 4.14 แสดงผลการทดลองหลังจากผ่านมิกเซอร์ 49
รูปที่ 4.15 แสดงวงจรของระบบสังเคราะห์ความถี่ทางภาคส่ง 50
รูปที่ 4.16 แสดงวงจรของระบบสังเคราะห์ความถี่ทางภาครับ 51
รูปที่ 4:17 แสดงความสัมพันธ์ระหว่างกำลังงานกับความถี่ทางภาคส่ง 54
รูปที่ 4.18 แสดงความสัมพันธ์ระหว่างกำลังงานกับความถี่ทางภาครับ 54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

วงจรสังเคราะห์ความถี่ (frequency systhesizer) เป็นอุปกรณ์ที่ผลิตความถี่ที่แน่นอนออกมาจากความถี่อ้างอิงความถี่หนึ่ง คำว่า การสังเคราะห์ความถี่ ถูกใช้ครั้งแรกโดย Finden ในปี ค.ศ. 1943 สำหรับที่จะผลิตความถี่ออกมา เป็นความถี่ผลคูณจากความถี่อ้างอิงค่าหนึ่ง เมื่อไม่นานมานี้มีความก้าวหน้าทางการออกแบบวงจรรวม รวมทั้งการพัฒนาของวงจรสังเคราะห์ความถี่ที่ไม่แพงตามมาด้วยการประยุกต์ใช้ในเครื่องรับการสื่อสารต่าง ๆ ทำให้วงการเครื่องรับวิทยุเปลี่ยนโฉมหน้าไปอย่างมากโดยเฉพาะรูปร่างในตัวเครื่องจะมีปุ่มควบคุมต่าง ๆ มากขึ้น สามารถโปรแกรมเลือกความถี่ใช้งานได้มากจึงทำให้เกิดการคล่องตัวในการวางข่ายการสื่อสาร วงการแรกที่นำระบบสังเคราะห์ความถี่มาใช้คือวงการทหาร (military) และกิจการเดินอากาศ (aviation) และจึงค่อย ๆ นำมาใช้ในวงการวิทยุสื่อสารทั่วไปตามลำดับ

การสังเคราะห์ความถี่สามารถใช้แทนคริสตอลเรโซเนเตอร์เป็นชุดที่แพงๆได้ในเครื่องรับวิทยุที่เป็นแบบหลายช่องสัญญาณ คริสตอลออสซิลเลเตอร์ตัวหนึ่งจะให้ความถี่อ้างอิงออกมาและวงจรสังเคราะห์ความถี่จะผลิตความถี่อื่นๆหลายความถี่ออกมา อันเนื่องจากการที่มีราคาไม่แพง ง่ายต่อการควบคุมโดยวงจรดิจิตอล วงจรสังเคราะห์ความถี่จึงถูกรวมไว้ในการออกแบบระบบการสื่อสาร

การสังเคราะห์ความถี่แต่ละระบบจะมีความซับซ้อนแตกต่างกันซึ่งขึ้นอยู่กับช่วงความถี่ (frequency range),ช่วงห่างระหว่างขั้น(step size) หรือรีโซลูชั่น (resolution) วิธีการสังเคราะห์ความถี่ที่เก่าแก่ที่สุดคือการสังเคราะห์ความถี่โดยตรง(direct frequency synthesis) ซึ่งใช้เป็นวงจรรวม วงจรคูณความถี่, ตัวหารและแบนด์พาสฟิลเตอร์ วิธีการสังเคราะห์ความถี่ทางตรงถูกแทนที่โดยการสังเคราะห์ความถี่ทางอ้อม(indirect frequency synthesis) ที่ใช้ในการประยุกต์ใช้งานซึ่งจะมีการใช้ เฟสล็อคลูป (phase lock loop) ให้เป็นประโยชน์ อาจจะเป็นแบบอนาลอกหรือดิจิตอลก็ได้ วิธีที่ใหม่ที่สุดคือการสังเคราะห์ความถี่โดยวิธีดิจิตอลแบบทางตรง(direct digital frequency synthesis:DDFS) โดยใช้คอมพิวเตอร์ที่เป็นดิจิตอลและตัวเปลี่ยนสัญญาณจากดิจิตอลเป็นอนาลอกในการผลิตหรือสร้างสัญญาณออกมา

โดยปกติวงจรสังเคราะห์ความถี่จะสามารถกำเนิดสัญญาณเพียงสัญญาณเดียวแต่เลือกความถี่หลายค่าในช่วงความถี่ใช้งานและมีความละเอียดขึ้นอยู่กับรีโซลูชั่น ในกรณีที่เราเปลี่ยนความถี่หนึ่งไปยังอีกค่าหนึ่งวงจรสังเคราะห์ความถี่จะต้องเปลี่ยนตามได้เร็วทันที กล่าวอีกอย่างหนึ่งคือล็อคความถี่ได้ในเวลาอันรวดเร็ว นั่นคือช่วงเวลาล็อค(lock-up time)สั้น

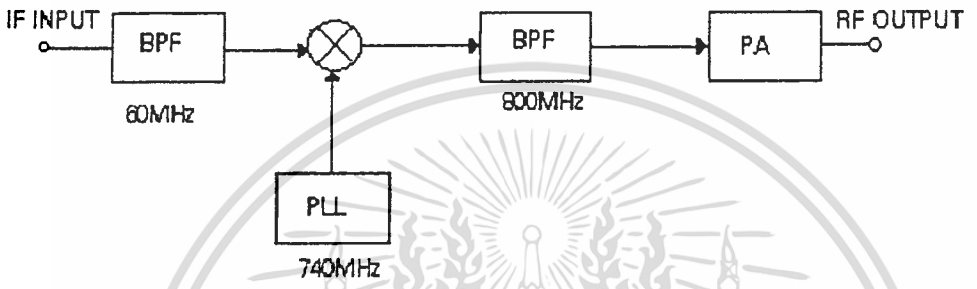
วงจรสังเคราะห์ความถี่ที่ดีจะต้องผลิตสัญญาณความถี่เดียวโดยปราศจากความถี่แปลกปลอมต่างๆ คุณสมบัตินี้เรียกว่า ความบริสุทธิ์ของสเปกตรัม(spectrum purity) นั่นคือความถี่ฮาโมนิคและสปิวเรียสต่างๆจะต้องถูกกำจัดให้เหลือน้อยที่สุด นอกจากนี้น้อยส์ที่เกิดจากวงจรออสซิลเลเตอร์ซึ่งเรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

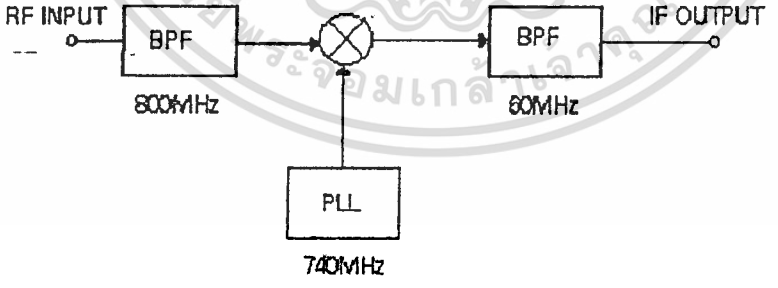
ว่าเฟสน้อยส์จะทำให้วงจรสังเคราะห์ความถี่มีความไม่บริสุทธิ์ไม่ใช่เพียงความถี่เดียวในช่วงใกล้เคียงกับความถี่ที่ต้องการ

ระบบสังเคราะห์ความถี่ที่สร้างขึ้นมาจะเปรียบเสมือนโลคอลออสซิลเลเตอร์ซึ่งจะต้องนำไปผสมกับความถี่กลางที่ 60 MHz เพื่อให้ได้ความถี่ย่านวิทยุที่จะนำไปใช้งานต่อไป

บล็อคไดอะแกรมของชอบข่ายงานที่ทำในเทอมการศึกษานี้แสดงดังรูปที่ 1.1



รูปที่ 1.1 ก แสดงบล็อคไดอะแกรมทางภาคส่ง



รูปที่ 1.1 ข แสดงบล็อคไดอะแกรมทางภาครับ

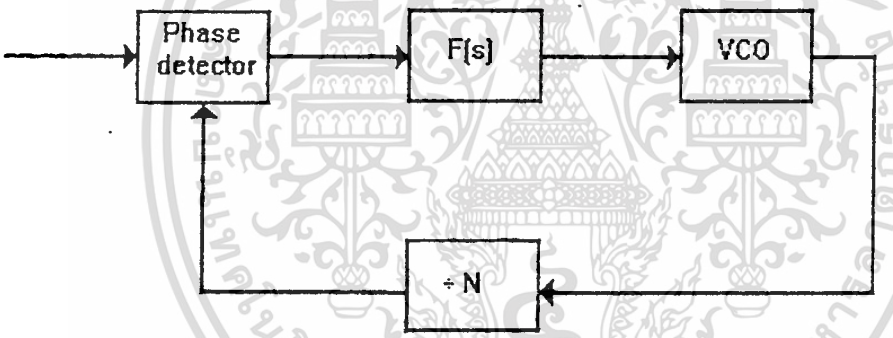
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

ระบบสังเคราะห์ความถี่แบบที่ใช้เฟสล็อคลูป

เฟสล็อคลูปซินธิไซเซอร์ (Phase lock loop synthesizer) เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เรากำหนดโดยการประยุกต์ใช้งานของเฟสล็อคลูป ซึ่งเป็นระบบป้อนกลับที่มีการเปลี่ยนความถี่และเฟสของวงจรของออสซิลเลเตอร์ตามสัญญาณอินพุทที่ป้อนเข้ามา บล็อคไดอะแกรมเบื้องต้นของเฟสล็อคลูปซินธิไซเซอร์แสดงดังรูปที่ 2.1 ประกอบด้วยส่วนสำคัญ 4 ส่วน ดังนี้

1. ส่วนเปรียบเทียบเฟส (Phase Detector :PD)
2. ลูปฟิลเตอร์ (Loop Filter :LF)
3. วงจรออสซิลเลเตอร์ควบคุมความถี่ด้วยแรงดัน (Voltage Control Oscillator: VCO)
4. วงจรหารความถี่ที่สามารถโปรแกรมได้ (Programmable Divider)



รูปที่ 2.1 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อคลูป

สามารถอธิบายการทำงานคร่าวๆได้ดังนี้ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบ แรงดันควบคุม (control voltage) $V_C(t)$ จะเท่ากับศูนย์ VCO จะทำงานโดยตั้งความถี่ไว้ที่ f_o ซึ่งเรียกว่า ความถี่ฟรีรันนิ่ง (free running frequency) ถ้ามีสัญญาณเข้าไปในระบบ เฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟสและความถี่ของสัญญาณอินพุท f_r กับความถี่ของ VCOถ้าเกิดความแตกต่างของสัญญาณทั้งสองเนื่องจากความถี่ไม่ตรงกันจะเกิดแรงดันคลาดเคลื่อนออกมา $V_E(t)$ แรงดันคลาดเคลื่อนนี้จะถูกกรองผ่านวงจรลูปฟิลเตอร์ ขยายแล้วป้อนให้กับ VCO ในการนี้แรงดันควบคุม $V_C(t)$ จะไปบังคับความถี่ของ VCO ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างระหว่างความถี่ f_o กับความถี่ f_r ถ้าความถี่ f_r ใกล้เคียงกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ f_o จากการป้อนกลับของเฟสล็อคลูปซึ่งสัญญาณที่ป้อนกลับไปยังลูปฟิลเตอร์จะเป็นความถี่เอาท์พุทของ VCO ที่ถูกหารโดย N จะทำให้ VCO ซิงโครไนส์หรือ ล็อค(lock) กับสัญญาณอินพุทที่ป้อนเข้ามา ขณะที่ทำการล็อคนั้นความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุทพอดี

ในสภาวะล็อคความถี่จะได้ว่า

$$f_r = f_d \tag{2.1}$$

และความถี่ที่ได้จากวงจรหาร

$$f_d = f_o / N \tag{2.2}$$

ดังนั้นความถี่ที่เอาท์พุทจะได้เป็น

$$f_o = Nf_r \tag{2.3}$$

แต่ในสภาวะล็อคความถี่ เฟสของสัญญาณทั้งสองจะยังคงต่างกันอยู่ซึ่งมีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อน $V_E(t)$ ที่จะไปคอยปรับความถี่ VCO จากค่าความถี่ฟรีรันนิ่งให้เท่ากับความถี่ที่เข้ามา ดังนั้นเฟสล็อคลูปจะยังคงรักษาสภาพการล็อคอยู่ การที่ระบบสามารถที่จะปรับตัวได้เองทำให้เฟสล็อคลูปสามารถติดตามการล็อคกับระบบซึ่งจะขึ้นอยู่กับแรงดันคลาดเคลื่อน

ช่วงของความถี่ซึ่งเฟสล็อคลูปสามารถทำการล็อคอย่างแท้จริงกับสัญญาณอินพุทเรียกว่า ช่วงแคปเจอร์ (capture range) จะขึ้นอยู่กับขอบแบนด์ของมิเตอร์และอัตราขยายลูปปิดของระบบทั้งหมด

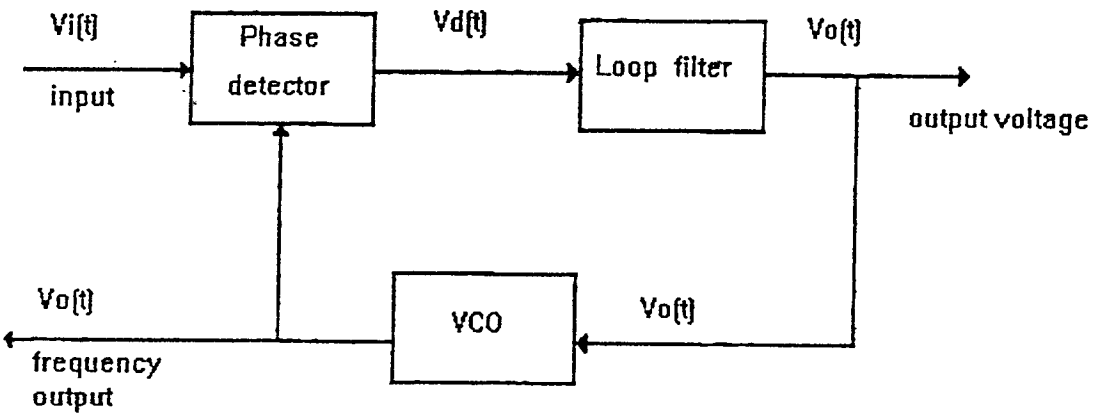
เฟสล็อคลูปที่มีการหารความถี่ชนิดโปรแกรมได้ภายในลูปเป็นวิธีที่เหมาะสำหรับการสังเคราะห์ความถี่ที่มีค่ามากจากความถี่อ้างอิงความถี่เดียว

คุณสมบัติที่ต้องการของวงจรสังเคราะห์ความถี่จะต้องผลิตสัญญาณความถี่ขนาดพอเหมาะและให้มีความถี่ตามที่เรากำหนด ช่วงความถี่ใช้งานของวงจรสังเคราะห์ความถี่จะจำกัดอยู่ในช่วงที่แน่นอนแล้วแต่การใช้งานและความละเอียดของความถี่ที่เปลี่ยนแปลงได้ทีละขั้น ซึ่งเรียกว่า รีโซลูชั่น (resolution)

2.1 ระบบเฟสล็อคลูป

ระบบเฟสล็อคลูปเบื้องต้นแสดงดังรูปที่ 2.2

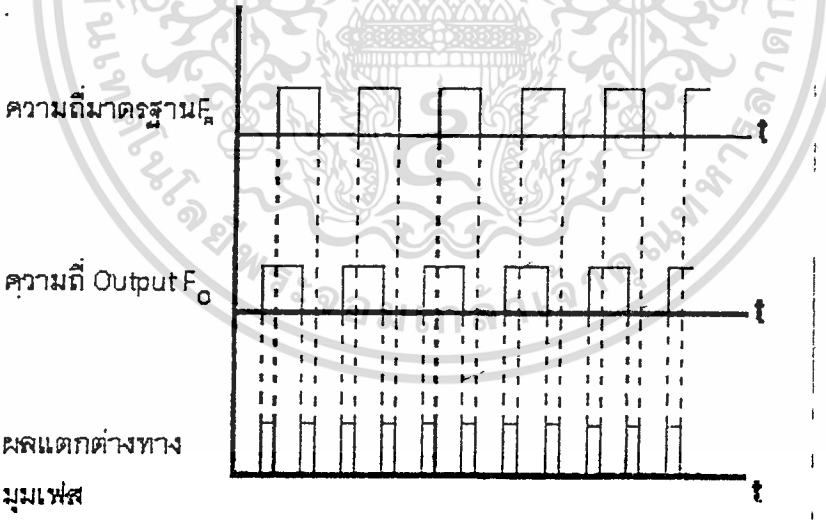
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงบล็อคไดอะแกรมของวงจรเฟสล็อคลูป

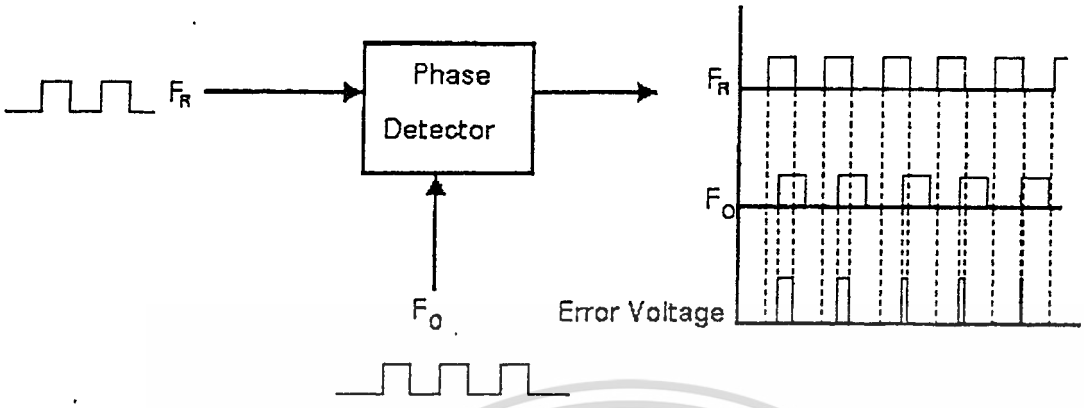
แต่ละส่วนมีผลต่อคุณสมบัติและการทำงานของระบบ หน้าที่ของแต่ละส่วนจะได้อธิบายดังนี้

1. เฟสดีเทคเตอร์ เฟสดีเทคเตอร์ทำหน้าที่เปรียบเทียบเฟสของอินพุทซึ่งจะมีสองผลของเฟสที่ต่างกันเรียกว่า เฟสเออร์เรอร์ เฟสเออร์เรอร์นี้จะมีค่าน้อยที่สุดเป็นศูนย์ และจะมีค่าที่มากที่สุดเป็น $\pi/2$ เฟสดีเทคเตอร์จะทำการเปลี่ยนเฟสเออร์เรอร์นี้ให้กลายเป็นระดับโวลท์เตทด้วยค่าคอนเวอร์ชั่นเกน K_d (volt/radian) ลักษณะการเปรียบเทียบเฟสของอินพุททั้งสองของเฟสดีเทคเตอร์จะได้แสดงดังรูปที่ 2.3 ก



รูป 2.3 ก ผลต่างเฟสเมื่อเฟสเท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 ข เมื่อเฟสของอินพุทไม่เท่ากัน

2. **ลูปฟิลเตอร์** ทำหน้าที่กรองสัญญาณความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์ เนื่องจากเฟสดีเทคเตอร์ให้เอาท์พุทเป็นสัญญาณดีซีที่มีเอซีโวลท์เตทร่วมมาด้วย สัญญาณความถี่ที่ได้เกิดจากความต่างเฟส ยิ่งต่างเฟสมากความถี่ยิ่งสูง ดังนั้นลูปฟิลเตอร์จึงช่วยกรองเอาสัญญาณความถี่สูงซึ่งแสดงว่ามีความต่างเฟสมากออกทำให้ระบบสามารถแคปเจอร์ (capture) สัญญาณได้ในช่วงหนึ่งและช่วยให้ระบบรักษาการล็อคไว้ได้อีกด้วย

3. **วีซีโอ** จะทำหน้าที่ผลิตสัญญาณความถี่โดยการควบคุมระดับโวลท์เตทอินพุทด้วยคอนเวอร์ชั่นเกนเท่ากับ K_o (radian / volt) ระดับโวลท์เตทนี้จะได้จากเอาท์พุทของลูปฟิลเตอร์ ความถี่ที่ล็อคมาจากลูปฟิลเตอร์จะมีผลทำให้เอาท์พุทของวีซีโอเปลี่ยนความถี่ด้วยเช่นกัน

การทำงานของระบบเฟสล็อคลูปสามารถอธิบายอย่างคร่าวๆได้ดังนี้ เฟสดีเทคเตอร์จะเปรียบเทียบเฟสของสัญญาณอินพุท $V_i(t)$ กับความถี่เอาท์พุทของ VCO และทำให้ได้เออเรอร์โวลท์เตจ $V_d(t)$ สัญญาณเออเรอร์โวลท์เตจนี้จะถูกกรองด้วยลูปฟิลเตอร์และถูกป้อนไปยังคอนโทรลอินพุทของ VCOในรูปของแรงดันควบคุมเพื่อควบคุมความถี่ของ VCO

ตามปกติเมื่อไม่มีสัญญาณอินพุทป้อนให้กับระบบเฟสล็อคลูปเออเรอร์โวลท์เตจที่ผ่านลูปฟิลเตอร์ $V_o(t)$ ในฟีดแบ็คลูปจะมีค่าเป็นศูนย์ VCO จะทำงานที่ความถี่ศูนย์กลาง $\omega_o = 2\pi f_o$ ซึ่งเราเรียกว่าความถี่ฟรีรันนิ่งของ VCO

ถ้ามีสัญญาณอินพุทเป็นเอซีป้อนให้กับระบบเฟสล็อคลูปและสัญญาณดังกล่าวมีความถี่อินพุท $\omega_i = 2\pi f_0$ ใกล้เคียงกับความถี่ฟรีรันนิ่งพอเพียง การฟีดแบ็คของเฟสล็อคลูปจะทำให้ได้เออเรอร์โวลท์เตจไปขับ VCO ให้มีความถี่ซิงโครไนส์กับความถี่อินพุทเมื่อความถี่ของ VCO ซิงโครไนส์กับความถี่อินพุทแสดงว่าระบบเฟสล็อคลูปมีความถี่เอาท์พุทล็อคกับความถี่ของสัญญาณอินพุท

การทำงานของระบบเฟสล็อคลูปสามารถแบ่งได้เป็น 3 ลักษณะตามคุณสมบัติของลูปดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. <u>เมื่อระบบไม่อยู่ในสภาวะล็อค</u> ($\omega_i \neq \omega_o$)

จากระบบเฟสล็อคลูปในรูปที่ 2.1 เราสมมติสัญญาณ V_i และ V_o เป็นสัญญาณรูปคลื่นซายน์ มีค่าเป็น

$$V_i(t) = E_i \sin (\omega_i t + \theta_i) \quad (2.4)$$

$$V_o(t) = E_o \sin (\omega_o + \phi_o) \quad (2.5)$$

เมื่อ ω_i เป็นความถี่เชิงมุมของสัญญาณอินพุท

ω_o เป็นความถี่เชิงมุมศูนย์กลางของ VCO

θ_i และ ϕ_o เป็นค่าเฟสคงที่ซึ่งขึ้นอยู่กับช่วงเวลาที่กำหนด

ถ้าเฟสดีเทคเตอร์มีคุณสมบัติเป็นอนาลอกมัลติพลายเออร์ เราจะได้สัญญาณเอาท์พุทของเฟสดีเทคเตอร์ (V_d) เป็น

$$V_d (t) = K_d \cos [(\omega_i - \omega_o) t + \theta_i - \phi_o] \quad (2.6)$$

เนื่องจาก V_i และ V_o ไม่ซิงโครไนส์กัน

ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ V_d จะเป็นสัญญาณรูปคลื่นซายน์ที่มีแอมปลิจูดสูงสุดเท่ากับ K_d และมีความถี่เชิงมุมเท่ากับความถี่เชิงมุมระหว่างสัญญาณ V_i และ V_o คือ ω_i และ ω_0 มีค่าแตกต่างกันมาก ดังนั้นโวลท์เตจ V_d จะไม่สามารถผ่านลูปฟิลเตอร์ได้ ทำให้ได้ค่า $V_C = 0$ และการฟีดแบ็คของลูปจะไม่มีผลอะไรคือไม่เกิดการเปลี่ยนแปลงใดๆภายในลูป เอาท์พุทโวลท์เตจของ VCO จะมีค่าอยู่ที่ความถี่ฟรีรันนิ่ง ดังนั้น ω_0 และ ϕ_0 จะมีค่าเป็นอิสระอย่างสมบูรณ์ต่อ ω_i และ θ_i พูดได้ว่าลูปไม่อยู่ในสภาวะล็อค แต่ถ้า $\omega_i - \omega_0 = \pm \Delta\omega$ มีค่าน้อยกว่าแบนด์วิดธ์ของลูปซึ่งกำหนดได้โดยพารามิเตอร์ของลูปและการฟีดแบ็คจะมีผลชับให้ระบบเข้าสู่สภาวะล็อคได้

ข.<u>เมื่อระบบเข้าสู่สภาวะล็อค</u> ($\omega_i = \omega_0$)

ในกรณีที่สัญญาณเอาท์พุท VCO มีความถี่ซิงโครไนส์กับสัญญาณอินพุท Vi สัญญาณเอาท์พุท Vo จะมีค่าเป็น

$$V_0 (t) = E_0 \sin (\omega_i t + \psi_0) \quad (2.7)$$

นอกจากนั้นค่าของเฟสของสัญญาณเอาท์พุท ϕ_0 จะเป็นลิเนียร์ฟังก์ชั่นกับเวลา ซึ่งมีค่าเป็น

$$\phi_0 = (\omega_i - \omega_0) t + \psi_0 \quad (2.8)$$

และสัญญาณเอาท์พุทของเฟสดีเทคเตอร์หรือสัญญาณเออเรอร์จะกลายเป็นสัญญาณดีซี มีค่าเท่ากับ

$$V_d = K_d \cos (\theta_i - \psi_0) \quad (2.9)$$

ลูปฟิลเตอร์จะยอมให้สัญญาณดีซี Vd ผ่านได้และมีค่าเท่ากับ

$$V_C = V_d = K_d \cos (\theta_i - \psi_0) \quad (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO จะเป็นฟรีเควนซีโมดูเลทเตดออสซิลเลเตอร์ ความถี่เชิงมุมที่เปลี่ยนแปลงอย่างทันทีทันใดของ VCO ω_{inst} จะเป็นลิเนียร์ฟังก์ชั่นกับสัญญาณคอนโทรลอินพุท V_C โดยรอบความถี่เชิงมุมศูนย์กลาง

$$\omega_{inst} = d / dt (\omega_0 t + \phi_0) = \omega_0 + K_0 V_C \quad (2.11)$$

$$d / dt(\phi_0) = K_0 V_0 \quad (2.12)$$

เมื่อ K_0 เป็นคอนเวอร์ชั่นคอนสแตนท์ซึ่งแสดงถึงความไวในการโมดูเลชั่นของ VCO

แทนค่าสมการ (2.8)และ (2.9) ลงในสมการ (2.12) จะได้

$$\omega_i - \omega_0 = K_d K_0 \cos (\theta_i - \psi_0) \quad (2.13)$$

$$\psi_0 = \theta_i - \cos^{-1} (\omega_i - \omega_0 / K_d K_0) \quad (2.14)$$

ดังนั้นสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ Vd สามารถเขียนได้เป็น

$$V_d = \omega_i - \omega_0 / K_0 \quad (2.15)$$

ส่วนประกอบดีซีของเฟสดีเทคเตอร์เอาท์พุท V_d จะผ่านโลว์พาสฟิลเตอร์ไปเป็นคอนโทรลโวลท์เตจให้กับอินพุทของ VCO

$$V_C = V_d = \omega_i - \omega_0 / K_0 \quad (2.16)$$

จากสมการ (2.16) จะเห็นได้ชัดเจนว่า สัญญาณดีซี V_C จะไปทำให้ความถี่เชิงมุมของ VCO มีค่าเปลี่ยนไปจากศูนย์กลางของ VCO ω_0 ไปเท่ากับความถี่เชิงมุมของสัญญาณอินพุท ω_i นั่นคือ

$$\omega_{inst} = \omega_0 + K_0 V_C = \omega_0 + \omega_i - \omega_0 = \omega_i \quad (2.17)$$

ถ้าความแตกต่างของความถี่เชิงมุมเริ่มต้น $(\omega_i - \omega_0)$ มีค่าน้อยกว่าผลคูณของ $K_d K_0$ อย่างมาก สมการ (2.14) จะมีค่าเป็น

$$\theta_i - \psi \cong \cos^{-1} 0 = \pi / 2 \quad (2.18)$$

จากสมการ(2.18) หมายความว่าถ้าความถี่ออฟเซทระหว่างสัญญาณอินพุทและสัญญาณ VCO จะมีค่าน้อยเมื่อลูปไม่อยู่ในสภาวะล็อคและสัญญาณ VCO จะมีเฟสต่างกับสัญญาณอินพุท 90° เมื่อลูปอยู่ในสภาวะล็อคหรือเฟสควอดดราเจอร์จะสอดคล้องกับ $\omega_i = \omega_0$ ด้วยเหตุผลนี้จึงแทนค่า ψ_0 ด้วยค่าเฟสเอาท์พุท θ_0 ดังนั้น

$$\theta_0 = \psi_0 - \pi / 2 \quad (2.19)$$

เอาท์พุทโวลท์เตทของเฟสดีเทคเตอร์เขียนได้ใหม่เป็น

$$V_d = K_d \cos (\theta_i - \psi_0)$$

$$= K_d \cos [(\theta_i - \theta_0) - \pi / 2]$$

$$V_d = K_d \sin (\theta_i - \theta_0) \quad (2.20)$$

และจากสมการ(2.18) และ (2.19) จะได้ค่าเฟสเออร์เรอร์เป็น

$$\theta_i - \theta_0 = \sin^{-1} \omega_i - \omega_0 / K_d K_0 \quad (2.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อผลต่างของเฟส ($\theta_i - \theta_0$) มีค่าน้อยพอเพียงจะได้ว่า

$$V_d \cong K_d (\theta_i - \theta_0) \cong K_d \theta_e \qquad (2.22)$$

เมื่อ $\theta_e = \theta_i - \theta_0$ แต่เนื่องจากคุณสมบัติของเฟสดีเทคเตอร์แบบนี้เมื่อลูปเข้าสู่การล็อคสัญญาณของ วีซีโอ จะมีเฟสต่างไปจากสัญญาณอินพุท 90^0 คือ [$\theta_i - (\theta_0 + \pi/2)$] เป็นลักษณะของเฟสควอดดราเจอร์ดังนั้นเฟสดีเทคเตอร์จะให้เอาท์พุทโวลท์เตจที่เป็นสัดส่วนกับความต่างเฟสระหว่างสัญญาณอินพุท V_i กับสัญญาณเอาท์พุทของ วีซีโอ Vo ในลักษณะของควอดดราเจอร์ คือ

$$\begin{aligned} V_d &= K_d [\theta_i - (\theta_0 + \pi/2)] \\ &= K_d [(\theta_i - \theta_0) - \pi/2] \\ &= K_d (\theta e - \pi/2) \end{aligned} \qquad (2.23)$$

สัญญาณเฟสเซ็นซิทีพ V_d นี้จะผ่านลูปฟิลเตอร์ไปป้อนให้กับคอนโทรลอินพุทของ วีซีโอ เพื่อแก้ไขให้ความถี่ของ วีซีโอ เปลี่ยนจาก ω_0 ไปเป็น ω_i และดำรงการล็อคให้คงอยู่จะได้

$$V_d = V_c = \omega_i - \omega_0 / K_0 \qquad (2.24)$$

$$\omega_i = \omega_0 + K_0 V_c \qquad (2.25)$$

จากสมการ (2.20) และ (2.21) จะหาค่าของเฟสเออร์เรอร์ θe ได้เป็น

$$\theta_e = \pi/2 + (\omega_i - \omega_0 / K_d K_0) \qquad (2.26)$$

จากสมการ (2.23) จะสังเกตได้ว่าเมื่อ $\omega_i = \omega_0$ โวลท์เตจเอาท์พุทของ วีซีโอ จะมีเฟสควอดดราเจอร์คือมีเฟสต่างไปจากเฟสของสัญญาณอินพุทโวลท์เตจ 90^0 เมื่อ ω_i เคลื่อนที่ไปทางด้านสูงกว่า ω_0 มุมของเฟสจะเพิ่มขึ้นจาก 90^0 ไปสู่ค่าสูงสุด 180^0 ที่อยู่เหนือสุดของพิกัดการล็อค และถ้า ω_i เคลื่อนไปทางด้านต่ำกว่า ω_0 มุมของเฟสจะลดลงจาก 90^0 ไปสู่ค่า 0^0 ที่ล่างสุดของพิกัดการล็อค

ค. <u>การทำงานของระบบในลักษณะไดนามิก</u> ($\theta_i(t)=\Delta\omega t$)

ถ้าความถี่ของสัญญาณอินพุทเปลี่ยนแปลงไปอย่างช้าๆ ระบบเฟสล็อคลูปยังสามารถอยู่ในสภาวะล็อคได้และเปลี่ยนแปลงตามสัญญาณอินพุทโดยจะเพิ่มค่าของเฟสเออร์เรอร์ θ_e ระหว่าง วีซีโอ และสัญญาณอินพุทให้มากขึ้นตามเวลา จากนั้น θ_e ที่เพิ่มขึ้นจะถูกเปลี่ยนไปเป็นดีซีเออร์เรอร์โวลท์เตจ V_d ด้วยเฟสดีเทคเตอร์ เออร์เรอร์โวลท์เตจนี้จะไปขับให้ความถี่ของ VCO เลื่อนไปเท่ากับความถี่ของสัญญาณอินพุท ขณะที่ระบบเฟสล็อคลูปเปลี่ยนแปลงตามสัญญาณอินพุท ลูปเออร์เรอร์โวลท์เตจ V_d จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุท ω_i กับความถี่ฟรีรันนิ่ง ω_0 ของ VCO

การพิจารณาเรื่องการแทรคคิ่งของระบบเฟสล็อคลูปก็คือการพิจารณาถึงเฟสเออร์เรอร์ θ_e ของระบบ ระบบที่มีการแทรคคิ่งที่ดีจะต้องมีเฟสเออร์เรอร์น้อย

สมมุติว่าระบบเฟสล็อคลูปมีเฟสอินพุทเปลี่ยนแปลงไปในลักษณะสเตป หมายความว่า $\Delta\omega$ เท่ากับผลต่างระหว่างความถี่อินพุทกับความถี่ฟรีรันนิ่งของ VCO ($\Delta\omega=\omega_i - \omega_0$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลูปจะต้องการคอลโทรลโวลท์เตจเพื่อไปขับ VCO ให้มีความถี่เลื่อนไปเท่ากับ $\Delta\omega$ ดังนั้น V_c จะต้องมีค่าเป็น

$$R_c = \Delta\omega / K_0 \qquad (2.28)$$

เมื่อลูปเข้าสู่สภาวะคงที่ $V_c=V_dF(o)$ เมื่อ $F(o)$ คืออัตราขยายต่อสัญญาณดีซีของลูปฟิลเตอร์ สัญญาณ V_c จะทำให้ลูปเข้าสู่สภาวะล็อคดังเดิม เฟสดีเทคเตอร์เอาท์พุทจะให้เฟสเออร์เรอร์จะต้องเป็น

$$\theta_e = V_d / K_d \qquad (2.29)$$

ดังนั้นเพื่อให้ได้คอนโทรลโวลท์เตจ V_c ตามที่ต้องการ เฟสเออร์เรอร์จะต้องมีค่าเป็น

$$\theta_e = \Delta\omega / K_0K_d F(0) \qquad (2.30)$$

เมื่อเฟสเออร์เรอร์มีค่าเพิ่มขึ้นตามสมการ (2.30) ลูปสามารถปรับตัวเองให้ความถี่เอาท์พุทของระบบการแทรคตามการเปลี่ยนแปลงของความถี่ของสัญญาณอินพุทหรือเฟสอินพุทที่เปลี่ยนไปตามเวลาและล็อคได้กับสัญญาณอินพุทเหมือนดังเดิม

พิกัดความถี่ตลอดช่วงที่ระบบเฟสล็อคลูปสามารถดำรงการล็อคไว้ได้กับสัญญาณอินพุทเราเรียกว่า "พิสัยการล็อคของระบบ"

สมมุติว่าเราให้ ω_i เบี่ยงเบนไปจากความถี่ศูนย์กลาง ω_o ของ VCO เพื่อ $|\omega_i-\omega_o|$ มากกว่าค่าอัตราขยายลูป K ($\theta_\phi-\theta_o$) จะมีค่าไม่สอดคล้องหรือไม่เป็นจริงตามสมการ (2.21) สภาวะสมดุลของการซิงโครไนส์จะไม่สามารถดำรงอยู่ต่อไปได้และลูปจะหลุดออกไปจากการล็อคกับความถี่ของสัญญาณอินพุท ความถี่ของ VCO จะกลับไปมีค่าเป็นความถี่ศูนย์กลาง ω_o และ V_d ก็จะกลับมาอยู่ในลักษณะของสัญญาณเอซี

สำหรับเฟสดีเทคเตอร์แบบมีคุณสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลท์เตจเป็นลักษณะรูปคลื่นซายน์ ขีดจำกัดการแทรคตามความถี่สัญญาณอินพุทของลูปจะอยู่ในพิสัยจาก ω_o - K ถึง ω_o + K เมื่อ ω_o เท่ากับความถี่เชิงมุมศูนย์กลางของ VCO และ K เท่ากับอัตราการขยายลูป ($K=K_dK_o$)

เอาท์พุทโวลท์เตจของเฟสล็อคลูปจะนำไปประยุกต์ใช้งานเกี่ยวกับฟรีเควนซี่ดิสคริมิเนเตอร์ (frequency discriminator) ส่วนความถี่เอาท์พุตจะนำไปใช้งานเกี่ยวกับการประมวลสภาวะของสัญญาณฟรีเควนซีซินเทซีสหรือการคืนรูปของสัญญาณนาฬิกา

ในการนำเอาเอาท์พุตโวลเตจของเฟสล็อคลูปมาใช้งานเมื่อลูปอยู่ในสภาวะล็อคกับความถี่อินพุต เออร์เรอร์โวลท์เตจ $V_d(t)$ ที่ได้จากเฟสดีเทคเตอร์จะมีค่าเป็นสัดส่วนกับความต่างของความถี่ระหว่างสัญญาณอินพุต ω_i และความถี่ฟรีรันนิ่งของ VCO และเออร์เรอร์โวลท์เตจนี้จะผ่านโลว์พาสฟิลเตอร์และถูกป้อนไปเป็นคอลโทรลโวลท์เตจให้กับอินพุตของ VCO เพื่อที่จะเปลี่ยนความถี่ของ VCO จาก ω_o ไปเป็น ω_i ให้การล็อคคงอยู่ ถ้าความถี่ของอินพุตเปลี่ยนไปอย่างกรณีของสัญญาณ FM เออร์เรอร์โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เตจจะเปลี่ยนไปเป็นสัดส่วนกับความถี่อินพุตที่เปลี่ยนแปลง เพื่อดำรงการล็อคให้คงอยู่ดังนั้นเอาท์พุตโวลท์เตจจะเปรียบเสมือนฟรีเควนซีดิสคริมิเนเตอร์คือ สามารถแปลงการเปลี่ยนแปลงของความถี่อินพุตให้เป็นการเปลี่ยนแปลงของโวลท์เตจ

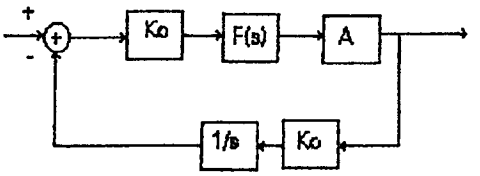
การนำเอาความถี่เอาท์พุตของเฟสล็อคลูปมาใช้งานเมื่อลูปอยู่ในสภาวะล็อคกับสัญญาณอินพุต เอาท์พุตของ VCO จะให้ลูกคลื่นที่เปลี่ยนแปลงเป็นคาบเวลาด้วยความถี่ที่แน่นอนและเท่ากับสัญญาณอินพุต ยกเว้นเฟสจะมีความต่างกัน θ_e และด้วยความต่างเฟสนี้จะทำให้เกิดเออร์เรอร์โวลท์เตจเพื่อรักษาให้เฟสล็อคลูปอยู่ในสภาวะล็อค ถ้าสัญญาณอินพุตประกอบด้วยคอมโพเนนท์ความถี่ต่างๆ มากมาย ซึ่งได้แก่ นอยส์ (noise) หรือสัญญาณรบกวนอื่น ๆ เราสามารถทำให้ระบบเฟสล็อคลูปคอมโพเนนท์ความถี่จำเพาะที่กำหนดของสัญญาณอินพุตดังนั้นเอาท์พุตของ VCO จะให้กำเนิดความถี่จำเพาะนั้นใหม่ ขณะเดียวกันก็จะลดทอนหรือจำกัดความถี่ที่ไม่ต้องการอื่น ๆ นอกจากนั้นเอาท์พุตของ VCO สามารถใช้สำหรับให้กำเนิดใหม่หรือแยกเอาสัญญาณความถี่ที่ต้องการออกจากสัญญาณที่ไม่ต้องการ คุณสมบัตินี้ของเฟสล็อคลูปทำให้ระบบเฟสล็อคลูปเป็นระบบที่น่าสนใจสำหรับให้กำเนิดสัญญาณใหม่หรือแยกเอาสัญญาณต่ำ ๆ ที่ปนอยู่ในนอยส์ออกมาใหม่ได้

เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค ลักษณะนอนลิเนียร์ของการแคปเจอร์ซึ่งจะเกิดขึ้นชั่วขณะก็จะหายไปแทนที่ด้วยความสัมพันธ์ที่เป็นลิเนียร์เกิดขึ้นระหว่างเอาท์พุตของเฟสดีเทคเตอร์และผลต่างของเฟสระหว่างสัญญาณอินพุตและเอาท์พุตของ VCO ภายใต้สภาวะที่เราสามารถจะวิเคราะห์ระบบเฟสล็อคลูปได้ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์โดยใช้เทคนิคการวิเคราะห์ระบบป้อนกลับแบบทั่วไปด้วยลาปลาซทรานส์ฟอร์มและสมการดิฟเฟอเรนเชียล

$$\theta_c(s) / \theta_r(s) = B(s) = \text{forward gain} / 1 + \text{open loop gain}$$

θ_c คือ เฟสของ VCO

θ_r คือ เฟสของสัญญาณอ้างอิง (2.31)



รูปที่ 2.4 แสดงบล็อคไดอะแกรมของระบบ PLL ในลักษณะระบบป้อนกลับที่เป็นลิเนียร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.4 แสดงถึงบล็อคไดอะแกรมของระบบเฟสล็อคลูปที่เป็นระบบป้อนกลับลิเนียร์ในโดเมนคอมเพล็กซ์ฟรีเควนซีเมื่อ $s = 6 + j\omega$ คือตัวแปรตามความถี่เชิงซ้อน เฟสดีเทคเตอร์จะให้เอาท์พุตโวลท์เตจเป็นสัดส่วนกับผลต่างของเฟส θ_e ระหว่างสัญญาณอินพุตและเอาท์พุต VCO ที่มีคอนเวอร์ชันเกน K_d และมีหน่วยเป็น (โวลท์/เรเดียน) ทรานส์เฟอร์ฟังก์ชันของลูปฟิลเตอร์เท่ากับ F(s) และของแอมปลิฟลายเออร์เท่ากับ A สมมติ F(s) จะมีอัตราขยายเป็นหนึ่งที่ความถี่ดีซี อัตราขยายโวลท์เตจไปเป็นความถี่ของ VCO มีค่าเท่ากับ K_o และมีหน่วยเป็น (เรเดียน/ วินาที/ โวลท์)

เอาท์พุตของเฟสดีเทคเตอร์เป็นสัดส่วนกับผลต่างของเฟสระหว่างสัญญาณอินพุต

$$V_\theta = K_d (\theta_r - \theta_i) \qquad (2.32)$$

เมื่อ θ_i คือเฟสของ VCO ที่ถูกหาร

สมมติให้ VCO เป็นอุปกรณ์ที่มีลักษณะเป็นลิเนียร์ มีความถี่เอาท์พุตแตกต่างจากความถี่ฟรีรันนิ่งโดยการเพิ่มขึ้นของความถี่

$$2\pi\delta f = K_0 V_c \qquad (2.33)$$

เมื่อ V_c คือโวลท์เตจเอาท์พุตของโลว์พาสฟิลเตอร์

ดังนั้นความถี่ก็เป็นเวลาที่เบี่ยงเบนของเฟสจากขั้นตอนของ VCO สามารถอธิบายได้ว่า

$$2\pi\delta f = d / dt(\theta_c) = K_0 V_0 \qquad (2.34)$$

ซึ่งจากสมการนี้สมมติระบบเฟสล็อคลูปสามารถแทนได้ในลักษณะของเส้นตรง ฟังชั่นที่สัมพันธ์กับ $\theta_c(s)$ และ $\theta_r(s)$ คือ

$$B (s) = \theta_c (s) / \theta_r (s) = [K_d K_0 F (s) / s] / 1 + K_d K_0 F (s) / Ns \qquad (2.35)$$

จะได้ฟอร์เวิร์ดเกนเท่ากับ $G (s) = K_d K_o F(s) / S \qquad (2.36)$

และโอเพนลูปเกนเท่ากับ $G (s) H(s) = K_d K_o F(s) / Ns \qquad (2.37)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1ผลของลูปฟิลเตอร์และอัตราขยายลูปที่มีต่อคุณสมบัติการทำงานของระบบเฟสล็อคลูป

ฟังชั่นของลูปฟิลเตอร์ F(s) มีผลต่อคุณสมบัติการทำงานของระบบเฟสล็อคลูปอย่างมาก เมื่อระบบเฟสล็อคลูปอยู่ในสภาวะล็อค หน้าที่ของลูปฟิลเตอร์ร่วมกับอัตราการขยายลูป $K_d K_o A$ จะเป็นตัวกำหนดที่ผลตอบสนองชั่วขณะ และ คุณสมบัติของผลตอบสนองทางความถี่ของระบบ เมื่อระบบเฟสล็อคลูปไม่อยู่ในสภาวะล็อค ลูปฟิลเตอร์จะมีผลเด่นชัดในการควบคุมคุณสมบัติของการแคปเจอร์ของลูป

ก.ลูปลำดับที่หนึ่ง

การทำงานของเฟสล็อคลูปในกรณีง่ายที่สุดก็คือลูปฟิลเตอร์ไม่ได้ต่ออยู่ในลูปกระทำโดยการตั้งให้ F(s)=1.0 ระบบเฟสล็อคลูปแบบนี้เรียกว่า "ลูปลำดับที่หนึ่ง" เนื่องจากทรานส์เฟอร์ฟังชั่นจะลดลงเหลือโพลเดียวของโลว์พาสฟิลเตอร์

$$V_c / \Delta\omega_i = 1/K_0 * 1/(1 + s/K_d K_0 A) \qquad (2.38)$$

$$\Delta\omega_i = d/dt\ (\theta_i) \qquad (2.39)$$

$\Delta\omega_i$ คือการเบี่ยงเบนไปของความถี่ของสัญญาณอินพุท

ระบบจะมีลักษณะเหมือนกับโลว์พาสฟิลเตอร์แบบโพลเดียวที่มีคอนเวอร์ชั่นเกนที่ความถี่ต่ำเท่ากับ $1/K_o$ และมีแบนวิดธ์ - 3 dB เท่ากับ $K_d K_o A$ นอกจากนั้นที่ ดีซี หรือความถี่ต่ำ ๆ เมื่อ $S \rightarrow 0$ และ $F(s) \cong 1.0$ จะได้ว่า

$$V_c / \Delta\omega_i \Big|_{s=0} = 1/K_0 \qquad (2.40)$$

สมการ (2.14) แสดงถึงคุณสมบัติการเปลี่ยนแปลงความถี่ไปเป็นโวลท์เตจที่เป็นลิเนียร์

ผลตอบสนองของระบบเฟสล็อคลูปในสภาวะล็อคต่อการเปลี่ยนแปลงของความถี่อินพุทจะได้รับอิทธิพลจากพารามิเตอร์สองตัวคือ ทรานส์เฟอร์ฟังชั่นของลูปฟิลเตอร์ F(s) และแฟคเตอร์ของอัตราขยายลูป $K_d K_o A$

ลูปลำดับที่หนึ่งจะมีขีดจำกัดในการใช้งานเนื่องจากลูปลำดับที่หนึ่งจะมีการเลือกเฟ้นและคุณสมบัติการกำจัดสัญญาณรบกวนไม่ดี สาเหตุจากในระบบไม่มีลูปฟิลเตอร์ เมื่อไม่มีลูปฟิลเตอร์คอมโพเนนท์ความถี่สูงที่ออกมาจากเฟสดีเทคเตอร์จะปรากฏโดยตรงที่เอาท์พุต เอาท์พุต V_o นี้จะประกอบด้วยคอมโพเนนท์เนื่องจากนอยส์หรือสัญญาณที่ไม่ต้องการที่เอาท์พุตที่มีความถี่ใกล้เคียงกับความถี่สัญญาณที่ต้องการ ดังนั้นคุณสมบัติการเลือกเฟ้นของระบบเฟสล็อคลูปจะเลวลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของเฟสล็อคลูปที่ไม่มีฟิลเตอร์จะมีข้อเสียคือ ถ้าหากสัญญาณอินพุตมีสัญญาณรบกวนที่อยู่นอกแบนด์รวมเข้ามาด้วยจะมีผลทำให้ความถี่เอาท์พุตเปลี่ยนแปลงตามไปด้วย ดังนั้นลูปฟิลเตอร์มีความจำเป็นอย่างมากในกรณีที่สัญญาณรบกวนที่อินพุตเพื่อกำจัดเอาท์พุตสัญญาณรบกวนออกไป

ข. ลูปลำดับที่สอง

ในการประยุกต์ใช้งานทั่วๆไป ระบบเฟสล็อคลูปจะใช้โลว์ φพาสฟิลเตอร์แบบมีโพลเดียวและระบบเฟสล็อคลูปจะอธิบายได้ทรานส์เฟอร์ฟังชั่นที่มีสองโพล ซึ่งเรียกกันทั่วๆไปว่า "ลูปลำดับที่สอง" โครงสร้างของโลว์พาสฟิลเตอร์ที่ใช้กับทั่วไปเป็นฟิลเตอร์แบบโพลเดียว ซึ่งมีทรานส์เฟอร์ฟังชั่นเป็น

$$F(s) = 1/(1 + s/\omega_1) \qquad (2.41)$$

เมื่อ $\omega_1 = 1/R_1C_1$ เป็นแบนด์ของโลว์พาสฟิลเตอร์

เนื่องจากฟิลเตอร์จะทำให้เกิดเฟสล้าหลังไป 90°ที่ความถี่สูง ซึ่งหมายถึง "แล็กฟิลเตอร์"จะได้ทรานส์เฟอร์ฟังชั่นเป็น

$$V_o(s)/\Delta\omega_i(s) = 1/K_0\,[\,1/(1 + s/K_L + s^2/\omega_1K_L)\,] \qquad (2.42)$$

ค่ารากหรือโพลของระบบเฟสล็อคลูปจะได้ว่า

$$S_1, S_2 = \omega_1/2\,[\,1 \pm \sqrt{1 - (4K_L/\omega_1}\,]$$

$$K_L = K_dK_0A \qquad (2.43)$$

เมื่อเพิ่มค่าของ K_L โพลจะกลายเป็นค่าเชิงซ้อนคู่เสมือนและระบบจะเป็นอันเดอร์แดมพ์ (underdamped) จากสมการ(2.42) จะเขียนในเทอมใหม่ได้เป็น

$$V_o/\Delta\omega_i = 1/k_0\,[\,1/s^2/\omega^2_n + (2\zeta/\omega_n)s + 1\,] \qquad (2.44)$$

เมื่อ $$\omega_n = \sqrt{K_L\omega_1} \qquad (2.45)$$

และ $$\zeta = (1/2)\sqrt{\omega_1/K_L} \qquad (2.46)$$

จะสังเกตได้ว่าหากแบนด์วิทด์ของลูปฟิลเตอร์ ω_1 ลดลงหรือ K_L เพิ่มขึ้น ค่าแดมปิ้งของลูปจะลดลง(หมายความถึงค่า ζ จะลดลง) ผลตอบสนองทางความถี่ของลูปจะเป็นพีค (peaking) และผลตอบสนองต่อสเตปของลูปในช่วงเริ่มต้นชั่วขณะจะเกิดการออสซิลเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าพีค (peaking) ในผลตอบสนองทางความถี่จะเป็นสาเหตุให้เกิดความผิดเพี้ยนในสัญญาณเอาท์พุทที่ถูกดีมอดูเลทมาจากเอฟเอ็ม และเป็นสาเหตุให้เกิดการแกว่งไกวหรือให้ผลตอบสนองที่เลวเมื่อลูปมีการรบกวนเกิดขึ้นชั่วขณะ การออกแบบระบบเฟสล็อคลูปให้มีคุณสมบัติการทำงานให้ดีที่สุดควรกำหนดให้โครงสร้างโพลของโลว์พาสฟิลเตอร์มีค่าแฟลต (flat) มากที่สุด แดมปิ้งแฟคเตอร์ควรมีค่าเท่ากับ $1/\sqrt{2}$ จะได้ $\omega 1$ ที่เหมาะสมเป็น

$$\omega 1 = 2K_L \qquad (2.47)$$

และความถี่ที่ - 3 dB แบนด์วิทด์ของลูปจะได้เป็น

$$\omega \text{ - } 3\ dB = \omega_n = \sqrt{K_L \omega_1} = \sqrt{2}\ K_L \qquad (2.48)$$

วงจรเฟสล็อคลูปที่ใช้ในระบบสื่อสารทั่วไป จะต้องการให้มีพิสัยการล็อคกว้าง เพื่อที่จะได้สามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทได้ช่วงกว้าง นอกนั้นก็ต้องการให้ระบบมีแบนด์วิทธ์ของลูปแคบๆ เพื่อกำจัดสัญญาณที่อยู่นอกแบนด์

2.1.2 กระบวนการแคปเจอร์สัญญาณอินพุท

คุณสมบัติที่สำคัญในการทำงานของระบบเฟสล็อคลูปคือ กระบวนการแคปเจอร์ (Capture Process) เป็นกระบวนการที่จะทำให้ระบบได้มาซึ่งการล็อคกับสัญญาณอินพุทโดยที่ลูปจะเริ่มต้นจากสภาวะฟรีรันนิ่ง กระบวนการแคปเจอร์นี้เป็นกระบวนการที่ค่อนข้างยุ่งยากและมีลักษณะเป็นนอนลิเนียร์ซึ่งเราจะได้อธิบายถึงคุณสมบัติของกระบวนการนี้ต่อไป

ขั้นแรกสมมติว่าฟีดแบ็คลูปของระบบเฟสล็อคลูปถูกตัดขาดระหว่างลูปฟิลเตอร์เอาท์พุทและคอนโทรลอินพุทของ VCO ซึ่งจะทำให้ V_d มีค่าเป็นศูนย์ และ VCO จะออสซิลเลทอย่างต่อเนื่องที่ความถี่ฟรีรันนิ่ง ω_0 ต่อจากนั้นสมมติว่าสัญญาณอินพุทถูกป้อนให้ลูปด้วยความถี่ ω_i ซึ่งเป็นความถี่ที่ใกล้เคียงกับ ω_0 แต่ไม่เท่ากับ ω_0 ในกรณีนี้เฟสดีเท็คเตอร์มีฟังก์ชั่นเหมือนกับมัลติพลายเออร์หรือมิกเซอร์ ดังนั้นเอาท์พุทโวลท์เตจที่ได้จากเฟสดีเท็คเตอร์จะเป็นคอมโปเน้นท์ของสองความถี่มีผลบวกของความถี่

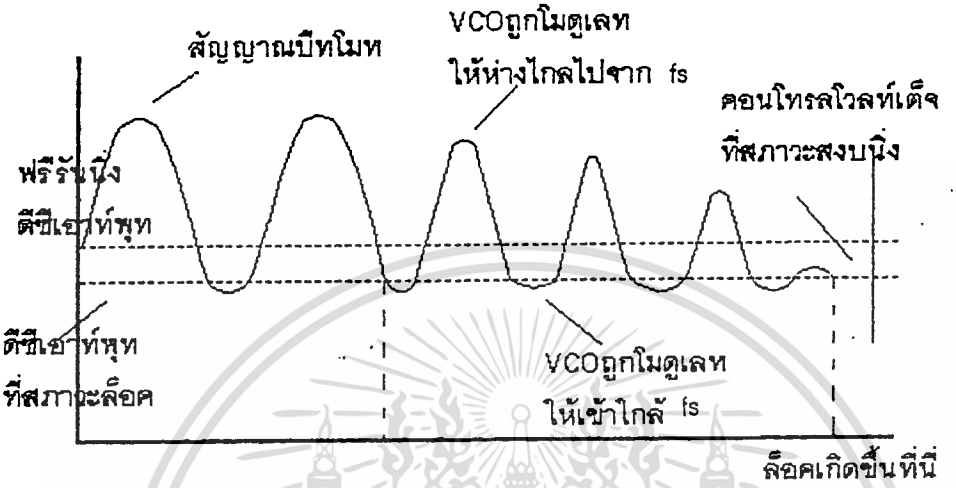
$$\omega_{sum} = \omega_0 + \omega_i \qquad (2.49)$$

และผลต่างของความถี่

$$\Delta\omega = \left| \omega_0 - \omega_i \right| \qquad (2.50)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามปกติแบนด์วิดท์ของโลว์พาสลูปฟิลเตอร์จะแคบมากพอที่จะกรองเอาคอมโปเน้นท์ผลบวกของความถี่ออกไปได้อย่างสมบูรณ์ ถ้า ω_i มีค่าใกล้เคียงกับค่า ω_0 ดังนั้นผลต่างของความถี่ ($\omega_i - \omega_0$) จะมีค่าน้อยมาก และมีค่าอยู่ในพาสแบนด์ของโลว์พาสลูปฟิลเตอร์ในลักษณะของบีทโนท (beat note) ลูกคลื่นซายน์ ลูกคลื่นนี้อยู่ทางด้านซ้ายมือของรูปที่ 2.5 ซึ่งแสดงว่า $\omega_0 > \omega_i$



รูปที่ 2.5 แสดงเออร์เรอร์โวลท์เตจชั่วขณะในระหว่างเวลากระบวนการแคปเจอร์

ต่อไปสมมติว่าลูปถูกต่อให้ครบลูปอย่างทันทีทันใดโดยการต่อโลว์พาสฟิลเตอร์เอาท์พุทเข้ากับขั้วคอนโทรลอินพุทของ VCO ซึ่งจะทำให้ความถี่ของ VCO ถูกโมดูเลทด้วย บีทโนทหรือผลต่างของสัญญาณเมื่อเกิดการโมดูเลทชั่นดังกล่าวความถี่บีทโนท $\Delta\omega$ จะกลายเป็นฟังก์ชั่นที่แปรไปตามเวลาคือ $\Delta\omega$ จะแปรค่าสลับกันไประหว่างมีค่าเข้าใกล้ความถี่อินพุทและมีค่าห่างไกลไปจากความถี่อินพุท และโวลท์เตจนี้จะมีความถี่ที่เปลี่ยนสลับกันไปคือความถี่จะลดลงในช่วงครึ่งไซเกิลลบและความถี่จะเพิ่มขึ้นในช่วงครึ่งไซเกิลบวก ดังนั้นภายใต้สภาวะนี้บีทโนทจะมีลักษณะไม่สมมาตรและดูเหมือนกับอนุกรมของยอดแหลมดังแสดงในส่วนกลางของรูปที่ 2.5 เราจะสังเกตได้ว่าส่วนของบีทโนทที่โมดูเลทให้ VCO มีความถี่ห่างไกลไปจากสัญญาณอินพุทจะมีลักษณะเป็นยอดแหลมมากกว่า เนื่องจากความไม่สมมาตรนี้ ลูกคลื่นของบีทโนทจะประกอบดีซีโวลท์เตจซึ่งจะไปชับให้ความถี่ของ VCO มีค่าเข้าสู่สัญญาณอินพุท เมื่อ VCO มีแนวโน้มเข้าสู่ ω_i ความถี่ของบีทโนทจะลดลงอย่างรวดเร็วความไม่สมมาตรก็จะเพิ่มขึ้น และในที่สุดก็จะลู่เข้าสู่ค่าดีซีที่มีค่าคงที่อย่างรวดเร็วในชั่วเวลาขณะหนึ่งลูปก็จะเข้าสู่สภาวะล็อคเมื่อความถี่ของ VCO เท่ากับω_i อย่างแน่นอน ระบบก็จะเข้าสู่การล็อคผลต่างของความถี่ $\Delta\omega$ จะมีค่าเท่ากับศูนย์และคงเหลือแต่ดีซีโวลท์เตจที่เอาท์พุทของลูปฟิลเตอร์ ดีซีโวลท์เตจนี้เกิดขึ้นจากผลต่างของเฟส θ_e ระหว่างเอาท์พุทของ VCO และสัญญาณอินพุท สมมติว่าลูปฟิลเตอร์มีอัตราขยายดีซีเป็นหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเฟสดีเท็คเตอร์มีคอนเวอร์ชั่นเกน K_d (โวลท์ / เรเดียน) เออร์เรอร์โวลท์เตจที่สถานะคงที่นี้จะมีค่าเป็น

$$V_c = V_c(t) \Big|_{\text{สถานะคงที่}} = -K_d\theta_e$$

เครื่องหมายลบในสมการ (เนื่องมาจากเราได้สมมติไว้ในตัวอย่างของรูปที่ 2.5 ว่า $\omega_0 > \omega_i$ ซึ่งจะทำให้ได้โวลท์เตจลบที่ขั้วคอนโทรลอินพุทของ VCO เพื่อไปเลื่อน ω_0 ให้ไปเท่ากับ ω_i

เวลาทั้งหมดที่ใช้ไปเพื่อให้ระบบเฟสล็อคลูปเกิดการล็อคเราเรียกว่า "พูลอินไทม์" จะขึ้นอยู่กับเฟสเริ่มต้นและผลต่างของความถี่ระหว่างสองสัญญาณ และยังขึ้นอยู่กับอัตราขยายลูป และคุณสมบัติของลูปฟิลเตอร์

จุดประสงค์หลักของลูปฟิลเตอร์คือ การกรองเอาคอมโปเน้นท์ต่างๆ ซึ่งเป็นสัญญาณที่ไม่ต้องการและมีความถี่ห่างไกลจากความถี่ฟรีรันนิ่งของ VCO คุณลักษณะดังกล่าวนี้แสดงถึงคุณสมบัติการกำจัดสัญญาณรบกวนของระบบเฟสล็อคลูป หรือพูดอีกอย่างหนึ่งระบบเฟสล็อคลูปจะมีคุณสมบัติในการแคปเจอร์เฉพาะสัญญาณที่มีความถี่ใกล้เคียงกับความถี่ฟรีรันนิ่งของ VCO ซึ่งหมายความว่าผลต่างของความถี่ $\Delta\omega$ จะต้องมีค่าโดยประมาณอยู่ภายในแบนด์วิดท์ของลูปฟิลเตอร์

ฟังก์ชั่นที่สำคัญอีกอันหนึ่งของโลว์พาสฟิลเตอร์คือมันจะเป็นตัวเก็บความจำได้ในช่วงเวลาสั้นๆ ของระบบเฟสล็อคลูปเพื่อช่วยให้ระบบสามารถแคปเจอร์สัญญาณได้ใหม่อย่างรวดเร็วถ้าระบบหลุดออกไปจากการล็อคในช่วงเวลาสั้นๆ เนื่องจากการรบกวนในชั่วขณะหนึ่งได้ว่าโลว์พาสฟิลเตอร์จะบังคับให้เออร์เรอร์โวลท์เตจ $V_c(t)$ เปลี่ยนแปลงไปตามเวลาอย่างช้าๆ และในกรณีนี้ถ้าระบบเฟสล็อคลูปหลุดไปจากการล็อคลูปไปจากการล็อคเพียงชั่วขณะเนื่องจากน้อยส์หรือสัญญาณรบกวนความถี่ของ VCO จะไม่เปลี่ยนแปลงไปมากนักในช่วงเวลาสั้นๆ ดังกล่าว ดังนั้นในสภาวะนี้จะช่วยให้ระบบสามารถแคปเจอร์สัญญาณอินพุทได้ใหม่อย่างรวดเร็วทันทีทันใดเมื่อเวลาได้ผ่านไปชั่วขณะแล้ว

สรุปได้ว่าโลว์พาสลูปฟิลเตอร์จะทำหน้าที่ลดทอนคอมโปเน้นท์ความถี่สูงของเออร์เรอร์โวลท์เตจในระบบเฟสล็อคลูป โลว์พาสฟิลเตอร์ก่อให้เกิดผลที่สำคัญต่อการแคปเจอร์และคุณสมบัติการตอบสนองชั่วขณะของระบบ การลดแบนด์วิดท์ของฟิลเตอร์ จะมีผลเกิดขึ้นต่อการทำงานของระบบดังต่อไปนี้

(1) กระบวนการแคปเจอร์จะช้าลงไปและพูลอินไทม์จะเพิ่มขึ้น

(2) พิสัยการแคปเจอร์จะลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(3) ทันทีที่ลูปเกิดการล็อค คุณสมบัติของเฟสล็อคลูปเกี่ยวกับการกำจัดสัญญาณรบกวนจะเกิดผล คือ เออร์เรอร์โวลท์เตจที่เกิดจากความถี่ของสัญญาณรบกวนจะถูกลดทอนลงไปโดยโลว์พาสฟิลเตอร์

(4) ผลตอบสนองชั่วขณะของระบบเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่อินพุทอย่างทันทีทันใด ภายในพิสัยการแคปเจอร์จะได้เป็นลักษณะ อันเดอร์แด้มป์ (Underdamped)

2.1.3 คุณสมบัติการแทร็คตามสัญญาณอินพุท

ทันทีที่ระบบเฟสล็อคลูปล็อคกับสัญญาณอินพุทระบบสามารถจะแทร็คตามการเปลี่ยนแปลงอย่างช้าๆของสัญญาณอินพุทได้ด้วยการเพิ่มเฟสเออร์เรอร์ θ_e ระหว่าง VCO และสัญญาณอินพุท จากนั้นเฟสเออร์เรอร์ ที่เพิ่มขึ้นนี้จะถูกแปลงไปเป็นดีซีเออร์เรอร์โวลท์เตจ V_d ด้วยเฟสดีเท็คเตอร์ เออร์เรอร์โวลท์เตจนี้จะไปรักษาให้ความถี่ของ VCO เคลื่อนไปเท่ากับความถี่ของสัญญาณอินพุท ขณะที่ระบบเฟสล็อคลูปแทร็คตามสัญญญาณอินพุท ลูปเออร์เรอร์โวลท์ตจ V_d จะมีค่าเป็นสัดส่วนโดยตรงกับผลต่างระหว่างความถี่สัญญาณอินพุท ω_i กับความถี่ฟรีรันนิ่ง ω_0 ของ VCO หรือพูดอย่างหนึ่งได้ว่าขณะที่ระบบเฟสล็อคลูปแทร็คตามสัญญาณอินพุท เอาท์พุทโวลท์เตจของลูปจะมีฟังก์ชั่นเหมือนกับการแปลงความถี่เป็นโวลท์เตจ

พิสัยการแทร็คตามสัญญาณอินพุทของระบบเฟสล็อคจะกำหนดได้ด้วยการพิจารณาว่า โวลท์เตจเออร์เรอร์ที่เกิดขึ้นในลูปได้สูงสุดเท่าไร สมมติว่าในลูปไม่มีแอมปลิไฟเออร์ ปริมาณของเออร์เรอร์โวลท์เตจจะมีค่าสูงสุด $(V_d)_{max}$ เมื่อผลต่างของเฟส θ_e มีค่าอยู่ที่ค่าจำกัดสูงสุด $\pm\pi / 2$ ดังนั้นพิสัยการแทร็คตามสัญญาณอินพุทของระบบเฟสล็อคลูปจะมีค่าเป็น

$$\pm \Delta\omega = \pm (V_d)_{max} K_0 \qquad (2.51)$$

เมื่อ K_0 คือคอนเวอร์ชั่นเกนของ VCO (หน่วยเป็นเฮอร์ท / โวลท์)

รูปที่ 2.6 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป สมมติว่าอินพุทเป็นสัญญาณลูกคลื่นซายน์ซึ่งความถี่ของมันจะกวาดไปอย่างช้าๆได้ในช่วงพิสัยความถี่ที่กว้าง ขั้นแรกความถี่อินพุทจะกวาดไปจากความถี่ต่ำผ่านพิสัยแคปเจอร์และพิสัยการล็อคของระบบเฟสล็อคลูปไปยังความถี่สูงและจากนั้นกวาดไปยังความถี่ต่ำ ส่วนสเกลทางด้านแกนตั้งเป็นค่าของเออร์เรอร์โวลท์เตจที่ผ่านลูปฟิลเตอร์แล้ว V_c และสมมติว่า VCO จะเพิ่มขึ้นเป็นสัดส่วนที่ลิเนียร์กับการเพิ่มขึ้นของคอนโทรลโวลท์เตจ

คุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูปแสดงได้ในรูปที่ 2.6(ก) เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้าๆ (ข) เมื่อความถี่อินพุทลดลงอย่างช้าๆ ความกว้างของความถี่ระหว่าง

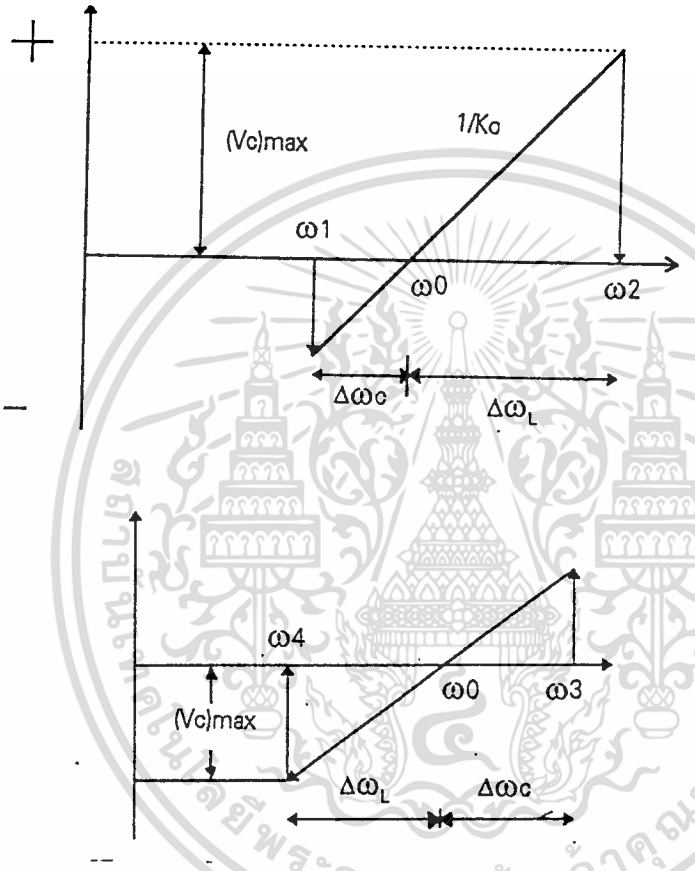
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ω_1 , ω_3 เท่ากับพิสัยแคปเจอร์และความกว้างของความถี่ระหว่าง ω_2 , ω_4 เท่ากับพิสัยการแทร็คตามสัญญาณอินพุทของระบบ นั่นคือ

$$\omega_3 - \omega_1 = 2\Delta\omega_C \qquad (2.52)$$

และ

$$\omega_2 - \omega_4 = 2\Delta\omega_L \qquad (2.53)$$



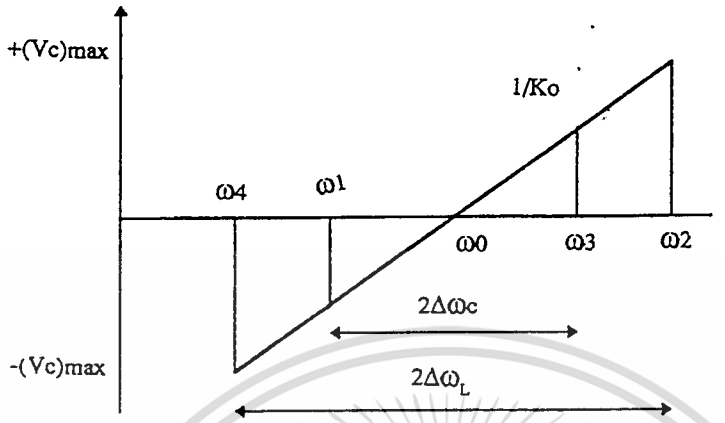
รูปที่ 2.6 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจ

(ก) เมื่อความถี่อินพุทเพิ่มขึ้นอย่างช้าๆ

(ข) เมื่อความถี่อินพุทลดลง

ในรูปที่ 2.7 แสดงถึงคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูปที่ผสมผสานกันระหว่างคุณสมบัติของพิสัยแคปเจอร์และพิสัยการล็อคที่แสดงในรูปที่ 2.6 จากรูป 2.7 คุณสมบัติการตอบสนองของระบบเฟสล็อคลูปเบื้องต้นสามารถสรุปได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
037252



รูปที่ 2.7 แสดงถึงคุณสมบัติรวมในการแปลงความถี่ไปเป็นโวลท์เตจของระบบเฟสล็อคลูป

(1) ระบบเฟสล็อคลูปแสดงคุณสมบัติการเลือกเฟ้นความถี่และการแปลงความถี่ไปเป็นโวลท์เตจซึ่งมีความถี่ศูนย์กลางอยู่ที่ความถี่ฟรีรันนิ่ง ω_0 ของ VCO

(2) ระบบสามารถจะแคปเจอร์ (ได้มาซึ่งการล็อค) กับสัญญาณที่มีความถี่อยู่ภายในพิสัยแคปเจอร์เท่านั้น $2\Delta\omega_C$ และมีศูนย์กลางอยู่ที่ ω_0

(3) ทันทีที่ระบบเกิดการล็อคมันจะสามารถแทร็คตามสัญญาณอินพุทได้ตลอดช่วงพิสัยการล็อค $2\Delta\omega_L$ และมีศูนย์กลางอยู่ที่ ω_0

(4) สโลปของคุณสมบัติการแปลงความถี่ไปเป็นโวลท์เตจจะเท่ากับส่วนกลับของอัตราขยายการแปลงโวลท์เตจไปเป็นความถี่ของ VCO

รูปที่ 2.6 และ 2.7 ยังแสดงถึงพารามิเตอร์ที่สำคัญบางอย่างในการออกแบบระบบเฟสล็อคลูป พิสัยการล็อค = $(V_d)_{max} K_0$ ตามสมการ (2.51) ดังนั้นเราสามารถจะเพิ่ม $(V_d)_{max}$ ได้ด้วยการเพิ่มแอมปลิไฟเออร์เข้าในลูปของเฟสล็อคลูปเบื้องต้น เพื่อเพิ่มอัตราขยายโวลท์เตจในลูปป้อนกลับพิสัยการล็อคจะเพิ่มขึ้นเป็น $= A (V_d)_{max} K_0$ เมื่อ A คืออัตราขยายโวลท์เตจของแอมปลิไฟเออร์เมื่อระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสล็อคลูปอยู่ในสภาวะล็อค V_d จะมีค่าเป็นดีซีโวลท์เตจ ดังนั้นลูปฟิลเตอร์จะไม่มีผลกระทบต่อพิสัยการล็อค

ความถี่ฟรีรันนิ่ง ω_0 ของ VCO จะเป็นตัวกำหนดความถี่ศูนย์กลางของพิสัยแคปเจอร์และพิสัยการล็อค ดังนั้นความเที่ยงตรงและเสถียรภาพของความถี่ฟรีรันนิ่ง ω_0 ของ VCO มีความสำคัญอย่างยิ่ง เนื่องจากเรามักจะออกแบบให้พิสัยแคปเจอร์และพิสัยการล็อคมีช่วงแคบมากๆ ดังนั้นความต้องการเกี่ยวกับความเที่ยงตรงและเสถียรภาพของพิสัยทั้งสองดังกล่าวจึงกลายเป็นปัญหาขึ้นมา

คุณสมบัติการคอนโทรล VCO มีความสำคัญอย่างยิ่งดังแสดงในรูปที่ 2.7 ต่อ :

(ก) คุณสมบัติการแปลง F - V ของระบบ PLL

(ข) สโลปของโวลท์เตจเอาท์พุทของระบบ PLL ($1 / K_0$)

(ค) ความเป็นลิเนียร์ของคุณสมบัติการแปลง F - V ของระบบ PLL

ดังนั้นเราสามารถสรุปได้ว่า : ดีซีลูปเกน

คุณสมบัติของลูปฟิลเตอร์

เสถียรภาพของ VCO

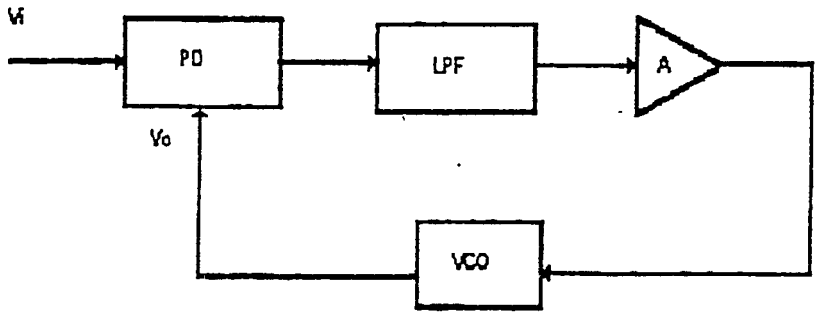
คุณสมบัติของคอนโทรล VCO

ค่าเหล่านี้จะเป็นพารามิเตอร์พื้นฐานในการออกแบบวงจรโมโนลิทิคเฟสล็อคลูป PLL

2.1.4 พิสัยการล็อค

วงจรเฟสล็อคลูปในการใช้งานจริงๆ มักจะเพิ่มแอมปลิไฟเออร์เข้าในลูปของวงจรเฟสล็อคเบื้องต้นเพื่อเพิ่มอัตราขยายโวลท์เตจในลูปป้อนกลับและเป็นการเพิ่มพิสัยการล็อคให้กับระบบด้วยวงจรเฟสล็อคลูปดังกล่าวแสดงได้ดังในรูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 ระบบเฟสล็อคลูป

เมื่อระบบเฟสล็อคเข้าสู่สภาวะล็อคกับความถี่อินพุท ω_i เราจะได้ว่า

$$\omega = \omega_i = \omega_0 + \omega_0 V_C \qquad (2.54)$$

และ $$V_C = (\omega_i - \omega_0) / k_0 = K_d A (\theta_e - \pi/2) \qquad (2.55)$$

เมื่อ A คืออัตราขยายโวลท์เตจของแอมปลิฟลายเออร์จากสมการ (2.55) เราจะได้ว่า

$$\phi - \pi/2 = (\omega i - \omega_0) / K_0 K_d A \qquad (2.56)$$

ดังนั้นเมื่อระบบล็อคอยู่กับสัญญาณอินพุท ความต่างเฟสระหว่างสัญญาณอินพุทโวลท์เตจกับเอาท์พุทโวลท์เตจของ VCO จะมีค่าเท่ากับ θe และเราจะหาความต่างเฟสนี้ได้เป็น

$$\theta_e = \pi/2 + (\omega_i - \omega_0) / K_0 K_d A \qquad (2.57)$$

และความถี่ของสัญญาณทั้งสองจะซิงโครไนส์กันอย่างเที่ยงตรง

เอาท์พุทโวลท์เตจที่ได้จากเฟสดีเท็คเตอร์จะมีค่าแมกนิจูดสูงสุดเมื่อ $\phi = \pi$ และ 0 เรเดียน คือ

$$V_{C(max)} = \pm K_d (\pi/2) \qquad (2.58)$$

ในเวลาเดียวกันเราจะได้คอนโทรลโวลท์เตจที่มีค่าสูงสุดสอดคล้องกับค่า $V_{C(max)}$ เพื่อไปขับ VCO จะมีค่าเท่ากับ

$$V_{C(max)} = \pm (\pi/2) K_d A \qquad (2.59)$$

ความถี่ของ VCO จะสวิงได้สูงสุดเท่ากับ

$$(\omega - \omega_0)_{max} = K_0 V_{C(max)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \pm K_0K_d (\pi / 2)A \qquad (2.60)$$

ดังนั้นพิสัยสูงสุดของความถี่สัญญาณอินพุทที่ระบบเฟสล็อคลูปสามารถดำรงรักษาการล็อคได้ตลอด พิสัยสูงสุดนี้จะมีค่าเท่ากับ

$$\omega_l = \omega_0 \pm K_0K_d (\pi / 2)A$$

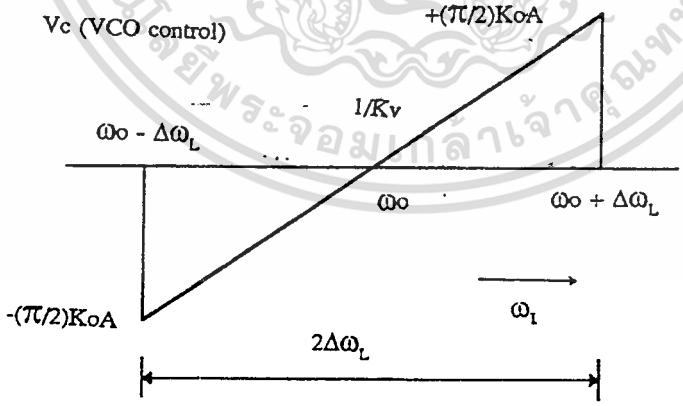
$$= \omega_0 \pm \Delta\omega_L \qquad (2.61)$$

เมื่อ $2\Delta\omega_L$ จะเท่ากับพิสัยการล็อคและได้เป็น

$$\text{พิสัยการล็อค} = 2\Delta\omega_L = K_dK_0A\pi \qquad (2.62)$$

เราจะสังเกตได้ว่าพิสัยการล็อคจะมีตำแหน่งที่สมมาตรกันเมื่อถือเอาฟรีรันนิ่งฟรีเควนซี (ω_0) ของVCO เป็นหลักศูนย์กลาง

ในรูปที่ 2.9 แสดงถึงกราฟของคอนโทรลโวลท์เตจ V_C ของ VCO ต่อความถี่ของสัญญาณอินพุท ω_l ความถี่ที่อยู่นอกพิสัยการล็อคของระบบความถี่ของ VCO ไม่สามารถจะซิงโครไนส์กับความถี่อินพุทได้ ผลของความต่างเฟสจะมีค่าเท่ากับ



รูปที่ 2.9 พิสัยการล็อคของระบบเฟสล็อคลูป

$$\theta_e = (\omega_i t + \theta_i) - (\omega_0 t + \theta_0) \qquad (2.63)$$

$$= (\omega_i - \omega_0) + (\theta_i - \theta_0) \qquad (2.64)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และความต่างเฟสนี้จะเปลี่ยนแปลงอย่างรวดเร็วต่อเวลา อัตราการเปลี่ยนแปลงของ θ_c ต่อเวลาจะเท่ากับ

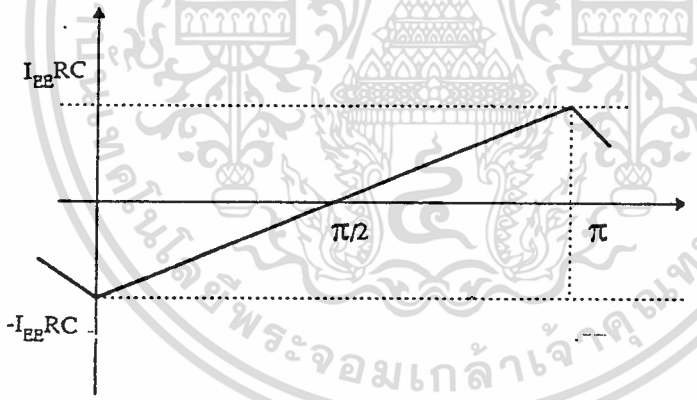
$$d\theta_e / dt = \omega_i - \omega_0 \qquad (2.65)$$

ดังนั้นเอาท์พุทโวลท์เตจของเฟสดีเท็คเตอร์จะเปลี่ยนค่าไปอย่างรวดเร็วต่อเวลาและจะถูกลดทอนแมกนิจูดลบอย่างมากด้วยโลว์พาสฟิลเตอร์ ซึ่งจะยังผลให้เหลือโวลท์เตจที่มีแมกนิจูดเพียงเล็กน้อยที่จะไปขับ VCO และความถี่ของ VCO จะกลับคืนไปยังค่าฟรีรันนิ่งฟรีเควนซี ω_0 เดิม ดังนั้นเราเห็นได้ว่าช่วงความถี่ที่อยู่นอกเหนือพิสัยการล็อคของระบบคอนโทรลโวลท์เตจของ VCO จะลดลงเป็นศูนย์

เมื่อ VCO ล็อคกับสัญญาณอินพุท เราจะได้ว่า

$$\theta_e = (\pi/2) - [(\omega_i - \omega_0)/K_d K_0 A] \qquad (2.66)$$

เราจะสังเกตได้ว่าเมื่อ $\omega_i = \omega_0$ โวลท์เตจของ VCO จะมีเฟสควอดดราเจอร์ (phase quadrature) คือมีเฟสต่างไปจากเฟสของสัญญาณอินพุทโวลท์เตจ 90^0 เมื่อ ω_i เคลื่อนไปทางด้านสูงกว่า ω_0 มุมของเฟสจะเพิ่มขึ้นจาก 90^0ไปสู่ค่า 0 องศาที่ล่างสุดของพิสัยการล็อค ดังแสดงในรูปที่ 2.10



รูปที่ 2.10 แสดงคุณสมบัติเอาท์พุทของเฟสดีเท็คเตอร์กับเฟสเออร์เรอร์

2.1.5 พิสัยแคปเจอร์

การวิเคราะห์ถึงพิสัยการล็อคจะต้องอยู่บนหลักการที่ว่าระบบเฟสล็อคลูป (PLL) จะมีสภาวะเดิมล็อคอยู่กับสัญญาณอินพุทแล้ว ในตอนนี้เราจะได้สังเกตถึงสถานะของลูปที่มีสภาวะเดิมไม่ล็อคกับสัญญาณอินพุทเพื่อกำหนดช่วงความถี่ซึ่งระบบเฟสล็อคลูปสามารถล็อคกับสัญญาณอินพุทในช่วงความถี่ดังกล่าว ความถี่ช่วงนี้เราเรียกว่า " พิสัยแคปเจอร์ " หรือ " พิสัยแอคควิซิชั่น "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อระบบเฟสล็อคลูป (PLL) มีสภาวะเดิมระบบไม่ล็อคกับสัญญาณอินพุท ความถี่ของ VCO จะอยู่ที่ฟรีรันนิ่งฟรีเควนซี ω_0 มุมของความต่างเฟสระหว่างสัญญาณอินพุทและโวลท์เตจของ VCO จะเท่ากับ

$$\theta_e = (\omega_i t - \theta_i) - (\omega_0 t - \theta_0)$$

$$= (\omega_i - \omega_0) t + \Delta\theta \qquad (2.67)$$

และค่าของ θ_e จะไม่คงที่ แต่เปลี่ยนแปลงต่อเวลาด้วยอัตราความเร็ว $d\theta_e / dt = \omega_i - \omega_0$ ดังนั้นเอาท์พุทโวลท์เตจของเฟสดีเท็คเตอร์จะไม่มีส่วนของดีซีคอมโปเน้นท์ แต่จะให้เอซีโวลท์เตจกับลูกคลื่นที่มีพีคแอมปลิจูด $K_d (\pi/2)$ และความถี่พื้นฐาน $(\omega_i - \omega_0)$

ถ้าโลว์พาสฟิลเตอร์เป็นวงจร RC โลว์พาสฟิลเตอร์ง่ายๆ และมีทรานสเฟอร์ฟังก์ชั่นเป็น

$$F (j\omega) = 1 / (1 + j\omega t) = 1 / [1 + j (\omega / \omega 1)] \qquad (2.68)$$

เมื่อ $\tau = RC$ และ $\omega_1 = 1/RC$ ดังนั้นจุดจำกัดความถี่ $f_1 = 1/2\pi RC$ ที่สภาวะ $(\omega / \omega_1)^2 >> 1$, ทรานเฟอร์ฟังก์ชั่นของลูปฟิลเตอร์จะมีค่าประมาณ

$$F (j\omega) = \omega 1 / j\omega \qquad (2.69)$$

และ $$| F (j\omega) | = \omega 1 / \omega \qquad (2.70)$$

เทอมความถี่พื้นฐานที่เป็นอินพุทให้กับโลว์พาสฟิลเตอร์โดยมาจากเฟสดีเท็คเตอร์จะเป็นค่าผลต่างของความถี่ $\Delta\omega = (\omega_i - \omega_0)$ ถ้า $\Delta\omega > 3\omega_1$

ทรานเฟอร์ฟังก์ชั่นของ LPF จะมีค่าโดยประมาณเป็น

$$| F (\Delta\omega) | \cong \omega_1 / \Delta\omega = \omega_1 / (\omega_i - \omega_0) \qquad (2.71)$$

เราจะได้คอนโทรลโวลท์เตจไว้สำหรับขับ VCO จะมีค่าเป็น

$$V_C = V_d | F (\Delta\omega) | \qquad (2.72)$$

และ $$V_{C(max)} = \pm K_d (\pi / 2) (\omega_1 / \Delta\omega) A \qquad (2.73)$$

ด้วยเหตุผล $$V_{C(max)} = K_0 V_C (max) \cong \pm K_0 K_d (\pi / 2) A (\omega_1 / \Delta\omega) \qquad (2.74)$$

เพื่อที่จะจับ (Acquisition) ความถี่สัญญาณอินพุทให้ได้เราจะต้องให้ $\omega = \omega_i$ ดังนั้นพิสัยสูงสุดของความถี่สัญญาณอินพุทที่ระบบ PLL สามารถจับหรือยึดสัญญาณความถี่ดังกล่าวได้ตลอดช่วงมีค่าเท่ากับ

$$(\omega_i - \omega_0)_{max} = \pm K_d K_0 (\pi / 2) A (\omega_1 / \Delta\omega_C) \qquad (2.75)$$

เมื่อ $\Delta\omega_C = (\omega_i - \omega_0)_{max}$ ดังนั้นจากสมการ (2.75) เราจะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(\Delta\omega_C)^2 \cong K_0K_d(\pi/2)A\omega_1 \qquad (2.76)$$

เนื่องจาก $$\Delta\omega L = K_0K_d(\pi/2)A \qquad (2.77)$$

ดังนั้น $$(\Delta\omega_C)^2 \cong \omega 1\,\Delta\omega_L \qquad (2.78)$$

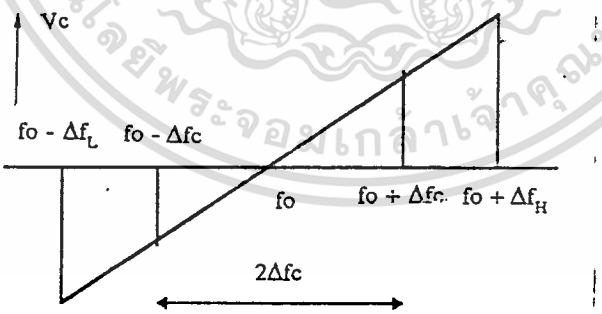
และ $$\Delta\omega_C \cong \pm\sqrt{(\omega_1\Delta\omega_L)} \qquad (2.79)$$

ดังนั้นระบบ PLL สามารถจะแคปเจอร์ (Capture) สัญญาณอินพุทได้ตลอดพิสัยความถี่นี้พิสัยแคปเจอร์มีค่าเป็น

$$\text{พิสัยแคปเจอร์} = 2\Delta\omega_C \cong 2\sqrt{(\omega_1\Delta\omega_L)} \qquad (2.80)$$

ในกรณีทั่วไป $\Delta\omega_L >> \omega_1$ เราจะสังเกตได้ว่าพิสัยแคปเจอร์จะมีค่าตำแหน่งที่สมมาตรกันเมื่อยึดฟรีรันนิ่งฟรีเควนซีของ VCO เป็นหลักศูนย์กลาง

ในรูปที่ 2.11 แสดงถึงกราฟของคอนโทรลโวลท์เตจของ VCO , V_C ต่อความถี่ของสัญญาณอินพุท พร้อมทั้งแสดงถึงพิสัยแคปเจอร์และพิสัยการล็อค



รูปที่ 2.11 แสดงพิสัยแคปเจอร์ของระบบเฟสล็อคลูป

ในระบบเฟสล็อคลูปต้องการพิสัยแคปเจอร์ที่มีความกว้างมากบนจุดยืนของความสามารถในการล็อคกับสัญญาณอินพุท อย่างไรก็ตามพิสัยแคปเจอร์ที่มีความกว้างมากๆจะทำให้ระบบPLLอ่อนแอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อสัญญาณรบกวนด้วยสัญญาณที่ไม่ต้องการและน้อยส์ สำหรับระบบ PLL ที่สามารถกำจัดสัญญาณรบกวนและน้อยส์ได้สูงสุดจะต้องมีพิสัยแคปเจอร์แคบ ในกรณีทั่วไประบบ PLL จะเลือกพิสัยแคปเจอร์ที่เหมาะสมเพื่อให้ได้คุณสมบัติที่ดีทั้งสองอย่างคือกำจัดสัญญาณรบกวนได้ดีและสามารถล็อคกับสัญญาณอินพุทได้ในช่วงความถี่กว้าง

แต่ในบางกรณีที่ระบบ PLL ไม่สามารถเลือกพิสัยแคปเจอร์ที่เหมาะสมได้ เราจะต้องตั้งแบนด์วิดท์ของโลว์พาสฟิลเตอร์ให้มีค่ามากไว้ก่อนในตอนแรกเพื่อให้ลูปสามารถเริ่มต้นแคปเจอร์สัญญาณอินพุทได้เมื่อลูปสามารถแคปเจอร์สัญญาณอินพุทได้แล้วและระบบ PLL ก็จะล็อคกับสัญญาณรบกวนและน้อยส์ลักษณะเด่นของระบบ PLL คือลูปสามารถจะดำรงรักษาการล็อคกับสัญญาณอินพุทได้แม้ว่าสัญญาณอินพุทจะอยู่ในสภาวะที่มีน้อยส์รบกวนมาก คือมีอัตราส่วนของซิกแนลต่อน้อยส์น้อยกว่าหนึ่งก็ตาม ระบบ PLL มักนิยมใช้งานประเภทที่สัญญาณอินพุทมีระดับต่ำ เช่นระบบสื่อสารของดาวเทียมเป็นต้น

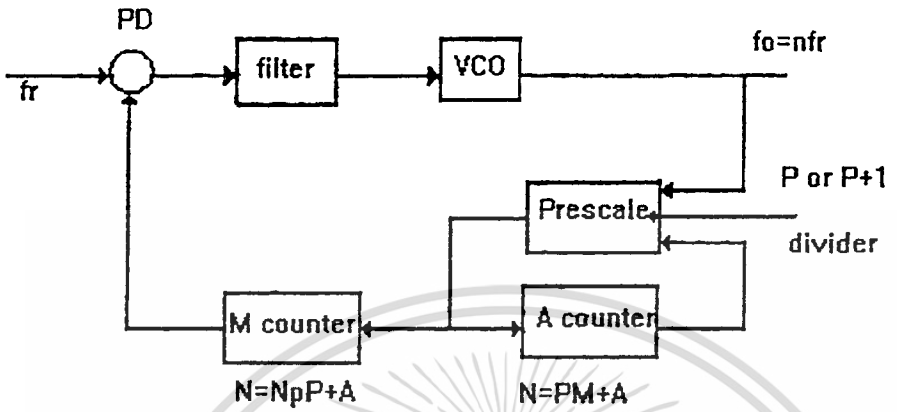
2.2 วงจรหารแบบพรีสเกลเลอร์ (Prescaler divider)

วงจรหารแบบพรีสเกลเลอร์หรือวงจรหารแบบโมดูลัส (modulus divider) เป็นวิธีที่ทำให้ระบบสังเคราะห์ความถี่ผลิตความถี่สูงได้ โดยจะมีการหารล่วงหน้า (Prescale) ก่อน หมายถึงมีการทำงานในลักษณะที่หารได้สองครั้งด้วยค่าสองค่าสลับกันซึ่งตัวเลขทั้งสองจะมีค่าต่างกันอยู่หนึ่ง เช่น 10 หรือ 11 เรียกว่า10/11 พรีสเกลเลอร์ สังเกตว่าตัวหารทั้งคู่ต่างกันอยู่หนึ่ง

ในตัวอย่างต่อไปนี้เราจะใช้ 10/11 พรีสเกลเลอร์ ดังแสดงในรูป 2.12 เอาท์พุตของพรีสเกลเลอร์จะป้อนให้กับวงจรนับ (counter) สองตัวตัวหนึ่งเป็นตัวนับหลัก (main counter) อีกตัวหนึ่งเป็นตัวนับเสริม (auxiliary counter)

ตัวนับเสริมจะเป็นตัวจะเป็นตัวบังคับให้พรีสเกลเลอร์หารด้วยตัวหารใด คือหารด้วย 10หรือ 11 เช่นสมมติว่าป้อนข้อมูล (ความถี่) หรือพรีเซตตัวเลขให้ตัวนับเสริม และในขณะนี้จะใช้ 11 เป็นตัวหาร เมื่อตัวนับเสริมหยุดนับจึงจะส่งคำสั่งไปบังคับให้พรีสเกลเลอร์เปลี่ยนเป็นหารด้วย 10 ตัวนับหลักก็เช่นเดียวกันจะค่อยๆนับถอยหลังไปเรื่อยๆเมื่อตัวนับหลักและตัวนับเสริมนับถึงศูนย์ ทั้งคู่จะถูกพรีเซตด้วยตัวเลขข้อมูล เนื่องจากตัวนับเสริมจะต้องนับถึงศูนย์ก่อน ดังนั้นตัวเลขที่พรีเซตให้แก่ตัวนับเสริมจะต้องน้อยกว่าค่าตัวเลขที่พรีเซตให้กับตัวนับหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 แสดงวงจรสังเคราะห์ความถี่ที่ใช้วงจรหารแบบพรีสเกลเลอร์

สมมติให้ตัวเลขที่พรีเซตให้กับตัวนับหลักเป็น M และตัวนับเสริมเป็น A เริ่มแรกใช้พรีสเกลเลอร์อยู่ในสภาวะหาร 11 ไปจนตัวนับเสริมจะนับลงเป็นศูนย์ นั่นคือเวลาที่ใช้ในการนับของตัวนับเสริมคิดเป็นจำนวนไซเคิลของ VCO ที่ผ่านไปเท่ากับ 11 คูณด้วย A ไซเคิล หลังจากนั้นพรีสเกลเลอร์จะถูกบังคับให้เปลี่ยนตัวหารเป็น 10 โดยตัวนับเสริม ในขณะนี้ตัวนับหลักผ่าน A ไปแล้ว พร้อมกับตัวนับเสริมยังเหลืออยู่อีก (M-A) ไซเคิลก่อนที่จะนับเป็นศูนย์ นั่นคือจะต้องใช้เวลาในการนับตัวนับหลักเป็นต่อไปอีกคิดเป็นจำนวนไซเคิลที่ผ่านไปของ VCO เท่ากับ 10 คูณด้วย (M-A)

ฉะนั้นรวมเวลาที่ใช้จึงเป็นผลรวมของเวลาทั้งสองข้างต้นคือ

$$\text{VCO ไซเคิล} = 11A + 10(M-A) \qquad (2.81)$$

$$= 10M + A$$

ความถี่ของ VCOจะเท่ากับ (10M+A) เท่าของความถี่อ้างอิงหรือ

$$F_{synth} = F_{ref}(10M + A) \qquad (2.82)$$

สังเกตว่าผลของตัวเลข Mมีผลต่อความถี่ Fsynth มากกว่าตัวเลข A อยู่ 10 เท่า นอกจากนี้ตัวหาร (10M+A) ก็ไม่สามารถหารได้ครบทุกค่าตัวเลขเนื่องจากมีจำกัดตรงที่ M จะต้องมากกว่าหรือเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A ในที่นี้ตัวหาร (10M+A) จะหารได้ครบทุกค่าถ้าเกิน 90 แต่ถ้าต้องหารน้อยกว่า 90 จะหารได้ไม่ครบทุกตัว

สมการที่ยกตัวอย่างข้างต้นใช้พรีสเกลเลอร์แบบ 10/11 ในกรณีที่ใช้พรีสเกลเลอร์ชนิดหารสองโมดูลัสเป็นแบบ P และ N ตัวหารจะกลายเป็นดังนี้

ตัวการของระบบสังเคราะห์ความถี่ = PM+A (2.83)

ตัวหารต่ำสุด = P(P-1) (2.84)

ตัวหารสูงสุด = P_{max}-A_{max} (2.85)

ถ้าตัวหารของพรีสเกลเลอร์มีค่ามาก ตัวหารต่ำสุดก็จะยิ่งมากขึ้นไปอีกซึ่งเหมาะสมกับระบบสังเคราะห์ความถี่ที่ผลิตความถี่สูงๆ และช่วงห่างระหว่างช่องแคบ

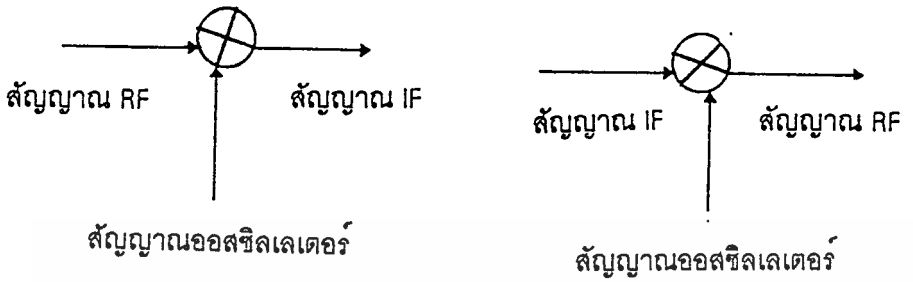
เหตุผลสำคัญในการใช้พรีสเกลเลอร์ก็เพื่อลดทอนความถี่ลงและใช้กับวงจรหาร N ตระกูล TTL หรือ CMOS ได้ถ้าใช้พรีสเกลเลอร์แบบ 256/257 ก็จะสามารถสังเคราะห์ความถี่ไปถึงย่าน UHF ได้ ข้อดีอีกอย่างหนึ่งของพรีสเกลเลอร์ชนิดหารสองโมดูลัสคือ การให้กำเนิดความถี่ที่ไม่ตรงกับความถี่ที่แสดง เช่นในภาวะรับโลคอลออสซิลเลเตอร์จะผลิตความถี่แตกต่างจากความถี่ที่ใช้งานอยู่เท่ากับความถี่ IF ของเครื่องรับ อีกตัวอย่างหนึ่งเช่นในกรณีของการเลื่อนความถี่ภาคส่งสำหรับรีพีตเตอร์ เป็นต้น ลักษณะเด่นของระบบสังเคราะห์ความถี่นี้ก็คือ สามารถทำงานที่ความถี่สูงได้โดยอาศัยเทคนิคทางดิจิตอลมาช่วย

2.3 วงจรมิกเซอร์

แบ่งออกเป็นได้เป็น 2 ประเภท คือประเภทแอกตีฟ (Active) ใช้ทรานซิสเตอร์หรือไอซีรวมทั้งอุปกรณ์อื่นๆ ที่ให้อัตราการขยาย (ในการผสมคลื่น) และประเภทพาสซีฟ (Passive) ใช้ไดโอด ซึ่งไม่มีการขยายสัญญาณ

นอกจากนี้เราอาจแบ่งวงจรมิกเซอร์ได้เป็น 2 ประเภทคือ แบบสมดุลหรือบาลานซ์กับแบบไม่สมดุลหรืออันบาลานซ์ วงจรมิกเซอร์แบบสมดุลนี้ เราต่อวงให้ขั้วอินพุทหรือเอาท์พุทของมิกเซอร์ไม่เกิดปฏิกิริยาซึ่งกันและกัน (สัญญาณไม่เล็ดลอดระหว่างขั้ว) คุณสมบัตินี้ เราเรียกว่า การแยกระหว่างขั้วหรือไอโซเลชั่น (Isolation) คงจำได้ว่าขั้วอินพุทของวงจรมิกเซอร์มี 2 ขั้วคือ สัญญาณ RF (หรือ IF) กับสัญญาณออสซิลเลเตอร์ และมีขั้วเอาท์พุท 1 ขั้ว คือสัญญาณ IF (หรือ RF) ดูรูปที่ 2.13 ลองพิจารณาในกรณีของภาครับจะเห็นว่าการแยกระหว่างขั้ว RF และขั้วออสซิลเลเตอร์จะช่วยมิให้สัญญาณออสซิลเลเตอร์ย้อนกลับออกสู่สายอากาศแผ่กระจายคลื่นออกไปได้ และการแยกระหว่างขั้ว RF กับขั้ว IF จะช่วยมิให้สัญญาณที่มีความพอดีตรงกับความถี่ IF เล็ดลอดเข้าไปสู่วงจรขยาย IF ในกรณีของภาคส่งก็พิจารณาทำนองเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 แสดงตัวอย่างมิกเซอร์

(ก) มิกเซอร์ภาคเครื่องส่ง

(ข) มิกเซอร์ภาคเครื่องรับ

สำหรับวงจรมิกเซอร์แบบไม่สมดุลนั้น มีคุณสมบัติการแยกระหว่างขั้วไม่ดีเหมือนกับแบบสมดุล ถ้าต้องการให้มีการแยกสัญญาณดีต้องใช้ฟิลเตอร์ช่วยในการกรองสัญญาณต่างหากอีก

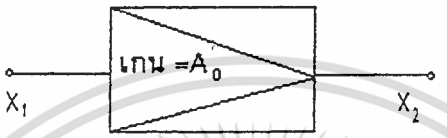
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การสร้างและการออกแบบ

3.1 การออกแบบวงจรวีซีโอ

การออกแบบวงจรวีซีโอใช้หลักการดังต่อไปนี้ คือ

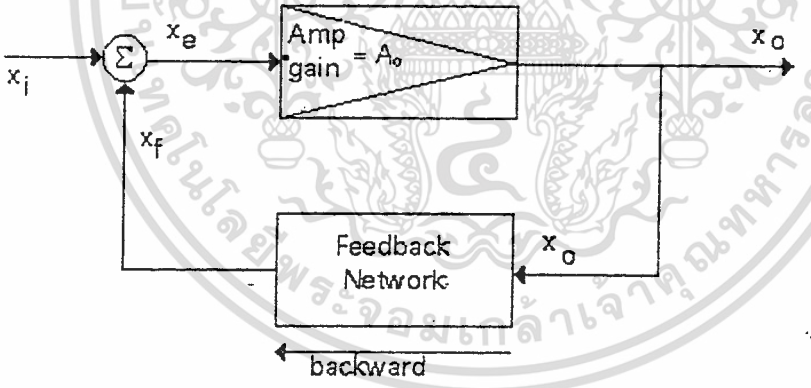
3.1.1 การป้อนกลับแบบบวก คือ การนำบางส่วนของเอาท์พุท นำมาป้อนกลับมาร่วมกับอินพุทในรูปที่ 3.1 เป็นระบบที่ไม่มีการป้อนกลับ ซึ่งถูกเรียกว่า ระบบลูปเปิด (Open loop system)



รูปที่ 3.1 แสดงบล็อคไดอะแกรมของระบบเปิดที่ไม่มีการป้อนกลับ

โอเพนลูปเกน $A_0 = X_2 / X_1$ (3.1)

ในทางอิเลคทรอนิคส์ การป้อนกลับ คือ การนำบางส่วนของเอาท์พุท ซึ่งอาจเป็น V_0 หรือ I_0 ก็ได้ ระบบที่มีการป้อนกลับจะถูกเรียกว่า ระบบลูปปิด (close loop system) ดังแสดงในรูปที่ 3.2



รูปที่ 3.2 แสดงบล็อคไดอะแกรมของระบบปิดที่มีการป้อนกลับ

ในการวิเคราะห์ฟีดแบคแอมพลิไฟล์เออร์ ใช้สมมติฐาน 3 ประการ คือ

1. สัญญาณที่ไปด้านหน้า (Forward) จากอินพุทออกไปสู่เอาท์ จะผ่านไปทางแอมพลิไฟล์เออร์เท่านั้น

2. สัญญาณป้อนกลับ (Backward or feedback) จากเอาท์พุทออกไปอินพุท จะผ่านทางวงจรฟีดแบ็คเท่านั้น

3. ขนาดของสัญญาณฟีดแบ็ค X_f ไม่ขึ้นอยู่กับ R_L และ R_S

แอมพลิไฟล์เออร์ตัวหนึ่งมีค่าเกน A_0 ให้เอาท์พุทมีค่าเท่ากับ X_0 นำบางส่วนของสัญญาณเอาท์พุท มาป้อนกลับสัญญาณฟีดแบ็ค คือ สัญญาณบางส่วนของเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$X_f = FX_0 \; ; \; F \leq 1 \qquad (3.2)$$

เช่น ถ้าฟีดแบ็คกลับมา 5% F = 0.05

F เรียกว่า ฟีดแบ็คแฟคเตอร์

สัญญาณ ฟีดแบ็ค X_f ก็จะถูกนำไปรวมกับอินพุทแล้วจึงนำไปป้อนให้กับวงจรขยาย X_o อาจเป็นผลบวกหรือผลต่างของอินพุท X_{in} กับสัญญาณฟีดแบ็ค X_f ขึ้นอยู่กับเฟสของ X_{in} กับ X_f

สัญญาณ X_e ถูกเรียกว่า สัญญาณเออร์เรอร์ (error signal) ในการออกแบบวงจรวีซีโอจะใช้การป้อนกลับแบบบวก คือ X_f กับ X_{in} มีเฟสเหมือนกัน

$$X_e = X_f + X_{in} \qquad (3.3)$$

แต่จากสมการที่ (3.2) $X_f = Fx_o$ ดังนั้นสมการ (3.3) จะเป็น

$$X_e = X_f + Fx_o \qquad (3.4)$$

จากวงจรในรูปที่ 3.2 จะได้

$$X_0 = A_0 X_e$$

หรือ

$$X_e = X_0 / A_0 \qquad (3.5)$$

แทนค่าในสมการ (3.5) ลงใน สมการ (3.4) แล้วจัดรูปใหม่จะได้

$$AF = X_0 / X_{in} = A_0 / 1 - A_0F \qquad (3.6)$$

ค่าของ X_0 / X_{in} ก็คือค่าเกนของระบบ

AF เรียกว่าเกนของลูปปิด (Close loop gain)

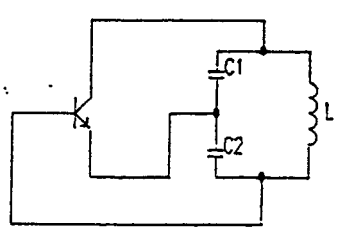
ทฤษฎีของบราคเฮาท์เช่นได้สรุปเงื่อนไขสำคัญที่ทำให้เกิดการออสซิเลทไว้ 2 ประการ คือ

1. สัญญาณที่ป้อนกลับมาจะต้องมีเฟสเหมือนกับสัญญาณอินพุทหรือเฟสของลูปจะต้องมีค่าเป็นศูนย์หรือ 2π เรเดียน

2. ค่าของลูปเกน (A_0F) จะต้องมีค่ามากกว่าหรือเท่ากับ 1.00

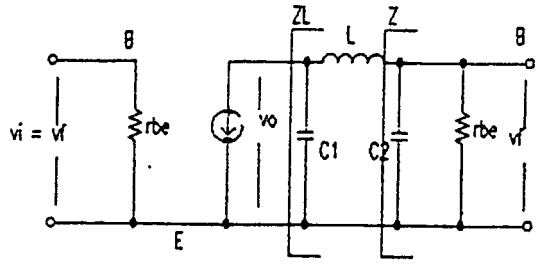
3.1.2 คอลพิทส์ออสซิลเลเตอร์ (Colpits oscillator)

เป็นวงจรแทงค์ที่ทำให้เกิดการออสซิลเลท ดังแสดงดังในรูปที่ 3.3



รูปที่ 3.3 แสดงวงจรคอลพิทส์ออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงวงจรเสมือนของวงจรคอลพิทส์ออสซิลเลเตอร์

จากรูปจะได้

$$Z = X_{02} // r_{be} = r_{be} / (j\omega r_{be} c_2 + 1) \quad (3.7)$$

และ $Z = X_{01} // (X_L + Z)$

$$= X_{01} (X_L + Z) / (X_{01} + X_L + Z) \quad (3.8)$$

หาค่าโอเพนลูปเกนของวงจรโดยคิด Z_L เป็นโหลดวงจร ซึ่ง

$$A_0 = Vce / Vbe = - \beta X_{01} (X_L + Z) / [r_{be} (Xc1 + X_L + Z)] \quad (3.9)$$

$$V_f = V_0 Z / (Z + X_L)$$

$$F = V_f / V_0 = Z / (Z + X_L) \quad (3.10)$$

ดังนั้นค่าของลูปเกนเป็น

$$A_0 F = -\beta X_{01} Z / [rbe (X_{01} + X_L + Z)] \quad (3.11)$$

จากเงื่อนไขข้อ 1 ของบราคเฮาท์เซ่นซึ่งที่ความถี่ฟันดาเมนทอลของการออสซิลเลท ω_0 เป็นเฟสชิฟของลูปจะมีค่าเป็นศูนย์จะได้ว่า

$$\omega_0 = 1/L \sqrt{ C_1 C_2 / (C_1 + C_2) } \quad (3.12)$$

จากเงื่อนไขข้อ 2 จะเกิดการออสซิลเลทได้เมื่อค่าของลูปเกนมีค่ามากกว่าหรือเท่ากับ 1.00 ดังนั้น

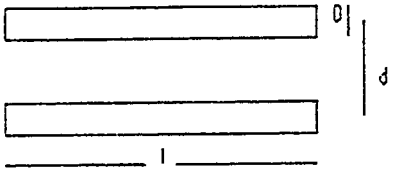
$$A_0 F > 1 \quad (3.13)$$

แล้วค่า $$\beta (\omega_0) > C_1 / C_2 \quad (3.14)$$

ทรานซิสเตอร์ที่ใช้จะต้องมีค่า β ที่ความถี่ ω_0 อย่างน้อยเป็น C_1 / C_2 วงจรจะออสซิลเลทได้ C_1 และ C_2 นี้จะต้องคิด C ภายในตัวทรานซิสเตอร์ด้วย

3.1.3 การหาค่าความต้านทานภายใน ใน L ที่ใช้ในความถี่สูง

โดยการใช้เส้นลวดทองแดงที่มีเส้นผ่านศูนย์กลาง D ความยาว l มาโค้งงอให้มีระยะห่างกัน d ดังแสดงในรูป 3.5



รูปที่ 3.5 แสดงลักษณะของค่าความเหนี่ยวนำที่ใช้ในวงจรความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ L คือ ค่าความเหนี่ยวนำ (เฮนรี่)

μ_0 คือ เพอร์มีบิลิตี้ของอากาศมีค่าเท่ากับ $4\pi * 10^7$ (H / m)

D คือ เส้นผ่านศูนย์กลางของเส้นลวด (นิ้ว)

d คือ ระยะห่างระหว่างเส้นลวด (นิ้ว)

δ คือ skin depth

$$\delta = \sqrt{1 / \mu \pi \sigma} \qquad (3.15)$$

$\mu = \mu_0 \mu r$

μr = เพอร์มีบิลิตี้ของทองแดง

σ = ค่าความนำไฟฟ้าของทองแดง มีค่าเท่ากับ $5.82 * 10^7$

จะได้ค่าความต้านทานภายใน L คือ

$R = \rho l / A$

ρ คือ สภาพต้านทานไฟฟ้าของทองแดง

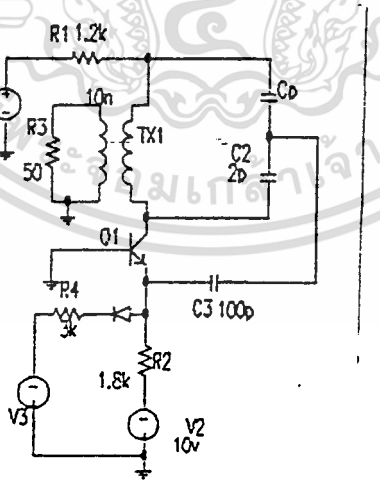
l คือ ความยาวลวดทองแดง

$$\therefore L = (\mu_0 l / \pi) \ln (d / D) \qquad (3.16)$$

แทนค่า L ที่ได้ลงในสมการก็จะได้ค่า R ซึ่งสามารถนำไปใช้ในการหาค่า Q ของ L ได้คือ

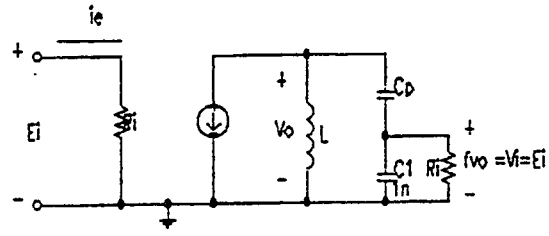
$$Q = \omega L / R \qquad (3.17)$$

จากหลักการออกแบบเราสามารถออกแบบวงจรวีซีโอได้ดังแสดงในรูปที่ 3.6



รูปที่ 3.6 ก. แสดงวงจรวีซีโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 ข. แสดงวงจรเสมือนของวงจรวีซีโอ

จากรูป 3.6 ข. สามารถคำนวณหาความถี่ได้ดังนี้

$$Ri = r_e // 1/j\omega C_{be}$$

$$= (r_e . 1/j\omega C_{be}) / (r_e + 1/j\omega C_{be})$$

$$= r_e / (1 + j\omega C_{be} r_e) \quad (3.18)$$

$$Vo = \alpha i_e Xc_{bc} // XL // (Xc_p + Z_o) \quad (3.19)$$

$$A(s) = Vo/Vin = (\alpha i_e Xc_{bc} // XL // (Xc_p+Zo) / i_e R_i$$

$$= \{(\alpha Xc_{bc} // X_L // (Xc_p + Zo)\} /Ri \quad (3.20)$$

$$Zo = Xc_1 // R_i \quad (3.21)$$

$$AF_v = A/(1- Af) \quad (3.22)$$

$$fVo = VoZo / (Xc_p + Zo) \quad (3.23)$$

$$f = Zo / (Xc_p+Zo) \quad (3.24)$$

$$Af = \{ (\alpha Xc_{bc} // XL // (Xcp + Zo) \}. Zo/ Ri(Xc_p+Zo)$$

$$= (\alpha / R_i).\{ [Xc_{bc} XL / (Xc_{bc} + XL)] // (Xc_p+Zo) \}. Zo / (Xc_p +Zo)$$

$$=\{ (\alpha/R_i). Xc_{bc} XL / (Xc_{bc} + XL)\} .\{ (Xc_p +Zo) / [Xc_{bc} Xl / (Xc_{bc}+xL)]+Xc_p+Zo). Zo /$$

$$(X_{cp}+Zo)$$

$$= (\alpha/R_i) .[(Xc_{bc} XL) / (Xc_{bc} +XL)] . Zo / [(Xc_{bc} XL) +(Xc_p +Zo)(Xc_{bc} +XL)] / (Xc_{bc}+XL)$$

$$=(\alpha / R_i) [Xc_{bc} XL Zo] / [Xc_{bc} Xl + (Xc_p +Zo)(Xc_{bc} +Xt)] \quad (3.25)$$

เนื่องจาก Af = 1 ดังนั้นจะได้

$$[(\alpha/ r_e) / 1+j\omega C_{be} r_e].[1 / j\omega C_{bc}].[j\omega L] . [1 / j\omega C_1] . \{ r_e/ (1+ j\omega C_{be} r_e) \} / \{ 1/j\omega C_1 + r_e/ (1+$$

$$j\omega C_{be} r_e) \} = Xc_{bc} XL +(Xc_p +Zo) (Xc_{bc} + XL) \quad (3.26)$$

$$\alpha.[(1 / j\omega c_{bc}) .j\omega L .(1/ j\omega C_1)] / \{ (1/ j \omega C_1)+(r_e / 1 +j\omega c_{be} r_e) \} = (Xc_{bc} XL) + (Xc_p +Zo) (Xc_{bc} +$$

$$XL)$$

$$\alpha (1/j \omega c_{bc}) (j\omega L) / \{1+ r_e .j\omega c_1 / (1+j\omega C_{be} r_e) \}$$

$$= (1/ j\omega C_{bc}) (j\omega L) + [(1/ j\omega Cp) + [(1/j\omega C_1).(r_e / (1+j\omega C_{be} r_e) / (1/j\omega C_1) + r_e /1+(j C_{be} r_e)] (1 / j\omega Cbc$$

$$+ j\omega L)$$

$$= (1 / j\omega C_{bc}) (j\omega L) +\{ 1 / j\omega C_p +\{ r_e / (1+j \omega C_p)\} / [1+ r_e j \omega c_1 /(1+ j\omega C_{be} r_e)] \} (1 / j\omega C_{bc} + j\omega L)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\alpha(1/j\omega C_{bc}) / [\, 1+r_e j\omega C_1/(\, 1+j\omega C_{be}r_e\,)\,] = (\, 1/j\omega C_{bc}\,) + (\, 1/j\omega L\,)\{(\, 1/j\omega C_p\,) + (\, re / 1+j\omega C_{be}r_e\,) / (1+[\, r_e j\omega C_1 / (\, 1+j\omega C_{be}r_e\,)]\}\}(\, 1 / j\omega C_{bc} + j\omega L\,)$$

$$\alpha / (\, 1+r_e j\omega C_1 / [1+j\omega C_{be}r_e\,]\,) = 1+(\, j\omega C_{bc} / j\omega L\,)\{(\, 1/j\omega C_p\,) + (\, re / 1+ j\omega C_{be}r_e\,) / (\, 1+[\, rej\omega C1\,] / 1+ j\omega C_{be}r_e\,)\}(\, 1 / j\omega C_{bc}+j\omega L\,)$$

$$\alpha = 1+ r_e j\omega C_1 / (\, 1+j\omega C_{be}r_e\,) +(\, j\omega C_{bc} / j\omega L\,)(\, 1+r_e j\omega C_1 / [\, 1+ j\omega C_{be}r_e\,]\,)\{(\, 1 / j\omega C_p + (\, r_e / [\, 1+j\omega C_{be}r_e\,]\,) / (\, 1+r_e j\omega C_1 / [\, 1+j\omega C_{be}r_e\,]\,)\}(\, 1 / j\omega C_{bc} +j\omega L\,)$$

$$\alpha = 1+r_e j\omega C_1 / (\, 1+ j\omega C_{be}r_e\,) + (\, j\omega C_{bc} / j\omega L\,)(\, 1 / j\omega C_p + r_e j\omega C_1 / [\, 1+j\omega C_{be}r_e\,]j\omega C_p + r_e / [1+j\omega C_{be}r_e\,]\,)\{(\, 1 / j\omega C_{bc} + j\omega L\,)$$

$$= 1+r_e j\omega C_1 / (\, 1+j\omega C_{be}r_e\,)+(\, 1 / j\omega C_p + r_e j\omega C_1 / [\, 1+ j\omega C_{be}r_e\,]\,j\omega C_p + r_e / [\, 1+ j\omega C_{be}r_e\,]\,)\{(\, 1 / j\omega L + j\omega C_{bc}\,)$$

$$= 1+ r_e j\omega C_1 / [\, 1+j\omega C_{be}r_e\,] + 1 / j\omega C_p j\omega L + j\omega C_{bc} / j\omega C_p + r_e j\omega C_1 / [\, 1+j\omega C_{be}r_e\,]j\omega C_p j\omega L + r_e j\omega C_1 j\omega C_{bc} / [\, 1+ j\omega C_{be}r_e\,]j\omega C_p + re / [\, 1+j\omega C_{be}r_e\,]j\omega L + r_e j\omega C_{bc} / [1+ j\omega C_{be}r_e\,]\,)$$

เพื่อที่จะหาค่าของ ω ดังนั้นจึงได้สมการดังนี้

$$r_e j\omega C_1 / [\, 1+j\omega C_{be}r_e\,] + r_e j\omega C_1 / [\, 1+ j\omega C_{be}r_e\,]j\omega C_p j\omega L + r_e j\omega C_1 j\omega C_{bc} / [\, 1+ j\omega C_{be}r_e\,]j\omega C_p + r_e / [\, 1+ j\omega C_{be}r_e\,]j\omega L + r_e j\omega C_{bc} / [\, 1+ j\omega C_{be}r_e\,] = 0$$

$$j\omega C_1 + C_1 / C_p j\omega L + C_1 j\omega C_{bc} / C_p + 1 / j\omega L + j\omega C_{bc} = 0$$

$$j\omega (\, C_1 + C_1 C_{bc} / C_p + C_{bc}\,) + (\, 1 / j\omega\,)(\, C_1 / C_p L + 1 / L\,) = 0$$

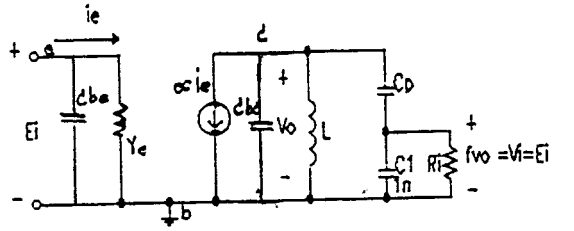
$$\omega^2 = (\, C_1 / C_p L + 1 / L\,) / (\, C_1 + C_1 C_{bc} / C_p + C_{bc}\,)$$

$$= \{(\, C_1 + C_p\,) / C_p L\} / (\, C_1 C_p + C_1 C_{bc} + C_p C_{bc}\,) / C_p$$

$$= (\, C_1 + C_p\,) / L (\, C_1 C_p + C_1 C_{bc} + C_p C_{bc}\,)$$

$$\omega = (\, C_1 + C_p\,) / L (\, C_1 C_p + C_1 C_{bc} + C_p C_{bc}\,) \qquad (3.27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 ข. แสดงวงจรเสมือนของวงจรวีซีโอ

จากรูป 3.6 ข. สามารถคำนวณหาความถี่ได้ดังนี้

$$Ri = r_e \,//\, 1/j\omega C_{be}$$

$$= (r_e \,.\, 1/j\omega C_{be}) / (r_e + 1/j\omega C_{be})$$

$$= r_e / (1 + j\omega C_{be} r_e) \qquad (3.18)$$

$$Vo = \alpha i_e Xc_{bc} \,//\, XL \,//\, (Xc_p + Z_o) \qquad (3.19)$$

$$A(s) = Vo/Vin = (\alpha i_e Xc_{bc} \,//\, XL \,//\, (Xc_p + Zo) / i_e R_i$$

$$= \{(\alpha Xc_{bc} \,//\, X_L \,//\, (Xc_p + Zo)\} / Ri \qquad (3.20)$$

$$Zo = Xc_1 \,//\, R_i \qquad (3.21)$$

$$AF_v = A/(1 - Af) \qquad (3.22)$$

$$fVo = VoZo / (Xc_p + Zo) \qquad (3.23)$$

$$f = Zo / (Xc_p + Zo) \qquad (3.24)$$

$$Af = \{ (\alpha Xc_{bc} \,//\, XL \,//\, (Xcp + Zo) \}. Zo / Ri(Xc_p + Zo)$$

$$= (\alpha / R_i).[[Xc_{bc} XL / (Xc_{bc} + XL)] \,//\, (Xc_p + Zo)]. Zo / (Xc_p + Zo)$$

$$= \{ (\alpha / R_i). Xc_{bc} XL / (Xc_{bc} + XL) \} .[(Xc_p + Zo) / [Xc_{bc} .Xl / (Xc_{bc} + xL)] + Xc_p + Zo]. Zo /$$

$$(X_{cp} + Zo)$$

$$= (\alpha / R_i) .[(Xc_{bc} .XL) / (Xc_{bc} + XL)] . Zo / [(Xc_{bc} .XL) + (Xc_p + Zo)(Xc_{bc} + XL)] / (Xc_{bc} + XL)$$

$$= (\alpha / R_i) [Xc_{bc} .XL .Zo] / [Xc_{bc} .Xl + (Xc_p + Zo)(Xc_{bc} + XL)] \qquad (3.25)$$

เนื่องจาก Af = 1 ดังนั้นจะได้

$$[(\alpha / r_e) / 1 + j\omega C_{be} r_e].[1 / j\omega C_{bc}].[j\omega L) . [1 / j\omega C_1] . \{ r_e / (1 + j\omega C_{be} r_e) \} / \{ 1/j\omega C_1 + r_e / (1 +$$

$$j\omega C_{be} r_e) \} = Xc_{bc} .XL + (Xc_p + Zo) (Xc_{bc} + XL) \qquad (3.26)$$

$$\alpha .[(1 / j\omega c_{bc}) .j\omega L .(1/ j\omega C_1)] / \{ (1/ j\omega C_1) + (r_e / 1 + j\omega c_{be} r_e) \} = (Xc_{bc} .XL) + (Xc_p + Zo) (Xc_{bc} +$$

$$XL)$$

$$\alpha (1/j\omega c_{bc}) (j\omega L) / [1 + r_e .j\omega c_1 / (1 + j\omega C_{be} r_e)]$$

$$= (1/ j\omega C_{bc}) (j\omega L) + [(1/ j\omega Cp) + [(1/j\omega C_1).(r_e / (1+j\omega C_{be} r_e) / (1/j\omega C_1) + r_e /1+(j C_{be} r_e)] (1 / j\omega Cbc$$

$$+ j\omega L)$$

$$= (1 / j\omega C_{bc}) (j\omega L) + \{ 1 / j\omega C_p + [r_e / (1 + j \omega C_p)] / [1 + r_e j \omega c_1 / 1 + j\omega C_{be} r_e)] \} (1 / j\omega C_{bc} + j\omega L)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\alpha(1/j\omega C_{bc}) / [\ 1+r_e j\omega C_1/(\ 1+j\omega C_{be}r_e\ )\ ] = (\ 1/j\omega C_{bc}\ ) + (\ 1/j\omega L\ )\{(\ 1/j\omega C_p\ ) + (\ re\ /\ 1+j\omega C_{be}r_e\ ) / (1+[\ r_e j\omega C_1\ /\ (\ 1+j\omega C_{be}r_e\ )])\}(\ 1\ /\ j\omega C_{bc} + j\omega L\ )$$

$$\alpha\ /\ (\ 1+r_e j\omega C_1\ /\ [1+j\omega C_{be}r_e\ ]\ ) = 1+(\ j\omega C_{bc}\ /\ j\omega L\ )\{(\ 1/j\omega C_p\ ) + (\ re\ /\ 1+\ j\omega C_{be}r_e\ )\ /\ (\ 1+\ [\ rej\omega C1\ ] / 1+\ j\omega C_{be}r_e\ )\}(\ 1\ /\ j\omega C_{bc}+j\omega L\ )$$

$$\alpha = 1+\ r_e j\omega C_1\ /\ (\ 1+j\omega C_{be}r_e\ ).+(\ \ j\omega C_{bc}\ /\ j\omega L\ )\{\ 1+r_e j\omega C_1\ /\ [\ 1+\ j\omega C_{be}r_e\ ]\ \}\{\ 1\ /\ j\omega C_p\ +$$

$$(\ r_e\ /\ [\ 1+j\omega C_{be}r_e\ ]\ )\ /\ (\ 1+r_e j\omega C_1\ /\ [\ 1+j\omega C_{be}r_e\ ]\ )\}\}(\ 1\ /\ j\omega C_{bc}+j\omega L\ )$$

$$\alpha = 1+r_e j\omega C_1\ /\ (\ 1+\ j\omega C_{be}r_e\ ) + (\ j\omega C_{bc}\ /\ j\omega L\ )(\ 1\ /\ j\omega C_p + r_e j\omega C_1\ /\ [\ 1+j\omega C_{be}r_e\ ]j\omega C_p$$

$$+r_e\ /\ [1+j\omega C_{be}r_e\ ]\ )\{\ 1\ /\ j\omega C_{bc} + j\omega L\ )$$

$$= 1+r_e j\omega C_1\ /\ (\ 1+j\omega C_{be}r_e\ )+(\ 1\ /\ j\omega C_p + r_e j\omega C_1\ /\ [\ 1+\ j\omega C_{be}r_e\ ]\ j\omega C_p + r_e\ /\ [\ 1+\ j\omega C_{be}r_e\ ]\ )(\ 1\ /\ j\omega L + j\omega C_{bc}\ )$$

$$= 1+\ r_e j\omega C_1\ /\ [\ 1+j\omega C_{be}r_e\ ] + 1\ /\ j\omega C_p j\omega L + j\omega C_{bc}\ /\ j\omega C_p + r_e j\omega C_1\ /$$

$$[\ 1+j\omega C_{be}r_e\ ]j\omega C_p j\omega L + r_e j\omega C_1 j\omega C_{bc}\ /\ [\ 1+\ j\omega C_{be}r_e\ ]j\omega C_p + re\ /\ [\ 1+j\omega C_{be}r_e\ ]j\omega L + r_e j\omega C_{bc}\ /$$

$$[1+\ j\omega C_{be}r_e\ ]\ )$$

เพื่อที่จะหาค่าของ ω ดังนั้นจึงได้สมการดังนี้

$$r_e j\omega C_1\ /\ [\ 1+j\omega C_{be}r_e\ ] + r_e j\omega C_1\ /\ [\ 1+\ j\omega C_{be}r_e\ ]j\omega C_p j\omega L + r_e j\omega C_1 j\omega C_{bc}\ /\ [\ 1+\ j\omega C_{be}r_e\ ]j\omega C_p + r_e\ /\ [\ 1+\ j\omega C_{be}r_e\ ]j\omega L + r_e j\omega C_{bc}\ /\ [\ 1+\ j\omega C_{be}r_e\ ] = 0$$

$$j\omega C_1 + C_1\ /\ C_p j\omega L + C_1 j\omega C_{bc}\ /\ C_p + 1\ /\ j\omega L + j\omega C_{bc} = 0$$

$$j\omega\ (\ C_1 + C_1 C_{bc}\ /\ C_p + C_{bc}\ ) + (\ 1\ /\ j\omega\ )(\ C_1\ /\ C_p L + 1\ /\ L\ ) = 0$$

$$\omega^2 = (\ C_1\ /\ C_p L + 1\ /\ L\ )\ /\ (\ C_1 + C_1 C_{bc}\ /\ C_p + C_{bc}\ )$$

$$= \{(\ C_1+C_p\ )\ /\ C_p L\}\ /\ (\ C_1 C_p + C_1 C_{bc} + C_p C_{bc}\ )\ /\ C_p$$

$$= (\ C_1 + C_p\ )\ /\ L\ (\ C_1 C_p + C_1 C_{bc} + C_p C_{bc}\ )$$

$$\omega = [(C_1 + C_p\ )\ /\ L\ (C_1 C_p + C_1 C_{bc} + C_p C_{bc}\ )]^{1/2} \qquad (3.27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.4 การโปรแกรมข้อมูลลงในอีพรอม

ในการใช้วงจรหาร N โดยใช้ไอซี MC145152 ค่าตัวหารที่เราใช้จะใช้ทั้งหมด 16 บิท คือ ตัวหาร N 10 บิท และตัวหาร A 6 บิท และตัว P เท่ากับ 64 ในการโปรแกรมค่าตัวหารจะใช้การอัดข้อมูลลงในอีพรอมโดยการกำหนดช่องความถี่ ตั้งแต่ 735.00 MHz ถึง 745.00 MHz และคำนวณค่า N กับ A สำหรับแต่ละความถี่โดยการคำนวณจากสมการ

$$N_T = fsynth / fr$$

$$N_T = PN + A$$

$$\therefore \quad N = fsynth / fr * P$$

$$A = B * P$$

B คือ เศษของ N

โดยที่ P = 64

fr คือ ความถี่อ้างอิง เท่ากับ 20 kHz

f_{synth} คือ ความถี่ที่ได้จากระบบสังเคราะห์ความถี่

N คือ ตัวหาร N มีค่าตั้งแต่ 3 - 1023

A คือ ตัวหาร A มีค่าตั้งแต่ 0 - 127

ค่า N กับ A ที่ได้จากการคำนวณและอัดลงในอีพรอมแสดงดังตารางที่ 3.1

ตารางที่ 3.1 แสดงค่าตัวหาร N และ A ในแต่ละความถี่

ช่องความถี่	ความถี่ (MHz)	แอดเดรส	N	A
1	735.0	00000	1000111110	001110
2	735.5	00001	1000111111	100111
3	736.0	00010	1000111111	000000
4	736.5	00011	1000111111	011001
5	737.0	00100	1001000000	110010
6	737.5	00101	1001000000	001011
7	738.0	00110	1001000000	100100
8	738.5	00111	1001000000	111101
9	739.0	01000	1001000001	010110
10	739.5	01001	1001000001	101111
11	740.0	01010	1001000010	001000
12	740.5	01011	1001000010	100001
13	741.0	01100	1001000010	111010

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่องความถี่	ความถี่ (MHz)	แอดเดรส	N	A
14	741.5	01101	1001000011	010011
15	742.0	01110	1001000011	101100
16	742.5	01111	1001000100	000101
17	743.0	10000	1001000100	011110
18	743.5	10001	1001000100	110111
19	744.0	10010	1001000101	010000
20	744.5	10011	1001000101	101001
21	745.0	10100	1001000110	000010

3.2 การออกแบบวงจรแบนด์พาสฟิลเตอร์

วงจรแบบฟิลเตอร์ที่ความถี่สูง จะเลือกใช้วงจรแลดเดอร์ฟิลเตอร์ (Ladder filter) ชนิดบัตเตอร์เวอร์ธ (Butterworth) โดยการกำหนด

- ความถี่ศูนย์กลาง (f)
- แบนด์วิดธ์ (BW)
- จะต้องมีการลดทอนสัญญาณนอกแบนวิดธ์มากพอ เพื่อที่จะกำหนดสัญญาณข้างเคียงที่ไม่ต้องการออกไป

จากความต้องการนี้จึงเลือกสร้างวงจรฟิลเตอร์ชนิดบัตเตอร์เวอร์ธ (0.1 dB ripple) อันดับที่ 5 โดยมีค่านอร์มอลไลซ์ ดังนี้ (ดูค่าจากตารางในภาคผนวก)

C1 = 0.6180 F

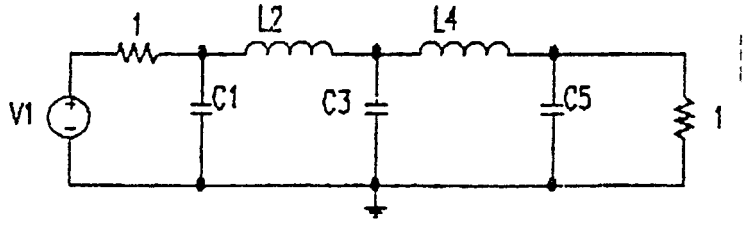
L2 = 1.6180 H

C3 = 2.000 F

L4 = 1.618 H

C5 = 0.618 F

Rs = RL = 1 Ω



รูปที่ 3.7 แสดงวงจรโลพาสฟิลเตอร์

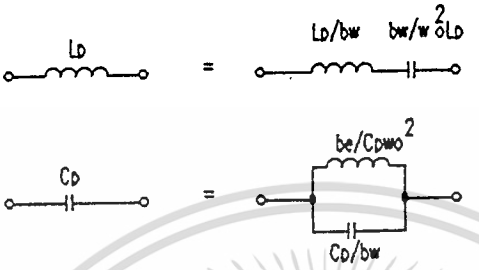
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $\omega = 2\pi f$

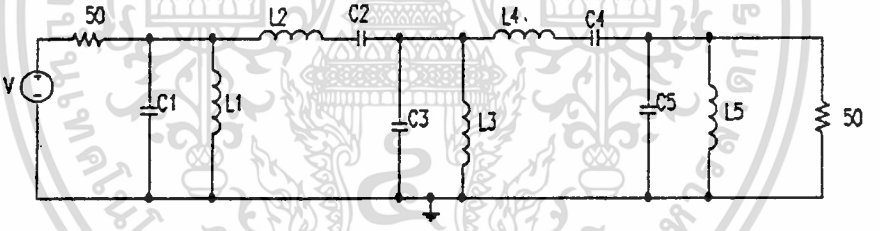
$\omega_0 = 1$

$bw = BW / f$

ทำการแปลงจากวงจรโลพาสฟิลเตอร์ไปเป็นวงจรแบนด์พาสฟิลเตอร์โดยที่



วงจรที่แปลงแล้วได้เป็น



รูปที่ 3.8 แสดงรูปแบบการต่อวงจรแบนด์พาสฟิลเตอร์

โดยความถี่ที่ใช้งานจริงมีค่า f MHz และมีความต้านทานที่ต่อมีค่า 50 โอห์ม ดังนั้นจึงทำการสเกลโดยจะได้ว่า

$$L\ new = (Km / Kf) Lold$$

$$C\ new = (1 / KmKf) Cold$$

โดยที่ $Km = 50$

$Kf = 2\pi f$

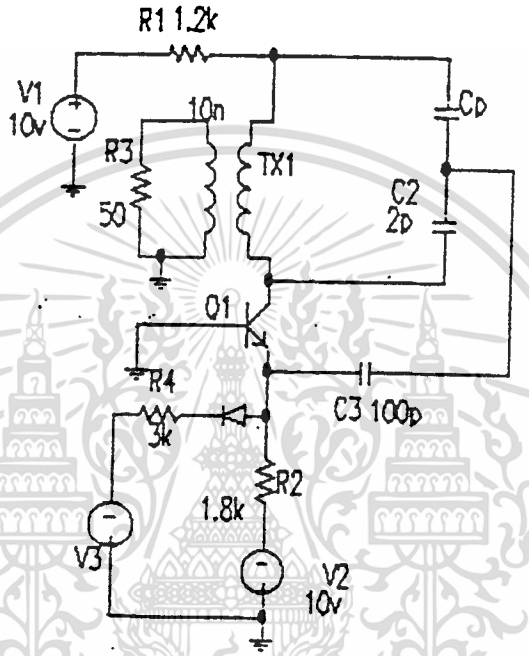
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดลองของวงจรวีซีโอ

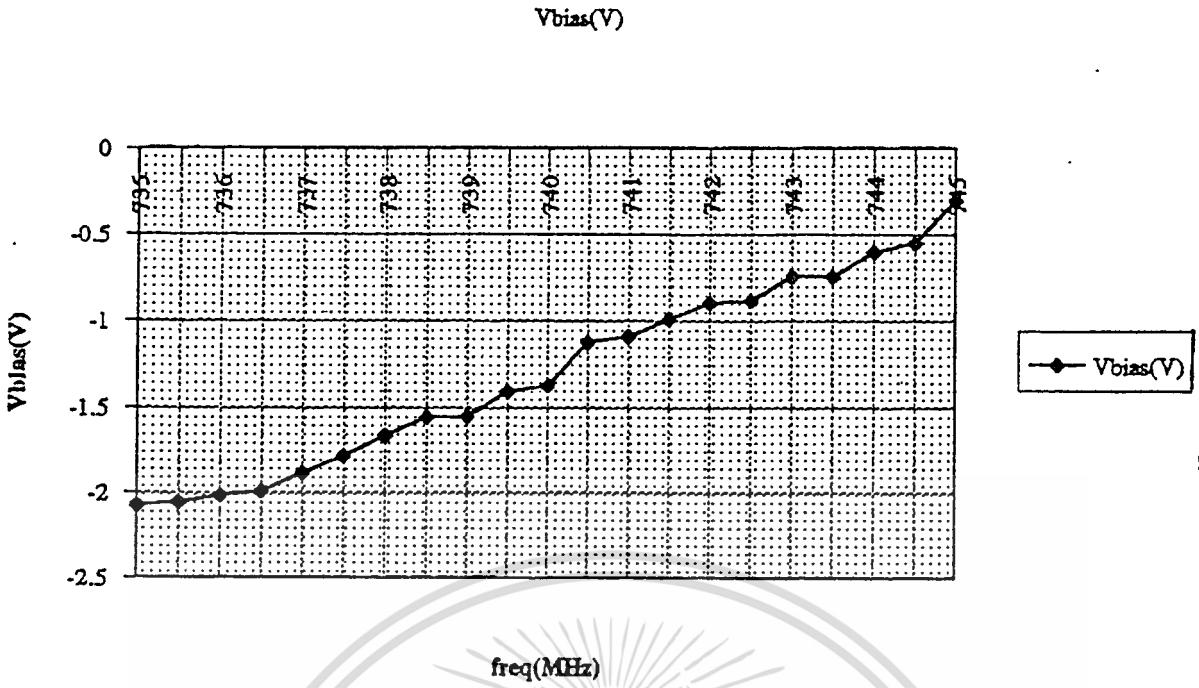
ในการทดลองจะใช้วีซีโอในการผลิตความถี่ซึ่งจะใช้วงจรลักษณะดังรูปที่ 4.1



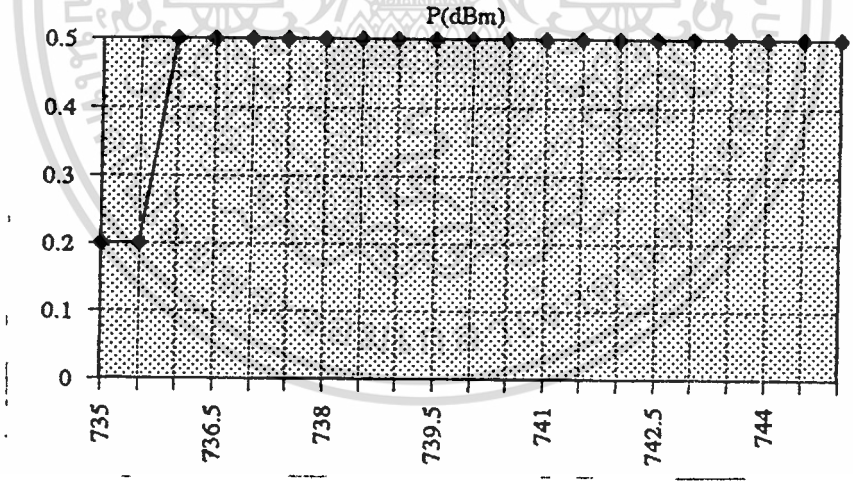
รูปที่ 4.1 แสดงวงจรวีซีโอที่ใช้ในการทดลอง

การทดลองทำได้โดยการป้อนสัญญาณไฟกระแสตรงที่ V_1 เท่ากับ 10 โวลท์ V_2 เท่ากับ -10 โวลท์ แล้วทำการวัดความถี่ที่เกิดการออสซิลเลตที่ความถี่ต่างๆที่ต้องการ โดยมีแรงดันควบคุม (voltage control) ที่สัมพันธ์กัน ผลดังรูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

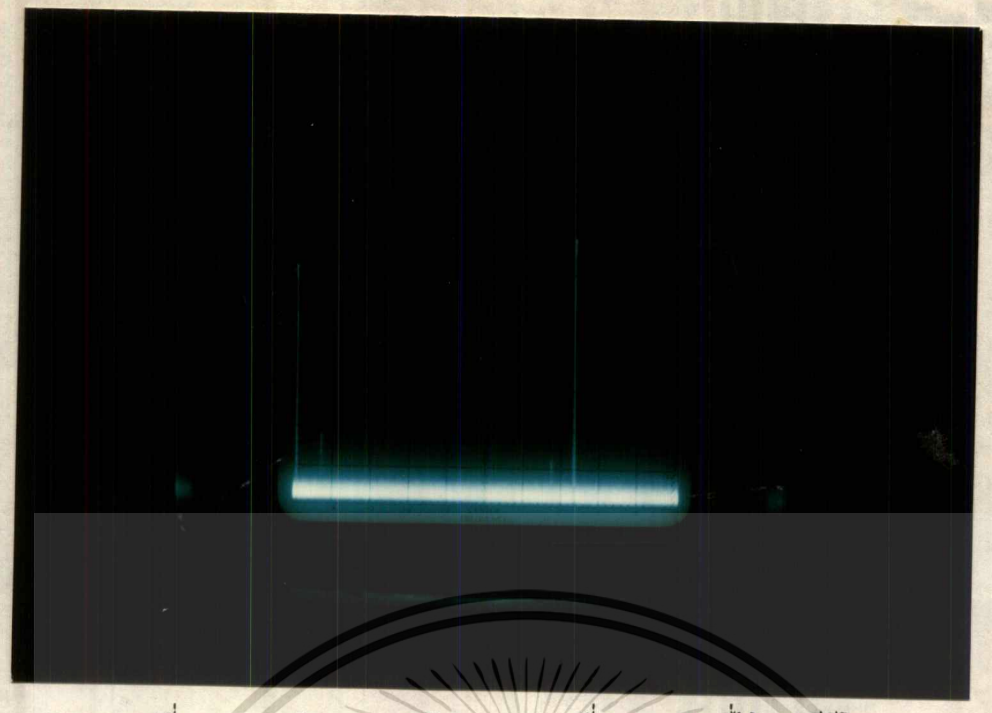


รูปที่ 4.2 แสดงความสัมพันธ์ระหว่างความถี่ที่ออสซิลเลตที่ความถี่ต่างๆกับแรงดันควบคุม



รูปที่ 4.3 แสดงความสัมพันธ์ระหว่างความถี่ที่ออสซิลเลตที่ความถี่ต่างๆกับค่าของกำลังงาน

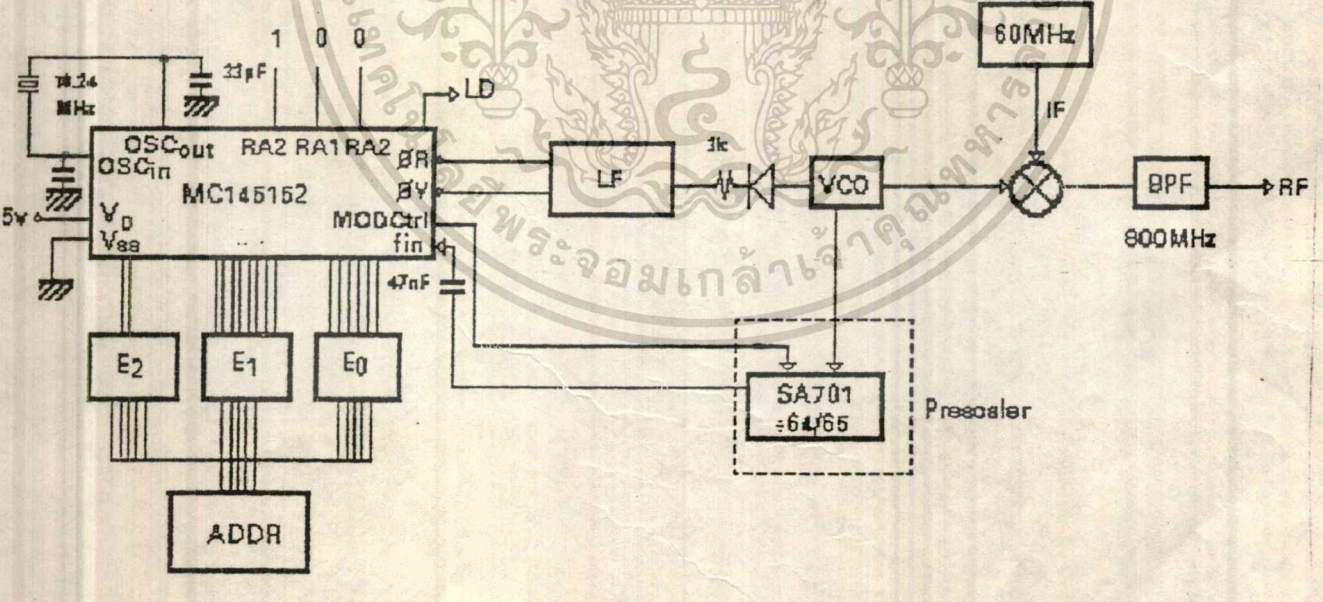
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงลักษณะของสัญญาณความถี่ 740 MHz ที่ได้จากวีซีโอ

4.2 ผลการทดลองของเฟสล็อคลูป

จากวงจรในรูปที่ 4.5 ทำการป้อนสัญญาณไฟเลี้ยงที่ V_1 เท่ากับ 10 โวลท์ V_2 เท่ากับ -10 โวลท์ จากนั้นทำการกดดิฟสวิตช์แอดแดรส แล้วดูความถี่ที่ออกมาว่าตรงกับความถี่ที่เราตั้งไว้หรือไม่ในแอดแดรสนั้นๆ



รูปที่ 4.5 แสดงวงจรของระบบสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยเมื่อป้อนไฟแล้วทำการตรวจสอบสัญญาณ ณ จุดต่างๆดังนี้

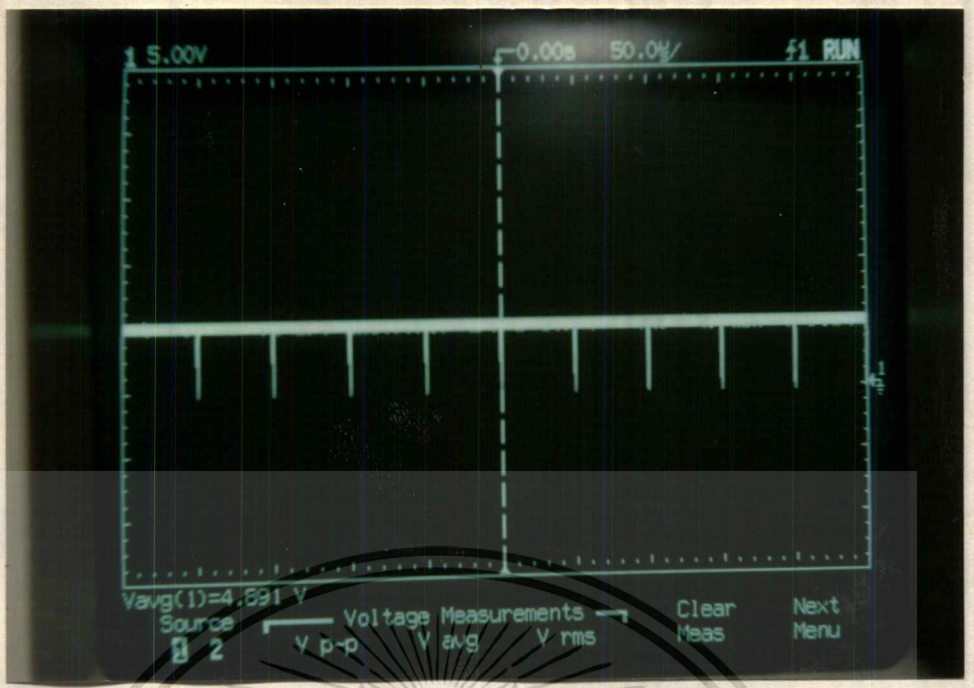
ตรวจสอบสัญญาณเอาท์พุตของวงจรหารว่าหารได้ถูกต้องหรือไม่ จากผลที่ได้เมื่อเราป้อนสัญญาณความถี่เท่ากับ 735.00 MHz เมื่อตรวจสอบที่จุดเอาท์พุตของวงจรหารจะได้ความถี่เท่ากับ 11.59 MHz แสดงว่าวงจรหารด้วยค่า 64

ที่ขาเอาท์พุทของคริสตอลออสซิลเลเตอร์ซึ่งจะนำมาเป็นสัญญาณความถี่อ้างอิง ความถี่ที่ออกมามีค่าเท่ากับ 10.23 MHz

หลังจากนั้นทำการทดสอบว่า เฟสล็อคลูปสามารถล็อคความถี่ได้หรือไม่ ผลจากการทดลองปรากฏว่าระบบสามารถล็อคความถี่ได้ โดยดูจากลักษณะสัญญาณของ ΦR และ ΦV ดังแสดงในรูป 4.6

รูปที่ 4.6 แสดงสัญญาณของ ΦR และ ΦV ที่ความถี่ 740 MHz ในสภาวะล็อค

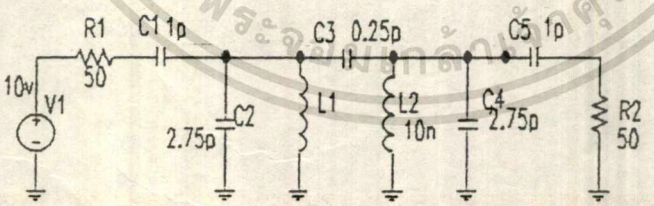
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แสดงลักษณะสัญญาณที่วัดได้จากขาล็อคดีเทค (LD) ในสภาวะล็อคไว้ที่ความถี่ 740 Mhz

4.3 การทดลองแบนด์พาสฟิลเตอร์

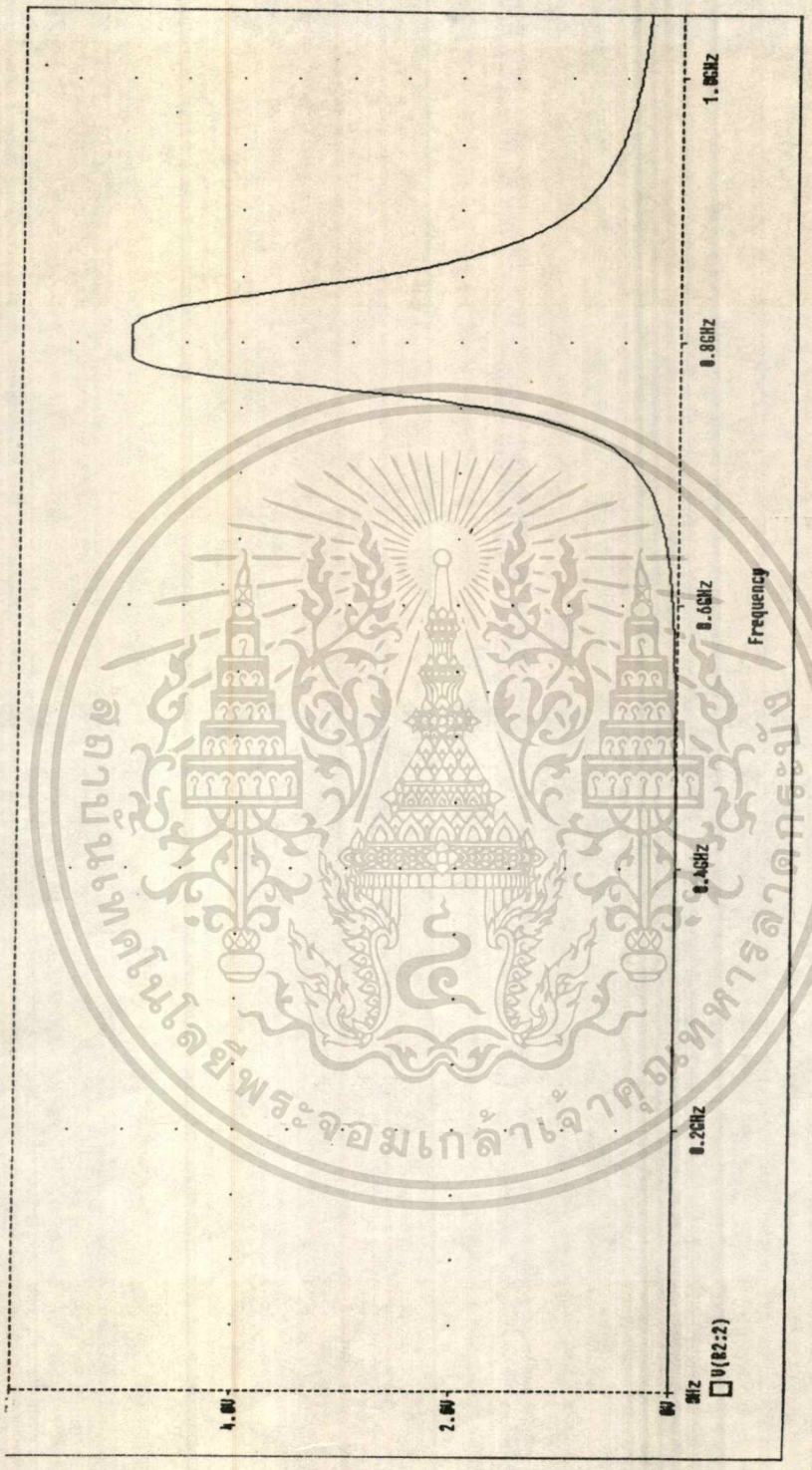
จากวงจรแบนด์พาสฟิวเตอร์ทางด้านส่งได้จากการคำนวณ จะใช้แบนด์พาสฟิวเตอร์ 800 MHz ดังแสดงในรูปที่ 4.8



รูปที่ 4.8 แสดงวงจรแบนด์พาสฟิลเตอร์ความถี่ 800 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

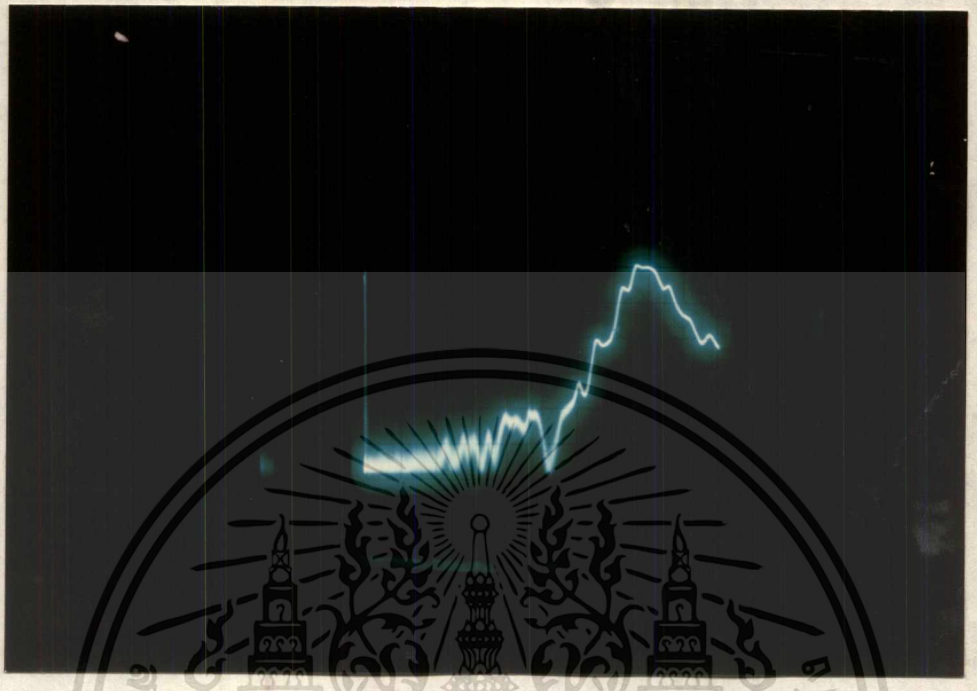
ผลการทดลองที่ได้จากการซิมูเลทโดยใช้โปรแกรม PSPICE แสดงดังรูปที่ 4.9



รูปที่ 4.9 แสดงผลจากการซิมูเลทวงจรแบนด์พาสฟิลเตอร์ 800 MHz

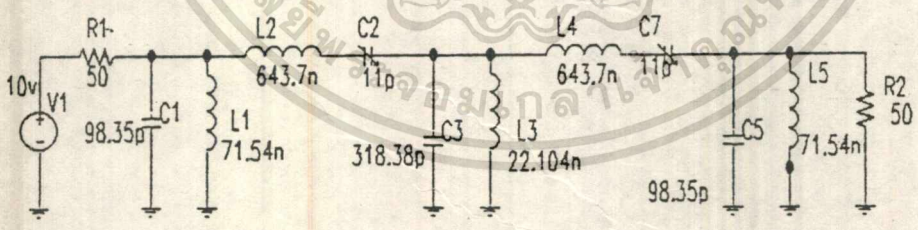
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองป้อนสัญญาณผ่านวงจรแบนด์พาสฟิลเตอร์ผลการทดลองจะได้สัญญาณเอาท์พุทซึ่งแสดงถึงช่วงความถี่ที่สามารถกรองได้แสดงดังรูปที่ 4.10



รูปที่ 4.10 แสดงลักษณะของสัญญาณที่ผ่านแบนด์พาสฟิลเตอร์ 800 MHz

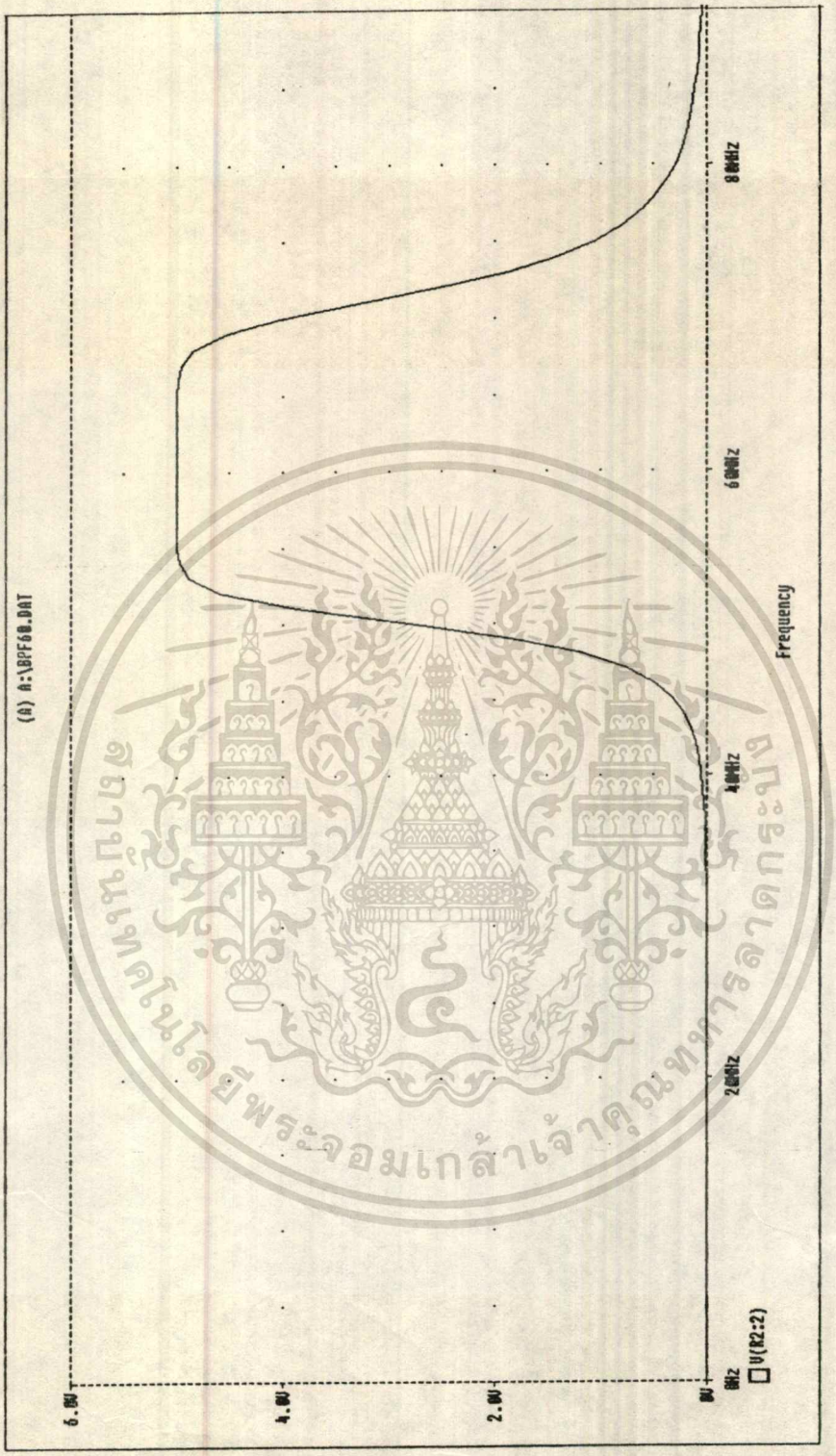
วงจรแบนด์พาสฟิลเตอร์ทางด้านรับความถี่ 60 MHz วงจรที่ได้จากการคำนวณแสดงดังรูปที่ 4.11



รูปที่ 4.11 แสดงวงจรแบนด์พาสฟิลเตอร์ความถี่ 60 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

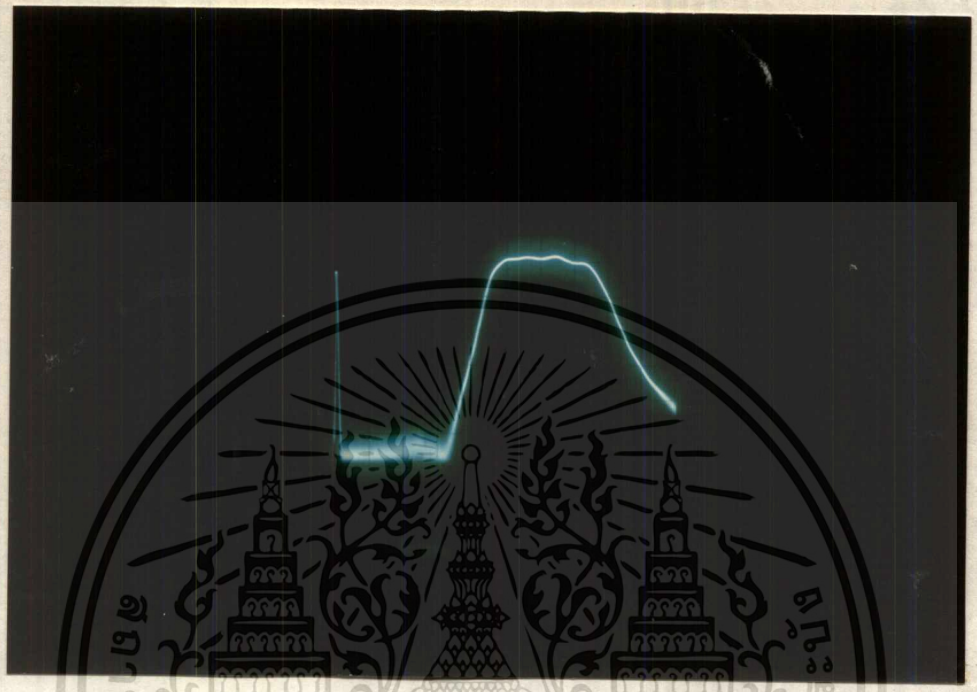
ผลการทดลองที่ได้จากการซิมูเลทโดยใช้โปรแกรม PSPICE แสดงดังรูปที่ 4.12



รูปที่ 4.12 แสดงผลจากการซิมูเลทวงจรแบนด์พาสฟิลเตอร์ 60 MHZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองป้อนสัญญาณผ่านวงจรแบนด์พาสฟิลเตอร์ผลจากการทดลองจะได้สัญญาณเอาท์พุทซึ่งแสดงถึงช่วงความถี่ที่สามารถกรองได้ แสดงดังรูปที่ 4.13

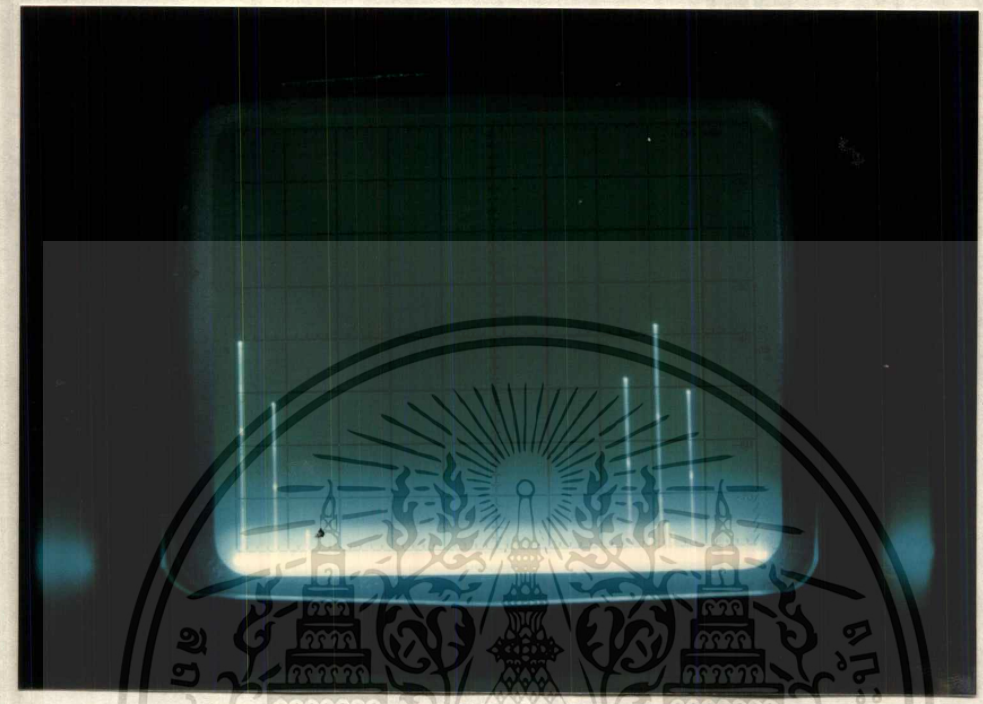


รูปที่ 4.13 แสดงลักษณะของสัญญาณที่ผ่านแบนด์พาสฟิลเตอร์ 60 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลการทดลองจากการผ่านมิกเซอร์

เมื่อผ่านสัญญาณเข้าสู่มิกเซอร์ผลการทดลองแสดงดังรูปที่ 4.14

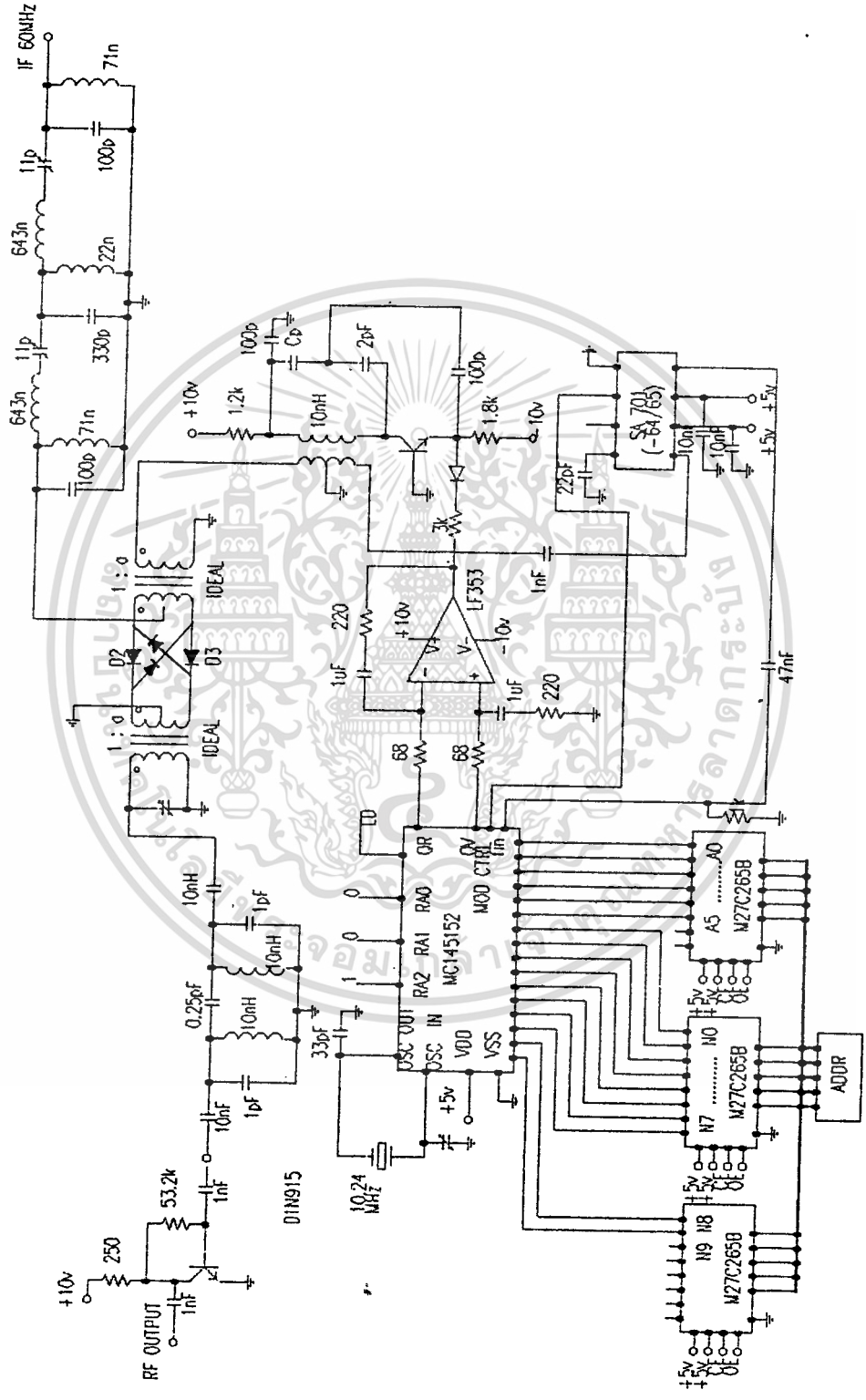


รูปที่ 4.14 แสดงผลการทดลองหลังจากผ่านมิกเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

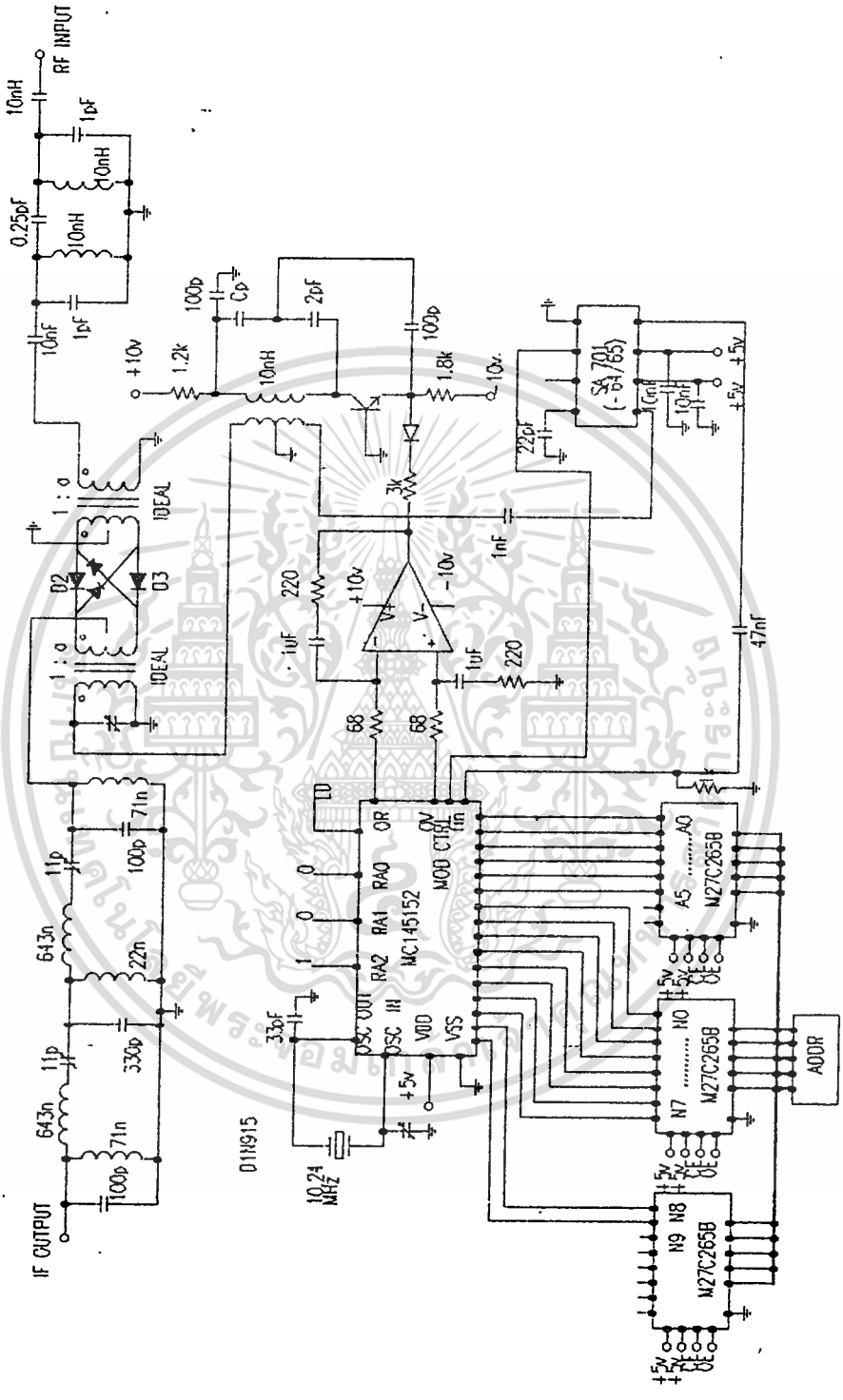
4.5 การทดลองระบบสังเคราะห์ความถี่

วงจรรวมของระบบสังเคราะห์ความถี่ที่ใช้ในการทดลองแสดงดังรูปที่ 4.15 และ 4.16



รูปที่ 4.15 แสดงวงจรของระบบสังเคราะห์ความถี่ทางภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 แสดงวงจรของระบบสังเคราะห์ความถี่ทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 แสดงผลการทดลองวงจรทางภาคส่ง

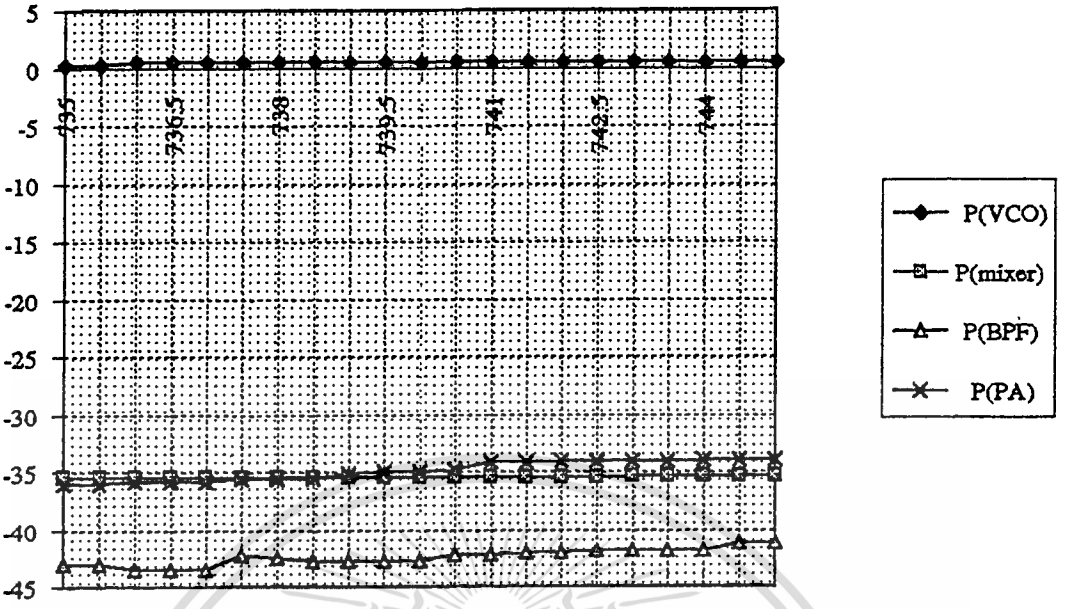
ความถี่ (MHz)	กำลังงานที่ได้จากวงจรวีซีโอ (dBm)	กำลังงานที่ออกจากมิกเซอร์ (dBm)	กำลังงานที่ออกจาก BPF (dBm)	กำลังงานที่ออกจาก PA (dBm)
735.0	0.2	-35.5	-43.0	-36.0
735.5	0.2	-35.5	-43.0	-36.0
736.0	0.5	-35.5	-43.5	-35.8
736.5	0.5	-35.5	-43.5	-35.8
737.0	0.5	-35.5	-43.5	-35.8
737.5	0.5	-35.5	-42.2	-35.6
738.0	0.5	-35.5	-42.5	-35.6
738.5	0.5	-35.5	-42.8	-35.6
739.0	0.5	-35.5	-42.8	-35.2
739.5	0.5	-35.5	-42.8	-35.0
740.0	0.5	-35.5	-42.2	-35.0
740.5	0.5	-35.5	-42.2	-34.8
741.0	0.5	-35.5	-42.0	-34.2
741.5	0.5	-35.5	-42.0	-34.2
742.0	0.5	-35.5	-41.8	-34.1
742.5	0.5	-35.5	-41.8	-34.1
743.0	0.5	-35.4	-41.8	-34.1
743.5	0.5	-35.4	-41.8	-34.1
744.0	0.5	-35.4	-41.2	-34.0
744.5	0.5	-35.4	-41.2	-34.0
745.0	0.5	-35.4	-41.2	-34.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

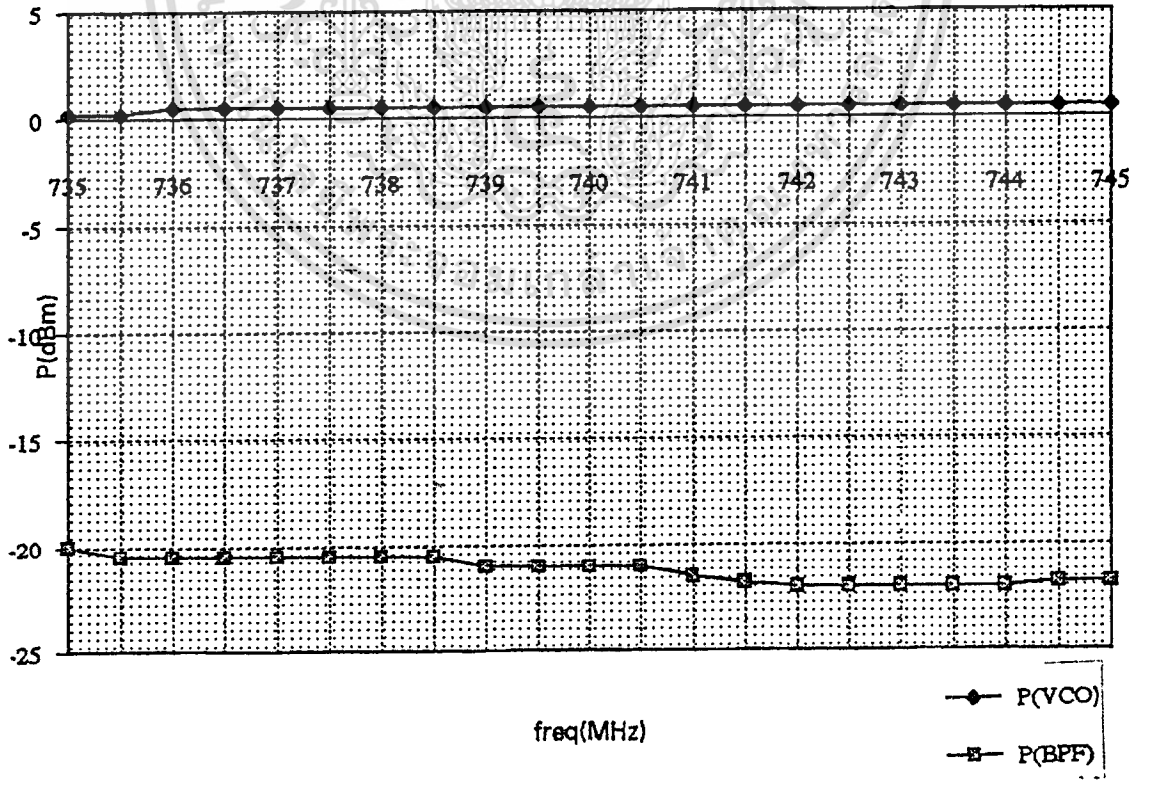
ตารางที่ 4.2 แสดงผลการทดลองวงจรทางภาครับ

ความถี่ (MHz)	กำลังงานที่ได้จากวงจรวีซีโอ (dBm)	กำลังงานที่ออกจาก BPF (dBm)
735.0	0.2	-20.0
735.5	0.2	-20.5
736.0	0.5	-20.5
736.5	0.5	-20.5
737.0	0.5	-20.5
737.5	0.5	-20.5
738.0	0.5	-20.5
738.5	0.5	-20.5
739.0	0.5	-21.0
739.5	0.5	-21.0
740.0	0.5	-21.0
740.5	0.5	-21.0
741.0	0.5	-21.5
741.5	0.5	-21.8
742.0	0.5	-22.0
742.5	0.5	-22.0
743.0	0.5	-22.0
743.5	0.5	-22.0
744.0	0.5	-22.0
744.5	0.5	-21.8
745.0	0.5	-21.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 แสดงความสัมพันธ์ระหว่างกำลังงานที่ความถี่ต่างๆทางภาคส่ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.18 แสดงความสัมพันธ์ระหว่างกำลังงานที่ความถี่ต่างๆทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 ความเพี้ยนทางฮาร์โมนิค (THD)

จากการวัดฮาร์โมนิคโดยใช้สเปกตรัมแอนาไลเซอร์จะได้ว่า

ฮาร์โมนิคที่ 1 ความถี่ 740 MHz ค่ากำลังงานที่วัดได้ 4 dBm

ฮาร์โมนิคที่ 2 ความถี่ 1480 MHz ค่ากำลังงานที่วัดได้ -16 dBm

จะเห็นว่าที่ฮาร์โมนิคสูงๆค่าของกำลังงานจะลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

สำหรับฟรีเควนซีซินธิไซเซอร์ที่เป็นชิ้นงานในภาคการศึกษานี้ เป็นการศึกษาต่อเนื่องมาจากภาคการศึกษาที่แล้ว ส่วนของวีซีโอคุณสมบัติที่ได้ยังไม่ดีพอสัญญาณที่ได้มีค่าของกำลังงานที่ต่ำ ซึ่งสัญญาณนี้เราต้องนำไปผสมกับสัญญาณ IF (Intermediate Frequency) ความถี่ 60 MHz โดยผ่านมิกเซอร์ ส่วนของฟรีเควนซีซินธิไซเซอร์ จะมีการป้อนค่าของตัวหาร N และ A กำหนดโดยการใช้ดิพสวิตช์ป้อนค่าของตัวหารเข้าไปโดยตรงซึ่งเป็นการไม่สะดวก ดังนั้นในภาคการศึกษานี้จึงได้มีการปรับปรุงโดยใช้การโปรแกรมค่าของตัวหาร N และ A ลงในอีพรอมเลย และมีการกำหนดค่าของแอดเดรสของอีพรอมแต่ละตัวโดยใช้สวิตช์

ในภาคการศึกษานี้ฟรีเควนซีซินธิไซเซอร์สามารถผลิตความถี่ได้ตามที่ต้องการคือ ตั้งแต่ 735-745 MHz ใช้ส่งสัญญาณความถี่ 21 ช่องสัญญาณ ช่องสัญญาณละ 500 kHz ตามที่เราโปรแกรมเอาไว้ และค่าของกำลังงานของสัญญาณความถี่ที่ได้จากวีซีโอมีค่าประมาณ 0 dBm จากนั้นนำสัญญาณที่ได้ผ่านเข้ามิกเซอร์ ค่ากำลังงานของสัญญาณที่ออกจากมิกเซอร์มีค่าประมาณ -35.5 dBm สัญญาณที่ออกจากมิกเซอร์ทางภาคส่งจะผ่านแบนด์พาสฟิลเตอร์ 800 MHz เอาท์พุทของสัญญาณที่ออกจากแบนด์พาสฟิลเตอร์จะมีความถี่ RF เป็น ความถี่ของวีซีโอ + ความถี่ IF ค่ากำลังงานที่ได้จะถูกลดทอนลงเหลือประมาณ -42 dBm ดังนั้นจึงนำไปผ่าน PA ซึ่งมีอัตราขยายประมาณ 8 dBm กำลังงานสุดท้ายที่ได้จะมีค่าประมาณ -36 dBm ส่วนทางด้านภาครับสัญญาณที่ออกจากมิกเซอร์จะผ่านแบนด์พาสฟิลเตอร์ 60 MHz ความถี่เอาท์พุทของสัญญาณที่ออกจากมิกเซอร์จะเป็น ความถี่ของสัญญาณ RF 800 MHz - ความถี่ของวีซีโอ จะได้ความถี่ IF ออกมา

สำหรับส่วนของแบนด์พาสฟิลเตอร์ทั้ง 60 MHz และ 800 MHz แบนด์วิดธ์ที่เราต้องการนั้นต้องเป็น 20 MHz แต่แบนด์พาสฟิลเตอร์ที่ทำได้มีแบนด์มากกว่า 20 MHzแต่เนื่องจากวงจรแบนด์พาสฟิลเตอร์การจะทำให้ได้ดีมีคุณสมบัติตามต้องการนั้นเป็นเรื่องยากพอสมควร โดยเฉพาะแบนด์พาสฟิลเตอร์ที่ความถี่สูงมากๆเพราะฉะนั้นส่วนนี้ควรจะได้รับการพัฒนาต่อไป

แนวทางการพัฒนา

สำหรับส่วนของแบนด์พาสฟิลเตอร์ยังไม่ดีพอจึงควรมีการพัฒนา โดยที่ค่าของพารามิเตอร์ต่างๆในวงจรควรจะค่าถูกต้องที่สุด โดยเฉพาะค่าของตัวอินดักเตอร์ ที่ได้จากการคำนวณและใช้ในวงจรความถี่สูงมีค่าน้อยมากจึงจำเป็นต้องทำขึ้นมาเอง โดยการพันเป็นขดลวดโดยใช้สูตรคำนวณจึงต้องมีวิธีการที่จะให้ได้ค่าที่ถูกต้องที่สุด จึงจะสามารถได้ฟิลเตอร์ที่มีคุณสมบัติที่ดีได้

การประยุกต์ใช้งาน

สามารถนำไปใช้งานโดยเป็นส่วนหนึ่งของวิทยุดิจิตอลความถี่ 800 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BFR90

MOTOROLA

6.2

The RF Line

NPN SILICON HIGH FREQUENCY TRANSISTOR

...designed primarily for use in high-gain, low-noise, small-signal amplifiers. Also used in applications requiring fast switching times.

- High Current-Gain – Bandwidth Product –
  f_T = 5.0 GHz (Typ) @ I_C = 14 mA
- Low Noise Figure –
  NF = 2.4 dB (Typ) @ f = 0.5 GHz
  = 3.0 dB (Typ) @ f = 1.0 GHz
- High Power Gain –
  G_{max} = 18 dB (Typ) @ f = 0.5 GHz
  = 12 dB (Typ) @ f = 1.0 GHz

f_T = 5.0 GHz @ 14 mA

HIGH FREQUENCY TRANSISTOR

NPN SILICON

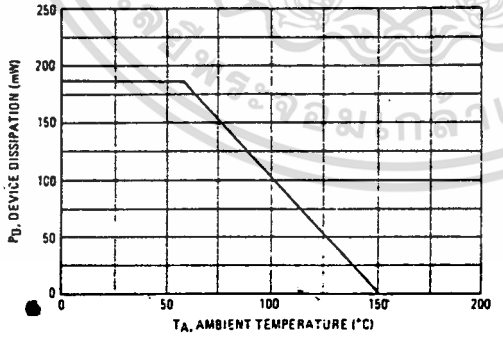
MAXIMUM RATINGS

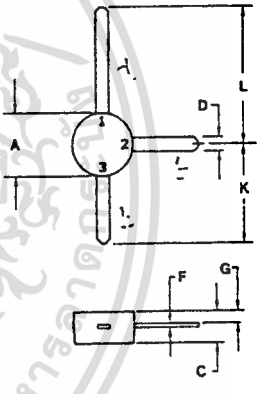
Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	15	Vdc
Collector-Base Voltage	V_{CBO}	20	Vdc
Emitter-Base Voltage	V_{EBO}	3.0	Vdc
Collector Current – Continuous	I_C	30	mAdc
Total Device Dissipation @ T_A = 60°C	P_D	180	mW
Derate Above 60°C		2.0	mW/°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance Junction to Ambient	$R_{\theta JA}$	500	°C/W

FIGURE 1 – POWER DERATING





STYLE 1:
PIN 1. COLLECTOR
2. BASE
3. EMITTER

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	4.44	5.21	0.175	0.205
C	1.90	2.54	0.075	0.100
D	0.84	0.99	0.033	0.039
F	0.20	0.30	0.008	0.012
G	0.76	1.14	0.030	0.045
K	7.24	8.13	0.285	0.320
L	10.54	11.43	0.415	0.450

CASE 317A-01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS					
Collector-Emitter Breakdown Voltage (I_C = 1.0 mAdc, I_B = 0)	$V_{(BR)CEO}$	15	–	–	Vdc
Collector-Base Breakdown Voltage (I_C = 0.1 mAdc, I_E = 0)	$V_{(BR)CBO}$	20	–	–	Vdc
Emitter-Base Breakdown Voltage (I_E = 0.1 mAdc, I_C = 0)	$V_{(BR)EBO}$	3.0	–	–	Vdc
Collector Cutoff Current (V_{CB} = 10 Vdc, I_E = 0)	I_{CBO}	–	–	50	nAdc
ON CHARACTERISTICS					
DC Current Gain (I_C = 14 mAdc, V_{CE} = 10 Vdc)	h_{FE}	25	–	250	–
DYNAMIC CHARACTERTISTICS					
Current-Gain Bandwidth Product (I_C = 14 mAdc, V_{CE} = 10 Vdc, f = 0.5 GHz)	f_T	–	5.0	–	GHz
Collector-Base Capacitance (V_{CB} = 10 Vdc, I_E = 0, f = 1.0 MHz)	C_{cb}	–	0.5	1.0	pF
FUNCTIONAL TESTS					
Noise Figure (I_C = 2.0 mAdc, V_{CE} = 10 Vdc, f = 0.5 GHz)	NF	–	2.4	–	dB
(I_C = 2.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 GHz)		–	3.0	–	
Power Gain at Optimum Noise Figure (I_C = 2.0 mAdc, V_{CE} = 10 Vdc, f = 0.5 GHz)	G_{NF}	–	15	–	dB
(I_C = 2.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 GHz)		–	10	–	
Maximum Available Power Gain (1) (I_C = 14 mAdc, V_{CE} = 10 Vdc, f = 0.5 GHz)	G_{max}	–	18	–	dB
(I_C = 14 mAdc, V_{CE} = 10 Vdc, f = 1.0 GHz)		–	12	–	

(1) $G_{max} = \frac{|S_{21}|^2}{(1-|S_{11}|^2)(1-|S_{22}|^2)}$

FIGURE 2 – POWER GAIN AND NOISE FIGURE versus FREQUENCY

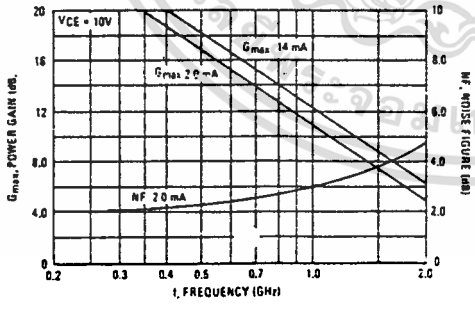
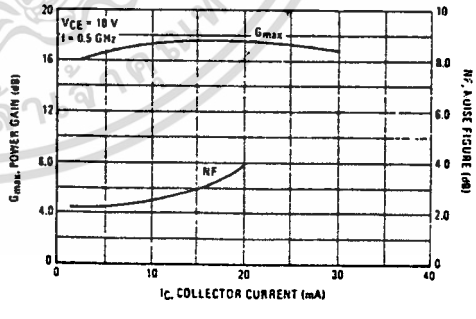


FIGURE 3 – POWER GAIN AND NOISE FIGURE versus COLLECTOR CURRENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4 – S_{11} PARAMETERS

Frequency (MHz)		200		500		800		1000		1500	
V_{CE} (Volts)	I_C (mA)	S11	∠φ	S11	∠φ	S11	∠φ	S11	∠φ	S11	∠φ
5.0	2.0	0.77	-45	0.48	-90	0.33	-125	0.27	-160	0.28	170
	5.0	0.52	-60	0.25	-110	0.18	-150	0.18	170	0.21	145
	10	0.33	-75	0.15	-125	0.13	-175	0.15	150	0.20	130
	20	0.20	-95	0.12	-155	0.14	165	0.17	145	0.22	130
	30	0.17	-116	0.14	-170	0.17	160	0.21	145	0.26	130
10	2.0	0.79	-40	0.50	-80	0.33	-115	0.26	-150	0.25	175
	5.0	0.56	-55	0.27	-95	0.16	-135	0.13	-175	0.17	150
	10	0.39	-65	0.16	-105	0.10	-150	0.10	165	0.15	140
	20	0.25	-75	0.10	-120	0.09	-175	0.12	150	0.18	130
	30	0.25	-75	0.10	-120	0.09	-175	0.12	150	0.18	130

FIGURE 5 – S_{22} PARAMETERS

Frequency (MHz)		200		500		800		1000		1500	
V_{CE} (Volts)	I_C (mA)	S22	∠φ	S22	∠φ	S22	∠φ	S22	∠φ	S22	∠φ
5.0	2.0	0.89	-20	0.69	-30	0.61	-35	0.55	-35	0.52	-45
	5.0	0.75	-25	0.55	-30	0.50	-30	0.47	-30	0.43	-40
	10	0.64	-25	0.49	-25	0.45	25	0.43	-30	0.40	-35
	20	0.57	-25	0.47	-20	0.44	-25	0.43	-25	0.40	-35
	30	0.55	-20	0.47	-20	0.46	-20	0.44	-25	0.42	-35
10	2.0	0.91	-15	0.74	-25	0.66	-30	0.62	-35	0.59	-40
	5.0	0.79	-20	0.61	-25	0.56	-25	0.54	-30	0.51	-35
	10	0.70	-20	0.56	-20	0.53	-25	0.51	-25	0.48	-35
	20	0.63	-20	0.54	-25	0.53	-20	0.51	-25	0.49	-35
	30	0.63	-15	0.56	-15	0.55	-20	0.54	-25	0.52	-35

FIGURE 6 – S_{21} PARAMETERS

Frequency (MHz)		200		500		800		1000		1500	
V_{CE} (Volts)	I_C (mA)	S21	∠φ	S21	∠φ	S21	∠φ	S21	∠φ	S21	∠φ
5.0	2.0	5.76	140	3.81	105	2.73	90	2.20	75	1.70	60
	5.0	9.92	125	5.24	95	3.50	80	2.80	70	2.10	60
	10	12.33	115	5.82	90	3.79	75	2.90	65	2.20	55
	20	13.62	105	6.00	85	3.88	75	2.95	65	2.25	55
	30	13.41	105	5.80	80	3.74	75	2.85	65	2.15	55
10	2.0	5.77	145	3.88	110	2.80	90	2.25	75	1.75	60
	5.0	10.05	130	5.42	95	3.60	80	2.85	70	2.10	60
	10	12.56	115	6.00	90	3.90	80	3.05	70	2.25	55
	20	13.77	110	6.13	85	3.92	75	3.05	65	2.20	55
	30	13.23	105	5.79	85	3.70	75	2.85	65	2.15	55

FIGURE 7 – S_{12} PARAMETERS

Frequency (MHz)		200		500		800		1000		1500	
V_{CE} (Volts)	I_C (mA)	S12	∠φ	S12	∠φ	S12	∠φ	S12	∠φ	S12	∠φ
5.0	2.0	0.06	65	0.10	55	0.12	55	0.14	55	0.17	60
	5.0	0.05	65	0.08	65	0.12	65	0.15	65	0.19	65
	10	0.04	65	0.08	70	0.12	70	0.15	70	0.20	65
	20	0.04	75	0.08	75	0.12	75	0.15	70	0.20	70
	30	0.03	75	0.07	75	0.11	75	0.15	75	0.19	70
10	2.0	0.05	70	0.03	55	0.11	55	0.12	55	0.15	60
	5.0	0.04	65	0.07	65	0.10	65	0.13	65	0.17	70
	10	0.04	65	0.07	70	0.10	70	0.13	70	0.17	70
	20	0.03	70	0.07	75	0.10	75	0.13	75	0.17	70
	30	0.03	75	0.06	75	0.10	75	0.13	75	0.17	70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Operational Amplifiers/Buffers

LM741/LM741A/LM741C/LM741E Operational Amplifier

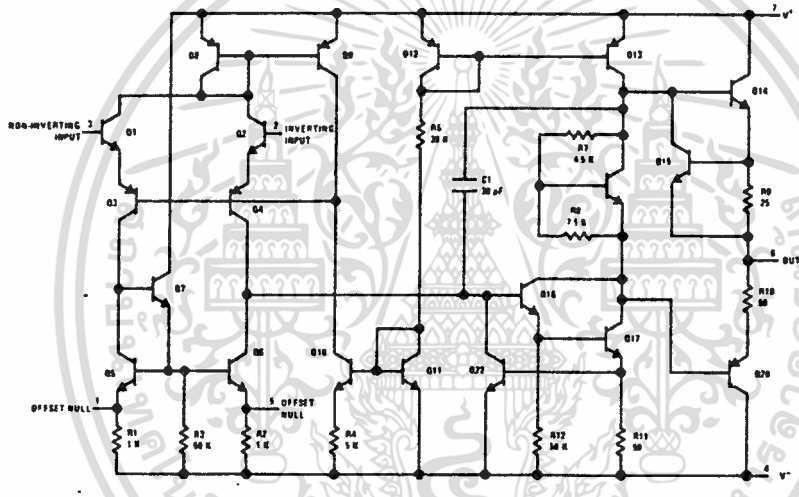
General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

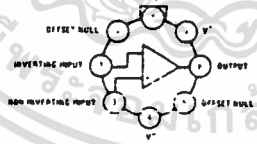
The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of −55°C to +125°C.

Schematic and Connection Diagrams (Top Views)

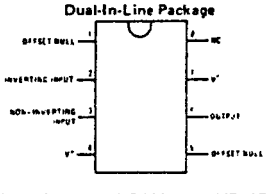


Metal Can Package



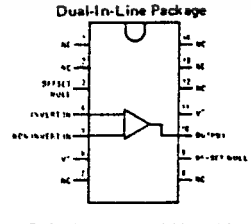
Order Number LM741H, LM741AH, LM741CH or LM741EH
See NS Package H08C

Dual-In-Line Package



Order Number LM741CN or LM741EN
See NS Package N08B
Order Number LM741CJ
See NS Package J08A

Dual-In-Line Package



Order Number LM741CN-14
See NS Package N14A
Order Number LM741J-14, LM741AJ-14 or LM741CJ-14
See NS Package J14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	±15V	±15V	±15V	±15V
Output Short Circuit Duration	Indefinite	Indefinite	Indefinite	Indefinite
Operating Temperature Range	−55°C to +125°C	0°C to +70°C	−55°C to +125°C	0°C to +70°C
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C	300°C	300°C

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	LM741A/LM741E			LM741			LM741C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$T_A = 25°C$										
	$R_S \leq 10\ k\Omega$					1.0	5.0		2.0	6.0	mV
	$R_S \leq 50\Omega$		0.8	3.0							mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$										
	$R_S \leq 50\Omega$			4.0							mV
	$R_S \leq 10\ k\Omega$						6.0			7.5	mV
Average Input Offset Voltage Drift				15							μV/°C
Input Offset Voltage Adjustment Range	$T_A = 25°C$, $V_S = \pm 20V$	±10				±15			±15		mV
Input Offset Current	$T_A = 25°C$		3.0	30		20	200		20	200	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/°C
Input Bias Current	$T_A = 25°C$		30	80		80	500		80	500	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			0.210			1.5			0.8	μA
Input Resistance	$T_A = 25°C$, $V_S = \pm 20V$	1.0	6.0		0.3	2.0		0.3	2.0		MΩ
	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $V_S = \pm 20V$	0.5									MΩ
Input Voltage Range	$T_A = 25°C$							±12	±13		V
	$T_{AMIN} \leq T_A \leq T_{AMAX}$				±12	±13					V
Large Signal Voltage Gain	$T_A = 25°C$, $R_L \geq 2\ k\Omega$										
	$V_S = \pm 20V$, $V_O = \pm 15V$	50									V/mV
	$V_S = \pm 15V$, $V_O = \pm 10V$				50	200		20	200		V/mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $R_L \geq 2\ k\Omega$,										
	$V_S = \pm 20V$, $V_O = \pm 15V$	32									V/mV
	$V_S = \pm 15V$, $V_O = \pm 10V$				25			15			V/mV
	$V_S = \pm 5V$, $V_O = \pm 2V$	10									V/mV
Output Voltage Swing	$V_S = \pm 20V$										
	$R_L \geq 10\ k\Omega$	±16									V
	$R_L \geq 2\ k\Omega$	±15									V
	$V_S = \pm 15V$										
	$R_L \geq 10\ k\Omega$				±12	±14		±12	±14		V
	$R_L \geq 2\ k\Omega$				±10	±13		±10	±13		V
Output Short Circuit Current	$T_A = 25°C$	10	25	35		25			25		mA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$	10		40							mA
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$										
	$R_S \leq 10\ k\Omega$, $V_{CM} = \pm 12V$				70	90		70	90		dB
	$R_S \leq 50\ k\Omega$, $V_{CM} = \pm 12V$	80	95								dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

PARAMETER	CONDITIONS	LM741A/LM741E			LM741			LM741C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage Rejection Ratio	$T_{AMIN} \le T_A \le T_{AMAX}$, V_S = ±20V to V_S = ±5V										
	$R_S \le 50\Omega$	86	96								dB
	$R_S \le 10\ k\Omega$				77	96		77	96		dB
Transient Response	T_A = 25°C, Unity Gain										
Rise Time			0.25	0.8		0.3			0.3		μs
Overshoot			6.0	20		5			5		%
Bandwidth (Note 4)	T_A = 25°C	0.437	1.5								MHz
Slew Rate	T_A = 25°C, Unity Gain	0.3	0.7			0.5			0.5		V/μs
Supply Current	T_A = 25°C					1.7	2.8		1.7	2.8	mA
Power Consumption	T_A = 25°C										
	V_S = ±20V		80	150							mW
	V_S = ±15V					50	85		50	85	mW
LM741A	V_S = ±20V										
	$T_A = T_{AMIN}$			165							mW
	$T_A = T_{AMAX}$			135							mW
LM741E	V_S = ±20V			150							mW
	$T_A = T_{AMIN}$			150							mW
	$T_A = T_{AMAX}$			150							mW
LM741	V_S = ±15V										
	$T_A = T_{AMIN}$					60	100				mW
	$T_A = T_{AMAX}$					45	75				mW

Note 1: The maximum junction temperature of the LM741/LM741A is 150°C, while that of the LM741C/LM741E is 100°C. For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W junction to ambient, or 45°C/W junction to case. The thermal resistance of the dual-in-line package is 100°C/W junction to ambient.

Note 2: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 3: Unless otherwise specified, these specifications apply for V_S = ±15V, −55°C ≤ T_A ≤ +125°C (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to 0°C ≤ T_A ≤ +70°C.

Note 4: Calculated value from: BW (MHz) = 0.35/Rise Time(μs).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

most economical

Frequency Mixers

Models
SBL-1

LEVEL 7 (+7dBm LO, up to +1dBm RF)

computer-automated performance data

typical production unit / for data of other models consult factory

mixer conversion loss and isolation

RF MHz	LO MHz	Conversion Loss (dB) LO +4dBm	LO +7dBm	LO +10dBm	Isolation L–R (dB) LO +4dBm	LO +7dBm	LO +10dBm	Isolation L–I (dB) LO +4dBm	LO +7dBm	LO +10dBm
1.000	31 00	6.99	6.67	6.45	62.73	>67.00	68.01	61.88	65.61	>70.00
2.000	32 00	6.50	6.24	6.05	61 86	>67.00	67.46	61.93	>67.00	>70.00
5 000	35 00	5 96	5.74	5 60	61 73	64.84	66 12	62.43	>67.00	>70.00
10 000	40 00	5.85	5.58	5.46	61.35	64.19	65.15	61.72	64.81	66.04
20.000	50 00	5.96	5.67	5.51	60.14	62.22	62.01	60.33	61.69	61.30
32.188	62 19	5 86	5.60	5.51	58.85	59.04	58.99	58.27	57.74	57.09
50.000	80 00	5 84	5.60	5.49	56.98	56.71	55.75	54.84	54.39	53.61
78.970	48.97	5.83	5.56	5.44	54.05	52.21	50.75	51.16	49.67	48.53
100.000	70 00	5.74	5.52	5.43	51.39	49 41	48.33	48.54	46.90	46 10
156 940	126 94	5.69	5.53	5.47	45.18	44.20	43.99	42.22	41.66	41.56
200 000	170 00	5.85	5.68	5 60	41.88	41 56	41.75	39.00	38.98	39.65
203 720	173 72	5.83	5.67	5 56	41.46	41.05	41.34	38.60	38.52	39.23
250.500	220 50	5.80	5.63	5.47	40.14	40.04	40.21	37.21	37 29	37 77
297.290	267 29	5 77	5.61	5 48	36.89	36.90	37.90	33.86	33.97	34.98
344.070	314 07	5.93	5.81	5.72	36.80	37 11	37.44	33.43	33.88	34.36
375.260	345 26	6 28	6.13	5 97	34.83	36 02	37.25	31.69	32.79	34.20
406 440	376.44	6.27	6.15	6 07	33.09	34 80	36.66	29.68	31.05	32.79
437.630	407.63	6 38	6.08	5 88	32.48	33 79	35.38	29.38	30.39	31.81
468.820	438 82	6.48	6.00	5.73	32.24	32.80	34.05	29.76	30.12	30.96
500.000	470 00	6.90	6.31	5.99	32.48	32 36	33.04	30.19	30.37	30.65

mixer VSWR

freq. MHz	VSWR, RF port LO +4dBm	LO +7dBm	LO +10dBm	VSWR, LO port LO +4dBm	LO +7dBm	LO +10dBm	VSWR, IF port LO +4dBm	LO +7dBm	LO +10dBm
1.001	1.83	1.80	1.86	2.45	3.75	5.47	1.67	1.44	1.30
16.121	1 07	1.14	1.20	1.92	2.81	3.95	1.68	1.45	1.31
20 000	1.06	1.14	1 20	1.94	2.89	3.95	1.68	1.44	1.31
31.242	1.06	1.14	1.20	1.93	2.83	3.88	1.68	1.44	1.32
50.000	1 07	1.15	1.20	1.83	2.69	3.54	1.69	1.46	1.33
76.605	1.08	1.16	1.21	1.84	2.72	3.70	1.71	1.48	1.36
100.000	1.09	1.17	1.22	1.82	2.62	3.38	1.74	1.52	1.39
121.970	1.11	1.18	1.24	1.82	2.62	3.53	1.79	1.55	1.42
152.210	1.13	1.20	1.25	1.88	2.66	3.42	1.85	1.62	1.50
182 450	1.15	1.22	1.27	1 83	2.62	3.21	1.93	1.69	1.57
200.000	1.12	1.26	1.27	1.87	2.58	3.22	1.98	1.77	1.62
242.940	1.19	1.26	1.32	1.89	2.56	3.19	2.11	1.88	1.74
273.180	1.21	1.28	1.34	1.90	2.59	3.17	2.21	1.99	1.86
318.540	1 23	1.30	1.35	1.99	2.64	3.25	2.35	2.11	1.95
348.730	1 24	1.31	1.36	2.01	2.59	3.18	2.38	2.15	2.03
379 030	1 24	1.30	1.34	2.03	2.60	3.15	2.45	2.24	2.09
409.270	1 23	1.28	1.32	2.12	2.72	3.19	2.46	2.24	2.11
424 390	1.21	1.27	1.31	2 20	2.77	3.27	2.50	2.30	2.16
454 630	1 19	1.24	1.28	2.30	2.82	3.34	2.46	2.32	2.14
500 000	1.16	1.21	1.25	2.40	3.01	3.54	2.43	2.23	2.12

ϕ detection

Freq. (MHz)	max. DC output mV	DC offset mV
10.000	−233.19	+0.00
20.000	−230.80	−.01
38.000	−225.55	+0.00
50.000	−225.92	+0.00
66 000	−226.43	+0.00
80 000	−230.22	+.01
100.000	−231.28	+.03
136.000	−229.89	+.08
178.000	−223.93	+.17
200.000	−223.43	+.15
234.000	−223.86	+.23
262.000	−229.61	+.25
304.000	−218.66	+.32
360.000	−194 91	+.72
402.000	−179.58	+.97
444.000	−163.75	+.88
458.000	−160.12	+.78
472.000	−155.46	+.60
486.000	−150.45	+.39
500.000	−142.53	+.23

Measurements at RF & LO Power +7 dBm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Mini-Circuits
P.O. Box 350166, Brooklyn, New York 11235-0003 (718) 934-4500 Fax (718) 332-4661
Distribution Centers NORTH AMERICA 800-654-7949 417-335-5935 Fax 417-335-5945 EUROPE 44-252-835094 Fax 44-252-837010

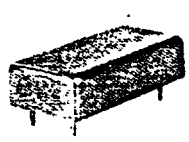
most widely-used

Frequency Mixers

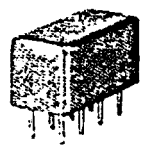
LEVEL 7 (+7 dBm LO, up to +1 dBm RF)

case style selection

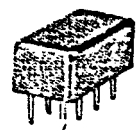
outline drawings Table of Contents



GRA



SRA



SBL
SIMA

	MODEL NO.	FREQUENCY MHz LO/RF f_L–f_U	IF	CONVERSION LOSS dB Mid-Band m $\bar{X}$	σ	Max.	Total Range Max.	LO–RF ISOLATION, dB L Typ.	L Min.	M Typ.	M Min.	U Typ.	U Min.	LO–IF ISOLATION, dB L Typ.	L Min.	M Typ.	M Min.	U Typ.	U Min.	PRICE $ Qty. (1-9)	DISTRIBUTOR FACTORY	DISTRIBUTOR LOCAL
GRA	GRA-1	5-500	DC-500	5.96	.09	7.0	8.5	50	45	45	30	35	25	45	35	40	25	30	20	14.95	•	•
se V3	GRA-3	025-200	DC-200	4.78	.07	7.5	8.5	60	50	45	35	35	25	45	35	40	30	30	20	18.45	•	•
	GRA-6	003-100	DC-100	4.70	.14	7.5	8.5	60	50	45	30	35	25	60	45	40	25	30	20	28.95	•	•
	GRA-8	0005-10	DC-10	6.03	.08	7.5	8.5	60	50	50	40	45	35	60	50	50	40	45	35	31.95	•	•
SRA	• SRA-1	5-500	DC-500	5.11	.09	7.0	8.5	50	45	45	30	35	25	45	35	40	25	30	20	13.45	•	•
se A01	SRA-1TX	5-500	DC-500	5.68	.04	7.0	8.5	50	45	45	30	35	25	45	35	40	25	30	20	59.95	•	
	SRA-1W	1-750	DC-750	5.80	.04	7.5	8.5	50	45	45	30	35	25	45	30	40	25	30	20	15.95	•	•
	SRA-1-1	1-500	DC-500	4.81	.11	7.5	8.5	50	45	45	30	35	25	45	30	40	25	30	20	14.95	•	•
	SRA-2	1-1000	.5-500	5.66	.07	7.5	8.5	45	30	35	20	30	20	45	30	30	20	30	20	15.95	•	•
	SRA-2CM	5-1000	DC-1000	5.27	.04	7.0	8.5	60	50	35	30	30	25	50	45	30	25	25	20	14.95	•	•
	SRA-3	025-200	DC-200	4.61	.06	7.5	8.5	60	50	45	35	35	25	45	35	40	30	30	20	15.95	•	•
	SRA-4	5-1250	.5-500	5.71	.08	7.5	8.5	50	40	40	20	30	20	50	40	40	20	30	20	17.95	•	•
	*SRA-5	5-1500	10-600	5.69	.07	8.0	8.5	50	45	35	30	30	20	45	40	30	25	25	15	24.95	•	•
	SRA-6	003-100	DC-100	4.58	.05	7.5	8.5	60	50	45	30	35	25	60	45	40	25	30	20	24.95	•	•
	SRA-8	.0005-10	DC-10	5.69	.11	7.5	8.5	60	50	50	40	45	35	60	50	50	40	45	35	29.95	•	•
e A06	SRA-11	5-2000	10-600	6.72	.07	8.5	9.0	50	45	35	25	30	20	45	40	30	20	25	15	20.95	•	•
	SRA-12	800-1250	50-90	6.21	.13	7.5	7.5	32	25	35	25	35	25	30	20	30	20	30	20	29.95	•	•
	SRA-149	5-500	DC-500	5.61	.07	6.5	8.0	60	50	55	45	53	40	50	40	35	25	30	24	9.95	•	•
	SRA-2000	100-2000	DC-600	9.60	.15	9.5	9.5			37 (typ.)		20 (min.)				30 (typ.)		20 (min.)		21.95	•	•
	:SRA-2400	750-2400	DC-400	5.95	.26	9.0	9.0	30	20	30	20	30	20	30	8	30	8	30	8	22.95	•	•
	**:SRA-3500	500-3500	DC-1000	7.28	.31	9.5	9.5	30	17	30	17	30	17	20	8	20	8	20	8	28.95	•	•
BL	SBL-1	1-500	DC-500	5.60	.09	7.0	8.0	60	45	45	35	40	25	45	35	40	25	30	20	4.75	•	•
e A06	SBL-1X	10-1000	5-500	5.88	.10	7.5	8.0	50	40	40	30	30	20	50	45	40	35	35	25	6.45	•	•
	SBL-1Z	10-1000	DC-500	6.27	.09	7.5	9.0	50	40	35	25	25	20	40	25	25	18	19	15	7.45	•	•
	SBL-1-1	0.1-400	DC-400	4.84	.04	7.0	8.0	50	45	45	30	35	25	45	30	40	25	30	20	7.45	•	•
	SBL-3	025-200	DC-200	4.81	.05	7.5	8.5	55	50	45	30	35	25	45	35	40	30	30	20	7.45	•	•
	o SBL-11	5-2000	10-600	7.08	.11	8.5	9.0	50	45	35	25	30	20	45	40	30	20	25	15	19.95	•	•
SIMA	SIMA-5	2-1500	DC-1000	7.01	.08	8.0	9.0	65	44	44	23	31	22	54	38	30	18	25	11	24.95	•	•
e A06																						

L=low range (f_L to 10 f_L) M=mid range (10 f_L to f_U/2) U=upper range (f_U/2 to f_U)

m=mid band (2 f_L to f_U/2)

NOTES:

: Phase Detection, Polarity Positive
* SRA-5 case style is A06.
● HTRB tested, 5-year guarantee
** Conversion loss 10 dB max. at IF = 1000 MHz.
o Pin connections same as the SRA-11
□ NON-HERMETIC
$\bar{X}$ = Average of conversion loss at center of mid-band frequency (f_L + f_U/4).
σ = Standard deviation.

1. For quality control procedures, environmental specifications, and Hi-Rel, MIL and TX description see Table of Contents.
2. Absolute Maximum Ratings: RF power 50 mW, peak IF current 40 mA, see Table of Contents.
3. Prices and specifications subject to change without notice.

pin connections see case style outline drawing

Series	GRA	SRA						SBL			SIMA
models	all models	-1 -1TX -1-1 -3	-2 -4	-6 -8	-1W -2CM	-5 -11 -12 -2000 -2400: -3500	-149***	-1 -1-1 -3	-1X	-1Z	-5
LO	1	8	8	8	8	8	8	8	8	1	8
RF	6	1	3,4*	1	1	1	2	1	3,4*	8	1
IF	4	3,4*	1	3,4*	3,4*	3	5,6*	3,4*	1	3	3
GND♦	2,3,5	2,5,6,7	2,5,6,7	2,5,6,7	2,5,6,7	2,5,6,7	1	2,5,6,7	2,5,6,7	2,5,6,7	4
CASE GND	—	2	2,5,6,7	—	2,5,6,7	2,5,6,7	3,4,7	—	2,5,6,7	2,5,6,7	2,5,6,7

* Pins must be connected together externally : LO = 1; RF = 8; IF 3
*** Blue bead is pin #4
♦ Ground externally. All measurements made with GND pin(s) grounced externally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Mini-Circuits™
Distribution Centers NORTH AMERICA P.O. Box 350166, Brooklyn, New York 11235-0003 (718) 934-4500 Fax (718) 332-4661
800-654-7949 417-335-5935 Fax 417-335-5945 EUROPE 44-252-835094 Fax 44-252-837010

National Semiconductor

LM78XX Series Voltage Regulators

General Description

The LM78XX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78XX series is available in an aluminum TO-3 package which will allow over 1.0A load current if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Considerable effort was expended to make the LM78XX series of regulators easy to use and minimize the number of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

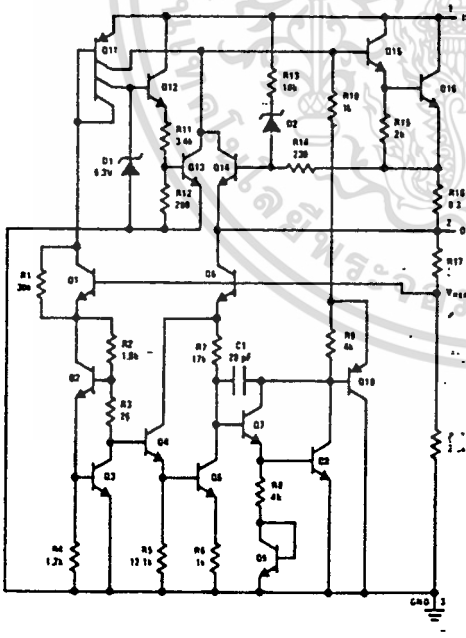
Features

- Output current in excess of 1A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in the aluminum TO-3 package

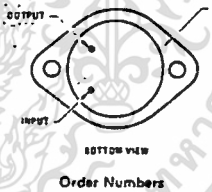
Voltage Range

LM7805C	5V
LM7812C	12V
LM7815C	15V

Schematic and Connection Diagrams

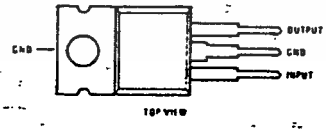


Metal Can Package
TO-3 (K)
Aluminum



Order Numbers
LM7805CK
LM7812CK
LM7815CK
See Package KC02A

Plastic Package
TO-220 (T)



Order Numbers:
LM7805CT
LM7812CT
LM7815CT
See Package T03B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Input Voltage (V_O = 5V, 12V and 15V)	35V
Internal Power Dissipation (Note 1)	Internally Limited
Operating Temperature Range (T_A)	0°C to +70°C
Maximum Junction Temperature	
(K Package)	150°C
(T Package)	125°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	
TO-3 Package K	300°C
TO-220 Package T	230°C

Electrical Characteristics LM78XXC (Note 2) 0°C ≤ Tj ≤ 125°C unless otherwise noted.

OUTPUT VOLTAGE				5V			12V			15V			UNITS
INPUT VOLTAGE (unless otherwise noted)				10V			19V			23V			
PARAMETER		CONDITIONS		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_O	Output Voltage	T_j = 25°C, 5 mA ≤ I_O ≤ 1A		4.8	5	5.2	11.5	12	12.5	14.4	15	15.6	V
		P_D ≤ 15W, 5 mA ≤ I_O ≤ 1A V_{MIN} ≤ V_{IN} ≤ V_{MAX}		4.75 (7 ≤ V_{IN} ≤ 20)		5.25	11.4 (14.5 ≤ V_{IN} ≤ 27)		12.6	14.25 (17.5 ≤ V_{IN} ≤ 30)		15.75	V V
ΔV_O	Line Regulation	I_O = 500 mA	T_j = 25°C ΔV_{IN}		3 (7 ≤ V_{IN} ≤ 25)	50		4 (14.5 ≤ V_{IN} ≤ 30)	120		4 (17.5 ≤ V_{IN} ≤ 30)	150	mV V
			0°C ≤ T_j ≤ +125°C ΔV_{IN}		 (8 ≤ V_{IN} ≤ 20)	50		 (15 ≤ V_{IN} ≤ 27)	120		 (18.5 ≤ V_{IN} ≤ 30)	150	mV V
		I_O ≤ 1A	T_j = 25°C ΔV_{IN}		 (7.3 ≤ V_{IN} ≤ 20)	50		 (14.6 ≤ V_{IN} ≤ 27)	120		 (17.7 ≤ V_{IN} ≤ 30)	150	mV V
			0° ≤ T_j ≤ +125°C ΔV_{IN}		 (8 ≤ V_{IN} ≤ 12)	25		 (16 ≤ V_{IN} ≤ 22)	60		 (20 ≤ V_{IN} ≤ 26)	75	mV V
ΔV_O	Load Regulation	T_j = 25°C	5 mA ≤ I_O ≤ 1.5A 250 mA ≤ I_O ≤ 750 mA		10 	50 25		12 	120 60		12 	150 75	mV mV
		5 mA ≤ I_O ≤ 1A, 0°C ≤ T_j ≤ +125°C				50			120			150	mV
I_Q	Quiescent Current	I_O ≤ 1A	T_j = 25°C 0°C ≤ T_j ≤ +125°C		8 8.5			8 8.5			8 8.5		mA mA
ΔI_Q	Quiescent Current Change	5 mA ≤ I_O ≤ 1A				0.5			0.5			0.5	mA
		T_j = 25°C, I_O ≤ 1A V_{MIN} ≤ V_{IN} ≤ V_{MAX}			 (7.5 ≤ V_{IN} ≤ 20)	1.0		 (14.8 ≤ V_{IN} ≤ 27)	1.0		 (17.9 ≤ V_{IN} ≤ 30)	1.0	mA V
		I_O ≤ 500 mA, 0°C ≤ T_j ≤ +125°C V_{MIN} ≤ V_{IN} ≤ V_{MAX}			 (7 ≤ V_{IN} ≤ 25)	1.0		 (14.5 ≤ V_{IN} ≤ 30)	1.0		 (17.5 ≤ V_{IN} ≤ 30)	1.0	mA V
V_N	Output Noise Voltage	T_A = 25°C, 10 Hz ≤ f ≤ 100 kHz			40			75			90		μV
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	f = 120 Hz	I_O ≤ 1A, T_j = 25°C or I_O ≤ 500 mA 0°C ≤ T_j ≤ +125°C	62 62	80 		55 55	72 		54 54	70 		dB dB
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}		(8 ≤ V_{IN} ≤ 18)			(15 ≤ V_{IN} ≤ 25)			(18.5 ≤ V_{IN} ≤ 28.5)			V
R_O	Dropout Voltage	T_j = 25°C, I_{OUT} = 1A			2.0			2.0			2.0		V
	Output Resistance	f = 1 kHz			8			18			19		mΩ
	Short-Circuit Current	T_j = 25°C			2.1			1.5			1.2		A
	Peak Output Current	T_j = 25°C			2.4			2.4			2.4		A
	Average TC of V_{OUT}	0°C ≤ T_j ≤ +125°C, I_O = 5 mA			0.6			1.5			1.8		mV/°C
V_{IN}	Input Voltage Required to Maintain Line Regulation	T_j = 25°C, I_O ≤ 1A		7.3			14.6			17.7			V

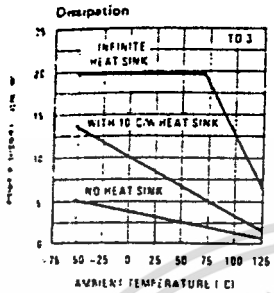
NOTE 1: Thermal resistance of the TO-3 package (K, KC) is typically 4°C/W junction to case and 35°C/W case to ambient. Thermal resistance of the TO-220 package (T) is typically 4°C/W junction to case and 50°C/W case to ambient.

NOTE 2: All characteristics are measured with capacitor across the inut of 0.22 μF, and a capacitor across the output of 0.1 μF. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques (t_W ≤ 10 ms, duty cycle ≤ 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.

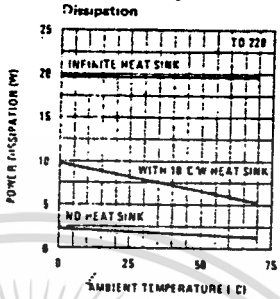
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

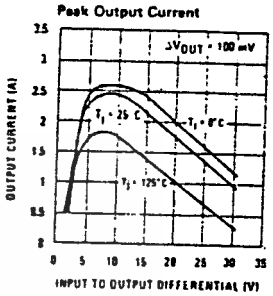
Maximum Average Power Dissipation



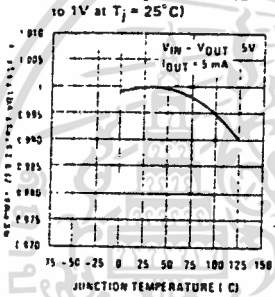
Maximum Average Power Dissipation



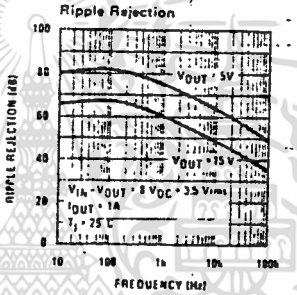
Peak Output Current



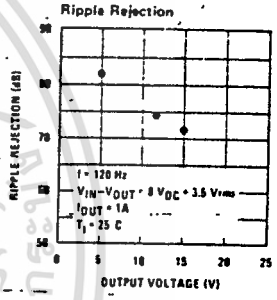
Output Voltage (Normalized to 1V at $T_J = 25°C$)



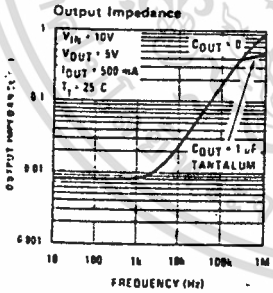
Ripple Rejection



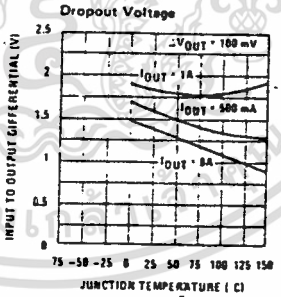
Ripple Rejection



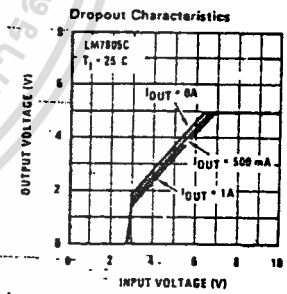
Output Impedance



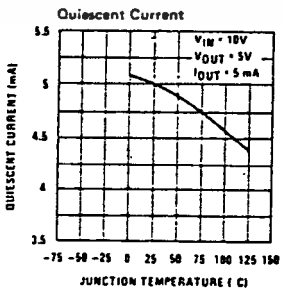
Dropout Voltage



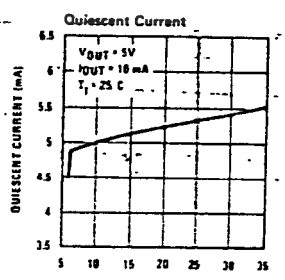
Dropout Characteristics



Quiescent Current



Quiescent Current



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRELIMINARY

27256
256K (32K x 8) UV ERASABLE PROM

- **Software Carrier Capability**
- **250 ns Maximum Access Time**
- **Two-Line Control**
- **int$_e$ligent Identifier™ Mode**
  —Automated Programming Operations
- **TTL Compatible**
- **Industry Standard Pinout . . . JEDEC Approved**
- **Low Power**
  —100 mA max. Active
  — 40 mA max. Standby
- **int$_e$ligent Programming™ Algorithm**
  —Fastest EPROM Programming

The Intel 27256 is a 5V only, 262,144-bit ultraviolet Erasable and Electrically Programmable Read Only Memory (EPROM). Organized as 32K words by 8 bits, individual bytes are accessed in under 250ns. This is compatible with high performance microprocessors, such as the Intel 8MHz iAPX 186, allowing full speed operation without the addition of performance-degrading WAIT states. The 27256 is also directly compatible with Intel's 8051 family of microcontrollers.

The 27256 enables implementation of new, advanced systems with firmware intensive architectures. The combination of the 27256's high density, cost effective EPROM storage, and new advanced microprocessors having megabit addressing capability provides designers with opportunities to engineer user-friendly, high reliability, high-performance systems.

The 27256's large storage capability of 32K bytes enables it to function as a high density software carrier. Entire operating systems, diagnostics, high-level language programs and specialized application software can reside in a 27256 EPROM directly on a system's memory bus. This permits immediate microprocessor access and execution of software and eliminates the need for time consuming disk accesses and downloads.

Several advanced features have been designed into the 27256 that allow for fast and reliable programming —the int$_e$ligent identifier™ mode and the int$_e$ligent Programming™ Algorithm. Programming equipment that takes advantage of these innovations will electronically identify the 27256 and then rapidly program it using an efficient programming method.

Two-line control and JEDEC-approved, 28-pin packaging are standard features of all Intel high-density EPROMs. This assures easy microprocessor interfacing and minimum design efforts when upgrading, adding, or choosing between nonvolatile memory alternatives.

The 27256 is manufactured using Intel's advanced HMOS*II-E technology.

*HMOS is a patented process of Intel Corporation.

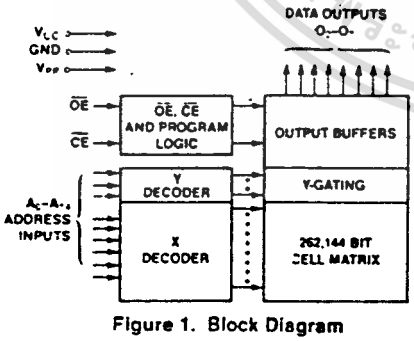
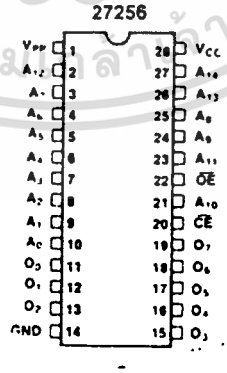


Figure 1. Block Diagram



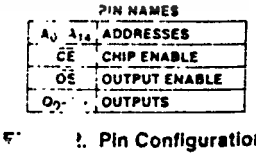


Figure 2. Pin Configuration

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.

© INTEL CORPORATION, 1983

OCTOBER 1983
ORDER NO. 210827-006

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias ..... −10°C to +80°C
Storage Temperature ..... −65°C to +125°C
All Input or Output Voltages with Respect to Ground .....+6.25 V to −0.6V
Voltage on Pin 24 with Respect to Ground .....+13.5V to −0.6V
V_{PP} Supply Voltage with Respect to Ground .....+14.0 V to −0.6V

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	27256	27256-3	27256-4	27256-25	27256-30	27256-45
Operating Temperature Range	0°C–70°C	0°C–70°C	0°C–70°C	0°C–70°C	0°C–70°C	0°C–70°C
V_{CC} Power Supply[1,2]	5V ± 5%	5V ± 5%	5V ± 5%	5V ± 10%	5V ± 10%	5V ± 10%

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits			Units	Test Conditions
		Min.	Typ.[3]	Max.		
I_{LI}	Input Load Current			10	µA	V_{IN} = 5.5V
I_{LO}	Output Leakage Current			10	µA	V_{OUT} = 5.5V
I_{PP1}[2]	V_{PP} Current Read Standby			5	mA	V_{PP} = 5.5V
I_{CC1}[2]	V_{CC} Current Standby		20	40	mA	$\overline{CE}$ = V_{IH}
I_{CC2}[2]	V_{CC} Current Active		45	100	mA	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, V_{PP} = V_{CC}
V_{IL}	Input Low Voltage	-.1		+.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}+1	V	
V_{OL}	Output Low Voltage			.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = −400 µA
V_{PP}[2]	V_{PP} Read Voltage	3.8		V_{CC}	V	V_{CC} = 5.0V ± 0.25V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

READ OPERATION

A.C. CHARACTERISTICS

Symbol	Parameter	27256-25 & 27256 Limits		27256-30 & 27256-3 Limits		27256-45 & 27256-4 Limits		Units	Test Conditions
		Min.	Max.	Min.	Max.	Min.	Max.		
t_{ACC}	Address to Output Delay		250		300		450	ns	$\overline{CE}=\overline{OE}=V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		250		300		450	ns	$\overline{OE}=V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		100		120		150	ns	$\overline{CE}=V_{IL}$
t_{DF}[4]	$\overline{OE}$ High to Output Float	0	60	0	105	0	130	ns	$\overline{CE}=V_{IL}$
t_{OH}	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		ns	$\overline{CE}=\overline{OE}=V_{IL}$

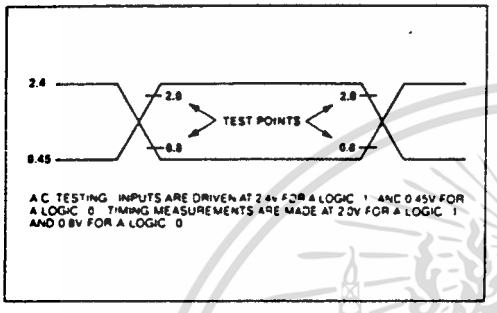
NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for t_A =25°C and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram on the following page.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

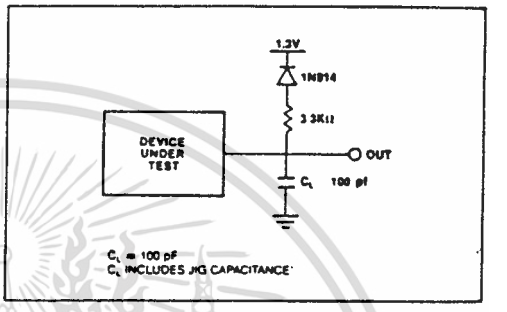
CAPACITANCE (T_A = 25°C, f = 1 MHz)

Symbol	Parameter	Typ.[1]	Max.	Unit	Conditions
C_{IN}[2]	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

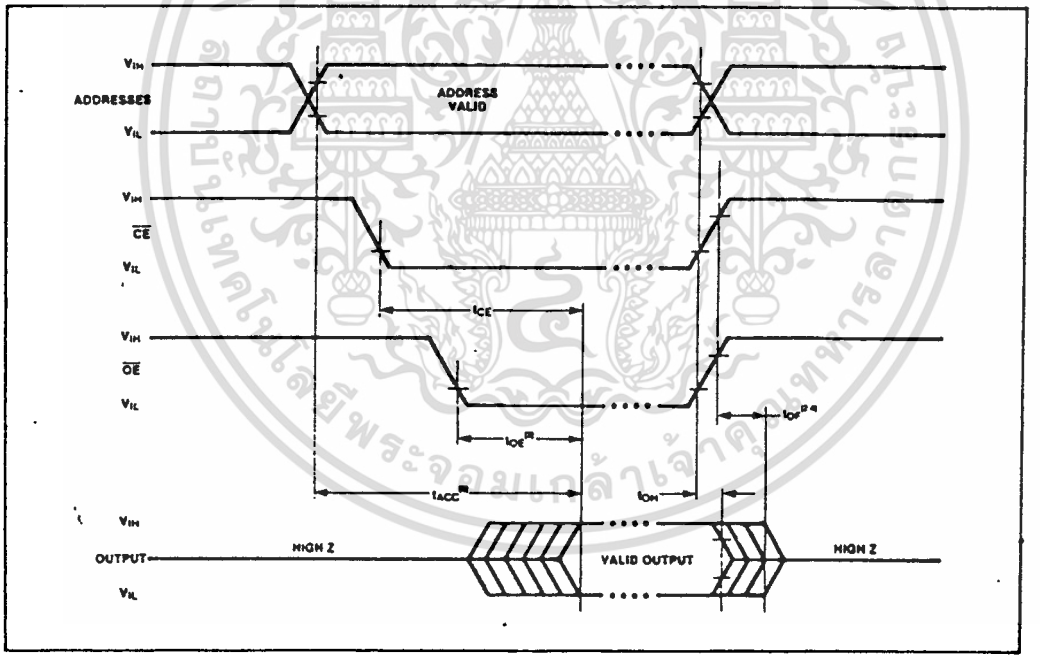
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



NOTES:
1. Typical values are for T_A = 25°C and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3. $\overline{OE}$ may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of $\overline{CE}$ without impact on t_{ACC}.
4. t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$, whichever occurs first.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION

The eight modes of operation of the 27256 are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for int$_e$ligent identifier mode.

Table 1. Operating Modes

MODE \ PINS	$\overline{CE}$ (20)	$\overline{OE}$ (22)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	OUTPUTS (11-13, 15-19)
Read	V_{IL}	V_{IL}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	V_{CC}	V_{CC}	High Z
int$_e$ligent Programming	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{IN}
Verify	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{OUT}
Optional Verify	V_{IL}	V_{IL}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	V_{IH}	X	V_{PP}	V_{CC}	High Z
int$_e$ligent Identifier	V_{IL}	V_{IL}	V_H	V_{CC}	V_{CC}	Code

NOTES:
1. X can be V_{IH} or V_{IL}
2. V_H = 12.0V ± 0.5V

READ MODE

The 27256 has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after a delay of t_{OE} from the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC}-t_{OE}$.

STANDBY MODE

The 27256 has a standby mode which reduces the maximum active current from 100 mA to 40 mA. The 27256 is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Two Line Output Control

Because EPROMs are usually used in larger memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, $\overline{CE}$ (pin 20) should be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 22) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

System Considerations

The power switching characteristics of HMOS II-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer —the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive and inductive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control and by

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

properly selected decoupling capacitors. It is recommended that a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effects of PC board traces.

PROGRAMMING

Caution: Exceeding 14V on pin 1 (V_{PP}) will permanently damage the 27256.

Initially, and after each erasure, all bits of the 27256 are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 27256 is in the programming mode when the V_{PP} input is at 12.5V and $\overline{CE}$ is at TTL-low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

int$_e$ligent Programming™ Algorithm

The 27256 int$_e$ligent Programming Algorithm rapidly programs Intel 27256 EPROMS using an efficient and reliable method particularly suited to the production programming environment. Typical programming times for individual devices are on the order of five minutes. Programming reliability is also ensured as the incremental program margin of each byte is continually monitored to determine when it has been successfully programmed. A flowchart of the 27256 int$_e$ligent Programming Algorithm is shown in Figure 3.

The int$_e$ligent Programming Algorithm utilizes two different pulse types: initial and overprogram. The duration of the initial $\overline{CE}$ pulse(s) is one millisecond, which will then be followed by a longer overprogram pulse of length 3X msec. X is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular 27256 location, before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the overprogram pulse is applied.

The entire sequence of program pulses and byte verifications is performed at V_{CC} = 6.0V and V_{PP} = 12.5V. When the int$_e$ligent Programming cycle has been completed, all bytes should be compared to the original data with V_{CC} = V_{PP} = 5.0V.

Program Inhibit

Programming of multiple 27256s in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level $\overline{CE}$ input inhibits the other 27256s from being programmed.

Except for $\overline{CE}$ and $\overline{OE}$, all like inputs of the parallel 27256s may be common. A TTL low-level pulse applied to the $\overline{CE}$ input with V_{PP} at 12.5V will program the selected 27256.

Verify

A verify should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IH} and V_{PP} at 12.5V.

Optional Verify

The optional verify may be performed in place of the verify mode. It is performed with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IL} (as opposed to the standard verify which has $\overline{CE}$ at V_{IH}), and V_{PP} at 12.5V. The outputs will tri-state according to the signal presented to $\overline{OE}$. Therefore, all devices with V_{PP}=12.5V and $\overline{OE}$=V_{IL} will present data on the bus independent of the $\overline{CE}$ state. When parallel programming several devices which share a common bus, V_{PP} should be lowered to V_{CC} (=6.0V) and the normal read mode used to execute a program verify.

int$_e$ligent Identifier™ Mode

The int$_e$ligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ± 5°C ambient temperature range that is required when programming the 27256.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the 27256. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 10) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during int$_e$ligent Identifier Mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

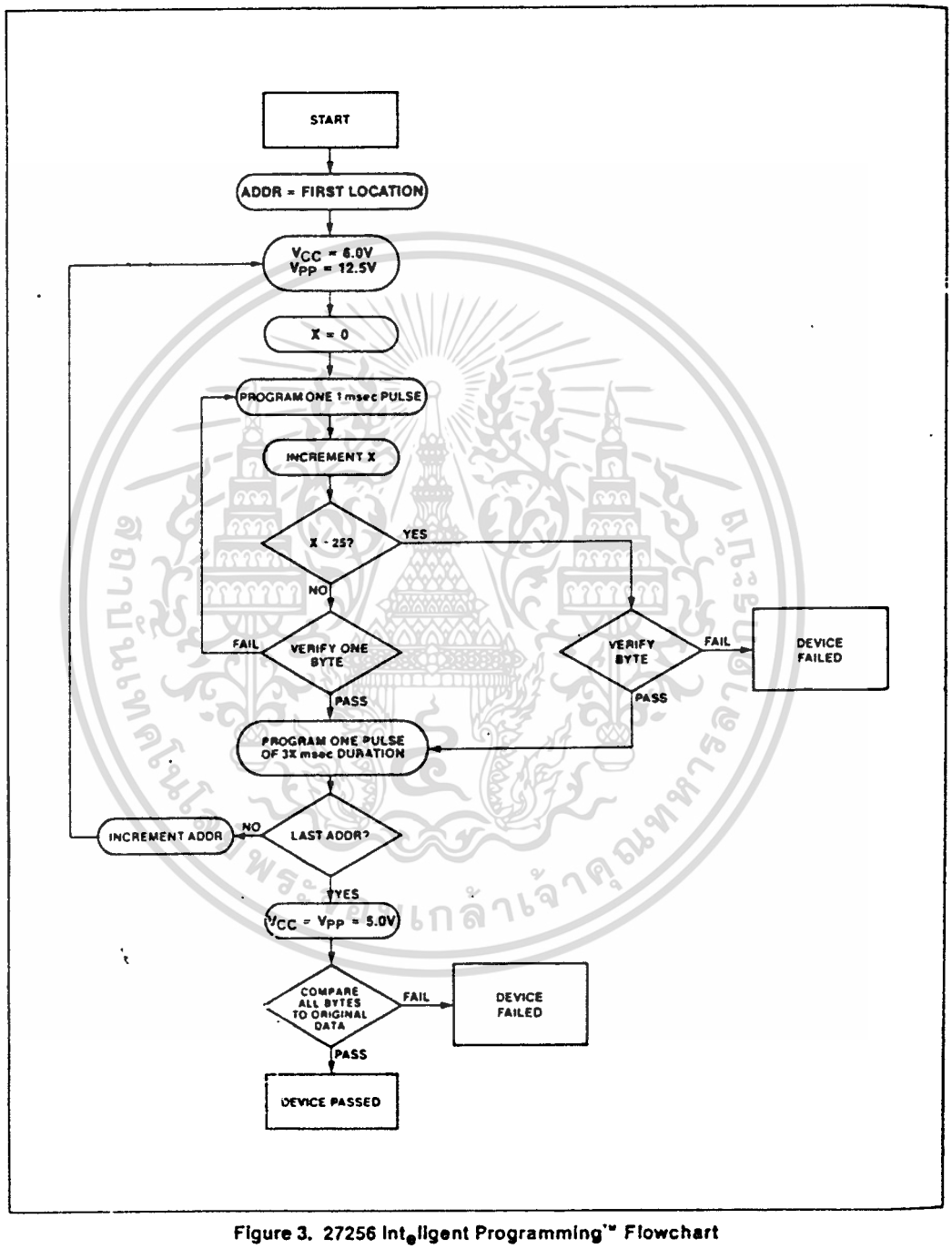


Figure 3. 27256 Int$_e$ligent Programming™ Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the Intel 27256, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

ERASURE CHARACTERISTICS

The erasure characteristics of the 27256 are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000–4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 27256 in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 27256 is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 27256 window to prevent unintentional erasure.

The recommended erasure procedure for the 27256 is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15 Wsec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm^2 power rating. The 27256 should be placed within 1 inch of the lamp tubes during erasure. The maximum integrated dose a 27256 can be exposed to without damage is 7258 Wsec/cm^2 (1 week @ 12000 μW/cm^2). Exposure of the 27256 to high intensity UV light for long periods may cause permanent damage.

Table 2. 27256 int$_e$ligent Identifier™ Bytes

Identifier \ Pins	A_0 (10)	O_7 (19)	O_6 (18)	O_5 (17)	O_4 (16)	O_3 (15)	O_2 (13)	O_1 (12)	O_0 (11)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	VIH	0	0	0	0	0	1	0	0	04

NOTES:
1. $A_9 = 12.0V \pm 0.5V$
2. A_1–A_8, A_{10}–A_{13}, $\overline{CE}$, $\overline{OE} = V_{IL}$
3. $A_{14} = V_{IH}$ or V_{IL}

int$_e$ligent Programming™ Algorithm

D.C. PROGRAMMING CHARACTERISTICS:

$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 12.5V \pm 0.5V$

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min.	Max.	Unit	
I_{LI}	Input Current (All Inputs)		10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	−0.1	0.8	V	
V_{IH}	Input High Level	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage During Verify		0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4		V	$I_{OH} = -400\ \mu$A
I_{CC2}	V_{CC} Supply Current (Program & Verify)		100	mA	
I_{PP2}	V_{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V_{ID}	A_9 int$_e$ligent Identifier Voltage	11.5	12.5	V	

NOTES:
1 V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. PROGRAMMING CHARACTERISTICS:
$T_A = 25 \pm 5°C$, $V_{CC} = 6.0V \pm 0.25V$, $V_{PP} = 12.5V \pm 0.3V$

Symbol	Parameter	Limits				Test Conditions* (see Note 1)
		Min.	Typ.	Max.	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}[4]	$\overline{OE}$ High to Output Float Delay	0		130	ns	
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{PW}	$\overline{CE}$ Initial Program Pulse Width	0.95	1.0	1.05	ms	(see Note 3)
t_{OPW}	$\overline{CE}$ Overprogram Pulse Width	2.85		78.75	ms	(see Note 2)
t_{OE}	Data Valid from $\overline{OE}$			150	ns	

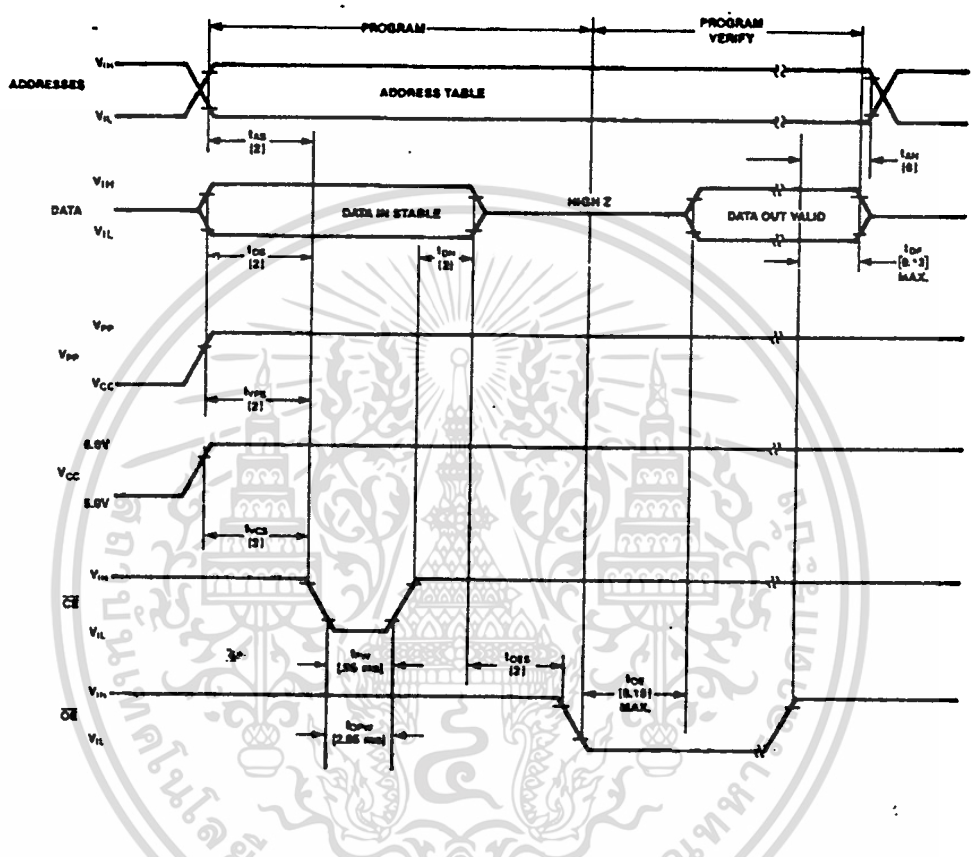
***A.C. CONDITIONS OF TEST**

Input Rise and Fall Times (10% to 90%) ... 20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Input Timing Reference Level ..... 0.8V and 2.0V
Output Timing Reference Level ... 0.8V and 2.0V

NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1 msec ±5%.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram on the following page.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Intelligent Programming™ WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145152-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Dual-Modulus Prescalers

The MC145152-2 is programmed by sixteen parallel inputs for the N and A counters and three input lines for the R counter. The device features consist of a reference oscillator, selectable-reference divider, two-output phase detector, 10-bit programmable divide-by-N counter, and 6-bit programmable ÷ A counter.

The MC145152-2 is an improved-performance drop-in replacement for the MC145152-1. Power consumption has decreased and ESD and latch-up performance have improved.

- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On- or Off-Chip Reference Oscillator Operation
- Lock Detect Signal
- Dual Modulus Parallel Programming
- 8 User-Selectable ÷ R Values: 8, 64, 128, 256, 512, 1024, 1160, 2048
- ÷ N Range = 3 to 1023, ÷ A Range = 0 to 63
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

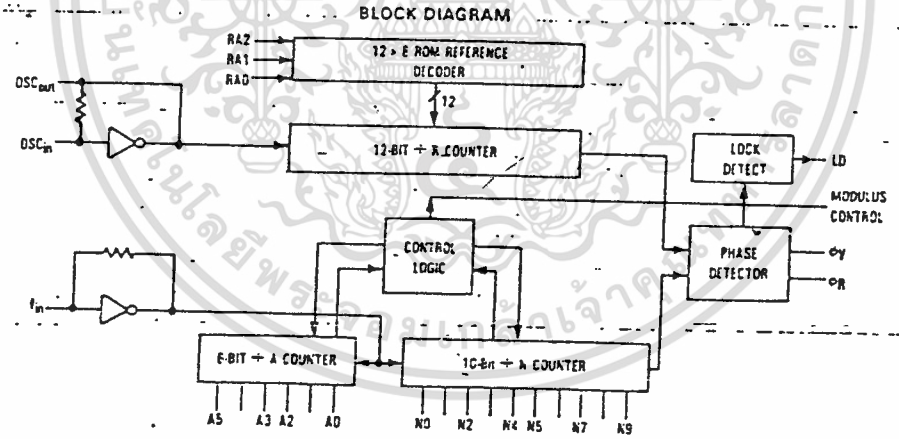
P SUFFIX
PLASTIC
CASE 710

FN SUFFIX
PLCC
CASE 776

ORDERING INFORMATION

MC145152P2	Plastic DIP
MC145152FN2	PLCC Package

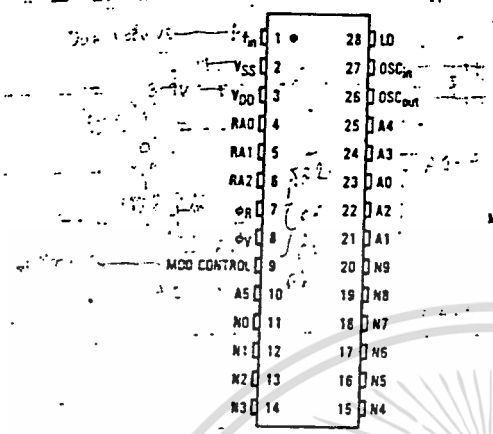
BLOCK DIAGRAM



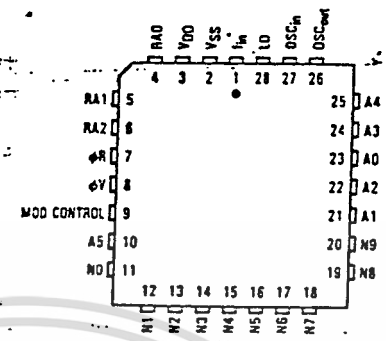
NOTE: N0 through N9, A0 through A5, and RA0 through RA2 have pullup resistors not shown.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN ASSIGNMENTS



PLASTIC DIP



PLCC PACKAGE

PIN DESCRIPTIONS

INPUTS

f_{in}—Frequency Input

Input to the positive edge triggered ÷ N and ÷ A counters. f_{in} is typically derived from a dual-modulus prescaler and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0, RA1, RA2—Reference Address Inputs

These three inputs establish a code defining one of eight possible divide values for the total reference divider. The total reference divide values are as follows:

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	64
0	1	0	128
0	1	1	256
1	0	0	512
1	0	1	1024
1	1	0	1160
1	1	1	2048

N Inputs—N Counter Programming Inputs

The N inputs provide the data that is preset into the ÷ N counter when it reaches the count of zero. N0 is least significant digit and N9 is most significant. Pullup resistors ensure that inputs left open remain at a logic one and require only a SPST switch to alter data to the zero state.

A Inputs—A Counter Programming Inputs

The A inputs define the number of clock cycles of f_{in} that require a logic zero on the modulus control output. (See Dual-Modulus Prescaling section.) The A inputs all have internal pullup resistors that ensure that inputs left open will remain at a logic one.

OSC_{in}, OSC_{out}—Reference Oscillator Input/Output

These pins form an on-chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as input for an externally-generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUTS

ϕ_R, ϕ_V—Phase Detector Outputs

These phase detector outputs can be combined externally for a loop error signal.

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕ_V pulsing low. ϕ_R remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕ_R pulsing low. ϕ_V remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕ_V and ϕ_R remain high except for a small minimum time period when both pulse low in phase.

Modulus Control—Dual-Modulus Prescale Control Output

Signal generated by the on-chip control logic circuitry for controlling an external dual-modulus prescaler. The modulus control level will be low at the beginning of a count cycle and will remain low until the ÷ A counter has counted down from its programmed value. At this time, modulus control goes high

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

and remains high until the ÷ N counter has counted the rest of the way down from its programmed value (N – A additional counts since both ÷ N and ÷ A are counting down during the first portion of the cycle). Modulus control is then set back low, the counters preset to their respective programmed values, and the above sequence repeated. This provides for a total programmable divide value (N_T) = N·P + A where P and P + 1 represent the dual-modulus prescaler divide values respectively for high and low modulus control levels, N the number programmed into the ÷ N counter, and A the number programmed into the ÷ A counter.

LD – Lock Detector Output

Lock detector signal. Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out-of lock.

POWER SUPPLY

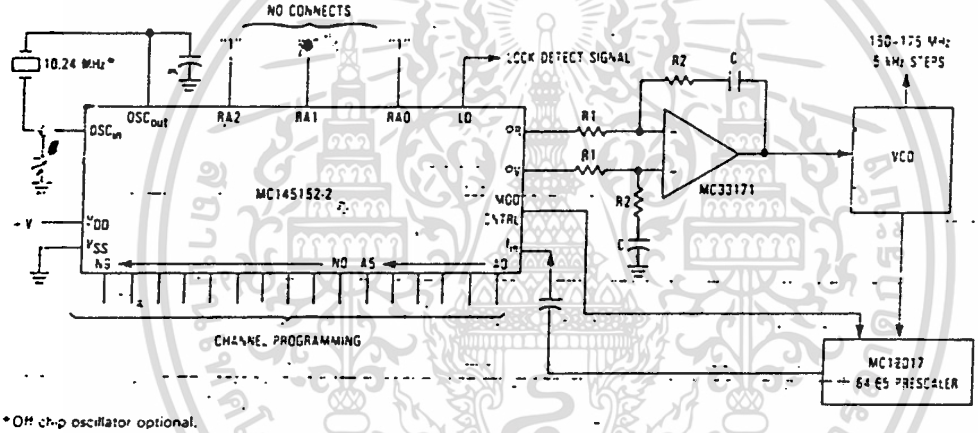
V_{DD}

The positive power supply potential. This pin may range from +3 to +9 V with respect to V_{SS}.

V_{SS}

The most negative supply potential. This pin is usually ground.

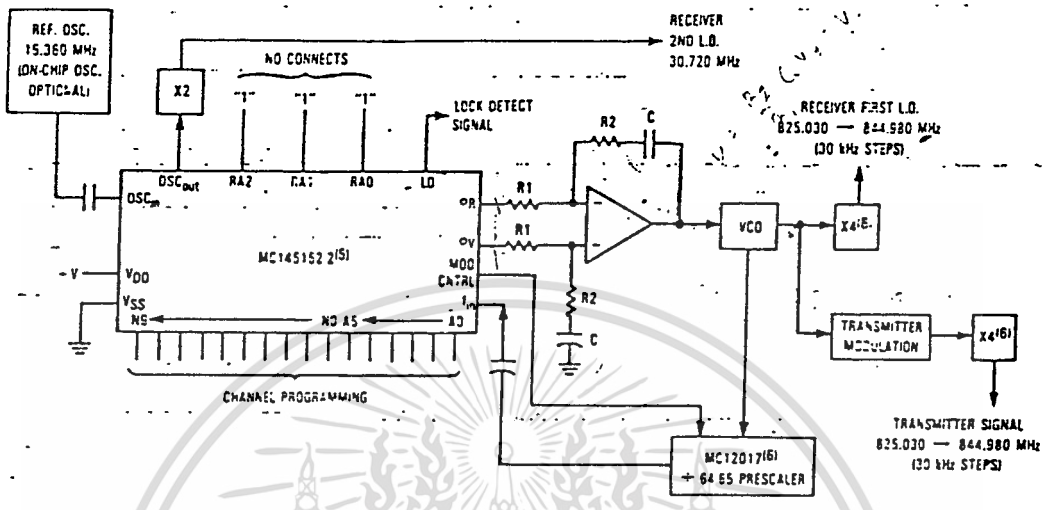
TYPICAL APPLICATIONS



*Off chip oscillator optional.

Synthesizer for Land Mobile Radio VHF Bands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTES:
1. Receiver 1st. I.F. = 45 MHz, low side injection; Receiver 2nd. I.F. = 11.7 MHz, low side injection.
2. Duplex operation with 45 MHz receive/transmit separation.
3. f_R = 7.5 kHz, ÷ R = 2048.
4. N_{total} = N·64 + A = 27501 to 28166; N = 429 to 440; A = 0 to 63.
5. MC145151-2 may be used where serial data entry is desired.
6. High frequency prescalers — e.g., MC12018 (520 MHz) and MC12022 (1 GHz) — may be used for higher frequency VCO and f_{ref} implementations.

666-Channel, Computer-Controlled, Mobile Radiotelephone Synthesizer for 800 MHz Cellular Radio Systems

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

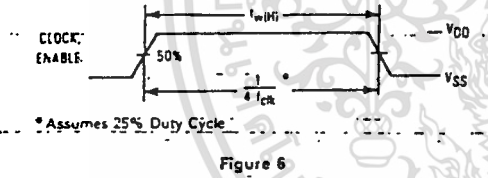
FAMILY CHARACTERISTICS

TIMING REQUIREMENTS (Input $t_r = t_f = 10$ ns unless otherwise indicated)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit −40°C to 85°C	Unit
f_{clk}	Serial Data Clock Frequency, Assuming 25% Duty Cycle NOTE: Refer to Clock $t_{w(H)}$ below (Figure 6)	3 5 9	dc to 5.8* dc to 7.1 dc to 10	dc to 3.5 dc to 7.1 dc to 10	MHz
t_{su}	Minimum Setup Time, Data to Clock (Figure 7)	3 5 9	30 20 18	30 20 18	ns
t_h	Minimum Hold Time, Clock to Data (Figure 7)	3 5 9	40 20 15	40 20 15	ns
t_{su}	Minimum Setup Time, Clock to Enable (Figure 7)	3 5 9	70 32 25	70 32 25	ns
t_{rec}	Minimum Recovery Time, Enable to Clock (Figure 7)	3 5 9	5 10 20	5 10 20	ns
$t_{w(H)}$	Minimum Pulse Width, Clock, Enable (Figure 6)	3 5 9	50 35 25	70 35 25	ns
t_r, t_f	Maximum Input Rise and Fall Times — Any Input (Figure 8)	3 5 9	5 4 2	5 4 2	μs

5

SWITCHING WAVEFORMS



*Assumes 25% Duty Cycle

Figure 6

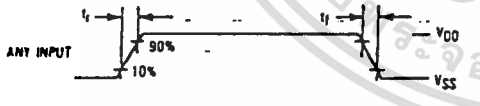


Figure 8

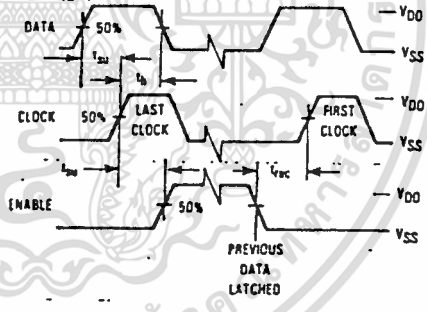


Figure 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAMILY CHARACTERISTICS

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	−0.5 to −10.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient), except SW1, SW2	−0.5 to V_{DD} + 0.5	V
V_{out}	Output Voltage (DC or Transient), SW1 or SW2 (R_{pullup} = 4.7 kΩ)	−0.5 to +15	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	±10	mA
I_{DD}, I_{SS}	Supply Current, V_{DD} or V_{SS} Pins	±30	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	−65 to −150	°C
T_L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

†Power Dissipation Temperature Derating:
Plastic DIP: −12 mW/°C from 65°C to 85°C
PLCC Package: −12 mW/°C from 65°C to 85°C
SOG Package: −7 mW/°C from 65°C to 85°C

These devices contain protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high-impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V dc, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pullup devices. Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	−40°C Min	−40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
V_{DD}	Power Supply Voltage Range		—	3	9	3	9	3	9	V
I_{DD}	Dynamic Supply Current	$f_{in} = OSC_{in}$ = 10 MHz, 1 Vp-p ac-coupled sine wave	3	—	3.5	—	3	—	3	mA
			5	—	10	—	7.5	—	7.5	
		R = 128, A = 32, N = 128	9	—	30	—	24	—	24	
I_{SS}	Quiescent Supply Current (not including pullup current component)	$V_{in} = V_{DD}$ or V_{SS}, I_{out} = 0 μA	3	—	800	—	800	—	1600	μA
			5	—	1200	—	1200	—	2400	
			9	—	1600	—	1600	—	3200	
V_{in}	Input Voltage—f_{in}, OSC_{in}	Input ac-coupled sine wave	—	500	—	500	—	500	—	mVp-p
V_{IL}	Low-Level Input Voltage—f_{in}, OSC_{in}	$V_{out} \ge 2.1$ V Input dc-coupled square wave	3	—	0	—	0	—	0	V
		$V_{out} \ge 3.5$ V	5	—	0	—	0	—	0	
		$V_{out} \ge 6.3$ V	9	—	0	—	0	—	0	
V_{IH}	High-Level Input Voltage—f_{in}, OSC_{in}	$V_{out} \le 0.9$ V Input dc-coupled square wave	3	3.0	—	3.0	—	3.0	—	V
		$V_{out} \le 1.5$ V	5	5.0	—	5.0	—	5.0	—	
		$V_{out} \le 2.7$ V	9	9.0	—	9.0	—	9.0	—	
V_{IL}	Low-Level Input Voltage—except f_{in}, OSC_{in}		3	—	0.9	—	0.9	—	0.9	V
			5	—	1.5	—	1.5	—	1.5	
			9	—	2.7	—	2.7	—	2.7	
V_{IH}	High-Level Input Voltage—except f_{in}, OSC_{in}		3	2.1	—	2.1	—	2.1	—	V
			5	3.5	—	3.5	—	3.5	—	
			9	6.3	—	6.3	—	6.3	—	
I_{in}	Input Current (f_{in}, OSC_{in})	$V_{in} = V_{DD}$ or V_{SS}	9	±2	±50	±2	±25	±2	±22	μA
I_{IL}	Input Leakage Current (Data, Clock, Enable—without Pullups)	$V_{in} = V_{SS}$	9	—	−0.3	—	−0.1	—	−1.0	μA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	$V_{in} = V_{DD}$	9	—	0.3	—	0.1	—	1.0	μA
I_{IL}	Pullup Current (all inputs with Pullups)	$V_{in} = V_{SS}$	9	−20	−400	−20	−200	−20	−170	μA
C_{in}	Input Capacitance		—	—	10	—	10	—	10	pF

Continued

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAMILY CHARACTERISTICS

ELECTRICAL CHARACTERISTICS (Continued)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C Min	−40°C Max	25°C Min	25°C Max	85°C Min	85°C Max	Unit
V_{OL}	Low-Level Output Voltage—OSC_{out}	I_{out} = 0 μA V_{in} = V_{DD}	3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V_{OH}	High-Level Output Voltage—OSC_{out}	I_{out} = 0 μA V_{in} = V_{SS}	3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
V_{OL}	Low-Level Output Voltage—Other Outputs	I_{out} = 0 μA	3 5 9	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	— — —	0.05 0.05 0.05	V
V_{OH}	High-Level Output Voltage—Other Outputs	I_{out} = 0 μA	3 5 9	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	2.95 4.95 8.95	— — —	V
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage—SW1, SW2	R_{pullup} = 4.7 kΩ	—	15	—	15	—	15	—	V
I_{OL}	Low-Level Sinking Current—Modulus Control	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	1.30 1.90 3.80	— — —	1.10 1.70 3.30	— — —	0.66 1.08 2.10	— — —	mA
I_{OH}	High-Level Sourcing Current—Modulus Control	V_{out} = 2.7 V V_{out} = 4.6 V V_{out} = 8.5 V	3 5 9	−0.60 −0.90 −1.50	— — —	−0.50 −0.75 −1.25	— — —	−0.30 −0.50 −0.80	— — —	mA
I_{OL}	Low-Level Sinking Current—Lock Detect	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	0.25 0.64 1.30	— — —	0.20 0.51 1.00	— — —	0.15 0.36 0.70	— — —	mA
I_{OH}	High-Level Sourcing Current—Lock Detect	V_{out} = 2.7 V V_{out} = 4.6 V V_{out} = 8.5 V	3 5 9	−0.25 −0.64 −1.30	— — —	−0.20 −0.51 −1.00	— — —	−0.15 −0.36 −0.70	— — —	mA
I_{OL}	Low-Level Sinking Current—SW1, SW2	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	0.80 1.50 3.50	— — —	0.48 0.90 2.10	— — —	0.24 0.45 1.05	— — —	mA
I_{OL}	Low-Level Sinking Current—Other Outputs	V_{out} = 0.3 V V_{out} = 0.4 V V_{out} = 0.5 V	3 5 9	0.44 0.64 1.30	— — —	0.35 0.51 1.00	— — —	0.22 0.36 0.70	— — —	mA
I_{OH}	High-Level Sourcing Current—Other Outputs	V_{out} = 2.7 V V_{out} = 4.6 V V_{out} = 8.5 V	3 5 9	−0.44 −0.64 −1.30	— — —	−0.35 −0.51 −1.00	— — —	−0.22 −0.36 −0.70	— — —	mA
I_{OZ}	Output Leakage Current—PD_{out}	V_{out} = V_{DD} or V_{SS} Output in Off State	9	—	±0.3	—	±0.1	—	±1.0	μA
I_{OZ}	Output Leakage Current—SW1, SW2	V_{out} = V_{DD} or V_{SS} Output in Off State	9	—	±0.3	—	±0.1	—	±3.0	μA
C_{out}	Output Capacitance—PD_{out}	PD_{out}—3-State	—	—	10	—	10	—	10	pF

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAMILY CHARACTERISTICS

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 10 ns)

Symbol	Parameter	V_{DD} V	Guaranteed Limit 25°C	Guaranteed Limit −40°C to 85°C	Unit
t_{PLH}, t_{PHL}	Maximum Propagation Delay, f_{in} to Modulus Control (Figures 1 and 4)	3 5 9	110 60 35	120 70 40	ns
t_{PHL}	Maximum Propagation Delay, Enable to SW1, SW2 (Figures 1 and 5)	3 5 9	160 80 50	180 95 60	ns
t_w	Output Pulse Width, ϕ_R, ϕ_V, and LD with f_R in Phase with f_V (Figures 2 and 4)	3 5 9	25 to 200 20 to 100 10 to 70	25 to 260 20 to 125 10 to 80	ns
t_{TLH}	Maximum Output Transition Time, Modulus Control (Figures 3 and 4)	3 5 9	115 60 40	115 75 60	ns
t_{THL}	Maximum Output Transition Time, Modulus Control (Figures 3 and 4)	3 5 9	60 34 30	70 45 38	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Lock Detect (Figures 3 and 4)	3 5 9	180 90 70	200 120 90	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Other Outputs (Figures 3 and 4)	3 5 9	160 80 60	175 100 65	ns

SWITCHING WAVEFORMS

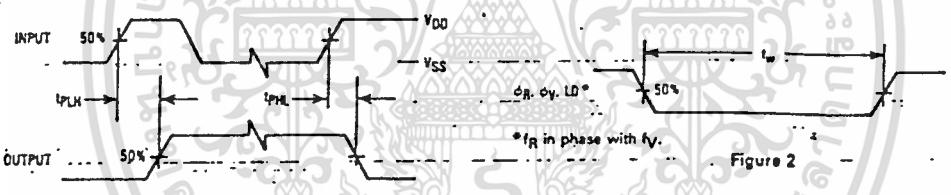
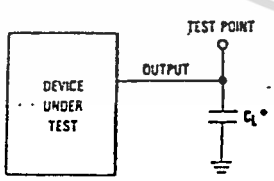


Figure 1

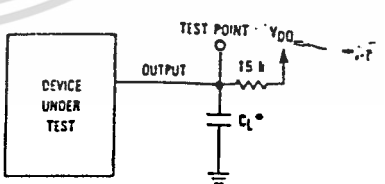
Figure 2

Figure 3



*Includes all probe and jig capacitance.

Figure 4. Test Circuit



*Includes all probe and jig capacitance.

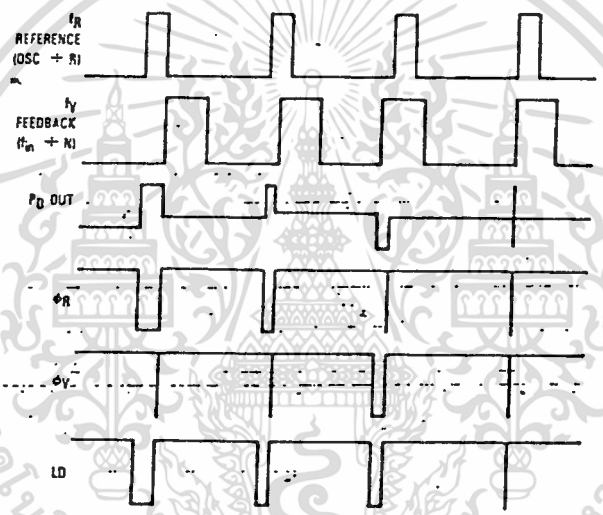
Figure 5. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAMILY CHARACTERISTICS

FREQUENCY CHARACTERISTICS (Voltages Referenced to V_{SS}, C_L = 50 pF, Input $t_r = t_f$ = 10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	−40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mVp-p ac-coupled sine wave	3	—	6	—	6	—	6	MHz
			5	—	15	—	15	—	15	
			9	—	15	—	15	—	15	
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 Vp-p ac-coupled sine wave	3	—	12	—	12	—	7	MHz
			5	—	22	—	20	—	20	
			9	—	25	—	22	—	22	
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = V_{DD} to V_{SS} dc-coupled square wave	3	—	13	—	12	—	8	MHz
			5	—	25	—	22	—	22	
			9	—	25	—	25	—	25	



NOTE: The P_D output state is equal to either V_{DD} or V_{SS} when active. When not active, the output is high impedance and the voltage at that pin is determined by the low pass filter capacitor.

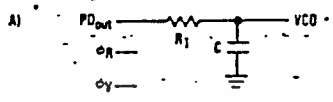
Figure 9. Phase Detector/Lock Detector Output Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

PHASE-LOCKED LOOP—LOW PASS FILTER DESIGN

A)

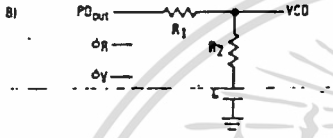


$$\omega_n = \sqrt{\frac{K_\Phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{R_1 C \omega_n}{2}$$

$$F(s) = \frac{1}{R_1 sC + 1}$$

B)

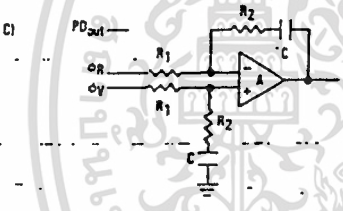


$$\omega_n = \sqrt{\frac{K_\Phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\,\omega_n \left(R_2 C + \frac{N}{K_\Phi K_{VCO}}\right)$$

$$F(s) = \frac{R_2 sC + 1}{(R_1 + R_2) sC + 1}$$

C)



$$\omega_n = \sqrt{\frac{K_\Phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

ASSUMING GAIN A IS VERY LARGE, THEN:

$$F(s) = \frac{R_2 sC + 1}{R_1 sC}$$

NOTE: Sometimes R_1 is split into two series resistors each $R_1 \div 2$. A capacitor C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the corner frequency of this network does not significantly affect ω_n.

DEFINITIONS:

N = Total Division Ratio in feedback loop

K_Φ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_Φ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design ω_n (Natural Frequency) $\cong \frac{2\pi f_f}{10}$ (at phase detector input),

Damping Factor: $\zeta \cong 1$

RECOMMENDED FOR READING:

Gardner, Floyd M., *Phaselock Techniques (second edition)*, New York, Wiley-Interscience, 1979.
Manassewitsch, Vadim, *Frequency Synthesizers: Theory and Design (second edition)*, New York, Wiley-Interscience, 1980.
Blanchard, Alain, *Phase-Locked Loops: Application to Coherent Receiver Design*, New York, Wiley-Interscience, 1976.
Egan, William F., *Frequency Synthesis by Phase Lock*, New York, Wiley-Interscience, 1981.
Rohde, Ulrich L., *Digital PLL Frequency Synthesizers Theory and Design*, Englewood Cliffs, NJ, Prentice-Hall, 1983.
Berlin, Howard M., *Design of Phase-Locked Loop Circuits, with Experiments*, Indianapolis, Howard W. Sams and Co., 1978.
Kinley, Harold, *The PLL Synthesizer Cookbook*, Blue Ridge Summit, PA Tab Books, 1980.
AN535, Phase-Locked Loop Design Fundamentals, Motorola Semiconductor Products, Inc., 1970.
AR254, Phase-Locked Loop Design Articles, Motorola Semiconductor Products, Inc., Reprinted with permission from *Electronic Design*, 1987.
BR504/D, Electronic Tuning Address Systems, Motorola Semiconductor Products, Inc., 1986.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

CRYSTAL OSCILLATOR CONSIDERATIONS

The following options may be considered to provide a reference frequency to Motorola's CMOS frequency synthesizers. The most desirable is discussed first.

USE OF A HYBRID CRYSTAL OSCILLATOR

Commercially available temperature-compensated crystal oscillators (TCXOs) or crystal-controlled data clock oscillators provide very stable reference frequencies. An oscillator capable of sinking and sourcing 50 μA at CMOS logic levels may be direct or dc coupled to OSC_{in}. In general, the highest frequency capability is obtained utilizing a direct-coupled square wave having rail-to-rail (V_{DD} to V_{SS}) voltage swing. If the oscillator does not have CMOS logic levels on the outputs, capacitive or dc coupling to OSC_{in} may be used. OSC_{out}, an unbuffered output, should be left floating.

For additional information about TCXOs and data clock oscillators, please consult the latest version of the *Electronic Engineers Master Catalog*, the *Gold Book*, or similar publications.

DESIGN AN OFF-CHIP REFERENCE

The user may design an off-chip crystal oscillator using ICs specifically developed for crystal oscillator applications, such as the MC12061 MECL device. The reference signal from the MECL device is ac coupled to OSC_{in}. For large amplitude signals (standard CMOS logic levels), dc coupling is used. OSC_{out}, an unbuffered output, should be left floating. In general, the highest frequency capability is obtained with a direct-coupled square wave having rail-to-rail voltage swing.

USE OF THE ON-CHIP OSCILLATOR CIRCUITRY

The on-chip amplifier (a digital inverter) along with an appropriate crystal may be used to provide a reference source frequency. A fundamental mode crystal, parallel resonant at the desired operating frequency, should be connected as shown in Figure 10.

For V_{DD} = 5 V, the crystal should be specified for a loading capacitance, C_L, which does not exceed 32 pF for frequencies to approximately 8 MHz, 20 pF for frequencies in the area of 8 to 15 MHz, and 10 pF for higher frequencies. These are guidelines that provide a reasonable compromise between IC capacitance, drive capability, swamping variations in stray and IC input/output capacitance, and realistic C_L values. The shunt load capacitance, C_L, presented across the crystal can be estimated to be:

$$C_L = \frac{C_{in}C_{out}}{C_{in}+C_{out}} + C_a + C_O + \frac{C1 \cdot C2}{C1+C2}$$

where

C_{in} = 5 pF (see Figure 11)
C_{out} = 6 pF (see Figure 11)
C_a = 1 pF (see Figure 11)
C_O = the crystal's holder capacitance (see Figure 12)
C1 and C2 = external capacitors (see Figure 10)

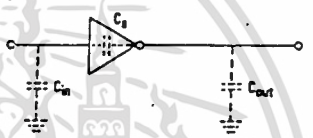
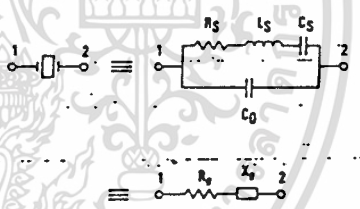
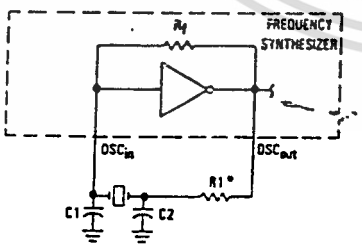


Figure 11. Parasitic Capacitances of the Amplifier



NOTE: Values are supplied by crystal manufacturer (parallel resonant crystal).

Figure 12. Equivalent Crystal Networks



*May be deleted in certain cases. See text.

Figure 10. Pierce Crystal Oscillator Circuit

The oscillator can be "trimmed" on-frequency by making a portion or all of C1 variable. The crystal and associated components must be located as close as possible to the OSC_{in} and OSC_{out} pins to minimize distortion, stray capacitance, stray inductance, and startup stabilization time. In some cases, stray capacitance should be added to the values for C_{in} and C_{out}.

Power is dissipated in the effective series resistance of the crystal, R_e, in Figure 12. The drive level specified by the crystal manufacturer is the maximum stress that a crystal can withstand without damage or excessive shift in frequency. R1 in Figure 10 limits the drive level. The use of R1 may not be necessary in some cases; i.e., R1 = 0 ohms.

To verify that the maximum dc supply voltage does not overdrive the crystal, monitor the output frequency as a function of voltage at OSC_{out}. (Care should be taken to minimize

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

loading.) The frequency should increase very slightly as the dc supply voltage is increased. An overdriven crystal will decrease in frequency or become unstable with an increase in supply voltage. The operating supply voltage must be reduced or R1 must be increased in value if the overdriven condition exists. The user should note that the oscillator start-up time is proportional to the value of R1.

Through the process of supplying crystals for use with CMOS inverters, many crystal manufacturers have developed expertise in CMOS oscillator design with crystals. Discussions with such manufacturers can prove very helpful. See Table 1.

RECOMMENDED FOR READING

Technical Note TN-24, Statek Corp.

Technical Note TN-7, Statek Corp.

E. Hafner, "The Piezoelectric Crystal Unit—Definitions and Method of Measurement", *Proc. IEEE*, Vol. 57, No. 2; Feb., 1969.

D. Kemper, L. Rosine, "Quartz Crystals for Frequency Control", *Electro-Technology*, June, 1969.

P. J. Ottowitz, "A Guide to Crystal Selection", *Electronic Design*, May, 1966.

Table 1. Partial List of Crystal Manufacturers

Name	Address	Phone
United States Crystal Corp.	3605 McCart St., Ft. Worth, TX 76110	(817) 921-3013
Crystek Crystal	2371 Crystal Dr., Ft. Myers, FL 33907	(813) 936-2109
Statek Corp.	512 N. Main St., Orange, CA 92668	(714) 639-7810

NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing of crystal manufacturers.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN CONSIDERATIONS

DUAL-MODULUS PRESCALING

OVERVIEW

The technique of dual-modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low-frequency programmable counters to be used as high-frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single-modulus) divider is used for the prescaler.

In dual-modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition). Motorola's dual-modulus frequency-synthesizers contain this feature and can be used with a variety of dual-modulus prescalers to allow speed, complexity and cost to be tailored to the system requirements. Prescalers having P, P + 1 divide values in the range of ÷ 3/÷ 4 to ÷ 128/ ÷ 129 can be controlled by most Motorola frequency synthesizers.

Several dual-modulus prescaler approaches suitable for use with the MC145152-2, MC145156-2, or MC145158-2 are:

MC12009	÷ 5/ ÷ 6	440 MHz
MC12011	÷ 8/ ÷ 9	500 MHz
MC12013	÷ 10/ ÷ 11	500 MHz
MC12015	÷ 32/ ÷ 33	225 MHz
MC12016	÷ 40/ ÷ 41	225 MHz
MC12017	÷ 64/ ÷ 65	225 MHz
MC12018	÷ 128/ ÷ 129	520 MHz
MC12022A	÷ 64 65 or ÷ 128 129	1.1 GHz
MC12032A	÷ 64 65 or ÷ 128 129	2.0 GHz

DESIGN GUIDELINES

The system total divide value, N_{total} (N_T) will be dictated by the application, i.e.

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \cdot P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual-modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P – 1 for a particular value N in the ÷ N counter. N is then incremented to N + 1 and the ÷ A is sequenced from zero through P – 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters. The constraint N ≥ A always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1)\,P + A$ or $(P - 1)\,P$ since A is free to assume the value of zero.

$$N_{Tmax} = N_{max} \cdot P + A_{max}$$

To maximize system frequency capability, the dual-modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its modulus control is low.

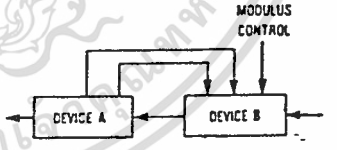
For the maximum frequency into the prescaler (f_{VCOmax}), the value used for P must be large enough such that:

A. f_{VCO} max divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
B. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a. Propagation delay through the dual-modulus prescaler.
   b. Prescaler setup or release time relative to its modulus control signal.
   c. Propagation time from f_{in} to the modulus control output for the frequency synthesizer device.

A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value for N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

A. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
B. Always program all higher order ÷ A counter bits above "a" to zero.
C. Assume the ÷ N counter and the ÷ A counter (with all the higher order bits above "a" ignored) combined into a single binary counter of n + a bits in length (n = number of divider stages in the ÷ N counter). The MSB of this "hypothetical" counter is to correspond to the MSB of ÷ N and the LSB is to correspond to the LSB of ÷ A. The system divide value, N_T, now results when the value of N_T in binary is used to program the "new" n + a bit counter.

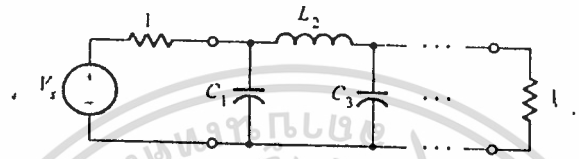
By using two devices, several dual-modulus values are achievable:



DEVICE A \ DEVICE B	MC12009	MC12011	MC12013
MC10131	÷ 20/ ÷ 21	÷ 32/ ÷ 33	÷ 40/ ÷ 41
MC10136	÷ 50/ ÷ 51	÷ 80/ ÷ 81	÷ 100/ ÷ 101
MC10154	÷ 40/ ÷ 41 OR ÷ 80/ ÷ 81	÷ 64/ ÷ 65 OR ÷ 128/ ÷ 129	÷ 80/ ÷ 81

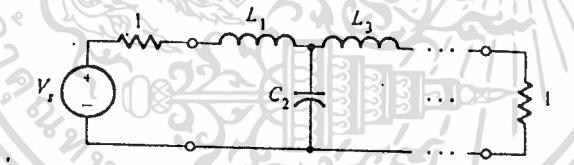
NOTE: MC12009, MC12011, and MC12013 are pin equivalent.
MC12015, MC12016, and MC12017 are pin equivalent.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



n	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9	L_{10}
2	1.414	1.414								
3	1.000	2.000	1.000							
4	0.7654	1.848	1.848	0.7654						
5	0.6180	1.618	2.000	1.618	0.6180					
6	0.5176	1.414	1.932	1.932	1.414	0.5176				
7	0.4450	1.247	1.802	2.000	1.802	1.247	0.4450			
8	0.3902	1.111	1.663	1.962	1.962	1.663	1.111	0.3902		
9	0.3473	1.000	1.532	1.879	2.000	1.879	1.532	1.000	0.3473	
10	0.3129	0.9080	1.414	1.782	1.975	1.975	1.782	1.414	0.9080	0.3129

n	L_1	C_2	L_3	C_4	L_5	C_6	L_7	C_8	L_9	C_{10}



หนังสืออ้างอิง

- สุชาติ กังวารจิตต์, " เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร " , ซีเอ็ดยูเคชั่น จำกัด, กรุงเทพฯ,2536
- ภาควิชาวิศวกรรมควบคุมสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,
" เฟสล็อคลูปในระบบการสื่อสาร " ,หน้า 1-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้