แผ่นวงจรเชื่อมต่อระบบเครือข่ายคอมพิวเตอร์แบบอีเทอร์เน็ต

ETHERNET NETWORK INTERFACE ADAPTER

โดย

นาย ชูเกียรติ ชี้ทางดี
นาย วรวุฒิ วิบูลย์เจริญกิจจา
นาย สราวุธ ตินา

อาจารย์ที่ปรึกษา
อาจารย์ เกรียงไกร วงศ์โรจน์ภรณ์
ผศ.ดร. สุวิพล สิทธิชีวภาค

วัน เดือน ปี 15 ส.ค. 2540
เลขทะเบียน 032137
เลขเรียกหนังสือ T38330 ช 644ป

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิศวกรรมโทรคมนาคม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2538

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **แผ่นวงจรเชื่อมต่อเครือข่ายคอมพิวเตอร์ระบบอีเทอร์เน็ต**

Ethernet Network Interface Adapter

ผู้จัดทำ

1. นาย ชูเกียรติ	ชี้ทางดี	36013011
2 นาย วรวุฒิ	วิบูลย์เจริญกิจจา	36013029
3. นาย สราวุธ	ดินา	36013038

..... อาจารย์ที่ปรึกษา

(อาจารย์ เกรียงไกร วงศ์โรจน์ภรณ์)

..... อาจารย์ที่ปรึกษา

(ผศ.ดร. สุวิพล สิทธิชีวภาค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แผ่นวงจรเชื่อมต่อเครือข่ายคอมพิวเตอร์ระบบอีเทอร์เน็ต

Ethernet Network Interface Adapter

โดย นาย ชูเกียรติ ชี้ทางดี 36013011

นาย วรวุฒิ วิบูลย์เจริญกิจจา 36013029

นาย สราวุธ ตินา 36013038

อาจารย์ที่ปรึกษา อาจารย์เกรียงไกร วงศ์โรจน์ภรณ์

ผศ.ดร.สุวิพล สิทธิชีวภาค

บทคัดย่อ

โครงงานนี้เป็นการศึกษา,ออกแบบและสร้างแผ่นวงจรเชื่อมต่อระบบเครือข่ายคอมพิวเตอร์แบบอีเทอร์เน็ตซึ่งเป็นสื่อในการเชื่อมต่อและส่งผ่านข้อมูลระหว่างเครื่องคอมพิวเตอร์โดยผ่านระบบเครือข่ายคอมพิวเตอร์ท้องถิ่น ซึ่งมีจุดประสงค์หลักในการแบ่งปันทรัพยากรร่วมกัน เช่น เครื่องพิมพ์ , ฐานข้อมูล เป็นต้น และยังสามารถเชื่อมต่อเข้ากับระบบเครือข่ายทั่วโลกผ่านระบบอินเตอร์เน็ต ซึ่งเป็นการสนับสนุนเทคโนโลยีการสื่อสารข้อมูลในยุคโลกาภิวัฒน์อีกด้วย

แผ่นวงจรเชื่อมต่อระบบเครือข่ายคอมพิวเตอร์นี้ จะมีส่วนประกอบสำคัญอยู่ 2 ส่วน คือ ส่วนแรกจะเป็นส่วนของอุปกรณ์ทางด้านฮาร์ดแวร์ ซึ่งมีชิพควบคุมระบบเครือข่ายเป็นหัวใจหลักในการจัดการและควบคุมการรับส่งข้อมูลของระบบ และอีกส่วนจะเป็นโปรแกรมไดร์ฟเวอร์ซึ่งทำหน้าที่สั่งงานให้ส่วนของฮาร์ดแวร์สามารถสามารถทำงานได้อย่างถูกต้องสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Title : Ethernet Network Interface Adapter

Name MR. CHUKIART CHEETANGDEE 36013011

MR. WORAWUTI WIBOONCHAROENKITJA 36013029

MR. SARAWUT TINA 36013038

Advisor : MR. KRIENGKRAI VONGLODJANAPORN

ASSIST.DR. SUWIPON SITTHICHEEVAPAK

Abstract

This project has been studying , designing and producing a Ethernet Network Interfacing Adapter , that is the medium , to interface and transfer data between several personal computers via a network such as LAN (Local Area Network) , for purpose of sharing a printer , database and other resources. And also , can connect to other networks in the world through Internet. To support the Globalization of Information Technology.

It has two important parts : First part is the hardware that has a LAN Controller Chip for Managing and controlling the data transfering of the entire system. And second part is the Driver Software that used for instruction with the commands to the hardware par t working completely.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้าที่

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีและหลักการ 3

2.1 ระบบเครือข่ายคอมพิวเตอร์ 3

2.2 มาตรฐานการเชื่อมต่อระบบเปิด 7 ชั้น (OSI 7-Layer) 3

2.3 การเชื่อมโยงติดต่อกันในแบบระบบเปิด 7 ชั้น 6

2.4 มาตรฐานอีเทอร์เน็ต 7

2.4.1 ลักษณะการเชื่อมต่อทางกายภาพของอีเทอร์เน็ต (Ethernet Topology) 7

2.4.2 วิธีการควบคุมการเข้าใช้งานสื่อนำสัญญาณ (Media Access Control : MAC) 9

2.4.3 มาตรฐานของ IEEE 802 11

2.4.4 มาตรฐานอีเทอร์เน็ต 10 Base 5 13

2.4.5 รูปแบบเฟรมข้อมูลของอีเทอร์เน็ต (Ethernet Frame Format) 19

2.5 การเชื่อมต่อแผ่นวงจรเข้ากับไมโครคอมพิวเตอร์ 26

บทที่ 3 การคำนวนและการสร้าง 31

3.1 รายละเอียดทั่วไปของ DP8390 31

3.2 บล๊อกไดอะแกรมของชิพ DP8390 32

3.3 การส่งและรับเฟรมข้อมูล/การเอ็นแคบซูเลชั่นและดีแคบซูเลชั่น 34

3.4 หน้าที่และตำแหน่งขาสัญญาณต่างๆ 35

3.5 โครงสร้างของแผ่นวงจร NIC 38

3.6 การทำงานของชิพ DP8391 42

3.7 การทำงานของชิพ DP8392 44

บทที่ 4 ผลการทดลอง 47

4.1 การทดลองก่อนการใช้งานจริง 47

4.2 การทดลองการใช้งานจริง 49

บทที่ 5 แนวทางในการแก้ไขและพัฒนา 63

เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

โครงงานนี้ เป็นโครงงานที่เกี่ยวข้องกับระบบการสื่อสารข้อมูลคอมพิวเตอร์ ซึ่งปัจจุบันนี้มนุษย์ได้ให้ความสำคัญของการสื่อสารข้อมูลยิ่งวิทยาการทางด้านสื่อสารข้อมูลมีการพัฒนาไปมากโดยเฉพาะเมื่อมีการเชื่อมต่อเครือข่ายคอมพิวเตอร์ระหว่างเครือข่ายหนึ่งไปยังอีกเครือข่ายหนึ่งและขยายออกไปอีกอย่างกว้างขวางจนทั่วโลกดังนั้นช่องทางในการเข้าถึงข้อมูลข่าวสารโดยผ่านเครือข่ายที่เชื่อมโยงคอมพิวเตอร์หลายร้อยล้านเครื่องในกว่า 160 ประเทศทั่วโลก ทำให้ได้ข่าวสารข้อมูลที่ต้องการภายในไม่กี่วินาทีดังที่เรารู้จักกันดีในชื่อที่เรียกว่าอินเตอร์เน็ต (Internet) ซึ่งขณะนี้ประเทศไทยมีการเปิดโอกาสให้เอกชนสามารถที่จะเปิดให้บริการอินเตอร์เน็ตในเชิงพาณิชย์อย่างเสรี ยิ่งเป็นจุดที่ทำให้เกิดการก้าวกระโดดในการพัฒนาเทคโนโลยีเทคนิคการสื่อสารด้วยเครื่องคอมพิวเตอร์

ด้วยเหตุนี้เอง ทำให้มีผู้ที่สนใจที่จะติดตามเทคโนโลยีทางด้านนี้อยู่จำนวนไม่น้อย ไม่ว่าจะเป็นเทคโนโลยีในการเขียนโปรแกรมขึ้นมารองรับการใช้งานระบบเครือข่ายหรือเทคโนโลยีการออกแบบอุปกรณ์ที่ใช้สำหรับให้เครื่องคอมพิวเตอร์สามารถเชื่อมต่อกันได้

สำหรับคณะผู้ศึกษาโครงงานนี้เห็นว่า อุปกรณ์ที่ควรจะให้ความสนใจในเบื้องต้นน่าจะเป็นอุปกรณ์ที่มีความใกล้ตัวผู้ที่จะใช้งานเครือข่ายมากที่สุด นั่นคือ แผ่นวงจรเชื่อมต่อเครือข่ายคอมพิวเตอร์ระบบอีเทอร์เน็ต (Ethernet network interface cards) โดยสาเหตุที่มุ่งเน้นที่ระบบอีเทอร์เน็ตนี้ก็เนื่องมาจากว่าระบบอีเทอร์เน็ตเป็นระบบมาตรฐานที่มีการใช้งานอย่างกว้างขวางมากที่สุด นอกจากนี้ยังมีแนวโน้มที่จะยังคงใช้งานได้อย่างมีประสิทธิภาพต่อไปอีกนาน และยังสามารถพัฒนาเทคนิคนี้เพื่อให้มีความสามารถสูงขึ้นได้อีกด้วย จึงน่าจะเป็นการเริ่มต้นที่เหมาะสมในการที่จะศึกษาเพื่อนำไปสู่เทคโนโลยีที่ซับซ้อนของอุปกรณ์เครือข่ายคอมพิวเตอร์อื่นๆ อีกมากเช่น อุปกรณ์ค้นหาเส้นทางการส่งผ่านข้อมูล (Router) ที่กำลังเป็นที่ต้องการสำหรับการเชื่อมต่อเครือข่ายตั้งแต่สองเครือข่ายเข้าด้วยกัน เป็นต้น

สำหรับการนำเสนอของโครงงานนี้นั้น ทางคณะะผู้ศึกษาโครงงานได้ทำการนำเสนอโดยแบ่งออกเป็นสองส่วนสำหรับในแต่ละภาคการศึกษา โดยในภาคการศึกษาแรกนั้นจะหาข้อมูลที่เพียงพอในการที่จะนำมาเริ่มการปฏิบัติงาน ส่วนในภาคการศึกษาที่สอง ทางคณะผู้ศึกษาโครงงานได้นำเอาข้อมูลที่สามารถรวบรวมได้มาสร้างเป็นฮาร์ดแวร์ โดยอาศัยแผ่นวงจรเชื่อมต่อระบบเครือข่ายที่เป็นต้นแบบจากบริษัท 3COM ซึ่งเป็นแผ่นวงจรรุ่นเก่าที่สามารถศึกษาให้เข้าใจได้ง่าย และการประกอบวงจรสามารถทำได้โดยใช้เครื่องมือที่สามารถจัดหามาได้

งานในภาคการศึกษาที่สองนี้เป็นการทดสอบการทำงานของแต่ละส่วนของชิพที่ได้นำมาใช้เป็นอุปกรณ์หลัก รวมทั้งได้ทดสอบอุปกรณ์ประกอบที่จำเป็น ซึ่งจะต้องทดลองในห้องแล็บของคณะ

เนื้อหาต่างๆในโครงงานฉบับนี้ ได้แบ่งออกเป็น 5 บท โดยแต่ละบทมีเนื้อหาโดยสรุปย่อดังต่อไปนี้ คือ ในบทที่ 2 จะกล่าวถึงทฤษฎีและหลักการที่เกี่ยวข้องกับโครงงานนี้ เช่น OSI 7 - Layer , มาตรฐานของอีเทอร์เน็ต เป็นต้น ส่วนบทที่ 3 เป็นเรื่องเกี่ยวกับแผ่นวงจรเชื่อมต่อระบบเครือข่ายคอมพิวเตอร์อี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทอร์เน็ต โครงสร้าง แนวทางในการออกแบบ และรายละเอียดการทำงานของอุปกรณ์ บทที่ 4 เป็นส่วนที่เป็นผลการทดลอง ตามลำดับขั้นทั้งทางด้านซอร์ฟแวร์และฮาร์ดแวร์ บทที่ 5 เป็นแนวทางการแก้ไขและการพัฒนาในขั้นต่อไปที่สามารถจะทำได้ในอนาคตอันใกล้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 ระบบเครือข่ายคอมพิวเตอร์

ในการที่จะผลิตอุปกรณ์เครือข่ายคอมพิวเตอร์นั้น มีข้อที่จะต้องคำนึงถึงอยู่หลายประการด้วยกัน ทั้งนี้เนื่องมาจากการเชื่อมต่ออุปกรณ์ตั้งแต่สองชิ้นขึ้นไป จะต้องมีข้อตกลงกันเป็นมาตรฐานในการผลิต โดยที่อุปกรณ์เชื่อมต่อเครือข่ายดังกล่าวจะต้องสามารถเชื่อมต่อกันได้หลากหลายเครื่องหมายการค้า ทุกเครื่องหมายการค้าจะต้องผลิตสินค้าตามข้อกำหนดในมาตรฐานเดียวกันจึงจะสามารถที่จะทำงานร่วมกันกับอุปกรณ์อื่นๆได้อย่างประสิทธิภาพโดยมาตรฐานการเชื่อมต่ออุปกรณ์เครือข่ายคอมพิวเตอร์ก็มีอยู่หลายมาตรฐานด้วยกัน สำหรับมาตรฐานที่โครงงานนี้จะใช้อ้างอิงเป็นมาตรฐานแบบอีเทอร์เน็ต ซึ่งเป็นระบบการเชื่อมต่อระบบเครือข่ายคอมพิวเตอร์ที่ได้รับความนิยมอย่างต่อเนื่องมานานและยังสามารถพัฒนาให้มีประสิทธิภาพมากขึ้นอีกต่อไปในอนาคต

2.2 มาตรฐานการเชื่อมต่อระบบเปิด 7 ชั้น (OSI 7 - Layer)

ก่อนจะกล่าวถึงมาตรฐานอีเทอร์เน็ต จะกล่าวถึงมาตรฐานกลางที่มาตรฐานอีเทอร์เน็ตใช้อ้างอิงเป็นแนวคิดการกำหนดแนวทางของมาตรฐาน นั่นคือการกำหนดการเชื่อมต่อระบบเปิดแบบเป็นชั้น 7 ชั้น (Open System Intertconnection 7-Layer : OSI 7 Layer) กำหนดโดย International Standards Organization (ISO) ซึ่งมีแนวคิดว่าควรจะแบ่งแยกระบบการเชื่อมต่อออกเป็น 7 ชั้น โดยแต่ละชั้นจะเป็นการกำหนดมาตรฐานการเชื่อมต่อของระบบ 2 ระบบเข้าด้วยกัน ซึ่งแต่ละชั้นก็จะเป็นเอกเทศ นั่นคือ ถ้าหากมีการเปลี่ยนแปลงองค์ประกอบในชั้นใดชั้นหนึ่งในระบบ ก็จะไม่มีผลกระทบให้ต้องเปลี่ยนแปลงในชั้นอื่นๆในระบบเดียวกันตามแต่จะมีผลกระทบต่อระบบอีกระบบหนึ่งในชั้นเดียวกันกับที่ระบบแรกเปลี่ยนไป ทั้งนี้เพื่อให้ง่ายต่อการพัฒนาระบบการเชื่อมต่อนั่นเอง เพราะการพัฒนาในแต่ละชั้นของการเชื่อมต่อก็จะสามารถแยกกันพัฒนาได้อีกด้วย นอกจากนี้ในการที่จะต้องวิเคราะห์เพื่อแก้ปัญหาที่เกิดขึ้นในระบบก็จะสามารถแก้ปัญหาได้ง่ายยิ่งขึ้น เพราะสามารถแยกสาเหตุของปัญหาได้ง่าย ว่าเกิดปัญหาในชั้นการเชื่อมต่อใด เราก็จะแก้ปัญหาได้รวดเร็วและง่ายยิ่งขึ้น โดยรายละเอียดของหน้าที่ในแต่ละชั้นการเชื่อมต่อระบบเปิดแบบ 7 ชั้นมีดังนี้

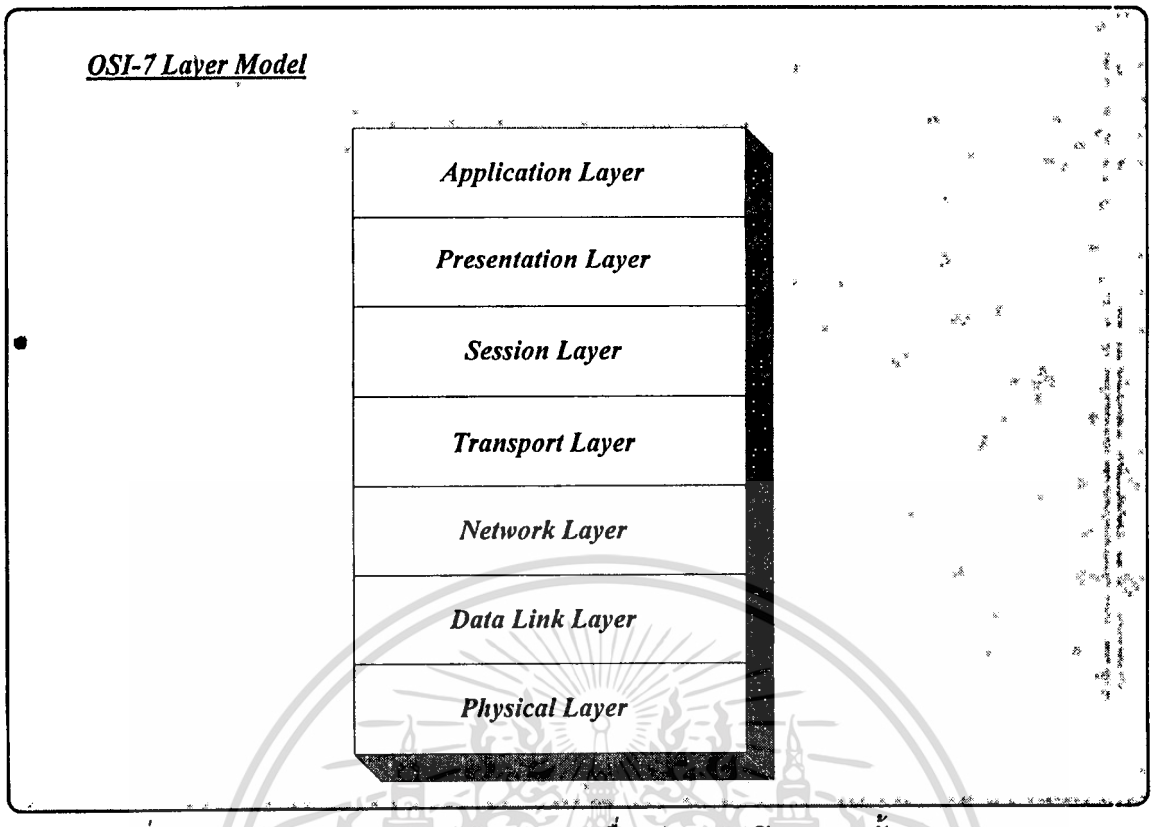
ดังที่แสดงในรูปที่ 2.1 จะเป็นการจัดลำดับชั้นของการเชื่อมต่อ มีชื่อเฉพาะและมีข้อกำหนดการใช้งานแตกต่างกันคือ

2.2.1) ชั้นที่ 1 : การเชื่อมต่อทางกายภาพ (1st Layer : Physical layer)

ในชั้นนี้เป็นชั้นล่างสุดที่จะเชื่อมต่อโดยตรงกับสื่อนำสัญญาณโดยจะมีข้อกำหนดในส่วนสำคัญอยู่ 4 ประการเกี่ยวกับการเชื่อมต่อ เพื่อที่จะให้การเชื่อมในระดับชั้นบนขึ้นไปมีอิสระในการเลือกใช้สื่อนำสัญญาณประเภทใดก็ได้ นั่นคือ

ก. คุณสมบัติทางกล จะพิจารณาเกี่ยวกับคุณสมบัติทางกายภาพ โดยจะกำหนดขนาดและรูปลักษณ์ของตัวเชื่อมต่อ (Connector) เช่นลักษณะและขนาดของตัวเสียบ, ตัวรับ, จำนวนขาของตัวเชื่อมต่อที่ใช้ในการส่งผ่านสัญญาณต่างๆ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงส่วนประกอบของมาตรฐานการเชื่อมต่อระบบเปิดแบบ 7 ชั้น (OSI 7-Layer)

ข. คุณสมบัติทางไฟฟ้า เป็นการกล่าวถึงข้อกำหนดเกี่ยวกับระดับแรงดันของสัญญาณไฟฟ้า, เวลาที่ใช้ในการเปลี่ยนแปลงระดับแรงดันสัญญาณ, ระดับการตัดสินใจเพื่อเลือกระดับสัญญาณจากแรงดันไฟฟ้า, ลักษณะของสัญญาณที่ใช้ นอกจากนี้ยังรวมไปถึงอัตราเร็วที่ใช้ในการส่งผ่านและระยะทางที่ใช้ในการส่งผ่านระหว่างอุปกรณ์อีกด้วย

ค. หน้าที่ของการทำงาน เป็นการกำหนดเกี่ยวกับการแบ่งหน้าที่และชนิดของสัญญาณที่ใช้ในระบบ, ออกเป็นหมวดหมู่ และกล่าวถึงความหมายของแต่ละสัญญาณเช่น กลุ่มของสัญญาณข้อมูล, กลุ่มของสัญญาณควบคุม, กลุ่มของสัญญาณฐานเวลา เป็นต้น

ง.ขั้นตอนในการทำงาน เป็นการกำหนดเกี่ยวกับลำดับก่อน-หลัง หรือ การโต้ตอบสถานะของสัญญาณต่างๆที่เกิดขึ้น (State diagram) ระหว่างอุปกรณ์ส่งสัญญาณข้อมูล (Data Terminal Equipment : DTE) และ อุปกรณ์ที่ทำหน้าที่แปลงสัญญาณข้อมูลที่จะส่งนั้นให้อยู่ในรูปของสัญญาณที่เหมาะสมในการส่งผ่านข้อมูลออกไปยังสื่อนำสัญญาณ

2.2.2) ชั้นที่ 2 : ชั้นดาต้าลิงค์ (2nd Layer : Data Link Layer)

ในชั้นที่ 2 นี้จะเป็นชั้นที่สร้างความน่าเชื่อถือในการส่งผ่านข้อมูลของผู้ใช้งานระหว่างระบบ โดยมีหน้าที่การทำงานที่เป็นข้อกำหนดอยู่หลายอย่างด้วยกันดังนี้

ก. การเริ่มต้นการเชื่อมต่อ (Initialization) ใช้สำหรับการสถาปนาการเชื่อมต่อระหว่างชั้นที่ 2 ของ 2 ระบบ ผ่านไปบนเส้นทางในการส่งผ่านข้อมูลที่ได้ถูกกำหนดขึ้นมาแล้ว ซึ่งเส้นทางนี้อาจมีได้มากกว่า 1 เส้นทางก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. การกำหนดจุดปลายทางระหว่างระบบ (Identification) ใช้สำหรับกำหนดตำแหน่งของผู้รับและผู้ส่งข้อมูลระหว่างระบบ เพื่อให้ข้อมูลส่งผ่านกันได้อย่างถูกต้อง

ค. การเข้าจังหวะระหว่างระบบ (Synchronization) ใช้สำหรับปรับและสร้างความคงอยู่ให้ผู้รับและผู้ส่งระหว่างระบบ มีกลไกในการเข้ารหัสและถอดรหัสระหว่างกันได้อย่างถูกต้อง

ง. การแบ่งส่วนและการจำกัดขอบเขต (Segmenting and Delimiting) ใช้สำหรับแบ่งข้อมูลของผู้ใช้ออกเป็นส่วนย่อยๆ มีขนาดที่แน่นอนและเหมาะสมที่จะใช้ในการส่งผ่านระหว่างระบบ เพราะว่าการส่งผ่านข้อมูลไปบนสื่อนำสัญญาณอาจจะได้รับการรบกวนจากสัญญาณภายนอก ทำให้ข้อมูลไม่สามารถถูกนำไปใช้งานได้ ทำให้ต้องมีการส่งผ่านข้อมูลเดิมจนกว่าจะสามารถนำไปใช้งานได้ ถ้าข้อมูลมีขนาดยาวเกินไปจะทำให้เสียเวลามากในการส่งผ่านข้อมูลซ้ำ แต่ถ้าข้อมูลมีขนาดเล็กเกินไปก็จะทำให้ไม่มีประสิทธิภาพ

จ. ความโปร่งใสของข้อมูลต่อผู้ใช้ (Transparency) ทำให้ข้อมูลในทุกๆ รูปแบบ (รหัส) ของผู้ใช้งานสามารถส่งผ่านถึงกันได้โดยไม่ต้องคำนึงถึงรหัสพิเศษต่างๆ ที่ใช้ในชั้นที่ 2 ว่าจะเป็นอุปสรรคต่อการส่งผ่านข้อมูลระหว่างระบบ

ฉ. การควบคุมการไหลของข้อมูล (Flow Control) ทำให้ผู้รับสามารถจัดระเบียบการไหลของข้อมูลที่รับจากผู้ส่ง เพื่อป้องกันไม่ให้ผู้ส่งส่งข้อมูลมามากเกินไปจนกระทั่งผู้รับไม่สามารถรับหรือตรวจสอบข้อมูลได้ทัน ซึ่งมีผลทำให้เสียเวลาในการเริ่มการรับส่งข้อมูลระหว่างกันใหม่

ช. การควบคุมลำดับข้อมูลและตรวจสอบความผิดพลาด (Error and Sequence Control) ใช้สำหรับตรวจสอบความผิดพลาดของข้อมูลที่เกิดขึ้นระหว่างการส่งผ่าน ทำให้สามารถแยกแยะข้อมูลที่ผิดออกจากข้อมูลที่ถูกได้อย่างถูกต้อง นอกจากนี้ยังสามารถตอบกลับหรือแจ้งกลับไปยังผู้ส่งได้ว่ามีเหตุการณ์อะไรเกิดขึ้นเกี่ยวกับข้อมูลนั้นๆ

ซ. การกลับคืนสู่สถานะเดิม (Abnormal Condition Recovery) ใช้สำหรับตรวจสอบและกลับคืนสู่สถานะเดิมได้อย่างถูกต้อง เช่น ในกรณีที่ระบบไม่ได้รับการตอบรับจากฝ่ายตรงข้าม การส่งผ่านข้อมูลที่มีลำดับไม่ถูกต้อง เป็นต้น วิธีการแก้ไขที่นิยมใช้กันมากคือ การตรวจสอบสถานะภายในเวลาที่กำหนด (Time out)

ฌ. การยกเลิกการเชื่อมต่อ (Termination) ใช้สำหรับสิ้นสุดการส่งผ่านข้อมูลระหว่างระบบ การยกเลิกนี้เป็นการยกเลิกการเชื่อมต่อเชิงตรรกเท่านั้นจะไม่รวมถึงการยกเลิกเส้นทางกายภาพที่ใช้ในการส่งผ่านข้อมูล

ญ. การบริหารการเชื่อมโยง (Link management) ใช้สำหรับดูแลและจัดการการเชื่อมต่อและส่งผ่านข้อมูล เช่น การสถาปนา (Establish) การปลดปล่อย (Release) และลำดับของข้อมูล (Sequence) เป็นต้น นอกจากนี้ยังใช้ในการจัดการกับระบบที่มีรูปแบบของการเชื่อมต่อในลักษณะจุดต่อจุดและหลายจุดด้วย

2.2.3) ชั้นที่ 3 : ชั้นเครือข่าย (3rd Layer : Network Layer)

ในชั้นที่ 3 นี้จะเป็นการจัดสรรแบ่งกลุ่มการเชื่อมต่อเพื่อใช้เป็นประโยชน์ในการใช้หาเส้นทางการส่งผ่านข้อมูลโดยอาจจะมีการกำหนดวิธีอ้างถึงสถานีต้นทางและปลายทางในลักษณะระบุที่อยู่เป็นหมายเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือรหัสตำแหน่ง เพื่อให้สถานีที่ส่งข้อมูลสามารถทราบได้ว่า ถ้าต้องการส่งไปสถานีปลายทางจะต้องส่งข้อมูลนั้นไปทางไหน และ ทางสถานีปลายทางก็จะต้องทราบว่า ข้อมูลที่ถูกส่งมาให้นั้น ถูกส่งมาจากสถานีต้นทางใด เป็นต้น

2.2.4) ชั้นที่ 4 : ชั้นทรานสปอร์ต (4th Layer : Transport Layer)

ในชั้นที่ 4 จะเป็นการเพิ่มความเชื่อถือได้ของการส่งผ่านข้อมูลระหว่างระบบ 2 ระบบในลักษณะจาก ปลายถึงปลาย (End-to-End) โดยจะมีการยืนยันว่า ข้อมูลที่ทางสถานีรับรับได้นั้น เป็นข้อมูลเดียวกันกับข้อมูลที่ถูกส่งมาจากทางด้านส่ง ทำให้มีความมั่นใจได้ว่า ข้อมูลที่รับและส่งนั้นไม่มีการเกิดความผิดพลาดอย่างแน่นอน และนอกจากนี้ยังทำหน้าที่ในการจัดลำดับของชุดข้อมูลที่ถูกแบ่งออกเป็นส่วนย่อยๆ แล้วส่งมายังสถานีปลายทางได้อย่างถูกต้อง

2.2.5) ชั้นที่ 5 : ชั้นเซชชั่น (5th Layer : Session Layer)

ในชั้นนี้จะคอยจัดการเกี่ยวกับการให้บริการการสถาปนาให้เกิดการเชื่อมต่อและรักษาสถานะการเชื่อมต่อนั้นไว้ หรือการยกเลิกการเชื่อมต่อระหว่างสถานี 2 สถานีในแต่ละระบบเมื่อสถานีใดสถานีหนึ่งแสดงการยกเลิกการติดต่อ

2.2.6) ชั้นที่ 6 : ชั้นการเตรียมการแสดงผล (6th Layer : Presentation Layer)

ชั้นนี้จะคอยจัดการแปลงข้อมูลที่ได้รับมานั้น ให้อยู่ในรูปแบบที่พร้อมจะนำไปแสดงผลในชั้นที่สูงกว่า และรับข้อมูลจากชั้นที่สูงกว่ามาแปลงไปเป็นข้อมูลที่สามารถจะส่งผ่านไปยังชั้นที่ต่ำกว่า นอกจากนี้ยังอาจจะมีการเข้ารหัสข้อมูลเป็นรหัสเฉพาะ เพื่อผลทางด้านการรักษาความปลอดภัยของข้อมูล(Encryption)

2.2.7) ชั้นที่ 7 : ชั้นการประยุกต์ (7th Layer : Application Layer)

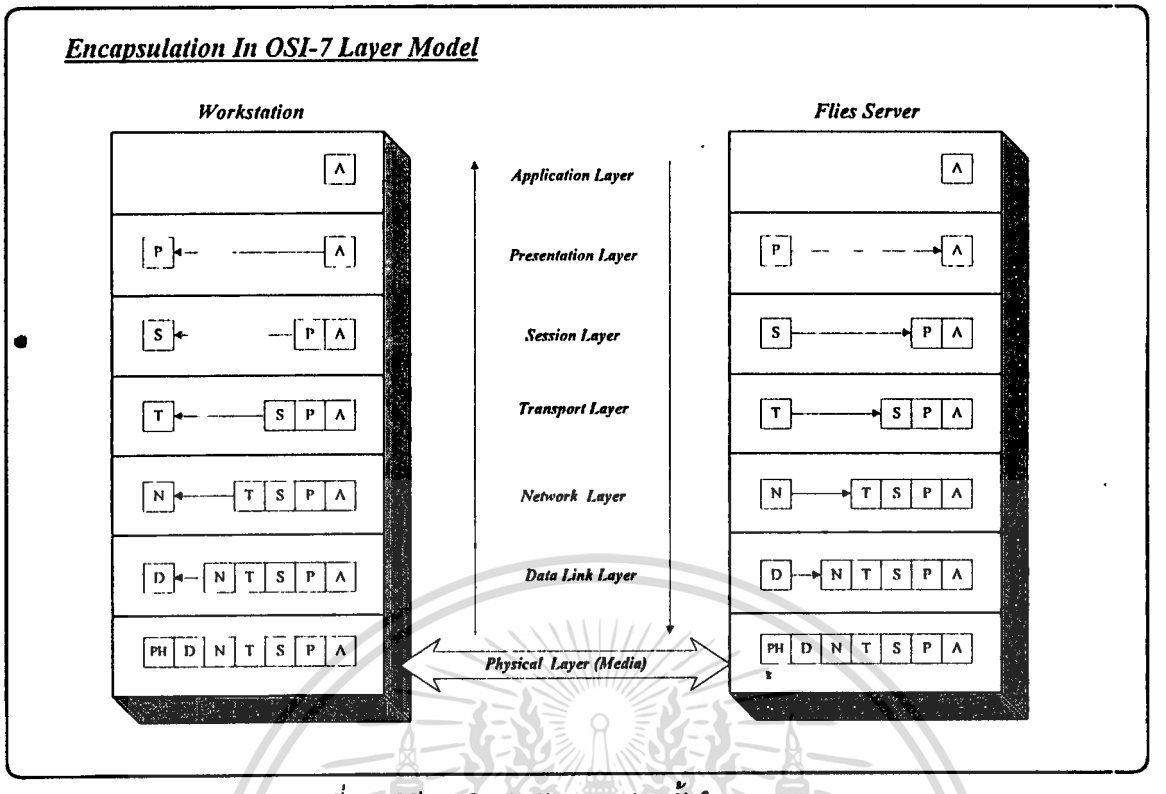
ในชั้นที่ 7 นี้จะเป็นชั้นที่มีความใกล้ชิดกับผู้ใช้งานระบบเครือข่ายมากที่สุด เพราะจะเป็นโปรแกรมประยุกต์ให้สามารถทำงานได้หลากหลาย โดยโปรแกรมดังกล่าวจะนำเอาข้อมูลที่ได้จากชั้นเตรียมข้อมูลเพื่อแสดงผล นำเอามาแสดงผลให้ผู้ใช้งานได้เห็นและเข้าใจผลที่เกิดขึ้นจากการทำงานของโปรแกรม และจะคอยรับข้อมูลที่ผู้ใช้งานต้องการจะส่งผ่านเข้าสู่ระบบอื่นๆ ส่งต่อไปให้ชั้นที่อยู่ต่ำกว่า นำไปส่งยังจุดหมายปลายทาง

2.3 การเชื่อมโยงติดต่อกันในแบบระบบเปิด 7 ชั้น

จากรูปที่ 2.2 จะแสดงการเชื่อมต่อกันเมื่อมองในแบบระบบเปิด 7 ชั้น จะเห็นได้ว่า การที่ระบบจะคุยกันได้นั้น ไม่จำเป็นจะต้องเป็นการคุยกันผ่านสื่อสัญญาณในชั้นที่ 1 เสมอไป แต่จะสามารถคุยกันระหว่างระบบ 2 ระบบได้ถ้าระบบ 2 ระบบนั้นคุยกันด้วยวิธีเฉพาะ (Protocol) ของในแต่ละชั้นได้

ลักษณะของข้อมูลที่ใช้ในการติดต่อกันจะเริ่มต้นจากผู้ใช้งานระบบเครือข่ายที่ต้องการจะส่งข้อมูลไปยังผู้รับที่อยู่ในอีกระบบหนึ่ง จะมีการส่งผ่านจากชั้นที่ 7 ซึ่งจะใส่ส่วนข้อมูลที่มีความหมายที่เป็นประโยชน์สำหรับชั้นนั้นๆเพื่อให้ชั้นเดียวกันของอีกระบบหนึ่งเข้าใจ แล้วจึงจะส่งผ่านข้อมูลนั้นลงไปยังชั้นที่อยู่ต่ำกว่า ซึ่งในแต่ละชั้น ก็จะทำการใส่ข้อมูลที่จำเป็นสำหรับชั้นนั้นๆเพิ่มขึ้นเรื่อยๆ ซึ่งในทางเทคนิค จะเรียกวิธีนี้ว่า การทำเอ็นแคปซูเลชั่น (Encapsulation) เป็นดังนี้จนกระทั่งถึงชั้นล่างสุดแล้วแปลงเป็นสัญญาณไฟฟ้าส่งผ่านสื่อสัญญาณไปยังอีกระบบหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 วิธีการติดต่อกันของแต่ละชั้นใน OSI 7-Layer

เมื่อทางระบบของฝ่ายรับสามารถรับสัญญาณนั้นได้แล้ว ก็จะมีการแกะเอาข้อมูลที่ฝ่ายส่งนั้นใช้สำหรับควบคุม หรือให้ข้อมูลกับชั้นนั้นในฝ่ายรับออกไปใช้งาน โดยแต่ละชั้นก็จะแกะเอาเฉพาะข้อมูลของชั้นตัวเองเท่านั้น แล้วส่งผ่านข้อมูลที่เหลือขึ้นไปยังชั้นบน ซึ่งก็จะกระทำการแบบเดียวกันคือ แกะเอาข้อมูลส่วนที่สำคัญของชั้นตนออกไป จนกระทั่งถึงชั้นโปรแกรมประยุกต์ (Application layer) ก็จะกลายเป็นข้อมูลที่สามารถแสดงให้ผู้ใช้งานทางฝ่ายรับสามารถเข้าใจ หรือสามารถจัดเก็บข้อมูลนั้นได้ถูกต้องตามวัตถุประสงค์ของแต่ละโปรแกรมประยุกต์นั้นๆ

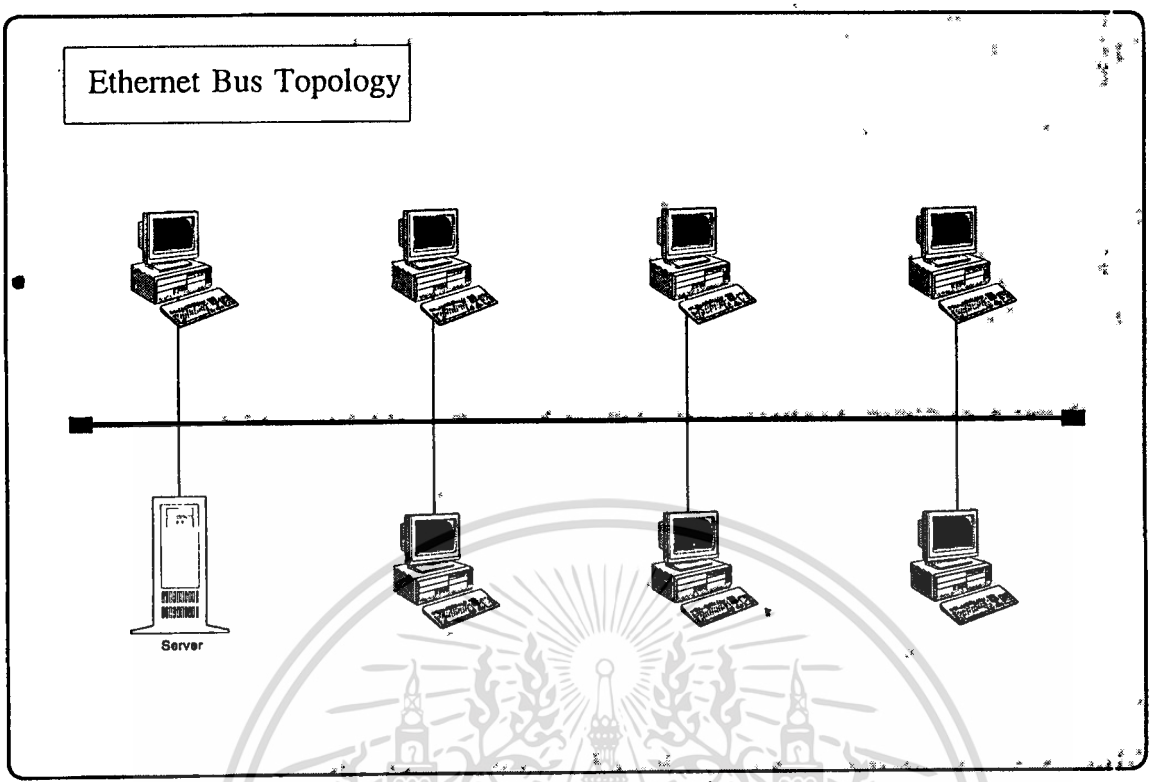
สำหรับการกล่าวถึงระบบมาตรฐานการเชื่อมต่อแบบอีเทอร์เน็ต ก็จะอาศัยการอิงตามการเชื่อมต่อระบบเปิด 7 ชั้นนี้เอง ดังนั้นทางคณะผู้ศึกษาโครงงานนี้จะมีการกล่าวถึงส่วนต่างๆของมาตรฐานของอีเทอร์เน็ตประกอบกับมาตรฐานแบบชั้นนี้ไปด้วย เพื่อให้สามารถทำความเข้าใจความสัมพันธ์ระหว่าง 2 มาตรฐานที่ได้กล่าวถึงในตอนต้น

2.4 มาตราฐานอีเทอร์เน็ต

2.4.1 ลักษณะการเชื่อมต่อทางกายภาพของอีเทอร์เน็ต (Ethernet Topology)

ในช่วงแรกของการพัฒนาระบบอีเทอร์เน็ตนั้น ได้มีการออกแบบให้เชื่อมต่อเป็นลักษณะแบบบัส (Bus topology) ดังรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

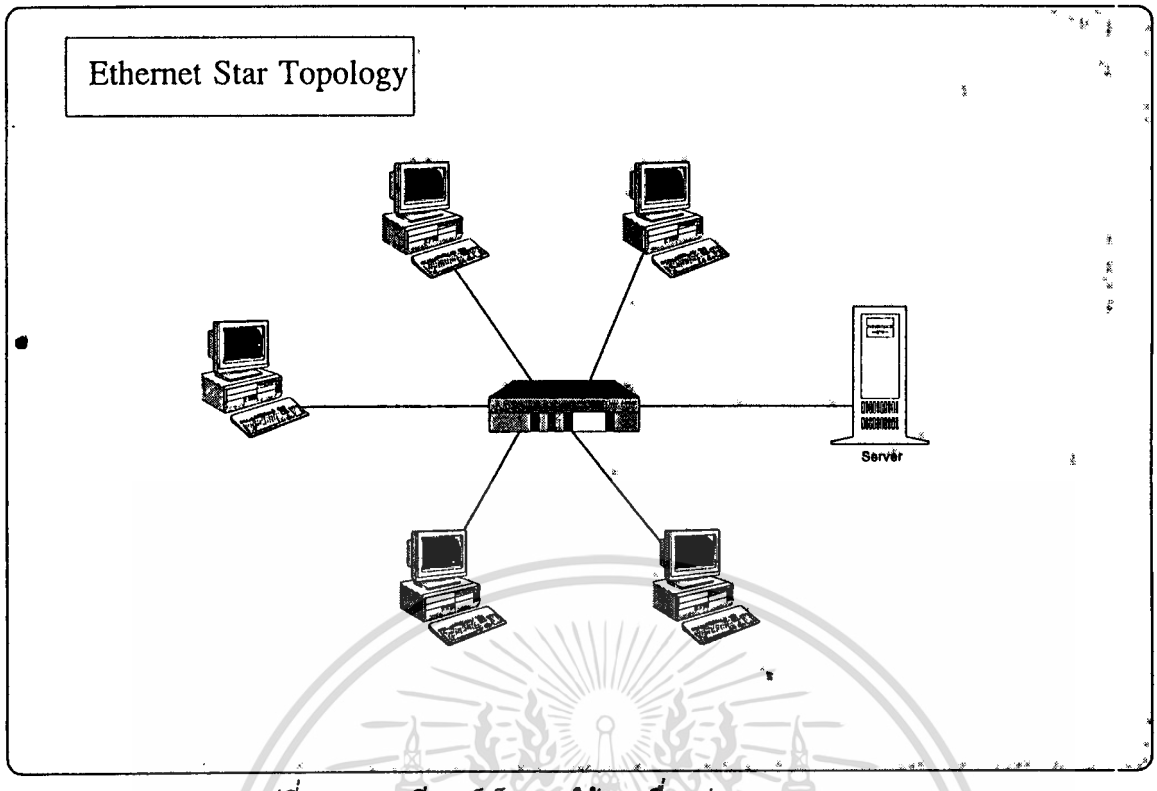


รูปที่ 2.3 ระบบอีเทอร์เน็ตแบบใช้การเชื่อมต่อแบบบัส

ต่อมาได้มีการพัฒนาลักษณะการเชื่อมต่อทางกายภาพ โดยคำนึงถึงลักษณะการติดตั้งเพื่อใช้งาน และความสะดวกในการขยายระบบ ซึ่งได้ออกแบบออกมาให้อีเทอร์เน็ตสามารถที่จะเชื่อมต่อเป็นลักษณะดาวกระจายได้ ดังรูปที่ 2.4

การเชื่อมต่อของทั้ง 2 แบบนี้ มีข้อดีข้อเสียที่แตกต่างกันไป และนอกจากนี้ ลักษณะการเชื่อมต่อทางกายภาพนี้เอง ได้เป็นที่มาในรายละเอียดปลีกย่อยของมาตรฐานของอีเทอร์เน็ตอีกหลายอย่าง ซึ่งจะกล่าวถึงในตอนต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 ระบบอีเทอร์เน็ตแบบใช้การเชื่อมต่อแบบดาวกระจาย

2.4.2 วิธีการควบคุมการเข้าใช้งานสื่อนำสัญญาณ (Media Access Control : MAC)

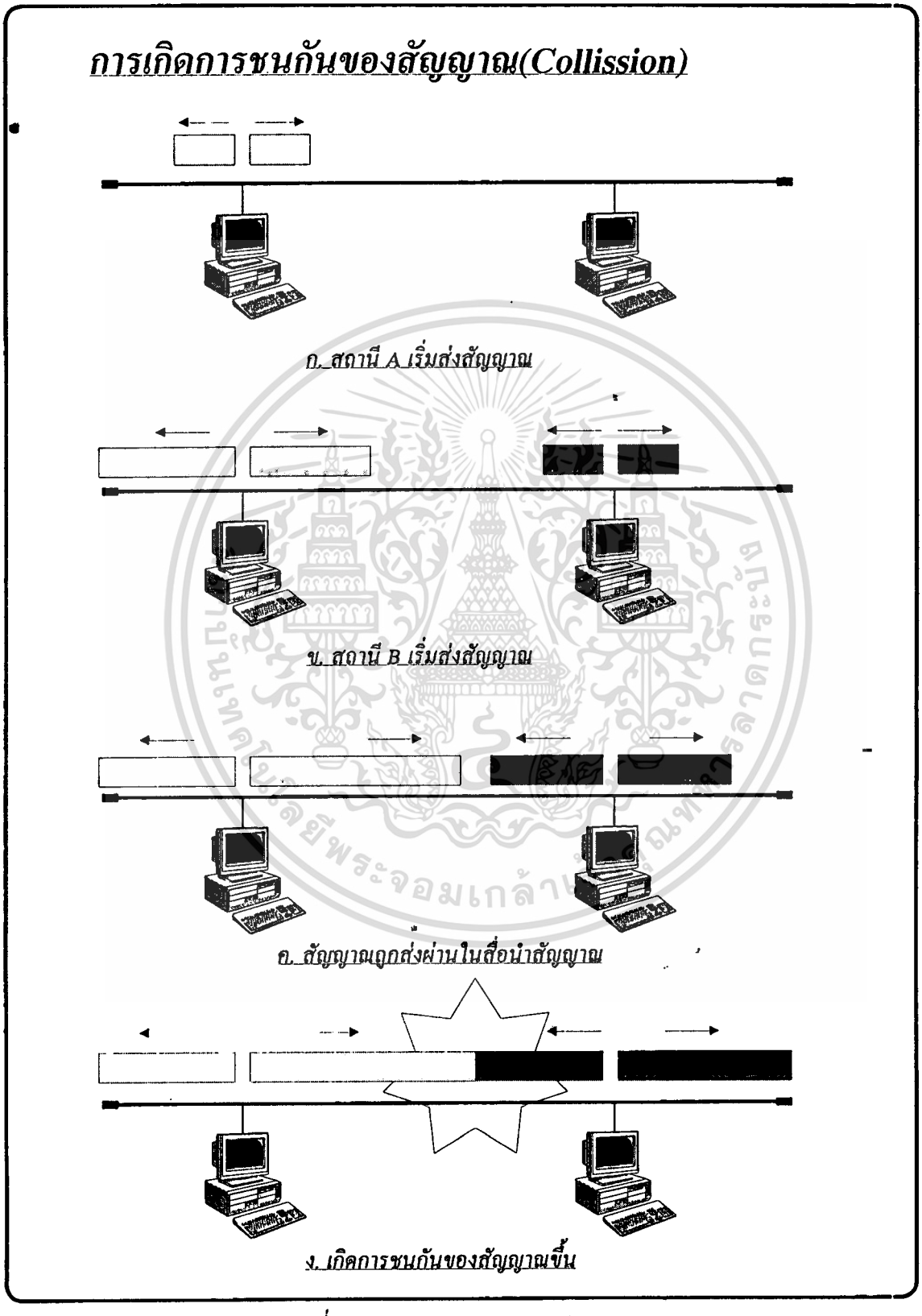
จากลักษณะของการเชื่อมต่อดังกล่าว แสดงว่าอุปกรณ์ที่เชื่อมต่ออยู่กับระบบทุกเครื่องจะต้องต่ออยู่กับสายนำสัญญาณซึ่งระบบอีเทอร์เน็ตในยุคแรกจะใช้สายสัญญาณแบบสายแกนร่วม (Coaxial cable) ซึ่งมีตัวนำสัญญาณเพียงเส้นเดียวและระบบการส่งสัญญาณของเครื่องคอมพิวเตอร์ก็จะเป็นการส่งสัญญาณดิจิตอลลงไปในตัวนำโดยตรง (Base band) ไม่มีการมอดดูเลท ทำให้การส่งสัญญาณผ่านสายสัญญาณประเภทนี้จะส่งผ่านพร้อมๆกันหลายๆเครื่องในเวลาเดียวกันไม่ได้ จึงจะต้องมีวิธีที่จะควบคุมการแบ่งกันใช้งานสายสัญญาณ ซึ่งวิธีที่ระบบอีเทอร์เน็ตเรียกว่า "การตรวจสอบพาหะก่อนส่งและตรวจสอบการเกิดการชนกันของสัญญาณ (Carrier Sense Multiple Access with Collission Detect : CSMA/CD)" ซึ่งต่อไปจะใช้คำย่อ "CSMA/CD" เพื่อความสะดวก

2.4.2.1 วิธีการเข้าใช้สื่อนำสัญญาณแบบ CSMA/CD

ก่อนที่สถานีใดจะส่งข้อมูลจะต้องทำการ "ฟังหรือตรวจสอบ" สื่อนำสัญญาณเสียก่อนว่ามีสถานีอื่นใช้อยู่หรือไม่ ถ้ามีก็จะคอยไปจนกว่าสื่อนำสัญญาณจะว่างลงแล้วจึงค่อยส่งข้อมูลออกไป แต่ถ้าในตอนแรกพบว่าว่างก็จะสามารถส่งข้อมูลได้ทันที ขณะที่สถานีหนึ่งๆทำการส่งข้อมูลอยู่ก็จะทำการตรวจสอบสื่อนำสัญญาณไปพร้อมๆกันเพื่อดูว่าระดับแรงดันของสัญญาณผิดแผกแตกต่างไปจากระบบปกติหรือไม่ ถ้าไม่ผิดปกติตลอดช่วงของการส่งข้อมูล สถานีส่งข้อมูลก็จะสรุปว่าข้อมูลได้ไปถึงปลายทางเรียบร้อยแล้วพร้อมกับออกจากการเข้าครอบครองสื่อนำสัญญาณ แต่ถ้าไม่เป็นระดับปกติแสดงว่าเกิดการชนกันของข้อมูล ดังนั้นทุกๆสถานีที่กำลังส่งข้อมูลอยู่ในขณะนั้นต้องหยุดการส่งข้อมูลและออกจากการเข้าครอบครองสื่อนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

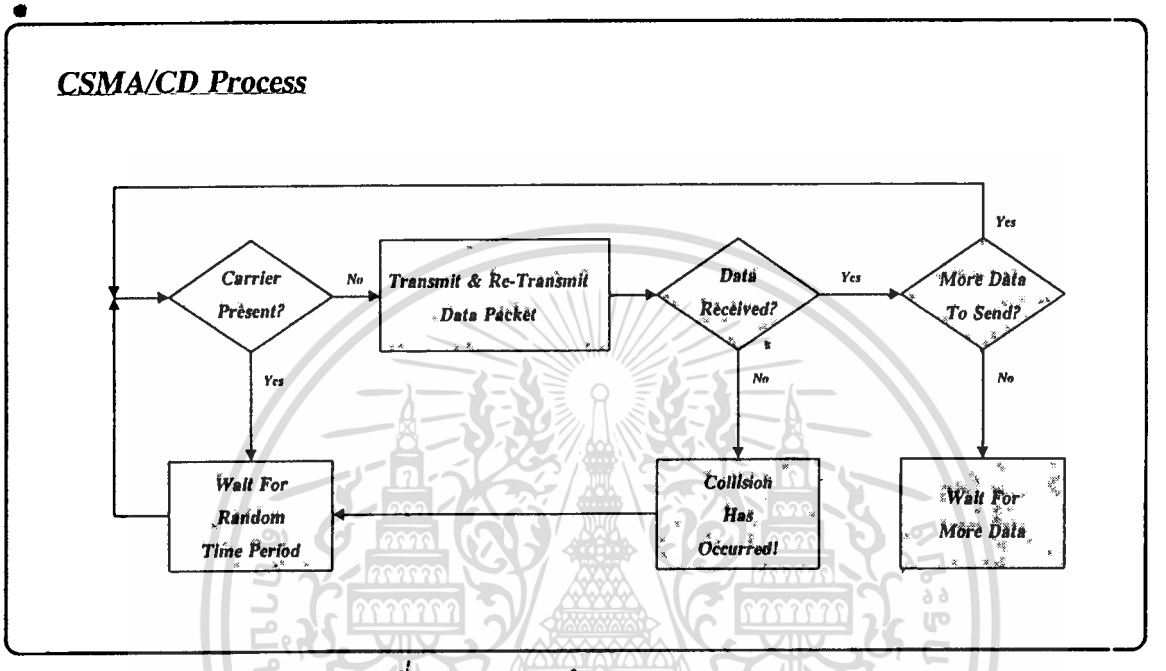
สัญญาณโดยทันทีและพร้อมกันนั้นก็สุ่มหาเวลาตามขั้นตอนวิธีของ "Binary back off" เพื่อใช้กำหนดการเข้าใช้ช่องสัญญาณในเวลาต่อไป



รูปที่ 2.5 การเกิดการชนกันของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบอีเทอร์เน็ตมีข้อดีคือ เมื่อสื่อนำสัญญาณว่าง เครื่องคอมพิวเตอร์จะส่งข้อมูลได้ทันที แต่ถ้าในระบบมีเครื่องคอมพิวเตอร์อยู่มากเกินไป อาจจะทำให้ไม่สามารถส่งข้อมูลได้ เพราะแต่ละเครื่องก็พยายามแย่งกันใช้สื่อนำสัญญาณนั้น ซึ่งมีผลทำให้เกิดการชนกันของข้อมูลในระบบตลอดเวลา และไม่สามารถกำหนดเวลาได้แน่นอนว่าเครื่องคอมพิวเตอร์เครื่องใดจะเป็นผู้ใช้ช่องสัญญาณก่อนหรือหลัง ทำให้ไม่สามารถประยุกต์ใช้กับระบบที่เป็นเวลาจริง (Real Time Process)



รูปที่ 2.6 แสดงการทำงานของ CSMA/CD

2.4.3 มาตรฐานของ IEEE 802

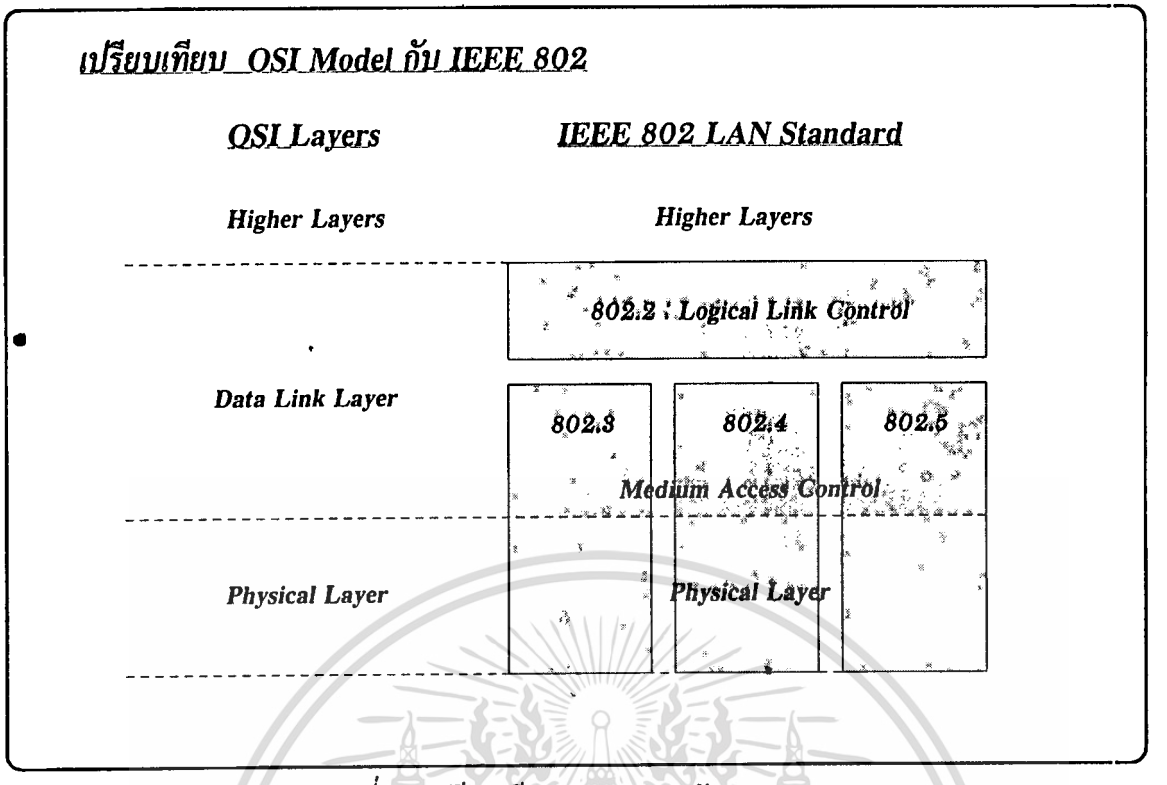
IEEE ได้ออกมาตรฐานสำหรับระบบเครือข่ายคอมพิวเตอร์มาครอบคลุมหลายแบบด้วยกัน อาทิ เช่น

- *IEEE 802.2* Logical Link Control
- *IEEE 802.3* Ethernet CSMA/CD Standard
- *IEEE 802.4* Token Passing Bus
- *IEEE 802.5* Token Passing Ring

ซึ่งสามารถที่จะเทียบมาตรฐานของ IEEE 802 กับมาตรฐานของการเชื่อมต่อระบบเปิด 7 ชั้นได้ดังในรูปที่ 2.7 จะเห็นได้ว่า IEEE 802 จะคลุมอยู่ในช่วงของชั้นที่ 1 และ 2 ของ OSI และมี IEEE 802.2 Logical Link Control เป็นตัวเชื่อมสู่ชั้นที่สูงขึ้นไป

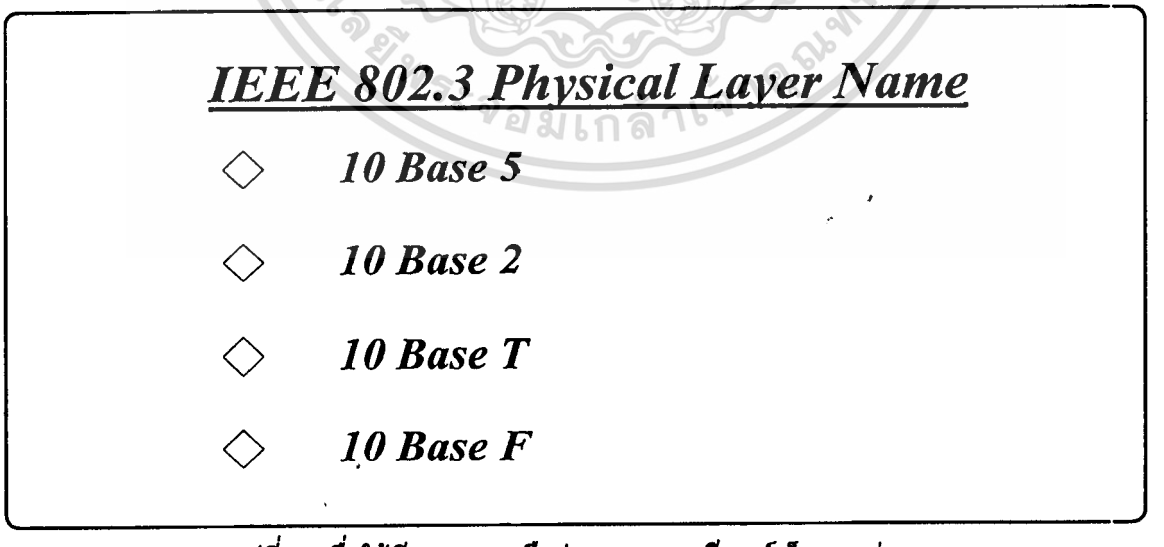
ในที่นี้จะกล่าวถึงส่วนที่เกี่ยวข้องกับระบบอีเทอร์เน็ต นั่นคือ ส่วนของ IEEE 802.3 และ IEEE 802.2 ซึ่งเป็นตัวกำหนดการเชื่อมต่อเข้าสู่ระบบอีเทอร์เน็ตตั้งแต่การกำหนดอุปกรณ์เชื่อมต่อ ลักษณะของสัญญาณไฟฟ้า การควบคุมการเกิดความผิดพลาดของข้อมูล เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 เปรียบเทียบ OSI Model กับ IEEE 802

IEEE 802.3 Ethernet ได้กำหนดแบ่งมาตรฐานของอีเทอร์เน็ตแยกย่อยออกไปอีกหลายแบบด้วยกัน ทั้งนี้จะขึ้นอยู่กับอัตราเร็วในการส่งผ่านข้อมูล, ลักษณะการส่งสัญญาณ และชนิดของสื่อนำสัญญาณที่ใช้ รวมทั้งขอบเขตของระยะทางการเชื่อมต่อ ดังนั้นจึงมีการกำหนดชื่อเรียกมาตรฐานแยกย่อยเหล่านั้นอีกหลายชื่อด้วยกัน โดยชื่อที่เรียกก็จะสื่อความหมายคุณสมบัติของแต่ละประเภทไว้ ดังในรูปที่ 2.8

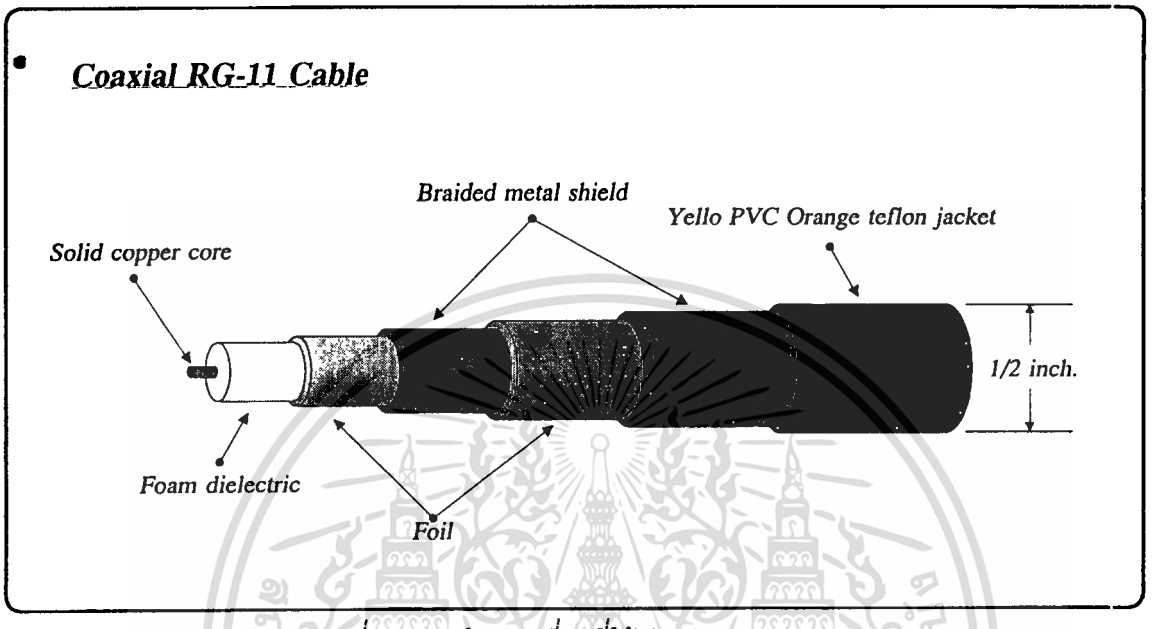


รูปที่ 2.8 ชื่อใช้เรียกระบบเครือข่ายมาตรฐานอีเทอร์เน็ตแบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.4.1 มาตรฐานอีเทอร์เน็ต 10 Base 5

ระบบมาตรฐานแบบนี้สามารถส่งผ่านข้อมูลได้ด้วยอัตราเร็ว 10 ล้านบิตข้อมูลต่อเวลา 1 วินาที (10 Mbps.) วิธีการส่งผ่านข้อมูลเป็นแบบ Base band ผ่านสายนำสัญญาณที่เป็นแบบโคแอคเชี่ยลแบบแข็ง ซึ่งมีชื่อเฉพาะเป็น RG-8, RG-11 หรือ RG-213 มีเส้นผ่านศูนย์กลางขนาด 1/2 นิ้วฟุต ดังรูปที่ 2.9



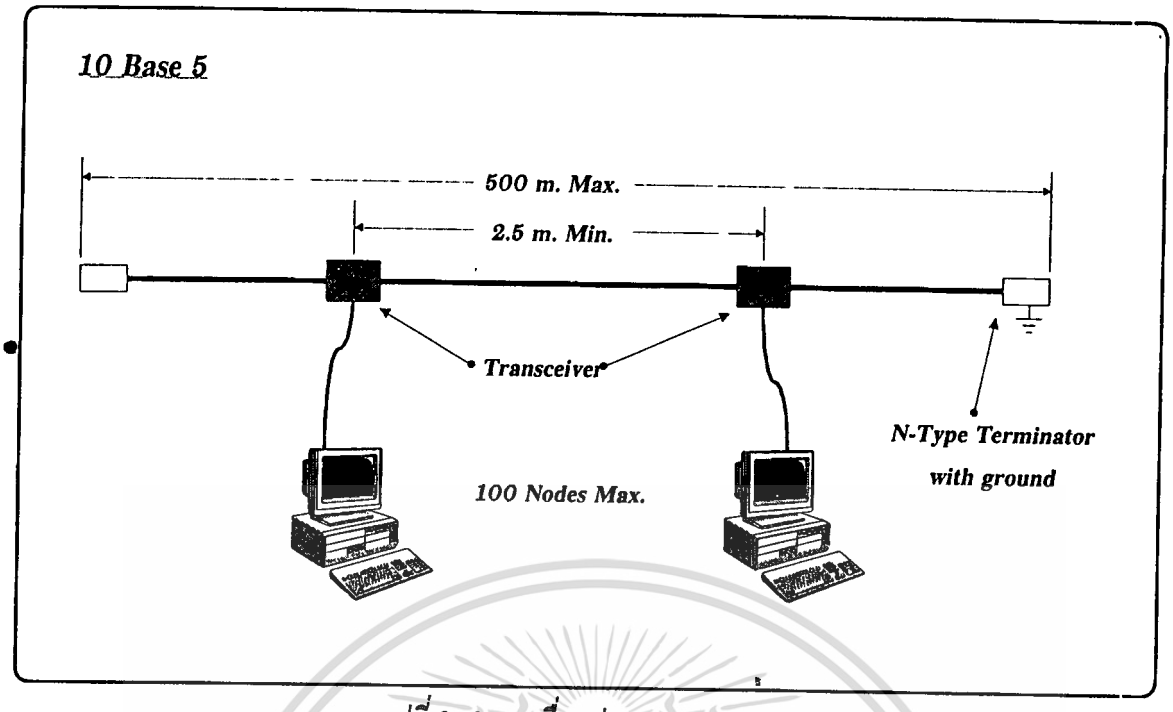
รูปที่ 2.9 สายโคแอคเชี่ยลที่ใช้กับแบบ 10 Base 5

การที่สายโคแอคเชี่ยลแบบนี้มีลักษณะแข็งจึงมักจะเรียกอีกชื่อหนึ่งว่า ระบบ "ทิคอีเทอร์เน็ต (Thick Ethernet)" ซึ่งจะติดตั้งได้ยากกว่า แต่ก็มีข้อดีที่สามารถนำสัญญาณข้อมูลได้ดี และเชื่อมต่อได้ระยะไกล ส่วนใหญ่นิยมใช้เป็นสายนำสัญญาณที่เป็นโครงข่ายหลัก (Backbone)

ระบบ 10 Base 5 มีข้อจำกัดที่ถือเป็นมาตรฐานอยู่หลายส่วนด้วยกัน จากรูปที่ 2.10 เป็นรูปวิธีการเชื่อมต่อ ซึ่งการเชื่อมต่ออุปกรณ์เครือข่ายคอมพิวเตอร์เข้ากับสายนำสัญญาณที่จะต้องใช้อุปกรณ์ที่เรียกว่า "ทรานซีฟเวอร์ (Transceiver : Transmitter and Receiver)" ยึดเข้ากับสายนำสัญญาณแล้วเชื่อมต่อด้วยสายสัญญาณอีกชนิดหนึ่งที่เรียกว่า AUI (Attachment Unit Interface cable) เชื่อมต่อเข้ากับแผ่นวงจรเชื่อมต่อระบบเครือข่ายซึ่งมีพอร์ตเป็นแบบ DB-15

ระยะความยาวของสายนำสัญญาณจะสามารถเชื่อมต่อได้ความยาวสูงสุด 500 เมตร และมีระยะห่างระหว่างจุดเชื่อมต่ออุปกรณ์เครือข่ายอย่างน้อย 2.5 เมตร ซึ่งสายนำสัญญาณที่ผลิตจากโรงงานส่วนใหญ่จะพิมพ์ระยะห่างสำหรับต่อทรานซีฟเวอร์ตามระยะที่กำหนดไว้แล้ว ระบบ 10 Base 5 สามารถต่ออุปกรณ์เครือข่ายได้สูงสุดถึง 100 จุดต่อ ส่วนอุปกรณ์ที่จำเป็นสำหรับการเชื่อมต่อจะใช้ตัวเชื่อมต่อแบบ N-Type และตัวเทอร์มิเนเตอร์ที่มีค่าความต้านทาน 50 โอห์มเท่ากับความต้านทานของสายนำสัญญาณเพื่อให้สัญญาณถูกดูดกลืนเมื่อสัญญาณเข้ากระทบที่ปลายสายไม่ให้เกิดการสะท้อนกลับเรียกว่าแมชชิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 การเชื่อมต่อแบบ 10 Base 5

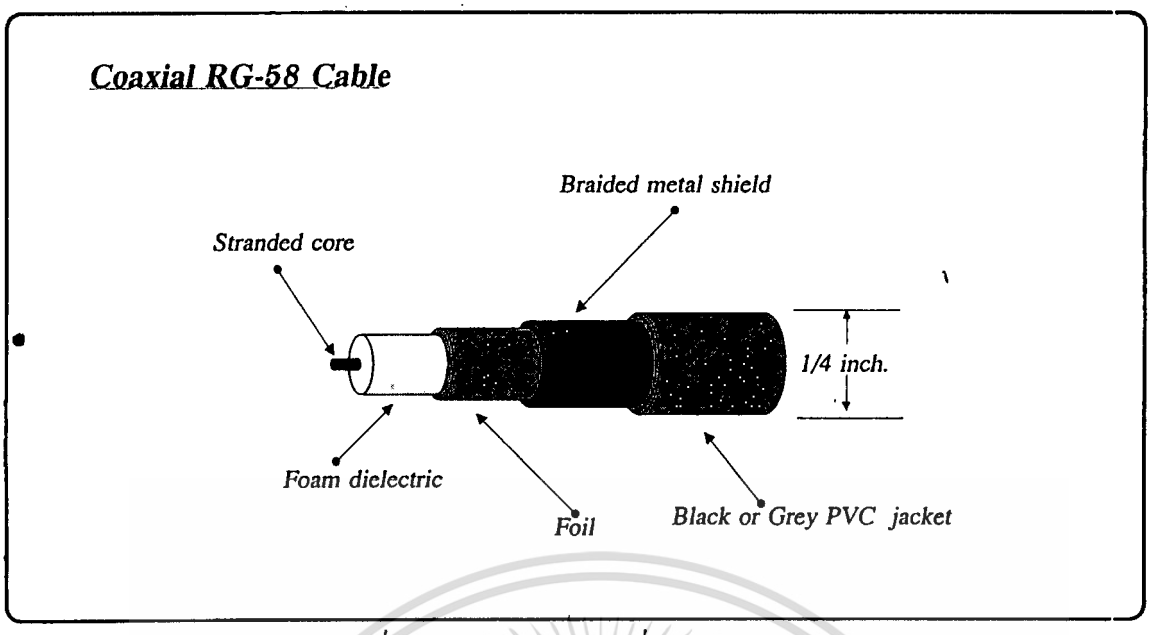
จากรูปที่ 2.10 จะเห็นได้ว่าเป็นการเชื่อมต่อแบบบัสซึ่งจะมีผลเสียคือถ้าหากว่าที่จุดต่อเชื่อมของสายนำสัญญาณจุดใดจุดหนึ่งมีปัญหาเช่น หลวม ก็จะทำให้ระบบทั้งหมดใช้งานไม่ได้ทันที เนื่องจากเกิดการไม่แมชชิ่งของความต้านทาน ซึ่งปัญหานี้เป็นปัญหาที่เกิดขึ้นได้ง่ายแต่จะหาจุดที่มีปัญหาได้ยากมาก โดยเฉพาะระบบที่มีขนาดใหญ่

2.4.4.2 มาตรฐานอีเทอร์เน็ต 10 Base 2

การเชื่อมต่อตามมาตรฐานแบบ 10 Base 2 นี้ สามารถใช้อัตรการส่งผ่านข้อมูลได้ที่ 10 Mbps. และใช้วิธีการส่งผ่านสัญญาณแบบ Base Band เช่นเดียวกันกับ 10 Base 5 แต่จะใช้สายนำสัญญาณแบบโคแอคเชียลแบบอ่อนที่มีชื่อเฉพาะเป็น RG-58, RG-59 และ RG-62 มีขนาดเส้นผ่านศูนย์กลางดังรูปที่ 2.11 ทำให้การติดตั้งสามารถทำได้ง่ายมากกว่า 10 Base 5 และมักจะใช้กับการติดตั้งในบริเวณทำงาน (Work area)

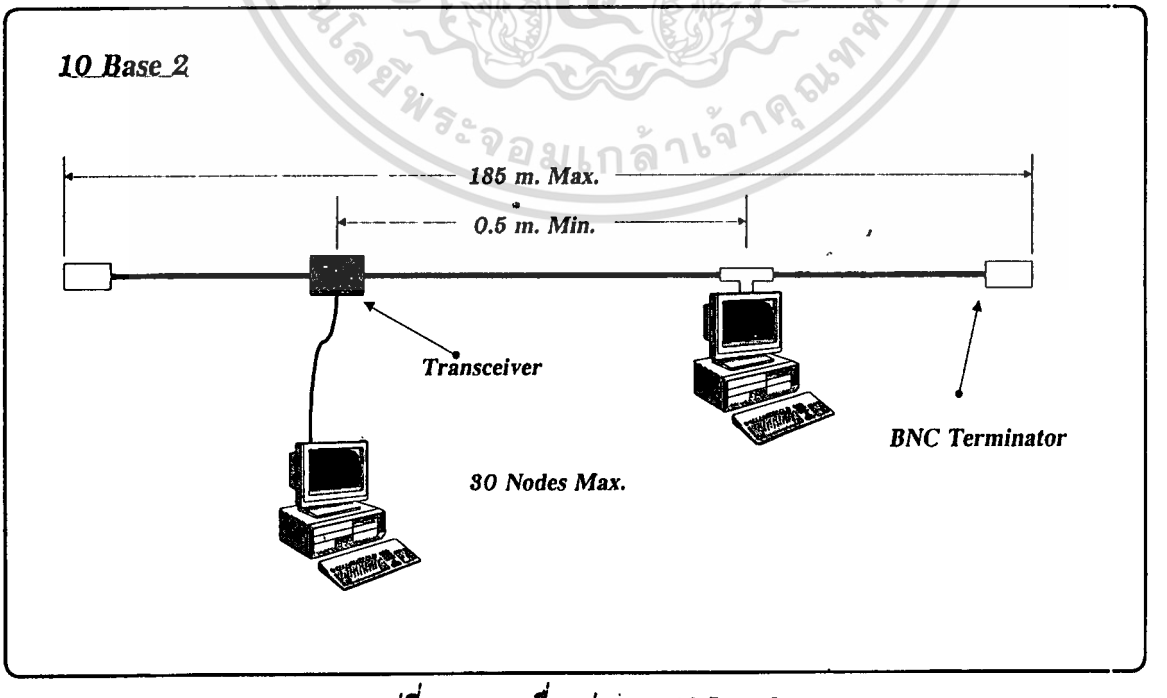
การที่เป็นสายอ่อนจึงอาจสามารถเรียกได้อีกอย่างว่าระบบ "ทินอีเท่อร์เน็ต (Thin Etherr et)" อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 สายนำสัญญาณที่ใช้ใน 10 Base 2

สำหรับการเชื่อมต่อแบบ 10 Base 2 จากรูปที่ 2.12 จะเห็นได้ว่า มีการเชื่อมต่อเป็นแบบบัส โดยสามารถจะเชื่อมต่อกับอุปกรณ์เครือข่ายได้ 2 วิธีคือ การใช้ทรานซีฟเวอร์ภายนอกเหมือนกันกับแบบ 10 Base 5 และต้องใช้สาย AUI เช่นเดียวกัน กับอีกวิธีคือ การใช้แผ่นวงจรเชื่อมต่อระบบเครือข่ายที่มีส่วนของทรานซีฟเวอร์อยู่บนแผ่นวงจรอยู่แล้ว ในกรณีนี้ก็จะใช้ตัวเชื่อมต่อแบบ BNC-T Connector มาเชื่อมต่อเข้ากับแผ่นวงจรที่มีพอร์ตเป็นแบบ BNC โดยที่ปลายสายทั้งสองด้านก็จะใช้ตัวเทอร์มิเนตที่มีความต้านทานเป็น 50 โอห์มเท่ากับความต้านทานของสายนำสัญญาณ



รูปที่ 2.12 การเชื่อมต่อแบบ 10 Base 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระยะทางของการเชื่อมต่อสายนำสัญญาณ สามารถต่อได้ความยาวสูงสุดคือ 185 เมตร ระยะห่างการเชื่อมต่อระหว่างอุปกรณ์เครือข่ายแต่ละเครื่องอย่างน้อย 0.5 เมตร และมีจำนวนของอุปกรณ์เครือข่ายที่เชื่อมต่อได้ 30 เครื่อง ส่วนปัญหาในการใช้งานก็เหมือนกันกับ 10 Base 5 นั่นเอง

2.4.4.3 มาตรฐานอีเทอร์เน็ต 10 Base T

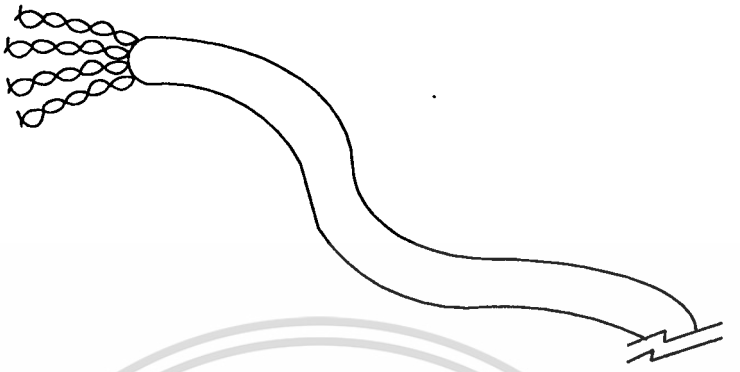
การเชื่อมต่อแบบนี้สามารถที่จะส่งผ่านข้อมูลด้วยอัตราเร็ว 10 Mbps. โดยวิธีการส่งผ่านแบบ Base band ผ่านสายนำสัญญาณแบบสายคู่ตีเกลียวแบบไม่มีชีลด์ (Unshield Twisted Pairs : UTP) ซึ่งลักษณะของสายนำสัญญาณแสดงดังรูปที่ 2.13 ซึ่งในฉนวนจะประกอบไปด้วยสายทองแดงจำนวน 4 คู่ จะจับคู่กันทีละ 2 เส้นโดยตีเกลียว 7 รอบในระยะสาย 1 ฟุต เพื่อผลของการลดสัญญาณรบกวน เนื่องจากมาตรฐาน 10 Base T จะใช้วิธีหาความแตกต่างของระดับสัญญาณบวกและลบ ที่เรียกว่า Balanced Differential

ระบบอีเทอร์เน็ตแบบ 10 Base T นี้ได้รับการพัฒนามาจากระบบอีเทอร์เน็ตแบบเก่าที่ใช้ลักษณะการเชื่อมต่อแบบบัส มาเป็นแบบดาวกระจาย ที่ประกอบไปด้วยสายทองแดง 24AWG จำนวน 4 คู่ แต่จะใช้งานจริงเพียง 2 คู่ ซึ่งระยะต่อเชื่อมได้สูงสุดที่ 100 เมตร มาตรฐาน 10 Base T นี้ก็ยังใช้หลักการเข้าใช้สายสัญญาณแบบ CSMA/CD เช่นเดียวกัน แต่วิธีการส่งสัญญาณผ่านสายสัญญาณแบบอาศัยความแตกต่างของระดับสัญญาณแบบสมดุลย์ โดยในสาย UTP จะมีการแบ่งแยกสัญญาณออกเป็นส่งและรับ ดังรูปที่ 2.14

สำหรับวิธีการเชื่อมต่อ จะใช้อุปกรณ์กระจายสัญญาณที่ทำหน้าที่ทวนสัญญาณด้วยซึ่งมีชื่อเรียกหลายชื่อเช่น ฮับ (Hub), คอนเซนเตรเตอร์ (Concentrator) ทำหน้าที่ในการเป็นจุดศูนย์กลางในการกระจายสายสัญญาณไปยังอุปกรณ์เครือข่าย ซึ่งลักษณะของตัวเชื่อมต่อจะมีขนาดเล็กและมีราคาถูกกว่าเมื่อเทียบกับตัวเชื่อมต่อในแบบอื่นๆ เราเรียกตัวเชื่อมต่อแบบนี้ว่า โมดูลาร์แจ็ค และ โมดูลาร์ปลั๊ก (Modular jack and Modular Plug) และมีศัพท์เฉพาะว่า RJ-45 แจ็คและ RJ-45 ปลั๊ก ซึ่งจะมีหน้าสัมผัสอยู่ 8 ตำแหน่งดังรูปที่ 2.15 และ 2.16

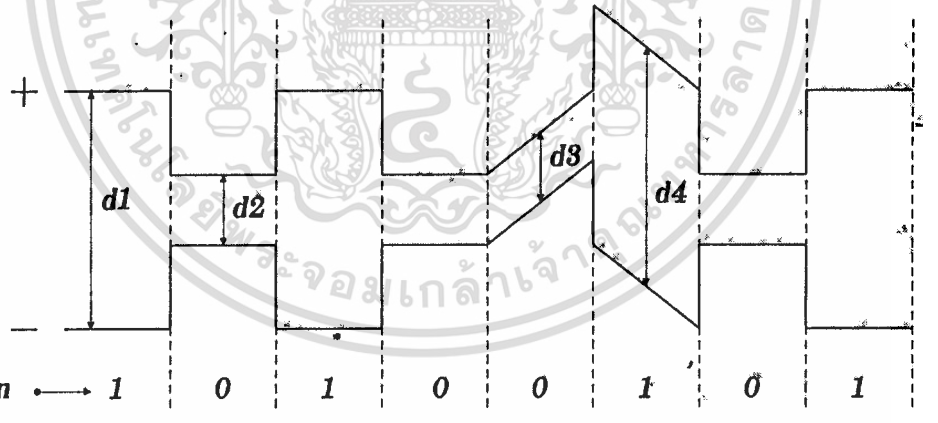
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unshield twisted pair (UTP) Cable



รูปที่ 2.13 สายคู่ตีเกลียวแบบไม่มีชีลด์ (UTP Cable)

Balanced Differential

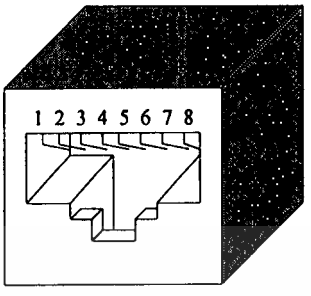


d1 = Large Differnce = 1
d2 = Small Differnce = 0
d3 = d2
d4 = d1

รูปที่ 2.14 การใช้ความแตกต่างของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

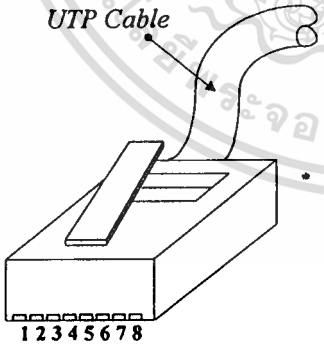
RJ-45 Modular Jack



Signal	Pin Number
RX+	3
RX-	6
TX+	1
TX-	2
NC	4
NC	5
NC	7
NC	8

รูปที่ 2.15 RJ-45 โมดูลาร์แจ็ค

RJ-45 Modular Plug

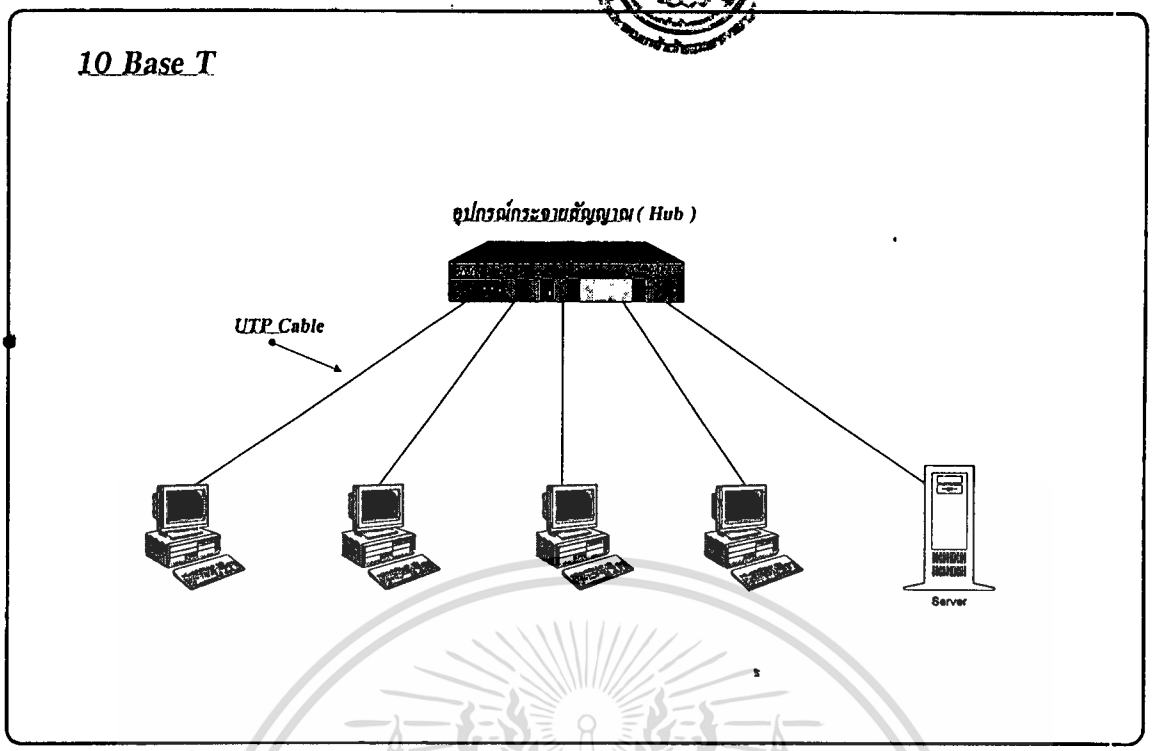


10Base-T Pin Mapping

Signal	Pin Number
RX+	3
RX-	6
TX+	1
TX-	2
NC	4
NC	5
NC	7
NC	8

รูปที่ 2.16 RJ-45 โมดูลาร์ปลั๊ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 การเชื่อมต่อแบบ 10 Base T

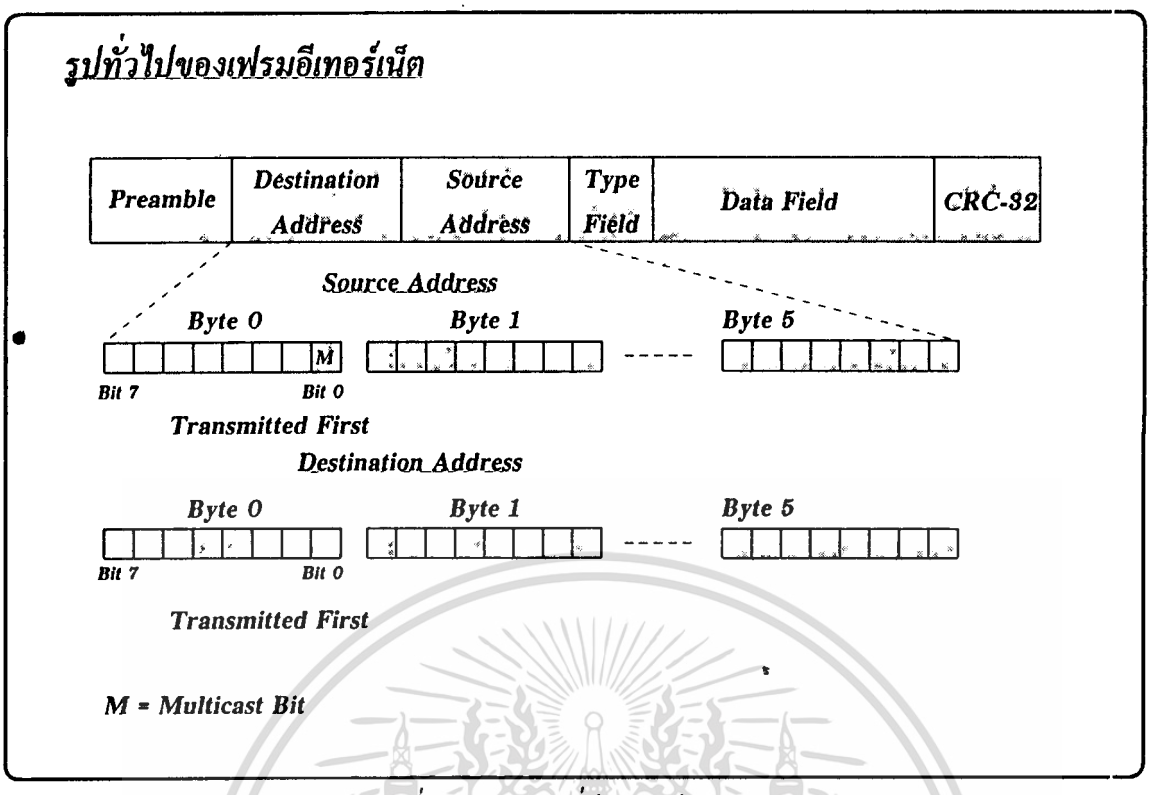
การเชื่อมต่อแบบ 10 Base T จะมีข้อที่เหนือกว่าแบบ 10 Base 5 และ 10 Base 2 นั่นคือ ระบบอีเทอร์เน็ตที่มีการเชื่อมต่อเป็นบัสนั้น หากว่ามีจุดต่อจุดใดจุดหนึ่งในระบบเดียวกันเกิดมีปัญหา เช่น ตัวข้อต่อหลวม จะทำให้ระบบทั้งระบบมีปัญหาทันที และปัญหาลักษณะนี้จะค้นหาจุดที่มีการหลวมได้ยากมาก โดยเฉพาะในระบบที่มีขนาดใหญ่ นอกจากนี้ มาตรฐาน 10 Base T นั้น มีการเชื่อมต่อแบบสายสัญญาเน 1 เส้นต่อ 1 อุปกรณ์เครือข่าย หากเกิดปัญหาที่เส้นใด ตัวอุปกรณ์กระจายสัญญาณจะทำการตัดพอร์ตที่มีปัญหาออกจากระบบ จึงไม่มีผลโดยรวมกับระบบ นอกจากนี้ ที่อุปกรณ์กระจายสัญญาณก็ยังมีไฟแสดงการทำงานของแต่ละพอร์ตด้วย ทำให้สามารถตรวจดูว่าเกิดปัญหาที่จุดใดได้ง่ายเพราะการดูแลจะดูได้จากจุดที่ติดตั้งอุปกรณ์กระจายสายเพียงจุดเดียวเท่านั้น เราเรียกการบริหารเครือข่ายแบบนี้ว่า การบริหารเครือข่ายแบบรวมศูนย์

ปัจจุบัน การติดตั้งระบบเครือข่ายในสำนักงานส่วนใหญ่ จะใช้การติดตั้งแบบใช้สายคู่ตีเกลียว เพราะระบบเครือข่ายแบบนี้ สามารถรองรับการขยายตัวของระบบได้ดี และในระบบขนาดใหญ่ก็ต้องมีการควบคุมดูแลระบบเพื่อให้สามารถใช้งานได้อย่างมีประสิทธิภาพ ซึ่งระบบ 10 Base T ก็สามารถรองรับตรงจุดนี้ได้ดี แต่อุปกรณ์กระจายสัญญาณก็มีราคาแพงอยู่มาก ซึ่งอีกไม่นานก็คงจะมีราคาถูกลง

2.4.5 รูปแบบเฟรมข้อมูลของอีเทอร์เน็ต (Ethernet Frame Format)

รูปแบบเฟรมอีเทอร์เน็ตสามารถแบ่งออกได้เป็น 2 ประเภทคือ เฟรมแบบอีเทอร์เน็ต และเฟรมแบบ IEEE 802.3 ซึ่งจะมีความแตกต่างกันในบางส่วนของเฟรม แต่โดยทั่วไปแล้ว จะมีลักษณะของเฟรมดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
037237



รูปที่ 2.18 รูปแบบทั่วไปของอีเทอร์เน็ต

เฟรมอีเทอร์เน็ตจะอ่านจากซ้ายไปขวา (ไบท์ที่ 0 ถึงไบท์ที่ 5) จะประกอบด้วย ที่อยู่ของปลายทาง (Destination address), ที่อยู่ของต้นทาง(Source address) , ชนิดของฟิลด์(Type field), ฟิลด์ของข้อมูล(Data field) และส่วนที่ใช้ในการตรวจจสอบความผิดพลาดของข้อมูล(Error checking แบบ CRC-32)

ที่อยู่ปลายทาง จะเป็นที่อยู่ของอุปกรณ์เครือข่ายปลายทางหรือผู้รับข้อมูลซึ่งภายในฟิลด์จะมี M บิตซึ่งใช้แสดงว่าเป็นแพคเก็ตแบบมัลติแคส (Multicast packet) หรือเป็นการอ้างที่อยู่แบบบรอดแคส (Broadcast address) ซึ่งจะอธิบายต่อไป

ที่อยู่ต้นทาง จะเป็นที่อยู่ของอุปกรณ์เครือข่ายต้นทางหรือผู้ส่งข้อมูล

ชนิดของฟิลด์ จะแสดงว่าชุดข้อมูลที่อยู่ในแพคเก็ตนั้นเป็นชนิดอะไรเช่น TCP, XNS, AppleTalk เป็นต้น

ฟิลด์ของข้อมูล จะประกอบไปด้วยส่วนของข้อมูลที่เป็นส่วนหัว (Headers)'ของโปรแกรมประยุกต์ ซึ่งอยู่ในชั้นบนของ OSI 7 layer model และข้อมูลของผู้ใช้ระบบเครือข่ายคอมพิวเตอร์

ส่วนตรวจสอบความผิดพลาด จะเป็นส่วนที่เป็นข้อมูลบอกให้อุปกรณ์เครือข่ายฝ่ายรับใช้ตรวจสอบข้อมูลว่าเกิดความผิดพลาดขึ้นหรือไม่ซึ่งโดยทั่วไปจะใช้วิธีการที่เรียกว่า CRC-32 (Cyclic Redundancy Checking 32 bits type)

ส่วนของที่อยู่ต้นทางและที่อยู่ปลายทางนี้จะเรียกได้อีกอย่างหนึ่งว่าที่อยู่ทางกายภาพ (Physical address) หรือส่วนควบคุมการเข้าถึงสื่อนำสัญญาณ (Media Access Control : MAC) ซึ่งจะใช้ในชั้นที่ 2 (Data link layer) ที่อยู่นี้ไม่ว่าจะเป็นเฟรมแบบอีเทอร์เน็ตหรือเฟรมแบบ IEEE 802.3 ก็จะมีความยาวเท่ากันคือ 48 บิตหรือ 6 ไบท์ ที่อยู่นี้ยังสามารถแบ่งแยกย่อยออกได้เป็น 3 ชนิด คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ที่อยู่ของอุปกรณ์เครือข่ายเครื่องเดียว (Unique station address) ซึ่งถ้าจะเปรียบแล้วก็เหมือนกับหมายเลขโทรศัพท์ที่ 1 เลขหมายก็จะอ้างถึงเพียง 1 เครื่องเท่านั้น เมื่อแพคเก็ตแบบนี้ถูกส่งผ่านเข้าสู่ระบบจะมีอุปกรณ์เครือข่ายเพียงเครื่องเดียวที่มีที่อยู่ตรงกับที่อยู่ที่ระบุอยู่ในฟิลด์ที่อยู่ปลายทางในแพคเก็ตนั้น ซึ่งเป็นหน้าที่ของแผ่นวงจรเชื่อมต่อเครือข่ายที่จะทำการเปรียบเทียบที่อยู่ดังกล่าวกับที่อยู่ของตนเองที่เก็บอยู่ในหน่วยความจำในตอนเริ่มเปิดเครื่อง ซึ่งในกรณีที่หมายเลขที่อยู่ตรงกันก็จะส่งผ่านแพคเก็ตนั้นไปยังชั้นบนขึ้นไปสู่ชั้นของโปรแกรมประยุกต์ แต่ถ้าหมายเลขที่อยู่ไม่ตรงกันก็จะไม่ตอบสนอง

2. ที่อยู่แบบเลือกกลุ่มของอุปกรณ์เครือข่าย (Multicast address) จะเป็นการอ้างที่อยู่แบบพิเศษที่จะใช้ระบุกลุ่มของอุปกรณ์เครือข่ายที่อยู่ในระบบ โดยกลุ่มของอุปกรณ์เครือข่ายที่สามารถจะรับแพคเก็ตนั้นได้จะต้องมีการกำหนดที่อยู่นี้ไว้ให้ด้วยเพื่อให้เครื่องทราบว่าอยู่ในกลุ่มใด เฟรมลักษณะนี้จะถูกส่งออกจากอุปกรณ์เครือข่ายเพียงเครื่องเดียวเพื่อส่งข้อมูลนั้นไปยังกลุ่มของอุปกรณ์เครือข่ายที่ต้องการให้ได้รับ เป็นเรื่องง่ายที่จะระบุว่าเฟรมนี้เป็นเฟรมแบบ Multicast โดยทั้งเฟรมแบบอีเทอร์เน็ตและ IEEE 802.3 ต่างก็อาศัยการดูที่ไบท์แรก ถ้าไบท์แรกเป็นเลขคี่ เฟรมนั้นก็จะเป็นเฟรมแบบ Multicast

3. ที่อยู่แบบส่งให้ทุกๆเครื่อง (Broadcast address) เฟรมแบบนี้จะเป็นแบบพิเศษของแบบ Multicast ซึ่งหากมีอุปกรณ์เครือข่ายเครื่องใดส่งเฟรมแบบนี้ออกมา ก็หมายความว่า เครื่องนี้ต้องการจัดส่ง เฟรมนั้นไปให้กับทุกๆเครื่องที่อยู่ในระบบ โดยเครื่องไม่จำเป็นจะต้องส่งเฟรมนั้นหลายๆครั้งไปยังเครื่องแต่ละเครื่อง ซึ่งเป็นการใช้สื่อนำสัญญาณอย่างไม่คุ้มค่า โดยปกติแล้ว จะระบุ FF-FF-FF-FF-FF-FF ลงในส่วนของที่อยู่ปลายทาง

2.4.5.1 ที่อยู่ทางกายภาพ (Physical address or MAC address)

อุปกรณ์เครือข่ายคอมพิวเตอร์ทุกๆเครื่องจะถูกกำหนดด้วยที่อยู่แบบหนึ่งที่เรียกโดยทั่วไปว่าที่อยู่แบบ MAC ซึ่งโรงงานผู้ผลิตจะเป็นผู้ใส่ไว้ให้ในฮาร์ดแวร์ในส่วนที่จะต้องติดต่อกับระบบเครือข่าย เช่น แผ่นวงจรเชื่อมต่อเครือข่าย ปกติแล้วโรงงานผู้ผลิตจะเก็บไว้ใน PROM เมื่อมีการเริ่มใช้งานโปรแกรมเครือข่าย (Network software) ส่วนโปรแกรมควบคุมอุปกรณ์เครือข่ายจะอ่านค่านี้จาก PROM และจะใช้ค่านี้ในโปรแกรมประยุกต์ที่เกี่ยวกับเครือข่าย แต่เราสามารถที่จะกำหนดที่อยู่นี้เองได้โดยการกำหนดหมายเลขที่อยู่ใหม่นี้ใน PROM ใหม่ที่เรียกว่า "ที่อยู่ที่กำหนดขึ้นเอง (Locally Assigned Address : LAA)"

ใน 3 ไบท์แรกของที่อยู่ทางกายภาพของทั้งที่อยู่ของฝ่ายส่งและฝ่ายรับนี้จะเป็นตัวกำหนดเครื่องหมายการค้าของอุปกรณ์นั้นๆ ซึ่งช่วงของหมายเลขนี้ IEEE เป็นผู้กำหนดและจำหน่ายให้กับบริษัทผู้ผลิต

ส่วนของ 3 ไบท์หลังจะถูกกำหนดโดยโรงงานผู้ผลิตอุปกรณ์นั้นๆ ซึ่งที่อยู่ตรงนี้จะไม่มีซ้ำกันเลย ดังนั้น ทุกๆอุปกรณ์เครือข่ายคอมพิวเตอร์ที่มีอยู่ในโลกจะมีที่อยู่ทางกายภาพที่ไม่ซ้ำกันเลย

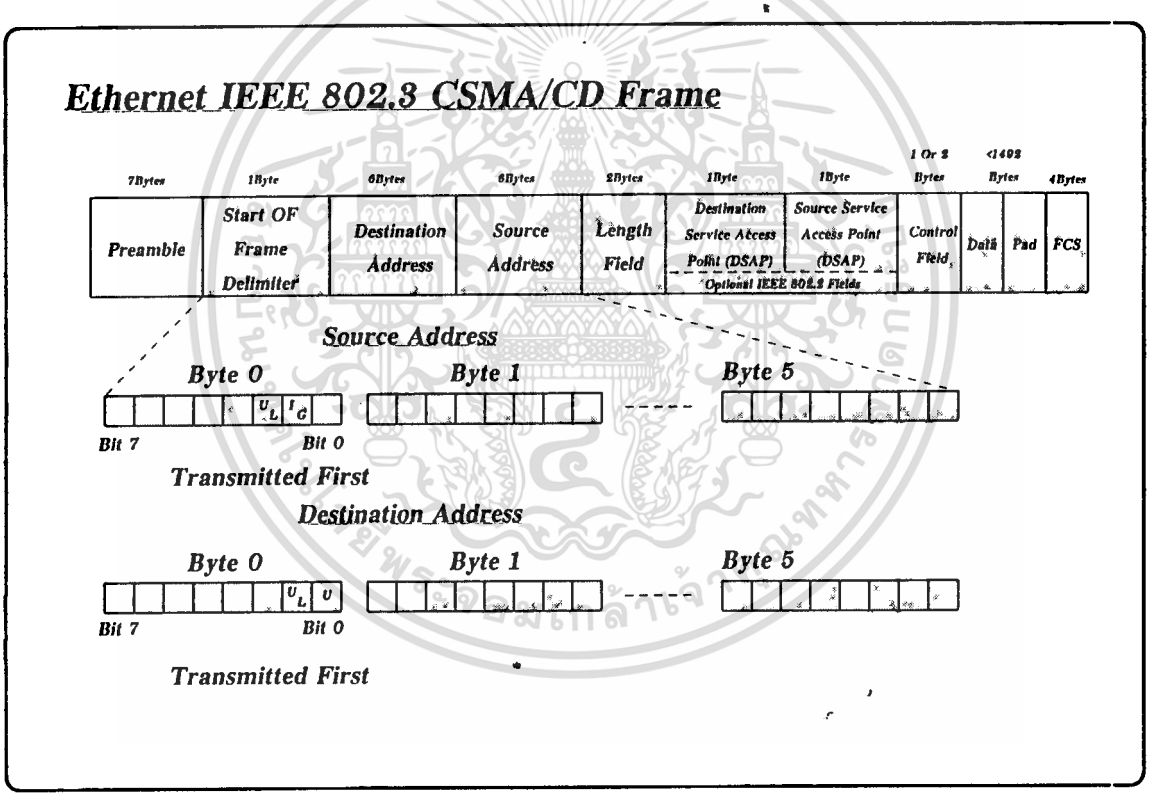
ความแตกต่างของเฟรมแบบอีเทอร์เน็ตกับเฟรมแบบ IEEE 802.3 คือ เฟรมแบบอีเทอร์เน็ตจะใช้ "ส่วนที่บอกชนิด (Type field)" แต่เฟรมแบบ IEEE 802.3 จะใช้ "ส่วนที่บอกขนาดความยาวของฟิลด์ (Length field)"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของ Type field จะใช้บอกว่าเฟรมนี้เป็นโปรโตคอล (Protocol) ใด เช่น 0800_h จะเป็น TCP/IP Protocol ถ้าเป็น 0600_h จะเป็น Xerox Network System (XNS) หรือถ้าเป็น 8137_h ก็จะเป็นของเครื่องให้บริการแฟ้มข้อมูลแบบ Novell Netware เป็นต้น

ส่วนของ Length field จะเป็นตัวบอกขนาดของฟิลด์ข้อมูล แต่ไม่ใช่ความยาวทั้งหมดของเฟรม ซึ่ง IEEE 802.3 จะแยกแยะ Protocol ของเฟรมได้โดยอาศัยส่วนที่เรียกว่า ส่วนของหัว IEEE 802.2 (IEEE 802.2 Headers) ซึ่งภายในจะประกอบไปด้วย "จุดเข้าถึงเพื่อให้บริการกับอุปกรณ์ปลายทาง (Destination Service Access Point : DSAP)", "จุดเข้าถึงเพื่อให้บริการอุปกรณ์ต้นทาง (Source Service Access Point : SSAP)" และ "ฟิลด์ควบคุม (Control Field)"

ส่วนของ DSAP ใช้เป็นจุดสังเกตุเพื่อให้อุปกรณ์ทางด้านรับข้อมูลใช้เป็นข้อมูลในการทำงาน และเช่นกัน SSAP ก็จะใช้แสดงจุดที่อุปกรณ์ทางด้านส่งข้อมูลจะใช้ในการทำการส่งข้อมูล ส่วนของฟิลด์ควบคุมใช้สำหรับ IEEE 802.2 Link Control



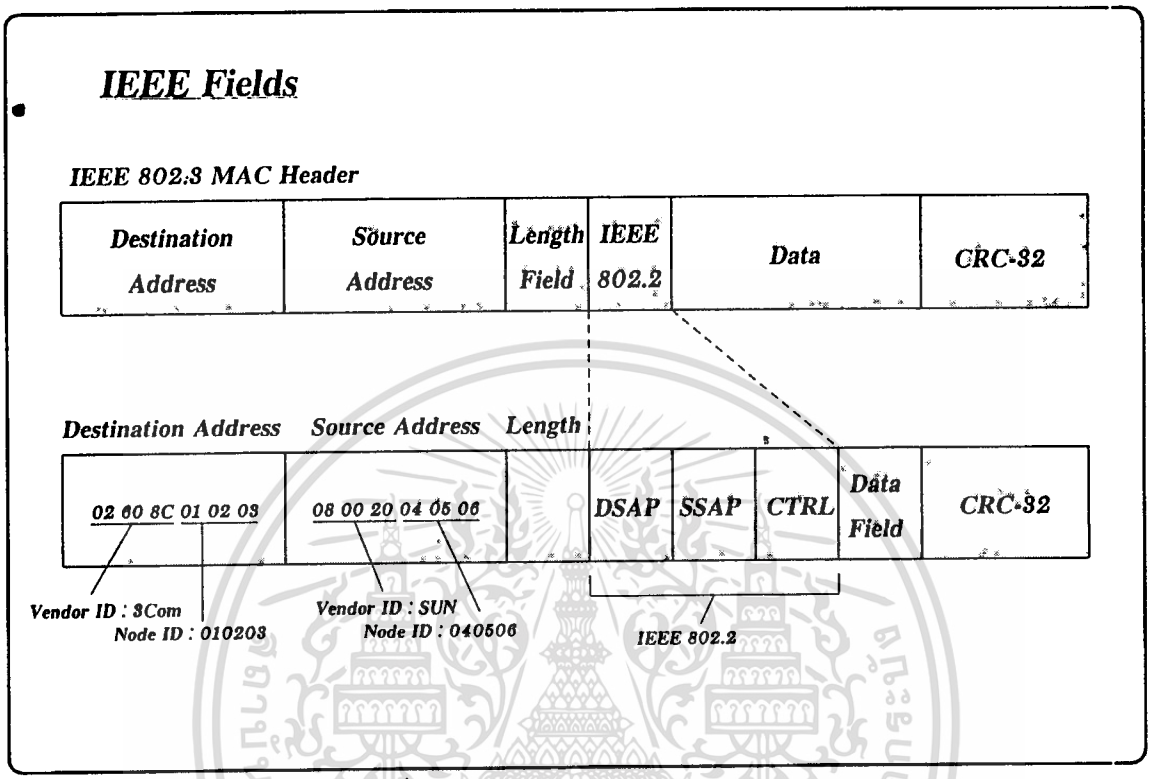
รูปที่ 2.19 เฟรมแบบอีเทอร์เน็ต IEEE 802.3

2.4.5.2 การแยกแยะชนิดของเฟรมอีเทอร์เน็ตกับเฟรม IEEE 802.3

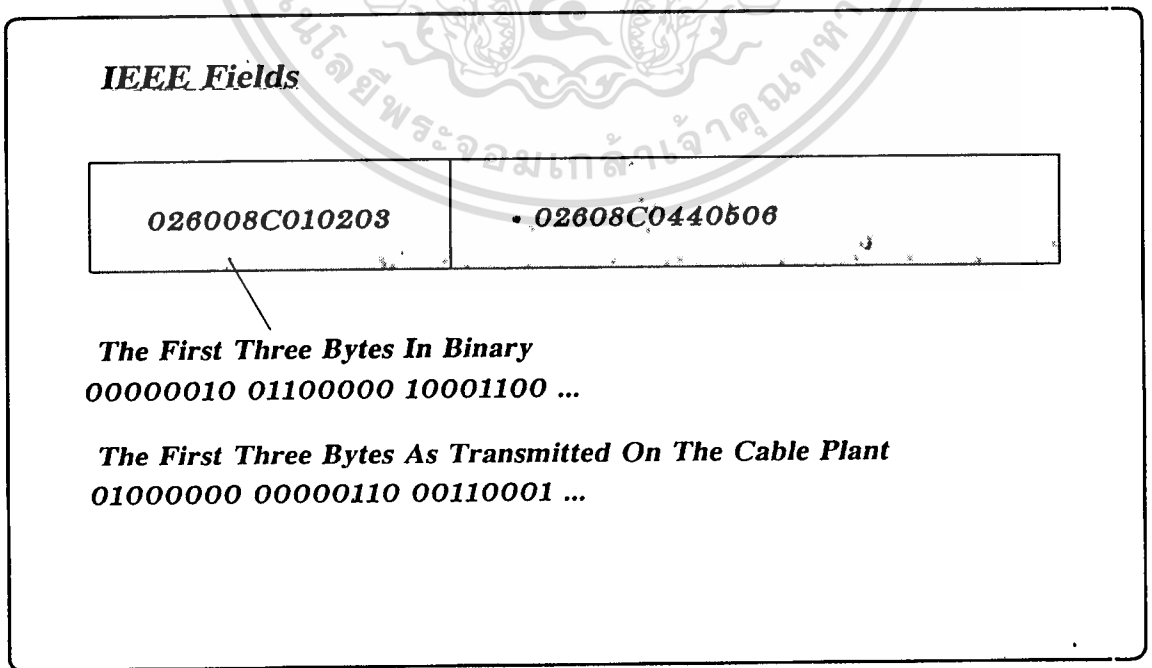
ส่วนควบคุมของอีเทอร์เน็ตแบบ IEEE 802.3 สามารถที่จะแยกความแตกต่างระหว่างเฟรมทั้ง 2 แบบนี้ได้โดยการอ่านค่าไบท์ที่ 12 ของเฟรม (นับตั้งแต่ฟิลด์ของที่อยู่ปลายทาง) ซึ่งเป็นส่วนที่บอกความยาวของฟิลด์หรือส่วนที่บอกชนิดของฟิลด์อยู่ โดยถ้าเป็นแบบเฟรมอีเทอร์เน็ตจะใช้ส่วนบอกชนิดของฟิลด์ที่เริ่มตั้งแต่เลข 0600_h เป็นต้นไป แต่ถ้าเป็นเฟรมแบบ IEEE 802.3 นั้นขนาดใหญ่ที่สุดของเฟรมที่เป็นตัวเลขจำนวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไบท์จะบรรจุในฟิลด์บอกความยาวของข้อมูลนั้น จะมีค่า 1518 ไบท์ซึ่งก็คือ $05FE_h$ ดังนั้นถ้าหากเลขจำนวนในไบท์ที่ 12 มีค่าเท่ากันหรือมากกว่า 0600_h แสดงว่าเฟรมนั้นเป็นเฟรมแบบอีเทอร์เน็ต แต่ถ้าน้อยกว่า 0600_h ก็จะเป็นเฟรมแบบ IEEE 802.3



รูปที่ 2.20 ฟิลด์ของอีเทอร์เน็ต IEEE 802.2



รูปที่ 2.21 ลำดับการส่งบิตข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการอ้างที่อยู่ของ IEEE 802.3 จะมีอีก 2 บิตในส่วนที่เป็นที่อยู่ที่มีความสำคัญ นั่นคือบิตที่ 0 ของไบท์ที่ 0 ถ้าหากบิตนี้มีค่าเป็น 1 เฟรมนี้จะเป็นเฟรมแบบ Multicast ซึ่ง IEEE 802.3 จะเรียกส่วนนี้ว่า "Individual/Group" ซึ่งบิตนี้จะถูกส่งลงไปในระบบเป็นบิตแรก ดังนั้นถ้าส่งบิตแรกเป็น 0 นั่นหมายความว่าเป็นที่อยู่แบบ Individual แต่ถ้าบิตแรกจะเป็น 1 ก็จะเป็นที่อยู่แบบ Multicast เช่น 02-60-8C-00-01-02 ในบิตแราจะส่งออกเป็น 0 แต่ถ้าเป็น 03-60-8C-01-02-04 ในบิตแรกจะเป็น 1

อีกบิตหนึ่งจะเป็นการกำหนดที่อยู่แบบยูนิเวอร์แซล (Universally assigned address) ถ้าบิตนี้เป็น 1 จะเป็นการกำหนดว่าเป็นที่อยู่แบบ MAC ซึ่งโรงงานผู้ผลิตนี้กำหนดให้ แต่ถ้าบิตนี้เป็น 0 จะหมายถึงที่อยู่ที่ผู้ใช้กำหนดเอง เพื่อใช้ในระบบของตนเอง (Locally assigned address : LAA)

จะเห็นได้ว่าเฟรมของระบบอีเทอร์เน็ตนั้นมีอยู่หลายรูปแบบ ซึ่งถ้าหากอุปกรณ์ที่เชื่อมต่อเข้ากับเครือข่ายจะต้องมีความสามารถในการแยกแยะเฟรมต่างๆได้ มิฉะนั้นแล้วเครื่องจะอ่านความหมายของเฟรมผิดไป และอาจจะทำให้ระบบเครือข่ายทั้งระบบมีปัญหาขึ้นมาได้ ดังนั้นจึงได้สรุปรูปแบบเฟรมไว้ดังในรูปที่ 2.22 ซึ่งประกอบไปด้วย

- เฟรมแบบอีเทอร์เน็ต
- เฟรมแบบ IEEE 802.3
- เฟรมแบบ IEEE 802.3 ที่อาศัยส่วนของ IEEE 802.2
- เฟรมแบบ IEEE 802.3 ที่อาศัยส่วนของ SNAP
- เฟรมแบบที่ใช้ในระบบ Novell

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปเฟรมอีเทอร์เน็ตชนิดต่างๆ

Ethernet

Destination Address	Source Address	Type Field	Data Field	CRC
6	6	2	1500	4

IEEE 802.3

Destination Address	Source Address	Length Field	Data Field	CRC
6	6	2	1500	4

IEEE 802.3 With IEEE 802.2

Destination Address	Source Address	Length Field	Data Field	DSAP	SSAP	Control	Data Field	CRC
6	6	2	1	1	1	1 or LLC1	1496	4

IEEE 802.3 With SNAP

Destination Address	Source Address	Length Field	Data Field	DSAP	SSAP	Control	SNAP Header	Data Field	CRC
6	6	2	1	1	1	1 or LLC1		1496	4

Organization	Ether Type
3	2

Novell-Specific

Destination Address	Source Address	Length Field	Data Field	CRC
6	6	2	1500	4

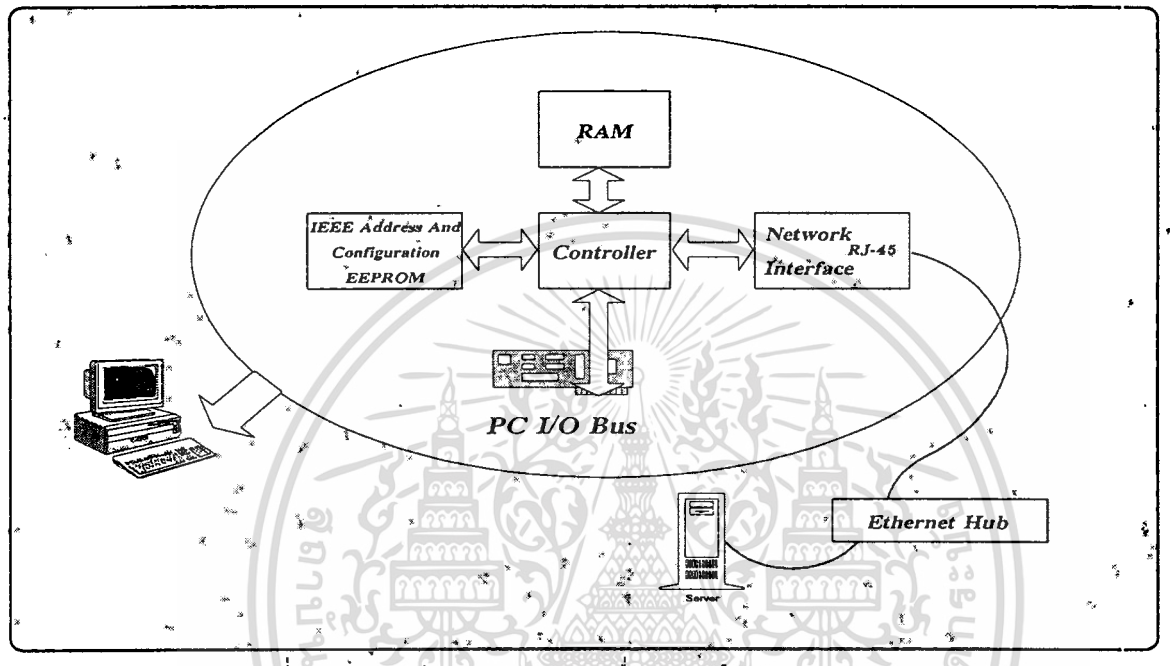
FFFF	IPX Header	Netware Core Protocol

รูปที่ 2.22 เฟรมอีเทอร์เน็ตชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การเชื่อมต่อแผ่นวงจรเข้ากับไมโครคอมพิวเตอร์

ก่อนที่จะกล่าวถึงการทำงานโดยละเอียดของแต่ละบล๊อก จะกล่าวถึงในส่วนของการเชื่อมต่อเข้ากับระบบบัสแบบ ISA (Industry Standard Architecture) ก่อน สัญญาณต่างๆที่ใช้ในระบบบัสแบบนี้แสดงในรูปที่ 2.24 ซึ่งเป็น ISA PC/AT Bus แบบ 16 บิตข้อมูล และ มีการอ้างที่อยู่โดยใช้สัญญาณ 24 บิต ดังนั้นจึงไม่สามารถที่จะใช้ความสามารถของซีพียู (CPU) แบบ 386 ได้เต็มที่เนื่องจาก 386 ซีพียูจะอ้างที่อยู่โดยใช้



รูปที่ 2.23 โครงสร้างของแผ่นวงจรเชื่อมต่อเครือข่ายคอมพิวเตอร์

ขนาดของสัญญาณ 32 บิต ทำให้ความเร็วในการส่งผ่านข้อมูลบนบัสข้อมูลช้าลง ซึ่งได้รับการแก้ปัญหาโดยการใช้เทคนิคการนำเอาหน่วยความจำขนาด 16 ล้านไบท์ที่มีการอ้างที่อยู่แบบ 32 บิตมาเชื่อมต่อเป็นแคชโดยตรงกับบอร์ดหลักทำให้การเข้าถึงหน่วยความจำสามารถทำได้โดยตรงโดยใช้ความสามารถซีพียู 386 ได้อย่างเต็มที่ ไม่ต้องผ่านบัสเพอริเฟอร์รัล

2.5.1 รายละเอียดเกี่ยวกับสัญญาณต่างๆที่สำคัญ

OSC (Oscillator) ขาที่ B30

ขานี้เป็นเอาท์พุทที่เชื่อมต่อกับสัญญาณคล็อกที่มีค่าความถี่สูงบนเมนบอร์ด คือ 14.31818 Mhz ซึ่งมีคาบเวลาประมาณ 70 nSec. และมี Duty cycle (ช่วงเวลาใน 1 คาบที่สัญญาณคล็อกมีลอจิกเป็น "1" หารด้วยคาบเวลาทั้งหมด) ประมาณ 50% สัญญาณคล็อกอื่นๆในระบบจะถูกสร้างขึ้นโดยการหารสัญญาณคล็อกนี้ แต่สัญญาณ OSC นี้จะไม่ Synchronize กับสัญญาณอื่นๆบนบัสของระบบจึงไม่ใช้สัญญาณนี้ไปใช้กับวงจรภายนอกอื่นๆที่ทำงานร่วมกับระบบ

CLK (Clock) ขาที่ B20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLK (Clock) ขาที่ B20

สัญญาณนี้เป็นเอาท์พุทซึ่งต่อกับสัญญาณคล็อกที่ถูกสร้างขึ้นโดยการหารสัญญาณ OSC ด้วย 3 ทำให้ได้ความถี่ประมาณ 4.77 MHz (14.31818 MHz / 3) หรือมีช่วงเวลาในหนึ่งคาบเท่ากับ 210 nSec. สำหรับค่า Duty Cycle ของสัญญาณนี้จะมีค่าประมาณ 1/3 คือ ใน 1 คาบจะมีช่วงเวลาที่เป็นลอจิก "1" เท่ากับ 1/3 ของคาบเวลาทั้งหมดประมาณ 70 nSec. และช่วงเวลาที่เป็นลอจิก "0" เท่ากับ 2/3 ของคาบเวลาทั้งหมด คือประมาณ 140 nSec.

RESET DRV ขาที่ B2

ขาสัญญาณนี้เป็นเอาท์พุท ซึ่งจะแอคทีฟ (ลอจิก "1") ในช่วงที่เราเริ่มจ่ายไฟให้กับระบบ และจะยังคงแอคทีฟไปจนกว่าระบบต่างๆ ภายในเครื่องจะพร้อมที่จะทำงานได้จากนั้นสัญญาณนี้ก็จะเปลี่ยนกลับเป็นลอจิก "0" นอกจากนี้ในระหว่างการทำงานของเครื่องถ้าระดับแรงดันของแหล่งจ่ายไฟตกลง สัญญาณนี้ก็จะถูกทำให้แอ็คทีฟเช่นกัน โดยทั่วไปแล้วสัญญาณนี้จะถูกนำไปใช้ในการรีเซ็ทวงจรอินเตอร์เฟสหรืออุปกรณ์ I/O ต่างๆ ในช่วงที่เริ่มจ่ายไฟให้กับระบบซึ่งจะเป็นการทำให้อุปกรณ์เหล่านั้นถูกปรับให้อยู่ในสภาวะที่แน่นอนก่อนที่จะเริ่มต้นการทำงานในระบบ

A0-A19 (Address Bus) ขาที่ A31-A12

ขาสัญญาณทั้ง 20 ขานี้เป็นเอาท์พุท ซึ่งใช้สำหรับกำหนดแอดเดรสของหน่วยความจำหรืออุปกรณ์ I/O ที่ต้องการติดต่อด้วย โดยสัญญาณ A0 จะมีนัยสำคัญต่ำสุด และ A19 มีนัยสำคัญสูงสุด ค่าแอดเดรสบน A0-A19 จะถูกกำหนดโดยซีพียูในระหว่างการอ่านหรือเขียนข้อมูลลงบนหน่วยความจำหรืออุปกรณ์ I/O แต่ในช่วงของกระบวนการ DMA (Direct Memory Access) นั้น ตัวควบคุมดีเอ็มเอ (DMA Controller) จะเป็นผู้กำหนดค่าแอดเดรสบนบัสแอดเดรสเอง

แอดเดรสนี้มีอยู่ 20 เส้น สามารถอ้างแอดเดรสหน่วยความจำได้ 1 ล้านไบท์ และการอ้างแอดเดรสของพอร์ท I/O จะใช้เส้นแอดเดรสจำนวน 16 เส้น คือ A0 ถึง A15 จะอ้างแอดเดรสเบอร์พอร์ทได้ 64 กิโลไบท์ (kbytes) ส่วนเส้นสัญญาณอื่นๆที่เหลือ (A16-A19) จะไม่ถูกใช้งาน

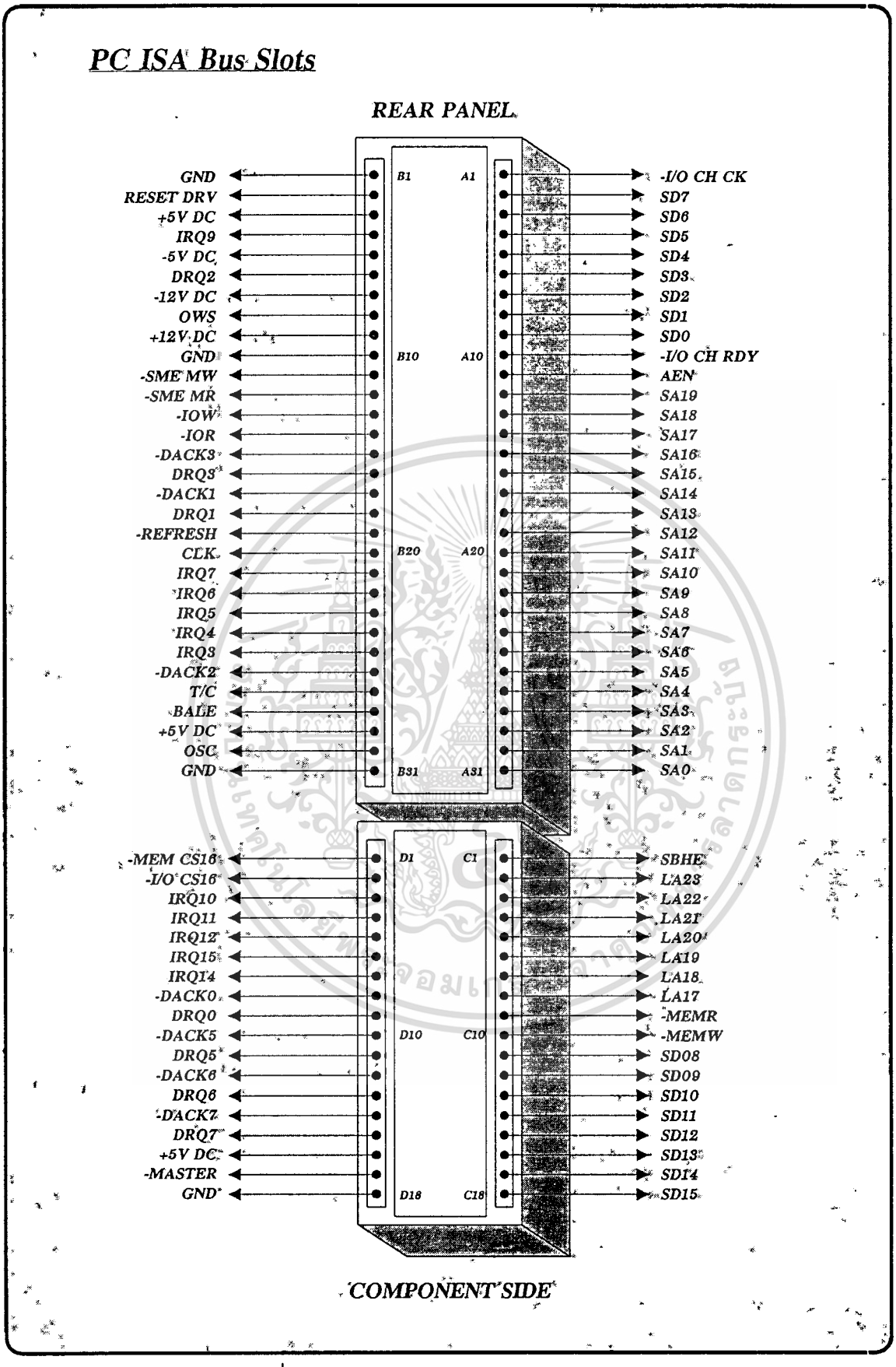
D0-D7 (Data Bus) ขาที่ A9-A2

ขาสัญญาณนี้เป็นแบบสองทิศทาง (Bi-Directional) ซึ่งต่อกับบัสข้อมูลของระบบเพื่อทำหน้าที่ในการรับสัญญาณส่งผ่านข้อมูลระหว่างพอร์ต I/O กับ เครื่องคอมพิวเตอร์

ALE (Address Latch Enable)ขาที่ B28

เป็นสัญญาณเอาท์พุทที่ตัวควบคุมระบบบัส (Bus Controller) สร้างขึ้นเพื่อใช้แสดงการเริ่มต้นของบัสไซเคิล และแสดงให้อุปกรณ์ภายนอกทราบว่าแอดเดรสที่ต้องการจะติดต่อด้วยนั้นถูกส่งออกมาบนบัสแอดเดรสแล้ว โดยที่สัญญาณ ALE จะเปลี่ยนจากลอจิก "1" เป็น ลอจิก "0" เมื่อค่าของแอดเดรสที่ถูกต้องถูกส่งออกมาบนบัสแอดเดรสแล้ว ขอบขาลงของ ALE ถูกใช้ในการแลทช์ค่าแอดเดรสจากบัสแอดเดรส ทำให้สามารถแยกค่าแอดเดรส (A0-A19) และข้อมูล (A0-A7) ออกจากกันได้ แต่ ALE จะไม่แอคทีฟในระหว่างกระบวนการดีเอ็มเอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 รายละเอียดของขาสัญญาณ ISA BUS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I/O CHCK (I/O Channel Check) ขาที่ A1

ขาสัญญาณนี้เป็นอินพุทที่ใช้ในการแสดงความผิดพลาดเกี่ยวกับพาริตี้ที่เกิดขึ้นในการทำงานของวงจรอินเตอร์เฟสหรืออุปกรณ์ I/O เมื่อขาสัญญาณนี้ได้รับลอจิก "0" จะทำให้ซีพียูถูกการขัดจังหวะ (Interrupt) แบบที่ไม่สามารถจะปฏิเสธการตอบรับได้

$\overline{\text{I/O CHRDY}}$ (I/O Channel Ready) ขาที่ A10

ขานี้เป็นสัญญาณอินพุทที่ใช้เพิ่มช่วงเวลาในบัสไซเคิลในกรณีที่อุปกรณ์ I/O หรือหน่วยความจำที่เกี่ยวข้องกับกระบวนการในบัสไซเคิลที่เกิดขึ้นนั้น ไม่สามารถทำงานทันตามช่วงเวลาปกติของบัสไซเคิลนั้นๆได้ โดยที่บัสไซเคิลของการทำเกี่ยวกับ I/O จะใช้ช่วงเวลาเท่ากับช่วงเวลาของคล็อก 5 ลูก

IRQ2-IRQ7 (Interrupt Request 2 Through 7) ขาที่ B4 และ B25-B21

ขาสัญญาณทั้ง 6 เป็นขาอินพุทที่ใช้สำหรับการขออินเทอร์รัพท์จากซีพียู โดย IRQ2 จะมีความสำคัญสูงสุด และ IRQ7 มีความสำคัญต่ำสุด ในกรณีที่มีการขออินเทอร์รัพท์เกิดขึ้นระดับลอจิกที่ขา IRQ ขาใดขาหนึ่งจะถูกเปลี่ยนจากลอจิก "0" เป็น ลอจิก "1" อุปกรณ์ใดที่ทำการขออินเตอร์รัพท์โดยผ่านทาง IRQ จะต้องรักษาระดับสัญญาณที่ขา IRQ นั้นให้แอคทีฟ (ลอจิก "1") อยู่จนกว่าจะได้รับการตอบรับอินเตอร์รัพท์จากซีพียูเสียก่อน โปรแกรมที่ทำการตอบสนองต่อการขออินเตอร์รัพท์ (Interrupt Service Routine) จะต้องทำการรีเซ็ทสัญญาณ IRQ เอง

$\overline{\text{IOR}}$ (I/O Read) ขาที่ B14

ขาสัญญาณนี้เป็นเอาท์พุท แอคทีฟที่ลอจิก "0" ที่จะถูกสร้างขึ้นโดยตัวควบคุมระบบบัส เพื่อใช้ในการแสดงว่าบัสไซเคิลที่เกิดขึ้นนี้เป็นบัสไซเคิลของการอ่านข้อมูลจากพอร์ท I/O เพื่อให้ I/O ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสแสดงข้อมูลออกมาบนบัสข้อมูล

$\overline{\text{IOW}}$ (I/O Write) ขาที่ B13

ขานี้เป็นสัญญาณเอาท์พุท แอคทีฟที่ลอจิก "0" ถูกสร้างขึ้นโดยตัวควบคุมระบบบัส เพื่อใช้แสดงว่า บัสไซเคิลที่เกิดขึ้นนี้เป็นบัสไซเคิลของการเขียนข้อมูลลงบนพอร์ท I/O เพื่อให้พอร์ท I/O ที่มีแอดเดรสตรงกันกับแอดเดรสบนบัสแอดเดรสรับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้

$\overline{\text{MEMW}}$ (Memory Write) ขาที่ B11

ขานี้เป็นเอาท์พุท แอคทีฟที่ลอจิก "0" ซึ่งตัวควบคุมระบบบัสสร้างขึ้นในระหว่างบัสไซเคิลในการเขียนข้อมูลลงในหน่วยความจำ

$\overline{\text{DACK0}}$-$\overline{\text{DACK3}}$ (DMA Acknowledge 0-3) ขาที่ B19, B17, B26 และ B15

สัญญาณทั้ง 4 นี้ เป็นเอาท์พุทแอคทีฟที่ลอจิก "0" เพื่อแสดงให้วงจรภายนอกที่ขอ DMA ทราบว่าการขอ DMA นั้นได้รับการตอบสนองแล้ว สัญญาณ DACK จะแอคทีฟในแชนแนลใดก็ขึ้นอยู่กับว่ากระบวนการเกิด DMA ที่จะเกิดขึ้นนั้น เป็นการตอบสนองต่อการขอ DMA ในแชนแนลใด แต่สัญญาณ DRQ0 จะไม่ถูกต่อออกมายังขาของสล็อต ดังนั้นวงจรอินเตอร์เฟสจึงไม่สามารถจะขอ DMA ผ่านทางแชนแนล 0 ได้ แต่สัญญาณ DACK0 จะถูกต่อออกมายังสล็อตด้วย เพื่อที่จะแสดงให้วงจรอินเตอร์เฟสต่างๆทราบว่าขบวนการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DMA ที่เกิดขึ้นในช่วงเวลาที่ DACK0 แอคทีฟนั้น เป็นกระบวนการที่ใช้สำหรับการรีเฟรชหน่วยความจำที่เป็นไดนามิก (Dynamic RAM)

AEN (Address Enable) ขาที่ A11

เป็นเอาท์พุทที่ใช้ในการแสดงว่าบัสไซเคิลที่เกิดขึ้นในช่วงเวลาที่สัญญาณ AEN แอคทีฟ (ลอจิก "1") นั้น เป็นบัสไซเคิลของกระบวนการ DMA

T/C (Terminal Count) ขาที่ B27

สัญญาณนี้แอคทีฟเมื่อจำนวนไบท์ในการส่งผ่านข้อมูลของกระบวนการ DMA ในแชนแนลใดแชนแนลหนึ่ง ครบตามจำนวนที่กำหนดไว้ โดยทั่วไปแล้วสัญญาณที่จะถูกใช้ในการสิ้นสุดกระบวนการ DMA ที่ทำการส่งผ่านข้อมูลเป็นบล็อค เนื่องจากสัญญาณนี้จะแอคทีฟโดยไม่แสดงว่าเป็นสัญญาณของแชนแนลใด ดังนั้นจึงต้องนำสัญญาณ T/C ผ่านวงจรลอจิกเพื่อให้สามารถทราบได้ว่าสัญญาณ T/C ที่เกิดขึ้นเป็นของแชนแนลใด

บัสของแหล่งจ่ายไฟของระบบ

+5V DC (ขา B3 และ B29) ขาทั้งสองนี้ต่อกลับแหล่งจ่ายไฟ DC +5V ของระบบโดยจะมีค่าความเที่ยงตรง +/- 5%

+12VDC (ขา +12V B9) ขานี้จะต่อกับแหล่งจ่ายไฟ DC +12V ของระบบโดยจะมีค่าความเที่ยงตรง +/-5%

-5V DC (ขา B5) ขาทั้งสองนี้ต่อกลับแหล่งจ่ายไฟ DC -5V ของระบบโดยจะมีค่าความเที่ยงตรง +/- 10%

-12VDC (ขา -12V B7) ขานี้จะต่อกับแหล่งจ่ายไฟ DC -12V ของระบบโดยจะมีค่าความเที่ยงตรง +/-10%

GND (ขา B1, B10 และ B31) ขาทั้ง 3 นี้จะต่อเข้ากับกราวด์ของระบบ

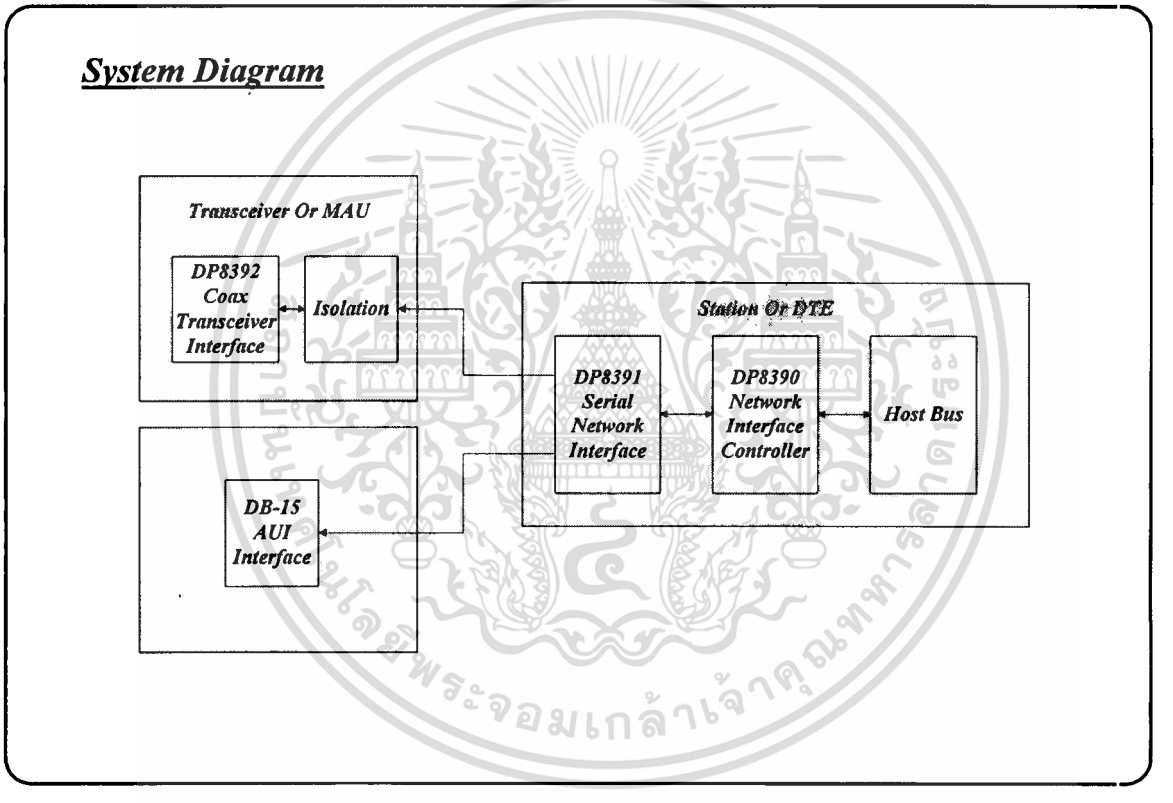
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3
การคำนวนและการสร้าง

3.1 รายละเอียดทั่วไปของ DP8390

DP8390 เป็นชิพที่ใช้ควบคุมการเชื่อมต่อกับระบบเครือข่ายคอมพิวเตอร์ (Network Interface Controller : NIC) ซึ่งรองรับกับมาตรฐานการเข้าถึงสื่อนำสัญญาณแบบ CSMA/CD ที่ใช้ในระบบเครือข่ายแบบอีเทอร์เน็ต

ชิพนี้เป็นหัวใจสำคัญที่สุดของแผ่นวงจรเชื่อมต่อระบบเครือข่าย ซึ่งมีชิพที่เกี่ยวข้องที่จำเป็นต้องใช้ร่วมกันอีก 2 ตัวด้วยกันคือ DP8391 ที่ทำหน้าที่เชื่อมต่อกับระบบเครือข่ายแบบอนุกรม (Serial Network Interface : SNI) และ DP8392 ซึ่งใช้เป็นตัวรับและส่งข้อมูลผ่านทางสายโคแอคเชี่ยล (Coaxial Transceiver Interface : CTI) ทั้ง 3 ชิพเซ็ต จะมีโครงสร้างการเชื่อมต่อเข้าด้วยกันดังรูปที่ 3.1

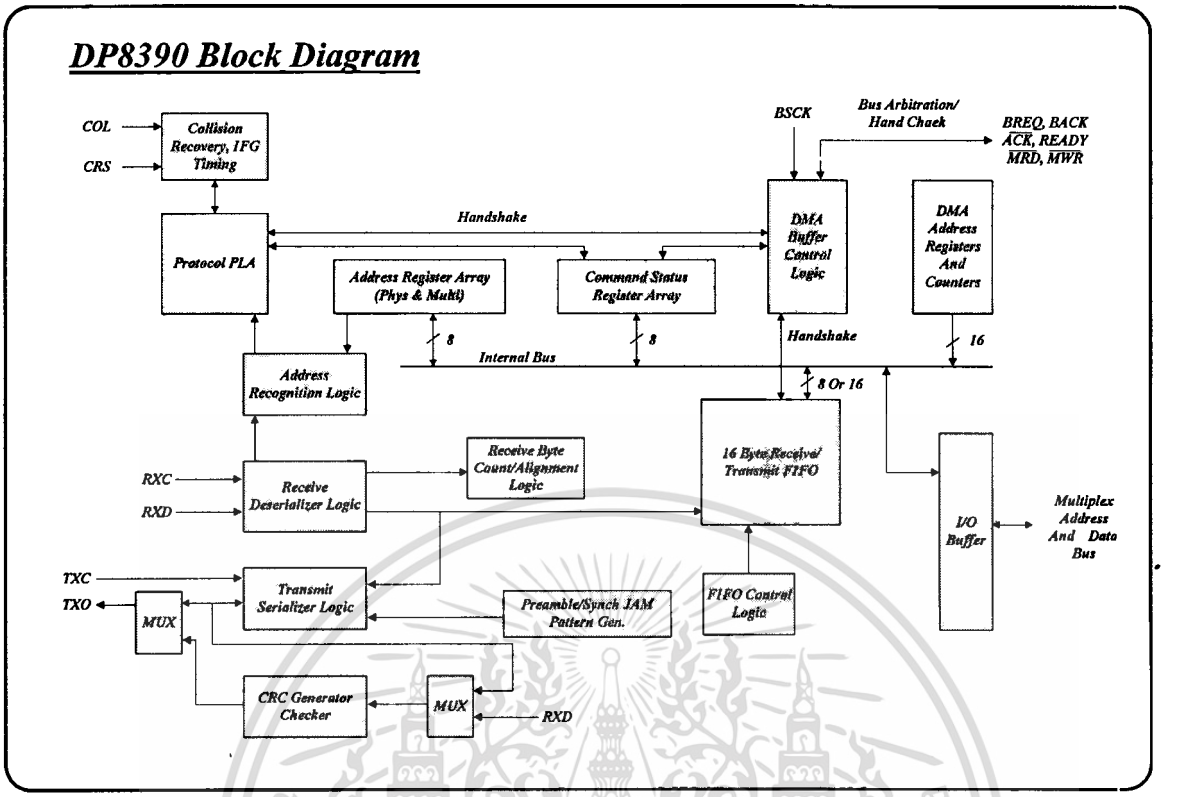


รูปที่ 3.1 บล็อกไดอะแกรมของการเชื่อมต่อชิพเซ็ตทั้ง 3

จากรูปที่ 3.1 จะเห็นได้ว่า DP8390 จะเป็นชิพที่ใช้ควบคุมการรับส่งข้อมูลระหว่างเครื่องคอมพิวเตอร์กับระบบเครือข่าย โดยมีชิพ DP8391 เป็นตัวจัดการกับสัญญาณข้อมูลที่ถูกส่งออกมาจาก DP8390 เพื่อให้เป็นสัญญาณอนุกรมตามมาตรฐาน IEEE 802.3 ซึ่งเป็นการเข้ารหัสแบบแมนเชสเตอร์ ที่สามารถเชื่อมเข้ากับระบบเครือข่ายผ่านพอร์ท AUI (Attachment Unit Interface) แบบ DB-15 ที่ต้องนำไปเข้ากับทรานซีฟเวอร์ภายนอก หรือ นำสัญญาณแมนเชสเตอร์มาเข้าที่ชิพ DP8392 ซึ่งทำหน้าที่เป็นทรานซีฟเวอร์แบบโคแอคเชี่ยลสำหรับเครือข่ายที่เป็น 10Base-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 บล็อกไดอะแกรมของชิพ DP8390



รูปที่ 3.2 บล็อกไดอะแกรมของชิพ DP8390

3.2.1 Receive Deserializer

บล็อก Receive Deserializer จะทำงานเมื่อได้รับสัญญาณ Carrier Sense และจะทำการเลื่อนบิตเข้าไปยังชิฟรีจิสเตอร์ โดยใช้สัญญาณนาฬิกามาควบคุม ข้อมูลแบบอนุกรมที่รับได้นี้จะถูกส่งผ่านไปยังบล็อก CRC Generator/Checker ด้วย

บล็อก Receive Deserializer นี้จะประกอบไปด้วย Synch Detecter ซึ่งทำหน้าที่ตรวจจับส่วนเริ่มต้นของเฟรม (Start Of Frame Delimiter : SFD) เมื่อได้รับสัญญาณเริ่มต้นของเฟรม ทุกๆ 8 สัญญาณนาฬิกาหรือ 8 บิต ข้อมูลนั้นก็จะถูกส่งผ่านไปยัง FIFO ซึ่งมีขนาด 16 ไบต์ และ Receive Byte Count ก็จะเพิ่มค่านับขึ้น 1 ครั้ง ใน 6 ไบต์แรกหลังจากสัญญาณ SFD จะเป็นสัญญาณบอกที่อยู่ของผู้รับเฟรมนั้น จะถูกนำไปเปรียบเทียบกับค่าที่อยู่ใน Address Recognition Logic เพื่อตรวจสอบว่าตรงกันหรือไม่ ถ้าไม่ตรง ค่าที่อยู่ใน FIFO จะถูกกำจัดไป

3.2.2 CRC Generator/Checker

ในระหว่างการส่งข้อมูล CRC Logic จะสร้างส่วนของ CRC เพื่อใช้ส่งไปกับเฟรมข้อมูลนั้น CRC จะเริ่มเข้ารหัสสร้าง ฟิลด์ CRC หลังจากส่วนของซิงค์ไบต์ ค่าของ CRC จะถูกเลื่อนออกมาโดยเริ่มจากบิตความสำคัญสูง (MSB) ก่อน

ในระหว่างการรับเฟรมข้อมูล CRC Generator ก็จะสร้างฟิลด์ CRC จากเฟรมที่ได้รับเข้ามา ค่าของ CRC ที่สร้างขึ้นมานี้ จะถูกนำไปเปรียบเทียบกับ CRC ที่รับได้จากส่วนท้ายของเฟรมที่ถูกส่งมา ถ้าค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CRC ที่สร้างขึ้นและที่รับได้นั้นเหมือนกันก็จะสร้างขบวนสัญญาณที่จะแสดงว่าไม่มีการผิดพลาดเกิดขึ้น แต่ถ้าหากไม่ตรงกันก็จะทำการกำจัดเฟรมข้อมูลนั้นทิ้งไป

3.2.3 Transmit Serializer

Transmit Serializer จะอ่านข้อมูลแบบขนานจาก FIFO แล้วทำให้เป็นข้อมูลแบบอนุกรม เพื่อใช้ในการส่ง โดยอาศัยสัญญาณนาฬิกาจากชิพ DP8391 และสัญญาณข้อมูลจะถูกเลื่อนไปยัง CRC Generator/Checker ด้วย ในการเริ่มต้นของการส่ง สัญญาณ Preamble และ Synch Generator จะปรากฏเป็นจำนวน 62 บิต โดยมีรูปแบบของ Preamble เป็น 1,0 และ Synch เป็น 1,1 หลังจากข้อมูลไบต์สุดท้ายถูกทำให้เป็นแบบอนุกรมแล้ว ฟิลด์ Frame Check Sequence (FCS) ขนาด 32 บิต จะถูกเลื่อนออกจาก CRC Generator ในกรณีที่เกิดการชนกันของเฟรมข้อมูล Preamble และ Synch Generator จะถูกใช้ในการสร้างสัญญาณบอกการชนกัน (Jam Signal) ขนาด 32 บิต ซึ่งเป็นลอจิก 1 ทั้งหมด

3.2.4 Address Recognition Logic

Address Recognition Logic จะทำหน้าที่เปรียบเทียบค่าของที่อยู่ปลายทาง ซึ่งเป็น 6 ไบต์แรกของเฟรมที่รับได้ กับค่าที่อยู่ทางกายภาพที่เก็บอยู่ในรีจิสเตอร์ Address Register Array ถ้ามีส่วนหนึ่งส่วนใดใน 6 ไบต์แรกที่ไม่ตรงกันกับที่อยู่ทางกายภาพ Protocol Control Logic จะทำการกำจัดเฟรมนั้นทิ้งไป

นอกจากนี้ส่วน Address Recognition Logic ก็ยังทำหน้าที่ในการตรวจดูค่า Multicast Address โดยใช้เทคนิควิธี Hashing ซึ่งเป็นการตรวจดูค่ารีจิสเตอร์แสดงสถานะว่าเป็น Multicast Address ถ้าหากเป็น Multicast เฟรมนั้นก็จะถูกรับเข้ามา ถ้าไม่ใช่ก็จะถูกกำจัดทิ้งไปโดย Protocol Control Logic

ส่วนการอ้างที่อยู่อีกแบบเป็นแบบ Broadcast Address จะตรวจสอบได้โดยดูจาก 6 ไบต์แรกว่าเป็นลอจิก 1 ทั้งหมดหรือไม่ ถ้าเป็นก็จะยอมรับเฟรมนั้น แต่ถ้าไม่ใช่และไม่ตรงกับที่อยู่ทางกายภาพและ Multicast Address ก็จะถูกกำจัดทิ้งไป

3.2.5 FIFO และ FIFO Control Logic

ในระหว่างการส่ง DMA จะเขียนข้อมูลลงไปใน FIFO และ Transmit Serializer จะอ่านข้อมูลจาก FIFO และส่งมันไป ส่วนในระหว่างการรับ Receive Serializer จะเขียนข้อมูลลงไปใน FIFO แล้ว DMA จะอ่านข้อมูลจาก FIFO FIFO Control Logic ถูกใช้สำหรับการนับจำนวนไบต์ใน FIFO ดังนั้นหลังจาก Preset Level แล้ว DMA จะสามารถเริ่มเข้าถึงบัส และเขียน-อ่านข้อมูลกับ FIFOI ก่อนที่ FIFO จะเกิดUnder หรือ Over Flow ขึ้น

3.2.6 Protocol PLA

PLA จะตอบสนองกับโปรโตคอล IEEE 802.3 รวมทั้งจัดการเกี่ยวกับการตรวจสอบการเกิดการชนกันของข้อมูล และทำการสุ่มเวลานับถอยหลัง (Random Backoff) เพื่อจัดส่งข้อมูลใหม่เมื่อเกิดการชนกันขึ้น

นอกจากนี้ ในระหว่างการส่งข้อมูล PLA จะจัดรูปแบบของเฟรมให้เป็นไปตามมาตรฐาน และในการรับเฟรมข้อมูล PLA ก็จะตัดส่วนที่เป็น Preamble และ Synch ออกจากเฟรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

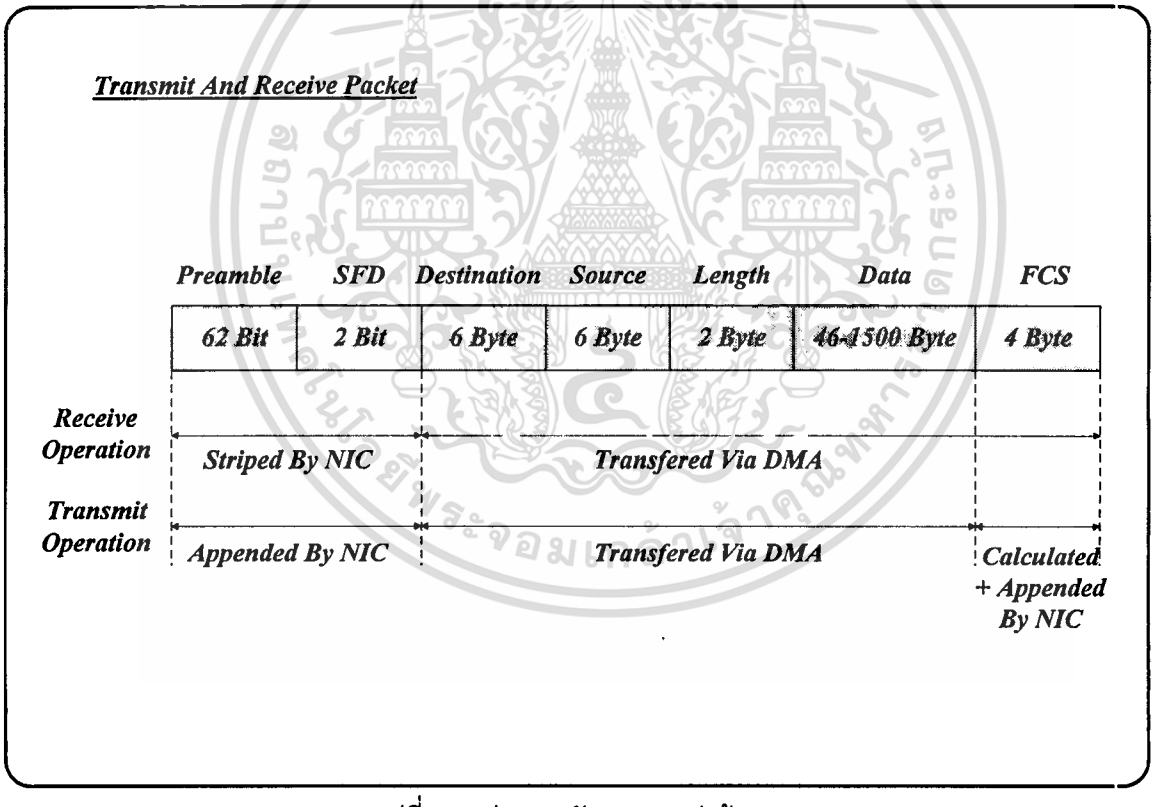
3.2.7 DMA และ Buffer Control Logic

ใช้สำหรับควบคุมช่องสัญญาณ DMA ขนาด 18 บิต ในช่วงของการรับ DMA จะเก็บเฟรมข้อมูลใน Receive Buffer Ring ซึ่งอยู่ในหน่วยความจำ Buffer ส่วนในช่วงของการส่ง DMA จะใช้ตัวชี้โปรแกรมและ รีจิสเตอร์แสดงความยาวของข้อมูลเพื่อที่จะส่งผ่านข้อมูลจากหน่วยความจำ Buffer ไปยัง FIFO

ช่องสัญญาณที่ 2 ของ DMA ถูกใช้เป็น DMA สำรอง ในการส่งผ่านข้อมูลระหว่างหน่วยความจำ Buffer กับเครื่องคอมพิวเตอร์

3.3 การส่ง/รับ เฟรมข้อมูล และการ Encapsulation/Decapsulation

รูปแบบของเฟรมตามมาตรฐานของ IEEE 802.3 จะประกอบไปด้วยฟิลด์หลายฟิลด์ ซึ่งจะถูกเข้ารหัสและถอดรหัสแบบแมนเชสเตอร์ โดยชิพ DP8391 SNI แล้วจะถูกส่งผ่านไปยัง NIC พร้อมๆกับส่งสัญญาณนาฬิกาไปด้วย โดยการใช้สัญญาณแบบ NRZ ขนาดความยาวของแต่ละฟิลด์จะมีขนาดจำกัดและมีรายละเอียดดังนี้



รูปที่ 3.3 เฟรมการรับและการส่งข้อมูล

3.3.1 Preamble และ SFD

สัญญาณแมนเชสเตอร์จะถูกเข้ารหัสเป็น 1, 0 สลับกันเพื่อใช้เป็น Preamble ซึ่งชิพ DP8391 จะใช้ในการทำเข้าจังหวะ (Synch) กับเฟรมที่เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟิลด์ Preamble นี้ จะถูกตัดออกโดย NIC ส่วน SFD จะเป็นบิตลอจิก 1 จำนวน 2 บิต ซึ่ง NIC ไม่สามารถจะตรวจดูเป็นไบต์ได้ มันจะตรวจดูเพียงแต่ 2 บิตเท่านั้น ดังนั้น Preamble กับ SFD จะใช้ในการทำ Phase Locking

3.3.2 Destination Address

Destination Address หรือ ที่อยู่ทางปลายทาง ใช้แสดงที่ที่ต้องการให้เฟรมนั้นไปถึง ซึ่งมีวิธีการอ้างถึงที่อยู่ 3 แบบด้วยกันคือ

- ที่อยู่ทางกายภาพ (Physical Address) เป็นที่อยู่ที่จะไม่ซ้ำกันเลยในแต่ละเครื่อง ทุกหมายเลขของที่อยู่ทางกายภาพนี้ จะมีบิตนัยสำคัญสูงเป็นลอจิก 0 เสมอ

- ที่อยู่แบบอ้างเป็นกลุ่ม (Multicast Address) ใช้อ้างเครื่องที่จะรับเฟรมข้อมูลเป็นกลุ่ม โดบจะมีบิตนัยสำคัญสูงเป็นลอจิก 1 เสมอ ชิพ DP8390 จะตรวจสอบการเป็น Multicast Address โดยใช้วิธีการ Hashing Algolithm ซึ่งจะ Map ทุกๆ Multicast Address เข้ากับ ค่า 6 บิต โดย 6 บิตนี้จะเป็นค่าที่ใช้ชี้ค่า Array 64 bit ซึ่งใช้ตรวจสอบ Address แบบ Multicast Address

- การอ้างที่อยู่แบบทั้งหมด (Broadcast Address) จะมี 6 ไบต์แรกเป็นลอจิก 1 ทั้งหมด

3.3.3 Source Address

เป็นที่อยู่ทางกายภาพของแต่ละเครื่องซึ่งไม่สามารถจะเป็น Multicast หรือ Broadcast Address ได้

3.3.4 Length Field

มีขนาด 2 ไบต์ใช้แสดงจำนวนความยาวของฟิลด์ข้อมูล โดยบอกเป็นจำนวนไบต์ซึ่ง NIC จะไม่สามารถเข้าใจส่วนที่เป็น Length Field นี้

3.3.5 Data Field

ส่วนนี้เป็นส่วนของข้อมูลที่ต้องการรับ-ส่งจริงๆ มีขนาดตั้งแต่ 46 ไบต์ ถึง 1500 ไบต์ สำหรับข้อมูลที่มีความยาวกว่า 1500 ไบต์จะถูกแยกออกเป็นหลายๆเฟรม แต่ถ้าหากข้อมูลมีขนาดที่สั้นกว่า 46 ไบต์ ก็จะมีการใส่แพด (PAD) เติมจนครบที่ความยาวต่ำสุดที่ 46 ไบต์ โดยในส่วนของ PAD นั้นจะไม่ถูกนำมานับเป็นความยาวของฟิลด์ข้อมูล แต่ NIC จะไม่ได้เป็นผู้ตัดหรือเติม PAD

3.3.6 FCS Field

ส่วนของ FCS จะใช้วิธีการของ CRC โดยใช้ขนาด 32 บิต โดยจะสร้างในระหว่างการส่งเพื่อให้ทางปลายทางที่รับสามารถตรวจสอบความถูกต้องของเฟรมนั้น และในระหว่างการรับเฟรมก็จะทำการสร้าง CRC จากเฟรมที่ได้รับจากสมการ CRC

$$X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^{8} + X^{7} + X^{5} + X^{4} + X^{2} + X^{1} + 1$$

3.4 หน้าที่และตำหน่งขาสัญญาณต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	ขาที่	หน้าที่	คำอธิบาย
AD0 - AD15	1 - 12, 14 - 17	I/O,Z	เป็นทั้งบัสข้อมูลและบัสแอดเดรส
ADS0	18	I/O,Z	เป็นสัญญาณกระตุ้นแอดเดรสหมายเลข 0
/CS	19	I	เป็นสัญญาณเลือกชิพ เพื่อให้ชิพควบคุมนี้อยู่ในโหมดรอง (Slave mode) และให้ไมโครโปรเซสเซอร์สามารถเข้าถึงรีจีสเตอร์ภายในชิพได้
/MWR	20	O,Z	เป็นสัญญาณกระตุ้นหลักในภาวะการเขียน ทำงานที่ภาวะ 0 ตลอดช่วงไซเคิลการเขียน (t2,t3,tw) ไปยังหน่วยความจำบัฟเฟอร์
/MRD	21	O,Z	เป็นสัญญาณกระตุ้นหลักในภาวะการอ่าน จะถูกกระตุ้นเพื่อการส่งถ่ายข้อมูลแบบ DMA และจะทำงานตลอดช่วงไซเคิลการอ่าน (t2,t3,tw) ไปยังหน่วยความจำบัฟเฟอร์
/SWR	22	I	เป็นสัญญาณกระตุ้นรองในภาวะการเขียน ถูกกระตุ้นจาก CPU เพื่อใช้ในการเขียนรีจีสเตอร์ภายใน ซึ่งเลือกจากสัญญาณ RA0 -RA3
/SRD	23	I	เป็นสัญญาณกระตุ้นรองในภาวะการอ่าน ถูกกระตุ้นจาก CPU เพื่อใช้ในการอ่านรีจีสเตอร์ภายใน ซึ่งเลือกจากสัญญาณ RA0 -RA3
/ACK	24	O	เป็นสัญญาณตอบรับ ซึ่งจะแอคทีฟมีสถานะเป็น 0 เมื่อ NIC ได้รับอนุญาตให้เข้าถึงไปยังคอมพิวเตอร์ได้
RA0 - RA3	45 - 48	I	เป็นขารีจีสเตอร์บัส ซึ่งทั้ง 4 ขาใช้สำหรับเลือกรีจีสเตอร์ในการอ่านหรือเขียน ช่วงของสัญญาณนี้จะไม่ได้รับการตอบสนองเมื่อ NIC ไม่อยู่ในโหมดรอง หรือ ขา /CS เป็น 1
/PRD	44	O	เป็นสัญญาณอ่านพอร์ต เพื่อยอมรับข้อมูลจากภายนอกที่แสดงอยู่มายังบัสภายใน
/WACK	43	I	เป็นสัญญาณตอบรับการเขียนข้อมูล ซึ่งจะได้รับการจ่ายจาก CPU มายัง NIC เพื่อแสดงว่าข้อมูลถูกเขียนไปยังบัสภายนอก
INT	42	O	เป็นสัญญาณอินเตอร์รัพต์เพื่อแสดงว่า NIC ต้องการติดต่อกับ CPU หลังภาวะการรับ/ส่งข้อมูล หรือการส่งถ่ายข้อมูลแบบ DMA เสร็จเรียบร้อย
/RESET	41	I	เป็นสัญญาณรีเซ็ตซึ่งทำงานที่ภาวะลอจิก 0 เป็นการส่งผลให้ NIC อยู่ในโหมดรีเซ็ต คือจะไม่มีข้อมูลถูกรับ/ส่งโดย NIC จนกระทั่ง บิต STA จะเซ็ต ซึ่งมีผลถึงรีจีสเตอร์คำสั่ง ,อินเตอร์รัพต์ , คอนฟิคกูเรชั่นข้อมูล และการส่ง NIC จะใช้เวลาการรีเซ็ตในช่วง 10 ไซเคิลของ BUSK
BREQ	31	O	เป็นสัญญาณขอใช้บัส จะทำงานที่ภาวะเป็น 1 ใช้ในการขอบัสเพื่อถ่ายโอนข้อมูล สัญญาณนี้จะถูกสร้างขึ้นโดยอัตโนมัติเมื่อ FIFO จำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

			เป็นต้องใช้
BACK	30	I	เป็นสัญญาณตอบรับการขอใช้บัส ซึ่งจะทำงานที่ภาวะลอจิก 1 เพื่อใช้บอกว่า CPU อนุญาตการขอใช้บัสให้กับ NIC ถ้าจะให้การเข้าถึงบัสโดยทันทีเลยนั้น สัญญาณ BREQ ควรจะต่ออยู่กับ BACK เลย
PRQ,ADS1	29	O,Z	เป็นสัญญาณการขอใช้พอร์ตและการกระตุ้นแอดเดรสหมายเลข 1
/READY	28	I	เป็นสัญญาณความพร้อม ซึ่งจะเซ็ตเป็น 1 เพื่อแทรกช่วงการรอคอยตลอดช่วงการส่งถ่าย DMA โดย NIC จะทำการตรวจสอบสัญญาณนี้ทุกๆ เวลา t3 ของการทำ DMA
/PWR	27	O	เป็นสัญญาณพอร์ตการเขียน ใช้เพื่อแลชข้อมูลจาก NIC ไปยังบัสภายนอกสำหรับการส่งถ่ายข้อมูลไปยังหน่วยความจำของ CPU
/RACK	26	I	เป็นสัญญาณตอบรับการอ่านข้อมูล บอกให้ DMA ของ CPU สามารถอ่านข้อมูลที่แลชอยู่ภายนอกโดย NIC ได้
BSCK	25	I	เป็นขาสัญญาณนาฬิกาที่ได้รับจากออสซิลเลเตอร์ภายนอกขนาด 20 MHz
COL	40	I	เป็นขาสัญญาณเพื่อตรวจสอบการชนกันของข้อมูล โดยจะแอคทีฟเมื่อเกิดการชนของข้อมูลขึ้นที่สายโคแอคเชี่ยล
RXD	39	I	เป็นสัญญาณข้อมูลที่รับเข้ามา โดยอยู่ในรูปของ NRZ แบบอนุกรมจากภาคของการเข้า/ถอดรหัส
CRS	38	I	เป็นสัญญาณตรวจจับแคเรียที่ได้รับจากภาคเข้ารหัสถอดรหัสเพื่อแสดงว่ามีสัญญาณแคเรียมาแล้ว โดยจะแอคทีฟที่ลอจิก 1
RXC	37	I	เป็นสัญญาณนาฬิกาที่รับได้จากภาคการเข้า/ถอดรหัส เพื่อใช้ในการซิงค์ข้อมูลที่รับได้เข้ากับ NIC
LBK	35	O	เป็นสัญญาณลูปแบ็ค (Loopback) ที่จะเซ็ตเป็น 1 เมื่อ NIC ถูกโปรแกรมให้ทำหน้าที่ลูปแบ็คโดยผ่านทางภาคเข้า/ถอดรหัส
TXD	34	O	เป็นสัญญาณข้อมูลที่จะส่งไปยังภาคของการเข้า/ถอดรหัสในรูปของ NRZ แบบอนุกรม
TXC	33	I	ใช้เป็นสัญญาณนาฬิกาที่ใช้ในการทำงานภายใน และการเลื่อนบิตส่งข้อมูลแบบอนุกรม โดยได้รับภาคการเข้า/ถอดรหัสซึ่งจะสร้างสัญญาณนาฬิกาที่ความถี่ 10 MHz
TXE	32	O	เป็นสัญญาณเพื่อยอมให้มีการส่งข้อมูล โดยจะแอคทีฟเมื่อมีบิตแรกของเฟรมข้อมูลเกิดขึ้น และจะเป็น 0 เมื่อสิ้นสุดการส่งบิตสุดท้ายของเฟรมข้อมูล
VCC	36		เป็นแหล่งจ่ายไฟฟ้าขนาด +5V

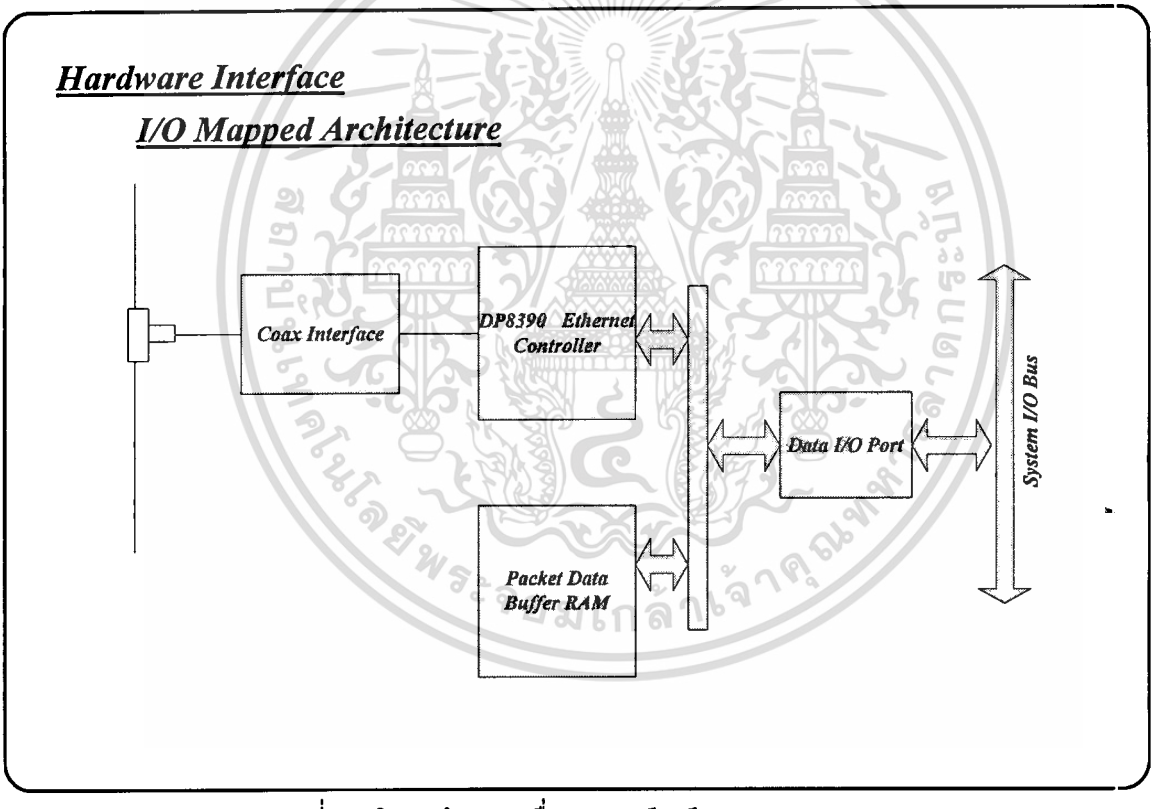
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GND	13		เป็นกราวด์ของแหล่งจ่ายและสัญญาณ

3.5 โครงสร้างของแผ่นวงจร NIC

3.5.1 โครงสร้างการเชื่อมต่อฮาร์แวร์แบบ I/O Mapped

ในรูปที่ 3.4 จะแสดงการเชื่อมต่อในส่วนของภาคต่างๆ ของแลนการ์ดกับบัสของ PC และระบบเครือข่าย โดยการเชื่อมต่อระหว่างบัสของ PC กับแลนการ์ดนั้นเป็นแบบ I/O Mapped คือ จะใช้หมายเลขพอร์ตของ I/O Address ของ PC ซึ่งปกติจะมี 16 - 64 ไบต์ ในการอ้างถึงการ์ดแลนนี้ การเชื่อมต่อหน่วยความจำบัฟเฟอร์ของการ์ดแลนจะทำการจองตำแหน่งแอดเดรสของหน่วยความจำบนเครื่อง PC เอาไว้โดยปกติประมาณ 8 - 64 Kbyte โครงสร้างการเชื่อมต่อแบบนี้เป็นแบบที่ใช้กับโครงงานนี้ ซึ่งเป็นโครงสร้างที่ง่ายต่อการนำมาศึกษา

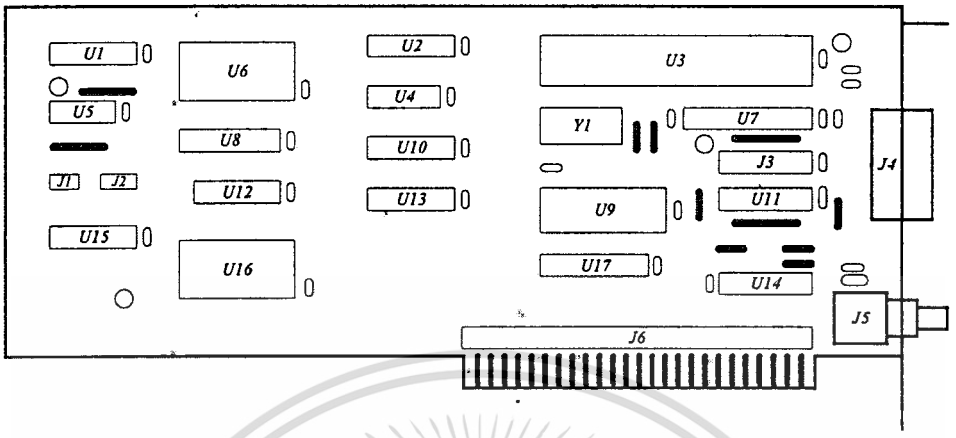


รูปที่ 3.4 โครงสร้างการเชื่อมต่อฮาร์แวร์แบบ I/O Mapped

และส่วนประกอบของชิพรวมทั้งอุปกรณ์ต่างๆ นั้น แสดงไว้ในรูปที่ 3.5 ซึ่งแบบจำลองตำแหน่งการวางอุปกรณ์และคอนเน็ตเตอร์ต่างๆ โดยการเชื่อมต่อกับระบบบัสของ PC นั้นเป็นแบบ ISA ขนาด 8 บิตข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Local Area Network Adapter



รูปที่ 3.5 แผ่นวงจร NIC แบบจำลอง

3.5.2 การเซ็ตจัมเปอร์ (Jumper)

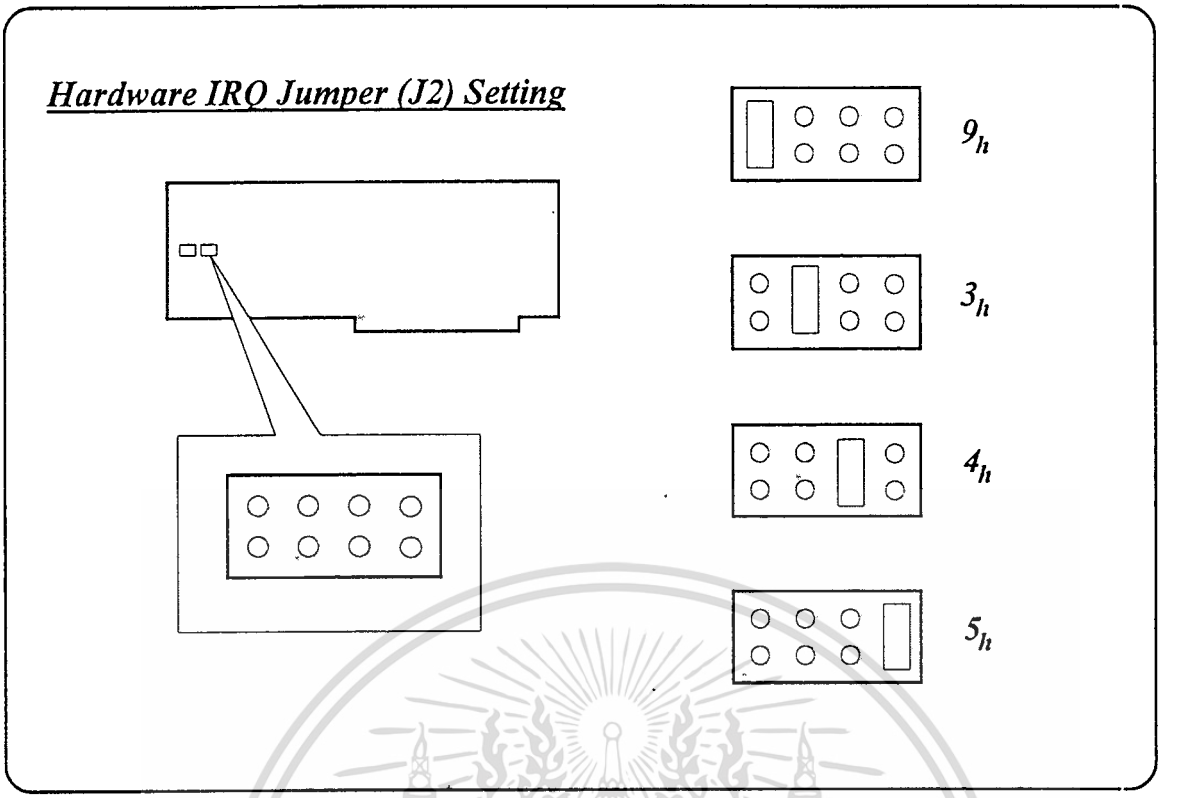
ในแผ่นวงจรนี้มีการเซ็ตจัมเปอร์อยู่ด้วยกัน 3 จุด คือ

1) การเลือกฮาร์แวร์อินเตอร์รัพต์ที่จัมเปอร์ J2 ดังในรูปที่ 3.6 ซึ่งสามารถเลือกการขอใช้อินเตอร์รัพต์กับ PC ได้ 4 หมายเลขอินเตอร์รัพต์ คือ 09H ,03H ,04H และ 05H และมีตำแหน่งการเซ็ตดังรูป

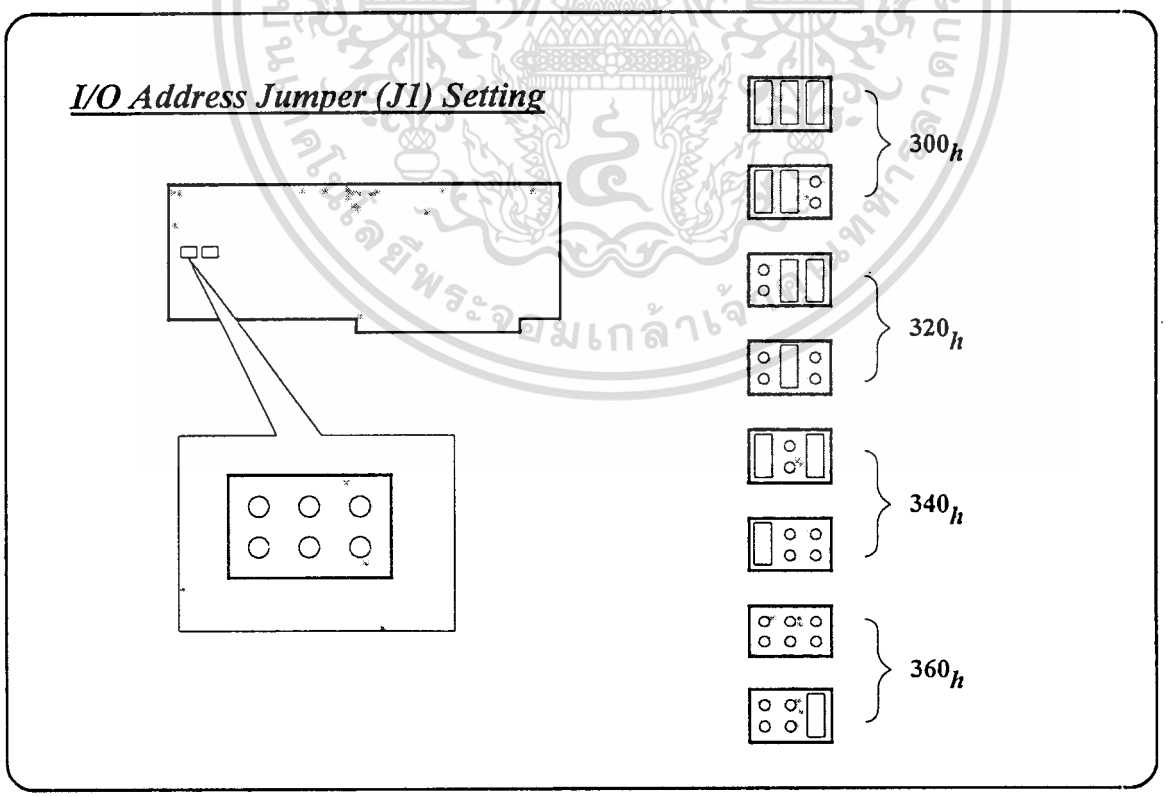
2) การเลือกอินพุต/เอาร์พุตแอดเดรสที่จัมเปอร์ J1 แสดงดังรูปที่ 3.7 ซึ่งใช้สำหรับเลือกพอร์ตแอดเดรสของ PC ที่จะใช้สำหรับให้ PC สามารถอ้างถึงเพื่อติดต่อกันระหว่าง PC กับการ์ดแลนนี้ได้ โดยมีให้เลือกอยู่ 4 หมายเลขแอดเดรส คือ หมายเลข 300H , 320H , 340H และ 360H

3) การเลือกใช้ประเภทของการเชื่อมต่อกับระบบเครือข่ายคอมพิวเตอร์ ที่จัมเปอร์ J3 ดังรูปที่ 3.8 โดยมีให้เลือก 2 แบบ คือ แบบ AUI ตามมาตรฐาน 10BASE 5 ซึ่งใช้หัวต่อแบบ DB-15 กับแบบ BNC ตามมาตรฐาน 10BASE 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

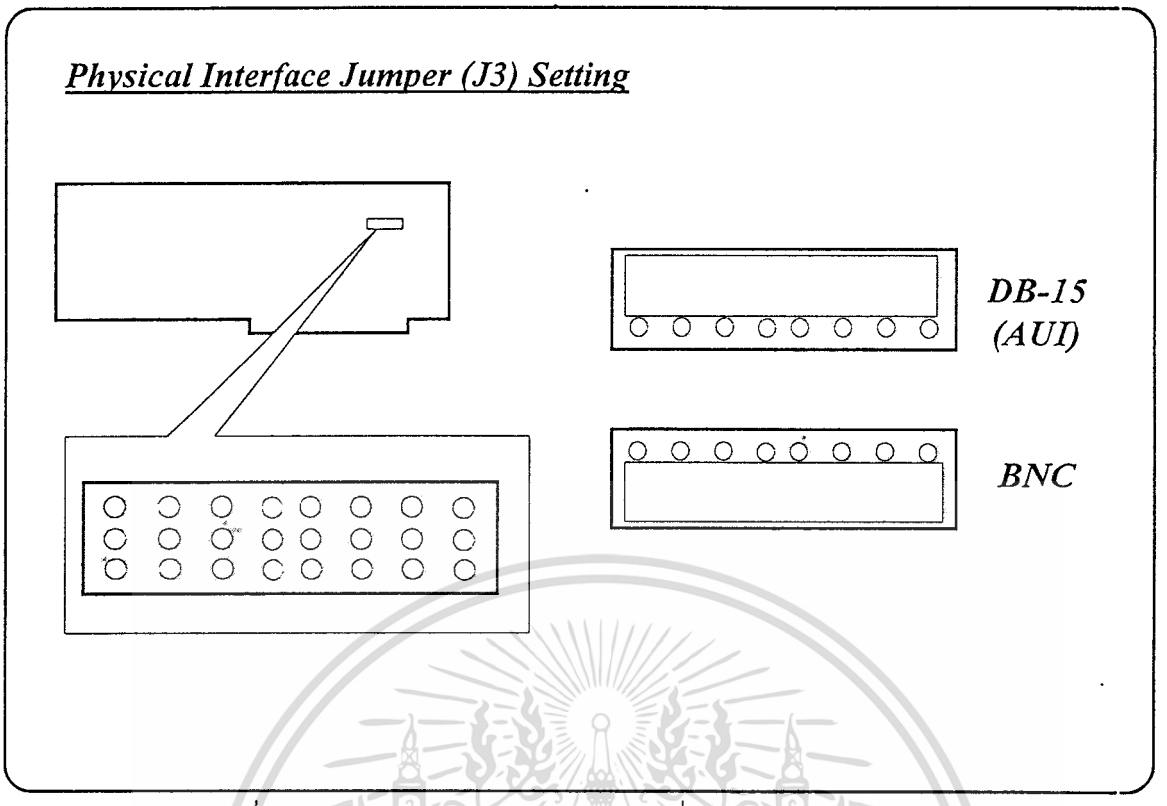


รูปที่ 3.6 การเซ็ตจัมเปอร์เลือกฮาร์ดแวร์อินเตอร์รัพต์



รูปที่ 3.7 การเซ็ตจัมเปอร์เลือก I/O Address

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 การเซ็ตจัมเปอร์เลือกประเภทการเชื่อมต่อกับระบบเครือข่าย

3.5.3 หน่วยความจำที่ใช้บนการ์ดแลน

1) หน่วยความจำ RAM ซึ่งใช้เป็นที่พักชั่วคราวของเฟรมข้อมูลทำการรับส่ง

2) หน่วยความจำเก็บหมายเลขอีเทอร์เน็ตแอดเดรส ซึ่งบนการ์ดแลนทุกการ์ดจะต้องมีหมายเลขแอดเดรสเพื่อใช้ในการอ้างถึงในระบบเครือข่ายคอมพิวเตอร์ โดยจะมีรูปแบบของข้อมูลภายใน PROM ดังนี้

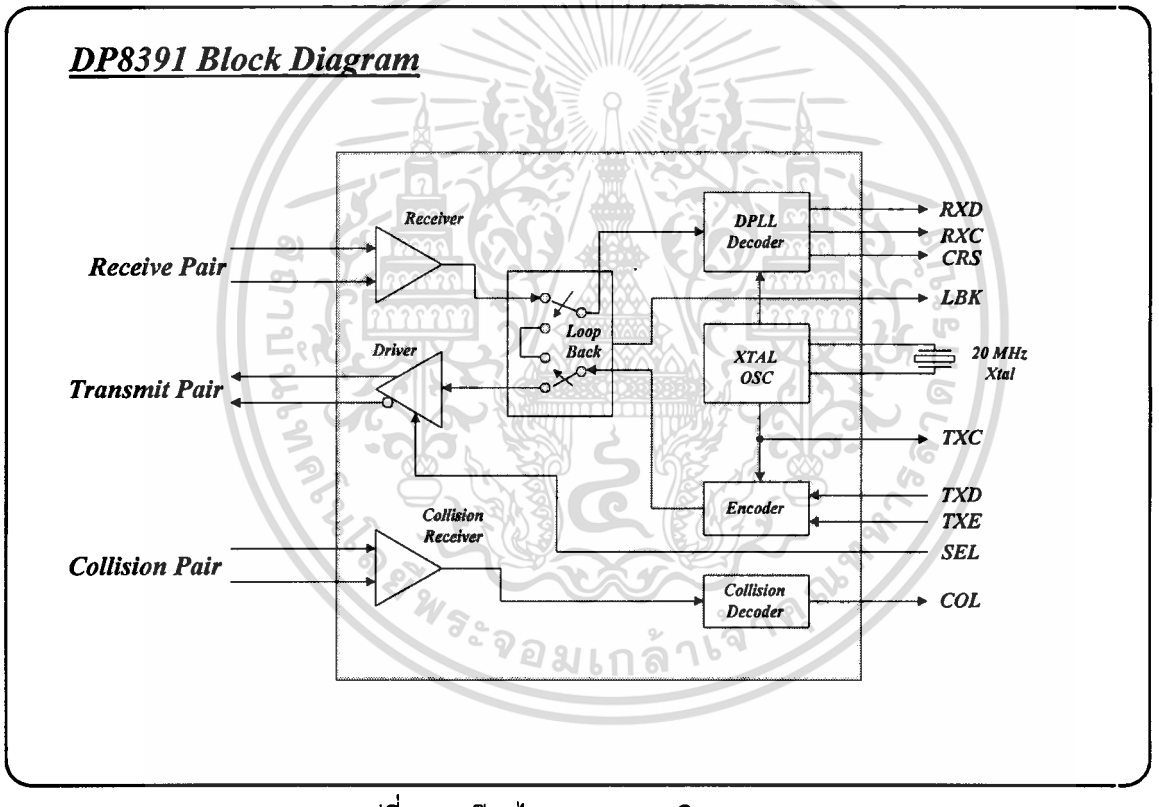
ตำแหน่งของ PROM	รูปแบบของข้อมูล
00h	Ethernet Address 0 (Most Significant Byte)
01h	Ethernet Address 1
02h	Ethernet Address 2
03h	Ethernet Address 3
04h	Ethernet Address 4
05h	Ethernet Address 5
06h - 0Dh	00h
0Eh - oFh	57h
10h - 15h	Same as Ethernet Address 0 - 5
16h - 1Dh	00h
1Eh - 1Fh	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 การทำงานของชิพ DP8391

ชิพ DP8391 เป็นชิพที่ทำหน้าที่เชื่อมต่อกับเครือข่ายแบบอนุกรม (Serial Network Interface : NIIC) โดยประกอบไปด้วยส่วนที่สำคัญคือ ส่วนเข้ารหัสข้อมูลและถอดรหัสข้อมูลแบบแมนเชสเตอร์ (Manchester Data Encoding/Decoding) ซึ่งจะใช้สำหรับแปลงสัญญาณแบบนอนรีเทอร์นทูซีโร่ (NRZ) ที่ส่งและรับมาจากชิพ DP8390 NIC ให้อยู่ในรูปของรหัสแมนเชสเตอร์ ในการส่งจะส่งออกเป็นสัญญาณแบบดิฟเฟอเรนเชี่ยลไปยังทรานซีฟเวอร์ และในตอนรับจะใช้วิธีการถอดรหัสโดยเฟสล็อคลูปแบบดิจิตอลด้วยอัตราเร็ว 10 เมกกะบิตต่อวินาที

ในการต่อชิพเพื่อใช้งานจะต้องใช้คริสตอลที่ผลิตสัญญาณความถี่ 20 เมกกะเฮิร์ซ เพื่อใช้เป็นสัญญาณฐานของระบบ ซึ่งสัญญาณนี้จะถูกหารด้วย 2 ภายในชิพ แล้วจะสร้างเป็นสัญญาณความถี่ 10 เมกกะเฮิร์ซ ส่งออกไปเป็นทรานสมิตคล็อก (Transmit Clock : TXC) เพื่อใช้กับชิพควบคุม DP8390



รูปที่ 3.9 บล็อกไดอะแกรมของชิพ DP8391

3.6.1 ส่วนของการเข้ารหัสแบบแมนเชสเตอร์และส่วนขับแบบดิฟเฟอร์เรนเชี่ยล

การเข้ารหัสข้อมูลและการส่งจะเริ่มโดยขา TXE จะเริ่มแอคทีฟเป็นลอจิก 1 แล้วสัญญาณข้อมูลที่จะส่งซึ่งถูกเข้ารหัสแล้วจะถูกส่งออกมาทาง TXD แล้วส่งไปยังคู่ของส่วนขับการส่ง (TX+/-) ขบวนการส่งจะจบลงเมื่อขา TXE นั้นได้ตกลงมาเป็นลอจิก 0 การเปลี่ยนแปลงครั้งสุดท้ายของสัญญาณจะให้ค่าเป็นบวกเสมอที่คู่ของ TXO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนขับสัญญาณความต่างจะให้สัญญาณที่เป็นแบบทรานซีฟเวอร์ ซึ่งที่เอาท์พุทของมันจะต่อกับความต้านทานขนาด 270 โอห์ม ซึ่งในโครงงานจะใช้ค่า 274 โอห์มแทน ต่อเป็นพูลดาวน์ลงกราวด์

3.6.2 ส่วนถอดรหัสสัญญาณแมนเชสเตอร์

ส่วนนี้ประกอบด้วยวงจรอินพุทแบบดิฟเฟอร์เรนเชี่ยลและดิจิตอลเฟสล็อคลูปเพื่อที่จะแยกสัญญาณ แมนเชสเตอร์ออกเป็นสัญญาณนาฬิกาและสัญญาณข้อมูลที่เป็นแบบ NRZ ที่อินพุทแบบดิฟเฟอร์เรนเชี่ยลจะต้องความต้านทานขนาด 39 โอห์มอนุกรมกันระหว่างขาทั้งสองและมีคาปาซิเตอร์ขนาด 0.01 ไมโครฟารัดต่อบายพาสระหว่างตัวต้านทานทั้งสอง

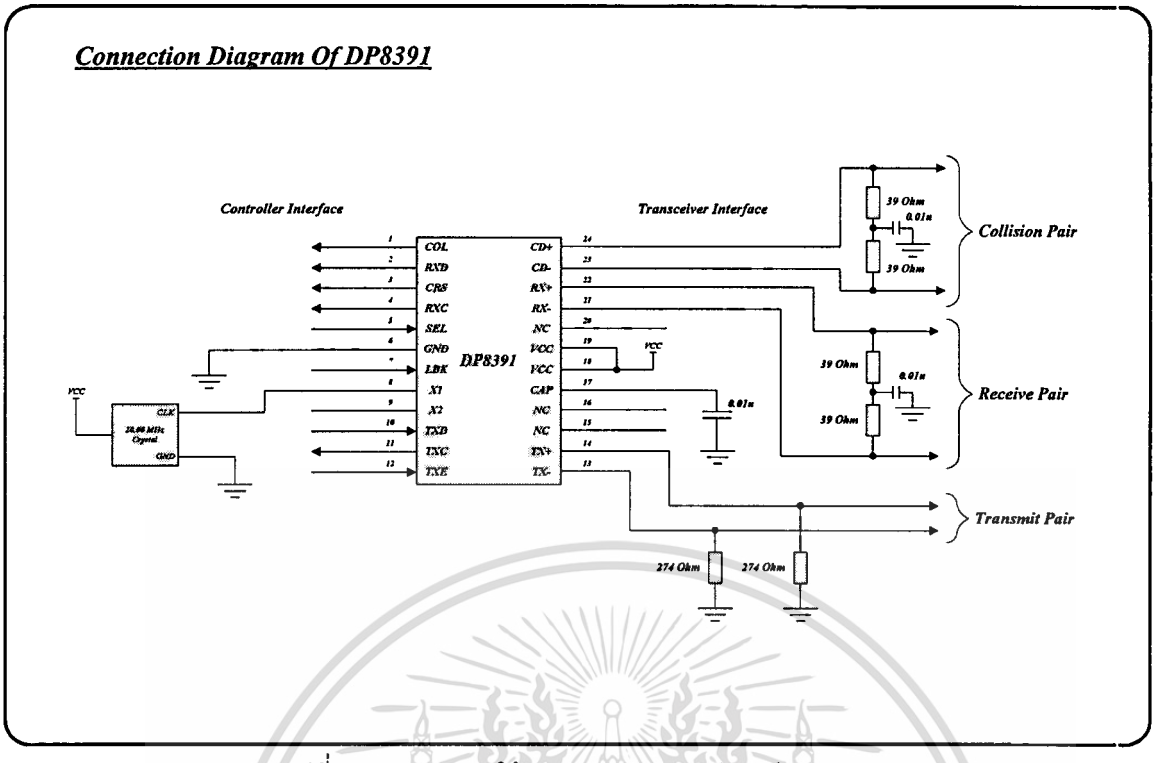
วงจรสเควลช์ที่อินพุทจะกำจัดสัญญาณที่มีขนาดความกว้างของพัลซ์น้อยกว่า 5 นาโนวินาทีหรือมีระดับสัญญาณที่ต่ำกว่า -175 มิลลิโวลท์ สัญญาณที่มีระดับเป็นลบมากกว่า -300 มิลลิโวลท์และมีความกว้างของพัลซ์มากกว่า 30 นาโนวินาที จะถูกถอดรหัสได้ ซึ่งลักษณะนี้เป็นการป้องกันสัญญาณรบกวนจากอินพุท

3.6.3 ส่วนแปลงคอลลิชชั่น (Collision Translater)

เมื่อทรานซีฟเวอร์สามารถตรวจจับได้ว่ามีการเกิดการชนกันของข้อมูลขึ้นบนสื่อนำสัญญาณและสร้างสัญญาณแจ้งการเกิดการชนกันเป็นสัญญาณความถี่ 10 เมกกะเฮิร์ซ ส่งมาให้ DP8391 ที่ขาคอลลิชชั่นอินพุทแล้ว DP8391 ก็จะทำให้ขา COL แอคทีฟขึ้นเพื่อแจ้งไปยัง DP8390 ซึ่ง DP8390 นี้จะใช้สัญญาณนี้เป็นตัวกำหนดการนับถอยหลัง (Backoff) เพื่อที่สุ่มเวลาเริ่มส่งสัญญาณข้อมูลใหม่ สัญญาณ COL จะหยุดแอคทีฟภายใน 350 นาโนวินาทีหลังจากสัญญาณ 10 เมกกะเฮิร์ซ หยุดลง

คู่ของสัญญาณคอลลิชชั่นนี้ก็จะต้องต่อเข้ากับค่าความต้านทานและค่าคาปาซิแตนซ์ในลักษณะเดียวกันกับที่คู่ของขารับข้อมูลอินพุท ซึ่งก็จะมีการป้องกันสัญญาณรบกวนที่มีขนาดความกว้างของพัลซ์น้อยกว่า 5 นาโนวินาทีหรือมีระดับสัญญาณต่ำกว่า -175 มิลลิโวลท์

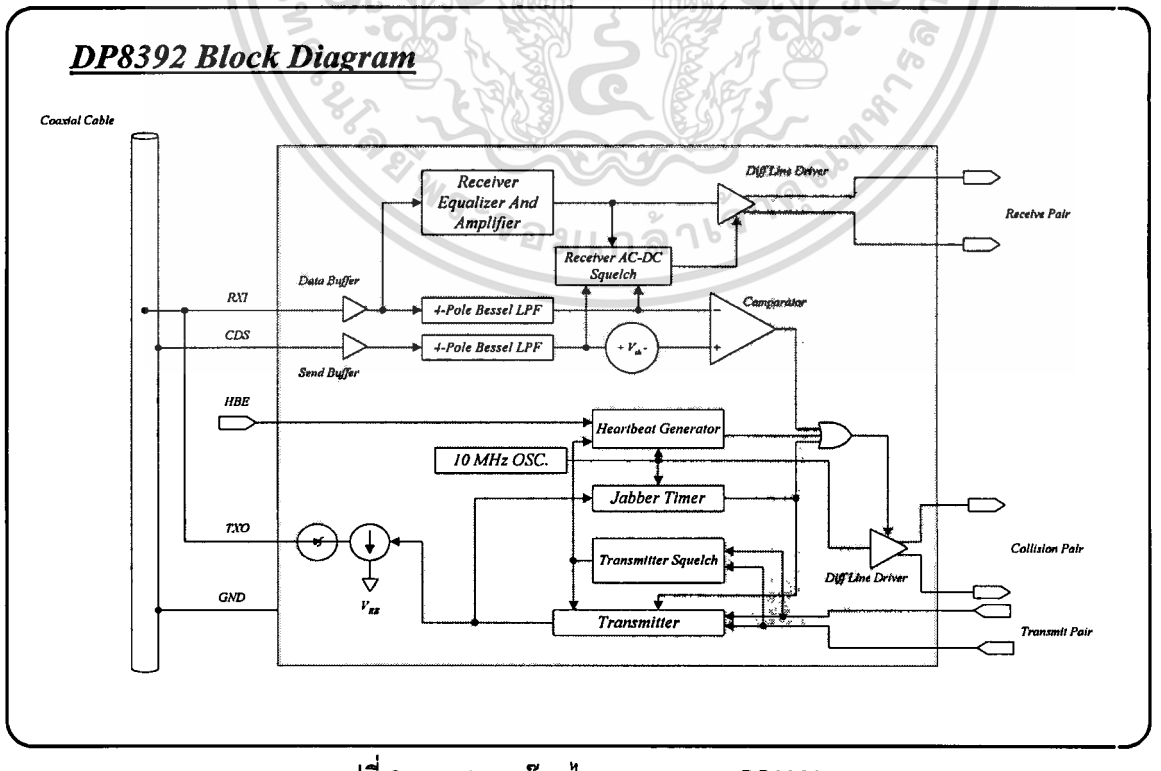
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงการใช้ DP8391 ต่อกับอุปกรณ์ภายนอก

3.7 การทำงานของชิพ DP8392

ชิพ DP8392 ทำหน้าที่เป็นตัวรับและส่งข้อมูล (Transmit And Receive : Transceiver) ซึ่งจะเป็นตัวคั่นระหว่างสายโคแอคเชี่ยลที่มีอิมพีแดนซ์ 50 โอห์ม กับอุปกรณ์ DTE



รูปที่ 3.11 แสดงบล็อกไดอะแกรมของ DP8392

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7.1 การทำหน้าที่รับข้อมูล

ในส่วนของการรับจะประกอบไปด้วย อินพุทบัฟเฟอร์, เคเบิลอีควอไลเซอร์, เบซเซลโลว พาสฟิลเตอร์, วงจรสเควลช์ และวงจรขับแบบดิเฟอเรนเชี่ยล

อินพุทบัฟเฟอร์ ตัวบัฟเฟอร์จะมีอินพุทอิมพีแดนซ์สูงและมีค่าคาปาซิแตนซ์ต่ำเพื่อจะได้ลดการโหลดและการเกิดการสะท้อนกลับของสัญญาณ บนสายโคแอคเชี่ยล

อีควอไลเซอร์ จะทำตัวเป็นไฮพาสฟิลเตอร์ เพื่อที่จะชดเชยกับผลที่สายอากาศทำตัวเป็นโลพาสฟิลเตอร์ และลดการเกิดการเลื่อนเฟสและขนาดของสัญญาณ

เบซเซลโลพาสฟิลเตอร์ 4 ขั้ว ใช้เพื่อป้องกันไฟฟ้ากระแสตรงที่มาบนสายโคแอคเชี่ยล ซึ่งจะใช้ที่รีซีฟเวอร์สเควลช์ และ วงจรคอลลิชชั่น ดีเทคชั่น

รีซีฟเวอร์สเควลช์ ใช้ป้องกันการเกิดการผิดพลาดของสัญญาณในขณะที่ไม่มีสัญญาณข้อมูลเข้าที่ส่วนรับซึ่งเกิดจากสัญญาณรบกวนบนสายโคแอคเชี่ยล

ที่ส่วนเริ่มของแพ็คเก็ตนั้น ส่วนรับจะเริ่มทำงานเมื่อระดับสัญญาณไฟตรงจากโลพาสฟิลเตอร์มีค่าต่ำกว่าค่าดีซีสเควลช์เทรชโฮลด์ (DC Squelch Threshold)

ที่ส่วนท้ายสุดของแพ็คเก็ตจะต้องทำให้ส่วนรับต้องหยุดหรือเทอร์นออฟ (Turn Off) อย่างรวดเร็วเพื่อกำจัดบิทที่จะเกินมาโดยไม่ตั้งใจที่ต่อเนื่องมา ทำได้โดยใช้วงจร เอซี ไทม์มิ่ง (AC Timing Circuit) ที่เริ่มตอบสนองที่ระดับสัญญาณสูงโดยใช้เวลา 200 นาโนวินาทีหลังจากตรวจจับได้ และใช้เวลาในการออฟ (Off) ในเวลา 1 ไมโครวินาที

ดิฟเฟอรเรนซ์ไลน์ไดร์ฟเวอร์ (Difference Line Driver) จะใช้ได้กับสัญญาณ ECL เพื่อต่อเขากับ DTE โดยจะใช้เวลาในการเปลี่ยนระดับสัญญาณ 3 นาโนวินาที เมื่อในช่วงเวลาว่าง ที่เอาท์พุทจะเป็น 0 เพื่อหลีกเลี่ยงการเกิด กระแสดีซีสแตนดิ้ง (DC Standing Current) ในหม้อแปลงไอโซเลชั่น

3.7.2 การทำหน้าที่ส่งข้อมูล

ภาคการส่งจะมีอินพุทที่เป็นดิเฟอเรนเชี่ยล และมีเอาท์พุทแบบเปิดคอลเลคเตอร์ (Open Collector) เป็นตัวขับกระแส ที่อินพุทดิฟเฟอเรนเชี่ยลจะเป็นคอมมอนโหมดโวลท์เตจ จะถูกต่อโดย DP8392 และต้องไม่ถูกนำไปต่อกับวงจรภายนอกอื่นๆอีก

หม้อแปลงจะต้องคัปปลิ้งสัญญาณ TX+/- อย่างเหมาะสม ซึ่งระดับสัญญาณจะต้องพอดีกับมาตรฐานอีเทอร์เน็ต IEEE 802.3 และจะต้องควบคุมเวลาขอบขาขึ้นและเวลาขอบขาลงให้อยู่ที่ 25 นาโนวินาที โดยบวกหรือลบได้ไม่เกิน 5 นาโนวินาที เพื่อที่จะลดองค์ประกอบของฮาร์โมนิกสูง และเวลาของขอบขาลงและขอบขาขึ้นจะต้องพอดีกันเพื่อลดการเกิดการเลื่อนของเฟสและขนาดของสัญญาณ

วงจรทรานสมิทเตอร์ สเควลช์ จะทำหน้าที่ในการกำจัดสัญญาณที่มีความกว้างของพัลซ์น้อยกว่า 20 นาโนวินาที หรือมีระดับต่ำกว่า -175 มิลลิโวลต์

ที่ตัวส่งจะ Turn Off ที่ส่วนท้ายสุดของแพ็คเก็ตถ้าสัญญาณยังคงสูงกว่า -175 มิลลิโวลต์เป็นเวลานานกว่า 300 นาโนวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7.3 เมื่อเวลาเกิดการชนกันของสัญญาณ

ส่วนของคอลลิชชั่นจะประกอบไปด้วย บัฟเฟอร์ 2 ชุด, เบซเซล LPF 2 ชุด, วงจรเปรียบเทียบสัญญาณ, วงจรกำเนิดสัญญาณฮาร์ทบีท, มีวงจรกำเนิดสัญญาณความถี่ 10 เมกกะเฮิร์ซ และมีวงจรดิฟเฟอร์เรนเชี่ยลไลน์ไดร์ฟเวอร์

ส่วนของบัฟเฟอร์และ เบซเซล LPF แบบ 4 ขั้ว จะใช้สำหรับป้องกันสัญญาณไฟตรงที่อยู่ในสายตัวนำข้อมูลและสายซิลด์หรือเซนซ์ (Sense) ซึ่งระดับสัญญาณนี้จะถูกตรวจจับโดยส่วนเปรียบเทียบสัญญาณ

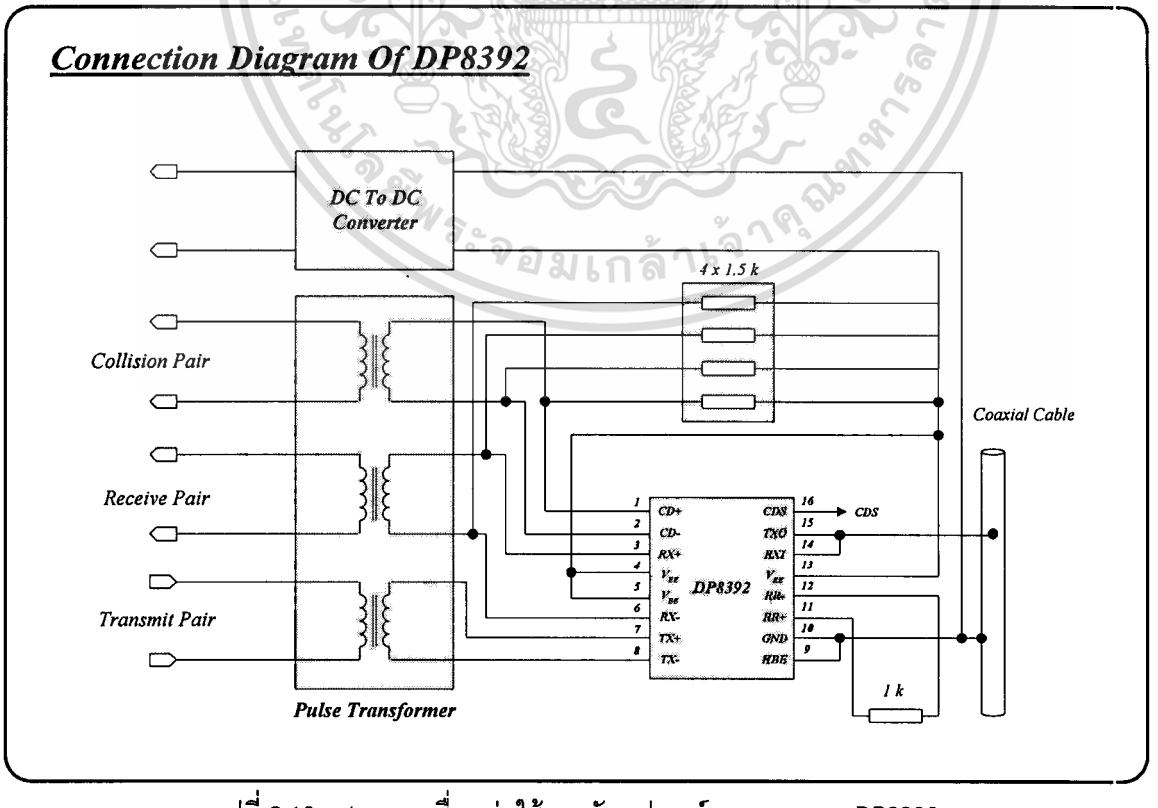
ถ้าระดับสัญญาณข้อมูลมีค่าเป็นลบมากกว่าที่ซิลด์อย่างน้อยเป็นขนาด ค่าโวลต์เตจคอลลิชชั่นเทรชโฮลด์แล้ว ขา COL หรือคอลลิชชั่นเอาท์พุทก็จะถูกอีเนเบิล

หลังจากการจบของทุกๆการส่ง วงจรกำเนิดสัญญาณฮาร์ทบีทจะสร้างสัญญาณคอลลิชชั่นหลอก (Psudo Collision) สั้นๆขึ้นเพื่อให้แน่ใจว่าวงจรคอลลิชชั่นยังคงทำงานเป็นปกติดีอยู่ ส่วนของสัญญาณคอลลิชชั่นหลอกนี้จะเกิดขึ้น 1.1 ไมโครวินาทีหลังจากการส่ง โดยจะเกิดขึ้นประมาณ 1 ไมโครวินาที

ในขณะที่เกิดการชนกันของสัญญาณขึ้น คอลลิชชั่นดิฟเฟอรเรนเชี่ยลไลน์ไดร์ฟเวอร์ จะส่งสัญญาณความถี่ 10 เมกกะเฮิร์ซไปยังคู่ของ CD ซึ่งปกติในขณะที่ไม่เกิดคอลลิชชั่น ที่ขานี้จะเป็น 0 โวลต์

3.7.4 เมื่อเกิดแจ็บเบอร์ (Jabber)

วงจรแจ็บเบอร์ ไทม์เมอร์จะคอยตรวจจับการส่งข้อมูล โดยถ้าหากตัวส่ง (Transmitter) แอคทีฟเป็นเวลานานกว่า 20 มิลลิวินาทีมันก็จะทำการอีเนเบิลคอลลิชชั่นเอาท์พุท ซึ่งเป็นการเกิดการผิดพลาดจากเรื่องความกว้างของบิตสัญญาณ หลังจากที่ข้อผิดพลาดถูกกำจัดไป แจ็บเบอร์ไทม์จะคอยประมาณ 500 มิลลิวินาทีก่อนที่มันจะเริ่มอีเนเบิลตัวส่งใหม่



รูปที่ 3.12 แสดงการเชื่อมต่อใช้งานกับอุปกรณ์ภายนอกของ DP8392

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4
ผลการทดลอง

4.1 การทดลองก่อนการใช้งานจริง

ก่อนการทดลองการใช้งานจริงได้ทำการทดลองภายนอกเครื่องคอมพิวเตอร์ โดยการป้อนไฟเลี้ยงกระแสตรงขนาด +5 โวลต์ เข้าที่ขาเสียบสลอตของแผ่นวงจรขาที่ 60 ซึ่งเป็นขาที่จะนำไปต่อเข้าที่ไฟเลี้ยงที่ได้มาจากสลอตแบบบัส ISA และต่อกราวด์ที่ขา 62 แล้วทำการวัดค่าต่างๆ ดังนี้

4.1.1 ค่าไฟเลี้ยงที่ป้อนให้

ค่าไฟเลี้ยงที่ป้อนให้จากแหล่งจ่ายที่เป็นสวิชชิ่ง เพาเวอร์ซัพพลาย วัดได้ขนาดแรงดันกระแสตรง +5.15 โวลต์เทียบกับกราวด์สัญญาณ

4.1.2 ค่าจากตัวแปลงไฟบวกตรงเป็นไฟตรงลบ (U9)

ค่าที่วัดได้จากตัวแปลงจากแรงดันกระแสตรง(DC To DC Converter) +5 โวลต์ เป็น แรงดันกระแสตรง -9 โวลต์เทียบกับกราวด์สัญญาณ ซึ่งใช้สำหรับนำไปป้อนให้กับชิพ DP8392 ซึ่งจะนำไปสร้างสัญญาณผลต่างแล้วส่งออกไปทางพอร์ตสื่อสารแบบ BNC สามารถวัดได้ดังตารางที่ 4.1.1

	อินพุท วัดที่ขา 1 ของ U9	เอาท์พุท วัดที่ขา 10 ของ U9
ขณะไม่ได้ต่อโหลด	+5.15 โวลต์เฉลี่ย	-9.8 โวลต์เฉลี่ย
ขณะต่อโหลด	+5.15 โวลต์เฉลี่ย	-8.3 โวลต์เฉลี่ย

ตารางที่ 4.1.1 แสดงผลการวัดที่ตัวแปลงไฟ U9

การวัดแรงดันทางด้านอินพุท จะทำการวัดเทียบกับกราวด์สัญญาณ ส่วนการวัดแรงดันทางด้านเอาท์พุท จะทำการวัดเทียบกับกราวด์ไอโซเลท ซึ่งเป็นกราวด์ชิลด์ของสายโคแอคเชี่ยล

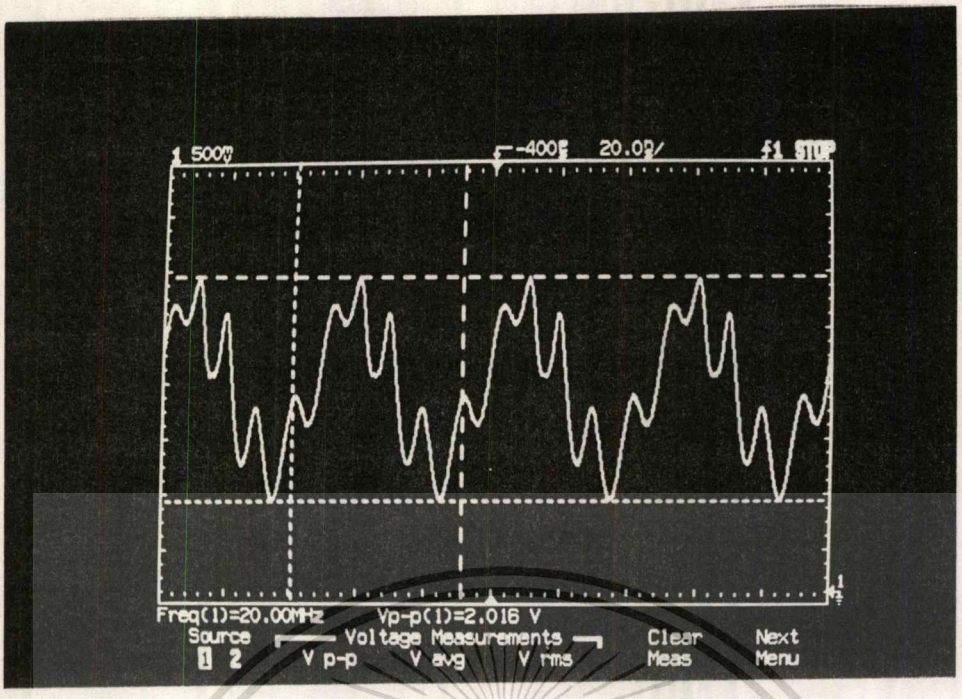
4.1.3 ค่าจากคริสตอล (Y1)

คริสตอล Y1 เป็นคริสตอลที่ผลิตความถี่ 20.00 เมกกะเฮิร์ซ (MHz) สามารถวัดสัญญาณที่เกิดขึ้นได้จากขาที่ 8 ของ Y1 โดยวัดเทียบกับกราวด์สัญญาณ โดยได้ค่าดังตารางที่ 4.1.2 และรูปที่ 4.1.1

ค่าความถี่ออสซิลเลท (M-Hz)	แรงดันยอดถึงยอด (V_{p-p})
20.00	2.016

ตารางที่ 4.1.2 แสดงผลการวัดที่ Y1 ขาที่ 8 เทียบกราวด์สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.1 รูปสัญญาณที่ได้จากการวัดที่ Y1 ขาที่ 8 เทียบกราวด์สัญญาณ

จากรูปที่ 4.1.1 เป็นสัญญาณจากคริสตอล Y1 ซึ่งผลึกคริสตอลเมื่อได้รับการกระตุ้นด้วยแรงดันไฟฟ้ากระแสตรง +5 โวลต์ ก็จะเกิดการออสซิลเลท (Oscillated) โดยจะให้สัญญาณรายคาบความถี่ที่ใกล้เคียง 20 เมกกะเฮิร์ซ ซึ่งสัญญาณนี้จะประกอบด้วยสัญญาณความถี่ฮาร์โมนิค รวมอยู่ จากรูปจะเห็นได้ว่า สัญญาณมีลักษณะไม่เรียบนัก แต่ก็ยังสามารถนำไปใช้ในการเป็นสัญญาณทริกเกอร์ได้เนื่องจากว่าสัญญาณทริกเกอร์นั้น เราต้องการสัญญาณที่มีการเปลี่ยนแปลงขนาดของแอมปลิจูดเป็นรายคาบที่มีค่าเวลา (t) ต่อ 1 คาบที่แน่นอนคือที่ t=50 นาโนวินาที (nano-second) ซึ่งจะได้ความถี่ที่ 20 เมกกะเฮิร์ซ นำไปทริกเพื่อสร้างสัญญาณนาฬิกาใหม่ที่มีลักษณะเรียบขึ้นกว่าเดิมแล้วจึงนำไปใช้งาน

4.1.4 ค่าที่ได้จากการวัดที่ TXC ของชิพ DP8391

ที่ขา TXC หรือขาที่ 11 ของชิพ DP8391 (U7) เป็นขาที่จะจ่ายสัญญาณนาฬิกาโดยมีความถี่เป็นครึ่งหนึ่งของความถี่ที่ได้รับมาจากขา X1 หรือขาที่ 8 นั่นเอง ซึ่งจะได้ผลการวัดดังตารางที่ 4.1.3

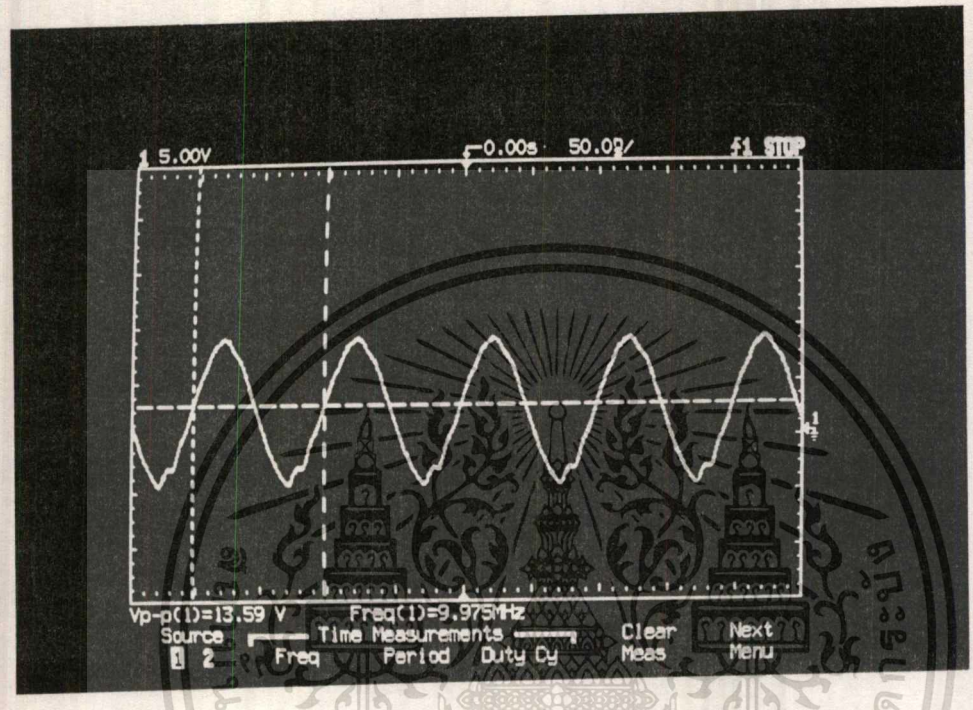
ค่าความถี่ที่วัดได้ (M-Hz)	แรงดันยอดถึงยอด (V_{p-p})
9.975	1.359

ตารางที่ 4.1.3 ผลการวัดที่ขา TXC ของ DP8391

ส่วนในรูปที่ 4.1.2 จะเป็นรูปสัญญาณที่ได้จากการวัดที่จุดเดียวกัน แต่เนื่องจากขณะทำการวัด ได้ปรับสเกลที่เครื่องมือวัดเป็นขนาดโวลต์เตจคูณด้วย 10 (1:10) ดังนั้นค่าที่ได้จากรูปจะต้องนำมาหารด้วยค่า 10 จึงจะได้ค่าที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.1.2 จะเห็นได้ว่าเป็นสัญญาณรายคาบที่อยู่ในรูปของสัญญาณที่มีลักษณะฟังก์ชั่นซายน์ (Sine Wave) สัญญาณนี้ได้มาจากขาสัญญาณ TXC ของชิพ DP8391 ซึ่งจะเป็นความถี่ 10 เมกกะเฮิร์ซ ที่ชิพ DP8391 จะสร้างขึ้นมาจากสัญญาณความถี่ 20 เมกกะเฮิร์ซที่มาจากคริสตอล Y1 เพื่อจะนำไปใช้เป็นสัญญาณนาฬิกาอ้างอิงของวงจร มีค่าคาบของสัญญาณเป็น 100.25 นาโนวินาที ซึ่งความเป็นจริงแล้วควรจะได้ค่าคาบเวลาเป็น 100 นาโนวินาที



รูปที่ 4.1.2 สัญญาณนาฬิกาอ้างอิงของวงจรที่จ่ายออกจาก DP8391 ขา TXC

4.2 การทดลองการใช้งานจริง

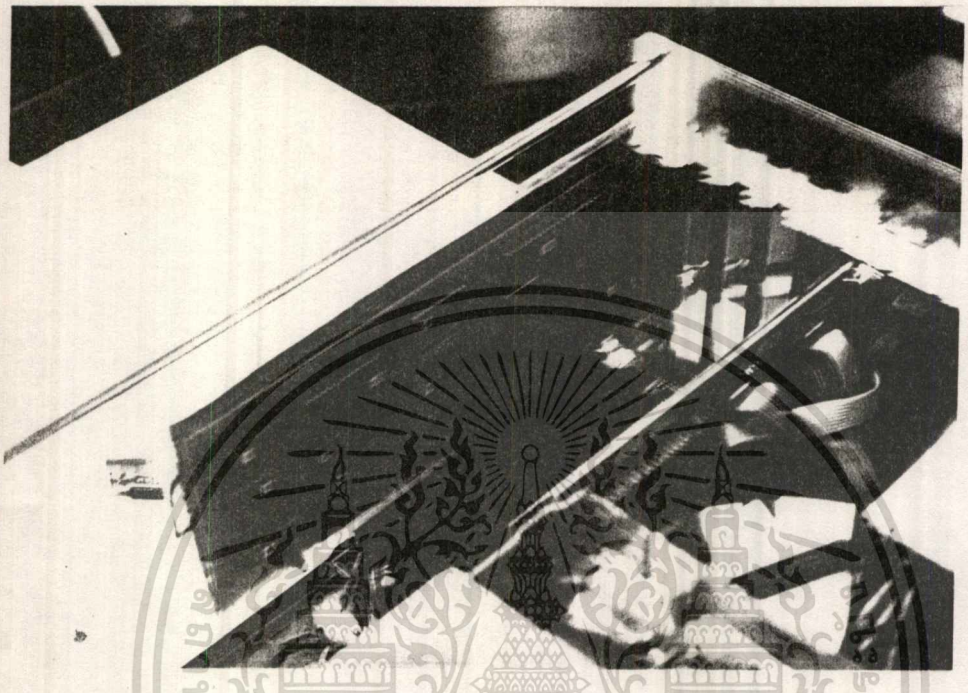
ในการทดลองการใช้งานจริงจะต้องเชื่อมต่อแผ่นวงจรเข้ากับเครื่องคอมพิวเตอร์ โดยเสียบลงในสล็อตแบบ ISA ซึ่งได้ใช้แบบ 8 บิตข้อมูล การต่อใช้งานจริงจะต่อดังในรูปที่ 4.2.1

ในการใช้งานจริงของแผ่นวงจร จะต้องใช้โปรแกรมควบคุมการทำงานของแผ่นวงจร ซึ่งในที่นี้ จะใช้โปรแกรมที่เป็นมาตรฐานชื่อ NE1000.COM ซึ่งเป็นโปรแกรมที่เขียนขึ้นสำหรับแผ่นวงจรเชื่อมต่อระบบเครือข่ายที่สามารถใช้งานกับแผ่นวงจรที่ใช้ชิพควบคุมทุกเบอร์ที่รองรับNE1000 เราจะทำการวัดสัญญาณในขณะที่ทำการเรียกใช้โปรแกรมดังกล่าว และขณะส่งผ่านข้อมูลหลังจากเรียกใช้โปรแกรมควบคุมแล้ว ลำดับขั้นตอนในการทดสอบมีดังนี้

- โหลดโปรแกรมควบคุม NE1000 โดยระบุพารามิเตอร์ที่จำเป็นตามที่ได้เซ็ตที่จัมเปอร์ของแผ่นวงจร
- โหลดแพคเก็ตไดร์ฟเวอร์ (Packet Driver) เพื่อกำหนดโปรโตคอลการเชื่อมต่อแบบ IPX ชื่อ PDIPX
- โหลดโปรแกรมขอเข้าติดต่อกับเครื่องคอมพิวเตอร์ให้บริการข้อมูล (File Server) ชื่อ NETX พร้อมกับวัดสัญญาณที่จุดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ทดลองการเข้าใช้งานบนเครื่องเซอร์ฟเวอร์โดยการเรียกโปรแกรม LOGIN พร้อมกับการวัดสัญญาณที่จุดต่างๆ
- ทดลองการส่งผ่านข้อมูลโดยการสำเนาแฟ้มข้อมูลจากเซอร์ฟเวอร์กลับมาที่ดิสค์ไดร์ฟของเครื่องคอมพิวเตอร์ที่ทดสอบพร้อมกับวัดสัญญาณที่จุดต่างๆ



รูปที่ 4.2.1 การต่อแผ่นวงจรเข้ากับเครื่องคอมพิวเตอร์

4.2.1 ทดสอบโหลดโปรแกรม NE1000

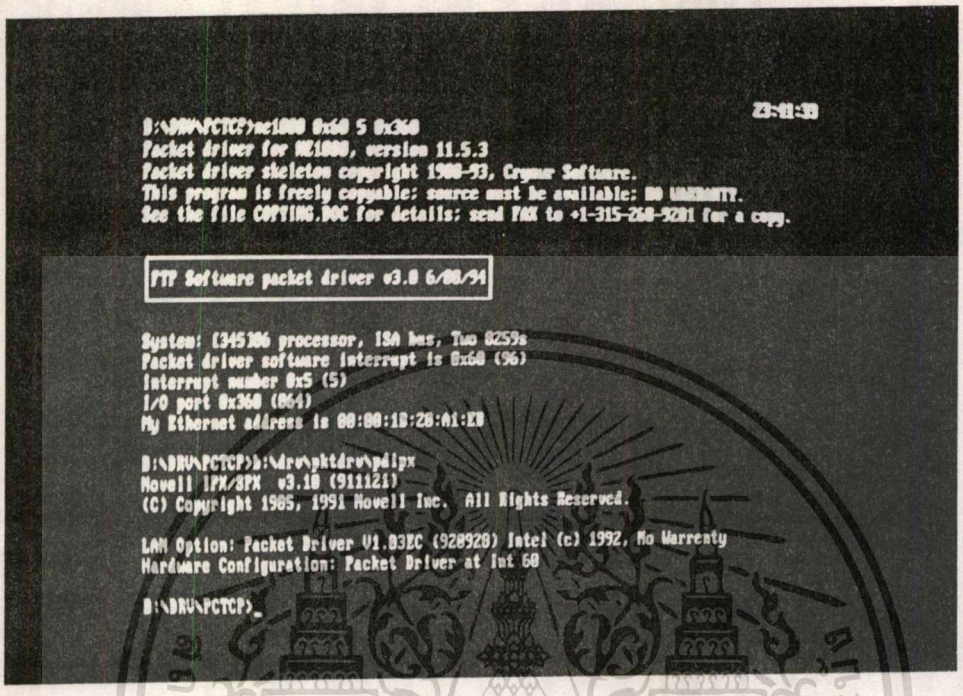
โปรแกรม NE1000 เป็นโปรแกรมที่จะควบคุมการทำงานของชิพ DP8390 ซึ่งจะมีการเซ็ตค่ารีจิสเตอร์ต่างๆที่จำเป็นในการเริ่มต้นใช้งาน ซึ่งเป็นการทำให้เครื่องคอมพิวเตอร์รู้จักกับแผ่นวงจร เครื่องคอมพิวเตอร์จะทำการอ่านค่าที่อยู่ทางกายภาพของแผ่นวงจร ดังนั้นในขั้นตอนนี้จะยังไม่มีเอาท์พุททางด้านพอร์ตสื่อสาร แต่จะเป็นการคุยกันระหว่างเครื่องคอมพิวเตอร์กับแผ่นวงจรเท่านั้น การวัดเอาท์พุทในช่วงนี้จึงยังไม่มีการเปลี่ยนแปลงใดๆ จากรูปที่ 4.2.2 จะเป็นผลที่ได้จากหน้าจอเครื่องคอมพิวเตอร์ จะเห็นได้ว่า เครื่องจะอ่านค่าที่จำเป็นจากที่เราเซ็ตให้ คือ ค่าซอร์ฟแวร์อินเตอร์รัพท์เบอร์ 0x60H ค่าฮาร์ดแวร์อินเตอร์รัพท์เบอร์ 0x5H และค่าอ้างหมายเลขพอร์ตอินพุทและเอาท์พุทเป็นเบอร์ 0x360H คอมพิวเตอร์จะรู้จักค่าที่อยู่ทางกายภาพของแผ่นวงจรเป็น 00:00:1B:20:A1:EB ซึ่งจากรูปจะอยู่ในบรรทัดที่ 8 ถึง 11

4.2.2 ทดสอบโหลดโปรแกรม PDIPX

การโหลดโปรแกรม PDIPX เป็นจะทำได้หลังจากที่เครื่องคอมพิวเตอร์ได้รู้จักกับแผ่นวงจรแล้ว ซึ่งจะเป็นการกำหนดโปรโตคอลการสื่อสารให้เครื่องคอมพิวเตอร์ ดังนั้นในขั้นตอนนี้ก็ยังเป็นการคุยกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระหว่างเครื่องคอมพิวเตอร์กับแผ่นวงจรอยู่ดังนั้นในขั้นตอนนี้จะยังไม่มีเอาท์พุททางด้านพอร์ตสื่อสาร เช่นกัน ผลการวัดจะยังคงเหมือนกับการวัดในขั้นตอนแรกนั่นเอง จากรูปที่4.2.2 จะเห็นได้ว่าหลังจากโหลด PDIPX แล้วโปรแกรมจะตรวจสอบค่าซอร์ฟแวร์อินเตอร์รัพท์ค่า 0x60H ได้ดังในบรรทัดที่ 16 ของรูป



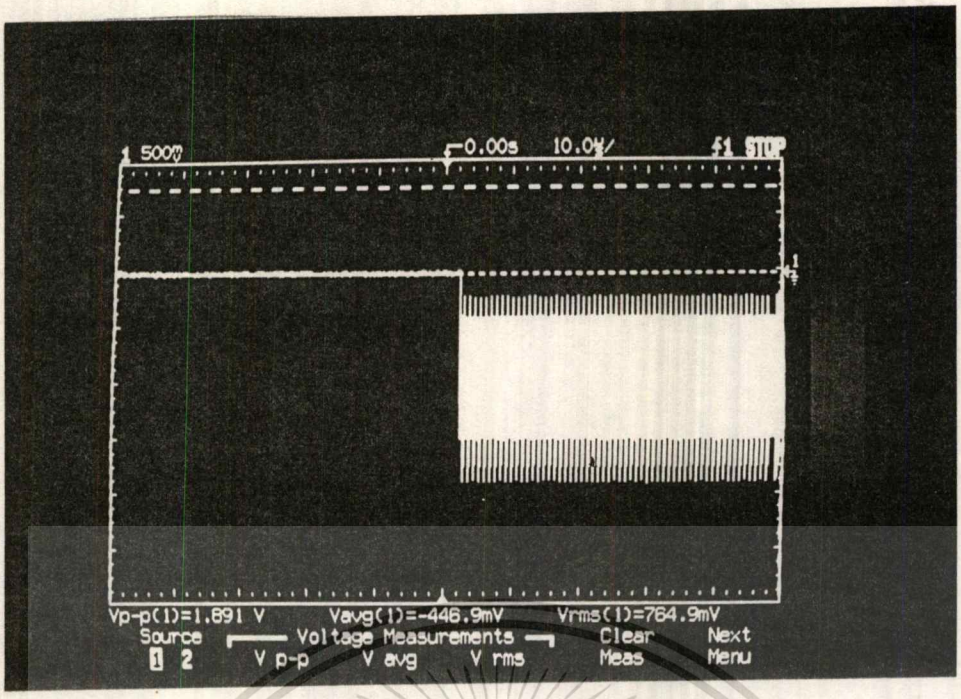
รูปที่ 4.2.2 แสดงการโหลดโปรแกรม NE1000 และ PDIPX

4.2.3 ทดสอบโหลดโปรแกรม NETX

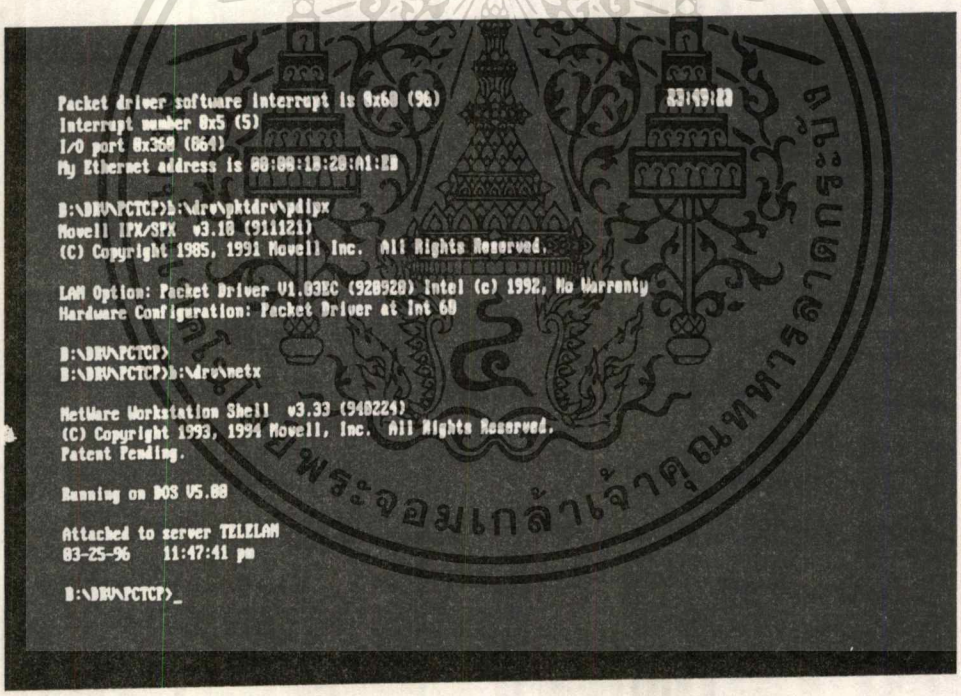
หลังจากขั้นตอนที่สอง เครื่องคอมพิวเตอร์รู้จักแผ่นวงจรและรู้ถึงโปรโตคอลการสื่อสาร.แล้ว จะเรียกโปรแกรม NETX เพื่อให้เครื่องคอมพิวเตอร์เริ่มการติดต่อสื่อสารกับภายนอก ผ่านทางพอร์ตสื่อสารที่เป็นแบบ BNC หรือ AUI ดังนั้น ในขั้นตอนนี้ที่ภาคของการทำงานทางเอาท์พุทก็จะปรากฏเป็นสัญญาณออกมา จากการวัดที่เอาท์พุทของพอร์ท BNC โดยเทียบกับไอโซเลทกราวด์ ได้ดังรูปที่ 4.2.3ซึ่งเป็นสัญญาณที่สร้างจากซิพรับ-ส่งสัญญาณแบบอนุกรม (Transceiver) DP8392 ซึ่งอยู่ที่พอร์ต BNC ส่วนที่พอร์ต AUI จะเป็นคู่สัญญาณผลต่างของ TX+, TX-,RX+ RX- ซึ่งเป็นรหัสสัญญาณแบบแมนเชสเตอร์ส่งออกไปยังทรานซีฟเวอร์ภายนอก

จากรูปที่ 4.2.3 เป็นรูปสัญญาณที่เกิดจากการเริ่มต้นของการส่งเฟรมข้อมูลจากเครื่องคอมพิวเตอร์ออกสู่เครือข่ายภายนอก ซึ่งเกิดจากโปรแกรม NETX ที่จะทำให้เครื่องคอมพิวเตอร์จับสัญญาณแจ้งบริการจากเครื่องคอมพิวเตอร์ให้บริการข้อมูลที่เรียกว่า เซอร์วิส แอดเวอร์ไทซิ่ง โปรโตคอล (Service Advertising Protocol:SAP) ซึ่งจะเป็นการประกาศว่าเครื่องได้ให้บริการอยู่โดยจะแจ้งชื่อเครื่องของตนเองให้เครื่องคอมพิวเตอร์ที่เชื่อมต่ออยู่กับระบบตรวจจับดังรูปที่ 4.2.4 เครื่องคอมพิวเตอร์จะตรวจจับ SAP ของเครื่องเซอร์ฟเวอร์ที่ชื่อ TELELAN ได้ก็จะแสดงผลดังในบรรทัดที่ 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.3 จากการวัดที่พอร์ต BNC เทียบกับไอโซเลทกราวด์



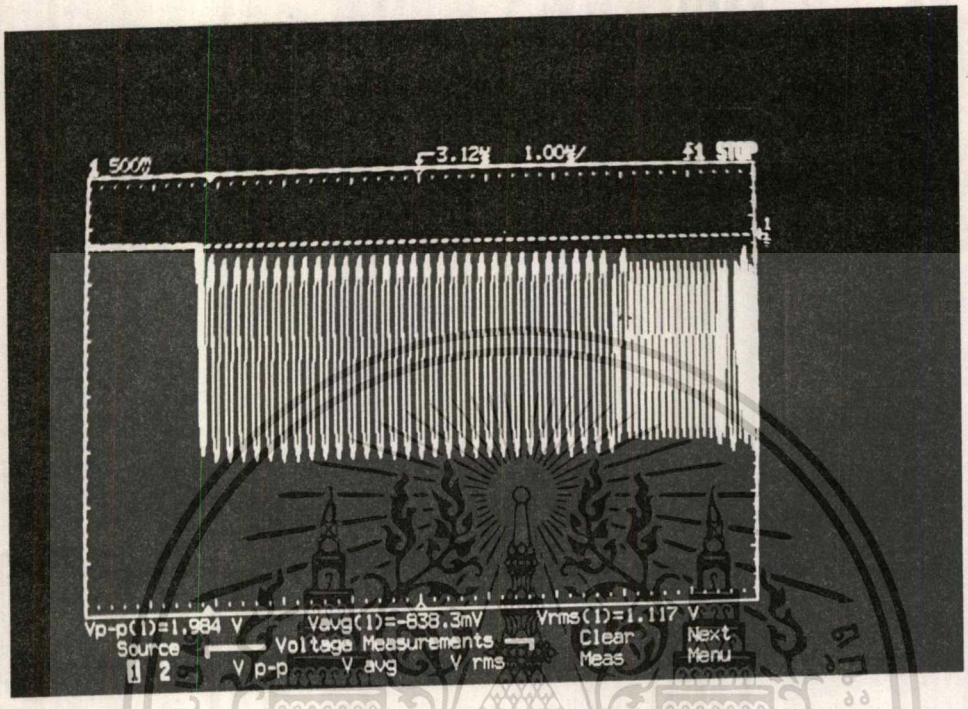
รูปที่ 4.2.4 แสดงการโหลดโปรแกรม NETX

4.2.4 ทดสอบโหลดโปรแกรม LOGIN

การโหลดโปรแกรม LOGIN ทำได้หลังจากที่เครื่องคอมพิวเตอร์สามารถติดต่อกับเครื่องคอมพิวเตอร์ที่ให้บริการแฟ้มข้อมูลได้แล้ว สังเกตุได้จากการที่เราเรียกเข้าที่ไดร์ฟของเครือข่าย ปกติจะเป็นไดร์ฟ F: การโหลดโปรแกรม LOGIN จะเป็นการโหลดจากเครื่องคอมพิวเตอร์ที่ให้บริการแฟ้มข้อมูลมายัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องคอมพิวเตอร์ที่ใช้ทดสอบ และจะทำการเอ็กซิคิวท์ที่เครื่องทดสอบ ดังนั้นในขั้นตอนนี้จะมีการส่งผ่านข้อมูลทั้งไปและกลับโดยขาไปจะเป็นการขอเข้าใช้บริการเครื่องคอมพิวเตอร์ที่ให้บริการแฟ้มข้อมูล และขากลับจะเป็นการส่งผ่านตัวโปรแกรม LOGIN มา จึงสามารถวัดสัญญาณที่ปรากฏที่พอร์ต BNC ได้ดังรูปที่ 4.2.5



รูปที่ 4.2.5 แสดงรูปสัญญาณที่ได้จากการวัดที่ BNC เมื่อเรียก LOGIN

จากรูปที่ 4.2.5 จะเป็นรูปของเฟรมข้อมูลในส่วนของ ปรีแอมเบิลและซิงค์ ซึ่งเป็นสัญญาณผลต่างของสัญญาณบวกและลบที่ได้มาจาก DP8391 แล้วทำการแปลงสัญญาณโดย DP8392 ออกมา สัญญาณที่ได้เป็นสัญญาณลบ 2 ระดับ สัญญาณที่มีค่า -0.25 โวลต์จะเป็นสัญญาณแทนลอจิก 1 และสัญญาณที่เป็น -1.984 โวลต์จะเป็นสัญญาณแทนลอจิก 0 จากรูปจะเห็นได้ว่า การเปลี่ยนแปลงของสัญญาณข้อมูลนั้นจะใช้เวลาต่อหนึ่งบิตข้อมูลเป็น 100 นาโนวินาทีหรือ 10 เมกกะบิตต่อ 1วินาทีนั่นเอง

4.2.5 การทดลองสำเนาข้อมูลผ่านเครือข่าย

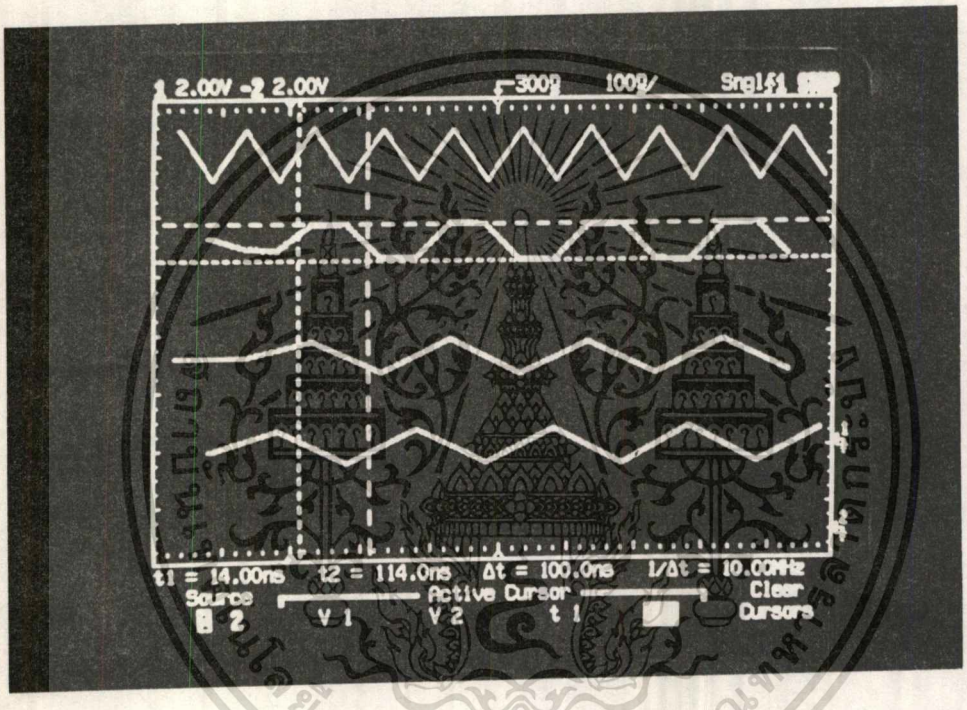
การทดลองสำเนาข้อมูลผ่านเครือข่ายทำได้โดยการ LOGIN เข้าที่เครื่องคอมพิวเตอร์ให้บริการแฟ้มข้อมูลแล้วใช้คำสั่ง COPY <File> จาก ไดร์ฟ F: มายังไดร์ฟ A:, B: หรือไดร์ฟที่อยู่กับเครื่องคอมพิวเตอร์ทดสอบ ซึ่งจะต้องมีการส่งผ่านข้อมูลระหว่างกันโดยจากการวัดสัญญาณที่จุดต่างๆได้ผลดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.5.1 สัญญาณที่จุด TX ของ DP8391

สัญญาณที่ขา 13 ของ DP8391 (U7) จะเป็นสัญญาณ TX- และที่ขาที่ 14 จะเป็น TX+ สัญญาณที่ทั้งสองขานี้จะเป็นสัญญาณส่งข้อมูลแบบอนุกรมที่มีการเข้ารหัสสัญญาณเป็นแบบแมนเชสเตอร์ โดยแปลงมาจากแหล่งสัญญาณเดียวกันคือสัญญาณที่มาจาก DP8390

สัญญาณที่ TX+ และ TX- นี้จะมีขนาดสัญญาณเท่ากันแต่จะกลับเฟสกันเพื่อใช้ในการสร้างสัญญาณผลต่างที่ DP8392 จากรูปที่ 4.2.6 สัญญาณที่อยู่บนสุดเป็นสัญญาณ TXC ซึ่งมีความถี่ 10 เมกะบิตต่อวินาที สัญญาณที่ 2 เป็นสัญญาณที่ได้จากการใช้ฟังก์ชั่นให้แสดงขนาดของผลต่างของสัญญาณ TX+ และ TX- ที่อยู่ด้านล่างตามลำดับ

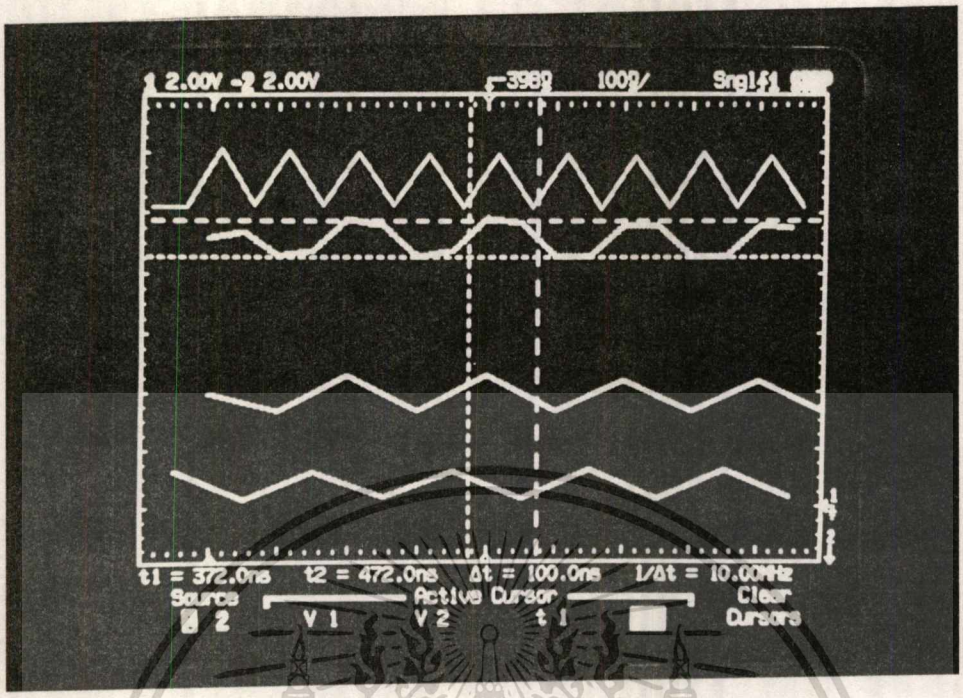


รูปที่4.2.6 แสดงสัญญาณ TXC, สัญญาณผลต่าง, และสัญญาณ TX+, TX- ที่ออกจาก DP8391

4.2.5.1 สัญญาณที่จุด RX ของ DP8391

จากรูปที่ 4.2.7 เป็นรูปสัญญาณรับข้อมูลแบบอนุกรมโดยสัญญาณที่อยู่บนสุดเป็นสัญญาณ RXC ที่ได้จาก DP8391 แยกสัญญาณนาฬิกาที่อยู่ในข้อมูลแบบแมนเชสเตอร์ที่รับเข้ามาผ่าน DP8392 ทรานซีฟเวอร์ ส่วนสัญญาณที่สองเป็นสัญญาณขนาดของผลต่างที่เกิดจากสัญญาณ RX+ และ RX- ที่อยู่ด้านล่างตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



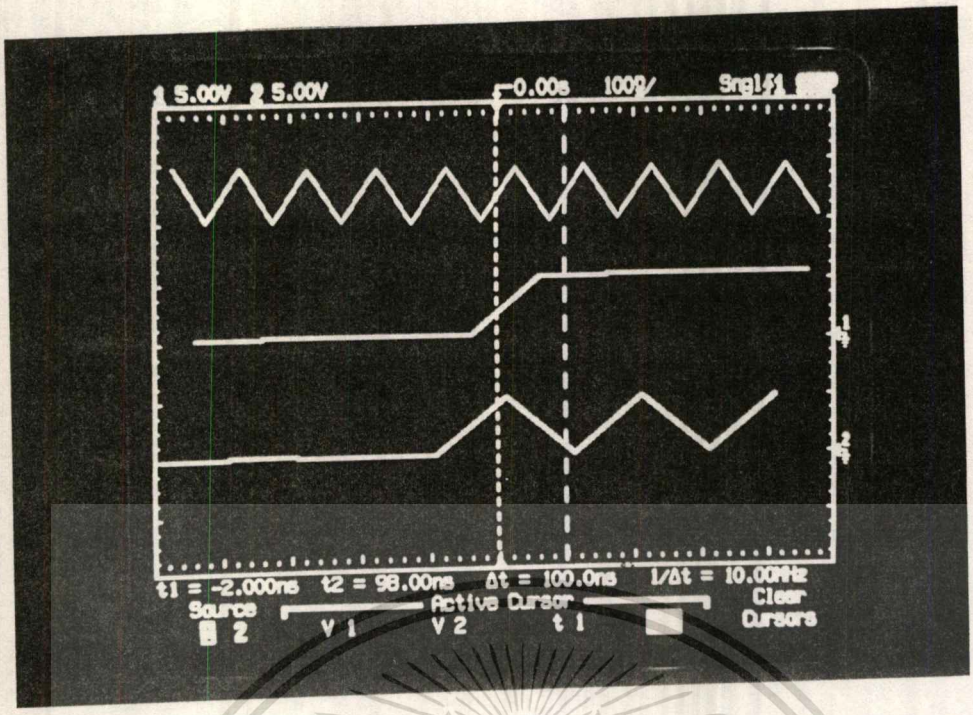
รูปที่4.2.7 แสดงสัญญาณ RXC, สัญญาณผลต่าง และสัญญาณ RX+, RX- ที่ออกจาก DP8391

4.2.6 ความสัมพันธ์ของสัญญาณที่จุดต่าง ๆ

4.2.6.1 สัญญาณ TXC, TXE และ TXD

สัญญาณ TXC เป็นสัญญาณความถี่ 10 เมกกะเฮิร์ซ ที่ได้จาก DP8391 ใช้เป็นสัญญาณเวลาอ้างอิงและจังหวะการเข้ารหัส แมนเชสเตอร์เพื่อที่จะส่งออก ส่วนสัญญาณ TXE หรือ TX Enable เป็นสัญญาณที่ส่งออกจาก DP8390 ใช้บอกกับ DP8391 ว่ามีสัญญาณข้อมูลที่จะส่งออกแล้ว ซึ่งจะแอคทีฟเป็นระดับสัญญาณขนาด 5 โวลท์ในช่วงที่มีสัญญาณ TXD หรือ TX Data ที่เป็นสัญญาณข้อมูลที่จะส่งไปเข้ารหัสแมนเชสเตอร์ที่ DP8391 สัญญาณ TXE จะหยุดแอคทีฟเมื่อสัญญาณข้อมูล TXD หมดหรือหยุดส่ง ก็จะตกลงมาเป็นระดับ 0 โวลท์ ดังรูปที่ 4.2.8

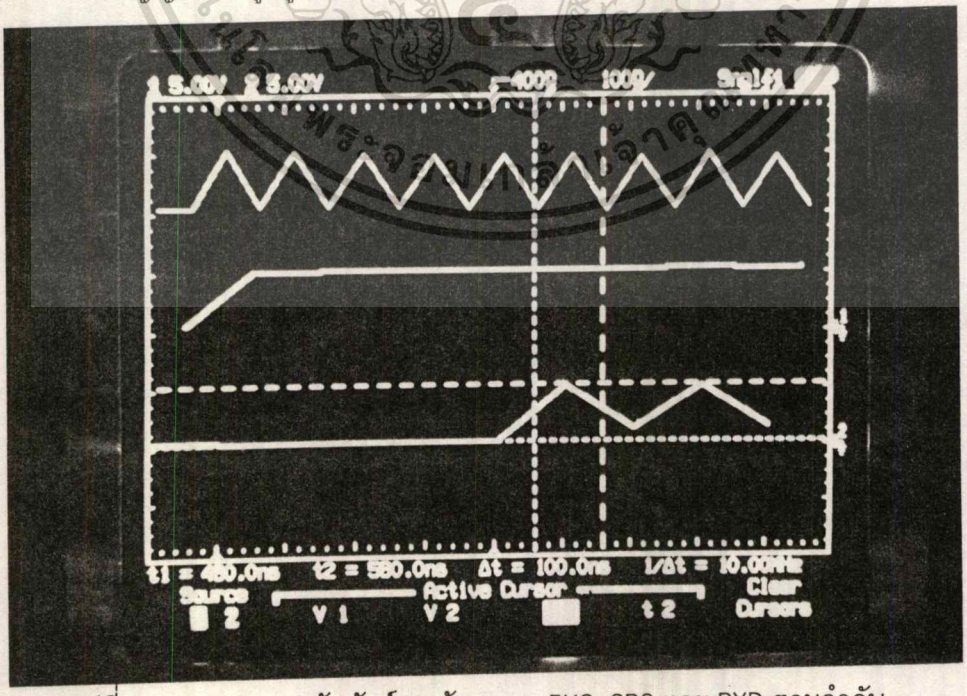
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.8 แสดงความสัมพันธ์ของสัญญาณ TXC, TXE และ TXD ตามลำดับ

4.2.6.2 ความสัมพันธ์ของสัญญาณ RXC, CRS และ RXC

สัญญาณ RXC เป็นสัญญาณนาฬิกาที่ได้มาจากการแยกออกมาจากสัญญาณข้อมูลที่รับเข้ามาจากตัวรับหรือทรานซีฟเวอร์ DP8392 โดยชิพ DP8391 ส่วนสัญญาณ CRS หรือ Carrier Sense จะเป็นสัญญาณที่ DP8391 ใช้บอกกับ DP8390 ให้ทราบว่ามีข้อมูลที่รับเข้ามาแล้วให้ DP8390 เตรียมรับข้อมูลไป โดยจะแอคทีฟเป็นระดับ 5 โวลท์ และหยุดแอคทีฟเป็น 0 โวลท์ เมื่อสัญญาณที่รับมาหมดแล้ว หลังจากที่ CRS แอคทีฟ ก็จะมีสัญญาณข้อมูลถูกส่งผ่านจาก DP8391 เข้ามาที่ DP8390 ดังรูปที่ 4.2.9

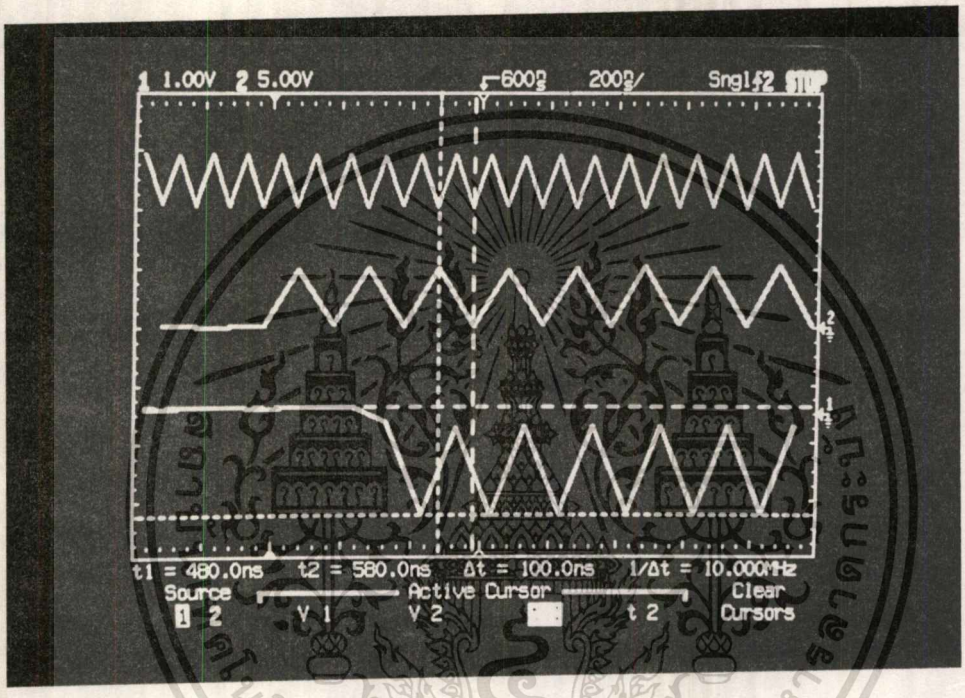


รูปที่ 2.4.9 แสดงความสัมพันธ์ของสัญญาณ RXC, CRS และ RXD ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.6.3 ความสัมพันธ์ของสัญญาณ TXC, TXD กับ TXO

สัญญาณ TXO เป็นสัญญาณที่วัดได้จากเอาท์พุทที่สายสัญญาณโคแอคเซี่ยล เป็นสัญญาณที่ถูกส่งออกจากแผ่นวงจรแล้ว ซึ่งสัญญาณที่ได้จะเป็นรหัสสัญญาณแมนเชสเตอร์ โดยจะมีการเกิดการเปลี่ยนแปลงระดับสัญญาณเป็นขอบขาขึ้นที่กึ่งกลางระดับสัญญาณข้อมูลที่เป็นลอจิก 1 และจะมีการเกิดการเปลี่ยนแปลงระดับสัญญาณเป็นขอบขาลงที่กึ่งกลางระดับสัญญาณข้อมูลที่เป็นลอจิก 0 สัญญาณแมนเชสเตอร์ดังกล่าวจะถูกทำให้เป็นสัญญาณลบโดย DP8392 ทรานซีฟเวอร์แล้วส่งออกไปดังรูปที่ 4.2.10



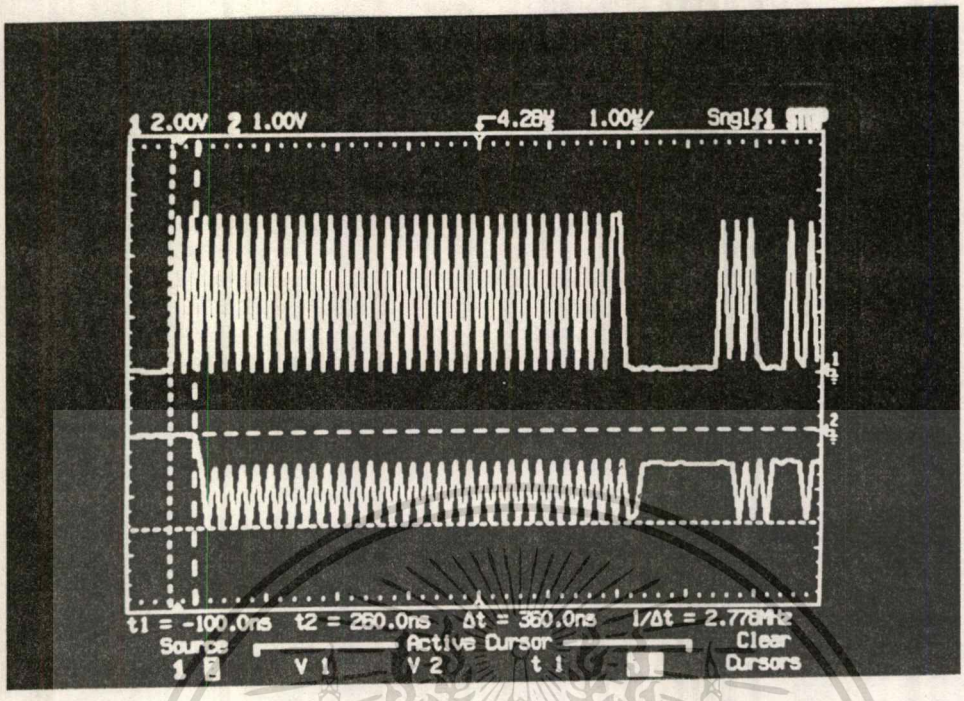
รูปที่ 4.2.10 แสดงความสัพพันธ์ของสัญญาณ TXC, TXD กับ TXO

4.2.7 สัญญาณเฟรมข้อมูลแบบ IEEE 802.3

สัญญาณที่ได้จะเป็นสัญญาณที่ถูกเข้ารหัสแบบแมนเชสเตอร์แล้วถูกทำให้เป็นสัญญาณที่เป็นลบแล้วส่งออกไปยังสื่อนำสัญญาณโคแอคเซี่ยล เมื่อเราวัดสัญญาณที่ TXD ซึ่งเป็นสัญญาณข้อมูลแบบ RZ เทียบกับสัญญาณที่ได้ที่เอาท์พุทที่วัดจากพอร์ท BNC จะได้ดังรูปที่ 4.2.11

เมื่อดูรายละเอียดของรหัส จะสามารถมองออกได้ว่า เป็นสัญญาณ Preamble ซึ่งมีแพททอร์นเป็นสัญญาณ "10101010...10" จำนวน 62 บิต แล้วตามด้วย SFD ขนาด 2 บิทที่มีแพทเทอร์นเป็น "11"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.11 แสดงรูปสัญญาณที่เป็นสัญญาณข้อมูล TXD เทียบกับสัญญาณ TXO ที่พอร์ท BNC

รูปที่ 4.2.12, 4.2.13, 4.2.14 เป็นรูปสัญญาณที่วัดที่พอร์ท BNC ซึ่งเป็นสัญญาณ TXO แสดงสัญญาณข้อมูลที่เป็นเฟรม IEEE 802.3 หนึ่งเฟรม โดยเป็นเฟรมในขณะทำการ DIR ที่ เครื่องให้บริการข้อมูลเทเลแลน (TELELAN Server) ซึ่งขณะทำการ DIR จะมีข้อมูลที่วิ่งผ่านเครือข่ายที่มีขนาดของข้อมูลที่จะส่งน้อยกว่า 46 ไบต์ ดังนั้นจึงเป็นเฟรมที่มีขนาดเล็กที่สุด คือมีจำนวนไบต์หารได้คือ

- Preamble และ SFD 8 ไบต์
- Destination Address 6 ไบต์
- Source Address 6 ไบต์
- Length Field 2 ไบต์
- Data และ PAD 46 ไบต์
- FCS (CRC-32) 4 ไบต์

รวม 72 ไบต์ หรือ 576 บิต

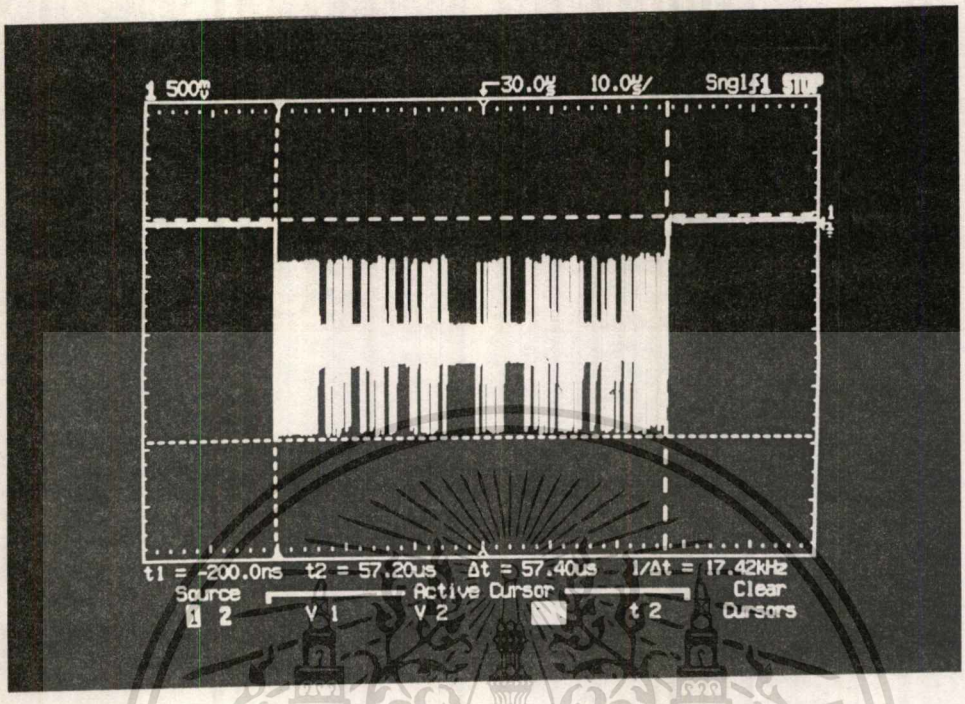
ใน 1 บิตจะใช้เวลา 100 นาโนวินาที ดังนั้น เฟรมที่สั้นที่สุดจะใช้เวลาเป็น

100 นาโนวินาที x 576 บิต = 57.6 ไมโครวินาที

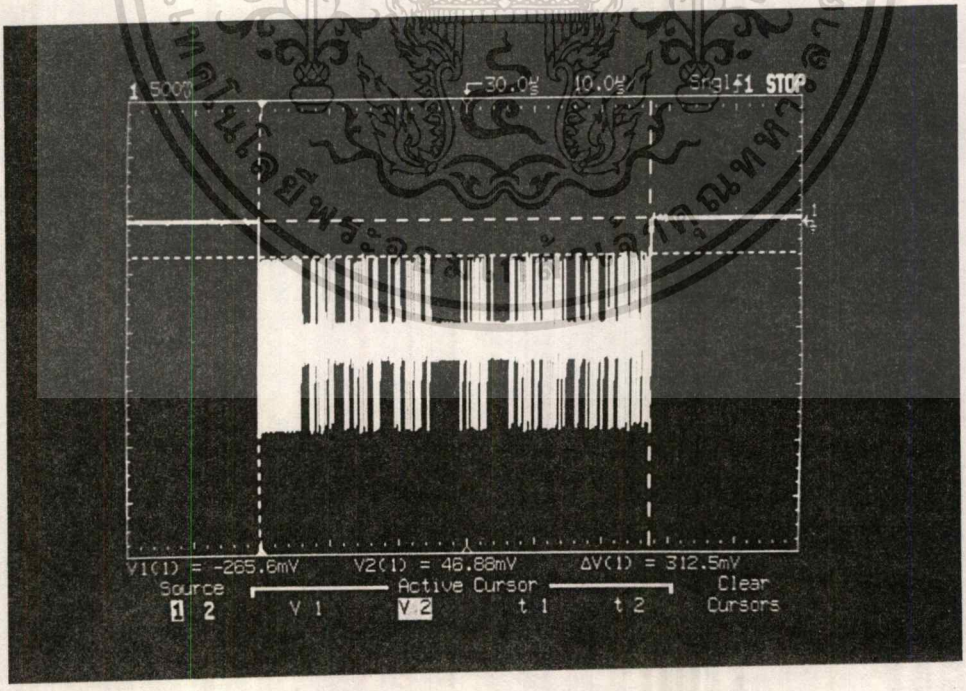
จากรูปที่ 4.2.12 ค่าที่วัดจากเครื่องวัด จะได้ 57.4 ไมโครวินาทีซึ่งค่าที่คลาดเคลื่อนกิดจากการปรับตำแหน่งวัดได้ไม่ละเอียดพอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.2.13 เป็นรูปแสดงค่าระดับแรงดันของลอจิก 1 คือที่ระดับ -312.5 มิลลิโวลต์ และรูปที่ 4.2.14 แสดงค่าระดับแรงดันของลอจิก 0 คือที่ระดับ -1.922 โวลต์

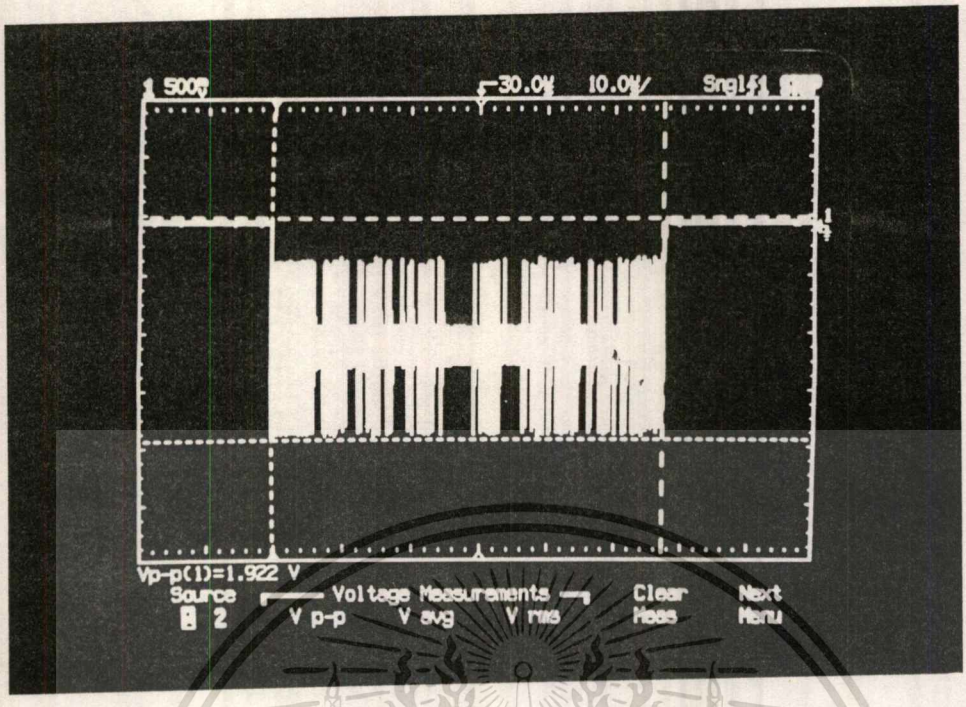


รูปที่ 4.2.12 แสดงรูปเฟรมข้อมูลที่มีขนาดเล็กที่สุดของเฟรม IEEE 802.3



รูปที่ 4.2.13 แสดงระดับสัญญาณลอจิก 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

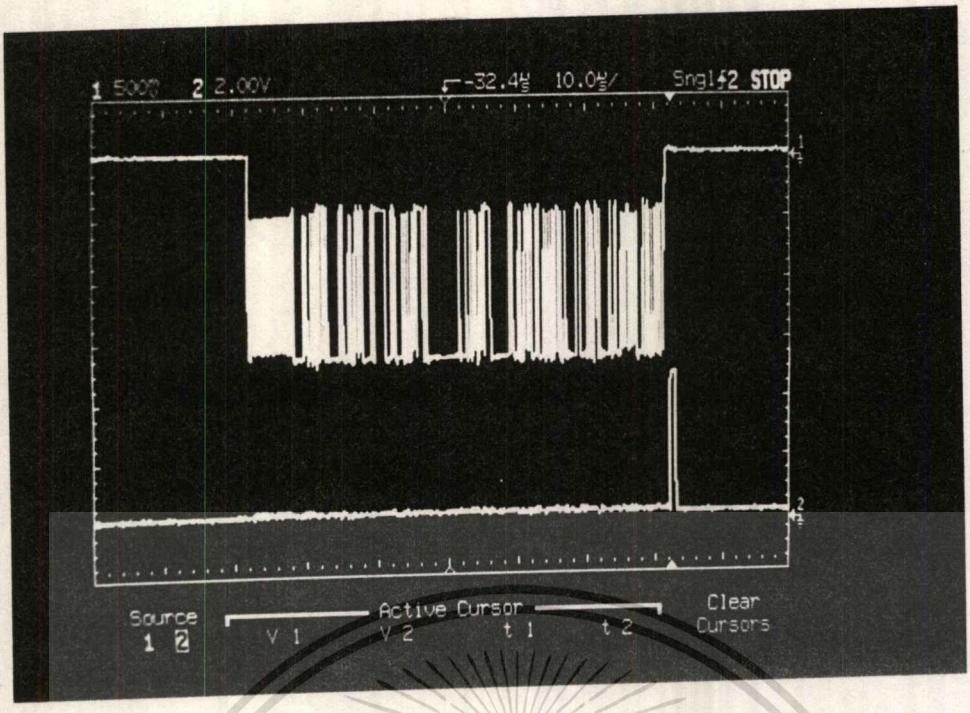


รูปที่ 4.2.14 แสดงระดับสัญญาณ ลอจิก 0

4.2.8 สัญญาณคอลลิชชั่น COL หลอก (Psudo Collision Signal)

หลังจากการส่งเฟรมข้มูลทุกๆเฟรม วงจรฮาร์ทบีตจะสร้างสัญญาณคอลลิชชั่นหลอกขึ้นมา เป็นสัญญาณสั้นๆ ส่งให้กับ DP8390 ซึ่งตามทฤษฎีจะเกิดขึ้นหลังจากจุดสิ้นสุดเฟรม 1.1 ไมโครวินาที เกิดขึ้นนาน ๆ ไมโครวินาที สัญญาณนี้มีไว้เพื่อเป็นการทดสอบว่า วงจรคอลลิชชั่นยังทำงานได้ดีอยู่ดังรูปที่ 4.2.15, 4.2.16, 4.2.17 ซึ่งทำการวัดที่ขา COL ของ DP8390

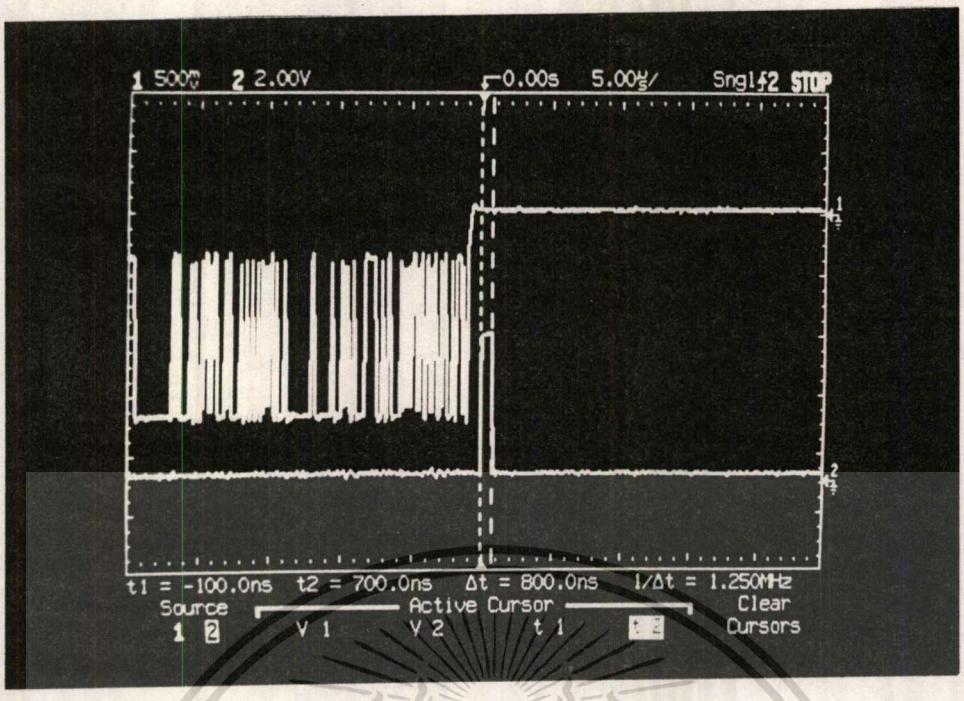
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.15 แสดงการเกิดสัญญาณคอลลิชชั่นหลอกขึ้น

รูปที่ 4.2.16 แสดงเวลาจากจุดสิ้นสุดเฟรมจนถึงจุดเกิดสัญญาณ COL หลอกขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.17 แสดงช่วงเวลาที่เกิดสัญญาณ COL ขึ้น

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
แนวทางการแก้ไขและพัฒนา

แผ่นวงจรเชื่อมต่อระบบเครือข่ายแบบอีเทอร์เน็ตที่ได้สร้างขึ้นนี้ สามารถที่จะทำการปรับปรุงให้มีขีดความสามารถเพิ่มขึ้นทางด้านต่างๆได้หลายด้านเช่น

5.1 การพัฒนาโปรแกรมควบคุมการทำงาน

5.1.1 การพัฒนาไดร์ฟเวอร์ของแผ่นวงจร

โปรแกรมควบคุมการทำงาน (Driver) ที่ใช้ในโครงงานนี้ เป็นโปรแกรมฟังก์ชั่นมาตรฐานที่สามารถใช้งานพื้นฐานขีดความสามารถของชิพ DP8390 เท่านั้น เพราะโปรแกรม NE1000 เป็นโปรแกรมที่สามารถใช้งานในการควบคุมชิพเบอร์อื่นที่ทำงานพื้นฐานได้ จึงไม่สามารถที่จะใช้ฟังก์ชั่นพิเศษบางอย่างที่ชิพ DP8390 มีอยู่ ดังนั้นถ้าหากเราจะทำให้มีขีดความสามารถเพิ่มขึ้นจึงต้องทำการเขียนโปรแกรมขึ้นมาควบคุมโดยเฉพาะ

5.1.2 การพัฒนาโปรแกรมโหลดโปรโตคอลการสื่อสาร (Packet Driver)

โปรโตคอลของการเชื่อมต่อสื่อสารในระบบเครือข่ายคอมพิวเตอร์มีหลายแบบเช่น IPX เป็นการเชื่อมต่อกับเครื่องคอมพิวเตอร์ให้บริการข้อมูลแบบโนเวล โปรโตคอลแบบ TCP/IP ซึ่งใช้กับระบบยูนิกซ์ เป็นต้น สำหรับโครงงานนี้ใช้แพคเก็ตไดร์ฟเวอร์แบบ IPX

5.1.3 การพัฒนาโปรแกรมสำหรับใช้ควบคุมค่าเริ่มต้น

โครงงานนี้ การเซ็ตค่าเริ่มต้นนั้น จะใช้ฮาร์ดแวร์ โดยการใช้จั๊มเปอร์ แต่ชิพบางรุ่นจะสามารถที่จะให้ตั้งค่าเริ่มต้นพวก หมายเลขการอินเตอร์รัพท์ เลขพอร์ตอินพุทเอาท์พุท เลขระบุช่วงการใช้หน่วยความจำ โดยใช้ซอร์ฟแวร์ได้

5.2 การพัฒนาทางด้านฮาร์ดแวร์ได้

5.2.1 การพัฒนาการเชื่อมต่อกับบัสของคอมพิวเตอร์

โครงงานนี้ใช้การเชื่อมต่อบัสข้อมูลขนาด 8 บิตข้อมูล แต่สามารถที่จะเพิ่มขีดความสามารถของการรับส่งข้อมูลผ่านบัสข้อมูลขนาด 16 บิตข้อมูลได้

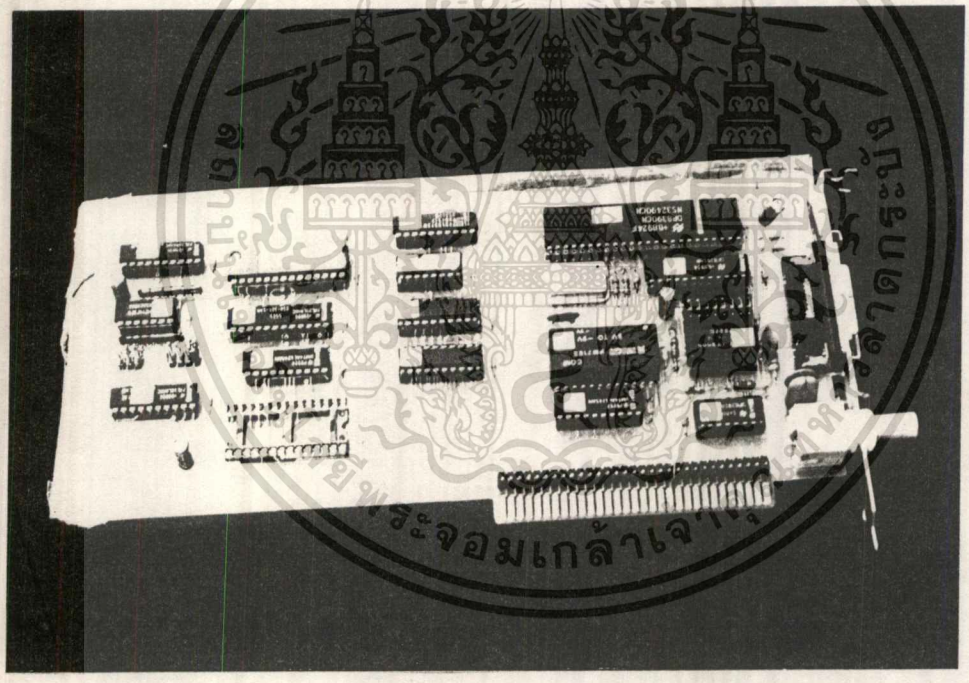
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 การพัฒนาการเพิ่มอัตราการส่งผ่านข้อมูล

ปัจจุบันนี้มีการออกมาตรฐานการเชื่อมต่อแบบอีเทอร์เน็ตที่อัตราการส่งผ่านข้อมูลที่ 100 เมกกะบิตต่อวินาทีแล้ว ซึ่งเป็นผลจากการพัฒนาขีดความสามารถของชิพ ดังนั้นการพัฒนาจะต้องพิจารณาการใช้ชิพที่รองรับที่มาตรฐานนี้ด้วย ซึ่งการออกแบบก็ยังคงจะใช้โครงสร้างการต่อชิพอย่างเดียวกัน

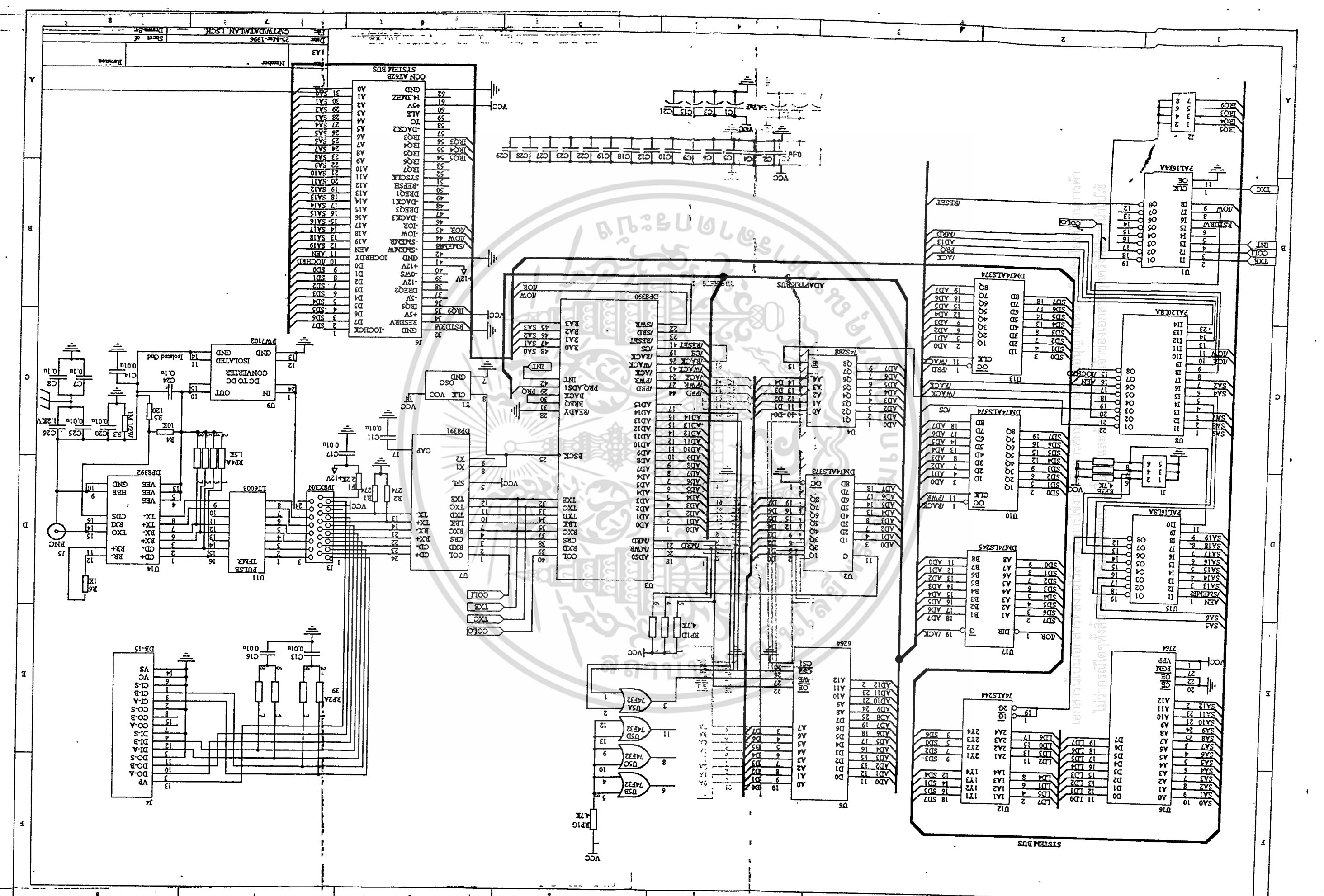
5.2.3 การพัฒนาการใช้พอร์ตเชื่อมเข้าระบบเครือข่าย

การเชื่อมต่อระบบเครือข่ายจะยังมีขีดจำกัดทางด้านระยะทางของการเชื่อมต่อไม่เพียงพอ ดังนั้นสามารถที่จะขยายขีดจำกัดนี้ได้โดยการเปลี่ยนแปลงการทำการไอโซเลทสัญญาณที่จะออกไปที่พอร์ทให้สามารถเชื่อมต่อได้ไกลขึ้น หรืออาจจะใช้ชิพทรานซีฟเวอร์ที่เป็นสื่ออื่นที่เชื่อมต่อได้ไกลยิ่งขึ้น เช่น ใช้ทรานซีฟเวอร์แบบแสงส่งผ่านออกไปยังเส้นใยแก้วนำแสงเป็นต้น



รูปที่ 5.1 แผ่นวงจรเชื่อมต่อระบบเครือข่ายคอมพิวเตอร์แบบอีเทอร์เน็ตที่ประกอบเสร็จแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


CONN AT62B
SYSTEM BUS
ADAPTER BUS
DP8390
DP8391
DP8392
LT6003
PULSE TRANSFORMER
ISOLATED DC TO DC CONVERTER
Isolated Gnd
DB-15
PAL16R4A
PAL20L8A
PAL16L8A
DM74ALS374
DM74ALS245
74AS288
74ALS244
6264
2764
SYSTEM BUS

เอกสารอ้างอิง

[1] เขมะทัต วิภาตะวนิช "การสื่อสารและข่ายงานคอมพิวเตอร์เบื้องต้น"
: เอกสารประกอบการสอนวิชา 204325 ภาควิชาวิศวกรรมคอมพิวเตอร์ มหาวิทยาลัยเกษตรศาสตร์.

[2] ปราโมทย์ วาดเขียน และ วิวัฒน์ กิรานนท์ "พื้นฐานการสื่อสารข้อมูล", กรุงเทพฯ
: สำนักพิมพ์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2536.

[3] ไพศาล สงวนหมู่ และ ยืน ภู่วรวรรณ "การสื่อสารข้อมูล และไมโครคอมพิวเตอร์เน็ตเวอร์ค"
: สำนักพิมพ์ซีเอ็ดยูเคชั่น, 2536 กรุงเทพฯ.

[4] ธานินทร์ ถาวรศาสนวงศ์ และ ทินกร ดุ๊ก "การอินเตอร์เฟส IBM PC"
: สำนักพิมพ์ฟิสิกส์เซ็นเตอร์, 2536 กรุงเทพฯ.

[5] รัชนัย อินทุใส และ ไตรภพ อินทุใส "การออกแบบ LAN"
: สำนักพิมพ์ซีเอ็ดยูเคชั่น, 2536 กรุงเทพฯ.

[6] ยืน ภู่วรวรรณ, ชัยยงค์ วงศ์ชัยสุวัฒน์ และ ไพศาล สงวนหมู่ "เทคโนโลยีไมโครคอมพิวเตอร์ 16 บิต"
: สำนักพิมพ์ซีเอ็ดยูเคชั่น, 2533 กรุงเทพฯ.

[7] สุวิพล สิทธิชีวภาค "การสื่อสารข้อมูล"
: สมาคมโทรคมนาคมแห่งประเทศไทย, กรุงเทพฯ.

[8] อัครเสน สมุทรผ่อง และ จักร พิชัยศรทัต "ระบบเครือข่ายคอมพิวเตอร์ LAN และการใช้งาน Novell Netware"
: สำนักพิมพ์ซีเอ็ดยูเคชั่น, 2535 กรุงเทพฯ.

[9] Douglas E. Comer "Internetworking With TCP/IP" Vol. 1 : Principles, Protocols, And Architecture Second Edition.
: Prentice-Hall ,Inc 1991.

[10] Matthew G. Naugle "Network Protocol Handbook".
: McGraw-Hill, Inc 1994.

[11] Mischa Schwartz "Telecommunication Network : Protocols, Modeling And Analysis".
: Addison-Wesley, May 1987.

[12] Nathan Gurewich "Communication Systems".
: McGraw-Hill, Inc 1992.

[13] National Semiconductor "Local Area Networks Databook"
: National Semiconductor ,1993 Second Edition

[14] World Wide Web Server : http://wwwhost.ots.utexus.edu/ethernet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้