



การส่งสัญญาณแบบ TDM ผ่านใยแก้วนำแสง

TDM via Optical Fiber Cable

โดย

นายจิรพงษ์ พานิชผล รหัสประจำตัว 36013007

นายใจเทพ เนตรสอดจิตร รหัสประจำตัว 36013008

นายไพศาล แผลดีลกกุล รหัสประจำตัว 36013026

อาจารย์ที่ปรึกษา

ผศ.อภิรักษ์ มัณยานนท์

| | |
|----------------------|----------------|
| วัน เดือน ปี..... | 15 ส.ค 2560 |
| เลขทะเบียน..... | 037887 |
| เลขเรียกหนังสือ..... | 138326 ค 565 ก |

ปริญญาานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาานิพนธ์ปีการศึกษา 2538

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การส่งสัญญาณแบบ TDM ผ่านใยแก้วนำแสง

TDM via Optic Fiber Cable

ผู้จัดทำ

1. นายจิรพงษ์ พานิชผล รหัสประจำตัว 36013007
2. นายโจเทพ เนตรสอดจิตร รหัสประจำตัว 36013008
3. นายไพศาล แซ่คิลกกุล รหัสประจำตัว 36013026

อาจารย์ที่ปรึกษา
(ผศ.อภิรักษ์ มัณยานนท์)

การส่งสัญญาณแบบ TDM ผ่านใยแก้วนำแสง

| | | | |
|--------------|------------|------------------|----------|
| จิรพงษ์ | พานิชผล | รหัส | 36013007 |
| ใจเทพ | เนตรสอติตร | รหัส | 36013008 |
| ไพศาล | แผดิลกกุล | รหัส | 36013026 |
| ผศ. อภินันท์ | มदनยานนท์ | อาจารย์ที่ปรึกษา | |

บทคัดย่อ

โครงการนี้เป็นการศึกษาทดลองถึงหลักการพื้นฐาน ของการสื่อสารระบบดิจิทัล ผ่านสายนำสัญญาณ Coaxial Cable และเส้นใยแสง (Optic Cable) ซึ่งการศึกษาทดลองเกี่ยวกับส่วนประกอบพื้นฐานต่าง ๆ ที่สำคัญ เช่น ระบบ TDM การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล การแปลงรหัส เพื่อความเหมาะสมในการส่ง การส่งสัญญาณผ่านสายนำสัญญาณ, การส่งผ่านเส้นใยแสง , การจัดขบวนของสัญญาณและการจัดระบบซิงโครไนซ์ โดยเป็นการส่งสัญญาณที่เป็น Analog ที่อยู่ในย่านของสัญญาณเสียงในระบบโทรศัพท์ (300 - 3,400 Hz.) 8 ช่องสัญญาณซึ่งนำมาแปลงเป็นสัญญาณดิจิทัล รวมกับสัญญาณข้อมูลดิจิทัล 8 บิต อีก 6 ช่องสัญญาณด้วยการมัลติเพล็กซ์แบบแบ่งช่วงเวลา จัดรูปแบบของขบวนสัญญาณ แล้วส่งออกไปในตัวกลาง 2 ชนิด คือ สายนำสัญญาณ และเส้นใยแสง ด้านรับ จะมีการตรวจจับและสร้างสัญญาณนาฬิกา ให้ตรงกับด้านส่ง (Clock Recovery) การแยกสัญญาณข้อมูลแต่ละช่องสัญญาณออกจากกันให้ถูกต้อง การเปลี่ยนสัญญาณ ดิจิทัลเป็นสัญญาณอนาลอกตามเดิม

สำหรับโครงการนี้ ทางด้านรับออกแบบให้เลือกช่องสัญญาณที่ต้องการรับได้ 2 ช่อง สัญญาณ โดย เป็นสัญญาณอนาลอก 1 ช่อง สัญญาณและสัญญาณดิจิทัล 1 ช่องสัญญาณเพื่อเป็นการทดลองการส่งสัญญาณแบบจุดต่อหลายจุด โดยด้านรับมีอิสระที่จะเลือกรับช่องสัญญาณใดก็ได้

TDM via Optical Fiber Cable

| | | |
|-----------|--------------|---------------|
| JEERAPONG | PANICHPHOL | CODE 36013007 |
| JAITHÉP | NETSODCHIT | CODE 36013008 |
| PAISARN | PHAEDILOKKUL | CODE 36013026 |

Abstract :

This Project is an experiment to study the basic of digital communication system through coaxial cable and optic cable which is experimented about necessary basic component. Example : time division multiplexing system (TDM.) ; analogue to digital conversion: encoding for appropriate transmitting, in any transmission line such as coaxial and optic cable. Format of signal : synchronization system. By analogue signal is transmitted in the range voice signal of 8 channels telephone system (Frequency between 300-3400 Hertz.) To be converted in digital signal signal combine with data (8 bits digital signal 4 channels) By time division multiplexing technique and reformatt signal then sending through 2 types of transmission line coaxial and optic cable. For receiving side : detection and clock recovery must be synchronized with the transmitting side. Decoding technique to be used for distributed signal from each other, then convert to analogue signal.

For this Project : receiving side was designed for receiving 2 channels (1 channel for analogue and the other for digital signal) This objective for experimental of point to multipoint transmitting. By the receiving side any channel was be selected.

การส่งสัญญาณแบบ TDM ผ่านใยแก้วนำแสง

การส่งสัญญาณต่าง ๆ ไปในระบบส่งผ่านสัญญาณ (Transmission System) นั้นสามารถทำได้ 2 รูปแบบคือ ส่งไปในรูปของสัญญาณอนาล็อก และสัญญาณดิจิทัล ซึ่งในปัจจุบันนี้ระบบอนาล็อกกำลังจะหมดไป ระบบดิจิทัล กำลังได้รับความนิยมอย่างสูงขึ้นเรื่อย ๆ ทั้งนี้เพราะคุณภาพของสัญญาณที่ดีกว่า ความจุของข่าวสาร (Capacity) สูงกว่า สามารถประยุกต์ใช้งานได้กว้างขวาง ด้วยเหตุผลที่ สิ่งต่าง ๆ รอบตัวเราทุกวันนี้ กำลังเปลี่ยนไปสู่โลกของดิจิทัลแบบทั้งสิ้น ในการที่เราจะส่งผ่านสัญญาณอนาล็อก เช่น สัญญาณเสียง, ภาพ หรืออื่น ๆ เข้าไปในระบบส่งผ่านแบบดิจิทัลได้นั้น ต้องผ่านกระบวนการแปลงสัญญาณอนาล็อกนั้น ๆ ให้อยู่ในรูปของสัญญาณดิจิทัลเสียก่อน มีการมัลติเพล็กซ์ เพื่อให้ได้ความจุของข่าวสารที่สูงขึ้น แล้วส่งไปในระบบส่งผ่านแบบดิจิทัล เมื่อถึงปลายทางจะมีการดีมัลติเพล็กซ์เพื่อแยกสัญญาณที่รวมกันมาออกจากกัน แล้วจึงแปลงกลับให้อยู่ในรูปของสัญญาณอนาล็อกตามเดิม ซึ่งในระหว่างการส่ง-รับนี้ถ้าระยะทางมีความยาวมากหรือมีการสูญเสีย ผิดเพี้ยน ของสัญญาณการเพิ่มอุปกรณ์ทวนสัญญาณ (Repeater) ก็จะสามารถแก้ปัญหาเหล่านี้ได้ ในขณะเดียวกัน ถ้ามีข้อมูลดิจิทัล ต้องการส่งผ่านไปในระบบส่งผ่านด้วยก็สามารถกระทำได้

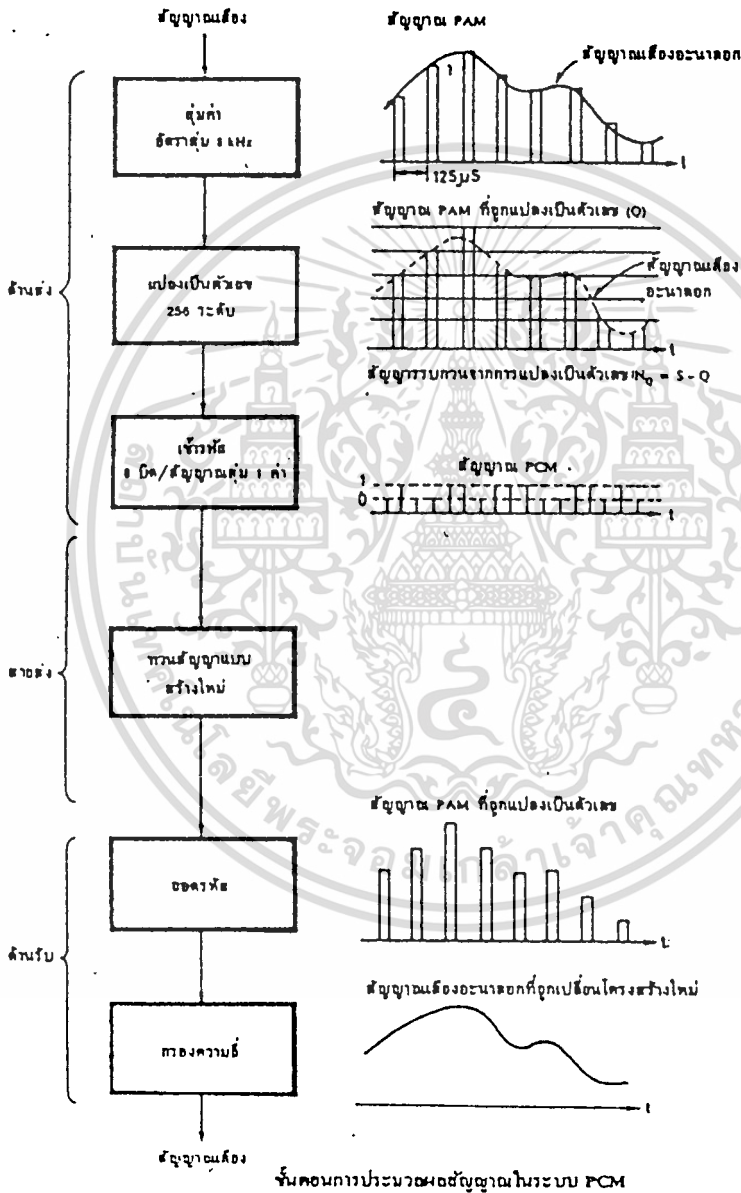
โครงการนี้เป็นการศึกษาทดลองเกี่ยวกับระบบการสื่อสารดิจิทัล โดยเริ่มตั้งแต่การมัลติเพล็กซ์สัญญาณอินพุท การแปลงสัญญาณอนาล็อกเป็นดิจิทัลขนาด 8 บิต โดยใช้อัตราการสุ่มตัวอย่าง (Sampling Rate) 8,000 ครั้ง/วินาที ซึ่งเท่ากับมาตรฐานของระบบ PCM. ที่ใช้อยู่ในระบบโทรศัพท์ปัจจุบัน การจัดโครงสร้างของขบวนสัญญาณ (Frame Format) มีการสร้างสัญญาณ ซิงค์แทรกไปในขบวนสัญญาณข้อมูล เพื่อให้เกิดการซิงค์โครไนซ์ (Synchronization) ระหว่างตัวรับและตัวส่ง

การเปลี่ยนรูปสัญญาณจากรูปแบบขบวน เป็นแบบอนุกรม มีการส่งผ่านสัญญาณเข้าไปในตัวกลาง 2 แบบคือ แบบใช้สายนำสัญญาณ (Coaxial Cable) โดยส่งแบบสัญญาณ 2 ขั้ว (Bipolar) และแบบใช้เส้นใยแสงซึ่งจะใช้สัญญาณแบบขั้วเดียว (Unipolar) ส่วนทางด้านรับ ก็จะมีกระบวนการ เปลี่ยนสัญญาณจากเส้นใยแสง หรือสัญญาณ Bipolar ที่ได้รับ เป็นสัญญาณ ดิจิตอล NRZ (L) การตรวจจับและสร้างสัญญาณนาฬิกา โดยเปรียบเทียบกับสัญญาณ NRZ (L) ที่รับได้ การหาจุดเริ่มต้นหรือจุดสิ้นสุดของขบวนสัญญาณข้อมูลเพื่อให้ถูกต้องตรงกับทางด้านส่ง (Frame Synchronization) จากนั้นจะนำสัญญาณของแต่ละช่องสัญญาณที่ได้รับออกตามตำแหน่งของแต่ละช่องสัญญาณ โดยถ้าเป็นสัญญาณอนาล็อก จะผ่านขบวนการแปลงสัญญาณดิจิทัล จะส่งออกไปยัง Data Buffer เพื่อให้อุปกรณ์ปลายทางที่ต้องการรับข้อมูล มาทำการรับข้อมูลต่อไป

บทที่ 2
ทฤษฎีและหลักการ

โครงงานนี้ออกแบบและจัดสร้างโดยอาศัย ทฤษฎีและหลักการหลายประการ โดยสามารถแบ่งเป็นหัวข้อที่สำคัญ ๆ ดังนี้

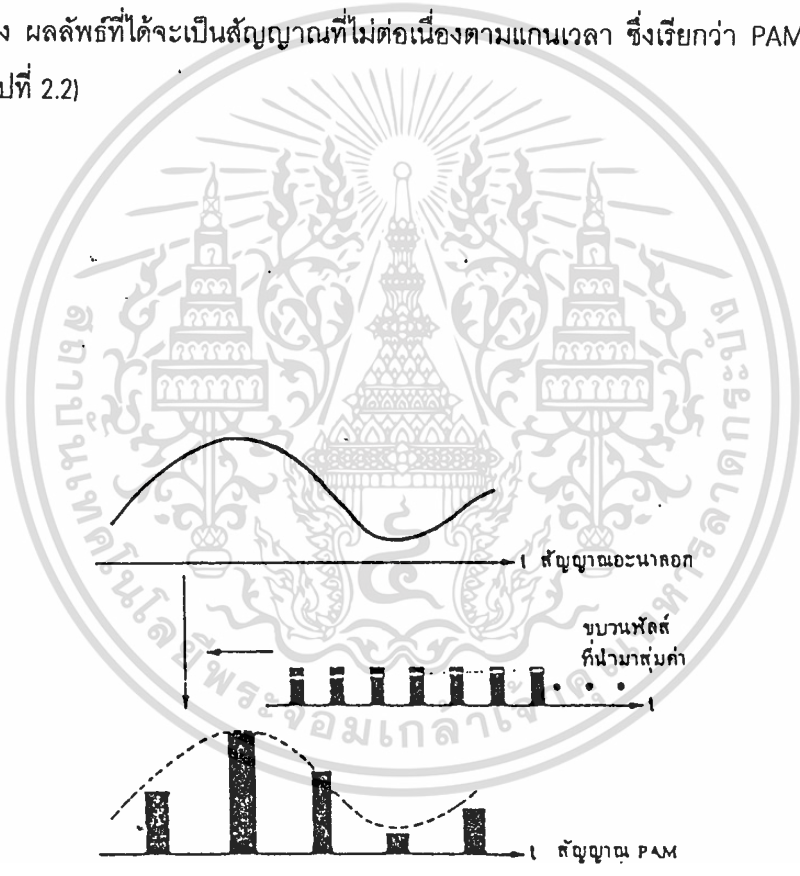
๒.๑ หลักการเบื้องต้น ของ PCM



รูปที่ 2.1 การแปลงสัญญาณอนาล็อกไปเป็นสัญญาณดิจิตอล (A/D Conversion) และการแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอนาล็อก (D/A Conversion)

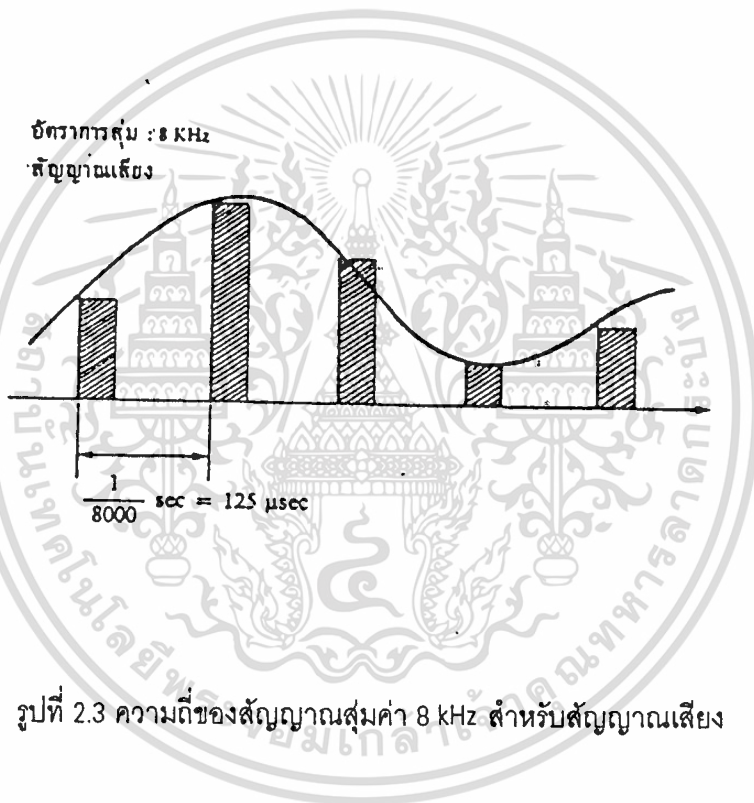
จากรูปที่ 2.1 แสดงให้เห็นถึงขั้นตอนในการแปลงสัญญาณเสียงอนาลอกไปเป็นสัญญาณดิจิทัล PCM และการแปลงกลับกัน สัญญาณเสียงอนาลอกจะถูกทำการสุ่มค่า (sampling) แปลงเป็นตัวเลข (quantizing) และเข้ารหัส (coding) ซึ่งทั้งสามขั้นตอนรวมกันเรียกว่าการเปลี่ยนสัญญาณอนาลอกไปเป็นสัญญาณดิจิทัล (A/D conversion)

ปกติแล้วสัญญาณเสียงอนาลอกจะต่อเนื่องกันตลอดตามแกนเวลา การสุ่มค่าก็คือขบวนการนำค่าแอมพลิจูดของสัญญาณอนาลอกบางค่า ในช่วงเวลาซึ่งห่างกันคงที่มาเรียงต่อกันวิธีนี้เปรียบเสมือนกับการมอดูเลตทางแอมพลิจูด โดยมีสัญญาณพาห้เป็นขบวนพัลส์ที่มีความคาบเวลาที่ ซึ่งมา มอดูเลตกับสัญญาณเสียงอนาลอกนั่นเอง ผลลัพธ์ที่ได้จะเป็นสัญญาณที่ไม่ต่อเนื่องตามแกนเวลา ซึ่งเรียกว่า PAM (Pulse Amplitude Modulation) (ดูรูปที่ 2.2)



รูปที่ 2.2 สัญญาณอนาลอกมอดูเลตกับสัญญาณพัลส์ จะได้ สัญญาณ PCM

องค์ประกอบสำคัญที่ต้องคำนึงถึงในการสุ่มค่าสัญญาณก็คือ การใช้ความถี่ของพัลส์เท่าไรจึงจะเหมาะสม สิ่งนี้ได้ผ่านการพิสูจน์ทางคณิตศาสตร์และตั้งเป็นทฤษฎีเรียกว่า ทฤษฎีการสุ่มค่า (sampling theorem) ซึ่งกล่าวว่า สัญญาณที่มีแอมพลิจูดเป็นฟังก์ชันของเวลาถูกทำการสุ่มค่า ทุกๆ ช่วงเวลาห่างที่คงที่ เมื่อทำการสุ่มค่าด้วยความถี่อย่างต่ำเป็น 2 เท่าของความถี่สูงสุดของสัญญาณนั้นแล้วก็จะสามารถเก็บข่าวสารหรือเนื้อหาของสัญญาณต้นแบบไว้ได้ทั้งหมด

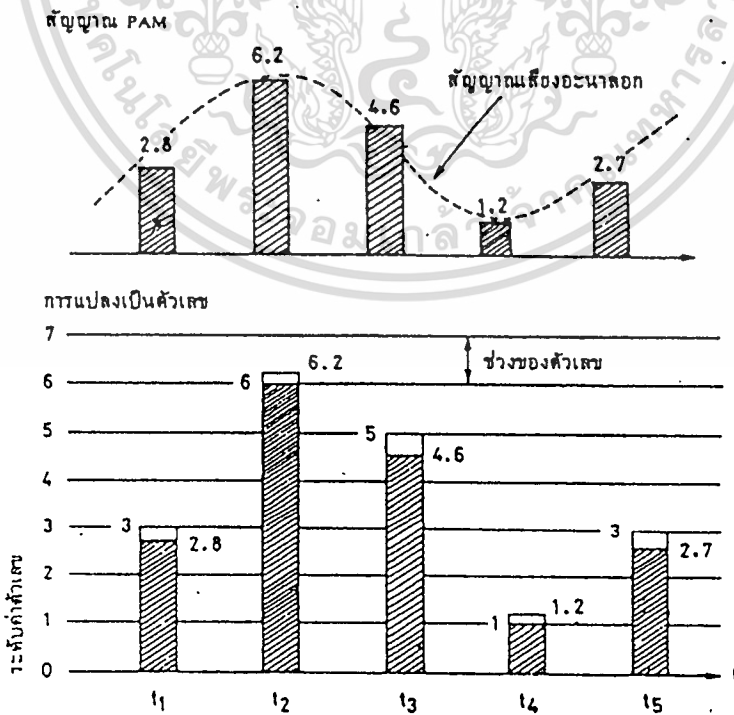


รูปที่ 2.3 ความถี่ของสัญญาณสุ่มค่า 8 kHz สำหรับสัญญาณเสียง

CCITT (International Telephone & Telegraph Consultative Committee) แนะนำให้ใช้ความถี่ของการสุ่มค่า 8 กิโลเฮิร์ตซ์สำหรับสัญญาณเสียงซึ่งโดยปกติแล้วแถบความถี่สัญญาณเสียงที่ใช้ในระบบโทรศัพท์มีค่าจำกัดระหว่าง 0.3 ถึง 3.4 กิโลเฮิร์ตซ์ ดังนั้นค่าความถี่ f_s ตามทฤษฎีควรจะเป็น 2 เท่าของ 3.4 กิโลเฮิร์ตซ์หรือเท่ากับ 6.8 กิโลเฮิร์ตซ์ อย่างไรก็ตามในทางปฏิบัติจะใช้ค่าความถี่เท่ากับ 8 กิโลเฮิร์ตซ์ ด้วยเหตุผลทางด้านเทคนิคในการสร้างวงจรกรองสัญญาณจะได้ง่ายขึ้น ช่วงเวลาที่ใช้ในการสุ่มค่าแต่ละครั้งเท่ากับ $1/8,000$ วินาทีหรือ 125 ไมโครวินาที (ดูรูปที่ 2.3)

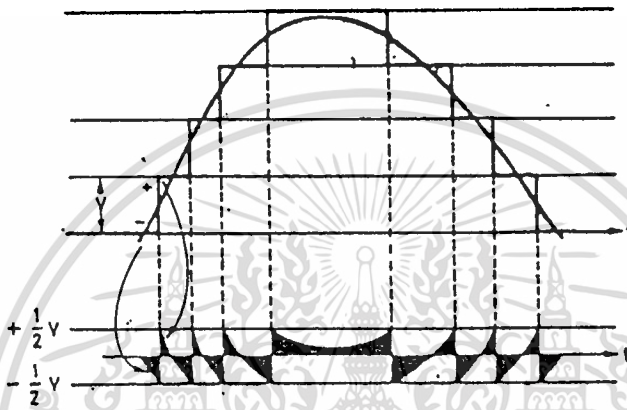
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขั้นตอนต่อมาสัญญาณ PAM นั้นจะถูกส่งไปผ่านการแปลงเป็นตัวเลขโดยแบ่งขนาดของแอมพลิจูดออกเป็นช่วงๆ (ดูรูปที่ 2.4) ค่าของแต่ละช่วงที่ถูกแบ่งเรียกว่าระดับค่าตัวเลข (quantizing level) และระยะระหว่างช่วงที่ถูกแบ่งเรียกว่าช่วงตัวเลข (quantizing interval) ขนาดของแต่ละสัญญาณสุ่มในสัญญาณ PAM จะถูกแทนด้วยระดับค่าตัวเลข (quantizing level) ที่ใกล้เคียงกับขนาดของมัน ตัวอย่างเช่น สัญญาณที่ถูกสุ่มที่เวลา t_1 มีขนาด 2.8 จะถูกแทนด้วยระดับ 3.0 หรือที่เวลาสัญญาณ t_2 สัญญาณสุ่มมีขนาด 6.2 จะถูกแทนด้วยระดับ 6.0 (ดูรูปที่ 2.4) ซึ่งเป็นการทำระดับของสัญญาณให้มีช่วงห่างที่แน่นอน เพื่อให้สามารถนำไปแปลงเป็นรหัสฐานสองที่สอดคล้องกับแต่ละระดับ สัญญาณ PAM ที่ถูกแปลงเป็นตัวเลขแล้วจะเป็นค่าประมาณของสัญญาณอนาล็อก ดังนั้นจึงทำให้เกิดมีค่าผิดพลาดระหว่างสัญญาณทั้งสองทาง ขนาดของแอมพลิจูด ค่าผิดพลาดนี้เรียกว่าสัญญาณรบกวนจากการแปลงเป็นตัวเลข (quantizing noise) หรือการผิดเพี้ยนจากการแปลงเป็นตัวเลข (quantizing distortion) (ดูรูปที่ 2.5) ขนาดของสัญญาณรบกวนจากการแปลงเป็นตัวเลขจะกระจายสม่ำเสมอในระหว่างช่วงของตัวเลขและไม่ขึ้นกับแอมพลิจูดของสัญญาณอนาล็อก นั่นคือระดับกำลังงานของสัญญาณรบกวนจากการแปลงเป็นตัวเลขนั้นค่อนข้างจะคงที่และเป็นอิสระจากระดับกำลังงานของสัญญาณอนาล็อก จะเห็นได้ว่าสัญญาณรบกวนจากการแปลงเป็นตัวเลขนี้เป็นสิ่งที่ไม่สามารถเลี่ยงได้ แต่สามารถทำให้ลดลงเพื่อรักษาคุณภาพของเสียง (เช่น ความชัดเจน)



รูปที่ 2.4 การแปลงสัญญาณ PAM ให้เป็นตัวเลข

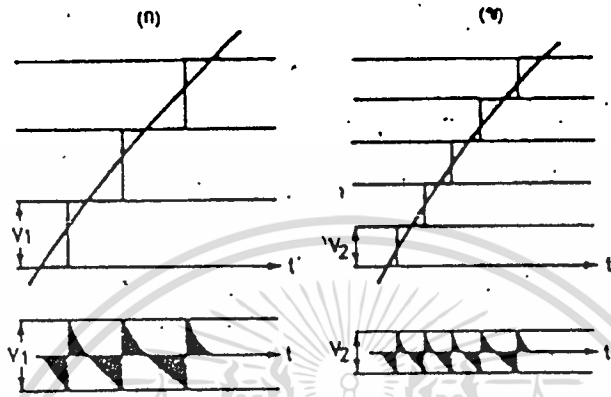
สัญญาณรบกวนจากการแปลงเป็นตัวเลข (ความผิดเพี้ยนจากการแปลงเป็นตัวเลข)



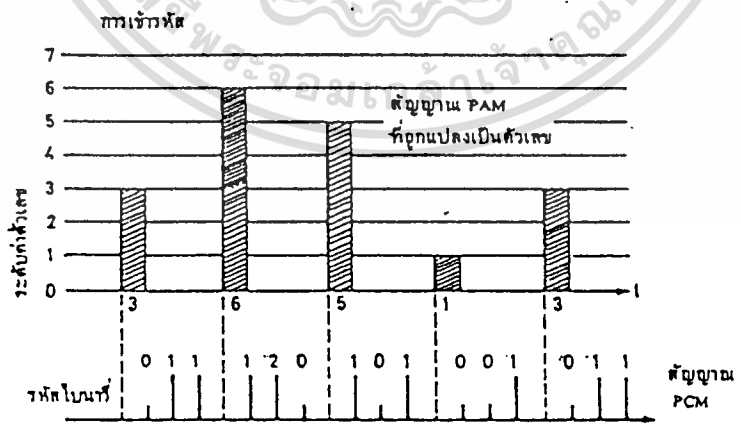
รูปที่ 2.5 สัญญาณรบกวนที่เกิดขึ้นจากการแปลงตัวเลข

ด้วยเหตุผลที่ว่าแอมพลิจูดของสัญญาณรบกวนจากการแปลงเป็นตัวเลขไม่มีทางเกินกว่าช่วงของตัวเลข ดังนั้นสัญญาณรบกวนจากการแปลงเป็นตัวเลขในรูปที่ 2.6 ก จึงน้อยกว่าในรูปที่ 2.6 ข หากเรากำหนดให้ช่วงของตัวเลขมีช่วงเล็กพอเพียงแล้ว สัญญาณรบกวนจากการแปลงเป็นตัวเลขก็จะสามารถลดลงสู่ระดับที่เหมาะสมได้

หลังจากผ่านการแปลงเป็นตัวเลขแล้ว สัญญาณ PAM ที่ได้จะนำไปเข้ารหัสโดยเปลี่ยนเป็นรหัสฐานสอง จากรูปที่ 2.7 แต่ละค่าที่ผ่านการแปลงเป็นตัวเลขแล้วจะถูกแปลงเป็นเลขฐานสอง สัญญาณที่ได้นี้เรียกว่า สัญญาณ PCM (Pulse Code Modulation) ระดับค่าตัวเลขจะถูกกำหนดโดยจำนวนบิตของเลขฐานสองของแต่ละค่า เช่น ถ้าใช้ N บิตในการเข้ารหัสต่อหนึ่งค่าจะได้จำนวนค่าตัวเลขเท่ากับ 2^N ระดับ ซึ่งทาง CCITT แนะนำให้ใช้การเข้ารหัส 8 บิตต่อหนึ่งค่า หรือให้มีระดับของค่าตัวเลขเท่ากับ $2^8 = 256$ ระดับ



รูปที่ 2.6 ความสัมพันธ์ระหว่างช่วงตัวเลขกับสัญญาณรบกวนจากการแปลงเป็นตัวเลข

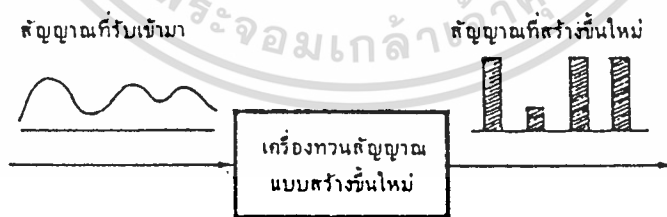


รูปที่ 2.7 การนำสัญญาณ PAM มาเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากทฤษฎีสายส่งสัญญาณทำให้เราทราบว่าหากทำการส่งสัญญาณ PCM ไปตามสายส่งสัญญาณ จะเกิดการบิดเบี้ยวของสัญญาณได้เนื่องจากสัญญาณรบกวน, การแทรกสอด (interference) ระหว่างทาง และการตอบสนองทางความถี่ (frequency response) ของสายส่งซึ่งมีการรบกวนมากสำหรับสัญญาณความถี่สูงและลดทอนน้อยสำหรับสัญญาณความถี่ต่ำ เนื่องจากค่าของตัวเหนี่ยวนำและตัวเก็บประจุที่กระจายอยู่ในสายส่ง จะประพฤติตัวเป็นวงจรกรองผ่านสัญญาณ ความถี่ต่ำ ทำให้สัญญาณ PCM บิดเบี้ยวรูปทรงไปแต่ปัญหานี้ได้ถูกแก้ไขโดยการสร้างสัญญาณ PCM ขึ้นใหม่ที่ด้านรับ ตราบใดที่เครื่องรับยังสามารถตัดสินใจได้อย่างถูกต้องว่า สัญญาณเพี้ยนที่ได้รับนั้นเป็นบิตค่า 0 หรือ ค่า 1

หากต้องการส่งสัญญาณ PCM ไปในระยะทางไกลๆ โดยไม่ใช่โมเด็มก็จะต้องมีอุปกรณ์ทวนสัญญาณเรียกว่า เครื่องทวนสัญญาณแบบสร้างขึ้นมาใหม่ (regenerative repeater) ซึ่งจะสร้างสัญญาณ PCM ที่บิดเบี้ยวไปขึ้นมาใหม่และทำการส่งต่อไปยังเครื่องรับหรืออุปกรณ์ทวนสัญญาณอีกตัวหนึ่ง(ดังในรูปที่ 2.8) จะเห็นได้ว่าเราสามารถที่จะกำจัดผลของสัญญาณรบกวน, การแทรกสอดและการบิดเบี้ยวรูปทรงเนื่องจากผลตอบสนองทางความถี่ของสายส่งลงได้ ดังนั้นการส่งสัญญาณระบบดิจิทัลจะไม่มีการสะสมผลของสัญญาณรบกวน และสัญญาณแทรกสอด ดังเช่นที่พบเห็นในการส่งสัญญาณระบบอนาลอก ซึ่งเป็นข้อดีที่เห็นได้ชัดของระบบดิจิทัลที่เหนือระบบอนาลอก

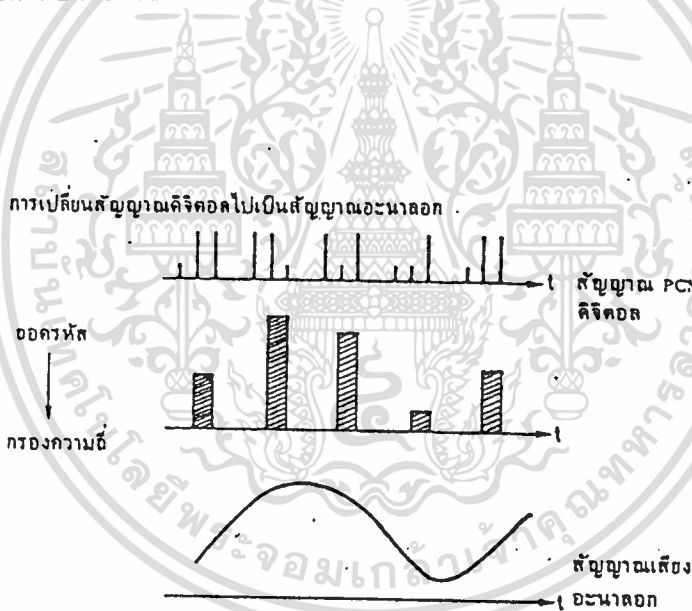


รูปที่ 2.8 ระบบทวนสัญญาณแบบสร้างขึ้นมาใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้านรับเมื่อเครื่องรับได้สัญญาณดิจิทัล PCM ก็จะถูกแปลงกลับไปเป็นสัญญาณอนาลอก (ดูในรูปที่ 2.9) โดยผ่านขั้นตอนการถอดรหัส และการกรองสัญญาณซึ่งเรียกขั้นตอนทั้งสองรวมกันว่า การเปลี่ยนสัญญาณดิจิทัลไปเป็นสัญญาณอนาลอก (D/A conversion)

การถอดรหัสนั้นก็ตรงข้ามกับการเข้ารหัส (ดูรูปที่-2.9) โดยเริ่มต้นจากรหัสฐานสองที่มาจากเครื่องรับสัญญาณ PCM จะถูกนำมาคำนวณและสร้างเป็นระดับค่าตัวเลขและสัญญาณสุ่มค่าจะถูกสร้างขึ้นมาใหม่ ซึ่งสอดคล้องกับระดับที่คำนวณได้จากข้อมูลฐาน 2 ที่ได้รับนี้สัญญาณ PCM ที่ถูกแปลงเป็นตัวเลขแล้ว ด้านส่งก็จะถูกสร้างขึ้นมาใหม่ที่ด้านรับ ซึ่งสัญญาณที่ได้ก็ยังคงมีสัญญาณรบกวนจากการแปลงเป็นตัวเลขเช่นเดียวกับทางด้านส่ง สัญญาณ PCM ที่สร้างขึ้นใหม่ที่ด้านรับก็จะถูกส่งผ่านไปยังวงจรกรองผ่านความถี่ต่ำ ก็จะได้สัญญาณเสียงอนาลอกต่อเนื่องตามแกนเวลา



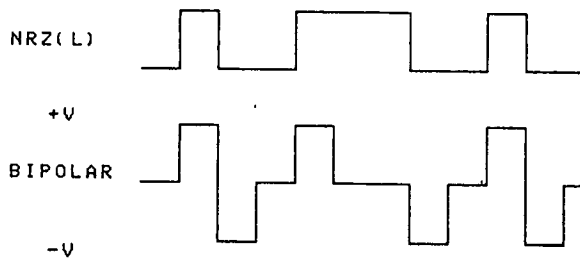
รูปที่ 2.9 การแปลงสัญญาณดิจิทัลไปเป็นสัญญาณอนาลอก

2.2 หลักการของการสื่อสารข้อมูล แบบ Frame Synchronization

จากหลักการของระบบ TDM. ซึ่งทางด้านส่งและด้านรับจะต้องมีการเปลี่ยนตำแหน่ง ของช่องสัญญาณอย่างถูกต้องพร้อม ๆ กัน ดังนั้น จึงต้องมีการจัดการให้ทางด้านรับ สามารถตรวจสอบและตัดสินใจได้ว่าข้อมูลที่รับได้ อยู่ตรงส่วนไหนของขบวนการสัญญาณข้อมูล จุดไหนเป็นจุดเริ่มต้นของขบวนการสัญญาณ จุดไหนเป็นจุดสุดท้ายของขบวนการสัญญาณ โดยการสร้างสัญญาณ Frame Synchronized Code แทรกลงไปในขบวนการของสัญญาณข้อมูล เพื่อเป็นจุดสังเกตให้กับทางด้านรับ ซึ่งส่วนใหญ่แล้วแทรกกลงไปในจุดเริ่มต้น หรือจุดสุดท้ายของขบวนการสัญญาณ เช่น สัญญาณ SOF. หรือ Start of Frame จะเป็นตัวบอกจุดเริ่มต้นขบวนการสัญญาณ ทางด้านรับเมื่อเห็นสัญญาณนี้ก็จะรู้ได้ทันทีว่าข้อมูลชุดต่อจากสัญญาณ SOF. นี้จะเป็นข้อมูลของช่องสัญญาณที่หนึ่ง ส่วน EOF.(End of Frame) ก็จะต้องเป็นสัญญาณที่บอกให้รู้ว่า ขณะนี้การส่งสัญญาณข้อมูลของขบวนการสัญญาณนี้สิ้นสุดลงแล้วและจะรอรับ SOF. ของขบวนการสัญญาณใหม่ต่อไป

2.3 หลักการส่งสัญญาณผ่านสายนำสัญญาณ (Coaxial Cable)

จากทฤษฎีของสายส่งสัญญาณที่เราทราบกันดีอยู่แล้วว่า หากเรานำสัญญาณ PCM. ส่งไปตามสายนำสัญญาณโดยตรงจะเกิดการผิดเพี้ยนของรูปร่างสัญญาณ อันเป็นผลมาจากสัญญาณรบกวน (Noise) การสอดแทรก (Interference) การตอบสนองต่อความถี่ (Frequency Response) เนื่องจากค่าของความต้านทาน, ความเหนี่ยวนำ และตัวเก็บประจุที่กระจายอยู่ทั่วไปในสายนำสัญญาณ ทำให้ไม่สามารถส่งสัญญาณในระยะทางไกล ๆ ได้ เพื่อเป็นการแก้ปัญหา เหล่านี้หรือทำให้มีผลต่อการรับส่งสัญญาณน้อยที่สุด จึงใช้วิธีการเปลี่ยนสัญญาณแบบ NRZ (L) ธรรมดาเป็นการส่งด้วยพัลส์ขึ้นอยู่กับสัญญาณ NRZ(L) ที่ต้องการส่งดังรูปที่ 2.10



จากรูป 2.10 สังเกตได้ว่า จะมีการสร้างพัลส์ เฉพาะในขณะนี้ที่มีการเปลี่ยนสถานะ ของสัญญาณจาก High เป็น Low หรือจาก Low เป็น High เท่านั้น ความกว้างของพัลส์จะคงที่ตลอด มีการเปลี่ยนแปลงเฉพาะระยะห่างของพัลส์เท่านั้น และใช้สัญญาณแบบ 2 ขั้ว (Bipolar Signal) โดยเมื่อข้อมูลเปลี่ยนจาก Low เป็น High จะเป็นพัลส์ บวก ขณะที่เปลี่ยนจาก High เป็น Low จะเป็นพัลส์ลบ จากการใช้วิธีนี้จะทำให้ใช้หม้อแปลงเป็นตัวส่งและรับสัญญาณได้อย่างดี และเป็นการแยกระบบวงจรทางไฟฟ้าออกจากกันโดยเด็ดขาด ทำให้ไม่มีปัญหาเรื่องของระดับสัญญาณอ้างอิง หรือระบบกราวด์ที่แตกต่างกันได้

2.5 คุณสมบัติของเส้นใยแสง

เส้นใยแสงคืออะไร

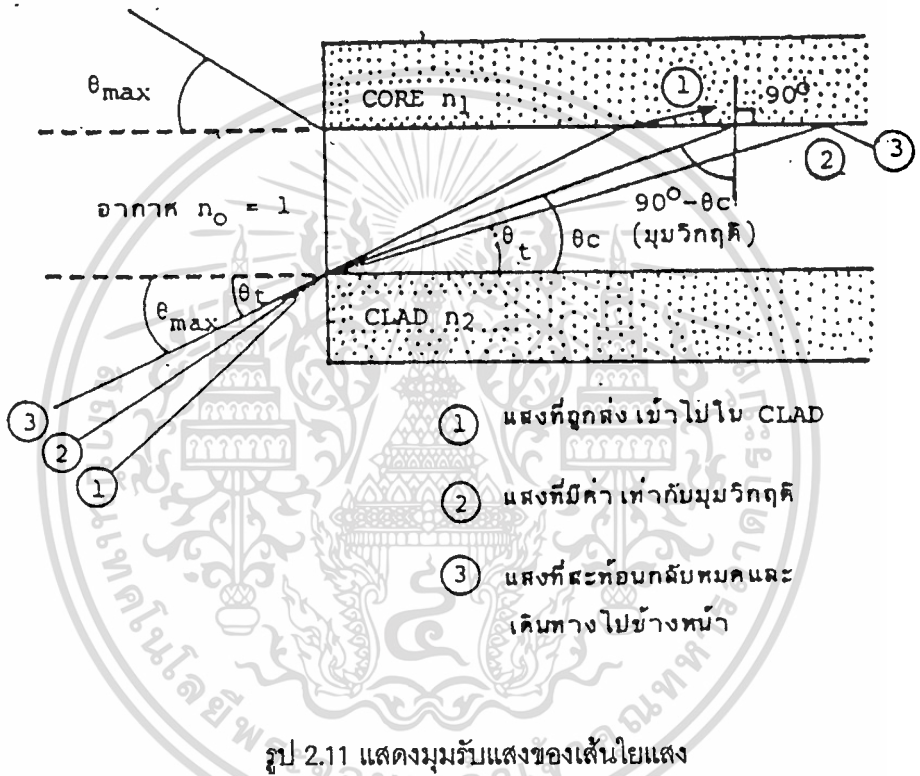
เส้นใยแสงคือ เส้นใยขนาดเล็กที่ทำหน้าที่เป็นตัวนำแสง โครงสร้างของเส้นใยแสงประกอบด้วย ส่วนที่แสงเดินทางผ่านเรียกว่าคอร์ (CORE) และส่วนที่หุ้มคอร์อยู่เรียกว่า แคล็ด (CLAD) ทั้งคอร์และแคล็ดเป็นไดอิเล็กตริก (DIELECTRIC) ใส 2 ชนิด ไดอิเล็กตริกหมายถึงสารที่ไม่เป็นตัวนำไฟฟ้า เช่น แก้ว พลาสติก โดยการทำให้ค่าดัชนีการหักเหของแคล็ดมีค่าน้อยกว่าค่าดัชนีการหักเหของคอร์เล็กน้อยประมาณ 0.2-3 % และอาศัยปรากฏการณ์สะท้อนกลับหมดของแสงสามารถทำให้แสงที่ป้อนเข้าไปในคอร์เดินทางไปได้ นอกจากนี้เนื่องจากกล่าวกันว่าเส้นใยแสงมีขนาดเล็กมากขนาดเท่าเส้นผมนั่น หมายถึงขนาดเส้นผ่าศูนย์กลางด้านนอกของแคล็ดซึ่งมีขนาดประมาณ 0.1 มม. ส่วนคอร์ที่แสงเดินทางผ่านนั้นมีขนาดเล็กลงไปอีก คือประมาณหลายไมโครเมตรถึงหลายสิบลไมโครเมตร ซึ่งมีค่าหลายเท่าถึงหลายสิบเท่าของความยาวคลื่นของแสงที่ใช้งานค่าต่างๆ เหล่านี้เป็นค่าที่กำหนดขึ้นจากคุณสมบัติการส่ง และคุณสมบัติทางเมคคานิกส์ที่ต้องการเส้นใยแสงนอกจากมีคุณสมบัติการส่งดีเยี่ยมแล้ว ยังมีลักษณะเด่นอย่างอื่นอีก เช่นขนาดเล็ก น้ำหนักเบาอีกด้วย

2.5.1 ลักษณะการเดินทางของแสงภายในเส้นใยแสง

ปัญหาอันดับแรกที่ต้องคำนึงถึงก็คือ ทำอย่างไรจึงจะสามารถป้อนแสงเข้าไปในคอร์ที่มีขนาดเล็กมากของเส้นใยแสงได้ และเมื่อป้อนแสงเข้าไปแล้วแสงนั้นจะเดินทางอย่างไรในคอร์ซึ่งเราจะทำการศึกษถึงปัญหาพื้นฐานเหล่านี้

2.5.2 การป้อนแสงเข้าไปในเส้นใยแสง

เนื่องจากว่าแสงที่ปล่อยออกมาจากแหล่งกำเนิดแสงนั้นจะกระจายกว้างออกเนื่องจากปรากฏการณ์การเบี่ยงเบนของแสงตามที่ได้กล่าวมาแล้วในการที่จะป้อนแสงเข้าไปในคอร์ ที่มีขนาดเล็กของเส้นใยแสงจากรูปจะเห็นว่าที่จุดป้อนแสงของเส้นใยแสงนั้นจะเป็นจุดต่อของตัวกลางที่มีค่าดัชนีการหักเหของแสงต่างกัน 3 ชนิด



ตัวกลางทั้ง 3 ชนิดนี้คืออากาศคอร์ของเส้นใยแสงและเคลือบของเส้นใยแสงถ้าให้ค่าดัชนีการหักเหของแสงของตัวกลางทั้ง 3 ชนิดเป็น n_0 ($n_0 = 1$), n_1 และ n_2 ตามลำดับ จะเกิดการหักเห การสะท้อนกลับของแสงที่รอยต่อของอากาศกับคอร์ และคอร์กับเคลือบในที่นี้ให้มุมรับแสงของเส้นใยแสงที่มีค่ามากที่สุดเป็น θ_{max} จากรูป 2.11 จะเห็นตัวอย่างเช่นลำแสง 2 นั้นมุมรับแสงตรงรอยต่อของคอร์กับเคลือบนั้นมีค่าเป็นมุมวิกฤต (CRITICAL ANGLE) ตรงรอยต่อของอากาศกับคอร์ และของคอร์กับเคลือบ นั้นจากกฎของสเนลล์ (SNELL) จะได้ว่า

$$\sin \theta_{\max} = n_1 \sin \theta_c \quad \text{---(1)}$$

$$\sin (90^\circ - \theta_c) = \cos \theta_c = n_2/n_1 \quad \text{---(2)}$$

ดังนั้นกรณีที่มีมุมรับแสง θ_{\max} มีค่าสูงสุดได้นั้น $n_1 = n_2$ จากสมการ (1) และ (2) จะได้ว่า

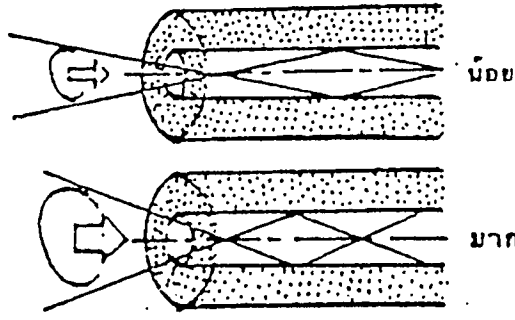
$$\sin \theta_{\max} = \sqrt{(n_1^2 - n_2^2)/n_1^2} = n_1 \sqrt{2\Delta} \quad \text{---(3)}$$

ในที่นี้

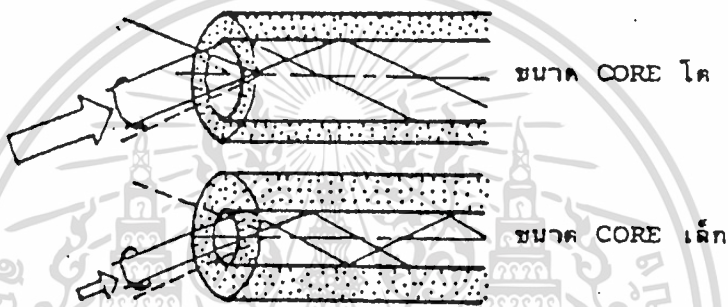
$$\Delta = (n_1 - n_2)/n_1$$

Δ เรียกว่า อัตราส่วนของผลต่างของดัชนีการหักเหของแสง

สำหรับ $\sin \theta_{\max}$ นี้ตามศัพท์เทคนิคของวิชาแสงเรียกว่าอะเพอร์เจอร์เชิงตัวเลข (NUMERICAL APERTURE เขียนย่อว่า "NA") หมายถึงขนาดของการเปิดรับให้แสงผ่าน และใช้เป็นตัวเลขแสดงเงื่อนไขการป้อนแสงเข้าไปในเส้นใยแสง นอกจากนั้นยังถือเป็นตัวประกอบพื้นฐานอันหนึ่งที่มีผลต่อ ประสิทธิภาพการเชื่อมต่อแสงระหว่างต้นกำเนิดแสงกับเส้นใยแสงด้วย ยกตัวอย่างเช่นสมมติว่าเส้นใยแสงมี $n_1 = 1.475$ และ $n_2 = 1.46$ (ค่าอัตราส่วนผลต่างของดัชนีการหักเหของแสง = 1%) ในกรณีนี้มีค่า NA = 0.21 รูป 2.23 แสดงความหมายของ NA และขนาดของคอร์ที่มีผลต่อประสิทธิภาพการเชื่อมต่อแสงระหว่างต้นกำเนิดแสงกับเส้นใยแสงจากรูปจะเห็นว่าถ้าหากขนาดของคอร์และ NA มีค่าคงที่แล้วจะกำหนดปริมาณของแสงที่ป้อนเข้าไปในคอร์ได้ทันทีที่เส้นใยแสงที่มีคอร์ขนาดใหญ่และมีค่า NA มากจะมีประสิทธิภาพการเชื่อมต่อแสงระหว่างต้นกำเนิดแสงกับเส้นใยแสงสูงมาก



(a) กรณีสมาศ CORE ใดเท่ากันแต่ค่า NA ต่างกัน

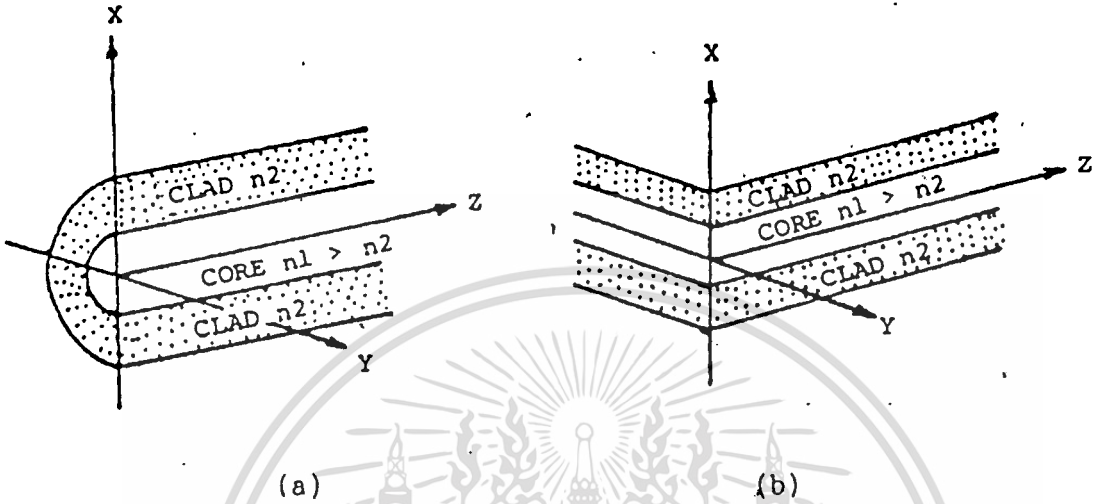


รูปที่ 2.12 แสดงผลของ NA และขนาดคอร์ที่มีผลต่อประสิทธิภาพ การเชื่อมต่อแสง

2.5.3 โหมดการเดินทางของแสงภายในเส้นใยแสง (PROPAGATION MODE)

แสงที่ป้อนเข้าไปในเส้นใยแสงด้วยค่าของมุมรับแสงที่อยู่ในช่วงของมุมรับแสงสูงสุดนั้น แสงจะเดินทางในเส้นใยแสงด้วยลักษณะที่เกิดการสะท้อนกลับไปมาตรงรอยต่อของคอร์กับแคสิด โดยที่สะท้อนกลับไปมาและเคลื่อนที่ไปข้างหน้าพร้อมกันด้วย แต่ทว่าจากอินเตอร์เฟอเรนซ์ของแสงภายในคอร์นั้นมุมสะท้อนกลับที่รอยต่อจะเกิดขึ้นได้ จำเป็นต้องมีเงื่อนไขที่เหมาะสมเกี่ยวกับเงื่อนไขที่เหมาะสมนี้จะได้กล่าวในหัวข้อต่อไปนี้ และเพื่อเป็นการช่วยให้เข้าใจได้ง่ายจะใช้เส้นใยแสงที่มีรูปร่างเป็นแผ่นแบนดังแสดงในรูปที่ 2.12(b)

แทนลักษณะเส้นใยแสงที่มีรูปร่างกลมดังรูปที่ 2.12(a) และอีกอย่างหนึ่งเพื่อทำให้การอธิบายเกี่ยวกับสนามไฟฟ้าและสนามแม่เหล็กของแสงง่ายขึ้น จะพิจารณาเฉพาะสนามไฟฟ้าเท่านั้น



(a) ท่อนำคลื่นแบบกลม (n_1, n_2 เป็นดัชนีการหักเห)
 (b) ท่อนำคลื่นแบบแผ่นแบน (n_1, n_2 เป็นดัชนีการหักเห)

รูปที่ 2.13 แสดงเส้นใยแสงแบบกลมและแบบระนาบแบน

(1) อินเตอร์เฟอเรนซ์ของแสงตกกระทบและแสงสะท้อนกลับ

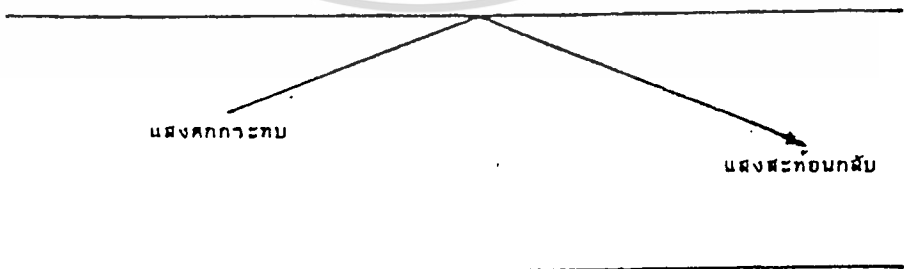
แสงที่สะท้อนกลับตรงรอยต่อของตัวกลางแสดงด้วยลำแสงดังรูปที่ 2.13(a) และลำแสงนี้เป็นเสมือนตัวแทนของทิศทางเดินของแสงที่สนามไฟฟ้าของมันมีการเปลี่ยนแปลงตามจุดต่างๆ ในคอร์ของเส้นใยแสงรูปที่ 2.13(b) แสดงการพิจารณาถึงระนาบที่มีเฟสเหมือนกันของสนามไฟฟ้าซึ่งระนาบที่มีเฟสเหมือนกันของแสงตกกระทบและของแสงสะท้อนกลับจะซ้อนกันเป็นไปตามปรากฏการณ์ของการเกิดคลื่นอยู่กับที่) ดังนั้นแสงตกกระทบและแสงสะท้อนกลับเกิดการอินเตอร์เฟอเรนซ์กันที่จุดต่างๆ ในคอร์

(2) เงื่อนไขที่รอยต่อของตัวกลาง

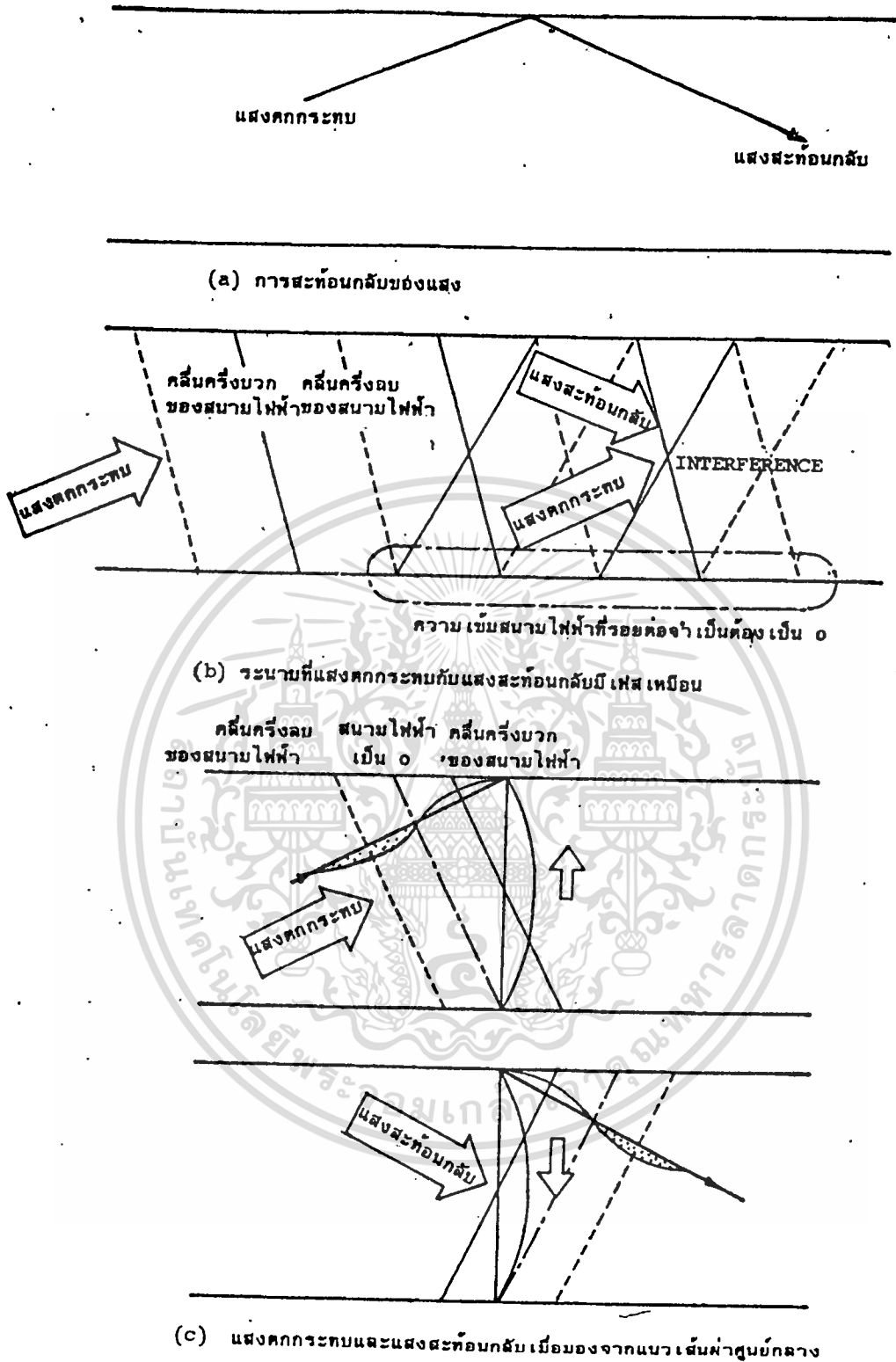
แสงที่สะท้อนกลับหมดที่รอยต่อของตัวกลางพร้อมทั้งเดินทางไปด้วยนั้นสนามไฟฟ้าของแสงจำเป็นต้องอยู่ภายในคอร์ด้วย ดังนั้นที่รอยต่อของตัวกลาง ความเข้มของสนามไฟฟ้าที่เกิดจากการอินเตอร์เฟอเรนซ์ของแสงตกกระทบและแสงสะท้อนกลับจะต้องเป็น 0 ด้วย แต่เนื่องจากเส้นใยแสงที่ผลิตขึ้นมา นั้น $n_1 = n_2$ ดังนั้นจะมีสนามไฟฟ้าจำนวนหนึ่งปรากฏที่เคล็ดด้วยเหมือนกันแต่สำหรับในที่นี้เพื่อให้การอธิบายวงายขึ้นจะสมมุติว่าสนามไฟฟ้าที่เคล็ดเป็น 0

(3) คลื่นอยู่กับที่ในทิศทางของรัศมี

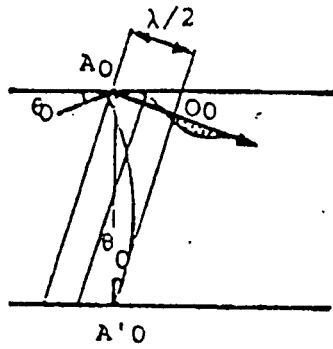
เพื่อให้เงื่อนไขที่รอยต่อของตัวกลางที่กล่าวแล้วใน(2) เป็นจริงได้นั้นจำเป็นต้องมีคลื่นอยู่กับที่ซึ่งเกิดจากการอินเตอร์เฟอเรนซ์ของแสงตกกระทบกับแสงสะท้อนกลับ ในทิศทางของรัศมีรูปที่ 2.14(c) เป็นรูปที่แสดงการเปลี่ยนแปลงทางเฟสของความเข้มของสนามไฟฟ้า ตามการเดินทางของแสงตกกระทบและแสงสะท้อนกลับ ซึ่งมองในทิศทางรัศมี และจะเห็นว่าการซ้อนกันของคลื่นที่มีทิศทางสวนกัน ปรากฏการณ์นี้เหมือนกันกับปรากฏการณ์ที่เกิดคลื่นอยู่กับที่ในเชือกที่ตรึงปลายทั้งสองเอาไว้ดังนั้นในระหว่างที่แสงเดินทางเป็นระยะทางเป็นจำนวนเท่าของเลขเต็มหน่วยของครึ่งความยาวคลื่นดังแสดงในรูปที่ 2.14(a) และ (c) นั้น จะเกิดคลื่นอยู่กับที่ในทิศทางของรัศมีในกรณีที่แสงมีมุมสะท้อนกลับมีค่าเป็นจำนวนเท่าของเลขเต็มหน่วยของมุม 180° ของความเข้มไฟฟ้าตามทิศทางของรัศมี ส่วนรูปที่ 2.14(b) นั้นเป็นกรณีตรงกันข้ามกล่าวคือแสงที่มีมุมสะท้อนกลับมีค่า $0 < \theta < 180^\circ$ จะไม่เกิดคลื่นอยู่กับที่ในทิศทางของรัศมี ตามที่กล่าวมาแล้วนี้สามารถสรุปได้ว่ามุมสะท้อนกลับของแสงที่เดินทางไปได้ภายในเส้นใยแสงนั้น มีค่าจำกัดเป็นพิเศษเฉพาะบางค่าเท่านั้น



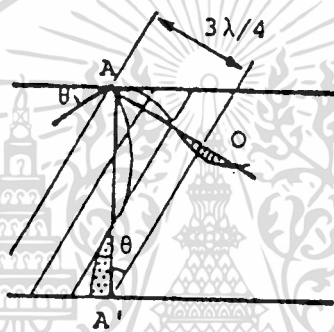
รูปที่ 2.14 แสดงการสะท้อนกลับของแสงที่รอยต่อของตัวกลาง



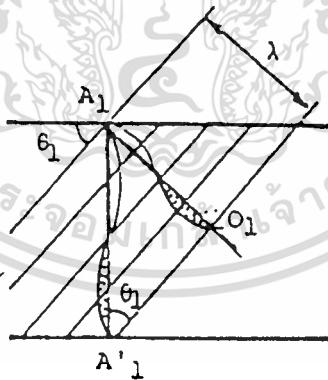
รูปที่ 2.15 แสดงการสะท้อนกลับของแสงที่รอยต่อของตัวกลาง



(a) เมื่อแสงที่มีมุมสะท้อนกลับ O_0 เคลื่อนที่ไป $\lambda/2$ เฟสของความเข้มสนามไฟฟ้าระหว่าง A_0-A_0' จะเปลี่ยนไป 180°



(b) ไม่มีคลื่นจริงในแนวเส้นผ่านศูนย์กลาง

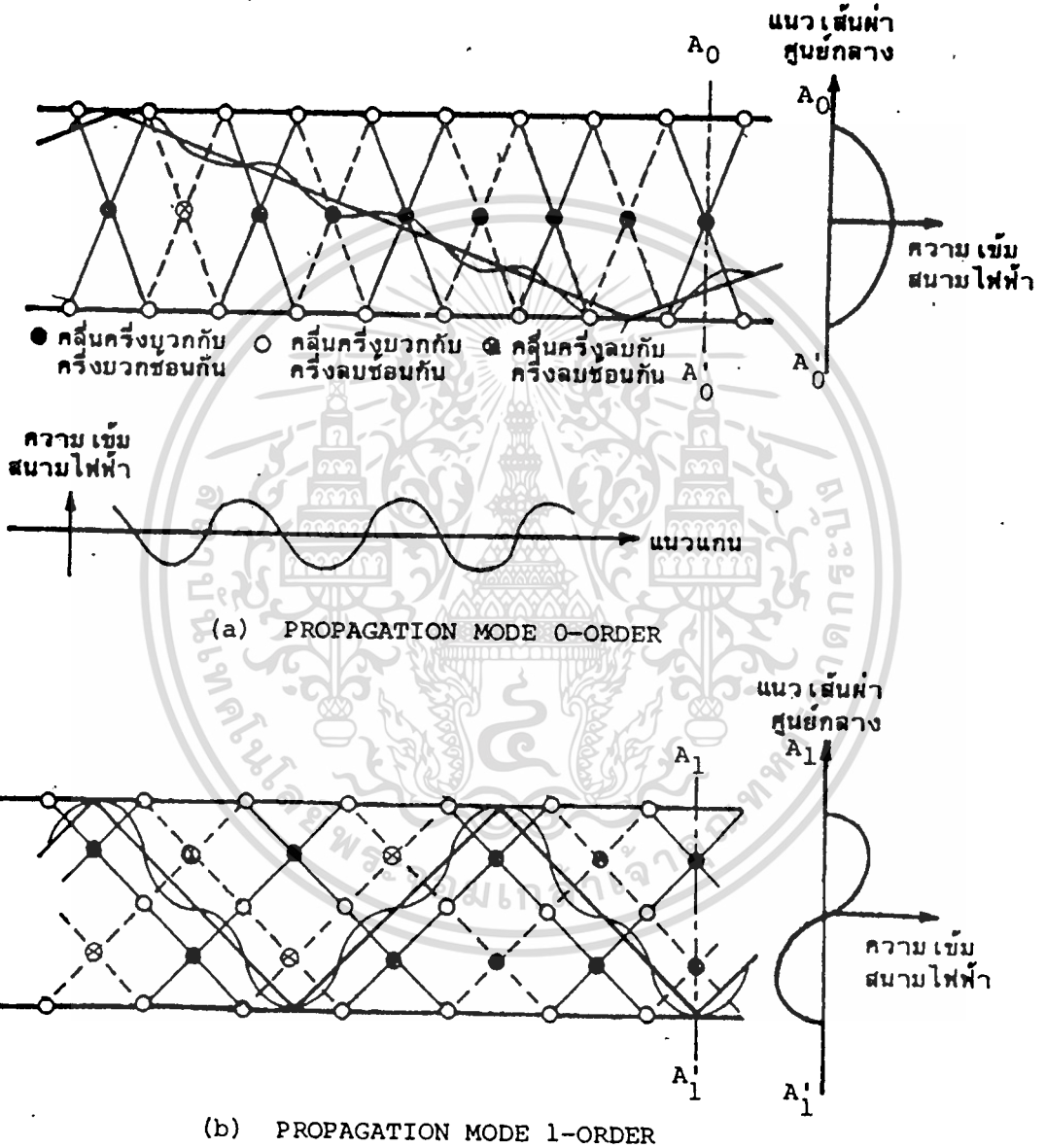


(c) เฟสของความเข้มสนามไฟฟ้าในแนวเส้นผ่านศูนย์กลาง

รูปที่ 2.16 แสดงมุมสะท้อนกลับของแสงที่ทำให้เกิดคลื่นอยู่กับที่ในทิศทางของรัศมี

4) โหมดการเดินทางของแสง

รูปที่ 2.17 แสดงลักษณะของความเข้มของสนามไฟฟ้าภายในคอร์ของเส้นใยแสงที่เกิดขึ้นจากการอินเตอร์เฟอเรนซ์ของแสงตกกระทบและแสงสะท้อนกลับเป็นพิเศษเฉพาะ



รูปที่ 2.17 แสดงการเดินทางของแสงโหมดภายในเส้นใยแสง

จากตัวอย่างทั้งสองของรูปที่ 2.17 จะเห็นได้ว่า เป็นการแสดงอินเตอร์เฟอเรนซ์ของแสงที่มีมุมสะท้อนกลับเป็นพิเศษเฉพาะซึ่งทำให้ความเข้มของสนามไฟฟ้าเปลี่ยนแปลง 180° , 360° ในทิศทางของรัศมี ลักษณะการเดินทางของแสงที่มีการเปลี่ยนแปลงของสนามไฟฟ้าเป็นพิเศษเฉพาะภายในคอร์ของเส้นใยแสงนี้เรียกว่า โหมดการเดินทางของแสง จำนวนโหมดของแสงภายในเส้นใยแสง มีค่าจำกัดตามเงื่อนไขของการสะท้อนกลับหมด และนิยมตั้งชื่อโหมดตามลำดับจากการเดินทางของแสงโหมด ที่มีค่ามุมสะท้อนกลับน้อยไปหามากคือ โหมด 0, โหมด 1, โหมด 2, โหมด (N - 1)

โหมดที่สูงที่สุดของการเดินทางของแสงโหมดคือ (N - 1) นั้นเป็นการเดินทางของแสงที่มีมุมสะท้อนกลับใกล้เคียงกับมุมวิกฤติ ดังนั้นถ้าหากให้การเดินทางโหมด N มีค่ามุมสะท้อนกลับเท่ากับมุมวิกฤติ θ_c

จากรูปที่ 2.16 จะได้ว่า N เป็นเลขเต็มหน่วยสูงสุดที่ทำให้

$$2a \sin \theta_c > N\lambda/2 \quad (\text{โดยที่ } N = 0, 1, \dots, N-1) \quad (4)$$

ในที่นี้ $2a$ เป็นขนาดเส้นผ่าศูนย์กลางของคอร์ ของเส้นใยแสงและจากหัวข้อ 2.2 จะได้ว่า

$$\sin \theta_c = \sin \theta_{\max}/n_1 = \sqrt{(n_1^2 - n_2^2)/n_1^2} \quad (5)$$

แต่เนื่องจาก

$$\lambda = \lambda_0/n_1$$

ดังนั้น

$$N \leq 4a/\lambda \sqrt{n_1^2 - n_2^2}$$

ตัวอย่าง เช่น เมื่อ $n_1 = 1.475$, $n_2 = 1.46$, $2a = 50$ ไมโครเมตร และความยาวคลื่นแสงที่ใช้มีค่า = 1.3 ไมโครเมตร จากสมการ (6) จะหาจำนวนโหมดการเดินทางได้ = 16 เส้นใยแสงที่มีจำนวนโหมดการเดินทางจำนวนมากอย่างนี้ เรียกว่ามัลติโหมด (MULTI MODE OPTIC FIBER)

อนึ่งถ้าให้ $n_1 = 1.463$, $n_2 = 1.46$, $2a = 10$ ไมโครเมตรและความยาวคลื่นแสงที่ใช้มีค่า $= 1.3$ ไมโครเมตรจะได้ $N = 1$ นั้นหมายความว่ามีการเดินทางของแสงโหมด 0 เท่านั้นที่เดินทางไปได้ในเส้นใยแสงและเส้นใยแสงที่มีการเดินทางของแสงโหมดเพียงอันเดียวเดินทางไปได้นั้นเรียกว่าโหมดเดี่ยว (SINGLE MODE)

จากสมการ (6) จะเห็นว่าจำนวนการเดินทางของแสงโหมด(N)ขึ้นอยู่กับความยาวคลื่นดังนั้นก็ค่าความยาวคลื่นค่าหนึ่ง N จะเป็นโหมดเดี่ยว และที่ค่าความยาวคลื่นอื่นซึ่งมีค่าน้อยกว่า ความยาวคลื่นนี้แล้ว N จะไม่เป็นโหมดเดี่ยวค่าความยาวคลื่นต่ำสุดที่ทำให้ N เป็นโหมดเดียวนี้เรียกว่า "CUT-OFF WAVE LENGTH" ใช้สัญลักษณ์ λ_c และจากสมการ (6) สามารถเขียนได้ว่า

$$\lambda_c = 4a \sqrt{n_1^2 - n_2^2} \quad (7)$$

เท่าที่กล่าวมาแล้วทั้งหมดตั้งแต่ต้น เป็นเรื่องเกี่ยวกับเส้นใยแสงที่สมมุติว่าเป็นแผ่นแบน แต่เส้นใยแสงที่ใช้งานจริงนั้นเป็นเส้นกลม ดังนั้นจึงต้องเปลี่ยนแปลงสมการ (7) ใหม่ดังนี้

$$\lambda_c = 2\pi/2.405 a \sqrt{n_1^2 - n_2^2} \quad (8)$$

สำหรับ λ_c นั้นถือเป็นองค์ประกอบสำคัญอันหนึ่งในการแสดงคุณสมบัติของเส้นใยแสงที่เป็นโหมดเดี่ยวยกตัวอย่างเช่นเมื่อเส้นใยแสงมี $n_1=1.463, n_2=1.46$, $2a = 10$ ไมโครเมตร จะได้ $\lambda_c = 1.22$ ไมโครเมตรแล้วการเดินทางของแสงโหมดจะไม่เป็นโหมดเดี่ยว

2.5.4 ชนิดของเส้นใยแสง

วิธีการแบ่งชนิดของเส้นใยแสงมีหลายวิธี กล่าวคือแบ่งตามชนิดของสารที่ใช้แบ่งตามจำนวนการเดินทางของแสงโหมด แบ่งตามลักษณะของดัชนีการหักเหของคอร์

(1) การแบ่งชนิดของเส้นใยแสงตามชนิดของไดโอดีเลกทริกที่ใช้สามารถแบ่งออกได้เป็น 3 ชนิดคือ

- (1) ไดโอดีเลกทริกที่เป็นซิลิกา
- (2) ไดโอดีเลกทริกที่เป็นแก้วหลายชนิดปนกัน
- (3) ไดโอดีเลกทริกที่เป็นพลาสติก

อนึ่งสำหรับเคเบิลเส้นใยแสงที่ใช้ในข่ายการสื่อสารโทรคมนาคม นิยมใช้แบบซิลิกาเพราะมีข้อดีคือ การสูญเสียต่ำและคุณสมบัติการส่งคงที่ไม่เปลี่ยนแปลง

(2) การแบ่งชนิดของเส้นใยแสงตามจำนวนโหมดของการเดินทางของแสง

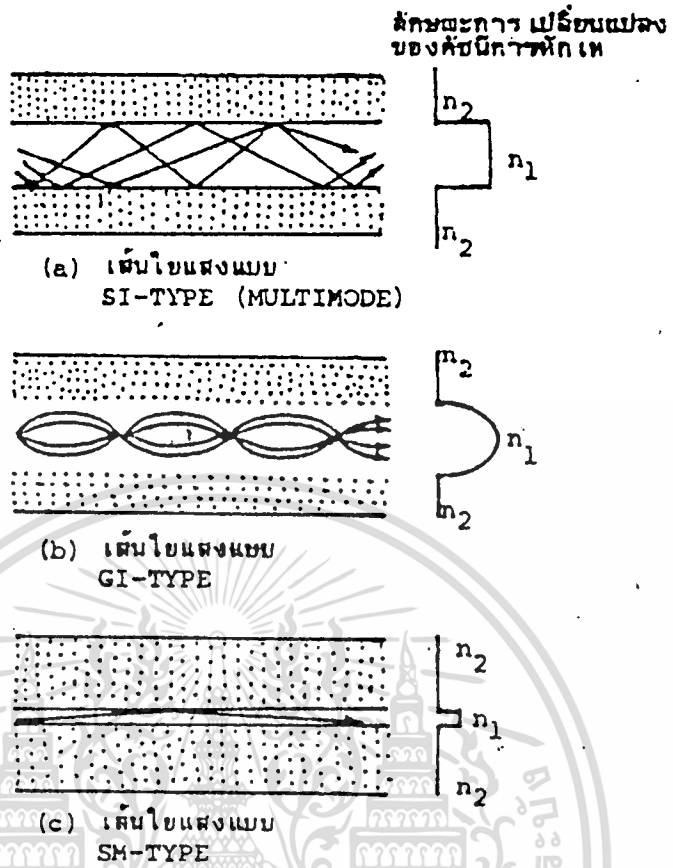
สามารถแบ่งออกได้เป็น 2 ชนิด คือ โหมดเดียว และอีกชนิดหนึ่งคือ มัลติโหมด

(3) การแบ่งชนิดของเส้นใยแสงตามลักษณะของดัชนีการหักเห

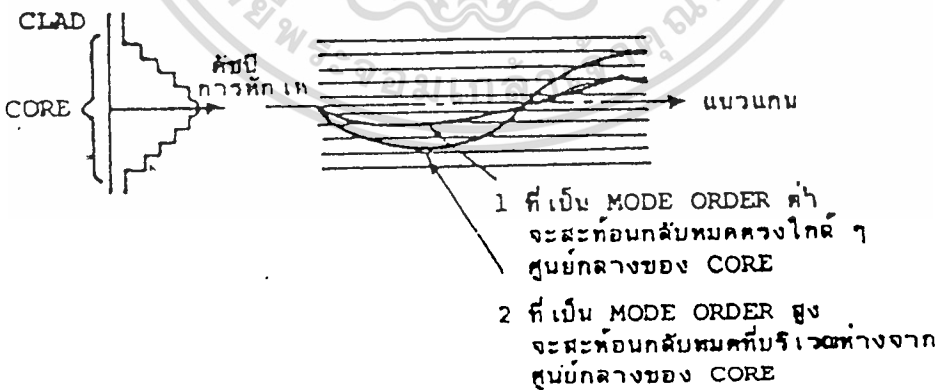
สามารถแบ่งออกได้เป็น 2 ชนิดตามลักษณะการเปลี่ยนแปลงของดัชนีการหักเหคือ

- (1) เส้นใยแสงที่มีลักษณะการเปลี่ยนแปลงของดัชนีการหักเหระหว่างคอร์กับแคลด์เป็นลักษณะขั้นบันได (STEP INDEX)
- (2) เส้นใยแสงที่มีลักษณะการเปลี่ยนแปลงของดัชนีการหักเหระหว่างคอร์กับแคลด์ค่อยๆ ลดลง ทีละน้อย (GRADED INDEX)

ลักษณะการเดินทางของแสงภายในคอร์ของเส้นใยแสงแต่ละชนิดแสดงดังรูปที่ 2.18



รูปที่ 2.18 แสดงลักษณะการเดินทางของแสงในคอร์ของเส้นใยแสงแต่ละชนิด



รูปที่ 2.19 แสดงลักษณะการเดินทางของแสงในเส้นใยแสงแบบดัชนีลาด

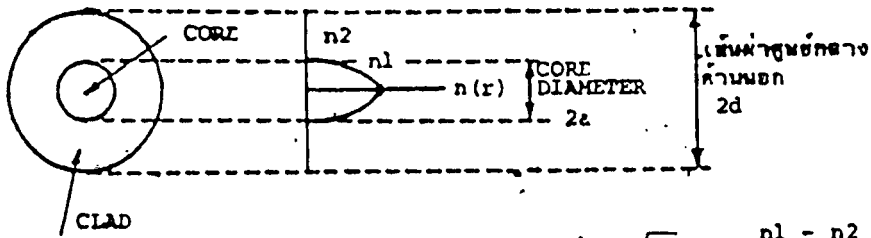
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.19 จะเห็นว่าค่าดัชนีการหักเหของเส้นใยแสงแบบดัชชีนัลลาดนี้จะค่อยๆ ลดลงทีละน้อยในแนวรัศมีของเส้นใยแสง ดังนั้นลำแสง (1) ที่มีโหมดต่ำและเดินทางในระยะทางสั้นนั้น จะสะท้อนกลับก่อนที่จะเดินทางไปถึงรอยต่อของคอร์และแคลด์ ซึ่งกล่าวได้ว่าส่วนใหญ่จะผ่านส่วนที่มีดัชชีนัลการหักเหสูงของคอร์ ส่วนลำแสงที่มีโหมดสูงและเดินทางในระยะทางไกลนั้น ส่วนใหญ่จะผ่านส่วนที่มีดัชชีนัลการหักเหต่ำของคอร์ หนึ่งความเร็วในการเดินทางของแสงนั้นจะเป็นสัดส่วนกลับกับค่าดัชชีนัลการหักเห ดังนั้นสำหรับการเดินทางโหมด (1) และ (2) นั้นโดยการเลือกลักษณะการเปลี่ยนแปลงของค่าดัชชีนัลการหักเหที่เหมาะสมที่สุด เพื่อให้ผลต่างของเวลาการเดินทางระหว่างโหมดต่างๆ มีค่าน้อยที่สุดได้นั้นกล่าวกันว่าจะต้องมีรูปร่างเป็นลักษณะพาราโบลา (PARABOLA) ดังนั้นลักษณะการเปลี่ยนแปลงของค่าดัชชีนัลการหักเหของเส้นใยแสงแบบดัชชีนัลจึงต้องทำให้มีรูปร่างดังแสดงในรูปที่ 2.19

2.5.5. โครงสร้างของเส้นใยแสง

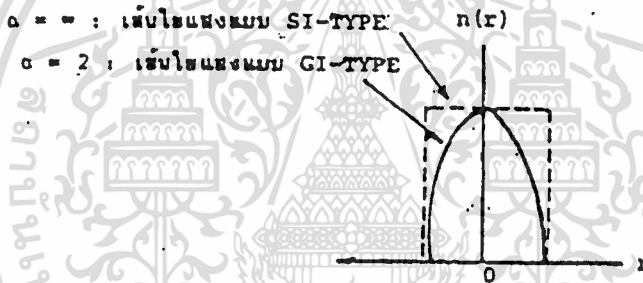
หนึ่งประกอบพื้นฐานที่กำหนดโครงสร้างของเส้นใยแสงคือเส้นผ่าศูนย์กลางของ คอร์, เส้นผ่าศูนย์กลางนอก (เส้นผ่าศูนย์กลางของแคลด์), อะแพอร์เจอร์เชิงตัวเลข และอื่นๆ องค์ประกอบเหล่านี้เรียกว่าเป็นพารามิเตอร์ทางโครงสร้างของเส้นใยแสงพารามิเตอร์ทางโครงสร้างเหล่านี้นอกจากมีผลต่อการสูญเสียเนื่องจากแบนวิดท์ของการส่ง, ความแข็งแรงทางเมคานิกและคุณสมบัติอื่นๆ ของเส้นใยแสงแล้วยังเป็นองค์ประกอบสำคัญสำหรับการเชื่อมต่อของเส้นใยแสงกับเส้นใยแสง หรือการต่อของเส้นใยแสงกับอุปกรณ์แสงอีกด้วย นอกจากนี้ยังมีพารามิเตอร์ ประกอบทางโครงสร้างเพิ่มเติมอีกได้แก่เปอร์เซ็นต์การคลาดเคลื่อนของศูนย์กลาง, อัตราความเพี้ยนของวงกลม สำหรับพารามิเตอร์ประกอบนี้จะไม่มีผลอะไรทางด้านคุณสมบัติการส่ง แต่ ทว่ามันจะมีผลอย่างมากต่อการสูญเสียของการต่อของเส้นใยแสง

ตัวอย่างเช่น ในการกำหนดโครงสร้างของเส้นใยแสงชนิดมัลติโหมด จะต้องอาศัย พารามิเตอร์ 4 อันคือ เส้นผ่าศูนย์กลางของคอร์, เส้นผ่าศูนย์กลางนอก, อะแพอร์เจอร์เชิง ตัวเลข และลักษณะของค่าดัชชีนัลการหักเห ดังแสดงในรูปที่ 2.20



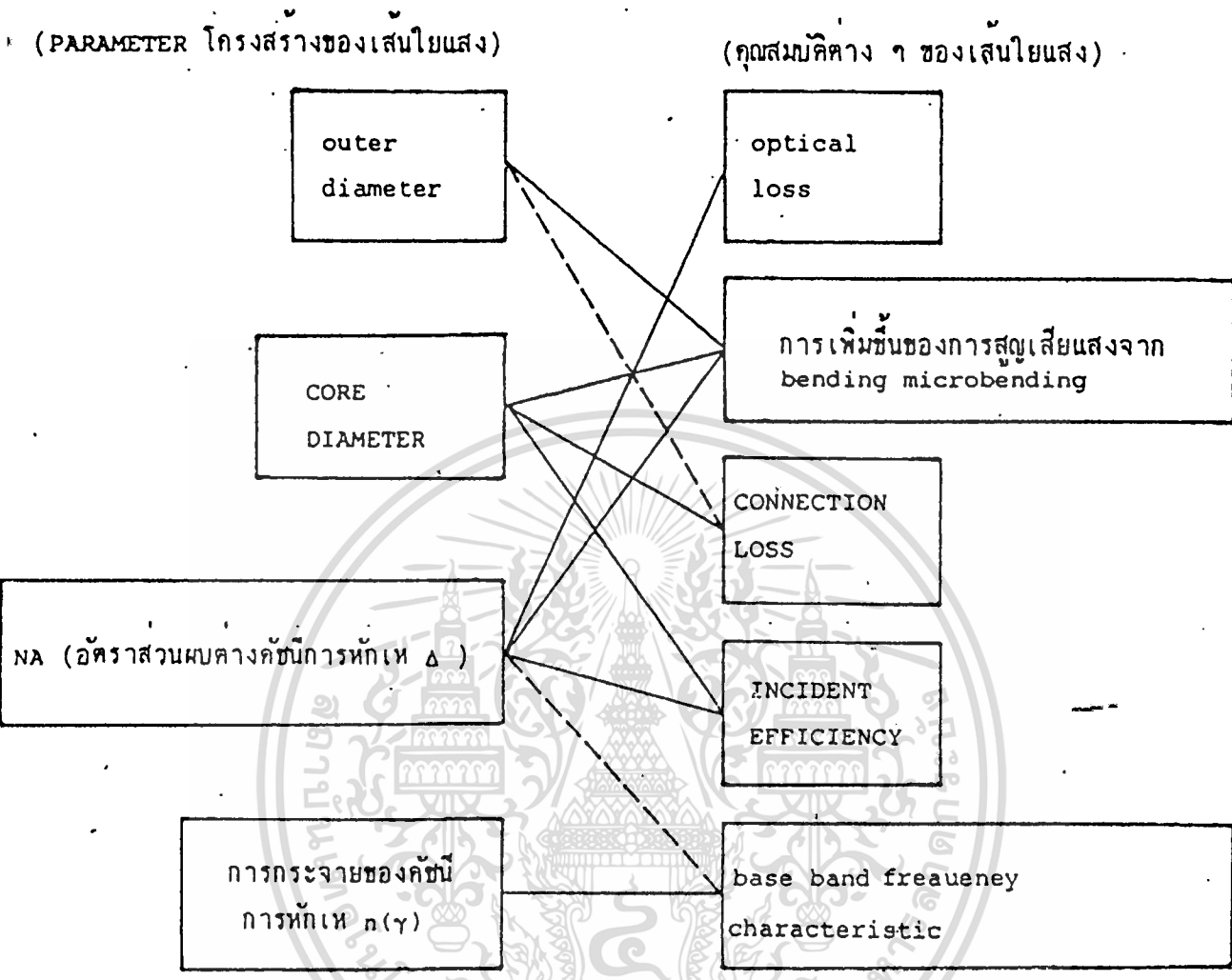
Numerical Aperture (NA) : $NA = n_1 \sqrt{2\Delta}$, $\Delta = \frac{n_1 - n_2}{n_1}$

Refracting Index Distribution : $n(r) = n_1 \{1 - 2\Delta (\frac{r}{a})^2\}^{1/2}$, $0 < r < a$



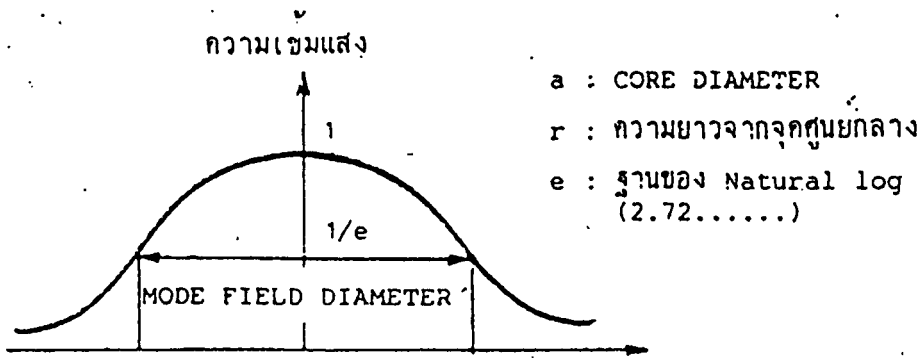
รูปที่ 2.20 แสดงพารามิเตอร์ทางโครงสร้างของมัลติโหมด

ในการกำหนดค่าต่างๆของพารามิเตอร์ทางโครงสร้างทั้ง 4 เหล่านี้ จำเป็นต้องคำนึงถึงผลพารามิเตอร์ทางโครงสร้างแต่ละอันที่มีต่อคุณสมบัติต่างๆ ของเส้นใยแสง การสร้างได้ง่ายและความประหยัด ดังแสดงในแผนผังของรูปที่ 2.21



รูปที่ 2.21 แสดงแผนผังคุณสมบัติต่าง ๆ ของพารามิเตอร์
ทางโครงสร้างของเส้นใยแสง

สำหรับโครงสร้างของเส้นใยแสงโหมดเดียวจะกำหนดจาก พารามิเตอร์ 3 อันคือ เส้นผ่าศูนย์กลางของโหมดฟิลด์, เส้นผ่าศูนย์กลางนอก และ ความยาวคลื่นสูงสุด ซึ่งต่างกับกรณีของมัลติโหมดที่กล่าวมาแล้วสาเหตุที่ใช้เส้นผ่าศูนย์กลางของโหมดฟิลด์เป็นพารามิเตอร์ทางโครงสร้างของโหมดเดียวแทนการใช้เส้นผ่าศูนย์กลางของคอร์นั้น ก็คือว่าเส้นผ่าศูนย์กลางของโหมดฟิลด์มีค่ามากดังแสดงในรูปที่ 2.22



รูปที่ 2.22 แสดงเส้นผ่าศูนย์กลางของโหมดฟิลด์

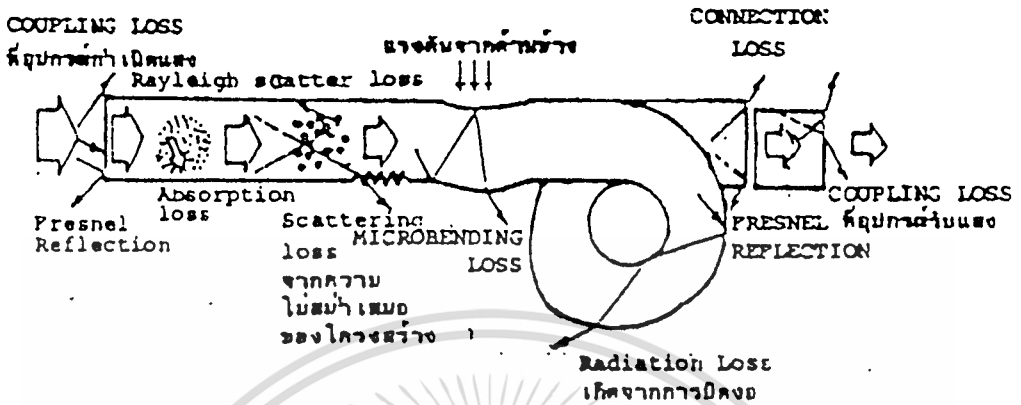
กล่าวคือเป็นค่าเส้นผ่าศูนย์กลางตรงจุดที่ความเข้มของแสงลดลงเป็น $1/e$ (e ในที่นี้มีค่า 2.71828) ของค่าสูงสุด (คือค่าตรงจุดศูนย์กลางของคอร์) และค่าของเส้นผ่าศูนย์กลางของคอร์ ของเส้นใยแสงโหมดเดี่ยวมีค่าน้อยยิ่งกว่านั้น อัตราส่วนของผลต่างของค่าดัชนีการหักเหก็มีค่าน้อยด้วยทำให้เป็นการยากที่จะบ่งบอกส่วนที่เป็นรอยต่อของคอร์กับแคล์ดได้ชัดเจน

2.5.6. คุณสมบัติต่าง ๆ ของเส้นใยแสง

การสูญเสียแสงในเส้นใยแสง

ในระบบการสื่อสารด้วยเส้นใยแสงมีองค์ประกอบสำคัญ 2 อันที่จะกำหนดความเร็วในการส่งและระยะห่างของการถ่ายทอดสัญญาณองค์ประกอบเหล่านั้นคือการสูญเสียแสงกับแบนด์วิดท์ ของการส่ง การสูญเสียแสงเป็นตัวบอกให้ทราบว่า กำลังของแสงที่เดินทางไปในเส้นใยแสงนั้นจะลดลงไปจากเดิมเท่าไร ซึ่งการสูญเสียแสงนี้ยังมีค่าน้อยเท่าไรจะทำให้สามารถส่งสัญญาณแสงได้ไกลมากยิ่งขึ้น

การสูญเสียแสงแบ่งออกตามความแตกต่างของโครงสร้างที่เกิดขึ้นได้เป็นการสูญเสียที่มีอยู่ในตัวของเส้นใยแสงเอง และการสูญเสียที่เพิ่มขึ้นมา เมื่อตอนนำเส้นใยแสงไปใช้ในระบบการสื่อสาร สาเหตุที่ทำให้เกิดการสูญเสียแสง แสดงดังรูปที่ 2.13



รูปที่ 2.23 แสดงสาเหตุต่างๆ ที่ทำให้เกิดการสูญเสียแสง

จากรูปที่ 2.23 จะเห็นว่าการสูญเสียที่มีอยู่ในตัวของเส้นใยแสงเองนั้น เกิดจากสาเหตุต่างๆ ได้แก่ การดูดแสง, การกระจายแสงแบบเรย์เลย์, การกระจายแสงเนื่องจากความไม่สม่ำเสมอของโครงสร้าง ส่วนการสูญเสียที่เพิ่มขึ้นมานั้นเกิดจากสาเหตุต่าง ๆ ได้แก่ การงอโค้งของเส้นใยแสง, การงอโค้งแบบไมโครเบนดิง (Microbending Loss) การต่อเส้นใยแสงได้แก่การสูญเสียจากการสะท้อนกลับของแสง, จาก การที่แสงกระจายแสง), การเชื่อมต่อ แสงระหว่างอุปกรณ์ต้นกำเนิดแสงหรืออุปกรณ์รับแสงกับเส้นใยแสง ต่อไปนี้จะอธิบายถึงรายละเอียดของสาเหตุต่าง ๆ ของการเกิดการสูญเสียแสง

(1) การสูญเสียแสงที่เกิดจากการดูดแสง (ABSORPTION LOSS)

การสูญเสียแสงที่เกิดจากการดูดแสงนี้ เป็นลักษณะทำนองเดียวกันกับมหานครที่ดูดแสงได้ดึกกล่าวคือ สารที่ใช้ผลิตเส้นใยแสงเองนั้นจะเป็นตัวดูดแสงที่เดินทางในเส้นใยแสง แล้วเปลี่ยนเป็นการสูญเสียทางความร้อนโดยทั่วไป แล้วจะมีการดูดแสงอันเนื่องมาจากแก้วเอง (สารที่ใช้ผลิตเส้นใยแสง) และเนื่องจาก สารอื่นที่เจือปนอยู่ในแก้วสำหรับการสูญเสียจากการดูดแสงของแก้วนั้นมันจะดูดแสงอุลตราไวโอเล็ตกับแสงอินฟราเรดการดูดแสงอัลตราไวโอเล็ตนั้นจะดูดมากที่สุด ที่ความยาวคลื่นใกล้กับ 0.1 ไมโครเมตร ส่วนที่

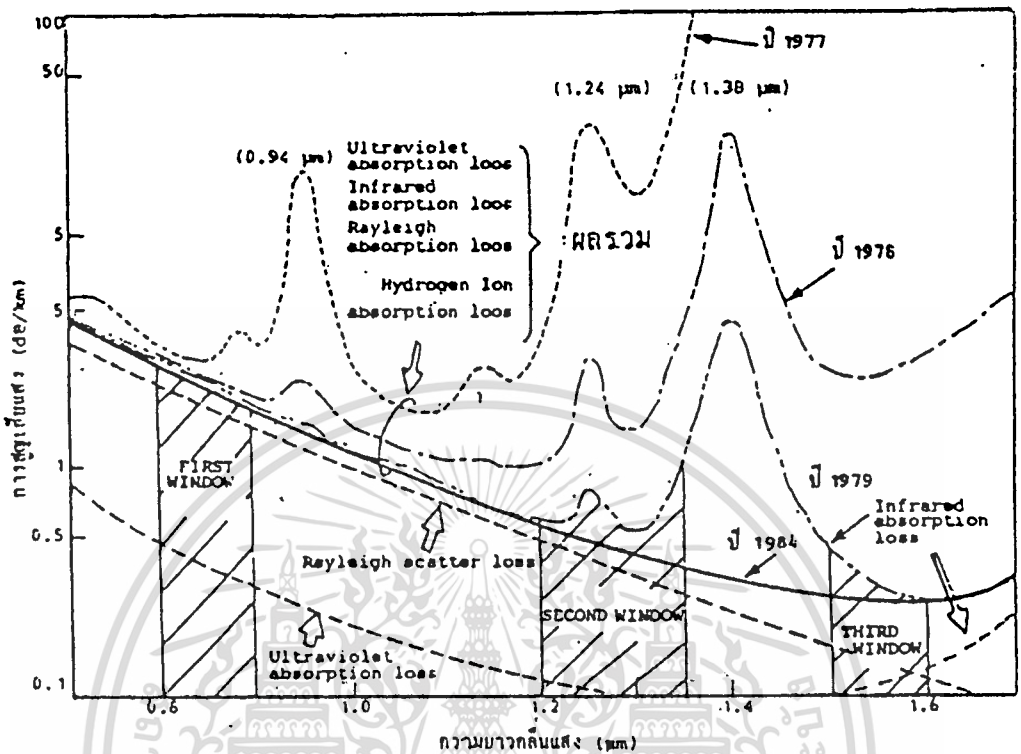
ความยาวคลื่นอื่นๆ นั้นการสูญเสียจากการดูดแสงจะลดลงอย่างมาก ดังแสดงในรูปที่ 2.23 จะเห็นว่าจากความยาวคลื่นประมาณ 1.0 ไมโครเมตรไปจนถึงประมาณ 1.6 ไมโครเมตร การสูญเสียจะตกลงเป็นเสมือนหุบเขา

การสูญเสียจากการดูดแสงอันเนื่องมาจากสารแปลกปลอมปนอยู่นั้น ในตอนแรกที่พัฒนาเส้นใยแสงใหม่ๆ นั้นปรากฏว่าส่วนใหญ่เป็นอิออนของโลหะต่าง ๆ เช่น อิออนของเหล็ก , อิออนของทองแดงและอื่นๆ แต่ต่อมาเทคนิคในการทำให้การสูญเสียแสงต่ำลงได้พัฒนาไปมากสามารถกำจัดอิออนของโลหะต่างๆ ออกไปได้ ในปัจจุบันส่วนใหญ่เป็นไฮดรอกซิล อิออน (Hydroxyl ion) นั่นคือกล่าวได้ว่าประวัติศาสตร์ของการทำให้การสูญเสียแสงที่มีอยู่ในเส้นใยแสงให้มีค่าน้อยนั้นเป็นการกำจัดการดูดแสงอันเนื่องมาจากอิออนของโลหะและไฮดรอกซิล อิออนเหล่านี้นั่นเองในรูปที่ 2.24 จะเห็นว่าแสดงการสูญเสียแสงที่ความยาวคลื่นค่าต่างๆ ของแสงในเส้นใยแสงที่ทำด้วยแก้ว ตัวเลข ค.ศ. ที่ค่าสูญเสียสูงสุดที่ความยาวคลื่น 0.94 ไมโครเมตร, 1.24 ไมโครเมตร และ 1.38 ไมโครเมตรนั้นเป็นการสูญเสียที่เกิดจากการดูดของไฮดรอกซิล อิออนที่กล่าวข้างบน และตรงส่วนที่เป็นหุบเขาริเวณใกล้ ๆ กับความยาวคลื่น 0.85, 1.3 และ 1.55 ไมโครเมตรเรียกว่า วินโดวที่ 1, ที่ 2, ที่ 3 นั้นมีการสูญเสียแสงต่ำซึ่งนำมาใช้ในการสื่อสารด้วยเส้นใยแสง

(2) การสูญเสียแสงที่เกิดจากการกระจัดกระจายแสงแบบเรลลี

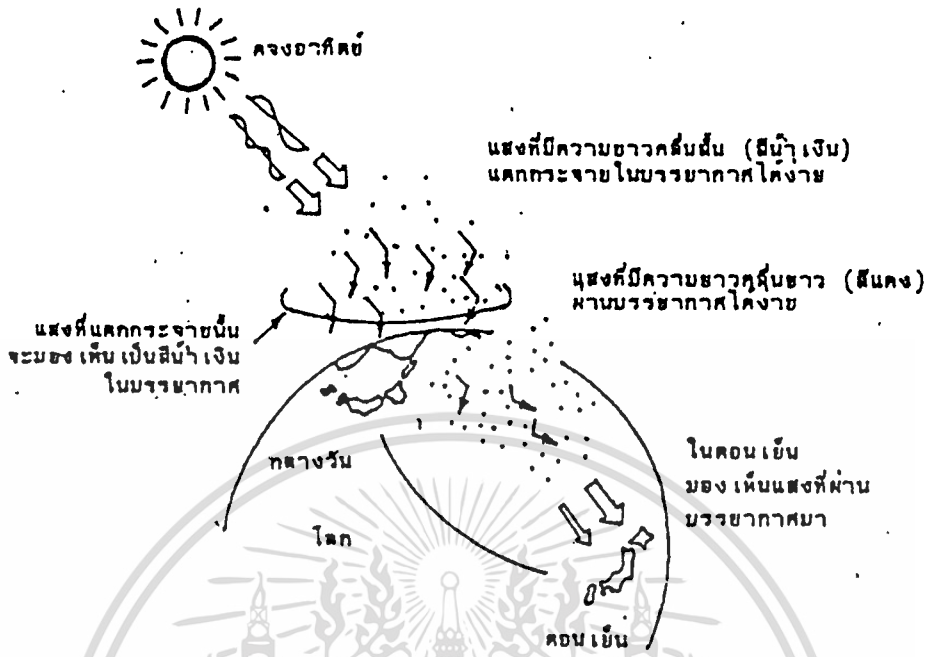
(Rayleigh Scattering Loss)

การสูญเสียแบบนี้ เป็นปรากฏการณ์ที่เกิดขึ้น เมื่อแสงไปกระทบกับวัตถุที่มีขนาดใกล้เคียงกับความยาวคลื่น แล้วทำให้แสงนั้นแตกกระจายออกไปในทิศทางต่างๆ ตัวอย่างของปรากฏการณ์เช่นนี้แสดงดังรูปที่ 2.25 คือการที่เรามองเห็นท้องฟ้าเป็นสีน้ำเงินและมองเห็นท้องฟ้าเป็นสีแดงตอนตะวันตกดินนั้นเกิดจากการแตกกระจายของแสง



รูปที่ 2.24 แสดงคุณสมบัติการสูญเสียแสงจากการดูดแสงของเส้นใยแสงที่ทำด้วยแก้ว

สำหรับการผลิตเส้นใยแสงนั้น ทำได้โดยการให้ความร้อนประมาณ 2,000°C แก่แท่งแก้วซึ่งเรียกว่า เพอร์ฟอร์ม (PREFORM) ที่มีขนาดเส้นผ่าศูนย์กลางจากหลายมิลลิเมตรไปจนถึงหลายสิบลิลลิเมตร จากนั้น จึงทำการดึงแท่งแก้วให้เป็นเส้นใยแสงขนาดเล็ก และในตอนนี้ต้องทำให้เส้นใยแสงนั้นมีอุณหภูมิลดลงจาก 2,000° C เป็นอุณหภูมิต้องประมาณ 20° C (หรือนั่นคือความไม่สม่ำเสมอของค่าดัชนีการหักเห) ตกค้างอยู่ อย่างนั้นในเส้นใยแสงและเป็นสาเหตุทำให้เกิดการสูญเสียแบบเรลลีขึ้นในเส้นใยแสงจัดเป็นสาเหตุการเกิด การสูญเสียแสงที่หลีกเลี่ยงไม่ได้ในขั้นตอนการผลิตถือเป็นการสูญเสียแสงที่มีประจำอยู่ในตัวของเส้นใยแสง ขนาดของการสูญเสียแบบเรลลีจะเป็นสัดส่วนกลับกับความยาวแสงยกกำลัง 4 ด้วยเหตุนี้เราจะเห็นว่าในรูป 2.34 ความยาวของคลื่นแสงที่เดินทางยังมีค่ามากการสูญเสียเรลลีจะมีค่าน้อยลง ยกตัวอย่าง เช่น เมื่อควา ยาวคลื่นเป็น 1 ไมโครเมตร ค่าการสูญเสียเรลลีจะมีค่าประมาณ 1 dB/Km และเมื่อความยาวคลื่นเป็น 1.6 ไมโครเมตร ค่าการสูญเสียเรลลีจะมีค่าประมาณ 0.1 dB/Km



รูปที่ 2.25 แสดงการแตกกระจายของแสงในบรรยากาศ

นอกจากนั้น ขนาดของการสูญเสียแบบเรย์ลิ่งเป็นส่วนโดยตรงกับอุณหภูมิในตอนที่ทำให้การดีเพอร์ฟอร์มิ์ให้เป็นเส้นใยแสง ถ้าหากสามารถทำให้อุณหภูมิต่ำได้การสูญเสียจะน้อยลง

(3) การสูญเสียจากการกระจายแสงอันเนื่องมาจากความไม่สม่ำเสมอของโครงสร้างในเส้น ใยแสง (Ununiformity Loss)

สำหรับเส้นใยแสงที่สร้างขึ้นมาจริงๆ นั้น จากสาเหตุต่างๆ ในการสร้างทำให้ไม่สามารถได้เส้นใยแสงที่มีลักษณะกลม 100% นอกจากนั้นคอร์และคลัดที่ประกบกันเป็นเส้นใยแสงก็ไม่สามารถทำให้ได้ลักษณะรูปทรงกระบอกที่สม่ำเสมออย่างสมบูรณ์ ตลอดความยาวของเส้นใยแสง ได้ กล่าวคือตรงรอยต่อของคอร์ กับคลัด นั้นจะไม่สม่ำเสมอตลอด กล่าวคือจะมีลักษณะคล้ายถนนขรุขระ เมื่อมีรอยต่อไม่เรียบสม่ำเสมอเช่นนี้จะทำให้เกิดการกระจายของแสงดังแสดงในรูปที่ 2.23 ทำให้แสงบางส่วนไม่

สามารถเดินทางไปในคอร์ ได้จะกระจายออกไปข้างนอกดั่งนั้นรอยต่อที่ไม่เรียบบสมมาเสมอ จะทำให้แสงที่เดินทางเกิดการสะท้อนกลับอย่างสะเปะสะปะทำให้การสูญเสียแสงเช่นนี้เรียกว่า การสูญเสียจากการกระจัดกระจายแสงอันเนื่องมาจากความไม่สม่ำเสมอของโครงสร้างในเส้นใยแสง

(4) การสูญเสียจากการกระจายแสงอันเนื่องมาจากการงอโค้งของเส้นใยแสง
(BENDING LOSS)

เป็นการสูญเสียที่เกิดขึ้นเมื่อเส้นใยแสงถูกทำให้งอโค้งไป สำหรับการงอโค้งเส้นใยแสงดังแสดงในรูปที่ 2.23 แสงที่มีมุมอโค้งมากกว่ามุมวิกฤติแล้ว แสงนั้นจะกระจายออกไปนอกคอร์ ทำให้เกิดการสูญเสียขึ้น ดังนั้นในการออกแบบระบบการสื่อสารด้วยเส้นใยแสง ซึ่งจะได้กล่าวถึงในภายหลังนั้น จะต้องระมัดระวัง อย่าให้เกิดมีการงอเส้นใยแสงเป็นส่วนโค้งที่มีรัศมีเกินกว่ารัศมีที่ยอมให้งอโค้งได้ เช่น ไม่เกิน 40 ม.ม. เป็นต้น

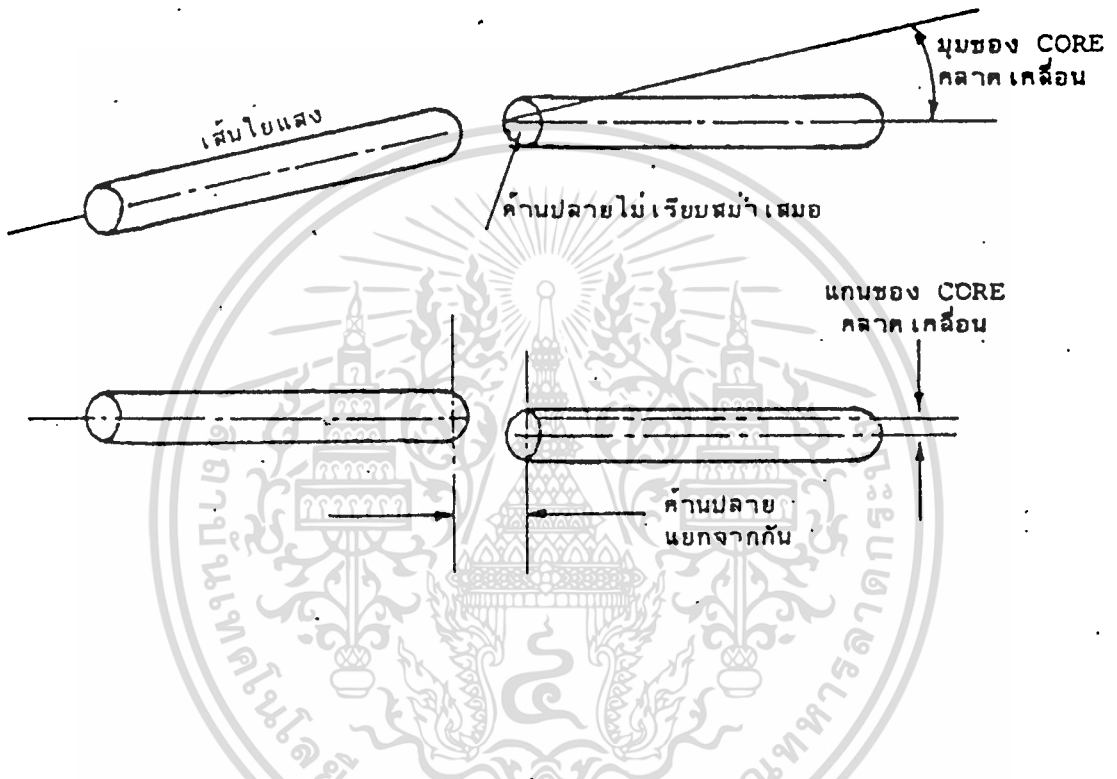
(5) การสูญเสียที่เกิดจากการงอโค้งแบบไมโครเบนดิง (MICRO BENDING)

เป็นการสูญเสียที่เกิดจากการที่มีแรงกดที่ไม่สม่ำเสมอมากระทำต่อด้านข้างของเส้นใยแสงทำให้แกนของเส้นใยแสงบิดงอไปเล็กน้อย (ประมาณ 2,3 ไมโครเมตร) เป็นเหตุให้การสูญเสียเพิ่มขึ้น ด้วยเหตุนี้ในการออกแบบโครงสร้างเส้นใยแสงจะต้องทำการป้องกันแรงกดจากทางด้านข้าง เช่น ทำชั้น (LAYER) ป้องกันการกระแทกหุ้มเส้นใยแสง เป็นต้น

(6) การสูญเสียที่เกิดจากการต่อเส้นใยแสง (CONNECTION LOSS)

การต่อเส้นใยแสงนั้นคล้ายกับการต่อท่อของน้ำประปาหรือท่อแก๊สกล่าวคือต้องต่อเข้ากันพอดีไม่ให้น้ำประปาหรือแก๊สที่อยู่ข้างในท่อรั่วออกไปข้างนอก กรณีที่ทำการต่อเส้นใยแสง 2 เส้นเข้าด้วยกันนั้นอันดับแรกจำเป็นต้องทำการปรับคอร์ ทั้งสองที่แสงเดินทางผ่านให้ตรงกันพอดี ถ้าหากว่าคอร์ ทั้งสองต่อกันไม่สนิทอย่างสมบูรณ์นั้นแสงที่ออกจากคอร์ ด้านหนึ่งบางส่วนของมันจะไม่เข้าไปในคอร์อีกด้านหนึ่ง แต่จะกระจายออกไปข้างนอกทำให้เกิดการสูญเสียสาเหตุการเกิดการสูญเสียอย่างนี้แสดงในรูปที่ 2.26 กล่าวคือมี

ทั้งการคลาดเคลื่อนของแกนของคอร์ และอื่นๆ แต่สำหรับค่าการสูญเสียในส่วนใหญ่นั้นจะมาจาก การคลาดเคลื่อนของแกนของคอร์



รูปที่ 2.26 แสดงสาเหตุต่างๆ ของการสูญเสียที่เกิดจากการต่อเส้นใยแสง

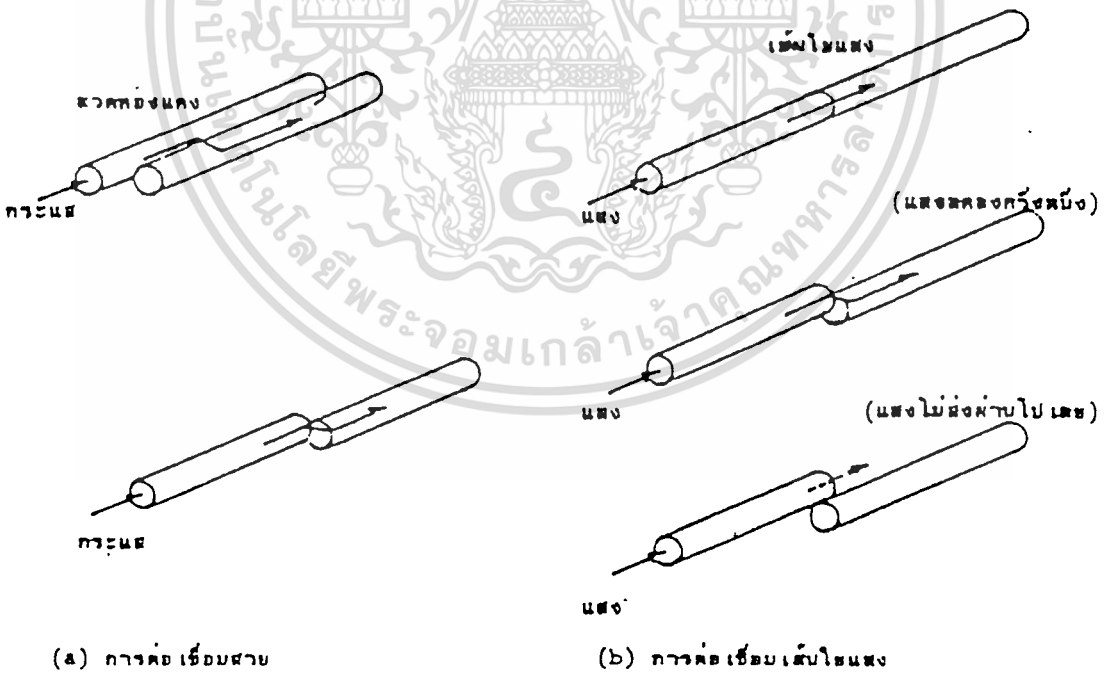
(7) การสูญเสียที่เกิดจากการเชื่อมต่อระหว่างเส้นใยแสงกับอุปกรณ์กำเนิดแสง และอุปกรณ์รับแสง (COUPLING LOSS)

แสงที่ปล่อยออกจากอุปกรณ์ต้นกำเนิดแสงนั้น มีเงื่อนไขในการที่จะป้อนแสงเข้าไปในเส้นใยแสงดังที่ได้กล่าวมาแล้วในเรื่องการป้อนแสงเข้าไปในเส้นใยแสงจะมีการสูญเสียของการเชื่อมต่อแสงน้อยกว่า นอกจากนั้นโครงสร้างของเส้นใยแสงที่จะถูกป้อนแสงเข้าไปนั้น ขนาดเส้นผ่าศูนย์กลางของคอร์ของเส้นใยแสงที่มีค่าต่างกันทำให้ขนาดของการสูญเสียของการเชื่อมต่อแสงมีค่าต่างกันไปด้วย

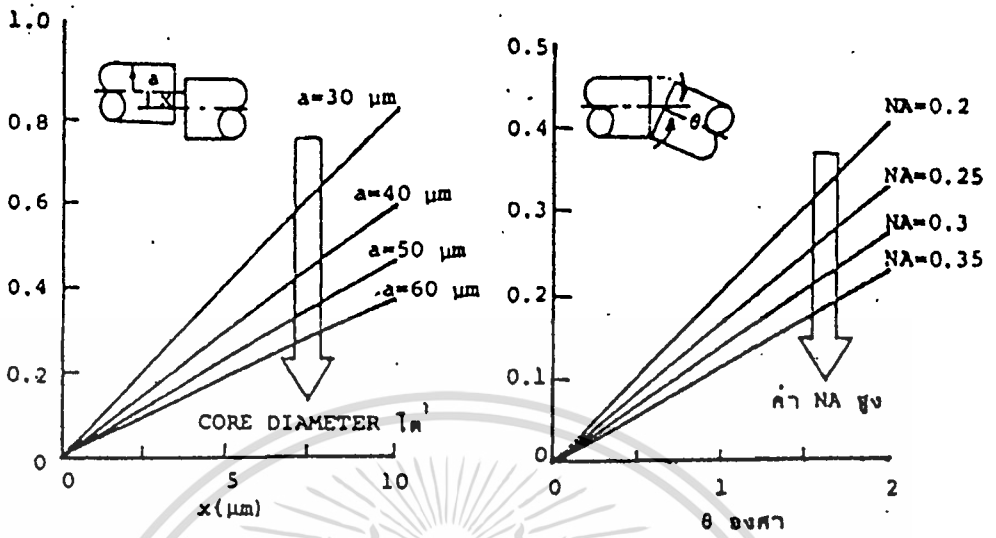
2.5.7 วิธีการต่อเชื่อมเส้นใยแสง

การต่อเชื่อมเส้นใยแสง มีหลักการต่อเชื่อมแตกต่างกับกรณีของสายไฟโลหะ ดังแสดงการเปรียบเทียบในรูป 2.27 จากรูป 2.27 (a) เป็นการต่อเชื่อมสายไฟโลหะจะเห็นว่าจะทำการต่อเชื่อมอย่างไรก็ได้ และวิธีการต่อเชื่อม นั้นทำได้ง่ายไม่มีปัญหาอะไรเป็นพิเศษ แต่สำหรับกรณีของเส้นใยแสงนั้น ดังแสดงในรูปที่ 2.27 (b) จะเห็นว่าผิวด้านหน้าของคอร์ของเส้นใยแสงที่จะทำการต่อเชื่อมกันนั้น ถ้าหากไม่ตรงกันพอดีแล้ว จะทำการต่อเชื่อมไม่ได้ผลดังนั้นการทำให้คอร์ของเส้นใยแสงมีขนาดเล็กเกือบเท่าเส้นผมนั่นคือมีเส้นผ่าศูนย์กลางขนาด 10 หลายสิบลไมโครเมตรสามารถปรับให้ตรงกันได้พอดีสะดวกรวดเร็ว และทำการต่อเชื่อมกันได้อย่างมั่นคงไม่เปลี่ยนแปลงไปตามการเปลี่ยนแปลง ของสภาพสิ่งแวดล้อมนั่นถือว่าเป็นหัวข้อพื้นฐานทางเทคนิคที่สำคัญอันหนึ่ง

สำหรับการสูญเสียจากการต่อเชื่อมเส้นใยแสงอันเนื่องมาจากความคลาดเคลื่อนของคอร์ ของเส้นใยแสง ความคลาดเคลื่อนของมุมของคอร์ ระยะห่างของด้านหน้าของคอร์แสดงดังรูป (a),(b),(c) ของรูปที่ 2.28 เกี่ยวกับวิธีการเชื่อมต่อเส้นใยแสงแบ่งออกได้เป็น 2 วิธีคือวิธีการต่อเชื่อมถาวรโดยการต่อเชื่อมด้วยไฟฟ้าเป็นต้น และวิธีการต่อเชื่อมชั่วคราวที่สามารถถอดออกได้ต่อเข้าไปใหม่ได้โดยใช้คอนเน็คเตอร์

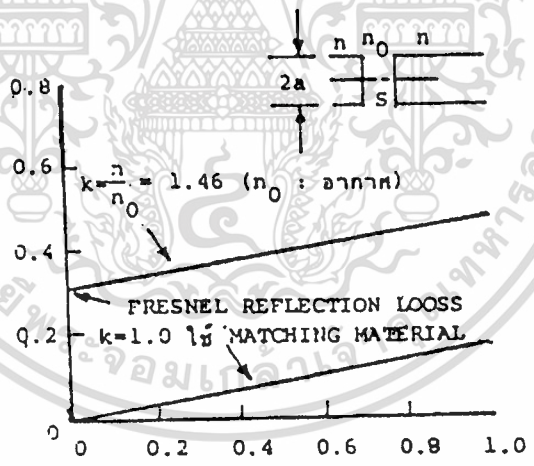


รูปที่ 2.27 แสดงการเปรียบเทียบความแตกต่างระหว่างการต่อเชื่อมสายไฟโลหะกับการต่อเชื่อมเส้นใยแสง



(a) แกนของคอร์ที่คลาดเคลื่อน

(b) มุมของคอร์ที่คลาดเคลื่อน



(c) ด้านปลายแยกห่างกัน

รูปที่ 2.28 แสดงการสูญเสียจากการต่อเชื่อมเส้นใยแสง อันเนื่องมาจากความคลาดเคลื่อนต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

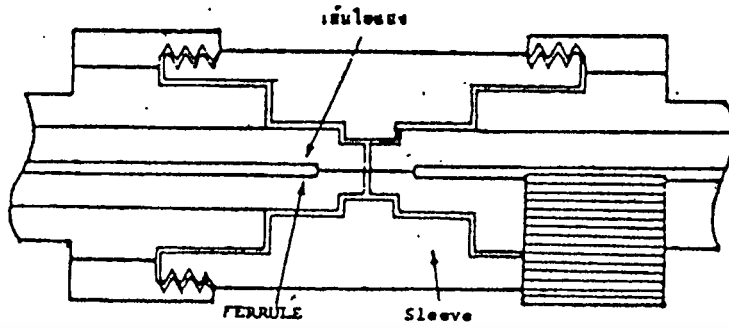
การต่อเชื่อมถาวรด้วยการอาร์ค (SPLICING)

วิธีการต่อเชื่อมถาวรด้วยการอาร์คเป็นการต่อเชื่อมโดยการทำให้ผิวด้านหน้าของเส้นใยแสงหลอมตัวแล้วเชื่อมต่อกัน ส่วนใหญ่จะใช้กับการเชื่อมต่อตรงส่วนที่ทำการต่อเชื่อมใหม่ได้โดยไม่ต้องพินิตัดมาก นัก การทำให้ผิวด้านหน้าของเส้นใยแสงหลอมตัวนั้นมีหลายวิธี คือการใช้ไฟฟ้าอาร์ค ใช้ลำแสงเลเซอร์, การใช้เปลวไฟแต่เมื่อพิจารณาถึงความสะดวกในการเชื่อมต่อความเชื่อถือได้และความประหยัดแล้ว โดยทั่วไปนิยมใช้การต่อเชื่อมด้วยไฟฟ้า ซึ่งเรียกว่า อาร์คหรือไฟฟ้าอาร์ค

การต่อเชื่อมด้วยคอนเน็คเตอร์

การต่อเชื่อมด้วยคอนเน็คเตอร์จะใช้กับส่วนที่มีการต่อเข้าและถอดออกบ่อยๆ การต่อเชื่อมด้วยคอนเน็คเตอร์ก็เช่นเดียวกันกับกรณีของการต่อเชื่อมด้วยไฟฟ้าอาร์ค กล่าวคือด้านปลายทั้งสองด้านของคอร์ของเส้นใยแสงจะต้องตรงกันพอดีโดยทั่วไปนิยมใช้คอนเน็คเตอร์แบบเฟอร์รูล (FERULE) โครงสร้างหลักของคอนเน็คเตอร์แบบเฟอร์รูลแสดงดังรูปที่ 2.29(a) เฟอร์รูลส่วนที่ทำให้ศูนย์กลางของคอร์ ของเส้นใยแสงตรงพอดีกับศูนย์กลางของคอนเน็คเตอร์ และตัวที่ทำหน้าที่เป็นปลอกกานำให้เฟอร์รูลกับเฟอร์รูลสามารถปรับต่อกันได้อย่างถูกต้องแน่นอนนั้นเรียกว่าคอนเน็คเตอร์แบบเฟอร์รูลในการประกอบคอนเน็คเตอร์นั้นจะต้องสอดเส้นใยแสงเข้าไปในเฟอร์รูลแล้วยึดให้แน่น จากนั้นจึงทำการขัดผิวหน้าด้านปลายของเฟอร์รูลให้เรียบเหตุผลของการขัดผิวหน้าด้านปลายของเฟอร์รูลก็เพื่อลดการสูญเสียอันเนื่องมาจากผิวหน้าของเส้นใยแสงไม่เรียบนั่นเอง

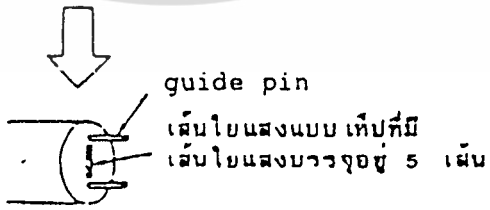
สำหรับรูปที่ 2.29(b) แสดงตัวอย่างคอนเน็คเตอร์สำหรับเส้นใยแสง 1 เส้นที่เอ็นทีทีใช้งานอยู่ ส่วนรูปที่ 2.29(c) นั้นแสดงตัวอย่างของคอนเน็คเตอร์สำหรับเส้นใยแสง 5 เส้น โดยที่ ทำให้เส้นใยแสงจำนวน 5 เส้นรวมเข้าด้วยกัน สามารถต่อเข้าด้วยกันพร้อมๆ กันได้ซึ่งก็เป็นคอนเน็คเตอร์ที่เอ็นทีทีใช้งานอยู่เช่นกัน



(a) แสดงรูปตัดขวางของคอนเนคเตอร์แบบเฟอร์รูล



(b) คอนเนคเตอร์ แบบใช้กับเส้นใยแสงเส้นเดียว

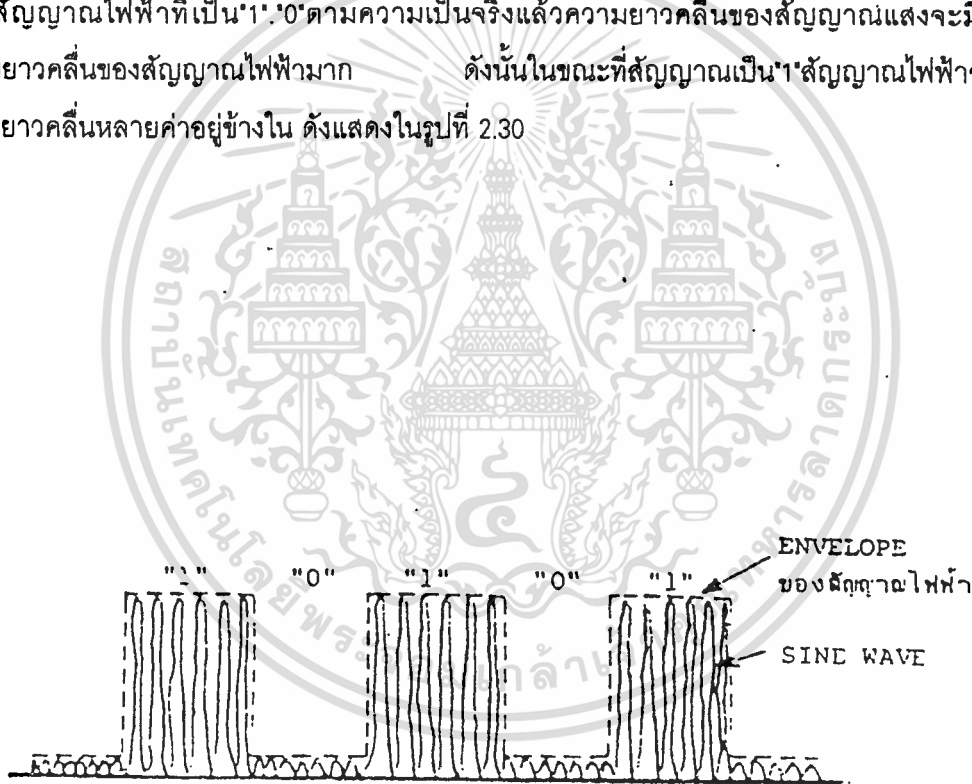


(c) คอนเนคเตอร์ แบบใช้กับเส้นใยแสง 5 เส้น

รูปที่ 2.29 แสดงการต่อเชื่อมด้วยคอนเนคเตอร์

2.5.8 คุณสมบัติต่างๆ ของอุปกรณ์ปล่อยแสง

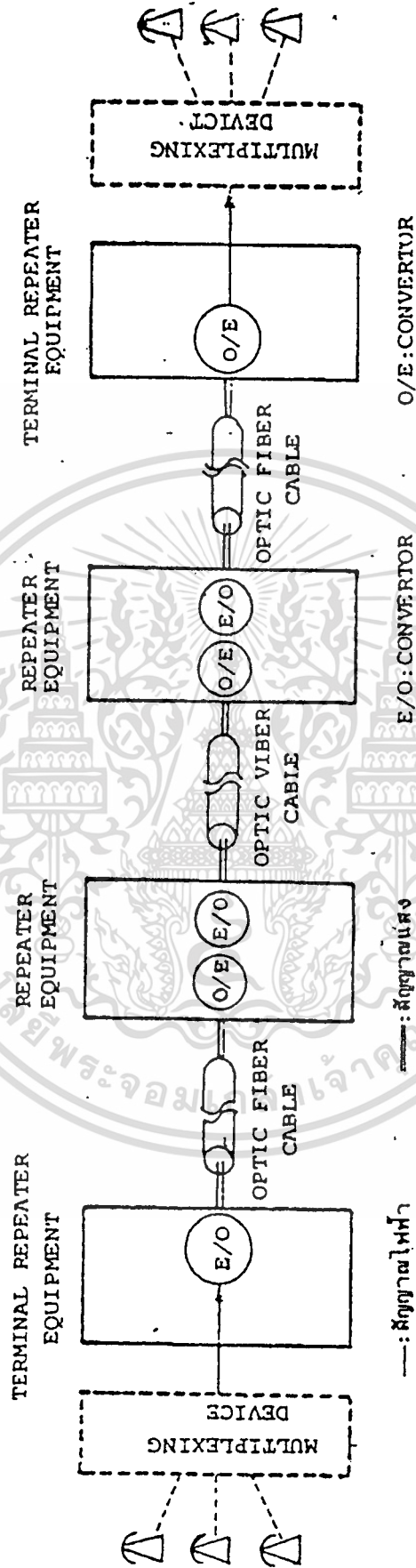
คุณสมบัติต่างๆ ที่ต้องการจากอุปกรณ์ปล่อยแสงได้แก่ คุณสมบัติการผสมของแสงไฟฟ้าความกว้างของสเปกตรัม (SPECTRUM) ของแสง, ความเร็วในการตอบสนองต่อความถี่เป็นต้น จากที่ได้กล่าวมาแล้วว่าในปัจจุบันแสงที่ได้จากอุปกรณ์ปล่อยแสงจะมีความยาวแสงจำนวนหนึ่งปนอยู่ดังนั้นจึงไม่สามารถใช้แสงเป็นคลื่นพาสำหรับการมอดูเลททางความถี่, การมอดูเลททางเฟสของสัญญาณไฟฟ้าได้เหมือนอย่างที่ใช้ในการส่งมัลติเพล็กซ์ โดยทั่วไปใช้การผสมที่เรียกว่าการมอดูเลททางความเข้มของแสง ยกตัวอย่างเช่นในการส่งสัญญาณดิจิตอลสัญญาณที่ได้จะเป็นดังแสดงในรูปที่ 2.30 กล่าวคือแสงจะเกิดการกระพริบสว่างดับตามสัญญาณไฟฟ้าที่เป็น "1" "0" ตามความเป็นจริงแล้วความยาวคลื่นของสัญญาณแสงจะมีค่าสั้นกว่าความยาวคลื่นของสัญญาณไฟฟ้ามาก ดังนั้นในขณะที่สัญญาณเป็น "1" สัญญาณไฟฟ้าจะมีแสงที่มีความยาวคลื่นหลายค่าอยู่ข้างใน ดังแสดงในรูปที่ 2.30

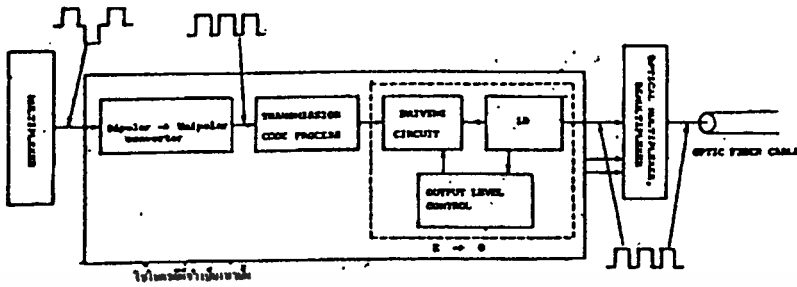


รูปที่ 2.30 แสดงสัญญาณที่ได้จากการผสมของแสงและการผสมในการส่ง

2.5.9 ส่วนประกอบของระบบการสื่อสารด้วยเส้นใยแสง

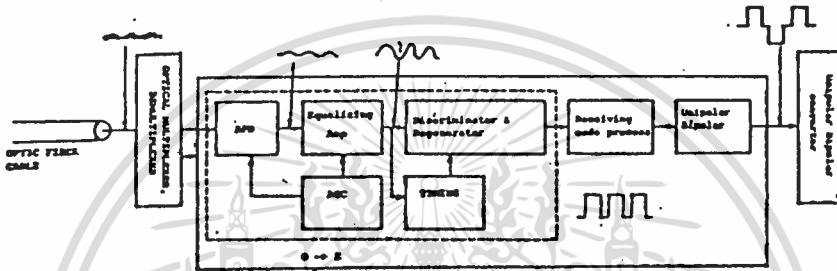
ระบบการสื่อสารด้วยเส้นใยแสงนั้น ต่างกับระบบการสื่อสารไฟฟ้า โดยที่มันใช้เคเบิลเส้นใยแสงเป็นตัวกลางในการส่งและที่ปลายทางทั้งสองด้านจะมีอุปกรณ์ที่ทำหน้าที่เปลี่ยนไฟฟ้าเป็นแสงอุปกรณ์ที่ทำหน้าที่เปลี่ยนแสงเป็นไฟฟ้าตัวอย่างของส่วนประกอบของระบบการสื่อสารด้วยเส้นใยแสงแสดงดังรูปที่ 2.31 สัญญาณไฟฟ้าจากการมัลติเพล็กซ์จะมาถึงยังเทอร์มินอลรีพีเตอร์ที่มีหน้าที่เปลี่ยนไฟฟ้าให้เป็นแสงที่อุปกรณ์ทวนสัญญาณปลายทางนั้นอันดับแรกจะทำการเปลี่ยนสัญญาณไบโพล่าที่เข้ามา(นั่นคือเป็นสัญญาณที่ทำให้ '1' ของสัญญาณดิจิทัลเป็นพัลส์บวก และพัลส์ลบสลับกันซึ่งนิยมใช้กันทั่วไปโดยที่ถือว่าเป็นโคตระหว่างอุปกรณ์) ให้เป็นสัญญาณยูนิโพล่า ซึ่งทำให้สามารถจัดการภายในอุปกรณ์ได้ง่ายโดยส่วนเปลี่ยนไบโพล่าเป็นยูนิโพล่า (นั่นคือ '1' ของสัญญาณดิจิทัลเป็นโคตที่ตรงกันกับพัลส์ที่มีขั้วเดียว : ยูนิโพล่า) ดังแสดงในรูปที่ 2.32(a) อันดับต่อไปสัญญาณยูนิโพล่านี้จะส่งไปยังส่วนจัดทำโคตสำหรับการส่ง ที่ส่วนนี้จะเพิ่มโคตที่มีขั้วสลับเพื่อตรวจสอบว่าการสื่อสารระหว่างอุปกรณ์ทวนสัญญาณปลายทางเป็นปกติหรือไม่ นอกจากนั้นยังทำการเปลี่ยนให้อยู่ในรูปโคตของการส่งสัญญาณที่เหมาะสมกับตัวกลางที่ใช้ส่ง จากนั้นสัญญาณนี้จะถูกส่งไปยังส่วนเปลี่ยนไฟฟ้าให้เป็นแสงกลายเป็นกระแสขับของเอ็ลดี และเปลี่ยนเป็นสัญญาณแสงจากนั้นจึงป้อนไปให้เส้นใยแสง และเนื่องจากเอาต์พุตของเอ็ลดี จะเปลี่ยนแปลงตามค่ากระแสของวงจรขับ เพื่อให้ได้แสงออกมาคงที่จะใช้การควบคุมการป้อนกลับเพื่อทำการรักษาระดับแรงที่ออกมาคงที่ไม่เปลี่ยนแปลงสัญญาณแสงที่เดินทางมาในเส้นใยแสงจะไปยังอุปกรณ์ทวนสัญญาณดังแสดงในรูปที่ 2.33 ที่อุปกรณ์ทวนสัญญาณนี้อันดับแรกจะทำการเปลี่ยนแสงให้เป็นไฟฟ้า แต่เนื่องจากโดยทั่วไปสัญญาณแสงที่เข้ามาจะมีกำลังต่ำนอกจากนั้นรูปร่างคลื่นก็เกิดการเพี้ยนด้วย ทำให้สัญญาณไฟฟ้าที่เปลี่ยนออกมามีลักษณะการเพี้ยนเช่นเดียวกัน ดังนั้นจึงต้องนำสัญญาณไฟฟ้านี้ไปผ่านอีควอไลเซอร์ ทำให้สัญญาณหายเพี้ยนและมีกำลังสูง อนึ่งเพื่อเป็นการทำให้ระดับของสัญญาณไฟฟ้าที่ออกจากอีควอไลเซอร์มีระดับคงที่นั้น จะมีการควบคุมการขยายอย่างอัตโนมัติ หลังจากนั้นทำการผลิตสัญญาณไฟฟ้าที่เป็นพัลส์ขึ้นมาใหม่เหมือนตอนที่ส่งมา จากนั้นจึงส่งไปที่ส่วนเปลี่ยนไฟฟ้าเป็นแสง ที่ส่วนนี้สัญญาณไฟฟ้าที่เป็นพัลส์ '1' หรือ '0' จะถูกเปลี่ยนเป็นสัญญาณแสงอีกครั้งหนึ่งแล้วส่งไปเข้าเส้นใยแสงเช่นเดียวกันกับส่วนส่งสัญญาณของอุปกรณ์ทวนสัญญาณ





โวลต์ที่เข้าระบบ

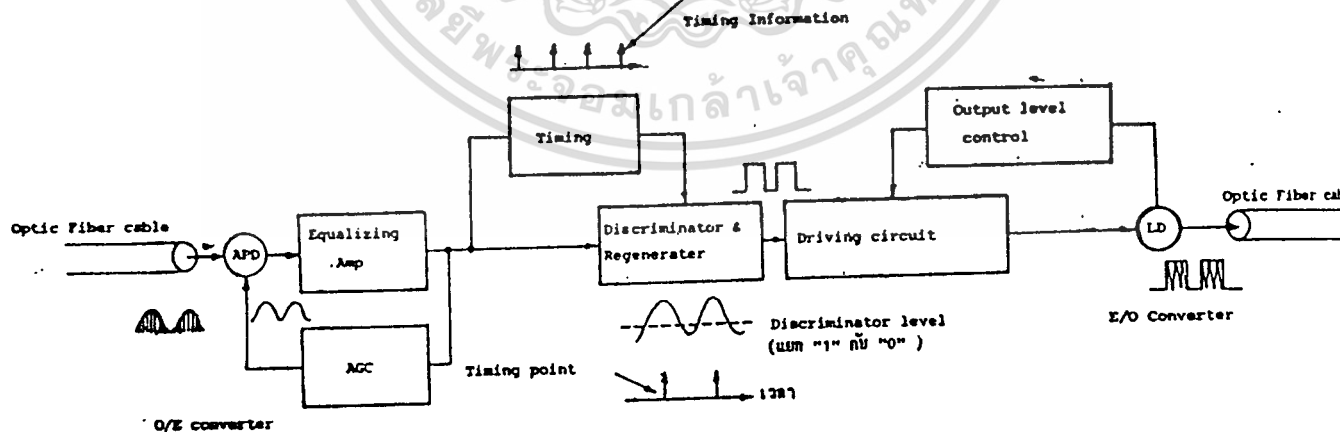
(a) ส่ง



โวลต์ที่เข้าระบบ

(b) รับ

รูปที่ 2.32 แสดงส่วนประกอบของอุปกรณ์ทวนสัญญาณปลายทาง



รูปที่ 2.33 แสดงส่วนประกอบของอุปกรณ์ทวนสัญญาณ

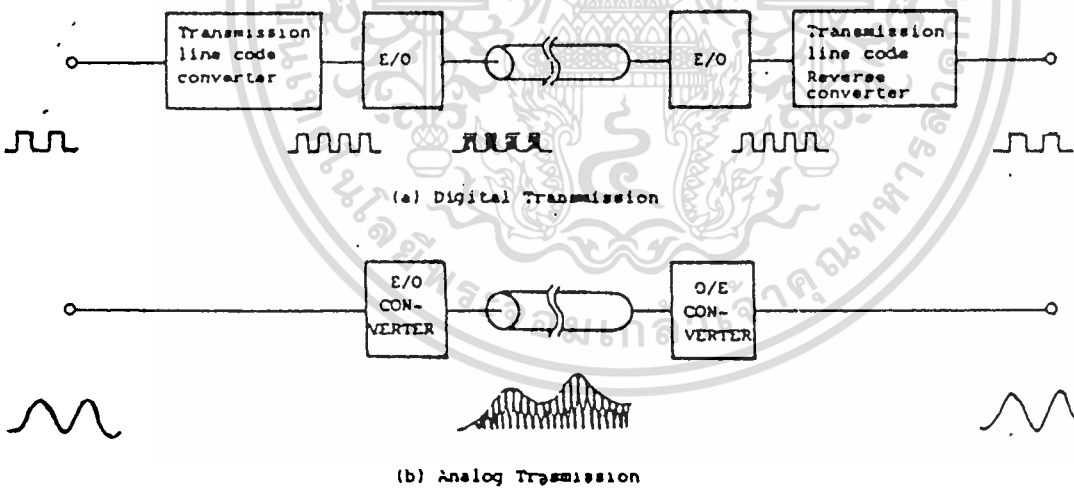
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณแสงที่ถูกอุปกรณ์ทวนสัญญาณเปลี่ยนกลับให้มีรูปร่างเป็นพัลส์เหมือนเดิมและส่งผ่านเส้นใยแสงมานั้นจะมาที่ด้านรับของอุปกรณ์ทวนสัญญาณปลายทางจะถูกเปลี่ยนจากแสงเป็นไฟฟ้าถูกขยายด้วยแอมป์และถูกทำให้เป็นพัลส์ "1" หรือ "0" ด้วยวิธีการรีเจนเนอเรทีฟดิสคริมิเนเตอร์เช่นเดียวกันกับในอุปกรณ์ทวนสัญญาณทุกประการ ดังแสดงในรูปที่ 2.32(b) หลังจากนั้นจะถูกเปลี่ยนกลับในทางตรงกันข้ามกับการเปลี่ยนเป็นโคดของการส่งสัญญาณของด้านส่งและทำให้เป็นสัญญาณไฟฟ้าต่อจากนั้นจึงเปลี่ยนจากสัญญาณไฟฟ้าเป็นสัญญาณไบโพลาร์ทำให้ได้สัญญาณไฟฟ้าเหมือนกันกับสัญญาณอินพุตที่เข้ามาทางด้านส่งทุกประการ

2.5.10 การส่งสัญญาณแบบดิจิตอล และการส่งสัญญาณแบบอนาลอก

(Digital Transmission and Analog Transmission)

สำหรับระบบการส่งนั้นมี 2 ชนิดคือการส่งสัญญาณแบบดิจิตอลและการส่งสัญญาณแบบอนาลอก ในกรณีของระบบการสื่อสารด้วยเส้นใยแสงก็เช่นกันมีระบบการส่ง 2 ชนิด ทั้งนี้ขึ้นอยู่กับสัญญาณไฟฟ้านำมาผสมกับแสงว่าจะเป็นสัญญาณดิจิตอลหรือสัญญาณอนาลอก ดังแสดงในรูปที่ 2.34



รูปที่ 2.34 แสดงระบบการส่งสัญญาณแบบดิจิตอลและแบบอนาลอก

ในการส่งสัญญาณแบบดิจิตอลนั้น การส่งสัญญาณดิจิตอลอินพุตที่เข้ามาอย่างไรก็ส่งออกไปอย่างนั้นส่วนใหญ่มักจะมีน้อย โดยทั่วไปแล้วจะนำไปเปลี่ยนเป็นโคดที่เหมาะสมแก่การส่งเสียก่อน แล้วจึงส่งออกไป

บทที่ 3

การคำนวณและออกแบบวงจร

จากหลักการต่าง ๆ ที่กล่าวมาแล้ว เมื่อนำมาประกอบเข้าด้วยกันจะสามารถแสดงระบบของโครงงานนี้เป็นบล็อกไดอะแกรม ได้ดังรูปที่ 3.1 และ 3.2 โดยรูปที่ 3.1 เป็นบล็อกไดอะแกรมของระบบทางด้านส่ง ส่วนรูป 3.2 เป็นบล็อกไดอะแกรมทางด้านรับ และกำหนดคุณสมบัติต่าง ๆ ของโครงงานนี้ไว้ดังนี้

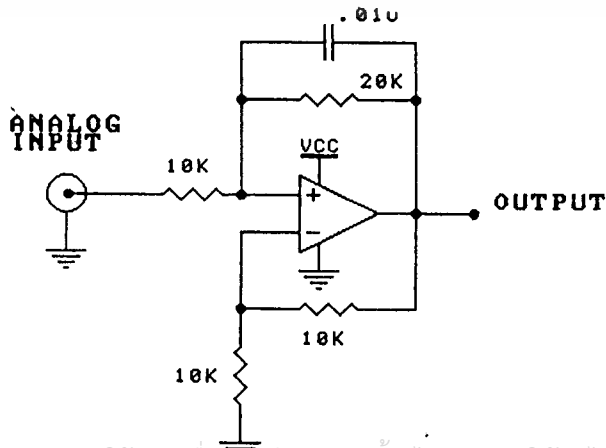
1. ส่งสัญญาณอนาล็อก ได้ 8 ช่องสัญญาณ (ความถี่สูงสุด 4 kHz.)
2. ส่งสัญญาณดิจิทัลได้ 6 ช่องสัญญาณ (8 Bit/Ch. Baud Rate สูงสุด 8k/sec.)
3. ใช้ตัวกลางได้ทั้งสาย Coaxial และ Optic Cable
4. จำลองระบบให้เหมือนหรือใกล้เคียงระบบมัลติเพล็กซ์ที่ใช้อยู่ในปัจจุบัน
5. ด้านรับสามารถรับได้ชุดละ 2 Ch. (เสียง 1 Ch. และ Data 1 Ch.) เลือกช่องสัญญาณที่ต้องการได้อย่างอิสระ
6. มีอุปกรณ์ด้านรับได้มากกว่า 1 ชุด
7. ใช้อุปกรณ์ที่มีราคาถูกและหาได้ง่ายตามท้องตลาด
8. สามารถปรับปรุง พัฒนาระบบได้โดยง่าย

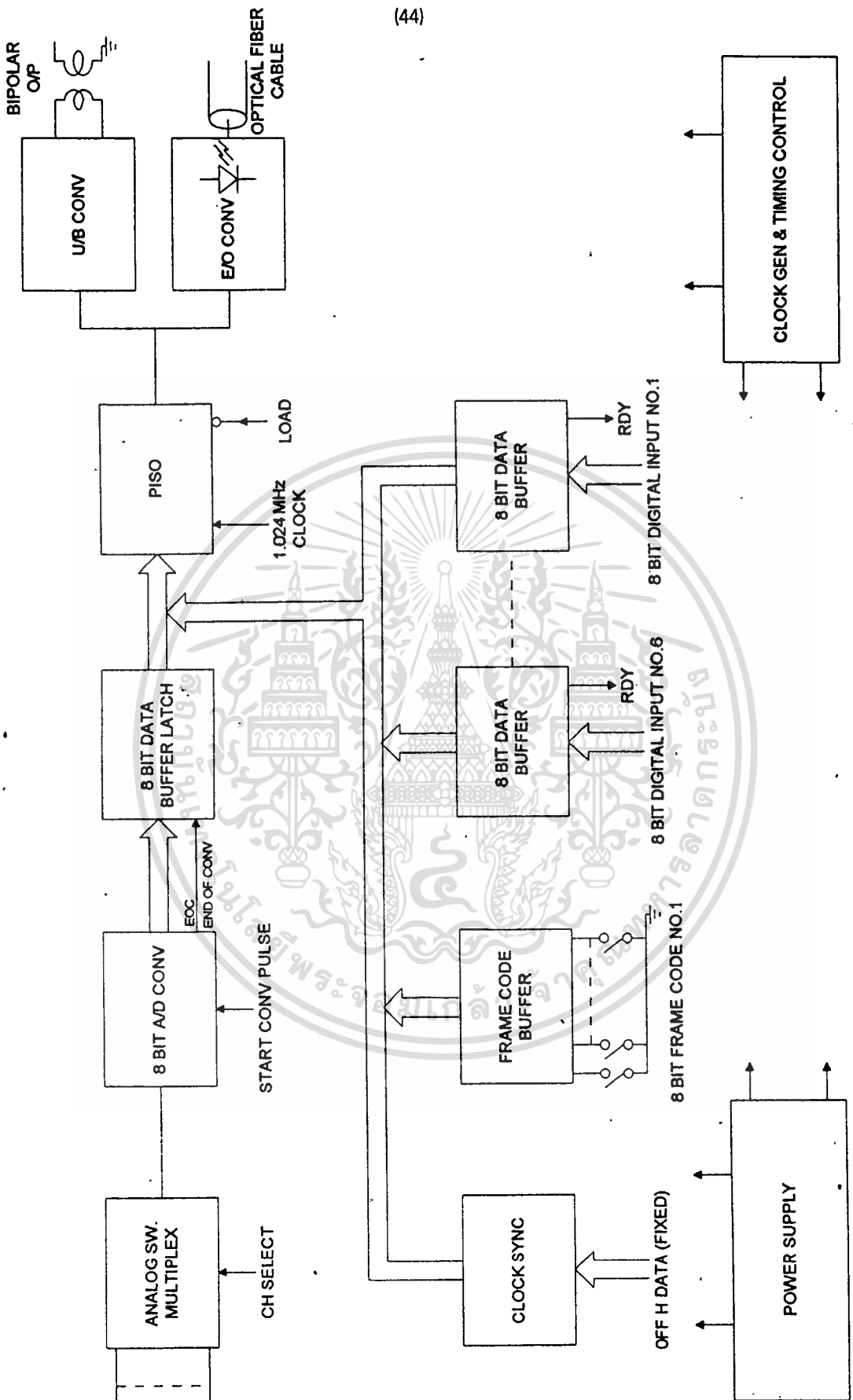
3.1 ภาคส่ง

จากบล็อกไดอะแกรมของโครงงานนี้ สามารถอธิบายการทำงานของระบบได้ดังนี้

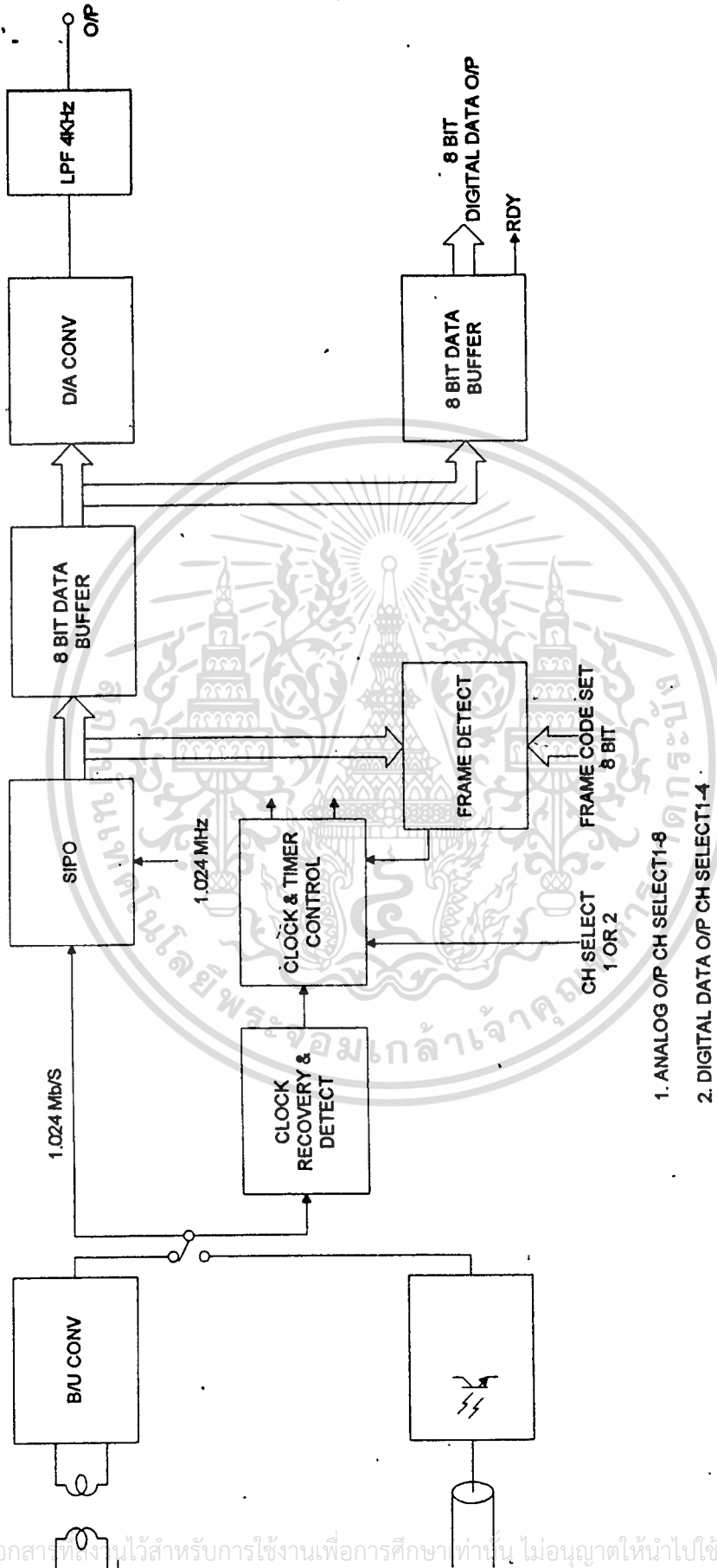
3.1.1 Buffer Amplifier

เป็นวงจรที่ทำหน้าที่รับสัญญาณอินพุตแบบอนาล็อก มาทำการจัดความแรงและระดับของสัญญาณให้เหมาะสม โดยจะ ยกระดับสัญญาณ บวก ลบ ให้อยู่ในช่วงบวก - กราวด์ เพื่อป้องกันให้กับชุดมัลติเพล็กซ์สวิตช์





BLOCK DIAGRAM ภาตง



BLOCK DIAGRAM ภาครัป

3.1.2 สวิตช์เลือกช่องสัญญาณ (Analog Switch Multiplex)

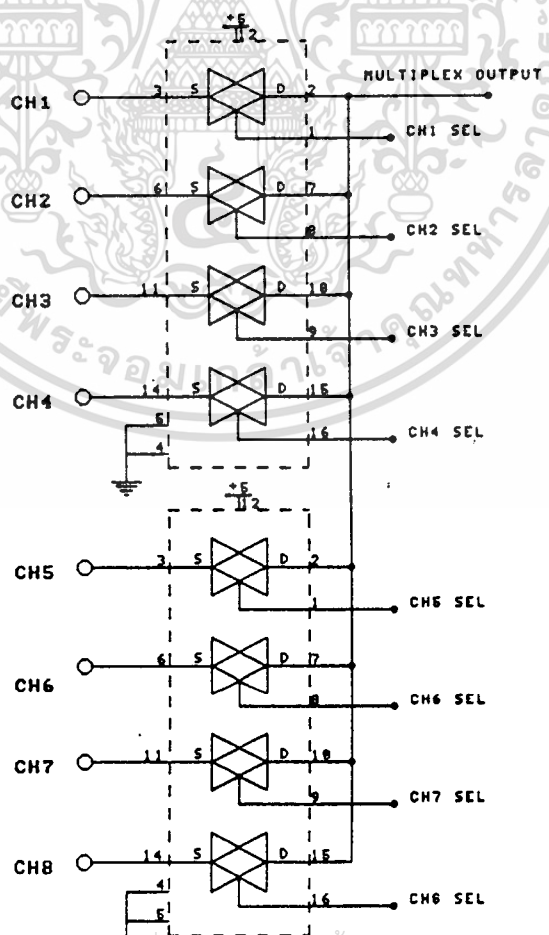
ทำหน้าที่เลือกสัญญาณอนาล็อก ชุดใดชุดหนึ่ง ป้อนให้กับส่วนแปลงสัญญาณอนาลอกเป็นดิจิทัล โดยการควบคุมตำแหน่งช่องสัญญาณจากชุดคอนโทรล จากกรณีที่โครงการนี้ มีการ Sampling ที่ 8,000 ครั้ง/วินาที ระยะเวลา ของการ Sampling แต่ละครั้งจะเป็น

$$1/8000 = 125 \mu\text{S}$$

และมีช่องสัญญาณ 8 ช่องสัญญาณ ดังนั้นภายใน 125 μS จะต้องทำการ Sampling ให้ครบทั้ง 8 ช่องสัญญาณ แต่ละช่องสัญญาณจะต้อง Sampling ให้เสร็จภายในเวลา

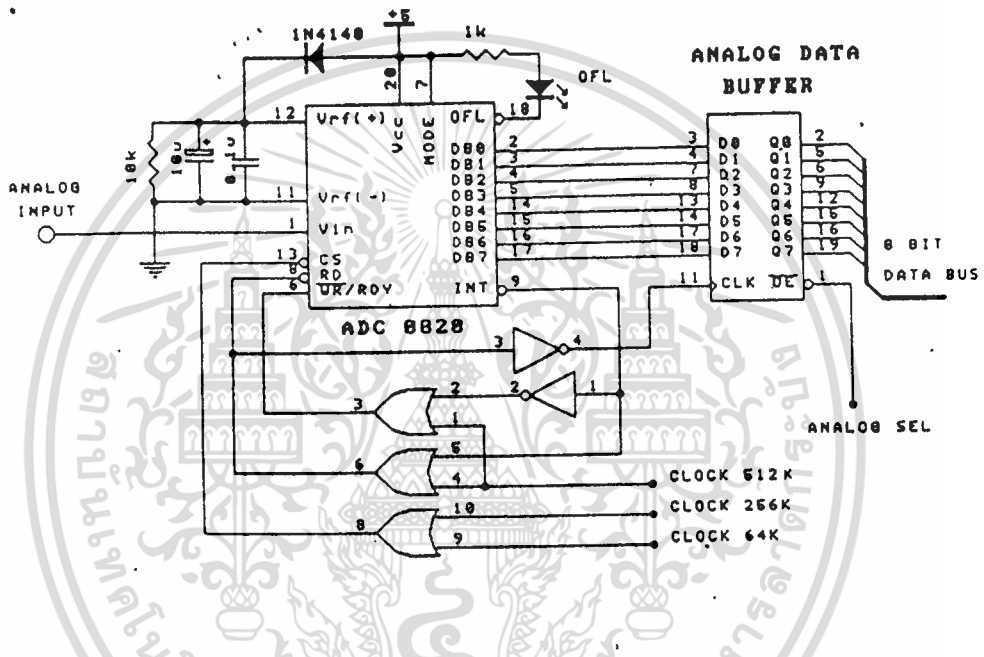
$$125 \mu\text{S} / 8 = 15.625 \mu\text{S}$$

ชุดสวิตช์เลือกช่องสัญญาณจึงต้องเป็นอนาลอก สวิตช์ที่มีความเร็วในการปิด - เปิด สูง และมีการรบกวนข้ามช่องสัญญาณต่ำ ในโครงการนี้จึงเลือกใช้ IC เบอร์ LF 13331 ซึ่งเป็นอนาลอกสวิตช์ 4 ชุด มีความเร็วในการปิด - เปิด ที่ 500 ns. และ 100 ns. ตามลำดับซึ่งสูงพอที่จะใช้ในระบอบนี้ได้ โดยมีการจัดวงจรตามรูปที่ 3.4



3.1.3 วงจรแปลงสัญญาณอนาลอก เป็น ดิจิตอล (A/D Converter)

จากการที่สัญญาณอนาลอก แต่ละช่องสัญญาณต้องถูกแปลงเป็นดิจิตอลภายใน 15.625 μ S และพร้อมที่จะรับสัญญาณช่องต่อไป จึงเลือกใช้ A/D Converter เบอร์ ADC 0820 ซึ่งเป็น 8 Bite A/D ชนิดความเร็วสูงมีความเร็วในการแปลงประมาณ 2.5 μ S ในการใช้งานแบบเดี่ยว ไม่ได้ต่อร่วมกับ CPU (Stand Alone) ซึ่งเพียงพอที่จะรองรับการแปลงสัญญาณอนาลอกทั้ง 8 ช่องสัญญาณ โดยมีการออกแบบวงจรตามรูปที่ 3.5



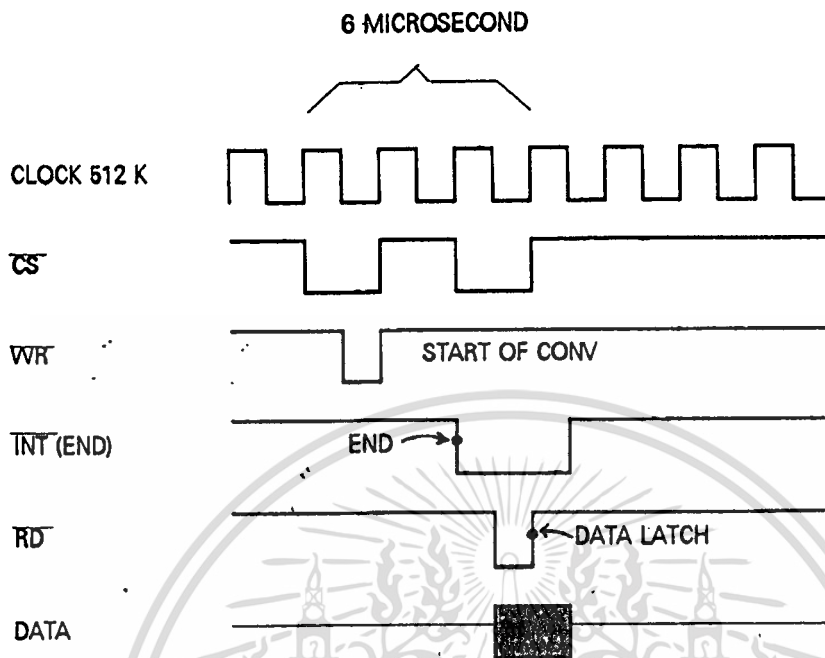
รูปที่ 3.5 วงจรแปลงสัญญาณ อนาลอก เป็น ดิจิตอล และ ดาต้า บัฟเฟอร์

จากวงจรจะจัดระดับสัญญาณเปรียบเทียบระดับสูงไว้ที่ประมาณ $V_{CC} - 0.7$ หรือประมาณ 4.3 V ทั้งนี้เพื่อเป็นการหลีกเลี่ยงปัญหาสัญญาณรบกวนจากการใช้ V_{CC} โดยตรงเป็นระดับเปรียบเทียบ (สัญญาณรบกวนจากชุดจ่ายไฟ หรือจากการทำงานของอุปกรณ์ที่ใช้ไฟเลี้ยง V_{CC} เหมือนกัน) ADC 0820 มีการจัดระดับสัญญาณ 256 ระดับ (ข้อมูล 8 Bit) ดังนั้นแต่ละระดับจะมีความแตกต่าง

$$4.3 \text{ V} / 256 = 16.8 \text{ mV.}$$

สัญญาณอนาลอกซึ่งผ่านการเลือกช่องสัญญาณจากชุดมัลติเพล็กซ์ สวิตช์แล้วจะป้อนเข้าสู่ขา V_{in} ของ ADC 0820 ซึ่งภายใน ADC 0820 นี้จะมีวงจร Sampling & Hold อยู่ภายในตัวแล้ว เมื่อสัญญาณที่ขา WR active (เปลี่ยนสถานะจาก High เป็น Low) ADC 0820 จะเริ่มขบวนการแปลงสัญญาณ ซึ่งใช้เวลาเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประมาณ 2.5 US หลังจากเสร็จสิ้นแล้ว สัญญาณที่ ขา INT จะ Active (Low) ซึ่งจะทำการอ่านข้อมูลได้ โดย
จัดให้ขา RD Active ข้อมูลจะถูกนำไปเก็บไว้ใน Buffer เพื่อรอการจัด Time Slot เพื่อการส่งต่อไป



รูปที่ 3.6 TIMING DIAGRAM ของ ADC 0820

3.1.4 Buffer ข้อมูลขนาด 8 Bit (8 Bits Data Buffer)

เป็นชุดที่ทำหน้าที่รับข้อมูลดิจิทัล 8 บิต จากอุปกรณ์ ภายนอก เพื่อส่งไปยังปลายทาง โดยมีการ
สร้างสัญญาณบอกความพร้อม (Ready) ให้อุปกรณ์ภายนอกรับรู้สถานะการทำงานเมื่อข้อมูลที่รับไว้ได้รับ
การจัดส่งไปแล้ว เพื่อให้อุปกรณ์ภายนอกจัดส่งข้อมูลชุดใหม่เข้ามาเก็บไว้เพื่อรอการจัดส่งในรอบต่อไป

3.1.5 Buffer รหัส ขบวนสัญญาณ (Frame Sync. Code Buffer)

ในโครงการนี้ออกแบบให้มีการตรวจสอบสัญญาณ 2 ชุด โดยชุดแรกเป็น รหัสที่กำหนดไว้ตายตัว (Fixed Frame Code) และอีกชุดหนึ่งสามารถเปลี่ยนรหัสได้ (Variable Setting Frame Code) จึงมี Buffer 2
ชุด การเปลี่ยนรหัสของชุดที่ 2 ใช้ Dip Switch

3.1.6 วงจรเปลี่ยนข้อมูลและขนาน เป็นอนุกรม (PISO , Parallel in Serial Out)

เป็นวงจรเปลี่ยนข้อมูล 8 บิต จากทุก ๆ ช่องสัญญาณที่เป็นแบบขนาน ให้เป็นแบบอนุกรมเพื่อการ
ส่งไปยังปลายทาง ในโครงงานนี้ มีสัญญาณอนาล็อก 8 ช่อง สัญญาณ แต่ละช่องสัญญาณ มีการสุ่ม
ตัวอย่างด้วยอัตรา 8000 ครั้ง/วินาที แต่ละครั้งจะได้ 8 บิต ข้อมูล ดังนั้นแต่ละช่องสัญญาณจะใช้อัตราการ
ส่งข้อมูล

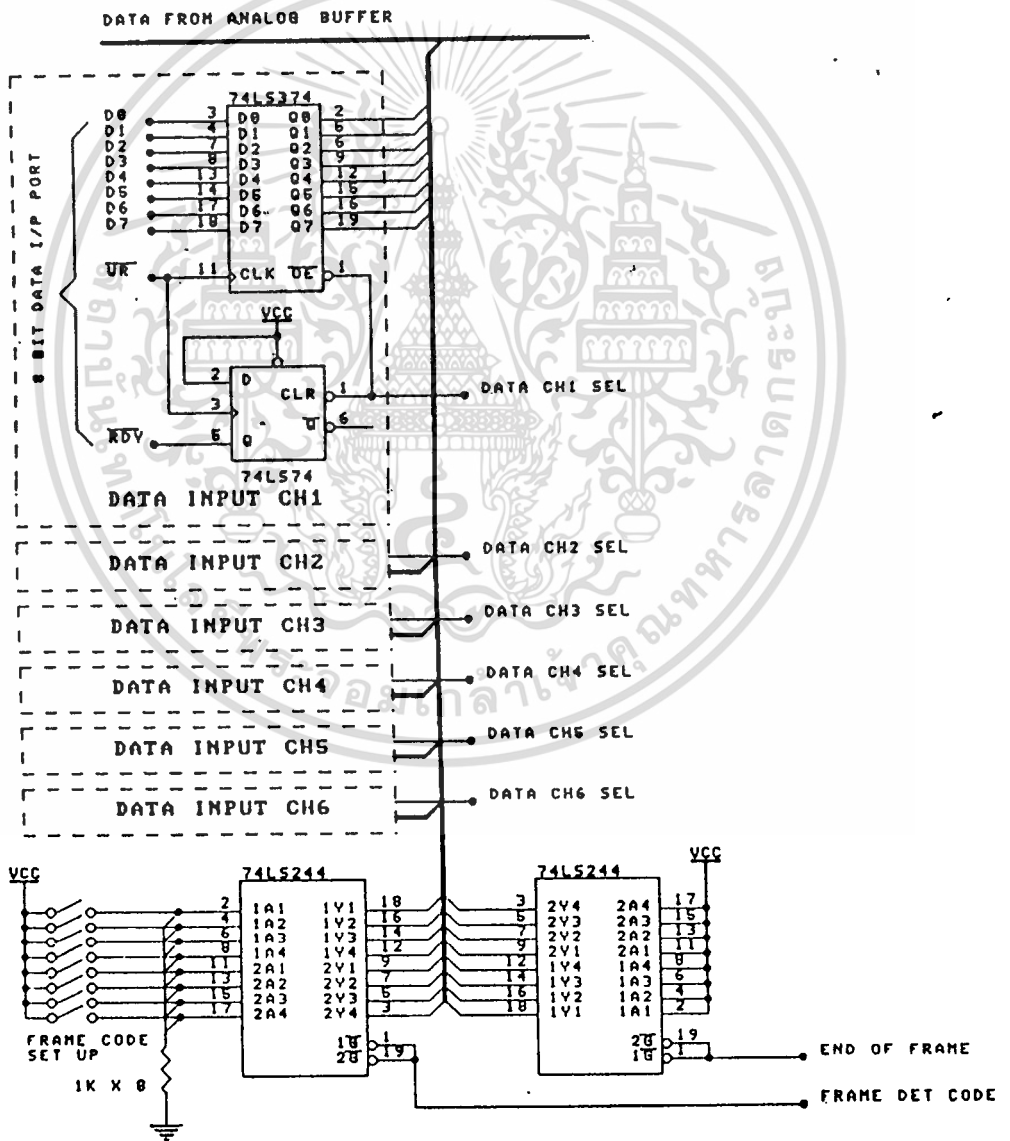
$$8000 \times 8 = 64 \text{ Kbits./ Sec.}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อความเหมาะสม ข้อมูลของสัญญาณข้อมูลแบบดิจิทัล และรหัส ของ Frame Sync. Code จึงจัดให้ส่งด้วยอัตราความเร็วเดียวกัน เมื่อรวมทั้งขบวนสัญญาณ 1 Frame จะทำให้มีข้อมูลทั้งสิ้น 16 ชุด แต่ละชุดใช้ความเร็วในการส่ง 64 Kbit / Sec. ดังนั้นจะต้องส่งข้อมูลทั้งหมดด้วยความเร็ว

$$64 \text{ Kbits / Sec.} \times 16 = 1.024 \text{ Mbits / Sec.}$$

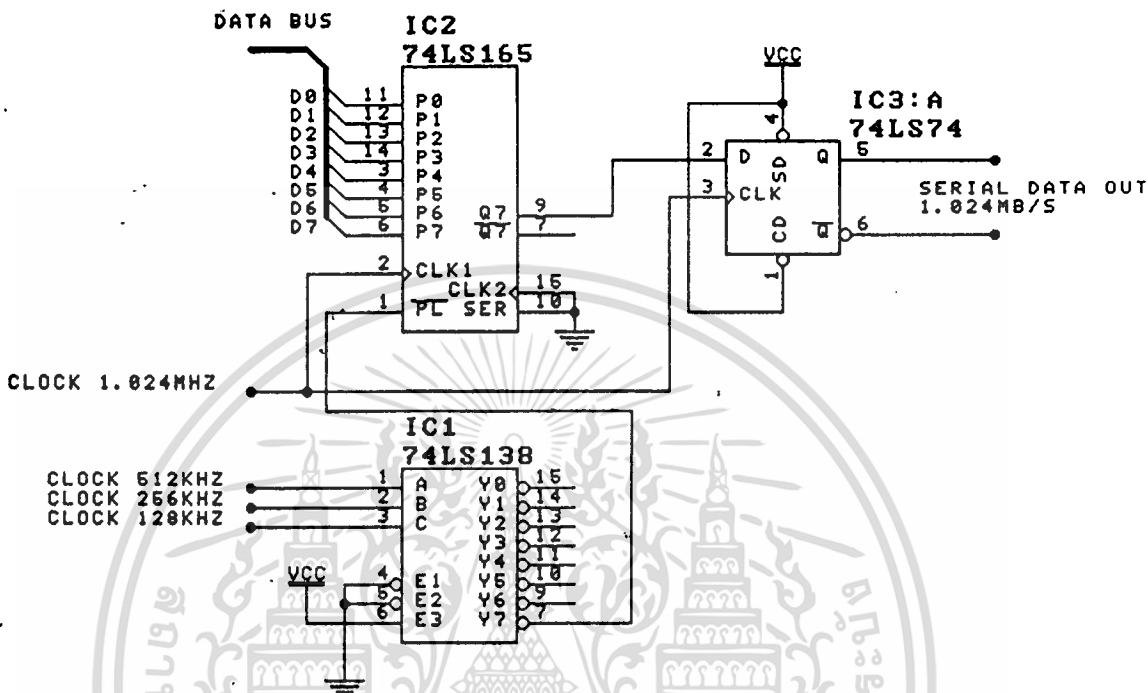
ชุด PISO จะรับข้อมูลของแต่ละช่องสัญญาณนี้ละ 8 Bits และส่งออกทีละบิต เรียงจากบิตที่สำคัญสูงสุด หรือ MSB (D7) ด้วยความเร็ว 1.024 Mbits / Sec. ทั้งนี้จากการควบคุมของวงจร Clock Timing Control โดยมีการจัดวงจรตามรูปที่ 3.6



เอกสารนี้เป็นเอกสารที่สงวนรูปที่ 3.6 วงจร FRAME CODE BUFFER, DATA BUFFER และ PISO โยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

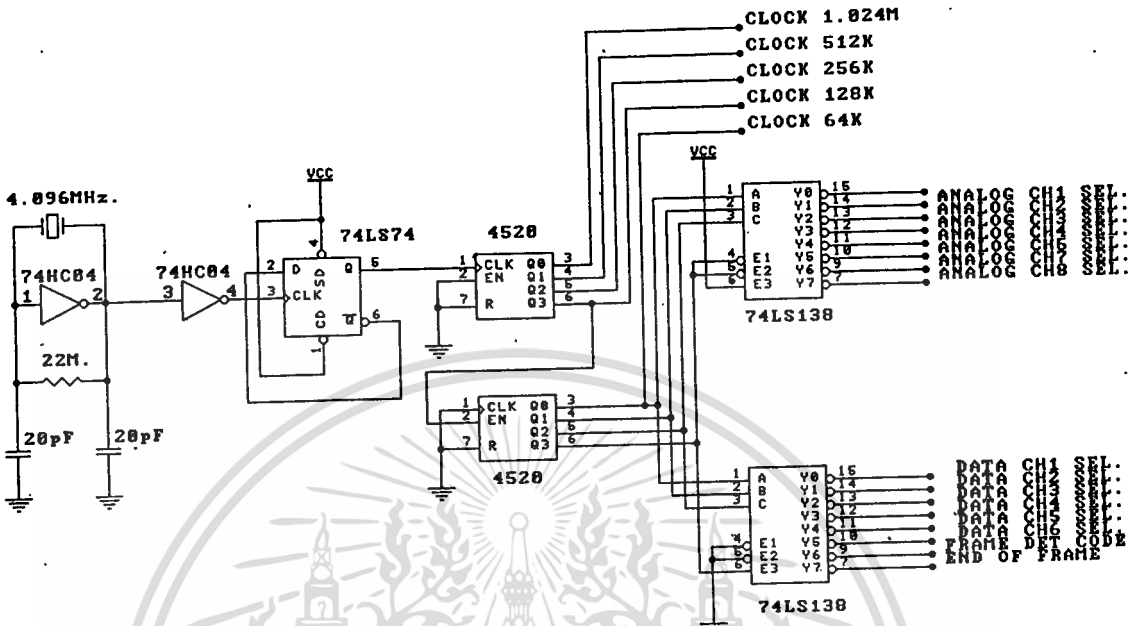
- วงจร PISO

เป็นวงจรเปลี่ยนข้อมูลแบบขนาน 8 บิต เป็นข้อมูลแบบอนุกรม โดยส่งบิตนัยสำคัญสูงสุด (MSB) เป็นบิตแรกแล้วเรียงตามลำดับไปจนถึงบิตต่ำสุด (LSB) ใช้ไอซีเบอร์ 74LS165 และอุปกรณ์ประกอบรวม ดังรูป



รูปที่ 3.7 วงจร PISO

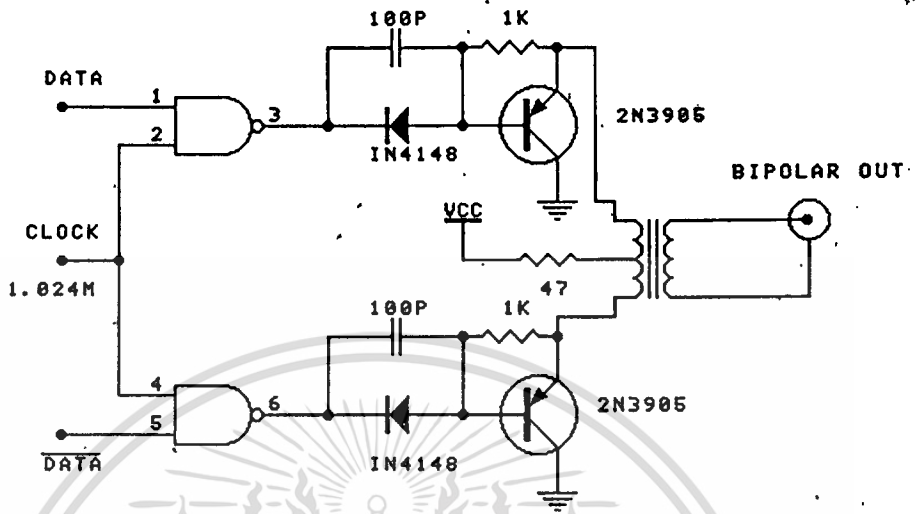
การทำงานของวงจรอธิบายได้ดังนี้ ไอซี 74LS165 เริ่มการส่งข้อมูลขนาน 8 บิต ออกไปที่ละ 1 บิต ตามจังหวะสัญญาณนาฬิกา 1.024 MHz ที่ป้อนให้ขา 2 ของ IC 74LS165 ส่วนไอซี 74LS69 และ 74LS138 ต่อร่วมกันเป็นวงจรมับ 0-7 เพื่อสร้างสัญญาณการไหลตข้อมูลชุดใหม่ให้กับ 74LS165 เมื่อข้อมูลบิต 7 คือ บิต 0 ถูกส่งออกไปครบหมดแล้ว ส่วนไอซี 74LS74 ที่ต่ออยู่ตรง สัญญาณข้อมูลอนุกรมของ 74LS165 (ขา 9) นั้น จะเป็นตัวจัดสร้างข้อมูลที่ได้ให้มีขนาดความกว้างของบิตข้อมูล เท่ากับ 1 คาบสัญญาณนาฬิกา หรือ 1/1.024 MHz ทั้งนี้เพราะสัญญาณที่ได้จาก 74LS165 โดยตรงนั้น บิต 7 หรือบิตแรกที่ได้จากการไหลตข้อมูล จะมีความกว้างของบิตไม่แน่นอน ทั้งนี้เพราะการไหลตข้อมูลของ 74LS165 เป็นแบบไหลตโดยตรงทันทีทันใด (DIRECT ACCESS) “ไม่มีการรอจังหวะของสัญญาณนาฬิกา ดังนั้นจึงต้องใช้ 74LS74 ซึ่งเป็น D-FLIP FLOP มาเป็นตัวช่วยสร้างสัญญาณเข้าพุทที่ตรงกับสัญญาณนาฬิกาจริงๆ และที่สัญญาณนาฬิกาของ 74LS74 มีการใช้การกลับเฟส ทั้งนี้เพราะต้องการให้จังหวะการ LATCH ข้อมูลของ 74LS74 เป็นกึ่งกลางบิตข้อมูลพอดี เพื่อป้องกันการผิดพลาดข้อมูลในสภาวะที่กำลังมีการเปลี่ยนสภาวะจาก 0 เป็น 1 หรือจาก 1 เป็น 0 นั้นเอง



รูปที่ 3.8 วงจรสร้างสัญญาณนาฬิกาและสัญญาณควบคุม

3.1.7 วงจรสร้างสัญญาณนาฬิกาและสัญญาณควบคุม

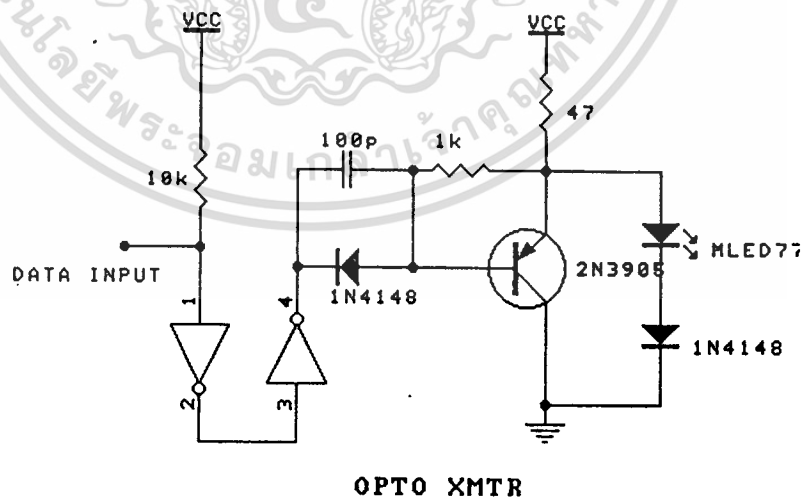
ใช้ในการกำเนิดสัญญาณนาฬิกา ด้วยความถี่ 4.096 MHz จาก CRYSTAL ซึ่งให้ความเที่ยงตรงสูง ผ่านวงจรหารสองที่ใช้ IC 74LS74 ได้ความถี่ 2.048 MHz ป้อนเข้าสู่วงจร BINARY COUNTER ซึ่งใช้ IC 4520 สองตัว เพื่อให้ได้ความถี่ 1.024MHz ,512MHz ,256MHz ,128MHz ,64MHz . ส่วนความถี่ 32kHz, 16kHz และ 8kHz จะนำไปเป็นสัญญาณควบคุมของสัญญาณอินพุต โดยใช้ IC 74LS138 เป็นตัวถอดรหัส สำหรับสัญญาณควบคุมอินพุต โดยมีการจัดวงจรตามรูปที่ 3.8



รูปที่ 3.9 วงจรเปลี่ยนสัญญาณขั้วเดียวเป็นสัญญาณ 2 ขั้ว (Unipolar to Bipolar Converter)

3.1.8 วงจรเปลี่ยนสัญญาณขั้วเดียวเป็นสัญญาณ 2 ขั้ว (Unipolar to Bipolar Converter)

เป็นการเปลี่ยนสัญญาณข้อมูล ที่ได้จาก PISO ซึ่งเป็นสัญญาณขั้วเดียว (Unipolar) มีระดับสัญญาณอยู่ 2 ระดับคือ 0V. และ 5V. ให้เป็นสัญญาณ 2 ขั้ว โดยมีการเปลี่ยนแปลงอยู่ในช่วงประมาณ +3 V. ถึง -3 V.

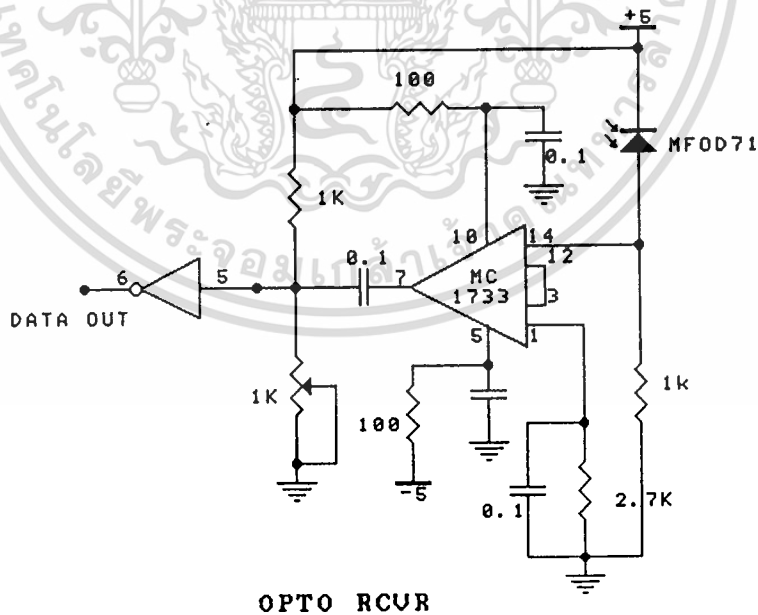


รูปที่ 3.10 วงจรส่งสัญญาณแสงผ่านใยแสง (E/O CONV.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปแสดงการทำงานของวงจรด้านส่งของ Fiber Optic โดยใช้ MLED 77 เป็นตัว Generate ลำแสง เพื่อส่งเข้าไปใน Optic Cable สัญญาณ DATA INPUT ซึ่งเป็นสัญญาณ Digital จะถูกส่งผ่าน Buffer Converter 2 ตัว เพื่อยกระดับสัญญาณ ให้มีความแรงพอที่จะไปขับ Transistor ซึ่ง Transistor จะถูก bias ด้วยแรงดันขนาด 5V. แบบ Common Collector แรงดัน V_p จะถูกส่งผ่านเข้าทางขา B ผ่านทาง DIODE 1 N4148 ซึ่งต่ออยู่กับ แรงดันไฟ+ ทำให้ในสภาวะที่ Data I/P เป็นบวก เมื่อผ่าน Buffer 2ตัว จะทำให้ Diode Off เพราะแรงดันที่ขา K มากกว่าขา A ทำให้ Tr. อยู่ในสถานะ Off แรงดัน +Vcc จะไหลผ่านทาง Diode MLED77 และ 1N4148 ลง Ground ทำให้เกิดลำแสงผ่านเข้าไปในสาย Optic Cable ซึ่งจะแสดงถึง Data "1" ในกรณีที่ Data I/P เป็นลบ แรงดัน V_{cc} ที่ Bias ทางด้าน I/P จะเสมือนถูก bypass ลง Ground ทำให้ buffer convertor ขับสัญญาณแรงดัน Low ออกมาทาง Output ขา K ของ diode ทำให้ diode active และดึงกระแสที่ขา base ให้ต่ำกว่า emitter ทำให้ Tr. active และดึงกระแสจาก +V_{cc} ลง Ground และจะเหลือแรงดันตกคร่อมขา CE ประมาณ 0.2-0.3V.ซึ่งไม่มากพอที่จะทำให้ Diode MLED77 และ 1N4148 ทำงาน ทำให้ไม่มีลำแสงส่งออกไปในสาย Optic Fiber ซึ่งจะแสดงสถานะ Data "0"

Diode 1N4148 ใส่ไว้เพื่อเพิ่มระดับแรงดัน Active ให้สูงขึ้นมากเท่าแรงดัน V_{cc} ซึ่งในขณะที่ Tr. กำลังจะ ON มันจะไม่สามารถดึงกระแสผ่านตัวมันได้ในทันที ทำให้ Diode MLED77 Off ซ้ำกว่า DATA I/P



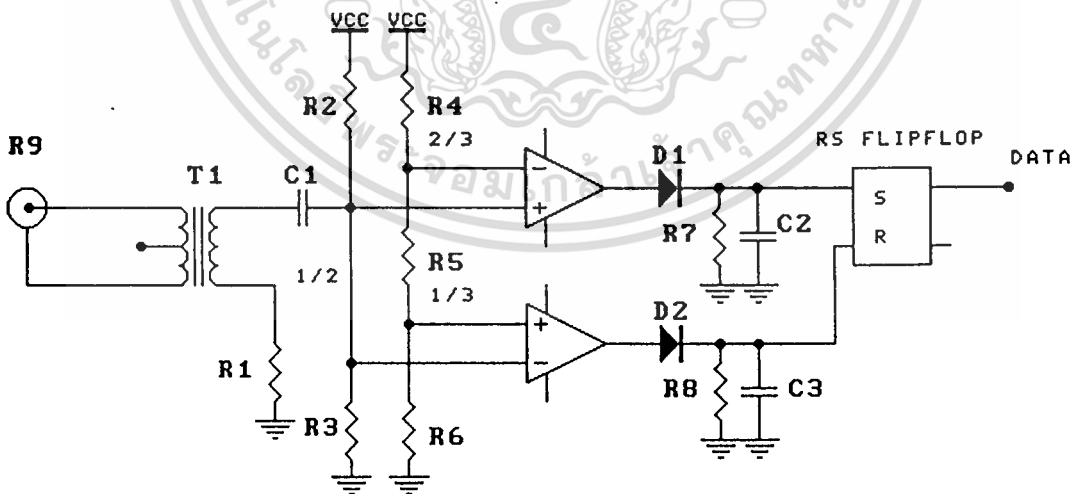
รูปที่ 3.11 วงจรรับสัญญาณแสง (E/O CONV.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Optic Fiber ทางด้านรับ (OPTO RCVR) จะใช้ Op-Amp เบอร์ MC 1733 เป็นตัวขยายซึ่ง IC เบอร์นี้ จะมีคุณสมบัติพิเศษคือ สามารถเลือกกำหนด Gain การขยายแบบคงที่ได้ และยังมี Band Width ที่กว้างประมาณ 120 MHz ซึ่งจากรูปจะต่อให้ Receiver Diode ทางขา A ต่ออยู่กับ Input + (PIN 14) ของ Op-AMP ส่วนทางด้าน K ต่ออยู่กับไฟเลี้ยง 5V.

การทำงานของวงจร เมื่อ Diode MFOD71 รับแสงจาก Optic Fiber มันจะยอมให้กระแสจากแหล่งจ่ายไหลผ่านตัวมัน ซึ่งจะทำให้แรงดันที่ขาไฟบวก (PIN 14) ของ Op-Amp มีค่ามากกว่าขาลบ Op-Amp จะให้แรงดัน O/P ที่ PIN7 เป็นบวกผ่าน Buffer ออกไป ในทางกลับกันถ้า Data I/P เป็น "0" (คือไม่มีแสงมาจาก Optic Fiber) Diode ก็จะไม่ยอมให้กระแสไหลผ่านตัวมันทำให้แรงดันไฟซึ่งบวกน้อยกว่าขาลบ Op-Amp จะส่งแรงดันไฟลบออกไปทาง O/P และเมื่อผ่าน Buffer ก็จะได้ระดับแรงดัน "0"

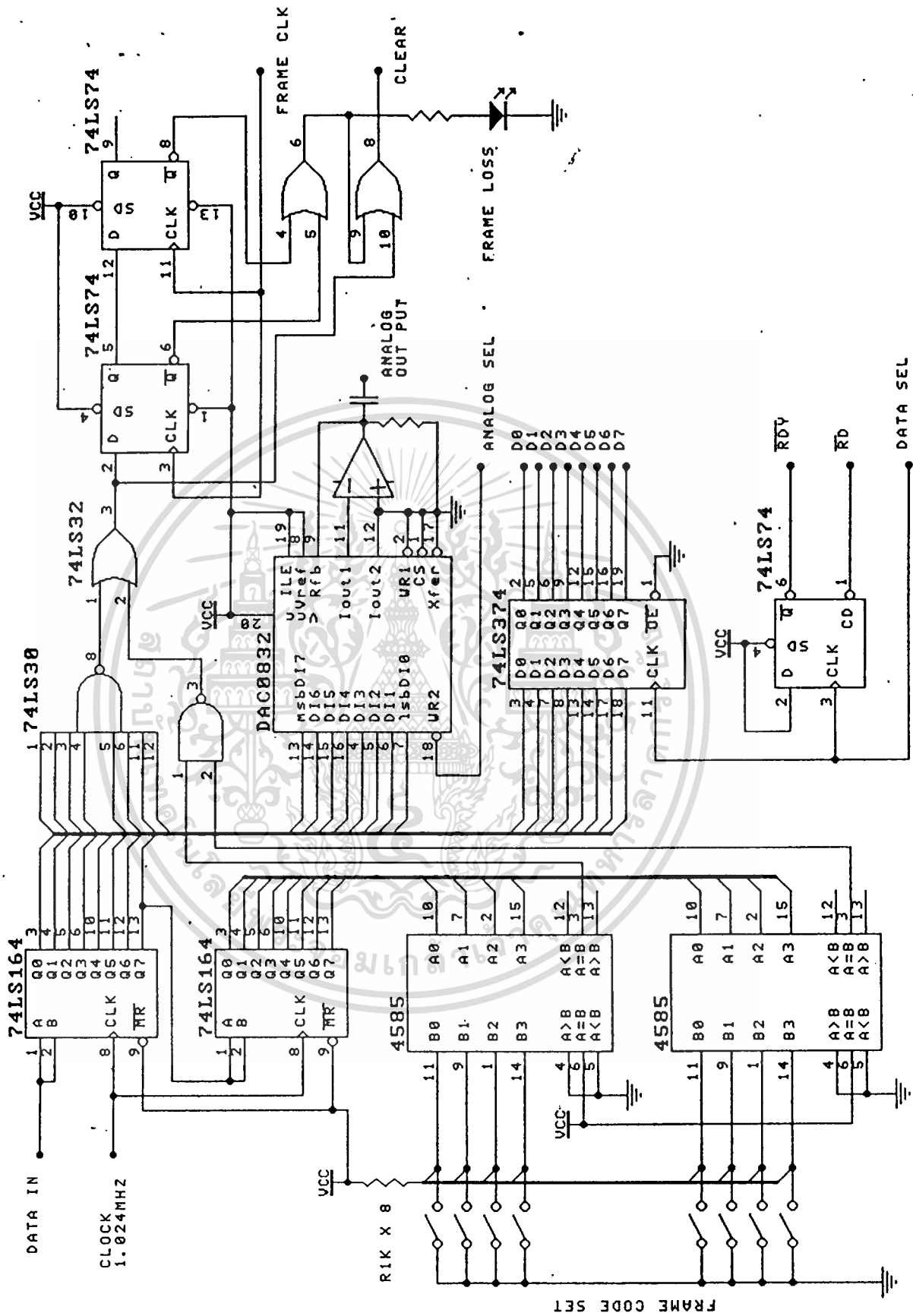
จะเห็นได้ว่าการทำงานของวงจรสามารถ Detect สัญญาณ และกลับมาเป็นสัญญาณ Dital เพื่อป้อนให้วงจรอื่นๆได้ ส่วน Variable Resistor 1K ทำหน้าที่ยกระดับของสัญญาณ O/P ของวงจรให้เหมาะสมกับภาคต่อไป



รูปที่ 3.12 วงจรแปลงสัญญาณสองขั้วเป็นสัญญาณขั้วเดียว (B-U CONV.)

วงจร B-U Convertor ทำหน้าที่เปลี่ยนสัญญาณจาก Bi-Polar ที่ส่งมาทางด้านส่งให้เป็นสัญญาณ Uni-Polar โดยสัญญาณ I/P (Bi-Polar) จะถูกส่งเข้าทางด้าน Transformer แบบมี 2 ขั้ว ซึ่ง Transformer จะทำให้สัญญาณ Output ออกมาเป็น บวก และ ลบ ตามสัญญาณ Bipolar ทาง I/P สัญญาณ บวก และ ลบ นี้จะถูกส่งผ่านเข้าไปยังส่วนของ Resistor ที่ต่อในลักษณะแบ่งแรงดัน โดยมันจะทำหน้าที่จัดระดับแรงดันให้กับ Op-Amp โดยชุดหนึ่งถูกแบ่งออกเป็น 2 ระดับ คือ $2/3 V_{cc}$ และ $1/3 V_{cc}$ และ อีกชุดหนึ่ง ถูกต่ออยู่ในระดับเดียวกันคือ $1/2 V_{cc}$ Op-Amp จะทำหน้าที่วัดค่าความแตกต่างของแรงดันที่ได้จาก Transformer โดยเมื่อสัญญาณทาง Input เข้ามาเป็นซีกบวก จะทำให้ระดับแรงดันที่ขาของ Op-Amp เพิ่มขึ้น ทำให้ Op-Amp ตัวบนมีระดับแรงที่ขาบวกมากกว่าระดับแรงดันที่ขา ลบ และส่งแรงดันบวก ออกไปให้กับ RS-FlipFlop ที่ขา set จะได้ สัญญาณ DATA o/p เป็น บวก ตามสัญญาณ I/P และเมื่อเวลาที่สัญญาณ I/P ซีกลบเข้ามามันจะทำลดระดับแรงดันที่ขาของ Op-Amp ลงทำให้ระดับแรงดันของ Op-Amp ตัวล่างให้มีระดับแรงดันที่ขา บวก มากกว่าขา ลบ และส่งระดับแรงดัน บวกให้กับ RS-FlipFlop ที่ขา Reset ทำให้ DATA OUTPUT ออกมาเป็น "0"





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.19 วงจรเปลี่ยนข้อมูลอนุกรมเป็นข้อมูลขนาน

เป็นวงจรที่ทำการเปลี่ยนสัญญาณข้อมูล NRZ(L) ที่ได้จาก B-U Conv. หรือ O/E Conv. มาทำการเปลี่ยนเป็นสัญญาณข้อมูลแบบขนาน 8 บิต โดยใช้ไอซี SIPO เบอร์ 74LS164 ตัวที่ 1 มีอัตราการเลื่อนข้อมูลตามจังหวะของสัญญาณนาฬิกา 1.024 MHz. ที่ได้มาจากวงจร Bit Synchronize หรือวงจรคินสภาพสัญญาณนาฬิกา ซึ่งมีการจัดสร้างให้สัมพันธ์กับสัญญาณนาฬิกาทางด้านส่ง แล้วสัญญาณข้อมูลทั้ง 8 บิตจะถูกส่งออกไปในบัสข้อมูล เพื่อรอการดึงไปใช้จากวงจรส่วนอื่นต่อไป

3.20 วงจรตรวจจับขอบวนสัญญาณ (Frame Detection)

จะเป็นส่วนที่ทำหน้าที่ตรวจสอบขอบวนข้อมูลที่ได้รับเข้ามา เพื่อตำแหน่งของแต่ละช่องสัญญาณให้ถูกต้องตรงตามทางด้านส่งส่งมา โดยจะมีการตรวจสอบหาตำแหน่งข้อมูล 8 บิตชุดสุดท้ายของเฟรม ซึ่งก็คือ Frame Code 8 บิต โดยมีโค้ดตามที่กำหนด(ด้านส่งและรับต้องกำหนดให้ตรงกัน) พร้อมกับตรวจสอบข้อมูลชุดต่อไปว่า ใช้จุดเริ่มต้นของขอบวนข้อมูลหรือเปล่า ซึ่งข้อมูลบอกจุดเริ่มต้นนี้ จะกำหนดด้วยรหัส OFFH หรือ เป็น "1" ทั้ง 8 บิต หากถูกต้องก็จะกำหนดให้ข้อมูลชุดต่อไป เป็นของช่องสัญญาณที่ 1,2,3.....ไปจนถึงชุดสุดท้ายก็จะตรวจสอบเฟรมโค้ด และจุดเริ่มต้นของเฟรมอีกครั้ง

ในการตรวจเฟรมโค้ดและจุดเริ่มต้นของขอบวนข้อมูลนั้น ถ้าในเฟรมใดมีการผิดพลาดเกิดขึ้นนั้น ช่องสัญญาณที่ 16 ไม่ใช่รหัสเฟรมโค้ด หรือจุดเริ่มต้นของขอบวนสัญญาณไม่ใช่ OFFH ดังนั้นแสดงว่าการตรวจสอบตำแหน่งเฟรมข้อมูลน่าจะผิดพลาดขึ้น แต่เหตุการณ์เช่นนี้อาจจะเกิดขึ้นได้จากการส่งข้อมูลในช่องสัญญาณอื่นๆ ซึ่งบังเอิญมีรหัสตรงกับเฟรมโค้ดและ OFFH ดังนั้นเพื่อเป็นการป้องกันการสับสนกับเหตุการณ์เช่นนี้ จำกำหนดให้วงจรจะทำการปรับเปลี่ยนจุดเริ่มต้นของขอบวนสัญญาณใหม่ ก็ต่อเมื่อมีการผิดพลาดของการตรวจสอบเฟรม 2 เฟรมติดกัน หากมีการผิดพลาดของเฟรมโค้ด หรือตรวจสอบพบเฟรมโค้ดพบเพียง 1 รอบหรือเฟรมของขอบวนข้อมูล จะยังไม่มีการปรับเปลี่ยนตำแหน่งของข้อมูลแต่อย่างใด

วงจรในส่วนนี้จะประกอบไปด้วย SIPO 74LS164 ตัวที่ 2 เป็นตัวจัดข้อมูลเพื่อป้อนให้กับ 4585 สองตัว ซึ่งประกอบกันเป็น 8 Bit Magnitude Comparator เมื่อใดก็ตามถ้าข้อมูลทั้ง 8 บิต ที่รับเข้ามาตรงกับโค้ดที่ตั้งไว้ด้วย DIP SW. ทั้ง 8 ตัวก็จะส่งสัญญาณ Frame Code ออกไป

ไอซี 74LS30 เป็น NAND GATE 8 อินพุท ทำหน้าที่เป็นตัวตรวจสอบหาจุดเริ่มต้นของเฟรม หรือข้อมูลส่วนที่มีสัญญาณเป็นหนึ่งทุกบิต เพื่อนำไปร่วมกับสัญญาณเฟรมโค้ด ที่ได้จากไอซี 4585 ทั้งสองตัว เป็นสัญญาณเฟรมซิงโครไนซ์ ผ่านกระบวนการตรวจเช็คความถูกต้องซึ่งประกอบด้วยไอซี 7474 และ OR GATE อีก 2 ตัวสร้างเป็นสัญญาณ CLEAR เพื่อเป็นการกำหนดจุดเริ่มต้นของขอบวนสัญญาณต่อไป

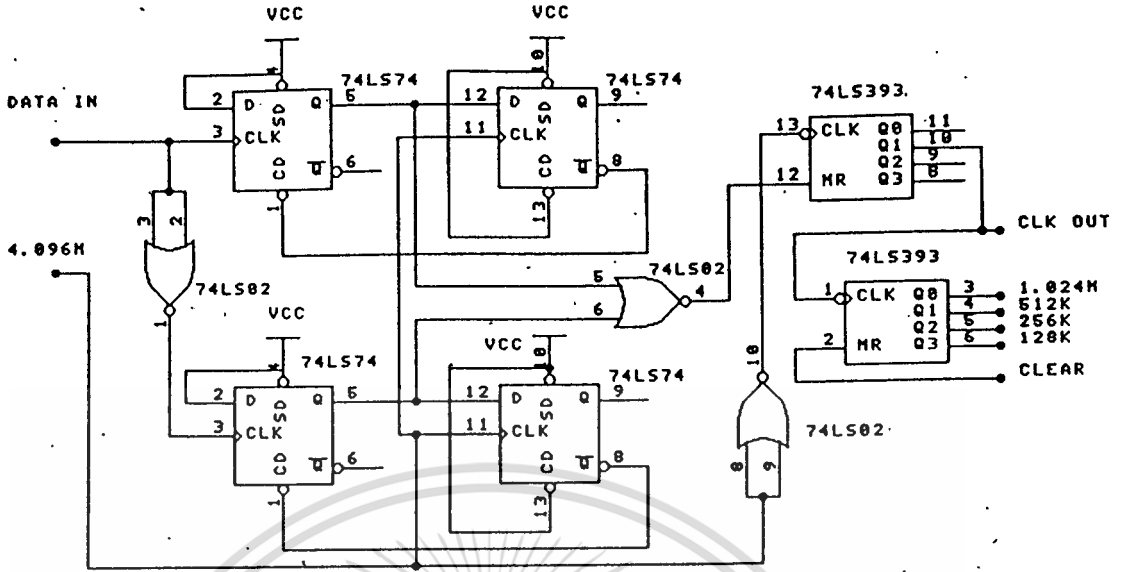
3.21 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอก

เป็นวงจรที่แปลงสัญญาณดิจิทัลที่ได้จาก SIPO ในตำแหน่งของช่องสัญญาณที่ต้องการให้กลับมาอยู่ในรูปของสัญญาณอนาลอก โดยใช้ไอซี DAC0832 ซึ่งเป็น 8 บิต D/A CONV. สัญญาณเอาพุทที่ได้จะอยู่ในรูปของการเปลี่ยนแปลงกระแสระหว่าง I_{out1} และ I_{out2} จึงต้องผ่านออปแอมป์เพื่อให้อยู่ในรูปอนาลอกโวลต์เตจ

3.22 วงจรบัฟเฟอร์ข้อมูล

ใช้ไอซี 74LS374 ร่วมกับ 74LS74 ส่วนของข้อมูลในช่องสัญญาณที่ต้องการ จะถูกแลทไว้ที่ 74LS374 ในขณะที่เดียวกัน 74LS74 ก็จะสร้างสัญญาณ READY ออกมาเพื่อเป็นการบอกให้อุปกรณ์ภายนอกที่ต้องการรับข้อมูลนี้มาทำการอ่านข้อมูลไปได้





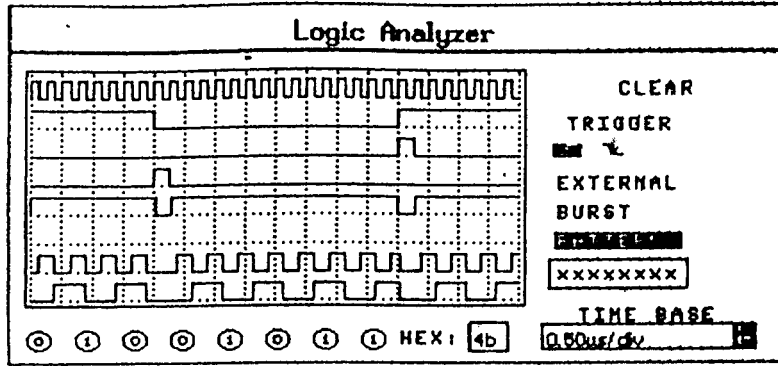
รูปที่ 3.14 วงจรบิทซิงโครไนซ์เซตขึ้นและวงจรสร้างสัญญาณควบคุม

วงจรบิท ซิงโครไนซ์เซตขึ้น เป็นการสร้างจังหวะสัญญาณนาฬิกาของทางด้านส่งและด้านรับให้มีความสัมพันธ์กัน โดยการตรวจจับที่สัญญาณอินพุตที่รับเข้ามาหาตำแหน่งที่มีการเปลี่ยนแปลงของข้อมูลจาก 0 เป็น 1 หรือจาก 1 เป็น 0 และใช้ระดับการเปลี่ยนแปลงของสัญญาณนี้ในการ Synchronization การทำงานของวงจร

สัญญาณ DATA จะถูกส่งเข้ามาทางด้านอินพุต และจะถูกแบ่งออกเป็น 2 ทาง เพื่อจัดระดับการเปลี่ยนแปลงทั้งทางด้าน LOW และ HIGH โดยผ่าน NAND GATE หลังจากนั้นสัญญาณการเปลี่ยนแปลงทั้ง 2 จะผ่านไปยัง D FLIP FLOP ซึ่งจะ ACTMC และให้ O/P 0 เป็น 1 เมื่อมีการเปลี่ยนแปลงสัญญาณ DATA INPUT โดย IC1 : A จะให้ O/P 0 เป็น 1 เมื่อ DATA VP มีการเปลี่ยนแปลงจาก 0 เป็น 1 และในทางกลับกัน IC2 : A ก็จะให้ O/P 0 เป็น 1 เมื่อสัญญาณDATA /VP มีการเปลี่ยนแปลงจาก 1 เป็น 0 IC1 : B และ IC2 : B จะถูกป้อนด้วยCLK 4.096 MHz. เมื่อทำหน้าที่ควบคุมระดับความกว้างของ PULSC ของสัญญาณทั้ง 2 ให้มีความกว้างไม่เกิน 122 NS โดยใช้ขา Q เป็นตัว Feed back ให้กับ IC1 : A และ IC2 : A ซึ่ง Q จะทำการ Resct ตามจังหวะของCLK 4.096 MHz. เมื่อสัญญาณ Q US IC1 : A และ IC2 : B เป็น 1

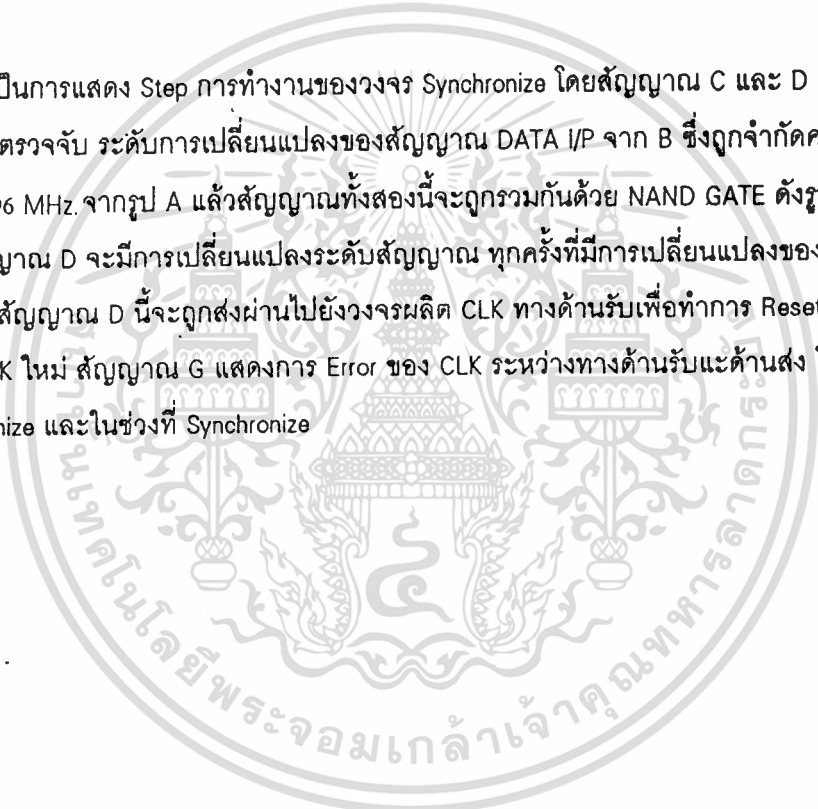
สัญญาณการตรวจจับระดับการเปลี่ยนแปลงทั้ง 2 ที่ได้นี้จะถูกส่งผ่าน NAND GATE เพื่อไป React Counter US IC3 : B เพื่อเริ่มต้นการนับใหม่

จากหลักการทำงานดังกล่าวข้างต้นจะเห็นได้ว่าวงจรนี้สามารถที่จะ Resct Counter เพื่อเริ่มผลิต CLK ทางด้านส่งใหม่ทุกครั้งที่มีการเปลี่ยนแปลงของระดับแรงดันของสัญญาณ DATA ทางด้านส่ง ไม่ว่าจะเปลี่ยนระดับจาก LOW หรือ HIGH ซึ่งมันสามารถรักษาระดับความสัมพันธ์ในการ Sampling ของภาครับไม่ให้เกิดผลขาด หรือมีการ Sampling ผิด Time bits ได้



รูปที่ 3.15 Timing Diagrame จากการจำลองการทำงานของวงจร Bit Synchronization.

จากรูปเป็นการแสดง Step การทำงานของวงจร Synchronize โดยสัญญาณ C และ D เป็นสัญญาณที่ได้จากการตรวจจับ ระดับการเปลี่ยนแปลงของสัญญาณ DATA I/P จาก B ซึ่งถูกจำกัดความกว้างด้วย CLK 4.096 MHz. จากรูป A แล้วสัญญาณทั้งสองนี้จะถูกรวมกันด้วย NAND GATE ดังรูป D ซึ่งจะเห็นได้ว่า สัญญาณ D จะมีการเปลี่ยนแปลงระดับสัญญาณ ทุกครั้งที่มีการเปลี่ยนแปลงของสัญญาณ DATA I/P F ซึ่งสัญญาณ D นี้จะถูกส่งผ่านไปยังวงจรผลิต CLK ทางด้านรับเพื่อทำการ Reset เพื่อเริ่มต้นการผลิต CLK ใหม่ สัญญาณ G แสดงการ Error ของ CLK ระหว่างทางด้านรับแะด้านส่ง ในช่วงจังหวะที่ไม่ Synchronize และในช่วงที่ Synchronize

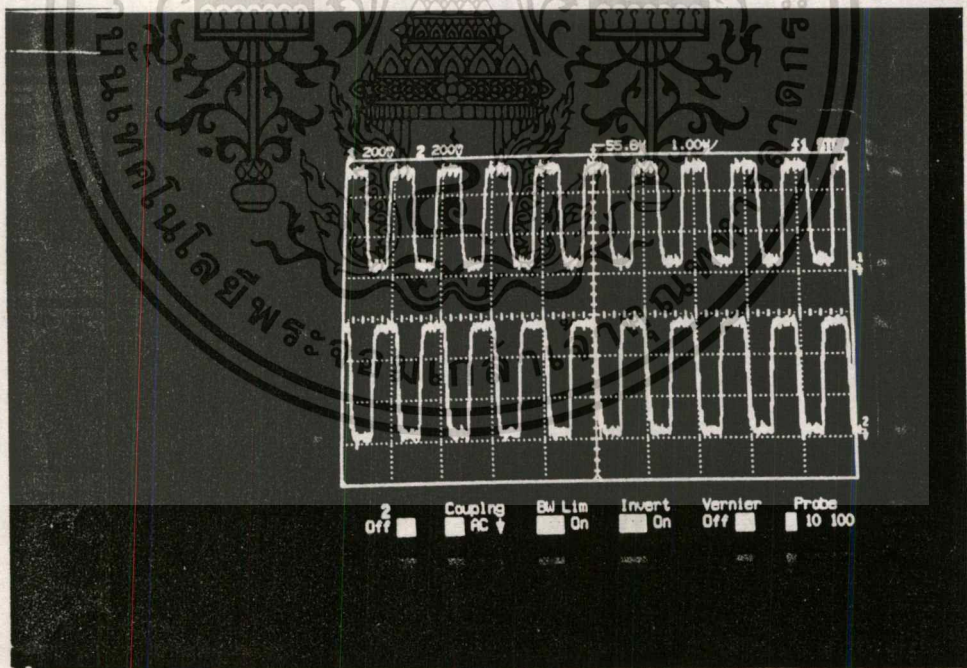


บทที่ 4

การทดลองและผลการทดลอง

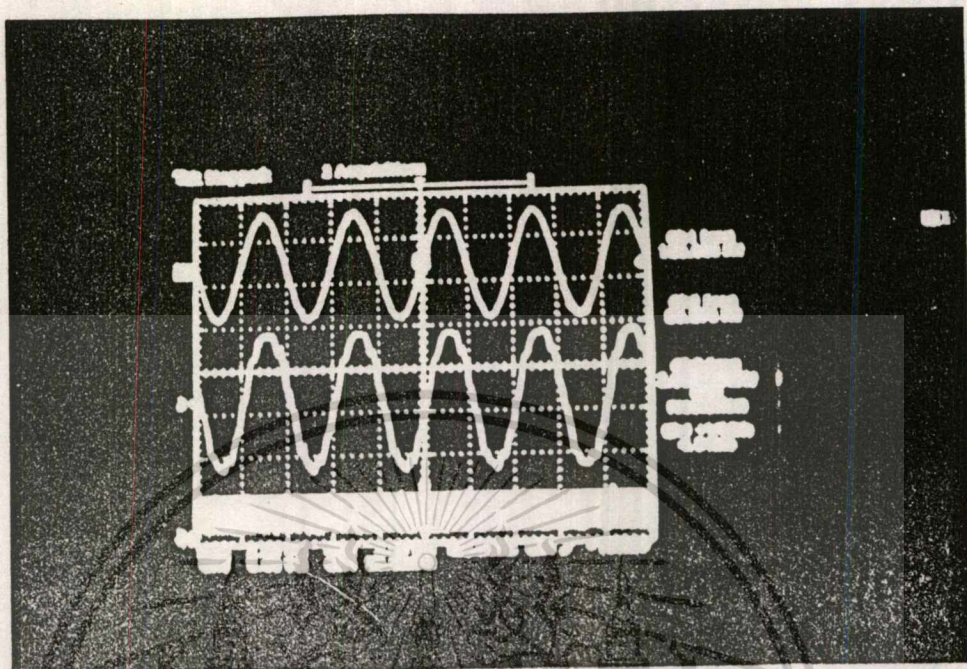
4.1 การทดลองส่วนอนาล็อก

จากการทดลองป้อนสัญญาณเสียง จาก Signal Generator ผ่านช่องสัญญาณอนาล็อกใช้ Oscilloscope จับสัญญาณเทียบระหว่าง สัญญาณอินพุตและเอาพุต ที่ได้จาก D/A ทางด้านรับ โดยทดลองตั้งแต่ความถี่ต่ำๆ ที่ 100 Hz. แล้วเพิ่มความถี่จนถึง 4.5 kHz. จะพบว่าตั้งแต่ความถี่ 3.5 kHz. ขึ้นไป จะเริ่มมีการผิดเพี้ยนของสัญญาณทางรูปร่าง แต่คาบเวลาหรือความถี่ของสัญญาณยังคงเดิม ขณะเดียวกันถ้าป้อน สัญญาณเอาพุตนี้ให้กับวงจรมอนิเตอร์สัญญาณเสียง เพื่อทดลองฟังเสียงสัญญาณที่ได้ จะพบว่ามีเสียงเหมือนกับทางอินพุต แต่จะมีสัญญาณรบกวนปนออกมาให้ได้ยินด้วย แต่ก็ไม่มากนัก

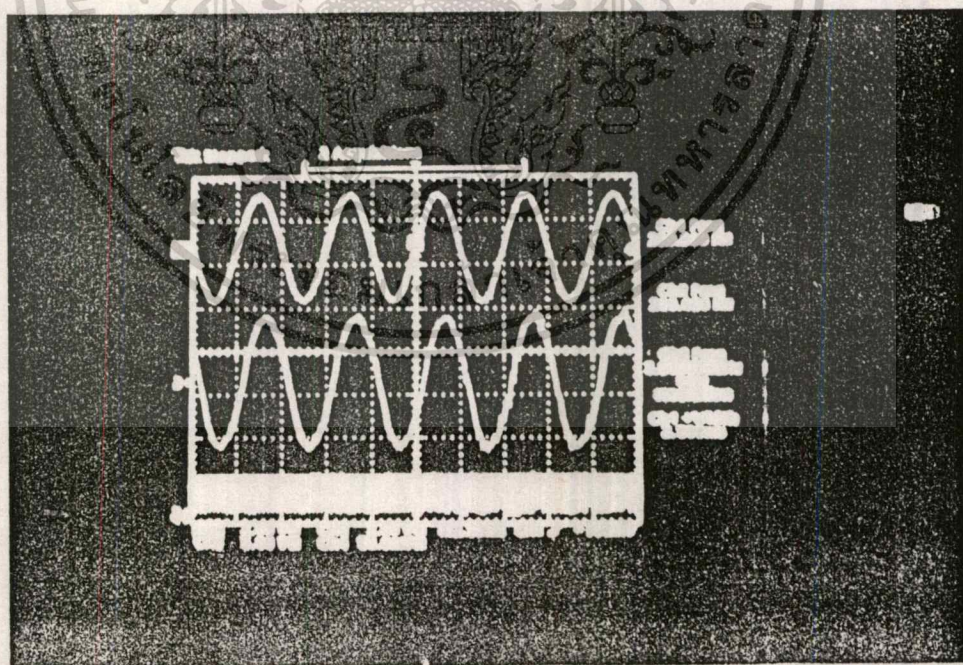


รูปที่ 4.1 แสดง CLOCK 1 MHz. โดยที่ CH.1 เป็นด้านส่ง และ CH.2 เป็นด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

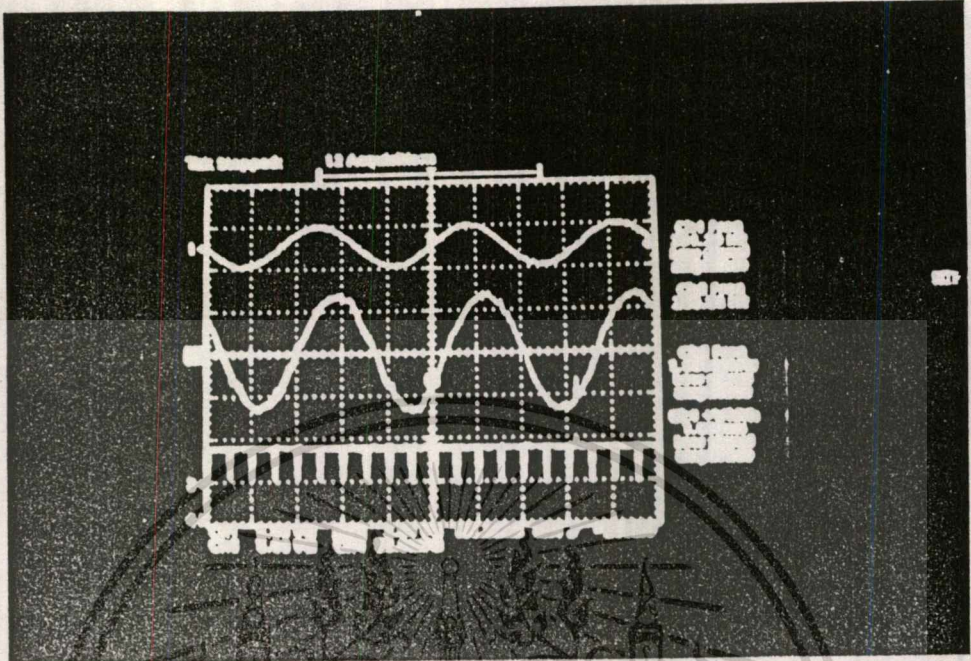


รูปที่ 4.2 CH.1 เป็นอินพุต 100 Hz, CH.2 เป็นเอาต์พุต และ CH.3 เป็น 8 kHz. Sampling.

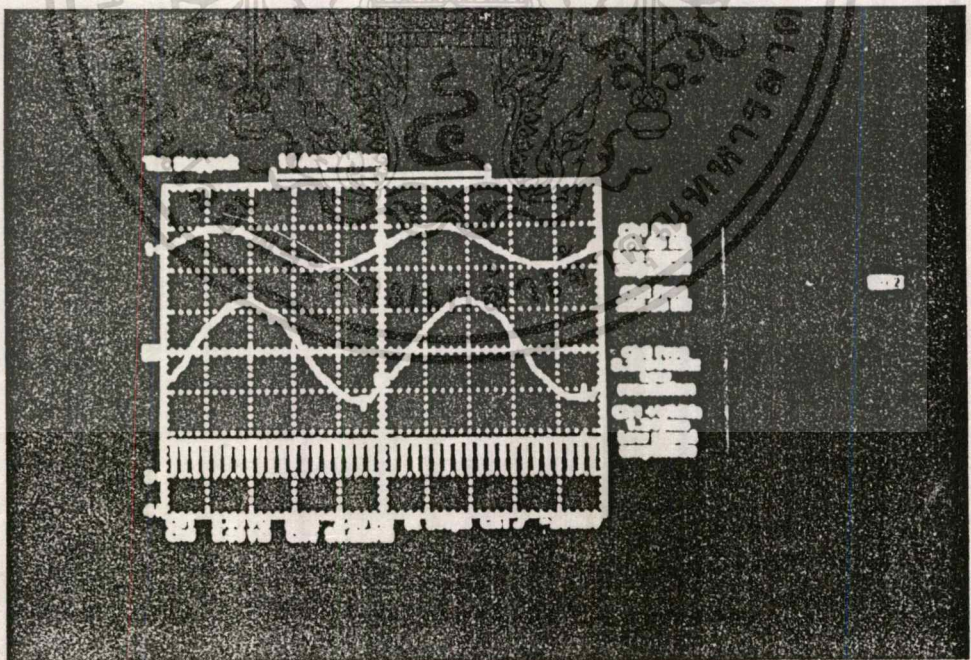


รูปที่ 4.3 CH.1 เป็นอินพุต 200 Hz, CH.2 เป็นเอาต์พุต และ CH.3 เป็น 8 kHz. Sampling.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

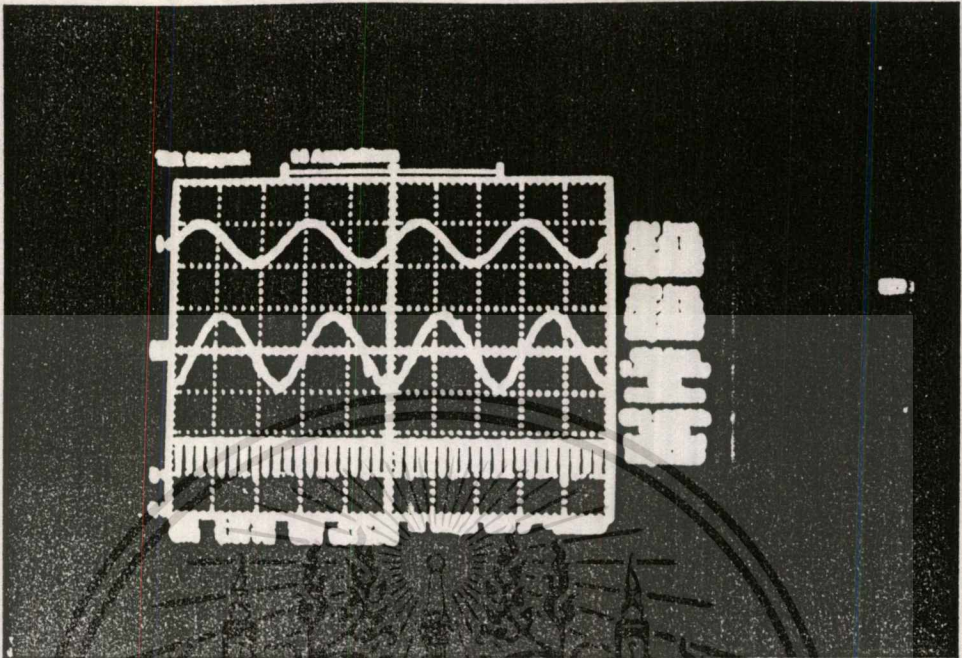


รูปที่ 4.4 CH.1 เป็นอินพุต 300 Hz., CH.2 เป็นเอาต์พุต และ CH.3 เป็น 8 kHz. Sampling.

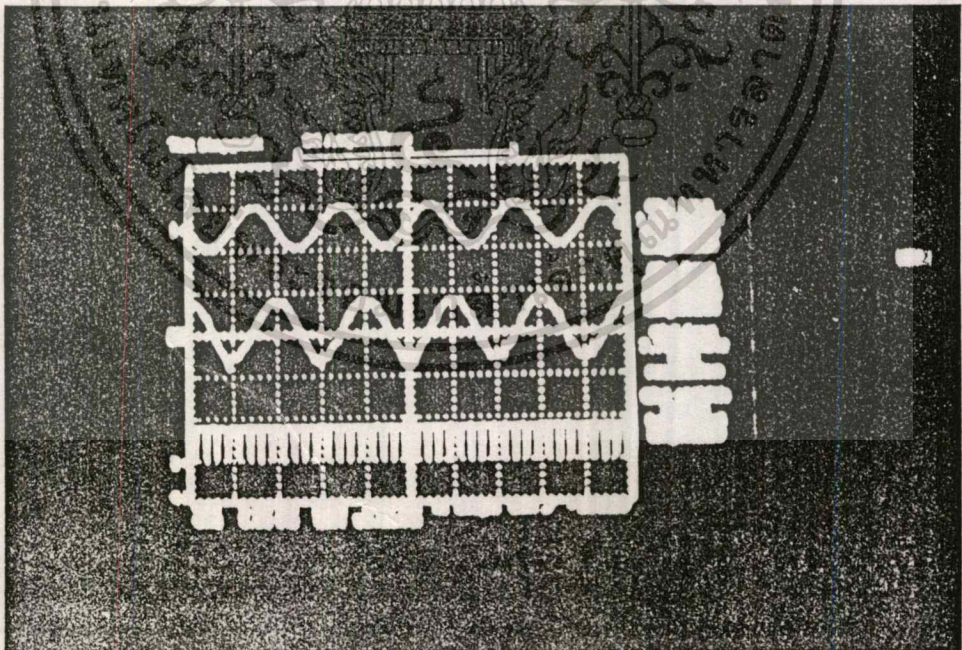


รูปที่ 4.5 CH.1 เป็นอินพุต 400 Hz., CH.2 เป็นเอาต์พุต และ CH.3 เป็น 8 kHz. Sampling.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

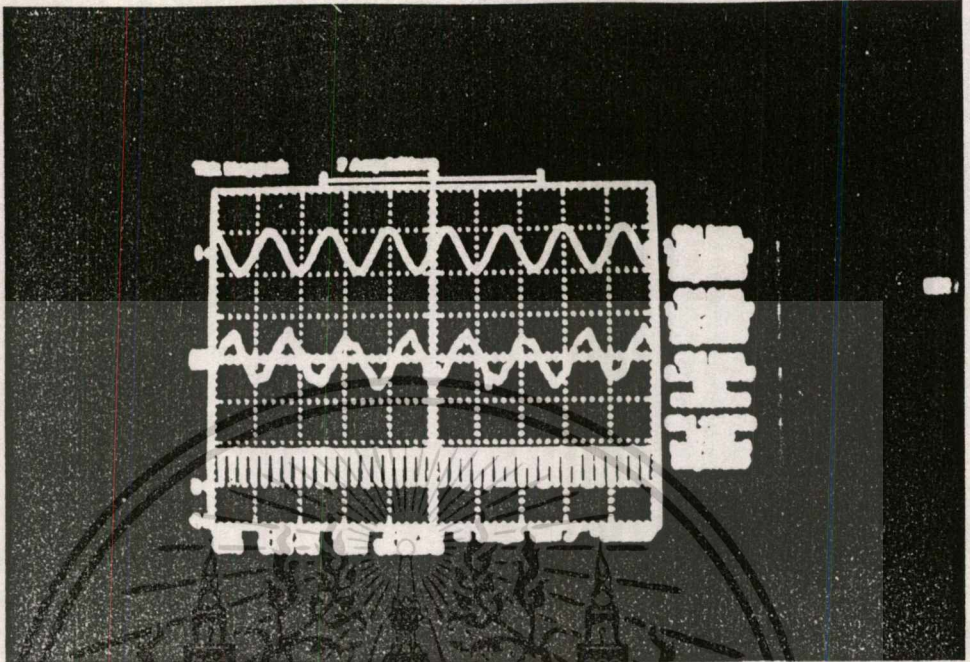


รูปที่ 4.6 CH.1 เป็นอินพุท 800 Hz., CH.2 เป็นเอาต์พุต และ CH.3 เป็น 8 kHz. Sampling.

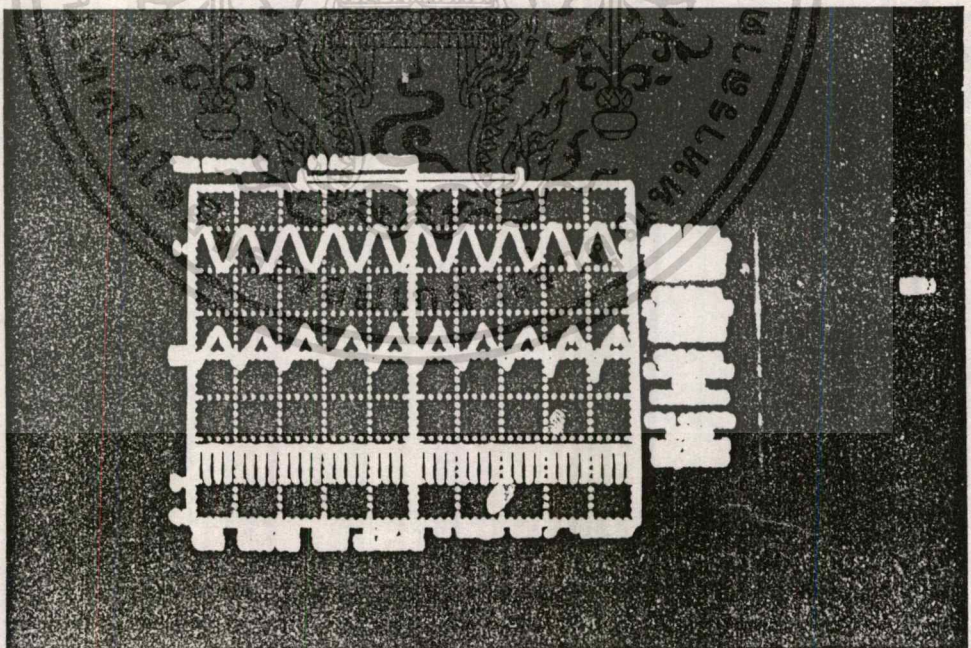


รูปที่ 4.7 CH 1 เป็นอินพุท 1kHz., CH.2 เป็นเอาต์พุต และ CH.3 เป็น 8 kHz. Sampling.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

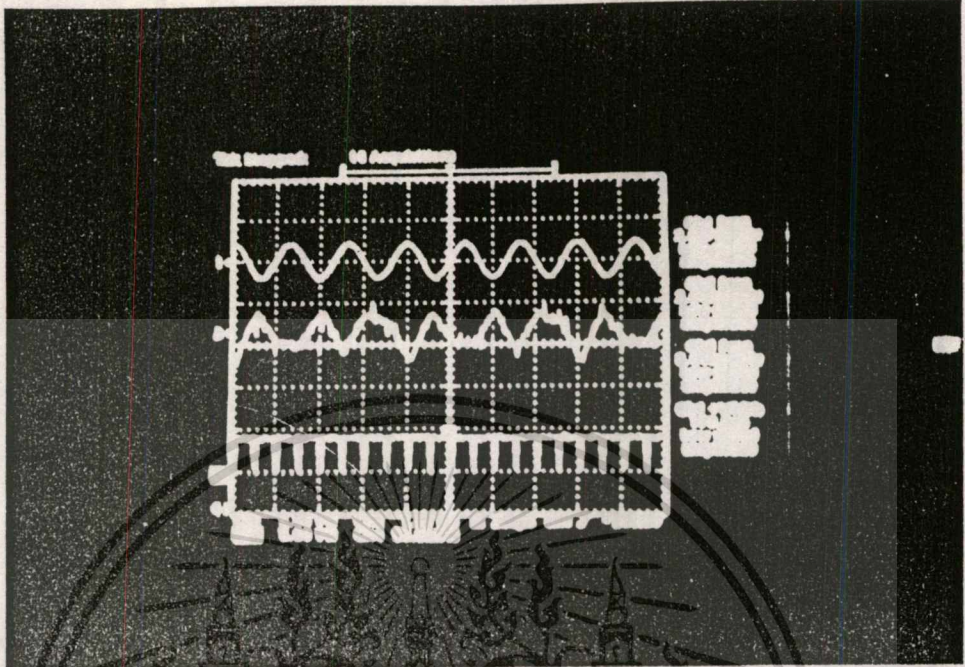


รูปที่ 4.8 CH.1 เป็นอินพุต 1.5 kHz, CH.2 เป็นเอาต์พุต และ CH.3 เป็น 8 kHz. Sampling.

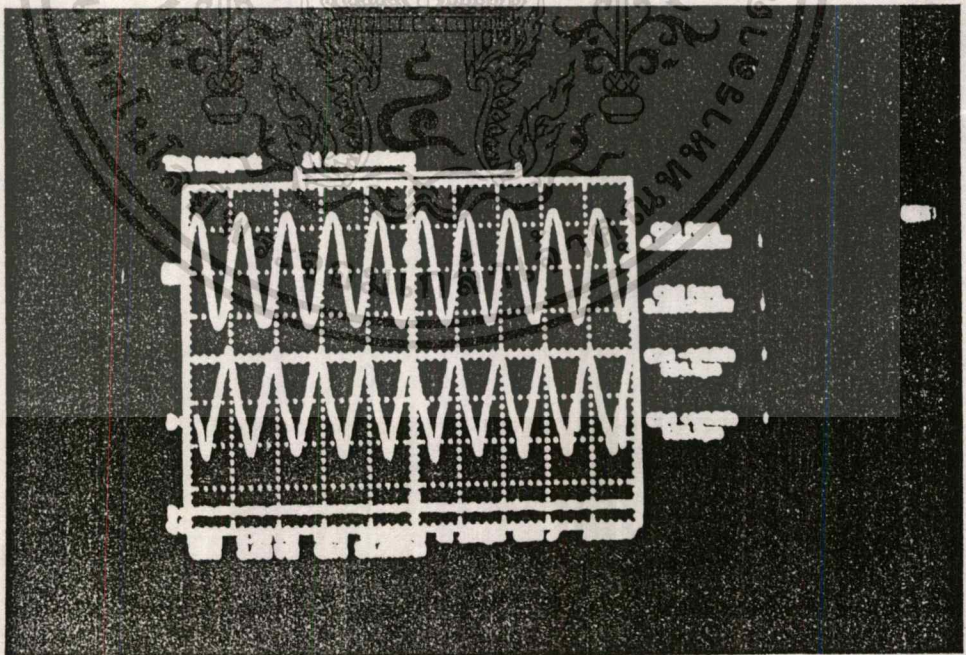


รูปที่ 4.9 CH.1 เป็นอินพุต 2 kHz, CH.2 เป็นเอาต์พุต และ CH.3 เป็น 8 kHz. Sampling.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

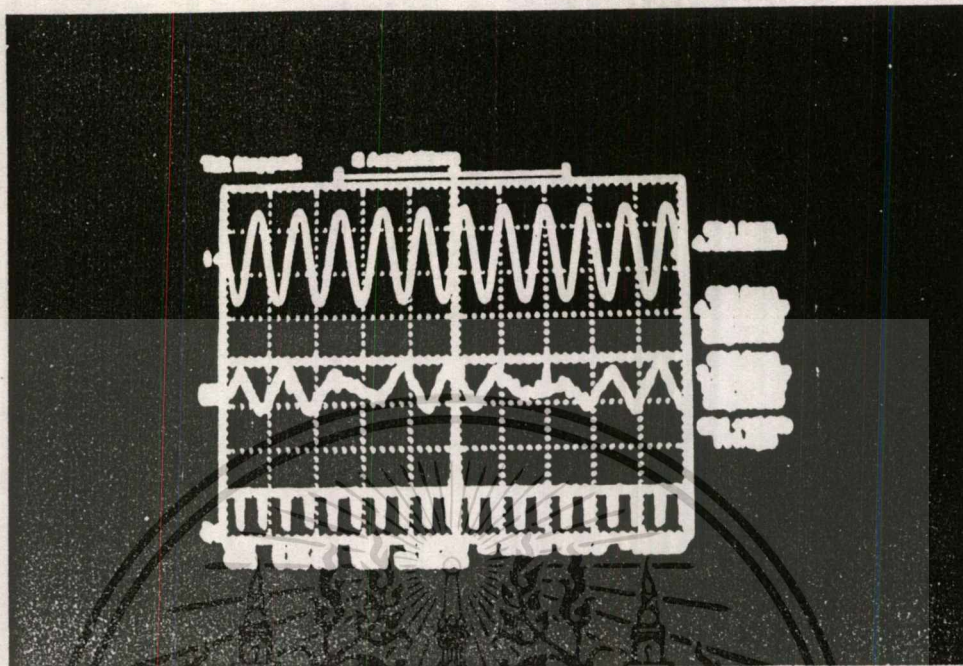


รูปที่ 4.10 CH.1 เป็นอินพุท 3 kHz, CH.2 เป็นเอาต์พุต และ CH.3 เป็น 8 kHz. Sampling.

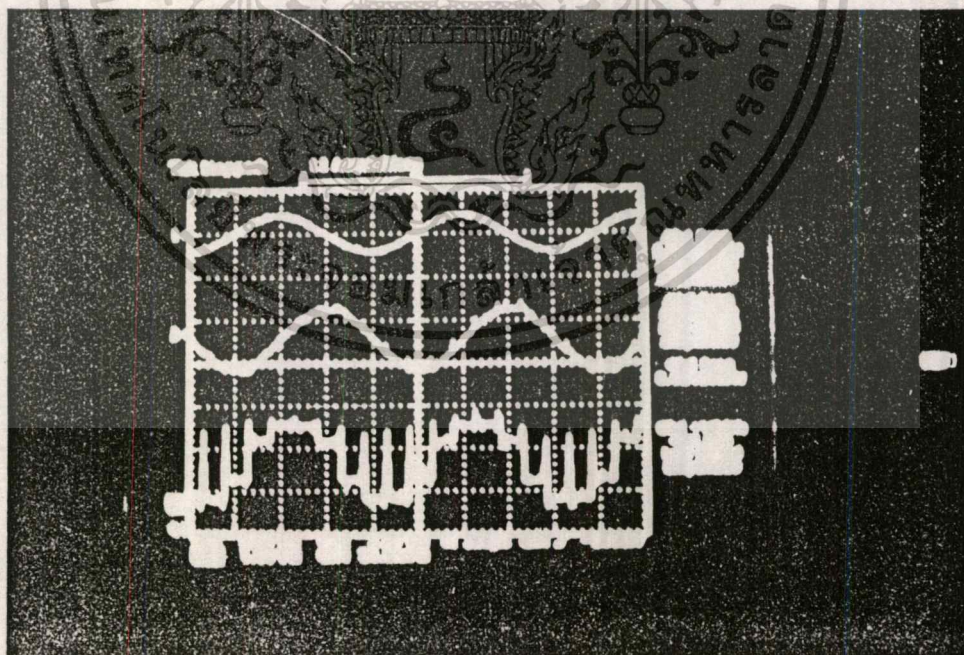


รูปที่ 4.11 CH.1 เป็นอินพุท 4 kHz, CH.2 เป็นเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 CH.1 เป็นอินพุต 4.5 kHz, CH.2 เป็นเอาต์พุต และ CH.3 เป็น 8 kHz. Sampling.

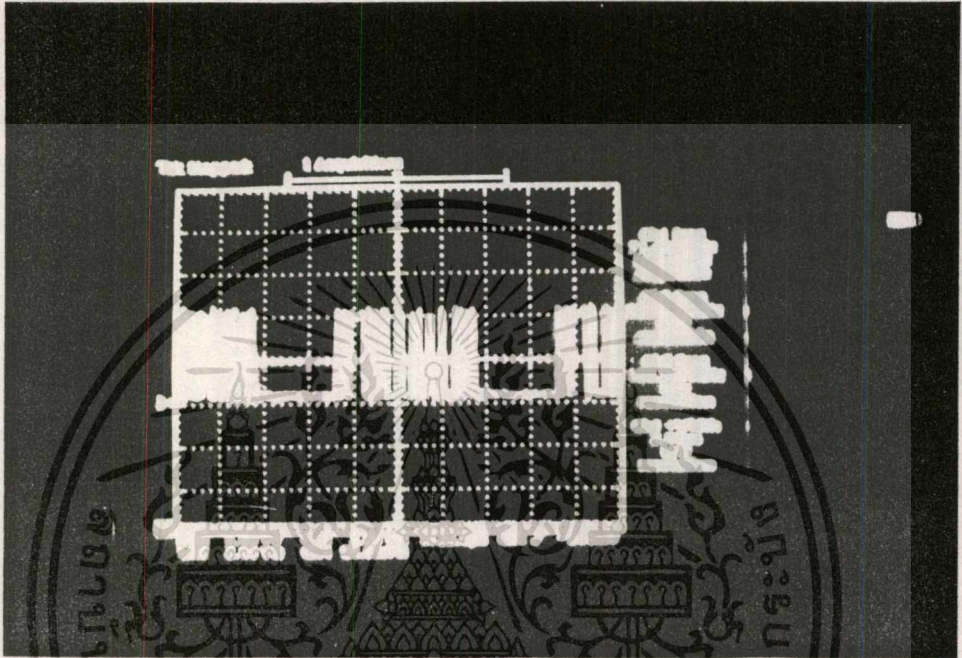


รูปที่ 4.13 CH.1 เป็นอินพุต 1 kHz, CH.2 เป็นเอาต์พุต และ CH.3 เป็นเอาต์พุตของ D/A
ที่ยังไม่ผ่านการ Filter

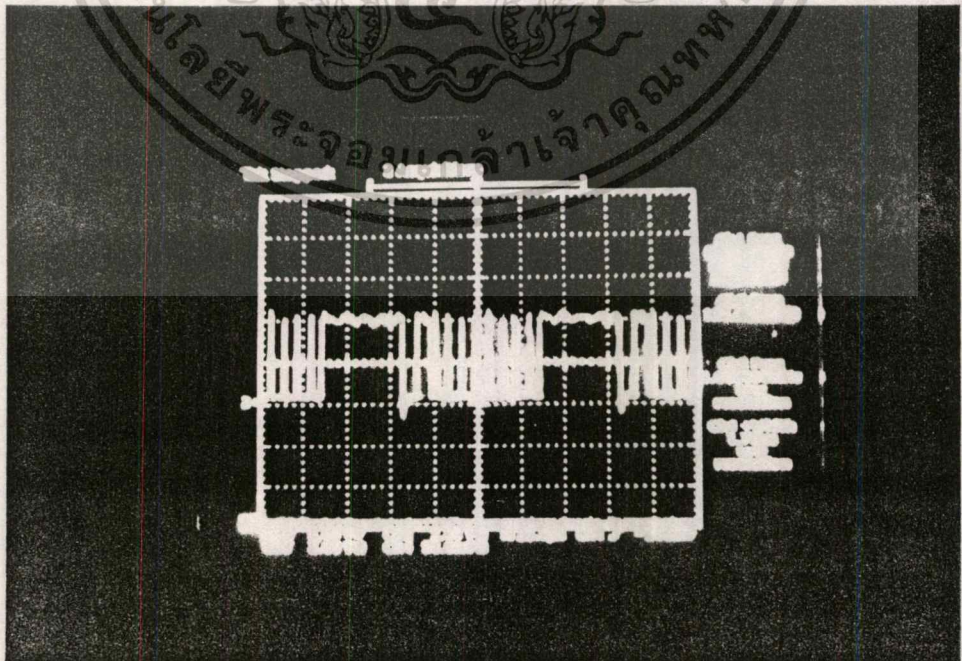
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองส่วนข้อมูลดิจิทัล

ทดลองข้อมูลดิจิทัลด้วยการใช้ Switch เป็นตัวกำหนดสัญญาณด้านส่ง และใช้ LED แสดงผลที่ด้านรับ ทดลองเปลี่ยนค่า Switch ที่ด้านส่ง LED ที่ด้านรับก็จะเปลี่ยนค่าตามอย่างถูกต้อง ลองปรับให้ทางด้านส่งเป็น OFFH ทั้งหมด ด้านรับก็ยังไม่มีการผิดพลาดเกิดขึ้น



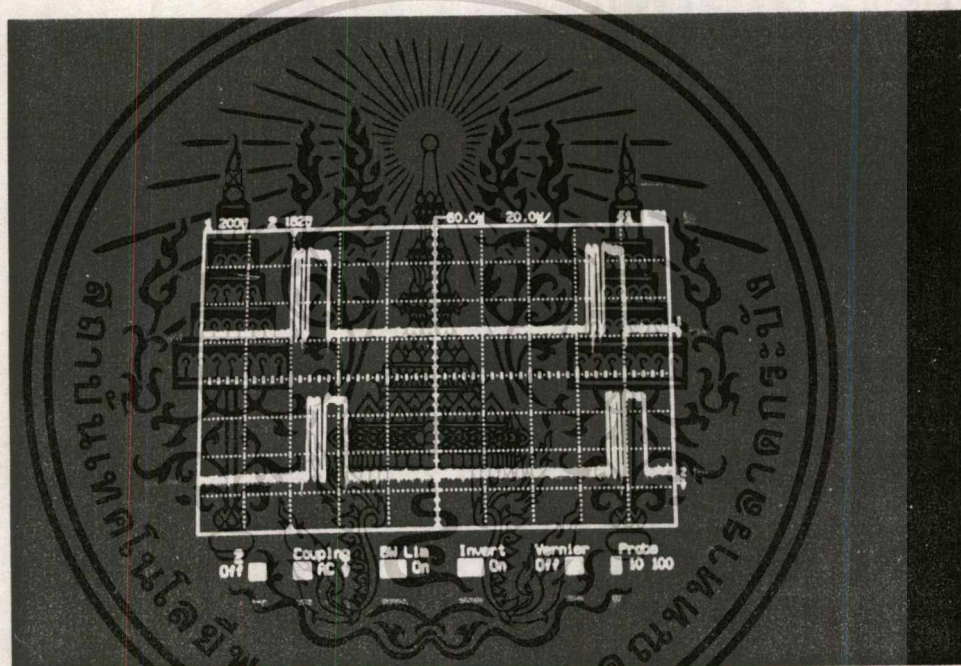
รูปที่ 4.14 แสดงขบวนสัญญาณอนุกรมที่ได้จาก PISO เมื่อ Set ค่าดาต้าอินพุตเป็น 00 ทั้ง 6 Channel.



รูปที่ 4.15 แสดงขบวนสัญญาณอนุกรมที่ได้จาก PISO เมื่อ Set เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลองส่วน FRAME SYNCHRONIZATION.

ทำการทดลองปรับค่า FRAME CODE SW. ของด้านส่งและด้านรับให้แตกต่างกัน ทางด้านรับก็จะเกิดการ ERROR ไฟแสดง FRAME ERROR ก็จะติด สัญญาณที่ได้ทางด้านรับ จะไม่สามารถรับฟังได้รู้เรื่อง



รูปที่ 4.16 แสดงขบวนสัญญาณ เมื่อ SET FRAME CODE SW. เป็น 06CH (01101100) และอินพุตทั้งอนาล็อกและดิจิตอล จะเป็นศูนย์หมด โดยที่ CH1 เป็นสัญญาณที่ได้จาก PISO , CH2 เป็นสัญญาณที่ D_0 ใน Data Bus ด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

จากการทดลองสรุปได้ว่าขีดความสามารถของ Analog SW. , A/D CONV. , D/A CONV. E-O CONV. และ O-E CONV. ตลอดจนส่วนอื่นๆสามารถปรับปรุงเพิ่มเติม ให้มีประสิทธิภาพมากขึ้นได้ เช่น ภาครับสามารถที่จะเพิ่มจำนวนช่องสัญญาณให้มากกว่านี้ หรือทำให้เท่ากับด้านส่งก็ได้หรืออาจมีการนำสัญญาณอนาล็อกอื่นๆ ที่ไปใช้สัญญาณเสียง เช่น รับสัญญาณจากอุปกรณ์ตรวจจับสัญญาณต่างๆ มาป้อนให้กับวงจรและสามารถนำสัญญาณที่ไปกำหนดให้ออกที่ ดาต้าเอนท์พุทของภาครับ เพื่อส่งต่อไปยังชุดอุปกรณ์ควบคุมของตัวตรวจจับนั้นๆ ได้





ADC0820 8-Bit High Speed μ P Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 μ s conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/ μ s.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

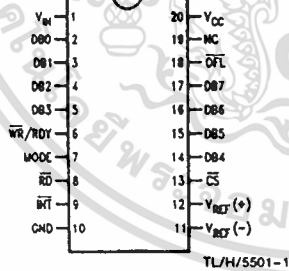
- Resolution 8 Bits
- Conversion Time 2.5 μ s Max (RD Mode)
1.5 μ s Max (WR-RD Mode)
- Input signals with slew rate of 100 mV/ μ s converted without external sample-and-hold to 8 bits
- Low Power 75 mW Max
- Total Unadjusted Error $\pm \frac{1}{2}$ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE[®] output
- Logic inputs and outputs meet both MOS and T₂L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package

Connection and Functional Diagrams

Dual-In-Line and Small Outline Packages



Top View

Molded Chip Carrier Package

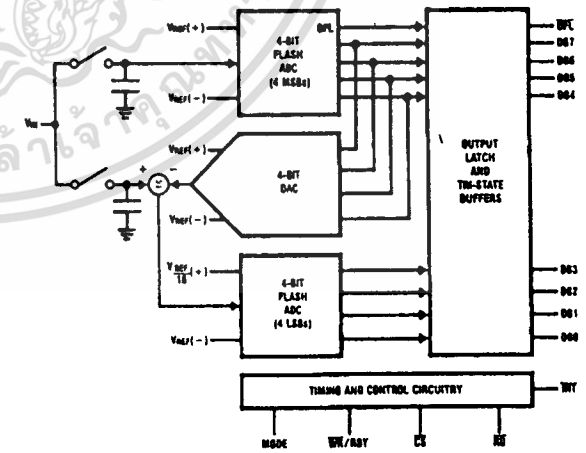
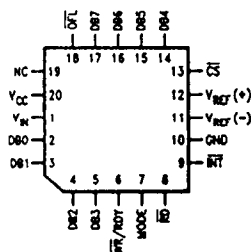


FIGURE 1

See Ordering Information

TL/H/5501-33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

| | |
|---|--------------------------|
| Supply Voltage (V_{CC}) | 10V |
| Logic Control Inputs | -0.2V to $V_{CC} + 0.2V$ |
| Voltage at Other Inputs and Output | -0.2V to $V_{CC} + 0.2V$ |
| Storage Temperature Range | -65°C to +150°C |
| Package Dissipation at $T_A = 25^\circ\text{C}$ | 875 mW |
| Input Current at Any Pin (Note 5) | 1 mA |
| Package Input Current (Note 5) | 4 mA |
| ESD Susceptability (Note 9) | 1200V |

| | |
|---------------------------------|-------|
| Lead Temp. (Soldering, 10 sec.) | 260°C |
| Dual-In-Line Package (plastic) | 300°C |
| Dual-In-Line Package (ceramic) | |
| Surface Mount Package | |
| Vapor Phase (60 sec.) | 215°C |
| Infrared (15 sec.) | 220°C |

Operating Ratings (Notes 1 & 2)

| | |
|--------------------------|---------------------------------|
| Temperature Range | $T_{MIN} \leq T_A \leq T_{MAX}$ |
| ADC0820BD, ADC0820CJ | -55°C $\leq T_A \leq$ +125°C |
| ADC0820BCD, ADC0820CCJ | -40°C $\leq T_A \leq$ +85°C |
| ADC0820BCN, ADC0820CCN | 0°C $\leq T_A \leq$ 70°C |
| ADC0820BCV, ADC0820CCV | 0°C $\leq T_A \leq$ 70°C |
| ADC0820BCWM, ADC0820CCWM | 0°C $\leq T_A \leq$ 70°C |
| V_{CC} Range | 4.5V to 8V |

Converter Characteristics The following specifications apply for RD mode (pin 7 = 0). $V_{CC} = 5V$, $V_{REF(+)} = 5V$, and $V_{REF(-)} = GND$ unless otherwise specified. Boldface limits apply from T_{MIN} to T_{MAX} ; all other limits $T_A = T_I = 25^\circ\text{C}$.

| Parameter | Conditions | ADC0820BD, ADC0820CJ ADC0820BCD, ADC0820CCJ | | | ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM | | | Limit Units |
|--------------------------------------|---|--|-----------------------|-----------------------|--|-----------------------|-----------------------|--------------------------------|
| | | Typ (Note 6) | Tested Limit (Note 7) | Design Limit (Note 8) | Typ (Note 6) | Tested Limit (Note 7) | Design Limit (Note 8) | |
| Resolution | | | 8 | | 8 | 8 | 8 | Bits |
| Total Unadjusted Error (Note 3) | ADC0820BD, BCD ADC0820BCN ADC0820CD, CCD ADC0820CCN | | $\pm 1/2$ | | $\pm 1/2$ | $\pm 1/2$ | ± 1 | LSB LSB LSB LSB |
| Minimum Reference Resistance | | 2.3 | 1.00 | | 2.3 | 1.2 | | k Ω |
| Maximum Reference Resistance | | 2.3 | 6 | | 2.3 | 5.3 | 6 | k Ω |
| Maximum $V_{REF(+)}$ Input Voltage | | | V_{CC} | | V_{CC} | V_{CC} | V_{CC} | V |
| Minimum $V_{REF(-)}$ Input Voltage | | | GND | | GND | GND | GND | V |
| Minimum $V_{REF(+)}$ Input Voltage | | | $V_{REF(-)}$ | | $V_{REF(-)}$ | $V_{REF(-)}$ | $V_{REF(-)}$ | V |
| Maximum $V_{REF(-)}$ Input Voltage | | | $V_{REF(+)}$ | | $V_{REF(+)}$ | $V_{REF(+)}$ | $V_{REF(+)}$ | V |
| Maximum V_{IN} Input Voltage | | | $V_{CC} + 0.1$ | | $V_{CC} + 0.1$ | $V_{CC} + 0.1$ | $V_{CC} + 0.1$ | V |
| Minimum V_{IN} Input Voltage | | | GND - 0.1 | | GND - 0.1 | GND - 0.1 | GND - 0.1 | V |
| Maximum Analog Input Leakage Current | $\overline{CS} = V_{CC}$ $V_{IN} = V_{CC}$ $V_{IN} = GND$ | | 3 -3 | | 0.3 -0.3 | 3 -3 | 3 -3 | μA μA |
| Power Supply Sensitivity | $V_{CC} = 5V \pm 5\%$ | $\pm 1/16$ | $\pm 1/4$ | | $\pm 1/16$ | $\pm 1/4$ | $\pm 1/4$ | LSB |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics The following specifications apply for $V_{CC} = 5V$, unless otherwise specified. Boldface limits apply from T_{MIN} to T_{MAX} ; all other limits $T_A = T_J = 25^\circ C$.

| Parameter | Conditions | ADC0820BD, ADC0820CJ ADC0820BCD, ADC0820CCJ | | | ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM | | | Limit Units |
|---|---|--|-----------------------|-----------------------|--|-----------------------|-----------------------|-------------|
| | | Typ (Note 6) | Tested Limit (Note 7) | Design Limit (Note 8) | Typ (Note 6) | Tested Limit (Note 7) | Design Limit (Note 8) | |
| $V_{IN(1)}$, Logical "1" Input Voltage | $V_{CC} = 5.25V$ | CS, WR, RD | | 2.0 | | 2.0 | 2.0 | V |
| | | Mode | | 3.5 | | 3.5 | 3.5 | V |
| $V_{IN(0)}$, Logical "0" Input Voltage | $V_{CC} = 4.75V$ | CS, WR, RD | | 0.8 | | 0.8 | 0.8 | V |
| | | Mode | | 1.5 | | 1.5 | 1.5 | V |
| $I_{IN(1)}$, Logical "1" Input Current | $V_{IN(1)} = 5V$; CS, RD $V_{IN(1)} = 5V$; WR $V_{IN(1)} = 5V$; Mode | | 0.005 | 1 | 0.005 | 0.3 | 1 | μA |
| | | | | 0.1 | | 0.1 | 3 | μA |
| | | | | 50 | | 50 | 200 | μA |
| $I_{IN(0)}$, Logical "0" Input Current | $V_{IN(0)} = 0V$; CS, RD, WR, Mode | | -0.005 | -1 | -0.005 | | -1 | μA |
| | | | | | | | | |
| $V_{OUT(1)}$, Logical "1" Output Voltage | $V_{CC} = 4.75V$, $I_{OUT} = -360 \mu A$; DB0-DB7, OFL, INT $V_{CC} = 4.75V$, $I_{OUT} = -10 \mu A$; DB0-DB7, OFL, INT | | | 2.4 | | 2.8 | 2.4 | V |
| | | | | 4.5 | | 4.6 | 4.5 | V |
| $V_{OUT(0)}$, Logical "0" Output Voltage | $V_{CC} = 4.75V$, $I_{OUT} = 1.6 mA$; DB0-DB7, OFL, INT, RDY | | | 0.4 | | 0.34 | 0.4 | V |
| I_{OUT} , TRI-STATE Output Current | $V_{OUT} = 5V$; DB0-DB7, RDY $V_{OUT} = 0V$; DB0-DB7, RDY | | 0.1 | 3 | 0.1 | 0.3 | 3 | μA |
| | | | | -0.1 | | -0.1 | -0.3 | μA |
| I_{SOURCE} , Output Source Current | $V_{OUT} = 0V$; DB0-DB7, OFL, INT | | -12 | -6 | -12 | -7.2 | -6 | mA |
| | | | | -9 | | -9 | -5.3 | mA |
| I_{SINK} , Output Sink Current | $V_{OUT} = 5V$; DB0-DB7, OFL, INT, RDY | | 14 | 7 | 14 | 8.4 | 7 | mA |
| I_{CC} , Supply Current | CS = WR = RD = 0 | | 7.5 | 15 | 7.5 | 13 | 15 | mA |

AC Electrical Characteristics The following specifications apply for $V_{CC} = 5V$, $t_r = t_f = 20 ns$, $V_{REF(+)} = 5V$, $V_{REF(-)} = 0V$ and $T_A = 25^\circ C$ unless otherwise specified.

| Parameter | Conditions | Typ (Note 6) | Tested Limit (Note 7) | Design Limit (Note 8) | Units |
|---|---|--|-----------------------|-----------------------|---------|
| t_{CRD} , Conversion Time for RD Mode | Pin 7 = 0, (Figure 2) | 1.6 | | 2.5 | μs |
| t_{ACC0} , Access Time (Delay from Falling Edge of \overline{RD} to Output Valid) | Pin 7 = 0, (Figure 2) | $t_{CRD} + 20$ | | $t_{CRD} + 50$ | ns |
| t_{CWR-RD} , Conversion Time for WR-RD Mode | Pin 7 = V_{CC} ; $t_{WR} = 600 ns$, $t_{RD} = 600 ns$; (Figures 3a and 3b) | | | 1.52 | μs |
| t_{WR} , Write Time | Min | Pin 7 = V_{CC} ; (Figures 3a and 3b) | | 600 | ns |
| | Max | (Note 4) See Graph | 50 | | μs |
| t_{RD} , Read Time | Min | Pin 7 = V_{CC} ; (Figures 3a and 3b) (Note 4) See Graph | | 600 | ns |
| t_{ACC1} , Access Time (Delay from Falling Edge of \overline{RD} to Output Valid) | Pin 7 = V_{CC} , $t_{RD} < t_r$; (Figure 3a) $C_L = 15 pF$ | 190 | | 280 | ns |
| | $C_L = 100 pF$ | 210 | | 320 | ns |
| t_{ACC2} , Access Time (Delay from Falling Edge of \overline{RD} to Output Valid) | Pin 7 = V_{CC} , $t_{RD} > t_r$; (Figure 3b) $C_L = 15 pF$ | 70 | | 120 | ns |
| | $C_L = 100 pF$ | 90 | | 150 | ns |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued) The following specifications apply for $V_{CC} = 5V$, $t_r = t_f = 20$ ns, $V_{REF(+)} = 5V$, $V_{REF(-)} = 0V$ and $T_A = 25^\circ C$ unless otherwise specified.

| Parameter | Conditions | Typ (Note 6) | Tested Limit (Note 7) | Design Limit (Note 8) | Units |
|---|--|----------------|-----------------------|-------------------------|------------|
| t_i , Internal Comparison Time | Pin 7 = V_{CC} ; (Figures 3b and 4) $C_L = 50$ pF | 800 | | 1300 | ns |
| t_{1H} , t_{0H} , TRI-STATE Control (Delay from Rising Edge of \overline{RD} to Hi-Z State) | $R_L = 1k$, $C_L = 10$ pF | 100 | | 200 | ns |
| t_{INTL} , Delay from Rising Edge of \overline{WR} to Falling Edge of \overline{INT} | Pin 7 = V_{CC} , $C_L = 50$ pF $t_{RD} > t_i$; (Figure 3b) $t_{RD} < t_i$; (Figure 3a) | $t_{RD} + 200$ | | t_i $t_{RD} + 290$ | ns ns |
| t_{INTH} , Delay from Rising Edge of \overline{RD} to Rising Edge of \overline{INT} | (Figures 2, 3a and 3b) $C_L = 50$ pF | 125 | | 225 | ns |
| t_{INTHWR} , Delay from Rising Edge of \overline{WR} to Rising Edge of \overline{INT} | (Figure 4), $C_L = 50$ pF | 175 | | 270 | ns |
| t_{RDY} , Delay from \overline{CS} to RDY | (Figure 2), $C_L = 50$ pF, Pin 7 = 0 | 50 | | 100 | ns |
| t_{D} , Delay from \overline{INT} to Output Valid | (Figure 4) | 20 | | 50 | ns |
| t_{RI} , Delay from \overline{RD} to \overline{INT} | Pin 7 = V_{CC} , $t_{RD} < t_i$ (Figure 3a) | 200 | | 290 | ns |
| t_p , Delay from End of Conversion to Next Conversion | (Figures 2, 3a, 3b and 4) (Note 4) See Graph | | | 500 | ns |
| Slew Rate, Tracking | | 0.1 | | | V/ μ s |
| C_{VIN} , Analog Input Capacitance | | 45 | | | pF |
| C_{OUT} , Logic Output Capacitance | | 5 | | | pF |
| C_{IN} , Logic Input Capacitance | | 5 | | | pF |

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{RN} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{RN} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails ($V_{IN} < V^-$ or $V_{IN} > V^+$) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

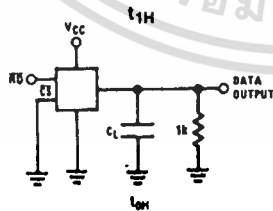
Note 6: Typicals are at $25^\circ C$ and represent most likely parametric norm.

Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

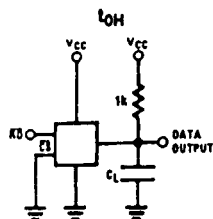
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 9: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

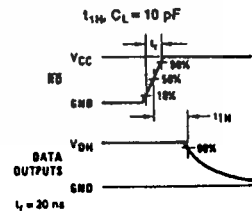
TRI-STATE Test Circuits and Waveforms



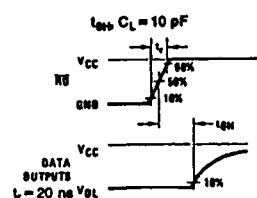
TL/H/5501-3



TL/H/5501-5

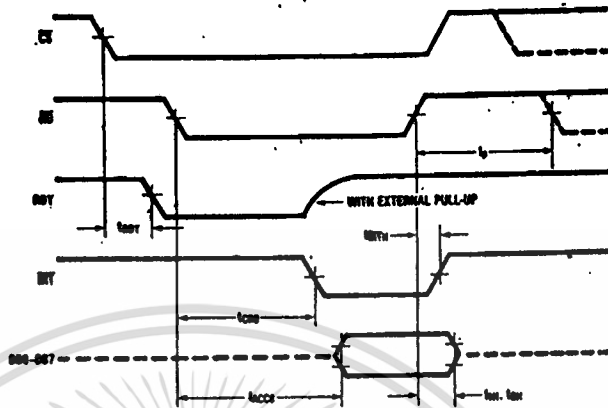


TL/H/5501-4



TL/H/5501-6

Timing Diagrams



Note: On power-up the state of INT can be high or low.

FIGURE 2. RD Mode (Pin 7 is Low)

TL/H/5501-7

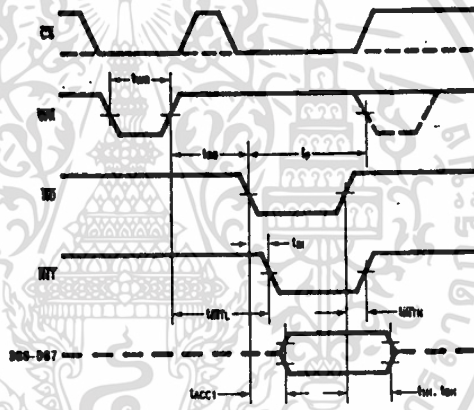


FIGURE 3a. WR-RD Mode (Pin 7 is High and $t_{RD} < t_W$)

TL/H/5501-8

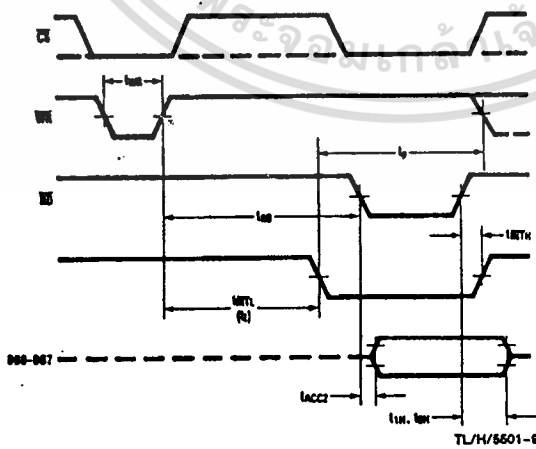


FIGURE 3b. WR-RD Mode (Pin 7 is High and $t_{RD} > t_W$)

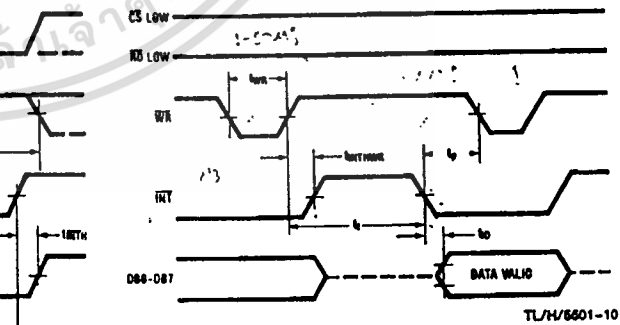
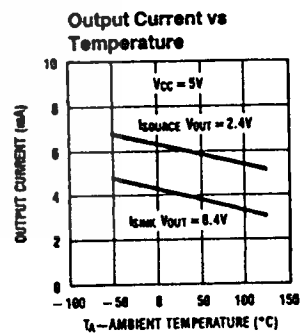
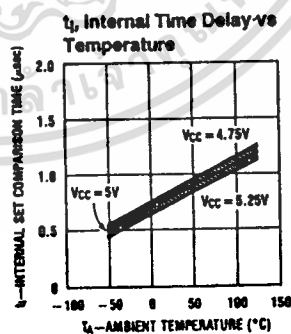
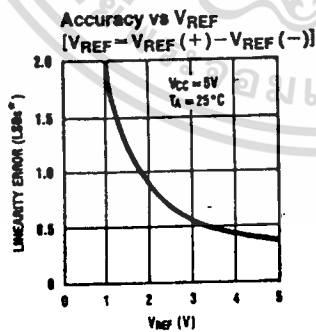
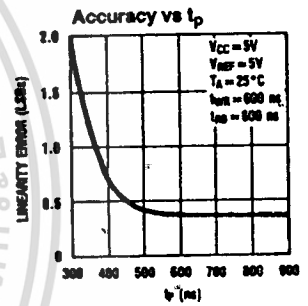
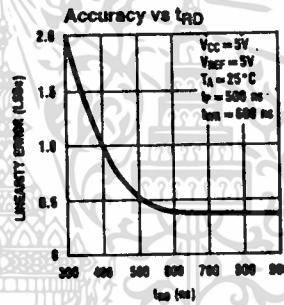
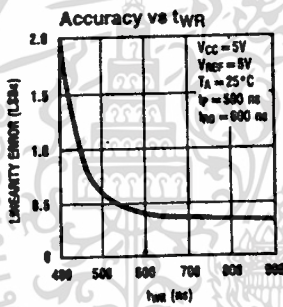
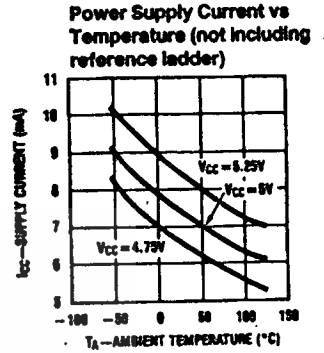
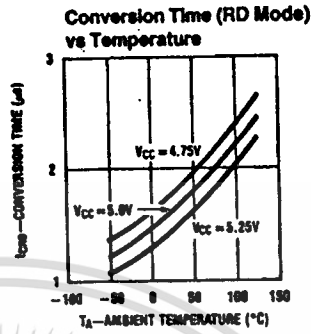
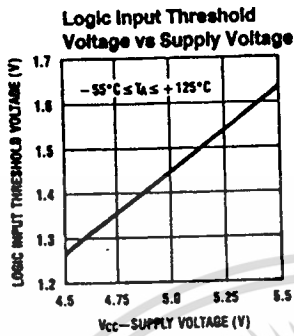


FIGURE 4. WR-RD Mode (Pin 7 is High) Stand-Alone Operation

TL/H/5501-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics



*1 $LSB = \frac{V_{REF}}{256}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description of Pin Functions

| Pin Name | Function |
|-------------------|--|
| 1 V_{IN} | Analog input; range = $GND \leq V_{IN} \leq V_{CC}$ |
| 2 DB0 | TRI-STATE data output—bit 0 (LSB) |
| 3 DB1 | TRI-STATE data output—bit 1 |
| 4 DB2 | TRI-STATE data output—bit 2 |
| 5 DB3 | TRI-STATE data output—bit 3 |
| 6 WR/RDY | WR-RD Mode WR: With \overline{CS} low, the conversion is started on the falling edge of WR. Approximately 800 ns (the preset internal time out, t_i) after the WR rising edge, the result of the conversion will be strobed into the output latch, provided that \overline{RD} does not occur prior to this time out (see Figures 3a and 3b). RD Mode RDY: This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of \overline{CS} ; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see Figure 2). Mode Mode: Mode selection input—it is internally tied to GND through a 50 μA current source. RD Mode : When mode is low WR-RD Mode : When mode is high |
| 7 Mode | |
| 8 \overline{RD} | WR-RD Mode With \overline{CS} low, the TRI-STATE data outputs (DB0-DB7) will be activated when \overline{RD} goes low (see Figure 4). \overline{RD} can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_i , ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the \overline{RD} (see Figures 3a and 3b). RD Mode With \overline{CS} low, the conversion will start with \overline{RD} going low, also \overline{RD} will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and \overline{INT} going low indicates the completion of the conversion (see Figure 2). |

| Pin Name | Function |
|---------------------|--|
| 9 \overline{INT} | WR-RD Mode \overline{INT} going low indicates that the conversion is completed and the data result is in the output latch. \overline{INT} will go low, ~800 ns (the preset internal time out, t_i) after the rising edge of WR (see Figure 3b); or \overline{INT} will go low after the falling edge of \overline{RD} , if \overline{RD} goes low prior to the 800 ns time out (see Figure 3a). \overline{INT} is reset by the rising edge of \overline{RD} or \overline{CS} (see Figures 3a and 3b). RD Mode \overline{INT} going low indicates that the conversion is completed and the data result is in the output latch. \overline{INT} is reset by the rising edge of \overline{RD} or \overline{CS} (see Figure 2). |
| 10 GND | Ground |
| 11 $V_{REF(-)}$ | The bottom of resistor ladder, voltage range: $GND \leq V_{REF(-)} \leq V_{REF(+)}$ (Note 5) |
| 12 $V_{REF(+)}$ | The top of resistor ladder, voltage range: $V_{REF(-)} \leq V_{REF(+)} \leq V_{CC}$ (Note 5) |
| 13 \overline{CS} | \overline{CS} must be low in order for the \overline{RD} or WR to be recognized by the converter. |
| 14 DB4 | TRI-STATE data output—bit 4 |
| 15 DB5 | TRI-STATE data output—bit 5 |
| 16 DB6 | TRI-STATE data output—bit 6 |
| 17 DB7 | TRI-STATE data output—bit 7 (MSB) |
| 18 \overline{OFL} | Overflow output—if the analog input is higher than the $V_{REF(+)}$, \overline{OFL} will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0-DB7 do. |
| 19 NC | No connection |
| 20 V_{CC} | Power supply voltage |

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (Figure 1). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

1.0 Functional Description (Continued)

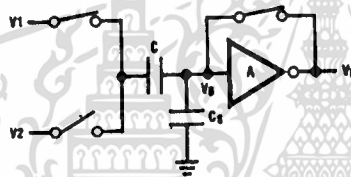
1.2 THE SAMPLED-DATA COMPARATOR

Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (Figure 5). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (Figure 5a) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (VB, approximately 1.2V). In the second cycle (Figure 5b), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (VB') becomes

$$V_B - (V1 - V2) \frac{C}{C + C_S}$$

and the output will go high or low depending on the sign of $V_B' - V_B$.



TL/H/5501-12

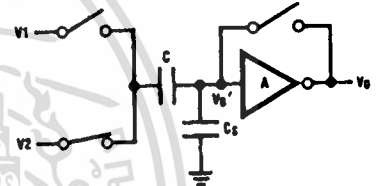
- $V_O = V_B$
- V on $C = V1 - V_B$
- C_S = stray input node capacitor
- V_B = inverter input bias voltage

FIGURE 5a. Zeroing Phase

The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (Figure 6), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.

1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (Figure 7). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.



TL/H/5501-13

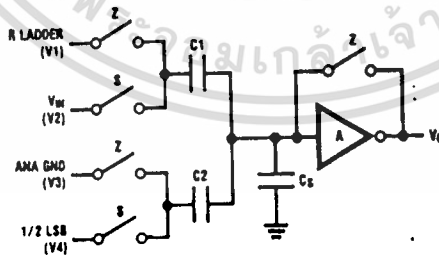
$$V_B' - V_B = (V2 - V1) \frac{C}{C + C_S}$$

$$V_O' = \frac{-A}{C + C_S} [CV2 - CV1]$$

V_O' is dependent on $V2 - V1$

FIGURE 5b. Compare Phase

FIGURE 5. Sampled-Data Comparator



TL/H/5501-14

$$V_O = \frac{-A}{C1 + C2 + C_S} [C1(V2 - V1) + C2(V4 - V3)]$$

$$= \frac{-A}{C1 + C2 + C_S} [\Delta Q_{C1} + \Delta Q_{C2}]$$

FIGURE 6. ADC0820 Comparator (from MS Flash ADC)

1.0 Functional Description (Continued)

When a typical conversion is started, the \overline{WR} line is brought low. At this instant the MS comparators go from zeroing to comparison mode (Figure 8). When \overline{WR} is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the \overline{RD} line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When \overline{RD} goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure 8 also outlines how the converter's interface timing relates to its analog input (V_{IN}). In WR-RD mode, V_{IN} is measured while \overline{WR} is low. In RD mode, sampling occurs during the first 800 ns of \overline{RD} . Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample V_{IN} at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when \overline{WR} is low the MS flash is in compare mode (connected to V_{IN}), and the LS flash is in zero mode (also connected to V_{IN}). Therefore both flash ADCs sample V_{IN} at the same time.

1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling \overline{RD} low until output data appears. An \overline{INT} line is provided which goes low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

RD Mode (Pin 7 is Low)



When in RD mode, the comparator phases are internally triggered. At the falling edge of \overline{RD} , the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the \overline{WR} input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for \overline{INT} to go low before reading the conversion result (Figure 9). \overline{INT} will typically go low 800 ns after \overline{WR} 's rising edge. However, if a shorter conversion time is desired, the processor need not wait for \overline{INT} and can exercise a read after only 600 ns (Figure A). If this is done, \overline{INT} will immediately go low and data will appear at the outputs.

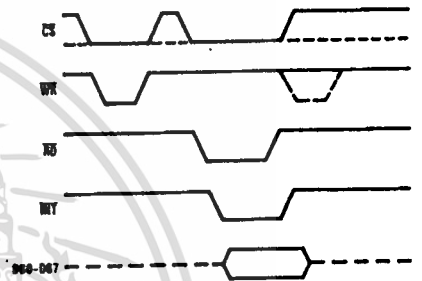


FIGURE A. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)

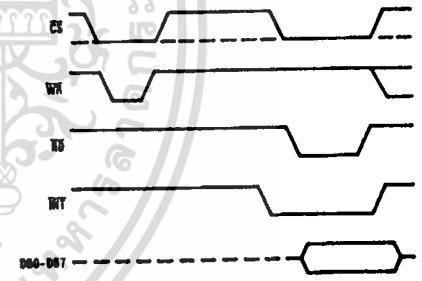
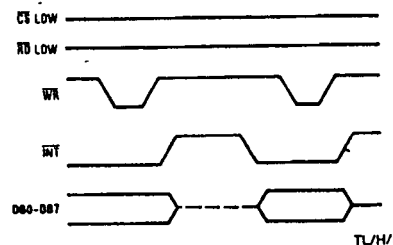


FIGURE B. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)

Stand-Alone

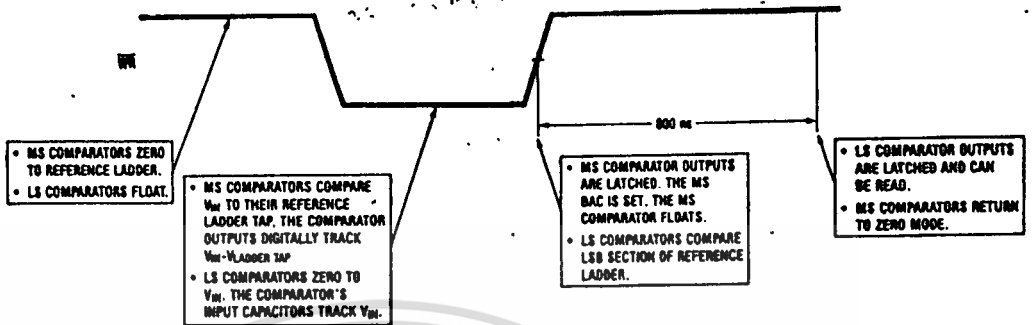
For stand-alone operation in WR-RD mode, \overline{CS} and \overline{RD} can be tied low and a conversion can be started with \overline{WR} . Data will be valid approximately 800 ns following \overline{WR} 's rising edge.

WR-RD Mode (Pin 7 is High) Stand-Alone Operation



TL/H/5501-19

1.0 Functional Description (Continued)



TL/H/5501-20

Note: MS means most significant
LS means least significant

FIGURE 8. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy, \overline{WR} has a maximum width spec of 50 μ s. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode (\overline{WR} is low), the input capacitors (C, Figure 6) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (tp, Figures 2, 3a, 3b, and 4) is 500 ns.

2.0 Analog Considerations

2.1 REFERENCE AND INPUT

The two V_{REF} inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between $V_{IN}(+)$ and $V_{IN}(-)$. By reducing V_{REF} ($V_{REF} = V_{REF}(+) - V_{REF}(-)$) to less than 5V, the sensitivity of the converter can be increased (i.e., if $V_{REF} = 2V$ then 1 LSB = 7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the V_{REF} source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at $V_{REF}(-)$ sets the input level which produces a digital output of all zeroes. Though V_{IN} is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. Figure 9 shows some of the configurations that are possible.

2.2 INPUT CURRENT

Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

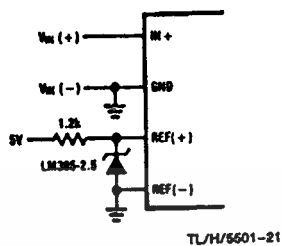
The equivalent input circuit of the ADC0820 is shown in Figure 10a. When a conversion starts (\overline{WR} low, WR-RD mode), all input switches close, connecting V_{IN} to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time, V_{IN} still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses V_{IN} as its zero-phase input.

The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 k Ω to 10 k Ω). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in Figure 10b. As R_S increases, it will take longer for the input capacitance to charge.

In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that \overline{WR} is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow R_S to be 1.5 k Ω without lengthening \overline{WR} to give V_{IN} more time to settle.

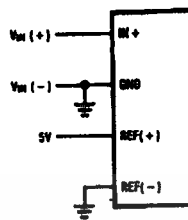
2.0 Analog Considerations (Continued)

External Reference 2.5V Full-Scale



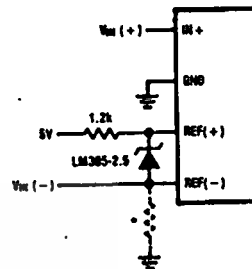
TL/H/5501-21

Power Supply as Reference



TL/H/5501-22

Input Not Referred to GND



* Current path must still exist from VIN(-) to ground

TL/H/5501-23

FIGURE 9. Analog Input Options

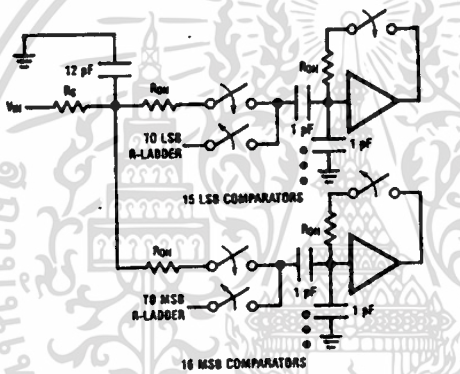


FIGURE 10a

TL/H/5501-24

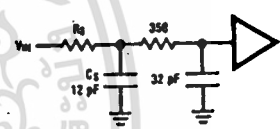


FIGURE 10b

TL/H/5501-25

2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into V_{IN} , will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while \overline{WR} is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the V_{IN} terminal.

2.4 INHERENT SAMPLE-HOLD

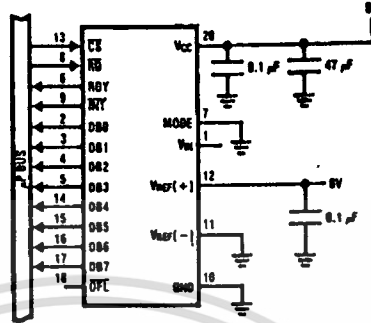
Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least $\frac{1}{2}$ LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5 μ s, the time through which V_{IN} must be $\frac{1}{2}$ LSB stable is much smaller. Since the MS flash ADC uses V_{IN} as its "compare" input and the LS ADC uses V_{IN} as its "zero" input, the ADC0820 only "samples" V_{IN} when \overline{WR} is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of V_{IN} approximately 100 ns after the rising edge of \overline{WR} (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below 100 mV/ μ s can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1 μ s would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms.

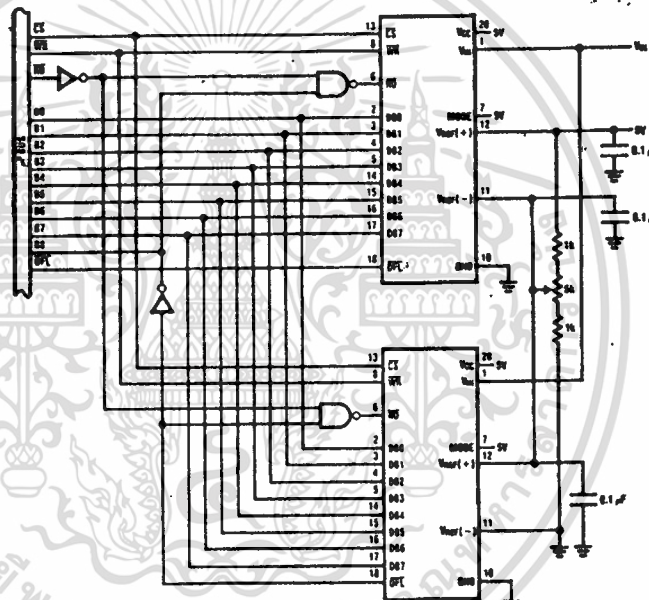
3.0 Typical Applications

8-Bit Resolution Configuration



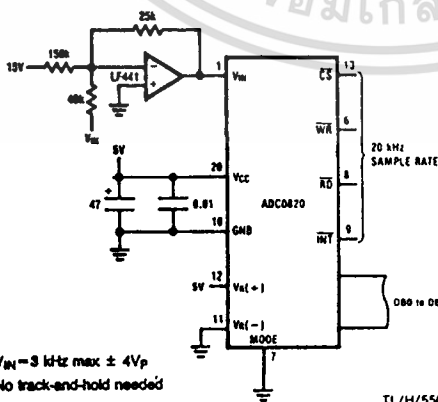
TL/H/5501-26

9-Bit Resolution Configuration



TL/H/5501-27

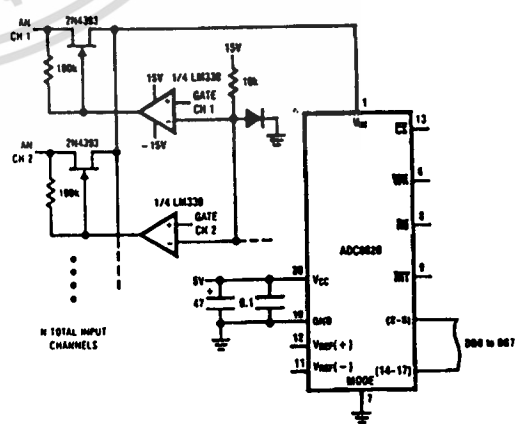
Telecom A/D Converter



- V_{IN} = 3 kHz max \pm 4Vp
- No track-and-hold needed
- Low power consumption

TL/H/5501-28

Multiple Input Channels

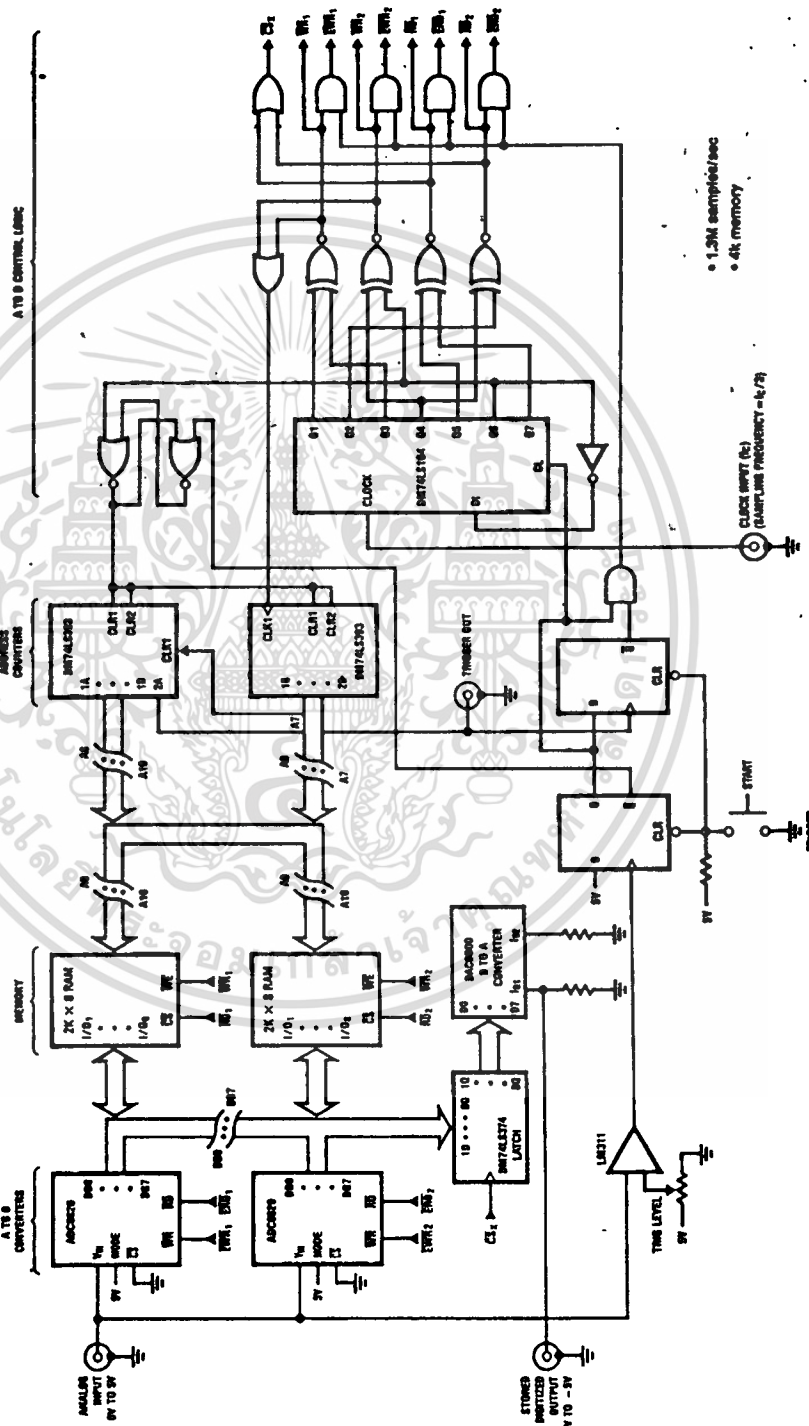


TL/H/5501-29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Typical Applications (Continued)

Digital Waveform Recorder



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC0820

Ordering Information

| Part Number | Total Unadjusted Error | Package | Temperature Range |
|---------------------------------------|------------------------|-------------------------------|-------------------|
| ADC0820BD ADC0820BCD ADC0820BCV | $\pm \frac{1}{2}$ LSB | D20A—Cavity DIP | -55°C to +125°C |
| ADC0820BCM | | D20A—Cavity DIP | -40°C to +80°C |
| ADC0820BCN | | V20A—Molded Chip Carrier | 0°C to +70°C |
| | | M20B—Wide Body Small Outline | 0°C to +70°C |
| ADC0820CJ ADC0820CCJ ADC0820CCV | ± 1 LSB | N20A—Molded DIP | 0°C to +70°C |
| ADC0820CCM | | J20A—Cardip | -55°C to +125°C |
| ADC0820CCN | | J20A—Cardip | -40°C to +85°C |
| | | V20A—Molded Chip Carrier | 0°C to +70°C |
| | | MJ20B—Wide Body Small Outline | 0°C to +70°C |
| | | N20A—Molded DIP | 0°C to +70°C |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DAC0830/DAC0831/DAC0832 8-Bit μ P Compatible, Double-Buffered D to A Converters

General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8048, 8085, Z80[®], and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DACs (MICRO-DAC[™]). For applications demanding higher resolution, the DAC1000 series (10-bits) and the DAC1208 and DAC1230 (12-bits) are available alternatives.

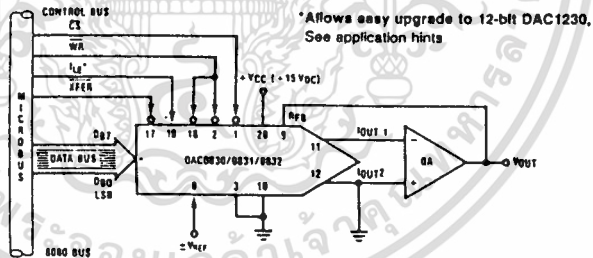
Features

- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only—NOT BEST STRAIGHT LINE FIT.
- Works with ± 10 V reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without μ P) if desired
- Available in 20-pin small-outline or molded chip carrier package

Key Specifications

- | | |
|--|--------------------------|
| ■ Current settling time | 1 μ s |
| ■ Resolution | 8 bits |
| ■ Linearity (guaranteed over temp.) | 8, 9, or 10 bits |
| ■ Gain Tempco | 0.0002% FS/ $^{\circ}$ C |
| ■ Low power dissipation | 20 mW |
| ■ Single power supply | 5 to 15 V _{DC} |

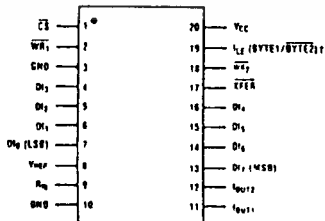
Typical Application



TL/H/5608-1

Connection Diagrams (Top Views)

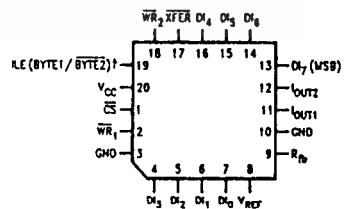
Dual-In-Line and Small-Outline Packages



If this is necessary for the 12-bit DAC1230 series to permit interchanging from an 8-bit to a 12-bit DAC with No PC board changes and no software changes. See applications section.

TL/H/5608-21

Molded Chip Carrier Package



TL/H/5608-22

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

| | |
|---|-----------------------------------|
| Supply Voltage (V_{CC}) | 17 V_{DC} |
| Voltage at Any Digital Input | V_{CC} to GND |
| Voltage at V_{REF} Input | $\pm 25V$ |
| Storage Temperature Range | $-65^{\circ}C$ to $+150^{\circ}C$ |
| Package Dissipation at $T_A = 25^{\circ}C$ (Note 3) | 500 mW |
| DC Voltage Applied to I_{OUT1} or I_{OUT2} (Note 4) | -100 mV to V_{CC} |
| ESD Susceptibility (Note 14) | 800V |

| | |
|---------------------------------------|-------|
| Lead Temperature (soldering, 10 sec.) | 260°C |
| Dual-In-Line Package (plastic) | 300°C |
| Dual-In-Line Package (ceramic) | |
| Surface Mount Package | |
| Vapor Phase (60 sec.) | 215°C |
| Infrared (15 sec.) | 220°C |

Operating Conditions

| | |
|---------------------------------|-----------------------------------|
| Temperature Range | $T_{MIN} \leq T_A \leq T_{MAX}$ |
| Part numbers with 'LCN' suffix | $0^{\circ}C$ to $+70^{\circ}C$ |
| Part numbers with 'LCWM' suffix | $0^{\circ}C$ to $+70^{\circ}C$ |
| Part numbers with 'LCV' suffix | $0^{\circ}C$ to $+70^{\circ}C$ |
| Part numbers with 'LCJ' suffix | $-40^{\circ}C$ to $+85^{\circ}C$ |
| Part numbers with 'LJ' suffix | $-55^{\circ}C$ to $+125^{\circ}C$ |
| Voltage at Any Digital Input | V_{CC} to GND |

Electrical Characteristics $V_{REF} = 10.000 V_{DC}$ unless otherwise noted. Boldface limits apply over temperature, $T_{MIN} \leq T_A \leq T_{MAX}$. For all other limits $T_A = 25^{\circ}C$.

| Parameter | Conditions | See Note | $V_{CC} = 4.75 V_{DC}$ $V_{CC} = 15.75 V_{DC}$ | | $V_{CC} = 5 V_{DC} \pm 5\%$ $V_{CC} = 12 V_{DC} \pm 5\%$ to $15 V_{DC} \pm 5\%$ | | Limit Units |
|----------------------------------|--|----------|---|-----------------------|---|--|-------------------|
| | | | Typ (Note 12) | Tested Limit (Note 5) | Design Limit (Note 6) | | |
| CONVERTER CHARACTERISTICS | | | | | | | |
| Resolution | | | 8 | 8 | 8 | | bits |
| Linearity Error Max | Zero and full scale adjusted $-10V \leq V_{REF} \leq +10V$ | 4, 8 | | | | | bits |
| DAC0830LJ & LCJ | | | | 0.05 | 0.05 | | % FSR |
| DAC0832LJ & LCJ | | | | 0.2 | 0.2 | | % FSR |
| DAC0830LCN, LCWM & LCV | | | | 0.05 | 0.05 | | % FSR |
| DAC0831LCN | | | | 0.1 | 0.1 | | % FSR |
| DAC0832LCN, LCWM & LCV | | | | 0.2 | 0.2 | | % FSR |
| Differential Nonlinearity Max | Zero and full scale adjusted $-10V \leq V_{REF} \leq +10V$ | 4, 8 | | | | | bits |
| DAC0830LJ & LCJ | | | | 0.1 | 0.1 | | % FSR |
| DAC0832LJ & LCJ | | | | 0.4 | 0.4 | | % FSR |
| DAC0830LCN, LCWM & LCV | | | | 0.1 | 0.1 | | % FSR |
| DAC0831LCN | | | | 0.2 | 0.2 | | % FSR |
| DAC0832LCN, LCWM & LCV | | | | 0.4 | 0.4 | | % FSR |
| Monotonicity | $-10V \leq V_{REF} \leq +10V$ LJ & LCJ LCN, LCWM & LCV | 4 | | 8 | 8 | | bits |
| Gain Error Max | Using Internal R_{fb} $-10V \leq V_{REF} \leq +10V$ | 7 | ± 0.2 | ± 1 | ± 1 | | % FS |
| Gain Error, Tempco Max | Using internal R_{fb} | | 0.0002 | | 0.0006 | | % FS/ $^{\circ}C$ |
| Power Supply Rejection | All digital inputs latched high $V_{CC} = 14.5V$ to $15.5V$ 11.5V to 12.5V 4.5V to 5.5V | | 0.0002 0.0006 0.013 | 0.0025 | | | % FSR/V |
| Reference Input | Max | | 15 | 20 | 20 | | k Ω |
| | Min | | 15 | 10 | 10 | | k Ω |
| Output Feedthrough Error | $V_{REF} = 20$ Vp-p, $f = 100$ kHz All data inputs latched low | | 3 | | | | mVp-p |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics $V_{REF} = 10.000 V_{DC}$ unless otherwise noted. Boldface limits apply over temperature, $T_{MIN} \leq T_A \leq T_{MAX}$. For all other limits $T_A = 25^\circ C$. (Continued)

| Parameter | Conditions | See Note | $V_{CC} = 4.75 V_{DC}$ $V_{CC} = 15.75 V_{DC}$ | | $V_{CC} = 5 V_{DC} \pm 5\%$ $V_{CC} = 12 V_{DC} \pm 5\%$ to $15 V_{DC} \pm 5\%$ | | Limit Units |
|--|-------------------|---|---|-----------------------|---|----------------------------|--------------------|
| | | | Typ (Note 12) | Tested Limit (Note 5) | Design Limit (Note 6) | | |
| CONVERTER CHARACTERISTICS (Continued) | | | | | | | |
| Output Leakage Current Max | I _{OUT1} | All data inputs latched low LJ & LCJ LCN, LCWM & LCV | 10 | | 100 50 | 100 100 | nA |
| | I _{OUT2} | All data inputs latched high LJ & LCJ LCN, LCWM & LCV | | | 100 50 | 100 100 | nA |
| Output Capacitance | I _{OUT1} | All data inputs latched low | | 45 | | | pF |
| | I _{OUT2} | | | 115 | | | pF |
| | I _{OUT1} | All data inputs latched high | | 130 | | | pF |
| I _{OUT2} | | | 30 | | | pF | |
| DIGITAL AND DC CHARACTERISTICS | | | | | | | |
| Digital Input Voltages | Max | Logic Low LJ LCJ LCN, LCWM, LCV | 4.75V 15.75V 4.75V 15.75V | | 0.6 0.8 0.7 0.8 0.95 | 0.8 | V _{DC} |
| | Min | Logic High LJ & LCJ LCN, LCWM, LCV | | | 2.0 1.9 | 2.0 2.0 | V _{DC} |
| Digital Input Currents | Max | Digital inputs < 0.8V LJ & LCJ LCN, LCWM, LCV | | -50 | -200 -160 | -200 -200 | μA μA |
| | | Digital inputs > 2.0V LJ & LCJ LCN, LCWM, LCV | | 0.1 | +10 +8 | +10 +10 | μA |
| Supply Current Drain | Max | LJ & LCJ LCN, LCWM, LCV | | 1.2 | 3.5 1.7 | 3.5 2.0 | mA |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics $V_{REF} = 10.000 V_{DC}$ unless otherwise noted. **Boldface limits apply over temperature, $T_{MIN} \leq T_A \leq T_{MAX}$. For all other limits $T_A = 25^\circ C$.** (Continued)

| Symbol | Parameter | Conditions | See Note | $V_{CC} = 15.75 V_{DC}$ | | $V_{CC} = 12 V_{DC} \pm 5\%$ to $15 V_{DC} \pm 5\%$ | $V_{CC} = 4.75 V_{DC}$ | | $V_{CC} = 5 V_{DC} \pm 5\%$ | Limit Units |
|---------------------------|--------------------------------|----------------------------|----------|-------------------------|-----------------------|--|------------------------|-----------------------|-----------------------------|-------------|
| | | | | Typ (Note 12) | Tested Limit (Note 5) | Design Limit (Note 6) | Typ (Note 12) | Tested Limit (Note 5) | Design Limit (Note 6) | |
| AC CHARACTERISTICS | | | | | | | | | | |
| t_s | Current Setting Time | $V_{IL} = 0V, V_{IH} = 5V$ | | 1.0 | | | 1.0 | | | μs |
| t_w | Write and XFER Pulse Width Min | $V_{IL} = 0V, V_{IH} = 5V$ | 119 | 100 | 250 320 | 320 | 375 | 600 900 | 900 | ns |
| t_{DS} | Data Setup Time Min | $V_{IL} = 0V, V_{IH} = 5V$ | 9 | 100 | 250 320 | 320 | 375 | 600 900 | 900 | |
| t_{DH} | Data Hold Time Min | $V_{IL} = 0V, V_{IH} = 5V$ | 9 | | 30 30 | | | 50 50 | | |
| t_{CS} | Control Setup Time Min | $V_{IL} = 0V, V_{IH} = 5V$ | 9 | 110 | 250 320 | 320 | 600 | 900 1100 | 1100 | |
| t_{CH} | Control Hold Time Min | $V_{IL} = 0V, V_{IH} = 5V$ | 9 | 0 | 0 0 | 10 | 0 | 0 0 | | |

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125^\circ C$ (plastic) or $150^\circ C$ (ceramic), and the typical junction-to-ambient thermal resistance of the J package when board mounted is $80^\circ C/W$. For the N package, this number increases to $100^\circ C/W$ and for the V package this number is $120^\circ C/W$.

Note 4: For current switching applications, both I_{OUT1} and I_{OUT2} must go to ground or the "Virtual Ground" of an operational amplifier. The linearity error is degraded by approximately $V_{OS} - V_{REF}$. For example, if $V_{REF} = 10V$ then a 1 mV offset, V_{OS} , on I_{OUT1} or I_{OUT2} will introduce an additional 0.01% linearity error.

Note 5: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 6: Guaranteed, but not 100% production tested. These limits are not used to calculate outgoing quality levels.

Note 7: Guaranteed at $V_{REF} = \pm 10 V_{DC}$ and $V_{REF} = \pm 1 V_{DC}$.

Note 8: The unit "FSR" stands for "Full Scale Range." "Linearity Error" and "Power Supply Rejection" specs are based on this unit to eliminate dependence on a particular V_{REF} value and to indicate the true performance of the part. The "Linearity Error" specification of the DAC0830 is "0.05% of FSR (MAX)". This guarantees that after performing a zero and full scale adjustment (see Sections 2.5 and 2.6), the plot of the 256 analog voltage outputs will each be within 0.05% $\times V_{REF}$ of a straight line which passes through zero and full scale.

Note 9: Boldface tested limits apply to the LJ and LCJ suffix parts only.

Note 10: A 100nA leakage current with $R_b = 20k$ and $V_{REF} = 10V$ corresponds to a zero error of $(100 \times 10^{-9} \times 20 \times 10^3) \times 100/10$ which is 0.02% of FS.

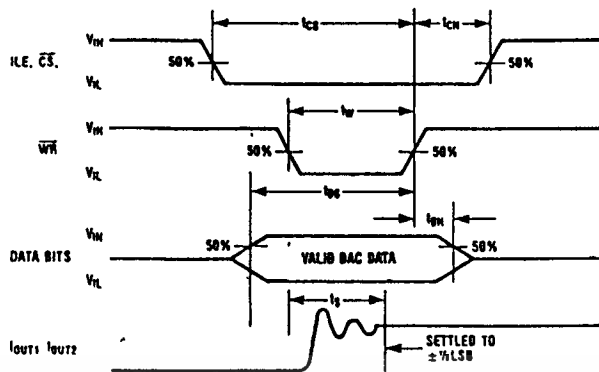
Note 11: The entire write pulse must occur within the valid data interval for the specified t_w , t_{DS} , t_{DH} , and t_s to apply.

Note 12: Typicals are at $25^\circ C$ and represent most likely parametric norm.

Note 13: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Waveform



TL/H/5608-2

Definition of Package Pinouts

Control Signals (All control signals level actuated)

- CS:** Chip Select (active low). The CS in combination with ILE will enable \overline{WR}_1 .
- ILE:** Input Latch Enable (active high). The ILE in combination with CS enables \overline{WR}_1 .
- \overline{WR}_1 :** Write 1. The active low \overline{WR}_1 is used to load the digital input data bits (DI) into the input latch. The data in the input latch is latched when \overline{WR}_1 is high. To update the input latch—CS and \overline{WR}_1 must be low while ILE is high.
- \overline{WR}_2 :** Write 2 (active low). This signal, in combination with XFER, causes the 8-bit data which is available in the input latch to transfer to the DAC register.
- XFER:** Transfer control signal (active low). The XFER will enable \overline{WR}_2 .

Other Pin Functions

- DI₀-DI₇:** Digital Inputs. DI₀ is the least significant bit (LSB) and DI₇ is the most significant bit (MSB).
- IOUT1:** DAC Current Output 1. IOUT1 is a maximum for a digital code of all 1's in the DAC register, and is zero for all 0's in DAC register.
- IOUT2:** DAC Current Output 2. IOUT2 is a constant minus IOUT1, or IOUT1 + IOUT2 = constant (1 full scale for a fixed reference voltage).
- R_{fb}:** Feedback Resistor. The feedback resistor is provided on the IC chip for use as the shunt

feedback resistor for the external op amp which is used to provide an output voltage for the DAC. This on-chip resistor should always be used (not an external resistor) since it matches the resistors which are used in the on-chip R-2R ladder and tracks these resistors over temperature.

V_{REF}: Reference Voltage Input. This input connects an external precision voltage source to the internal R-2R ladder. V_{REF} can be selected over the range of +10 to -10V. This is also the analog voltage input for a 4-quadrant multiplying DAC application.

V_{CC}: Digital Supply Voltage. This is the power supply pin for the part. V_{CC} can be from +5 to +15V_{DC}. Operation is optimum for +15V_{DC}.

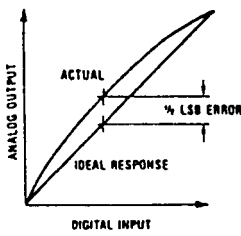
GND: The pin 10 voltage must be at the same ground potential as IOUT1 and IOUT2 for current switching applications. Any difference of potential (V_{OS} pin 10) will result in a linearity change of

$$\frac{V_{OS \text{ pin } 10}}{3V_{REF}}$$

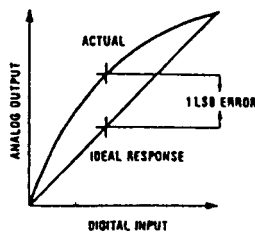
For example, if V_{REF} = 10V and pin 10 is 9mV offset from IOUT1 and IOUT2 the linearity change will be 0.03%.

Pin 3 can be offset $\pm 100\text{mV}$ with no linearity change, but the logic input threshold will shift.

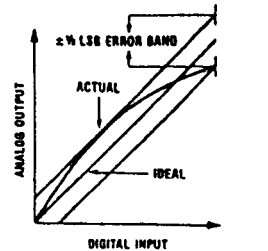
Linearity Error



a) End point test after zero and fs adj.



b) Best straight line



c) Shifting fs adj. to pass best straight line test

TL/H/5608-3

Definition of Terms

Resolution: Resolution is directly related to the number of switches or bits within the DAC. For example, the DAC0830 has 2^8 or 256 steps and therefore has 8-bit resolution.

Linearity Error: Linearity Error is the maximum deviation from a straight line passing through the endpoints of the DAC transfer characteristic. It is measured after adjusting for zero and full-scale. Linearity error is a parameter intrinsic to the device and cannot be externally adjusted.

National's linearity "end point test" (a) and the "best straight line" test (b,c) used by other suppliers are illustrated above. The "end point test" greatly simplifies the adjustment procedure by eliminating the need for multiple iterations of checking the linearity and then adjusting full scale until the linearity is met. The "end point test" guarantees that linearity is met after a single full scale adjust. (One adjustment vs. multiple iterations of the adjustment.) The "end point test" uses a standard zero and F.S. adjustment procedure and is a much more stringent test for DAC linearity.

Power Supply Sensitivity: Power supply sensitivity is a measure of the effect of power supply changes on the DAC full-scale output.

Settling Time: Settling time is the time required from a code transition until the DAC output reaches within $\pm 1/2$ LSB of the final output value. Full-scale settling time requires a zero to full-scale or full-scale to zero output change.

Full-Scale Error: Full scale error is a measure of the output error between an ideal DAC and the actual device output. Ideally, for the DAC0830 series, full-scale is $V_{REF} - 1$ LSB. For $V_{REF} = 10$ V and unipolar operation, $V_{FULL-SCALE} = 10.0000$ V - 39mV = 9.961V. Full-scale error is adjustable to zero.

Differential Nonlinearity: The difference between any two consecutive codes in the transfer curve from the theoretical 1 LSB is differential nonlinearity.

Monotonic: If the output of a DAC increases for increasing digital input code, then the DAC is monotonic. An 8-bit DAC which is monotonic to 8 bits simply means that increasing digital input codes will produce an increasing analog output.

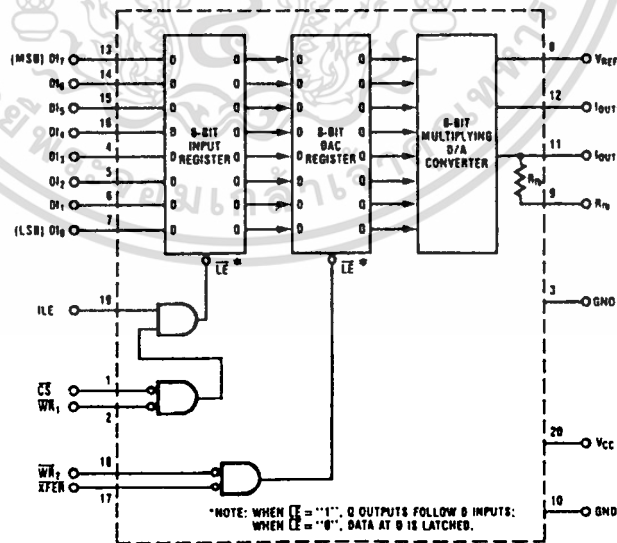


FIGURE 1. DAC0830 Functional Diagram

TL/H/5608-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

| | Schottky TTL | | | | High-Speed TTL | | | | Low-Power Schottky TTL | | | | Standard TTL | | | | Low-Power TTL | | | |
|------------|----------------|---------|----|-----|----------------|---------|----|-----|------------------------|---------|----|-----|---------------|---------|----|-----|----------------|---------|----|-----|
| | Device Type | Package | | | Device Type | Package | | | Device Type | Package | | | Device Type | Package | | | Device Type | Package | | |
| | | C | P | MCF | | C | P | MCF | | C | P | MCF | | C | P | MCF | | C | P | MCF |
| T.I. | SN54S04 | JL | | W1 | SN54H04 | JL | | W1 | SN54LS04 | JL | | W2 | SN5404 | JL | | W2 | SN54L04 | JL | ND | TQ |
| | SN74S04 | JL | NI | | SN74H04 | JL | NI | | SN74LS04 | JL | ND | | SN7404 | JL | ND | | SN74L04 | JL | ND | TQ |
| FAIRCHILD | FMS4S04/FM9S04 | DL | | | FMS4H04/FM9H04 | DL | | F2 | FMS4LS04/FM9LS04 | DL | | F2 | FMS404/FM904 | DL | | F2 | FMS4L04/FM9L04 | DL | | F2 |
| | FC74S04/FC9S04 | DL | MC | | FC74H04/FC9H04 | DL | P1 | | FC74LS04/FC9LS04 | DL | PD | | FC7404/FC904 | DL | PD | | FC74L04/FC9L04 | DL | PD | |
| MOTOROLA | | | | | MC3108 | LI | | FJ | | | | | MC5404 | LI | | FJ | | | | |
| | | | | | MC3008 | LI | P1 | FJ | SN74LS04 | | PD | | MC7404 | LI | PD | | DM54L04 | JL | ND | FQ |
| N.S.C. | | | | | DM54H04 | JL | NI | | DM54LS04 | | | | DM5404 | JL | ND | W2 | DM54L04 | JL | ND | FQ |
| | DM74S04 | | NT | | DM74H04 | JL | NI | | DM74LS04 | | | | DM7404 | JL | ND | | DM74L04 | JL | ND | FQ |
| PHILIPS | N74S04 | | G | | N74H04 | | D | | N74LS04 | | L | | FJH241/7404 | | D | | | | | |
| | S54S04 | FJ | AJ | W1 | S54H04 | FJ | AT | W2 | DM54LS04 | | | | S5404 | FO | AD | W2 | | | | |
| SIGNETICS | N74S04 | FJ | AJ | W1 | N74H04 | FJ | AT | W2 | N74LS04 | | AD | | N7404 | FO | AD | | | | | |
| SIEMENS | | | | | | | | | | | | | FLM211 | | D | | | | | |
| FUJITSU | | | | | | | | | 74LS04 | | MD | | MB418 | | D | MD | | | | |
| HITACHI | HD74S04 | | P1 | | | | | | HD74LS04 | | PD | | HD7404/HD2522 | | D | PD | | | | |
| MITSUBISHI | M55004 | | PD | | | | | | M74LS04 | | PD | | M53204 | | PD | | | | | |
| NEC | 74S04 | | CJ | | | | | | 74LS04 | | CD | | μPB235 | | DD | | | | | |
| TOSHIBA | | | | | | | | | | | | | TD3404A | | PD | | | | | |

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

| | | | | |
|--------------------------------|----|--------------------------------------|--------|----------------|
| Supply voltage V _{CC} | 7V | Operating free-air temperature range | SN54LS | -55°C to 125°C |
| Input voltage | 7V | | SN74LS | 0°C to 10°C |
| | | Storage temperature range | | -55°C to 150°C |

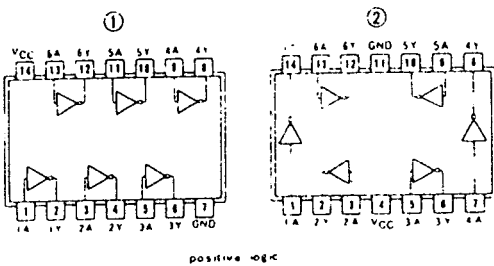
recommended operating conditions

| | SN54LS04 | | SN74LS04 | | UNIT |
|---|----------|-----|----------|------|------|
| | MIN | NOM | MIN | MAX | |
| Supply voltage V _{CC} | 4.5 | 5 | 4.75 | 5.25 | V |
| High-level output current I _{OH} | | | -100 | | mA |
| Low-level output current I _{OL} | | 4 | | 8 | mA |
| Operating free-air temperature T _A | 55 | 125 | 0 | 70 | °C |

electrical characteristics over recommended operating free-air temperature range

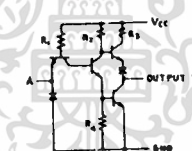
| PARAMETER | TEST CONDITIONS 1 | MIN | TYP 2 | MAX | UNIT |
|------------------|--|--|---|------|------|
| V _{IH} | High-level input voltage | | 2 | | V |
| V _{IL} | Low-level input voltage | | | 0.8 | V |
| V _I | Input clamp voltage | V _{CC} = MIN, I _I = -18 mA | | -1.5 | V |
| V _{OH} | High-level output voltage | V _{CC} = MIN, I _{OH} = MAX, V _{IL} = V _{IL} max. | 2.7 | 3.4 | V |
| V _{OL} | Low-level output voltage | V _{CC} = MIN, V _{IH} = 2V, I _{OL} = 4mA | | 0.4 | V |
| I _I | Input current at maximum input voltage | V _{CC} = MAX, V _I = 7V | | 0.1 | mA |
| I _{IH} | High-level input current | V _{CC} = MAX, V _{IH} = 2.7V | | 20 | μA |
| I _{IL} | Low-level input current | V _{CC} = MAX, V _{IL} = 0.4V | | -0.4 | mA |
| I _{OS} | Short-circuit output current 3 | V _{CC} = MAX | 54LS Family: 20 74LS Family: -20 | -100 | mA |
| I _{CC} | Supply current | V _{CC} = MAX | Total outputs high: 1.2 Total outputs low: 3.6 | 6.6 | mA |
| I _{CCL} | Supply current | V _{CC} = MAX | Average per gate (50% duty cycle) | 0.4 | mA |
| I _{CC} | Supply current | V _{CC} = 5V | | | mA |
| t _{PLH} | Propagation delay time, low-to-high-level output | V _{CC} = 5V, C _L = 15pF, T _A = 25°C, R _L = 2kΩ | 9 | 15 | ns |
| t _{PHL} | Propagation delay time, high-to-low-level output | | 10 | 15 | ns |

Pin Assignments (Top View)



positive logic

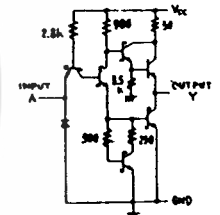
Schematics (each gate)



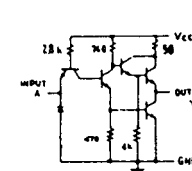
| CIRCUIT | R1 | R2 | R3 | R4 |
|---------|-----|------|-----|-----|
| '04 | 4k | 1.5k | 130 | 1k |
| 'L04 | 40k | 20k | 500 | 12k |

Input clamp diodes not on SN54L/74L circuits.

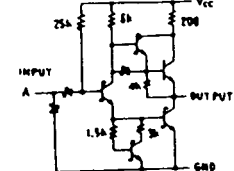
'04, 'L04 CIRCUITS



'S04 CIRCUIT



'H04 CIRCUIT



'LS04 CIRCUIT

Resistor values shown are nominal and in ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรนำไปใช้

5400/7400 Quadruple 2-Input Positive-NAND Gate

| | Schottky TTL | | | | High-Speed TTL | | | | Low-Power Schottky TTL | | | | Standard TTL | | | | Low-Power TTL | | | | | | | | |
|------------|--------------|---|---------|---|----------------|--------------|---------|----|------------------------|----|----------|---|--------------|---|-------------|-------------|---------------|---|---------|----|---------|----|---|---|----|
| | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | | | | | |
| | | | C | P | | | M | CF | | | C | P | | | M | CF | | | C | P | M | CF | C | P | M |
| T.I. | SN54S00 | J | D | M | CF | SN54H00 | J | D | M | CF | SN54LS00 | J | D | M | CF | SN5400 | J | D | M | CF | SN54L00 | J | D | M | CF |
| | SN74S00 | J | D | M | CF | SN74H00 | J | D | M | CF | SN74LS00 | J | D | M | CF | SN7400 | J | D | M | CF | SN74L00 | J | D | M | CF |
| FAIRCHILD | FM54S00 | F | M | S | 00 | FM54H00 | F | M | S | 00 | FM54LS00 | F | M | S | 00 | FM5400 | F | M | S | 00 | FM54L00 | F | M | S | 00 |
| | FC74S00 | F | C | S | 00 | FC74H00 | F | C | S | 00 | FC74LS00 | F | C | S | 00 | FC7400 | F | C | S | 00 | FC74L00 | F | C | S | 00 |
| MOTOROLA | | | | | | MC3100 | L | D | M | CF | | | | | | MC5400 | L | D | M | CF | | | | | |
| | | | | | | MC3000 | L | D | M | CF | SN74LS00 | J | D | M | CF | MC7400 | L | D | M | CF | | | | | |
| N. S. C. | | | | | | DM54H00 | J | D | M | CF | DM54LS00 | J | D | M | CF | DM5400 | J | D | M | CF | DM54L00 | J | D | M | CF |
| | DM74S00 | J | D | M | CF | DM74H00 | J | D | M | CF | DM74LS00 | J | D | M | CF | DM7400 | J | D | M | CF | DM74L00 | J | D | M | CF |
| PHILIPS | N74S02 | J | D | M | CF | GJH131/74H00 | J | D | M | CF | N74LS00 | J | D | M | CF | FJH131/7400 | J | D | M | CF | | | | | |
| | N54S00 | F | D | M | CF | 554H00 | F | D | M | CF | | | | | 55400 | F | D | M | CF | | | | | | |
| SIGNETICS | N74S00 | F | D | M | CF | N74H00 | F | D | M | CF | N74LS00 | F | D | M | CF | N7400 | F | D | M | CF | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | |
| SIEMENS | | | | | | | | | | | | | | | FLH101 | | | | | | | | | | |
| FUJITSU | | | | | | MB601 | | | | | 74LS00 | | | | MB400 | | | | | | | | | | |
| HITACHI | HD74S00 | | | | | | | | | | HD74LS00 | | | | | HD7400 | | | | | HD74L00 | | | | |
| MITSUBISHI | M55000 | | | | | | | | | | M74LS00 | | | | M53200 | | | | | | | | | | |
| NEC | μ PB2S00 | | | | | | | | | | 74LS00 | | | | μ PB201 | | | | | | | | | | |
| TOSHIBA | | | | | | | | | | | | | | | TD3400 A | | | | | | | | | | |

Electrical Characteristics SN54LS00/SN74LS00

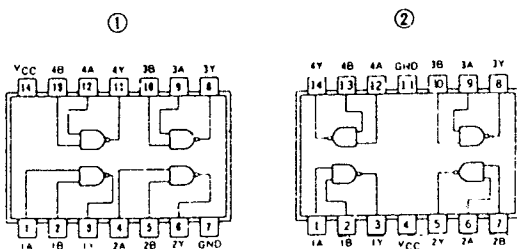
| absolute maximum ratings over operating free-air temperature range | | | |
|--|------|--------------------------------------|-----------------------|
| Supply voltage, V _{CC} | 7V | Operating free-air temperature range | SN54LS -55°C to 125°C |
| Input voltage | 7V | Storage temperature range | SN74LS -65°C to 150°C |
| Interconnect voltage | 5.5V | | |

| recommended operating conditions | | | | | | | |
|--|----------|-----|------|----------|-----|------|------|
| | SN54LS00 | | | SN74LS00 | | | UNIT |
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, V _{CC} | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, I _{OH} | | | -400 | | | -400 | mA |
| Low-level output current, I _{OL} | | | 4 | | | 8 | mA |
| Operating free-air temperature, T _A | -55 | | 125 | 0 | | 70 | °C |

electrical characteristics over recommended operating free-air temperature range

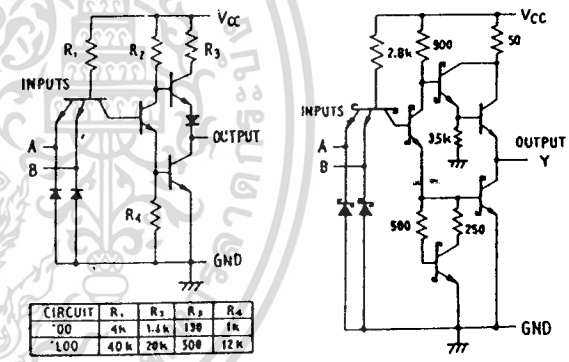
| PARAMETER | TEST CONDITIONS † | MIN | TYP ‡ | MAX | UNIT |
|-------------------|--|---|-----------------------------------|------|------|
| V _{IH} | High-level input voltage | | 2 | | V |
| V _{IL} | Low-level input voltage | | | 0.8 | V |
| V _I | Input clamp voltage | V _{CC} = MIN, I _I = -18 mA | | -1.5 | V |
| V _{OH} | High-level output voltage | V _{CC} = MIN, V _{IL} = V _{IL} max, I _{OH} = MAX | 2.7 | 3.4 | V |
| V _{OL} | Low-level output voltage | V _{CC} = MIN, V _{IH} = 2V, I _{OL} = 4 mA | 0.2 | 0.4 | V |
| I _I | Input current at maximum input voltage | V _{CC} = MAX, V _I = 7V | | 0.1 | mA |
| I _{IH} | High-level input current | V _{CC} = MAX, V _{IH} = 2.7V | | 20 | μA |
| I _{IL} | Low-level input current | V _{CC} = MAX, V _{IL} = 0.4V | | -0.4 | mA |
| I _{OS} | Short-circuit output current | V _{CC} = MAX | 54LS Family | -100 | mA |
| | | | 74LS Family | -18 | mA |
| I _{CC} H | Supply current | V _{CC} = MAX | Total, outputs high | 4 | mA |
| | | | Total, outputs low | 12 | mA |
| I _{CC} L | Supply current | V _{CC} = MAX | Average per gate (50% duty cycle) | 0.4 | mA |
| I _{CC} | Supply current | V _{CC} = 5V | | | |
| t _{PLH} | Propagation delay time, low-to-high-level output | V _{CC} = 5V, T _A = 25°C, C _L = 150pF, R _L = 2kΩ | | 9 | ns |
| t _{PHL} | Propagation delay time, high-to-low-level output | | | 10 | ns |

Pin Assignments (Top View)



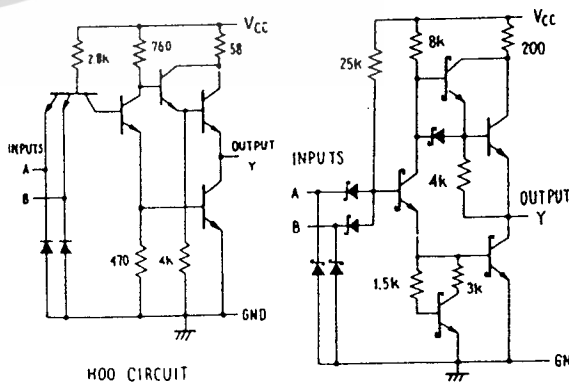
positive logic
Y = AB

Schematics (each gate)



| CIRCUIT | R ₁ | R ₂ | R ₃ | R ₄ |
|---------|----------------|----------------|----------------|----------------|
| '00 | 4k | 1.5k | 130 | 1k |
| '00 | 40k | 20k | 500 | 12k |

Input clamp diodes not on SN54LS00/SN74LS00 circuits.



Resistor values shown are nominal and in ohms

† If conditions shown as MIN or MAX use the appropriate value specified under recommended operating conditions

‡ Typical values are at V_{CC} = 5V, T_A = 25°C

• Duty cycle: high time plus low time should be less than 1.1 μs and for SN5400, SN7400, and SN54LS00, SN74LS00 duration of short pulse should not exceed 1 second

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5432/7432 Quadruple 2-Input Positive-OR Gate

| | Schottky TTL | | | | High-Speed TTL | | | | Low-Power Schottky TTL | | | | Standard TTL | | | | Low-Power TTL | | | | | | | |
|------------|---------------|--|---------|----|----------------|----|---------|--|------------------------|---|---------|----|--------------|--|---------------|---|---------------|----|---------|--|----------|---|---|----|
| | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | | | | |
| | | | C | P | M | CF | | | C | P | M | CF | | | C | P | M | CF | | | C | P | M | CF |
| T.I. | SN54S32 | | J | D | | | | | SN54LS32 | | J | D | WD | | SN5432 | | J | D | WD | | | | | |
| | SN74S32 | | J | D | PKD | | | | SN74LS32 | | J | D | PKD | | SN7432 | | J | D | PKD | | | | | |
| FAIRCHILD | FMS432/FM5432 | | ND | | FD | | | | FMS432/FM5432 | | ND | | FD | | FMS432/FM5432 | | ND | | FD | | | | | |
| | FC7432/FC5432 | | ND | PD | FD | | | | FC7432/FC5432 | | ND | PD | FD | | FC7432/FC5432 | | DD | PD | FD | | | | | |
| MOTOROLA | | | | | | | | | SN74LS32 | | | | | | | | | | | | | | | |
| N.S.C. | | | | | | | | | DM74LS32 | | | | DM5432 | | J | D | PKD | | WD | | DM54LS32 | | | |
| | | | | | | | | | DM54LS32 | | | | DM74232 | | J | D | PKD | | | | DM74LS32 | | | |
| PHILIPS | N74S32 | | | | D | | | | N74LS32 | | | | N7432 | | | | D | | | | | | | |
| SIGNETICS | | | | | | | | | N74LS32 | | A | D | 80432 | | F | D | ND | | WD | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | |
| SIEMENS | | | | | | | | | | | | | FLH631 | | | | D | | | | | | | |
| FUJITSU | | | | | | | | | 74LS32 | | | | MAD | | | | | | | | | | | |
| HITACHI | | | | | | | | | HD74LS32 | | | | HD7432 | | | | D | | PD | | | | | |
| MITSUBISHI | | | | | | | | | MS3LS32 | | | | | | | | | | | | | | | |
| NEC | | | | | | | | | 74LS32 | | | | C | | D | | | | | | | | | |
| TOSHIBA | | | | | | | | | | | | | | | | | | | | | | | | |

Electrical Characteristics SN54LS32/SN74LS32

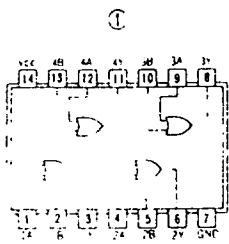
absolute maximum ratings over operating free-air temperature range

| | | | | |
|--|---------|--------------------------------------|---------|----------------|
| Supply voltage, V _{CC} | TV | Operating free-air temperature range | SN54LS | -55°C to 125°C |
| Input voltage | TV | Storage temperature range | SN74LS | 0°C to 70°C |
| recommended operating conditions | | | | |
| 1000 1000 | | | | |
| SN54LS32 SN74LS32 UNIT | | | | |
| Supply voltage, V _{CC} | MIN 4.5 | NOM 5 | MAX 5.5 | 4.75 5 5.25 V |
| High-level output current, I _{OH} | | | | -400 -400 μA |
| Low-level output current, I _{OL} | | | | 8 8 mA |
| Operating free-air temperature, T _A | -55 | 0 | | 70 °C |

electrical characteristics over recommended operating free-air temperature range

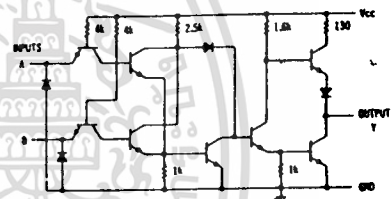
| PARAMETER | TEST CONDITIONS † | MIN | TYP ‡ | MAX | UNIT |
|-------------------|--|---|-------|-----|---|
| V _{IH} | High-level input voltage | ? | | | V |
| V _{IL} | Low-level input voltage | ? | | | 0.8 V |
| V _I | Input clamp voltage | V _{CC} = MIN, I _I = -18 mA | | | -1.5 V |
| V _{OH} | High-level output voltage | V _{CC} = MIN, V _{IH} = 2V, I _{OH} = MAX | | | 2.7 3.4 V |
| V _{OL} | Low-level output voltage | V _{CC} = MIN, V _{IL} = V _{IL} max, I _{OL} = 4 mA | | | 0.25 0.4 V |
| I _I | Input current at maximum input voltage | V _{CC} = MAX, V _I = 2V | | | 0.1 mA |
| I _{IH} | High-level input current | V _{CC} = MAX, V _{IH} = 2.7V | | | 20 μA |
| I _{IL} | Low-level input current | V _{CC} = MAX, V _{IL} = 0.4V | | | -0.4 mA |
| I _{OS} | Short-circuit output current † | V _{CC} = MAX | | | 54LS Family -20 74LS Family -20 mA |
| I _{CC} H | Supply current | V _{CC} = MAX | | | Total, outputs high 3.1 6.2 mA Total, outputs low 4.9 9.8 mA |
| I _{CC} L | Supply current | V _{CC} = MAX | | | Average per gate (50% duty cycle) 1.0 mA |
| I _{CC} | Supply current | V _{CC} = 5V | | | |
| t _{PLH} | Propagation delay time, low-to-high-level output | V _{CC} = 5V, T _A = 25°C, C _L = 150pF, R _L = 2kΩ | | | 14 22 ns |
| t _{PHL} | Propagation delay time, high-to-low-level output | V _{CC} = 5V, T _A = 25°C, C _L = 150pF, R _L = 2kΩ | | | 14 22 ns |

Pin Assignment (Top View)

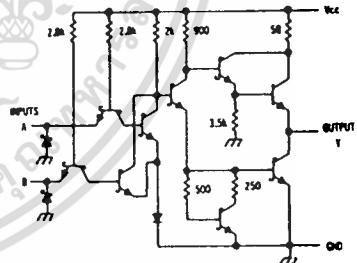


positive logic
● ○

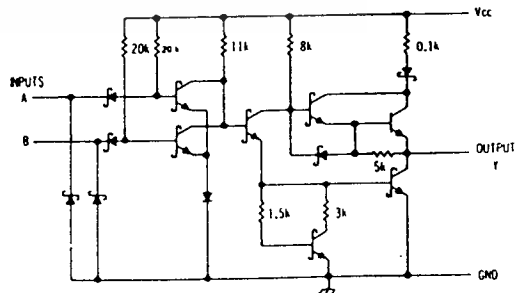
Schematics (each gate)



5432 CIRCUIT



7432 CIRCUIT



LS32 CIRCUIT

Resistor values shown are nominal and in ohms.

† I_{OS} conditions shown as MIN or MAX are the absolute value specifications under recommended operating conditions.
‡ Typical values are at V_{CC} = 5V, T_A = 25°C.
§ Output current is the low-level output current.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 3-Line-to-8-Line Decoder

| | Schottky TTL | | | | High-Speed TTL | | | | Low-Power Schottky TTL | | | | Standard TTL | | | | Low-Power TTL | | | |
|------------|--------------|---|---------|----|----------------|---|---------|----|------------------------|---|---------|----|--------------|---|---------|----|---------------|---|---------|----|
| | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | |
| | C | P | M | CF | C | P | M | CF | C | P | M | CF | C | P | M | CF | C | P | M | CF |
| T.I. | SN54S138 | | J | Q | SN54LS138 | | J | Q | SN54LS138 | | J | Q | SN54LS138 | | J | Q | SN54LS138 | | J | Q |
| FAIRCHILD | SN74S138 | | J | Q | SN74LS138 | | J | Q | SN74LS138 | | J | Q | SN74LS138 | | J | Q | SN74LS138 | | J | Q |
| MOTOROLA | SN74S138 | | J | Q | SN74LS138 | | J | Q | SN74LS138 | | J | Q | SN74LS138 | | J | Q | SN74LS138 | | J | Q |
| N.S.C. | DM74S138 | | J | Q | DM74LS138 | | J | Q | DM74LS138 | | J | Q | DM74LS138 | | J | Q | DM74LS138 | | J | Q |
| PHILIPS | N74S138 | | J | Q | N74LS138 | | J | Q | N74LS138 | | J | Q | N74LS138 | | J | Q | N74LS138 | | J | Q |
| SIGNETICS | S54S138 | | F | Q | S74LS138 | | F | Q | S74LS138 | | F | Q | S74LS138 | | F | Q | S74LS138 | | F | Q |
| SIEMENS | N74S138 | | F | Q | N74LS138 | | F | Q | N74LS138 | | F | Q | N74LS138 | | F | Q | N74LS138 | | F | Q |
| FUJITSU | M74S138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q |
| HITACHI | M74S138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q |
| MITSUBISHI | M74S138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q |
| NEC | M74S138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q |
| TOSHIBA | M74S138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q | M74LS138 | | P | Q |

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

| | | | | |
|---------------------------------|----|--------------------------------------|--------|----------------|
| Supply voltage, V _{CC} | 7V | Operating free-air temperature range | SN54LS | -55°C to 125°C |
| Input voltage | 7V | temperature range | SN74LS | 0°C to 70°C |
| | | Storage temperature range | | -65°C to 150°C |

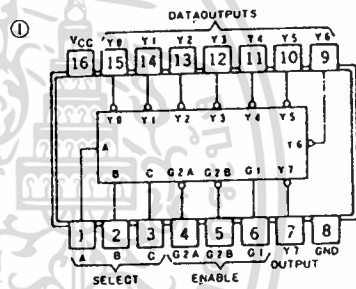
recommended operating conditions

| | SN54LS138 | | | SN74LS138 | | | UNIT |
|--|-----------|-----|-----|-----------|-----|------|------|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, V _{CC} | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, I _{OH} | | | | 400 | | | mA |
| Low-level output current, I _{OL} | | | | 4 | | | mA |
| Operating free-air temperature, T _A | -55 | | 125 | 0 | | 70 | °C |

electrical characteristics over recommended operating free-air temperature range

| PARAMETER # | TEST CONDITIONS 1 | MIN | TYP | MAX | UNIT | |
|------------------|--|---|-----|----------|------|----|
| V _{IH} | High-level input voltage | | 2 | | V | |
| V _{IL} | Low-level input voltage | | | 0.8 | V | |
| V _I | input clamp voltage | V _{CC} = MIN, I _I = -18mA | | 1.5 | V | |
| V _{OH} | High-level output voltage | V _{CC} = MIN, V _{IH} = 2V, I _{OH} = 0.8V, I _{OH} = 400mA | 2.5 | 3.4 | V | |
| V _{OL} | Low-level output voltage | V _{CC} = MIN, V _{IH} = 2V, I _{OL} = 0.8V, I _{OL} = 8mA | | 0.35 0.5 | V | |
| I _I | input current at maximum input voltage | V _{CC} = MAX, V _I = 7V | | 0.1 | mA | |
| I _{IH} | High-level input current | V _{CC} = MAX, V _I = 2.7V | | 20 | μA | |
| I _{IL} | Low-level input current | V _{CC} = MAX, V _I = 0.4V | | 0.4 | mA | |
| I _{OS} | Short-circuit output current # | V _{CC} = MAX | 20 | -100 | mA | |
| I _{CC} | Supply current | V _{CC} = MAX | 6.3 | 10 | mA | |
| t _{PLH} | from Binary select | V _{CC} = 5V T _A = 25°C C _L = 150pF R _L = 2kΩ | 2 | 13 | 20 | ns |
| t _{PHL} | | | 2 | 27 | 41 | ns |
| t _{PLH} | | | 3 | 18 | 27 | ns |
| t _{PHL} | to Any output | levels of delay | 2 | 26 | 39 | ns |
| t _{PLH} | | | 2 | 12 | 18 | ns |
| t _{PHL} | | | 3 | 21 | 32 | ns |
| t _{PLH} | from Enable | levels of delay | 2 | 17 | 26 | ns |
| t _{PHL} | | | 3 | 25 | 38 | ns |

Pin Assignment (Top View)



positive logic:
see function table

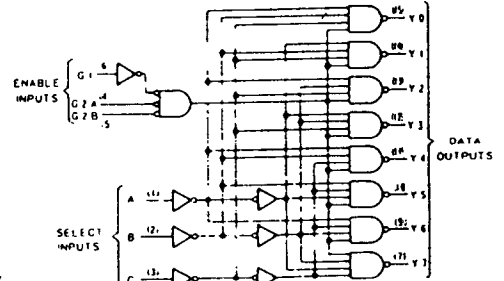
Function Table

'S138 'LS138

| ENABLE | | SELECT | | | OUTPUTS | | | | | | | |
|--------|----|--------|---|---|---------|----|----|----|----|----|----|----|
| G1 | G2 | C | B | A | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
| X | H | X | X | X | H | H | H | H | H | H | H | H |
| L | X | X | X | X | H | H | H | H | H | H | H | H |
| H | L | L | L | L | L | H | H | H | H | H | H | H |
| H | L | L | L | H | H | L | H | H | H | H | H | H |
| H | L | L | H | L | H | H | L | H | H | H | H | H |
| H | L | L | H | H | H | H | L | H | H | H | H | H |
| H | L | H | L | L | H | H | H | L | H | H | H | H |
| H | L | H | L | H | H | H | H | L | H | H | H | H |
| H | L | H | H | L | H | H | H | H | L | H | H | H |
| H | L | H | H | H | H | H | H | H | H | L | H | H |

* G2 = G2A + G2B
H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138 'LS138 DECODER/DEMULTIPLXER

1. If conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

2. All typical values are at V_{CC} = 5V, I_A = 25°C.

3. Not more than one output should be shorted at a time, and duration of the short circuit test should not exceed one second.

4. t_{PLH} = propagation delay time from high level to high level output.

5. t_{PHL} = propagation delay time from high level to low level output.

เอกสารนี้เป็นเอกสารเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

| | Schottky TTL | | | | High-Speed TTL | | | | Low-Power Schottky TTL | | | | Standard TTL | | | | Low-Power TTL | | | | | | | |
|------------|--------------|---|---------|----|----------------|---|---------|----|------------------------|---|---------|----|---------------|---|---------|----|-----------------|---|---------|----|-----------------|---|---|----|
| | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | | | | |
| | C | P | M | CF | C | P | M | CF | C | P | M | CF | C | P | M | CF | C | P | M | CF | | | | |
| T.I. | | | | | | | | | SNS4LS164 | J | D | WD | SNS4164 | J | D | WD | SNS4L164 | J | D | WD | SNS4L164 | J | D | WD |
| FAIRCHILD | | | | | | | | | SN74LS164 | J | D | WD | SN74164 | J | D | WD | SN74L164 | J | D | WD | SN74L164 | J | D | WD |
| MOTOROLA | | | | | | | | | MS4LS164/MS4LS164 | Q | C | | MS4164/MS4164 | Q | C | | MS4L164/MS4L164 | Q | C | | MS4L164/MS4L164 | Q | C | |
| N.S.C. | | | | | | | | | DM74LS164 | Q | C | | DM74164 | Q | C | | DM74L164 | Q | C | | DM74L164 | Q | C | |
| PHILIPS | | | | | | | | | N74LS164 | U | | | N74164 | U | | | N74L164 | U | | | N74L164 | U | | |
| SIGNETICS | | | | | | | | | N74LS164 | A | D | | N74164 | A | D | | N74L164 | A | D | | N74L164 | A | D | |
| SIEMENS | | | | | | | | | | | | | FL1641 | | | | | | | | | | | |
| FUJITSU | | | | | | | | | 74LS164 | M | D | | | | | | | | | | | | | |
| HITACHI | | | | | | | | | HD74LS164 | P | D | | HD74164 | P | D | | HD74L164 | P | D | | HD74L164 | P | D | |
| MITSUBISHI | | | | | | | | | M74LS164 | P | D | | M53364 | P | D | | | | | | | | | |
| NEC | | | | | | | | | AM74LS | C | D | | μPB2164 | O | D | | | | | | | | | |
| TOSHIBA | | | | | | | | | | | | | TD3503A | P | D | | | | | | | | | |
| AMD | | | | | | | | | Am74LS164 | | | | | | | | | | | | | | | |

Electrical Characteristics SN54LS164/SN74LS164

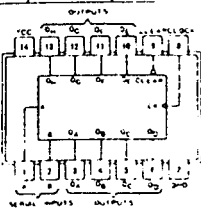
| absolute maximum ratings over operating free-air temperature range | | | |
|--|----|--------------------------------------|----------------------------------|
| Supply voltage, V _{CC} | 7V | Operating free-air temperature range | SNS4 ¹ -55°C to 125°C |
| Input voltage | 7V | | SN74 ¹ 0°C to 70°C |
| | | Storage temperature range | -65°C to 150°C |
| recommended operating conditions | | | |
| | | SNS4LS164 | SN74LS164 |
| | | MIN NOM MAX | MIN NOM MAX |
| Supply voltage, V _{CC} | | 4.5 5 5.5 | 4.75 5 5.25 |
| High-level output current, I _{OH} | | -400 | -400 |
| Low-level output current, I _{OL} | | 4 | 8 |
| Clock frequency, f _{clock} | | 0 25 0 | 25 MHz |
| Width of clock or clear input pulse, t _w | | 20 | 20 |
| Data setup time, t _{setup} | | 15 | 15 |
| Data hold time, t _{hold} | | 5 | 5 |
| Operating free-air temperature, T _A | | -55 | 125 |
| | | 0 | 70 |

electrical characteristics over recommended operating free-air temperature range

| PARAMETER | TEST CONDITIONS † | MIN | TYP ‡ | MAX | UNIT |
|------------------|--|---|-----------------------------|-------|------|
| V _{IH} | High-level input voltage | | 2 | | V |
| V _{IL} | Low-level input voltage | | | 0.8 | V |
| V _I | Input clamp voltage | V _{CC} = MIN, I _I = -18mA | | -1.5 | V |
| V _{OH} | High-level output voltage | V _{CC} = MIN, V _{IH} = 2V, V _{IL} = 0.8V, I _{OH} = -400μA | 2.7 | 3.5 | V |
| V _{OL} | Low-level output voltage | V _{CC} = MIN, V _{IH} = 2V, V _{IL} = 0.8V, I _{OL} = 8mA | 0.35 | 0.5 | V |
| I _I | Input current maximum | V _{CC} = MAX, V _I = 7V | | 0.1 | mA |
| I _{IH} | High-level input current | V _{CC} = MAX, V _I = 2.7V | | 20 | μA |
| I _{IL} | Low-level input current | V _{CC} = MAX, V _I = 0.4V | | 0.4 | mA |
| I _{OS} | Short-circuit output current † | V _{CC} = MAX | SNS4LS 20 SN74LS -20 | 100 | mA |
| I _{CC} | Supply current | V _{CC} = MAX, See Note 1 | | 5 27 | mA |
| f _{max} | Maximum clock frequency | V _{CC} = 5V | C _L = 150F 25 36 | | MHz |
| t _{PHL} | Propagation delay time, high-to-low level 0 outputs from clear input | T _A = 25°C, R _L = 2kΩ | C _L = 150F | 24 36 | ns |
| t _{PLH} | Propagation delay time, low-to-high level 0 outputs from clock input | | C _L = 150F | 17 27 | ns |
| t _{PHL} | Propagation delay time, high-to-low level 0 outputs from clock input | | C _L = 150F | 21 32 | ns |

Pin Assignment (Top View)

①



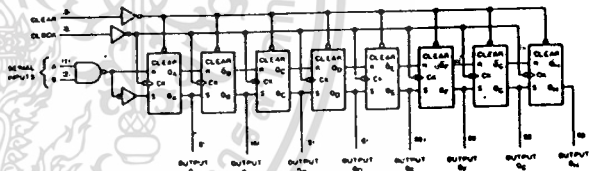
positive logic, see function table

Function Table

164, LS164, L164 (see Note 2)

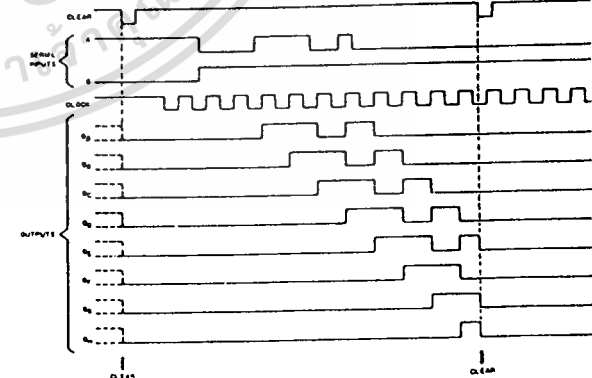
| INPUTS | | OUTPUTS | | | |
|--------|-------|---------|---|-----------------|---------------------------------|
| CLEAR | CLOCK | A | B | QA | QB ... QH |
| L | X | X | X | L | L |
| H | L | X | X | 0A ₀ | 0B ₀ 0H ₀ |
| H | ↑ | H | H | 0A _n | 0B _n 0H _n |
| H | ↑ | L | X | L | 0A _n 0G _n |
| H | ↑ | X | L | L | 0A _n 0G _n |

Functional Block Diagram



164, LS164, L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift and clear sequences



- NOTES
- I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear
 - H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
0A₀, 0B₀, 0H₀ = the level of 0A, 0B, or 0H, respectively, before the indicated steady-state input conditions were established
QA_n, 0B_n = the level of 0A or 0B before the most-recent ↑ transition of the clock, indicates a one-bit shift

† Fig. conditions shown at MIN or MAX use the appropriate value specified under recommended operating conditions for the applicable device type

‡ All typical values are at V_{CC} = 5V, T_A = 25°C

* If more than two outputs should be shorted at a time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54165/74165 Parallel-Load 9-Bit Shift Register

| | Schottky TTL | | | | High-Speed TTL | | | | Low-Power Schottky TTL | | | | Standard TTL | | | | Low-Power TTL | | | |
|------------|--------------|--|---------|---|----------------|--|---------|----|------------------------|--|---------|---|--------------|--|---------|----|---------------|--|---------|---|
| | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | |
| | | | C | P | | | M | CF | | | C | P | | | M | CF | | | C | P |
| T.I. | | | | | | | | | | | | | | | | | | | | |
| FAIRCHILD | | | | | | | | | | | | | | | | | | | | |
| MOTOROLA | | | | | | | | | | | | | | | | | | | | |
| N.S.C. | | | | | | | | | | | | | | | | | | | | |
| PHILIPS | | | | | | | | | | | | | | | | | | | | |
| SIGNETICS | | | | | | | | | | | | | | | | | | | | |
| SIEMENS | | | | | | | | | | | | | | | | | | | | |
| FUJITSU | | | | | | | | | | | | | | | | | | | | |
| HTACHI | | | | | | | | | | | | | | | | | | | | |
| MITSUBISHI | | | | | | | | | | | | | | | | | | | | |
| NEC | | | | | | | | | | | | | | | | | | | | |
| TOSHIBA | | | | | | | | | | | | | | | | | | | | |

Electrical Characteristics NS54LS165/SN74LS165

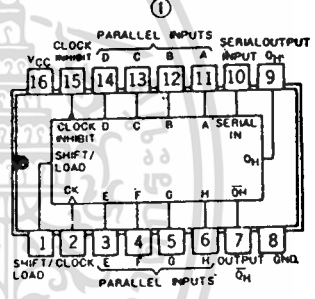
| absolute maximum ratings over operating free-air temperature range | | | |
|--|----|--------------------------------------|-----------------------|
| Supply voltage, V_{CC} | 7V | Operating free-air temperature range | SN54LS -55°C to 125°C |
| Input voltage | 7V | | SN74LS 0°C to 70°C |
| | | Storage temperature range | -65°C to 150°C |

| recommended operating conditions | | | | | | | |
|--|-----------|-----|-----|-----------|-----|------|---------|
| | SN54LS165 | | | SN74LS165 | | | UNIT |
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, V_{CC} | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, I_{OH} | | | 400 | | | 400 | μ A |
| Low-level output current, I_{OL} | | | 4 | | | 8 | mA |
| Clock frequency, f_{clock} | 0 | | 70 | 0 | | 20 | MHz |
| Width of clock input pulse, $t_w(clock)$ | 25 | | 75 | 25 | | 75 | ns |
| Width of load input pulse, $t_w(load)$ | 15 | | 15 | 15 | | 15 | ns |
| Clock enable setup time, t_{setup} | 30 | | 30 | 30 | | 30 | ns |
| Parallel input setup time, t_{setup} | 10 | | 10 | 10 | | 10 | ns |
| Serial input setup time, t_{setup} | 20 | | 20 | 20 | | 20 | ns |
| Shift setup time, t_{setup} | 45 | | 45 | 45 | | 45 | ns |
| Hold time at any input, t_{hold} | 0 | | 0 | 0 | | 0 | ns |
| Operating free-air temperature, T_A | -55 | | 125 | 0 | | 70 | °C |

electrical characteristics over recommended operating free-air temperature range

| PARAMETER* | TEST CONDITIONS† | MIN | TYP‡ | MAX | UNIT |
|---|--|------|------|------|---------|
| V_{IH} High-level input voltage | | 2 | | | V |
| V_{IL} Low-level input voltage | | | 0.8 | | V |
| V_I Input clamp voltage | $V_{CC} = \text{MIN}$ $I_I = -18 \text{ mA}$ | | | -1.5 | V |
| V_{OH} High-level output voltage | $V_{CC} = \text{MIN}$ $V_{IH} = 2V$ $I_{OH} = 0 \text{ B.V.}$ $I_{OH} = -400 \mu\text{A}$ | 2.7 | 3.5 | | V |
| V_{OL} Low-level output voltage | $V_{CC} = \text{MIN}$ $V_{IH} = 2V$ $V_{IL} = 0 \text{ B.V.}$ $I_{OL} = 8 \text{ mA}$ | 0.35 | 0.5 | | V |
| I_I Input current at maximum input voltage | $V_{CC} = \text{MAX}$, $V_I = 7V$ | | 0.3 | | mA |
| I_{IH} High-level shift/load input | $V_{CC} = \text{MAX}$, $V_I = 2V$ | | 60 | | μ A |
| I_{IL} Low-level shift/load input | $V_{CC} = \text{MAX}$, $V_I = 0.4V$ | | 1.2 | | mA |
| I_{OS} Shift/output current | $V_{CC} = \text{MAX}$ | | | | mA |
| I_{CC} Supply current | $V_{CC} = \text{MAX}$ See Note 2 | | | | mA |
| f_{max} Maximum clock frequency | | 25 | 35 | | MHz |
| t_{PLH} Propagation delay time from Load to Any output | $V_{CC} = 5V$ $T_A = 25^\circ\text{C}$ $C_L = 15 \text{ pF}$ $R_L = 2k\Omega$ | 22 | 35 | | ns |
| t_{PLH} Propagation delay time from Clock to Any output | | 27 | 40 | | ns |
| t_{PHL} Propagation delay time from H to output Q_H | | 14 | 25 | | ns |
| t_{PLH} Propagation delay time from H to output Q_H | | 21 | 30 | | ns |
| t_{PHL} Propagation delay time from H to output Q_H | | 21 | 30 | | ns |

Pin Assignment (Top View)



positive logic:

Function Table

*165 (see Note 3)

| SHIFT/LOAD | CLOCK INHIBIT | INPUTS | | | | INTERNAL OUTPUTS | | OUTPUT Q_H |
|------------|---------------|--------|--------|----------------|----------|------------------|----------|--------------|
| | | CLOCK | SERIAL | PARALLEL A...H | Q_A | Q_B | | |
| L | X | X | X | a...h | X | X | a b h | |
| H | L | L | X | X | Q_{A0} | Q_{B0} | Q_{H0} | |
| H | L | ↑ | H | X | H | Q_{An} | Q_{Gn} | |
| H | L | ↑ | L | X | L | Q_{An} | Q_{Gn} | |
| H | H | ↑ | X | X | Q_{A0} | Q_{B0} | Q_{H0} | |

- NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies to the shift/load input in conjunction with the clock or clock-inhibit inputs.
2. With the outputs open, clock inhibit and shift/load at 4.5V, and a clock pulse applied to the clock input, t_{CC} is measured first with the parallel inputs at 4.5V, then with the parallel inputs grounded.
3. H = high level (steady state), L = low level (steady state), X = irrelevant (any input, including transitions), ↑ = transition from low to high level, a...h = the level of steady-state input at inputs A thru H, respectively, Q_{A0} Q_{B0} Q_{H0} = the level of Q_A , Q_B , or Q_H , respectively, before the indicated steady-state input conditions were established, Q_{An} Q_{Gn} = the level of Q_A or Q_G , respectively, before the most recent ↑ transition of the clock.

†† - Conditions shown as MIN or MAX, use the appropriate value under recommended operating conditions for the applicable device type.

‡ - Typical values are at $V_{CC} = 5V$, $T_A = 25^\circ\text{C}$.

* - More than one output should be loaded at a time.

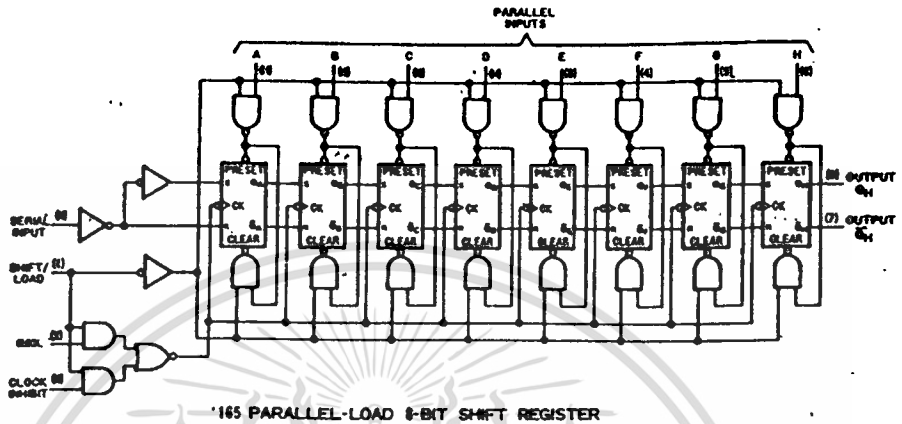
† - Propagation delay time, low-to-high-level output.

†† - Propagation delay time, high-to-low-level output.

เอกสารนี้เป็นเอกสารของบริษัทเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า

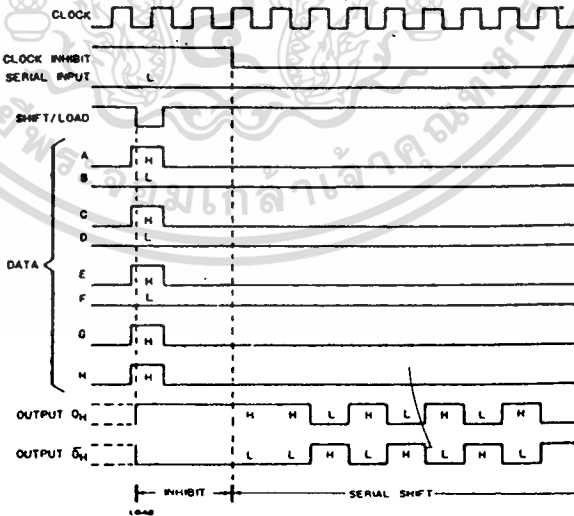
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



165 PARALLEL-LOAD 8-BIT SHIFT REGISTER

typical shift, and load, inhibit sequences



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

| | Schottky TTL | | | | High-Speed TTL | | | | Low-Power Schottky TTL | | | | Standard TTL | | | | Low-Power TTL | | | | |
|------------|----------------|----|---------|----|----------------|----|---------|----|------------------------|---------|---------|----|---------------|----|---------|----|---------------|---|---------|----|----|
| | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | |
| | C | P | M | CF | C | P | M | CF | C | P | M | CF | C | P | M | CF | C | P | M | CF | |
| T.I. | SN54S74 | J | Q | | SN54H74 | J | Q | WD | SN54LS74 | J | Q | WD | SN5474 | J | Q | WD | SN54L74 | J | Q | WD | TC |
| FAIRCHILD | FMS4S74/FMS74 | DD | | | FMS4H74/FMS74 | DD | | FQ | FMS4LS74/FMS74 | DD | | FQ | FMS474/FMS74 | DD | | FQ | SN74L74 | J | Q | WD | TC |
| MOTOROLA | FC74S74/FC9S74 | DD | | | FC74H74/FC9H74 | DD | | FD | FC74LS74/FC9LS74 | DD | | FD | FC7474/FC974 | DD | | FD | | | | | |
| N.S.C. | DM74S74 | ND | | | DM54H74 | J | Q | ND | DM54LS74 | J | Q | ND | DM5474 | J | Q | ND | DM54L74 | J | Q | ND | FD |
| PHILIPS | N74S74 | Q | | | GJ131/74H74 | Q | | | N74LS74 | Q | | | FJJ131/7474 | Q | | | | | | | |
| SIGNETICS | 554S74 | | | | 554H74 | F | Q | AD | WD | 554LS74 | F | Q | AD | WD | | | | | | | |
| SIEMENS | N74S74 | | | | N74H74 | F | Q | AD | WD | N74LS74 | A | Q | | FQ | AD | WD | | | | | |
| FUJITSU | | | | | | | | | 74LS74 | M | | | MB420 | Q | MD | | | | | | |
| HITACHI | HD74S74 | Q | P | | | | | | HD74LS74 | P | J | | HD7474/HD2510 | Q | P | | | | | | |
| MITSUBISHI | M74S74 | | P | Q | | | | | M74LS74 | P | J | | M5327/M5374 | P | Q | | | | | | |
| NEC | 74S74 | | C | Q | | | | | 74LS74 | C | J | | μPB214 | DD | CC | | | | | | |
| TOSHIBA | | | | | | | | | | | | | TC3474A | P | Q | | | | | | |

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

| | | | | |
|--------------------------------|----|--------------------------------------|--------|----------------|
| Supply voltage V _{CC} | TV | Operating free-air temperature range | SN54LS | -55°C to 125°C |
| Input voltage | 5V | Storage temperature range | SN74LS | EC to 175°C |
| | | | | -65°C to 150°C |

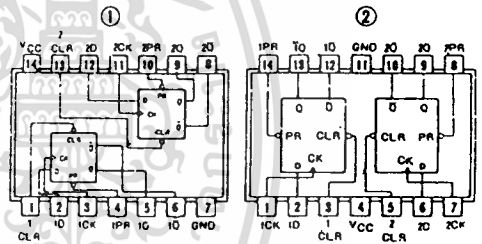
recommended operating conditions

| | SN54LS74 | | SN74LS74 | | UNIT |
|--|----------|------|----------|------|------|
| | MIN | MAX | MIN | MAX | |
| Supply voltage V _{CC} | 4.5 | 5 | 4.75 | 5.25 | V |
| High-level output current, I _{OH} | | -400 | | -400 | μA |
| Low-level output current, I _{OL} | | 4 | | 4 | mA |
| Pulse width, t _p | 25 | | 25 | | nS |
| Set or clear time | 25 | | 25 | | nS |
| High-level data | 25 | | 25 | | nS |
| Low-level data | 20 | | 20 | | nS |
| Input hold time, t _{hold} | 5 | | 5 | | nS |
| Operating free-air temperature, T _A | -55 | 175 | 0 | 70 | °C |

electrical characteristics over recommended operating free-air temperature range

| PARAMETER | TEST CONDITIONS † | MIN | TYP ‡ | MAX | UNIT |
|------------------|--|--|-------|--------------------|------|
| V _{IH} | High-level input voltage | | 2 | | V |
| V _{IL} | Low-level input voltage | | 0.8 | | V |
| V _I | Input clamp voltage | V _{CC} = MIN, I _I = 18 mA | | -1.5 | V |
| V _{OH} | High-level output voltage | V _{CC} = MIN, V _{IH} = 2V, V _{IL} = 0.8V, I _{OH} = MAX | 2.7 | 3.4 | V |
| V _{OL} | Low-level output voltage | V _{CC} = MIN, V _{IH} = 2V, V _{IL} = 0.8V, I _{OL} = 4mA | 0.25 | 0.4 | V |
| I _I | Input current at maximum input voltage | D, J, K, Clear, Preset, Clock | | 0.1, 0.2, 0.2, 0.1 | mA |
| I _{IH} | High-level input current | D, J, K, Clear, Preset, Clock | | 20, 40, 20 | μA |
| I _{IL} | Low-level input current | D, J, K, Clear, preset, Clock | | 0.4, 0.8, 0.2 | mA |
| I _{CC} | Supply current | Series 54LS, Series 74LS | | 20, 70 | mA |
| I _{CC} | Supply current | Series 54LS, Series 74LS | | 100, 100 | mA |
| I _{CC} | Supply current | Series 54LS, Series 74LS | | 4, 5 | mA |
| f _{CLK} | clock frequency | | 25 | 33 | MHz |
| t _{PLH} | propagation delay (clock to Q) | | 3 | 25 | nS |
| t _{PLL} | propagation delay (clock to L) | | | 40 | nS |

Pin Assignments (Top View)

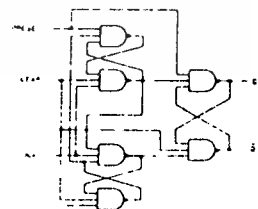


Functional Table

74, H74, LS74, S74 (See Note 2)

| INPUTS | | | OUTPUTS | |
|--------|-------|-------|---------|----------------|
| PRESET | CLEAR | CLOCK | D | Q |
| L | H | X | X | H |
| H | L | X | X | L |
| L | L | X | X | H* |
| H | H | ↑ | H | L |
| H | H | ↓ | L | H |
| H | H | L | X | Q ₀ |

Functional Block Diagram



74 (DUAL) D-TYPE FLIP-FLOP WITH CLEAR AND PRESET

† I_I is measured with the V_{CC} is measured with the V_{CC} and Q outputs high in the steady state. L = low level (steady state), X = irrelevant, ↑ = rising edge, ↓ = falling edge.
 ‡ Values are typical values only. Values were established under the following conditions: V_{CC} = 5V, T_A = 25°C, and all other inputs are held at their recommended logic levels.

5493/7493

4-Bit Binary Counter

| | Schottky TTL | | | | High-Speed TTL | | | | Low-Power Schottky TTL | | | | Standard TTL | | | | Low-Power TTL | | | | | | | | | |
|------------|--------------|---|---------|----|----------------|---|---------|----|------------------------|---|---------|----|--------------|---|-----------------|----|---------------|---|---------|----|----------|---|---|---|---|---|
| | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | Device Type | | Package | | | | | | | |
| | C | P | M | CF | C | P | M | CF | C | P | M | CF | C | P | M | CF | C | P | M | CF | | | | | | |
| T. I. | | | | | | | | | SN54LS93 | J | I | | W | I | SN5493A | J | I | | W | I | SN54LS93 | J | I | N | T | Z |
| FAIRCHILD | | | | | | | | | SN74LS93 | J | T | N | | | SN7493A | J | T | N | | | SN74LS93 | J | I | N | T | Z |
| MOTOROLA | | | | | | | | | MS4LS93 (PMBLS93) | H | J | | F | J | FM5493 (FM9393) | D | I | | F | L | | | | | | |
| N. S. C. | | | | | | | | | DM54LS93 | | | | | | DM5493 | J | I | N | T | Z | DM54LS93 | J | I | N | T | Z |
| PHILIPS | | | | | | | | | DM74LS93 | | | | | | DM7493 | J | I | N | T | Z | DM74LS93 | J | I | N | T | Z |
| SIGNETICS | | | | | | | | | N74LS93 | | | | | | FJ1221 7493 | | | | | | | | | | | |
| SIEMENS | | | | | | | | | N74LS93 | A | I | | | | S5493 | F | I | N | T | Z | N7493 | F | I | N | T | Z |
| FUJITSU | | | | | | | | | | | | | | | FL1181 | | | | | | | | | | | |
| HITACHI | | | | | | | | | HD74LS93 | P | I | | | | HD7493A/HD2520 | P | P | | | | | | | | | |
| mitsubishi | | | | | | | | | M74LS93 | P | I | | | | M5329J | | | | | | | | | | | |
| NEC | | | | | | | | | | | | | | | μPB223 | O | D | C | I | | | | | | | |
| TOSHIBA | | | | | | | | | | | | | | | TD3493A | P | I | | | | | | | | | |

Electrical Characteristics SN54LS93A/SN74LS93A

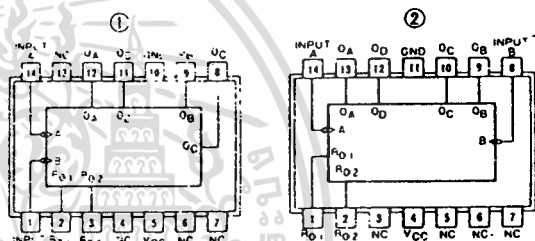
absolute maximum ratings over operating free-air temperature range

| | | | | |
|-----------------------------------|------|--------------------------------------|--------|----------------|
| Supply voltage, V _{CC} | 7V | Operating free-air temperature range | SN54LS | -55°C to 125°C |
| Input voltage | 7V | temperature range | SN74LS | 0°C to 70°C |
| Intermittent voltage (see Note 1) | 5.5V | Storage temperature range | | -65°C to 150°C |

recommended operating conditions

| | SN54LS93A | | | SN74LS93A | | | UNIT |
|--|-----------|-----|-----|-----------|-----|------|------|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, V _{CC} | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, I _{OH} | | | 400 | | | 400 | mA |
| Low-level output current, I _{OL} | | | 4 | | | 8 | mA |
| Count frequency, f _{count} | A input | 0 | 32 | 0 | 32 | | MHz |
| | B input | 0 | 16 | 0 | 16 | | MHz |
| Pulse width, t _w | A input | 15 | | 15 | | | ns |
| | B input | 30 | | 30 | | | ns |
| Reset inputs | 15 | | 15 | | | | ns |
| Reset inactive-state setup, t _{setup} | 25 | | 25 | | | | ns |
| Operating free-air temperature, T _A | -55 | | 125 | 0 | | 70 | °C |

Pin Assignments (Top View)



Function Table

COUNT SEQUENCE
93A,LS93,L93 (See Note 3,4)

| COUNT | OUTPUT | | | |
|-------|----------------|----------------|----------------|----------------|
| | Q ₀ | Q ₁ | Q ₂ | Q ₃ |
| 0 | L | L | L | L |
| 1 | L | L | L | H |
| 2 | L | L | H | H |
| 3 | L | H | H | H |
| 4 | L | H | L | L |
| 5 | L | H | L | H |
| 6 | L | H | H | L |
| 7 | L | H | H | H |
| 8 | H | L | L | L |
| 9 | H | L | L | H |
| 10 | H | L | H | L |
| 11 | H | L | H | H |
| 12 | H | H | L | L |
| 13 | H | H | L | H |
| 14 | H | H | H | L |
| 15 | H | H | H | H |

RESET COUNT

93A,LS93,L93 (See Note 4)

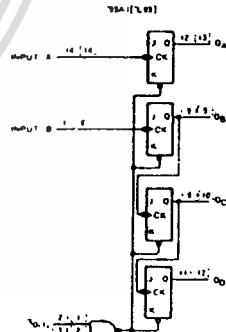
| RESET INPUTS | OUTPUT | | | |
|--------------|-----------------|-----------------|----------------|----------------|
| | R ₀₁ | R ₀₂ | Q ₀ | Q ₁ |
| L | L | L | L | L |
| L | H | L | L | L |
| L | L | L | L | L |
| X | L | L | L | L |

NOTE 4

- This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies between the two R₀ inputs.
- V_{CC} is measured with all outputs open, both R₀ inputs grounded (following bipolar) connection to 4.5V, and all other inputs grounded.
- Output Q₂ is connected to input B.
- H = high level; L = low level; X = irrelevant.
- The J and K inputs shown without connection are for reference only and are functionally at a "0" level.

Functional Block Diagram

see Note 5



93A,LS93,L93
4-BIT BINARY COUNTER

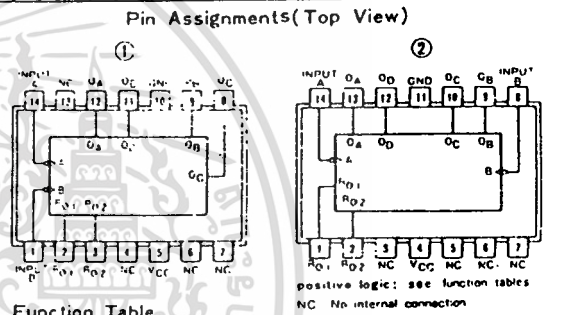
1 For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
 2 All typical values are at V_{CC} = 5V, T_A = 25°C.
 3 More than one output should be shorted at a time.
 4 Q_A outputs are tested at I_{OL} = 16mA plus the limit value for I_L for the B input. This permit driving the B input while maintaining full fan-out capability.
 5 t_{max} = maximum count frequency. t_{PLH} = propagation delay time (low to high) for high-level output. t_{PHL} = propagation delay time (high to low) for low-level output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | Schottky TTL | | | | High-Speed TTL | | | | Low-Power Schottky TTL | | | | Standard TTL | | | | Low-Power TTL | | | | |
|------------|--------------|-----------|---|---|----------------|-------------|-----------|---|------------------------|----|-------------|-----------|--------------|---|----|-------------|---------------|---|---|----|--|
| | Device Type | Package C | P | M | CF | Device Type | Package C | P | M | CF | Device Type | Package C | P | M | CF | Device Type | Package C | P | M | CF | |
| T. I. | | | | | | | | | | | SN5493A | J | 1 | W | | SN5493 | J | 2 | N | 2 | |
| FAIRCHILD | | | | | | | | | | | SN74LS93A | J | 1 | N | 1 | SN74LS93 | J | 2 | N | 2 | |
| MOTOROLA | | | | | | | | | | | DM5493 | J | 1 | N | 1 | DM74LS93 | J | 2 | N | 2 | |
| N. S. C. | | | | | | | | | | | DM5493 | J | 1 | N | 1 | DM74LS93 | J | 2 | N | 2 | |
| PHILIPS | | | | | | | | | | | DM7493 | J | 2 | N | 2 | | | | | | |
| SIGNETICS | | | | | | | | | | | FC7493 | J | 1 | N | 1 | | | | | | |
| SIEMENS | | | | | | | | | | | FC7493 | J | 1 | N | 1 | | | | | | |
| FUJITSU | | | | | | | | | | | MC5493 | J | 1 | N | 1 | | | | | | |
| HITACHI | | | | | | | | | | | MC7493 | J | 1 | N | 1 | | | | | | |
| MITSUBISHI | | | | | | | | | | | DM74LS93 | J | 2 | N | 2 | | | | | | |
| NEC | | | | | | | | | | | DM74LS93 | J | 2 | N | 2 | | | | | | |
| TOSHIBA | | | | | | | | | | | DM74LS93 | J | 2 | N | 2 | | | | | | |

| Electrical Characteristics SN54LS93A SN74LS93A | | | | | |
|--|--|--|----------------------|------|------|
| absolute maximum ratings over operating free-air temperature range | | | | | |
| Supply voltage, V _{CC} | 7V | Operating free-air temperature range | SN54LS 55°C to 125°C | | |
| Input voltage | 7V | temperature range | SN74LS 0°C to 70°C | | |
| Intermittent voltage (see Note 1) | 5.5V | Storage temperature range | -65°C to 150°C | | |
| recommended operating conditions | | | | | |
| | | SN54LS93A | SN74LS93A | | |
| | | MIN NOM MAX | MIN NOM MAX | | |
| Supply voltage, V _{CC} | | 4.5 5 5.5 | 4.75 5 5.25 | | |
| High-level output current, I _{OH} | | 400 | 400 | | |
| Low-level output current, I _{OL} | | 4 | 8 | | |
| Count frequency, f _{count} | | | | | |
| | A input | 0 32 | 0 32 | | |
| | B input | 0 16 | 0 16 | | |
| Pulse width, t _w | | | | | |
| | A input | 15 | 15 | | |
| | B input | 30 | 30 | | |
| | Reset inputs | 15 | 15 | | |
| Reset inactive-state setup, t _{setup} | | 25 | 25 | | |
| Operating free-air temperature, T _A | | 55 125 | 0 70 | | |
| electrical characteristics over recommended operating free-air temperature range | | | | | |
| PARAMETER | TEST CONDITIONS | MIN | TYP | MAX | UNIT |
| V _{IH} | High-level input voltage | | 2 | | V |
| V _{IL} | Low-level input voltage | | | 0.8 | V |
| V _I | Input clamp voltage | V _{CC} - MIN I _I = 18mA | | -1.5 | V |
| V _{OH} | High-level output voltage | V _{CC} - MIN V _{IH} = 2V V _{IH} = 0.8V I _{OH} = -400 A | 2.1 | 3.1 | V |
| V _{OL} | Low-level output voltage | V _{CC} - MIN V _{IL} = 2V V _{IL} = 0.8V I _{OL} = 8mA | 0.35 | 0.5 | V |
| I _I | input current at maximum input voltage | V _{CC} - V _I V _I = 5.5V | | 0.7 | mA |
| | Any reset | | | 0.7 | |
| | A input | | | 0.7 | |
| | B input | | | 0.7 | |
| I _{IH} | High-level input current | V _{CC} V _I = 2.7V | | 80 | μA |
| | Any reset | | | 80 | |
| | A input | | | 80 | |
| | B input | | | 80 | |
| I _{IL} | Low-level input current | V _{CC} - V _I V _I = 0.4V | | 2.4 | mA |
| | Any reset | | | 1.6 | |
| | A input | | | 1.6 | |
| | B input | | | 1.6 | |
| I _{OS} | Short-circuit output current | V _{CC} V _I = 5.5V | 20 | 100 | mA |
| | SN54LS93A | | | 10 | |
| | SN74LS93A | | | 10 | |
| I _{CC} | Supply current | V _{CC} V _I = See Note 2 | | 15 | mA |
| t _{max} | from A to output Q _A | | 32 | 42 | nsec |
| | from B to output Q _B | | 16 | | |
| t _{PLH} | from A to output Q _A | | 10 | 16 | nsec |
| t _{PHL} | from A to output Q _A | | 17 | 18 | |
| t _{PLH} | from A to output Q _D | | 46 | 70 | |
| t _{PHL} | from A to output Q _D | | 46 | 70 | |
| t _{PLH} | from B to output Q _B | | 10 | 16 | |
| t _{PHL} | from B to output Q _B | | 14 | 21 | |
| t _{PLH} | from B to output Q _C | | 21 | 32 | |
| t _{PHL} | from B to output Q _C | | 23 | 35 | |
| t _{PLH} | from B to output Q _D | | 34 | 51 | |
| t _{PHL} | from B to output Q _D | | 34 | 51 | |
| t _{PHL} | from Set to 0 to Any output | | 26 | 40 | |

1. For conditions shown as MIN or MAX, use the absolute maximum recommended operating conditions for the applicable type.
 2. All typical values are at V_{CC} = 5V, T_A = 25°C.
 3. Not more than one output should be shorted at a time.
 4. Q_A outputs are tested at I_{OL} = 16mA plus the current for the B input. This current is drawn by the B input with a maintaining high level input voltage of 0.4V.
 5. t_{max} = maximum count frequency; t_{PLH} = propagation delay time low to high; t_{PHL} = propagation delay time high to low level output.



Function Table
COUNT SEQUENCE

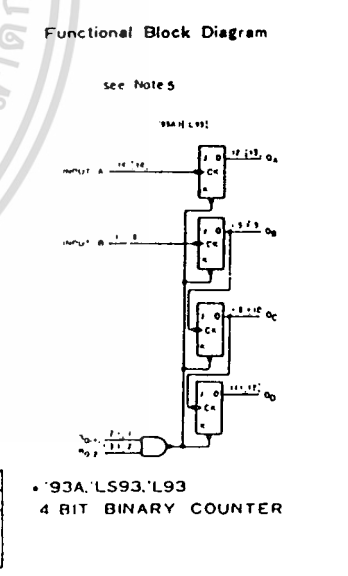
93A, LS93, L93 (See Note 1, 4)

| COUNT | Q _D | Q _C | Q _B | Q _A |
|-------|----------------|----------------|----------------|----------------|
| 0 | L | L | L | L |
| 1 | L | L | L | H |
| 2 | L | L | H | L |
| 3 | L | L | H | H |
| 4 | L | H | L | L |
| 5 | L | H | L | H |
| 6 | L | H | H | L |
| 7 | L | H | H | H |
| 8 | H | L | L | L |
| 9 | H | L | L | H |
| 10 | H | L | H | L |
| 11 | H | L | H | H |
| 12 | H | H | L | L |
| 13 | H | H | L | H |
| 14 | H | H | H | L |
| 15 | H | H | H | H |

RESET COUNT

93A, LS93, L93 (See Note 4)

| RESET INPUTS | OUTPUT | | | | |
|-----------------|-----------------|----------------|----------------|----------------|----------------|
| R ₀₁ | R ₀₂ | Q _D | Q _C | Q _B | Q _A |
| H | H | L | L | L | L |
| L | H | L | L | L | L |
| L | L | L | L | L | L |
| L | L | L | L | L | L |



NOTES:

- This is the voltage between two emitters of a multiplexer transistor. For this circuit, this rating applies between the two R₀ inputs.
- I_{CC} is measured with all outputs open, both R₀ inputs grounded following momentary connection to 4.5V and all other inputs grounded.
- Output Q_A is connected to input B.
- H = high level; L = low level; X = irrelevant.
- The J and K inputs shown without connections are for reference only and are functionally at a high level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้