ระบบควบคุม ทู-ไวร์มัลติเพล็กซ์

TWO-WIRE MULTIPLEX CONTROLLER SYSTEM

โดย

นายคทายุทธ์ เสณีตันติกุล

นายโสภณ อิทธิโสภณกุล

นายอนุชา จิตภักดี

วัน เดือน ปี 15 ส.ค. 2540

เลขทะเบียน 037230

เลขเรียกหนังสือ โอ8033 ค 131ร

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

037230

ระบบควบคุม ทู-ไวร์ มัลติเพล็กซ์
TWO-WIRE MULTIPLEX CONTROLLER SYSTEM

โดย

นาย คทายุทธ์ เสณีตันติกุล

นาย โสภณ อิทธิโสภณกุล

นาย อนุชา จิตภักดี

อาจารย์ที่ปรึกษา

อาจารย์ เกรียงไกร วงศ์โรจนภรณ์

ผศ.ดร. สุวิพล สิทธิชีวภาค

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2538

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **ระบบควบคุม ทู-ไวร์ มัลติเพล็กซ์**

TWO- WIRE MULTIPLEX CONTROLLER SYSTEM

ผู้จัดทำ

1 นาย คทายุทธ์ เสณีตันติกุล 36013005

2. นาย โสภณ อิทธิโสภณกุล 36013045

3. นาย อนุชา จิตภักดี 36013046

..... อาจารย์ที่ปรึกษา

(อาจารย์ เกรียงไกร วงศ์โรจนภรณ์)

..... อาจารย์ที่ปรึกษา

(ผศ.ดร. สุวิพล สิทธิชีวภาค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบควบคุม ทู-ไวร์ มัลติเพล็กซ์
TWO-WIRE MULTIPLEX CONTROLLER SYSTEM

โดย นาย คทายุทธ์ เสณีตันติกุล 36013005
นาย โสภณ อิทธิโสภณกุล 36013045
นาย อนุชา จิตภักดี 36013046

อาจารย์ที่ปรึกษา อาจารย์ เกรียงไกร วงศ์โรจนภรณ์
ผศ.ดร. สุวิพล สิทธิชีวภาค

บทคัดย่อ

ในปัจจุบันนี้การติดต่อสื่อสารกันไม่ว่าจะเป็นการส่ง ข่าวสาร, ข้อมูล, ภาพและเสียง มีความต้องการใช้กันมากขึ้นในวงการธุรกิจและกิจการอื่นๆ บางครั้งจะมีอุปสรรคทำให้ไม่สามารถติดต่อสื่อสารกันได้ เช่นคู่สายไม่เพียงพอกับความต้องการ ปริญญานิพนธ์ฉบับนี้ได้ศึกษา และพัฒนาวิธีการมัลติเพล็กซ์ที่ใช้ในการติดตอ สื่อสาร ซึ่งเป็นแบบ ทูไวร์มัลติเพล็กซ์ สามารถส่งและรับสัญญาณหลายๆ สัญญาณในเวลาเดียวกัน ซึ่งสัญญาณเป็นแบบดิจิตอลโดยใช้สายนำสัญญาณร่วมกันเพียง 2 สาย และสามารถส่งได้พร้อมๆกันถึง 128 แชนแนล ซึ่งเป็นการประหยัดเวลารวมถึงอุปกรณ์และราคาในการติดตั้งอีกทั้งเป็นประโยชน์ในการใช้งานกับระบบ ISDN ที่ใช้ในอนาคตอันใกล้นี้

ABSTRACT

Nowadays, Communication transfer as information, message picture or voice becomes necessary in business and etc. Sometimes there are not enough wires so that the connection cannot be made.

This project describes the study and devolopment of the multiplexing method. The multiplexing is a 2-wire multiplexing system and can simultaneously transmit and receive more than one signal over a common circuit. The digital signals can be transmitted over the same 2-wire line system which is capable to send and receive about 128 channels from any direction This method saves the installation cost and time in the future, the advantages in communication transfer through the use of the DUPLINE system combining with ISDN system will be valuable.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2	
ทฤษฎีและหลักการมัลติเพล็กซ์	
2.1 การมัลติเพล็กซ์สัญญาณ	2
2.2 คุณสมบัติของการสื่อสารด้วยสัญญาณดิจิตอล	4
2.3 TDM	4
2.4 ระบบทูไวร์มัลติเพล็กซ์	
2.4.1 แชนแนลเจนเนอร์เรเตอร์ (channel generator)	5
2.4 2. ตัวส่ง (transmitter)	8
2.4 3. ตัวรับ (receiver)	9
2.5 การนำระบบทูไวร์มัลติเพล็กซ์ไปใช้งาน	10
2.6 การตั้งรหัสสัญญาณ	15
2.7 การใช้ตัวส่งตัวในการควบคุมตัวรับหลายๆ ตัว	16
2.8 การใช้ตัวส่งหลายๆ ตัวควบคุมตัวรับตัวเดียว	17
2.9 การใช้ตัวส่งและตัวรับหลายๆ ตัว	18
2.10 การส่งผ่านข้อมูล	19
บทที่ 3	
การออกแบบวงจร	
3.1 หลักการทำงานของตัวส่ง	21
3.2 หลักการทำงานของตัวรับ	22
3.3 หลักการทำงานของแชนแนลเจนเนอร์เรเตอร์	24
บทที่ 4	
การทดลองและผลการทดลอง	45
บทที่ 5	
วิจารณ์ สรุปผลและแนวทางการพัฒนา	
5.1 การเชื่อมต่อกับปริ้นเตอร์	50
5.2 การเชื่อมต่อกับคอมพิวเตอร์	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

5.3 การเชื่อมต่อกับโครงข่ายสายโทรศัพท์ 52

5.4 การเชื่อมต่อกับโปรแกรมเมเบิลคอนโทรลเลอร์ 54

5.5 ลักษณะการวางสายแบบต่างๆ 55

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 2

รูปที่ 2.1 แสดงเฟรมของการแซมปลิงของสัญญาณแต่ละแชนแนล 2

รูปที่ 2.2 แสดงสัญญาณซิงก์ที่มีแอมปลิจูดสูงกว่าแอมปลิจูดของสัญญาณข่าวสาร 3

รูปที่ 2.3 แสดงสัญญาณซิงก์มีศักย์เป็นลบเมื่อสัญญาณข่าวสารมีศักย์เป็นบวก 3

รูปที่ 2.4 แสดงสัญญาณซิงก์ที่มีความถี่คงที่ความถี่หนึ่งเป็นช่วง ๆ 3

รูปที่ 2.5 แสดงสัญญาณซิงก์มีช่วงกว้างของพัลส์กว้างกว่าสัญญาณข่าวสาร 3

รูปที่ 2.6 แสดงลักษณะการมัลติเพล็กซ์แบบ TDM 5

รูปที่ 2.7 บล็อกไดอะแกรมของแชนแนลเจนเนอร์เรเตอร์ 6

รูปที่ 2.8 แสดงการตั้งรหัสโดยสวิทช์ภายในตัวส่งและตัวรับ 7

รูปที่ 2.9 แสดงลักษณะสัญญาณพัลส์ปกติ และสัญญาณพัลส์เมื่อมีการส่ง 8

รูปที่ 2.10 แสดงขบวนสัญญาณใน 1 TDM 8

รูปที่ 2.11 แสดงบล็อกไดอะแกรมของตัวส่ง 9

รูปที่ 2.12 แสดงบล็อคไดอะแกรมของตัวรับ 10

รูปที่ 2.13 ระบบการต่อสายทั่วไปสำหรับควบคุมโหลด 8 ตัว 12

รูปที่ 2.14 แสดงการใช้ระบบทูไวร์สำหรับควบคุมโหลด 8 ตัว 12

รูปที่ 2.15 แสดงการต่อสายทั่วไปสำหรับส่งสัญญาณกลับไปแสดงการทำงานของโหลด 13

รูปที่ 2.16 แสดงการใช้ระบบทูไวร์สำหรับส่งสัญญาณกลับไปแสดงการทำงานของโหลด 14

รูปที่ 2.17 แสดงระบบพื้นฐานการส่งผ่านสัญญาณ 15

รูปที่ 2.18 แสดงการส่งสัญญาณพร้อมกันสองทิศทาง 16

รูปที่ 2.19 แสดงการใช้ตัวส่งควบคุมตัวรับหลาย ๆ ตัว 17

รูปที่ 2.20 แสดงการใช้ตัวส่งหลาย ๆ ตัวควบคุมตัวรับตัวเดียว 17

รูปที่ 2.21 แสดงการใช้ตัวส่งตัวเดียว 8 แชนแนลควบคุมตัวรับ 8 ตัว 18

รูปที่ 2.22 แสดงการใช้ตัวส่งตัวเดียว 8 แชนแนลควบคุมตัวรับตัวเดียว 8 แชนแนล 18

รูปที่ 2.23 แสดงการส่งผ่านข้อมูลที่มีการแสดงผลการวัดแบบดิจิตอล 19

รูปที่ 2.24 และ 2.25 แสดงการส่งข้อมูลจากที่หนึ่งไปอีกที่หนึ่งโดยใช้ทูไวร์ 20

บทที่ 3

รูปที่ 3.1 แสดงวงจรดีเทคสัญญาณรีเซ็ทจากขบวนพัลส์ TDM 21

รูปที่ 3.2 แสดงวงจรไฟเลี้ยงของตัวส่ง 21

รูปที่ 3.3 แสดงวงจรดีเทคสัญญาณรีเซ็ทจากขบวนพัลส์ TDM 22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3 4 แสดงวงจร pulse duration detector 22
รูปที่ 3.5 แสดงวงจรภาคเอ้าท์พุทของตัวรับ 23
รูปที่ 3 6 แสดงวงจรภาคจ่ายไฟของตัวรับ 23
รูปที่ 3.7 แสดงวงจรกำเนิดความถี่ 24
รูปที่ 3 8 แสดงวงจรกำเนิดขบวนพัลส์ TDM 24
รูปที่ 3 9 แสดงวงจรภาคเอ้าท์พุทของแชนแนลเจนเนอร์เรเตอร์ 25
รูปที่ 3.10 แสดงวงจรภาคอินพุทของแชนแนลเจนเนอร์เรเตอร์ 25
รูปที่ 3.11 แสดงวงจรควบคุมให้วงจรกำเนิดพัลส์หยุดทำงาน 26
รูปที่ 3 12 แสดงวงจรภาคจ่ายไฟให้แชนแนลเจนเนอร์เรเตอร์ 26
รูปที่ 3.13 แสดงสัญญาณรูปคลื่นเมื่อตัวส่งมีการส่งสัญญาณ 27
รูปที่ 3 14 แสดงรูปสัญญาณคล็อก Q1, Q2 และQ3 27
รูปที่ 3.15 แสดงสัญญาณเอ้าท์พุทที่ได้จากการตั้งสวิทช์และเอ้าท์พุทที่ได้จากไอซี 14512 28
รูปที่ 3 16 แสดงสัญญาณเอ้าท์พุทที่ได้จากไอซี 14512 และสัญญาณที่ผ่านชมิททริกเกอร์ 28
รูปที่ 3 17 แสดงสัญญาณที่ได้จากชมิททริกเกอร์และสัญญาณเมื่อตัวส่งทำงาน 29
รูปที่ 3 18 แสดงสัญญาณบนสายทูไวร์และสัญญาณคล็อกที่ป้อนให้กับไอซี 14024 29
รูปที่ 3 19 แสดงการชาร์ทและคายประจุของตัวเก็บประจุ 30
รูปที่ 3 20 แสดงสัญญาณที่ใช้ในการรีเซ็ทโดยเกิดจากการนำสัญญาณ
ที่ได้จากตัวเก็บประจุไปผ่านชมิททริกเกอร์ 30
รูปที่ 3.21 แสดงสัญญาณบนสายทูไวร์และสัญญาณเอ้าท์พุทที่ได้จากไอซี 7612 31
รูปที่ 3 22 แสดงสัญญาณที่ได้จากการชาร์ทและคายประจุของตัวเก็บประจุ 31
รูปที่ 3 23 แสดงสัญญาณที่ใช้ในการรีเซ็ทโดยเกิดจากการนำสัญญาณ
ที่ได้จากตัวเก็บประจุไปผ่านชมิททริกเกอร์ 32
รูปที่ 3 24 แสดงสัญญาณบนสายทูไวร์และสัญญาณเอ้าท์พุทที่ได้จากไอซี 14024 32
รูปที่ 3 25 แสดงสัญญาณคล็อกที่ผ่านชมิททริกเกอร์ใช้ป้อนให้กับไอซี 14015 33
รูปที่ 3.26 แสดงสัญญาณที่ผ่านชมิททริกเกอร์และสัญญาณที่ได้จากวงจรพัลส์ดูเรชั่นดีเทคเตอร์ 33
รูปที่ 3 27 แสดงสัญญาณรีเซ็ทเมื่อผ่านชมิททริกเกอร์ 34
รูปที่ 3 28 แสดงสัญญาณความถี่ 32.7 kHz 34
รูปที่ 3 29 แสดงสัญญาณความถี่ 2 048 kHz 35
รูปที่ 3 30 แสดงสัญญาณ Q4 จากไอซี 14040 และสัญญาณเอ้าท์พุทจากไอซี 14025 35
รูปที่ 3 31 แสดงสัญญาณ Q จากไอซี 14013 และสัญญาณเอ้าท์พุทจากไอซี 14025 36
รูปที่ 3 32 แสดงสัญญาณความถี่ 2.048 kHz และสัญญาณเอ้าท์พุทจากไอซี 14025 36
รูปที่ 3 33 แสดงสัญญาณที่ได้จากขา C ของทรานซิสเตอร์ C547 เปรียบเทียบกับคล็อก 37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.34 แสดงสัญญาณ Q และ $\bar{Q}$ ที่ได้จากไอซี 14013 37
รูปที่ 3.35 แสดงสัญญาณ $\bar{Q}$ และสัญญาณเมื่อผ่านวงจรดิฟเฟอร์เรนซียล 38
รูปที่ 3.36 แสดงสัญญาณที่ใช้รีเซ็ทไอซี 14040 ซึ่งเกิดจากการทำงานของไดโอด D3 38
รูปที่ 3.37 แสดงสัญญาณเอ้าท์พุทที่ได้จากไอซี 7612 เปรียบเทียบกับสัญญาณอ้างอิง 39
รูปที่ 3.38 แสดงสัญญาณที่ส่งออกไปบนสายทูไวร์ 39
รูปที่ 3.39 แสดงสัญญาณเอ้าท์พุทที่ได้จากไอซี 7612 40
รูปที่ 3.40 แสดงสัญญาณที่ถูกชิพไปทำให้กว้างออกจาก 400 μs เป็น 1000 μs 40
รูปที่ 3.41 แสดงสัญญาณที่กว้างออกเนื่องจากการทำงานของไดโอด D8 41
รูปที่ 3.42 แสดงวงจรของตัวส่ง 42
รูปที่ 3.43 แสดงวงจรของตัวรับ 43
รูปที่ 3.44 แสดงวงจรของแซนแนลเจนเนอร์เรเตอร์ 44

บทที่ 4

รูปที่ 4.1 แสดงวงจรที่ใช้ในการทดลอง 45
รูปที่ 4.2 แสดงลักษณะรูปสัญญาณพัลส์ปกติที่ได้จากการทดลอง 46
รูปที่ 4.3 แสดงลักษณะรูปสัญญาณพัลส์เมื่อมีการส่งสัญญาณที่ได้จากการทดลอง 46
รูปที่ 4.4 แสดงรายละเอียดลักษณะสัญญาณพัลส์ปกติ 47
รูปที่ 4.5 แสดงรายละเอียดลักษณะสัญญาณพัลส์เมื่อมีการส่งสัญญาณ 47
รูปที่ 4.6 แสดงเครื่องต้นแบบภายในตัวส่ง 48
รูปที่ 4.7 แสดงเครื่องต้นแบบภายในตัวรับ 48
รูปที่ 4.8 แสดงเครื่องต้นแบบภายในแซนแนลเจนเนอร์เรเตอร์ 49
รูปที่ 4.9 แสดงเครื่องต้นแบบภายในทั้ง3ตัว 49

บทที่ 5

รูปที่ 5.1 แสดงการประยุกต์ใช้งานดูไพร์กับปริ้นเตอร์ 50
รูปที่ 5.2 แสดงการประยุกต์ใช้งานดูไพร์กับคอมพิวเตอร์ 51
รูปที่ 5.3 แสดงการประยุกต์ใช้งานดูไพร์กับโครงข่ายสายโทรศัพท์ 52
รูปที่ 5.4 แสดงการประยุกต์ใช้งานดูไพร์กับโปรมแกรมเมเบิลคอนโทรลเลอร์ 53
รูปที่ 5.5 แสดงลักษณะการวางสายแบบต่างๆ 55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันนี้ข่าวสารข้อมูล, การตัดสินใจและการสั่งงานที่รวดเร็วเข้ามามีส่วนสำคัญกับงานเกือบทุกประเภท สิ่งที่จะทำให้ได้มาซึ่งความรวดเร็วคือ การสื่อสารที่มีคุณภาพ

จุดประสงค์ของการสื่อสารคือ การทำให้ผู้รับได้รับข่าวสารที่ถูกต้องจากผู้ส่งผ่านสื่อที่ใช้โดยไม่ถูกสัญญาณรบกวนทำให้ข่าวสารที่ได้รับผิดเพี้ยนไป นอกจากนั้นในปัจจุบันนี้มีความต้องการติดต่อสื่อสารกันมากขึ้นทำให้มีการคิดวิธีการติดต่อสื่อสารระหว่างกันโดยสามารถส่งสัญญาณได้หลาย ๆ สัญญาณในเวลาเดียวกันซึ่งวิธีการดังกล่าวเรียกว่า มัลติเพล็กซ์ (MULTIPLEX) ซึ่งเป็นวิธีการที่จะทำการส่งหรือรับสัญญาณหลาย ๆ สัญญาณได้ในเวลาเดียวกันโดยใช้วงจรร่วมกัน

รูปแบบของการส่งสัญญาณ

1. การส่งสัญญาณแบบทิศทางเดียว (SIMPLEX) หมายถึงรูปแบบการส่งสัญญาณให้รับได้ฝ่ายเดียวโดยไม่สามารถโต้ตอบผ่านการติดต่อได้

2. การส่งสัญญาณแบบสองทิศทางแต่ต่างเวลากัน (HALF-DUPLEX) การส่งแบบนี้สถานีทั้งสองด้านสามารถทำการส่งและรับสัญญาณระหว่างกันได้ โดยด้านหนึ่งต้องเป็นด้านรับเสมอ

3. การส่งสัญญาณแบบสองทิศทางในเวลาเดียวกัน (FULL-DUPLEX) หมายถึงด้านส่งและด้านรับสามารถทำการส่งและรับสัญญาณได้ในเวลาเดียวกัน

ความหมายของมัลติเพล็กซ์ หากพิจารณาในแง่ระบบสื่อสารคือการรวมสัญญาณที่มากกว่าสองสัญญาณเข้าด้วยกันและส่งไปในพาหะเดียวกัน อาจจะเป็นสายเคเบิ้ลหรือช่องวิทยุซึ่งสัญญาณดั้งเดิมอาจเป็นได้ทั้งเสียงคน, สัญญาณภาพ, ข้อมูลคอมพิวเตอร์หรือสัญญาณควบคุมต่าง ๆ ดังนั้นด้วยวิธีการมัลติเพล็กซ์โดยใช้สายร่วมกันเพียงคู่เดียวจึงสามารถทำการส่งและรับสัญญาณได้พร้อม ๆ กัน

ปริญญานิพนธ์ฉบับนี้ระบบมัลติเพล็กซ์ใช้เป็นระบบทูไวร์มัลติเพล็กซ์ (TWO-WIRE MULTIPLEX) ซึ่งเรียกว่า ดูไพร์ (DUPLINE) เป็นระบบที่สามารถส่งสัญญาณได้สองทิศทางในเวลาเดียวกัน เมื่อนำมาประยุกต์ใช้งานในอุตสาหกรรมควบคุม ระบบนี้สามารถขยายไปใช้งานได้หลาย ๆ ทาง เช่น ใช้ควบคุมการทำงานของโหลดที่ต่ออยู่ที่เอ้าท์พุทของตัวรับ ซึ่งทำให้ประหยัดเวลา ค่าสายและอุปกรณ์ต่าง ๆ ในการติดตั้ง

ในการต่อใช้งานทั่วไปนั้นถ้าเราจะควบคุมโหลด 1 ตัว เราก็จะต้องใช้สาย 1 คู่ในการควบคุมการทำงาน ถ้ามีโหลดหลาย ๆ ตัว เราก็จะต้องใช้สายหลาย ๆ เส้นและมีปัญหาถ้าโหลดนั้นใช้กำลังมาก เช่น มอเตอร์หรือปั๊มน้ำเราจะต้องใช้สวิทช์ในการควบคุมที่มีคุณภาพเพียงพออาจจะเป็นคัทเอ้าท์หรือเบรคเกอร์และยังต้องมีระบบควบคุมเกี่ยวกับไฟช็อตหรือไฟเกินเพื่อป้องกันโหลดเสียหายแต่ถ้าใช้ระบบดูไพร์เราสามารถติดตั้งได้ง่ายและไม่ต้องคำนึงถึงสวิทช์ในการควบคุมการทำงานของโหลด เพราะเราใช้การทำงานของอุปกรณ์อิเล็กทรอนิกส์ในการควบคุมและประโยชน์อีกประการหนึ่งคือ สามารถขยายระบบได้ง่ายเมื่อมีความจำเป็นที่ต้องใช้งานมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

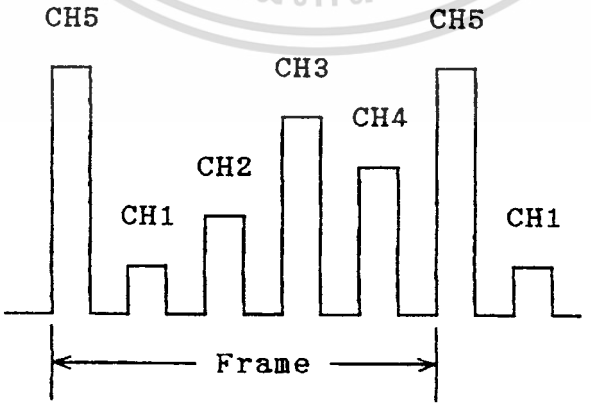
บทที่ 2

ทฤษฎีและหลักการมัลติเพล็กซ์

2.1 การมัลติเพล็กซ์สัญญาณ

สำหรับการส่งสัญญาณให้ได้หลายแชนแนลนั้น สามารถทำได้โดยการส่งสัญญาณแบบมัลติเพล็กซ์ ซึ่งแบ่งเป็น 2 แบบ คือ ทางด้านความถี่ Frequency Division Multiplex (FDM) และทางด้านเวลา Time Division Multiplex (TDM) ทางด้านความถี่ทำได้โดยนำสัญญาณ แต่ละแชนแนลมาทำการมอดูเลท (Modulate) สัญญาณแต่ละความถี่ของคลื่นพาหะ ซึ่งก็จะทำให้ได้สัญญาณตามแชนแนลที่ต้องการ ส่วนในทางด้านเวลาจะทำการมอดูเลทสัญญาณทั้งหมดกับคลื่นพาหะเดียว โดยสัญญาณแต่ละแชนแนลถูกส่งไปโดยใช้หลักการของการแบ่งช่วงเวลา

สำหรับปริญญานิพนธ์ฉบับนี้จะทำการมัลติเพล็กซ์สัญญาณแบบ TDM หลักการพื้นฐานมีดังนี้ จะทำการสุ่มตัวอย่าง (Sampling) สัญญาณแต่ละแชนแนลด้วยอัตราความเร็วสูง และในการส่งนั้นเราจะทำการส่งทีละเฟรม (Frame) ซึ่งในเฟรมหนึ่ง ๆ จะประกอบด้วยการแซมปลิง ของสัญญาณทุกแชนแนลส่วนทางด้านรับเมื่อได้รับสัญญาณแล้ว จะทำการแยกสัญญาณเหล่านั้นให้กับแชนแนล ต่าง ๆ ที่ตรงกับทางด้านส่ง เช่น สัญญาณของแชนแนลที่หนึ่งก็จะถูกส่งออกไปยังแชนแนลที่หนึ่งของทางด้านรับ การที่จะทำให้สามารถรับ-ส่งกันได้อย่างดีนั้น เราจะต้องทำให้ด้านรับซิงก์ (Sync) กับทางด้านส่ง กล่าวคือต้องทำความถี่และเฟรมของคล็อกทางด้านรับตรงกับความถี่และเฟสของคล็อกทางด้านส่ง โดยจะทำการส่ง สัญญาณซิงก์เมื่อจบแต่ละเฟรม เพื่อให้ด้านรับใช้ในการปรับความถี่และเฟสของคล็อกซึ่งสัญญาณก็ต้องให้มีลักษณะที่แตกต่างจากแซมปลิงของสัญญาณในเฟรม ในการส่งสัญญาณแบบ TDM ถือได้ว่าส่วนของสัญญาณซิงก์นี้เป็นส่วนประกอบที่สำคัญที่สุด เพราะภาครับและภาคส่งจะทำงานได้อย่างสมบูรณ์นั้นจะต้องทำให้ภาครับซิงก์กับทางภาคส่งให้ได้ก่อน

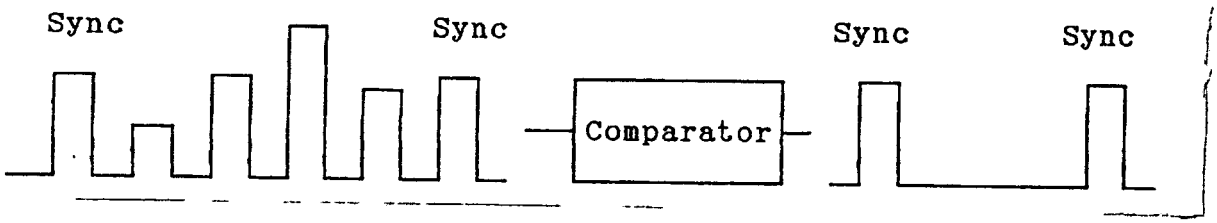


รูปที่ 2.1 แสดงเฟรมของการแซมปลิงของสัญญาณแต่ละแชนแนล

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

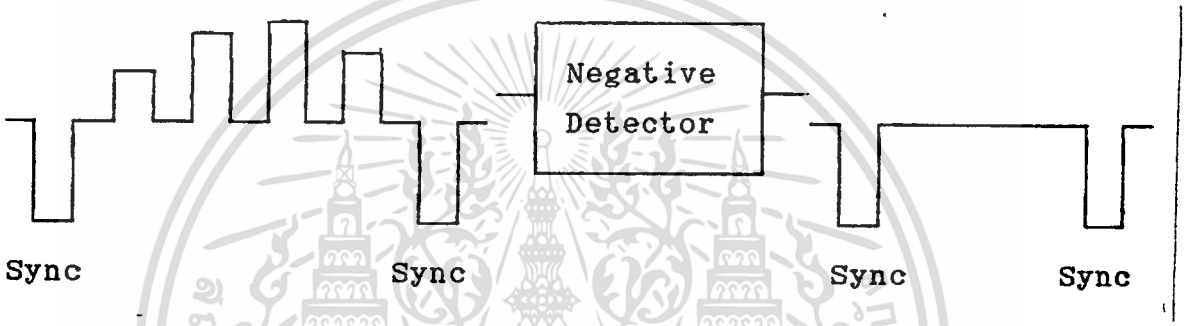
ในระบบการส่งสัญญาณซิงก์โดยทั่วไปแล้ว มีหลายลักษณะแล้วแต่การเลือกใช้ งานดังต่อไปนี้

1 การกำหนดให้สัญญาณซิงก์มีแอมปลิจูดสูงที่สุด เมื่อเทียบกับแอมปลิจูดของสัญญาณข่าวสารทั้งหมด



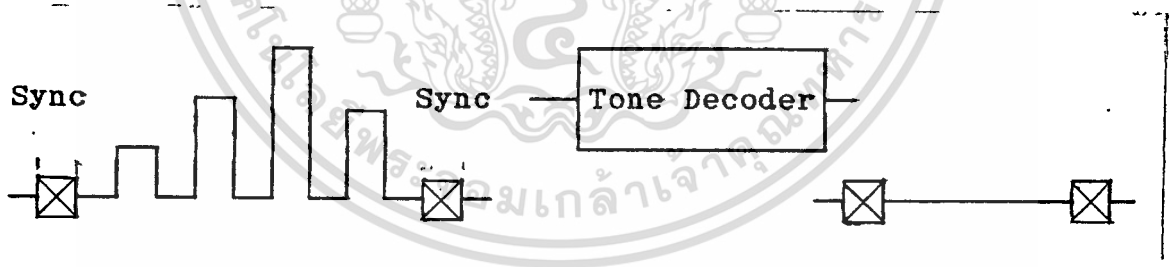
รูปที่ 2.2 แสดงสัญญาณซิงก์ที่มีแอมปลิจูดสูงกว่าแอมปลิจูดของสัญญาณข่าวสาร

2. สัญญาณซิงก์อาจกำหนดให้มีศักย์เป็นลบ และสัญญาณข่าวสารกำหนดให้มีศักย์เป็นบวกเมื่อเทียบกับระดับอ้างอิง



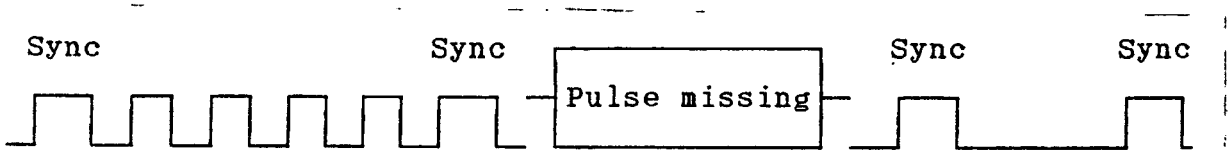
รูปที่ 2.3 แสดงสัญญาณซิงก์มีศักย์เป็นลบเมื่อสัญญาณข่าวสารมีศักย์เป็นบวก

3. ทำการส่งสัญญาณความถี่คงที่ความถี่หนึ่งเป็นช่วง ๆ โดยทางภาครับจะสามารถดีเท็ค (Detect) สัญญาณโดยใช้โทนดีโค้ดเดอร์ (Tone Decoder) หรือเฟสล็อคลูป (Phase Lock Loop)



รูปที่ 2.4 แสดงสัญญาณซิงก์ที่มีความถี่คงที่ความถี่หนึ่งเป็นช่วง ๆ

4 ทำการส่งสัญญาณซิงก์ให้มีช่วงกว้างของสัญญาณพัลส์กว้างกว่าช่วงของสัญญาณข่าวสาร



รูปที่ 2.5 แสดงสัญญาณซิงก์มีช่วงกว้างของพัลส์กว้างกว่าสัญญาณข่าวสาร

สำหรับวงจรที่อยู่ในปริญญานิพนธ์ ฉบับนี้ เราใช้วิธีการสร้างสัญญาณโดยให้มีช่วงกว้างของสัญญาณพัลส์กว้างกว่าช่วงของสัญญาณข่าวสาร

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 คุณสมบัติของการสื่อสารด้วยสัญญาณดิจิตอล

สัญญาณแบบดิจิตอลสามารถนำมาใช้สื่อสารแทนสัญญาณอนาลอกโดยการแปลงสัญญาณจากอนาลอกให้เป็นดิจิตอล แล้วนำไปเข้ารหัสหรือดัดแปลงให้เหมาะสมกับการส่ง ซึ่งจะขึ้นอยู่กับวิธีการส่งและตัวสายส่ง ข้อดีของการสื่อสารด้วยสัญญาณดิจิตอล ที่สำคัญมีดังนี้

1 สะดวกต่อการมัลติเพล็กซ์

2. สะดวกในการส่งสัญญาณควบคุม โดยจะกำหนดให้ช่วงเวลาหนึ่งในระบบ TDM เป็นช่วงสำหรับรับสัญญาณควบคุม

3. สัญญาณรบกวนต่ำ ในระบบอนาลอกนั้นสัญญาณรบกวน (Noise) และสัญญาณสอดแทรก (Interferece) สามารถเข้าไปผสมและผ่านไปยังผู้รับได้ง่าย กล่าวคือ ในระหว่างการส่งถ้ามีการขยายสัญญาณข้อมูล ก็จะทำการขยายสัญญาณรบกวนเหล่านี้ไปด้วย แต่ในระบบดิจิตอลสัญญาณในรูปของระดับแรงดัน "0" (low) และ "1" (high) ถ้าสัญญาณรบกวนมีขนาดไม่มากพอที่จะทำให้สัญญาณจริงเปลี่ยนระดับได้ก็จะไม่มีผลไปถึงผู้รับ

4. งายต่อการเข้ารหัส ในกรณีที่ต้องการให้ข้อมูลนั้นเป็นความลับเราสามารถเข้ารหัสข้อมูล เช่น การสแครมเบลอร์ ที่ปลายทางก็จะมีวงจรดีสแครมเบลอร์สำหรับถอดรหัส

อย่างไรก็ตามระบบสื่อสารแบบดิจิตอลก็มีข้อเสียอยู่ที่สำคัญ คือ

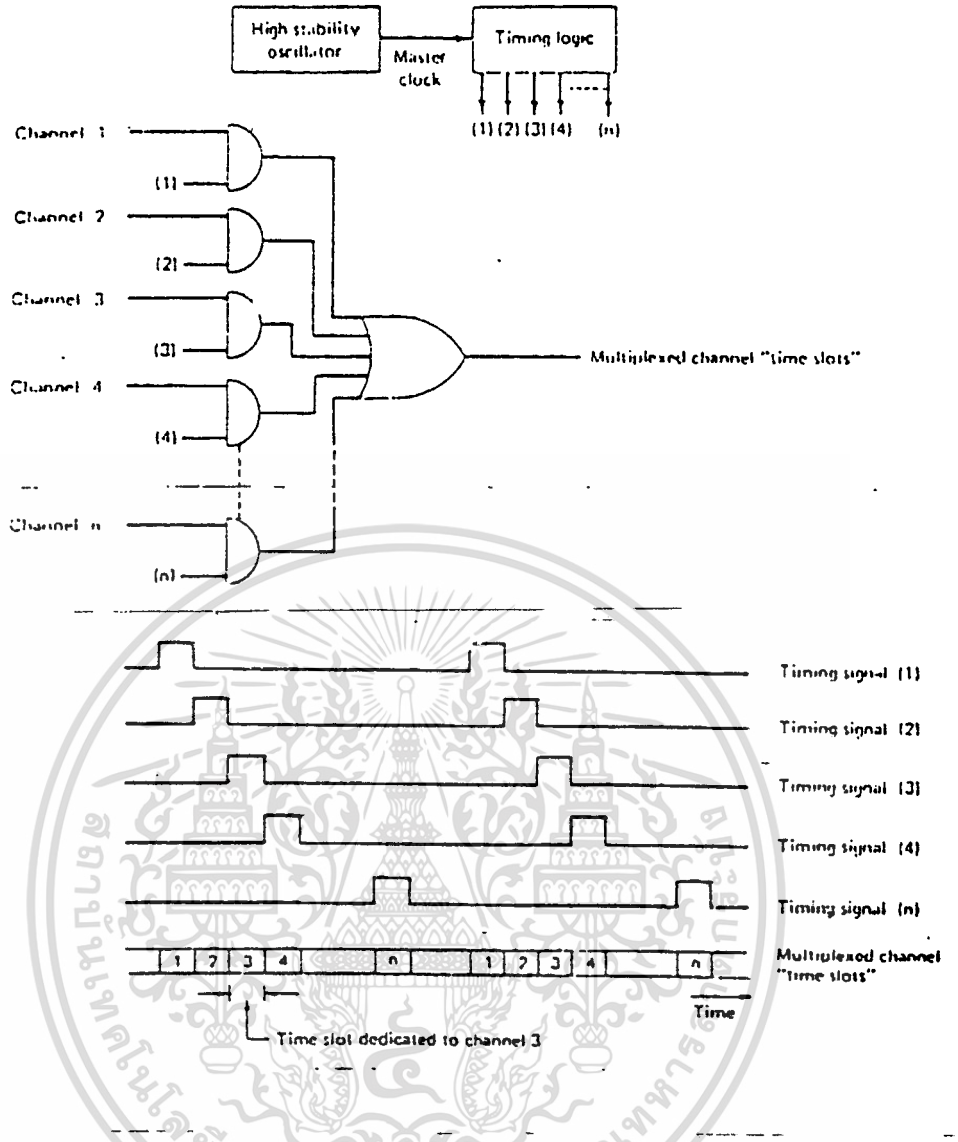
1. เพิ่มแบนด์วิดธ์ของสัญญาณ เช่น สัญญาณเสียงพูดสำหรับโทรศัพท์ซึ่งกำหนดไว้ว่าแบนด์วิดธ์ไม่เกิน 3.4 kHz เมื่อแปลงเป็นสัญญาณดิจิตอลแล้วส่งด้วย อัตรา 2.048 Mb/s. อย่างน้อยที่สุดสายสงที่ใช้ต้องมีผลตอบสนองต่อความถี่ในย่าน 2.048 MHzได้ ทำให้ต้องใช้สายส่งที่มีราคาแพงขึ้น

2. การซิงโครไนซ์เซชั่น (Synchronization) ทางด้านรับนั้นต้องมีวงจรสร้างสัญญาณเวลาที่ซิงโครไนซ์ (Synchroize) กับทางด้านส่งสำหรับตรวจจับ (Sample) สัญญาณที่เข้ามาแต่ละบิท (bit) ไม่ให้ผิดพลาด รวมทั้งจะต้องรู้จุดเริ่มต้นของขบวนสัญญาณ (Data stream) ด้วยดังนั้นจึงต้องมีวงจรซิงโครไนซ์เซชั่นที่ทำให้สัญญาณเวลาทางด้านรับซิงโครไนซ์กับทางด้านส่ง

2.3 TDM

การมัลติเพล็กซ์สัญญาณข้อมูลจากหลาย ๆ ช่องสัญญาณให้รวมกันเป็นสัญญาณเดียวกันรหัส 8 บิท ที่ได้จากสัญญาณแต่ละช่องจะถูกส่งออกไปแบบซีเรียล (Serial) ลงในช่องสัญญาณของตัวเลขดังรูปที่ 2 6 เป็นลักษณะพื้นฐานของ TDM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงลักษณะการมัลติเพล็กซ์แบบ TDM

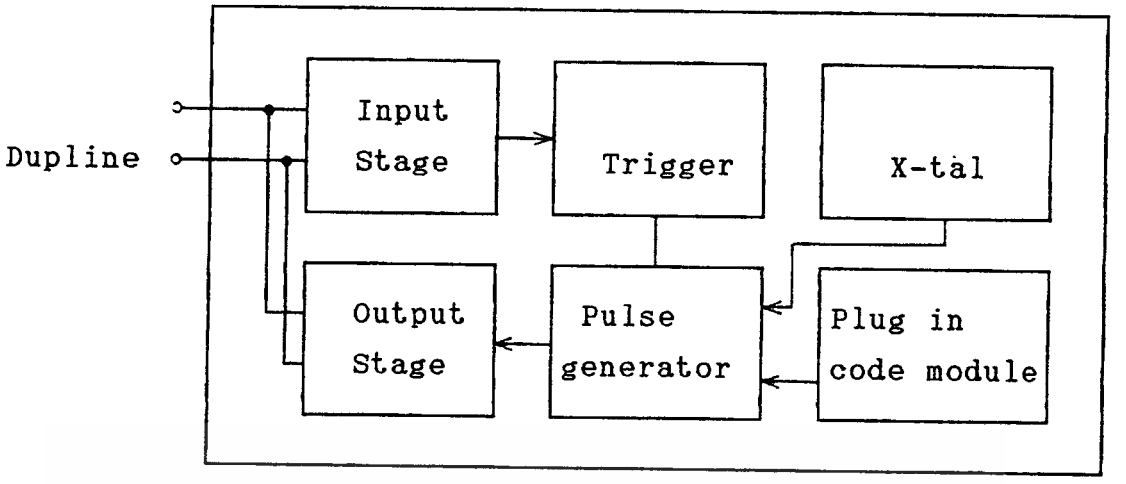
2.4 <u>ระบบทูไวร์มัลติเพล็กซ์</u>

ระบบทูไวร์มัลติเพล็กซ์ในที่นี้ประกอบด้วยอุปกรณ์ 3 ส่วนหลัก ๆ คือ

2.4.1. แชนแนลเจนเนอร์เรเตอร์ (channel generator)

แชนแนลเจนเนอร์เรเตอร์นับเป็นหัวใจหลักสำคัญของระบบ ทำหน้าที่ให้กำเนิดสัญญาณพัลส์ต่อเนื่อง (digital pulse code) ให้กับสายทูไวร์และทำหน้าที่กำหนดช่วงเวลา (timing) เพื่อควบคุมการรับส่งสัญญาณของตัวรับ (reciever) และตัวส่ง (transmitter) ทุก ๆ ตัวในระบบให้ทำงานซิงโครไนซ์กัน (synchronized) คือรับส่งได้พร้อม ๆ กัน ซึ่งแสดงลักษณะการทำงานโดยใช้บล็อกไดอะแกรมดังรูปที่ 2.7

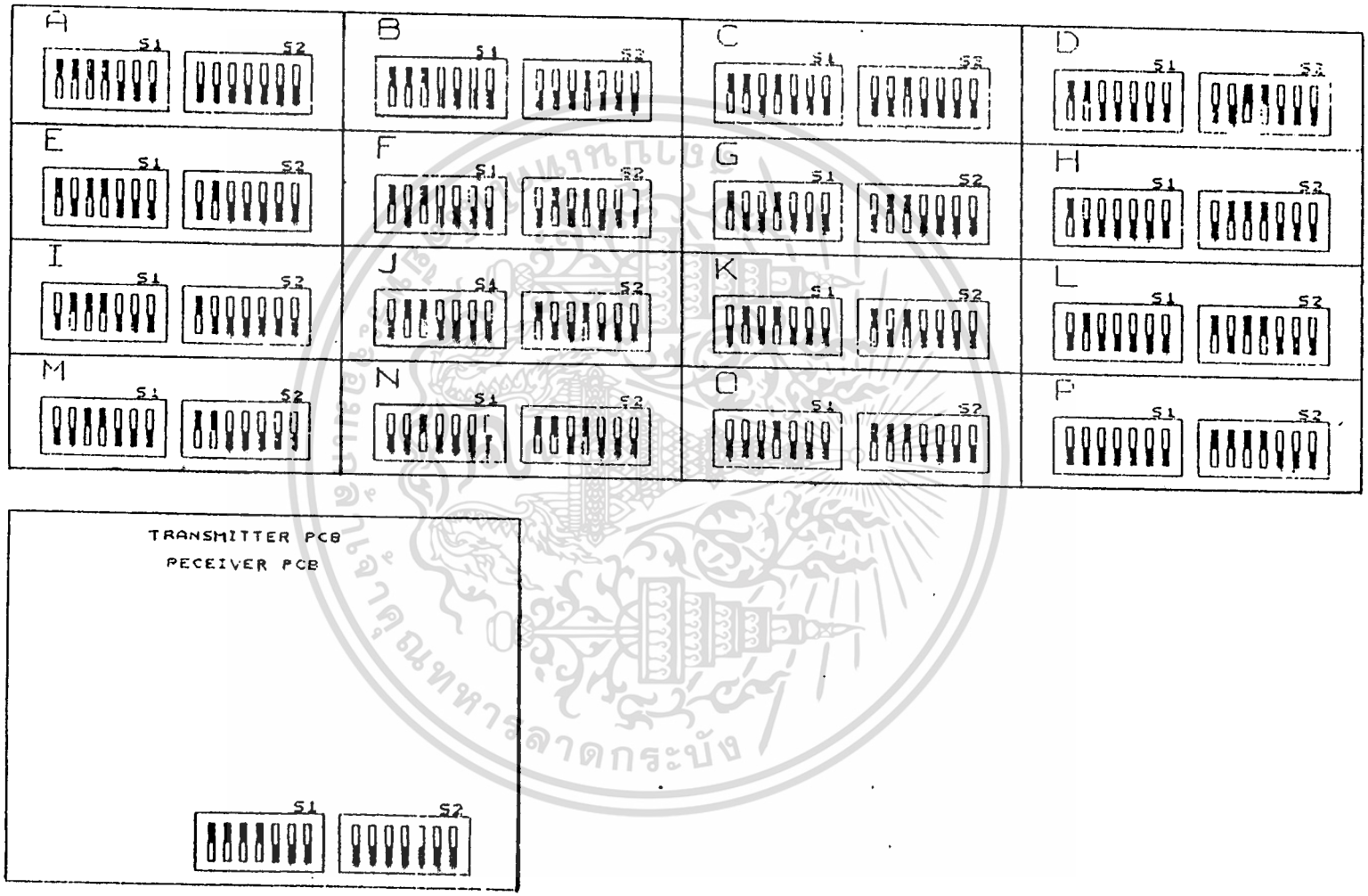
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 บล็อกไดอะแกรมของแซนแนลเจนเนอร์เรเตอร์

ตัวแซนแนลเจนเนอร์เรเตอร์จะกำเนิดสัญญาณพัลส์ต่อเนื่องกัน 128 สัญญาณพัลส์ โดยแต่ละพัลส์มีความกว้าง 1 ms จากนั้นตามด้วยสัญญาณซิงโครไนซ์อีก 8 ms ดังนั้นใน 1 ขบวนสัญญาณ TDM จะมีคาบเวลา 136 ms ซึ่งทำให้ตัวรับและตัวส่งสามารถติดต่อสื่อสารกันได้ 128 แซนแนลพร้อม ๆ กัน โดยตัวรับและตัวส่งแบ่งออกเป็น 16 กลุ่ม กลุ่มละ 8 แซนแนล ตามรหัสดังนี้ A1-A8, B1-B8, C1-C8 จนถึง T1-T8 ซึ่งจะเท่ากับ 8*16 เท่ากับ 128 แซนแนล ตัวส่งและตัวรับจะมีอินเทอร์นัลเค้าท์เตอร์ (internal counter) ซึ่งจะนับสัญญาณพัลส์จากแซนแนลเจนเนอร์เรเตอร์และจะทำการรับส่งสัญญาณกันเฉพาะกลุ่มที่อินเทอร์นัลเค้าท์เตอร์นับสัญญาณพัลส์ได้ตรงกัน ซึ่งการตั้งรหัสสำหรับตัวส่งและตัวรับนั้นทำได้โดยตั้งสวิทช์ภายในตัวมัน ซึ่งรูปแบบการตั้งสวิทช์แสดงดังรูป 2.8 จากรูปที่ 2.9 แสดงรายละเอียดของสัญญาณพัลส์ที่แซนแนลเจนเนอร์เรเตอร์ผลิตออกมาส่งออกไปบนสายทูไวร์และสัญญาณพัลส์ขณะที่ตัวส่งมีการส่งสัญญาณ ซึ่งสัญญาณปกติขณะไม่มีการส่งสัญญาณจะมีความกว้างเป็น 250 μS และ 750 μS มีระดับแรงดันสัญญาณเป็น 8.2 โวลท์ และ 2.2 โวลท์ ส่วนสัญญาณพัลส์ที่มีการส่งสัญญาณจะมีความกว้างเป็น 300 μS และ 500 μS มีระดับแรงดันเป็น 8.2 โวลท์ , 2.2 โวลท์ และช่วงที่ตกลงมาใกล้เคียงศูนย์ $\approx$ 0.65 โวลท์ ซึ่งจะมีความกว้างเป็น 200 μS

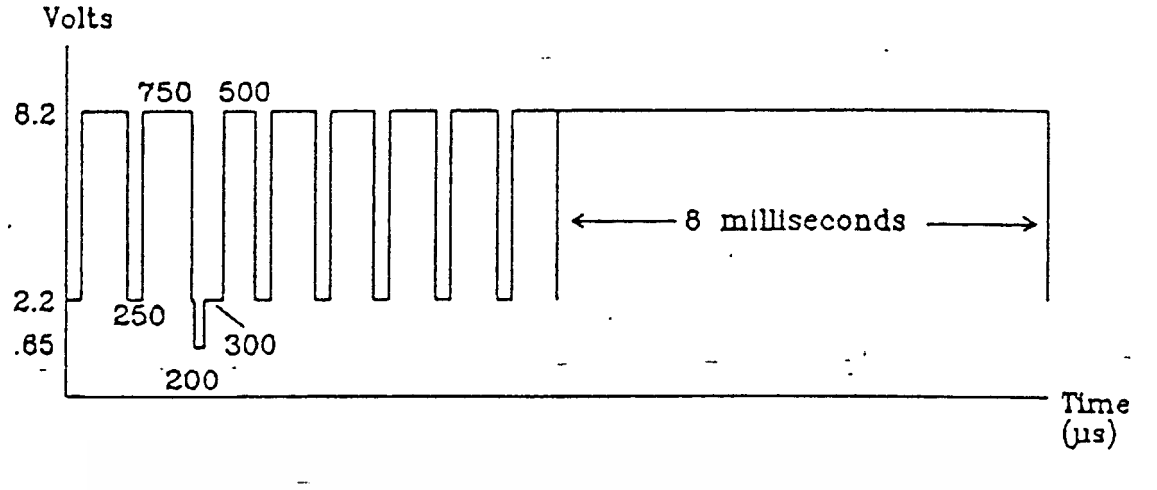
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



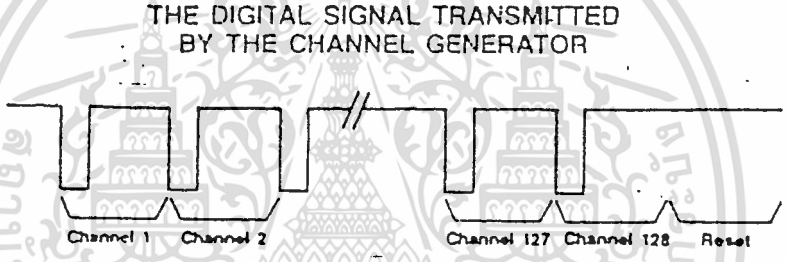
SYSTEM 128 SWITCH CODE

รูปที่ 28 แสดงการตั้งรหัสไดเรคชั่นโค้ดในตัวส่งและตัวรับ

ลิขสิทธิ์ของมหาวิทยาลัยราชภัฏราชนครินทร์ ห้ามนำไปใช้ในการค้า



รูปที่ 2.9 แสดงลักษณะสัญญาณพัลส์ปกติ และสัญญาณพัลส์เมื่อมีการส่ง

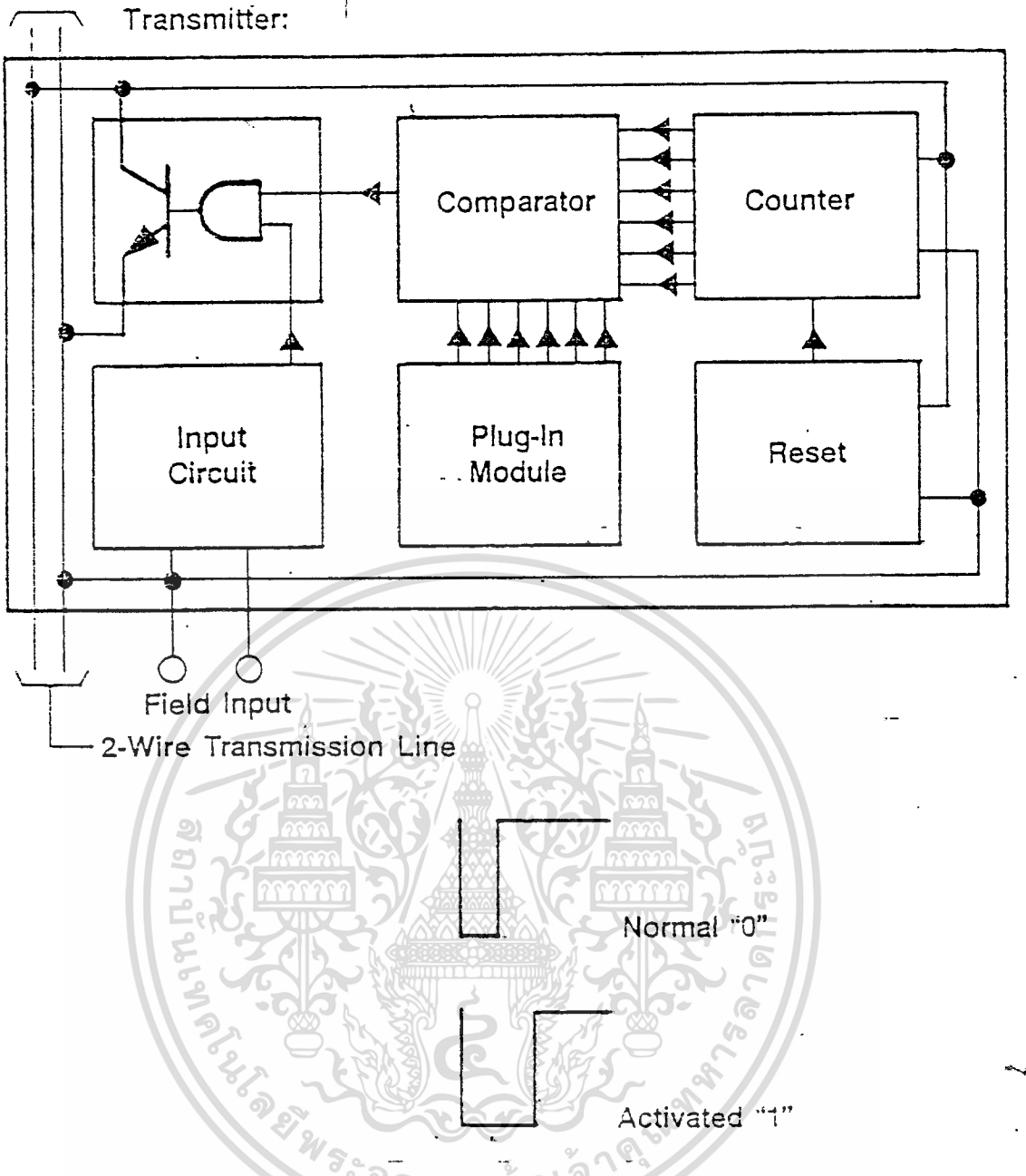


รูปที่ 2.10 แสดงขบวนสัญญาณใน 1 TDM

2.4 2. ตัวส่ง (transmitter)

ตัวส่งจะมีอินเทอร์นัลเค้าท์เตอร์ทำการนับสัญญาณพัลส์จากแซนแนลเจนเนอร์เรเตอร์และจะส่งสัญญาณเฉพาะกลุ่มที่นับสัญญาณพัลส์ตรงกัน เมื่อตัวส่งนับสัญญาณพัลส์ได้เท่ากับรหัสของตัวมันแล้วจะตรวจสอบสภาวะอินพุทว่ามีการ ON หรือไม่ ถ้า ON จะทำการดึงระดับแรงดันโวลท์เตจในสายทูไวร์ลงมา(hold down voltage) เป็น 0 ซึ่งแสดงลักษณะการทำงานโดยใช้บล็อกไดอะแกรมดังรูปที่ 2.11 โดยตัวส่งจะส่งสัญญาณไปยังแซนแนลเจนเนอร์เรเตอร์โดยจะเปลี่ยนรหัสพัลส์จาก 0 เป็น 1 ซึ่งอินพุทของตัวส่งแต่ละตัวจะมีรหัสของตัวมันเองสำหรับให้แซนแนลเจนเนอร์เรเตอร์ทำการเลือกแซนแนลในการส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดงบล็อกไดอะแกรมของตัวส่ง

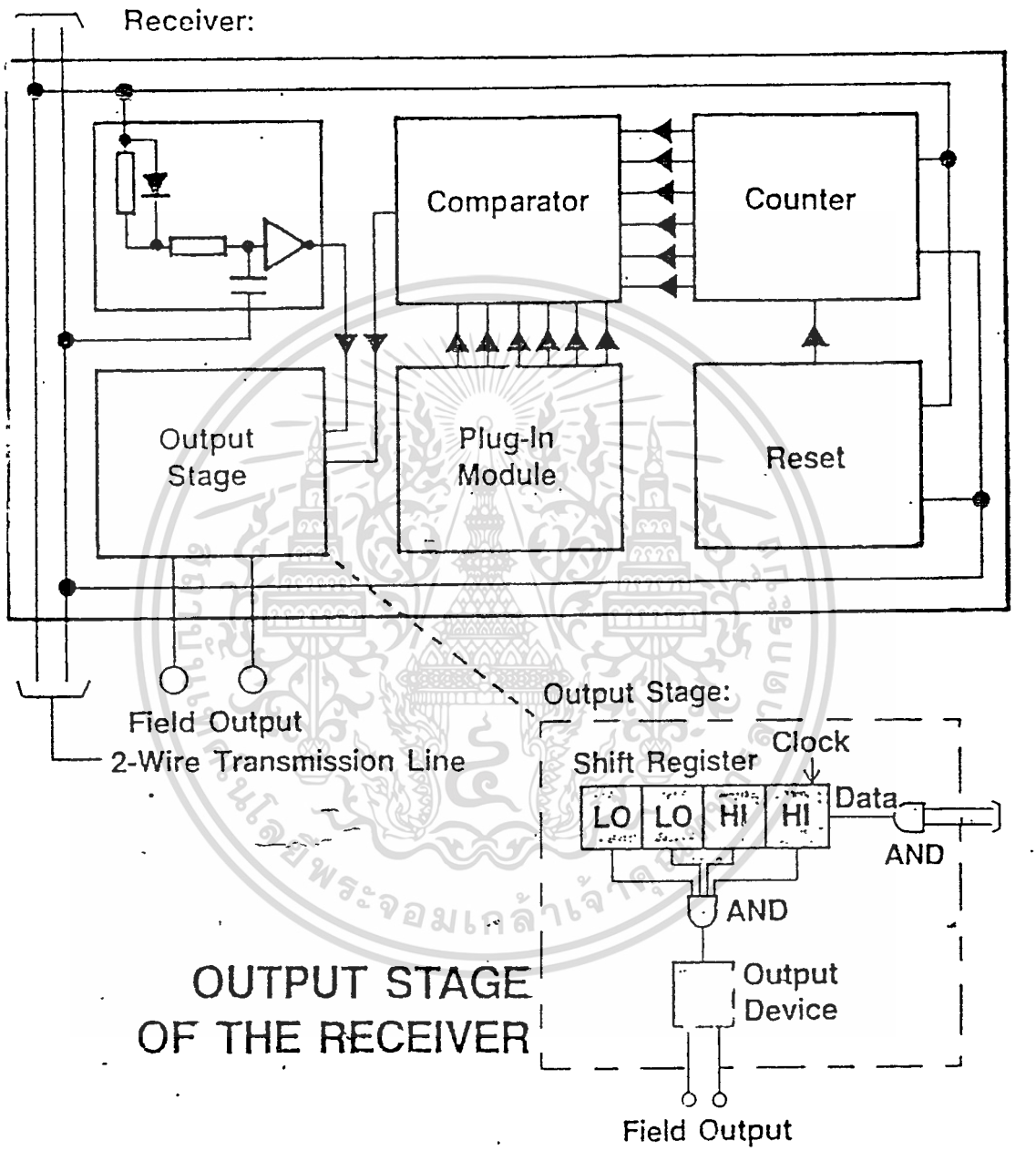
จากบล็อกไดอะแกรมตัวส่งจะใช้วงจรคอมพาราเตอร์ (comparator) เปรียบเทียบสัญญาณระหว่างสัญญาณที่รับจากสายทูไวร์กับสัญญาณจากการตั้งรหัสสวิทช์ เมื่อสัญญาณเปรียบเทียบทั้งสองเท่ากันจะส่งต่อไปยังอินพุทของแอนด์เกจ ถ้าอินพุททั้งคู่เป็น 1 ทรานซิสเตอร์จะทำงาน ถ้าวงจรอินพุทไม่อยู่ในสภาวะ ON เอ้าท์พุทของแอนด์เกจเป็น 0 และซิมไพร์คล็อก (simply clock) จะรอสัญญาณพัลส์ตัวต่อไป

2.4.3 ตัวรับ (receiver)

เมื่อตัวรับนับสัญญาณพัลส์ได้เท่ากับรหัสของตัวมันแล้วจะตรวจสอบระดับแรงดันโวลท์เตจบนสายทูไวร์ว่ามีระดับต่ำกว่าปกติหรือไม่ ถ้าตัวส่งมีการส่งสัญญาณก็จะดึงระดับแรงดันโวลท์เตจภายในสายทูไวร์ลงมาก็จะทำให้เอ้าท์พุทของตัวรับ ON จากบล็อกไดอะแกรม ตัวรับจะใช้วงจรคอมพาราเตอร์เปรียบเทียบสัญญาณระหว่างสัญญาณที่รับจากสายทูไวร์กับสัญญาณจากการตั้งรหัสสวิทช์ เมื่อสัญญาณเปรียบเทียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ หรือนำไปหาประโยชน์ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งสองเท่ากันจะส่งต่อไปยังสเตจเอ้าท์พุท และเมื่อตัวส่งมีการส่งสัญญาณวงจรดีเทคของตัวรับจะเปลี่ยนระดับสัญญาณพัลส์จาก 0 เป็น 1 ดังนั้นทำให้อุปกรณ์เอ้าท์พุททำงานทำให้โหลดที่ต่ออยู่กับเอ้าท์พุทของตัวรับทำงานได้



รูปที่ 2 12 แสดงบล็อคไดอะแกรมของตัวรับ

2 5 การนำระบบทูไวร์มัลติเพล็กซ์ไปใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มัลติเพล็กซ์เป็นวิธีการที่จะส่งหรือรับ สัญญาณหลาย ๆ สัญญาณในเวลาเดียวกัน โดยใช้วงจรร่วมกันด้วยเหตุที่ระยะทางระหว่างตัวส่งและตัวรับเพิ่มขึ้น จึงทำให้ราคาของสายเคเบิลตัวนำที่ใช้มีราคาแพงมากขึ้น ตลอดจนถึงการติดตั้ง, การซ่อมแซมบำรุงรักษา ดังนั้นด้วยวิธีการมัลติเพล็กซ์โดยสายคู่เพียงเส้นเดียวสามารถให้บริการตัวส่งและตัวรับได้หลาย ๆ ตัว

ระบบทูไวร์มัลติเพล็กซ์ เรียกว่า ดูไพร์ในระบบนี้ ตัวส่งและตัวรับหลาย ๆ ตัว สามารถที่จะติดต่อถึงกันแต่ละตัวได้โดยใช้สายคู่ตีเกลียวเพียงเส้นเดียว ขึ้นอยู่กับว่าโมดูล (module) นั้นมีโค้ดอย่างไร เช่น ตัวส่งตัวเดียวสามารถทำงานกับตัวรับตัวเดียว, ตัวส่งหลายตัวสามารถทำงานกับตัวรับหลาย ๆ ตัว ในการส่งสัญญาณโดยใช้ดูไพร์ เป็นแบบ 2 ทิศทาง และสายเคเบิลสามารถแตกย่อยออกเป็นสาขาได้หลาย ๆ สาขา ในระบบอื่นจะเป็นการส่งเฉพาะจากจุด A ไปยังจุด B เท่านั้น เมื่อนำมาประยุกต์ใช้งานในอุตสาหกรรมควบคุมระบบนี้สามารถขยายไปใช้งานได้หลายทาง

<u>ข้อได้เปรียบเมื่อใช้ระบบดูไพร์ สำหรับควบคุมการใช้งาน</u>

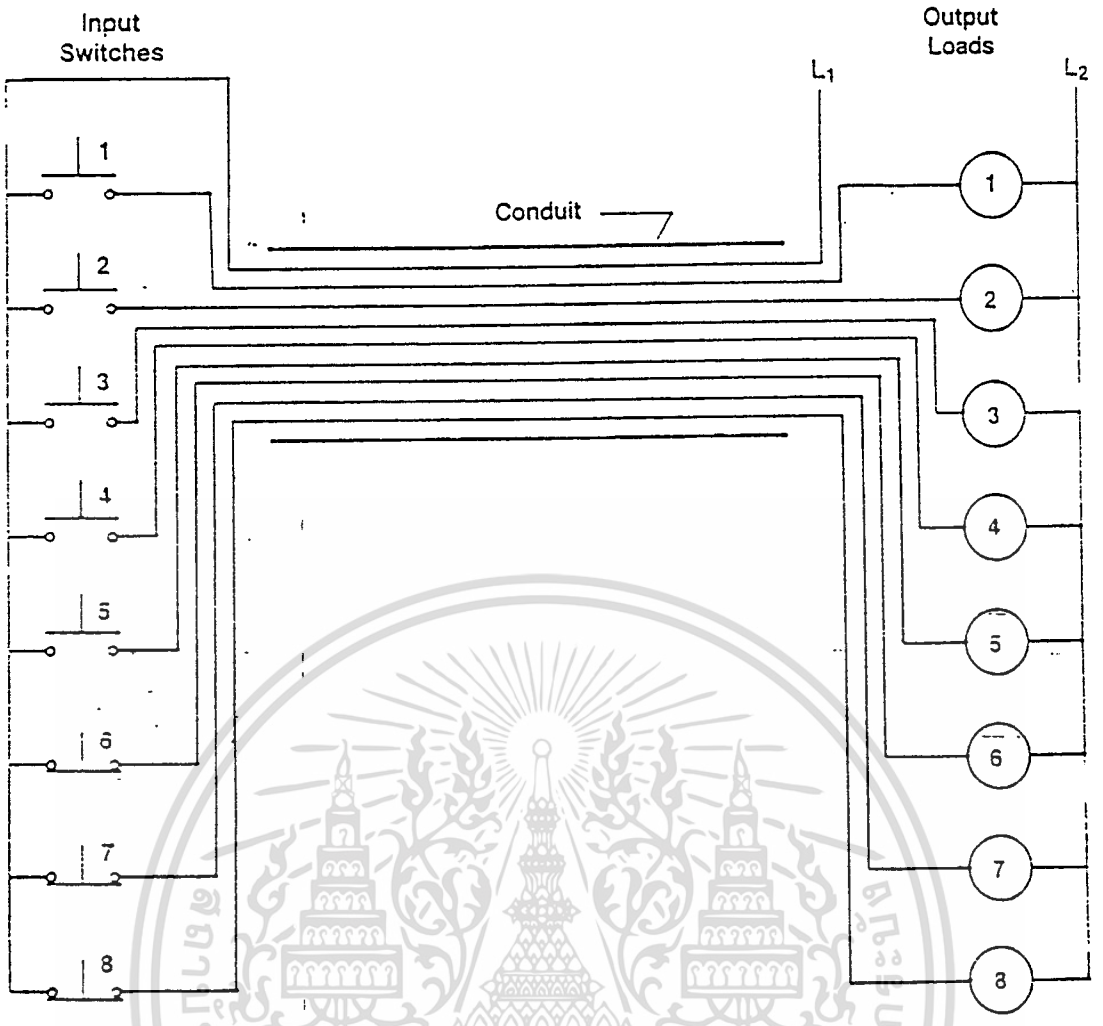
- สามารถส่งสัญญาณดิจิตอลหลายๆสัญญาณบนสายคู่เดียวกัน
- สามารถประหยัดเวลาและงบประมาณในการติดตั้งได้อย่างมาก
- สามารถขยายระบบได้ง่ายเมื่อมีความจำเป็นต้องใช้งานมากขึ้น
- สามารถเชื่อมต่อระบบเข้ากับ คอมพิวเตอร์, ปริ้นซ์เตอร์ และ โปรแกรมเมเบิลคอนโทรล ได้ง่าย
- สามารถที่จะร่วมเข้ากับ S-system เพื่อส่งสัญญาณได้ เช่น ระดับ,อุณหภูมิ, แรงดัน,กระแสกำลัง, โลจิก และความถี่

เราจะได้รับประโยชน์มากมาย ในการใช้ระบบทูไวร์มัลติเพล็กซ์ ในการควบคุมและเหตุผลสำคัญก็คือลดต้นทุนหรือกำจัดราคาค่าสายที่ใช้ในระบบ ในรูปข้างล่างนั้นได้แสดงวิธีการใช้สวิทช์ 8 ตัว ต่อผ่านสายแต่ละเส้นเพื่อควบคุมโหลด 8 ตัว โดยที่สายแต่ละเส้นจะถูกร้อยผ่านท่อจากสวิทช์ควบคุมจนถึงโหลด นั่นหมายความว่าเราจะสิ้นเปลืองทั้งเวลาและแรงงานในการติดตั้ง แม้ระยะทางจะสั้นที่สุดแล้วก็ตาม และถ้าเกิดว่าระยะทางเพิ่มขึ้นอีก ก็จะทำให้เราต้องสิ้นเปลืองทั้งเวลาและวัสดุขึ้นอีกในการติดตั้งระบบ ดังรูปที่ 2.13

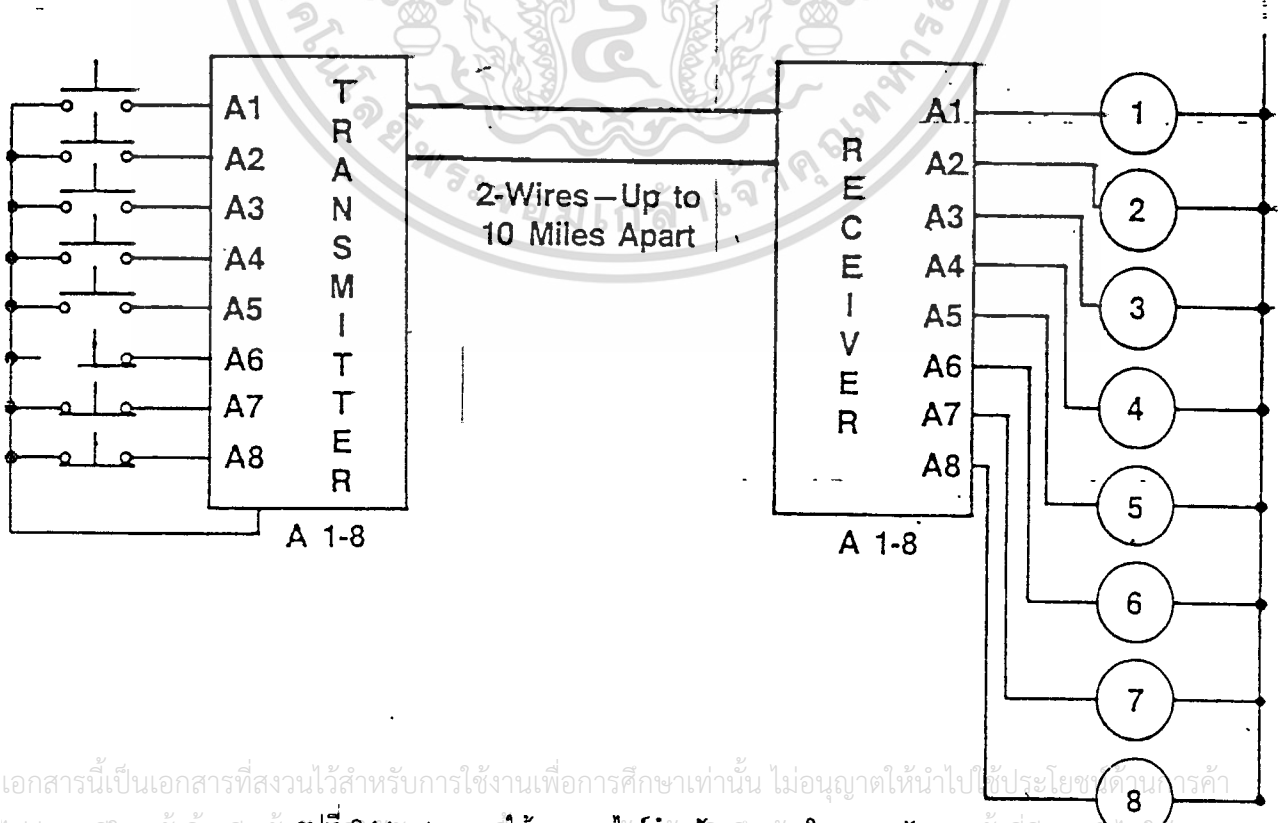
<u>การต่อสายทั่วไป</u>

- จะต้องใช้สายเชื่อมต่อจุด ต่อจุดระหว่างโหลดและสวิทช์
- สายทั้งหมดที่เชื่อมต่อนั้นนำไปใช้งานอย่างอื่นได้น้อยมาก
- จะต้องคำนวณนัมเบอร์ (number) และขนาดของสายรวมถึงขนาดของท่อร้อยสายด้วย
- ถ้าหากต้องการเพิ่มจำนวนสายขึ้นตามความต้องการอาจต้องรื้อทำใหม่หมดทั้งระบบ
- ราคาของสายและท่อร้อยสายและแรงงานที่ใช้ทำจะสูง
- ถ้าระยะทางระหว่าง สวิทช์และโหลดเพิ่มขึ้น ราคาก็จะเพิ่มขึ้นตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 ระบบการต่อสายทั่วไปสำหรับควบคุมโหลด 8 ตัว



รูปที่ 2.14 แสดงการใช้ระบบทูไวร์สำหรับควบคุมโหลด 8 ตัว

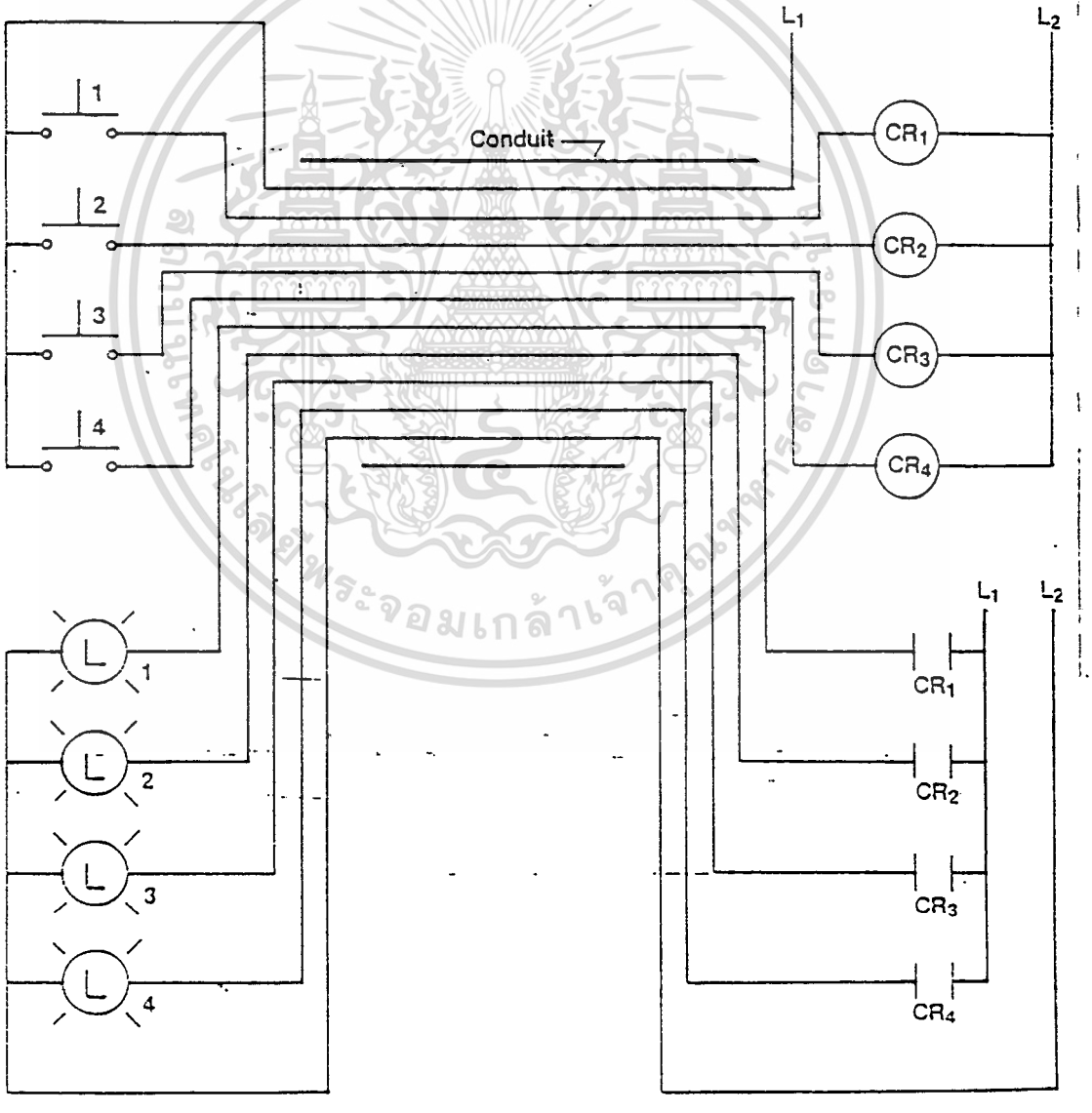
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

สำหรับไดอะแกรมในรูปที่ 2.14 ได้แสดงให้เห็นวงจรที่เหมือนกันแต่สามารถติดต่อกันโดยใช้ระบบดูไพร์ซึ่งต้องการสายแค่ 1 คู่เท่านั้นในการเชื่อมระหว่างสวิทช์ ควบคุมกับโหลด

<u>มัลติเพล็กซ์ซิ่ง</u>

- ไม่ต้องใช้สายเชื่อมจุดต่อจุด
- ไม่ต้องการท่อร้อยสายและสายมัลติพลายด์
- สามารถขยายระบบได้โดยง่ายโดยที่ไม่ต้องเพิ่มสายส่ง
- ระบบดูไพร์สามารถส่งสัญญาณดิจิตอล

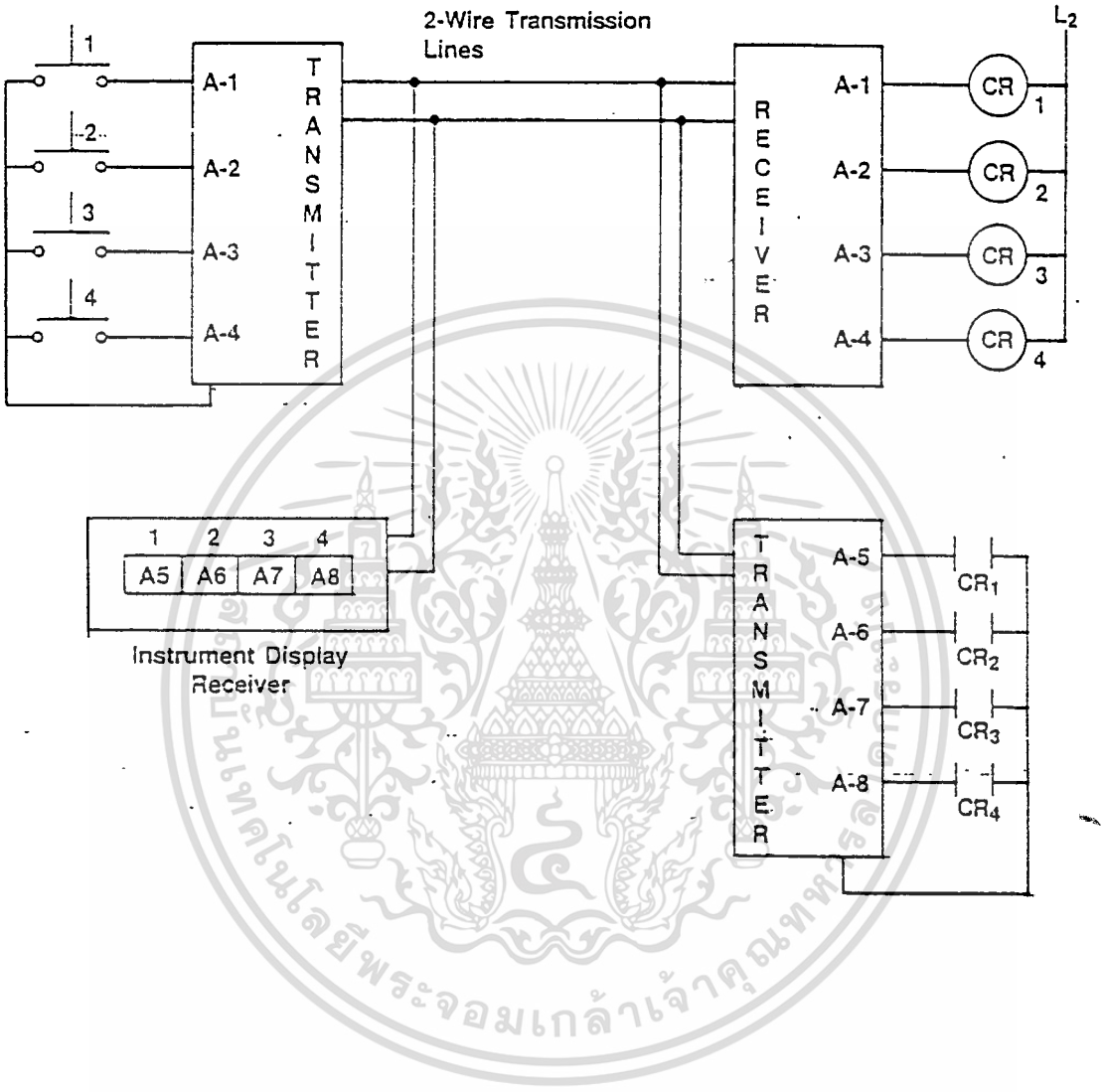
ในวงจรควบคุมหลาย ๆ วงจรจะเพิ่มขึ้นในเรื่องของขนาดและหน้าที่การทำงาน และการเดินสาย จะเป็นเรื่องที่ยากมาก ดังแสดงในรูปที่ 2.13



รูปที่ 2.15 แสดงการต่อสายทั่วไปสำหรับส่งสัญญาณกลับไปแสดงการทำงานของโหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

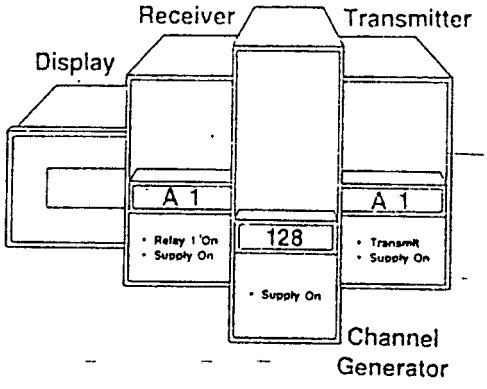
จากรูปที่ 2 15 จะแสดงให้เห็นวงจรที่ใช้ทั่วไปในการใช้สวิทช์ควบคุม 4 ตัว เพื่อควบคุมโหลด 4 ตัว และมีการป้อนกลับ วงจรนี้แสดงให้เห็นว่าสัญญาณที่แสดงการทำงานของโหลดได้ถูกส่งกลับมาอย่างไร

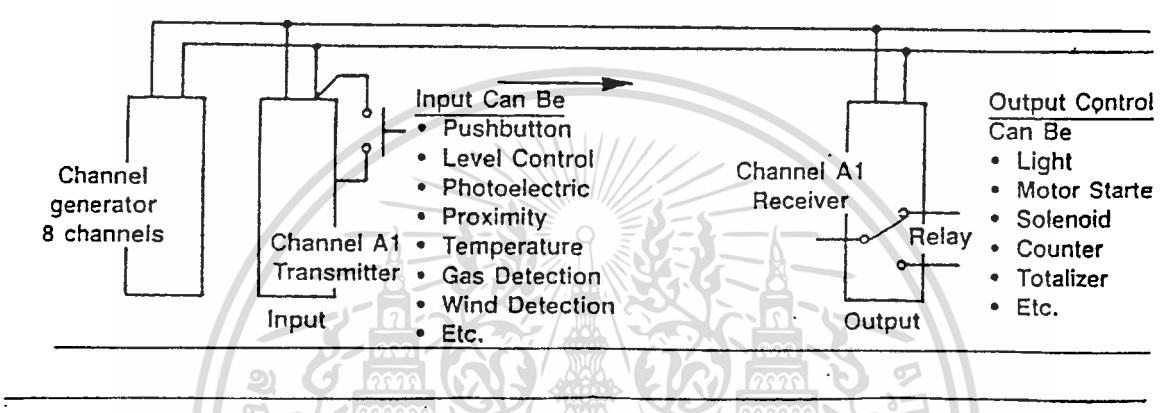


รูปที่ 2.16 แสดงการใช้ระบบทูไวร์สำหรับส่งสัญญาณกลับไปแสดงการทำงานของโหลด

จากรูปที่ 2.16 เป็นวงจรแบบเดียวกันกับรูปแรกแต่ใช้ระบบดูไพร์ในการต่อ ซึ่งเราสามารถเห็นได้ว่าเป็นวงจรง่ายมากและสามารถนำไปใช้ประโยชน์ได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 2.17 แสดงระบบพื้นฐานการส่งผ่านสัญญาณ

จากรูปที่ 2.17 ได้แสดงให้เห็นระบบดูไพร์ ในรูปแบบที่ง่ายที่สุด ในระบบนี้ตัวส่งและตัวรับแต่ละตัวจะถูกโปรแกรมด้วยรหัสที่เหมือนกัน โดยจะติดต่อกันด้วย แชนแนลเจนเนอร์เรเตอร์ ซึ่งเป็นหัวใจหลักของระบบและจะใช้เพียงตัวเดียวเท่านั้นในระบบ โดยแชนแนลเจนเนอร์เรเตอร์สำหรับระบบนี้ คือ 128 แชนแนล จากรูปนี้ตัวรีซีพเวอร์รีเลย์ (receiver relay) จ ะทำงานก็ต่อเมื่อสวิทช์อินพุท ทางด้านตัวส่งปิด

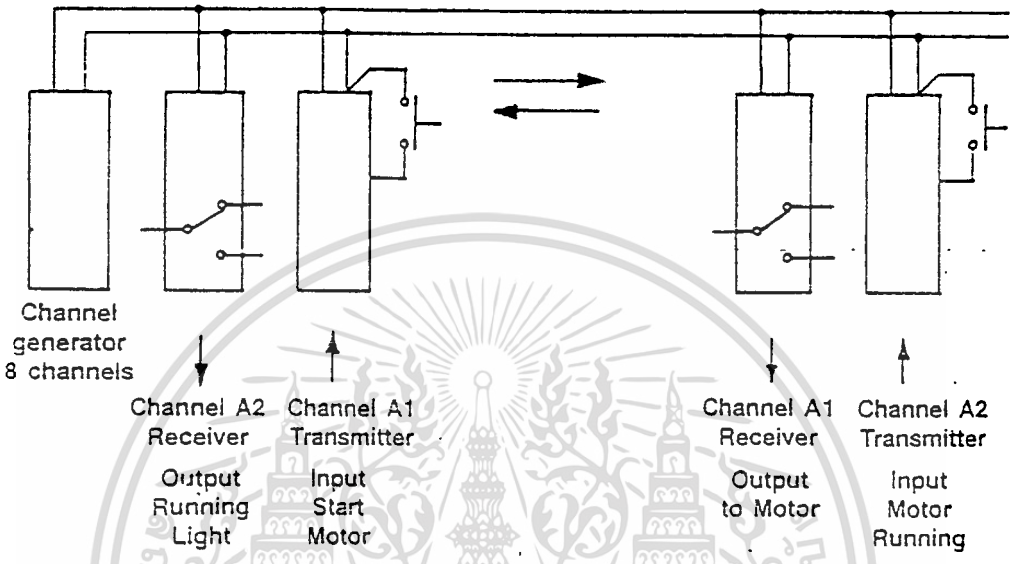
2.6 การตั้งรหัสสัญญาณ

ในแต่ละหน่วย (Unit) ของระบบมัลติเพล็กซ์จะถูกกำหนดรหัสประจำโมดูล ซึ่งจะถูกสอดแทรกเข้าไปในหน่วยของตัวรับ, หน่วยของตัวส่ง หรือ หน่วยการแสดงผลในการสอดแทรกแต่ละครั้งนั้นจะได้รับการตอบสนองโดยการส่ง, การรับ หรือ การแสดงผลเฉพาะแชนแนลที่ถูกกำหนดโดยรหัสโมดูลโมดูลจะถูกแบ่งออกเป็น 8 กลุ่ม เช่น A1- A8, B1- B8, C1- C8 โดยรหัสโมดูลนี้สามารถครอบคลุมแค่แชนแนลเดียว เช่น แชนแนล A1 หรือ แชนแนล A6 หรือสามารถครอบคลุมได้หลาย ๆ แชนแนล เช่น แชนแนล A1-4 หรือ A-8 เมื่อเป็นรหัสสำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A-2 ตัว โมดูลจะตอบสนองรับกรุ๊ป A8 แชนแนล (A1-8) และกรุ๊ป B8 แชนแนล (B1-8) ซึ่งรหัสโมดูลนี้สามารถครอบคลุมได้ทั้งหมด 128 แชนแนลโดยใช้รหัส A-P

ในการส่งสัญญาณจะมีครั้งหนึ่งที่ทำการส่งเฉพาะรหัสเท่านั้น เช่น รหัสที่ส่งไปเป็น A-1 แล้วเมื่อตัวส่งสัญญาณถูกกระตุ้นสัญญาณ A-1 จะถูกส่งไปโดยระบบ ดูไพร์ ตัวรับสัญญาณนี้ก็จะต้องมีรหัส A-1 การกำจัดสัญญาณครอสทอรก์ (cross talk) บนระบบเป็นแนวทางที่ดีที่จะรักษาแชนแนลในการใช้ระบบ



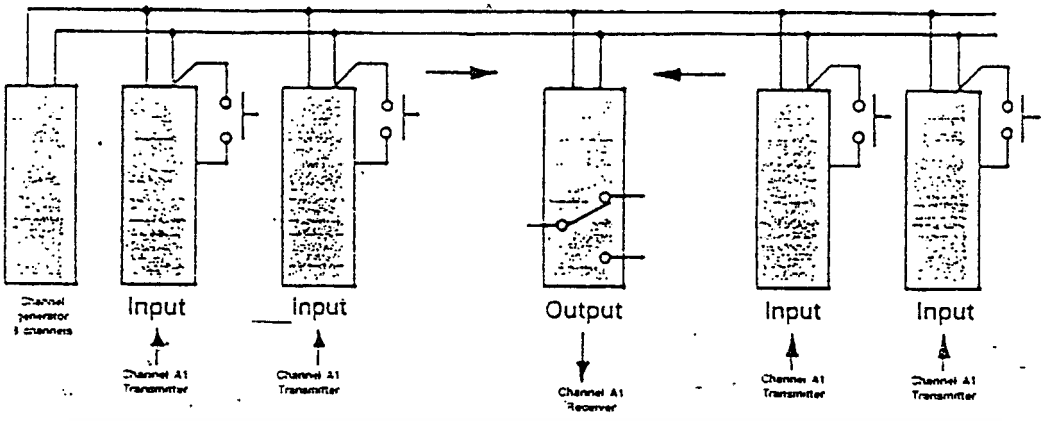
รูปที่ 2.18. แสดงการส่งสัญญาณพร้อมกันสองทิศทาง

จากรูปที่ 2.18 แสดงให้เห็นการขยายระบบซึ่งสามารถใช้สัญญาณรี-ทรานสมิท (retransmitted) กลับและไปได้โดยใช้ดูไพร์ ซึ่งเป็นจุดสำคัญมาก ๆ ในระบบป้อนกลับ ด้วยเหตุที่วงจรทั้งหมดในระบบดูไพร์ สามารถที่จะส่งสัญญาณได้ทั้ง 2 ทิศทางและในเวลาเดียวกัน สัญญาณรี-ทรานสมิทนี้มีความสำคัญสามารถเป็นใน วงจรปั๊มคอนโทรล (pump control)

2.7 การใช้ตัวส่งตัวในการควบคุมตัวรับหลายๆ ตัว

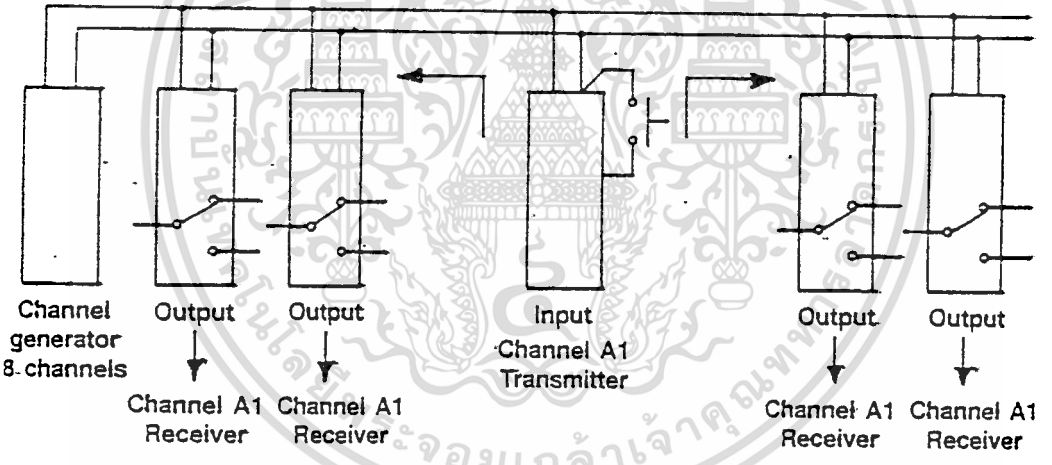
จากรูปที่ 2.19 แสดงให้เห็นว่าสัญญาณเพียงตัวเดียวสามารถที่จะควบคุมตัวรับสัญญาณหลายๆ ตัว ในการทำงานแบบนี้ตัวรับสัญญาณทุกตัวจะเป็นรหัสเดียวกันกับ ตัวส่งสัญญาณ วงจรนี้อาจจะใช้แมชชีนช็อบ (machine shop) ให้เป็นประโยชน์ เมื่อเรากดปุ่มแมชชีนช็อป มันจะบังคับให้สัญญาณถูกส่งไปหยุดรหัสการทำงานทั้งหมดของเครื่องจักร การประยุกต์ไปใช้งานให้เกิดประโยชน์อีกทางหนึ่งเช่น แนวประกอบเครื่องในการทำของมาก ๆ ในโรงงานอุตสาหกรรม (Conveyor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 แสดงการใช้ตัวส่งควบคุมตัวรับหลาย ๆ ตัว

2.8 การใช้ตัวส่งหลายๆ ตัวควบคุมตัวรับตัวเดียว

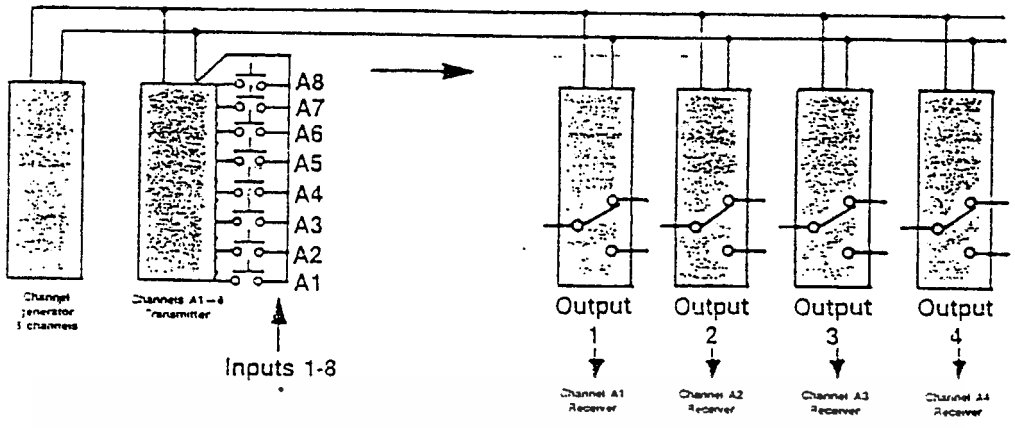


รูปที่ 2.20 แสดงการใช้ตัวส่งหลาย ๆ ตัวควบคุมตัวรับตัวเดียว

จากรูปที่ 2.20 แสดงให้เห็นถึงตัวรับสัญญาณตัวเดียว แต่ถูกควบคุมโดยตัวส่งสัญญาณหลายๆตัว ในการใช้งานแบบนี้ตัวส่งสัญญาณทั้งหมดจะเป็นรหัสเดียวกันกับ ตัวรับสัญญาณ ซึ่งวงจรนี้สามารถที่จะใช้งานแบบที่มีปุ่มสำหรับสตาร์ทระบบหลาย ๆ ตัว ซึ่งอยู่ในสถานที่ที่แตกต่างกัน เช่น ระบบเตือนภัยไฟไหม้ ในการประยุกต์ใช้ งานแบบนี้เกือบจะไม่มีข้อจำกัด

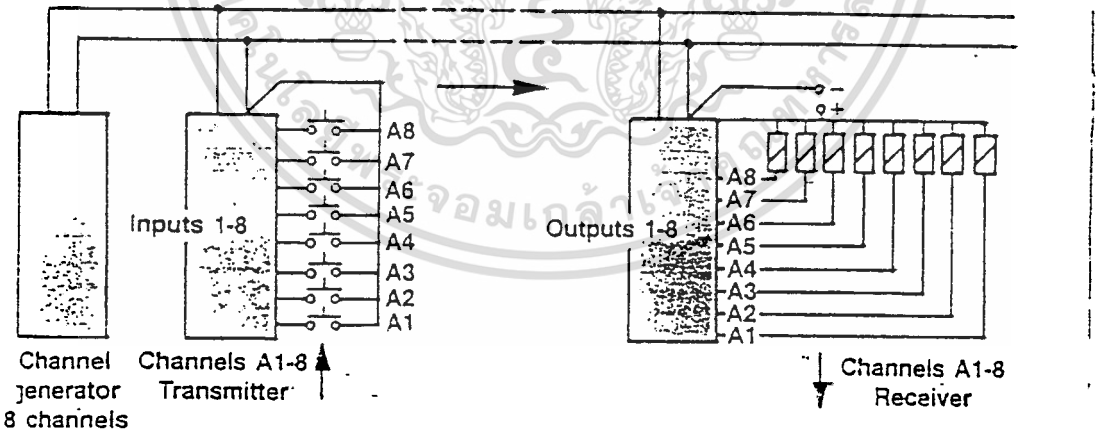
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 การใช้ตัวส่งและตัวรับหลายๆ ตัว



รูปที่ 2.21 แสดงการใช้ตัวส่งตัวเดียว 8 แชนแนลควบคุมตัวรับ 8 ตัว

จากรูปที่ 2.21 แสดงให้เห็นการใช้งานตัวส่งสัญญาณตัวเดียว 8 แชนแนล ควบคุมตัวรับสัญญาณ 8 ตัวโดยที่ใช้ระบบดูไพร์ไม่มีความจำเป็นที่จะต้องใช้ตัวส่ง สัญญาณ 8 ตัว ในการส่งสัญญาณ 8 สัญญาณ โดยเราใช้เพียง1 ตัวก็พอ การประยุกต์ใช้งานนี้ เช่น ศูนย์กลางในการควบคุมสามารถส่งสัญญาณ 8 สัญญาณไปควบคุมมอเตอร์ 8 ตัวในสถานที่ที่แตกต่างกัน ซึ่งจะมีรหัสสำหรับมอเตอร์แต่ละตัวเช่น A1 สำหรับ มอเตอร์ตัวที่ 1, A2 สำหรับมอเตอร์ตัวที่ 2 และ A3 สำหรับมอเตอร์ตัวที่ 3 เรื่อย ๆ ไป เป็นต้น



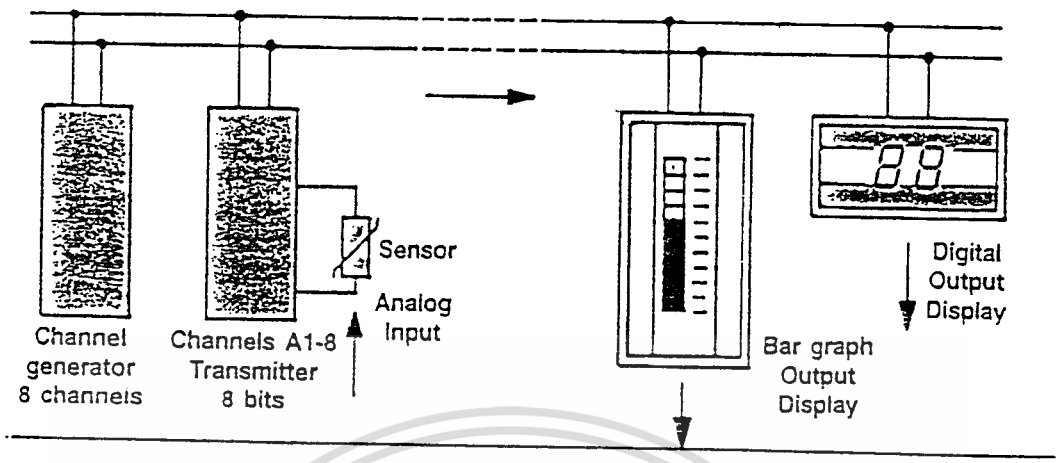
รูปที่ 2.22 แสดงการใช้ตัวส่งตัวเดียว 8 แชนแนลควบคุมตัวรับตัวเดียว 8 แชนแนล

จากรูปที่ 2.22 แสดงให้เห็นลักษณะที่อาจจะเป็นไปได้หลาย ๆ กรณี ตัวอย่างจะมีปุ่มเปิดปิด 8 ตัว และที่ตัวรับจะมี 8 เอ้าท์พุทที่ต่ออยู่กับหลอดไฟ ซึ่งเราสามารถมองเห็นระดับภายในตัวได้ ตั้งแต่ขนาดของระบบมัลติเพล็กซ์เกือบจะไม่มีขอบเขตจำกัด และเฉพาะเพียงทูไวร์เท่านั้นที่เป็นที่ต้องการเพื่อการส่ง ซึ่งระบบนี้สามารถที่ จะทำงานได้มาก และเหมาะที่จะใช้กับโหลดเอ้าท์พุททั้งหมดที่อยู่ในกลุ่มเดียวกันทั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

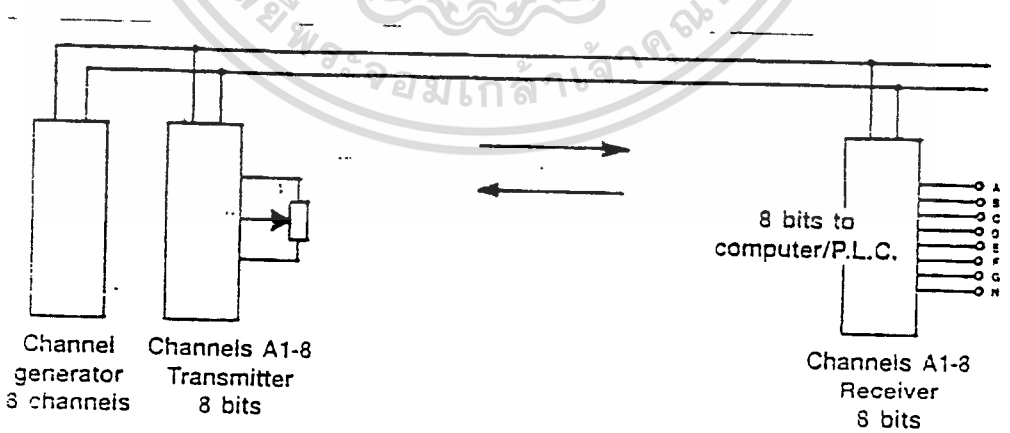
หมดในกรณีที่แสดงการทำงานด้วยหลอดไฟ

2.10 การส่งผ่านข้อมูล



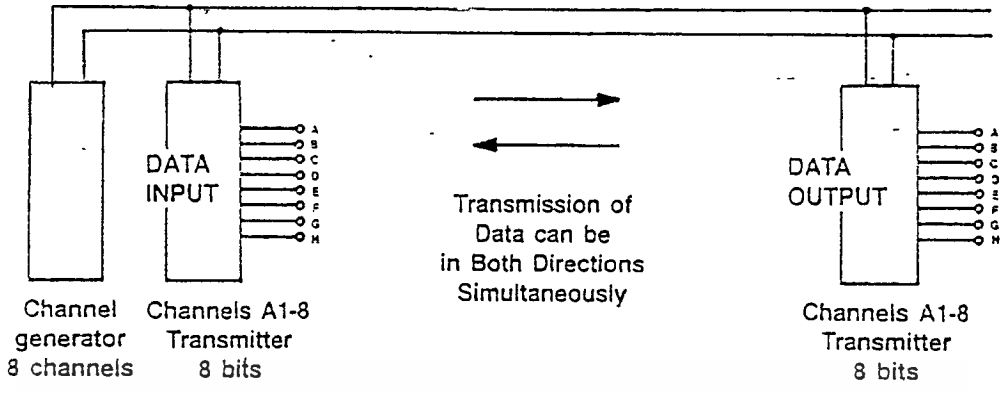
รูปที่ 2.23 แสดงการส่งผ่านข้อมูลที่มีการแสดงผลการวัดแบบดิจิตอล

ระบบตูไพร์ สามารถใช้การสื่อสารหรือการส่งข้อมูลของการวัดได้จากรูป แสดงให้เห็นการส่งข้อมูลของการวัดเป็นการแสดงผลแบบดิจิตอลระบบนี้เป็นความคิดที่นำเครื่องมือวัดมาประยุกต์ใช้งานให้เกิดประโยชน์มากที่สุด การประยุกต์ใช้งาน วงจรชนิดนี้สามารถที่จะใช้ส่งอุณหภูมิที่วัดได้โดยจะถูกส่งกลับไปยังตัวรับเพื่อแสดงค่าที่ได้ออกมาบนจอแสดงผล (display) ข้อได้เปรียบในการใช้งานแบบนี้ คือ เราสามารถใช้สายร่วมกันเพียงคู่เดียว ซึ่งสามารถส่งหรือรับสัญญาณหลายๆ สัญญาณได้ พร้อม ๆ กัน



รูปที่ 2.24 แสดงการส่งข้อมูลจากที่หนึ่งไปอีกที่หนึ่งโดยใช้ทูไวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
037230



รูปที่ 2.25 แสดงการส่งข้อมูลจากที่หนึ่งไปอีกที่หนึ่งโดยใช้ทูไวร์

จากรูปที่ 2.24 และรูปที่ 2.25 แสดงให้เห็นการสื่อสารข้อมูลสามารถส่งข้อมูลโดยใช้ระบบดูไพร์ได้อย่างไรโดยระบบชนิดนี้สามารถส่งข้อมูลจำนวนมาก ๆ ในเวลาเดียวกันโดยใช้สายเพียงคู่เดียวได้ตามต้องการ เมื่อการเชื่อมต่อของอินพุทและ เอ้าท์พุทที่อยู่ใกล้กันเข้าไปใน โปรแกรมเมเบิลคอนโทรลเลอร์ (Programable Controllors)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

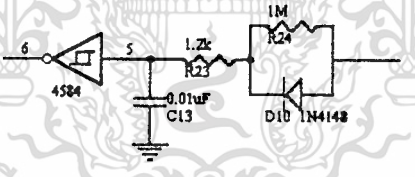
การออกแบบวงจร

3.1 หลักการทำงานของตัวส่ง

ตัวลงจะทำการดึงระดับแรงไฟของสัญญาณรูปคลื่นลงมาเป็นศูนย์เมื่อแชนแนลไหนมีการส่งสัญญาณดังรูปที่ 3.13 โดยไอซี 14512 (เป็นไอซี 8-channel data selector) โดยไอซีจะเลือกแชนแนล โดยใช้ขา A, B, C ซึ่งจะเป็นจังหวะตามค่า Q1, Q2, Q3 ที่มาจากไอซี 14024 (เป็นไอซี counter 7 stage) ดังรูปที่ 3.14

เมื่อแชนแนลไหนมีการส่งสัญญาณรูปคลื่นพัลส์จะกว้างออกกว่าปกติจาก 240 µS เป็น 500 µS ซึ่งเกิดจากการทำงานของไดโอด D8 ในแชนแนลเจนเนอร์เรเตอร์ และเอ้าท์พุทที่ได้มีลักษณะดังรูปที่ 3.15 เมื่อสัญญาณเอ้าท์พุทนี้ผ่านไปยังชมิททริกเกอร์ ก็จะได้เป็นสัญญาณอิมพัลส์ดังรูปที่ 3.16 ซึ่งสัญญาณตัวนี้จะไปทริกให้ทรานซิสเตอร์ C547 ทำงานในช่วงระยะเวลาสั้น ๆ ระดับแรงดันของสัญญาณพัลส์ในช่วงที่ทรานซิสเตอร์ทำงานก็จะตกลงมาเป็น 0.7 โวลท์ ก็คือแรงดันระหว่างขา B และขา E ของทรานซิสเตอร์นั่นเองดังรูปที่ 3.17

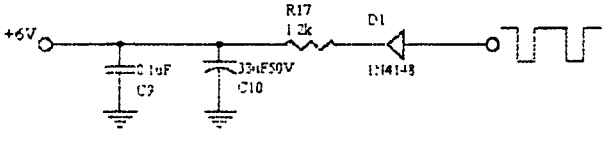
ใน 1 TDM จะประกอบด้วยสัญญาณพัลส์ 128 ลูก และตามด้วยสัญญาณซิงโครไนซ์อีก 8 ms ซึ่งเป็นสัญญาณรีเซ็ทใช้ควบคุมให้ตัวส่งและตัวรับทำงานพร้อมกัน โดยพัลส์ที่เข้ามาจากดูไพร์จะถูกใช้เป็นคล็อกป้อนให้กับไอซี 14024 ดังรูปที่ 3.18 ส่วนของสัญญาณรีเซ็ทจะได้จากส่วนของวงจรดังรูปที่ 3.1



รูปที่ 3.1 แสดงวงจรดีเทคสัญญาณรีเซ็ทจากขบวนพัลส์ TDM

โดยในช่วงขบวนพัลส์ 128 ลูก ที่เข้ามาจะผ่านเข้ามาทางไดโอด D10 ซึ่ง C 13 จะทำการชาร์ทประจุไว้จนถึงช่วงที่เป็นพัลส์ซิงโครไนซ์ 8 ms เข้ามา C จะคายประจุออกมาผ่านทาง R24 ดังรูปที่ 3.19 และเราจะได้สัญญาณที่ออกมาจากชมิททริกเกอร์ดังรูปที่ 3.20 ซึ่งจะเป็นสัญญาณรีเซ็ทไอซี 14024 ให้เริ่มต้นนับใหม่ซึ่งก็คือเริ่มต้นที่ TDM ขบวนใหม่นั่นเอง

สำหรับไฟเลี้ยงไอซีในวงจรได้จากวงจรตามรูปที่ 3.2 ซึ่งจะได้ระดับแรงดัน +6 โวลท์

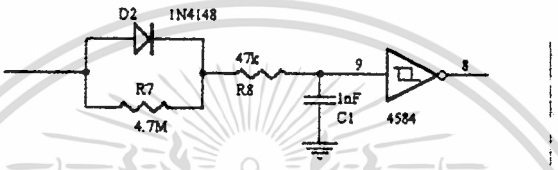


รูปที่ 3.2 แสดงวงจรไฟเลี้ยงของตัวส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หลักการทำงานของตัวรับ

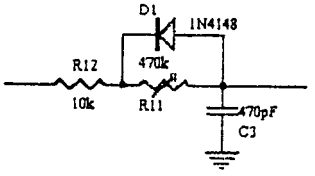
เมื่อมีการส่งสัญญาณจากตัวส่งรูปคลื่นอินพุทที่เข้ามาที่ขา 2 และเอ้าท์พุทที่ออกจากขา 6 ของไอซี 7612 จะลักษณะดังรูปที่ 3.21 โดยแชนแนลเอ้าท์พุทที่มีการส่งสัญญาณจะกว้างกว่าปกติซึ่งเกิดจากการทำงานของไอซี 7612 (เป็นไอซี Comparator schmitt triger) มีการทำงานดังนี้ เดิมสมมติอินพุทเป็น 1 เข้ามาเอ้าท์พุทจะออกมาเป็น 0 จนกระทั่งระดับอินพุทเข้ามาต่ำกว่าระดับอ้างอิงครั้งแรกคือ 3.5 โวลท์ (ได้จากการแบ่งแรงดันระหว่าง R3และR4) จะมีเอ้าท์พุทออกมาจนถึงระดับ 8 โวลท์ ก็จะมีการป้อนกลับมาที่ขา 3 รวมกับระดับสัญญาณอ้างอิงเดิมทำให้เกิดระดับสัญญาณอ้างอิงตัวใหม่ 4 โวลท์ ถ้าระดับสัญญาณอินพุทที่เข้ามาเกินระดับสัญญาณอ้างอิงนี้เอ้าท์พุทก็จะตกลงมา แต่ถ้าระดับสัญญาณที่เข้ามาไม่ถึงระดับสัญญาณอ้างอิงนี้ก็จะมีเอ้าท์พุทออกมาคงเดิม



รูปที่ 3.3 แสดงวงจรดีเทคสัญญาณรีเซ็ทจากขบวนพัลส์ TDM

จากรูปที่ 3.3 เป็นส่วนของวงจรที่ดีเทคเอาสัญญาณรีเซ็ทในขบวน พัลส์ TDM ออกมาเพื่อใช้ในการควบคุมให้ตัวรับทำงานพร้อมกันกับตัวส่งโดยให้เริ่มทำงานและนับพร้อม ๆ กัน ซึ่งมีการทำงานเหมือนกับในตัวส่งคือในช่วงขบวนพัลส์ 128 ลูก ที่เข้ามาจะผ่านทาง D2 และ C1 จะทำการชาร์ทประจุไว้จนถึงช่วงที่เป็นพัลส์ซิงโครไนซ์ 8 ms เข้ามา C1 จะคายประจุออกทาง R7 ดังรูปที่ 3.22 และจะได้สัญญาณที่ออกจากชมิททริกเกอร์ดังรูปที่ 3.23 ซึ่งจะเป็นสัญญาณรีเซ็ทไอซี 14024 ให้เริ่มนับใหม่ซึ่งก็คือเริ่มที่ TDM ขบวนใหม่นั่นเอง

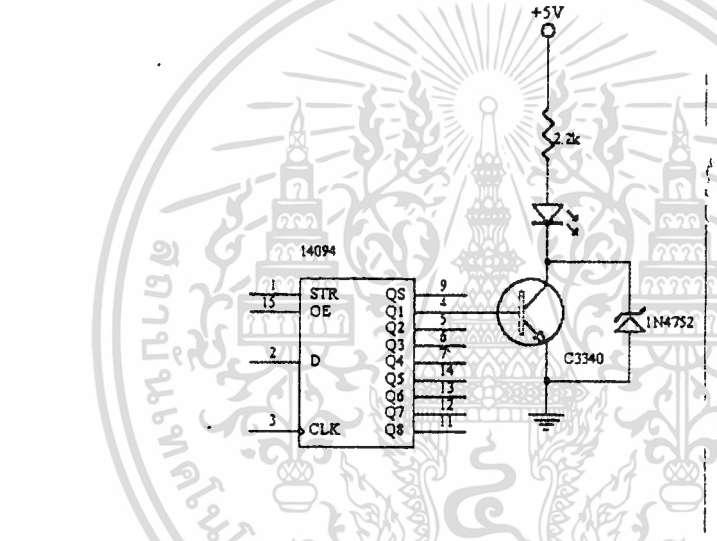
รูปสัญญาณเอ้าท์พุทที่ออกมาจากไอซี 14024 ดังรูปที่ 3.24 ซึ่งจะเห็นได้ว่ามีเฉพาะ 8 พัลส์แรกเท่านั้นเพราะว่าเราเซ็ทให้มันทำงานที่กลุ่มแรกและแชนแนลที่ 8 มีการส่งสัญญาณจะกว้างกว่าปกติ เมื่อสัญญาณดังกล่าวผ่านชมิททริกเกอร์จะได้เป็นสัญญาณคล็อกดังรูปที่ 3.25 ที่ป้อนให้ไอซี 14015 (เป็นไอซี 4-bit static shift register) และไอซี 14094 (เป็นไอซี 8-stage shift/store register) ทำงานที่จังหวะเดียวกัน และสัญญาณดังกล่าวจะผ่านวงจร pulse duration detector ดังรูปที่ 3.4



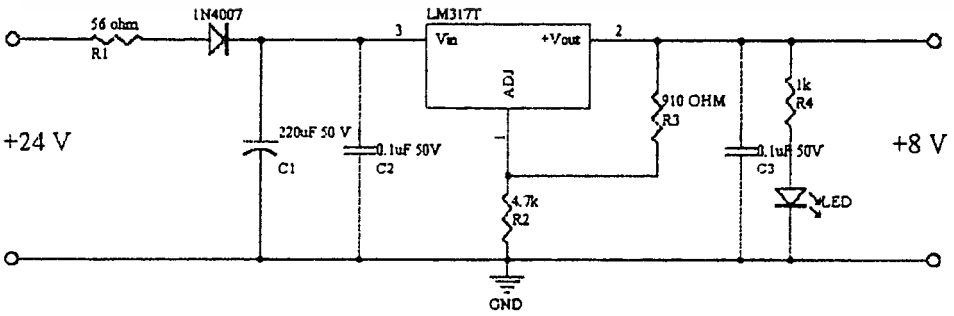
รูปที่ 3.4 แสดงวงจร pulse duration detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งวงจรนี้จะตรวจจับความกว้างของพัลส์และให้เอ้าท์พุทออกมาเป็นขนาดของแอมปลิจูดถ้าพัลส์มีช่วงกว้างจะได้ขนาดของแอมปลิจูดออกมาสูงกว่าพัลส์ที่มีช่วงแคบ โดยที่ R11 ใช้ในการปรับแอมปลิจูดของสัญญาณดังรูปที่ 3.26 และชมิททริกเกอร์จะสามารถตรวจจับเอาสัญญาณเฉพาะแชนแนลที่มีการส่งออกมาจากสัญญาณรูปคลื่นพัลส์ทั้ง 8 แชนแนลดังรูปที่ 3.27 หลังจากนั้นสัญญาณที่เปรียบเสมือนโลจิก 1 จะส่งต่อไปยังไอซี 14530 (เป็นไอซี 5-input majority logic gate) ซึ่งจะทำงานให้เอ้าท์พุทเป็น 1 เมื่อขา W เป็นโลจิก 1 และขา A,B,C,D,E เป็นโลจิก 1 มากกว่า 3 ขา ซึ่งเอ้าท์พุทที่ได้จากไอซีตัวนี้จะส่งต่อไปควบคุมไอซี 14094 ให้ทำงานต่อไปโดยเป็นตัวเลือกว่าจะให้แชนแนลใดทำงานโดยขึ้นอยู่กับขา output enable, ขา strobe, ขา dataและ clock ในกรณีนี้ไอซี 14094 จะให้ Q1 ที่ขา 4 ทำงานโดยมีระดับแรงไฟที่ +7.6 โวลท์ทำให้ทรานซิสเตอร์ C3340 ที่ต่ออยู่ที่เอ้าท์พุททำงานดังรูปที่ 3.5 ดังนั้นจะมีกระแสไหลผ่านโหลดครบวงจร โหลดจึงจะทำงานได้



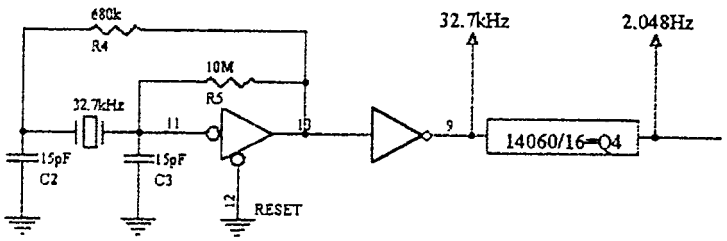
รูปที่ 3.5 แสดงวงจรภาคเอ้าท์พุทของตัวรับ



รูปที่ 3.6 แสดงวงจรภาคจ่ายไฟของตัวรับ

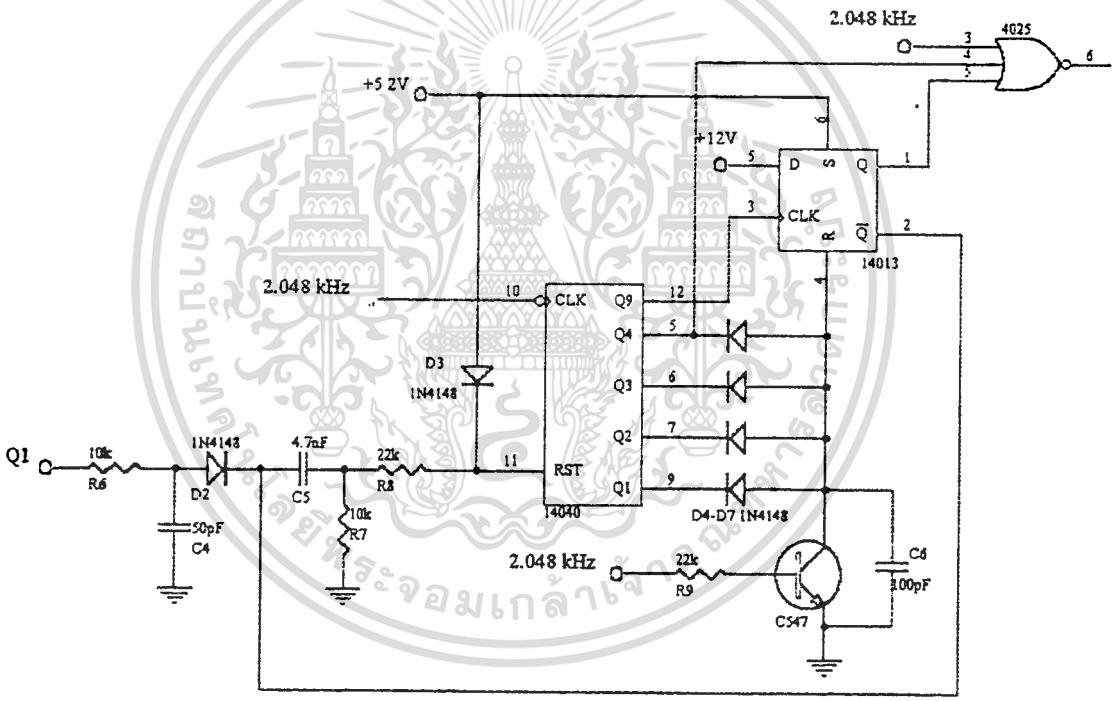
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 หลักการทำงานของแซนแนลเจนเนอร์เรเตอร์



รูปที่ 3.7 แสดงวงจรกำเนิดความถี่

จากรูปที่ 3.7 เป็นส่วนของวงจรกำเนิดความถี่ซึ่งจะใช้ความถี่ 2 ค่าคือ 32.7 kHz ดังรูปที่ 3.28และ 2.048 kHz ดังรูปที่ 3.29 ความถี่ค่า 2.048 kHz จะใช้เป็นคล็อกป้อนให้ไอซี 14040 (เป็นไอซี 12-bit binary counter)



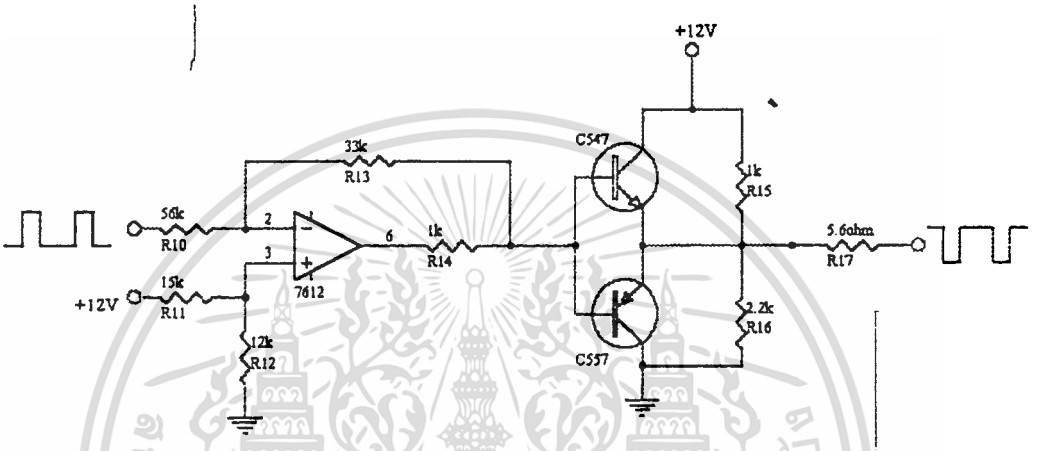
รูปที่ 3.8 แสดงวงจรกำเนิดขบวนพัลส์ TDM

จากรูปที่ 3.8 เป็นส่วนของวงจรใช้กำเนิดขบวนพัลส์ TDM ซึ่งประกอบด้วยสัญญาณลูกคลื่นพัลส์ 128 ลูกและสัญญาณซิงโครไนซ์อีก 8 ms โดยสัญญาณที่ออกมาจากขา 6 ของไอซี 14025 จะเกิดจาก สัญญาณ Q4 ของไอซี 14040, สัญญาณ Q ของไอซี 14013 และสัญญาณ 2.048 kHz จากไอซี 4060 มา NOR กันซึ่งจะได้เอ้าท์พุทออกมาดังรูปที่ 3.30 รูปที่ 3.31 และรูปที่ 3.32

ส่วนของสัญญาณรีเซ็ทไอซี 14013 จะได้จากขา C ของทรานซิสเตอร์ C547 ซึ่งจะได้พัลส์ดังรูปที่ 3.33 ทำให้ได้สัญญาณ Q และ $\overline{Q}$ ออกมาดังรูปที่ 3.34 ส่วนของสัญญาณรีเซ็ท ไอซี 14040 จะได้จากการนำ สัญญาณ $\overline{Q}$ มาผ่านวงจรดิฟเฟอร์เรนเชียล C5 และ R7 ซึ่งจะได้สัญญาณดังรูปที่ 3.35 จะเห็นว่ารูปของ

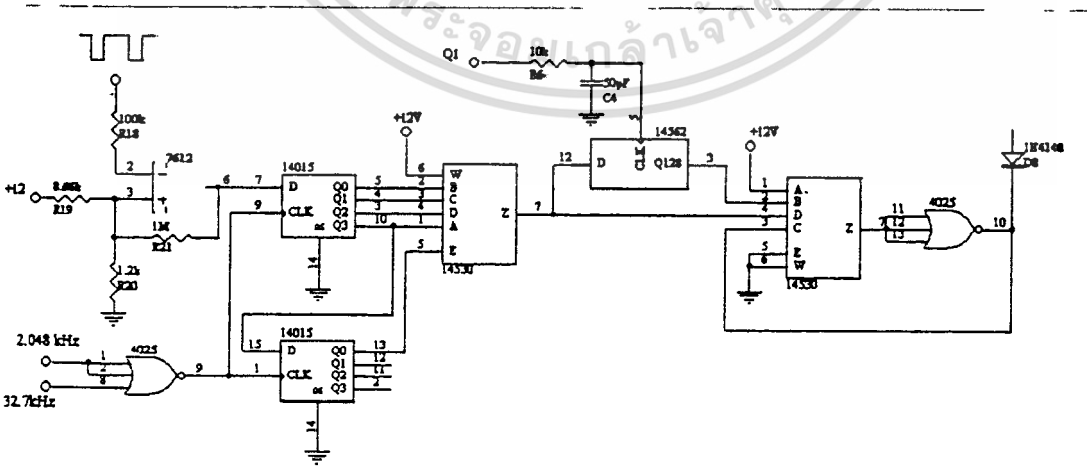
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ผู้ใช้สามารถใช้ได้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่เป็นอิมพัลส์ที่ผ่านวงจรดิพเฟอร์เรนเชียลมานั้นจะมีทั้งชีกบวกและชีกลบ ซึ่งเราต้องการสัญญาณอิมพัลส์เฉพาะชีกบวกเพื่อใช้ในการรีเซ็ท ซึ่งเราสามารถกำจัดสัญญาณอิมพัลส์ ชีกลบออกได้โดยการทำงานของไดโอด D3 ดังรูปที่ 3.36 คือเมื่อสัญญาณอิมพัลส์เข่วงลบเข้ามาไดโอด D3 จะทำงานเพราะที่ขาอาโนดมีระดับแรงไฟ +5.2 โวลท์ ป้อนอยู่ ดังนั้นจะเกิดเฉพาะส่วนสัญญาณชีกบวกเท่านั้นที่ผ่านไปได้ ซึ่งจะอยู่บนระดับแรงไฟ +4 5 โวลท์ ซึ่งเกิดจากแรงไฟที่ป้อนให้กับไดโอดลบด้วยแรงดันตกคร่อมไดโอดขณะทำงาน (ประมาณ 0.7 โวลท์) สัญญาณรีเซ็ทจะทำการรีเซ็ททุก ๆ 133 ms เราจะได้สัญญาณ Q ที่ไอซี :4013 เมื่อเราได้สัญญาณเอ้าท์พุทจากไอซี 14025 จะส่งต่อไปยังภาคเอ้าท์พุทของแซนแนลเจนเนอร์เรเตอร์ซึ่งประกอบไปด้วยวงจรดังรูปที่ 3.9



รูปที่ 3.9 แสดงวงจรภาคเอ้าท์พุทของแซนแนลเจนเนอร์เรเตอร์

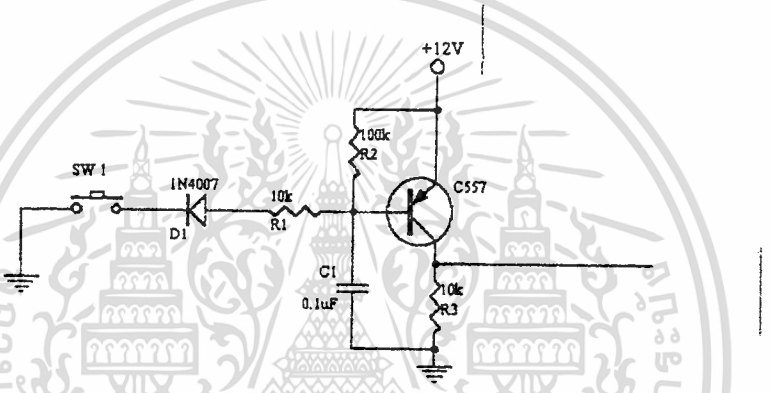
โดยไอซี 7612 จะมีเอ้าท์พุทออกมาเมื่อระดับสัญญาณอินพุทที่เข้ามาต่ำกว่าระดับสัญญาณอ้างอิง +5.4 โวลท์ ซึ่งเราจะได้เอ้าท์พุทดังรูปที่ 3.37 หลังจากนั้นสัญญาณจะถูกส่งไปยังส่วนของวงจรทรานซิสเตอร์ C547 และ C557 จะควบคุมระดับแรงดันให้คงที่และส่งออกไปบนสายทูไวร์ดังรูปที่ 3.38



รูปที่ 3.10 แสดงวงจรภาคอินพุทของแซนแนลเจนเนอร์เรเตอร์

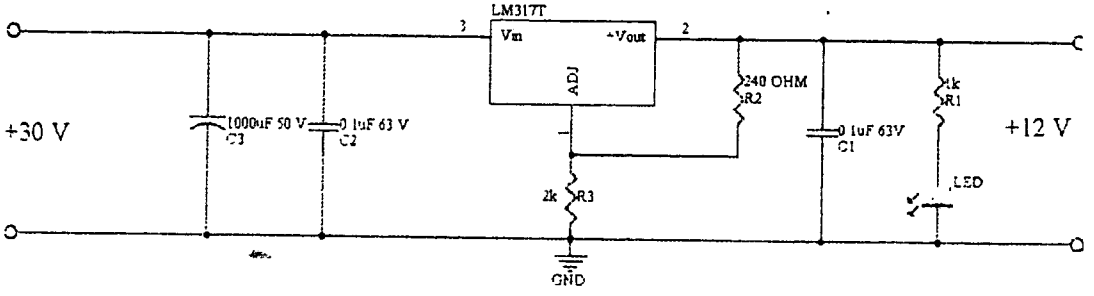
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยปกติส่วนของวงจรอินพุทดังรูปที่ 3 10 จะไม่ทำงานจนกระทั่งตัวส่งมีการส่งสัญญาณวงจรตรงส่วนนี้จะทำงานโดยพัลส์ที่มีการส่งสัญญาณจะผ่านเข้ามายังไอซี 7612 ซึ่งจะได้สัญญาณเอ้าท์พุทออกมาดังรูปที่ 3 38 โดยมีระดับสัญญาณอ้างอิงที่ขา 3 +1.5 โวลท์ เมื่อสัญญาณอินพุทที่เข้ามาที่ขา 2 มีระดับสูงกว่าระดับสัญญาณอ้างอิงจะไม่มีสัญญาณเอ้าท์พุทออกมาที่ขา 6 แต่เมื่อแชนแนลที่มีการส่งสัญญาณเข้ามาที่มีระดับแรงดัน +0.5 โวลท์ ที่ต่ำกว่าระดับสัญญาณอ้างอิงจะได้ระดับสัญญาณเอ้าท์พุทออกมาดังรูป 3 39 เอ้าท์พุทที่ออกมาจากขา 7 ของไอซี 14530 จะถูกชิพไปทำให้พัลส์ขยายกว้างออกจาก 400µs เป็น 1000µs ดังรูป 3.40 สัญญาณพัลส์ตัวนี้จะใช้ไปควบคุมการทำงานไดโอด D8 ต่อไป โดยสัญญาณพัลส์ที่ขา 5 ของไอซี 14025 นั้นแชนแนลที่มีการส่งสัญญาณจะกว้างออกกว่าปกติดังรูป 3 41 ซึ่งเกิดจากช่วงที่พัลส์ที่ขา 15 ของไอซี 14530 ตกลงเป็นศูนย์ในช่วงแคบ ๆ ทำให้ไดโอด D8 ทำงานจึงทำให้พัลส์ช่วงนี้กว้างออก ซึ่งไอซี 14530 จะให้เอ้าท์พุทเป็นศูนย์เมื่อขา W เป็นโลจิก0 และขา A, B, C, D, E เป็นโลจิก 1 มากกว่า 3 ขา



รูปที่ 3 11 แสดงวงจรควบคุมให้วงจรกำเนิดพัลส์หยุดทำงาน

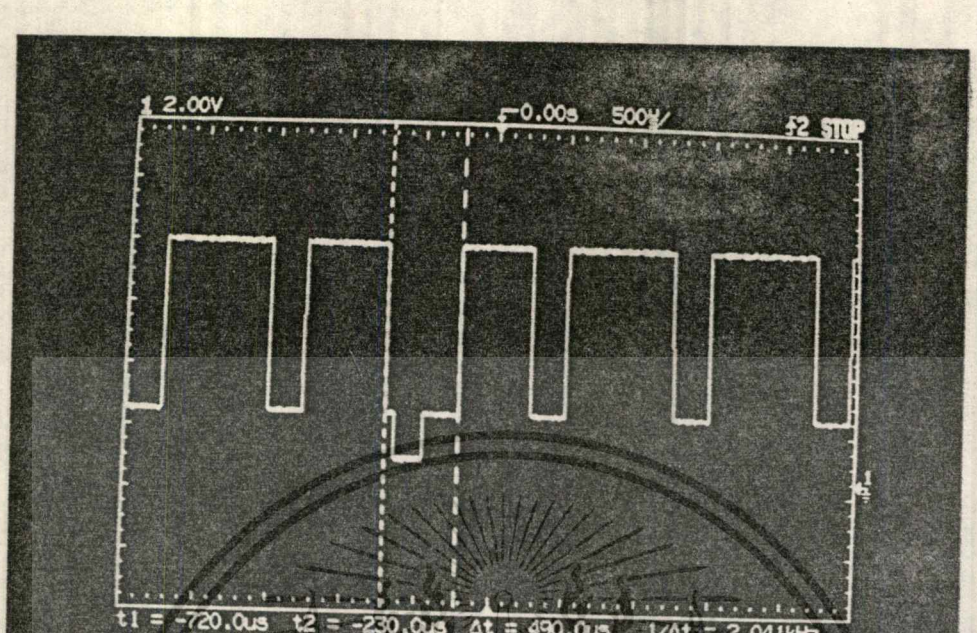
สำหรับส่วนของวงจรดังรูปที่ 3.11 ใช้สำหรับให้วงจรกำเนิดพัลส์หยุดทำงานโดยเมื่อเราปิดสวิทช์ S1 ทำให้ไดโอด D1 ทำงานมีกระแสไหลผ่านลงกราวด์ นั่นคือทรานซิสเตอร์ C557 ทำงานดังนั้นที่ขา C ของทรานซิสเตอร์จะมีไฟประมาณ 12 โวลท์ เปรียบเสมือนโลจิก 1 ไปรีเซ็ทให้ไอซี 14040 หยุดทำงานทำให้ ขารีเซ็ทของไอ ซี14013 มีสภาวะโลจิก 0 และที่ขาเซ็ทมีสภาวะโลจิก 1 ดังนั้นทำให้ขา Q เป็นโลจิก 1 เป็นผลให้เอ้าท์พุทที่ขา 6 ของไอซี 14025 เป็น 0 ดังนั้นเอ้าท์พุทที่ขา 6 ของไอซี 7612 จะเป็น 1 ทำให้ทรานซิสเตอร์ C557 และ C547 ทำงานนั่นคือมีกระแสไหลผ่านลงกราวด์ทำให้ไม่มีรูปคลื่นพัลส์ส่งออกไปบนดูไพร์



รูปที่ 3 12 แสดงวงจรภาคจ่ายไฟให้แชนแนลเจนเนอร์เรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

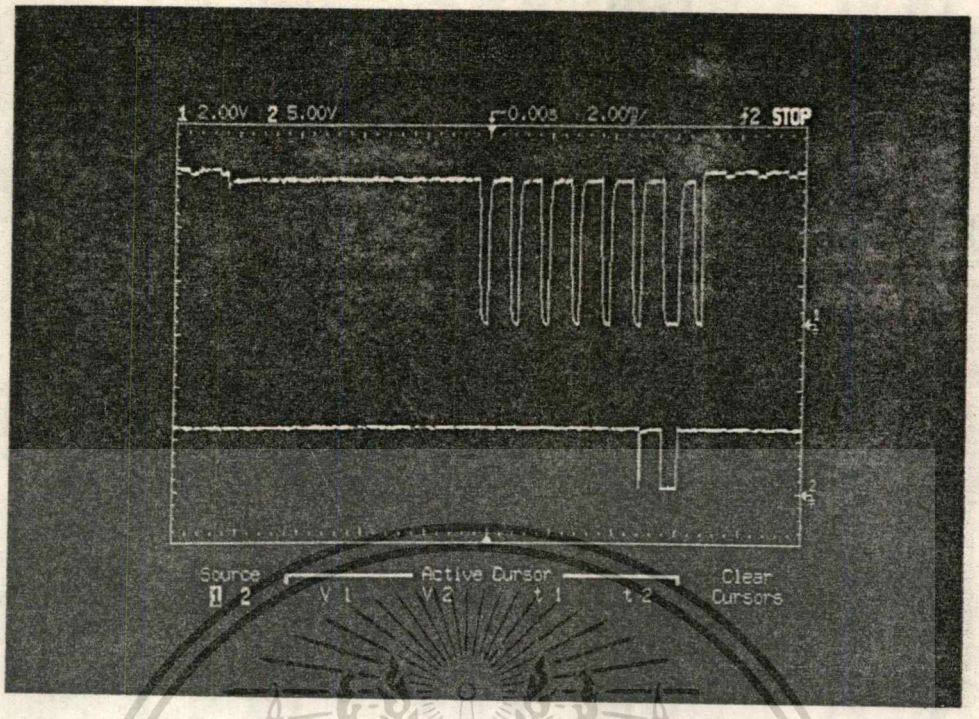
สำหรับวงจรการทำงานทั้งหมดของตัวส่ง, ตัวรับและแซนแนลเจนเนอร์เรเตอร์ แสดงดังรูปที่ 3.42, รูปที่ 3.43 และรูปที่ 3.44 ตามลำดับ



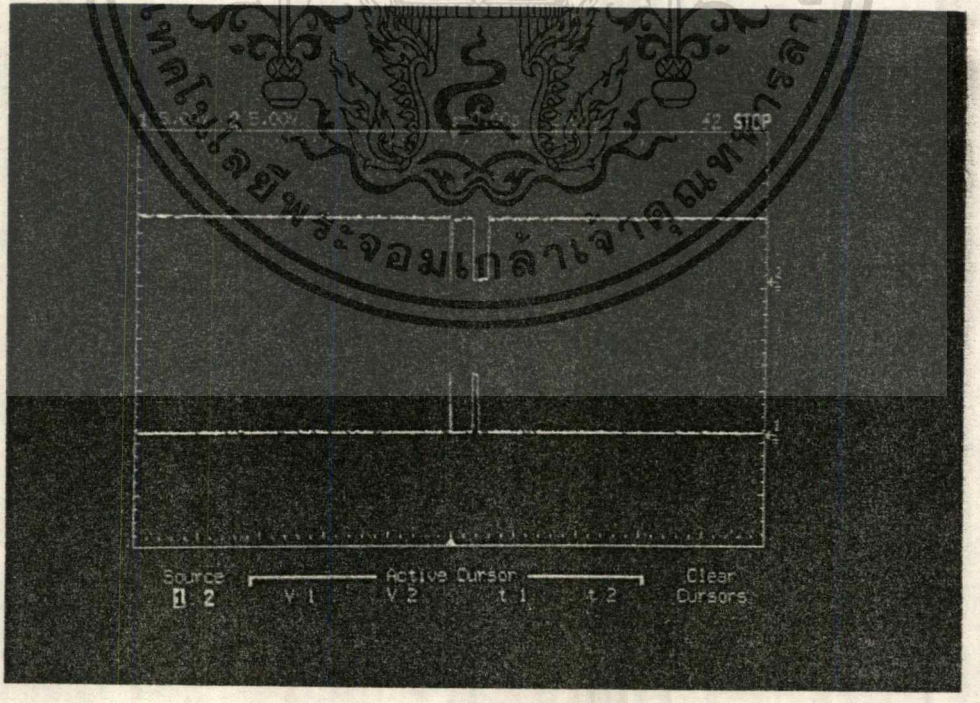
รูปที่ 3.13 แสดงสัญญาณรูปคลื่นเมื่อตัวส่งมีการส่งสัญญาณ

รูปที่ 3.14แสดงรูปสัญญาณคล็อก Q1, Q2 และQ3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

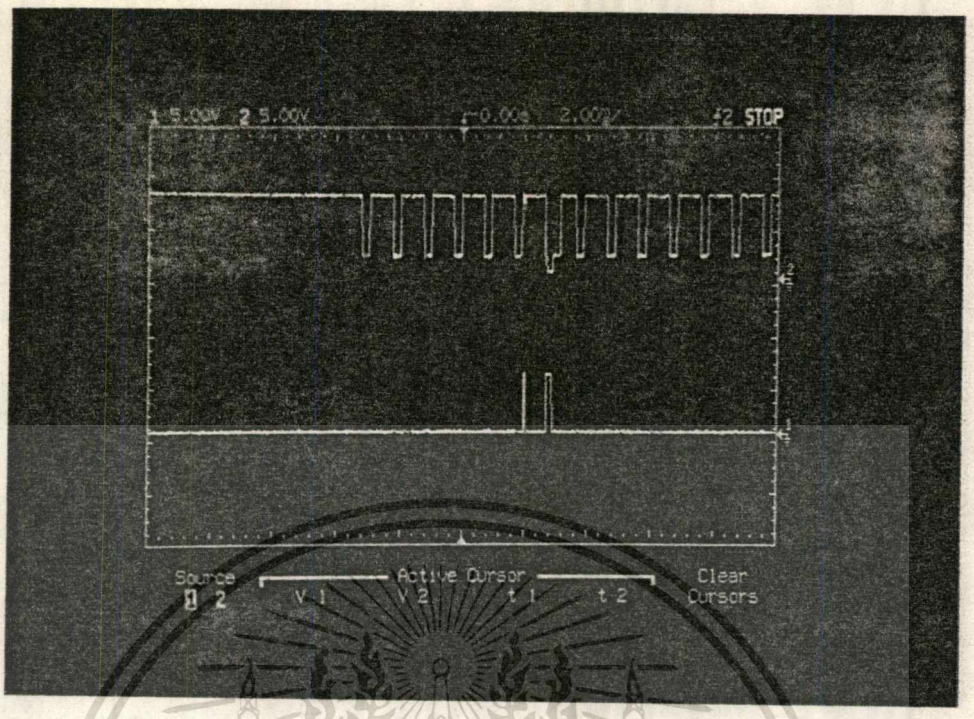


รูปที่ 3.15 แสดงสัญญาณเอ้าท์พุทที่ได้จากการตั้งสวิทช์และเอ้าท์พุทที่ได้จากไอซี 14512

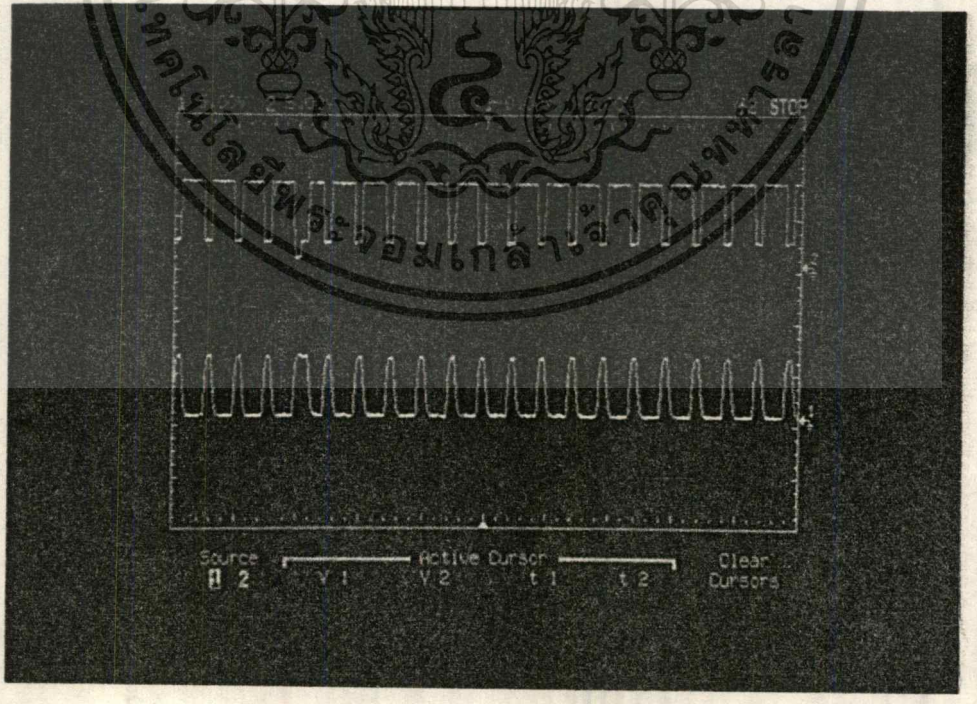


รูปที่ 3.16 แสดงสัญญาณเอ้าท์พุทที่ได้จากไอซี 14512 และสัญญาณที่ผ่านชมิททริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

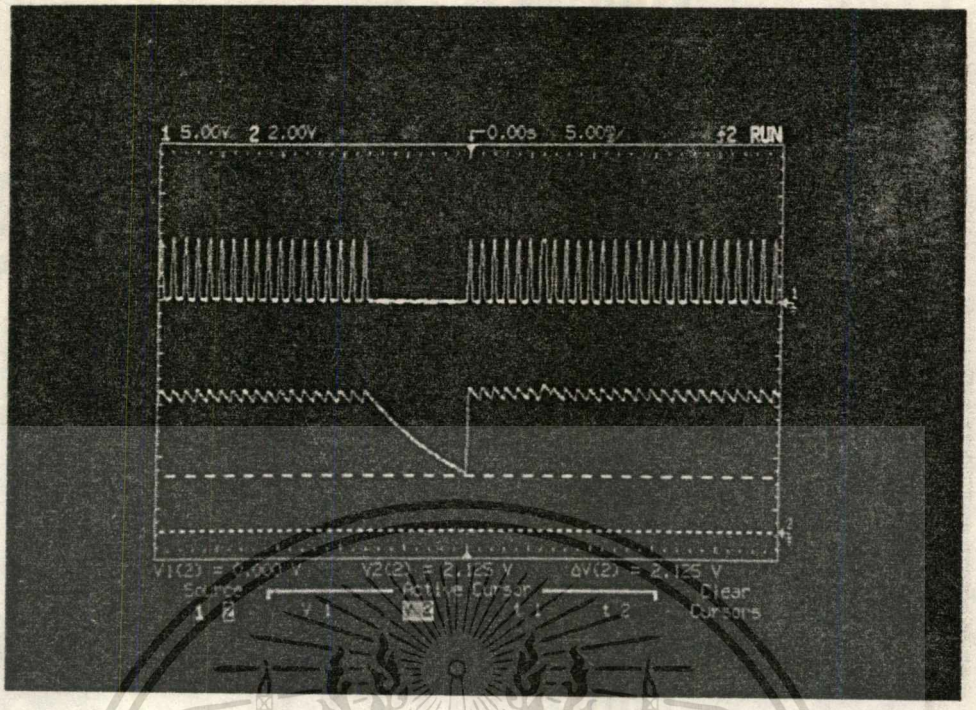


รูปที่ 3.17 แสดงสัญญาณที่ได้จากชมิททริกเกอร์และสัญญาณเมื่อตัวส่งทำงาน

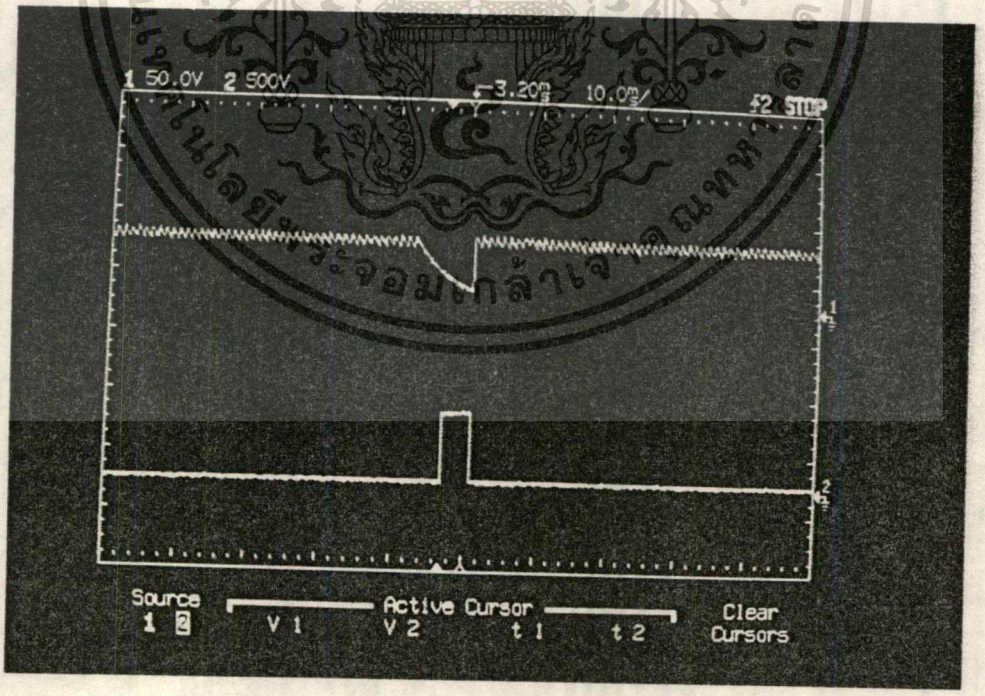


รูปที่ 3.18 แสดงสัญญาณบนสายทูไวร์และสัญญาณคล็อกที่ป้อนให้กับไอซี 14024

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

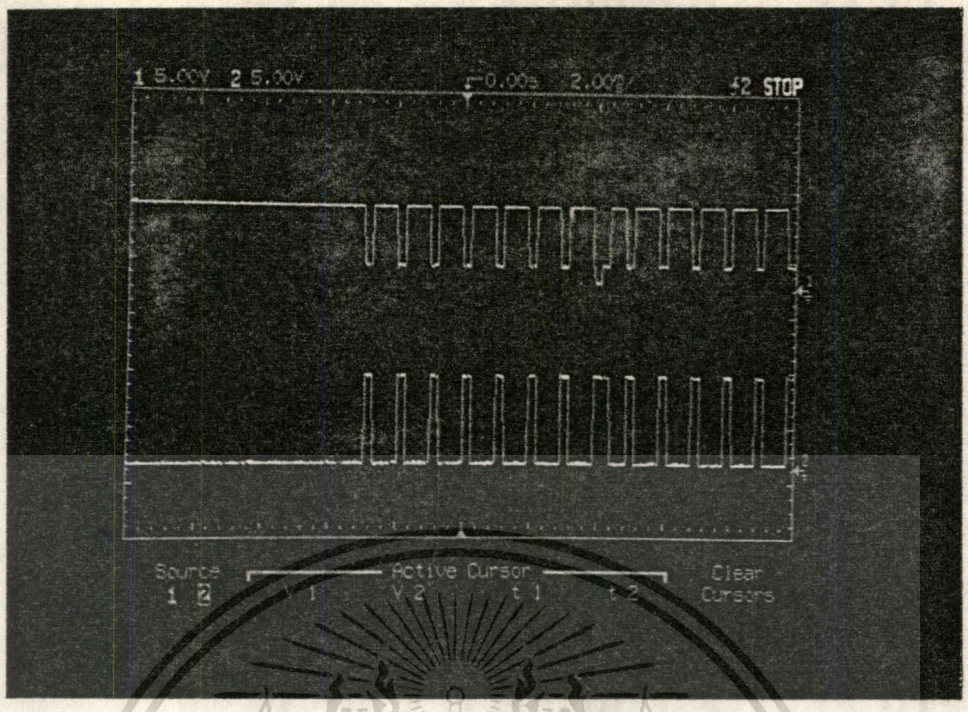


รูปที่ 3 19 แสดงการชาร์ทและคายประจุของตัวเก็บประจุ

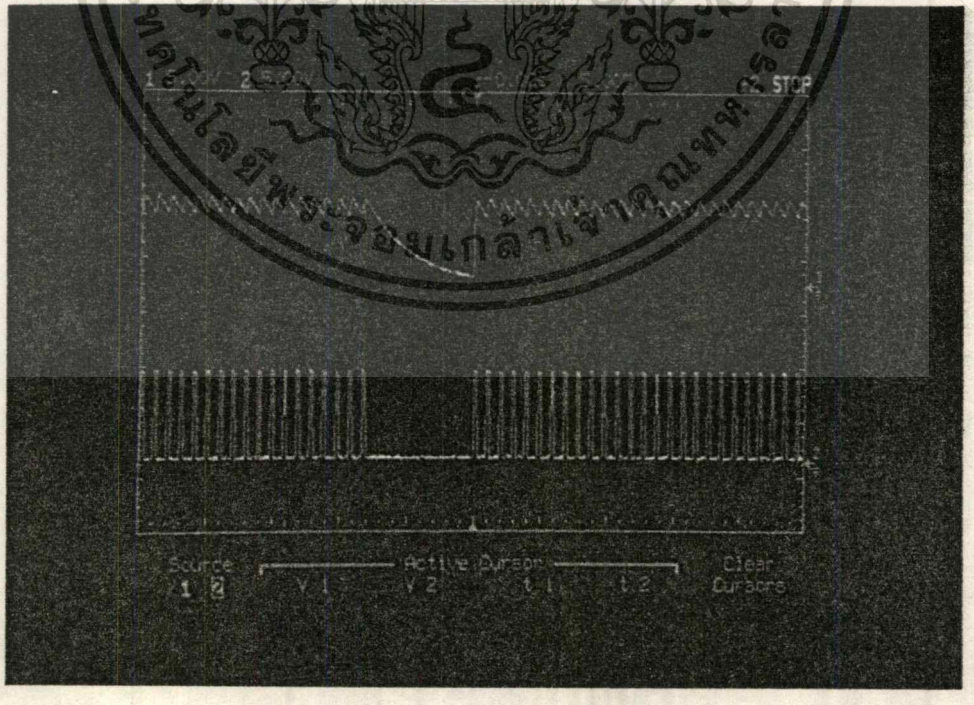


รูปที่ 3 20 แสดงสัญญาณที่ใช้ในการรีเซ็ทโดยเกิดจากการนำสัญญาณที่ได้จากตัวเก็บประจุไปผ่านชมิททริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

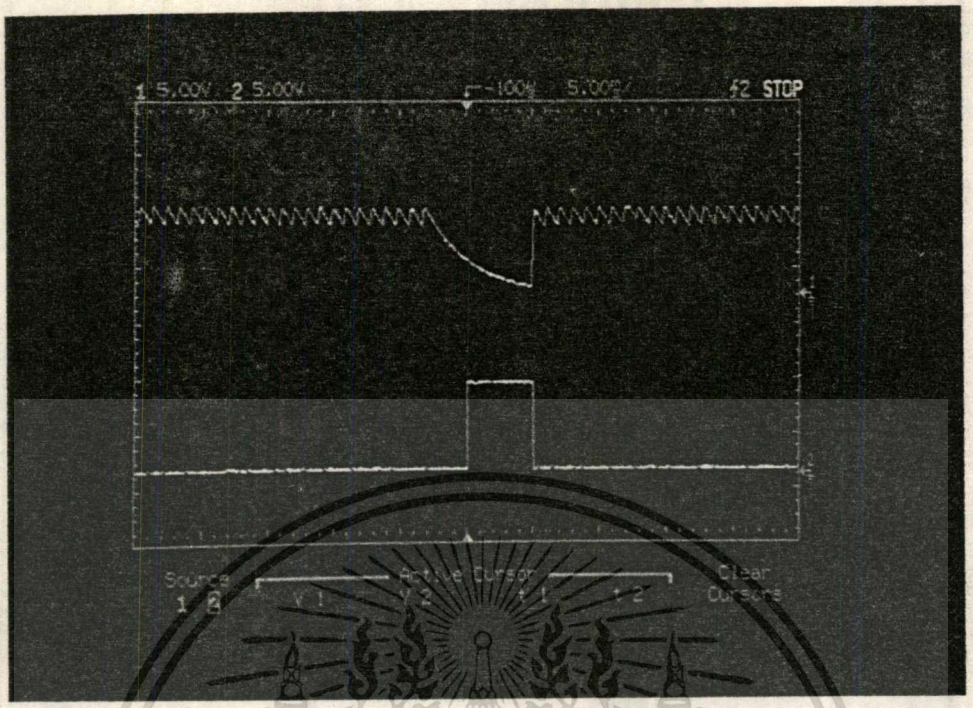


รูปที่ 3.21 แสดงสัญญาณบนสายทูไวร์และสัญญาณเอ้าท์พุทที่ได้จากไอซี 7612

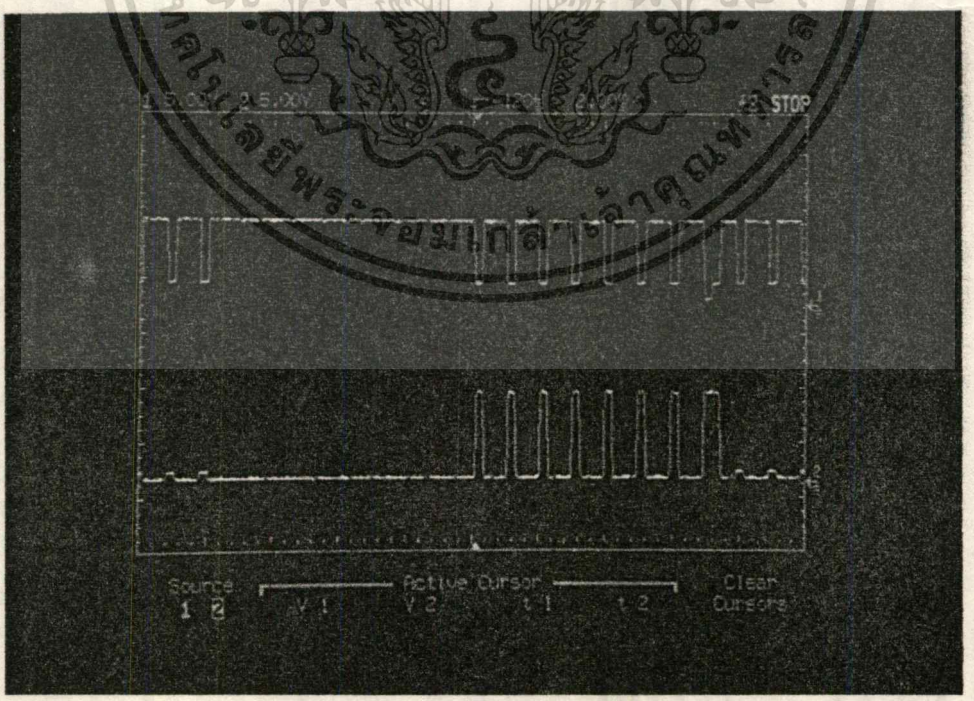


รูปที่ 3.22 แสดงสัญญาณที่ได้จากการชาร์ทและคายประจุของตัวเก็บประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

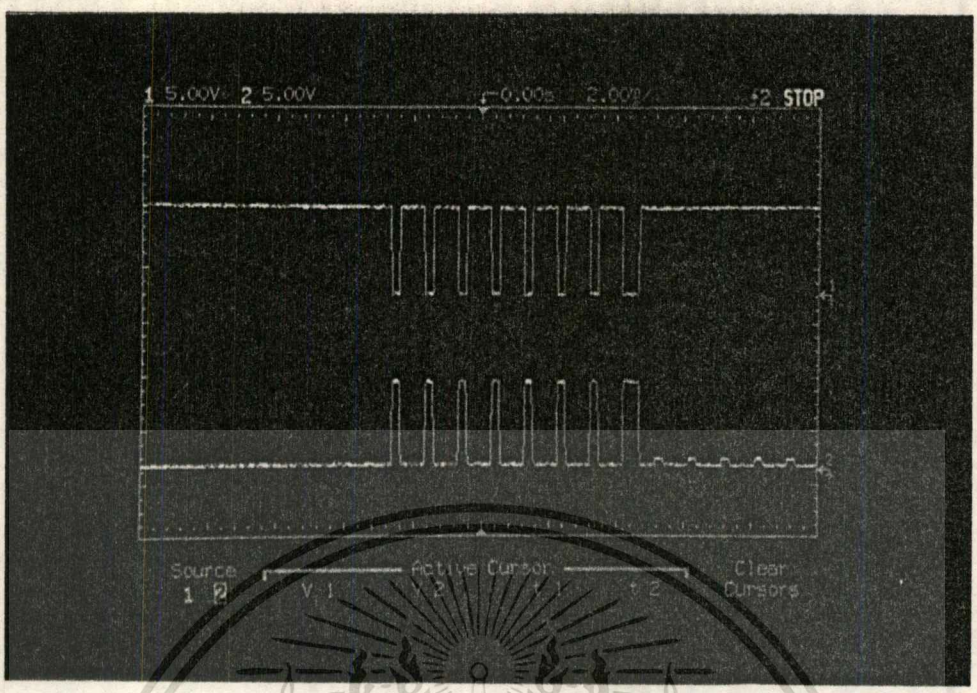


รูปที่ 3.23 แสดงสัญญาณที่ใช้ในการรีเซ็ทโดยเกิดจากการนำสัญญาณที่ได้จากตัวเก็บประจุไปผ่านชมิททริกเกอร์

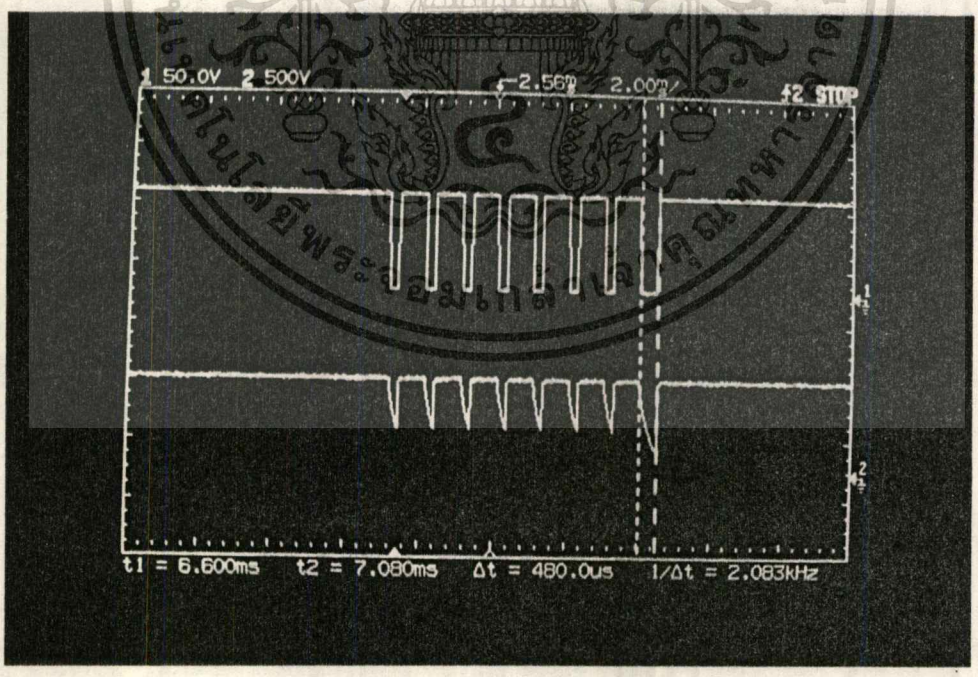


รูปที่ 3.24 แสดงสัญญาณบนสายทูไวร์และสัญญาณเอ้าท์พุทที่ได้จากไอซี 14024

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

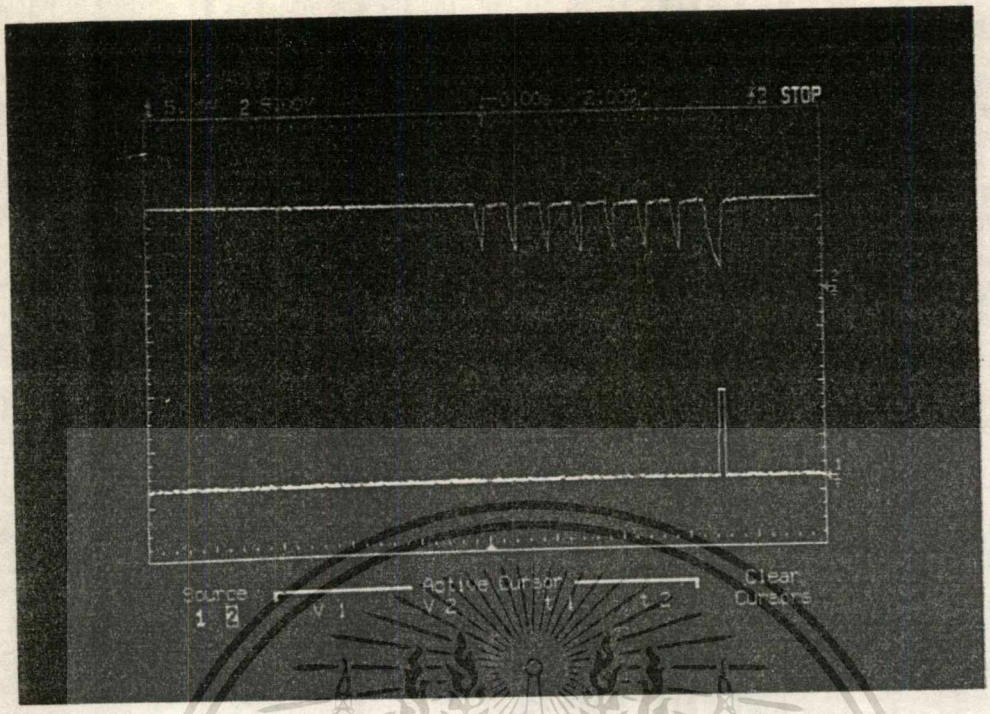


รูปที่ 3.25 แสดงสัญญาณคล็อกที่ผ่านชมิททริกเกอร์ใช้ป้อนให้กับไอซี 14015

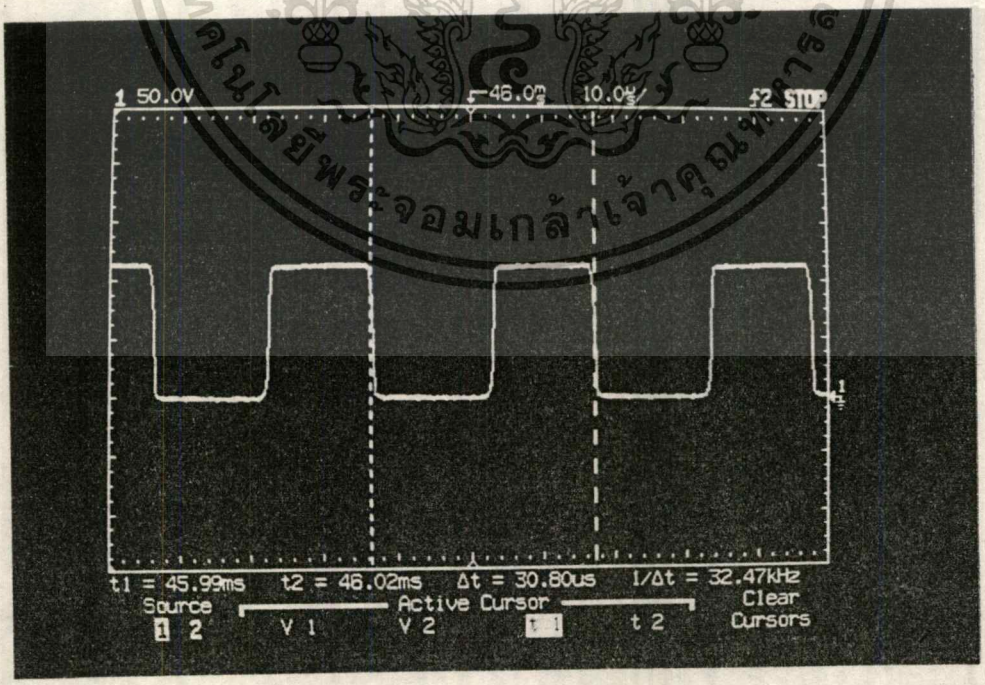


รูปที่ 3.26 แสดงสัญญาณที่ผ่านชมิททริกเกอร์และสัญญาณที่ได้จากวงจรพัลส์ดูเรชั่นดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

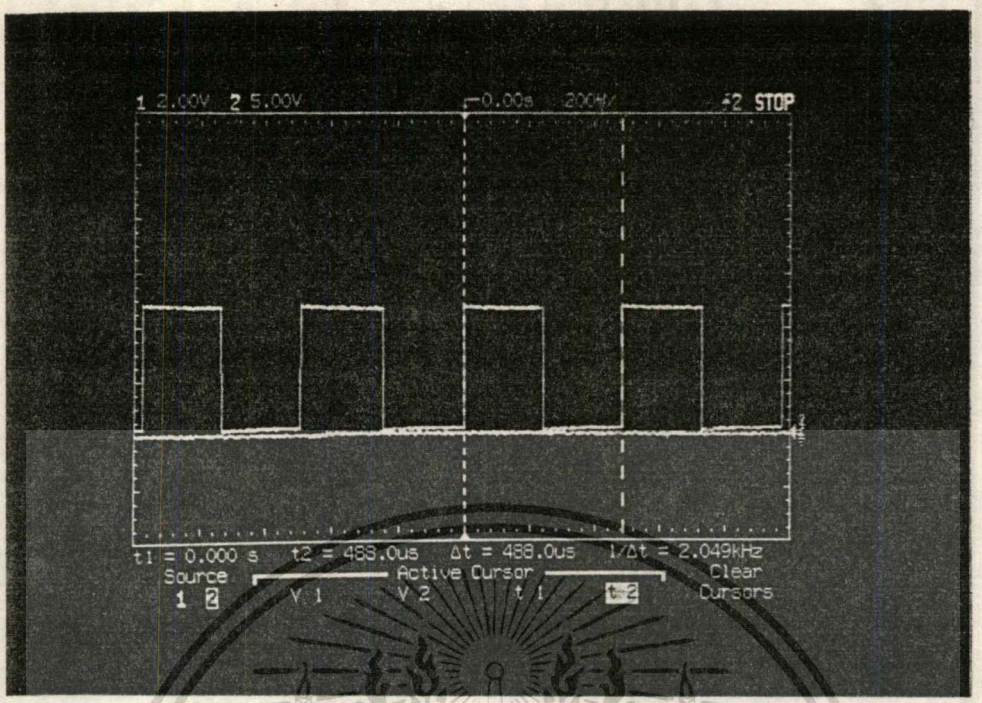


รูปที่ 3.27 แสดงสัญญาณรีเซ็ทเมื่อผ่านชมิททริกเกอร์

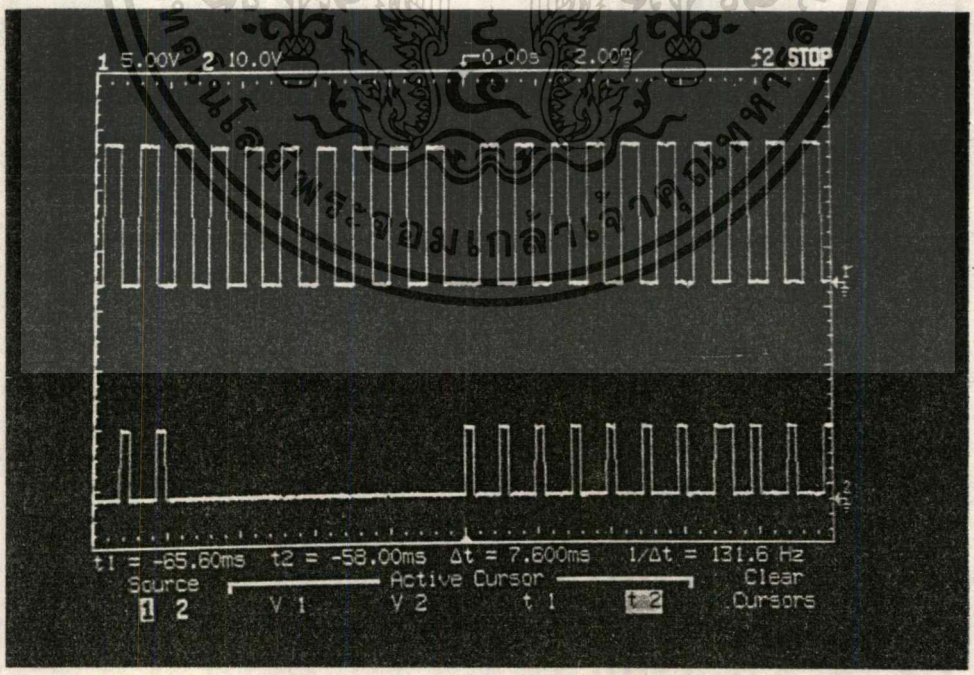


รูปที่ 3.28 แสดงสัญญาณความถี่ 32.7 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

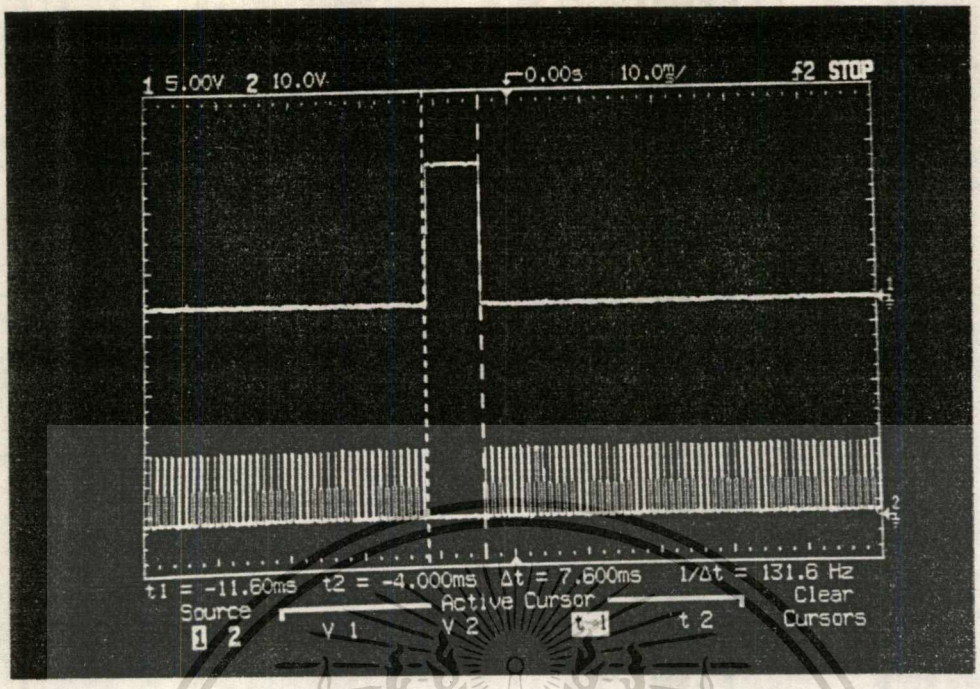


รูปที่ 3.29 แสดงสัญญาณความถี่ 2.048 kHz

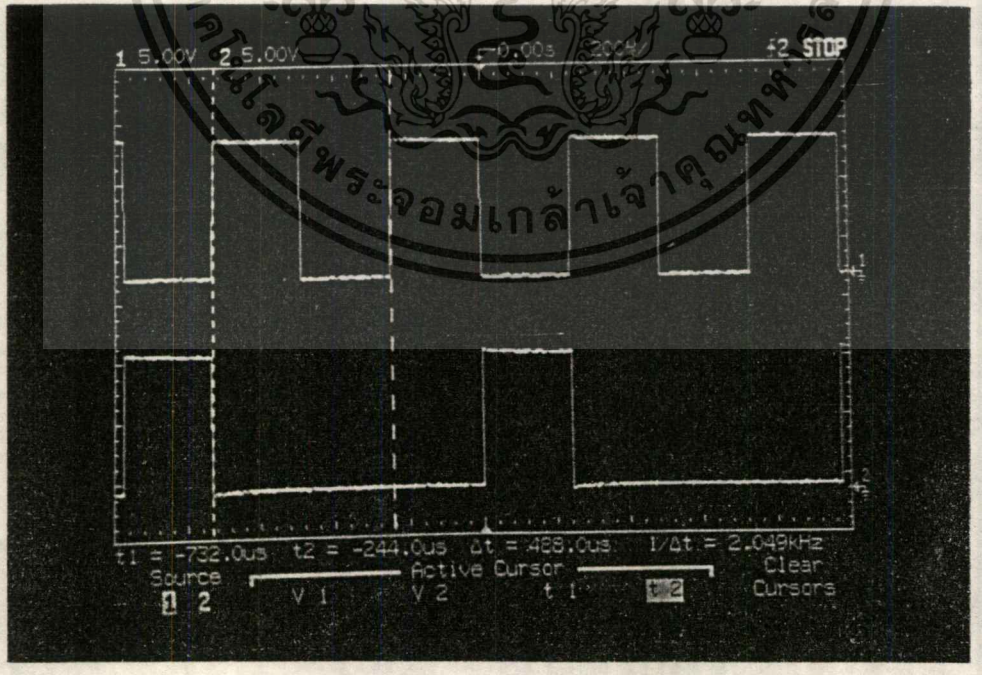


รูปที่ 3.30 แสดงสัญญาณ Q4 จากไอซี 14040 และสัญญาณเอ้าท์พุทจากไอซี 14025

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

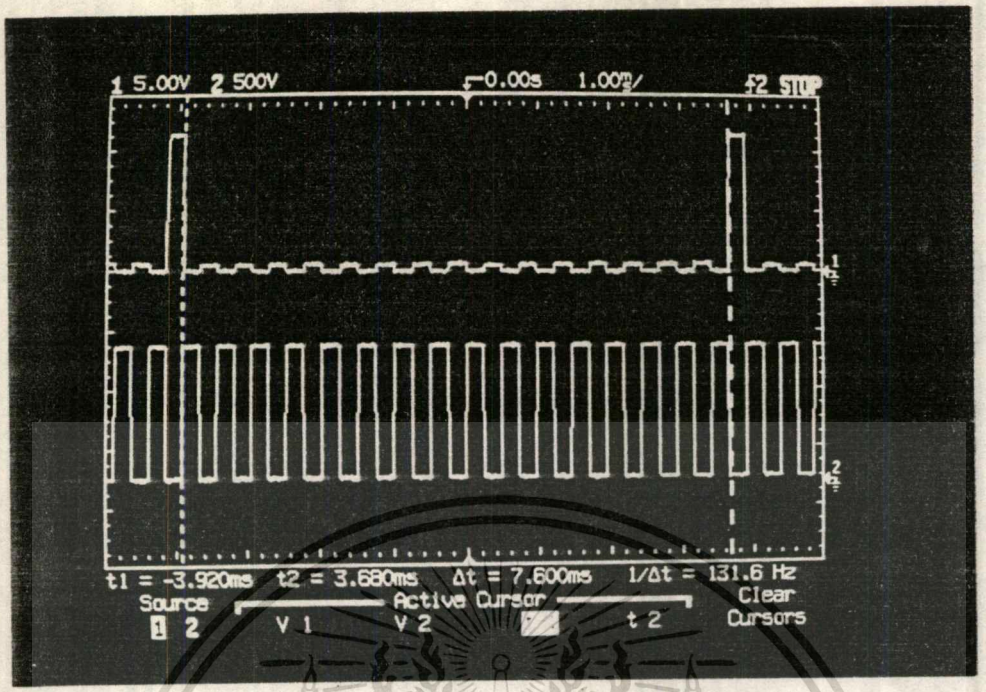


รูปที่ 3.31 แสดงสัญญาณ Q จากไอซี 14013 และสัญญาณเอ้าท์พุทจากไอซี 14025

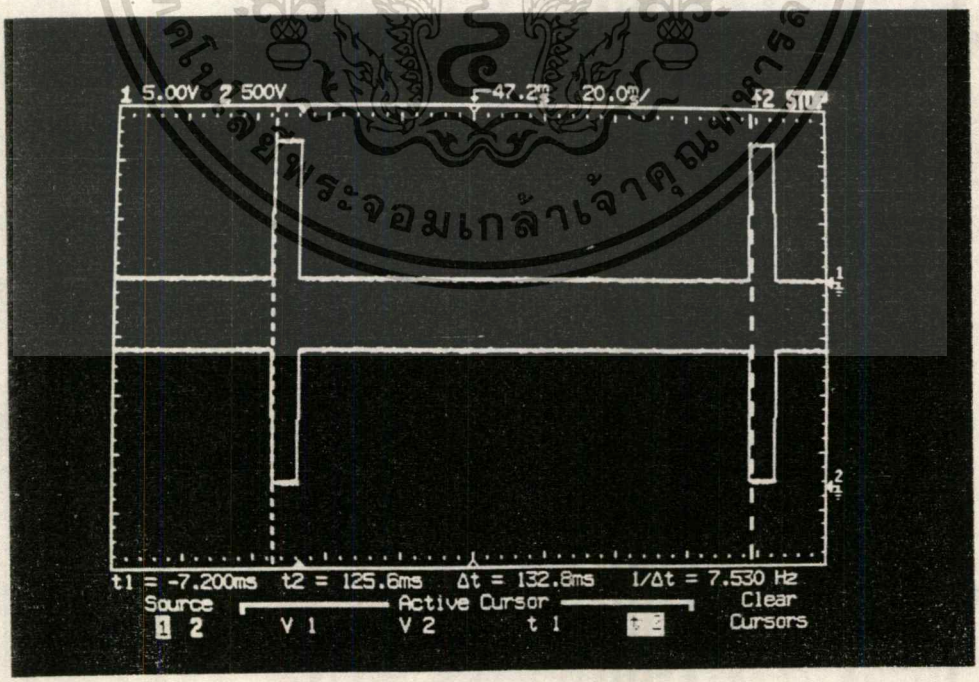


รูปที่ 3.32 แสดงสัญญาณความถี่ 2.048 kHz และสัญญาณเอ้าท์พุทจากไอซี 14025

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

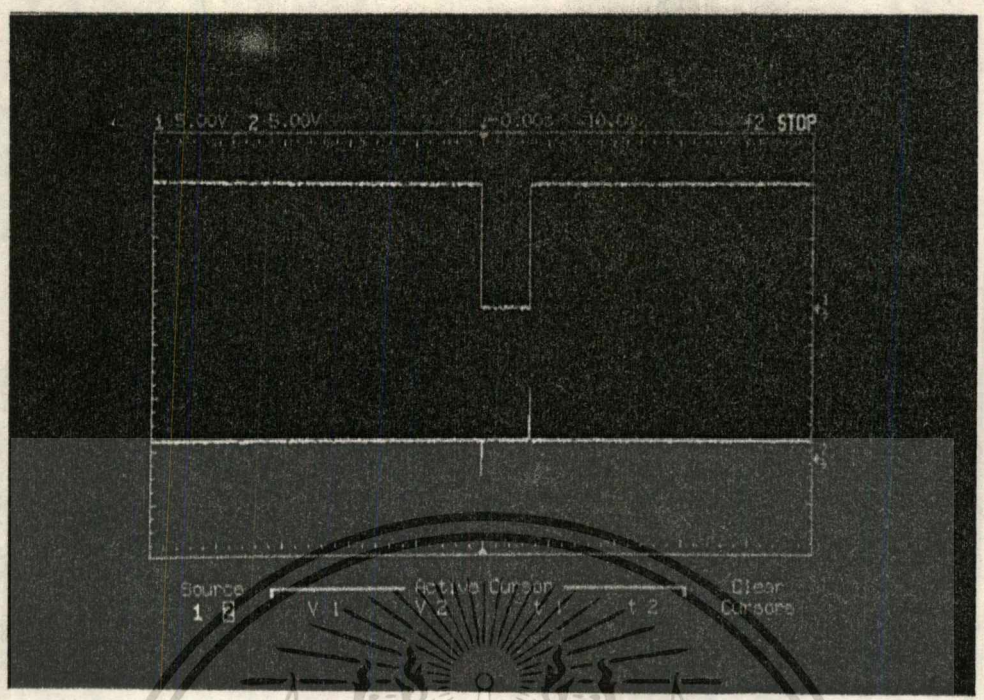


รูปที่ 3.33 แสดงสัญญาณที่ได้จากขา C ของทรานซิสเตอร์ C547 เปรียบเทียบกับคล็อก

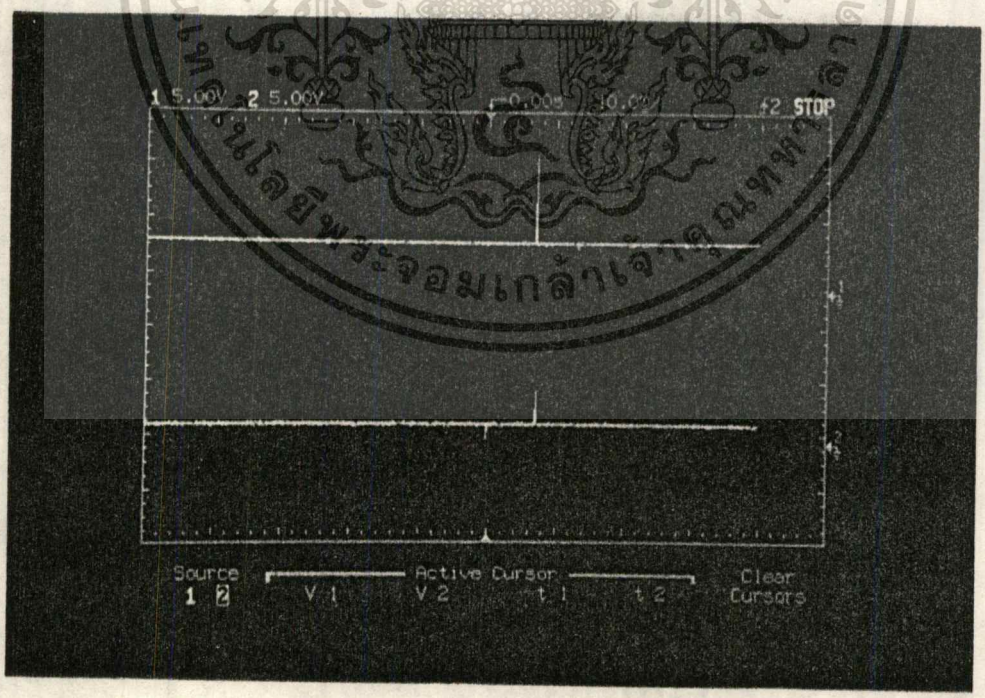


รูปที่ 3.34 แสดงสัญญาณ Q และ $\overline{Q}$ ที่ได้จากไอซี 14013

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

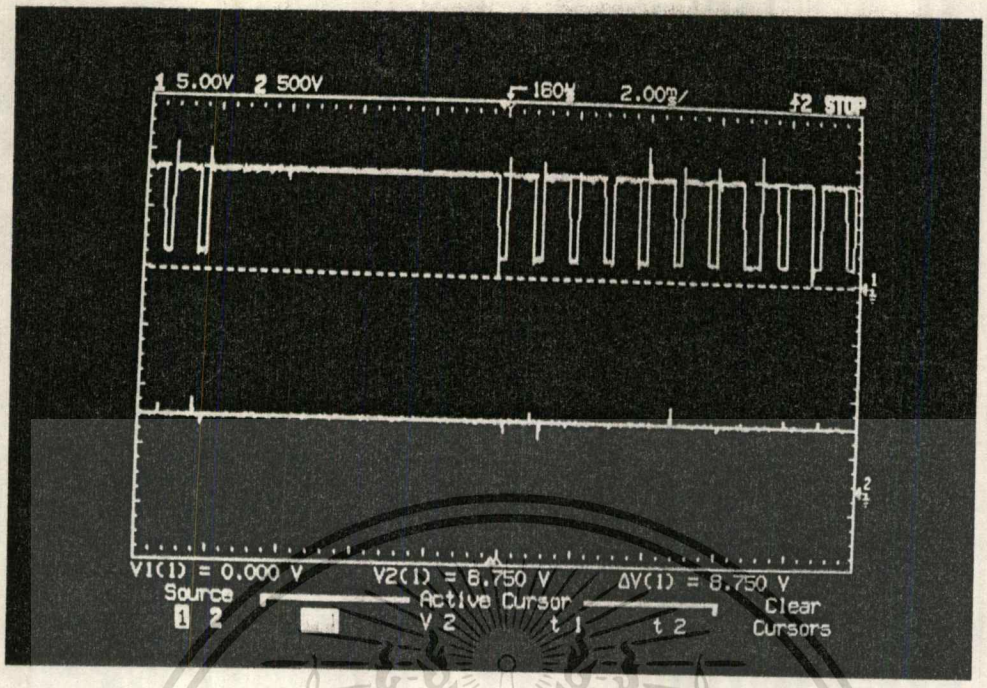


รูปที่ 3.35 แสดงสัญญาณ Q และสัญญาณเมื่อผ่านวงจรดิพเฟอร์เรนชียล

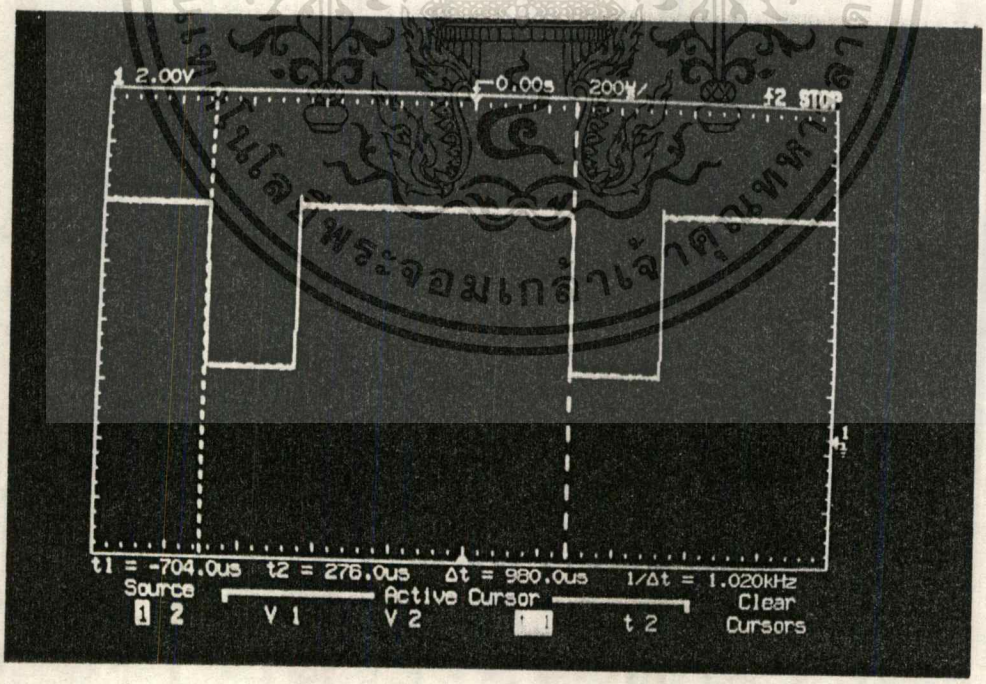


รูปที่ 3.36 แสดงสัญญาณที่ใช้รีเซ็ทไอซี 14040 ซึ่งเกิดจากการทำงานของไดโอด D3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

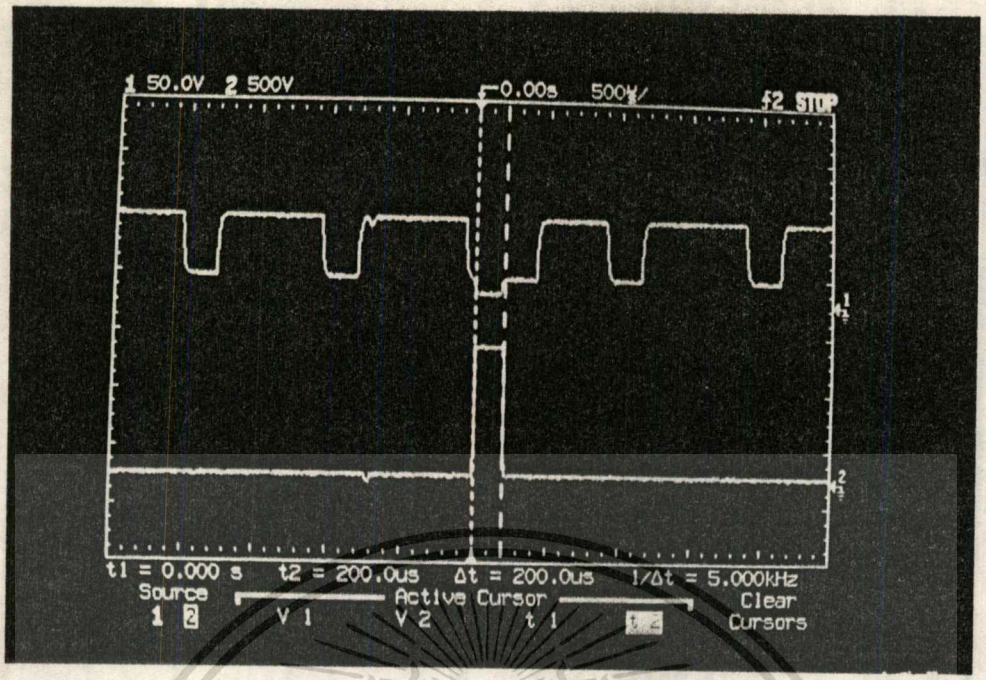


รูปที่ 3.37 แสดงสัญญาณเอ้าท์พุทที่ได้จากไอซี 7612 เปรียบเทียบกับสัญญาณอ้างอิง

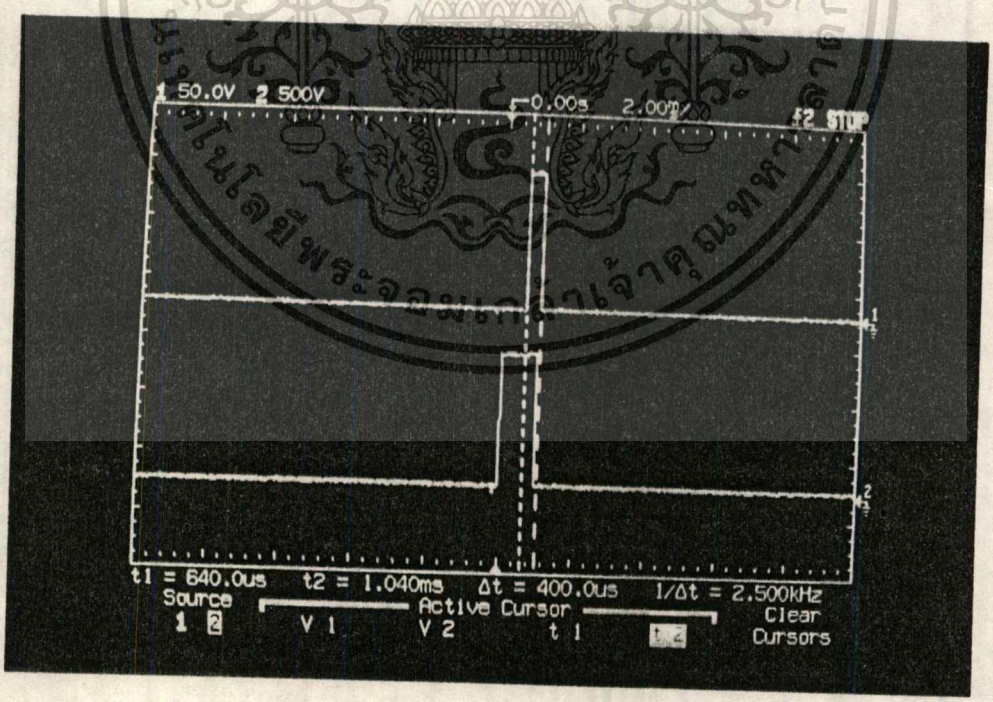


รูปที่ 3.38 แสดงสัญญาณที่ส่งออกไปบนสายทูไวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

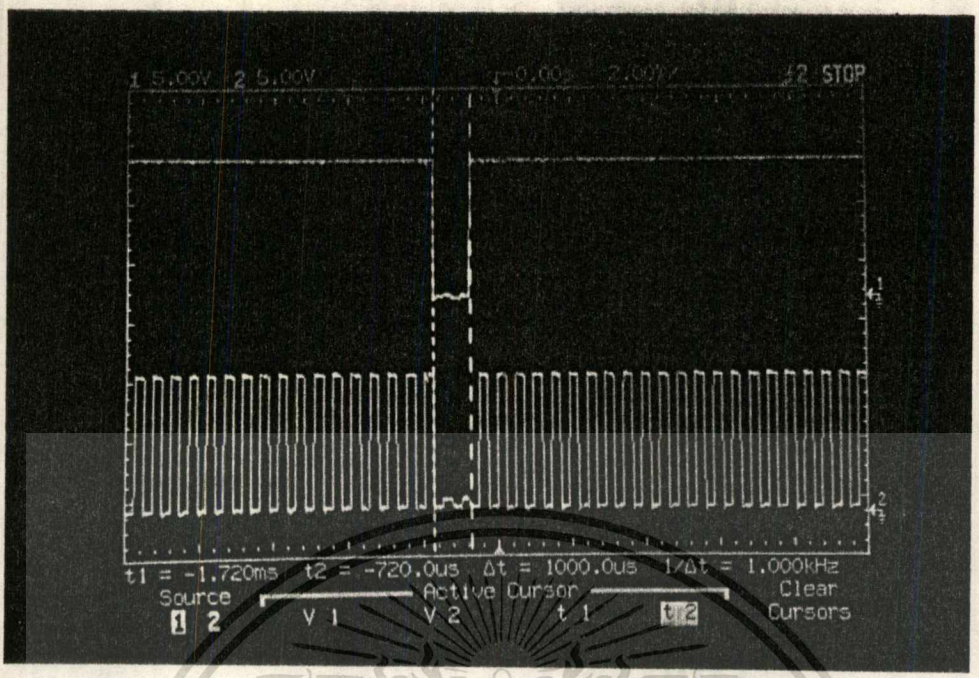


รูปที่ 3 39 แสดงสัญญาณเอ้าท์พุทที่ได้จากไอซี 7612



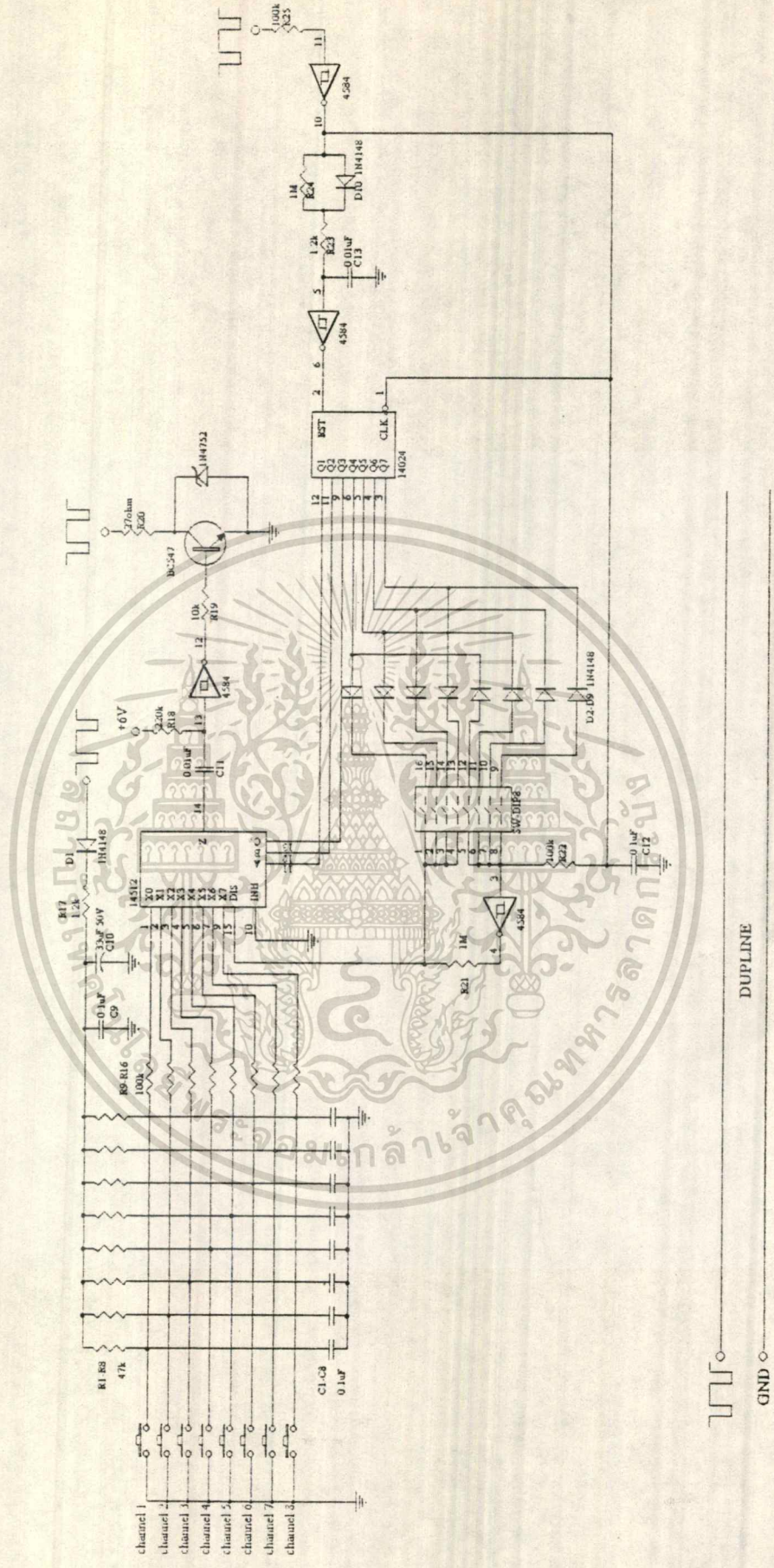
รูปที่ 3 40 แสดงสัญญาณที่ถูกชิพไปทำให้กว้างออกจาก 400 µs เป็น 1000 µs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



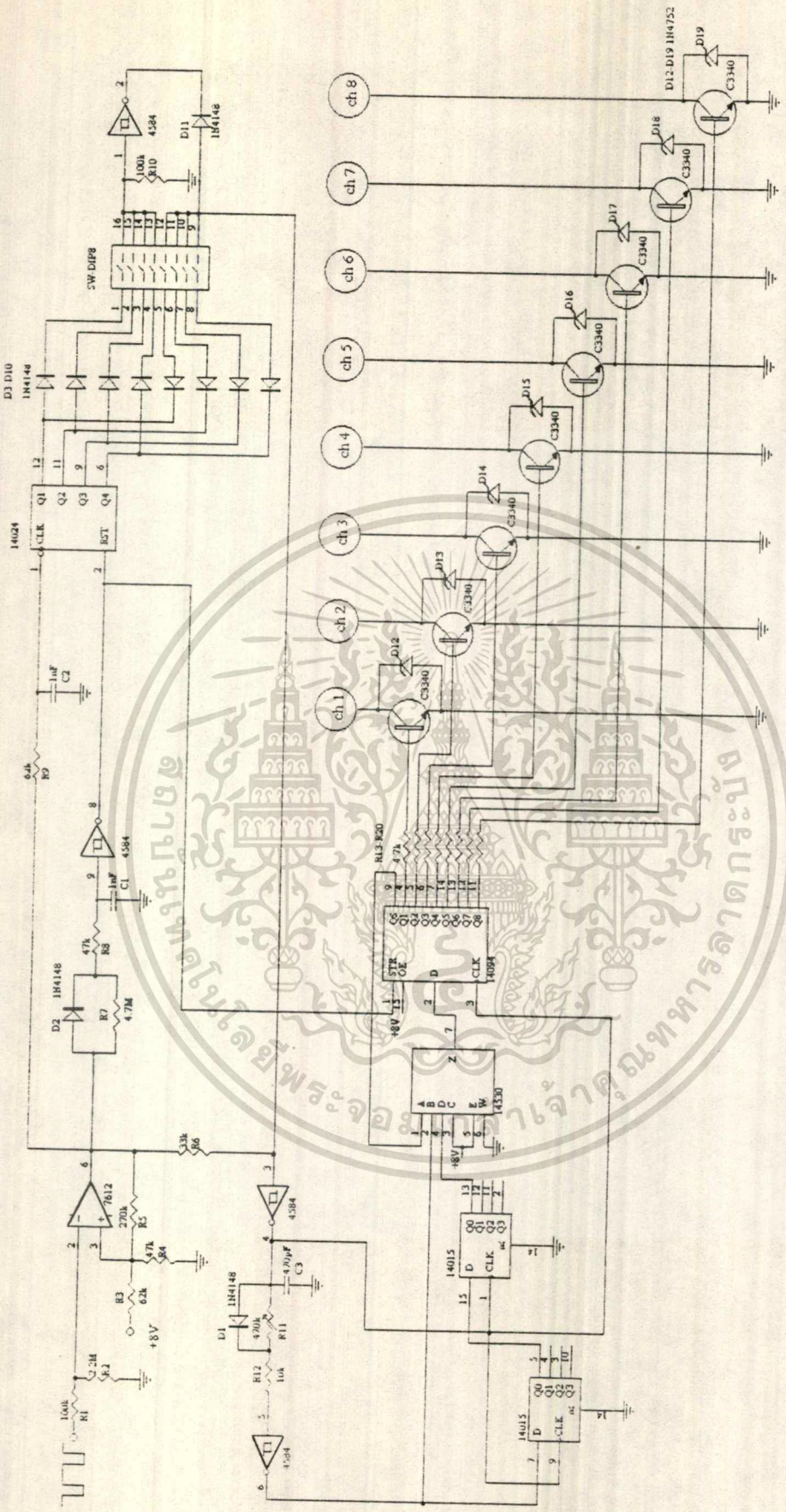
รูปที่ 3.41 แสดงสัญญาณที่กว้างออกเนื่องจากการทำงานของไดโอด D8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



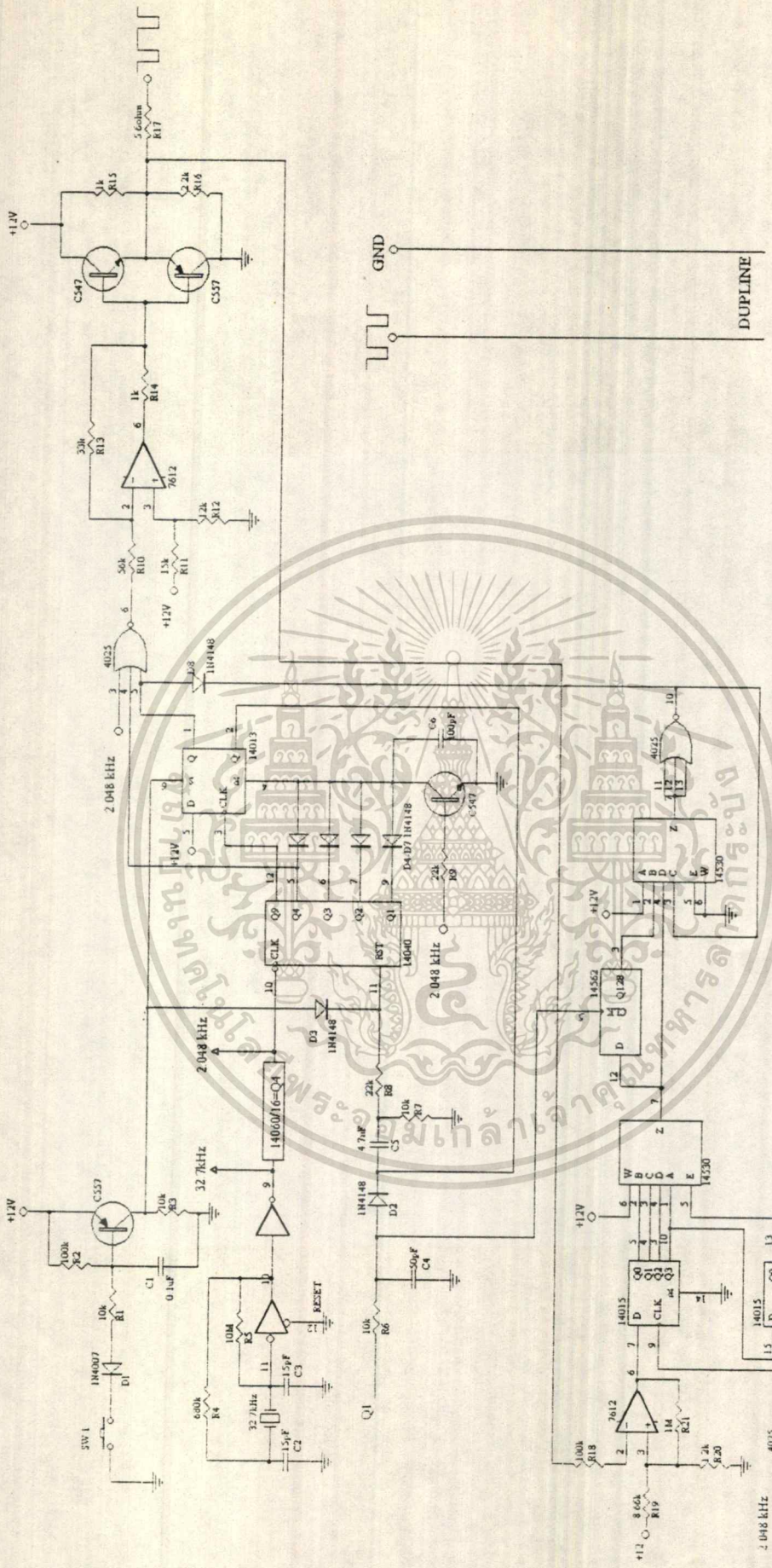
รูปที่ 3.42 แสดงวงจรของตัวส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 43 แสดงวงจรของตัวรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



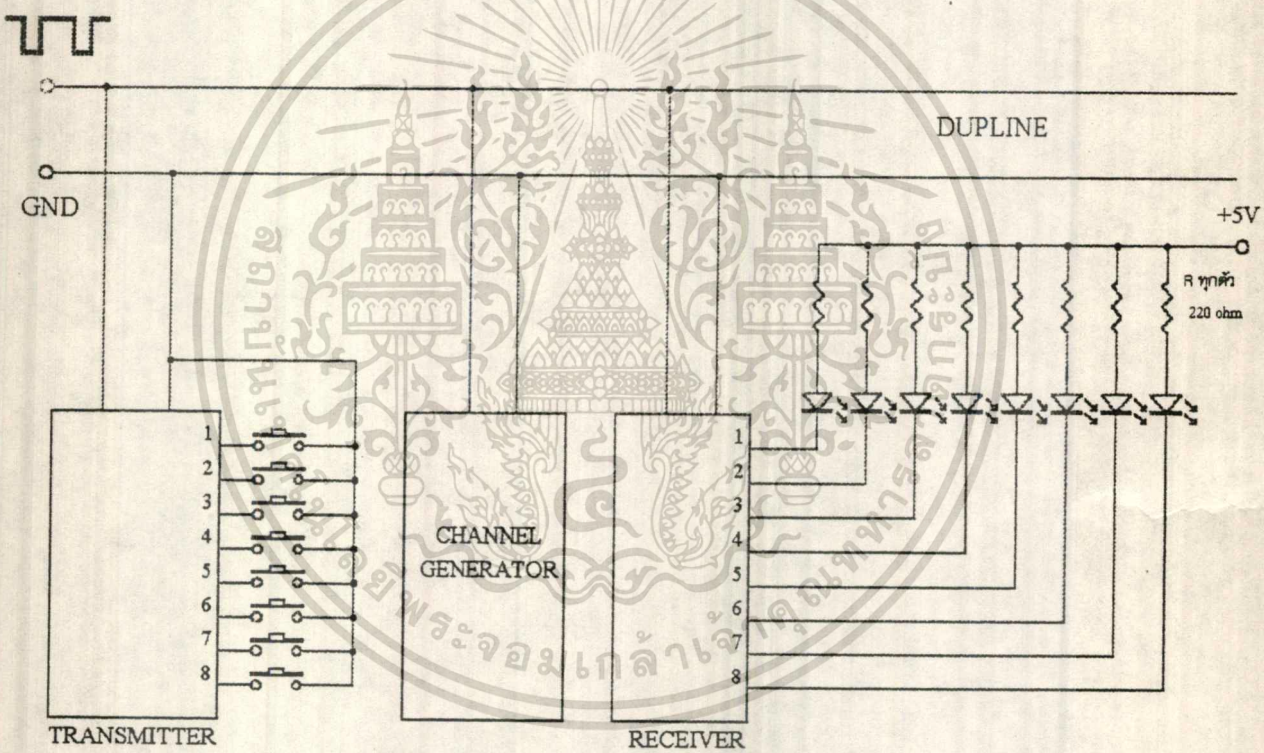
รูปที่ 3.44 แสดงวงจรของแซนแนลเจนเนอร์เรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

การทดลองและผลการทดลอง

สำหรับในการทดลองเพื่อทดสอบการทำงานของระบบโดยต่อวงจรดังรูปที่ 4.1 จากนั้นกดสวิทช์ที่ตัวส่งไล่ไปเรื่อย ๆ จากแชนแนล 1 จนถึงแชนแนล 8 และดูว่าโหลดทำงานหรือไม่ ในกรณีนี้ใช้ LED เป็นโหลดแสดงการทำงาน ซึ่งในการใช้งานจริง ๆ เราจะนำสัญญาณเอ้าท์พุทจากตัวรับไปควบคุมหน้าสัมผัสของรีเลย์ทำให้สามารถควบคุมการทำงานของโหลดได้ โดยอาจจะใช้ควบคุมมอเตอร์, ปั๊มน้ำ , วาล์ว หรืออุปกรณ์ไฟฟ้าอื่น ๆ

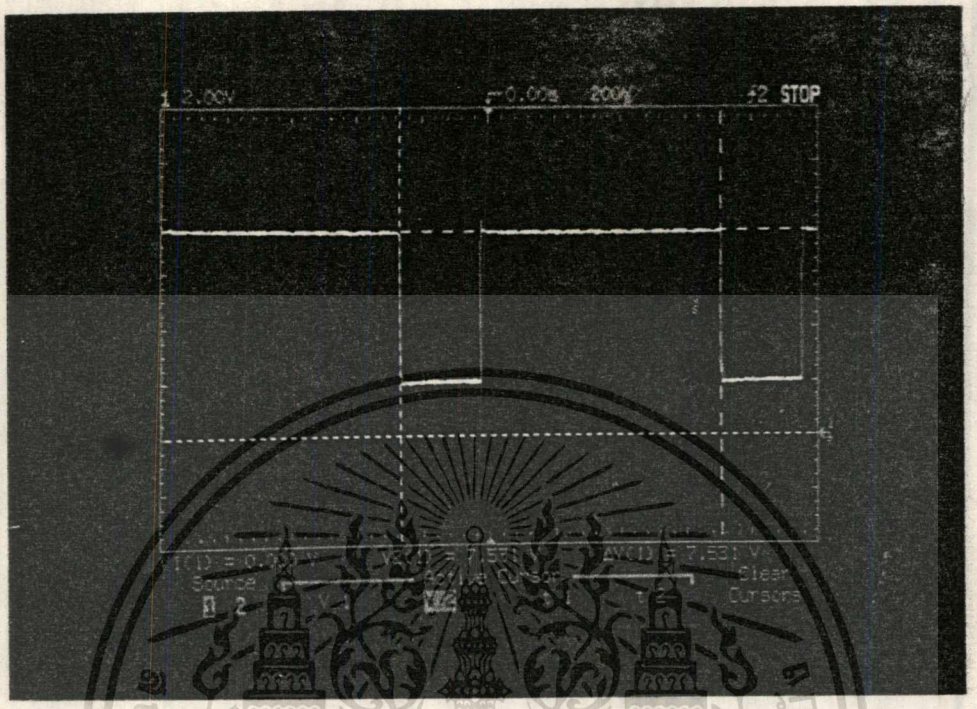


รูปที่ 4.1 แสดงวงจรที่ใช้ในการทดลอง

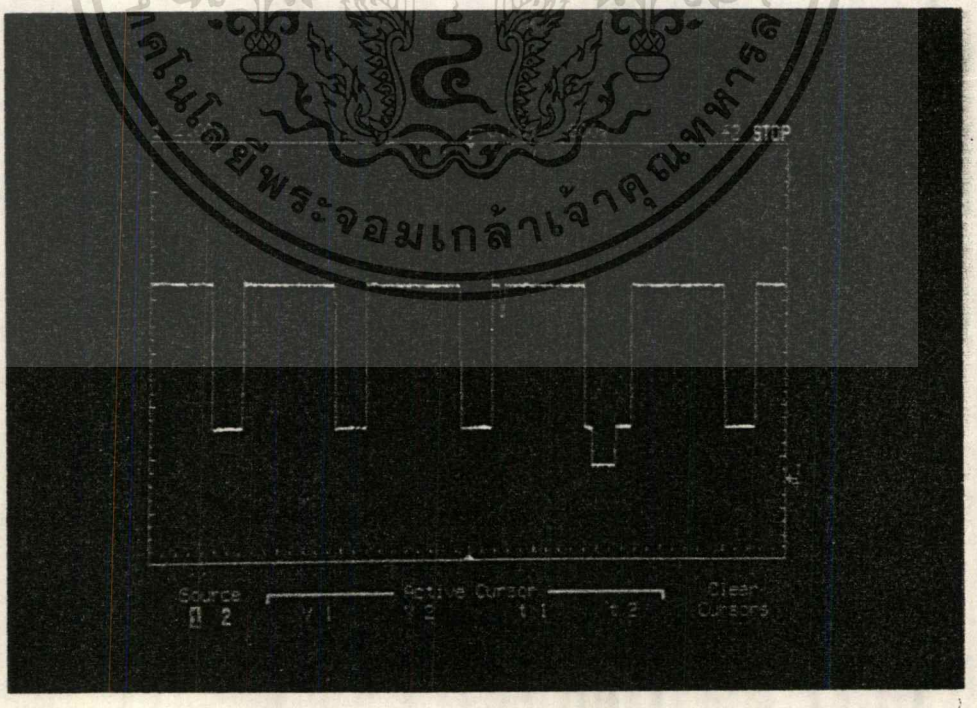
จากการทดลองจะได้สัญญาณบนสายทูไวร์ดังรูปที่ 4.2 ซึ่งปรากฏว่าสัญญาณพัลส์จะมีความกว้างเป็น 980 µS และตามด้วยสัญญาณซิงโครไนซ์อีก 7.6 mS ซึ่งเกิดจากการทำงานของวงจรตามที่ได้กล่าวมาแล้วในบทที่ 3 ทำให้ใน 1 ขบวนสัญญาณ TDM จะมีคาบเวลาเป็น 133 mS ซึ่งได้ใกล้เคียงกับทางทฤษฎีที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้กล่าวแล้วในบทที่ 2 แม้ว่ารูปคลื่นสัญญาณพัลส์ จะผิดเพี้ยนไปจากทฤษฎีบ้างแต่ก็สามารถทำงานได้ถึง สัญญาณเมื่อตัวส่งมีการส่งสัญญาณและสัญญาณปกติแสดงดังรูปที่ 4.2 และรูปที่ 4.3

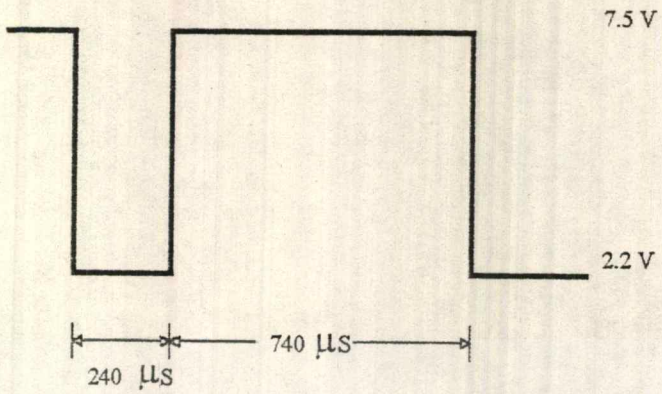


รูปที่ 4.2 แสดงลักษณะรูปสัญญาณพัลส์ปกติที่ได้จากการทดลอง

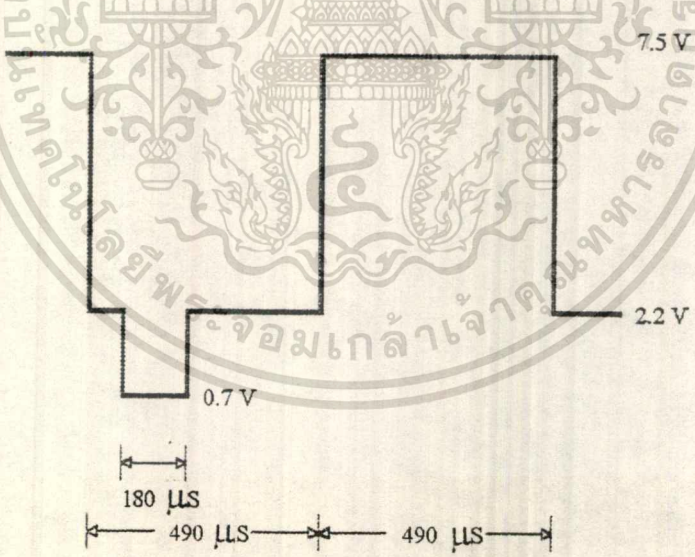


รูปที่ 4.3 แสดงลักษณะรูปสัญญาณพัลส์เมื่อมีการส่งสัญญาณที่ได้จากการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

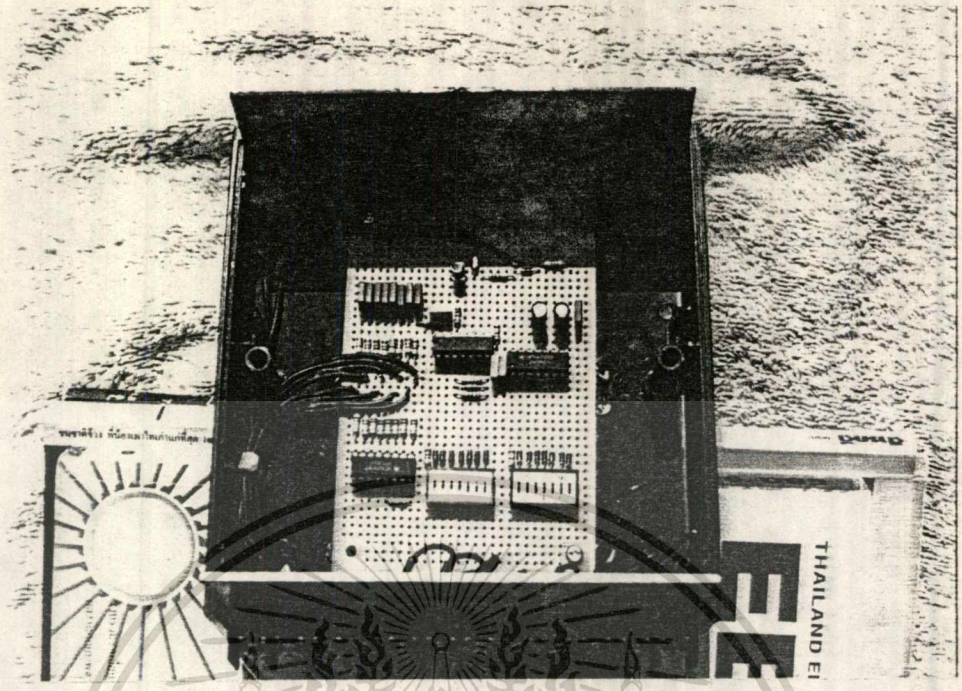


รูปที่ 4 4 แสดงรายละเอียดลักษณะสัญญาณพัลส์ปกติ

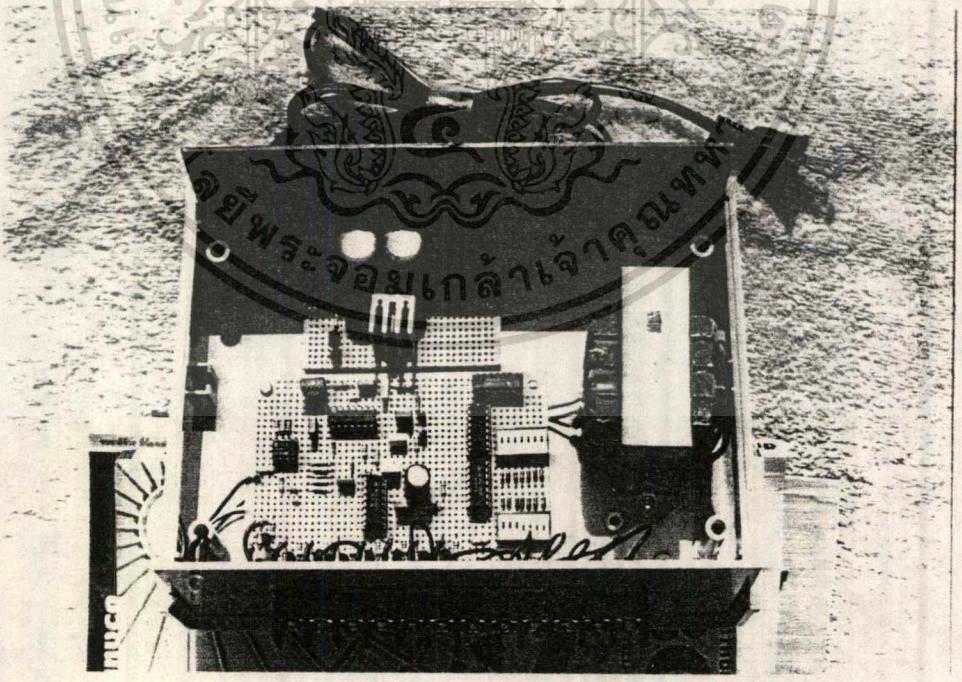


รูปที่ 4 5 แสดงรายละเอียดลักษณะสัญญาณพัลส์เมื่อมีการส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

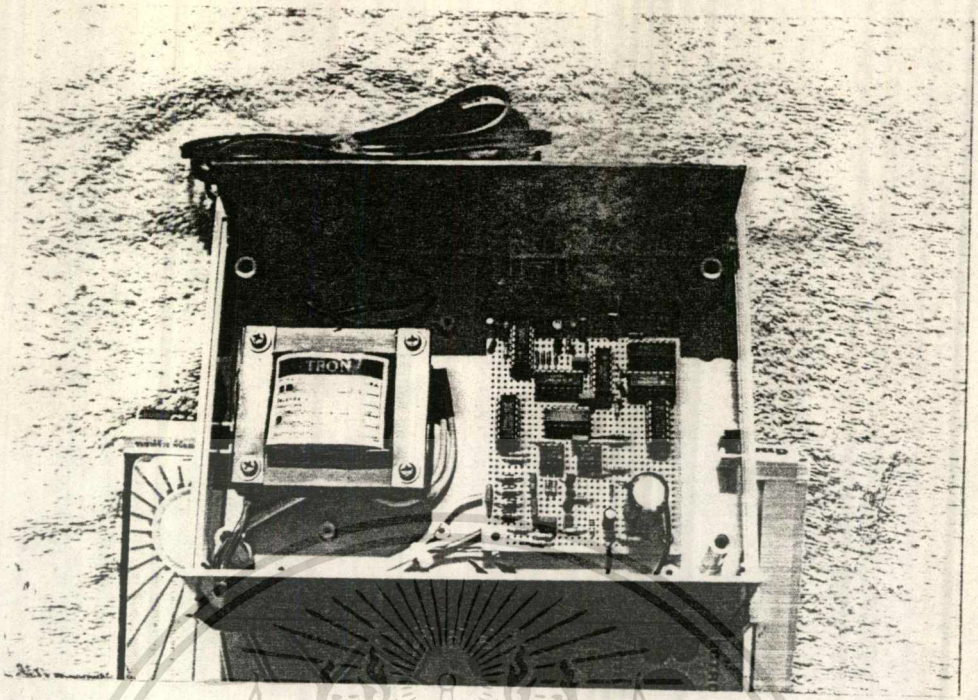


รูปที่ 4 6 แสดงเครื่องต้นแบบภายในตัวส่ง

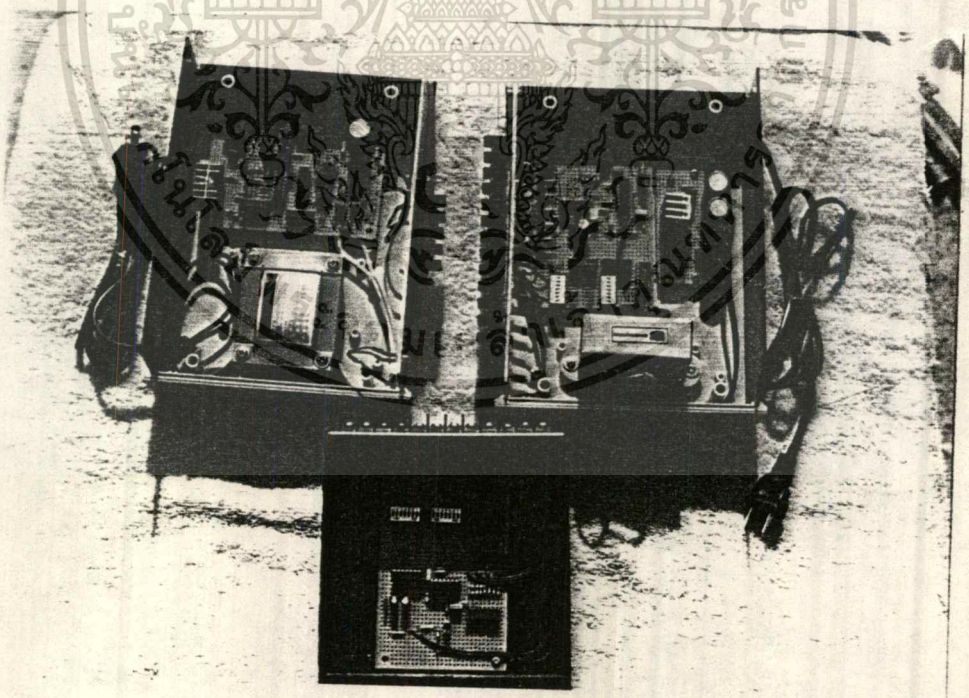


รูปที่ 4 7 แสดงเครื่องต้นแบบภายในตัวรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 48 แสดงเครื่องต้นแบบภายในแชนแนลเจนเนอร์เรเตอร์



รูปที่ 49 แสดงเครื่องต้นแบบภายในทั้ง3ตัว

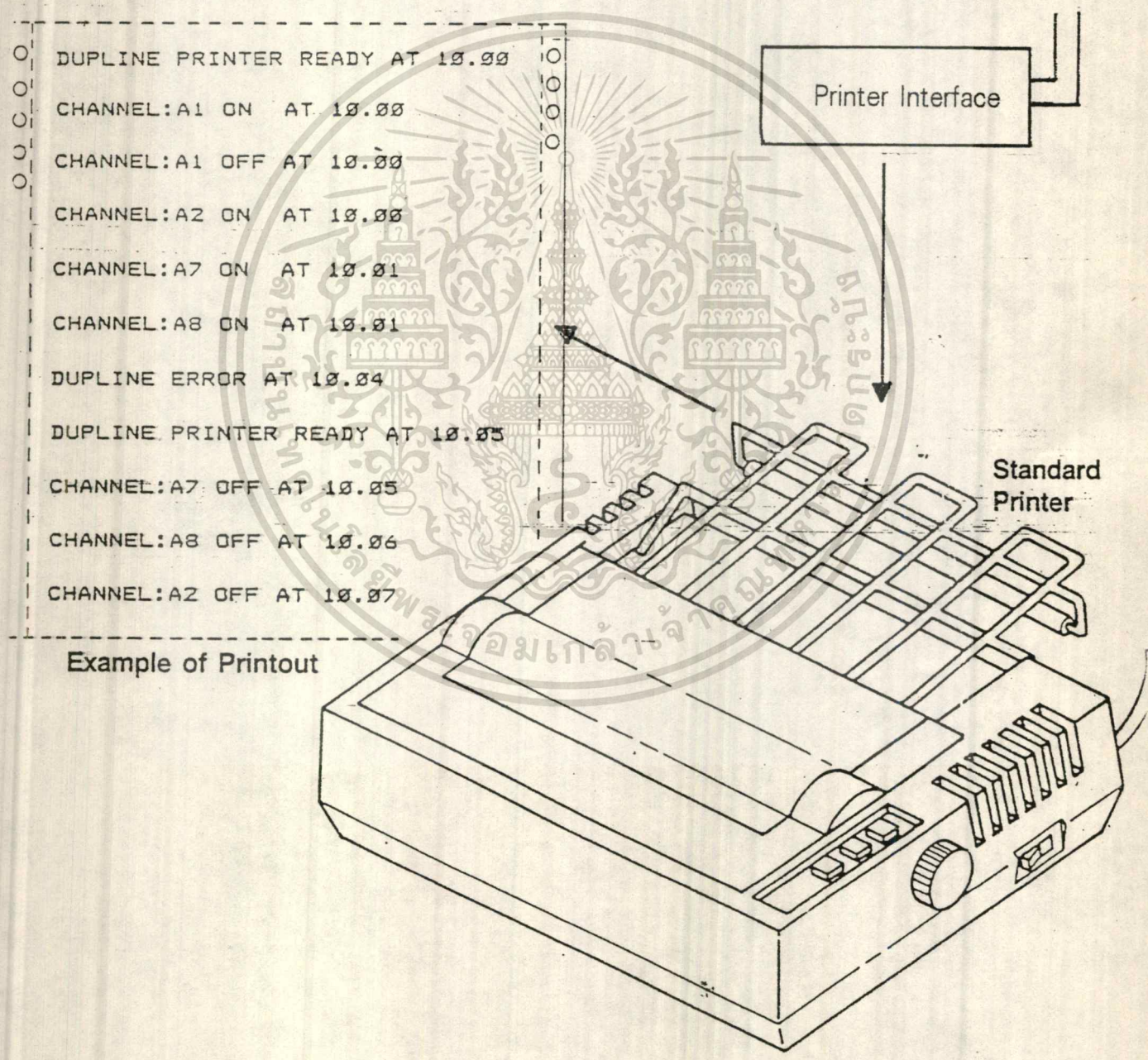
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

วิจารณ์ สรุปผลและแนวทางการพัฒนา

โครงงานนี้สามารถส่งและรับสัญญาณเพื่อใช้ในการควบคุมอุปกรณ์ไฟฟ้าที่ต่ออยู่กับตัวรับซึ่งสามารถส่งและรับได้พร้อม ๆ กัน 128 แชนแนล แต่มีข้อเสียคือ สามารถควบคุมได้เฉพาะการเปิดปิดอุปกรณ์ไฟฟ้าเท่านั้น ดังนั้นแนวทางในการพัฒนาที่จะให้โครงงานนี้มีประสิทธิภาพดียิ่งขึ้นควรประยุกต์ใช้งานกับ ไมโครโปรเซสเซอร์, โปรแกรมเมเบิลคอนโทรลเลอร์, ปริ้นเตอร์, โมเด็มหรือคอมพิวเตอร์ได้ ดังรูปที่ 5.1, รูปที่ 5.2, รูปที่ 5.3 และรูปที่ 5.4

5.1 การเชื่อมต่อกับปริ้นเตอร์

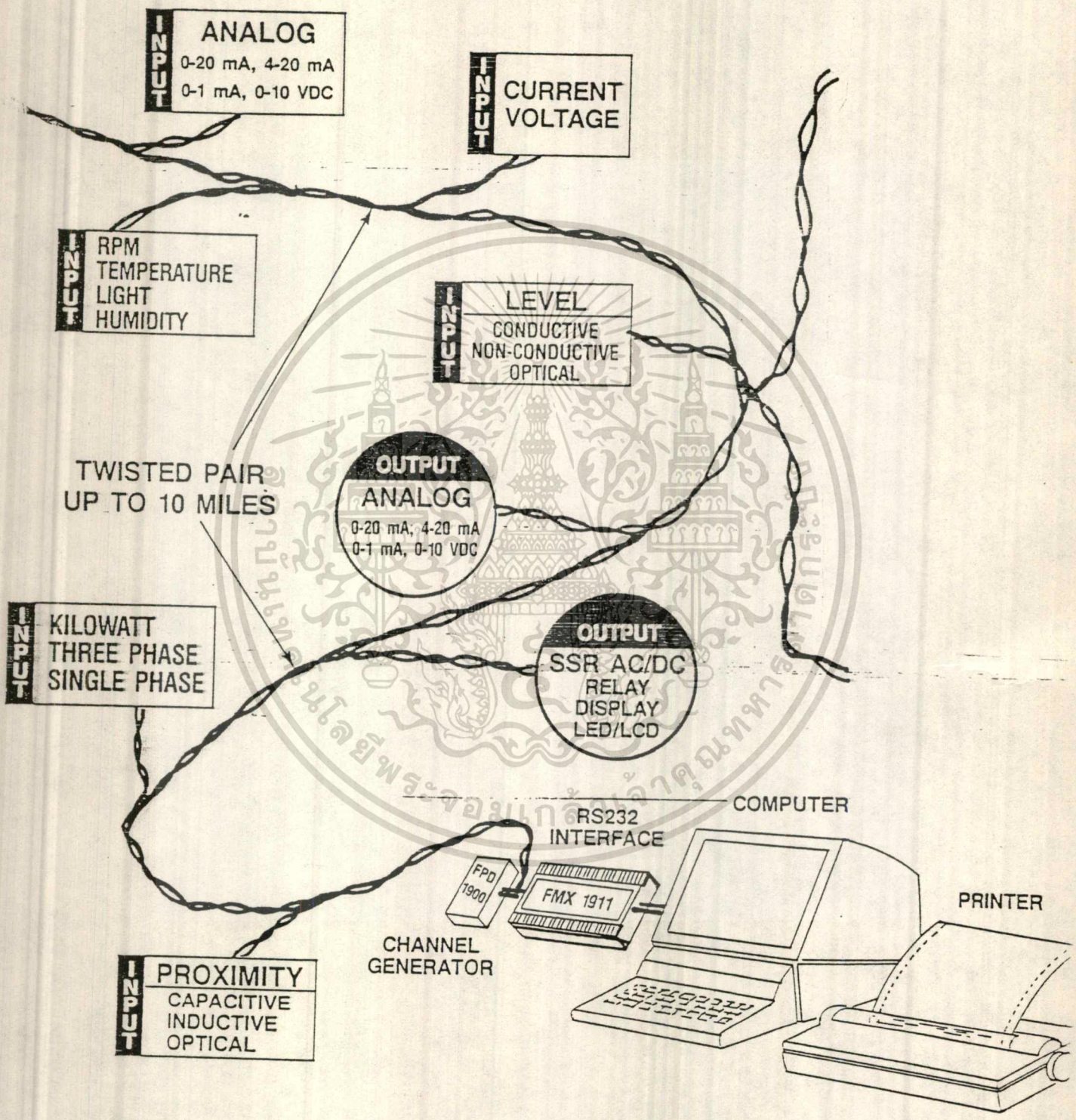


รูปที่ 5.1 แสดงการประยุกต์ใช้งานดูไพร์กับปริ้นเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปแสดงการต่อเครื่องปริ้นเตอร์เชื่อมโยงเข้าในระบบทูไวร์ โดยโมดูลตัวนี้สามารถเป็นรหัสได้ตามต้องการถ้าทั้งหมดหรือส่วนใดส่วนหนึ่งของระบบนี้เป็นตัวแสดงผลหรือตัวบันทึก มันเป็นไปได้ที่จะการพิมพ์ออกมาเมื่อแซนแนลถูกกระตุ้น

5.2 <u>การเชื่อมต่อกับคอมพิวเตอร์</u>



รูปที่ 5.2 แสดงการประยุกต์ใช้งานดูไพร์กับคอมพิวเตอร์

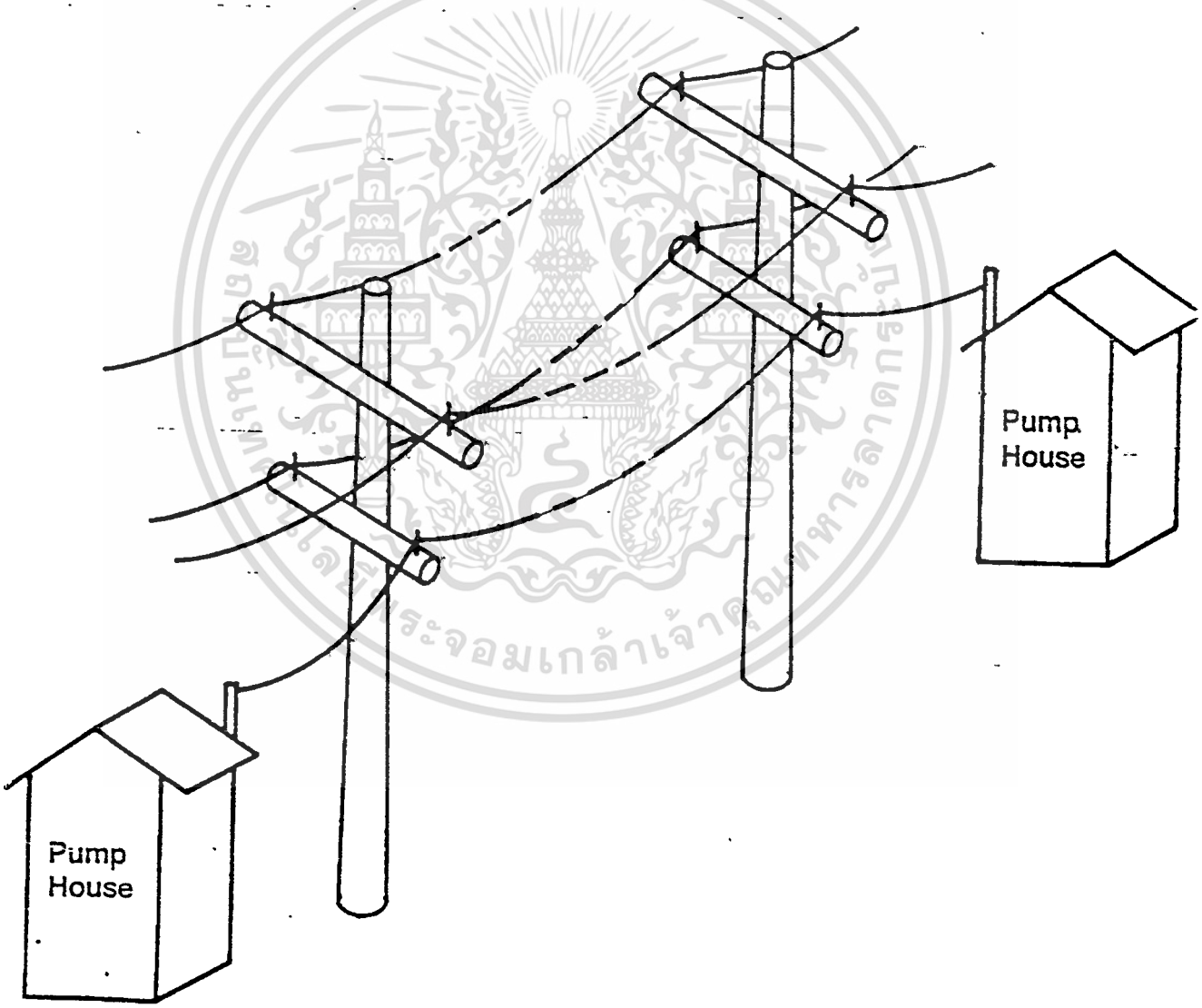
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปเป็นการติดตั้งโมดูลชนิดนี้ โดยการติดตั้งโมดูลชนิดนี้เข้าไปทำให้มันสามารถเป็นไปได้ที่จะใช้คอมพิวเตอร์ หรือ โปรแกรมเมเบิลคอนโทรลเลอร์ เพื่ออ่านค่าออกมา, กระตุ้นและควบคุมแชนแนลที่ใช้อยู่ในระบบ ทูไวร์

คอมพิวเตอร์ที่มีใช้กันอยู่ในทุกวันนี้ มีพอร์ทการสื่อสารข้อมูล แบบอะซิงโครไนซ์ ส่งข้อมูลตามมาตราฐานที่ตั้งไว้ที่ซึ่งออกแบบใช้กับ RS232C ถ้าอุปกรณ์ชนิดอื่นมีพอร์ทนี้แล้วมันสามารถเชื่อมโยงได้ หมายความว่าระบบทั้งสองสามารถต่อถึงกันและกันได้เพื่อรับข้อมูลข่าวสารด้วยกัน

คอมพิวเตอร์เชื่อมโยงที่มีใช้อยู่หรือโปรแกรมเมเบิลคอนโทรลเลอร์สำหรับระบบดูไพร์คือโมดูลเชื่อมโยง RS232C

5.3 การเชื่อมต่อกับโครงข่ายสายโทรศัพท์

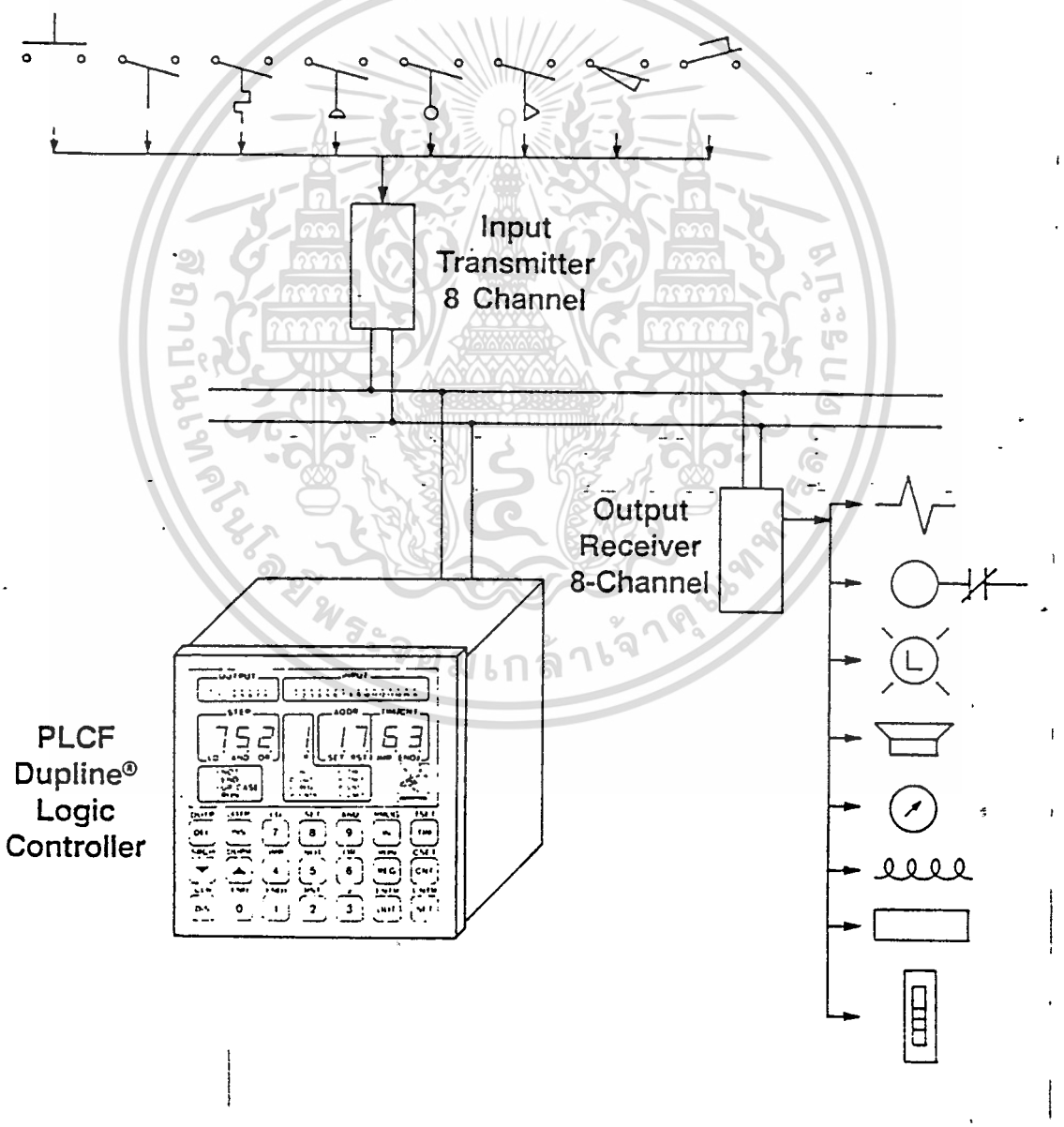


รูปที่ 5.3 แสดงการประยุกต์ใช้งานดูไพร์กับโครงข่ายสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการใช้งานหลาย ๆ ประเภทเรามีความจำเป็นที่จะต้องส่งข่าวสารข้อมูลเป็นระยะทางไกล ๆ โดยผ่านทางสายโทรศัพท์ ตัวอย่างเช่น สถานีปั๊มที่อยู่ไกลจากถังเก็บ ซึ่งเราสามารถใช้โมเดมโทรศัพท์เพื่อส่งสัญญาณ ดูไพร์โดยใช้เครือข่ายโทรศัพท์ ตัวโมเดมจะเปลี่ยนสัญญาณดูไพร์เป็นสัญญาณ FSK (Frequency Shift Keying) สัญญาณ AC สามารถส่งผ่านสายโทรศัพท์มาตราฐาน ตัวโมเดมหลักสามารถที่จะติดต่อสื่อสารกับโมเดมตัวอื่นๆ ได้ 2 ทิศทางที่แต่ละโมเดมเครือข่ายโมเดมเป็นสิ่งต้องการที่แต่ละตัวจะต้องมี มันจะมีรหัสแชนแนลเจนเนอร์เรเตอร์ สำหรับแชนแนลเดียวกันเมื่อโมเดมต่อกับ เครือข่ายดูไพร์ แชนแนลที่ใช้งานทั้งหมดสามารถใช้ได้เท่าเทียมกัน หมายความว่าเมื่อแชนแนล A1 ในเครือข่ายถูกกระตุ้นแล้ว แชนแนลอื่น ๆ ก็จะถูกกระตุ้นโดยอัตโนมัติ

5.4 การเชื่อมต่อกับโปรมแกรมเมเบิลคอนโทรลเลอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น รวมถึงห้ามมิให้ดัดแปลงเนื้อหาเพื่อการค้า ทั้งนี้ผู้ที่มีการนำไปใช้

รูปที่ 5.4 แสดงการประยุกต์ใช้งานดูไพร์กับโปรมแกรมเมเบิลคอนโทรลเลอร์

จากรูปเป็นการใช้โปรแกรมเมเบิลคอนโทรลเลอร์กับระบบดูไพร์ซึ่งตัวโปรแกรมเมเบิลคอนโทลเลอร์เป็นรหัสเดียวกับรหัสโมดูลที่ใช้ในระบบ ดูไพร์ และต่อเข้ากับระบบที่ใช้สาย ทูไวร์ เหมือนกัน ประโยชน์จากการใช้งานดูไพร์ โปรแกรมเมเบิลคอนโทรลเลอร์คือใช้สาย 1 คู่ ควบคุมเชื่อมโยงอินพุทและเอ้าท์พุท การต่อดูไพร์ นี้สำหรับควบคุมเอ้าท์พุทและอินพุทมัลติพลายเหมือนกันในระยะทางไกลที่ซึ่งทำการมัลติเพล็กซ์ซึ่งทำให้เกิดความคล่องตัวในการใช้งานควบคุมทางอุตสาหกรรม

โปรแกรมเมเบิลคอนโทรลเลอร์เป็นพื้นฐานการควบคุมไมโครโปรเซสเซอร์เพื่อใช้งานทั่ว ๆ ไป เมื่อมันได้รับอินพุทเข้ามามันจะคิดหาค่าและจะกำเนิดค่าของเอ้าท์พุทที่เหมาะสมเพื่อควบคุมเครื่องจักรหรือกระบวนการผลิตทั่วไป มันสามารถประยุกต์ใช้งานในงานอุตสาหกรรมได้หลายอย่าง ทุกวันนี้โปรแกรมเมเบิลคอนโทรลเลอร์เป็นอุปกรณ์การควบคุมที่ดีที่สุดสำหรับการเปลี่ยนไปใช้เครื่องจักรแทนคนในงานอุตสาหกรรม โปรแกรมเมเบิลคอนโทรลเลอร์สามารถใช้ควบคุมงานทั้งหมดของระบบ ดูไพร์ โดยใช้ภาษาเฉพาะที่เข้าใจได้ วงจรสามารถโปรแกรมและโปรแกรมใหม่ได้เพื่อใช้ตัวควบคุมและวงจรนี้ยังสามารถใช้ควบคุมอินพุท (ตัวส่ง) และตัวรับ (เอ้าท์พุท) ทั้งหมดบนระบบ ดูไพร์ หรือตัวโปรแกรมสามารถโปรแกรมไว้ในแผ่นดิสก์สำหรับใช้ในอนาคตหรือใช้ปริ้นเตอร์พิมพ์ค่าออกมา

จากรูปที่ 4.3 จะเห็นว่าสัญญาณพัลส์เมื่อตัวส่งมีการส่งสัญญาณนั้น จะมีที่ว่างอยู่ 490 μs ซึ่งในเวลาที่ว่างตรงนี้อาจมีการปรับปรุงให้มีประสิทธิภาพดียิ่งขึ้นได้โดยใส่เป็นบิทข้อมูลลงไปโดยใช้ไมโครโปรเซสเซอร์มาช่วยในการเขียนโปรแกรม ซึ่งจะทำให้ได้ประโยชน์มากขึ้นนอกเหนือจากการส่งสัญญาณควบคุมการเปิดปิดอย่างเดียว

สิ่งที่ควบปรับปรุงอีกอย่างหนึ่งคือ จำนวนแชนแนลในการส่ง เพราะว่าจำนวนความต้องการในการใช้งานได้เพิ่มจำนวนมากขึ้นตามเทคโนโลยี ซึ่งในต่างประเทศระบบดูไพร์สามารถส่งและรับสัญญาณได้พร้อม ๆ กันถึง 1,024 แชนแนล

ปัญหาอีกประการหนึ่งก็คือระยะทางระหว่างตัวส่งและตัวรับ ซึ่งเมื่อเราต้องการใช้งานในระยะทางไกล ๆ จำเป็นที่จะต้องคำนึงถึงองค์ประกอบหลาย ๆ อย่าง ซึ่งจะทำให้ระบบดูไพร์ทำงานได้อย่างมีประสิทธิภาพดี ซึ่งมีองค์ประกอบที่จะต้องคำนึงถึงดังต่อไปนี้

ขั้นตอนในการติดตั้งโดยทั่ว ๆ ไปนั้นมีความสำคัญมากในการใช้ ดูไพร์ ซึ่งจะต้องเรียนรู้เทคนิคเกี่ยวกับการติดตั้งซึ่งสำคัญมากสำหรับระบบ ดูไพร์ การติดตั้งระบบ ดูไพร์ ให้ถูกต้อง ตำแหน่งประกอบด้วย สายชนิดต่าง ๆ,ตำแหน่งของสถานที่, เส้นทางเดินของสาย และการป้องกันสัญญาณรบกวน ถ้าเราทำตามขั้นตอนเหล่านี้ปัญหาที่เกิดตามมาก็จะมีน้อยมาก

ลักษณะการจัดวางของแต่ละหน่วย (ตัวส่ง, ตัวรับและแชนแนลเจนเนอร์เรเตอร์) นั้นสามารถมีผลกระทบต่อการทำงานของดูไพร์ด้วย สำหรับแชนแนลเจนเนอร์เรเตอร์นั้นจะต้องวางให้ใกล้กับศูนย์กลางของระบบมากที่สุดเสมอ ถ้าไม่สามารถทำได้จะต้องวางให้ใกล้กับตัวส่งให้มากที่สุด ในกระบวนการการใช้ดูไพร์ ติดต่อสื่อสารจะต้องการตัวส่งสัญญาณอยู่ใกล้ๆกับ แชนแนลเจนเนอร์เรเตอร์ ถ้าอินพุทของตัวส่ง ดูไพร์ โดนรบกวนจากสนามแม่เหล็กไฟฟ้ามากๆ ควรจะใช้สายชีลด์ในการป้องกัน และเราจะต้องพิจารณาระยะทางระหว่างตัวรับกับอุปกรณ์ที่ใช้ควบคุมโดยละเอียดเพราะมันจะเกี่ยวข้องกับระดับพลังงานที่สูงขึ้นที่

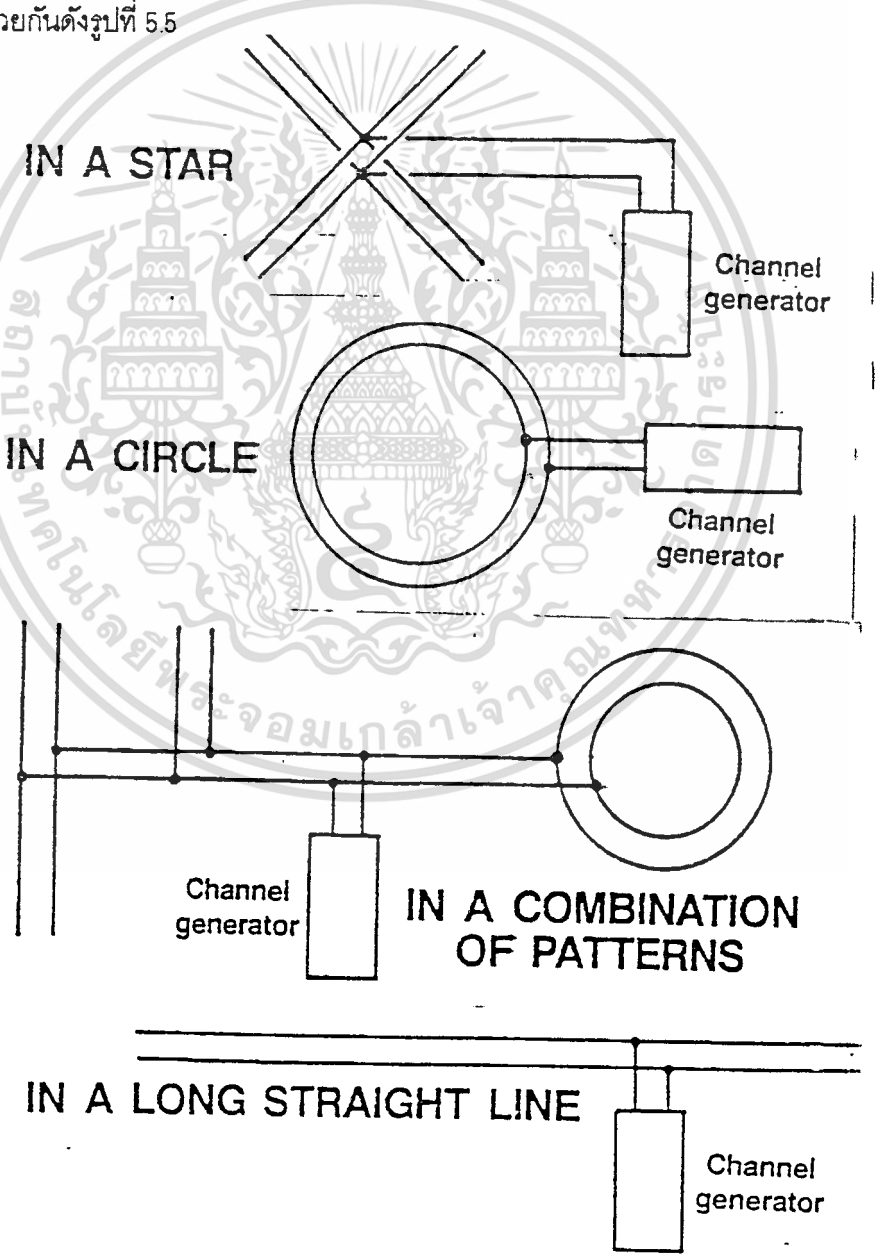
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงออกที่ O/P สำหรับ การจัดวางตัวส่งและตัวรับสัญญาณแบบอนาลอกนั้น เราติดตั้งแบบที่ติดตั้งอุปกรณ์อนาลอกโดยทั่วไป

สายเคเบิลของดูไพร์ควรจะเน้นสายตีเกลียวคู่มากกว่าที่จะเป็นสายชีลด์ ขนาดหรือเบอร์ของสายที่ใช้สามารถเปลี่ยนแปลงได้โดยขึ้นอยู่กับความยาวทั้งหมดจากหัวถึงท้ายของระบบดูไพร์ควรเลือกใช้ สายเคเบิลที่มีค่าปริมาณความจุต่ำจำเป็นต้องจะเลือกให้เหมาะสมกับการใช้งานในระบบดูไพร์ สายชีลด์จะต่อเนื่องกันตลอดทั้งหมดของระบบดูไพร์ยกเว้นตรงจุดกราวด์เพราะตรงจุดนี้จะเกิดปัญหา กราวด์ลูป เราสามารถใช้สายมัลติพลายด์แบบตีคู่ได้สำหรับสัญญาณดูไพร์แต่ถ้าสัญญาณมีระดับที่แตกต่างกันควรใช้สายชีลด์แยกต่างหาก เพื่อป้องกันปัญหาอันเนื่องมาจากครอสทอร์ค

5.5 ลักษณะการวางสายแบบต่างๆ

สายที่ใช้ติดต่อสื่อสารในระบบดูไพร์สามารถวางได้หลายรูปแบบ เช่น star, ring, bus หรือ ใช้แต่ละแบบมาต่อเข้าด้วยกันดังรูปที่ 5.5



รูปที่ 5.5 แสดงลักษณะการวางสายแบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

ข้อบกพร่องที่เกิดขึ้นกับดูไพร์มาจากคุณลักษณะต่างๆของสายเคเบิล เช่น รีซิสแตนซ์,คาปาซิสแตนซ์,อินดัคแตนซ์ และ การเพิ่มขึ้นของสัญญาณรบกวน สำหรับค่า รีซิสแตนซ์นั้นเกิดจากความต้านทานแบบเฉพาะจากการใช้ทองแดงชนิดพิเศษในการผลิต สำหรับค่า คาปาซิสแตนซ์และค่าอินดัคแตนซ์นั้นเกิดจากลักษณะโครงสร้างของสาย สำหรับปัญหาการเพิ่มขึ้นของสัญญาณรบกวนในสายนั้นเกิดจากวางสายไว้ในบริเวณใกล้เคียงกับที่ที่มีสัญญาณรบกวน เช่น รีเลย์ตัวใหญ่ๆ หน้าสัมผัส มอเตอร์ หรือ สายเคเบิลกำลัง เหตุผลที่ต้องการวางสายเช่นนี้ ก็เพื่อจะทำให้ความยาวของสายเคเบิลมีค่าน้อยที่สุด

รอยต่อนั้นมีความสำคัญอย่างมาก เมื่อเราต้องการนำสาขาต่างๆมาต่อเข้าด้วยกัน หรือเป็นการต่อสายเมื่อสายหมด รอยต่อนั้นจะเป็นปัญหาบ่อยๆเราสามารถเตรียมการต่อให้สมบูรณ์ได้แต่อย่างไรก็ตามเมื่อเวลาผ่านไปถึงรอยต่อจะสมบูรณ์แต่มันสามารถเสื่อมลงได้สาเหตุเนื่องมาจากพื้นที่หน้าตัดของสายเคเบิลดูไพร์มีความต้านทานสูงและเป็นไปได้ที่จะพบปัญหาเล็กๆน้อยๆเสมอที่จุดบัดกรีรอยต่อ และที่รอยต่อจะต้องป้องกันไม่ให้น้ำเข้าไปได้ เมื่อน้ำเข้าไปในสายจะมีผลกระทบให้ค่าไดเลคตริกของความจุภายในสายเพิ่มมากขึ้นเป็นผลทำให้เกิดการเสียหายในการสื่อสารระบบดูไพร์

โดยทั่วๆไปแล้วระบบดูไพร์ควรจะใช้สายชนิดตีเกลียวคู่เสมอส่วนสายชนิดอื่นๆไม่สามารถรับประกันได้ว่าจะใช้งานได้กับระบบดูไพร์แต่อย่างไรก็ตามยังมีการติดตั้งดูไพร์ที่ประสบความสำเร็จโดยใช้สายโทรศัพท์และสายเคเบิลตัวนำหลายๆเส้นไม่แนะนำให้ใช้สายชนิดที่ไม่ได้ตีเกลียวเพราะไม่สามารถรับประกันผลที่เกิดขึ้นได้อย่างแท้จริง สายเคเบิลแบบตัวนำหลายๆเส้นถ้าไม่ได้เป็นแบบตีเกลียวคู่แต่ละเส้นแล้วมันจะทำให้เกิดปัญหาหลายๆอย่างตามมา ปัญหาครอสทอร์คระหว่างสัญญาณที่แตกต่างกันและสามารถทำให้เกิดสัญญาณรบกวนขึ้นอีก ปัญหาทรานเซียรส์บนสัญญาณต่างๆและรับสัญญาณรบกวนจากภายนอกของสายเคเบิลสามารถที่จะทำให้เกิดความไม่เท่ากัน บนสายตัวนำแต่ละเส้นสามารทำให้สัญญาณดูไพร์ไม่บาลานซ์กัน และทำให้การติดต่อสื่อสารระหว่างกันแย่ลง

เราสามารถลดปัญหาสัญญาณรบกวนที่เกิดขึ้นกับระบบ ดูไพร์ ได้น้อยที่สุด โดยทำตามขั้นตอนดังนี้

1. ในการติดต่อสื่อสารโดยใช้ ดูไพร์ ให้ใช้สายชีลด์, สายตีเกลียวเสมอ
2. ให้มีกราวด์จุดเดียวเสมอโดยใช้ชีลด์ต่อผ่านตลอดทั้งระบบของดูไพร์
3. เส้นทางเดินของสายไฟ AC เพาเวอร์และสายไฟ DC ที่มีพลังงานสูงให้ติดตั้งห่างจากดูไพร์ และสายอินพุทให้ชีลด์อินพุทนำสัญญาณเมื่อเข้าใกล้พื้นที่ที่เกิดปัญหา
4. ติดตั้งอุปกรณ์พวกดูไพร์ให้ห่างจากอุปกรณ์ที่มีพลังงานสูงถ้าหากหลีกเลี่ยงมิได้ให้ชีลด์ทั้งระบบ
5 ถ้าปัญหาระบบกำลังมีสัญญาณรบกวนมากให้ใช้สายส่งกำลังที่มีการฟิลเตอร์

แหล่งกำเนิดสัญญาณรบกวนเช่น,สัญญาณวิทยุ, งานเชื่อมโลหะโดยไฟฟ้า ,สวิทช์ชิ่ง เพาว์เวอร์ซัพพลายความถี่สูง, ดรีมเมอร์สวิทช์,เ ครื่องจุดหัวเตา, มอเตอร์AC และ DC, หลอดนีออนหรือหลอดฟลูออเรสเซนต์,สายส่งแรงดันสูง,คอนแทคเตอร์ และ ควบคุมรีเลย์ ฯลฯ การชีลด์บนสายเคเบิล ดูไพร์ จะช่วยลดสัญญาณรบกวนโดยดูดกลืนและผ่านลงกราวด์สายตัวนำตีเกลียวคู่โดยทั่วไปจะโดนสัญญาณรบกวนจากภายนอกอินดิวซ์เข้ามาบนตัวนำทั้งคู่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุดลงกราวด์ที่ดีนั้นจะเหนี่ยวนำสัญญาณรบกวนได้น้อยที่สุดโดยกราวด์ต้องมีอินพีแดนซ์ที่ตำตรวจสอบหาจุดพื้นที่ที่จะตอกแท่งกราวด์ลงในพื้นดินควรอยู่ใกล้กับแชนแนลเจนเนอร์เรเตอร์โดยแท่งกราวด์ควรมีความยาวประมาณ 4 ฟุต และการชีลด์ที่ดีนั้นจะต้องต่อผ่านตลอดทั้งระบบของ ดูไพร์ โดยรอยต่อจะรักษาระยะห่างจุดต่อและความยาวของชีลด์ด้วย

การเพิ่มหน่วยดูไพร์หรือสายเคเบิลลงในระบบที่ใช้งานอยู่แล้วจะทำให้เกิดปัญหาขึ้นได้การเพิ่มสายเข้าไปในระบบนั่นหมายถึง เพิ่มรอยต่อเข้าไปในระบบเดิม ซึ่งสายอาจจะเป็นชนิดเดียวกันกับสายเดิมหรือดีกว่าก็ได้ ที่รอยต่อนั้นจะต้องมีการต่อที่สมบูรณ์และแข็งแรงด้วย

ปัญหาการสะท้อนกลับของสัญญาณเมื่อปลายสายถูกปล่อยทิ้งไว้เฉยๆโดยที่ไม่ตออยู่กับอะไร การแก้ปัญหาการสะท้อนกลับของสัญญาณทำได้โดยการใส่เทอร์มินัลไว้ที่ปลายของสาย

สัญญาณรบกวนที่เกิดขึ้นบนสายเคเบิลที่ใช้ในการติดต่อสื่อสารดูไพร์จะเป็นสาเหตุให้เครื่องรับสัญญาณทำงานผิดพลาด โดยการทำงานจะมีรูปแบบที่ไม่แน่นอน สัญญาณรบกวนบนสายเคเบิล จะเกิดขึ้นเมื่อแชนแนลเจนเนอร์เรเตอร์ถูกย้ายตำแหน่งหรือถอดออกแล้วนำมาประกอบใหม่หลังจากที่ใช้งานอยู่ถ้ามีการชีลด์แล้วปรากฏว่าสัญญาณรบกวนยังมีมากอยู่เหมือนเดิมเราควรจะเคลื่อนย้ายสายเคเบิลให้ออกห่างไกลจากที่ซึ่งอาจจะเป็นแหล่งกำเนิดสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ของตัวส่ง

ตัวต้านทาน	จำนวน
R 27 Ω	1 ตัว
R 1.2 k	2 ตัว
R 10 k	1 ตัว
R 47 k	8 ตัว
R 100 k	10 ตัว
R 220 k	1 ตัว
R 1 M	1 ตัว

ตัวเก็บประจุ	
C 10 nF	2 ตัว
C 0.1μF	10 ตัว
C 33 μF	1 ตัว

ทรานซิสเตอร์	
BC 547	1 ตัว

ไอซี	
MC 14512	1 ตัว
MC 14024	1 ตัว

ไดโอด	
1N4148	10 ตัว

ซีเนอร์ไดโอด	
1N4752	1 ตัว

สวิทช์ 8 ขา	1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์ของตัวรับ

ตัวต้านทาน	จำนวน
R 56 Ω	1 ตัว
R 910 Ω	1 ตัว
R 1 k	1 ตัว
R 10 k	1 ตัว
R 4.7 k	9 ตัว
R 33 k	1 ตัว
R 47 k	2 ตัว
R 270 k	1 ตัว
R 62 k	2 ตัว
R 4.7 M	1 ตัว
R 2.2 M	1 ตัว
R VR 470 k	1 ตัว

ตัวเก็บประจุ

C 1 nF	2 ตัว
C 470 PF	1 ตัว
C 0.1 μF 50 V	2 ตัว
C 220 μF 50V	1 ตัว

ทรานซิสเตอร์

C3340	8 ตัว

ไอซี

MC 14015	1 ตัว
MC 14054	1 ตัว
MC 14530	1 ตัว
MC 14024	1 ตัว
MC 14584	1 ตัว
IC 7612	1 ตัว

ไดโอด

1N4007	1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1N4148 11 ตัว

ซีเนอร์ไดโอด

1N4752 8 ตัว

LED 1 ตัว

SW 8 ขา 1 ตัว

รายการอุปกรณ์ของแซนแนลเจนเนอร์เรเตอร์

ตัวต้านทาน

R 5.6 Ω 1 ตัว
R 240 Ω 1 ตัว
R 1 k 3 ตัว
R 1.2 k 1 ตัว
R 2 k 1 ตัว
R 2.2 k 1 ตัว
R 8.66 k 1 ตัว
R 10 k 4 ตัว
R 12 k 1 ตัว
R 15 k 1 ตัว
R 22 k 2 ตัว
R 33 k 1 ตัว
R 56 k 1 ตัว
R 100 k 2 ตัว
R 680 k 1 ตัว
R 1 M 1 ตัว
R 10 M 1 ตัว

ตัวเก็บประจุ

C 1000 μF 50V 1 ตัว
C 0.1 μF 63 V 3 ตัว
C 15 PF 2 ตัว
C 50 PF 1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C 4.7 nF	1 ตัว
C 100 PF	1 ตัว

ทรานซิสเตอร์

C547	2 ตัว
C557	2 ตัว

ไอซี

IC 7612	2 ตัว
MC 14060	1 ตัว
MC 14040	1 ตัว
MC 14013	1 ตัว
MC 14025	1 ตัว
MC 14015	1 ตัว
MC 14062	1 ตัว
MC 14530	1 ตัว

ไดโอด

1N4007	1 ตัว
1N4148	7 ตัว

LED	1 ตัว
คริสตรอล 32.7kHz	1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14015B

CMOS MSI

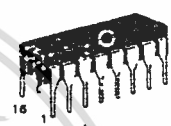
(LOW-POWER COMPLEMENTARY MOS)

DUAL 4-BIT STATIC SHIFT REGISTER

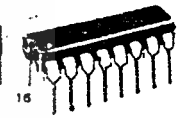
DUAL 4-BIT STATIC SHIFT REGISTER

The MC14015B dual 4-bit static shift register is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. It consists of two identical, independent 4-state serial-input/parallel-output registers. Each register has independent Clock and Reset inputs with a single serial Data input. The register states are type D master-slave flip-flops. Data is shifted from one stage to the next during the positive-going clock transition. Each register can be cleared when a high level is applied on the Reset line. These complementary MOS shift registers find primary use in buffer storage and serial-to-parallel conversion where low power dissipation and/or noise immunity is desired.

- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typical
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Single Supply Operation – Positive or Negative
- High Fanout – > 50
- Input Impedance = 10^{12} ohms typical
- Low Input Capacitance – 5.0 pF typical
- Logic Swing Independent of Fanout
- Toggle Rate = 6.0 MHz @ 10 Vdc
- Logic Edge-Clocked Flip-Flop Design – Logic state is retained indefinitely with clock level either high or low; information is transferred to the output only on the positive going edge of the clock pulse.
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range.



L SUFFIX
CERAMIC PACKAGE
CASE 620



P SUFFIX
PLASTIC PACKAGE
CASE 648

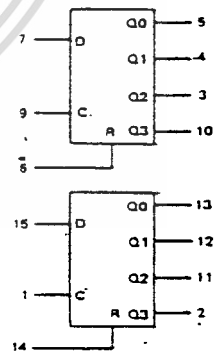
ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage; All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range – AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

BLOCK DIAGRAM



V_{DD} = Pin 16
V_{SS} = Pin 8

TRUTH TABLES

CLOCKED OPERATION (SYNCHRONOUS)

D	Q_n	Q_{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

$Q_{n+1} = Q_n$, R = 0

DIRECT OPERATION (ASYNCHRONOUS)

R	Q
0	Q
1	0

C = D = Don't Care

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage** "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level	V_{IH}									
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	–	3.5	2.75	–	3.5	–	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-1.2	–	-1.0	-1.7	–	-0.7	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.25	–	-0.2	-0.36	–	-0.14	–	
(V_{OH} = 9.5 Vdc)		10	-0.62	–	-0.5	-0.9	–	-0.35	–	
(V_{OH} = 13.5 Vdc)		15	-1.8	–	-1.5	-3.5	–	-1.1	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-1.0	–	-0.8	-1.7	–	-0.6	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.2	–	-0.16	-0.36	–	-0.12	–	
(V_{OH} = 9.5 Vdc)		10	-0.5	–	-0.4	-0.9	–	-0.3	–	
(V_{OH} = 13.5 Vdc)		15	-1.4	–	-1.2	-3.5	–	-1.0	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	µAdc
		10	–	10	–	0.010	10	–	300	
		15	–	20	–	0.015	20	–	600	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	–	20	–	0.005	20	–	150	µAdc
		10	–	40	–	0.010	40	–	300	
		15	–	80	–	0.015	80	–	600	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (1.2 µA/kHz) f + I_{DD}							µAdc
		10	I_T = (2.4 µA/kHz) f + I_{DD}							
		15	I_T = (3.6 µA/kHz) f + I_{DD}							

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
**Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc
†To calculate total supply current at loads other than 50 pF:
$I_T(C_L) = I_T(50\ pF) + 2 \times 10^{-3} (C_L - 50) V_{DD} f$
where: I_T is in µA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency.
**The formulas given are for the typical characteristics only at 25°C.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

SWITCHING CHARACTERISTICS* (C_L = 50 pf, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	–	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	–	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	–	65	130	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	–	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	–	40	80	
Propagation Delay Time	t_{PLH}, t_{PHL}					ns
Clock, Data to Q						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 225 ns		5.0	–	310	750	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 92 ns		10	–	125	250	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 65 ns		15	–	90	170	
Reset to Q						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 375 ns		5.0	–	460	750	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 147 ns		10	–	180	250	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 95 ns		15	–	120	170	
Clock Pulse Width	t_{WH}	5.0	–	185	400	ns
		10	–	85	175	
		15	–	55	135	
Clock Pulse Frequency	f_{cl}	5.0	–	2.0	1.5	MHz
		10	–	6.0	3.0	
		15	–	7.5	3.75	
Clock Pulse Rise and Fall Times	t_{TLH}, t_{THL}	5.0	–	–	15	µs
		10	–	–	5.0	
		15	–	–	4.0	
Reset Pulse Width	t_{WH}	5.0	400	200	–	ns
		10	160	80	–	
		15	120	60	–	
Setup Time	t_{su}	5.0	350	100	–	ns
		10	100	50	–	
		15	75	40	–	

FIGURE 1 – POWER DISSIPATION TEST CIRCUIT AND WAVEFORM

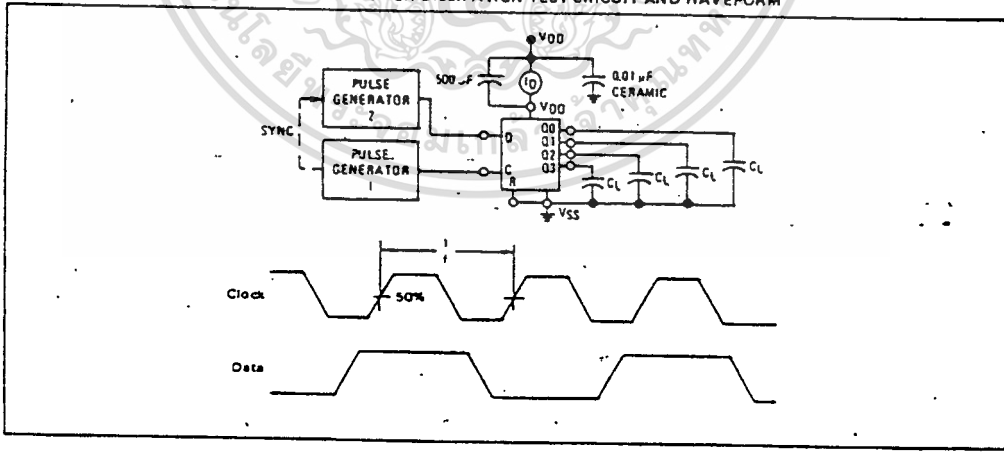


FIGURE 2 – SWITCHING TIME TEST CIRCUIT AND WAVEFORMS

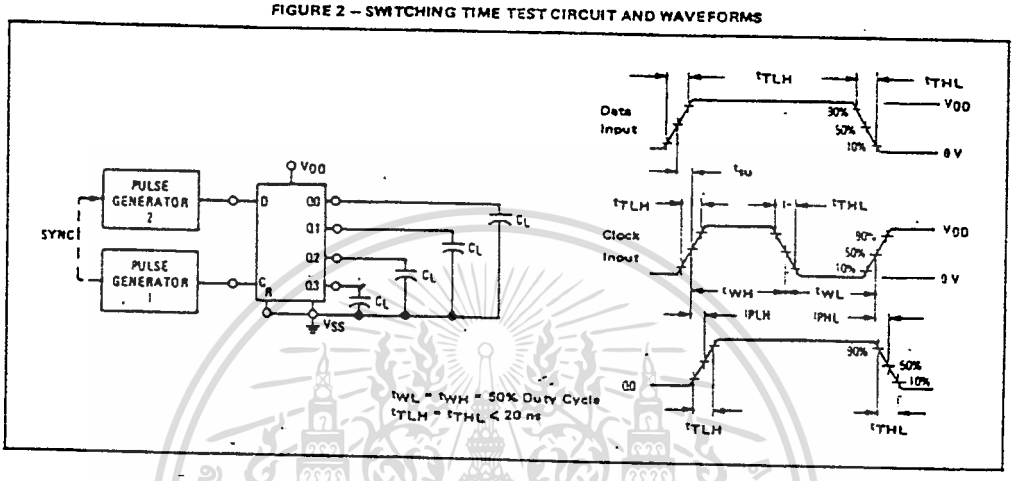
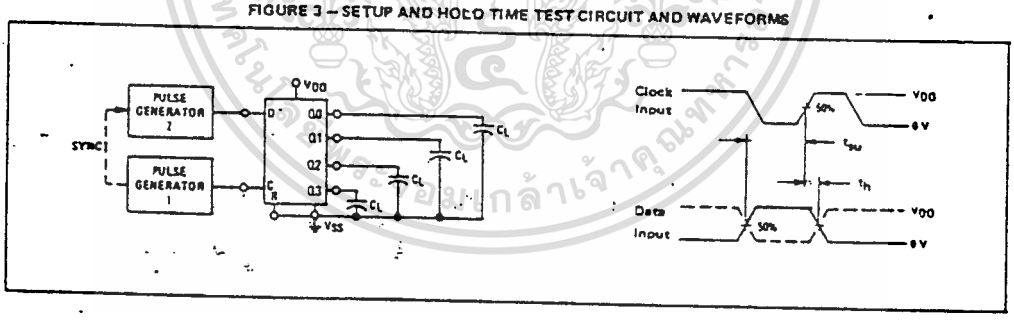
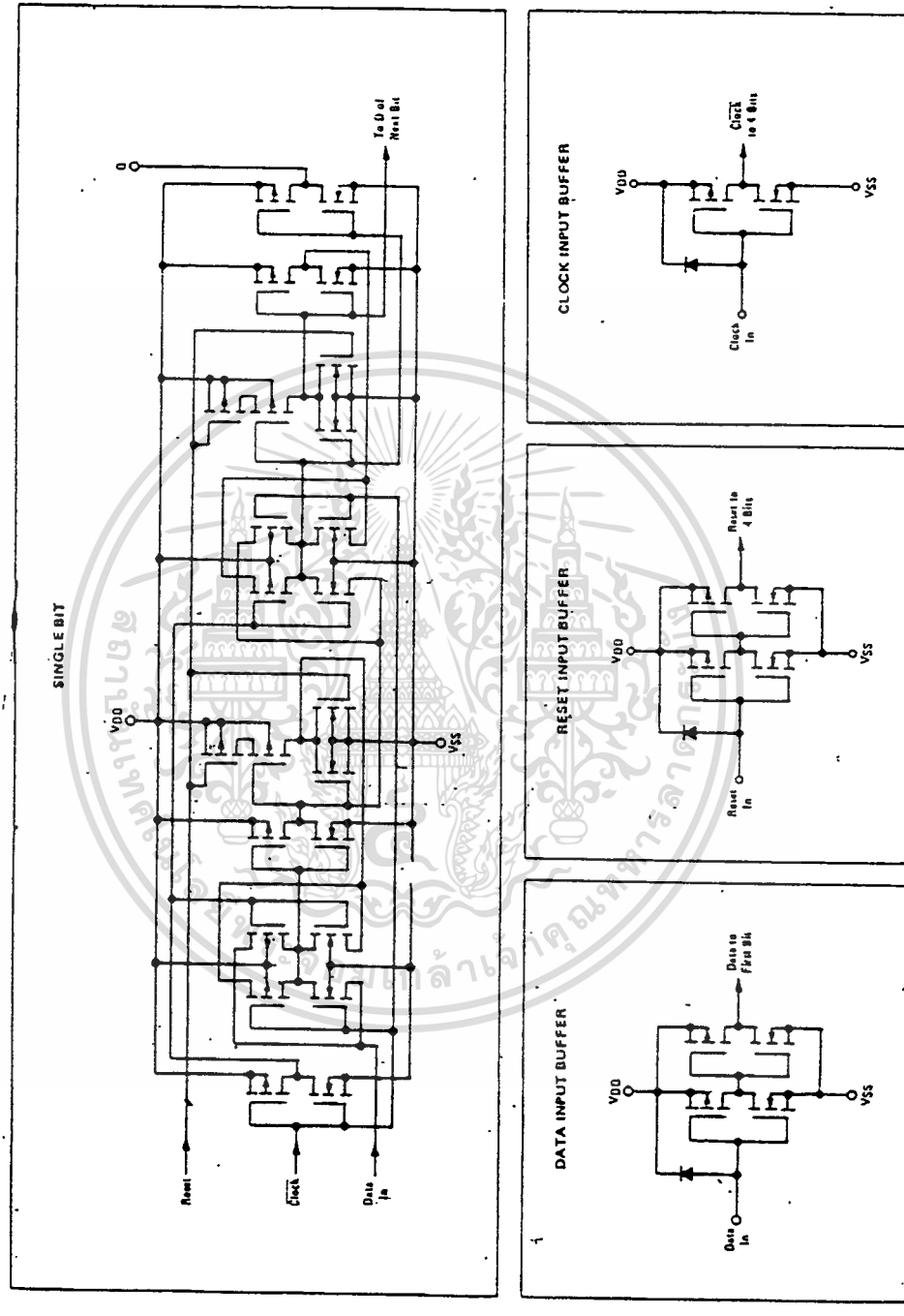


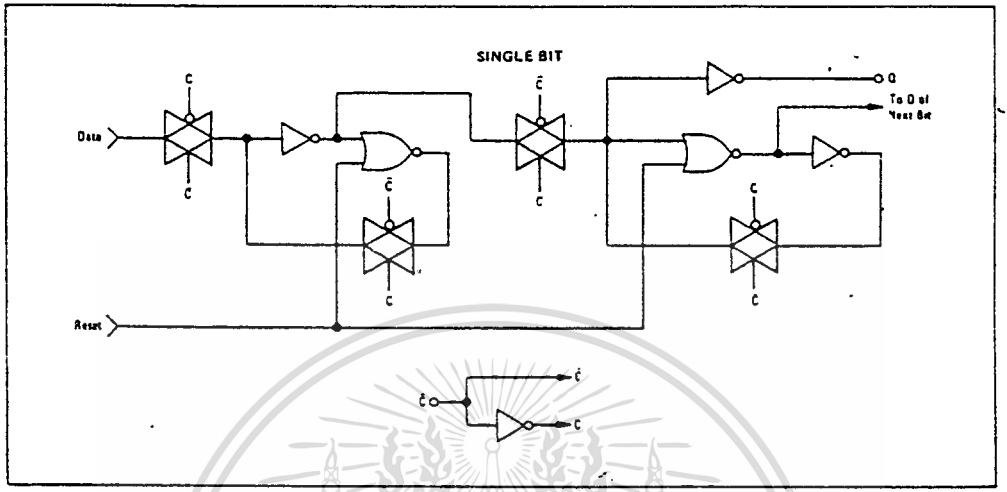
FIGURE 3 – SETUP AND HOLD TIME TEST CIRCUIT AND WAVEFORMS

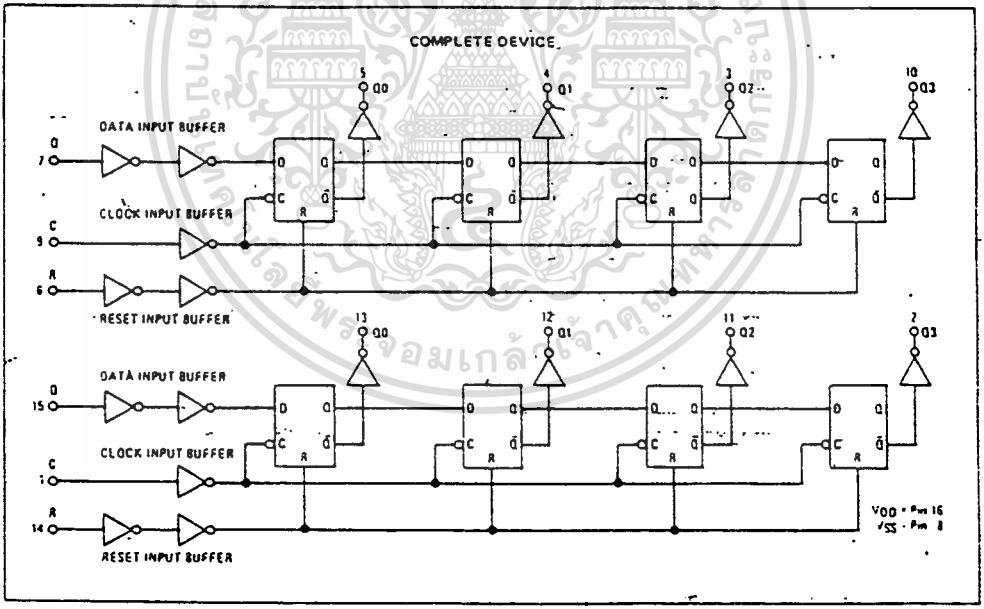


CIRCUIT SCHEMATICS



LOGIC DIAGRAMS





MOTOROLA

MC14024B

CMOS SSI

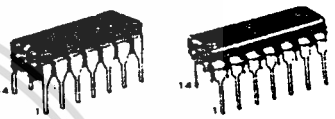
(LOW-POWER COMPLEMENTARY MOS)

SEVEN STAGE
RIPPLE COUNTER

SEVEN STAGE RIPPLE COUNTER

The MC14024B is a seven stage ripple counter with short propagation delays and high maximum clock rates. The Reset input has standard noise immunity (typically 45% of V_{DD}), however the Clock input has increased noise immunity due to Hysterrsis, with no maximum Clock input rise or fall time. The output of each counter stage is buffered.

- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typical
- Diode Protection on All Inputs
- Output Transitions Occur on the Falling Edge of the Clock Pulse
- 8-MHz Operation @ V_{DD} = 10 Vdc typical
- Exceedingly Slow Input Transition Rates may be Applied to the Clock Input
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD40248



L SUFFIX
CERAMIC PACKAGE
CASE 632

P SUFFIX
PLASTIC PACKAGE
CASE 646

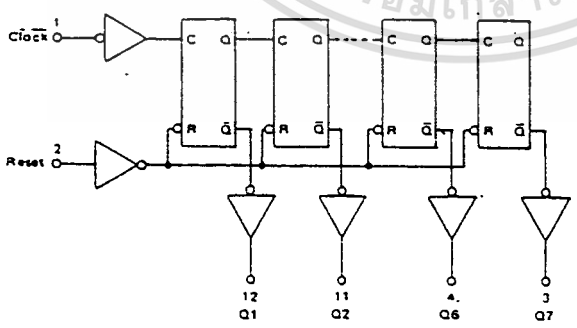
ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L — Ceramic Package
- P — Plastic Package
- A — Extended Operating Temperature Range
- C — Limited Operating Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

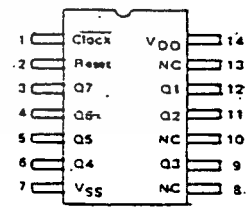
Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

LOGIC DIAGRAM



Q3 = Pin 9
Q4 = Pin 6
Q5 = Pin 5

PIN ASSIGNMENT



V_{DD} = Pin 14
V_{SS} = Pin 7

NC = No Connection

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage** "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level	V_{IH}									
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	–	3.5	2.75	–	3.5	–	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	–1.2	–	–1.0	–1.7	–	–0.7	–	
(V_{OH} = 4.6 Vdc)		5.0	–0.25	–	–0.2	–0.36	–	–0.14	–	
(V_{OH} = 9.5 Vdc)		10	–0.62	–	–0.5	–0.9	–	–0.35	–	
(V_{OH} = 13.5 Vdc)		15	–1.8	–	–1.5	–3.5	–	–1.1	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	–1.0	–	–0.8	–1.7	–	–0.6	–	
(V_{OH} = 4.6 Vdc)		5.0	–0.2	–	–0.16	–0.36	–	–0.12	–	
(V_{OH} = 9.5 Vdc)		10	–0.5	–	–0.4	–0.9	–	–0.3	–	
(V_{OH} = 13.5 Vdc)		15	–1.4	–	–1.2	–3.5	–	–1.0	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	µAdc
		10	–	10	–	0.010	10	–	300	
		15	–	20	–	0.015	20	–	600	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	–	20	–	0.005	20	–	150	µAdc
		10	–	40	–	0.010	40	–	300	
		15	–	80	–	0.015	80	–	600	
Total Supply Current** † (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (0.31 µA/kHz) f + I_{DD}							µAdc
		10	I_T = (0.60 µA/kHz) f + I_{DD}							
		15	I_T = (0.89 µA/kHz) f + I_{DD}							

*T_{low} = –55°C for AL Device, –40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
**Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc
†To calculate total supply current at loads other than 50 pF:
$I_T(C_L) = I_T(50\ pF) + 1 \times 10^{-3} (C_L - 50) V_{DD} f$
where: I_T is in µA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency.
**The formulas given are for the typical characteristics only at 25°C.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	–	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	–	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	–	65	130	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	–	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	–	40	80	
Propagation Delay Time	t_{PLH}, t_{PHL}					ns
Clock to Q1						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 295 ns		5.0	–	380	600	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 117 ns		10	–	150	230	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 85 ns		15	–	110	175	
Clock to Q7						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 915 ns		5.0	–	1000	3000	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 367 ns		10	–	400	750	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 275 ns		15	–	300	565	
Reset to Q_n						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 415 ns		5.0	–	500	800	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 217 ns		10	–	250	400	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 155 ns		15	–	180	300	
Clock Pulse Width	t_{WH}	5.0	500	200	–	ns
		10	165	60	–	
		15	125	40	–	
Reset Pulse Width	t_{WH}	5.0	600	375	–	ns
		10	350	200	–	
		15	260	150	–	
Reset Removal Time	t_{rem}	5.0	625	250	–	ns
		10	190	75	–	
		15	145	50	–	
Clock Input Rise and Fall Times	t_{TLH}, t_{THL}	5.0		No Limit		
		10				
		15				
Input Pulse Frequency	f_{cl}	5.0	–	2.5	1.0	MHz
		10	–	8.0	3.0	
		15	–	12	4.0	

* The formula given is for the typical characteristics only.

TRUTH TABLE

CLOCK	RESET	STATE
0	0	No Change
0	1	All Outputs Low
1	0	No Change
1	1	All Outputs Low
⌐	0	No Change
⌐	1	All Outputs Low
¬	0	Advance One Count
¬	1	All Outputs Low

FIGURE 1 – TYPICAL OUTPUT SOURCE CHARACTERISTICS TEST CIRCUIT

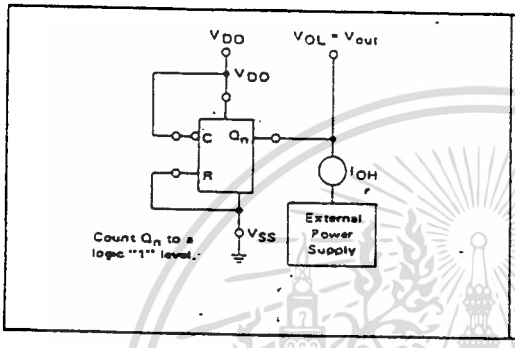


FIGURE 2 – TYPICAL OUTPUT SINK CHARACTERISTICS TEST CIRCUIT

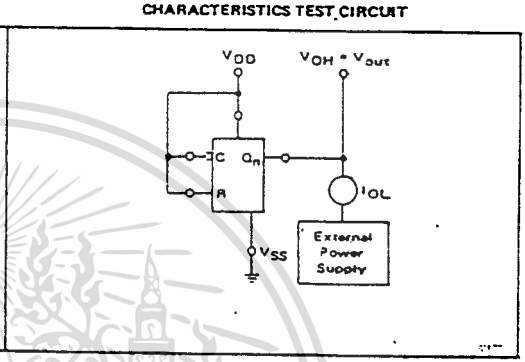


FIGURE 3 – POWER DISSIPATION TEST CIRCUIT

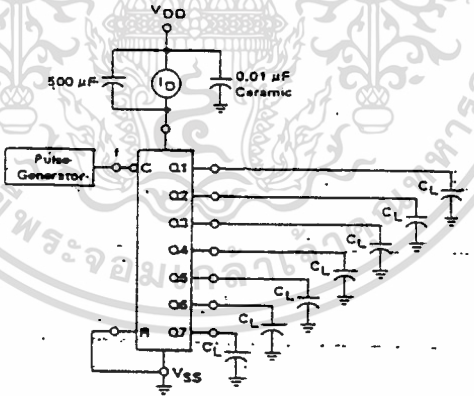
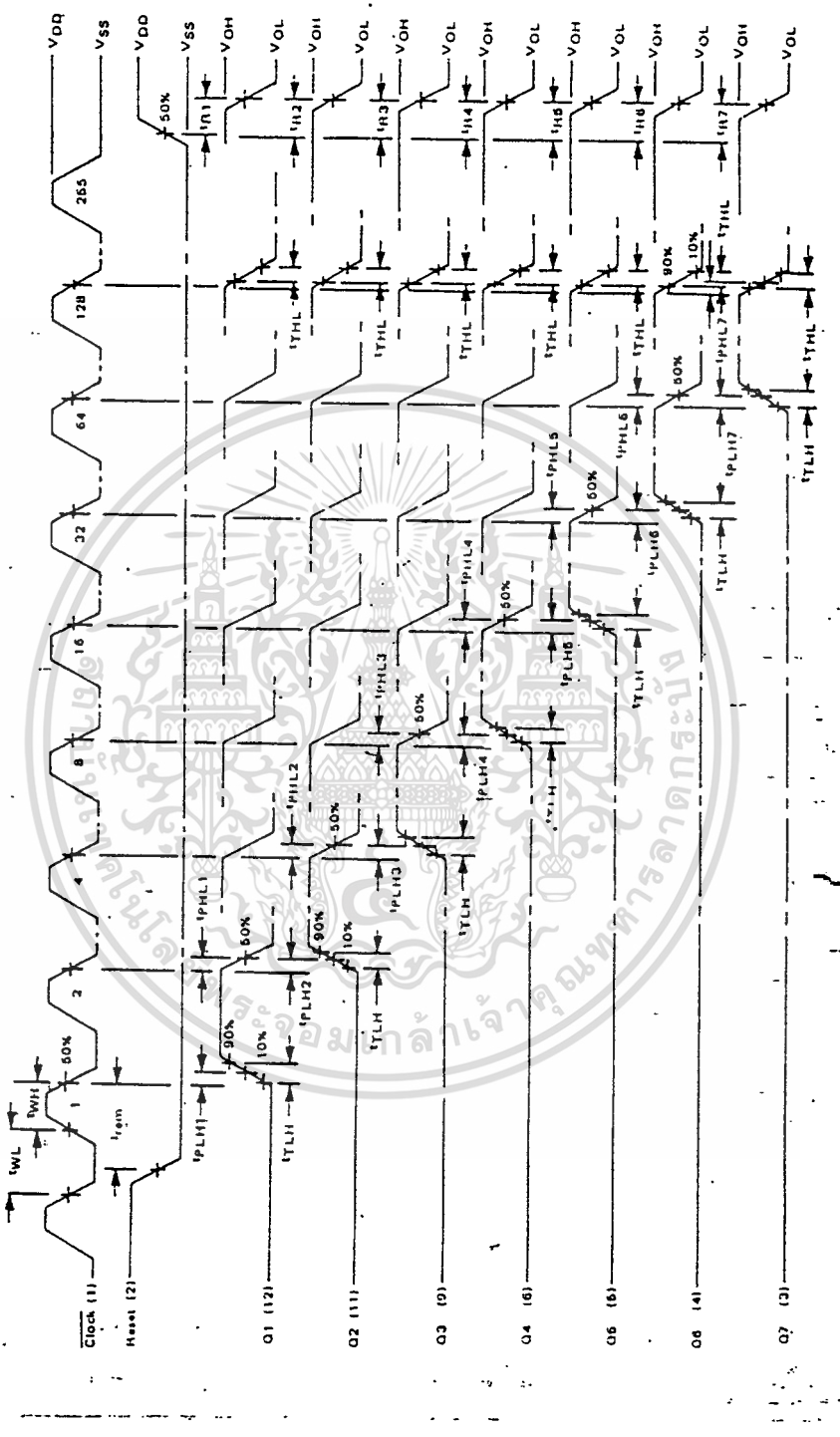


FIGURE 4 – FUNCTIONAL WAVEFORMS



Input tTLH and tTHL = 20 ns

MOTOROLA

MC14025B
MC14025UB

TRIPLE 3-INPUT "NOR" GATE

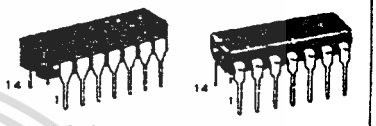
The MC14025B and MC14025UB are constructed with P and N channel enhancement mode devices in a single monolithic structure (Complementary MOS). Their primary use is where low power dissipation and/or high noise immunity is desired.

- Quiescent Current = 0.5 nA typ/pkg @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typ
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- All Outputs Buffered (MC14025B only)
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range. (MC14025B only)
- Double Diode Protection on All Inputs
- Pin-for-Pin Replacements for CD4025B and CD4025UB.

CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

TRIPLE 3-INPUT "NOR" GATE



L SUFFIX
CERAMIC PACKAGE
CASE 632

P SUFFIX
PLASTIC PACKAGE
CASE 646

ORDERING INFORMATION

MC14XXXB — Suffix — Denotes
(or UB, as applicable)
- L — Ceramic Package
- P — Plastic Package
- A — Extended Operating Temperature Range
- C — Limited Operating Temperature Range

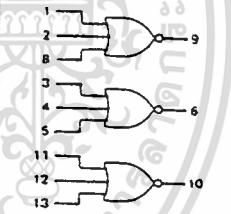
MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} +0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device	T_A	-55 to +125	°C
Operating Temperature Range — CL/CP Device	T_A	-40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

See the MC14001B data sheet for complete characteristics of the B-Series device.

See the MC14001UB data sheet for complete characteristics for the non-B device.

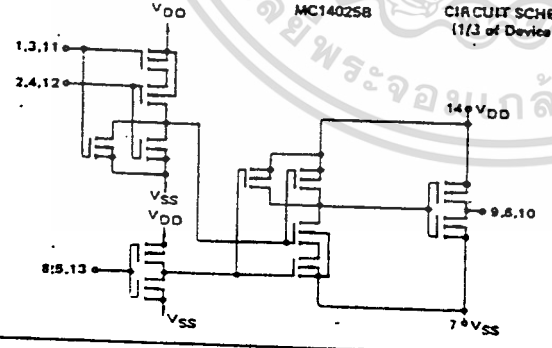
LOGIC DIAGRAM



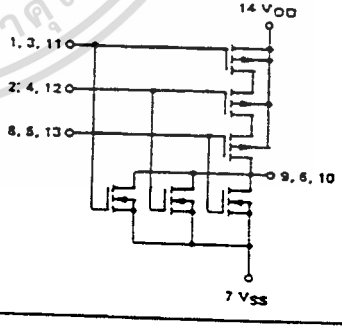
V_{DD} = Pin 14
V_{SS} = Pin 7

CIRCUIT SCHEMATICS
(1/3 of Device Shown)

MC14025B



MC14025UB



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in}$ or $V_{out}) \leq V_{DD}$. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

MOTOROLA

MC14040B

12-BIT BINARY COUNTER

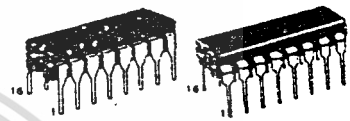
The MC14040B 12-stage binary counter is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. This part is designed with an input wave shaping circuit and 12 stages of ripple-carry binary counter. The device advances the count on the negative-going edge of the clock pulse. Applications include time delay circuits, counter controls, and frequency-driving circuits.

- Fully Static Operation
- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typical
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Low Input Capacitance = 5.0 pF typical
- Capable of Driving Two Low-Power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range.
- Common Reset Line
- 13 MHz Typical Counting Rate @ V_{DD} = 15 V
- Pin-for-Pin Replacement for CD4040B

CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

12-BIT BINARY COUNTER



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

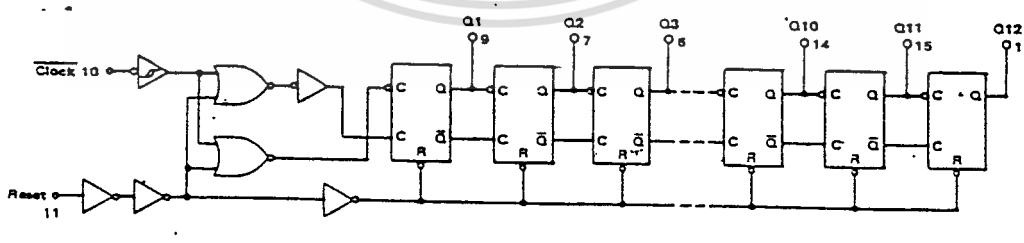
Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
⌐	0	No Change
¬	0	Advance to next state
X	1	All Outputs are low

X = Don't Care

LOGIC DIAGRAM



Q4 = Pin 5 Q7 = Pin 4 V_{DD} = Pin 16
Q5 = Pin 3 Q8 = Pin 13 V_{SS} = Pin 8
Q6 = Pin 2 Q9 = Pin 12

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
V_{in} = V_{DD} or 0		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
V_{in} = 0 or V_{DD}		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage# "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level	V_{IH}									
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	–	3.5	2.75	–	3.5	–	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	–1.2	–	–1.0	–1.7	–	–0.7	–	
(V_{OH} = 4.6 Vdc)		5.0	–0.25	–	–0.2	–0.36	–	–0.14	–	
(V_{OH} = 9.5 Vdc)		10	–0.62	–	–0.5	–0.9	–	–0.35	–	
(V_{OH} = 13.5 Vdc)		15	–1.8	–	–1.5	–3.5	–	–1.1	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	–1.0	–	–0.8	–1.7	–	–0.6	–	
(V_{OH} = 4.6 Vdc)		5.0	–0.2	–	–0.16	–0.36	–	–0.12	–	
(V_{OH} = 9.5 Vdc)		10	–0.5	–	–0.4	–0.9	–	–0.3	–	
(V_{OH} = 13.5 Vdc)		15	–1.4	–	–1.2	–3.5	–	–1.0	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device)	I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	µAdc
(Per Package)		10	–	10	–	0.010	10	–	300	
		15	–	20	–	0.015	20	–	600	
Quiescent Current (CL/CP Device)	I_{DD}	5.0	–	20	–	0.005	20	–	150	µAdc
(Per Package)		10	–	40	–	0.010	40	–	300	
		15	–	80	–	0.015	80	–	600	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (0.42 µA/kHz) f + I_{DD}							µAdc
		10	I_T = (0.85 µA/kHz) f + I_{DD}							
		15	I_T = (1.43 µA/kHz) f + I_{DD}							

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.

#Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc

†To calculate total supply current at loads other than 50 pF:
$I_T(C_L) = I_T(50\ pF) + 1 \times 10^{-3} (C_L - 50) V_{DD} f$
where: I_T is in µA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency.

**The formulas given are for the typical characteristics only at 25°C.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	–	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	–	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	–	65	130	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	–	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	–	40	80	
Propagation Delay Time	t_{PLH}, t_{PHL}					ns
t_{PHL}, t_{PLH} = (1.7 ns/pF) C_L + 315 ns		5.0	–	400	800	
t_{PHL}, t_{PLH} = (0.66 ns/pF) C_L + 137 ns		10	–	170	340	
t_{PHL}, t_{PLH} = (0.5 ns/pF) C_L + 95 ns		15	–	120	240	
Clock to Q12						ns
t_{PHL}, t_{PLH} = (1.7 ns/pF) C_L + 2415 ns		5.0	–	2.5	5.0	
t_{PHL}, t_{PLH} = (0.66 ns/pF) C_L + 867 ns		10	–	0.9	1.8	
t_{PHL}, t_{PLH} = (0.5 ns/pF) C_L + 475 nd		15	–	0.5	1.4	
Propagation Delay Time	t_{PHL}					ns
Reset to Q_n						
t_{PHL} = (1.7 ns/pF) C_L + 485 ns		5.0	–	570	1620	
t_{PHL} = (0.66 ns/pF) C_L + 182 ns		10	–	215	500	
t_{PHL} = (0.5 ns/pF) C_L + 145 ns		15	–	170	450	
Clock Pulse Width	t_{WH}	5.0	385	140	–	ns
		10	150	55	–	
		15	115	38	–	
Clock Pulse Frequency	f_{cl}	5.0	–	3.5	1.5	MHz
		10	–	9.0	3.5	
		15	–	13	4.5	
Clock Rise and Fall Time	t_{TLH}, t_{THL}	5.0				ns
		10		No Limit		
		15				
Reset Pulse Width	t_{WH}	5.0	960	320	–	ns
		10	360	120	–	
		15	270	80	–	

*The formula given is for the typical characteristics only.

FIGURE 1 – POWER DISSIPATION TEST CIRCUIT AND WAVEFORM

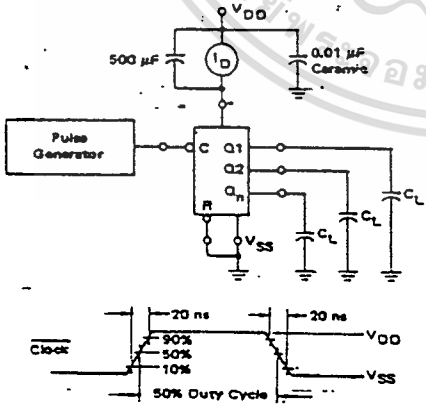


FIGURE 2 – SWITCHING TIME TEST CIRCUIT AND WAVEFORMS

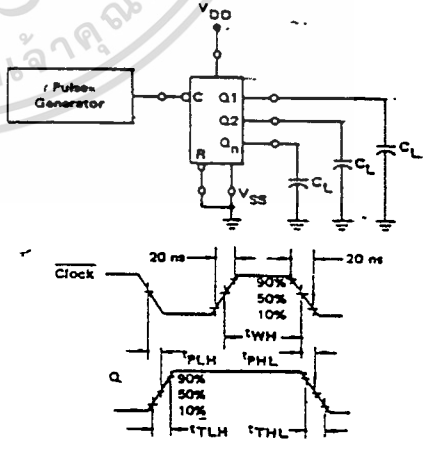
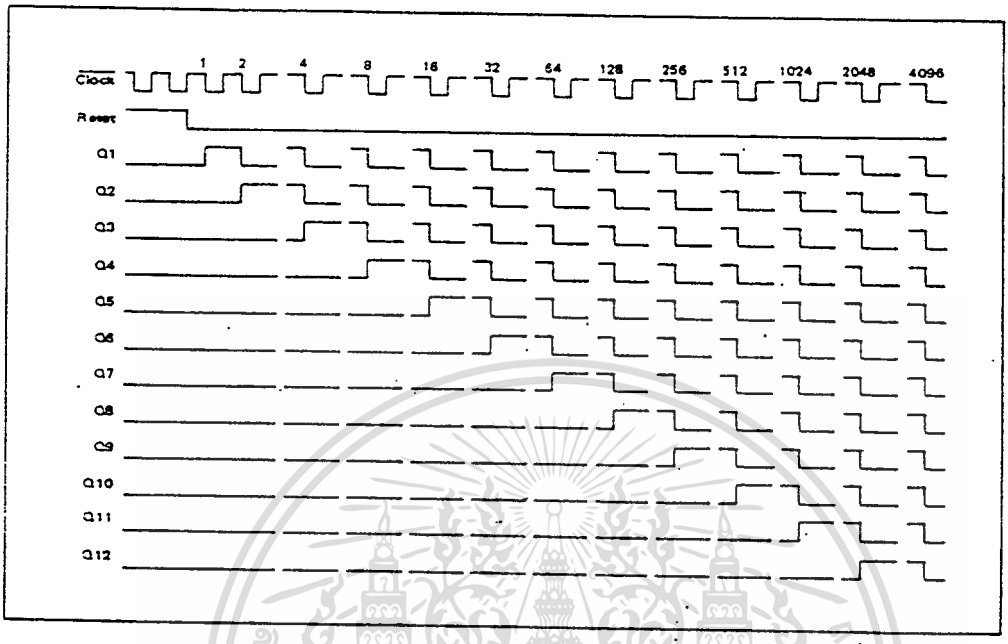


FIGURE 3 – TIMING DIAGRAM

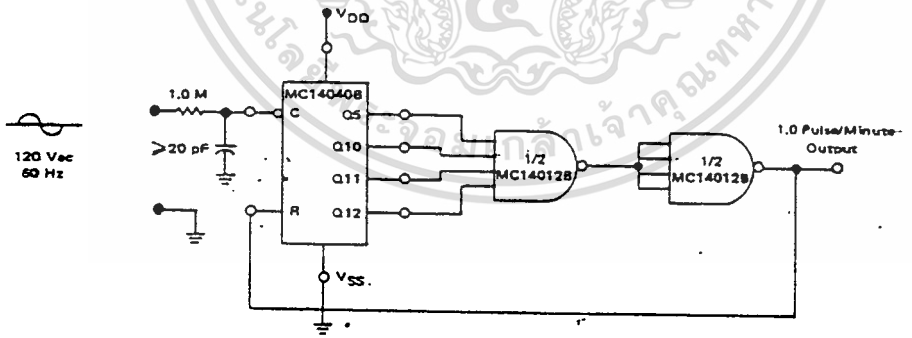


4

APPLICATIONS INFORMATION

TIME-BASE GENERATOR

A 60 Hz sinewave obtained through a 1.0 Megohm resistor connected directly to a standard 120 Vac power line is applied to the clock input of the MC14040B. By selecting outputs Q5, Q10, Q11, and Q12 division by 3600 is accomplished. The MC14012B decodes the counter outputs, produces a single output pulse, and resets the binary counter. The resulting output frequency is 1.0 pulse/minute.



Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications; consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc. or others.

MOTOROLA

MC14060B

Advance Information

CMOS MSI

(LOW POWER COMPLEMENTARY MOS)

14-BIT BINARY COUNTER AND OSCILLATOR

14-BIT BINARY COUNTER AND OSCILLATOR

The MC14060B is a 14-stage binary ripple counter with an on-chip oscillator buffer. The oscillator configuration allows design of either RC or crystal oscillator circuits. Also included on the chip is a reset function which places all outputs into the zero state and disables the oscillator. A negative transition on $Clock_{in}$ will advance the counter to the next state. Schmitt trigger action on the input line permits very slow input rise and fall times. Applications include time delay circuits, counter controls, and frequency dividing circuits.

- Fully Static Operation
- Quiescent Current = 5.0 nA/Package Typical @ 5 V
- Noise Immunity = 45% of V_{DD} Typical
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 V to 18 V
- Capable of Driving Two Low-Power TTL Loads, One Low-Power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Low Input Capacitance = 5.0 pF Typical
- Buffered Outputs Available from Stages 4 Through 10 and 12 Through 14
- Common Reset Line
- 17 MHz Typical Counting Rate @ V_{DD} = 15 V
- Pin-for-Pin Replacement for CD4060B

L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14XXXB

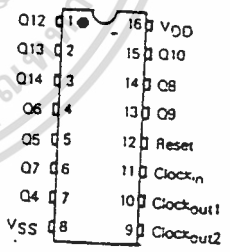
Suffix	Denotes
L	Ceramic Package
P	Plastic Package
A	Extended Operating Temperature Range
C	Limited Operating Temperature Range

TRUTH TABLE

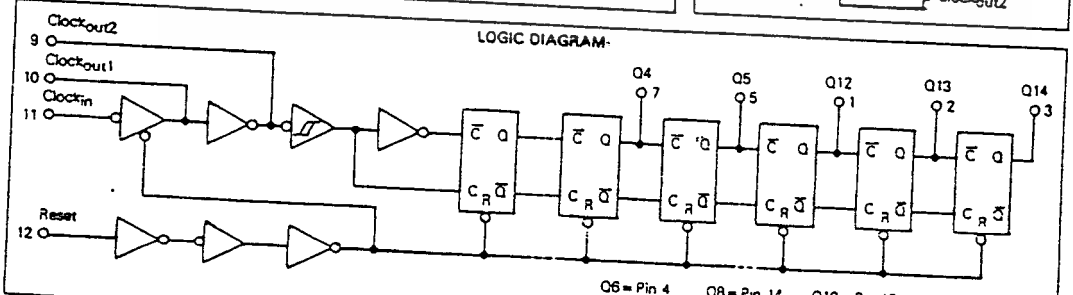
$Clock_{in}$	RESET	Output State
↑	0	No Change
↓	0	Advance to next state
X	1	All Outputs are low

X = Don't Care

PIN ASSIGNMENT



LOGIC DIAGRAM



This is advance information and specifications are subject to change without notice.

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	−0.5 to +18	V
Input Voltage, All Inputs	V_{in}	−0.5 to V_{DD} +0.5	V
DC Current Drain per Pin	I	10	mA
Operating Temperature Range — AL Device CL/CP Device	T_A	−55 to +125 −40 to +85	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} V	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	V
		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	V
		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage ‖ "0" Level (V_O = 4.5 or 0.5 V)	V_{IL}	5.0	–	1.5	–	2.25	1.5	–	1.5	V
(V_O = 9.0 or 1.0 V)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 V)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level (V_O = 0.5 or 4.5 V)	V_{IH}	5.0	3.5	–	3.5	2.75	–	3.5	–	V
(V_O = 1.0 or 9.0 V)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 V)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)† Source (V_{OH} = 2.5 V)	I_{OH}	5.0	−3.0	–	−2.4	−4.2	–	−1.7	–	mA
(V_{OH} = 4.6 V)		5.0	−0.64	–	−0.51	−0.88	–	−0.36	–	
(V_{OH} = 9.5 V)		10	−1.6	–	−1.3	−2.25	–	−0.9	–	
(V_{OH} = 13.5 V)		15	−4.2	–	−3.4	−8.8	–	−2.4	–	
(V_{OL} = 0.4 V) Sink (V_{OL} = 0.5 V)	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mA
(V_{OL} = 1.5 V)		10	1.6	–	1.3	2.25	–	0.9	–	
		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)† Source (V_{OH} = 2.5 V)	I_{OH}	5.0	−2.5	–	−2.1	−4.2	–	−1.7	–	mA
(V_{OH} = 4.6 V)		5.0	−0.52	–	−0.44	−0.88	–	−0.36	–	
(V_{OH} = 9.5 V)		10	−1.3	–	−1.1	−2.25	–	−0.9	–	
(V_{OH} = 13.5 V)		15	−3.6	–	−3.0	−8.8	–	−2.4	–	
(V_{OL} = 0.4 V) Sink (V_{OL} = 0.5 V)	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mA
(V_{OL} = 1.5 V)		10	1.3	–	1.1	2.25	–	0.9	–	
		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	μA
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	μA
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	μA
		10	–	10	–	0.010	10	–	300	
		15	–	20	–	0.015	20	–	600	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	–	20	–	0.005	20	–	150	μA
		10	–	40	–	0.010	40	–	300	
		15	–	80	–	0.015	80	–	600	

* T_{low} = −55°C for AL Device, −40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.

‖ Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level = 1.0 V min @ V_{DD} = 5.0 V
2.0 V min @ V_{DD} = 10 V
2.5 V min @ V_{DD} = 15 V

† Data not applicable to pins 9 and 10.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}	5.0	–	40	200	ns
		10	–	25	100	
		15	–	20	80	
Output Fall Time	t_{THL}	5.0	–	50	200	ns
		10	–	30	100	
		15	–	20	80	
Propagation Delay Time $Clock_{in}$ to Q4 $Clock_{in}$ to Q14	t_{PLH} t_{PHL}	5.0	–	415	740	ns
		10	–	175	300	
		15	–	125	200	
		5.0	–	1.5	2.7	µs
		10	–	0.7	1.3	
		15	–	0.4	1.0	
Clock Pulse Width	t_{WH}	5.0	100	65	–	ns
		10	40	30	–	
		15	30	20	–	
Clock Pulse Frequency	f_ϕ	5.0	–	5	3.5	MHz
		10	–	14	8	
		15	–	17	12	
Clock Rise and Fall Time	t_{TLH} t_{THL}	5.0	No Limit			–
		10				
		15				
Reset Pulse Width	t_w	5.0	120	40	–	ns
		10	60	15	–	
		15	40	10	–	
Propagation Delay Time Reset to Qn	t_{PHL}	5.0	–	170	360	ns
		10	–	80	160	
		15	–	60	100	

FIGURE 1 – POWER DISSIPATION TEST CIRCUIT AND WAVEFORM

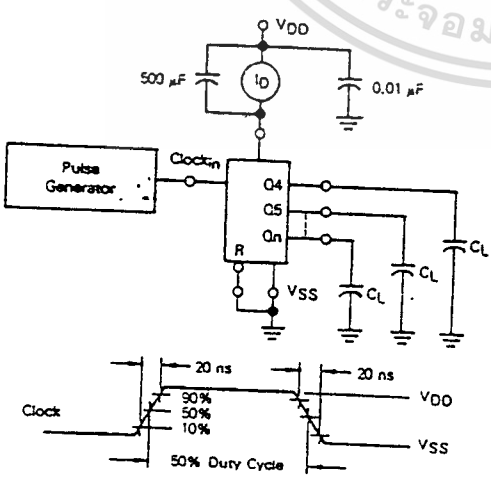
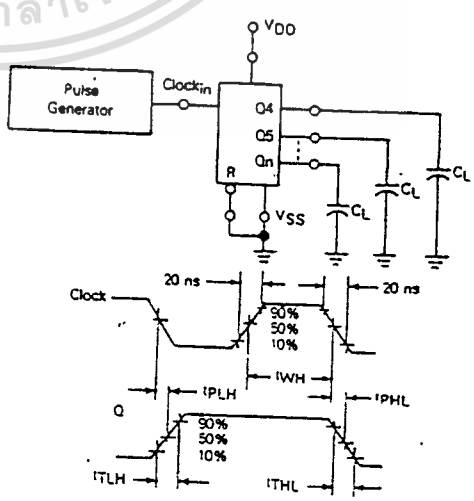
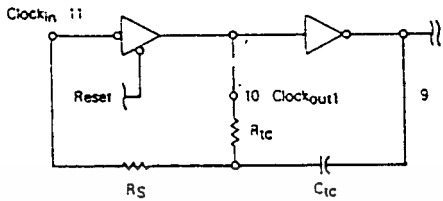


FIGURE 2 – SWITCHING TIME TEST CIRCUIT AND WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

FIGURE 3 – OSCILLATOR CIRCUIT USING RC CONFIGURATION



$$f \approx \frac{1}{2.3\,R_{tc}C_{tc}}$$

if 1kHz ≤ f ≤ 100 kHz
and $R_S = 2\,R_{tc}$
(f in Hz, R in ohms, C in farads)

TYPICAL RC OSCILLATOR CHARACTERISTICS

FIGURE 4 – RC OSCILLATOR STABILITY

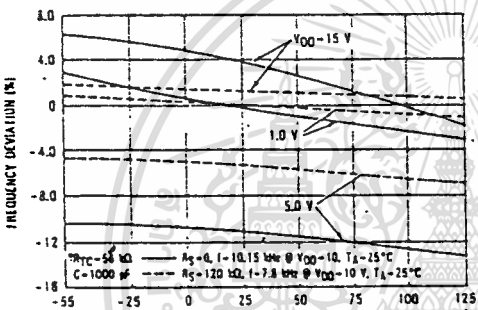


FIGURE 5 – RC OSCILLATOR FREQUENCY AS A FUNCTION OF R_{TC} AND C

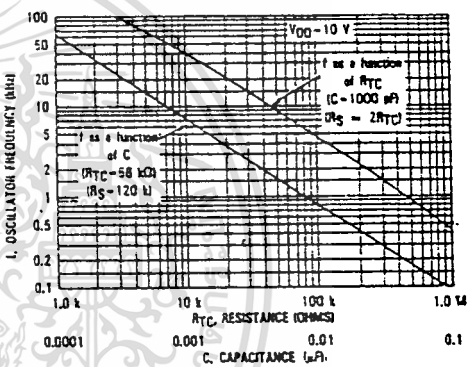


FIGURE 6 – TYPICAL CRYSTAL OSCILLATOR CIRCUIT

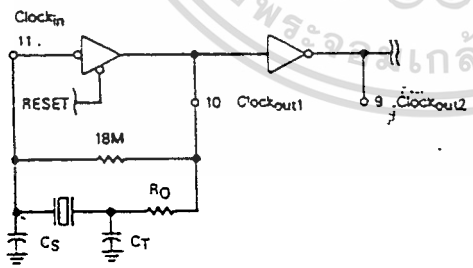


FIGURE 7 – TYPICAL DATA FOR CRYSTAL OSCILLATOR CIRCUIT

Characteristic	500 kHz Circuit	32 kHz Circuit	Unit
Crystal Characteristics			
Resonant Frequency	500	50	kHz
Equivalent Resistance, R_S	1.0	6.2	kΩ
External Resistor/Capacitor Values			
R_O	47	750	kΩ
C_T	82	82	pF
C_S	20	20	pF
Frequency Stability			
Frequency Changes as a Function of V_{DD} (T_A = 25°C)			
V_{DD} Change from 5.0 V to 10 V	± 6.0	± 2.0	ppm
V_{DD} Change from 10 V to 15 V	± 2.0	± 2.0	ppm
Frequency Change as a Function of Temperature (V_{DD} = 10 V)			
T_A Change from −55°C to +25°C Complete Oscillator*	+ 100	+ 120	ppm
T_A Change from +25°C to +125°C Complete Oscillator*	− 160	− 560	ppm

*Complete oscillator includes crystal, capacitors, and resistors.

Motorola reserves the right to make changes to any products herein to improve reliability, function or design. Motorola does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others.

MOTOROLA

MC14094B

8-STAGE SHIFT/STORE REGISTER WITH THREE-STATE OUTPUTS

The MC14094B combines an 8-stage shift register with a data latch for each stage and a three-state output from each latch.

Data is shifted on the positive clock transition and is shifted from the seventh stage to two serial outputs. The Q_S output data is for use in high-speed cascaded systems. The Q'_S output data is shifted on the following negative clock transition for use in low-speed cascaded systems.

Data from each stage of the shift register is latched on the negative transition of the strobe input. Data propagates through the latch while strobe is high.

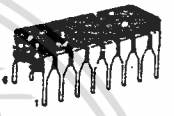
Outputs of the eight data latches are controlled by three-state buffers which are placed in the high-impedance state by a logic Low on Output Enable.

- Three-State Outputs
- Capable of Driving Two Low-Power TTL Loads, One Low-Power Schottky TTL Load or Two HTTL Loads Over the Rated Temperature Range
- Input Diode Protection
- Data Latch
- Dual Outputs for Data Out on Both Positive and Negative Clock Transitions
- Useful for Serial-to-Parallel Data Conversion
- Three-State Bus Compatible
- Pin-for-Pin Compatible with CD4094B

CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

8-STAGE SHIFT/STORE REGISTER

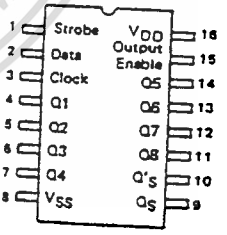


L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L — Ceramic Package
- P — Plastic Package
- A — Extended Operating Temperature Range
- C — Limited Operating Temperature Range



MAXIMUM RATINGS (Voltages referenced to V_{SS}, Pin 8).

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device	T_A	-55 to +125	°C
CL/CP Device		-40 to +85	
Storage Temperature Range	T_{stg}	-65 to +150	°C

Clock	Output Enable	Strobe	Data	Parallel Outputs		Serial Outputs	
				Q1	Q_N	Q_S*	Q'_S
↑	0	X	X	3S	3S	Q7	No Chg.
↓	0	X	X	3S	3S	No Chg.	Q7
↑	1	0	X	No Chg.	No Chg.	Q7	No Chg.
↓	1	1	0	0	Q_{N-1}	Q7	No Chg.
↑	1	1	1	1	Q_{N-1}	Q7	No Chg.
↓	1	1	1	No Chg.	No Chg.	No Chg.	Q7

3S = Three-State
X = Don't Care
*At the positive clock edge, information in the 7th shift register stage is transferred to Q8 and Q_S.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage** "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level	V_{IH}									
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	–	3.5	2.75	–	3.5	–	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-3.0	–	-2.4	-4.2	–	-1.7	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.64	–	-0.51	-0.88	–	-0.36	–	
(V_{OH} = 9.5 Vdc)		10	-1.6	–	-1.3	-2.25	–	-0.9	–	
(V_{OH} = 13.5 Vdc)		15	-4.2	–	-3.4	-8.8	–	-2.4	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	-2.5	–	-2.1	-4.2	–	-1.7	–	
(V_{OH} = 4.6 Vdc)		5.0	-0.52	–	-0.44	-0.88	–	-0.36	–	
(V_{OH} = 9.5 Vdc)		10	-1.3	–	-1.1	-2.25	–	-0.9	–	
(V_{OH} = 13.5 Vdc)		15	-3.6	–	-3.0	-8.8	–	-2.4	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	µAdc
		10	–	10	–	0.010	10	–	300	
		15	–	20	–	0.015	20	–	600	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	–	20	–	0.005	20	–	150	µAdc
		10	–	40	–	0.010	40	–	300	
		15	–	80	–	0.015	80	–	600	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (4.1 µA/kHz) f + I_{DD}							µAdc
		10	I_T = (14 µA/kHz) f + I_{DD}							
		15	I_T = (140 µA/kHz) f + I_{DD}							
3-State Output Leakage Current	I_{TL}	18	–	±0.4	–	±0.0001	±0.4	–	±12	µAdc

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
**Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc
†To calculate total supply current at loads other than 50 pF:
$I_T(C_L) = I_T(50\ pF) + 1 \times 10^{-3} (C_L - 50) V_{DD} f$
where: I_T is in µA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency.
**The formulas given are for the typical characteristics only at 25°C.

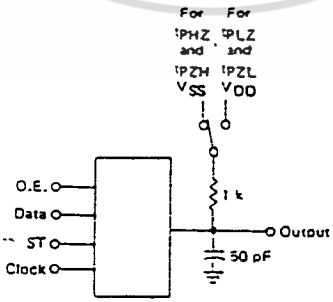
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

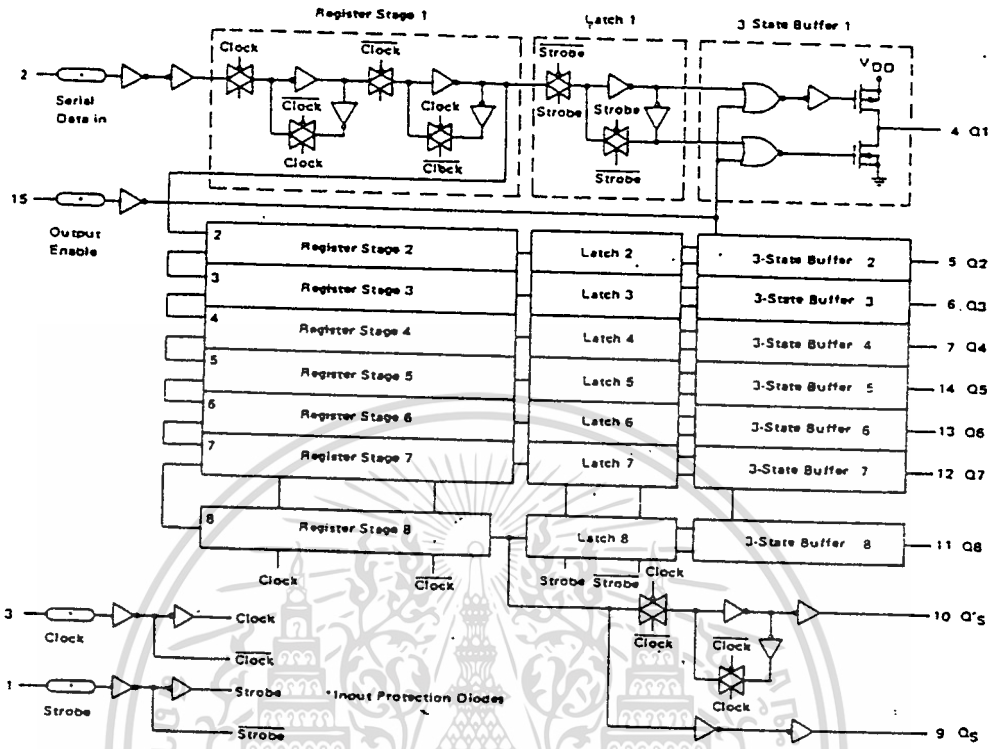
Characteristic	Symbol	V_{DD} Vdc	Min	Typ	Max	Unit
Output Rise and Fall Time	t_{TLH}, t_{THL}					ns
t_{TLH}, t_{THL} = (1.35 ns/pF) C_L + 33 ns		5.0	–	100	200	
t_{TLH}, t_{THL} = (0.6 ns/pF) C_L + 20 ns		10	–	50	100	
t_{TLH}, t_{THL} = (0.4 ns/pF) C_L + 20 ns		15	–	40	80	
Propagation Delay Time	t_{PLH}, t_{PHL}					ns
Clock to Serial out QS						
t_{PLH}, t_{PHL} = (0.90 ns/pF) C_L + 305 ns		5.0	–	350	600	
t_{PLH}, t_{PHL} = (0.36 ns/pF) C_L + 107 ns		10	–	125	250	
t_{PLH}, t_{PHL} = (0.26 ns/pF) C_L + 82 ns		15	–	95	190	
Clock to Serial out Q'S						
t_{PLH}, t_{PHL} = (0.90 ns/pF) C_L + 350 ns		5.0	–	230	460	
t_{PLH}, t_{PHL} = (0.36 ns/pF) C_L + 149 ns		10	–	110	220	
t_{PLH}, t_{PHL} = (0.26 ns/pF) C_L + 62 ns		15	–	75	150	
Clock to Parallel out						
t_{PLH}, t_{PHL} = (0.90 ns/pF) C_L + 375 ns		5.0	–	420	840	
t_{PLH}, t_{PHL} = (0.35 ns/pF) C_L + 177 ns		10	–	195	390	
t_{PLH}, t_{PHL} = (0.26 ns/pF) C_L + 122 ns		15	–	135	270	
Strobe to Parallel out						
t_{PLH}, t_{PHL} = (0.90 ns/pF) C_L + 245 ns		5.0	–	290	580	
t_{PLH}, t_{PHL} = (0.36 ns/pF) C_L + 127 ns		10	–	145	290	
t_{PLH}, t_{PHL} = (0.26 ns/pF) C_L + 87 ns		15	–	100	200	
Output Enable to Output						
t_{PHZ}, t_{PZL} = (0.90 ns/pF) C_L + 95 ns		5.0	–	140	280	
t_{PHZ}, t_{PZL} = (0.36 ns/pF) C_L + 57 ns		10	–	75	150	
t_{PHZ}, t_{PZL} = (0.26 ns/pF) C_L + 42 ns		15	–	55	110	
t_{PLZ}, t_{PZH} = (0.90 ns/pF) C_L + 180 ns		5.0	–	225	450	
t_{PLZ}, t_{PZH} = (0.36 ns/pF) C_L + 77 ns		10	–	95	190	
t_{PLZ}, t_{PZH} = (0.26 ns/pF) C_L + 57 ns		15	–	70	140	
Setup Time	t_{su}					ns
Data in to Clock		5.0	125	60	–	
		10	55	30	–	
		15	35	20	–	
Clock Pulse Width, High	t_{WH}	5.0	200	100	–	ns
		10	100	50	–	
		15	80	40	–	
Clock Rise Time	$t_{r(cl)}$	5	15	–	–	µs
		10	5.0	–	–	
		15	5.0	–	–	
Clock Pulse Frequency	f_{cl}	5.0	–	2.5	1.25	MHz
		10	–	5.0	2.5	
		15	–	6.0	3.0	
Strobe Pulse Width	t_{WL}	5.0	200	100	–	ns
		10	80	40	–	
		15	70	35	–	

*The formula given is for the typical characteristics only.

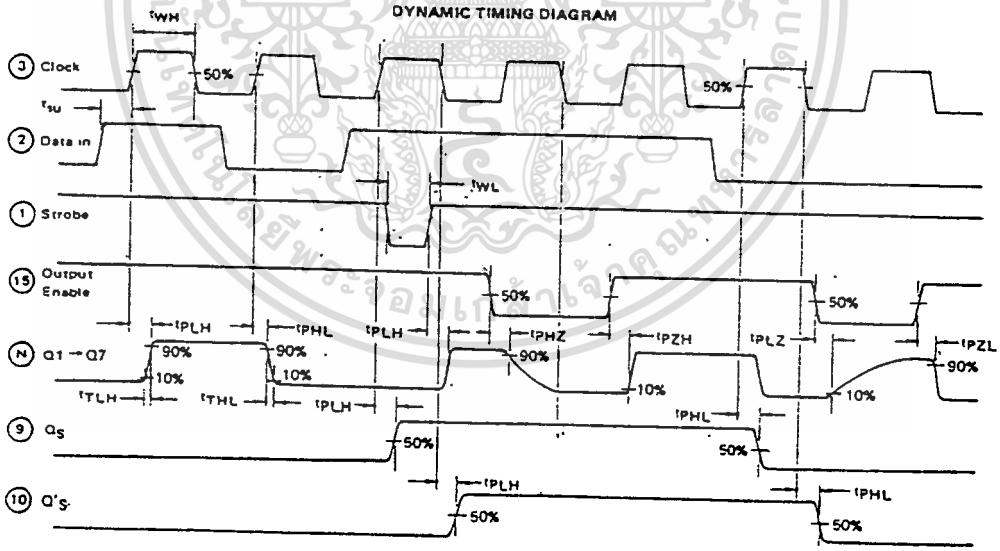
3-STATE TEST CIRCUIT



BLOCK DIAGRAM



DYNAMIC TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14512B

8-CHANNEL DATA SELECTOR

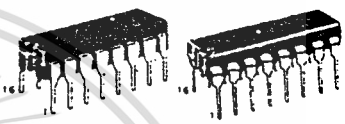
The MC14512B is an 8-channel data selector constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. This data selector finds primary application in signal multiplexing functions. It may also be used for data routing, digital signal switching, signal gating, and number sequence generation.

- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typical
- Diode Protection on All Inputs
- High Fanout > 50
- Single Supply Operation — Positive or Negative
- 3-State Output (Logic "1", Logic "0", High Impedance)
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range

CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

8-CHANNEL DATA SELECTOR



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

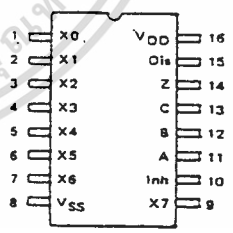
MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

4

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

PIN ASSIGNMENT



TRUTH TABLE

C	B	A	INHIBIT	DISABLE	Z
0	0	0	0	0	X0
0	0	1	0	0	X1
0	1	0	0	0	X2
0	1	1	0	0	X3
1	0	0	0	0	X4
1	0	1	0	0	X5
1	1	0	0	0	X6
1	1	1	0	0	X7
ø	ø	ø	1	0	0
ø	ø	ø	ø	1	High Impedance

ø = Don't Care

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit.

ELECTRICAL CHARACTERISTICS

Characteristic		Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage	"0" Level	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
V_{in} = V_{DD} or 0			10	–	0.05	–	0	0.05	–	0.05	
			15	–	0.05	–	0	0.05	–	0.05	
	"1" Level	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
V_{in} = 0 or V_{DD}			10	9.95	–	9.95	10	–	9.95	–	
			15	14.95	–	14.95	15	–	14.95	–	
Input Voltage#	"0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)			5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)			10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)			15	–	4.0	–	6.75	4.0	–	4.0	
	"1" Level	V_{IH}									Vdc
(V_O = 0.5 or 4.5 Vdc)			5.0	3.5	–	3.5	2.75	–	3.5	–	
(V_O = 1.0 or 9.0 Vdc)			10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)			15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)		I_{OH}									mAdc
(V_{OH} = 2.5 Vdc)	Source		5.0	-1.2	–	-1.0	-1.7	–	-0.7	–	
(V_{OH} = 4.6 Vdc)			5.0	-0.25	–	-0.2	-0.36	–	-0.14	–	
(V_{OH} = 9.5 Vdc)			10	-0.62	–	-0.5	-0.9	–	-0.35	–	
(V_{OH} = 13.5 Vdc)			15	-1.8	–	-1.5	-3.5	–	-1.1	–	
(V_{OL} = 0.4 Vdc)	Sink	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)			10	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)			15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)		I_{OH}									mAdc
(V_{OH} = 2.5 Vdc)	Source		5.0	-1.0	–	-0.8	-1.7	–	-0.6	–	
(V_{OH} = 4.6 Vdc)			5.0	-0.2	–	-0.16	-0.36	–	-0.12	–	
(V_{OH} = 9.5 Vdc)			10	-0.5	–	-0.4	-0.9	–	-0.3	–	
(V_{OH} = 13.5 Vdc)			15	-1.4	–	-1.2	-3.5	–	-1.0	–	
(V_{OL} = 0.4 Vdc)	Sink	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)			10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)			15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)		I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Input Current (CL/CP Device)		I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
Input Capacitance (V_{in} = 0)		C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device)		I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	µAdc
(Per Package)			10	–	10	–	0.010	10	–	300	
			15	–	20	–	0.015	20	–	600	
Quiescent Current (CL/CP Device)		I_{DD}	5.0	–	20	–	0.005	20	–	150	µAdc
(Per Package)			10	–	40	–	0.010	40	–	300	
			15	–	80	–	0.015	80	–	600	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)		I_T	5.0	I_T = (0.8 µA/kHz) f + I_{DD}							µAdc
			10	I_T = (1.6 µA/kHz) f + I_{DD}							
			15	I_T = (2.4 µA/kHz) f + I_{DD}							
Three-State Leakage Current (AL Device)		I_{TL}	15	–	±0.1	–	±0.00001	±0.1	–	±3.0	µAdc
Three-State Leakage Current (CL/CP Device)		I_{TL}	15	–	±1.0	–	±0.00001	±1.0	–	±7.5	µAdc

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
#Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc
†To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50\ pF) + 1 \times 10^{-3}(C_L - 50)\ V_{DD} f$$

where: I_T is in µA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency.
**The formulas given are for the typical characteristics only at 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	All Types		Unit
			Typ	Max	
Output Rise Time	t_{TLH}				ns
t_{TLH} = (3.0 ns/pF) C_L + 25 ns		5.0	225	360	
t_{TLH} = (1.5 ns/pF) C_L + 12 ns		10	110	180	
t_{TLH} = (1.1 ns/pF) C_L + 8 ns		15	80	130	
Output Fall Time	t_{THL}				ns
t_{THL} = (1.5 ns/pF) C_L + 47 ns		5.0	130	200	
t_{THL} = (0.75 ns/pF) C_L + 24 ns		10	65	100	
t_{THL} = (0.55 ns/pF) C_L + 17 ns		15	50	80	
Turn-Off Delay Time	t_{PLH}				ns
t_{PLH} = (0.9 ns/pF) C_L + 211 ns		5.0	330	650	
t_{PLH} = (0.3 ns/pF) C_L + 70 ns		10	125	250	
t_{PLH} = (0.23 ns/pF) C_L + 54 ns		15	85	170	
Turn-On Delay Time	t_{PHL}				ns
t_{PHL} = (2.7 ns/pF) C_L + 184 ns		5.0	330	650	
t_{PHL} = (0.9 ns/pF C_L + 61 ns		10	125	250	
t_{PHL} = (0.68 ns/pF) C_L + 47 ns		15	85	170	
3-State Output Delay Times	t_{PHZ}, t_{PLZ},	5.0	60	150	ns
"1" or "0" to High Z, and	t_{PZH}, t_{PZL}	10	35	100	
High Z to "1" or "0"		15	30	75	

*The formula given is for the typical characteristics only.

FIGURE 1 — POWER DISSIPATION TEST CIRCUIT AND WAVEFORM

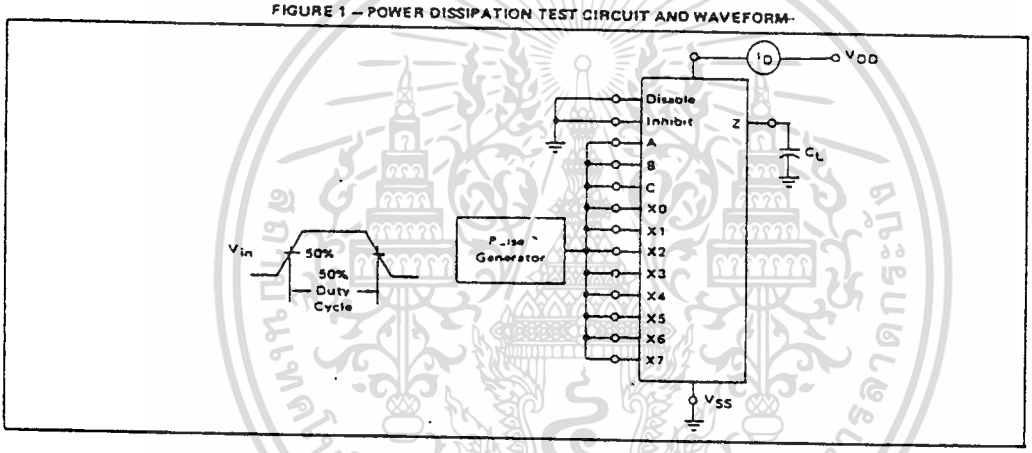
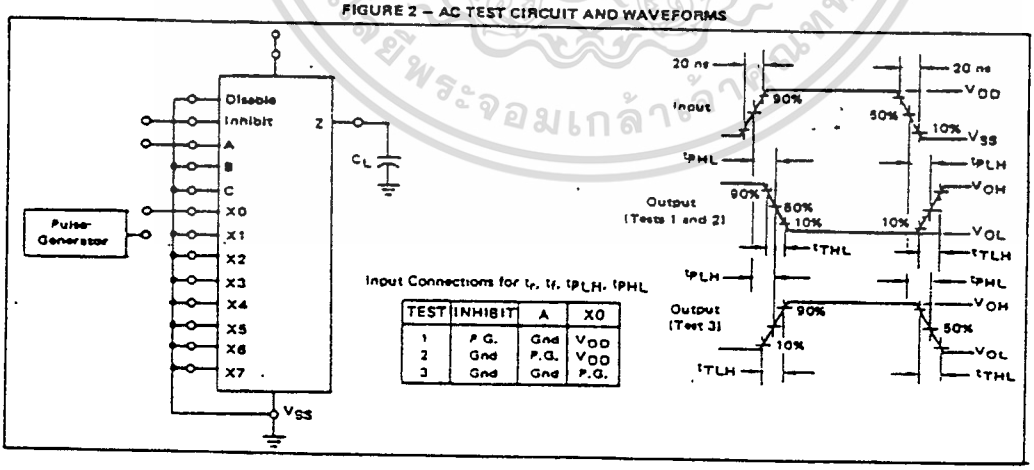


FIGURE 2 — AC TEST CIRCUIT AND WAVEFORMS

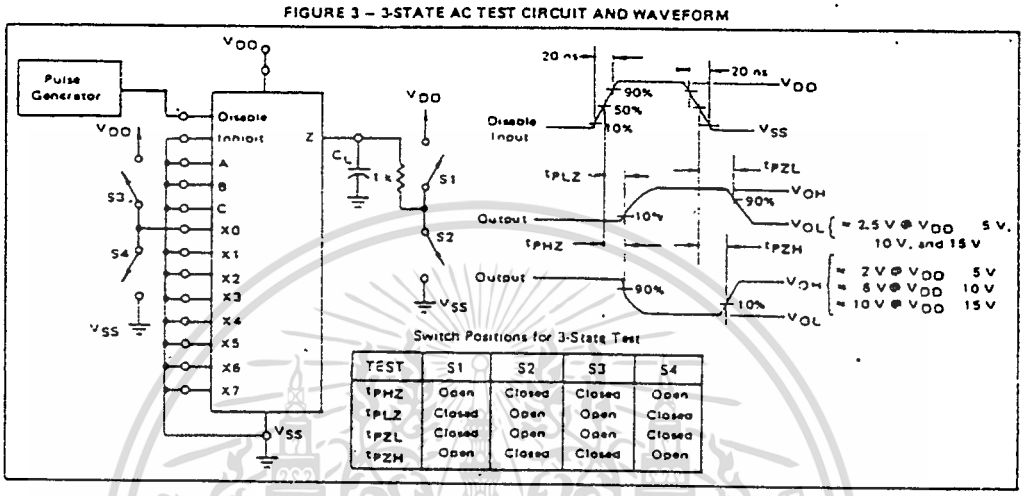


Input Connections for t_r, t_f, t_{PLH}, t_{PHL}

TEST	INHIBIT	A	X0
1	P.G.	Gnd	V_{DD}
2	Gnd	P.G.	V_{DD}
3	Gnd	Gnd	P.G.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

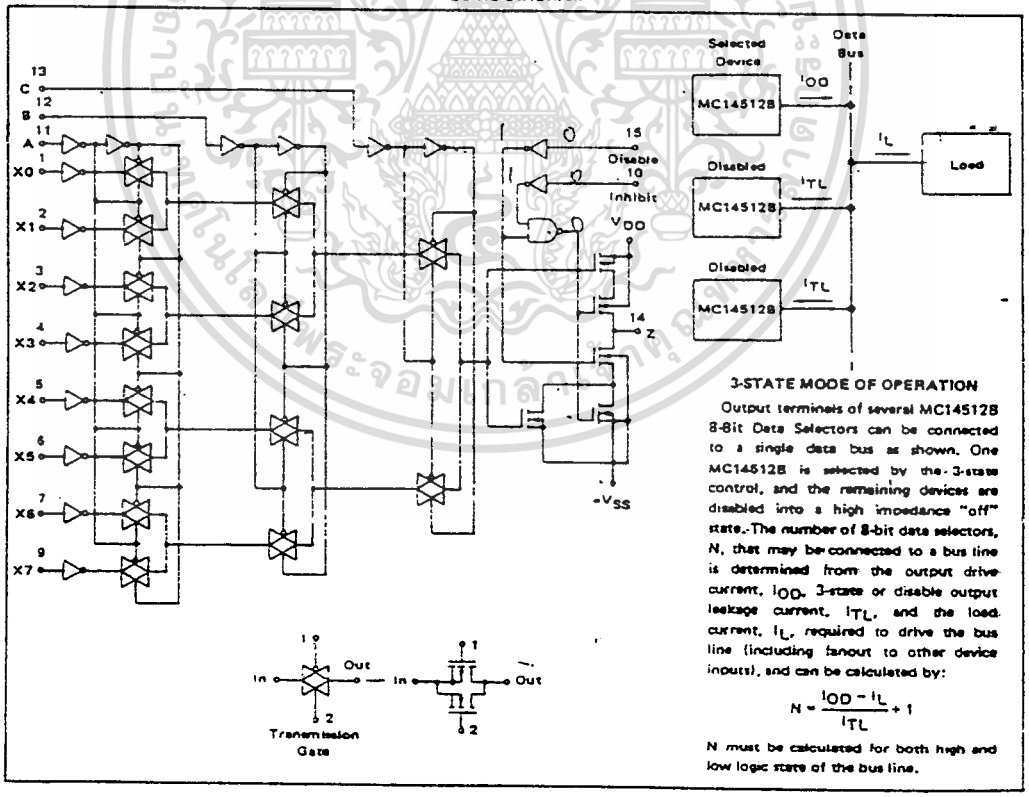
FIGURE 3 – 3-STATE AC TEST CIRCUIT AND WAVEFORM



Switch Positions for 3-State Test

TEST	S1	S2	S3	S4
tPHZ	Open	Closed	Closed	Open
tPLZ	Closed	Open	Open	Closed
tPZL	Closed	Open	Open	Closed
tPZH	Open	Closed	Closed	Open

LOGIC DIAGRAM



3-STATE MODE OF OPERATION

Output terminals of several MC14512B 8-Bit Data Selectors can be connected to a single data bus as shown. One MC14512B is selected by the 3-state control, and the remaining devices are disabled into a high impedance "off" state. The number of 8-bit data selectors, N, that may be connected to a bus line is determined from the output drive current, I_{OD}, 3-state or disable output leakage current, I_{TL}, and the load current, I_L, required to drive the bus line (including fanout to other device inputs), and can be calculated by:

$$N = \frac{I_{OD} - I_L}{I_{TL}} + 1$$

N must be calculated for both high and low logic state of the bus line.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14530B

CMOS SSI

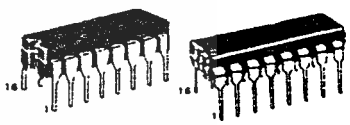
(LOW-POWER COMPLEMENTARY MOS)

DUAL 5-INPUT MAJORITY LOGIC GATE

DUAL 5-INPUT MAJORITY LOGIC GATE

The MC145308 dual five-input majority logic gate is constructed with P-channel and N-channel enhancement mode devices in a single monolithic structure. Combinational and sequential logic expressions are easily implemented with the majority logic gate, often resulting in fewer components than obtainable with the more basic gates. This device can also provide numerous logic functions by using the W and some of the logic (A thru E) inputs as control inputs.

- Single Supply Operation – Positive or Negative
- Quiescent Current = 0.5 nA/package typical @ 5 Vdc
- Input Impedance = 10^{12} ohms typical
- High Fanout > 50
- Diode Protection on Inputs
- Noise Immunity = 45% of V_{DD} typical
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

4

MAXIMUM RATINGS (Voltages referenced to V_{SS})

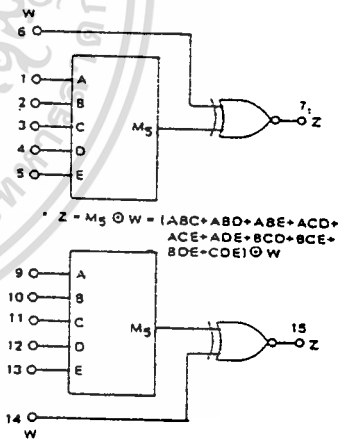
Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range – AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

LOGIC TABLE

INPUTS A B C D E	W	Z
For all combinations of inputs where three or more inputs are logical "0"	0	1
	1	0
For all combinations of inputs where three or more inputs are logical "1"	0	0
	1	1

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} < (V_{in}$ or $V_{out}) < V_{DD}$.
Unused inputs must be tied to an appropriate logic level (e.g., V_{SS} or V_{DD}).

BLOCK DIAGRAM



• $Z = M_5 \odot W = (ABC+ABD+ABE+ACD+ACE+ADE+BCD+BCE+BDE+CDE) \odot W$

*M_5 is a logical "1" if any three or more inputs are logical "1".

⊙ ≡ Exclusive NOR ≡ $\overline{\text{Exclusive OR}}$

TRUTH TABLE

M_5	W	Z
0	0	1
0	1	0
1	0	0
1	1	1

V_{DD} = Pin 16
V_{SS} = Pin 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage# "0" Level (V_O = 3.5 or 1.5 Vdc) (V_O = 7.0 or 3.0 Vdc) (V_O = 10.5 or 4.5 Vdc)	V_{IL}	5.0	–	1.2	–	2.25	1.25	–	1.15	Vdc
		10	–	2.5	–	4.50	2.5	–	2.4	
		15	–	3.0	–	6.75	3.0	–	2.9	
"1" Level (V_O = 1.5 or 3.5 Vdc) (V_O = 3.0 or 7.0 Vdc) (V_O = 4.5 or 10.5 Vdc)	V_{IH}	5.0	3.85	–	3.75	2.75	–	3.75	–	Vdc
		10	7.5	–	7.5	5.50	–	7.5	–	
		15	12.1	–	12	8.25	–	12	–	
Output Drive Current (AL Device) (V_{OH} = 2.5 Vdc) Source (V_{OH} = 4.6 Vdc) (V_{OH} = 9.5 Vdc) (V_{OH} = 13.5 Vdc)	I_{OH}	5.0	–1.2	–	–1.0	–1.7	–	–0.7	–	mAdc
		5.0	–0.25	–	–0.2	–0.36	–	–0.14	–	
		10	–0.62	–	–0.5	–0.9	–	–0.35	–	
		15	–1.8	–	–1.5	–3.5	–	–1.1	–	
(V_{OL} = 0.4 Vdc) Sink (V_{OL} = 0.5 Vdc) (V_{OL} = 1.5 Vdc)	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
		10	1.6	–	1.3	2.25	–	0.9	–	
		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device) (V_{OH} = 2.5 Vdc) Source (V_{OH} = 4.6 Vdc) (V_{OH} = 9.5 Vdc) (V_{OH} = 13.5 Vdc)	I_{OH}	5.0	–1.0	–	–0.8	–1.7	–	–0.6	–	mAdc
		5.0	–0.2	–	–0.16	–0.36	–	–0.12	–	
		10	–0.5	–	–0.4	–0.9	–	–0.3	–	
		15	–1.4	–	–1.2	–3.5	–	–1.0	–	
(V_{OL} = 0.4 Vdc) Sink (V_{OL} = 0.5 Vdc) (V_{OL} = 1.5 Vdc)	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
		10	1.3	–	1.1	2.25	–	0.9	–	
		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	–	0.25	–	0.0005	0.25	–	7.5	µAdc
		10	–	0.50	–	0.0010	0.50	–	15	
		15	–	1.00	–	0.0015	1.00	–	30	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	–	1.0	–	0.0005	1.0	–	7.5	µAdc
		10	–	2.0	–	0.0010	2.0	–	15	
		15	–	4.0	–	0.0015	4.0	–	30	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (0.75 µA/kHz) f + I_{DD}							µAdc
		10	I_T = (1.50 µA/kHz) f + I_{DD}							
		15	I_T = (2.25 µA/kHz) f + I_{DD}							

*T_{low} = –55°C for AL Device, –40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
#Noise immunity specified for worst-case input combination. Standard family noise margin specification is met for any one input tested at a time.
†To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50\ pF) + 2 \times 10^{-3} (C_L - 50) V_{DD} f$$

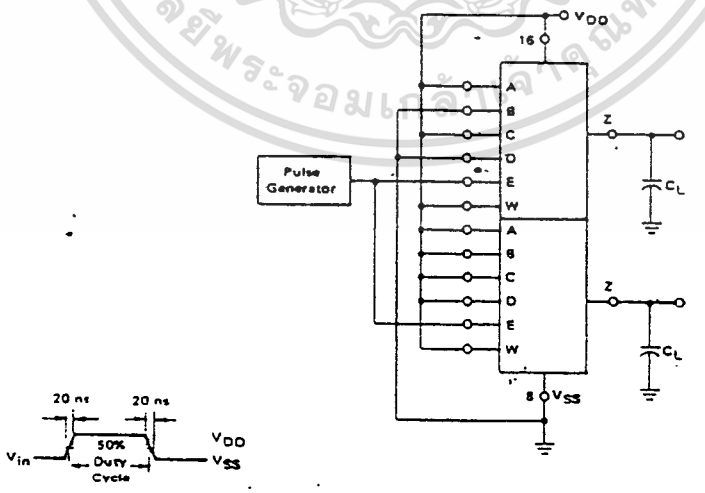
where: I_T is in µA (per package), C_L in pF, V_{DD} in Vdc, and fin kHz is input frequency.
**The formulas given are for the typical characteristics only at 25°C.

SWITCHING CHARACTERISTICS* (C_L = to pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	–	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	–	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	–	65	130	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	–	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	–	40	80	
Propagation Delay Time	t_{PLH}					ns
A, C, W = V_{DD}; B, E = Gnd; D = Pulse Generator						
t_{PLH} = (1.7 ns/pF) C_L + 290 ns		5.0	–	375	960	
t_{PLH} = (0.66 ns/pF) C_L + 127 ns		10	–	160	400	
t_{PLH} = (0.5 ns/pF) C_L + 85 ns		15	–	110	300	
t_{PHL} = (1.7 ns/pF) C_L + 345 ns	t_{PHL}	5.0	–	430	1200	ns
t_{PHL} = (0.66 ns/pF) C_L + 162 ns		10	–	195	540	
t_{PHL} = (0.5 ns/pF) C_L + 95 ns		15	–	120	410	
A, B, C, D, E = Pulse Generator; W = V_{DD}	t_{PLH}					ns
t_{PLH} = (1.7 ns/pF) C_L + 170 ns		5.0	–	255	640	
t_{PLH} = (0.66 ns/pF) C_L + 87 ns		10	–	120	300	
t_{PLH} = (0.5 ns/pF) C_L + 60 ns		15	–	85	210	
t_{PHL} = (1.7 ns/pF) C_L + 195 ns	t_{PHL}	5.0	–	280	750	ns
t_{PHL} = (0.66 ns/pF) C_L + 92 ns		10	–	125	330	
t_{PHL} = (0.5 ns/pF) C_L + 75 ns		15	–	100	250	
A, B, C, D, E = Gnd; W = Pulse Generator	t_{PLH},					ns
t_{PHL}, t_{PLH} = (1.7 ns/pF) C_L + 145 ns	t_{PHL}	5.0	–	230	575	
t_{PHL}, t_{PLH} = (0.66 ns/pF) C_L + 72 ns		10	–	105	265	
t_{PHL}, t_{PLH} = (0.5 ns/pF) C_L + 50 ns		15	–	75	190	

*The formula given is for the typical characteristics only.

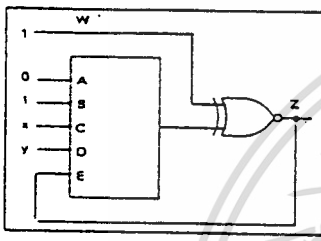
FIGURE 1 – POWER DISSIPATION TEST CIRCUIT AND WAVEFORM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SEQUENTIAL LOGIC APPLICATIONS

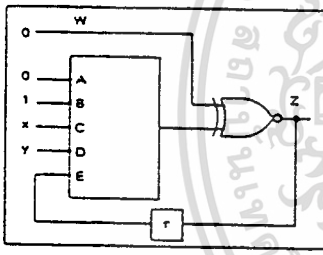
COINCIDENT FLIP-FLOP



x	y	Q_{n+1}
0	0	0
0	1	Q_n
1	0	Q_n
1	1	1

A flip-flop that will change only when both inputs agree.

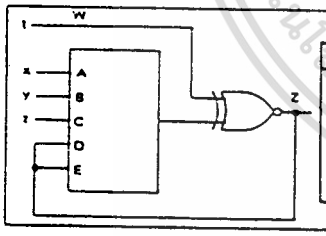
ASTABLE MULTIVIBRATOR



x	y	Q_{n+1}
0	0	1
0	1	2τ
1	0	2τ
1	1	0

A flip-flop with three output conditions, where the third state is in oscillation between "1" and "0". The period of oscillation is twice the delay of the gate and the feedback element.

COINCIDENT FLIP-FLOP

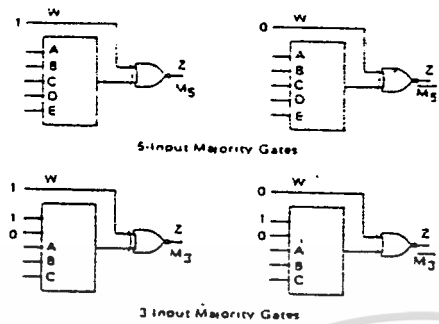


x	y	z	Q_{n+1}
0	0	0	0
0	0	1	Q_n
0	1	0	Q_n
0	1	1	Q_n
1	0	0	Q_n
1	0	1	Q_n
1	1	0	Q_n
1	1	1	1

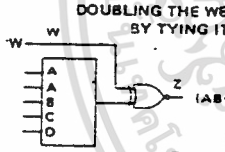
The flip-flop changes state only when all "1's" or all "0's" are entered. This configuration may be extended by cascading MC gates to cover n-inputs where all inputs must be "1's" or "0's" before the output will change. As an example, this configuration is useful for controlling an n-stage up/down counter that is to cycle from a minimum to maximum count and back again without flipping over (from all "1's" to all "0's".)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

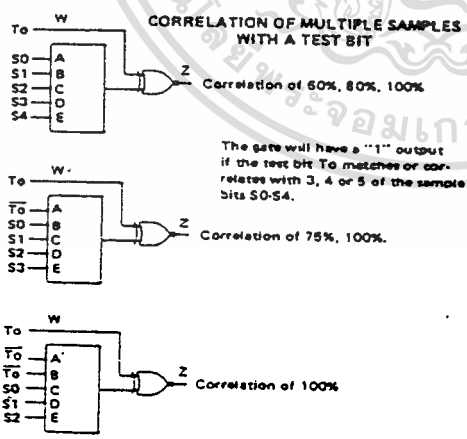
BASIC COMBINATIONAL FUNCTIONS



DOUBLING THE WEIGHT OF INPUT VARIABLE A, BY TYING IT TO ANY TWO INPUTS



CORRELATION OF MULTIPLE SAMPLES WITH A TEST BIT

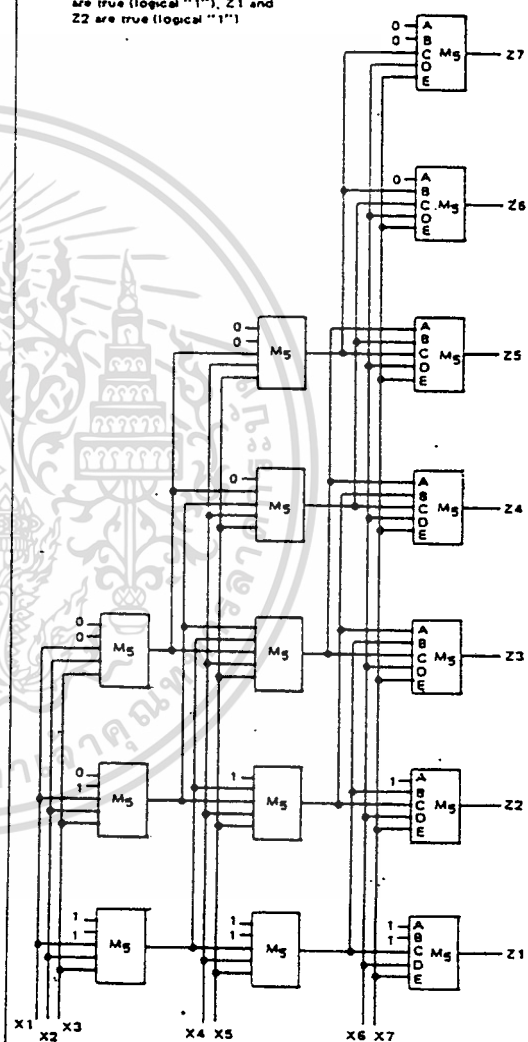


5-INPUT MAJORITY LOGIC GATE APPLICATIONS

Each package labeled M_5 is a single majority logic gate using five inputs, A thru E, and one output Z.

1 Majority Logic Gate Array yielding the symetric function of 1 thru 7 variables true, out of 7 input variables (X1 . . . X7)

(e.g., if any two-input variables are true (logical "1"), Z1 and Z2 are true (logical "1")



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14562B

128-BIT STATIC SHIFT REGISTER

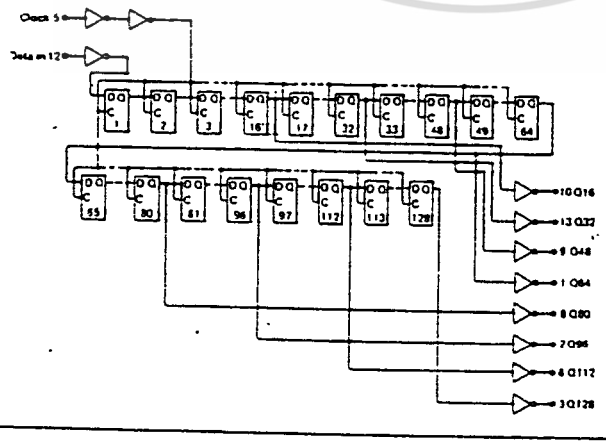
The MC14562B is a 128-bit static shift register constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. Data is clocked in and out of the shift register on the positive edge of the clock input. Data outputs are available every 16 bits, from 16 through bit 128. This complementary MOS shift register is primarily used where low power dissipation and/or high noise immunity is desired.

- Diode Protection on All Inputs
- Noise Immunity = 45% of V_{DD} typical
- Single Supply Operation – Positive or Negative
- Fully Static Operation
- Exceedingly Slow Input Transition Rates May Be Applied to the Clock Input
- 5.6 MHz Operation @ V_{DD} = 10 Vdc
- Cascadable to Provide Longer Shift Register Lengths – 1.5 MHz Operation @ V_{DD} = 10 Vdc
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range – AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

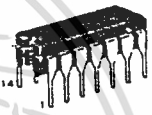
LOGIC DIAGRAM



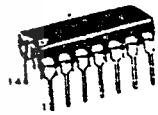
CMOS LSI

(LOW-POWER COMPLEMENTARY MOS)

128-BIT STATIC SHIFT REGISTER.



L SUFFIX
CERAMIC PACKAGE
CASE 632

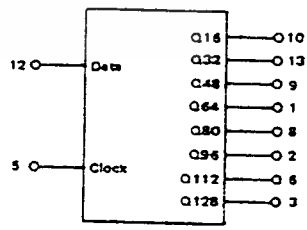


P SUFFIX
PLASTIC PACKAGE
CASE 646

ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

BLOCK DIAGRAM



Pins 4 and 11 not used.

V_{DD} = Pin 14
V_{SS} = Pin 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
V_{in} = V_{DD} or 0		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
V_{in} = 0 or V_{DD}		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage# "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level	V_{IH}									Vdc
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	–	3.5	2.75	–	3.5	–	
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	–1.2	–	–1.0	–1.7	–	–0.7	–	
(V_{OH} = 4.6 Vdc)		5.0	–0.25	–	–0.2	–0.36	–	–0.14	–	
(V_{OH} = 9.5 Vdc)		10	–0.62	–	–0.5	–0.9	–	–0.35	–	
(V_{OH} = 13.5 Vdc)		15	–1.8	–	–1.5	–3.5	–	–1.1	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	–1.0	–	–0.8	–1.7	–	–0.6	–	
(V_{OH} = 4.6 Vdc)		5.0	–0.2	–	–0.16	–0.36	–	–0.12	–	
(V_{OH} = 9.5 Vdc)		10	–0.5	–	–0.4	–0.9	–	–0.3	–	
(V_{OH} = 13.5 Vdc)		15	–1.4	–	–1.2	–3.5	–	–1.0	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	–	5.0	–	0.010	5.0	–	150	µAdc
		10	–	10	–	0.020	10	–	300	
		15	–	20	–	0.030	20	–	600	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	–	50	–	0.010	50	–	375	µAdc
		10	–	100	–	0.020	100	–	750	
		15	–	200	–	0.030	200	–	1500	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (1.94 µA/kHz) f + I_{DD}							µAdc
		10	I_T = (3.81 µA/kHz) f + I_{DD}							
		15	I_T = (5.52 µA/kHz) f + I_{DD}							

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.

#Noise immunity specified for worst-case input combination.
Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc

†To calculate total supply current at loads other than 50 pF:
$I_T(C_L) = I_T(50\ pF) + 4 \times 10^{-3} (C_L - 50) V_{DD} f$
where: I_T is in µA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency.

**The formulas given are for the typical characteristics only at 25°C.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

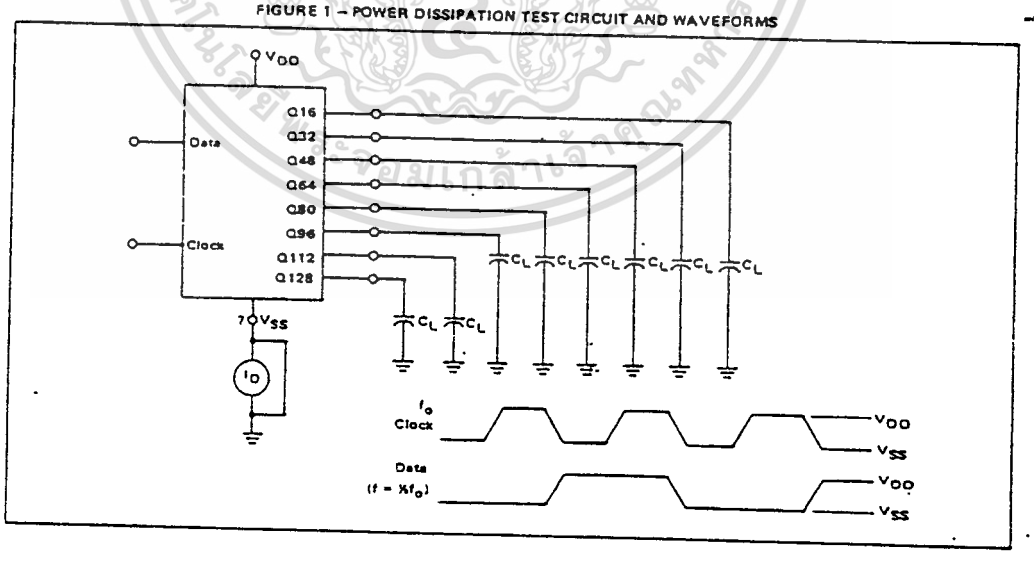
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	–	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	–	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	–	65	130	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	–	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	–	40	80	
Propagation Delay Time	t_{PLH}, t_{PHL}					ns
Clock to Q						
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 515 ns		5.0	–	600	1200	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 217 ns		10	–	250	500	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 145 ns		15	–	170	340	
Clock Pulse Width	t_{WH}	5.0	600	300	–	ns
(50% Duty Cycle)		10	220	110	–	
		15	150	75	–	
Clock Pulse Frequency	f_{cl}	5.0	–	1.9	1.1	MHz
		10	–	5.6	3.0	
		15	–	8.0	4.0	
Data to Clock Setup Time	$t_{su(1)}$	5.0	-20	-170	–	ns
		10	-10	-64	–	
		15	0	-60	–	
	$t_{su(0)}$	5.0	-20	-91	–	ns
		10	-10	-58	–	
		15	0	-48	–	
Data to Clock Hold Time	$t_{h(1)}$	5.0	350	263	–	ns
		10	165	109	–	
		15	155	100	–	
	$t_{h(0)}$	5.0	350	267	–	ns
		10	200	140	–	
		15	140	93	–	

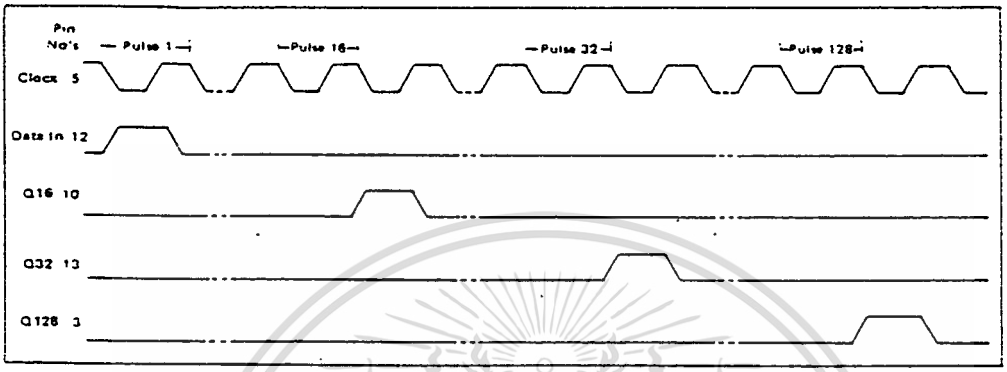
*The formula given is for the typical characteristics only.

FIGURE 1 – POWER DISSIPATION TEST CIRCUIT AND WAVEFORMS

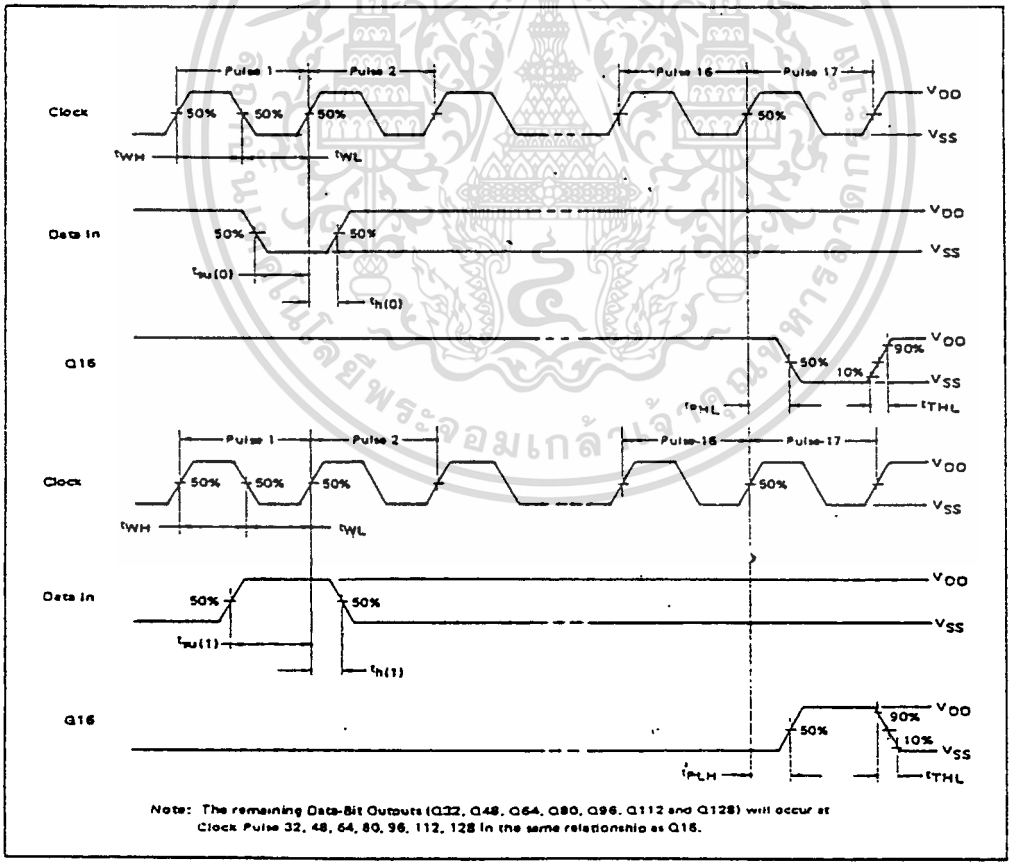


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAM



AC TEST WAVEFORMS



Note: The remaining Data-Bit Outputs (Q32, Q48, Q64, Q80, Q96, Q112 and Q128) will occur at Clock Pulse 32, 48, 64, 80, 96, 112, 128 in the same relationship as Q16.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14584B

CMOS SSI

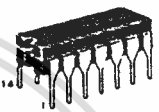
(LOW-POWER COMPLEMENTARY MOS)

HEX
SCHMITT TRIGGER

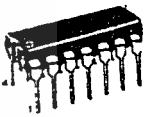
HEX SCHMITT TRIGGER

The MC14584B hex Schmitt Trigger is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. These devices find primary use where low power dissipation and/or high noise immunity is desired. The MC14584B may be used in place of the MC140698 hex inverter for enhanced noise immunity or to "square up" slowly changing waveforms.

- Quiescent Current = 0.5 nA typ/pkg @ 5 Vdc
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-Power TTL Loads, One Low-Power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Double Diode Protection on All Inputs *
- Pin-for-Pin Replacement for CD40106B and MM74C14
- Can Be Used to Replace MC140698



L SUFFIX
CERAMIC PACKAGE
CASE 632



P SUFFIX
PLASTIC PACKAGE
CASE 646

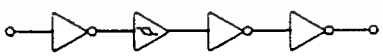
ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

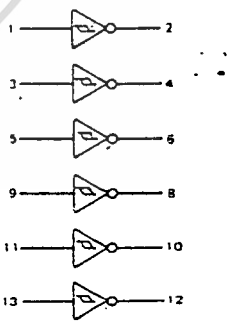
MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

EQUIVALENT CIRCUIT SCHEMATIC
(1/6 OF CIRCUIT SHOWN)



LOGIC DIAGRAM



V_{DD} = Pin 14
V_{SS} = Pin 7

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage — "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
Input Voltage* "0" Level (V_O = 4.5 or 0.5 Vdc)	V_{IL}	5.0	–	1.5	–	2.25	1.5	–	1.5	Vdc
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level (V_O = 0.5 or 4.5 Vdc)	V_{IH}	5.0	3.5	–	3.5	2.75	–	3.5	–	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.0	–	11.0	8.25	–	11.0	–	
Output Drive Current (AL Device) (V_{OH} = 2.5 Vdc) Source	I_{OH}	5.0	−3.0	–	−2.4	−4.2	–	−1.7	–	mAdc
(V_{OH} = 4.6 Vdc)		5.0	−0.64	–	−0.51	−0.88	–	−0.36	–	
(V_{OH} = 9.5 Vdc)		10	−1.6	–	−1.3	−2.25	–	−0.9	–	
(V_{OH} = 13.5 Vdc)		15	−4.2	–	−3.4	−8.8	–	−2.4	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	4.2	–	3.4	8.8	–	2.4	–	
Output Drive Current (CL/CP Device) (V_{OH} = 2.5 Vdc) Source	I_{OH}	5.0	−2.5	–	−2.1	−4.2	–	−1.7	–	mAdc
(V_{OH} = 4.6 Vdc)		5.0	−0.52	–	−0.44	−0.88	–	−0.36	–	
(V_{OH} = 9.5 Vdc)		10	−1.3	–	−1.1	−2.25	–	−0.9	–	
(V_{OH} = 13.5 Vdc)		15	−3.6	–	−3.0	−8.8	–	−2.4	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	8.8	–	2.4	–	
Input Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Input Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
Quiescent Current (AL Device) (Per Package)	I_{DD}	5.0	–	0.25	–	0.0005	0.25	–	7.5	µAdc
		10	–	0.50	–	0.0010	0.50	–	15	
		15	–	1.00	–	0.0015	1.00	–	30	
Quiescent Current (CL/CP Device) (Per Package)	I_{DD}	5.0	–	1.0	–	0.0005	1.0	–	7.5	µAdc
		10	–	2.0	–	0.0010	2.0	–	15	
		15	–	4.0	–	0.0015	4.0	–	34	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching).	I_T	5.0	I_T = (1.8 µA/kHz) f + I_{DD}							µAdc
		10	I_T = (3.6 µA/kHz) f + I_{DD}							
		15	I_T = (5.4 µA/kHz) f + I_{DD}							
Hysteresis Voltage	V_H‡	5.0	0.27	1.0	0.25	0.55	1.0	0.27	1.0	Vdc
		10	0.36	1.3	0.30	0.70	1.2	0.25	1.2	
		15	0.77	1.7	0.60	1.1	1.5	0.50	1.4	
Threshold Voltage Positive-Going	V_{T+}	5.0	1.9	3.5	1.8	2.7	3.4	1.7	3.4	Vdc
		10	3.4	7.0	3.3	5.3	6.9	3.2	6.9	
		15	5.2	10.8	5.2	8.0	10.5	5.2	10.5	
Negative-Going	V_{T-}	5.0	1.6	3.3	1.6	2.1	3.2	1.5	3.2	Vdc
		10	3.0	6.7	3.0	4.6	6.7	3.0	6.7	
		15	4.5	9.7	4.6	6.9	9.8	4.7	9.9	

*T_{low} = −55°C for AL Device, −40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.

‡Noise immunity specified for worst-case input combination.

Noise Margin for both "1" and "0" level =
1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc

†To calculate total supply current at loads other than 50 pF:
$I_T(C_L) = I_T(50\ pF) + 1 \times 10^{-3} (C_L - 50) V_{DD} f$
where: I_T is in µA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency.

**The formulas given are for the typical characteristics only at 25°C.

‡$V_H = V_{T+} - V_{T-}$. (But maximum variation of V_H is specified as less than V_{T+} max − V_{T-} min).

SWITCHING CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}	5.0	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
Output Fall Time	t_{THL}	5.0	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
Propagation Delay Time	t_{PLH}, t_{PHL}	5.0	–	125	250	ns
		10	–	50	100	
		15	–	40	80	

FIGURE 1 – SWITCHING TIME TEST CIRCUIT AND WAVEFORMS

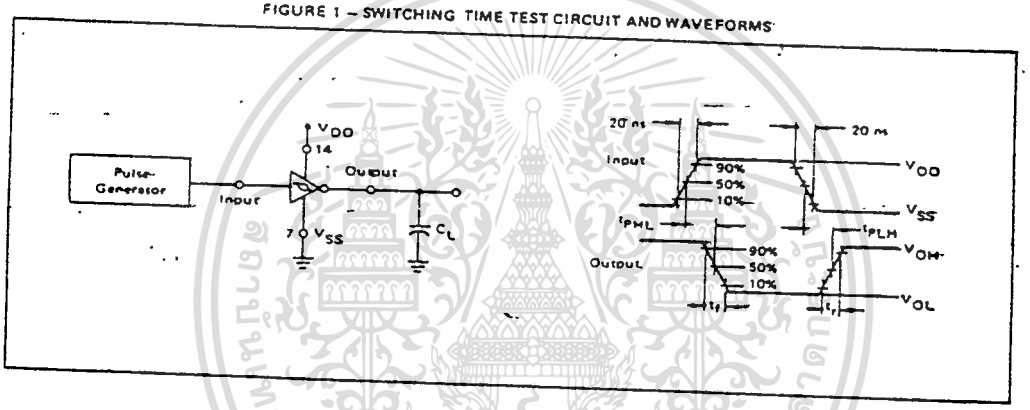


FIGURE 2 – TYPICAL SCHMITT TRIGGER APPLICATIONS

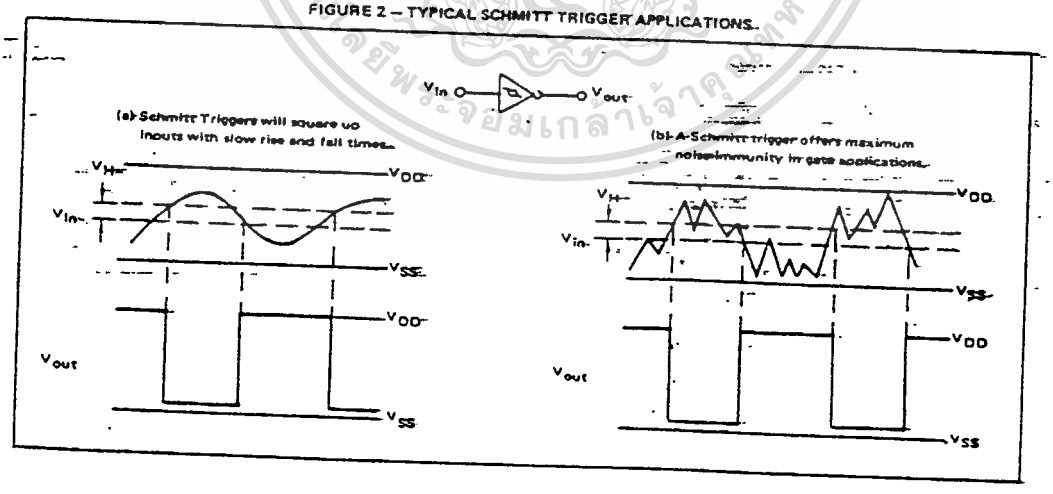
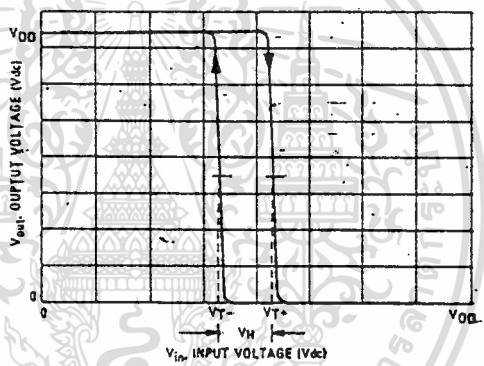


FIGURE 3 — TYPICAL TRANSFER CHARACTERISTICS.

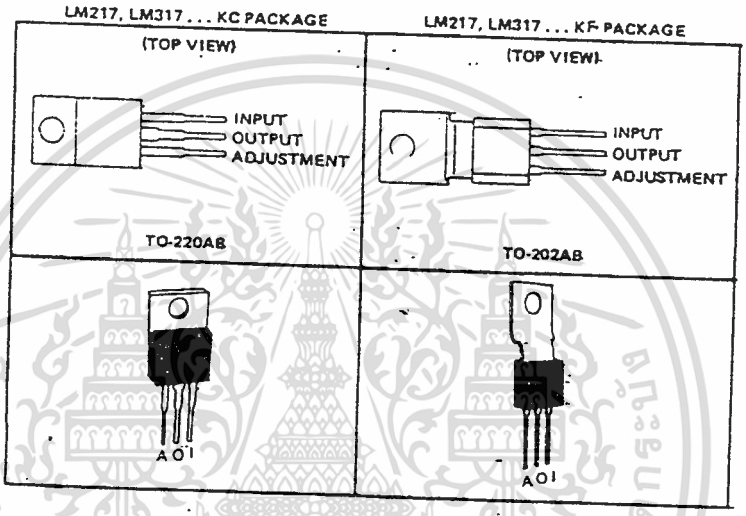


TYPES LM117, LM217, LM317
3-TERMINAL ADJUSTABLE REGULATORS

BULLETIN NO. DL-S 12518, SEPTEMBER 1977

- Output Voltage Range Adjustable from 1.2 V to 37 V
- Guaranteed I_O Capability of 1.5 A for TO-220 package, 500 mA for TO-202 package
- Input Regulation Typically 0.01% Per Input-Volt Change
- Output Regulation Typically 0.1%
- Peak Output Current Constant Over Temperature Range of Regulator
- Popular 3-Lead Packages
- Ripple Rejection Typically 80 dB

terminal assignments



7

description

The LM117, LM217, and LM317 are adjustable 3-terminal positive-voltage regulators capable of supplying 1.5 amperes over a differential-voltage range of 1.2 volts to 37 volts. They are exceptionally easy to use and require only two external resistors to set the output voltage. Both input and output regulation are better than standard fixed regulators. The devices are packaged in standard transistor packages that are easily mounted and handled.

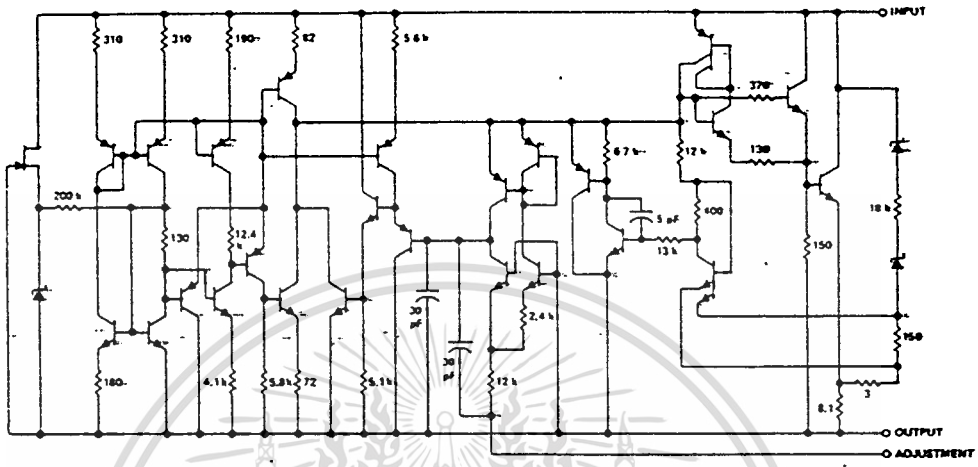
In addition to higher performance than fixed regulators, these regulators offer full overload protection available only in integrated circuits. Included on the chip are current limit, thermal overload protection, and safe-area protection. All overload protection circuitry remains fully functional even if the adjustment terminal is disconnected. Normally, no capacitors are needed unless the device is situated far from the input filter capacitors in which case an input bypass is needed. An optional output capacitor can be added to improve transient response. The adjustment terminal can be bypassed to achieve very high ripple rejection, which is difficult to achieve with standard 3-terminal regulators.

Besides replacing fixed regulators, these regulators are useful in a wide variety of other applications. Since the regulator is floating and sees only the input-to-output differential voltage, supplies of several hundred volts can be regulated as long as the maximum input-to-output differential is not exceeded. Its primary application is that of a programmable output regulator, but by connecting a fixed resistor between the adjustment terminal and the output terminal, this device can be used as a precision current regulator. Supplies with electronic shutdown can be achieved by clamping the adjustment terminal to ground, which programs the output to 1.2 volts where most loads draw little current.

The LM117 is characterized for operation over the full military temperature range of −55°C to 125°C. The LM217 and LM317 are characterized for operation from −25°C to 150°C and from 0°C to 125°C respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

schematic



All resistors values shown are nominal and in ohms.

absolute maximum ratings over operation temperature range (unless otherwise noted)

		LM117	LM217	LM317	UNIT
Input-to-output differential voltage,	$V_I - V_O$	40	40	40	V
Continuous total dissipation at 25°C free-air temperature (see Note 1)	KC (TO-220AB) package		2000	2000	mW
	KD (TO-202AB) package		1575	1575	
Continuous total dissipation at (or below) 25°C case temperature (see Note 1)	KC package		20	20	W
	KD package		2	2	
Operating free-air, case, or virtual junction temperature range		−55 to 150	−25 to 150	0 to 150	°C
Storage temperature range		−65 to 150	−65 to 150	−65 to 150	°C
Lead temperature 1/16 inch from case for 10 seconds	KC or KD packages		260	260	°C

NOTE 1: For operation above 25°C free-air or case temperature, refer to Dissipation Derating Curves, Figures 15 through 17, page 104.

recommended operating conditions

		LM117		LM217		LM317		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	
Output current, I_O	All packages	5		5		10		mA
	KC package				1500		1500	
	KD package				500		500	
Operating virtual junction temperature, T_J		−55	150	−25	150	0	125	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

electrical characteristics over recommended ranges of operation virtual junction temperature (unless otherwise noted)

PARAMETER	TEST CONDITIONS†			LM117, LM217			LM317			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
Input regulation‡	$V_I - V_O$ = 3 V to 40 V, See Note 2		T_J = 25°C		0.01	0.02		0.01	0.04	%/V
			I_O = 10 mA to MAX		0.02	0.05		0.02	0.07	
Ripple rejection	V_O = 10 V,	f = 120 Hz			65			65		dB
	V_O = 10 V, 10-μF capacitor between ADJ and ground	f = 120 Hz		66	80		66	80		
Output regulation	I_O = 10 mA to MAX, T_J = 25°C, See Note 2	$V_O \le 5$ V	KC and KD packages		5	15		5	25	mV
		$V_O \ge 5$ V	KC and KD packages		0.1	0.3		0.1	0.5	%
	I_O = 10 mA to MAX, See Note 2	$V_O \le 5$ V	KC and KD packages		20	50		20	70	mV
		$V_O \ge 5$ V	KC and KD packages		0.3	1		0.3	1.5	%
Output voltage change with temperature	T_J = MIN to MAX				1			1		%
Output voltage long-term drift (see Note 3)	After 1000 h at T_J = MAX and $V_I - V_O$ = 40 V				0.3	1		0.3	1	%
Output noise voltage	f = 10 Hz to 10 kHz, T_J = 25°C				0.003			0.003		%
Minimum output current to maintain regulation	$V_I - V_O$ = 40 V				3.5	5		3.5	10	mA
Peak output current	$V_I - V_O \le 15$ V		KC package	1.5	2.2		1.5	2.2		A
			KD package	0.5	0.8		0.5	0.8		
	$V_I - V_O \le 40$ V		KC package		0.4			0.4		
			KD package		0.07			0.07		
Adjustment-terminal current					50	100		50	100	μA
Change in adjustment-terminal current	$V_I - V_O$ = 2.5 V to 40 V, I_O = 10 mA to MAX				0.2	5		0.2	5	μA
Reference voltage (output to ADJ)	$V_I - V_O$ = 3 V to 40 V, I_O = 10 mA to MAX,		P ≤ rated dissipation	1.2	1.25	1.3	1.2	1.25	1.3	V

† Unless otherwise noted, these specifications apply for the following test conditions: $V_I - V_O$ = 5 V and I_O = 5 A for the KC (TO-220AB) package and I_O = 0.1 A for the KD (TO-202AB) package. For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ Input regulation is expressed here as the percentage change in output voltage per 1-volt change at the input.

NOTES: 2. Input regulation and output regulation are measured using pulse techniques ($t_w \le 10$ μs, duty cycle ≤ 5%) to limit changes in average internal dissipation. Output voltage changes due to large changes in internal dissipation must be taken into account separately.

3. Since long-term drift cannot be measured on the individual devices prior to shipment, this specification is not intended to be a guarantee or warranty. It is an engineering estimate of the average drift to be expected from lot to lot.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TYPICAL APPLICATION DATA

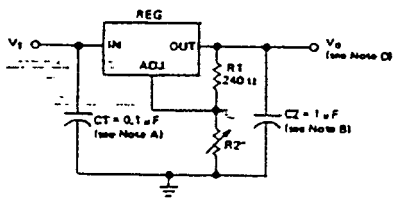


FIGURE 1—ADJUSTABLE VOLTAGE REGULATOR

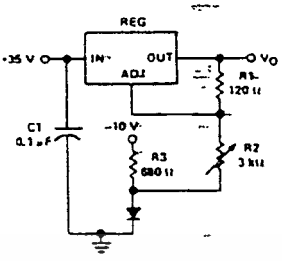


FIGURE 2—0-V to 30-V REGULATOR CIRCUIT

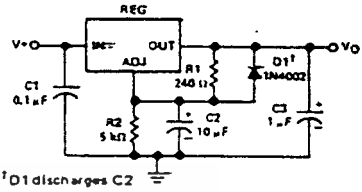


FIGURE 3—ADJUSTABLE REGULATOR CIRCUIT WITH IMPROVED RIPPLE REJECTION

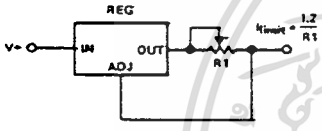


FIGURE 4—PRECISION CURRENT LIMITER CIRCUIT

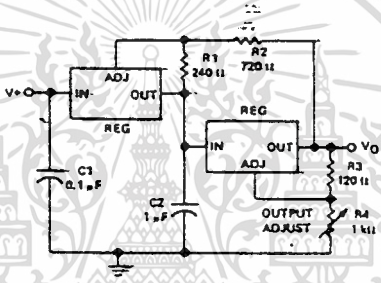


FIGURE 5—TRACKING PREREGULATOR CIRCUIT

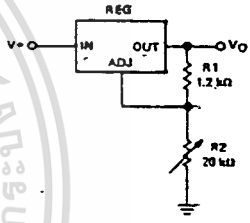


FIGURE 6—1.2 to 20-V REGULATOR CIRCUIT WITH MINIMUM PROGRAM CURRENT

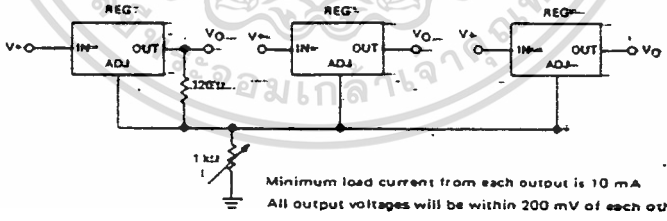


FIGURE 7—ADJUSTING MULTIPLE ON-CARD REGULATORS WITH A SINGLE CONTROL

NOTES: A. Use of an input bypass capacitor is recommended if regulator is far from filter capacitor's.

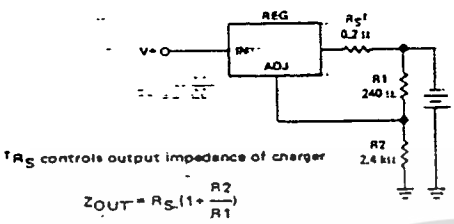
B. Use of an output capacitor improves transient response but is optional.

C. V_{ref} equals the difference between the output and adjustment terminal voltages.

D. Output voltage is calculated from the equation: $V_O = V_{ref}\left(1 + \frac{R2}{R1}\right)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค

TYPICAL APPLICATIONS



†R_S controls output impedance of charger

$$Z_{OUT} = R_S(1 + \frac{R2}{R1})$$

The use of R_S allows low charging rates with a fully-charged battery.

FIGURE 8—BATTERY CHARGER CIRCUIT

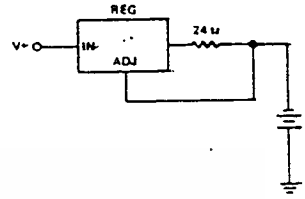


FIGURE 9—50-mA CONSTANT-CURRENT BATTERY CHARGER CIRCUIT

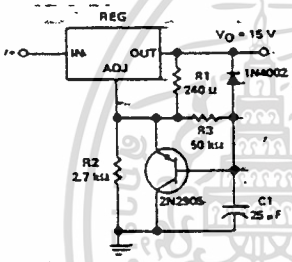


FIGURE 10—SLOW-TURN-ON 15-V REGULATOR CIRCUIT

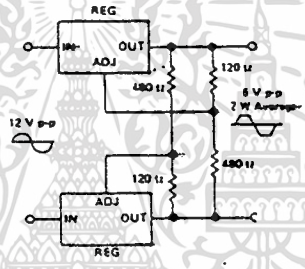


FIGURE 11—A-C VOLTAGE REGULATOR CIRCUIT

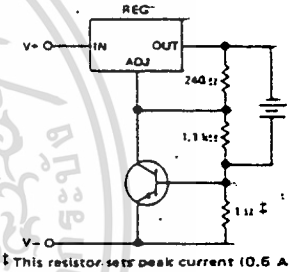


FIGURE 12—CURRENT-LIMITED 6-V CHARGER

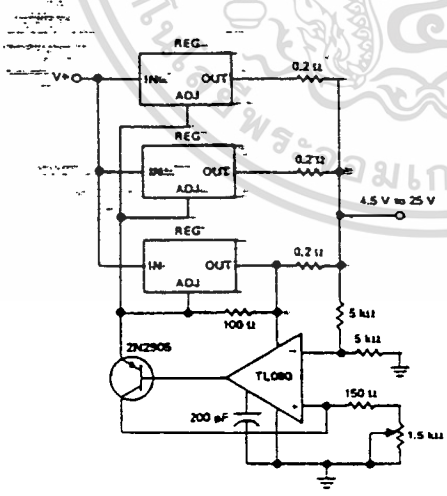
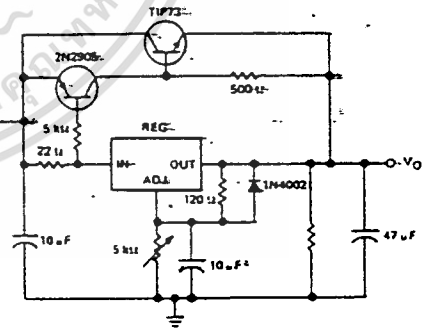


FIGURE 13—ADJUSTABLE 4-A REGULATOR



¶ Minimum load current is 30 mA.
§ Optional capacitor improves ripple rejection

FIGURE 14—HIGH-CURRENT ADJUSTABLE REGULATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

THERMAL INFORMATION

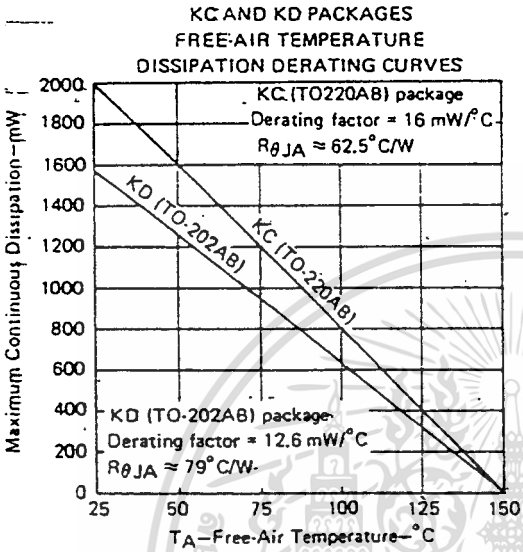


FIGURE 15

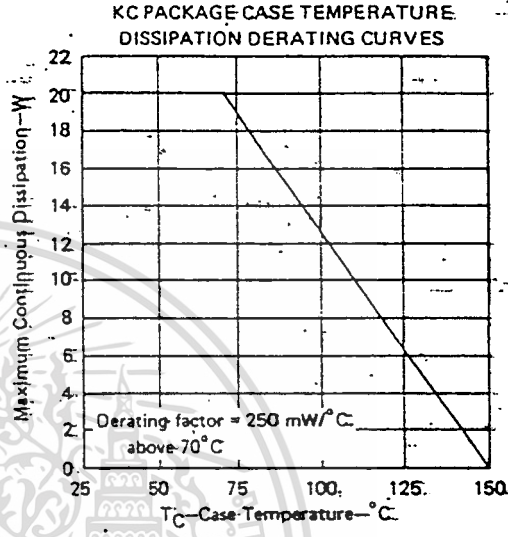


FIGURE 16

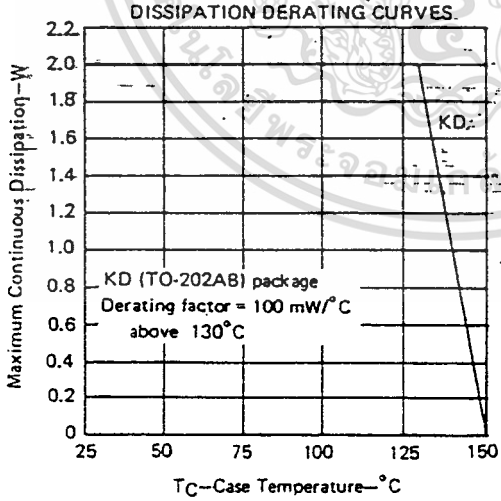


FIGURE 17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ICL76XX
ICL76XX Series Low Power CMOS Operational Amplifiers

INTERSIL

GENERAL DESCRIPTION

The ICL761X/762X/763X/764X series is a family of monolithic CMOS operational amplifiers. These devices provide the designer with high performance operation at low supply voltages and selectable quiescent currents, and are an ideal design tool when ultra low input current and low power dissipation are desired.

The basic amplifier will operate at supply voltages ranging from ±1V to ±8V, and may be operated from a single Lithium cell.

A unique quiescent current programming pin allows setting of standby current to 1mA, 100μA, or 10μA, with no external components. This results in power consumption as low as 20μW. Output swings range to within a few millivolts of the supply voltages.

Of particular significance is the extremely low (1pA) input current, input noise current of .01pA/$\sqrt{Hz}$, and $10^{12}\Omega$ input impedance. These features optimize performance in very high source impedance applications.

The inputs are internally protected and require no special handling procedures. Outputs are fully protected against short circuits to ground or to either supply.

AC performance is excellent, with a slew rate of 1.6V/μs, and unity gain bandwidth of 1MHz at I_Q = 1mA.

Because of the low power dissipation, operating temperatures and drift are quite low. Applications utilizing these features may include stable instruments, extended life designs, or high density packages.

FEATURES

- Wide Operating Voltage Range ±1V to ±8V
- High Input Impedance — $10^{12}\Omega$
- Programmable Power Consumption — Low As 20μW
- Input Current Lower Than BIFETs — Typ 1pA
- Available As Singles, Duals, Triples, and Quads
- Output Voltage Swings to Within Millivolts Of V^- and V^+
- Low Power Replacement for Many Standard Op Amps
- Compensated and Uncompensated Versions
- Input Common Mode Voltage Range Greater Than Supply Rails (ICL7612)

APPLICATIONS

- Portable Instruments
- Telephone Headsets
- Hearing Aid/Microphone Amplifiers
- Meter Amplifiers
- Medical Instruments
- High Impedance Buffers

SELECTION GUIDE

DEVICE NOMENCLATURE

ICL76XX X X XX

- XX — Package Code
  - TV — TO-99, 8 pin
  - PA — Plastic 8 pin Minidip
  - PD — 14 pin Plastic Dip
  - PE — 16 pin Plastic Dip
  - JD — 14 pin CERDIP
  - JE — 16 pin CERDIP
- X — Temperature Range
  - C = 0°C to 70°C
  - M = −55°C to +125°C
- X — V_{OS} Selection
  - A = 2mV
  - B = 5mV
  - C = 10mV
  - D = 15mV
  - E = 20mV

SPECIAL FEATURE CODES

C	=	INTERNALLY COMPENSATED
H	=	HIGH QUIESCENT CURRENT (1mA)
L	=	LOW QUIESCENT CURRENT (10μA)
M	=	MEDIUM QUIESCENT CURRENT (100μA)
O	=	OFFSET NULL CAPABILITY
P	=	PROGRAMMABLE QUIESCENT CURRENT
V	=	EXTENDED CMVR

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

302060-002

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ICL76XX

ORDERING INFORMATION

Basic Part Number	Number of OP-AMPS in Package, and Special Features (SEE CODES)	Package Type and Suffix						
		8-Lead TO-99		8-Pin MINIDIP	8-Pin SOIC	Plastic DIP (1)	Ceramic DIP (1)	
		0°C to +70°C	−55°C to +125°C	0°C to +70°C	0°C to +70°C	0°C to +70°C	0°C to +70°C	−55°C to +125°C
ICL7611 ICL7612	SINGLE OP-AMP: C, O, P C, O, P, V	ACTV BCTV	AMTV BMTV	ACPA BCPA	DCPA DCBA			
ICL7621	DUAL OP-AMP: C, M	ACTV BCTV DCTV	AMTV BMTV	ACPA BCPA DCPA				
ICL7631	TRIPLE OP-AMP: C, P					ECPE	ECJE	
ICL7641 ICL7642	QUAD OP-AMP: C, H C, L					CCPD ECPD	CCJD ECJD	CMJD

NOTES: 1. Duals and quads are available in 14 pin DIP package, triples in 16 pin only.
2. Ordering code must consist of basic part number and package suffix, e.g., ICL7611BCPA.

Device	Description	Pin Assignments
ICL7611XCPA ICL7611XCTV ICL7611XMTV ICL7612XCPA ICL7612XCTV ICL7612XMTV	Internal compensation, plus offset null capability and external I_Q control	TO-99 (TOP VIEW) (outline dwg TV) 8 PIN DIP (TOP VIEW) (outline dwg PA) *Pin 7 connected to case. 8 PIN DIP (TOP VIEW) (outline dwg BA)

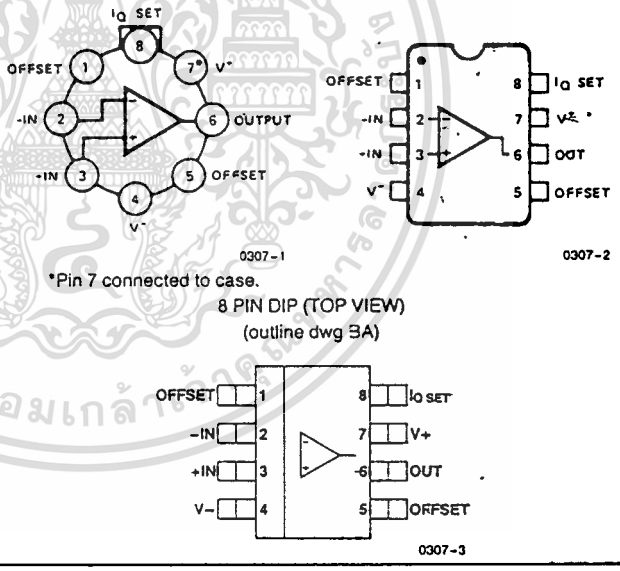


Figure 1: Pin Configurations

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

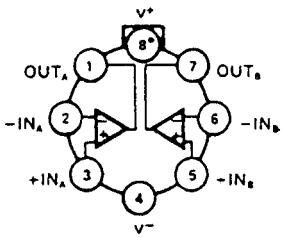
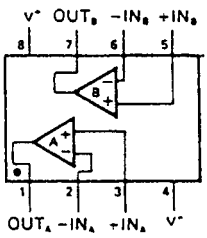
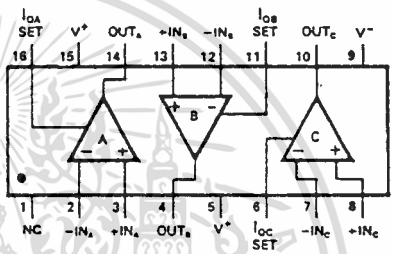
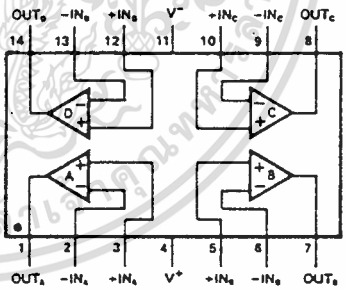
Device	Description	Pin Assignments
ICL7621XCPA ICL7621XCTV ICL7621XMTV	Dual op amps with internal compensation; I_Q fixed at 100μA Pin compatible with Texas Inst. TL082 Motorola MC1458 Raytheon RC4558	TO-99 (TOP VIEW) (outline dwg TV)  0307-8 *Pin 8 connected to case. * PIN DIP (TOP VIEW) (outline dwg PA)  0307-7
ICL7631XCPE	Triple op amps with internal compensation. Adjustable I_Q Same pin configuration as ICL8023.	16 PIN DIP (TOP VIEW) (outline dwgs JE, PE)  0307-9 Note: pins 5 and 15 are internally connected.
ICL7641XCPD ICL7642XCPD	Quad op amps with internal compensation. I_Q fixed at 1mA (ICL7641) I_Q fixed at 10μA (ICL7642) Pin compatible with Texas Instr. TL084 National LM324 Harris HA4741	14 PIN DIP (TOP VIEW) (outline dwg JD, PD)  0307-10

Figure 1: Pin Configurations (Cont.)

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

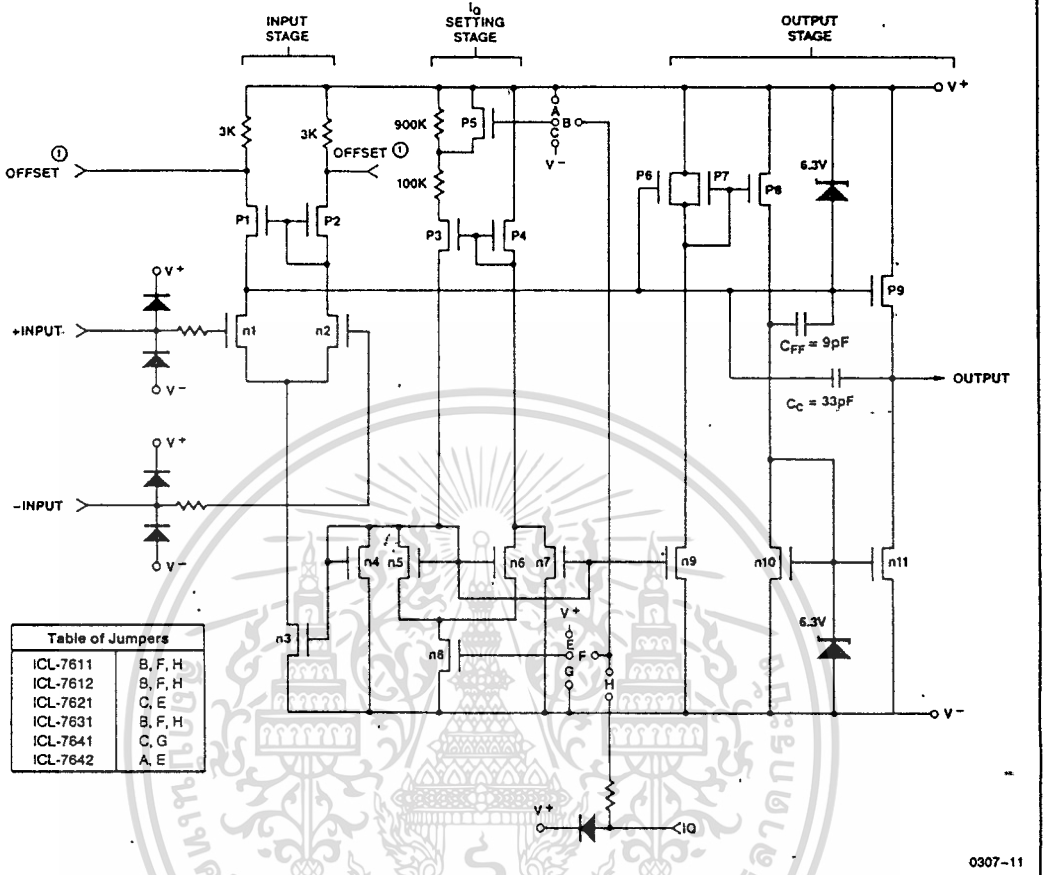


Table of Jumpers	
ICL-7611	B, F, H
ICL-7612	B, F, H
ICL-7621	C, E
ICL-7631	B, F, H
ICL-7641	C, G
ICL-7642	A, E

NOTE 1: Offset nulling pins are not available on triple (ICL-763X) and quad (ICL-764X) versions.

Figure 2: Functional Diagram

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ICL76XX

INTERSIL

ABSOLUTE MAXIMUM RATINGS

Total Supply Voltage V^+ to V^- 18V
Input Voltage ..... V^- −0.3 to V^+ +0.3V
Differential Input Voltage[1] . ±[(V^+ +0.3)−(V^- −0.3)]V
Duration of Output Short Circuit[2] ..... Unlimited

Continuous Power Dissipation

	@25°C	Above 25°C derate as below:
TO-99	250mW	2mW/°C
8 Lead Minidip	250mW	2mW/°C
14 Lead Plastic	375mW	3mW/°C
14 Lead Cerdip	500mW	4mW/°C
16 Lead Plastic	375mW	3mW/°C
16 Lead Cerdip	500mW	4mW/°C

Storage Temperature Range ..... −65°C to +150°C
Operating Temperature Range
ICL76XXM ..... −55°C to +125°C
ICL76XXC ..... 0°C to +70°C
Lead Temperature (Soldering, 10sec) ..... 300°C

NOTE: *Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

NOTE 1. Long term offset voltage stability will be degraded if large input differential voltages are applied for long periods of time.
2. The outputs may be shorted to ground or to either supply. for $V_{SUPP} \leq 10V$. Care must be taken to insure that the dissipation rating is not exceeded.

ELECTRICAL CHARACTERISTICS (7611/12 and 7621 ONLY)

($V_{SUPPLY} = \pm 5.0V$, $T_A = 25°C$, unless otherwise specified.)

Symbol	Parameter	Test Conditions	76XXA			76XXB			76XXD			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S \leq 100k\Omega$, $T_A = 25°C$ $T_{MIN} \leq T_A \leq T_{MAX}$			2 3			5 7			15 20	mV
$\Delta V_{OS}/\Delta T$	Temperature Coefficient of V_{OS}	$R_S \leq 100k\Omega$		10			15			25		µV/°C
I_{OS}	Input Offset Current	$T_A = 25°C$ $\Delta T_A = C$(2) $\Delta T_A = M$(2)		0.5	30 300 800		0.5	30 300 800		0.5	30 300 800	pA
I_{BIAS}	Input Bias Current	$T_A = 25°C$ $\Delta T_A = C$ $\Delta T_A = M$		1.0	50 400 4000		1.0	50 400 4000		1.0	50 400 4000	pA
V_{CMR}	Common Mode Voltage Range (Except ICL7612)	$I_Q = 10\mu A$(1) $I_Q = 100\mu A$ $I_Q = 1mA$(1)	±4.4 ±4.2 ±3.7			±4.4 ±4.2 ±3.7			±4.4 ±4.2 ±3.7			V
V_{CMR}	Extended Common Mode Voltage Range (ICL7612 Only)	$I_Q = 10\mu A$	±5.3			±5.3			±5.3			V
		$I_Q = 100\mu A$	+5.3 −5.1			+5.3 −5.1			+5.3 −5.1			
		$I_Q = 1mA$	+5.3 −4.5			+5.3 −4.5			+5.3 −4.5			
V_{OUT}	Output Voltage Swing	(1) $I_Q = 10\mu A$, $R_L = 1M\Omega$ $T_A = 25°C$ $\Delta T_A = C$ $\Delta T_A = M$	±4.9 ±4.8 ±4.7			±4.9 ±4.8 ±4.7			±4.9 ±4.8 ±4.7			V
		$I_Q = 100\mu A$, $R_L = 100k\Omega$ $T_A = 25°C$ $\Delta T_A = C$ $\Delta T_A = M$	±4.9 ±4.8 ±4.5			±4.9 ±4.8 ±4.5			±4.9 ±4.8 ±4.5			
		(1) $I_Q = 1mA$, $R_L = 10k\Omega$ $T_A = 25°C$ $\Delta T_A = C$ $\Delta T_A = M$	±4.5 ±4.3 ±4.0			±4.5 ±4.3 ±4.0			±4.5 ±4.3 ±4.0			

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ICL76XX

ELECTRICAL CHARACTERISTICS (7611/12 and 7621 ONLY) (Continued)

(V_{SUPPLY} = ±5.0V, T_A = 25°C, unless otherwise specified.)

Symbol	Parameter	Test Conditions	76XXA			76XXB			76XXD			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
A_{VOL}	Large Signal Voltage Gain	V_O = ±4.0V, R_L = 1MΩ I_Q = 10μA(1), T_A = 25°C ΔT_A = C ΔT_A = M	86 80 74	104		80 75 68	104		80 75 68	104		dB
		V_O = ±4.0V, R_L = 100kΩ I_Q = 100μA, T_A = 25°C ΔT_A = C ΔT_A = M	86 80 74	102		80 75 68	102		80 75 68	102		
		V_O = ±4.0V, R_L = 10kΩ I_Q = 1mA(1), T_A = 25°C ΔT_A = C ΔT_A = M	80 76 72	83		76 72 68	83		76 72 68	83		
GBW	Unity Gain Bandwidth	I_Q = 10μA(1) I_Q = 100μA I_Q = 1mA(1)		0.044 0.48 1.4			0.044 0.48 1.4			0.044 0.48 1.4		MHz
R_{IN}	Input Resistance			10^{12}			10^{12}			10^{12}		Ω
CMRR	Common Mode Rejection Ratio	R_S ≤ 100kΩ, I_Q = 10μA(1) R_S ≤ 100kΩ, I_Q = 100μA R_S ≤ 100kΩ, I_Q = 1mA(1)	76 76 66	96 91 87		70 70 60	96 91 87		70 70 60	96 91 87		dB
PSRR	Power Supply Rejection Ratio	R_S ≤ 100kΩ, I_Q = 10μA(1) R_S ≤ 100kΩ, I_Q = 100μA R_S ≤ 100kΩ, I_Q = 1mA(1)	80 80 70	94 86 77		80 80 70	94 86 77		80 80 70	94 86 77		dB
e_n	Input Referred Noise Voltage	R_S = 100Ω, f = 1kHz		100			100			100		nV/√Hz
i_n	Input Referred Noise Current	R_S = 100Ω, f = 1kHz		0.01			0.01			0.01		pA/√Hz
I_{SUPPLY}	Supply Current (Per Amplifier)	No Signal, No Load I_Q SET = +5V(1) I_Q SET = 0V I_Q SET = −5V(1)		0.01 0.1 1.0	0.02 0.25 2.5		0.01 0.1 1.0	0.02 0.25 2.5		0.01 0.1 1.0	0.02 0.25 2.5	mA
V_{O1}/V_{O2}	Channel Separation	A_{VOL} = 100		120			120			120		dB
SR	Slew Rate(3)	A_{VOL} = 1, C_L = 100pF V_{IN} = 8Vp-p I_Q = 10μA(1), R_L = 1MΩ I_Q = 100μA, R_L = 100kΩ I_Q = 1mA(1), R_L = 10kΩ		0.016 0.16 1.6			0.016 0.16 1.6			0.016 0.16 1.6		V/μs
t_r	Rise Time(3)	V_{IN} = 50mV, C_L = 100pF I_Q = 10μA(1), R_L = 1MΩ I_Q = 100μA, R_L = 100kΩ I_Q = 1mA(1), R_L = 10kΩ		20 2 0.9			20 2 0.9			20 2 0.9		μs
	Overshoot Factor(3)	V_{IN} = 50mV, C_L = 100pF I_Q = 10μA1, R_L = 1MΩ I_Q = 100μA, R_L = 100kΩ I_Q = 1mA1, R_L = 10kΩ		5 10 40			5 10 40			5 10 40		%

NOTES: 1. ICL7611, 7612 only.

2. C = Commercial Temperature Range: 0°C to +70°C
   M = Military Temperature Range: −55°C to +125°C

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (7611/12 AND 7621 ONLY)

($V_{SUPPLY} = \pm 1.0V$, $I_Q = 10\mu A$, $T_A = 25°C$, unless otherwise specified.)

Symbol	Parameter	Test Conditions	76XXA			76XXB			Units
			Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S \leq 100k\Omega$, $T_A = 25°C$ $T_{MIN} \leq T_A \leq T_{MAX}$			2 3			5 7	mV
$\Delta V_{OS}/\Delta T$	Temperature Coefficient of V_{OS}	$R_S \leq 100k\Omega$		10			15		$\mu V/°C$
I_{OS}	Input Offset Current	$T_A = 25°C$ $\Delta T_A = C$		0.5	30 300		0.5	30 300	pA
I_{BIAS}	Input Bias Current	$T_A = 25°C$ $\Delta T_A = C$		1.0	50 500		1.0	50 500	pA
V_{CMR}	Common Mode Voltage Range (Except ICL7612)		±0.6			±0.6			V
V_{CMR}	Extended Common Mode Voltage Range (ICL7612 Only)		+0.6 to −1.1			+0.6 to −1.1			V
V_{OUT}	Output Voltage Swing	$R_L = 1M\Omega$, $T_A = 25°C$ $\Delta T_A = C$		±0.98 ±0.96			±0.98 ±0.96		V
A_{VOL}	Large Signal Voltage Gain	$V_O = \pm 0.1V$, $R_L = 1M\Omega$ $T_A = 25°C$ $\Delta T_A = C$		90 80			90 80		dB
GBW	Unity Gain Bandwidth			0.044					MHz
R_{IN}	Input Resistance			10^{12}			10^{12}		
CMRR	Common Mode Rejection Ratio	$R_S \leq 100k\Omega$		80			80		
PSRR	Power Supply Rejection Ratio	$R_S \leq 100k\Omega$		80			80		dB
e_n	Input Referred Noise Voltage	$R_S = 100\Omega$, $f = 1kHz$		100			100		$nV/\sqrt{Hz}$
i_n	Input Referred Noise Current	$R_S = 100\Omega$, $f = 1kHz$		0.01			0.01		$pA/\sqrt{Hz}$
I_{SUPPLY}	Supply Current (Per Amplifier)	No Signal, No Load		6	15		6	15	μA
SR	Slew Rate	$A_{VOL} = 1$, $C_L = 100pF$ $V_{IN} = 0.2V_{p-p}$ $R_L = 1M\Omega$		0.016			0.016		$V/\mu s$
t_r	Rise Time	$V_{IN} = 50mV$, $C_L = 100pF$ $R_L = 1M\Omega$		20			20		μs
	Overshoot Factor	$V_{IN} = 50mV$, $C_L = 100pF$ $R_L = 1M\Omega$		5			5		%

NOTE: C = Commercial Temperature Range (0°C to +70°C) M = Military Temperature Range (−55°C to +125°C).

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

ELECTRICAL CHARACTERISTICS (7631, 7641/42 ONLY)

(V_{SUPPLY} = ±5.0V, T_A = 25°C, unless otherwise specified.)

Symbol	Parameter	Test Conditions	76XXC (6)			76XXE (6)			Units
			Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S \le 100k\Omega$, T_A = 25°C $T_{MIN} \le T_A \le T_{MAX}$			10 15			20 25	mV
$\Delta V_{OS}/\Delta T$	Temperature Coefficient of V_{OS}	$R_S \le 100k\Omega$ (Note 5)		20			30		
I_{OS}	Input Offset Current	T_A = 25°C ΔT_A = C ΔT_A = M		0.5	30 300 800		0.5	30 300 800	pA
I_{BIAS}	Input Bias Current	T_A = 25°C ΔT_A = C ΔT_A = M		1.0	50 500 4000		1.0	50 500 4000	pA
V_{CMR}	Common Mode Voltage Range	$I_O = 10\mu A$(1) $I_O = 100\mu A$(3) I_O = 1mA(2)	±4.4 ±4.2 ±3.7			±4.4 ±4.2 ±3.7			V
V_{OUT}	Output Voltage Swing	(1) $I_O = 10\mu A$, $R_L = 1M\Omega$ T_A = 25°C ΔT_A = C ΔT_A = M	±4.9 ±4.8 ±4.7			±4.9 ±4.8 ±4.7			V
		$I_O = 100\mu A$, $R_L = 100k\Omega$ (3) T_A = 25°C ΔT_A = C ΔT_A = M	±4.9 ±4.8 ±4.5			±4.9 ±4.8 ±4.5			
		(2) I_O = 1mA, $R_L = 10k\Omega$ T_A = 25°C ΔT_A = C ΔT_A = M	±4.5 ±4.3 ±4.0			±4.5 ±4.3 ±4.0			
A_{VOL}	Large Signal Voltage Gain	V_O = ±4.0V, $R_L = 1M\Omega$(1) $I_O = 10\mu A$(1), T_A = 25°C ΔT_A = C ΔT_A = M	80 75 68	104		80 75 68	104		dB
		V_O = ±4.0V, $R_L = 100k\Omega$(3) $I_O = 100\mu A$, T_A = 25°C ΔT_A = C ΔT_A = M	80 75 68	102		80 75 68	102		
		V_O = ±4.0V, $R_L = 10k\Omega$(2) I_O = 1mA(1), T_A = 25°C ΔT_A = C ΔT_A = M	80 75 68	98		80 75 68	98		
GBW	Unity Gain Bandwidth	$I_O = 10\mu A$(1) $I_O = 100\mu A$(3) I_O = 1mA(2)		0.044 0.48 1.4			0.044 0.48 1.4		MHz
R_{IN}	Input Resistance			10^{12}			10^{12}		Ω
CMRR	Common Mode Rejection Ratio	$R_S \le 100k\Omega$, $I_O = 10\mu A$(1) $R_S \le 100k\Omega$, $I_O = 100\mu A$ $R_S \le 100k\Omega$, I_O = 1mA(2)	70 70 60	96 91 87		70 70 60	96 91 87		dB

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ELECTRICAL CHARACTERISTICS (7631, 7641/42, ONLY) (Continued)

(V_{SUPPLY} = ±5.0V, T_A = 25°C, unless otherwise specified.)

Symbol	Parameter	Test Conditions	76XXC (6)			76XXE (6)			Units
			Min	Typ	Max	Min	Typ	Max	
PSRR	Power Supply Rejection Ratio	$R_S \leq 100k\Omega$, $I_O = 10\mu A$(1)	80	94		80	94		dB
		$R_S \leq 100k\Omega$, $I_O = 100\mu A$	80	86		80	86		
		$R_S \leq 100k\Omega$, $I_O = 1mA$(2)	70	77		70	77		
e_n	Input Referred Noise Voltage	$R_S = 100\Omega$, f = 1kHz		100			100		nV/√Hz
I_n	Input Referred Noise Current	$R_S = 100\Omega$, f = 1kHz		0.01			0.01		pA/√Hz
I_{SUPPLY}	Supply Current (Per Amplifier)	No Signal, No Load		0.01	0.03		0.01	0.03	mA
		7642 ONLY							
		$I_O = 10\mu A$(1)		0.01	0.022		0.01	0.022	
		$I_O = 100\mu A$		0.1	0.25		0.1	0.25	
		$I_O = 1mA$(2)		1.0	2.5		1.0	2.5	
V_{O1}/V_{O2}	Channel Separation	$A_{VOL} = 100$		120			120		dB
SR	Slew Rate	$A_{VOL} = 1$, $C_L = 100pF$							V/μs
		$V_{IN} = 8Vp\text{-}p$							
		$I_O = 10\mu A$(1), $R_L = 1M\Omega$		0.016			0.016		
		$I_O = 100\mu A$, $R_L = 100k\Omega$		0.16			0.16		
		$I_O = 1mA$(1), $R_L = 10k\Omega$(2)		1.6			1.6		
t_r	Rise Time	$V_{IN} = 50mV$, $C_L = 100pF$							μs
		$I_O = 10\mu A$(1), $R_L = 1M\Omega$		20			20		
		$I_O = 100\mu A$, $R_L = 100k\Omega$		2			2		
		$I_O = 1mA$(2), $R_L = 10k\Omega$		0.9			0.9		
	Overshoot Factor	$V_{IN} = 50mV$, $C_L = 100pF$							%
		$I_O = 10\mu A$(1), $R_L = 1M\Omega$		5			5		
		$I_O = 100\mu A$, $R_L = 100k\Omega$		10			10		
		$I_O = 1mA$(2), $R_L = 10k\Omega$		40			40		

NOTES: 1. Does not apply to 7641.
2. Does not apply to 7642.
3. ICL7631 only.

For Test Conditions:
C = Commercial Temperature Range: 0°C to +70°C
M = Military Temperature Range: −55°C to +125°C

ELECTRICAL CHARACTERISTICS (7631 AND 7642 ONLY)

(V_{SUPPLY} = ±1.0V, $I_O = 10\mu A$, T_A = 25°C, unless otherwise specified.)

Symbol	Parameter	Test Conditions	76XXC			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S \leq 100k\Omega$, $T_A = 25°C$			10	mV
		$T_{MIN} \leq T_A \leq T_{MAX}$			12	
$\Delta V_{OS}/\Delta T$	Temperature Coefficient of V_{OS}	$R_S \leq 100k\Omega$		20		μV/°C
I_{OS}	Input Offset Current	$T_A = 25°C$		0.5	30	pA
		$\Delta T_A = C$			300	
I_{BIAS}	Input Bias Current	$T_A = 25°C$		1.0	50	pA
		$\Delta T_A = C$			500	
V_{CMR}	Common Mode Voltage Range		±0.6			V

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ELECTRICAL CHARACTERISTICS (7631 AND 7642 ONLY) (Continued)

(V_{SUPPLY} = ±1.0V, I_Q = 10μA, T_A = 25°C, unless otherwise specified.)

Symbol	Parameter	Test Conditions	76XXC			Units
			Min	Typ	Max	
V_{OUT}	Output Voltage Swing	R_L = 1MΩ, T_A = 25°C Δ T_A = C		±0.98 ±0.96		V
A_{VOL}	Large Signal Voltage Gain	V_O = ±0.1V, R_L = 1MΩ T_A = 25°C ΔT_A = C		90 80		dB
GBW	Unity Gain Bandwidth			0.044		MHz
R_{IN}	Input Resistance			10^{12}		Ω
CMRR	Common Mode Rejection Ratio	R_S ≤ 100kΩ		80		dB
PSRR	Power Supply Rejection Ratio			80		dB
e_n	Input Referred Noise Voltage	R_S = 100Ω, f = 1kHz		100		nV/√Hz
i_n	Input Referred Noise Current	R_S = 100Ω, f = 1kHz		0.01		pA/√Hz
I_{SUPPLY}	Supply Current (Per Amplifier)	No Signal, No Load		6	15	μA
$V_{O1/VO2}$	Channel Separation	A_{VOL} = 100		120		dB
SR	Slew Rate	A_{VOL} = 1, C_L = 100pF V_{IN} = 0.2Vp-p R_L = 1MΩ		0.016		V/μs
t_r	Rise Time	V_{IN} = 50mV, C_L = 100pF R_L = 1MΩ		20		μs
	Overshoot Factor	V_{IN} = 50mV, C_L = 100pF R_L = 1MΩ		5		%

NOTE: C = Commercial Temperature Range (0°C to +70°C)

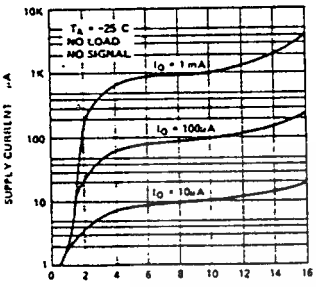
INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

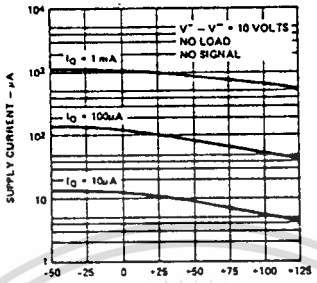
TYPICAL PERFORMANCE CHARACTERISTICS

SUPPLY CURRENT PER AMPLIFIER AS A FUNCTION OF SUPPLY VOLTAGE



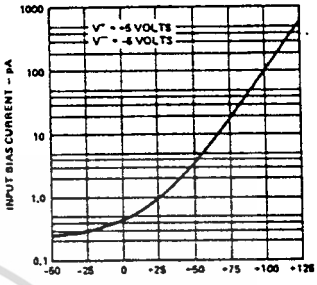
0307-12

SUPPLY CURRENT PER AMPLIFIER AS A FUNCTION OF FREE-AIR TEMPERATURE



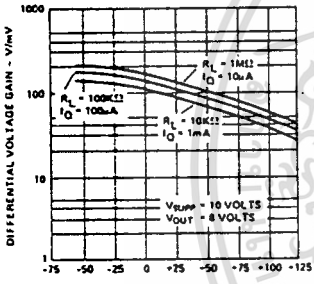
0307-13

INPUT BIAS CURRENT AS A FUNCTION OF TEMPERATURE



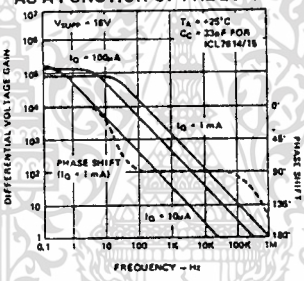
0307-14

LARGE SIGNAL DIFFERENTIAL VOLTAGE GAIN AS A FUNCTION OF FREE-AIR TEMPERATURE



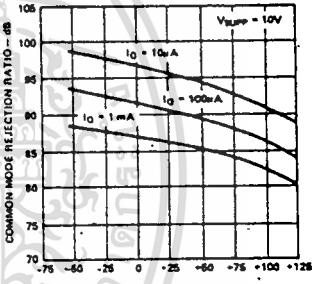
0307-15

LARGE SIGNAL DIFFERENTIAL VOLTAGE GAIN AND PHASE SHIFT AS A FUNCTION OF FREQUENCY



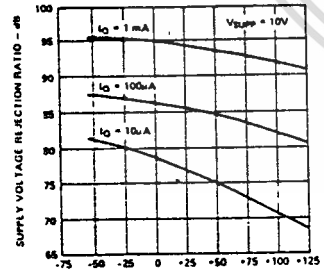
0307-16

COMMON MODE REJECTION RATIO AS A FUNCTION OF FREE-AIR TEMPERATURE



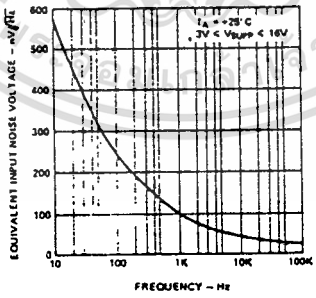
0307-17

POWER SUPPLY REJECTION RATIO AS A FUNCTION OF FREE-AIR TEMPERATURE



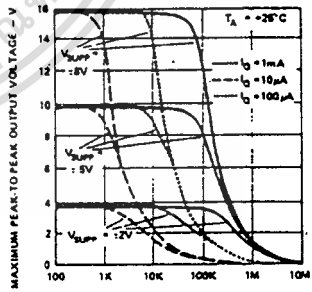
0307-18

EQUIVALENT INPUT NOISE VOLTAGE AS A FUNCTION OF FREQUENCY



0307-19

PEAK-TO-PEAK OUTPUT VOLTAGE AS A FUNCTION OF FREQUENCY



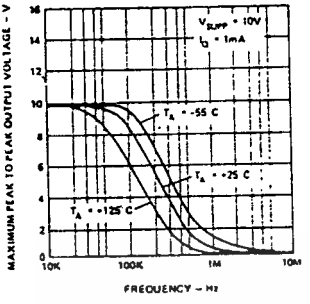
0307-20

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

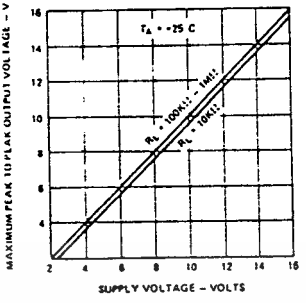
TYPICAL PERFORMANCE CHARACTERISTICS

MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE AS A FUNCTION OF FREQUENCY



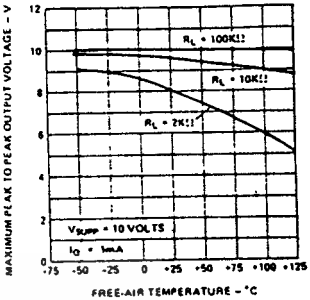
0307-21

MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE AS A FUNCTION OF SUPPLY VOLTAGE



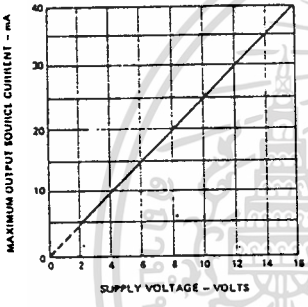
0307-22

MAXIMUM PEAK-TO-PEAK VOLTAGE AS A FUNCTION OF FREE-AIR TEMPERATURE



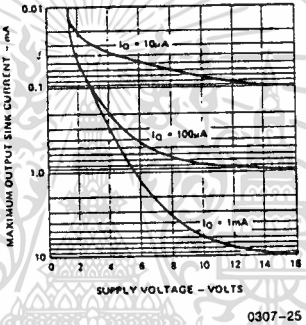
0307-23

MAXIMUM OUTPUT SOURCE CURRENT AS A FUNCTION OF SUPPLY VOLTAGE



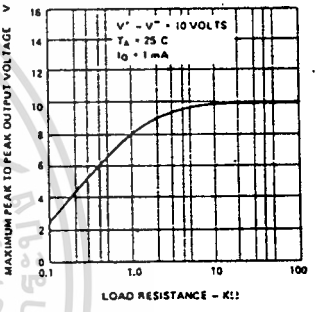
0307-24

MAXIMUM OUTPUT SINK CURRENT AS A FUNCTION OF SUPPLY VOLTAGE



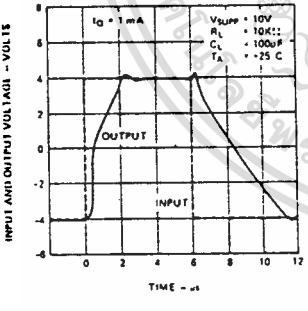
0307-25

MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE AS A FUNCTION OF LOAD RESISTANCE



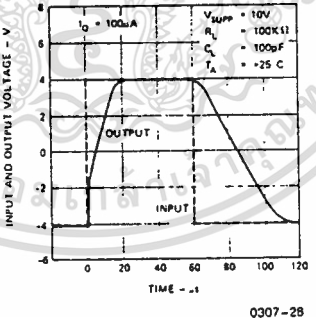
0307-26

VOLTAGE FOLLOWER LARGE SIGNAL PULSE RESPONSE



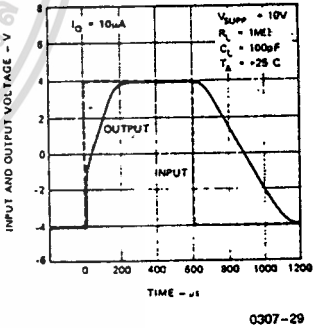
0307-27

VOLTAGE FOLLOWER LARGE SIGNAL PULSE RESPONSE



0307-28

VOLTAGE FOLLOWER LARGE SIGNAL PULSE RESPONSE



0307-29

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

DETAILED DESCRIPTION

Static Protection

All devices are static protected by the use of input diodes. However, strong static fields should be avoided, as it is possible for the strong fields to cause degraded diode junction characteristics, which may result in increased input leakage currents.

Latchup Avoidance

Junction-isolated CMOS circuits employ configurations which produce a parasitic 4-layer (p-n-p-n) structure. The 4-layer structure has characteristics similar to an SCR, and under certain circumstances may be triggered into a low impedance state resulting in excessive supply current. To avoid this condition, no voltage greater than 0.3V beyond the supply rails may be applied to any pin. In general, the op-amp supplies must be established simultaneously with, or before any input signals are applied. If this is not possible, the drive circuits must limit input current flow to 2mA to prevent latchup.

Choosing the Proper I_Q

Each device in the ICL76XX family has a similar I_Q set-up scheme, which allows the amplifier to be set to nominal quiescent currents of 10μA, 100μA or 1mA. These current settings change only very slightly over the entire supply voltage range. The ICL7611/12 and ICL7631 have an external I_Q control terminal, permitting user selection of each amplifiers' quiescent current. (The 7621 and 7641/42 have fixed I_Q settings — refer to selector guide for details.) To set the I_Q of programmable versions, connect the I_Q terminal as follows:

$I_Q = 10\mu A$ — I_Q pin to V^+

$I_Q = 100\mu A$ — I_Q pin to ground. If this is not possible, any voltage from $V^+ - 0.8$ to $V^- + 0.8$ can be used.

$I_Q = 1mA$ — I_Q pin to V^-

NOTE: The negative output current available is a function of the quiescent current setting. For maximum p-p output voltage swings into low impedance loads, I_Q of 1mA should be selected.

Output Stage and Load Driving Considerations

Each amplifiers' quiescent current flows primarily in the output stage. This is approximately 70% of the I_Q settings. This allows output swings to almost the supply rails for output loads of 1MΩ, 100kΩ, and 10kΩ, using the output stage in a highly linear class A mode. In this mode, crossover distortion is avoided and the voltage gain is maximized. However, the output stage can also be operated in Class AB for higher output currents. (See graphs under Typical Operating Characteristics). During the transition from Class A to Class B operation, the output transfer characteristic is non-linear and the voltage gain decreases.

A special feature of the output stage is that it approximates a transconductance amplifier, and its gain is directly proportional to load impedance. Approximately the same open loop gains are obtained at each of the I_Q settings if corresponding loads of 10kΩ, 100kΩ, and 1MΩ are used.

Input Offset Nulling

For those models provided with OFFSET NULLING pins, nulling may be achieved by connecting a 25K pot between the OFFSET terminals with the wiper connected to V^+. At quiescent currents of 1mA and 100μA, the nulling range provided is adequate for all V_{OS} selections; however with $I_Q = 10\mu A$, nulling may not be possible with higher values of V_{OS}.

Frequency Compensation

The ICL76XX are internally compensated, and are stable for closed loop gains as low as unity with capacitive loads up to 100pF

Extended Common Mode Input Range

The ICL7612 incorporates additional processing which allows the input CMVR to exceed each power supply rail by 0.1 volt for applications where $V_{SUPP} \geq \pm 1.5V$. For those applications where $V_{SUPP} \leq \pm 1.5V$, the input CMVR is limited in the positive direction, but may exceed the negative supply rail by 0.1 volt in the negative direction (eg: $V_{SUPP} = \pm 1.0V$, the input CMVR would be +0.6 volts, −1.1 volts).

OPERATION AT $V_{SUPP} = \pm 1.0$ VOLTS

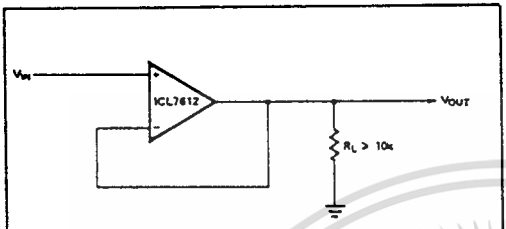
Operation at $V_{SUPP} = \pm 1.0V$ is guaranteed at $I_Q = 10\mu A$ only. This applies to those devices with selectable I_Q, and devices that are set internally to $I_Q = 10\mu A$ (i.e., ICL7611, 7612, 7631, 7642).

Output swings to within a few millivolts of the supply rails are achievable for $R_L \geq 1M\Omega$. Guaranteed input CMVR is ±0.6V minimum and typically +0.9V to −0.7V at $V_{SUPP} = \pm 1.0V$. For applications where greater common mode range is desirable, refer to the description of ICL7612 above.

The user is cautioned that, due to extremely high input impedances, care must be exercised in layout, construction, board cleanliness, and supply filtering to avoid hum and noise pickup.

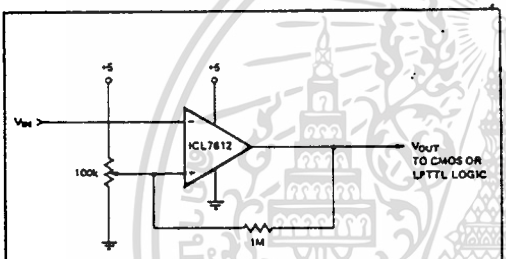
APPLICATIONS

Note that in no case is I_Q shown. The value of I_Q must be chosen by the designer with regard to frequency response and power dissipation.



0307-30

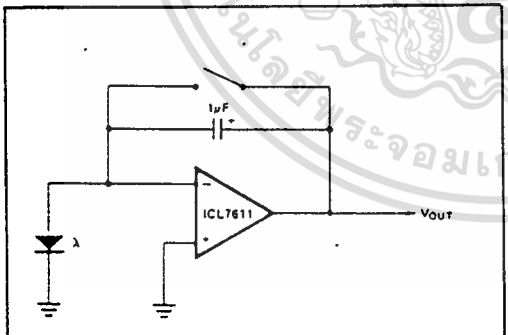
Figure 3: Simple Follower*



0307-31

*By using the ICL7612 in these applications, the circuits will follow rail to rail inputs.

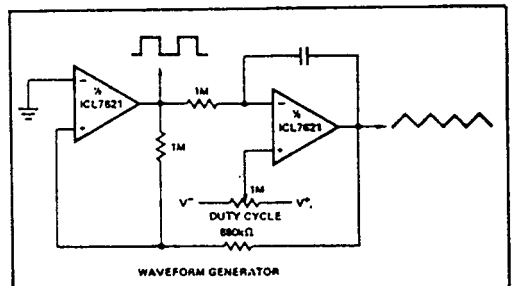
Figure 4: Level Detector*



0307-32

*Low leakage currents allow integration times up to several hours.

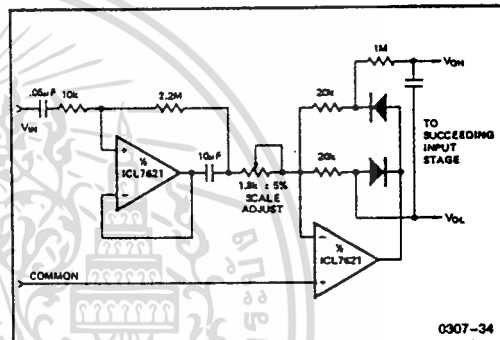
Figure 5: Photocurrent Integrator



0307-33

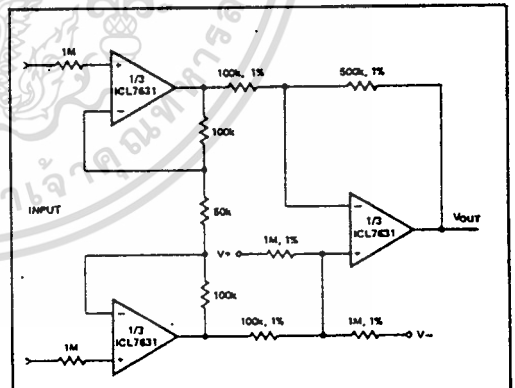
Since the output range swings exactly from rail to rail, frequency and duty cycle are virtually independent of power supply variations.

Figure 6: Precise Triangle/Square Wave Generator



0307-34

Figure 7: Averaging AC to DC Converter for A/D Converters Such as ICL7106, 7107, 7109, 7116, 7117



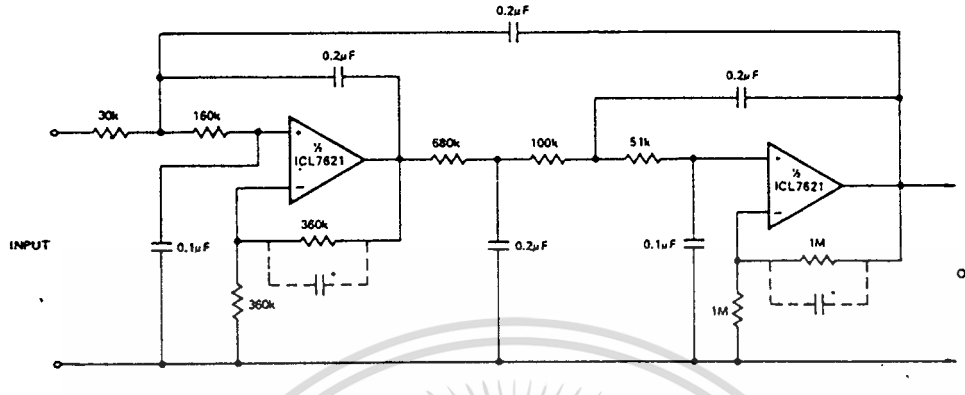
0307-35

Note that $A_{VOL} = 25$; single Ni-cad battery operation. Input current (from sensors connected to patient) limited to $< 5\mu A$ under fault conditions.

Figure 8: Medical Instrument Preamp

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

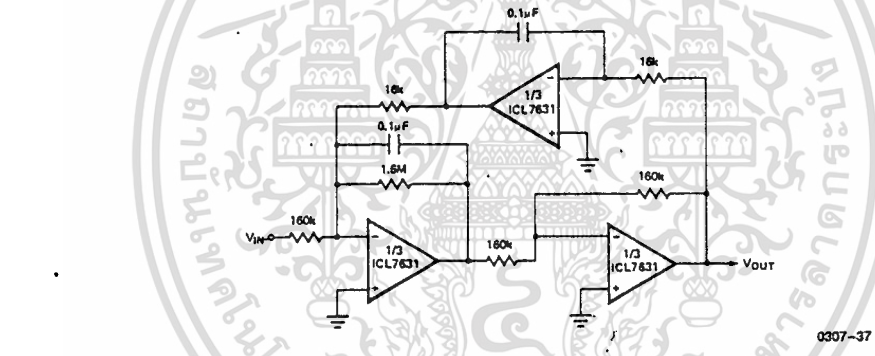
NOTE: All typical values have been characterized but are not tested.



The low bias currents permit high resistance and low capacitance values to be used to achieve low frequency cutoff. $f_c = 10Hz$, $A_{VCL} = 4$, Passband ripple = 0.1dB

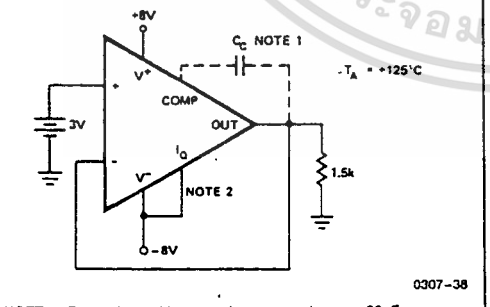
*Note that small capacitors (25 – 50pF) may be needed for stability in some cases.

Figure 9: Fifth Order Chebyshev Multiple Feedback Low Pass Filter



Note that I_Q on each amplifier may be different. $A_{VCL} = 10$, $Q = 100$, $f_o = 100Hz$.

Figure 10: Second Order Biquad Bandpass Filter



NOTE 1. For devices with external compensation, use 33pF.
2. For devices with programmable standby current, connect I_Q pin to V− (I_Q = 1mA mode).

Figure 11: Burn-In and Life Test Circuit

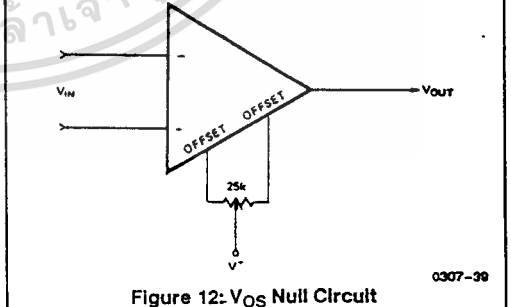


Figure 12: V_{OS} Null Circuit

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

กิตติกรรมประกาศ

โครงงานนี้สำเร็จลุล่วงไปได้ด้วยดีเพราะได้รับความร่วมมือ ความช่วยเหลือต่างๆจากทุกฝ่ายตลอดจนความวิริยะอุตสาหะพากเพียรพยายาม ขอขอบพระคุณอย่างสูงอาจารย์ที่ปรึกษาทั้งสองท่าน คือ อาจารย์ เกรียงไกร วงศ์โรจนภรณ์ และ ผศ.ดร. สุวิพล สิทธิชีวภาค ภาควิชาวิศวกรรมโทรคมนาคมที่ให้ความอนุเคราะห์ให้ใช้เครื่องมือและอุปกรณ์ต่าง ๆ อาจารย์ทุกๆท่านที่ได้ถ่ายทอดวิชาความรู้ให้ พระคุณพ่อแม่ที่เลี้ยงดูมาจนโตใหญ่ ตลอดจนเพื่อนๆทุกคนที่มาช่วยพิมพ์งานและให้กำลังใจมาโดยตลอด ร้านถ่ายรูปที่ทำให้ได้รูปออกมาสวย ๆ และขอขอบคุณเป็นอย่างยิ่งสำหรับ อาจารย์ เกรียงไกร วงศ์โรจนภรณ์ ที่ท่านได้เสียสละเวลาลงมาช่วยดูแลโครงงานนี้ตลอดจนให้คำปรึกษาและข้อแนะนำรวมถึงข้อบกพร่องต่าง ๆ และขอขอบคุณบุคคลอื่น ๆ ทุกท่านที่ไม่ได้กล่าวถึงในที่นี้

ผู้จัดทำ

หนังสืออ้างอิง

ELECTROMATIC CONTROLS CORPORATION, " MULTIPLEX AND DUPLINE " MAY 1990

MOTOLOLA, " TELECOMMUNICATION DEVICE DATA " SERIES C, THIRD PRINTING, MOTOLOLA INC , 1989.

บริษัท เทคโนโลยีอินสตรูเมนท์ จำกัด, จุลสาร TIC รายเดือน ปีที่ 2 ฉบับที่ 14 พฤษภาคม 2538.

ชัญบูรณ์ กังสเจียรณ์, " ระบบโทรศัพท์แบบมัลติเพล็กซ์สำหรับการสื่อสารด้วยเส้นใยแสง " วิทยานิพนธ์ปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2535