การรักษาความปลอดภัยของสัญญาณเสียงพูดโดยใช้เทคนิค ADPCM

SPEECH SECURITY BASED - ADPCM

โดย

นางสาวกนกกาญจน์ ลบแย้ม

นางสาวพรทิพย์ วรกิจพนิต

นางสาวมยุรา แซ่ตั้ง

นางสาวรจิตร ภิงคารวัฒน์

วัน เดือน ปี ๒๐ ก.ค ๒๕๔๐

เลขทะเบียน ๐๓๗๒๒๙

เลขเรียกหนังสือ โ๓๘๓๒ ก๑๒๓ก

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

037229

การรักษาความปลอดภัยของสัญญาณเสียงพูดโดยใช้เทคนิค ADPCM

SPEECH SECURITY BASED - ADPCM

โดย

นางสาวกนกกาญจน์	ลบแย้ม	35104002
นางสาวพรทิพย์	วรกิจพนิต	35104285
นางสาวมยุรา	แซ่ตั้ง	35104328
นางสาวรจิตร	ภิงคารวัฒน์	35104338

อาจารย์ที่ปรึกษา

รศ.ดร.กอบชัย เดชหาญ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2538

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การรักษาความปลอดภัยของสัญญาณเสียงพูดโดยใช้เทคนิค ADPCM

SPEECH SECURITY BASED - ADPCM

ผู้จัดทำ

1. นางสาวกนกกาญจน์	ลบแย้ม	35104002
2. นางสาวพรทิพย์	วรกิจพนิต	35104285
3. นางสาวมยุรา	แซ่ตั้ง	35104328
4. นางสาวรจิตร	ภิงคารวัฒน์	35104338

อาจารย์ที่ปรึกษา

(รศ.ดร. กอบชัย เดชหาญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรักษาความปลอดภัยของสัญญาณเสียงพูดโดยใช้เทคนิค ADPCM

SPEECH SECURITY BASED - ADPCM

โดย นางสาวกนกกาญจน์ ลบแย้ม 35104002

นางสาวพรทิพย์ วรกิจพนิต 35104285

นางสาวมยุรา แซ่ตั้ง 35104328

นางสาวรจิตร ภิงคารวัฒน์ 35104338

อาจารย์ที่ปรึกษา รศ.ดร. กอบชัย เดชหาญ

บทคัดย่อ

การป้องกันการดักฟังสัญญาณเสียงไม่ว่าจะผ่านตัวกลางใดๆก็ตามค่อนข้างน่าสนใจ ในปริญญานิพนธ์ฉบับนี้เสนอการประยุกต์ใช้งานของ ADPCM เพื่อเอามาเปลี่ยนสัญญาณเสียงซึ่งอยู่ในรูปแบบของสัญญาณอนาล็อกให้เป็นดิจิตอล พร้อมกับการเข้ารหัสซึ่งจะทำให้ไม่สามารถดักฟังสัญญาณเสียงนั้นได้ถ้าไม่มีตัวถอดรหัส การทดสอบการส่งสัญญาณอาจจะใช้ผ่านสายโดยตรงหรือผ่านชุมสายโทรศัพท์ก็ได้ และสามารถจะตั้งจำนวนบิทต่อวินาทีในการส่งได้

ABSTRACT

The speech security is rather interesting for audio signal transmission via any media. This thesis points out an application of ADPCM by converting analog speech signal to be digital incorporated with coding technique. This technique has the high security to protect the speech signal. The testing methodology can be used directly with signal line transmission or via telephone exchange. The another advantage of this method is the setting of bit rate transmission.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎี	2
	พัลส์โค้ดมอดูเลชั่น	4
	ดิฟเฟอร์เรนเชียลพัลส์โค้ดมอดูเลชั่น	14
	อะแด็พทีฟดิฟเฟอร์เรนเชียลพัลส์โค้ดมอดูเลชั่น	15
	MC145480	29
	MC145532	43
บทที่ 3	วงจรและหลักการทำงาน	52
	วงจรเข้ารหัสและถอดรหัสสัญญาณ ADPCM	53
	วงจรกำเนิดสัญญาณคล็อกความถี่ต่างๆ	57
บทที่ 4	การทดลองและผลการทดลอง	60
	สัญญาณจากวงจรกำเนิดสัญญาณคล็อก	60
	สัญญาณจากวงจรเข้าและถอดรหัสสัญญาณ ADPCM	64
บทที่ 5	การประยุกต์การใช้งานของระบบ ADPCM	71
บทที่ 6	บทสรุปและวิจารณ์	82
ภาคผนวก		
หนังสืออ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพประกอบ

หน้า

รูปที่ 2.1 แสดงการผิดเพี้ยนที่เกิดจากการจัดระดับในสัญญาณดิจิตอล 2

รูปที่ 2.2 แสดงการทำงานในการสื่อสารแบบดิจิตอล 3

รูปที่ 2.3 แสดงช่องสัญญาณในการสื่อสารแบบดิจิตอล 3

รูปที่ 2.4 แสดงกระบวนการเข้ารหัสและถอดรหัสของระบบ PCM 4

รูปที่ 2.5 แสดงกระบวนการเข้ารหัสและถอดรหัส (โดเมนเวลาและโดเมนความถี่) 5

รูปที่ 2.6 แสดงการจัดระดับ 6

รูปที่ 2.7 แสดงการจัดระดับและการรบกวนจากการจัดระดับ 8

รูปที่ 2.8 แสดงคุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอกซ์แพ็นเดอร์ 9

รูปที่ 2.9 แสดงคุณลักษณะคอมเพรสชั่นของไดโอด 9

รูปที่ 2.10 แสดงแบบอย่างคุณลักษณะของคอมเพรสชั่น 10

รูปที่ 2.11 แสดงคุณลักษณะของคอมแพนดิ้ง เมื่อ A = 87.6 11

รูปที่ 2.12 แสดงความสัมพันธ์ระหว่างอินพุทต่อ S/N_q เมื่อใช้คอมแพนดิ้งวิธีต่างๆ 12

รูปที่ 2.13 แสดงดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลเตอร์ 14

รูปที่ 2.14 แสดงบล็อกไดอะแกรมของระบบ ADPCM 16

รูปที่ 2.15 แสดงตัวแปลงรหัส ADPCM 17

รูปที่ 2.16 แสดงบล็อกไดอะแกรมของวงจรเข้ารหัส ADPCM 18

รูปที่ 2.17 แสดงบล็อกไดอะแกรมของวงจรถอดรหัส ADPCM 19

รูปที่ 2.18 แสดงกระบวนสัญญาณที่แปรเปลี่ยนตามเวลา 23

รูปที่ 2.19 แสดงรูปคลื่นของสัญญาณอินพุทที่เข้ารหัส

ก) แสดงสัญญาณเสียงพูด

ข) แสดงสัญญาณที่ผ่านการเข้ารหัสแบบ DPCM

ค) แสดงสัญญาณที่ผ่านการเข้ารหัสแบบ ADPCM 24

รูปที่ 2.20 แสดงบล็อกไดอะแกรมของการทำนายแบบไปข้างหน้า 24

รูปที่ 2.21 แสดงบล็อกไดอะแกรมของการทำนายแบบย้อนกลับ 25

รูปที่ 2.22 แสดงฟิลเตอร์อันดับที่ 6 ของฟิลเตอร์ชนิดซีโร่ทั้งหมด 25

รูปที่ 2.23 แสดงฟิลเตอร์อันดับที่ 2 ของฟิลเตอร์ชนิดซีโร่ทั้งหมด 26

รูปที่ 2.24 แสดงรายละเอียดขาและบล็อกไดอะแกรมของ MC145480 31

รูปที่ 2.25 แสดงลักษณะสัญญาณ long frame sync 38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 2.26 แสดงลักษณะสัญญาณ short frame sync 39
รูปที่ 2.27 แสดงลักษณะสัญญาณ IDL interface 40
รูปที่ 2.28 แสดงลักษณะสัญญาณ GCI interface 42
รูปที่ 2.29 แสดงรายละเอียดของขาและบล็อกไดอะแกรมของ MC145532 44
รูปที่ 2.30 แสดงสัญญาณอินพุทที่ใช้ในการเข้ารหัสแบบ short frame 47
รูปที่ 2.31 แสดงสัญญาณอินพุทที่ใช้ในการเข้ารหัสแบบ long frame 47
รูปที่ 2.32 แสดงสัญญาณเอาท์พุทที่ได้จากการเข้ารหัสแบบ short frame 48
รูปที่ 2.33 แสดงสัญญาณเอาท์พุทที่ได้จากการเข้ารหัสแบบ long frame 49
รูปที่ 2.34 แสดงสัญญาณอินพุทที่ใช้ในการถอดรหัสแบบ short frame 49
รูปที่ 2.35 แสดงสัญญาณอินพุทที่ใช้ในการถอดรหัสแบบ long frame 50
รูปที่ 2.36 แสดงสัญญาณเอาท์พุทที่ได้จากการถอดรหัสแบบ short frame 50
รูปที่ 2.37 แสดงสัญญาณเอาท์พุทที่ได้จากการถอดรหัสแบบ long frame 51
รูปที่ 3.1 แสดงวงจรในส่วนของการเข้ารหัสและถอดรหัส 54
รูปที่ 3.2 แสดงวงจรกำเนิดสัญญาณคล็อกความถี่ 20 เมกะเฮิร์ต 57
รูปที่ 3.3 แสดงวงจรกำเนิดความถี่คล็อกกำหนดอัตราการเข้ารหัสและถอดรหัส ADPCM 58
รูปที่ 3.4 แสดงลักษณะของสวิตซ์ที่ใช้ในการกำหนดค่าอัตราเร็ว ADPCM 59
รูปที่ 4.1 แสดงสัญญาณคล็อก 20 เมกะเฮิร์ต 60
รูปที่ 4.2 แสดงสัญญาณคล็อก BCLK 2.048 เมกะเฮิร์ต 61
รูปที่ 4.3 แสดงสัญญาณคล็อก FSYNC ได้จากสัญญาณ BCLK 2.048 เมกะเฮิร์ต
ก) ที่อัตราเร็ว ADPCM 16 kbps 61
ข) ที่อัตราเร็ว ADPCM 24 kbps 62
ค) ที่อัตราเร็ว ADPCM 32 kbps 62
ง) ที่อัตราเร็ว ADPCM 64 kbps 63
จ) ที่อัตราเร็ว ADPCM 32 kbps ที่มีการส่งแบบ short frame sync 63
รูปที่ 4.4 แสดงลักษณะสัญญาณรูปไซน์ที่ป้อนเข้าอินพุท 64
รูปที่ 4.5 แสดงลักษณะสัญญาณ PCM ที่ได้จาก MC145480 (BCLK =2.048 เมกะเฮิร์ต) 65
รูปที่ 4.6 แสดงลักษณะสัญญาณ ADPCM เมื่อเลือกอัตราการส่ง 64 kbps. 66
รูปที่ 4.7 แสดงลักษณะสัญญาณเอาท์พุทที่ผ่านการถอดรหัสเรียบร้อยแล้ว 67
รูปที่ 4.8 แสดงลักษณะสัญญาณอินพุทเปรียบเทียบกับ สัญญาณเอาท์พุท 67
รูปที่ 4.9 แสดงลักษณะสัญญาณ ADPCM เมื่อเลือกอัตราการส่ง 32 kbps. 68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.10 แสดงลักษณะสัญญาณที่ผ่านการถอดรหัส ADPCM 32 kbps. 68
รูปที่ 4.11 แสดงลักษณะสัญญาณ ADPCM เมื่อเลือกอัตราการส่ง 24 kbps. 69
รูปที่ 4.12 แสดงลักษณะสัญญาณที่ผ่านการถอดรหัส ADPCM 24 kbps. 69
รูปที่ 4.13 แสดงลักษณะสัญญาณ ADPCM เมื่อเลือกอัตราการส่ง 16 kbps. 70
รูปที่ 4.14 แสดงลักษณะสัญญาณที่ผ่านการถอดรหัส ADPCM 16 kbps. 70
รูปที่ 5.1 แสดงสัญญาณ Dial Tone 72
รูปที่ 5.2 แสดงสัญญาณ Busy Tone 72
รูปที่ 5.3 แสดงสัญญาณ Ringback Tone 73
รูปที่ 5.4 แสดงสัญญาณ Ringback Tone 73
รูปที่ 5.5 แสดงแรงดันบนคู่สายขณะสัญญาณต่างๆ 74
รูปที่ 5.6 แสดงการทำงานเมื่อมีการส่งสัญญาณจากเครื่องโทรศัพท์ไปยังชุมสายต่างๆ 76
รูปที่ 5.7 แสดงการทำงานเมื่อมีการส่งสัญญาณจากชุมสายไปยังเครื่องรับโทรศัพท์ 76
รูปที่ 5.8 แสดงวงจรตรวจสอบสัญญาณ DTMF 77
รูปที่ 5.9 แสดงวงจรตรวจสอบสัญญาณ Dial Tone , Ringback Tone และ Busy Tone 78
รูปที่ 5.10 แสดงวงจรตรวจสอบการยกหูและวางหูโทรศัพท์ 79
รูปที่ 5.11 แสดงลักษณะการเชื่อมต่อสวิตช์เข้ากับคู่สายโทรศัพท์ 80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 แสดงรหัสไบนารี่แบบต่างๆ	13
ตารางที่ 2.2 แสดงคุณลักษณะที่ได้จากการจัดระดับ	20
ตารางที่ 2.3 แสดงสเกลของตัวคูณ	21
ตารางที่ 2.4 แสดงอัตราการเปลี่ยนแปลงของฟังก์ชั่นน้ำหนัก	22
ตารางที่ 2.5แสดงการเข้ารหัสแบบPCMสำหรับซีโร่และฟูลสเกล	36
ตารางที่ 2.6 แสดงรหัสแบบ PCM สำหรับสัญญาณดิจิตอล	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปัจจุบันระบบสื่อสารข้อมูลต่างๆ ได้เปลี่ยนจากวงจรอนาล็อกทั้งหมดมาเป็นระบบเครือข่ายที่รวมทั้งวงจรอนาล็อกและดิจิตอล การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลจึงเข้ามามีบทบาทมากขึ้น การแปลงเป็นสัญญาณดิจิตอลมีประโยชน์อย่างมากในการป้องกันสัญญาณรบกวน (noise) เพราะมีความไวต่อการเกิดข้อผิดพลาดในการส่งสัญญาณน้อยกว่าสัญญาณอนาล็อก มีการเข้ารหัสที่ง่ายและมีประสิทธิภาพ และมีรูปแบบที่เหมือนกันในการส่งสัญญาณข้อมูลและสัญญาณเสียง ในการส่งสัญญาณดิจิตอลจำเป็นต้องใช้แบนด์วิดธ์มากขึ้นเพื่อรักษาคุณภาพของสัญญาณอนาล็อกที่ทางด้านรับ ซึ่งคุณภาพของสัญญาณเริ่มจากการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลและการเข้ารหัสซึ่งจะมีการผิดเพี้ยน (distortion) เกิดขึ้นเนื่องจากการจัดระดับ (quantization) ของสัญญาณที่ถูกแปลงเป็นสัญญาณดิจิตอล การผิดเพี้ยนของสัญญาณหรือสัญญาณรบกวนนี้จะต่างจากสัญญาณรบกวนในช่องสัญญาณซึ่งเกิดขึ้นกับสัญญาณที่ถูกส่งไปในสาย หลังจากที่สัญญาณได้ถูกแปลงเป็นสัญญาณดิจิตอลแล้ว สัญญาณที่ได้จะมีความไวต่อสัญญาณรบกวนน้อยลงเพราะสัญญาณถูกสร้างขึ้นใหม่พร้อมกับการขยายสัญญาณตลอดเส้นทาง จึงเป็นการลดความเสียหายที่เกิดระบบการส่งสัญญาณ เหล่านี้เป็นข้อได้เปรียบของการสื่อสารแบบดิจิตอล ในทางปฏิบัตินั้น การส่งสัญญาณจะมีการใช้ช่องสัญญาณแบบอนาล็อก ด้านปลายของช่องสัญญาณ คือ เครื่องส่งและเครื่องรับซึ่งปกติจะรวมอยู่ในอุปกรณ์ชิ้นเดียวที่เรียกกันว่า CODEC หรืออุปกรณ์เข้ารหัสและถอดรหัส ทางด้านส่งหรือวงจรเข้ารหัสจำเป็นต้องมีการกรองสัญญาณเพื่อจำกัดช่วงความถี่ของสัญญาณอนาล็อกและป้องกันการเหลื่อมซ้อนของสัญญาณ และการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ส่วนทางด้านรับหรือวงจรถอดรหัสจะทำหน้าที่แปลงสัญญาณดิจิตอลกลับเป็นสัญญาณอนาล็อก และทำการปรับสัญญาณที่ได้ให้เรียบ

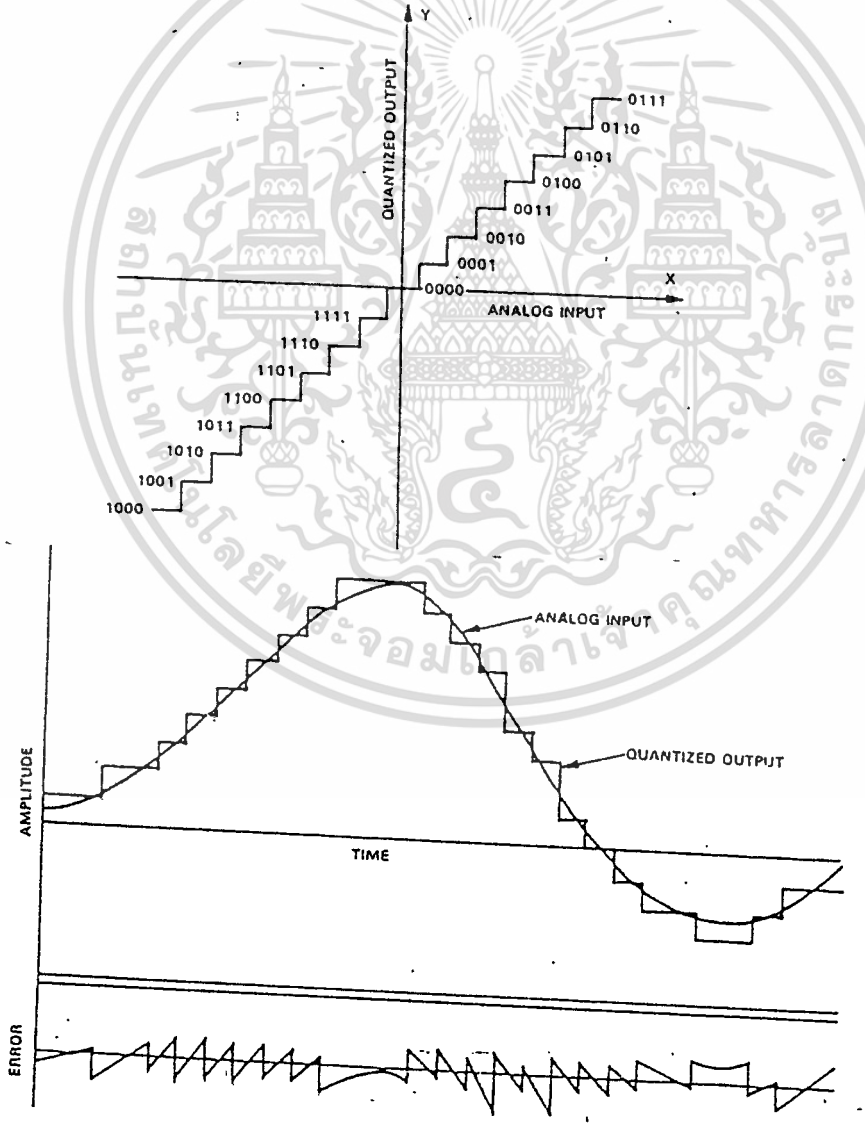
โดยปกติการสื่อสารสัญญาณดิจิตอลจะส่งด้วยพัลส์โค้ดมอดูเลชั่น (PCM) ซึ่งมีอัตราการส่งข้อมูล 64 กิโลบิทต่อวินาที ซึ่งการสื่อสารข้อมูลและสัญญาณเสียงต้องการความจุของสายโดยไม่ลดทอนคุณภาพของสัญญาณที่จะส่ง วิธีการหนึ่งที่จะลดแบนด์วิดธ์ของสัญญาณดิจิตอลลงคือการเข้ารหัสแบบอะแดพทีฟดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชั่น (ADPCM) ที่มีอัตราการส่งข้อมูล 32 กิโลบิทต่อวินาที ซึ่งสามารถเพิ่มความจุของช่องสัญญาณเป็น 2 เท่าเมื่อเทียบกับเทคนิค PCM ในระบบ ADPCM จะประกอบด้วยวงจรจัดระดับแบบปรับค่าได้และวงจรทำนายค่าแบบปรับค่าได้ (adaptive quantizer and adaptive predictor) ซึ่งใช้ได้ดีกับทั้งสัญญาณเสียงพูดและสัญญาณข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

มากกว่า 20 ปีที่ผ่านมา อุตสาหกรรมโทรคมนาคมได้เปลี่ยนจากวงจรอนาล็อกทั้งหมดมาเป็นระบบเครือข่ายที่รวมทั้งวงจรอนาล็อกและดิจิตอล การแปลงเป็นสัญญาณดิจิตอลมีประโยชน์อย่างมากในการป้องกันสัญญาณรบกวน(noise), การเข้ารหัสที่ง่ายและมีประสิทธิภาพ และมีรูปแบบที่เหมือนกันในการส่งสัญญาณข้อมูลและสัญญาณเสียง ในการส่งสัญญาณดิจิตอลจำเป็นต้องใช้แบนด์วิดธ์มากขึ้นเพื่อรักษาคุณภาพของสัญญาณอนาล็อกที่ทางด้านรับ

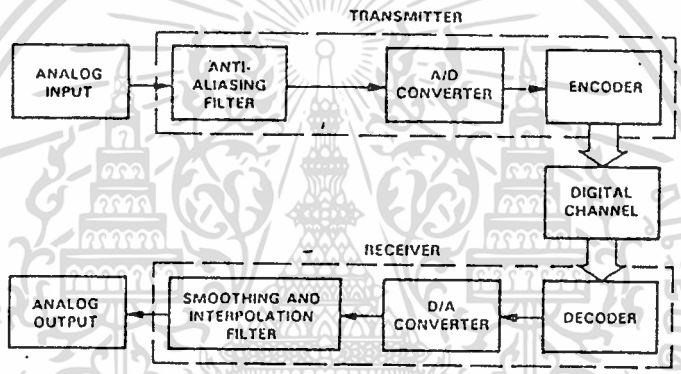
ระบบการเก็บและส่งสัญญาณได้เปลี่ยนจากตัวเก็บข้อมูลที่เป็นอนาล็อกทั้งหมด เช่น เทปบันทึกเสียง เป็นการเก็บข้อมูลแบบดิจิตอลซึ่งมีการเก็บข้อมูลแบบแรนดอม



รูปที่ 2.1 แสดงการผิดเพี้ยนที่เกิดจากการจัดระดับในสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณภาพของสัญญาณเริ่มจากการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลและการเข้ารหัส ซึ่งจะมีการผิดเพี้ยน (distortion) เกิดขึ้นเนื่องจากการจัดระดับ (quantization) ของสัญญาณที่ถูกแปลงเป็นสัญญาณดิจิตอล ดังแสดงในรูปที่ 2.1 ซึ่งการผิดเพี้ยนของสัญญาณหรือสัญญาณรบกวนนี้จะต่างจากสัญญาณรบกวนในช่องสัญญาณ (channel noise) ซึ่งจะเกิดขึ้นกับสัญญาณที่ถูกส่งไปในสายหลังจากที่สัญญาณได้ถูกแปลงเป็นสัญญาณดิจิตอลแล้ว สัญญาณที่ได้จะมีความไวต่อสัญญาณรบกวนในช่องสัญญาณน้อยลงเพราะสัญญาณจะถูกสร้างขึ้นใหม่พร้อมกับการขยายสัญญาณตลอดเส้นทาง จึงเป็นการลดความเสียหายที่เกิดจากระบบการส่ง ดังนั้น ในระบบการส่งที่ไม่มีข้อผิดพลาด (error-free) คุณภาพทั้งหมดของการส่งแบบดิจิตอลจะถูกกำหนดโดยขั้นตอนการแปลงเป็นสัญญาณดิจิตอล



รูปที่ 2.2 แสดงการทำงานในการสื่อสารแบบดิจิตอล

รูปที่ 2.3 แสดงช่องสัญญาณในการสื่อสารแบบดิจิตอล

รูปที่ 2.2 และ 2.3 แสดงการทำงานของช่องสัญญาณในการสื่อสารแบบดิจิตอล ในทางปฏิบัตินั้นการส่งสัญญาณจะใช้ช่องสัญญาณแบบอนาล็อก ด้านปลายของช่องสัญญาณคือเครื่องรับและเครื่องส่งดังแสดงในรูปที่ 2.2 ซึ่งปกติจะรวมกันอยู่ในอุปกรณ์ชิ้นเดียวกันที่เรียกว่า CODEC (อุปกรณ์เข้ารหัสและถอดรหัส) ทางด้านส่งหรือวงจรเข้ารหัสจำเป็นต้องมีการกรองสัญญาณเพื่อจำกัดช่วงความถี่ของสัญญาณอนาล็อกและป้องกันการเหลื่อมซ้อนของสัญญาณ (signal alias) และการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ส่วนทางด้านรับหรือวงจรถอดรหัสจะทำหน้าที่แปลงสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลับเป็นสัญญาณอนาล็อกและทำการปรับสัญญาณที่ได้ให้เรียบ

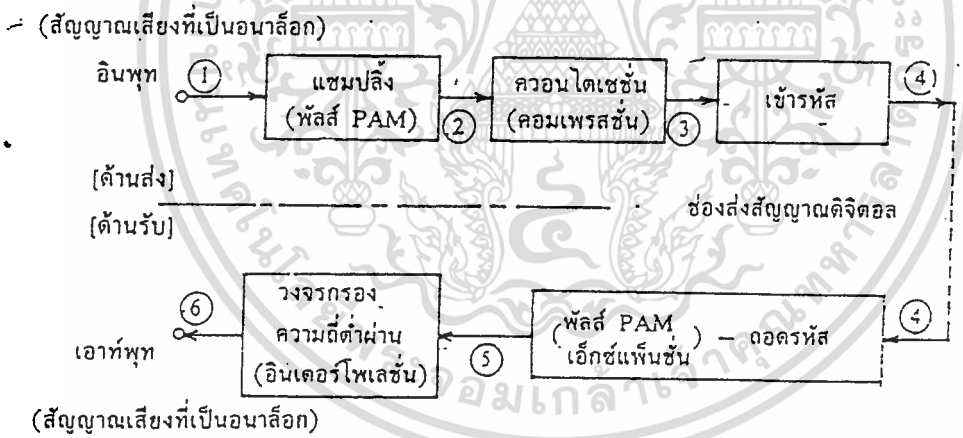
รูปที่ 2.3 แสดงสัญญาณที่ผ่านการแปลงเป็นสัญญาณดิจิตอลเรียบร้อยแล้วถูกมอดูเลทเพื่อทำการส่งข้อมูลไปในเครือข่าย และทำการดีมอดูเลทที่ปลายทางเพื่อทำการกู้เอาสัญญาณดิจิตอลกลับคืนมา

2.1 พัลส์โค้ดมอดูเลชั่น (Pulse Code Modulation, PCM)

ในปัจจุบันระบบ PCM ถูกนำไปใช้อย่างกว้างขวางโดยเฉพาะสำหรับสัญญาณเสียง และในระยะหลังๆนี้มีการพัฒนาระบบนี้เพื่อนำไปใช้กับสัญญาณภาพก็มีบทบาทขึ้นด้วย

2.1.1 กระบวนการเข้ารหัสและถอดรหัสของ PCM

รูปที่ 2.4 แสดงขั้นตอนการประมวลสัญญาณเพื่อให้ได้รับ PCM กล่าวอย่างกว้างๆ ก็คือการเข้ารหัส (coding) และการนำสัญญาณไปแปลงกลับซึ่งเรียกว่าการถอดรหัส (decoding) เพื่อให้ได้สัญญาณเดิม สำหรับรูปที่ 2.5 แสดงลักษณะคลื่นในโดเมนเวลาและสเปคตรัมในโดเมนความถี่ของแต่ละขั้นตอนในกระบวนการนี้ ซึ่งหลักการของแต่ละขั้นตอน จะกล่าวให้ละเอียดดังต่อไปนี้

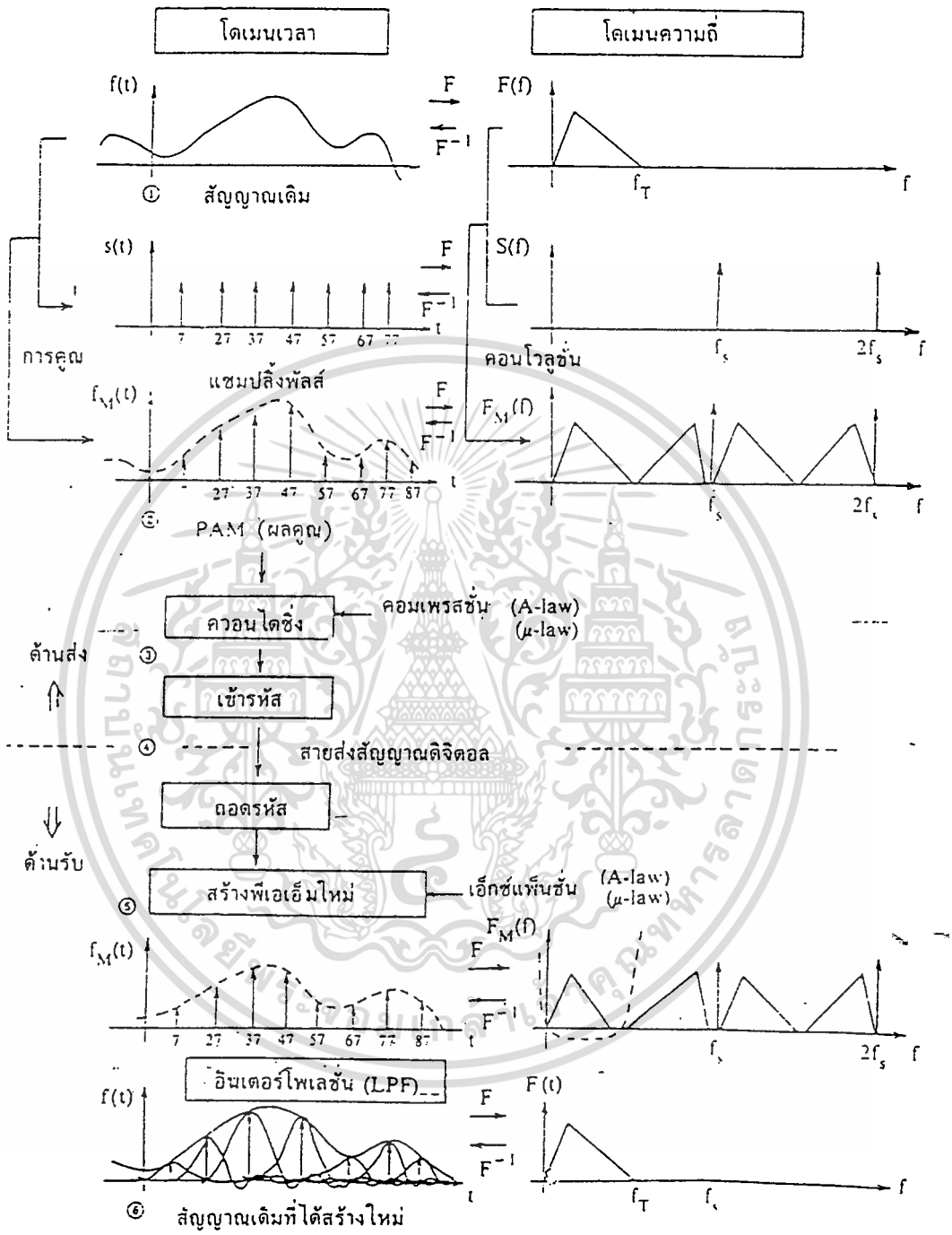


รูปที่ 2.4 แสดงกระบวนการเข้ารหัสและถอดรหัสของระบบ PCM

2.1.2 การแซมปลิ้ง

การแซมปลิ้ง คือ การทำสัญญาณซึ่งมีค่าต่อเนื่องให้เป็นแบบดิสครีทในช่วงเวลาที่เท่าๆกัน จากทฤษฎีการแซมปลิ้งนั้น ถ้าเก็บแซมเปิ้ลด้วยอัตรา 2 เท่าหรือมากกว่าความถี่สูงสุดของสัญญาณอนาล็อกแล้วจะทำให้สัญญาณเดิมกลับคืนมาได้ เนื่องจากสัญญาณเสียงที่ใช้ในระบบโทรศัพท์นั้นถูกจำกัดให้มีความถี่ระหว่าง 0.3 - 3.4kHz ดังนั้นอัตราการแซมปลิ้งต่ำสุดจะต้องเท่ากับ 6.8 kHz สำหรับในทางปฏิบัติจะใช้ 8 kHz คือแซมปลิ้งทุกๆ 125 μsec ($1 / 8 * 10^{3}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงกระบวนการเข้ารหัสและถอดรหัส (โดเมนเวลาและโดเมนความถี่)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแซมปลิ้งนี้ จะแปลงสัญญาณอนาล็อกให้เป็นขบวนพัลส์ที่เรียกว่า PAM และจะมีผลดีได้จะต้องมีเงื่อนไขดังต่อไปนี้

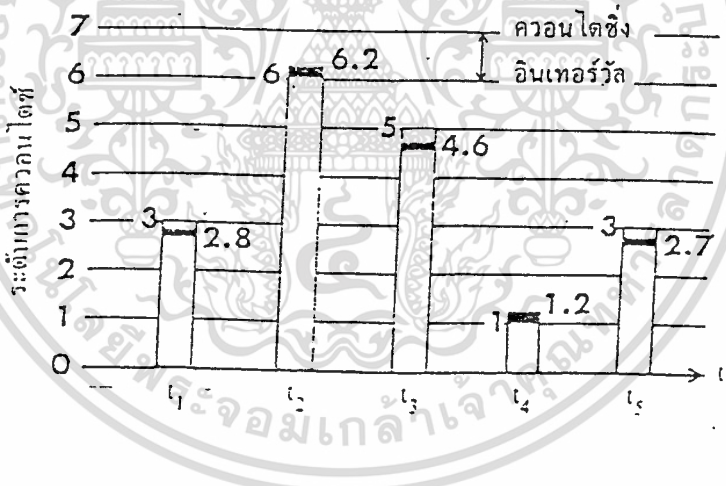
ก) สัญญาณอินพุทต้องไม่มีองค์ประกอบเกินความถี่สูงสุด f_0

ข) ขบวนพัลส์ที่ใช้สำหรับแซมปลิ้งจะต้องเป็นอิมพัลส์ซึ่งมีความกว้าง 0 และมีอัมปลิจูดเป็นอนันต์

ค) ทางด้านรับต้องใช้วงจรกรองความถี่ต่ำทางอุดมคติ(ideal low pass filter) ซึ่งยอมให้ความถี่ต่ำกว่า f_0 ผ่านได้ทั้งหมด

2.1.3 <u>การจัดระดับ (Quantizing)</u>

ขบวนพัลส์ PAM ที่ผ่านการแซมปลิ้งมาแล้วยังถือว่าเป็นชนิดอนาล็อกอยู่ คือ มันจะมีอัมปลิจูดที่เปลี่ยนแปลงอย่างต่อเนื่องไปกับเวลาที่เป็นช่วงๆ การจัดระดับคือกระบวนการที่เปลี่ยนอัมปลิจูดของ PAM เหล่านั้นให้เป็นค่าตัวเลขแบบดิสครีทตามที่แสดงไว้ในรูปที่ 2.6



รูปที่ 2.6 แสดงการจัดระดับ

จากรูป อัมปลิจูดของแซมเปิ้ลทุกตัวของ PAM จะถูกจัดระดับให้เป็นระดับที่เรียกว่า ระดับของการจัดระดับ(quantizing level)โดยมีระยะห่างระหว่างระดับข้างเคียง เรียกว่าควอนไตซ์ซิ่งอินเทอร์วัล (quantizing interval) หรือค่าของระดับนั้นเท่ากัน กรณีนี้เรียกว่าการจัดระดับแบบยูนิฟอร์มหรือแบบลิเนียร์ (Uniform Quantizing) ขนาดของแซมเปิ้ลทุกตัวจะแสดงด้วยค่าของระดับที่ใกล้เคียงที่สุด เช่น ขนาดของแซมเปิ้ลที่ $t = t_1$ คือ 2.8 จะจัดให้เป็นระดับ 3 หรือค่าแซมเปิ้ลที่ $t = t_2$ มีขนาด 6.2 จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดให้เป็น 6 เป็นต้น จะเห็นได้ว่าสัญญาณ PAM ที่ถูกจัดระดับแล้วนี้จะเป็นเพียงค่าโดยประมาณของสัญญาณอนาล็อกเท่านั้น ดังนั้นส่วนเกินและส่วนขาดจากการจัดระดับจึงเป็นค่าผิดพลาดระหว่างสัญญาณเดิมและค่าที่ได้จัดระดับซึ่งค่าที่ผิดพลาดนี้เรียกว่าการรบกวนจากการจัดระดับ(quantizing noise) หรือความพร่าเพี้ยนจากการจัดระดับ (Quantizing Distortion)

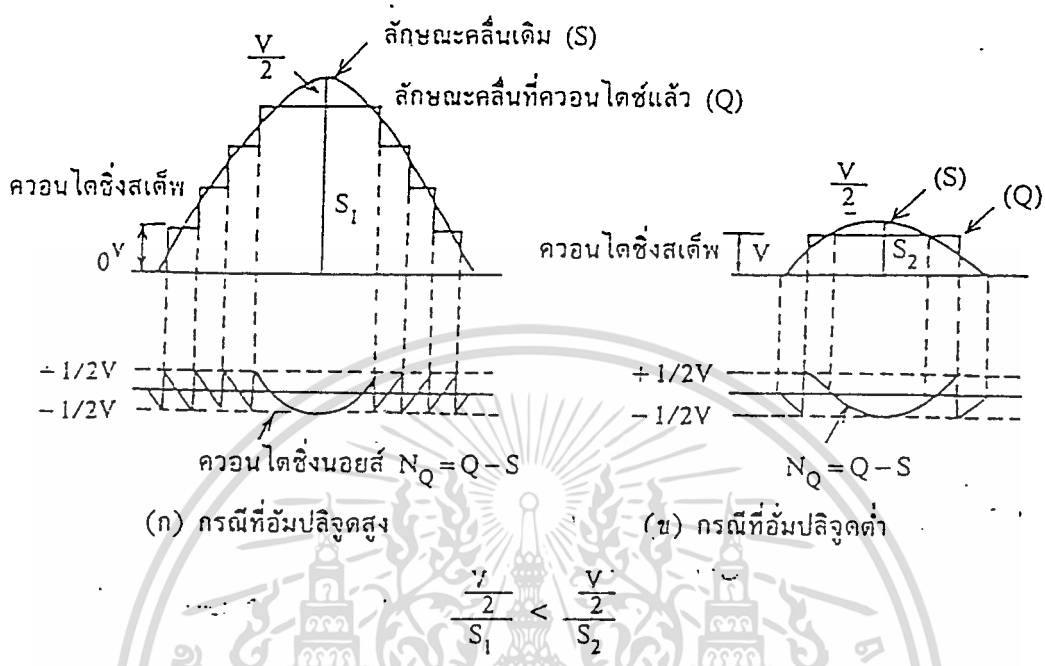
จากหลักการที่กล่าวมานี้ ทางปฏิบัติจะไม่สามารถหลีกเลี่ยงการรบกวนจากการจัดระดับได้ แต่เพื่อรักษาคุณภาพของเสียงในการสนทนาให้ดีจึงจำเป็นต้องให้นอยส์นี้ลดลง ในเบื้องต้นคือการลดควอนไตซ์ซิ่งอินเทอร์วัลให้แคบลงอย่างเพียงพอ ก็สามารถจะลดการรบกวนจากการจัดระดับได้ในระดับหนึ่ง เช่น ถ้าลดอินเทอร์วัลลงครึ่งหนึ่งปริมาณของการรบกวนจากการจัดระดับจะลดลงเป็น 1/4 และการลดอินเทอร์วัลให้เหลือครึ่งหนึ่งนั้น จะสอดคล้องกับการเพิ่มจำนวนบิทอีก 1 บิท นั่นคือเพาว์เวอร์ของการรบกวนจากการจัดระดับจะลดลง 6 dB ทุกๆการเพิ่ม 1 บิท

2.1.4 <u>คอมแพนดิ้ง (Companding)</u>

เราไม่สามารถจะหลีกเลี่ยงการรบกวนจากการจัดระดับเกิดขึ้นได้แต่จะต้องทำให้ลดลงโดยการลดควอนไตซ์ซิ่งอินเทอร์วัล หรือการเพิ่มจำนวนระดับนั่นเอง แต่เมื่อเพิ่มจำนวนระดับขึ้นแล้ว จำนวนบิทที่ใช้จะเพิ่มขึ้น จึงจำเป็นต้องใช้ความเร็วในการส่งสัญญาณดิจิตอลให้สูงขึ้น ตามปกติการรบกวนจากการจัดระดับจะเกิดขึ้นอย่างสม่ำเสมอในทุกอินเทอร์วัล โดยไม่เกี่ยวข้องกับอัมปลิจูดของสัญญาณเดิม หรือกล่าวอีกนัยหนึ่งคือ เพาเวอร์ของการรบกวนจากการจัดระดับเกือบจะคงที่โดยไม่ขึ้นอยู่กับสัญญาณ และในการวัดคุณภาพของการเข้ารหัสของสัญญาณเสียงจะใช้อัตราส่วนของสัญญาณ S ต่อการรบกวนจากการจัดระดับ N_q ฉะนั้นจะเข้าใจได้ว่าในกรณีที่สัญญาณมีระดับสูง S/N_q จะดีกว่ากรณีของสัญญาณที่มีระดับต่ำ ดังนั้นจึงจำเป็นต้องพิจารณาการรบกวนจากการจัดระดับในบริเวณที่สัญญาณมีระดับต่ำ เช่น ตามรูป 2.7 กรณีที่เป็นการจัดระดับแบบยูนิฟอร์มจะเห็นได้ว่า เมื่อสัญญาณมีเพาเวอร์ต่ำ การรบกวนจะมีระดับสูงเมื่อเทียบกับระดับของสัญญาณจึงทำให้ S/N_q เลวลง ด้วยเหตุนี้จึงใช้การจัดระดับโดยวิธีอื่น คือแบบน็อนยูนิฟอร์ม คือบริเวณที่สัญญาณมีอัมปลิจูดต่ำจะใช้ขนาดของระดับแคบๆและในทางตรงข้ามบริเวณที่สัญญาณมีอัมปลิจูดสูงจะใช้ขนาดของระดับกว้างๆ ซึ่งการทำให้เป็นแบบน็อนยูนิฟอร์มนั้น จะใช้หลักการของคอมแพนดิ้ง (Companding) เข้าช่วย

คอมแพนดิ้งเป็นชื่อรวมของวงจรคอมเพรสเซอร์ (Compressor) ซึ่งใช้สำหรับด้านส่ง และวงจรเอกซ์แพนเดอร์ (Expander) ซึ่งใช้สำหรับด้านรับ ตัวอย่างการจัดระดับแบบน็อนยูนิฟอร์มแสดงไว้ในรูปที่ 2.8 ซึ่งมีขั้นตอนคือ ก่อนที่จะทำการจัดระดับจะผ่านสัญญาณไปยังวงจรคอมเพรสเซอร์ ซึ่งมีคุณลักษณะของอินพุท/เอาท์พุทตามรูปที่ 2.8 ก. แล้วทำการจัดระดับแบบยูนิฟอร์มตามรูปที่ 2.8 ข. ก็จะได้การจัดระดับแบบน็อนยูนิฟอร์มตามรูปที่ 2.8 ค. สำหรับทางด้านรับนั้นเมื่อสัญญาณ PCM ผ่านขั้นตอนการถอดรหัสแล้ว จะผ่านไปยังวงจรเอกซ์แพนเดอร์ซึ่งมีคุณสมบัติตรงกันข้ามกับคอมเพรสเซอร์ตามรูปที่ 2.8 ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



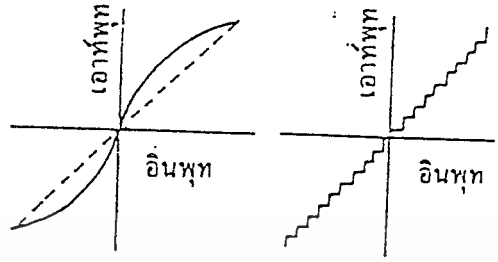
รูปที่ 2.7 แสดงการจัดระดับและการรบกวนจากการจัดระดับ

อนึ่งกรณีที่จัดระดับแบบยูนิฟอร์มนั้นจะใช้ประมาณ 2000 ระดับ จึงจะรักษาคุณภาพของเสียงให้ดี ในการเข้ารหัสจะต้องใช้ถึง 11 บิทต่อแซมเปิ้ล 1 ตัว แต่ถ้าใช้แบบน็อนยูนิฟอร์มแล้วจะใช้เพียง 7 บิท ซึ่งมีระดับเพียง 128 เท่านั้น ก็เพียงพอที่จะทำให้ S/ N_q ใกล้เคียงกับการจัดระดับแบบยูนิฟอร์ม CCITT กำหนดว่าให้ใช้ 8 บิทต่อแซมเปิ้ล 1 ตัว และระดับของการจัดระดับ 256 ระดับก็จะเป็นการรับรองว่าเสียงพูดจะมีคุณภาพที่ดี

สำหรับคุณลักษณะของคอมเพรสเซอร์นั้นจะเป็นแบบลอการิทึม รูปแบบโดยทั่วไปจะใช้คุณสมบัติของ V-I ของไดโอด ตามรูปที่ 2.9 กรณีที่ใช้เป็นคอมเพรสเซอร์จะมีกระแส I เป็นอินพุท โวลเตจ V เป็นเอาท์พุท สำหรับกรณีที่ใช้เป็นเอกซ์แพนเดอร์จะมีโวลเตจ V เป็นอินพุท และกระแส I เป็นเอาท์พุท

คุณลักษณะของคอมเพรสเซอร์ที่ใช้สำหรับประกอบการเข้ารหัสสัญญาณเสียงในปัจจุบัน คือ μ-law ซึ่งใช้ใน Hierarchy ของระบบ 1.5 เมกกะบิทต่อวินาที และ A-law ใช้ใน Hierarchy ของระบบ 2 เมกกะบิทต่อวินาที คุณลักษณะทั้ง 2 แบบนี้แสดงไว้ในรูปที่ 2.10 เฉพาะกรณีของ μ = 100, μ = 255 และ A = 87.6

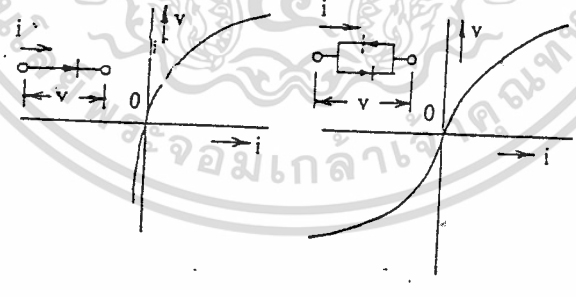
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) คอมเพรสชั่น (ข) ยูนิฟอร์มควอนไตซิ่ง

(ค) น็อนยูนิฟอร์มควอนไตซิง (ง) เอ็กซ์แพ็นชั่น

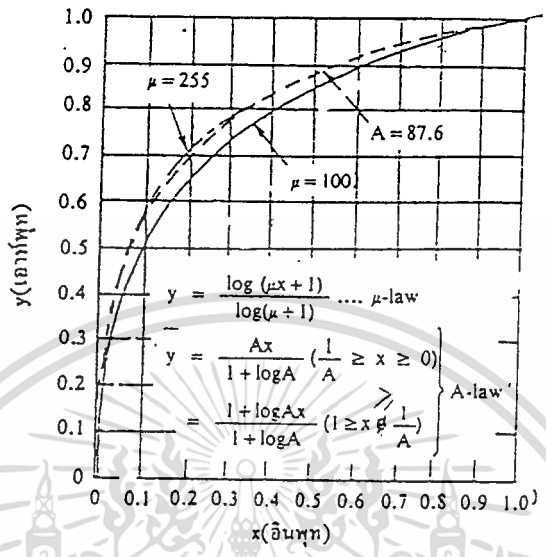
รูปที่ 2.8 แสดงคุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอกซ์แพ็นเดอร์



รูปที่ 2.9 แสดงคุณลักษณะคอมเพรสชั่นของไดโอด

กรณีที่ μ = 100 จะใช้วงจรคอมเพรสเซอร์ตามรูปที่ 2.9 แต่กรณี μ = 255 และ A = 87.6 จะใช้วงจรคอมเพรสเซอร์ที่มีคุณลักษณะเป็นเส้นตรง โดยแยกเป็นส่วนๆ ซึ่งมีคุณลักษณะใกล้เคียงกับในรูปที่ 2.10 ตามปกติในวงจรเข้ารหัสจะมีหน้าที่นี้ร่วมอยู่ด้วยแล้วนำการบีบอัดสัญญาณ(Compress) และเข้ารหัสไปพร้อมๆ กัน วงจรเข้ารหัสนี้ถูกเรียกว่า Broken line coder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



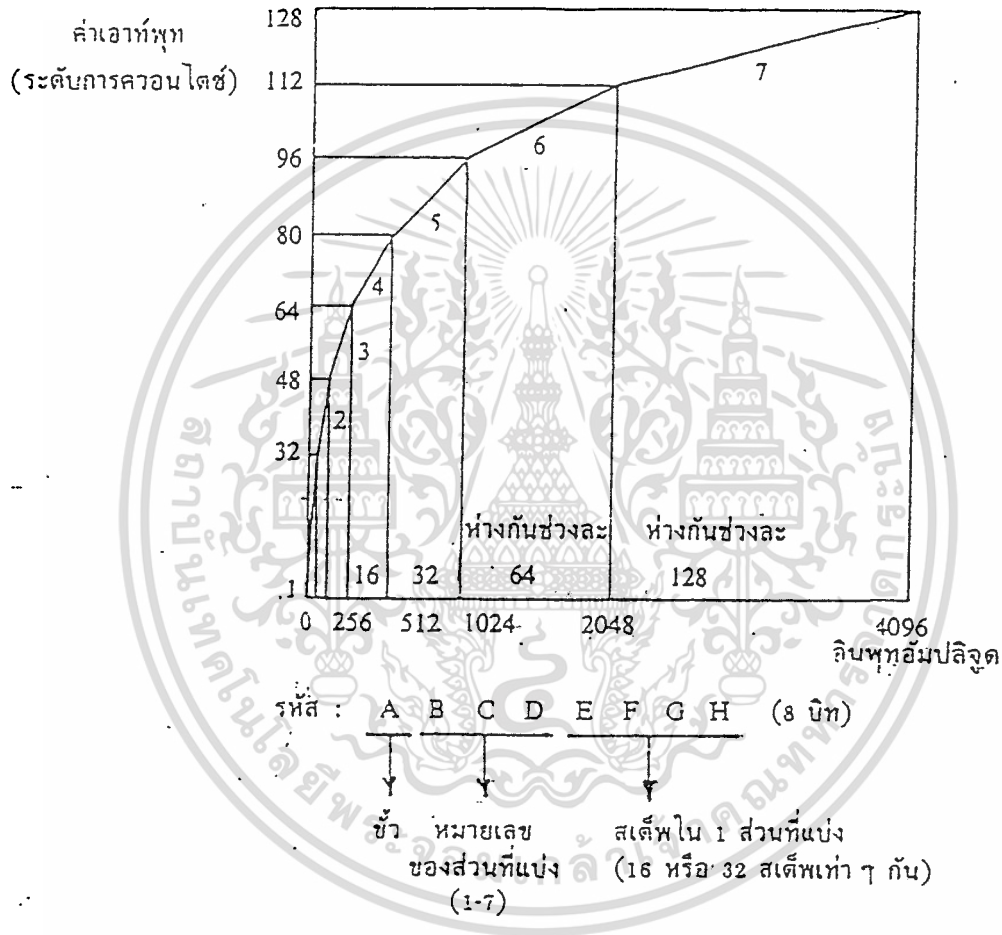
รูปที่ 2.10 แสดงแบบอย่างคุณลักษณะของคอมเพรสชั่น

อนึ่ง กรณีที่ใช้ μ = 255 จะประมาณด้วยเส้นตรง 15 เส้น สำหรับกรณีที่ใช้ A = 87.6 จะแบ่งเป็นเส้นตรง 13 ส่วน โดยส่วนที่ 1 จะเป็นเส้นตรงผ่านจุดเริ่มต้นไปทั้งทางบวกและทางลบ สำหรับคุณลักษณะของ A-law นี้แสดงไว้ในรูปที่ 2.11 ซึ่งแสดงคุณสมบัติเฉพาะด้านบวกเท่านั้น อินพุทอัมปลิจูด 4096 ระดับจะสอดคล้องกับสัญญาณซึ่งมีเพาว์เวอร์ 3.14 dBm0 สำหรับเอาท์พุทนั้นจะถูกจัดให้เป็น 256 ระดับ (ทั้งด้านบวกและลบ) คือใช้ 8 บิทต่อแซมเปิ้ล 1 ตัว

เมื่อเปรียบเทียบคุณลักษณะของคอมเพรสเซอร์ระหว่าง A-law และ μ-law ที่เกี่ยวข้องกับ S/N_q แล้ว ตามรูปที่ 2.12 จะเห็นได้ว่า คุณลักษณะของทั้ง A-law และ μ-law จะเป็นแบบฟันเลื่อย เนื่องจากส่วนโค้งของคอมแพ็นเดอร์ถูกประมาณค่าให้เป็นเส้นตรงส่วนย่อย ๆ และจะเห็นได้ว่าส่วนที่สัญญาณมีเพาว์เวอร์สูง A-law จะมี S/N_q ดีกว่า ในทางตรงกันข้ามส่วนที่สัญญาณมีเพาว์เวอร์ต่ำ จะมี S/N_q ด้อยกว่า ทั้งนี้เนื่องจากกรณีแรกควอนไตซ์ชิ่งอินเทอร์วัลของ A-law มีขนาดแคบกว่าของ μ-law สำหรับกรณีหลังของ A-law จะกว้างกว่า แต่อย่างไรก็ตามทั้ง A-law และ μ-law นั้นพิจารณาได้ว่าจะมี S/N_q สูงและเกือบคงที่ แม้ว่าจะมีสัญญาณเพาว์เวอร์ต่ำ

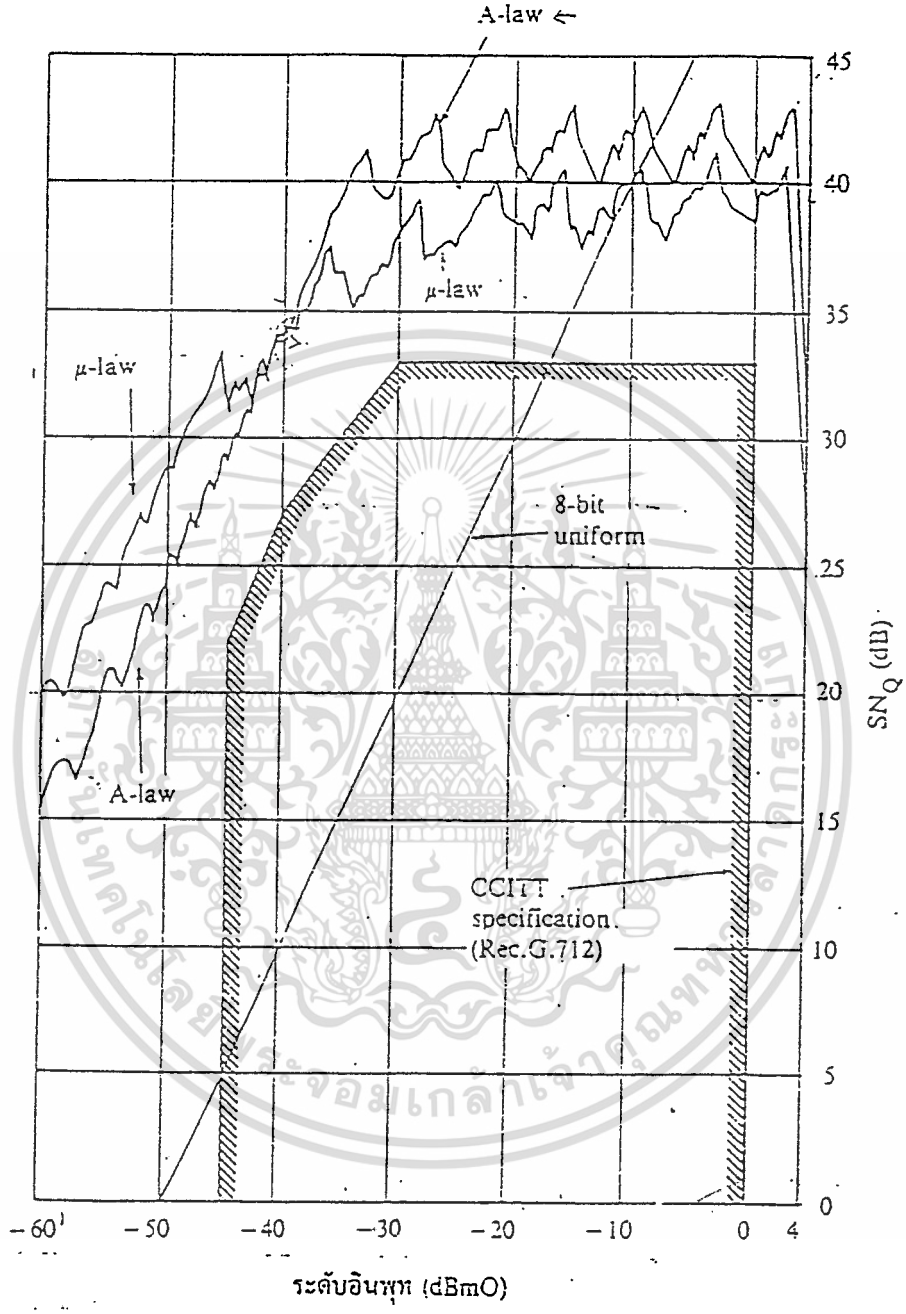
จากหลักการที่ได้กล่าวมาแล้วนี้จะเข้าใจได้ว่า การปรับปรุง S/N_q ในบริเวณสัญญาณ ซึ่งมีเพาว์เวอร์ต่ำโดยใช้วิธีจัดระดับแบบน็อนยูนิฟอร์มจะมีผลดีกว่าแบบยูนิฟอร์มเป็นอันมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 คุณลักษณะของคอมแพนดิ้ง เมื่อ A = 87.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 แสดงความสัมพันธ์ระหว่างอินพุทต่อ S/N_q เมื่อใช้คอมแแพนดิ้งวิธีต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.5 การเข้ารหัส (Coding)

หลังจากขบวนพัลส์ PAM ได้ผ่านขั้นตอนการจัดระดับมาแล้ว จะต้องเปลี่ยนรหัสเหล่านั้นให้เป็นรหัสไบนารี(binary code) กรณีที่เป็นสัญญาณเสียงสำหรับการส่งทางโทรศัพท์ จะถูกเปลี่ยนเป็นรหัส 8 บิท ซึ่งสามารถแสดงค่าแอมปลิจูดได้ 2^8 (= 256) ระบบการเข้ารหัสจะมีหลายๆแบบ แต่ส่วนมากจะใช้กัน 3 แบบดังแสดงไว้ในตาราง ซึ่งแสดงไว้เพียง 3 บิท เพื่อง่ายต่อการเข้าใจ

ระดับการควอนไตซ์	รหัสไบนารี แบบธรรมดา	รหัสไบนารี แบบเกรย์	รหัสไบนารี แบบสมมาตร
0	000	000	011
1	001	001	010
2	010	011	001
3	011	010	000
4	100	110	100
5	101	111	101
6	110	101	110
7	111	100	111

ตารางที่ 2.1 แสดงรหัสไบนารี่แบบต่างๆ

รหัสไบนารี่แบบธรรมดา (Natural binary code) จะใช้สัมประสิทธิ์ $a_1, a_2 \ldots\ldots a_n$ จากสมการแสดงขนาดของแอมปลิจูดของสัญญาณ m เป็นรหัสโดยตรง คือ

$$m = a_1 * 2^{n-1} + a_2 * 2^{n-2} + \ldots\ldots a_n * 2^0$$

รหัสไบนารี่แบบเกรย์(Gray Code) เป็นการเข้ารหัสโดยที่รหัสข้างเคียงซึ่งสอดคล้องกับระดับข้างเคียง จะมีบิทซึ่งแตกต่างกันเพียงตำแหน่งเดียวเท่านั้น

รหัสไบนารีแบบสมมาตร(Symmetrical binary code) ในรหัสนี้บิทแรกจะชี้ว่าสัญญาณเป็นบวกหรือลบ บิทที่ 2 จนถึงบิทสุดท้าย จะแสดงค่าสัมบูรณ์ของสัญญาณ แล้วนำมาจัดเรียงใหม่อย่างสมมาตร จากกึ่งกลางของระดับควอนไตซ์ไปจนถึงระดับสูงสุดหรือระดับต่ำสุด ดังนั้นการเข้ารหัสแบบนี้จึงเหมาะสมที่จะใช้แสดงสัญญาณที่อยู่ในรูปของไบโพลาร์

ไม่ว่าจะเป็นการเข้ารหัสแบบใดก็ตามเมื่อบิทใดๆเกิดการผิดพลาด เนื่องจากการรบกวนในช่องสัญญาณแล้ว เมื่อสัญญาณอนาล็อกถูกสร้างกลับมาใหม่ที่ด้านรับ S/N ซึ่งเลวลงอยู่แล้ว จะมีค่าแตกต่างกันเป็นอย่างมาก เมื่อบิทที่ผิดพลาดมีตำแหน่งต่างกัน

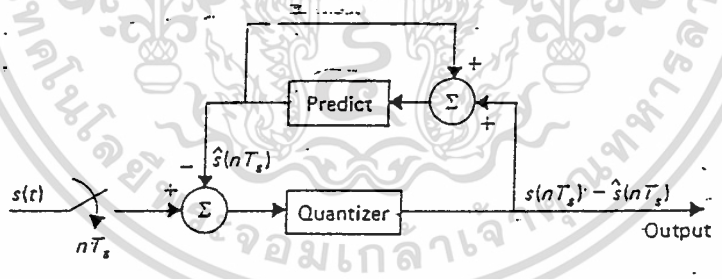
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อนึ่ง ความสัมพันธ์ระหว่างอัตราการผิดพลาด (error rate) และ S/N จะแตกต่างกันเมื่อโครงสร้างของสัญญาณต่างกัน และโดยทั่วไปแล้วการผิดพลาดของรหัสจะมีน้อยอย่างพอเพียงและผลที่เกิดจากการรบกวนจากการจัดระดับจะมีมากกว่าผลที่เกิดจากความผิดพลาดของบิท(bit error)

2.2 ดิฟเฟอรุ้เรนเชียลพัลส์โค้ดมอดูเลชั่น (Differential Pulse Code Modulation , DPCM)

จากเดลต้ามอดูเลชั่นนั้นจะพบว่า แต่ละพัลส์ที่ส่งนั้นมีลักษณะเป็นการเข้ารหัส 1 บิทจากค่าความแตกต่างระหว่างข่าวสารและสัญญาณที่ผ่านการประมาณแล้ว วงจรพัลส์มอดูเลชั่นจะจัดระดับสัญญาณความแตกต่างเป็น 2 ระดับ แล้วแซมเปิ้ลสัญญาณความแตกต่างที่ผ่านการจัดระดับแล้วและสร้างขบวนสัญญาณเข้ารหัส 1 บิทซึ่งมี 1 พัลส์ต่อแซมเปิ้ล

ถ้าแทนสัญญาณแตกต่างที่ผ่านการควอนไตซ์ให้มีหลายๆระดับ ผ่านการแซมเปิ้ลและแต่ละแซมเปิ้ลถูกเข้ารหัสให้เป็น N บิทไบนารีโค้ด ผลของการทำเช่นนี้เป็น DPCM รหัสจะถูกส่งไปในช่องสัญญาณเป็นไบนารีพัลส์ ซึ่งประกอบด้วย N พัลส์ต่อแซมเปิ้ล ดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลชั่นเป็นเทคนิคในการส่งข่าวสารเกี่ยวกับการเปลี่ยนแปลงในแซมเปิ้ล ค่าที่แตกต่างจะรวมไปถึงขั้นตอนที่ไม่ใช่ส่วนของเดลต้า PCM ด้วย มอดูเลเตอร์จะไม่ส่งค่าความแตกต่างระหว่างแซมเปิ้ลที่อยู่ติดกัน แต่จะใช้ค่าความแตกต่างระหว่างแซมเปิ้ลกับค่าที่ทำนาย โดยค่าที่ทำนายนี้จะได้มาจากค่าแซมเปิ้ลก่อนหน้านี้ อธิบายได้ดังรูปที่ 2.13



รูปที่ 2.13 แสดงดิฟเฟอเรนเชียลพัลส์โค้ดมอดูเลเตอร์

สัญลักษณ์ $\hat{s}(nT_s)$ ใช้แสดงเป็นค่าที่ถูกทำนายของ $s(nT_s)$ ซึ่ง T_s เป็นคาบของการแซมปลิ้ง การทำนายแบบที่ง่ายที่สุดคือ การทำนายแบบเชิงเส้น ซึ่งจะประมาณค่าแซมเปิ้ลที่วัดได้จากฟังก์ชั่นเชิงเส้น ดังนั้นถ้ามีเพียง 1 แซมเปิ้ลเท่านั้น จะใช้สมการ

$$\hat{s}(nT_s) = As(\{n-1\}T_s)$$

โดยที่ A คือค่าคงที่ ปัญหาคือในการเลือก A ที่จะใช้ในการทำนาย ค่าที่ได้มาจากความแตกต่างระหว่างแซมเปิ้ลกับค่าที่ประมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น $e(nT_s) = s(nT_s) - \hat{s}(nT_s)$

$= s(nT_s) - As([n-1]T_s)$

ค่าเฉลี่ยของค่าความผิดพลาดหาได้จาก

$mse = E\{e^2(nT_s)\}$

$= E\{s^2(nT_s)\} + A^2E\{s^2([n-1]T_s)\} - 2AE\{s(nT_s)s([n-1]T_s)\}$

$= R(0)[1+A^2] - 2AR(T_s)$

โดยที่ R(t) เป็นออโตคอรีเรชั่นของ S(t) โดยค่าความผิลพลาดนี้สามารถพิสูจน์ได้ โดยการกำหนดให้ค่าเดอริเวทีฟของ A มีค่าเท่ากับศูนย์

$d(mse)/dA = 2AR(0) - 2R(T_s) = 0$

หรือ $[s(nT_s) - As([n-1]T_s)]\} = 0$ ————(1)

ดังนั้น $A = R(T_s)/R(0)$

สมการที่ (1) ชี้ให้เห็นค่าของความผิดพลาดที่ได้จากการวัดแซมเปิ้ลมีค่าเท่ากับ 0 โดยที่ค่าความผิดพลาดนี้จะไม่มีส่วนในการชี้ค่าที่สังเกตได้ ค่าความผิดพลาดและค่าที่สังเกตได้คือออโธกอนอล แต่ถ้าค่าความผิดพลาดนี้มีส่วนในการชี้ค่าที่สังเกตได้ ส่วนนี้จะลดลงจนเป็นศูนย์โดยการปรับค่าคงที่ A ในการทำนายเราสามารถใช้ค่าที่มากที่สุด (ซึ่งได้มาจากการรวมค่าที่ทำนายกับเทอมที่แตกต่าง) และน้ำหนักของ $R(T_s)/R(0)$

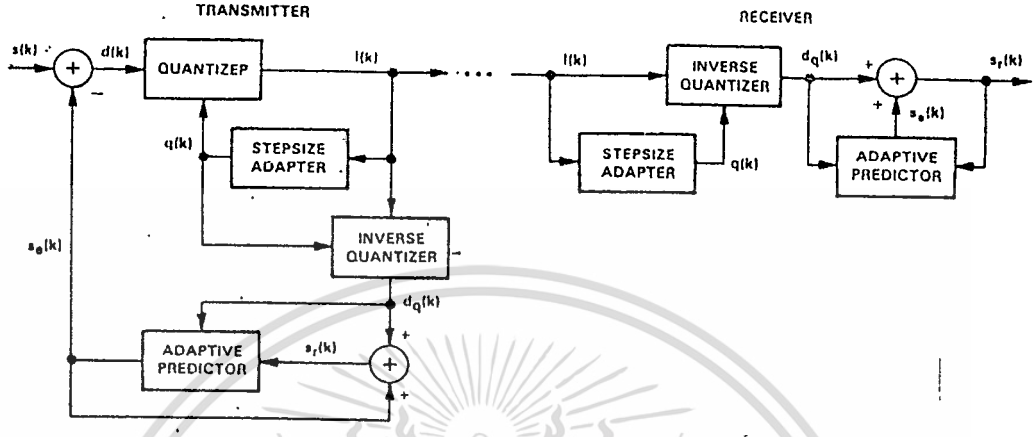
2.3 อะแด็พทีฟดิฟเฟอร์เรนเชียลพัลส์โค้ดมอดูเลชั่น (Adaptive Differential Pulse Code Modulation , ADPCM)

การเข้ารหัสสัญญาณเสียงด้วยอัตราส่งที่ต่ำนั้น การใช้งาน PCM มีอัตราการส่งมาตรฐาน 64 kbps ซึ่งต้องการช่องสัญญาณในการส่งที่มีขนาดแบนด์วิดธ์กว้าง ในการนำไปใช้งาน เช่น งานเกี่ยวกับความปลอดภัยของสัญญาณเสียงในการส่งไปในสายส่งบนช่องสัญญาณวิทยุซึ่งมีความจุต่ำ การประยุกต์ใช้งานแบบนี้ จะเป็นที่ต้องการสำหรับการเข้ารหัสสัญญาณเสียงที่มีอัตราการส่งต่ำ ในขณะที่สามารถดูแลการรับส่งและได้สัญญาณเสียงที่มีคุณภาพกลับออกมา สำหรับการเข้ารหัสสัญญาณที่มีอัตราการส่งต่ำ การเข้ารหัสสัญญาณต้องอาศัยสถิติของคุณลักษณะของรูปคลื่นของสัญญาณเสียงและคุณสมบัติการได้ยิน การออกแบบนี้เพื่อจุดประสงค์ 2 ประการ คือ

1. เพื่อเคลื่อนสัญญาณเสียงไปในระยะทางที่ไกลเท่าที่จะทำได้
2. เพื่อกำหนดบิทในการเข้ารหัสสัญญาณเสียงให้สามารถเข้าใจได้เมื่อถอดรหัส

วิธีการที่ถูกเสนอเข้ามาแก้ปัญหานี้วิธีหนึ่งคือ ADPCM ที่มีอัตราการส่งข้อมูล 32 kbps ซึ่งสามารถเพิ่มความจุของช่องสัญญาณเป็น 2 เท่า เมื่อเทียบกับเทคนิค PCM 64 kbps ในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 แสดงบล็อกไดอะแกรมของระบบ ADPCM

รูปที่ 2.14 แสดงถึงการรวมกันของหลักการความแตกต่างและหลักการการปรับค่าในระบบ ADPCM ทั้งการปรับการจัดระดับ และการหาความแตกต่างของสัญญาณซึ่งต้องการการจัดเก็บค่าของแซมเปิ้ลค่าหนึ่งหรือมากกว่านั้นในหน่วยความจำทั้งในเครื่องส่งและเครื่องรับ นอกจากนี้จะต้องใช้วิธีการที่ทำให้เครื่องส่งและเครื่องรับทำงานสัมพันธ์กัน ซึ่งสามารถทำได้โดยใช้เพียงสัญญาณที่ถูกส่งไป, I(k) เท่านั้น โดยนำไปหาการปรับระดับในวงจรจัดระดับและวงจรจัดระดับแบบย้อนกลับ และนำไปทำนายค่าของสัญญาณประมาณค่าถัดไป ด้วยวิธีนี้วงจรของเครื่องรับจึงต้องมีในเครื่องส่งด้วย นอกจากนี้เทคนิคการปรับค่าที่ถูกออกแบบมาโดยเฉพาะก็จะช่วยให้หาความผิดพลาดที่เกิดขึ้นจากการส่งได้เร็วขึ้น

ระบบ ADPCM ที่ใช้ในโทรศัพท์ดิจิตอลนั้นไม่ได้ใช้ระบบการเข้ารหัสโดยตรง แต่ใช้วงจรแปลงรหัส(transcoder) ซึ่งทำการแปลงรหัสระหว่าง PCM แบบลอการิทึมกับ ADPCM ในปัจจุบันนี้ระบบจำนวนมากจะใช้การส่งด้วย PCM แบบลอการิทึม ระบบ ADPCM จะประกอบด้วยวงจรจัดระดับแบบปรับค่าได้และวงจรทำนายค่าแบบปรับค่าได้(adaptive quantizer and adaptive predictor) วงจรจัดระดับแบบปรับค่าได้นั้นจะประกอบด้วยการควบคุมความเร็วและการปรับขนาด(speed-control and scale-factor adaptation) การวัดอัตราการเปลี่ยนแปลงของสัญญาณความแตกต่างนำมาใช้ในการควบคุมความเร็ว การปรับขนาดนั้นทำเพื่อปรับสัญญาณความแตกต่างให้เหมาะสมกับระดับของการจัดระดับเพื่อให้ได้ค่า S/N ที่มากที่สุด ด้วยการควบคุมความเร็วทำให้ระบบสามารถทำได้ทั้งการปรับค่าอย่างรวดเร็วและการปรับค่าอย่างช้า ซึ่งทำให้ใช้ได้ดีกับทั้งสัญญาณเสียงพูดและสัญญาณข้อมูล ในวงจรทำนายค่าแบบปรับ

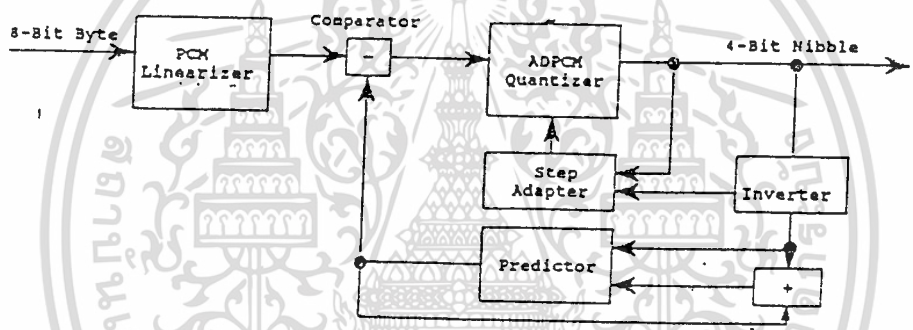
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าได้นั้นการปรับค่าจะนำมาใช้ปรับปรุงการทำงานของวงจรทำนายค่าสำหรับสัญญาณที่ไม่คงที่ (เช่น เสียงพูด)

การทำงานของ ADPCM นั้นจะมีเครื่องรับฝังอยู่ในเครื่องส่งซึ่งเป็นสิ่งสำคัญเนื่องจากสัญญาณป้อนกลับนั้นจะใช้ในการหาสัญญาณประมาณและสัญญาณความแตกต่างที่ผ่านการจัดระดับแล้ว เหมือนกับการทำงานของวงจรถอดรหัส ดังนั้นการชดเชยค่าความผิดพลาดจากการจัดระดับสามารถทำได้ในแซมเปิ้ลผลต่างที่ตามมา

2.3.1 วงจรเข้ารหัส (Encoder)

หน้าที่ของวงจรเข้ารหัสหรือเครื่องส่ง คือ รับสัญญาณ PCM แบบลอการิทึม 64 kbps แล้วแปลงเป็น ADPCM 32 kbps ซึ่งมีขั้นตอนดังนี้



รูปที่ 2.15 แสดงตัวแปลงรหัส ADPCM

1. เมื่อสัญญาณ PCM ขนาด 8 บิทเข้ามา มันก็จะเปลี่ยนให้กลายเป็นสัญญาณดิจิตอลแบบลิเนียร์ขนาด 13 บิท

2. ขั้นตอนต่อไปคือวงจรเปรียบเทียบค่า(comparator) ซึ่งจะทำการเปรียบเทียบสัญญาณใหม่ที่เข้ามากับสัญญาณที่เครื่องมือได้กำหนดไว้ ค่าความแตกต่างระหว่างทั้ง 2 ส่งต่อให้กับวงจรจัดระดับ ADPCM

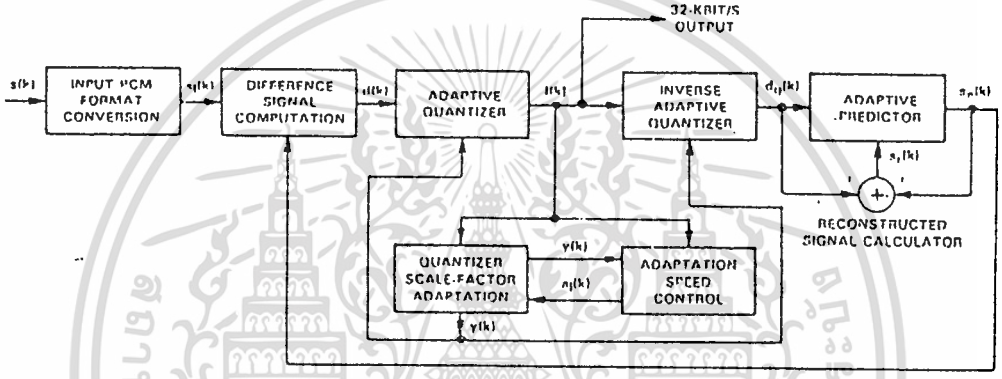
3. วงจรจัดระดับ ADPCM มี 7 ระดับ และเอาท์พุทที่ออกก็จะเป็น 4 บิทนิบเบิล บิทแรกจะแสดงขั้วของสัญญาณ และอีก 3 บิทต่อมาก็แสดงค่าของระดับ ถ้าไม่มีความแตกต่างระหว่างทั้ง 2 สัญญาณ ADPCM จะออกมาเป็น 111 และสัญญาณสูงสุดที่เป็นไปได้(positive) คือ 0111 และสัญญาณทางลบ (negative) ที่มีค่ามากสุดคือ 1000 จะส่งสัญญาณ 0 ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ที่จุดนี้ 4 บิทนิบเบิลจะส่งให้กับอีก 3 ส่วน คือ ส่งออกเป็นเอาท์พุทของ ADPCM และอีก 2 ส่วนก็ส่งให้กับอินเวอร์เตอร์กับวงจรปรับค่าระดับ อินเวอร์เตอร์จะเปลี่ยน 4 บิทนิบเบิลให้เป็น 13 บิท (สัญญาณที่มีค่าคงที่) และที่อินเวอร์เตอร์ก็จะส่งสัญญาณนั้นให้วงจรทำนายค่าและวงจรปรับค่าระดับ

5. วงจรปรับค่าระดับจะล็อคค่าระดับของการจัดระดับเมื่อส่วนรับเสียง เช่น สัญญาณข้อมูล (data signal) และ unlocking the quantizer ก็คือส่วนนี้มีการเปลี่ยนแปลงของระดับของการจัดระดับตามการเปลี่ยนแปลงของสัญญาณ

6. สุดท้ายวงจรทำนายค่าทำหน้าที่เดาว่าสัญญาณถัดไปน่าจะเป็นอะไร เป็นวงจรกรองความถี่ดิจิตอลแบบพื้นฐาน



รูปที่ 2.16 แสดงบล็อกไดอะแกรมของวงจรเข้ารหัส ADPCM

การเข้ารหัสสัญญาณที่เป็นลอการิทึมจะได้ค่า S/N มากกว่าสัญญาณที่เป็นลิเนียร์ และการปรับค่านี้จะขึ้นอยู่กับแซมเปิ้ลที่ผ่านการเข้ารหัสไปก่อนหน้านี้แล้ว การปรับค่านี้จะถูกควบคุมด้วย 2 ลักษณะ คือ ควบคุมด้วยการปรับค่าอย่างเร็ว(fast adaptation factor) สำหรับสัญญาณที่มีการแกว่งของอัมปลิจูดอย่างมาก(เช่น เสียงพูด) และการปรับค่าอย่างช้า(slow adaption factor) สำหรับสัญญาณที่มีการเปลี่ยนแปลงอย่างช้าๆ (เช่น ข้อมูล) ค่าควบคุมความเร็ว,$a_i(k)$ (speed-control factor) จะวัดค่าการปรับค่าอย่างเร็วและการปรับค่าอย่างช้าเพื่อนำมาสร้างค่าของการจัดระดับ,y(k)

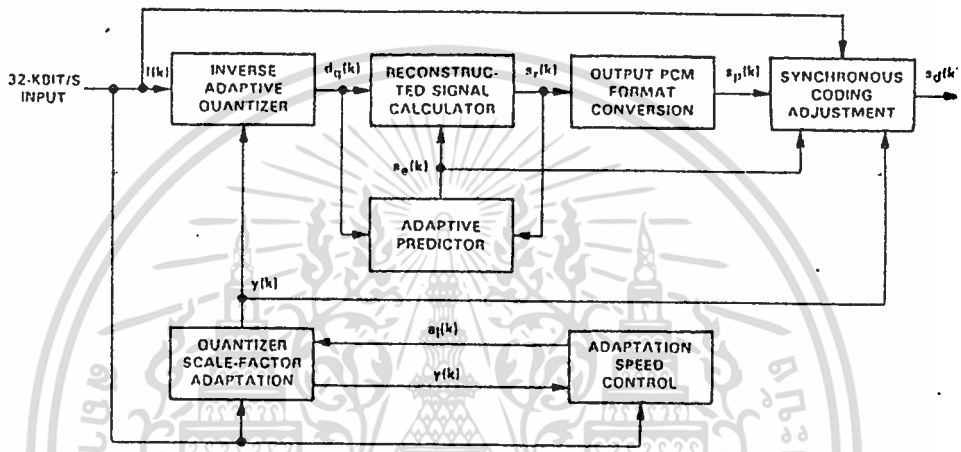
วงจรจัดระดับแบบย้อนกลับ จะนำสัญญาณ I(k) มาทำการสร้างสัญญาณความแตกต่างที่ผ่านการจัดระดับแล้ว,$d_q(k)$ ขึ้นมาใหม่โดยใช้คุณลักษณะของการจัดระดับแบบปรับค่าได้เช่นเดียวกับวงจรจัดระดับในตอนแรก

สัญญาณความแตกต่างที่ผ่านการเข้ารหัสแล้ว,$d_q(k)$ จะเข้าสู่วงจรทำนายค่าแบบปรับค่าได้เพื่อทำการสร้างสัญญาณประมาณ,$s_e(k)$ ซึ่งจะถูกนำไปรวมกับสัญญาณความแตกต่าง$d_q(k)$ เพื่อสร้างสัญญาณที่กู้กลับคืนมา,$s_r(k)$ ซึ่งเป็นเอาท์พุทของวงจรถอดรหัส เอาท์พุทนี้จะนำไปหักออกจากแซมเปิ้ลที่เข้ามาตัวถัดไป ทำให้เป็นการป้อนกลับที่สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรการทำนายแบบปรับค่าได้นั้นจะใช้ทั้งฟิลเตอร์แบบโพลทั้งหมดและแบบซีโรทั้งหมด ฟิลเตอร์แบบโพลทั้งหมดเป็นฟิลเตอร์อันดับสองซึ่งจะบังคับค่าสัมประสิทธิ์ในการปรับค่าที่ออกแบบมาให้เหมาะสมกับการเปลี่ยนแปลงอย่างช้าๆของเสียงพูด เนื่องจากการทำงานของวงจรทำนายค่าที่ใช้ฟิลเตอร์แบบโพลทั้งหมดจะมีความไวต่อความผิดพลาด จึงนำฟิลเตอร์แบบซีโรทั้งหมดอันดับ 6 มาใช้ร่วมเพื่อรักษาเสถียรภาพของสัญญาณจากความผิดพลาดของระบบการสื่อสาร

2.3.2 วงจรถอดรหัส (Decoder)



รูปที่ 2.17 แสดงบล็อกไดอะแกรมของวงจรถอดรหัส ADPCM

หน้าที่ของวงจรถอดรหัสหรือเครื่องรับดังแสดงในรูปที่ 2.17 คือ การรับสัญญาณ ADPCM 32 kbps มาแปลงเป็นสัญญาณ PCM แบบลอการิทึม 64 kbps สัญญาณที่รับมา,I(k) จะผ่านวงจรปรับระดับกลับแบบปรับค่าได้ซึ่งเหมือนกับในวงจรเข้ารหัส เพื่อหาสัญญาณความแตกต่างที่ผ่านการจัดระดับแล้ว, $d_q(k)$ จากนั้นนำสัญญาณความแตกต่างที่ได้ผ่านเข้าวงจรทำนายค่าแบบปรับค่าได้พร้อมกับสัญญาณที่กู้กลับคืนมา,$s_r(k)$ ก่อนหน้านี้เพื่อที่จะสร้างสัญญาณประมาณ,$s_e(k)$ โดยสัญญาณประมาณนี้จะนำไปรวมกับสัญญาณความแตกต่างเพื่อสร้างสัญญาณที่กู้กลับคืนมา,$s_r(k)$ แล้วจึงนำสัญญาณที่ได้มาทำการแปลงจากสัญญาณ PCM แบบลิเนียร์มาเป็นสัญญาณ PCM แบบลอการิทึม,$s_p(k)$ ซึ่งจะถูกส่งผ่านเข้าวงจรปรับจังหวะการเข้ารหัส(synchronous coding adjustment) เพื่อเป็นการจำกัดความผิดพลาด

2.3.3 การจัดระดับแบบปรับค่าได้ (Adaptive Quantization)

การจัดระดับแบบปรับค่าได้นี้ใช้การหาค่าของการจัดระดับและค่าควบคุมความเร็ว เพื่อนำมาใช้ควบคุมอัตราเร็วในการปรับค่าของการจัดระดับ การจัดระดับจะเป็นแบบ 4 บิท(บิทเครื่องหมาย 1 บิท และบิทแสดงขนาด 3 บิท) ซึ่งสัญญาณ 4 บิทนี้จะถูกส่งออกเป็นเอาท์พุทของวงจรแปลงรหัส ADPCM ส่วนของวงจรจัดระดับแสดงในรูปที่ 2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
037229

สัญญาณความแตกต่าง,d(k) ซึ่งเป็นอินพุทของการจัดระดับได้มาจากการนำสัญญาณประมาณ $s_e(k)$ มาหักออกจากสัญญาณ PCM แบบลิเนียร์,$s_l(k)$

$$d(k) = s_l(k) - s_e(k)$$

สัญญาณความแตกต่างนี้จะถูกปรับค่าด้วยการแปลงเป็นลอการิทึมฐาน 2 และหักออกด้วยค่าของการจัดระดับ,y(k)

$$|I(k)| \leftarrow \log_2|d(k)| - y(k)$$

Normalized Quantizer Input Range $\log_2\|d(k)\| - y(k)$	$\|I(k)\|$	Normalized Quantizer Output $\log_2\|d_q(k)\| - y(k)$
[3.16, + ∞)	7	3.34
[2.78, 3.16)	6	2.95
[2.42, 2.78)	5	2.59
[2.04, 2.42)	4	2.23
[1.58, 2.04)	3	1.81
[0.96, 1.58)	2	1.29
[-0.05, 0.96)	1	0.53
[-∞, -0.05)	0	-1.05

ตารางที่ 2.2 แสดงคุณลักษณะที่ได้จากการจัดระดับ

ตารางที่ 2.2 แสดงขนาดของผลลัพธ์ที่ได้จากการจัดระดับ,| I(k) | โดยใช้อินพุทที่ผ่านการปรับค่านี้ บิทเครื่องหมายของเอาท์พุท ADPCM ,I(k) คือ เครื่องหมายของสัญญาณความแตกต่าง,d(k)

ค่าของการจัดระดับ,y(k) จะประกอบด้วย 2 ส่วน คือ $y_l(k)$ และ $y_u(k)$ ซึ่งได้จากค่าควบคุมความเร็ว,$a_l(k)$ สำหรับสัญญาณเสียงพูด ค่า $a_l(k)$ จะมีค่าเป็น 1 และสำหรับสัญญาณข้อมูลย่านความถี่เสียง ค่า $a_l(k)$ จะมีค่าเป็น 0

$$y(k) = a_l(k)y_u(k-1) + [1-a_l(k)]y_l(k-1) \qquad ; 0 \le a_l(k) \le 1$$

ค่า $y_u(k)$ จะสามารถปรับค่าได้อย่างรวดเร็วตามสัญญาณที่เปลี่ยนแปลงอย่างรวดเร็ว(เช่น เสียงพูด) ค่า $y_u(k)$ จะสามารถแสดงได้ในเทอมของ ค่าของการจัดระดับ,y(k) และฟังก์ชั่นไม่ต่อเนื่อง,W(l)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$y_u(k) = [1-2^{-5}]y(k) + 2^{-5}W[I(k)] \qquad ; 1.06 \le y_u(k) \le 10.00$$

ค่า W(I) ที่แสดงที่ในตารางที่ 2.3 จะเป็นฟังก์ชั่นของ I ซึ่งเป็นเหตุให้ค่า $y_u(k)$ ปรับค่าขนาดระดับขั้นขนาดให้มีขนาดใหญ่ขึ้นสำหรับค่า I ที่มีขนาดใหญ่กว่า ซึ่งทำให้ค่า $y_u(k)$ เป็นอิสระจากค่าของสัญญาณที่มักเปลี่ยนแปลงอย่างรวดเร็วมาก

I	7	6	5	4	3	2	1	0
W(I)	69.25	21.25	11.50	6.12	3.12	1.69	0.25	-0.75

ตารางที่ 2.3 แสดงสเกลของตัวคูณ

ส่วนค่า $y_l(k)$ จะปรับค่าอย่างช้าๆ ตามสัญญาณที่มีการเปลี่ยนแปลงอย่างช้าๆ (เช่น ข้อมูลในย่านความถี่เสียง) ค่านี้จะประกอบด้วย $y_u(k)$ ที่ผ่านการกรองสัญญาณย่านความถี่ต่ำผ่าน(lowpass filtering) ด้วยเหตุนี้ค่า $y_l(k)$ จึงถูกจำกัดค่าให้อยู่ในช่วงเดียวกับ $y_u(k)$ โดยปริยาย นอกจากนี้ค่า $a_l(k)$ ที่มีค่าสูงสุดเป็น 1 ก็จะทำให้ค่าของ y(k) อยู่ในช่วงเดียวกับ $y_l(k)$ และ $y_u(k)$ เช่นกัน

$$y_l(k) = [1-2^{-6}]y_l(k-1) + 2^{-6}y_u(k)$$

ค่าควบคุมความเร็ว,$a_l(k)$ จะปรับค่าตามน้ำหนักของค่าของการจัดระดับทั้ง 2 ค่า โดยการใช้ค่าเฉลี่ยเทอมสั้นและเทอมยาวของเอาท์พุทที่ผ่านการเข้ารหัส,$d_{ms}(k)$ และ $d_{ml}(k)$ เพื่อหาความเร็วในการเปลี่ยนแปลงของสัญญาณ ผลรวมของค่าของการจัดระดับ,y(k) จะมีค่าน้อยกว่า $y_l(k)$ และ $y_u(k)$ เสมอ ดังนั้นค่า $a_l(k)$ จึงมีค่าสูงสุดที่ 1 เสมอแม้ว่าค่าควบคุมความเร็วที่ทำนายได้(predicted speed control),$a_p(k)$ จะมีค่ามากกว่า 1

$$\begin{aligned} a_l(k) &= 1 && , a_p(k-1) > 1 \\ &= a_p(k-1) && , a_p(k-1) \le 1 \end{aligned}$$

ค่า $a_p(k)$ นี้จะมีค่าสูงสุดอยู่ที่ 2 เมื่อค่าควบคุมความเร็วมาจากการรวมค่าของการจัดระดับ 2 ค่าที่แต่ละค่ามีค่าเป็น 1 ในการหาค่าของ $a_p(k)$ ในแต่ละครั้งที่ค่าความแตกต่างของค่าเฉลี่ยเทอมสั้นและค่าเฉลี่ยเทอมยาวมีค่ามากเกินไป(เช่น $| d_{ms}(k) - d_{ml}(k) | \ge 2^{-3} d_{ml}(k)$) หรือมีช่องสัญญาณว่าง($y(k) < 3$) จะมีการบวกค่า 1/8 เพิ่มเข้าไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$a_p(k) = [1-2^{-4}]a_p(k-1)+2^{-3} \quad , |d_{ms}(k)-d_{ml}(k)| \geq 2^{-3}d_{ml}(k)$$
$$= [1-2^{-4}]a_p(k-1)+2^{-3} \quad , y(k) < 3$$
$$= [1-2^{-4}]a_p(k-1) \quad , \text{ในกรณีอื่นๆ}$$

ค่าเฉลี่ยเทอมสั้นและค่าเฉลี่ยเทอมยาวของสัญญาณ ADPCM ที่ถูกส่งมา,I(k) จะสามารถหาได้จากการเฉลี่ยฟังก์ชั่นน้ำหนัก(weighted function)ของสัญญาณที่ถูกส่งมา,I ดังแสดงค่าในตารางที่ 2.4

|I|	7	6	5	4	3	2	1	0
F(I)	7	3	1	1	1	0	0	0

ตารางที่ 2.4 แสดงอัตราการเปลี่ยนแปลงของฟังก์ชั่นน้ำหนัก

$$d_{ms}(k) = [1-2^{-5}]d_{ms}(k-1)+2^{-5}F[I(k)]$$
$$d_{ml}(k) = [1-2^{-7}]d_{ml}(k-1)+2^{-7}F[I(k)]$$

ค่าของการจัดระดับและค่าควบคุมอัตราเร็วจะอยู่ทั้งในส่วนของวงจรเข้ารหัสและวงจรถอดรหัส ส่วนของการจัดระดับแบบปรับค่าได้นั้นแสดงในรูปที่ 2.16 และสำหรับวงจรถอดรหัสนั้น วงจรจัดระดับจะอยู่ในส่วนของการปรับจังหวะ(synchronization block) เพื่อช่วยลดการเกิดความผิดพลาดที่เกิดขึ้นเนื่องจากการเข้ารหัสอย่างต่อเนื่อง

การจัดระดับแบบปรับค่าได้มี 2 วิธี คือ

- การจัดระดับแบบไปข้างหน้า [Adaptive Quantization with forward estimation (AQF)]
- การจัดระดับแบบย้อนกลับ [Adaptive quantization with backward estimation (AQB)]

2.3.3.1 <u>การจัดระดับแบบไปข้างหน้า</u>

ในแต่ละแซมเปิ้ลของสัญญาณอินพุทซึ่งยังไม่ผ่านการจัดระดับ จะถูกนำมาใช้ในการประมาณค่าแบบไปข้างหน้า การจัดระดับแบบไปข้างหน้านั้นระดับของสัญญาณข่าวสารจะส่งไปยังวงจรถอดรหัสปลายทาง โดยใช้ 5-6 บิทต่อขนาดของแต่ละระดับ และแปลงให้เป็นข้อมูลข้างเคียงซึ่งเป็นสัญญาณที่จะส่งไปให้ผู้รับ การจัดระดับแบบไปข้างหน้าเป็นวิธีที่รักษาระดับของแต่ละสเต็พในการส่งสัญญาณ เพราะข่าวสารนี้เป็นเพียงส่วนเล็กน้อยของอัตราการส่งทั้งหมด การประมาณแบบนี้จะมีปรากฏอยู่ในการเข้ารหัส ดีเลย์ของการเข้ารหัสจะมีค่าประมาณ 16 ms สำหรับสัญญาณเสียงสุดท้าย การจัดระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบไปข้างหน้า ต้องการบัฟเฟอร์สำหรับอินพุทที่ยังไม่ได้มีการจัดระดับ ผลของการจัดระดับแบบไปข้างหน้า จะทำการจัดระดับด้วยตัวของมันเอง

2.3.3.2 การจัดระดับแบบย้อนกลับ

เป็นการนำสัญญาณ ADPCM 4 บิท,I(k) มาหาสัญญาณความแตกต่างแบบลอการิทึมจากตารางที่ 2.1 ผลที่ได้คือสัญญาณความแตกต่างที่ผ่านการจัดระดับแล้ว,d(k) ซึ่งได้จากการรวมค่าของการจัดระดับ,y(k) เข้ากับค่าที่ระบุในตารางที่ 2.2 แล้วนำผลรวมที่ได้มาทำการแปลงลอการิทึมย้อนกลับ

$$d_q(k) = \log_2^{-1}[\{\log_2|d_q(k)| - y(k)\} + y(k)]$$

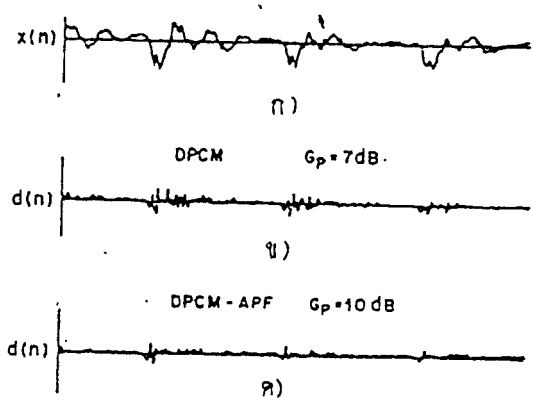
สำหรับทั้งวงจรเข้ารหัสและวงจรถอดรหัส สัญญาณความแตกต่างที่ผ่านการจัดระดับแล้วนั้นจะเป็นอินพุทของวงจรกู้สัญญาณกลับคืนมาและวงจรทำนายค่าแบบปรับค่าได้ ดังแสดงในรูปที่ 2.16 และรูปที่ 2.17

2.3.4 การทำนายค่าแบบปรับค่าได้ (Adaptive Predictor)

ในกระบวนการทำนายค่า(prediction)มีการทำงานโดยใช้ลำดับการทำนายค่าลำดับ ซึ่งจะกล่าวถึงลำดับ 3 และ 4 อัตราการขยายสูงสุดของการทำนายค่าสัญญาณข้อมูลที่เป็นสัญญาณเสียงพูดเป็น 10 dB การเข้ารหัส DPCM สำหรับสัญญาณเสียงที่มีคุณภาพในระยะทางไกล ๆ ด้วยอัตรา R = 4 บิท/แซมเปิ้ลซึ่งระบบนี้ขึ้นอยู่กับการทำนายค่าแบบปรับค่าได้ การเข้ารหัสด้วยอัตราการเข้ารหัสต่ำๆ เรียกว่า การเข้ารหัสด้วยการทำนายแบบปรับค่าได้ (Adaptive Prediction Coding APC)

สัญญาณอินพุทซึ่งแปรเปลี่ยนไปตามเวลาในกรณีที่เป็นสัญญาณที่ไม่คงที่ นำไปสู่ตัวทำนายที่ถูกออกแบบเฉพาะสำหรับสัญญาณอินพุทดังกล่าว การทำนายค่าของระบบ DPCM เนื่องจากความไม่สัมพันธ์กันของภาครับและภาคส่งจะทำให้เกิดการสูญเสีย ซึ่งอาจแสดงในค่าที่ต่ำกว่าอัตราการขยายของความเป็นไปได้ของการทำนายค่า แสดงว่าการทำนายค่าแบบปรับค่าได้จะมีการสูญเสียน้อย จากรูปที่ 2.19 แสดงรูปคลื่นของสัญญาณอินพุทที่เข้ารหัสแล้ว x(n) และค่าความคลาดเคลื่อนจากการทำนาย d(n) ของสัญญาณเสียง ซึ่งจะได้รูปคลื่นที่เปรียบเทียบระหว่างการทำนายที่เป็นแบบปรับค่าได้ และปรับค่าไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 แสดงรูปคลื่นของสัญญาณอินพุทที่เข้ารหัส

ก) แสดงสัญญาณเสียงพูด

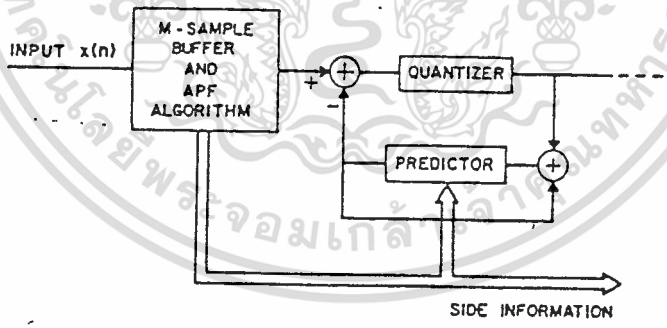
ข) แสดงสัญญาณที่ผ่านการเข้ารหัสแบบ DPCM

ค) แสดงสัญญาณที่ผ่านการเข้ารหัสแบบ ADPCM

การทำนายค่าสามารถแบ่งได้ออกเป็น 2 แบบ คือ

- การทำนายค่าแบบไปข้างหน้า (Forward Adaption ; APF)
- การทำนายค่าแบบย้อนกลับ (Backward Adaption ; APB)

2.3.4.1 <u>การทำนายค่าแบบไปข้างหน้า</u>



รูปที่ 2.20 แสดงบล็อกไดอะแกรมของการทำนายแบบไปข้างหน้า

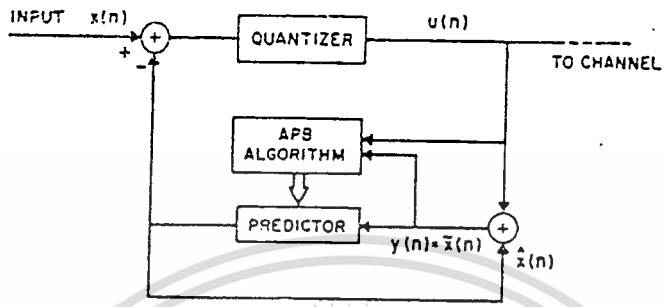
จากบล็อกไดอะแกรม จะเห็นว่า อัตราการขยายของการทำนายที่ให้ค่าสูงๆ จะใช้ฟังก์ชั่นของการทำนายลำดับสูง ลำดับของ N ที่เป็นทางเลือกที่ดีของ N ควรจะสัมพันธ์กับค่าอัตราการขยาย ซึ่งรวมถึงข้อมูลข้างเคียงด้วย สามารถพิจารณาได้ 2 ข้อคือ

- ความถี่ของการทำนายแต่ละตัวจะต้องเปลี่ยนแปลงตลอดเวลาก่อนส่ง
- อัตราการเปลี่ยนแปลงของอินพุทจะมีสถิติที่เปลี่ยนแปลงตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติโดยทั่วไปของกระบวนการการทำนายค่าแบบไปข้างหน้า จะมีการดีเลย์ในการเข้ารหัส ซึ่งเป็นส่วนสำคัญของระบบ

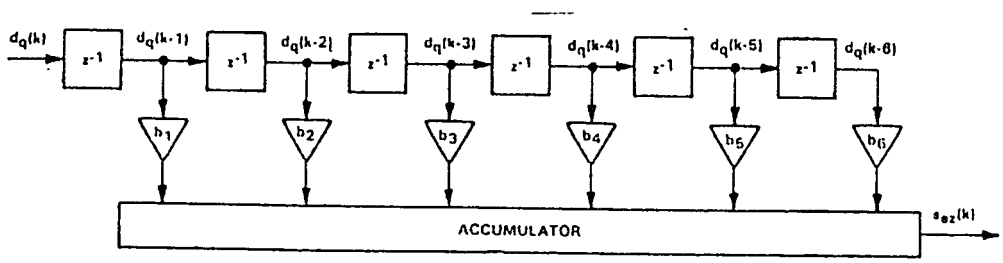
2.3.4.2 <u>การทำนายค่าแบบย้อนกลับ</u>



รูปที่ 2.21 แสดงบล็อกไดอะแกรมของการทำนายแบบย้อนกลับ

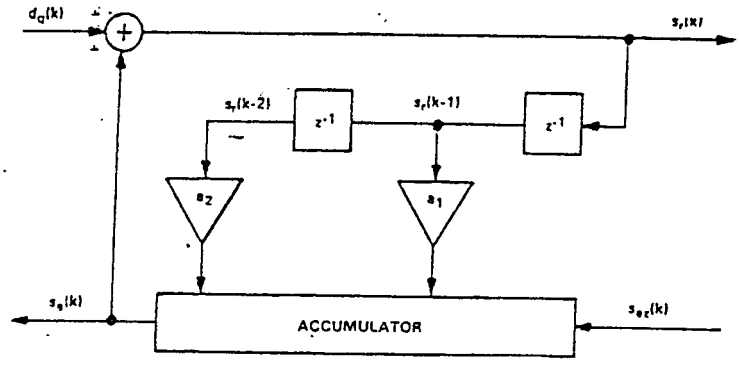
จากการทำนายค่าแบบไปข้างหน้า ซึ่งต้องการช่วงเวลาในการเข้ารหัส(Coding delay), ดาต้าบัฟเฟอร์(data buffer) และความจุของช่องสัญญาณที่มากเป็นพิเศษสำหรับสัญญาณข้อมูลข้างเคียง ความต้องการเหล่านี้อาจไม่สำคัญสำหรับชนิดของการสื่อสารบางอย่าง เช่น ในแพ็คเก็ตสวิตช์เน็ทเวิร์ค (packet switch network) โดยเฉพาะในกรณีที่ดีเลย์และสัญญาณข้อมูลข้างเคียงถูกจำกัดอีกทางหนึ่ง ถ้าสัมประสิทธิ์ของการทำนายสูงสุด สามารถจะประมาณโดยการจัดระดับและส่งข้อมูล y(n) มีความเป็นไปได้ของการเปลี่ยนแปลงข้อมูลตลอดเวลาหรืออย่างบ่อยๆ เท่าที่ต้องการเกิดขึ้น เช่น เกิดขึ้นทุกแซมเบิ้ลต่อแซมเบิ้ล กระบวนการต่างๆ ที่ไม่ซ้ำกันของการทำนายของตัวทำนายเป็นการประมาณค่า

ในการทำงานของการทำนายค่าแบบย้อนกลับนั้น ฟิลเตอร์ที่ใช้ในการทำนายค่า คือ ฟิลเตอร์ชนิด 2 โพล 6 ซีโร่ซึ่งใช้ในการหาสัญญาณประมาณ จากผลรวมของทั้งโพลและซีโร่จะทำให้ฟิลเตอร์มีประสิทธิภาพสูง สำหรับสัญญาณอินพุทปรกติใดๆ ส่วนของซีโร่อันดับ 6 จะช่วยรักษาเสถียรภาพของฟิลเตอร์และป้องกันฟิลเตอร์จากการแกว่งของสัญญาณ ค่าสัมประสิทธิ์ของโพล $a_i(k)$ และของซีโร่ $b_i(k)$ จะถูกปรับค่าตามสัญญาณอินพุทที่เข้ามา



รูปที่ 2.22 แสดงฟิลเตอร์อันดับที่ 6 ของฟิลเตอร์ชนิดซีโร่ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 แสดงฟิลเตอร์อันดับที่ 2

สัญญาณประมาณ,$s_e(k)$ แสดงได้ด้วยผลรวมของฟิลเตอร์ชนิดโพลทั้งหมดและฟิลเตอร์ชนิดซีโร่ทั้งหมด เมื่อผลรวมของฟิลเตอร์ชนิดซีโร่ทั้งหมดนำไปช่วยในการหาค่าสัมประสิทธิ์ของโพล โดยแยกไปเป็นค่าผลรวมต่างหาก,$s_{ez}(k)$ สัญญาณที่กู้กลับคืนมาใหม่ซึ่งเป็นเอาท์พุทของเครื่องรับสามารถหาได้จากผลรวมของสัญญาณประมาณ,$s_e(k)$ และสัญญาณความแตกต่างที่ผ่านการจัดระดับแล้ว,$d_q(k)$

$$s_e(k) = \sum_{i=1}^{2} a_i(k-1)s_r(k-i) + s_{ez}(k)$$

$$s_{ez}(k) = \sum_{i=1}^{6} b_i(k-1)d_q(k-i)$$

$$s_r(k-i) = s_e(k-i) + d_q(k-i)$$

การปรับค่าของสัมประสิทธิ์ของโพล,$a_i(k)$ แสดงดังสมการข้างล่างสัญญาณ p(k) คือสัญญาณที่กู้กลับคืนมาลบด้วยค่าที่ได้จากเอาท์พุทของฟิลเตอร์ สำหรับเสถียรภาพของฟิลเตอร์นั้นจะมาจากค่าสัมประสิทธิ์ที่ถูกจำกัดค่าโดยปริยาย

$$a_1(k) = [1-2^{-8}]a_1(k-1) + 3 \bullet 2^{-8}\,\mathrm{sgn}[p(k)]\mathrm{sgn}[p(k-1)] \qquad ,|a_1(k)| \le 1-2^{-4}-a_2(k)$$

$$a_2(k) = [1-2^{-7}]a_2(k-1) + 2^{-7}\{\mathrm{sgn}[p(k)]\mathrm{sgn}[p(k-2)] - f[a_1(k-1)]\mathrm{sgn}[p(k)]\mathrm{sgn}[p(k-1)]\} \qquad ,|a_1(k)| \le 0.75$$

$$p(k) = d_q(k) + s_{ez}(k)$$

$$f(a_1) = 4a_1 \qquad ,|a_1| \le 1/2 \text{ และ } \mathrm{sgn}(0) = +1$$

$$= 2\,\mathrm{sgn}(a_1) \qquad ,|a_1| > 1/2 \text{ และ } \mathrm{sgn}(0) = +1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับค่าสัมประสิทธิ์ $b_i(k)$ ของฟิลเตอร์ซนิดซีโรทั้งหมดอันดับ6 ขั้นตอนการปรับค่าจะอยู่ในทำนองเดียวกันแต่ค่าจะถูกจำกัดอยู่ในช่วง ± 2 ซึ่งจะหาค่าได้จากสัญญาณความแตกต่างในปัจจุบัน, $d_q(k)$ และสัญญาณความแตกต่างที่สัมพันธ์กับฟิลเตอร์,$d_q(k-i)$

$$b_i(k) = [1-2^{-8}]b_i(k-1) + 2^{-7}\,\mathrm{sgn}[d_q(k)]\mathrm{sgn}[d_q(k-i)]$$

$$, i = 1,2,\ldots,6 \text{ และ } -2 \le b_i(k) \le +2$$

2.3.4.3 ข้อเปรียบเทียบระหว่างการทำนายค่าแบบไปข้างหน้าและการทำนายค่าแบบย้อนกลับ

การทำนายค่าแบบย้อนกลับจะให้อัตราขยายของการทำนายน้อยกว่าของการทำนายค่าแบบไปข้างหน้าเพียง 1 dB ในการทำนายลำดับเดียวกัน ส่วนในการส่งสัญญาณจะมีข้อมูลข้างเคียง(side information)รวมอยู่ด้วย ซึ่งในการทำนายค่าแบบไปข้างหน้าจะมีค่าการสูญเสียอัตราส่วนของสัญญาณเสียงต่อสัญญาณรบกวนใกล้เคียงกันในลำดับเดียวกัน เพราะถ้าความถี่แซมปลิ้ง 8 kHz จะมีค่า S/N เป็น 6 dB อัตราการส่งของการทำนายค่าแบบย้อนกลับและการทำนายค่าแบบไปข้างหน้า จึงมีลักษณะใกล้เคียงกัน และในการทำนายค่าแบบไปข้างหน้าจะให้รูปสัญญาณที่ดีกว่าการทำนายค่าแบบย้อนกลับที่มีอัตราส่งต่ำๆ ซึ่งอัตราขยายของการทำนายค่าแบบย้อนกลับจะถูกจำกัดด้วยปรากฏการณ์ที่เกิดจากการจัดระดับ การออกแบบการทำนายค่าแบบย้อนกลับจะควบคู่ไปกับการจัดระดับแบบย้อนกลับและการเกิดผลของทั้งคู่จะเกิดขึ้นเมื่อใช้

- ตัวจัดระดับที่มีคุณภาพ
- สัมประสิทธิ์การทำนายต้องจำกัดที่ค่า 4 - 6

2.3.5 การแปลงสัญญาณ (Signal Conversion)

การแปลงสัญญาณประกอบด้วยการแปลงจากสัญญาณ PCM แบบลอการิทึมขนาด 8 บิท เป็นสัญญาณ PCM แบบลิเนียร์ขนาด 13 บิท หรือในทางกลับกัน ในวงจรเข้ารหัสสัญญาณ PCM แบบลอการิทึม,s(k) จะถูกขยายเพื่อสร้างค่าของสัญญาณ PCM แบบลิเนียร์,$s_l(k)$ ส่วนวงจรถอดรหัสจะอัดค่าสัญญาณที่กู้คืนมาได้เป็นสัญญาณ PCM แบบลอการิทึม,$s_p(k)$

2.3.6 การให้จังหวะสัญญาณที่กู้กลับคืนมา (Reconstructed Signal Synchronization)

เพื่อหลีกเลี่ยงการผิดเพี้ยนแบบสะสมในการเข้ารหัสอย่างต่อเนื่อง การปรับในสัญญาณที่กู้คืนมาได้จึงเป็นสิ่งจำเป็น ส่วนของการปรับนี้แสดงในรูปที่ 2.17 มีการประมาณการจัดระดับของวงจรเข้ารหัสโดยการหาสัญญาณความแตกต่างและคำนวณค่าของการจัดระดับ ผลของการจัดระดับจะได้ค่าโดยประมาณของสัญญาณที่ได้รับ,I(k)

สัญญาณความแตกต่าง,$d_x(k)$ หาได้จากการนำสัญญาณประมาณ,$s_e(k)$ ไปหักออกจากสัญญาณ PCM แบบลิเนียร์,$s_x(k)$ ซึ่งได้มาจากการขยายสัญญาณ PCM แบบลอการิทึม,$s_p(k)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$d_x(k) = s_{lx}(k) - s_e(k)$$

ขั้นตอนการจัดระดับจะให้ค่าโดยประมาณของค่า ADPCM,$I_d(k)$ ถ้าค่าประมาณแสดงว่าสัญญาณความแตกต่างมีค่าต่ำกว่าช่วงของระดับที่รับได้ รหัส PCM แบบลอการิทึมจะถูกเปลี่ยนเป็นค่าถัดไปที่สูงขึ้น แต่ถ้าแสดงว่าสัญญาณความแตกต่างมีค่าสูงกว่า ค่า PCM แบบลอการิทึมจะต้องลดลงมาอยู่ในขั้นถัดไปที่น้อยกว่า นอกจากนี้ ค่าของ PCM แบบลอการิทึมสามารถอธิบายในรูปของ $s_d(k)$ ดังแสดงในสมการต่อไปนี้

$$\begin{aligned} s_d(k) &= s_p^+(k) && ,d_x(k) < \text{ค่าขอบล่างของระดับ} \\ &= s_p^-(k) && ,d_x(k) \geq \text{ค่าขอบบนของระดับ} \\ &= s_p(k) && ,\text{ในกรณีอื่น} \end{aligned}$$

เมื่อ $s_d(k)$ คือ เอาท์พุท PCM ของวงจรถอดรหัส

$s_p^+(k)$ คือ ระดับถัดไปของPCM ที่มีค่าสูงขึ้น (ถ้า $s_p(k)$ เป็นค่าระดับสูงสุดแล้วจะได้ว่า $s_p^+(k) = s_p(k)$)

$s_p^-(k)$ คือ ระดับถัดไปของ PCM ที่มีค่าลดลง (ถ้า $s_p(k)$ เป็นค่าระดับต่ำสุดแล้วจะได้ว่า $s_p^-(k) = s_p(k)$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145480

PCM CODEC FILTER

MC145480 มีการทำงานโดยทั่วไปเป็น PCM codec filter ซึ่งสามารถเลือกได้ระหว่างการคอมแพนดิ้ง(Companding)แบบ μ-law และ A-law โดยประกอบด้วย 20 ขา และบรรจุอยู่ในอุปกรณ์ที่ต้องการโวลเตจที่แน่นอน อุปกรณ์นี้มีหน้าที่หลักในการแปลงสัญญาณเสียงให้เป็นรูปแบบดิจิตอล (Digital form) และสร้างสัญญาณขึ้นมาใหม่โดยมีการจำกัดความกว้างของแบนด์และความเรียบของสัญญาณ

อินพุทของไอซี มีอินพุทของวงจรขยายที่มีเอาท์พุท ซึ่งเป็นอินพุทของส่วนเข้ารหัสต่อไป ส่วนเข้ารหัสนั้นสัญญาณอนาล็อกจะถูกส่งผ่านวงจรกรองความถี่ต่ำ ซึ่งเป็น Active RC filter เพื่อกำจัดเสียงรบกวน (noise) ที่มีความถี่สูง ซึ่งเกิดจากกระบวนการมอดูเลทช่วงความถี่ผ่าน(Passband) โดยวงจรกรองความถี่ชนิดสวิตช์คาปาซิเตอร์ จากนี้ สัญญาณอนาล็อกจะถูกแปลงเป็นสัญญาณดิฟเฟอเรนเชียล ซึ่งเป็นสัญญาณแสดงความแตกต่าง โดยสัญญาณอนาล็อกทั้งหมดได้ถูกทำให้เป็นความแตกต่าง แสดงให้เห็นว่ากระบวนการของสัญญาณอนาล็อกซึ่งเพิ่มค่าแอมปลิจูดเป็นสองเท่า ซึ่งมีการลดสัญญาณรบกวนทั้งที่เกิดจากการอินเวอร์สและนอนอินเวอร์สสัญญาณ โดยจะถูกจำกัดเมื่อสัญญาณอินเวอร์สและน็อนอินเวอร์ส ถูกนำมารวมกันใหม่

หลังจากการแปลงสัญญาณความแตกต่าง วงจรกรองความถี่ชนิดคาปาซิเตอร์ซึ่งเป็นช่วงความถี่ผ่าน จะกรองเอาสัญญาณอนาล็อกช่วง 200 Hz ถึง 3400 Hz ก่อน สัญญาณจะถูกทำให้เป็นรูปแบบดิจิตอลโดย Differential Compressing A/D Converter

ส่วนถอดรหัสจะรับข้อมูล PCM และขยาย โดยใช้ Differential D/A Converter เอาท์พุทของ D/A จะผ่านวงจรกรองความถี่ต่ำที่ 3400 Hz โดยวงจรกรองความถี่ชนิดดิฟเฟอร์เรนเชียลสวิตช์คาปาซิเตอร์

MC145480 PCM Codec Filter จะรับรูปแบบคล็อกได้หลายรูปแบบ ประกอบด้วย short frame sync ,long frame sync, IDL และ GCI timing และมีลักษณะเฉพาะดังนี้

- ใช้แหล่งจ่ายไฟ (Power Supply) 5 V
- มีค่าการสูญเสีย 23 mW , Power down 0.01 mW
- ออกแบบให้มีสัญญาณรบกวนต่ำที่สุด
- ส่งด้วยวงจรกรองช่วงความถี่ผ่าน และรับด้วยวงจรกรองความถี่ต่ำผ่าน
- เลือกการคอมแพนดิ้งได้ระหว่าง μ-law และ A-law
- โวลเตจอ้างอิงที่แน่นอน 1.575 โวลท์
- สามารถปรับอัตราการขยายได้จากภายนอกโดยใช้วงจรขับกำลังแบบ push - pull 300 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>รายละเอียดของอุปกรณ์</u>

PCM codec filter ถูกใช้สำหรับแปลงสัญญาณเสียงซึ่งเป็นอนาล็อกให้เป็นดิจิตอลและแปลงกลับเป็นอนาล็อกซึ่งใช้กับเครือข่ายโทรศัพท์เพื่อทำให้ง่ายต่อการสวิชซิ่งและการส่งสัญญาณ สัญญาณเสียงที่แปลงเป็นสัญญาณดิจิตอลจะถูกสวิตช์โดยขบวนการดิจิตอลสวิชซิ่ง(Digital switching) และส่งไปในระยะทางไกลๆ โดยไม่มีการลดทอนและการสูญเสีย

คำว่า "CODEC" มาจาก coder สำหรับแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล และ decoder สำหรับแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก CODEC เป็นอุปกรณ์ที่ทำงานเป็นทั้ง coder และ decoder (ADC และ DAC)

ในการทำให้เป็นรูปแบบดิจิตอล จะต้องการอัตราส่วนระหว่างสัญญาณเสียงต่อสัญญาณรบกวน (S/N ratio) ประมาณ 30 dB จะได้เป็น 13 บิท ADC และ DAC 2 ขั้นตอน สำหรับการลดข้อมูลโดยใช้การคอมเพรส 13 บิท เพื่อคอมแพนด์เป็น 8 บิท การคอมแพนด์นี้จะมีการแบ่งส่วนโค้งเป็นส่วนๆ โดยประกอบด้วยบิทแสดงเครื่องหมาย 1 บิท, บิทแสดงส่วนที่แบ่ง 3 บิท, บิทแสดงระดับ 4 บิท จากส่วนที่ให้มา 16 ระดับ มีระดับโวลเตจเหมือนกัน ดังนั้นเมื่อโวลเตจของสัญญาณอินพุทที่เป็นอนาล็อกเพิ่มขึ้น บิทแสดงระดับทั้ง 4 จะเพิ่มขึ้นด้วยและบิทแสดงส่วนที่แบ่งทั้ง 3 จะเพิ่มขึ้น เมื่อบิทแสดงส่วนที่แบ่งเพิ่มขึ้น ค่าบิทแสดงระดับจะถูกเพิ่มระดับโวลเตจเป็น 2 เท่า

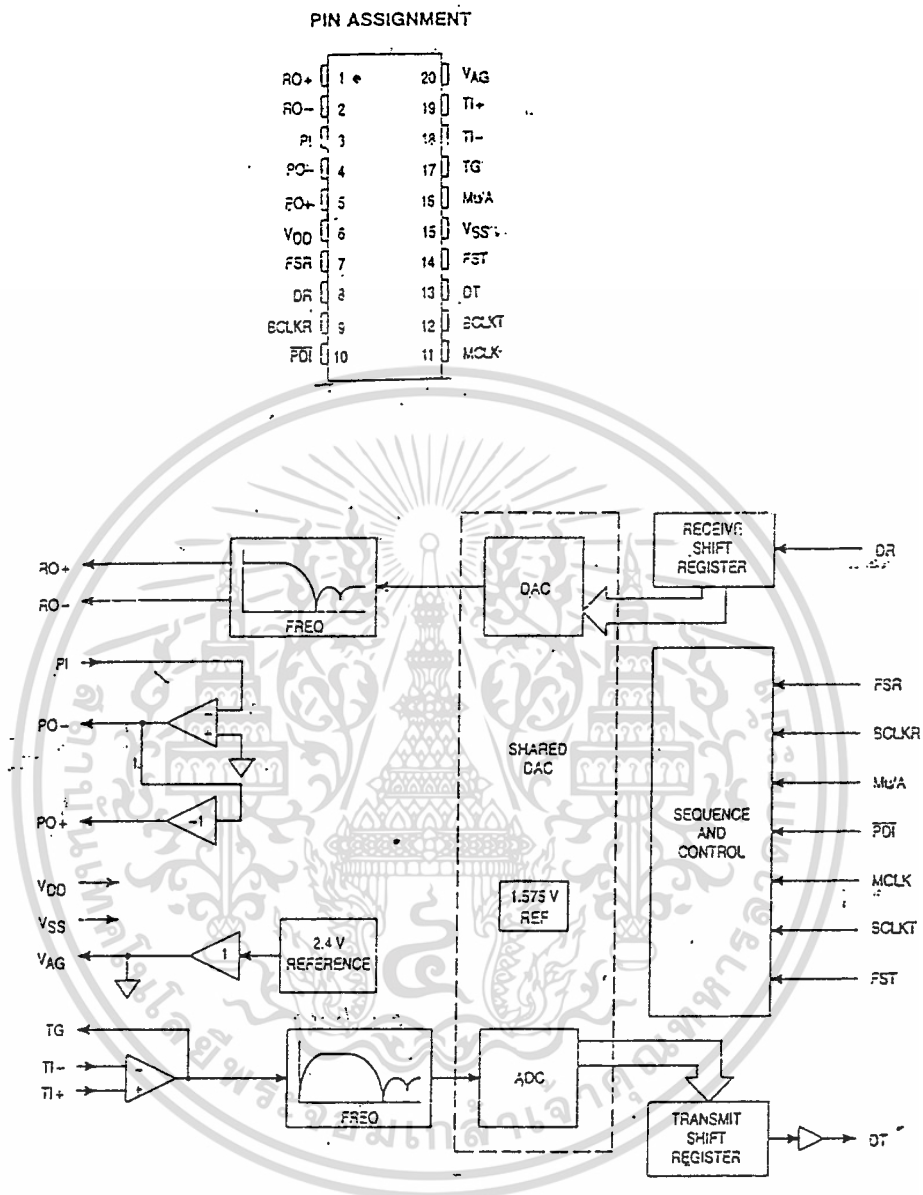
จากทฤษฎีของไนควิสท์ (Nyquist Theory) ที่กล่าวว่า ในการแซมปลิ้งนั้นสัญญาณจะถูกแซมเปิ้ลด้วยความถี่ที่สูงกว่า 2 เท่าของความถี่ของสัญญาณ เสียงพูดมีความถี่สูงสุดประมาณ 3 kHz แม้จะมีการขาดหายของสัญญาณ ก็ยังคงสามารถเข้าใจได้ การแซมปลิ้งนี้ต้องผ่านวงจรกรองความถี่ต่ำเพื่อจำกัดพลังงานความถี่สูงกว่า 3 kHz ออกจากสัญญาณ คู่สายของโทรศัพท์จะมีการคัปปลิ้งในสาย 50/60 ซึ่งจะมีการลดทอนจากการที่สัญญาณผ่านวงจรกรองความถี่สูงก่อนที่จะทำการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

กระบวนการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกจะมีการสร้างสัญญาณโดยใช้โครงสร้างเดิมจากลักษณะที่เป็นขั้นบันไดของสัญญาณดิจิตอล ซึ่งมีสัญญาณที่ผ่านการมอดูเลทเป็นความถี่แซมเปิ้ลและฮาร์โมนิกของมัน

MC145480 PCM CODEC FILTER มีทั้ง Presampling และ Reconstruction filter ใช้โวลเตจอ้างอิงที่แน่นอน และไม่ต้องมีอุปกรณ์ภายนอกมาประกอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>รายละเอียดของขาอุปกรณ์</u>



รูปที่ 2.24 แสดงรายละเอียดขาและบล็อกไดอะแกรมของ MC145480

<u>แหล่งจ่ายไฟ</u> (POWER SUPPLY)

-V_{DD} : positive power supply (ขา 6)

ต่อกับ + 5 V และควรจะต่อดีคัปเปิลกับ V_{SS} ด้วย คาปาซิเตอร์ 0.1 μF.

- V_{SS} : negative power supply (ขา 15)

ต่อกับ 0 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- V_{AG} . analog ground output (ขา 20)

ขาเอาท์พุทนี้จำกัดค่าที่ 2.4 V และควรต่อดีคัปเปิลกับคาปาซิเตอร์ 0.01 - 0.1 μF กระบวนการเกี่ยวกับสัญญาณอนาล็อกทุกสัญญาณในอุปกรณ์นี้จะอ้างอิงกับขานี้ ถ้าสัญญาณเสียงผ่านกระบวนการแล้วจะอ้างอิงกับ V_{SS} ซึ่งจะเป็นประโยชน์กับการกำจัดสัญญาณรบกวน ระหว่าง V_{SS} และ V_{AG} โดยขา V_{AG} จะกลายเป็นสภาวะอิมพีแดนซ์สูง

ภาคควบคุม

- μ/A : μ/A select (ขา 16)

ขานี้ควบคุมการอัดสำหรับการเข้ารหัส และการขยายสำหรับการถอดรหัส โดยเมื่อต่อขานี้กับ V_{DD} จะเลือก μ-law และเมื่อต่อขานี้กับ V_{SS} จะเลือก A-law

- PDI . power down input (ขา 10)

ขานี้เมื่อลอจิก 0 จะอยู่ในโหมดกำลังต่ำ (low power mode) ซึ่งเมื่อกำลังลดลงจะทำให้คล็อกทุกตัวหยุดทำงานและกระแสทุกตัวหยุดไหล ซึ่งทำให้ RO+, RO-, PO+, PO-, TG, V_{AG} และ DT กลายเป็นสภาวะอิมพีแดนซ์สูง อุปกรณ์นี้จะทำงานเป็นปกติเมื่อจ่ายลอจิก 1 ที่ขานี้ เมื่อถูกทำให้ลอจิกเป็น 1 จะทำให้ป้องกันสัญญาณ DT ซึ่งเป็นเอาท์พุทไม่ให้เป็นสภาวะอิมพีแดนซ์ต่ำ

ภาคเชื่อมต่อสัญญาณอนาล็อก (ANALOG INTERFACE)

- TI+ : Transmit analog input (non inverting) (ขา 19)

เป็นอินพุทของวงจรขยายแบบน็อนอินเวอร์ติ้ง ขานี้จะทำให้ค่าความแตกต่างมีความเหมาะสมสำหรับอัตราการขยายของอินพุทของออปแอมป์ ค่าสัญญาณอินพุทจะถูกอ้างอิงกับ V_{SS} เพื่อให้การเปลี่ยนระดับของ V_{AG} มีสัญญาณรบกวนน้อยที่สุด โหมดปกติจะมีโวลเตจระหว่าง TI+ และ TI- จาก 1.2 V ถึง V_{DD} 2 V และเป็นอินพุทของ FET Gate ถ้าต่อทั้ง TI+ และ TI- กับ V_{DD} จะเป็นเอาท์พุทของวงจรขยาย และเป็นสภาวะอิมพีแดนซ์สูง และเป็นอินพุทของวงจรกรองความถี่ต่อไป

- TI - : transmit analog input (inverting) (ขา 18)

เป็นอินพุทของวงจรขยายแบบอินเวอร์ติ้ง ค่าอัตราการขยายของตัวต้านทานจะต่อจากขานี้ไปยังขา TG และ แหล่งกำเนิดสัญญาณ โหมดปกติจะมีโวลเตจระหว่าง TI+ และ TI- จาก 1.2 V ถึง V_{DD} -2 V และเป็นอินพุทของเกท FET ถ้าต่อทั้ง TI+ และ TI- กับ V_{DD} จะเป็นเอาท์พุทของวงจรขยายและเป็นสภาวะอิมพีแดนซ์สูง

- TG : transmit gain (ขา 17)

เป็นขาเอาท์พุทที่ใช้กำหนดค่าอัตราการขยายที่ใช้ในวงจรขยายสัญญาณ และเป็นอินพุทของวงจรกรองความถี่ต่ำภายในไอซี ออปแอมป์สามารถขับโหลดขนาด 2 กิโลโอห์มได้ ถ้าต่อทั้ง TI+ และ TI- กับ V_{DD} จะเสมือนกับเอาท์พุทของวงจรขยาย (TG) เป็นสภาวะความต้านทานสูง ซึ่งนำไปต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นอินพุทของวงจรกรองความถี่ ทุกสัญญาณที่ผ่านขานี้จะอ้างอิงกับขา V_{AG} และขานี้จะอยู่ในสภาวะอิมพีแดนซ์สูง เมื่ออุปกรณ์นี้อยู่ในโหมดกำลังงานต่ำ

- RO+ : receive analog output(non inverting) (ขา 1)

เป็นเอาท์พุทแบบน็อนอินเวอร์ติ้งของวงจรกรองความถี่จากเอาท์พุทของ DAC สามารถขับโหลด 2 กิโลโอห์ม ให้เป็น 1.575 Vp เทียบกับ V_{AG}

- RO- receive analog input(inverting) (ขา 2)

เป็นอินพุทแบบอินเวอร์ติ้งของวงจรกรองความถี่ จากเอาท์พุทของ DAC สามารถขับโหลด 2 กิโลโอห์ม ให้เป็น 1.575 Vp เทียบกับ V_{AG}

- PI : Power amplifier input (ขา 3)

เป็นอินพุทแบบอินเวอร์ติ้งของวงจรขยายสัญญาณ ส่วนอินพุทแบบนอนอินเวอร์ติ้งจะต่อภายในกับขา V_{AG} ไว้ ขา PO และ PI- จะถูกใช้ร่วมกับตัวต้านทานของออปแอมป์ ซึ่งใช้กำหนดค่าอัตราขยายเอาท์พุทของวงจรขยาย (PO+ และ PO-)

- PO- : power amplifier output (ขา 4)

เป็นเอาท์พุทแบบอินเวอร์ติ้งของวงจรขยายซึ่งใช้รวมสัญญาณป้อนกลับให้ขา PI เพื่อกำหนดค่าอัตราการขยายของวงจรขยาย ผลต่างระหว่าง PO- และ PO+ สามารถขับโหลด 300 โอห์มให้เป็น 3.15 Vp ซึ่งมีค่าไบอัสโวลเตจ 6.3 Vpp และสัญญาณอ้างอิงของเอาท์พุทนี้คือ V_{AG} ซึ่งขา V_{AG} นี้ไม่สามารถให้กำเนิดหรือรับกระแสมากๆ ได้ และระหว่าง PO+ และ PO- ต้องต่อด้วยโหลดที่มีค่าความต้านทานต่ำ

- PO+ : power amlpifier output (ขา 5)

เป็นเอาท์พุทแบบน็อนอินเวอร์ติ้งของวงจรขยาย สามารถขับโหลด 300 โอห์ม การต่อ PO- กับ V_{DD} จะทำให้กำลังต่ำ และต่อ PO+ กับ PO- จะทำให้เอาท์พุทเป็นสภาวะอิมพีแดนซ์สูง

<u>ภาคเชื่อมต่อสัญญาณดิจิตอล (DIGITAL INTERFACE)</u>

- MCLK Master clock (ขา 11)

เป็นอินพุทมาสเตอร์คล็อก สัญญาณคล็อกที่ให้ขานี้เพื่อใช้ในการสร้างคล็อกภายใน 256 kHz และเป็นสัญญาณอนุกรมสำหรับวงจรกรองความถี่แบบสวิตช์คาปาซิเตอร์, ADC และ DAC โดยวงจรภายในจะเปรียบเทียบคล็อกที่ขานี้กับคล็อกที่ FST 8 kHz และรับ 256, 512, 1536, 1544, 2048, 2560และ 4096 kHz โดยอัตโนมัติ และ MCLKนี้สามารถเชื่อมต่อโดยตรงกับ BCLKT

- FST : frame syn,transmit (ขา 14)

ขานี้จะรับคล็อค 8 kHz ซึ่งซิงโครนัสกับเอาท์พุทของข้อมูลที่เป็น PCM (อนุกรม) ที่ขา DT อินพุทนี้สามารถรองรับมาตรฐานที่ต่างกัน ได้แก่ long frame syn, short frame syn, IDL และ GCI ถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้ง FST และ FSR มีค่าต่ำ แม้ว่ามีเฟรมขนาด 8 kHz เข้ามาหลายเฟรมแล้วก็ตาม อุปกรณ์นี้จะอยู่ในสภาวะกำลังงานต่ำ

- DT : data ,transmit (ขา 13)

ขานี้จะถูกควบคุมโดย FST และ BCLKT โดยเป็นสภาวะอิมพีแดนซ์สูงยกเว้นขณะกำลังส่งข้อมูล PCM ออก

- FSR : frame syn, receive (ขา 17)

ขานี้จะรับคล็อก 8 kHz ซึ่งจะซิงโครนัสสัญญาณอินพุทของข้อมูล PCM ที่ขา DR

- BCLKR · bit clock , receive (ขา 9)

ขานี้จะรับบิทคล็อกที่มีความถี่ 64 - 4096 kHz

- DR : data ,receive (ขา 8)

ขานี้จะรับข้อมูล PCM ควบคุมด้วย FSR , BCLKR ส่วนการส่งข้อมูลจะถูกควบคุมด้วย FST, BCLKT

- BCLKT : bit clock ,transmit(ขา 12)

ขานี้จะควบคุมค่าอัตราการส่งข้อมูล PCM โดยใช้สัญญาณคล็อกความถี่ 64 kHz ถึง4.096 MHz

<u>รายละเอียดการทำงาน</u>

<u>การเชื่อมต่อกับสัญญาณอนาล็อกและทางผ่านสัญญาณ</u>

ในส่วนของทางด้านส่ง อุปกรณ์นี้ประกอบด้วยออปแอมป์ 3 ขาที่มีสัญญาณรบกวนต่ำ สามารถขับโหลดขนาด 2 kΩ ออปแอมป์นี้มีอินพุทคือ TI+ (ขา 19) และ TI- (ขา 18) และเอาท์พุท TG (ขา 17) ทำหน้าที่เป็นวงจรขยายแบบอินเวอร์ติ้ง สัญญาณอนาล็อกอาจต่อตรงเข้าขา TG ถ้าออปแอมป์นี้อยู่ในสภาวะกำลังงานต่ำโดยต่อ TI+ และ TI- เข้ากับ V_{DD} ขา TG จะอยู่ในสภาวะอิมพีแดนซ์สูงและเมื่ออยู่ในสภาวะกำลังงานต่ำ ขา TG จะเชื่อมต่อภายในเข้ากับวงจรกรองความถี่เบื้องต้นป้องกันสัญญาณเหลื่อมซ้อนชนิด 3 โพล วงจรกรองความถี่นี้ทำงานร่วมกับวงจรกรองความถี่ต่ำผ่านแบบแอคทีฟบัตเตอร์เวอร์ธชนิด 2 โพลและตามด้วยวงจรกรองความถี่พาสซีฟชนิด 1 โพล จากวงจรกรองความถี่เบื้องต้นนี้จะต่อด้วยวงจรแปลงสัญญาณเป็นสัญญาณดิฟเฟอเรนเชียลที่ถูกคล็อกที่ความถี่ 512 kHz การประมวลผลสัญญาณอนาล็อกหลังจากนี้ทั้งหมดจะทำงานโดยวงจรดิฟเฟอเรนเชียลแบบเต็ม ส่วนต่อจากนั้นคือ วงจรกรองความถี่ต่ำผ่านแบบสวิตช์คาปาซิเตอร์ชนิด 5 โพลที่มีความถี่คัทออฟที่ 3.4 kHz และต่อด้วยวงจรกรองความถี่ต่ำผ่านแบบสวิตช์คาปาซิเตอร์ชนิด 3 โพลที่มีความถี่คัทออฟที่ 200 Hz สัญญาณที่ผ่านจากนี้จะไม่มีความเป็น DC เหลืออยู่ ไม่ว่าจะเป็นสัญญาณ DC ที่มาพร้อมกับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อนาล็อกหรือที่เกิดจากออฟเซตของออปแอมป์ในส่วนของวงจรกรองความถี่ก่อนหน้านี้ ขั้นตอนสุดท้ายของวงจรกรองความถี่สูงผ่านจะเป็นการแซมเปิ้ลแบบออโตซีโร่และต่อเข้าวงจรขยาย

แหล่งกำเนิดช่วงโวลเตจอ้างอิง(one bandgap voltage reference generator) และวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก ในการอ้างอิงแบนด์แกปของสวิตช์คาปาซิเตอร์ ออโตซีโร่จะสร้างโวลเตจอ้างอิงทั้งทางบวกและทางลบที่ถูกต้องซึ่งจะไม่ขึ้นอยู่กับอุณหภูมิและโวลเตจของแหล่งกำเนิด อาร์เรย์ของคาปาซิเตอร์แบบbinary-weight (CDAC) จะสร้างคอร์ดของโครงสร้างการคอมแพนดิ้ง ในขณะที่สตริงรีซิสเตอร์(RDAC) จะสนับสนุนลิเนียร์สเต็ปภายในแต่ละคอร์ด การเข้ารหัสใช้วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก , การอ้างอิงโวลเตจและตัวเปรียบเทียบออโตซีโร่แบบเฟรมต่อเฟรม การสนับสนุนขั้นตอนการติดต่อการประมาณอย่างต่อเนื่อง(successive-approximation conversion algorithm)นั้น วงจรทางอนาล็อกทั้งหมดที่นำไปใช้ในการติดต่อข้อมูล ได้แก่ การอ้างอิงโวลเตจ , RDAC, CDAC และวงจรเปรียบเทียบ จะถูกสนับสนุนด้วยสถาปัตยกรรมของดิฟเฟอเรนเชียล

ส่วนในภาครับ ประกอบด้วยวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกดังอธิบายข้างต้น , วงจรกรองความถี่ต่ำผ่านแบบสวิตช์คาปาซิเตอร์ 3400 Hz ชนิด 5 โพลด้วย sinx / x และวงจรกรองความถี่ให้เรียบแบบแอคทีฟชนิด 2 โพล เพื่อลดส่วนที่เป็นเงา(spectral) ของวงจรกรองความถี่สวิตช์คาปาซิเตอร์ เอาท์พุทของวงจรกรองความถี่ให้เรียบบัฟเฟอร์ด้วยวงจรขยายที่มีขาเอาท์พุท RO+และ RO- เอาท์พุทนี้สามารถขับโหลดดิฟเฟอเรนเชียล 4 kΩ หรือโหลด 2 kΩ กับ V_{AG} MC145480 มีวงจรขยายคู่ที่ต่อในรูปของโครงสร้างแบบ push-pull ขา PI เป็นอินพุทแบบอินเวอร์ติ้งของวงจรขยายกำลังPO- อินพุทแบบนอนอินเวอร์ติ้งต่อภายในกับขา V_{AG} ซึ่งยอมให้วงจรขยายนี้ถูกใช้เพิ่มอัตราการขยายแบบอินเวอร์ติ้งที่มีตัวต้านทานภายนอก 2 ตัว วงจรขยาย PO+ มีค่าอัตราการขยายน้อยกว่า 1 และถูกต่อภายในกับเอาท์พุทของ PO- วงจรขยายนี้ถูกใช้เป็นวงจรขยายแบบดิฟเฟอเรนเชียล(push-pull) ที่สามารถปรับค่าอัตราการขยายได้ และสามารถขับโหลด 300 Ω จนถึง +12 dBm วงจรขยายกำลังอาจอยู่ในสภาวะกำลังงานต่ำโดยไม่ขึ้นกับการพักของชิปด้วยการต่อขา PI เข้ากับ V_{DD}

<u>สภาวะกำลังงานต่ำ</u> (Power down)

มีอยู่ 2 วิธีที่จะทำให้อุปกรณ์นี้กลายเป็นโหมดใช้พลังงานต่ำ ซึ่งทำให้อุปกรณ์ไม่ทำงานและใช้พลังงานเหมือนกับไม่มีกำลังงานส่ง PDI เป็นขาอินพุทของกำลังงานต่ำซึ่งเมื่อป้อน "0" จะลดกำลังงานของอุปกรณ์ ทางอีกทางที่จะทำให้อุปกรณ์มีกำลังงานลดลงคือให้ทั้ง FST และ FSR มีค่าต่ำ เมื่อชิปอยู่ในสภาวะกำลังงานต่ำ ขาเอาท์พุท V_{AG} , TG , RO+ , RO- , PO+ , PO- และ DT จะอยู่ในสภาวะอิมพีแดนซ์สูง เพื่อให้ชิปกลับไปอยู่ในสภาวะพร้อมทำงาน PDI จะต้องมีค่าสูง และจะต้องมีทั้งFST หรือ FSR ซึ่งเอาท์พุท DT จะยังคงอยู่ในสภาวะอิมพีแดนซ์สูงอย่างน้อยเป็นระยะ 2 พัลส์ของ FST หลังจากกลับสู่สภาวะพร้อมทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาสเตอร์คล็อก(Master clock)

เนื่องจากมีการออกแบบให้ codec-filter นี้มีสถาปัตยกรรม DAC เดี่ยว ขา MCLK จะใช้เป็นมาสเตอร์คล็อกสำหรับการประมวลสัญญาณอนาล็อกทั้งหมด ประกอบด้วยการแปลงสัญญาณอนาล็อกเป็นดิจิตอล, การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก และฟังก์ชั่นการกรองสัญญาณของภาคส่งและภาครับของอุปกรณ์นี้ ความถี่คล็อกที่ต่อเข้าขา MCLK นี้อาจจะเป็น 256 kHz, 512 kHz,1.536 MHz, 1.544 MHz, 2.048 MHz, 2.56 MHz หรือ 4.096 MHz อุปกรณ์นี้มีวงจรที่ใช้พิจารณาค่าอัตราส่วนที่ใช้ในการหารโดยอัตโนมัติเพื่อใช้เป็นอินพุทของ MCLK ซึ่งต้องการ 256 kHz ทำหน้าที่เป็นคล็อกภายในการต้องการสัญญาณคล็อกของ MCLK นี้ไม่ขึ้นกับโหมดการส่งข้อมูล PCM (ได้แก่ Long - Frame Sync, Short - Frame Sync, IDL mode หรือ GCI mode)

อินพุทและเอาท์พุทดิจิตอล(Digital I/O)

MC145480 สามารถเลือก μ - law หรือ A -law ตารางที่ 2.5 แสดงรูปแบบเวิร์ดข้อมูลขนาด 8 บิท สำหรับค่าบวกและค่าลบของศูนย์ และสเกลอย่างเต็มสำหรับรูปแบบการคอมแพนดิ้งทั้ง 2 แบบ ส่วนตารางที่ 2.6 แสดงอนุกรมของเวิร์ด PCM ของทั้ง μ - law และ A - law ที่ตอบสนองเป็นดิจิตอลมิลลิวัตต์(a digital milliwatt) ดิจิตอลมิลลิวัตต์คือสัญญาณความถี่ 1 kHz ที่สร้างขึ้นมาใหม่โดยวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก ซึ่งระบุอัตราการขยายสัมบูรณ์(gain absolute) หรือจุดระดับสัญญาณส่ง(Transmission Level Point : TLP) 0 dBm0 ของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก ค่าระดับ 0 dBm0 ของ A - law คือ 3.14 dB ใต้ค่าระดับสูงสุดสำหรับสัญญาณที่ไม่ถูกตัด (unclipped tone signal) การแบ่งเวลา(timing)สำหรับการส่งข้อมูล PCM นั้นไม่ขึ้นกับรูปแบบการคอมแพนดิ้งที่เลือก

Level	Mu-Law			A-Law		
	Sign Bit	Chord Bits	Step Bits	Sign Bit	Chord Bits	Step Bits
+ Full Scale	1	000	0000	1	010	1010
+ Zero	1	111	1111	1	101	0101
– Zero	0	111	1111	0	101	0101
– Full Scale	0	000	0000	0	010	1010

ตารางที่ 2.5 แสดงการเข้ารหัสแบบ PCM สำหรับซีโร่และฟูลสเกล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase	Mu-Law			A-Law		
	Sign Bit	Chord Bits	Step Bits	Sign Bit	Chord Bits	Step Bits
π/8	0	001	1110	0	011	0100
3π/8	0	000	1011	0	010	0001
5π/8	0	000	1011	0	010	0001
7π/8	0	001	1110	0	011	0100
9π/8	1	001	1110	1	011	0100
11π/8	1	000	1011	1	010	0001
13π/8	1	000	1011	1	010	0001
15π/8	1	001	1110	1	011	0100

ตารางที่ 2.6 แสดงรหัสแบบ PCM สำหรับสัญญาณดิจิตอล

1. Long Frame Sync

Long Frame Sync เป็นชื่อทางอุตสาหกรรมสำหรับรูปแบบคล็อกชนิดหนึ่งที่ควบคุมการส่งเวิร์ดข้อมูล PCM (ดังรูป 2.25) "Frame Sync" หรือ "Enable" ถูกใช้สำหรับหน้าที่ในการซิงโครไนซ์โดยเฉพาะ 2 หน้าที่ หน้าที่แรกคือการซิงโครไนซ์การส่งเวิร์ดข้อมูล PCM และหน้าที่ที่สองคือควบคุมการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลและสัญญาณดิจิตอลเป็นอนาล็อกภายใน คำว่า "Sync" หมายถึงหน้าที่การซิงโครไนซ์เวิร์ดข้อมูลเข้าหรือออกจากบัสข้อมูลมัลติเพลกซ์อนุกรม PCM ซึ่งเรียกกันว่าทางด่วน PCM (PCM highway) คำว่า "Long" มาจากระยะระหว่างเฟรมซิงค์วัดในรอบของคล็อกข้อมูล PCM (PCM data clock cycle) การแบ่งเวลาแบบ Long Frame Sync เกิดขึ้นเมื่อเฟรมซิงค์ถูกใช้โดยตรงเป็นตัวอนุญาตให้มีการส่งข้อมูล PCM ออก(PCM data output driver enable) ซึ่งมีผลให้เอาท์พุท PCM มีค่าอิมพีแดนซ์ต่ำด้วยขอบขาขึ้นของสัญญาณเฟรมซิงค์ด้านส่งและยังคงเป็นอิมพีแดนซ์ต่ำในช่วงระหว่างที่ทำการส่งเฟรมซิงค์

การสนับสนุนของ Long Frame Sync มีการรักษาการเข้ากันได้และมีการออปติไมซ์สำหรับสัญญาณคล็อกให้ง่าย ซึ่งการออปติไมซ์นี้ประกอบด้วยเอาท์พุทที่เป็นข้อมูล PCM จะเป็นอิมพีแดนซ์ต่ำด้วยค่า AND ของ FST กับ BCLKT การออปติไมซ์ยังรวมถึงการที่ DT ยังคงเป็นอิมพีแดนซ์ต่ำจนกระทั่งถึงกลางบิท LSB หรือจนกระทั่งขา FST มีค่าต่ำซึ่งจะเกิดหลังสุด กฎรปรับปรุงนี้ต้องการเฟรมซิงค์เพื่อที่จะประมาณขอบขาขึ้นได้ตรงกับจุดเริ่มต้นของข้อมูล PCM แต่เฟรมซิงค์ไม่มีเวลาที่แน่นอนสำหรับจุดสิ้นสุดของข้อมูล อุปกรณ์จะจำได้ว่าเป็นการให้จังหวะแบบ Long Frame Sync เมื่อเฟรมซิงค์มีค่าสูงเป็นระยะเวลา 2 ขอบขาลงติดกันของสัญญาณคล็อกข้อมูลด้านส่ง ลอจิกที่ถูกส่งจะตัดสินบนแต่ละเฟรมซิงค์ว่ามันควรแปลงเฟรมต่อไปเป็นแบบ Long หรือ Short Frame Sync การตัดสินใจนี้ใช้ในส่วนของวงจรทางด้านรับด้วย อุปกรณ์ถูกออกแบบมาเพื่อป้องกันการชนกันของข้อมูลในบัส PCM ,โดยไม่ยอมให้

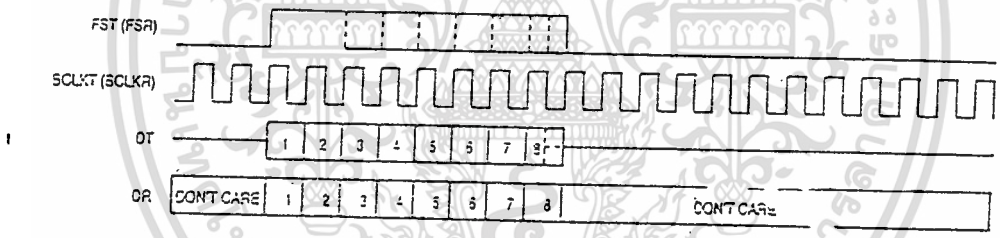
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลเอาท์พุท PCM กลายเป็นอิมพีแดนซ์ต่ำอย่างน้อย 2 เฟรมซิงค์หลังจากที่มีการป้อนไฟเข้ามาหรือเมื่อออกจากโหมดกำลังงานต่ำ

ทางด้านรับของอุปกรณ์ถูกออกแบบให้รับเฟรมซิงค์และคล็อกข้อมูลเหมือนกับทางด้านส่ง และสามารถที่จะจับเวิร์ดข้อมูล PCM ที่ส่งออกของตัวเอง ดังนั้นดิจิตอลสวิตช์ PCM จำเป็นที่จะสามารถให้เฟรมซิงค์เพียงชนิดเดียวสำหรับอุปกรณ์ทั้งทางด้านส่งและทางด้านรับ

ค่าลอจิกที่ได้จากการ AND ระหว่างเฟรมซิงค์ทางด้านรับ(FSR) กับสัญญาณคล็อกข้อมูลทางด้านรับ(BCLKR) จะเป็นตัวบอกอุปกรณ์ให้เริ่มต้นจับเวิร์ดข้อมูลขนาด 8 บิทเข้าสู่อินพุทของทางด้านรับที่ขอบขาลงของสัญญาณคล็อกทางด้านรับ วงจรภายในของทางด้านรับจะนับจำนวนรอบของคล็อกทางด้านรับและทำการส่งเวิร์ดข้อมูล PCM ไปยังวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกที่ขอบขาขึ้นของสัญญาณคล็อกรอบที่ 9

อุปกรณ์นี้สามารถใช้ได้กับโหมดการเชื่อมต่อดิจิตอล 4 โหมด เพื่อให้แน่ใจว่าอุปกรณ์นี้ไม่ได้ทำการเปลี่ยนโปรแกรมตัวเองไปใช้การแบ่งเวลาโหมดอื่น ขา BCLKR ควรที่จะเปลี่ยนสถานะลอจิกไม่น้อยกว่าทุกๆ 125 µs และค่าความถี่ของสัญญาณข้อมูล PCM ต่ำสุดที่ต้องการคือ 64 kHz



รูปที่ 2.25 แสดงลักษณะสัญญาณ long frame sync

2. Short Fame Sync

Short Frame Sync เป็นชื่อทางอุตสาหกรรมของชนิดรูปแบบการให้จังหวะเวลาเพื่อควบคุมการส่งข้อมูลเวิร์ดข้อมูล PCM คำว่า "Frame Sync" หรือ "Enable" แสดงถึงหน้าที่ในการซิงโครไนซ์โดยเฉพาะ 2 หน้าที่ หน้าที่แรกคือซิงโครไนซ์การส่งข้อมูลเวิร์ด PCM และหน้าที่ที่สองคือควบคุมการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล และสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกภายใน คำว่า "Sync" หมายถึงหน้าที่ในการซิงโครไนซ์เวิร์ดข้อมูล PCM เข้าหรือออกจากบัสข้อมูล PCM คำว่า "Short" มาจากระยะห่างของเฟรมซิงค์เทียบกับรอบของสัญญาณคล็อกข้อมูล PCM Short Frame Sync เกิดขึ้นเมื่อเฟรมซิงค์นั้นถูกใช้เป็นพัลส์พรีซิงโครไนเซชั่น(pre-synchronization) ที่ใช้บอกค่าลอจิกภายในให้อ่านค่าเวิร์ดข้อมูล PCM ภายใต้การควบคุมที่สมบูรณ์ของสัญญาณคล็อกข้อมูล Short Frame Sync จะมีค่าสูงเป็นช่วงระยะ 1 ขอบขาลงของสัญญาณคล็อกข้อมูล เอาท์พุทของอุปกรณ์ที่เป็นเวิร์ดข้อมูล PCM

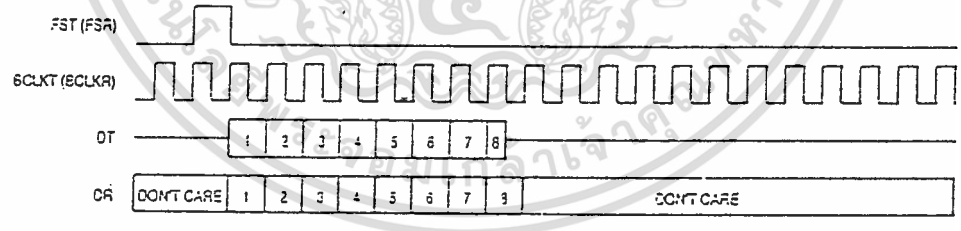
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเริ่มต้นด้วยขอบขาขึ้นถัดมาของสัญญาณคล็อกข้อมูล ด้วยเหตุนี้เอาท์พุท PCM จะเป็นอิมพีแดนซ์ต่ำที่ขอบขาขึ้นของสัญญาณคล็อกข้อมูลทางด้านส่งและยังคงเป็นเช่นนี้จนกระทั่งถึงกลางบิทLSB อุปกรณ์จะพิจารณาได้ว่าเป็นการให้จังหวะเวลาแบบ Short Frame Sync เมื่อเฟรมซิงค์มีค่าสูงเพียงหนึ่งขอบขาส่งของสัญญาณคล็อกข้อมูลด้านส่ง ค่าลอจิกทางด้านส่งจะเป็นตัวตัดสินบนแต่ละเฟรมว่ามันควรจะแปลว่าเฟรมซิงค์ถัดมาจะเป็น Long หรือ Short Frame Sync ซึ่งการตัดสินแบบนี้ก็ใช้ทางด้านรับเช่นกัน อุปกรณ์นี้ถูกออกแบบให้ป้องกันการชนกันของบัส PCM โดยไม่ยอมให้เอาท์พุท PCM คงสภาวะอิมพีแดนซ์ต่ำอย่างน้อย 2 รอบเฟรมซิงค์หลังจากได้รับการป้อนไฟหรือออกจากสภาวะกำลังงานต่ำ

ในทางด้านรับ มีการออกแบบให้เฟรมซิงค์และสัญญาณคล็อกข้อมูลเหมือนกับทางด้านส่ง และสามารถที่จะจับเวิร์ดข้อมูล PCM ที่ส่งออกจากตัวเอง ดังนั้นดิจิตอลสวิตช์ PCM จึงจำเป็นที่จะสามารถให้กำเนิดเฟรมซิงค์ได้เพียงอย่างเดียวสำหรับทางด้านส่งและด้านรับของอุปกรณ์

ขอบขาลงของสัญญาณคล็อกข้อมูลทางด้านรับที่ระดับลอจิกสูงของอินพุทเฟรมซิงค์ทางด้านรับ จะบอกให้อุปกรณ์เริ่มต้นจับเวิร์ดข้อมูลขนาด 8 บิทเข้าสู่ขาข้อมูลเข้าทางด้านรับที่ขอบขาลงของรอบสัญญาณคล็อกข้อมูลทางด้านรับ 8 รอบถัดมา ลอจิกภายในจะนับจำนวนรอบของสัญญาณคล็อกข้อมูลทางด้านรับและส่งเวิร์ด PCM ไปยังวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกที่ขอบขาขึ้นของสัญญาณคล็อกข้อมูลหลังจาก LSB ได้ถูกจับเข้าอุปกรณ์แล้ว

อุปกรณ์นี้สามารถใช้ได้กับโหมดการเชื่อมต่อดิจิตอลทั้ง 4 โหมด เพื่อให้แน่ใจว่าอุปกรณ์นี้ไม่ได้ทำการเปลี่ยนโปรแกรมตัวเองไปใช้การแบ่งเวลาโหมดอื่น ขา BCLKR ต้องเปลี่ยนค่าสถานะลอจิกไม่น้อยกว่าทุกๆ 125 µs ค่าความถี่ของสัญญาณคล็อกบิทข้อมูล PCM ต่ำสุดที่ต้องการคือ 64 kHz



รูปที่ 2.26 แสดงลักษณะสัญญาณ short frame sync

3. InterChip Digital Link (IDL)

IDL เป็นหนึ่งในสองโหมดการเชื่อมต่อการแบ่งเวลาการซิงโครไนซ์มาตรฐาน 2B+D ซึ่งอุปกรณ์นี้สามารถทำงานได้ ในโหมด IDL อุปกรณ์นี้สามารถติดต่อในชันแนล B 64 kbps ทั้งสองชันแนล โหมด IDL จะถูกเลือกเมื่อขา BCLKR มีค่าสูงเป็นเวลา 2 รอบขาขึ้น FST (IDL Sync) หรือมากกว่า ขาที่ควบคุมการส่งและรับเวิร์ด PCM จะถูกโปรแกรมใหม่ให้เหมาะสม ขาที่มีผลคือ FST, FSR, BCLKT, DT และ DR โหมดการเชื่อมต่อ IDL จะให้เข้าถึงข้อมูลเวิร์ด PCM ที่จะว่างและรับเข้ามาด้วยสัญญาณคล็อกควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

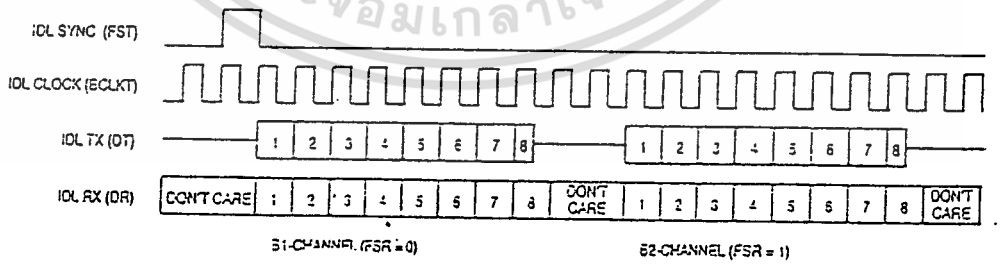
ปกติของ IDL Sync และ IDL clock ในโหมดนี้ขา FSR ควบคุมว่าจะใช้ชันแนล B1 หรือ B2 ในการรับและส่งเวิร์ดข้อมูล PCM เมื่อขา FSR มีค่าต่ำจะทำการรับ-ส่งเวิร์ดข้อมูล PCM ที่ชันแนล B1 และเมื่อ FSR มีค่าสูง จะทำการที่ชันแนล B2 การเริ่มต้นส่งที่ชันแนล B2 จะเริ่มต้นที่ IDL CLK รอบที่ 10 หลังจากเริ่มต้นส่งชันแนล B1

ขา IDL SYNC (FST ขา 14) เป็นอินพุทสำหรับสัญญาณซิงโครไนซ์ IDL เฟรม สัญญาณที่ขานี้โดยทั่วไปจะเป็นค่าสูงสำหรับช่วงเวลาสัญญาณคล็อก IDL 1 รอบ และขอบขาขึ้นจะตรงกับสัญญาณคล็อก IDL สิ่งเหล่านี้จะเป็นตัวบอกจุดเริ่มต้นของ IDL เฟรม ความถี่ของสัญญาณ IDL SYNC คือ 8 kHz ขอบขาขึ้นของ IDL SYNC (FST)ควรมีค่าค่อนข้างตรงกับขอบขาขึ้นของ MCLK MCLK ควรมีค่าความถี่ใดความถี่หนึ่งของความถี่คล็อกที่มีในตารางแสดงลักษณะของดิจิตอลสวิตชิ่ง (Digital Switching Characteristics Table) และเป็นค่าเดียวกันกับ IDL CLK (BCLKT)

ขา IDL CLK (BCLKT ขา 12) เป็นอินพุทของสัญญาณคล็อกข้อมูล PCM การส่ง IDL PCM และการควบคุมลำดับข้อมูลทั้งหมดถูกควบคุมโดยสัญญาณคล็อกนี้ตาม IDL SYNC ขานี้จะรับสัญญาณข้อมูล IDL ความถี่ 256 kHz ถึง 4.096 MHz

ขา IDL TX (DT ขา 13) เป็นอินพุทของสัญญาณคล็อกข้อมูล PCM ที่จะส่งออกไป ข้อมูลจะถูกส่งเข้าชันแนล B1 ที่ขอบขาขึ้นของสัญญาณ IDL CLK ที่มีหลังจากพัลส์ของ IDL SYNC ถ้าเลือกชันแนล B2 การส่งข้อมูลจะเริ่มต้นที่ขอบขาขึ้นของ IDL CLK ที่ 11 หลังจากพัลส์ IDL SYNC ขา IDL TX ยังคงเป็นค่าอิมพีแดนซ์ต่ำตลอดช่วงของ PCM จนถึง LSB หลังจากขอบขาลงของIDL CLK ขา IDL TX จะรักษาค่าอิมพีแดนซ์สูงเมื่อไม่มีข้อมูล PCM ออกมาหรือเมื่อไม่มีสัญญาณ IDL SYNC

ขา IDL RX (DR ขา 8) เป็นอินพุทของเวิร์ดข้อมูล PCM ที่จะรับเข้ามา ข้อมูลจะรับมาจากชันแนล B1 ที่ขอบขาลงของสัญญาณ IDL CLK ที่เกิดขึ้นหลังจากพัลส์ IDL SYNC ถ้าเลือกชันแนล B2 ข้อมูล PCM จะถูกจับที่ขอบขาลงที่ 11 ของ IDL CLK หลังจากพัลส์ IDL SYNC



รูปที่ 2.27 แสดงลักษณะสัญญาณ IDL interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. General Circuit Inerface (GCI)

GCI เป็นโหมดการเชื่อมต่อการแบ่งเวลา 2B+D ISDN ซิงโครไนซ์มาตรฐานที่สองที่อุปกรณ์นี้สามารถทำงานได้ ในโหมด GCI อุปกรณ์สามารถติดต่อกับชันแนล B 64 kbps ได้ทั้งสองชันแนล(ดูรูปที่ 2.28 สำหรับการแบ่งเวลาเบื้องต้น) โหมด GCI จะถูกเลือกเมื่อขา BCLKR มีค่าต่ำเป็นเวลา 2 ขอบขาขึ้นของ FST(FSC) หรือมากกว่า ขาดิจิตอลที่ควบคุมการรับส่งข้อมูล จะถูกโปรแกรมใหม่ให้เหมาะสมกับโหมดนี้ ขาที่มีผลคือ FST, FSR, BCLKT, DT และ DR การเชื่อมต่อ GCI ประกอบด้วย 4 ขาคือFSC(FST), DCL(BCLKT), D_{out} (DT) และ D_{in}(DR) โหมดการเชื่อมต่อแบบ GCI เข้าถึงเวิร์ดข้อมูล PCM ทั้งรับและส่งด้วยสัญญาณคล็อกควบคุมธรรมดาของ FSC(Frame Synchronization Clock) และ DCL(Data Clock) ในโหมดนี้ขา FSR ควบคุมว่าจะใช้ชันแนล B1 หรือ B2 ในการรับส่งเวิร์ดข้อมูล PCM เมื่อขา FSR มีค่าต่ำการรับส่งจะทำที่ชันแนล B1 และเมื่อมีค่าสูงจะเลือกใช้ชันแนล B2 โดยจุดเริ่มต้นของชันแนล B2 จะอยู่ที่รอบที่ 16 ของ DCL หลังจากจุดเริ่มต้นของชันแนล B1

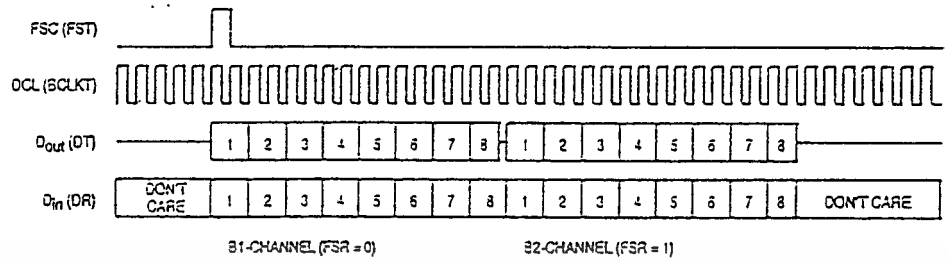
ขา FSC (FST ขา14) เป็นอินพุทของสัญญาณซิงโครไนซ์เฟรม GCI สัญญาณที่ขานี้ขอบขาขึ้นจะตรงกับสัญญาณคล็อก DCL สิ่งเหล่านี้เป็นตัวระบุจุดเริ่มต้นของเฟรม GCI ความถี่ในการซิงโครไนซ์ FSC คือ 8 kHz ขอบขาขึ้น FSC(FST) ควรค่อนข้างตรงกับขอบขาขึ้นของ MCLK MCLKควรเป็นค่าหนึ่งค่าใดของสัญญาณคล็อกตามตารางคุณลักษณะของดิจิตอลสวิตชิง และเป็นค่าเดียวกับ DT(BCLKT)

ขา DLC (BCLKT ขา12) เป็นอินพุทสัญญาณคล็อกที่ควบคุมการส่งข้อมูล PCM สัญญาณคล็อกที่ป้อนเข้าขา DCL ควรมีค่าเป็น 2 เท่าของอัตราเร็วข้อมูล PCM เฟรม GCI จะเริ่มต้นด้วยลอจิก AND ของ FSC กับ DCL เหตุการณ์นี้จะเป็นตัวบอกจุดเริ่มต้นของการส่งเวิร์ดข้อมูล PCM ของทั้งทางด้านส่งและด้านรับ ขานี้จะรับความถี่ข้อมูล GCI 512 kHz ถึง 6.176 MHz สำหรับอัตราเร็วข้อมูล PCM 256 kHz ถึง 3.088 MHz

ขา GCI D_{out} (DT ขา13) เป็นเอาท์พุทของเวิร์ดข้อมูล PCM ที่จะส่งออกไป ข้อมูลจะส่งออกที่ชันแนล B1 ที่ขอบขาขึ้นของสัญญาณคล็อก DCL ที่เริ่มต้นพร้อมพัลส์ FSC ถ้าเลือกชันแนล B2 จะเริ่มต้นที่ขอบขาขึ้นที่ 17 ของ DCL หลังจากขอบขาขึ้นของ FSC ขาD_{out} จะเป็นค่าอิมพีแดนซ์ต่ำ 15.5 รอบสัญญาณ DCL ขา D_{out} จะเป็นอิมพีแดนซ์สูงเมื่อไม่มีข้อมูล PCM ที่จะส่งออกหรือไม่มีสัญญาณ FSC

ขา D_{in}(DR ขา8) เป็นอินพุทของเวิร์ดข้อมูล PCM ที่รับเข้ามา บิทข้อมูลจะถูกจับที่ชันแนล B1 บนขอบขาขึ้นขาสัญญาณคล็อก DCL ที่ 2 หลังจากขอบขาขึ้นของพัลส์ FSC ถ้าเลือกชันแนล B2 เวิร์ด PCM จะถูกจับที่จุดเริ่มต้นที่ 18 ของDCL หลังจากขอบขาขึ้นของ FSC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 แสดงลักษณะสัญญาณ GCI interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145532

ADPCM TRANSCODER

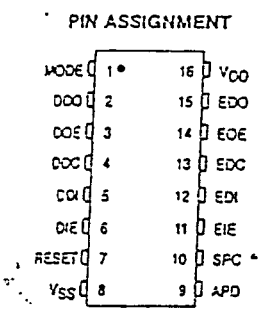
MC145532 รองรับการสื่อสารแบบ 2 ทิศทาง (full duplex) และมีการใช้งานเพียงช่องสัญญาณเดียวในการเปลี่ยนจาก PCM ที่มีความเร็ว 64 kbps เป็น ADPCM ที่มีความเร็ว 16,24,32,64 kbps และในทางกลับกัน โดยมีคุณลักษณะทั่วไปดังนี้

- เป็นไปตามข้อตกลงของ CCITT (G.721-1988)
- เป็นไปตามมาตรฐานของอเมริกา
- สามารถเลือกให้เข้ารหัสด้วย μ-law หรือ A-law
- การทำงานแบบซิงโครนัสและอะซิงโครนัส
- การเชื่อมต่อกับ PCM CODEC FILTER ของ MOTOROLA หรือตัวอื่น ๆ
- มีอัตราการส่งข้อมูลแบบอนุกรมของ PCM และ ADPCM ด้วยอัตรา 64 kbps ถึง 5.12 Mbps
- สถานะรีเซท ซึ่งออฟชั่นตามมาตรฐานจะทำงานโดยอัตโนมัติเมื่อปล่อยขารีเซท
- ใช้แหล่งจ่ายไฟ 5 V
- มีขนาด 16 ขา

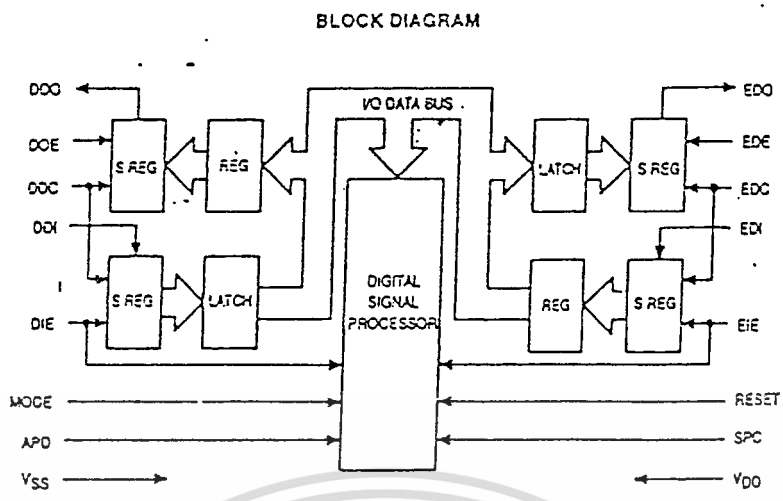
<u>รายละเอียดของอุปกรณ์</u>

ตัวแปลง ADPCM ใช้ในการลดอัตราการส่งข้อมูลสัญญาณเสียงที่แปลงเป็น PCM ซึ่งยังคงรักษาคุณภาพของเสียงและความสามารถของสัญญาณPCM ตัวแปลงรหัสจะทำงานบนข้อมูล 64 kbps ซึ่งสามารถแทนได้ทั้งสัญญาณเสียงและสัญญาณข้อมูลบนช่วงความถี่เสียงซึ่งได้ถูกแปลงเป็นสัญญาณดิจิตอลมาจากตัวเข้ารหัส PCM ก่อนแล้ว ตัวแปลงรหัสใช้วงจรกรองความถี่ในการประมาณค่า PCM อินพุทถัดไปจากค่า PCM ปัจจุบัน ค่าคลาดเคลื่อนระหว่างค่าที่ประมาณกับค่าอินพุทจริงๆ ซึ่งข้อมูลนั้นจะถูกไปเป็นเอาท์พุท เนื่องจากคำว่า differential นั่นคือ ข้อมูล ADPCM เป็นความแตกต่างระหว่างค่า PCM อินพุทจริง ๆ กับค่าที่คาดไว้ คำว่า Adaptive หมายถึงวงจรกรองความถี่ที่ทำหน้าที่ในการคาดคะเน นั่นคือมันจะแปลงตามสถิติของสัญญาณที่เคยเข้ามา

<u>รายละเอียดของขาอุปกรณ์</u>



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.29 แสดงรายละเอียดของขาและบล็อกไดอะแกรมของ MC145532

- EDI : encoder data input (ขา 12)

ข้อมูล PCM ที่จะนำมาเข้ารหัสจะเข้ามาทางขาอินพุทนี้ ซึ่งจะทำงานซิงโครนัสกับ EDC กับ EIE เพื่อให้ข้อมูลอยู่ในรูปแบบอนุกรม

- EDC : encoder data clock (ขา 13)

ข้อมูลที่เข้ามายัง EDI จะเชื่อมต่อกับตัวเข้ารหัสที่ขอบขาลงของ EDC และข้อมูลจะออกจาก EDO ที่ขอบขาขึ้นของขาอินพุทนี้ ความถี่ของ EDC สามารถใช้ได้ในช่วง 64 kHz ถึง 5.12 MHz

- EIE : encoder input enable (ขา 11)

จุดเริ่มต้นเวิร์ดใหม่ของ PCM ซึ่งถูกแสดงกับตัวเข้ารหัสโดยขอบขาขึ้นของอินพุทนี้ ความถี่ของ EIE ไม่ควรเกิน 8 kHz

- EDO : encoder data output (ขา 15)

ข้อมูล ADPCM เป็นแบบอนุกรมเมื่อออกจากเอาท์พุทนี้ ซึ่งจะทำงานซิงโครนัสกับ EDC และ EOE EDO มีเอาท์พุท 3 สถานะ คือเป็นสภาวะอิมพีแดนซ์สูงยกเว้นเวลาส่งข้อมูล

- EOE : encoder output enable (ขา 14)

แต่ละเวิร์ดของ ADPCM จะถูกต้องการโดยขอบขาขึ้นของอินพุทนี้ ซึ่งมีผลให้ขา EDO ให้ข้อมูลเมื่อได้ คล็อกจาก EDC EOE 1 ตัวจะเกิดจาก EIE แต่ละครั้ง

- DDI : decoder data input (ขา 5)

ADPCM ที่จะถูกถอดรหัสจะผ่านเข้าขานี้ ซึ่งจะทำงานร่วมกับ DDC และ DIE เพื่อให้ข้อมูลอยู่ในรูปแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- DDC : decoder data clock (ขา 4)

ข้อมูลที่เข้า DDI จะเชื่อมต่อกับตัวเข้ารหัสที่ขอบขาลงของ DDC และข้อมูลเอาท์พุทของ DDC จะออกที่ขอบขาขึ้นของ DDC ความถี่ของ DDC จะเป็น 64 kHz หรือ 5.12 MHz

- DIE : decoder input enable (ขา 6)

จุดเริ่มต้นของ ADPCM เวิร์ดใหม่จะแสดงโดยขอบขาขึ้นของ DIE ข้อมูลจะถูกส่งแบบอนุกรมตาม คล็อกที่เข้าสู่ DDI ในขอบขาลงถัดมาของ DDC ตามขอบขาขึ้นของ DIE ความถี่ของ DIE ต้องไม่เกิน 8 kHz

- DDO : decoder data output (ขา 2)

ข้อมูล PCM จะถูกจัดในรูปแบบอนุกรมจากเอาท์พุทนี้ ซึ่งทำงานร่วมกับ DDC และ DOE DDO จะเป็นสถานะเอาท์พุท 3 สถานะ คือเป็นสภาวะอิมพีแดนซ์สูงยกเว้นเมื่อมีการส่งข้อมูล

- DOE : decoder output enable (ขา3)

แต่ละเวิร์ดของ ADPCM จะถูกต้องการโดยขอบขาขึ้นของอินพุทนี้ โดยทำให้ขา DDO ให้ข้อมูลเมื่อได้รับคล็อกจาก DDC 1 DOE จะเกิดจากแต่ละ DIE

- MODE : mode select (ขา 1)

ค่า 0 จะทำให้ตัวเข้ารหัสทำการอัดข้อมูลแบบ μ-law-255 และรูปแบบข้อมูลแบบ D3 ค่า 1 จะทำให้ตัวเข้ารหัสทำงานแบบ A-law และรูปแบบข้อมูลเป็นการกลับบิทคู่ (even bit inversion)

- SPC : signal processor clock (ขา 10)

อินพุทนี้เป็นคล็อกปกติเป็นสัญญาณคล็อก 20.48 MHz ซึ่งใช้เป็นสัญญาณมาสเตอร์คล็อกภายในตัวเข้ารหัส

- RESET : reset (ขา 7)

ค่า 0 จะทำให้ตัวเข้ารหัสเข้าสู่โหมดการใช้พลังงานต่ำ (low power dissipation mode) ขอบขาขึ้นจะทำให้ค่าพลังงานถูกเก็บและตัวเข้ารหัสจะเข้าสู่สภาวะรีเซ็ท

- APD : absolute power down (ขา 9)

ค่า 1 จะทำให้ตัวเข้ารหัสเข้าสู่โหมดประหยัดพลังงาน

- Vdd : positive power supply (ขา 16)

ค่ากำลังงานสูงสุด 5 V

- Vss : negative power down (ขา8)

ต่อกับ 0 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดการทำงาน

Encoding / encoding Rates

MC145532 ใช้สำหรับเข้ารหัสและถอดรหัสข้อมูลโดยใช้อัตราการแซมปลิ้งจาก 1 ใน 4 ของอัตราการแซมปลิ้งพื้นฐาน อัตราการแซมปลิ้งจะเป็นเครื่องแสดงส่วนประกอบต่างๆ ของแต่ละข้อมูลที่ทำการแซมปลิ้ง ซึ่งนำไปสู่การเข้ารหัสหรือถอดรหัส ความกว้างของ Enable pulse จะกำหนดอัตราการเข้ารหัสและถอดรหัสของแต่ละแซมเปิ้ล

อัตรา 64 kbps สำหรับข้อมูล PCM เป็นส่วนที่จะถูกส่งตรงไปยังไอซีตัวนี้

อัตรา 32 kbps ตามมาตรฐานของ G. 721 หรือ T. 301 - 1987 จะขึ้นอยู่กับสถานะของขาโหมด

อัตรา 24 kbps สำหรับการเข้ารหัสตาม CCITT G. 723 และ G. 726

อัตรา 16 kbps ซึ่งได้ถูกปรับปรุงการจัดระดับจากเทคนิคของ 32 kbps แต่ยังไม่มาตรฐาน

ลักษณะสัญญาณ

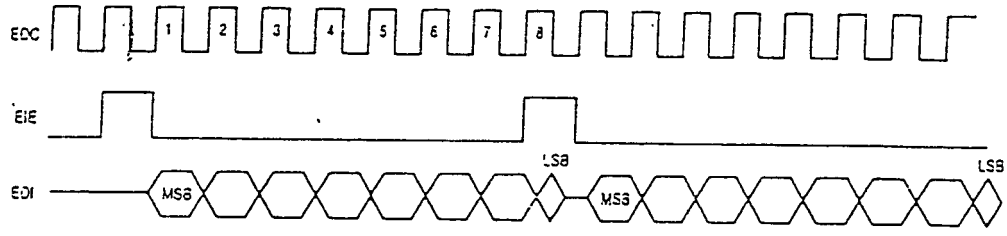
รูปที่ 2.30 - 2.37 แสดงสัญญาณของขาอินพุทและเอาท์พุท MC145532 จะกำหนดโหมดของสัญญาณเวลาว่าเป็น Short หรือ Long frame สำหรับแต่ละ Enable โดยไม่ขึ้นอยู่กับโหมดของสัญญาณ Enable ก่อน ๆ การเปลี่ยนแปลงจาก Short Frame เป็น Long frame หรือในทางกลับกัน จะเป็นสาเหตุให้เฟรมของข้อมูลบางส่วนถูกทำลายไป แต่ละเซทของขาอินพุททั้ง 4 ขา ของแต่ละโหมดจะไม่เกี่ยวข้องกัน อินพุทของ Encoder จะทำงานด้วยคาบเวลาแบบ Long frame และเอาท์พุทจะทำงานด้วย Short Frame ข้อสังเกตคือคาบเวลาแบบ Short frame ของ Input Enable ใช้ได้เฉพาะกับอัตราการเข้ารหัส 32 kbps จำนวน Data Clock ขอบขาลงที่ครอบคลุมโดย EIE หรือ DIE จะแสดงถึงทั้ง Short Frame และ Long Frame ตลอดจนอัตราการเข้ารหัส โหมดของอินพุทและเอาท์พุทจะถูกตรวจสอบแต่ละเฟรม ทุกโหมดข้อมูลจะถูกจัดการที่ขอบขาลงของ EDC หรือ DDC ของ MC145532

อินพุทของตัวเข้ารหัสแบบ Short frame

รูปที่ 2.30 แสดงสัญญาณของ EDC , EIE และ EDI เป็นขา ซึ่งทำงานในรูปแบบของ Short frame

MC145532 จะแสดงผลของอัตราการเข้ารหัสโดยขึ้นอยู่กับ 1 ขอบขาลงของ EDC ในขณะที่ EIE มีสถานะสูง ข้อสังเกตคือ อัตรา 32 kbps เท่านั้นที่สามารถใช้ Short frame mode ของ Encoder Input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.30 แสดงสัญญาณอินพุทที่ใช้ในการเข้ารหัสแบบ short frame

อินพุทของตัวเข้ารหัสแบบ Long frame

รูปที่ 2.31 แสดงสัญญาณอินพุทสำหรับตัวเข้ารหัสของโหมด Long Frame ในโหมดนี้ข้อมูลจะถูกจับที่ขอบขาลงของ EDC การแสดงผลของอัตราการเข้ารหัสจะถูกทำให้ขึ้นอยู่กับจำนวนขอบขาลงของ EDC ในขณะที่ EIE มีสถานะสูง

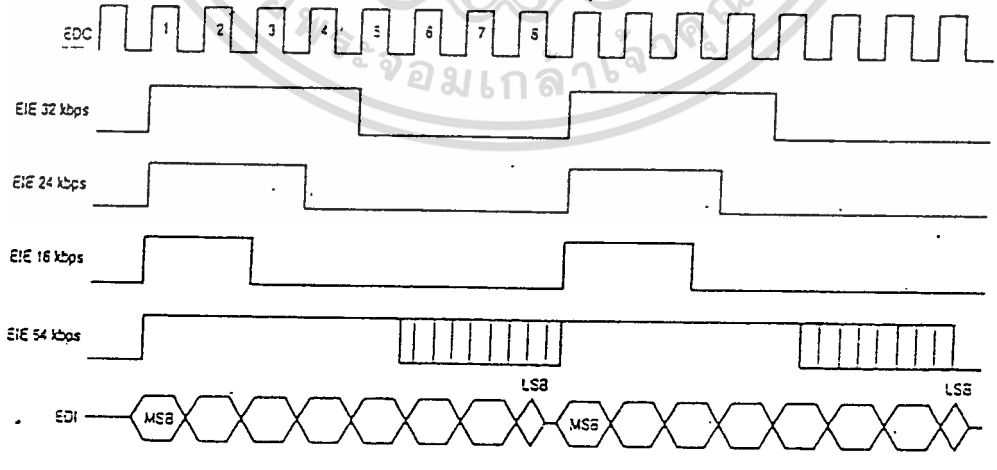
4 ขอบขาลง แสดงถึง 32 kbps

3 ขอบขาลง แสดงถึง 24 kbps

2 ขอบขาลง แสดงถึง 16 kbps

5 - 8 ขอบขาลง แสดงถึง 64 kbps

อัตราการเข้ารหัสอาจเปลี่ยนแปลงได้ในเฟรมต่อเฟรม

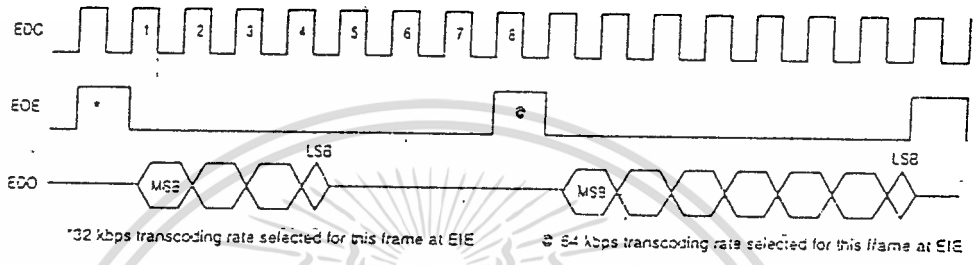


รูปที่ 2.31 แสดงสัญญาณอินพุทที่ใช้ในการเข้ารหัสแบบ long frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทของตัวเข้ารหัส Short frame

รูปที่ 2.32 แสดงสัญญาณเอาท์พุทของตัวเข้ารหัสในโหมด Short frame ช่วงความยาวของ LSB จะมีขนาดเป็นครึ่งรอบ EDC เสมอ EDO จะกำหนดบิทที่ถูกต้องสำหรับอัตราการเข้ารหัสนั้นๆ ซึ่งจะถูกเลือกสำหรับเฟรมของข้อมูล โดยขา Encoder Input ข้อมูลจะถูกโหลดเข้าไปในไอซีระหว่าง 1 เฟรม เข้ารหัสเฟรมถัดไป และอ่านเฟรมที่ 3



รูปที่ 2.32 แสดงสัญญาณเอาท์พุทที่ได้จากการเข้ารหัสแบบ short frame

เอาท์พุทของตัวเข้ารหัสแบบ Long Frame

รูปที่ 2.33 แสดงสัญญาณเอาท์พุทของตัวถอดรหัสแบบ Long Frame EOE จะต้องมีขนาดกว้างกว่าขอบขาลง 2 ครั้ง ของ EDC เพื่อให้เป็น Long frame

ถ้า EOE ตกลงก่อนที่จำนวนบิทที่ถูกต้องจะแสดงที่เอาท์พุท EDO ตัวแปลงรหัสจะทำให้เอาท์พุทแสดงบิทที่สมบูรณ์ด้วย LSB ซึ่งมีขนาดครึ่งหนึ่งของความกว้างของคาบเวลาของ EDC

ถ้า EOE ตกลงหลังจากครึ่งหนึ่งของคาบเวลาของ LSB ของ EDC LSB จะถูกทำให้ขยายออกไปจนเต็มขนาดของ EDC Clock และข้อมูลถัดมาจะถูกกระทำเช่นนี้เรื่อยไปจนกระทั่งขา EOE ตกลง

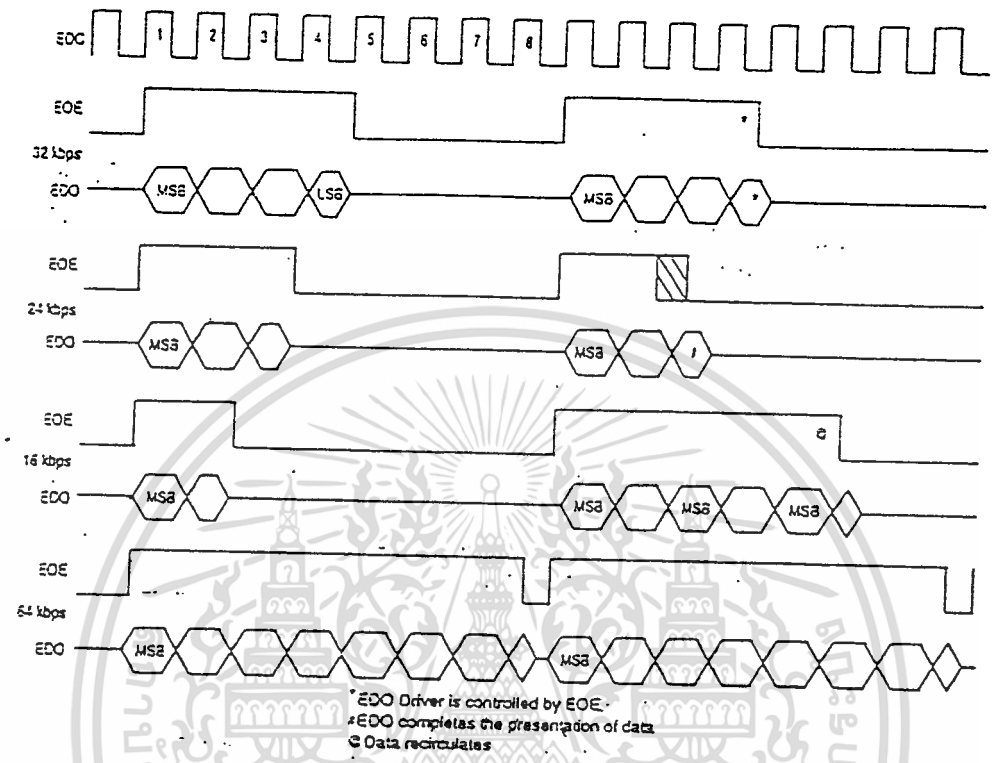
อินพุทของตัวถอดรหัสแบบ Short Frame

รูปที่ 2.34 แสดงสัญญาณที่ใช้เป็นอินพุทของตัวถอดรหัสในแบบ Short Frame ข้อสังเกตคือโหมดนี้ใช้เฉพาะ 32 kbps เท่านั้น

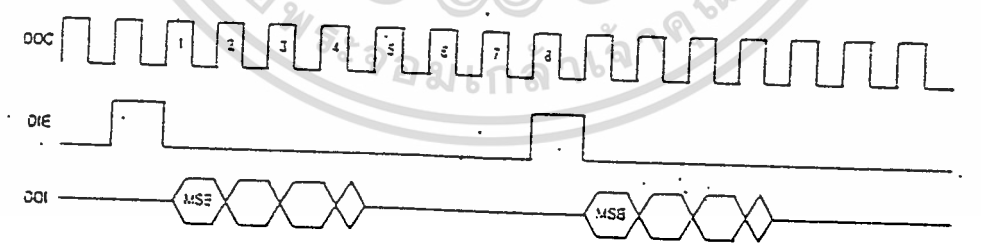
อินพุทของตัวถอดรหัสแบบ Long Frame

รูปที่ 2.35 แสดงสัญญาณต่างๆ ที่เป็นอินพุทของตัวถอดรหัสในโหมด Long Frame การแสดงผลของอัตราการถอดรหัสได้ถูกทำให้ขึ้นอยู่กับจำนวนขอบขาลงของ DDC ในขณะที่ DIE มีสถานะสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

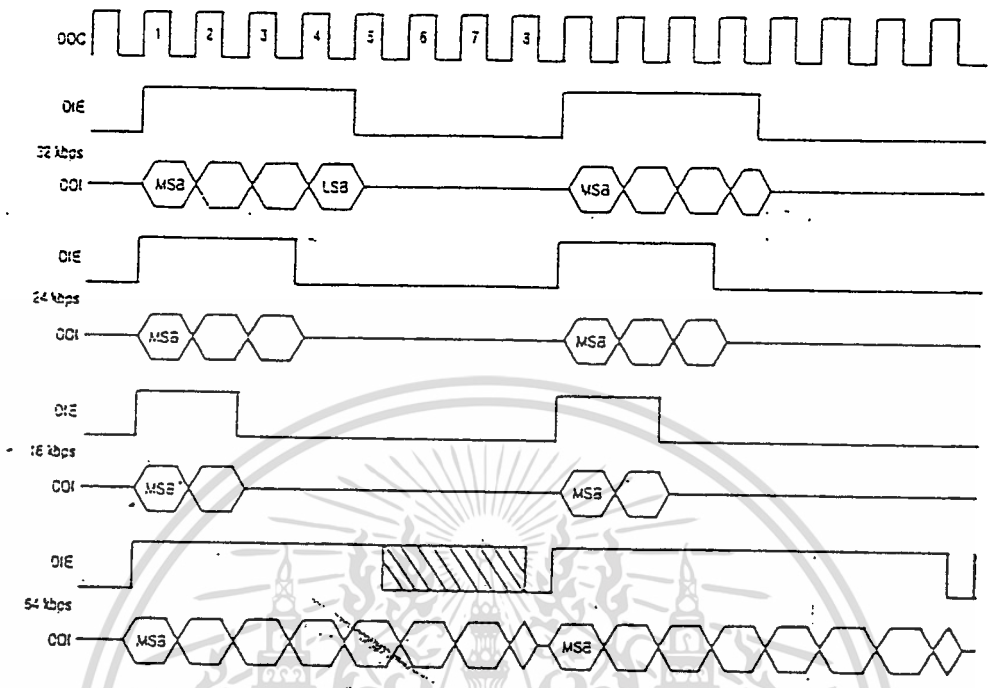


รูปที่ 2.33 แสดงสัญญาณเอาท์พุทที่ได้จากการเข้ารหัสแบบ long frame



รูปที่ 2.34 แสดงสัญญาณอินพุทที่ใช้ในการถอดรหัสแบบ short frame

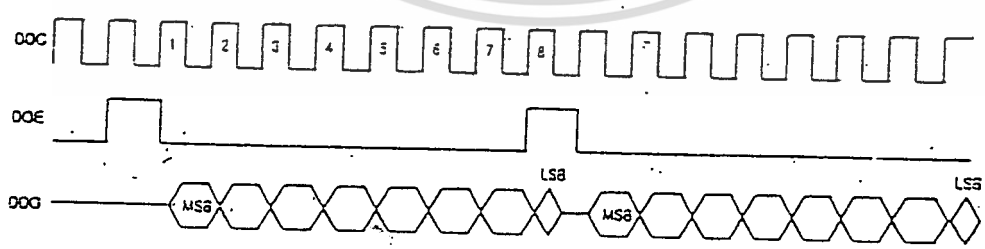
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.35 แสดงสัญญาณอินพุทที่ใช้ในการถอดรหัสแบบ long frame

Decoder output - Short Frame

รูปที่ 2.36 แสดง Timing ของ Decoder output ของ Short Frame Mode DDO จะกำหนด word 8 bit PCM สำหรับอัตราการถอดรหัสที่ถูกเลือก ข้อมูลจะถูกโหลดเข้าไอซีระหว่าง 1 เฟรม ถอดรหัสถัดไปและอ่านเฟรมที่ 3

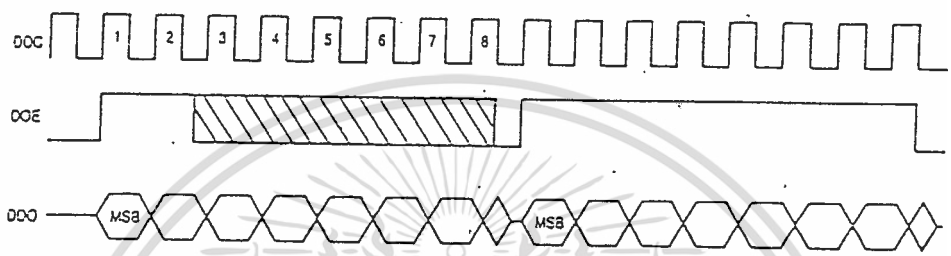


รูปที่ 2.36 แสดงสัญญาณเอาท์พุทที่ได้จากการถอดรหัสแบบ short frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

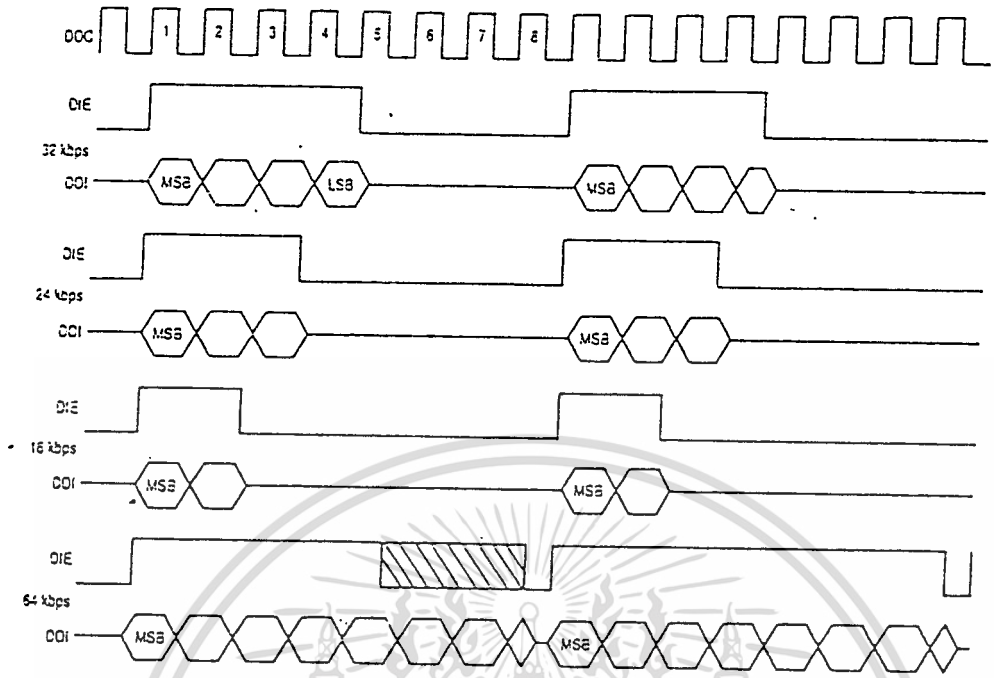
Decoder output - Long Frame

รูปที่ 2.37 แสดง timing ของ Decoder output ของ Long Frame mode ข้อสังเกตคือ เอาท์พุทจะเป็น 8 บิท และกำหนดไว้ว่า ที่ ขอบขาลง 2 ครั้ง ของ DDC ในขณะที่ DOE มีสถานะสูง Enable จะทำให้ LSB ขยายออกไปมีขนาดเต็มคาบเวลาของ DDC และ / หรือ เป็นสาเหตุให้ข้อมูล 8 บิทนั้นไปสู่ขาเอาท์พุทเรื่อยๆ จนกว่าสัญญาณ Enable จะตกลง



รูปที่ 2.37 แสดงสัญญาณเอาท์พุทที่ได้จากการถอดรหัสแบบ long frame

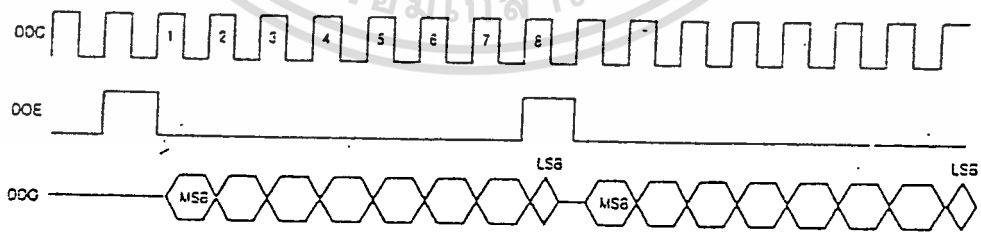
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.35 แสดงสัญญาณอินพุทที่ใช้ในการถอดรหัสแบบ long frame

เอาท์พุทของตัวถอดรหัสแบบ Short Frame

รูปที่ 2.36 แสดงสัญญาณของตัวถอดรหัสในโหมด Short Frame DDO จะเป็นตัวกำหนดเวิร์ด PCM 8 บิท สำหรับอัตราการถอดรหัสที่ถูกเลือก ข้อมูลจะถูกโหลดเข้าไอซีระหว่าง 1 เฟรม ถอดรหัสถัดไปและอ่านเฟรมที่ 3



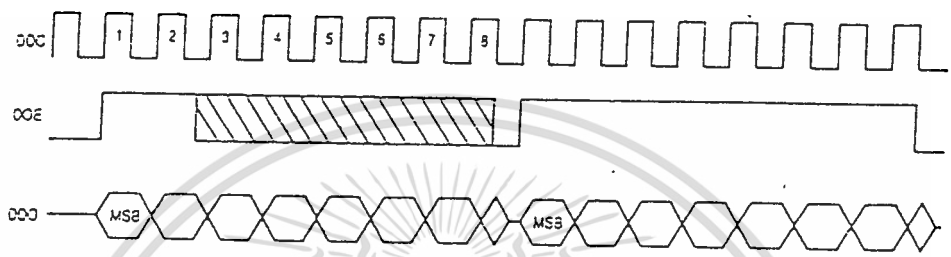
รูปที่ 2.36 แสดงสัญญาณเอาท์พุทที่ได้จากการถอดรหัสแบบ short frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>เอาท์พุทของตัวถอดรหัสแบบ Long Frame</u>

รูปที่ 2.37 แสดงสัญญาณเอาท์พุทของตัวถอดรหัสของโหมด Long Frame

ข้อสังเกต คือ เอาท์พุทจะเป็น 8 บิท และกำหนดไว้ว่า ที่ ขอบขาลง 2 ครั้ง ของ DDC ในขณะที่ DOE มีสถานะสูง DOE จะทำให้ LSB ขยายออกไปมีขนาดเต็มคาบเวลาของ DDC และ / หรือ เป็นสาเหตุให้ข้อมูล 8 บิทนั้นไปสู่ขาเอาท์พุทเรื่อยๆ จนกว่าสัญญาณ Enable จะตกลง



รูปที่ 2.37 แสดงสัญญาณเอาท์พุทที่ได้จากการถอดรหัสแบบ long frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
วงจรและหลักการทำงาน

ดังแสดงในบทที่ 2 จะเห็นว่าการส่งสัญญาณด้วยสัญญาณดิจิตอลแบบ ADPCM ซึ่งใช้หลักการของค่าความแตกต่างของสัญญาณจริงที่ได้รับกับค่าที่ได้จากการประมาณค่าที่ได้จากการจัดระดับและการทำนายแบบปรับค่าได้นั้น สามารถลดอัตราการส่งข้อมูลเมื่อเทียบกับการใช้เทคนิค PCM ซึ่ง ADPCM มีอัตราการส่งข้อมูลเป็น

- 32 kbps ตามมาตรฐาน G . 721 ของ CCITT
- 24 kbps ตามมาตรฐาน G . 723 และ G . 726 ของ CCITT
- 16 kbps ซึ่งปรับปรุงจากการเข้าระดับของ 32 kbps

นอกจากนี้คุณภาพของสัญญาณที่ได้เมื่อผ่านการถอดรหัสที่ทางด้านรับแล้วมีค่าสูงกว่าเทคนิค PCM ด้วย

วงจรเข้ารหัสและถอดรหัส ADPCMที่เสนอนี้มิได้เป็นการเข้ารหัสสัญญาณเสียงให้เป็นสัญญาณ ADPCM โดยตรง แต่เป็นการเข้ารหัสโดยการเข้ารหัสให้เป็นสัญญาณ PCM เสียก่อน แล้วจึงทำการแปลงสัญญาณ PCM เป็นสัญญาณ ADPCM ตามที่ต้องการ โดยได้เลือก MC145480 ซึ่งเป็นไอซีที่ใช้ในการเข้ารหัส PCM มาทำงานร่วมกับ MC145532 ไอซีแปลงรหัส PCM - ADPCM มาใช้ในการแปลงสัญญาณเสียงพูดให้เป็นสัญญาณดิจิตอล ADPCM

MC145480 เป็นตัวเข้ารหัส - ถอดรหัสสัญญาณ PCM โดยทำการรับสัญญาณเสียงที่อยู่ในช่วงความถี่ 200 - 3400 Hz มาทำการแปลงสัญญาณ PCM 8 บิทต่อแซมเปิ้ล หรือมีอัตราการส่ง 64 kbps และรับสัญญาณ PCM มาทำการถอดรหัสกลับเป็นสัญญาณเสียง สามารถเลือกรูปแบบการคอมแพนดิ้ง ได้ระหว่าง A - law และ μ - law โดยในวงจรที่เสนอนี้กำหนดให้มีการคอมแพนดิ้งแบบ μ - law โดยรูปแบบการรับคล็อกจะเป็นแบบ long frame sync

MC145532 เป็นตัวแปลงรหัสจาก PCM เป็น ADPCM และในทางกลับกัน โดยสามารถที่จะกำหนดอัตราการส่งข้อมูลของ ADPCM ให้มีค่าเป็น 64 kbps , 32 kbps , 24 kbps , 16 kbps โดยการกำหนดความกว้างของสัญญาณ EIE ที่มีความถี่ 8 kHz ขณะที่มีสถานะสูง โดยเทียบกับจำนวนขอบขาลงของสัญญาณคล็อก EDC ดังนี้

4 ขอบขาลง แสดงถึง 32 kbps

3 ขอบขาลง แสดงถึง 24 kbps

2 ขอบขาลง แสดงถึง 16 kbps .

5 - 8 ขอบขาลง แสดงถึง 64 kbps (เป็นการส่ง PCM ผ่านออกสู่เอาท์พุท)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรที่ได้เสนอนี้ได้กำหนดให้มีการคอมแพนดิ้งแบบ μ - law และรูปแบบการรับคล็อกแบบ long frame sync เพื่อที่จะสามารถกำหนดอัตราเร็วของ ADPCM ได้ ซึ่งการกำหนดอัตราเร็วของ ADPCM นี้ กระทำได้โดยการใช้ดิปสวิตช์ในวงจรสร้างสัญญาณคล็อกที่ทำการสร้างสัญญาณคล็อกต่าง ๆ ที่จำเป็นต้องใช้ในการแปลงรหัสดังอธิบายในบทที่ 2 ให้ตรงกับเงื่อนไขทั้งหมดที่กำหนด นอกจากคล็อกเหล่านี้แล้วนั้น MC145532 ยังต้องการสัญญาณคล็อก 20 MHz มาใช้เป็นมาสเตอร์คล็อกสำหรับวงจรภายในอีกด้วย

เพื่อให้การรับส่งข้อมูลระหว่าง MC145480 และ MC145532 รวมทั้งการรับส่งข้อมูลภายในของ MC145480 และ MC145532 มีความสัมพันธ์กันและถูกต้องจึงกำหนดให้

- EDC , DDC ของ MC145532 และ MCLK , BCLKT , BCLKR ของ MC145480 เป็นค่าเดียวกัน โดยอาจมีค่าเป็น 256 kHz , 512 kHz , 1024 kHz และ 2048 kHz การเลือกค่าความถี่นี้สามารถเลือกได้จากวงจรสร้างสัญญาณคล็อก

- EIE , EOE , DIE , DOE ของ MC145532 และ FST , FSR ของ MC145480 เป็นสัญญาณเดียวกัน คือเป็นสัญญาณ 8 kHz ที่มีความกว้างของค่าลอจิก 1 ขึ้นอยู่ความถี่ของสัญญาณคล็อกและอัตราการส่งข้อมูลของ ADPCM ที่กำหนดโดยการเลือกดิปสวิตช์

วงจรเข้ารหัสและวงจรถอดรหัส ADPCM นี้ ประกอบด้วยส่วนประกอบ 2 ส่วนใหญ่ๆ คือ

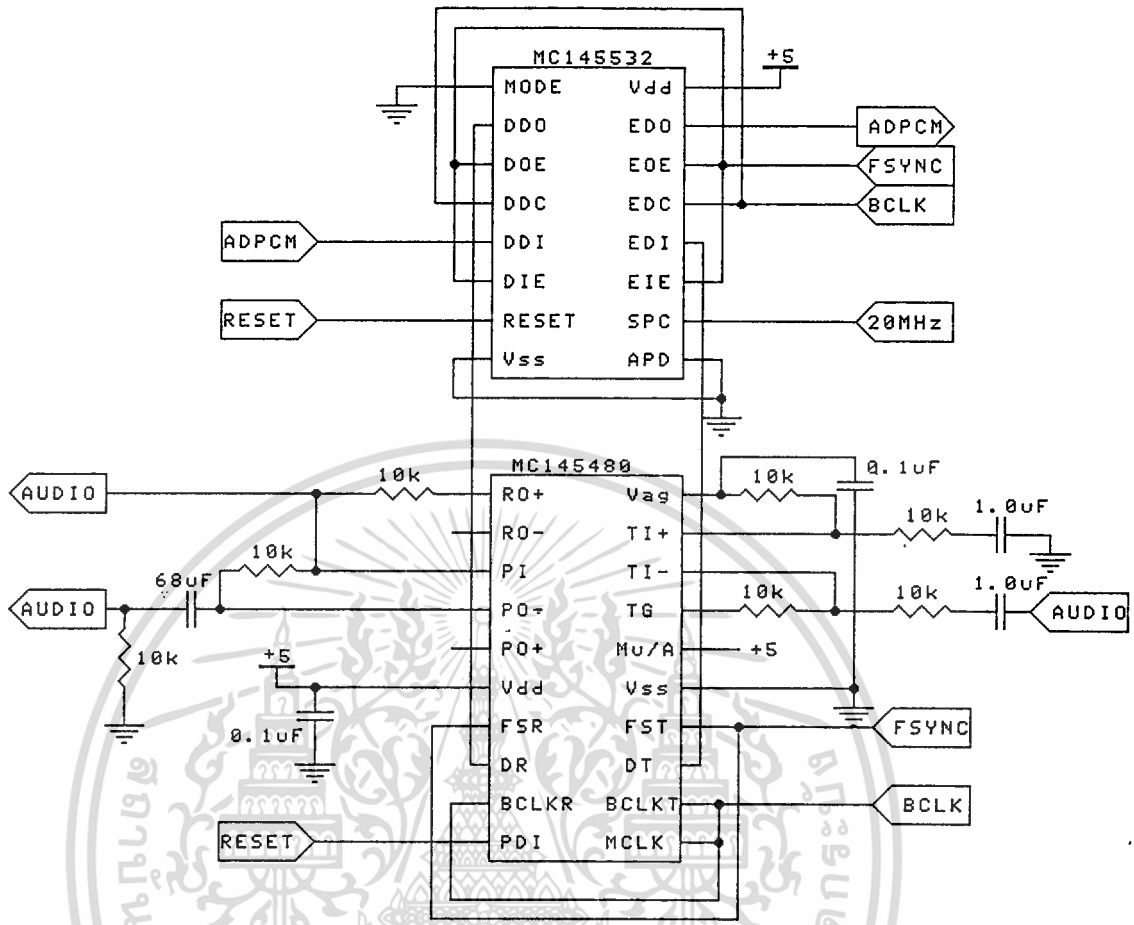
1. ส่วนของวงจรเข้ารหัสและถอดรหัส
2. ส่วนของวงจรกำเนิดสัญญาณคล็อกความถี่ต่างๆ

โดยแต่ละส่วนมีรายละเอียดดังแสดงและอธิบายได้ดังต่อไปนี้

3.1 ส่วนของวงจรเข้ารหัสและถอดรหัสสัญญาณ ADPCM

ดังที่ได้อธิบายในข้างต้นแล้วว่า การเข้ารหัสไม่ได้ใช้การเข้ารหัสด้วยวิธีการแปลงสัญญาณเสียงให้เป็นสัญญาณ ADPCM โดยตรง แต่เป็นการเข้ารหัสด้วยการเข้ารหัสสัญญาณเสียงให้เป็นสัญญาณ PCM เสียก่อน แล้วจากนั้นจึงทำการแปลงสัญญาณ PCM ให้เป็นสัญญาณ ADPCM ตามที่ต้องการ และในทำนองเดียวกันสำหรับการถอดรหัส จะทำการแปลงสัญญาณ ADPCM ให้เป็นสัญญาณ PCM ก่อน แล้วจากนั้นจึงทำการถอดรหัสสัญญาณ PCM กลับมาเป็นสัญญาณเสียงดังเดิม ดังนั้นจะเห็นได้ว่าวงจรการทำงานในส่วนนี้นั้น สามารถแบ่งขั้นตอนการทำงานออกเป็น 4 ส่วน ดังที่จะอธิบายต่อไป ซึ่งการทำงานในขั้นตอนที่ 1 และขั้นตอนที่ 2 นั้นจะเป็นการทำงานในส่วนของการเข้ารหัส และการทำงานในขั้นตอนที่ 3 และขั้นตอนที่ 4 จะเป็นการทำงานในส่วนของการถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดงวงจรในส่วนของการเข้ารหัสและถอดรหัส

ขั้นตอนที่ 1 การเข้ารหัสสัญญาณเสียงเป็นสัญญาณ PCM

การทำงานขั้นตอนนี้จะเป็นขั้นตอนแรกของการเข้ารหัสสัญญาณเสียง โดยมีการนำ MC145480 มาใช้ในการเข้ารหัสสัญญาณเสียงให้เป็นสัญญาณ PCM แบบ μ - law ที่มีอัตราการส่งเป็น 64 kbps

ในการทำงาน จะทำการป้อนสัญญาณเสียงเข้าสู่ขา TG (ขา 17) โดยทำการส่งสัญญาณเสียงผ่านค่า C เพื่อทำการตัดสัญญาณ DC ออกและจากนั้นสัญญาณจะผ่านตัวต้านทานก่อนผ่านเข้าสู่ขา TG สัญญาณเสียงที่ผ่านเข้าขา TG นี้ จะผ่านวงจรกรองความถี่ภายในเพื่อป้องกันการเหลื่อมซ้อนของสัญญาณและทำการเลือกเฉพาะสัญญาณที่อยู่ในช่วงความถี่ 200 Hz ถึง 3400 Hz แล้วจึงผ่านเข้าสู่ส่วนของการเข้ารหัสเสียงเป็นสัญญาณ PCM ส่งออกที่ขา DT (ขา 13) โดยในการส่งสัญญาณ PCM ออกนั้น การส่งสัญญาณจะเกิดขึ้นที่ค่าลอจิก AND ของสัญญาณ FST กับสัญญาณ BCLKT โดยขา DT นี้จะอยู่ในสภาวะอิมพีแดนซ์ต่ำเป็นระยะเวลา 8 รอบของสัญญาณ BCLKT และการส่งออกของสัญญาณ PCM จะเป็นไปตามจังหวะของสัญญาณ BCLKT และเนื่องจากสัญญาณ FST นี้เป็นสัญญาณความถี่ 8 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น สัญญาณ PCM เอาท์พุทที่ได้จึงเป็นสัญญาณข้อมูลขนาด 8 บิทที่มีจังหวะการส่งออกตามสัญญาณ BCLKT ทุกๆ ช่วงเวลา 125 μs นั่นคือ เป็นสัญญาณ PCM ที่มีอัตราการส่ง 64 kbps

โดยสัญญาณ FST และสัญญาณ BCLKT นี้จะได้มาจากวงจรสร้างสัญญาณคล็อกซึ่งจะอธิบายในหัวข้อถัดไป และเพื่อกำหนดให้ MC145480 ทำการเข้ารหัสเป็นสัญญาณ PCM แบบ μ - law จึงทำการป้อนไฟ +5 V ให้กับขา Mu/A (ขา 16)

ขั้นตอนที่ 2 การแปลงรหัสสัญญาณ PCM ให้เป็นสัญญาณ ADPCM

เป็นขั้นตอนสุดท้ายของการเข้ารหัส ด้วยการนำ MC145532 มาใช้ในการแปลงรหัส โดยรับค่าสัญญาณ PCM ที่ส่งออกจากขา DT ของ MC145480 มาทำการแปลงเป็นสัญญาณ ADPCM ซึ่งสามารถกำหนดอัตราเร็วของสัญญาณ ADPCM ให้มีค่าเป็น 64 kbps , 32 kbps , 24 kbps หรือ 16 kbps ด้วยการเลือกดิปสวิทช์ที่อยู่ในส่วนของวงจรสร้างสัญญาณคล็อกเนื่องจากดิปสวิทช์จะเป็นตัวกำหนดสัญญาณคล็อกให้มีลักษณะตรงกับเงื่อนไขของการกำหนดอัตราเร็วของสัญญาณ ADPCM ซึ่งสัญญาณที่ใช้ในการกำหนดความเร็วนี้ได้แก่สัญญาณ EIE, EOE, DIE และ DOE ดังได้อธิบายในบทที่ 2 ซึ่งการทำงานในส่วนนี้นั้นก็ได้กำหนดให้เป็นการเข้ารหัสเป็นแบบ μ - law เช่นเดียวกันกับสัญญาณ PCM ที่ได้จาก MC145480 ด้วยการป้อนไฟ 0 V เข้ากับขา MODE (ขา 1) และนอกจากนี้ MC145532 ยังต้องการสัญญาณคล็อกความถี่ 20 MHz เข้าที่ขา SPC (ขา 10) เพื่อใช้เป็นมาสเตอร์คล็อกภายใน MC145532

MC145532จะทำการรับสัญญาณ PCM 64 kbps มาจาก MC145480 เข้าที่ขา EDI (ขา 12) โดยการรับข้อมูล PCM เข้ามายัง MC145532 นั้นจะเริ่มขึ้นที่ขอบขาขึ้นของสัญญาณ EIE ที่มีความถี่ 8 kHz และจัทำการรับข้อมูล PCM ตามจังหวะของสัญญาณ EDC เป็นช่วงระยะเวลา 8 รอบของสัญญาณคล็อก EDC นั่นคือทุกๆ 125 μs จะรับข้อมูล PCM เข้ามา 8 บิทและจะมีการรับข้อมูลอีกครั้งที่ขอบขาขึ้นครั้งต่อไป จากนั้นสัญญาณ PCM ที่รับได้จะถูกส่งไปเก็บค่าไว้ในรีจิสเตอร์แบบอนุกรมก่อนที่หน่วยประมวลผลที่อยู่ภายใน MC145532 จะทำการประมวลผลโดยอาศัยหลักการของการจัดระดับแบบปรับค่าได้และการทำนายแบบปรับค่าได้ดังอธิบายในบทที่ 2 เพื่อแปลงเป็น ADPCM ซึ่งในขั้นตอนนี้นั้นจำนวนบิทของ ADPCM ต่อสัญญาณ PCM 8 บิท จะมีค่าเป็น 2 บิท,3 บิท,4 บิทหรือ 8 บิท ตามอัตราเร็วที่ได้กำหนดจากสัญญาณ EIE คือ 16 kbps ,24 kbps,32 kbps หรือ 64 kbps สัญญาณ ADPCM นี้จะถูกเก็บอยู่ในรีจีสเตอร์แบบอนุกรมก่อนที่จะถูกส่งออกที่ขา EDO (ขา 15)

ในการส่งสัญญาณ ADPCM ออกจากขา EDO นั้นจะมีการส่งออกเมื่อสัญญาณ EOE ซึ่งมีความถี่ 8 kHz มีค่าเป็น 1 โดยจะมีการส่งออกตามจังหวะของ EDC เนื่องจากช่วงเวลาที่สัญญาณ EOE มีค่าเป็น 1 จะสัมพันธ์กับจำนวนขอบขาลงของสัญญาณ EDC เช่นเดียวกับสัญญาณ EIE ดังนั้นเอาท์พุทของ ADPCM ที่ได้จึงมีอัตราเร็วในการส่งตรงกับที่ได้กำหนดไว้

เพื่อให้การรับสัญญาณ PCM ที่จะทำการเข้ารหัสตรงกับการส่งสัญญาณ ADPCM ที่ได้จึงกำหนดให้สัญญาณ EIE และสัญญาณ DIE เป็นค่าเดียวกัน และเพื่อให้การรับข้อมูล PCM ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145532 ตรงกับการส่งข้อมูล PCM ของ MC145480 จึงให้ FST และ EIE เป็นสัญญาณเดียวกัน และ BCLKT และ EDC เป็นสัญญาณเดียวกัน

ขั้นตอนที่ 3 ส่วนของการแปลงสัญญาณดิจิตอล ADPCM เป็นสัญญาณดิจิตอล PCM

การทำงานในขั้นตอนนี้จะใช้ MC145532 โดยจะการป้อนสัญญาณ ADPCM ที่ต้องการถอดรหัสเข้าที่ขา DDI (ขา 5) MC145532 จะทำการรับข้อมูลเมื่อสัญญาณ DIE มีค่าเป็น 1 ตามจังหวะของสัญญาณคล็อก DDC โดยสัญญาณ DIE นี้จะเป็นสัญญาณขนาด 8 kHz ที่มีช่วงของสัญญาณที่มีค่าเป็น 1 สัมพันธ์กับอัตราเร็วของ ADPCM จากนั้นสัญญาณ ADPCM จะถูกทำการแปลงกลับเป็นสัญญาณ PCM ด้วยหน่วยประมวลผลที่อยู่ภายใน MC145532 และส่งออกที่ขา DDC (ขา 2) การส่งจะเริ่มต้นที่ขอบขาขึ้นของสัญญาณ DOE ตามจังหวะของสัญญาณคล็อก DDC เป็นระยะเวลา 8 รอบสัญญาณคล็อก DDC นั่นคือทุกๆ 125 μs จะได้สัญญาณ PCM เอาท์พุทขนาด 8 บิทส่งออกมาจากขา DDO หรือเป็น PCM ที่มีอัตราการส่งเป็น 64 kbps

ขั้นตอนที่ 4 ส่วนของการถอดรหัส PCM ให้เป็นสัญญาณเสียง

การทำงานในส่วนนี้เป็นการทำงานของ MC145480 โดยทำการป้อนสัญญาณ PCM 64 kbpsที่ได้จาก MC145532 เข้าที่ขา DR (ขา 8) ซึ่ง MC145480 จะทำการรับข้อมูล PCM ด้วยค่าลอจิก AND ของ FSR และ BCLKR และจะทำการรับค่าเป็นช่วงระยะเวลา 8 รอบของสัญญาณ BCLKR ซึ่งสัญญาณ PCM ที่ได้นี้จะถูกส่งเข้าสู่วงจรถอดรหัสซึ่งจะแปลงสัญญาณ PCM เป็นสัญญาณเสียง จากนั้นสัญญาณเสียงจะถูกส่งเข้าสู่วงจรกรองความถี่ต่ำผ่านที่ 3400 Hz เพื่อกรองเอาความถี่สูงที่เกิดขึ้นเนื่องจากสัญญาณรบกวนออกก่อนที่จะทำการปรับกระแสให้เรียบ เอาท์พุทที่ได้จะเป็นสัญญาณเสียงส่งออกที่ขา RO+ (ขา 1) แล้วทำการขยายสัญญาณที่ได้โดยใช้วงจรขยายภายใน MC145480 โดยป้อนสัญญาณเสียงที่ได้เข้าสู่ขา PI (ขา 3) สัญญาณเสียงที่ได้รับการขยายแล้วจะส่งออกที่ขา PO- (ขา 4)สัญญาณที่ได้จะผ่าน C เพื่อกำจัดสัญญาณ DC ที่อาจเกิดขึ้นจากการปรับสัญญาณให้เรียบและการขยายสัญญาณสัญญาณสุดท้ายที่ได้หลังจากผ่าน C แล้วนี้จะเป็นสัญญาณเสียงเอาท์พุทที่แท้จริง

เพื่อให้การรับส่งข้อมูลระหว่าง MC145480 กับ MC145532 ในส่วนของการรหัสนั้นถูกต้องไม่ผิดพลาดและเพื่อให้การทำงานของ MC145532 ในการแปลง ADPCM เป็น PCM รวมทั้งเพื่อให้การทำงานของ MC145480 ในการถอดรหัส PCM กลับเป็นสัญญาณเสียงถูกต้อง จึงกำหนดให้สัญญาณ EOE, DOE และ FSR เป็นสัญญาณเดียวกันและสัญญาณ BCLKR และ DDC เป็นสัญญาณเดียวกัน

และเพื่อให้การทำงานของส่วนเข้ารหัสและส่วนถอดรหัสทำงานสัมพันธ์กันนั้นจึงกำหนดให้

- FST และ FSR ของ MC145480 เป็นสัญญาณเดียวกันกับ EIE, EOE, DIE, DOE ของ MC145532

- BCLKT และ BCLKR ของ MC145480 เป็นสัญญาณเดียวกันกับ EDC และ DDC ของ MC145532

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

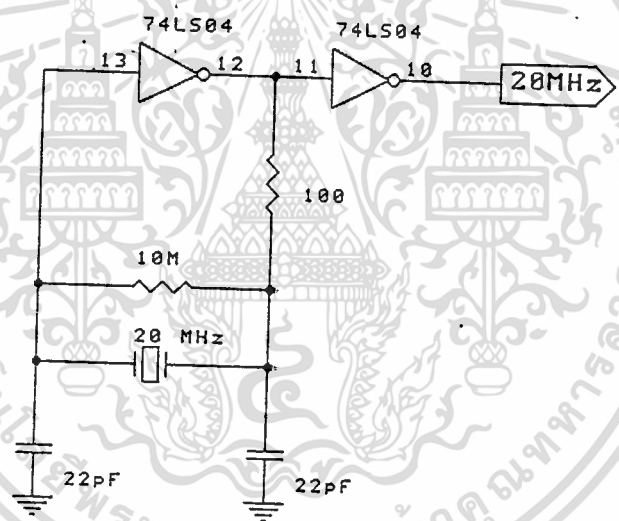
3.2 วงจรกำเนิดสัญญาณคล็อกความถี่ต่าง ๆ

เป็นส่วนของวงจรกำเนิดสัญญาณคล็อกต่างๆ ที่จำเป็นต่อการเข้ารหัสและถอดรหัส ได้แก่

- วงจรกำเนิดสัญญาณคล็อกความถี่ 20 เมกะเฮิร์ต
- วงจรกำเนิดความถี่คล็อกกำหนดอัตราการเข้ารหัสและถอดรหัส ADPCM

3.2.1. วงจรกำเนิดสัญญาณคล็อกความถี่ 20 เมกะเฮิร์ต

วงจรกำเนิดความถี่ขนาด 20 เมกะเฮิร์ตเพื่อใช้เป็นมาสเตอร์คล็อกของ MC 145532 ซึ่งทำงานเป็นตัวแปลงรหัสสัญญาณ PCM ให้เป็นรหัสสัญญาณ ADPCM และในทางกลับกัน วงจรกำเนิดความถี่ขนาด 20 เมกะเฮิร์ต สร้างขึ้นโดยใช้คริสตัลที่มีค่าความถี่ 20 เมกะเฮิร์ต ต่อเข้ากับเกทอินเวอร์เตอร์และค่าความต้านทาน ได้รูปสัญญาณเป็นสัญญาณคล็อกที่มีความถี่ 20 เมกะเฮิร์ต

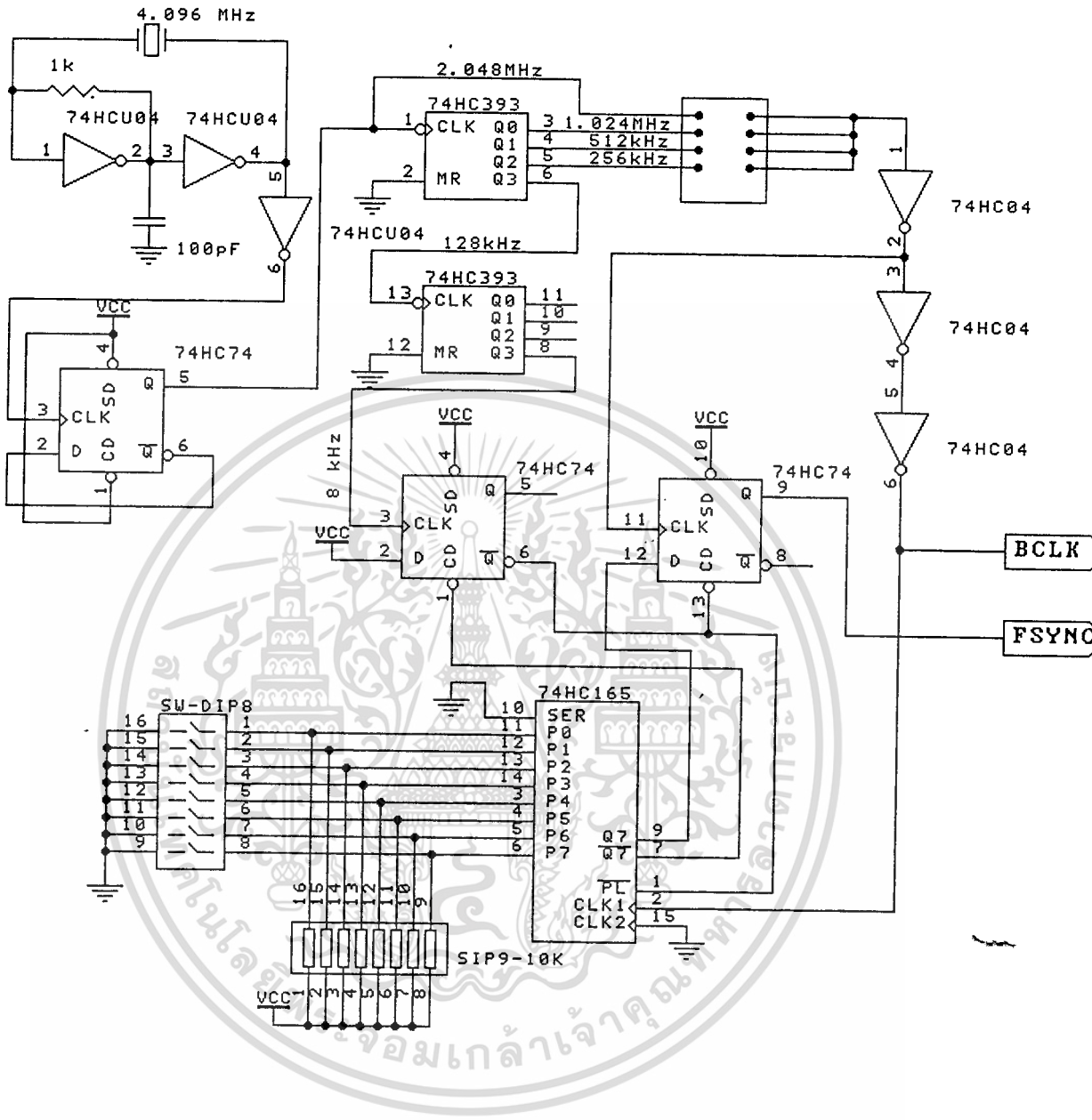


รูปที่ 3.2 แสดงวงจรกำเนิดสัญญาณคล็อกความถี่ 20 เมกะเฮิร์ต

3.2.2. วงจรกำเนิดความถี่คล็อกกำหนดอัตราการเข้ารหัสและถอดรหัส ADPCM

สัญญาณคล็อกความถี่ 8 kHzหรือสัญญาณเฟรมซิงโครไนเซชันพัลส์จะเป็นสัญญาณที่ใช้ควบคุมการเคลื่อนของข้อมูลทั้งที่เป็น ADPCM และ PCM โดยอัตราการเข้ารหัสและถอดรหัส ADPCM จะถูกควบคุมโดยความกว้างของเฟรมซิงค์ ซึ่งวัดได้จากจำนวนรอบของ BCLK ดังนั้นวงจรนี้จึงสร้างขึ้นเพื่อให้สามารถเลือกความกว้างของเฟรมซิงโครไนเซชันพัลส์ 8 kHzได้ โดยอัตราการเข้ารหัสและถอดรหัสสามารถเลือกได้ระหว่าง 32 kbps, 24 kbps และ 16 kbps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



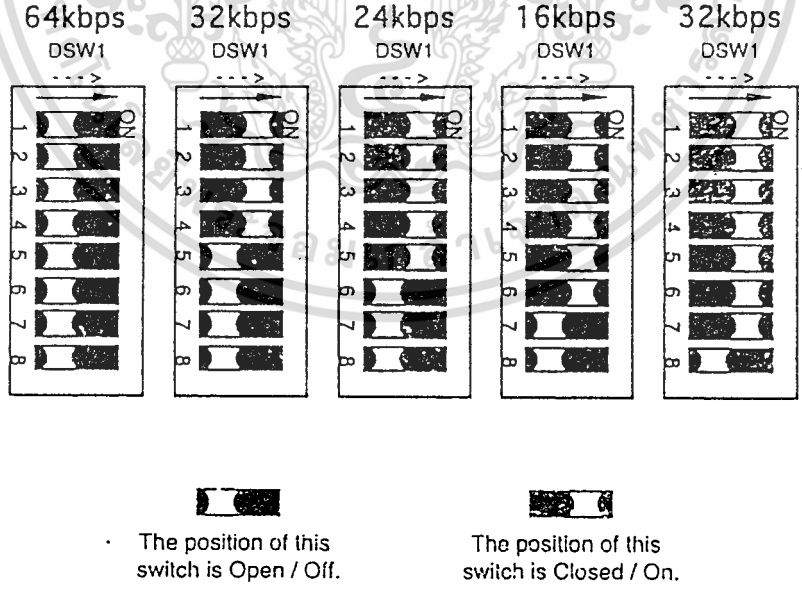
รูปที่ 3.3 แสดงวงจรกำเนิดความถี่คล็อกกำหนดอัตราการเข้ารหัสและถอดรหัส ADPCM

วงจรสร้างขึ้นโดยใช้สัญญาณคล็อกความถี่ 2.048 เมกะเฮิร์ต ที่สร้างขึ้นจากการนำคริสตัลขนาด 4.096 เมกะเฮิร์ตมาต่อกับเกทอินเวอร์เตอร์เพื่อขับสัญญาณคล็อก 4.096 เมกะเฮิร์ต และผ่านวงจรหารสองที่สร้างจาก D ฟลิปฟลอบ มาต่อเข้ากับ MC74HC39 ซึ่งเป็น Dual 4-stage binary ripple counter ซึ่งจะให้เอาท์พุทเป็นความถี่อินพุทหารด้วย 2^n โดย n = 1,2,3,4 จะได้เอาท์พุทเป็น 1.024 MHz , 0.512 MHz , 0.256 MHz ,0.128 MHz และนำเอาท์พุทความถี่ 0.128 MHz มาต่อเข้ากับ MC74HC393 อีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนึ่งจะได้เอาท์พุทความถี่ 0.064 MHzและ 8 kHz ความถี่ที่ได้จาก MC74HC393 ตัวแรกจะนำไปใช้เป็นบิทคล็อก (BCLK) ซึ่งแล้วแต่ว่าจะเลือกใช้ความถี่ใด ส่วนเอาท์พุทความถี่ 8 kHz จะนำมาใช้ในการสร้างเฟรมซิงโครไนเซชันพัลส์ (FSYNC) โดยนำสัญญาณความถี่ 8 kHz นั้นป้อนเข้าขาคล็อกของ MC74HC74 ซึ่งเป็น D ฟลิปฟลอป การทำงานของ D ฟลิปฟลอปตัวแรกนี้ อาศัยสัญญาณควบคุมมาจากขา Q_H ของ MC74HC165 ซึ่งมีอินพุทเป็นข้อมูลแบบขนานจากดิปสวิตช์ ตามอัตราการเข้ารหัสและถอดรหัสที่ต้องการ โดยให้เอาท์พุทเป็นข้อมูลแบบอนุกรมที่ขา Q_H ข้อมูลที่ได้จากขา Q_H จะเป็น ข้อมูลอินพุทของ D ฟลิปฟลอปตัวที่ 2 และอาศัยสัญญาณคล็อกจาก MC74HC393 เอาท์พุทของ D ฟลิปฟลอปตัวที่ 2 จะเป็นสัญญาณเฟรมซิงโครไนเซชันพัลส์ความถี่ขนาด 8 kHz ซึ่งถูกสร้างให้สามารถเลือกอัตราการเข้ารหัสและถอดรหัส ADPCM ได้ตามการกำหนดจากดิปสวิตช์ ให้เป็นอัตราการเข้ารหัสและถอดรหัสแบบ long frame clocking ขนาด 32 ,24 และ 16 kbps และอัตราการเข้ารหัสถอดรหัสแบบ short frame clocking ขนาด 32 kbps โดยสัญญาณความถี่ 8 kHzของอัตราการเข้ารหัสและถอดรหัสขนาดต่างๆจะแตกต่างกันที่ความกว้างของพัลส์ของสัญญาณ ซึ่งจะมีคล็อกเกิดขึ้นเพียงลูกเดียวใน 125 μsec

อัตราการเข้ารหัสและถอดรหัส ADPCM ที่กำหนดได้จากดิปสวิตช์ให้มีขนาดเป็น 32 , 24 , 16 kbps แบบ long frame sync เรากำหนดลักษณะของสวิตช์ได้ตามรูปต่อไปนี้



รูปที่ 3.4 แสดงลักษณะของสวิตช์ที่ใช้ในการกำหนดค่าอัตราเร็ว ADPCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

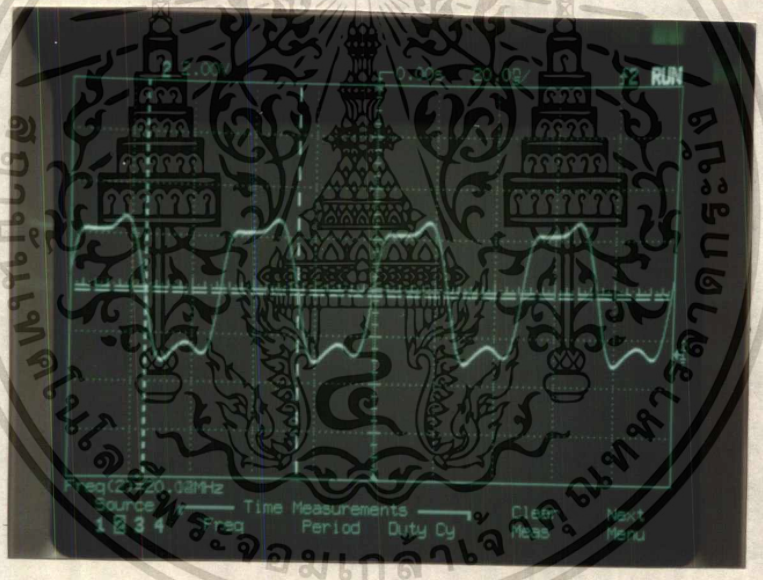
บทที่ 4
การทดลองและผลการทดลอง

จากบทที่ 3 จะเห็นได้ว่าในการเข้ารหัสสัญญาณเสียงพูดเป็นสัญญาณ ADPCM และถอดรหัสกลับนั้นจะประกอบด้วยวงจรส่วนใหญ่คือ วงจรกำเนิดสัญญาณคล็อกและวงจรเข้ารหัส / ถอดรหัส ซึ่งสัญญาณที่ได้จากแต่ละวงจรมีลักษณะดังนี้

4.1 สัญญาณจากวงจรกำเนิดสัญญาณคล็อก

4.1.1 สัญญาณจากวงจรกำเนิดสัญญาณคล็อก 20 MHz

สัญญาณที่ได้จากวงจรนี้จะนำไปใช้เป็นมาสเตอร์คล็อกสำหรับการประมวลผลภายใน MC145532 สัญญาณที่ได้จะมีลักษณะดังนี้

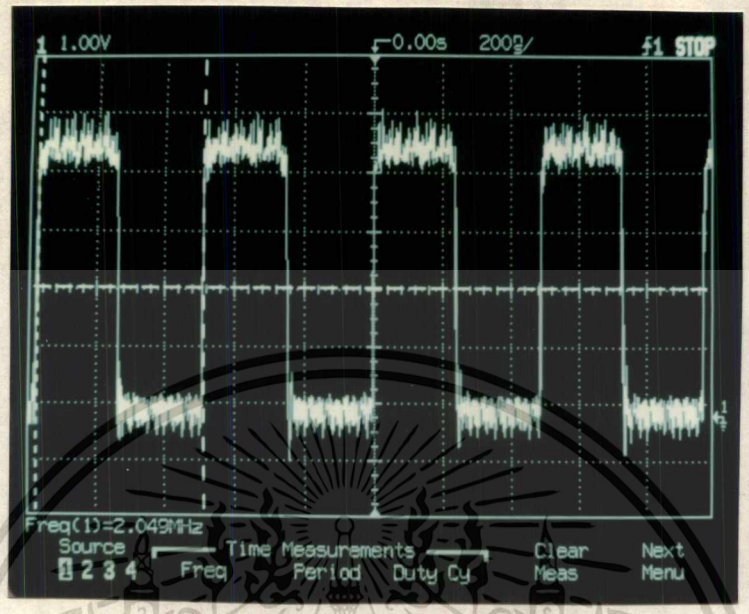


รูปที่ 4.1 แสดงสัญญาณคล็อก 20 MHz

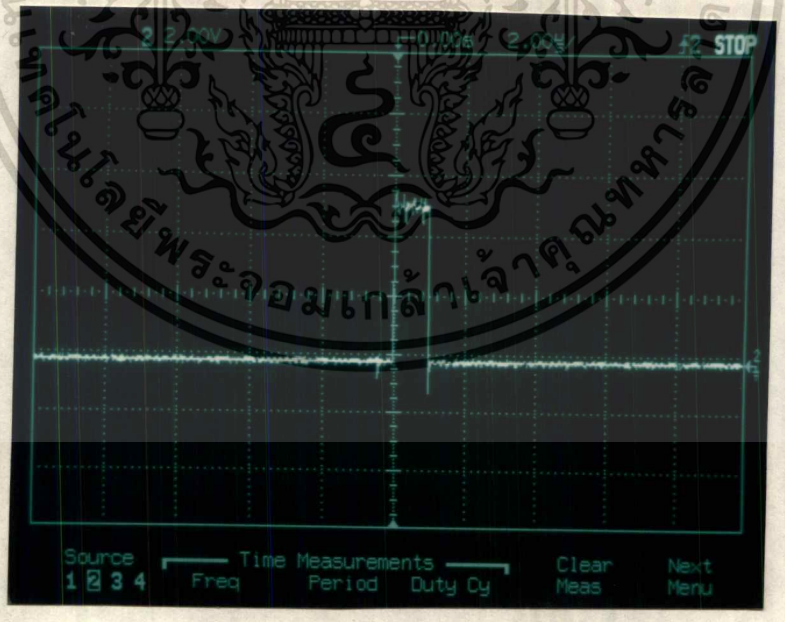
4.1.2 สัญญาณจากวงจรกำเนิดสัญญาณคล็อกกำหนดอัตราการเข้ารหัสและถอดรหัส ADPCM

สัญญาณที่ได้จากวงจรนี้นั้นจะมีหลายลักษณะสัญญาณ sync ขนาด 8 kHz ซึ่งมีความกว้างของพัลส์ต่างกัน เนื่องจากความกว้างของพัลส์ของ FSYNC ขึ้นอยู่กับกำหนดดิปสวิตช์เพื่อให้ได้อัตราเร็วในการส่งตามที่ต้องการและค่าความถี่ของ BCLK ซึ่งเป็นสัญญาณค่าหนึ่งที่นำมาใช้ในการสร้างสัญญาณคล็อก FSYNC ซึ่งลักษณะของสัญญาณพัลส์ BCLK และ FSYNC ที่อัตราเร็วค่าต่างๆ จะแสดงได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

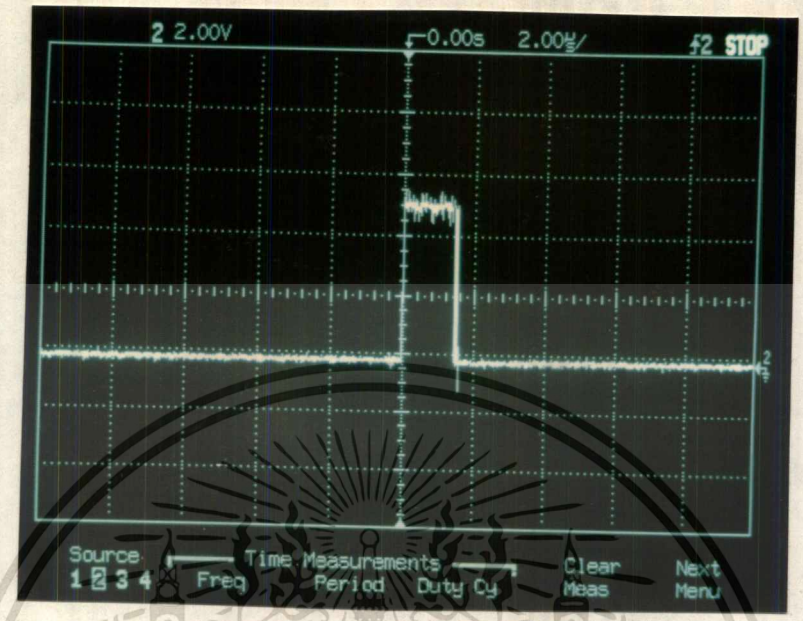


รูปที่ 4.2 แสดงสัญญาณคล็อก BCLK 2.048 MHz



(ก)

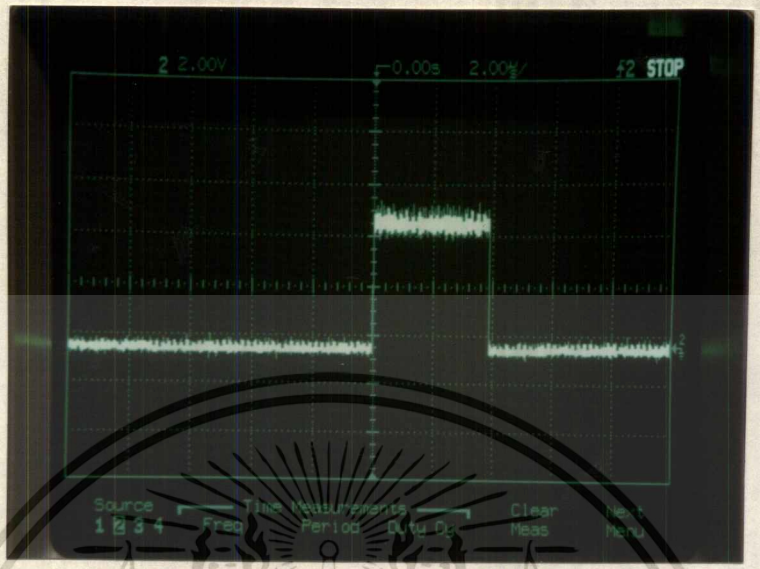
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



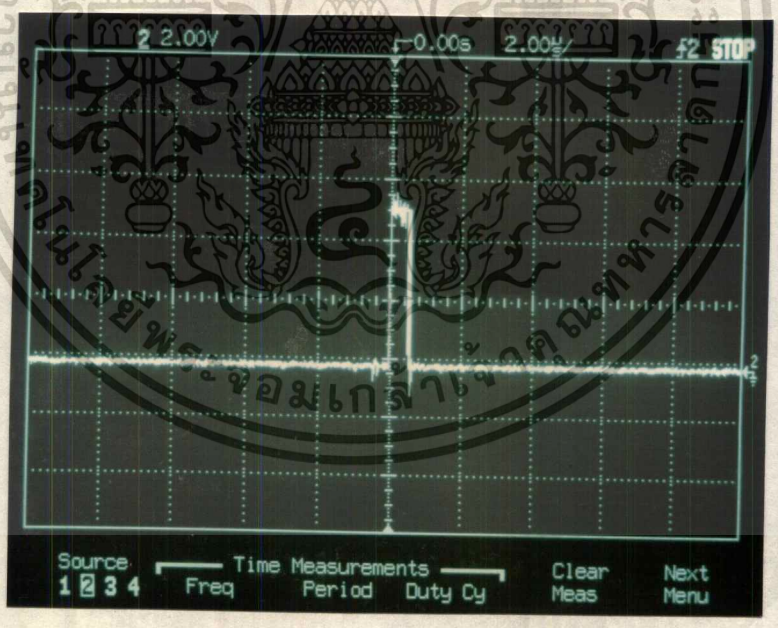
(ข)

(ค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ง)



(จ)

รูปที่ 4.3 แสดงสัญญาณคล็อก FSYNC ได้จากสัญญาณคล็อก BCLK 2.048 MHz

ก) ที่อัตราเร็ว ADPCM 16 kbps ข) ที่อัตราเร็ว ADPCM 24 kbps

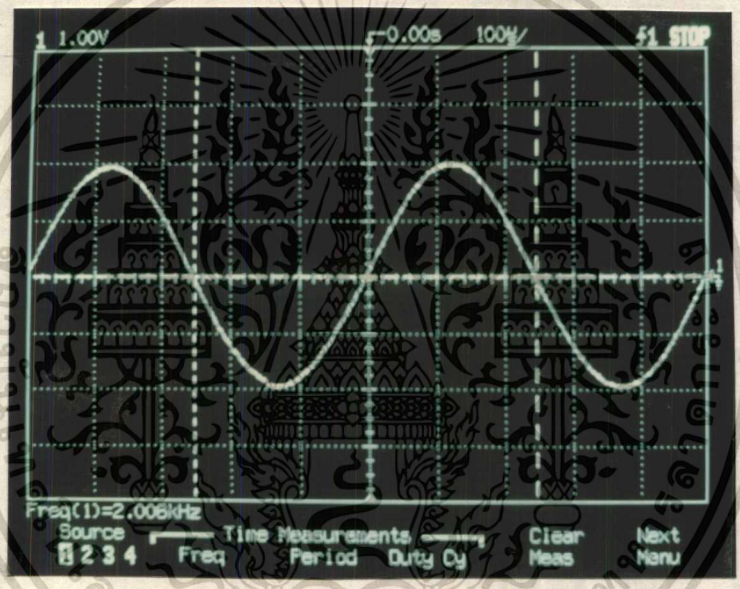
ค) ที่อัตราเร็ว ADPCM 32 kbps ง) ที่อัตราเร็ว ADPCM 64 kbps

จ) ที่อัตรา ADPCM 32 kbps ที่มีการส่งแบบ Short Frame Sync

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

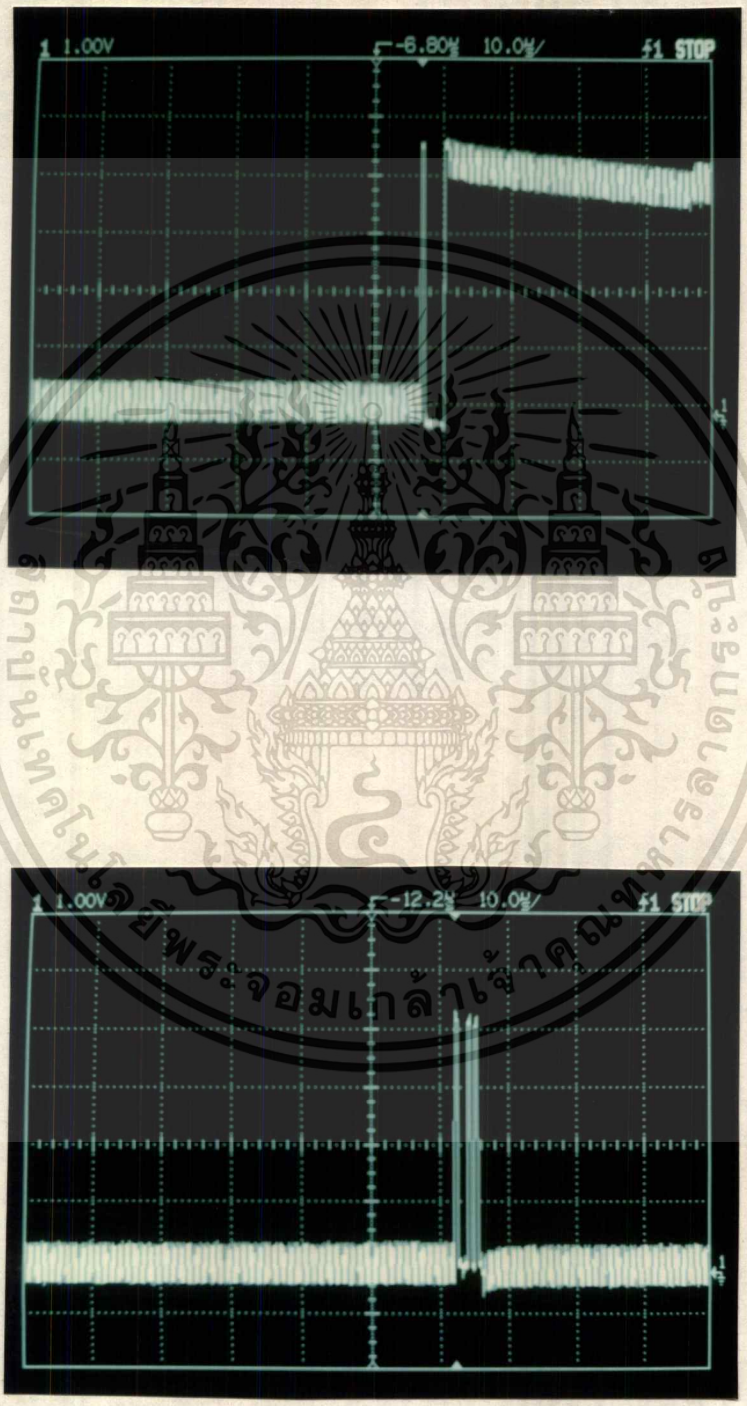
4.2 สัญญาณจากวงจรเข้ารหัสและถอดรหัส ADPCM

ดังที่ได้อธิบายในบทที่ 3 ว่าขั้นตอนการทำงานของวงจรนี้สามารถพิจารณาได้เป็น 4 ขั้นตอนการทำงานย่อย ผลการทดลองที่ได้แสดงผลให้เห็นนี้ได้จากการทดลองป้อนสัญญาณรูปไซน์ความถี่ 2 kHz ซึ่งอยู่ในช่วงความถี่เสียง (200 - 3400 Hz) เข้าสู่ขา TG ของ MC145480 เป็นอินพุทของวงจรและนำสัญญาณ ADPCM เอาท์พุทของวงจรเข้ารหัสที่ได้ที่ขา EDO ของ MC145532 มาเป็นอินพุทของวงจรถอดรหัส โดยป้อนสัญญาณ ADPCM ที่ได้นั้นเข้าสู่ขา DDI ของ MC145532 แล้วทำการวัดสัญญาณเอาท์พุทที่ขา PO- ของ MC145480 เปรียบเทียบกับสัญญาณรูปไซน์ป้อนเป็นอินพุทในตอนแรก



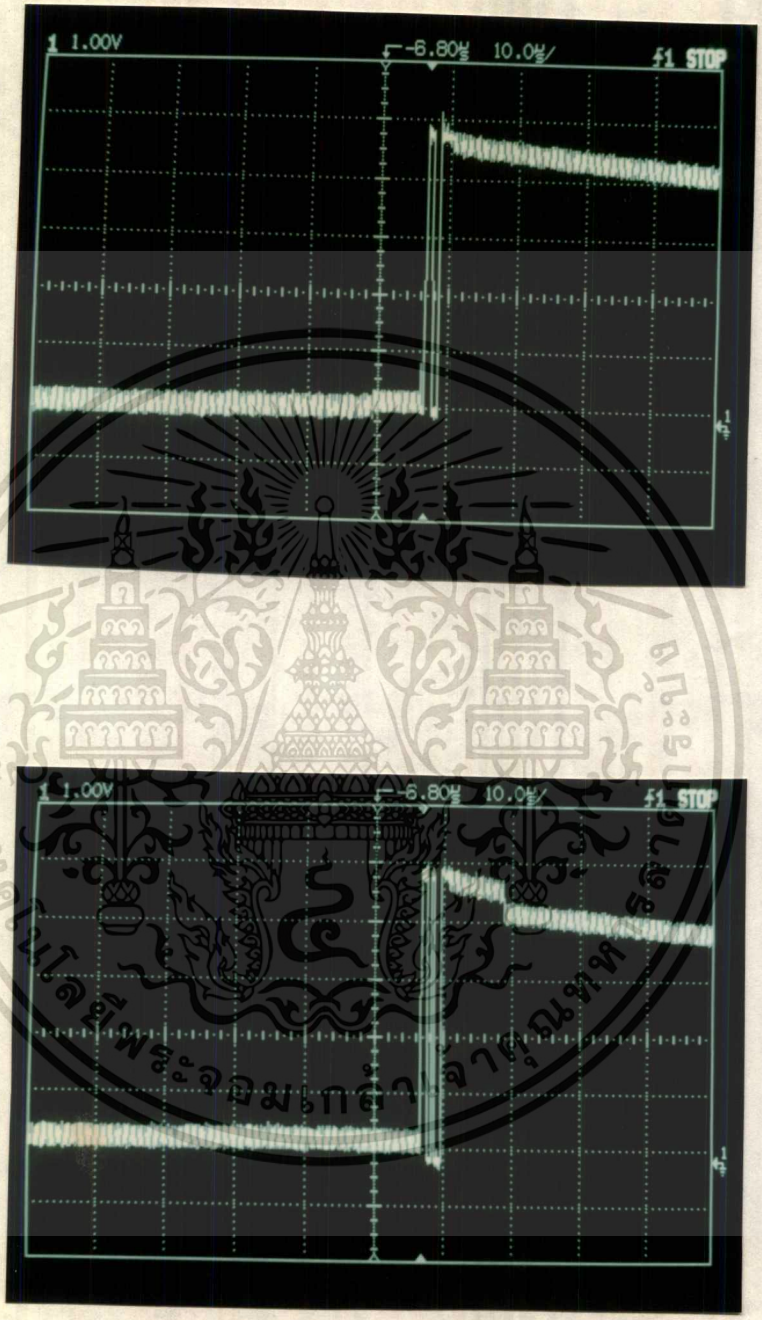
รูปที่ 4.4 แสดงลักษณะสัญญาณรูปไซน์ที่ป้อนเข้าอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 แสดงลักษณะสัญญาณ PCM ที่ได้จาก MC145480 (BCLK = 2.048 MHz)

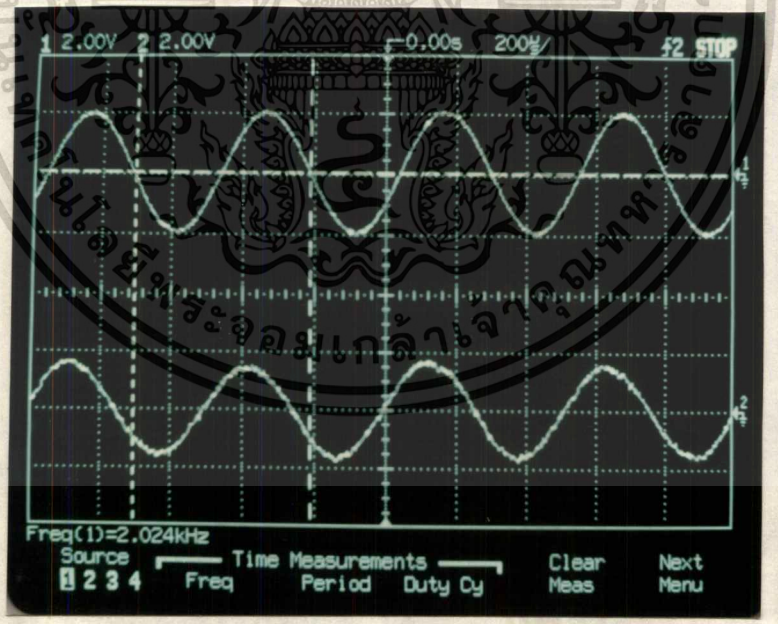
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงลักษณะสัญญาณ ADPCM ที่ได้จาก MC145532 เมื่อเลือกอัตราการส่ง 64 kbps

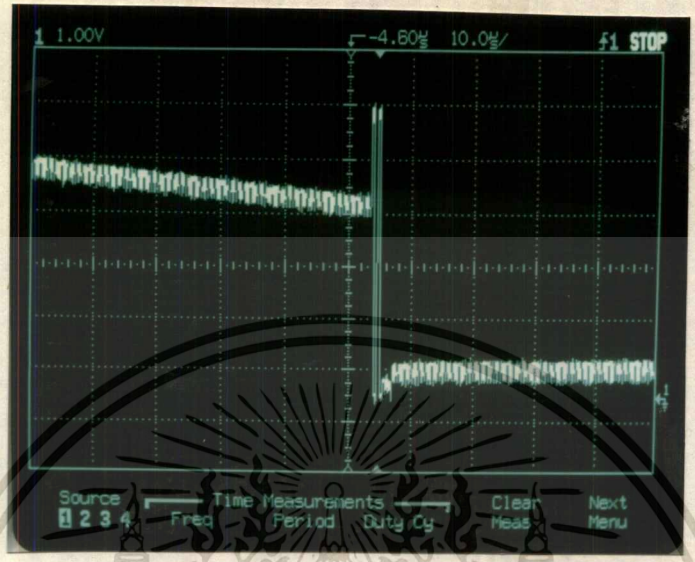
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.7 แสดงลักษณะสัญญาณเอาท์พุทที่ผ่านการถอดรหัสเรียบร้อยแล้ว

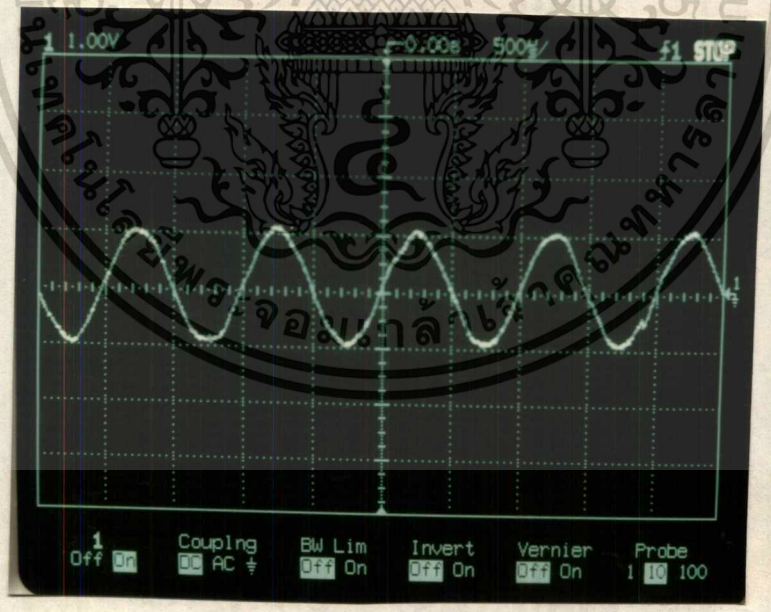


รูปที่ 4.8 แสดงสัญญาณอินพุทเปรียบเทียบกับสัญญาณเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

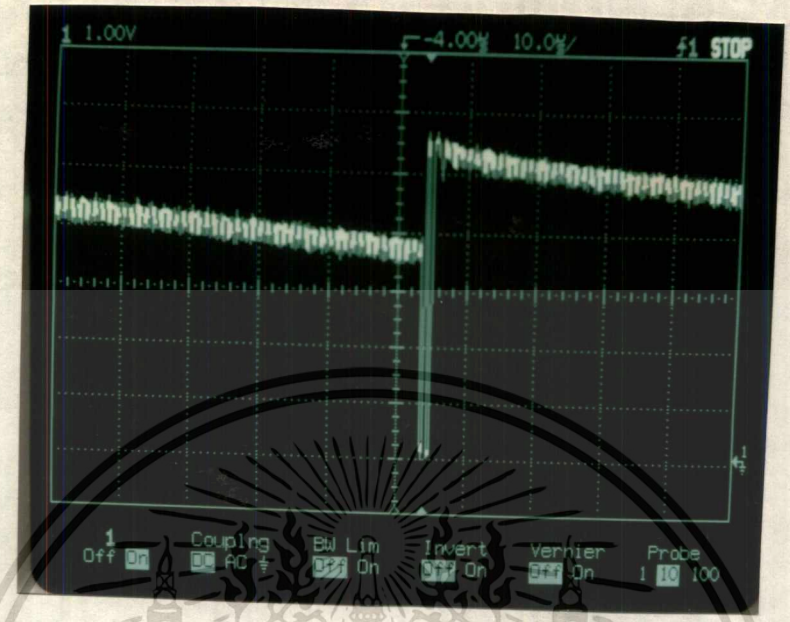


รูปที่ 4.9 แสดงลักษณะสัญญาณ ADPCM ที่ได้จาก MC145532 เมื่อเลือกอัตราการส่ง 32 kbps

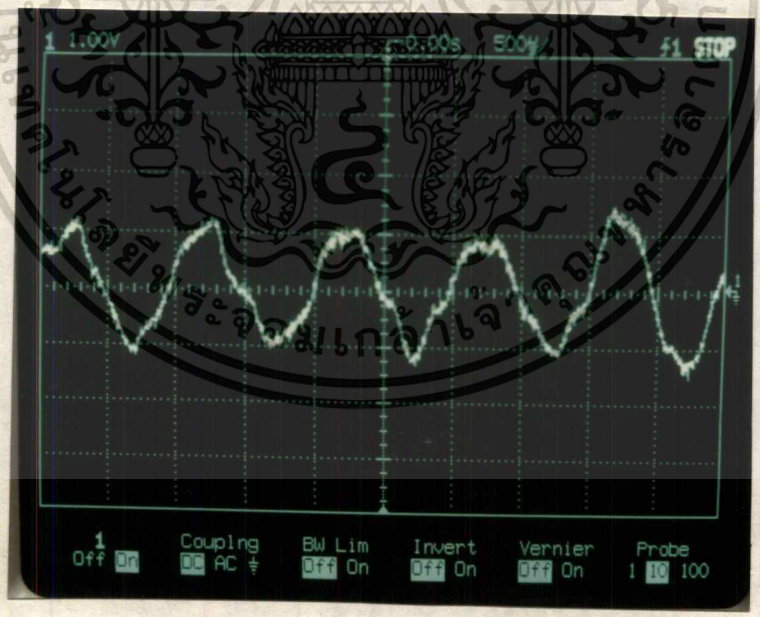


รูปที่ 4.10 แสดงลักษณะสัญญาณเอาท์พุทที่ผ่านการถอดรหัส ADPCM 32 kbps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

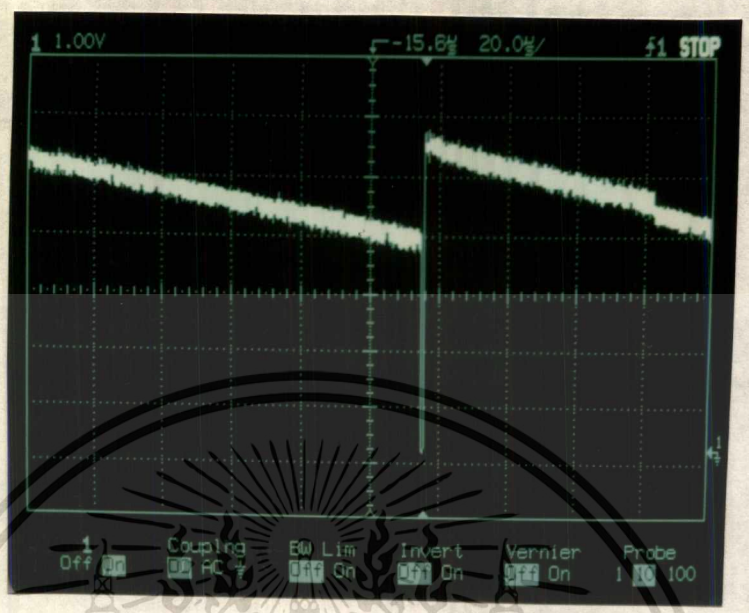


รูปที่ 4.11 แสดงลักษณะสัญญาณ ADPCM ที่ได้จาก MC145532 เมื่อเลือกอัตราการส่ง 24 kbps

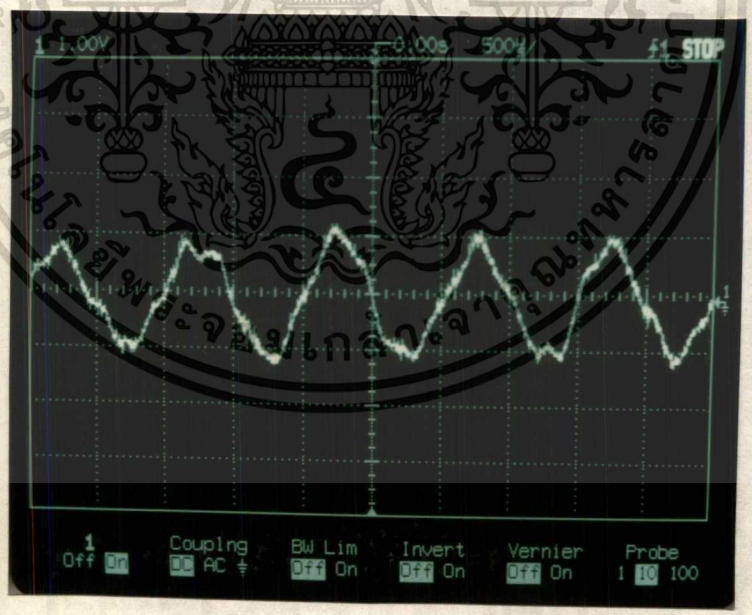


รูปที่ 4.12 แสดงลักษณะสัญญาณเอาท์พุทที่ผ่านการถอดรหัส ADPCM 24 kbps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 แสดงลักษณะสัญญาณ ADPCM ที่ได้จาก MC145532 เมื่อเลือกอัตราการส่ง 16 kbps



รูปที่ 4.14 แสดงลักษณะสัญญาณเอาท์พุทที่ผ่านการถอดรหัส ADPCM 16 kbps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การประยุกต์การใช้งานของระบบ ADPCM

จากหลักการทำงานของระบบ ADPCM ซึ่งมีการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลนั้น เราสามารถนำหลักการดังกล่าวมาประยุกต์ใช้ในการป้องกันการดักฟังสัญญาณเสียงต่าง ๆ ได้ โดยทำการแปลงสัญญาณเสียงเหล่านั้นให้เป็นสัญญาณดิจิตอลก่อนทำการส่ง แล้วส่งสัญญาณที่เป็นดิจิตอลนั้นไปในสายส่ง ซึ่งทั้งทางด้านส่งและด้านรับจะต้องมีเครื่องเข้ารหัสและถอดรหัสจึงจะสามารถสื่อสารกันได้ ตัวอย่างการใช้งานของดังกล่าวเช่น การป้องกันการดักฟังทางคู่สายโทรศัพท์ ซึ่งจะกล่าวถึงวงจรและหลักการทำงานดังต่อไปนี้

<u>เครื่องป้องกันการดักฟังสัญญาณเสียงในคู่สายโทรศัพท์</u>

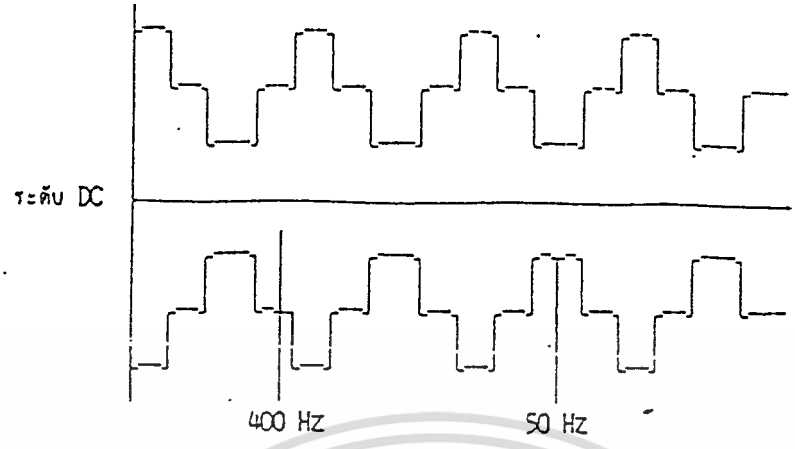
เนื่องจากในการใช้งานโทรศัพท์จะต้องอาศัยสัญญาณจากชุมสายโทรศัพท์เข้ามาเกี่ยวข้อง โดยมีลักษณะสัญญาณโทรศัพท์มาตรฐานดังต่อไปนี้

สัญญาณโทรศัพท์ที่เกิดขึ้นกับเครื่องโทรศัพท์ในสภาวะต่างกันจะมีลักษณะของสัญญาณแตกต่างกันและเพื่อให้โทรศัพท์ทั่วไปสามารถใช้งานร่วมกันได้จึงมีการจัดมาตรฐานขึ้น ให้โทรศัพท์ทั่วโลกใช้มาตรฐานเดียวกันหมด อาจเรียกได้ว่า SUBSCRIBER SIGNAL คือเป็นสัญญาณที่ชุมสายโทรศัพท์จะแจ้งให้สมาชิก ทราบว่า ควรปฏิบัติอย่างไรเมื่อได้ยินสัญญาณนั้น

โดยทั่วไปแบ่งลักษณะสัญญาณได้ดังนี้

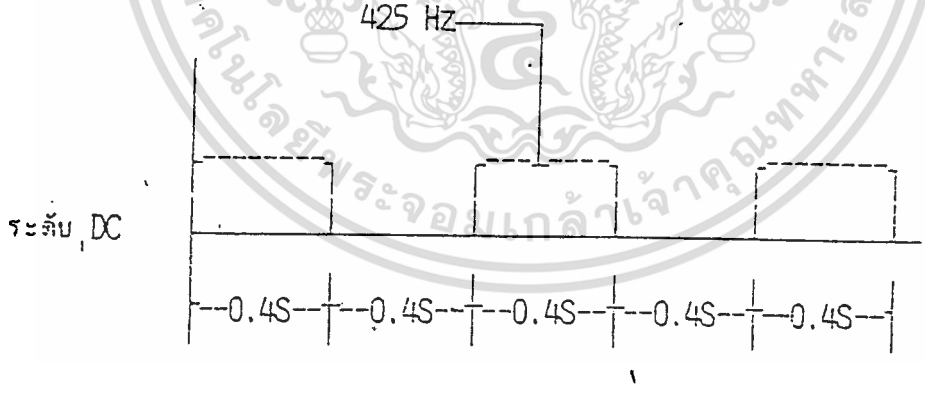
1.สัญญาณให้หมุน (DT:Dial Tone) หรือสัญญาณแมวกรน CCITTกำหนดให้ลักษณะสัญญาณเป็นเสียงต่อเนื่องกัน(continuous) ความถี่ 400 ถึง 450 Hz ผสมกับความถี่ 50 Hz แบบ AM จะเป็นการบอกให้ผู้เรียกทราบว่าขณะนี้ชุมสายโทรศัพท์นั้น สามารถพร้อมที่จะรับรู้การหมุนเลขหมายเพื่อเรียกออกได้แล้ว สามารถเรียกสายติดต่อออกได้ หลังจากที่ยกหูแล้วชุมสายจะส่ง dial tone ให้ภายในเวลาน้อยกว่า 1 วินาที และชุมสายจะส่ง dial tone ให้เป็นเวลา 5 วินาที ถ้าเกินเวลานี้คู่สายโทรศัพท์จะถูกล็อค ลักษณะของสัญญาณมีดังรูปที่ 5.1 เพื่อปลดรีจิสเตอร์และรหัสทางด้านรับไปเพื่อใช้งานกับคู่สายรายอื่นต่อไป เพราะในแต่ละชุมสายรีจิสเตอร์และรหัสทางด้านรับมีจำนวนจำกัด ขณะนี้เราจึงไม่สามารถเรียกออกได้ ถ้าจะเรียกออกต้องวางหูและยกหู ก็จะได้ dial tone ใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 แสดงสัญญาณ Dial Tone

2.สัญญาณไม่ว่าง (BT:Busy Tone) ลักษณะของสัญญาณจะดัง-หยุด-ดัง-หยุด เป็นช่วงๆ เพื่อบอกให้ทราบว่า เราไม่สามารถติดต่อกับปลายทาง ที่เราหมุนเลขหมายนั้นได้ อาจเป็นเพราะว่ากำลังสนทนาอยู่ หรือเกิดขัดข้องในการติดต่อ เราต้องวางหูก่อนแล้วยกใหม่เมื่อได้ยิน Dial Tone จึงค่อยลองโทรออกใหม่ ลักษณะของสัญญาณคือเป็นความถี่ 400 Hz (เหมือนกับ Dial Tone) แต่ดัง 0.4 วินาที หยุด 0.4 วินาที ดังแสดงในรูปที่ 5.2

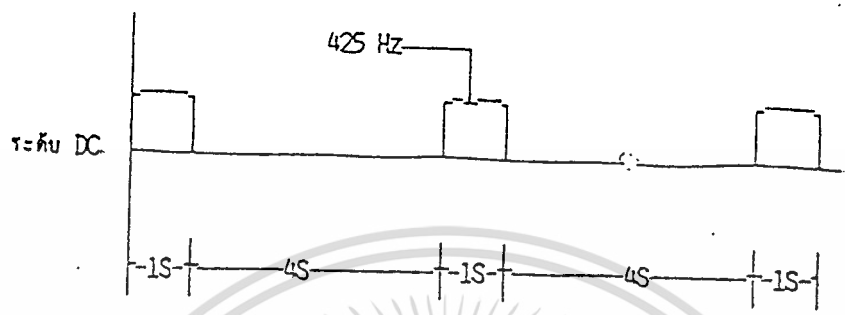


รูปที่ 5.2 แสดงสัญญาณ Busy Tone

3.สัญญาณเรียกกลับ (RBT:Ringback Tone) เมื่อทำการเรียกออกแล้ว ชุมสายได้ต่อสายให้เป็นผลสำเร็จ ชุมสายจะส่งสัญญาณไปเรียกทางผู้รับ (called) คือทำให้กริ่งโทรศัพท์ของผู้รับดังขึ้นพร้อมๆ กันนั้น ทางด้านที่เรียกออก จะมีสัญญาณเรียกกลับจังหวะพร้อมๆกับสัญญาณกระดิ่ง โดยเสียงนี้จะ

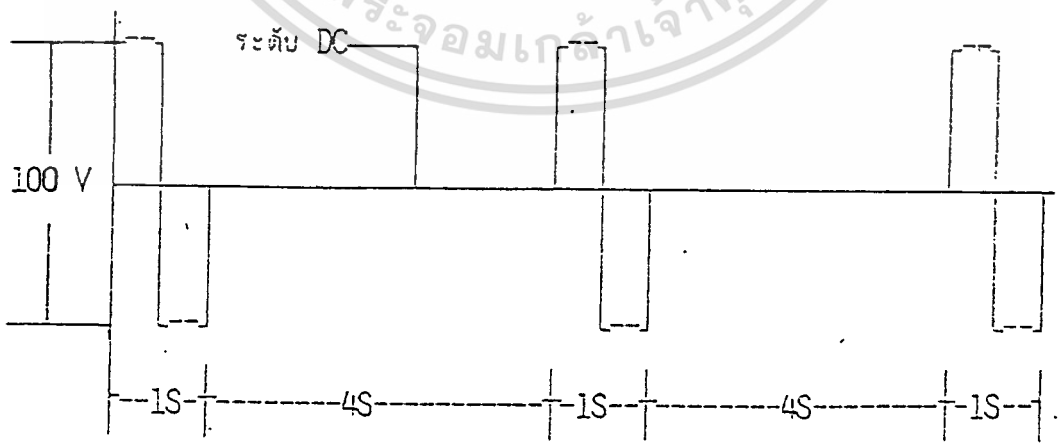
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีความถี่ 400 Hz ดังนาน 1 วินาที หยุดเงียบ 4 วินาที และชุมสายจะตัดเครื่องเป็น Busy ถ้า ภายใน 1.5 วินาทีไม่มีคนรับ



รูปที่ 5.3 แสดงสัญญาณ Ringback Tone

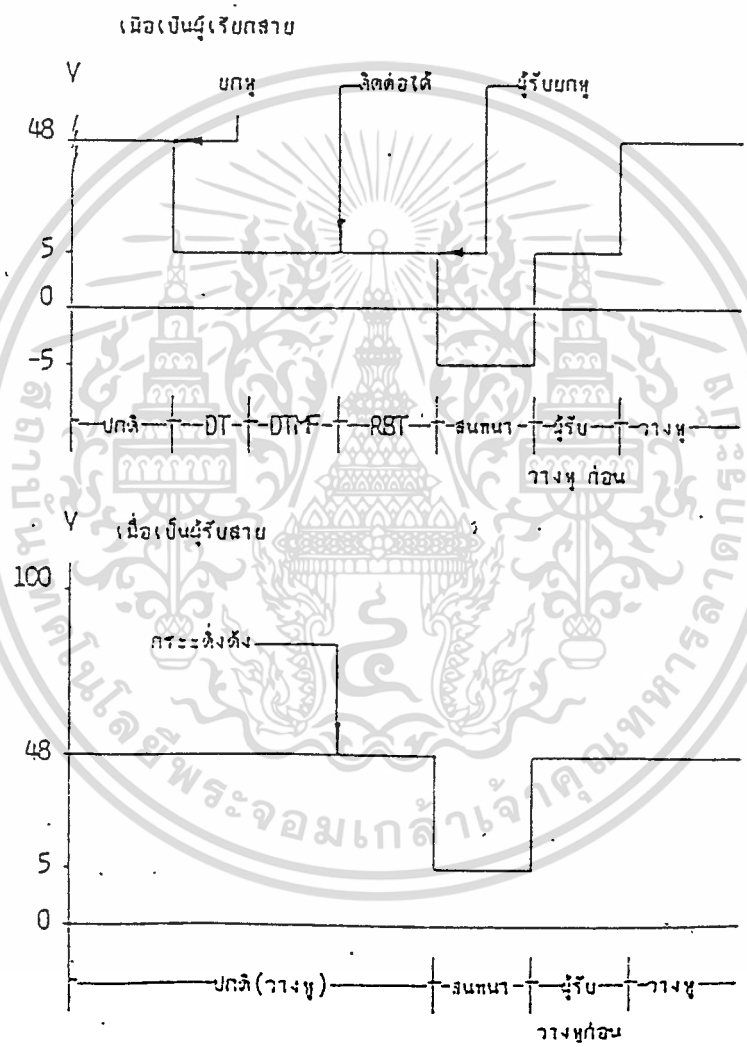
4.สัญญาณกระดิ่ง (RGT:Ringing Tone) เป็นสัญญาณไฟฟ้า ที่ขับให้กระดิ่งในเครื่องโทรศัพท์ดัง เพื่อให้ทราบว่ามีคนโทรศัพท์มาหา เนื่องจากเป็นสัญญาณใช้ขับให้กระดิ่งดัง จึงต้องใช้แรงดันสูงพอ สมควรคือ ในช่วง 90-150 V_{pp} มักใช้ 100 V ความถี่ประมาณ 20 Hz (มักใช้ 25 Hz หรือ 16 Hz)จังหวะการดัง-หยุดจะพร้อมกับ Ringback Tone ของผู้ที่โทรศัพท์เข้ามา คือดัง 1 วินาที หยุดเงียบ 4 วินาที สามารถพ่วงเครื่องโทรศัพท์ให้ Ringing ทำงานได้ไม่เกิน 3 ตัว เมื่อรวมค่า C series bell 3 ตัว แล้วต้องไม่เกิน 2.6 ไมโครฟารัด ดังนั้นค่า C ในแต่ละเครื่องต้องมีค่าไม่เกิน 1 ไมโครฟารัด จะมีกริ๊งสั้นๆ (Ring trip) 150 mS ก่อนที่จะให้กระดิ่งทำงาน



รูปที่ 5.4 แสดงสัญญาณ Ringing Tone

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อรู้ลักษณะของสัญญาณของระบบโทรศัพท์แล้ว จำเป็นต้องรู้ขนาดของแรงดันบนสายโทรศัพท์ในทุกๆสภาวะด้วย แล้วจะสามารถนำมาตรวจจับ ใช้ประโยชน์ดัดแปลงประยุกต์ใช้งานได้อย่างกว้างขวาง ปัจจุบันมีผู้นำไปใช้ประโยชน์ได้อย่างมากมาย นอกจากทำ PABX แล้ว ยังมีอื่นๆอีกเช่น ระบบการเตือนภัยทางโทรศัพท์ ระบบแจ้งผลสอบทางโทรศัพท์ ระบบสั่งงานเครื่องใช้ไฟฟ้า และฟังเสียงที่บ้านผ่านคู่สายโทรศัพท์



รูปที่ 5.5 แสดงแรงดันบนคู่สายขณะสัญญาณต่างๆ

แรงดันต่างๆ เมื่อวัดคร่อมคู่สาย ปกติมีค่าดังต่อไปนี้

- เมื่อวางหูโทรศัพท์ จะมีแรงดัน DC ประมาณ 48 V
- เมื่อยกหูโทรศัพท์ จะมีแรงดัน DC ประมาณ 5-10 V ขณะสัญญาณ DT,BT,RBT
  90-150 V ขณะสัญญาณ RGT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- MAX LOOP RESISTANCE = ความต้านทานเครื่องโทรศัพท์ + ความต้านทานสายส่ง มีค่าไม่เกิน 1800 โอห์ม

-ถ้าโทรศัพท์ติดต่อไม่ได้ สัญญาณเป็น BT

-ถ้าโทรศัพท์ติดต่อได้ แต่ไม่มีผู้รับสาย เรายังถือหูอยู่ประมาณ 90 วินาที สัญญาณ RBT จะเงียบ เป็น BT มาแทน

-กรณีที่เราเรียกสายออก เมื่อการสนทนาสิ้นสุดลง ถ้าผู้รับวางหูก่อน ในบางชุมสายจะให้สัญญาณ เป็น BT หลังจากผู้รับวางหูลงไปแล้ว 10 นาที แต่ในบางชุมสายจะให้เงียบไปเฉยๆ

จากสัญญาณโทรศัพท์มาตรฐานและแรงดันบนคู่สายโทรศัพท์ดังกล่าวนั้น เครื่องป้องกันการดักฟังสัญญาณเสียงทางคู่สายโทรศัพท์ดังกล่าวจึงจำเป็นต้องมีวงจรต่าง ๆ เพื่อตรวจสอบสัญญาณเหล่านั้น

เครื่องป้องกันการดักฟังสัญญาณเสียงทางคู่สายโทรศัพท์จะประกอบด้วยส่วนต่าง ๆดังต่อไปนี้

1. วงจรตรวจสอบสัญญาณโทรศัพท์ ได้แก่

1.1. วงจรตรวจสอบสัญญาณ DTMF เป็นส่วนที่ทำหน้าที่ตรวจสอบว่ามีการส่งสัญญาณ DTMFหรือไม่ ถ้ามีการส่งสัญญาณนี้จากเครื่องรับโทรศัพท์ไปยังชุมสายให้แสดงผลเป็น “1” และถ้าไม่มีให้แสดงผลเป็น “0”

1.2. วงจรตรวจสอบสัญญาณ DIAL TONE, RINGBACK TONE และ BUSY TONE เมื่อมีสัญญาณเหล่านี้ส่งจากชุมสายมายังเครื่องรับโทรศัพท์ จะแสดงผลเป็น “1” และ เมื่อไม่มีจะแสดงผลเป็น “0”

1.3. วงจรตรวจสอบการยกหูและวางหูโทรศัพท์ อาศัยหลักการของการเปลี่ยนแปลงของแรงดันในสายโทรศัพท์เมื่อมีการยกหูหรือวางหู โดยถ้ามีการยกหูโทรศัพท์จะแสดงผลเป็น “1” และถ้าวางหูโทรศัพท์จะมีค่าเป็น “0”

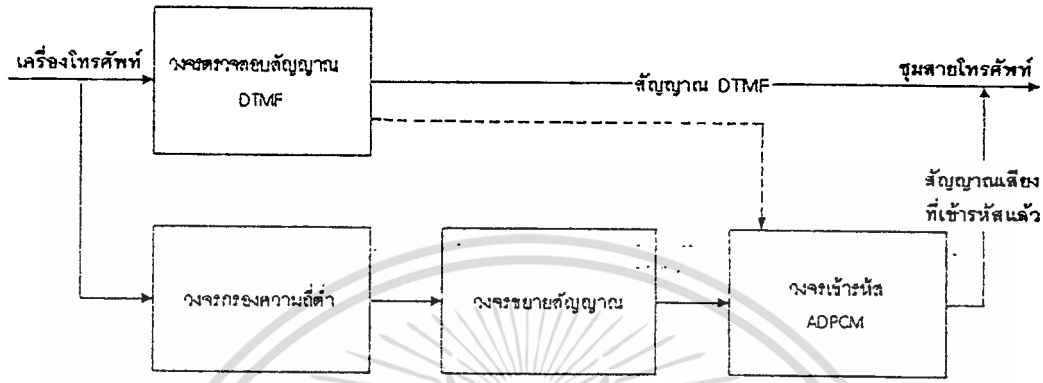
ค่าที่ได้จากวงจรเหล่านี้นั้นจะใช้ในการควบคุมการสวิตช์ตัดสัญญาณให้เข้าสู่สายโทรศัพท์เลยหรือให้สัญญาณผ่านเข้าสู่ของวงจรการแปลงสัญญาณ รวมทั้งใช้เป็นสัญญาณควบคุมการทำงานของส่วนวงจรแปลงสัญญาณด้วย

2. วงจรการเข้ารหัสและถอดรหัสสัญญาณ ADPCM ซึ่งมีรายละเอียดดังที่ได้อธิบายแล้วในบทที่ 3 แต่เนื่องจากในการนำวงจรเข้ารหัสและถอดรหัสมาใช้ในการป้องกันการดักฟังทางโทรศัพท์นั้น อินพุทของวงจรเข้ารหัสจะเป็นสัญญาณเสียงพูดที่มาจากเครื่องรับโทรศัพท์ที่อาจจะมีขนาดเล็ก ดังนั้นจึงต้องมีการปรับปรุงวงจรบางส่วนโดยเฉพาะส่วนที่เป็นอินพุทของวงจร คือ อาจต้องมีการเพิ่มส่วนที่เป็นวงจรขยายสัญญาณเข้าไปด้วย

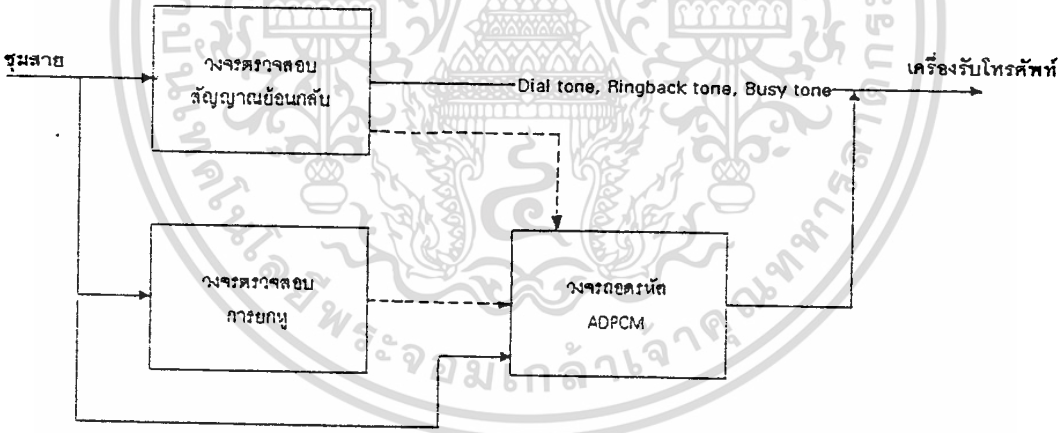
สามารถพิจารณาการทำงานของเครื่องป้องกันการดักฟังสัญญาณเสียงทางคู่สายโทรศัพท์อย่างง่ายๆ ได้โดยพิจารณาว่ารูปแบบของทิศทางการส่งสัญญาณนั้นจะแบ่งได้ 2 รูปแบบ คือ ในทิศทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของการส่งสัญญาณจากเครื่องรับโทรศัพท์ไปยังชุมสาย และในทิศทางของการส่งสัญญาณจากชุมสายไปยังเครื่องรับโทรศัพท์ ดังแสดงได้ดังนี้



รูปที่ 5.6 แสดงการทำงานเมื่อมีการส่งสัญญาณจากเครื่องโทรศัพท์ไปยังชุมสาย



รูปที่ 5.7 แสดงการทำงานเมื่อมีการส่งสัญญาณจากชุมสายไปยังเครื่องรับโทรศัพท์

สัญญาณออกจากเครื่องรับโทรศัพท์ คือ สัญญาณ DTMF และสัญญาณเสียงพูด จากรูปที่ 3.1 จะเห็นว่าสัญญาณที่ออกจากเครื่องรับโทรศัพท์นั้นจะผ่านเข้าสู่วงจรตรวจสอบสัญญาณ DTMF เพื่อทำการตรวจสอบว่าสัญญาณที่ส่งออกมาขนาดนั้นเป็นสัญญาณ DTMF หรือไม่ ถ้าใช่ก็จะใช้สัญญาณเอาท์พุทของวงจรไปควบคุมให้สวิตช์ทำการต่อสัญญาณเข้าสู่สายโทรศัพท์โดยตรง แต่ถ้าไม่ใช่ซึ่งหมายถึงว่าเป็นสัญญาณเสียงพูดก็จะทำการส่งสัญญาณเอาท์พุทไปยกเลิกสวิตช์เชื่อมต่อกับคู่สาย พร้อมกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

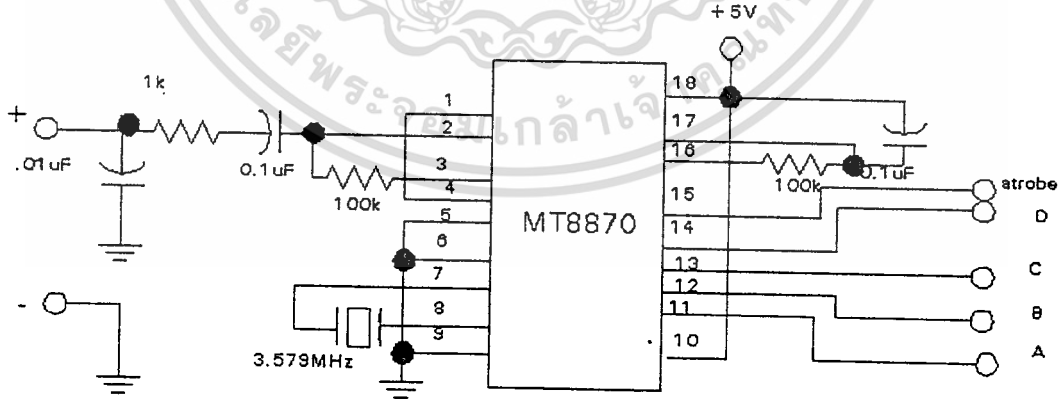
ควบคุมให้วงจรเข้ารหัสทำงาน มีผลให้สัญญาณเสียงพูดจะต้องผ่านเข้าสู่วงจรเข้ารหัสก่อนที่ถูกส่งออกไปยังชุมสายโทรศัพท์

สัญญาณที่ส่งมายังเครื่องรับโทรศัพท์ได้แก่ สัญญาณ Dial tone, Ringback tone, Busy tone และสัญญาณเสียงพูดที่ผ่านการเข้ารหัสมาแล้ว การทำงานในส่วนนี้คือ เมื่อตรวจพบว่าเป็นสัญญาณโทรศัพท์ก็จะใช้เอาท์พุทของวงจรตรวจสอบไปทำการควบคุมให้ทำการเชื่อมต่อสัญญาณเข้ากับคู่สายโทรศัพท์โดยตรง แต่ถ้าไม่ใช่สัญญาณเอาท์พุทของวงจรก็จะทำใช้ในการควบคุมให้วงจรถอดรหัสทำการแปลงสัญญาณกลับเป็นสัญญาณเสียงพูดในรูปสัญญาณอนาล็อกตามปกติก่อนที่จะส่งไปยังเครื่องรับโทรศัพท์

<u>การทำงานของแต่ละวงจร</u>

5.1. วงจรตรวจสอบสัญญาณ DTMF

วงจรนี้ใช้ MT8870 เป็นตัวตรวจจับสัญญาณ DTMF โดยทำงานร่วมกับคริสตัลที่ให้กำเนิดความถี่ขนาด 3.579 MHz เมื่อ MT8870 ได้รับสัญญาณ DTMF แล้วก็จะทำการแปลงสัญญาณ DTMF เป็นสัญญาณในรูปของเลขฐานสองส่งเป็นผลแสดงว่า ค่าสัญญาณ DTMF ที่รับเข้ามานั้นแทนค่าหมายเลขใด แต่ในส่วนที่ใช้ในวงจรนี้คือ ค่าเอาท์พุทที่ส่งออกมาที่ขา STD (ขา 15) ซึ่งแสดงผลว่าขณะนั้นมีการส่งสัญญาณ DTMF โดยเมื่อสามารถตรวจพบสัญญาณ DTMF ก็จะให้เอาท์พุทมีค่าเป็น "1"

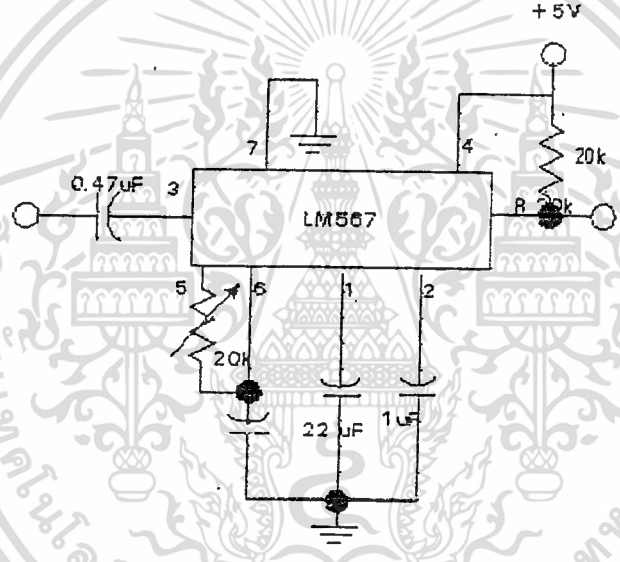


รูปที่ 5.8 แสดงวงจรตรวจสอบสัญญาณ DTMF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.วงจรตรวจสอบสัญญาณ Dial tone, Ringback tone และBusy tone

เนื่องจากสัญญาณทั้งสามนั้นมีความถี่ใกล้เคียงกัน จึงใช้หลักการเฟสล็อกลูป (Phase Lock Loop) มาใช้ในการตรวจจับความถี่ โดยสำหรับในวงจรนี้คาปาซิเตอร์ที่ต่อกับขา 1 และขา 2 ทำหน้าที่เป็นลูปฟิลเตอร์ ส่วนค่าความต้านทานที่เปลี่ยนค่าได้และคาปาซิเตอร์ที่ต่อกับขา 5 และขา 6 ทำหน้าที่เป็นตัวกำหนดความถี่ค่ากลางที่ต้องการจะตรวจจับ โดยที่ขา 3 ซึ่งมีสัญญาณเข้ามา จะต่อกับคาปาซิเตอร์เพื่อทำหน้าที่กรองสัญญาณ ไฟกระแสตรงออกก่อนที่จะเข้า LM567 และจะได้สัญญาณเอาท์พุทออกที่ขา 8



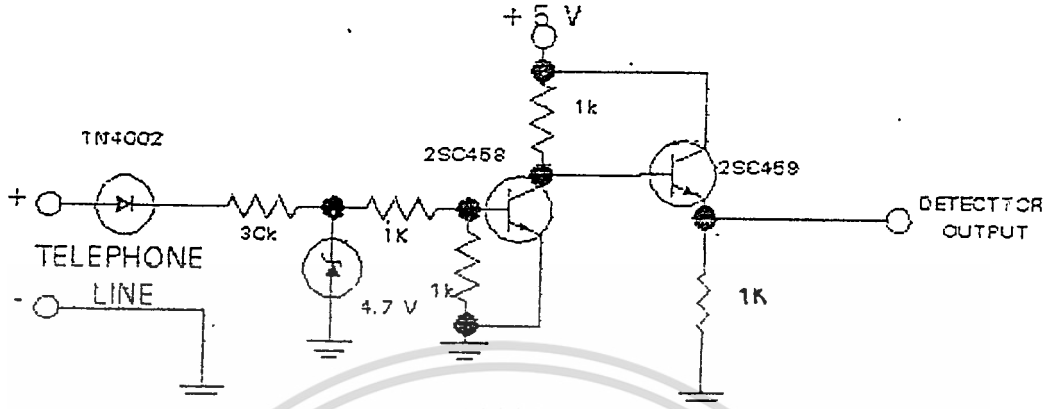
รูปที่ 5.9 แสดงวงจรตรวจสอบสัญญาณ Dial tone , Ringback tone และ Busy tone

5.3.วงจรตรวจสอบการยกหูและวางหูโทรศัพท์

ในช่วงที่มีการวางหูนั้น ค่าแรงดันในคู่สายโทรศัพท์จะมีค่าสูง ZD_1 ทำหน้าที่ควบคุมระดับแรงดัน ในขณะที่ R_2,R_3 ทำหน้าที่ลดระดับแรงดันลงมา แต่อยู่ในระดับที่สามารถทำให้ทรานซิสเตอร์ Q_1 สามารถทำงานได้ เมื่อ Q_1 ทำงาน จะทำให้สัญญาณไหลลงกราวน์ ไม่ไปเข้าที่ทรานซิสเตอร์ Q_2 ดังนั้นจะเกิดการไบอัสกลับ ทำให้ไม่มีกระแสออกเอาท์พุท

ส่วนในช่วงที่มียกหูนั้น ค่าแรงดันคร่อมคู่สายจะตกลง ทำให้แรงดันที่ ZD_1 ต่ำมาก ไม่เพียงพอที่ Q_1 จะทำงานได้ มีผลให้ Q_2 ทำงานได้ สัญญาณไฟจาก Vcc จะสามารถไหลผ่าน Q_2 มีผลให้สัญญาณเอาท์พุทได้ค่าลอจิกเป็น " 1 "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 แสดงวงจรตรวจสอบการยกหูและวางหูโทรศัพท์

5.4.วงจรเข้ารหัสแบบ ADPCM

การทำงานของวงจรนี้นั้น แสดงได้ดังรูปที่ 3.1 สัญญาณเสียงจะผ่านวงจรกรองความถี่ต่ำ และผ่านวงจรขยายเสียงภายนอก จากนั้นสัญญาณจะถูกส่งต่อเข้า MC145480 ที่ขา 17 และเข้าสู่วงจรขยายภายในซึ่งมีการควบคุมค่าอัตราการขยายจากค่าความต้านทานร่วมกับคาปาซิเตอร์จากภายนอกที่ขา 17 และขา 18 จากนั้นสัญญาณจะผ่านวงจรกรองความถี่คัดเฉพาะสัญญาณที่อยู่ย่านความถี่เสียงเท่านั้น เพื่อนำไปทำการแปลงเป็นสัญญาณดิจิตอลแบบ PCM ได้เป็นเอาท์พุทออกที่ขา 13 ของ MC145480

เมื่อได้สัญญาณแบบ PCM แล้วผ่านสัญญาณเข้าสู่ขา 12 ของ MC145532 เพื่อทำการแปลงข้อมูลขนาด 8 บิทของระบบ PCM ให้เป็นข้อมูลขนาด 4 บิทโดยอาศัยหลักการของ ADPCM ส่งออกที่ขา15 ของ MC145532 ต่อเข้าคู่สายโทรศัพท์

จะเห็นว่า เมื่อนำ ADPCM มาใช้จะสามารถทำการลดอัตราการส่งของข้อมูลจาก 64 กิโลบิทต่อวินาทีเป็น 32 กิโลบิทต่อวินาที ซึ่งสามารถลดแบนด์วิดธ์ที่ต้องใช้ในการส่งข้อมูลลงได้

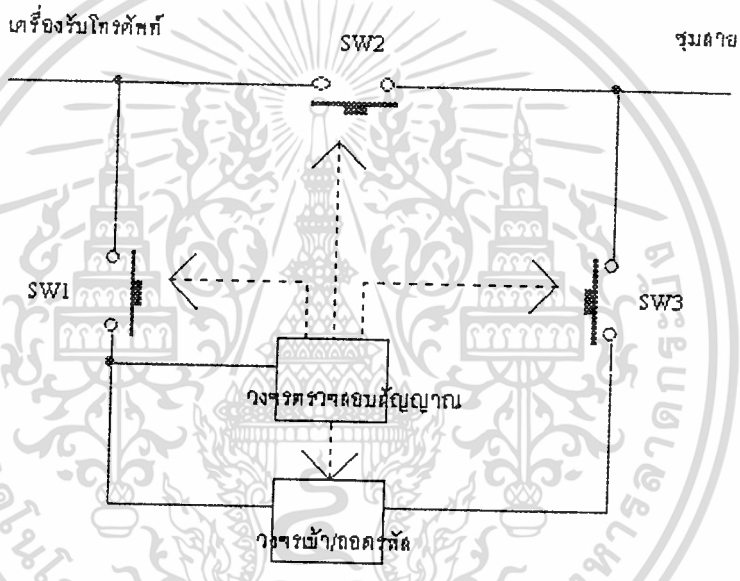
5.5.วงจรถอดรหัสแบบ ADPCM

ในการถอดรหัส จะมีการทำงานดังแสดงได้ดังรูปที่ 3.1 คือ สัญญาณจะเข้าสู่วงจรถอดรหัสที่ขา 5 ของ MC145532 ด้วยความเร็ว 32 กิโลบิทต่อวินาที จากนั้นสัญญาณจะถูกแปลงกลับเป็นสัญญาณ PCM ที่มีความเร็ว 64 กิโลบิทต่อวินาทีออกที่ขา 2 แล้วทำการผ่านสัญญาณเข้าสู่ขา 8 ของ MC145480 เพื่อทำการแปลงสัญญาณให้กลับเป็นสัญญาณอนาล็อกตามเดิม พร้อมกับผ่านสัญญาณที่แปลงแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าสู่วงจรกรองความถี่ เพื่อให้มีเฉพาะความถี่ย่านความถี่เสียงเท่านั้นผ่านออกสู่คู่สายโทรศัพท์ที่ต่อเข้ากับเครื่องรับโทรศัพท์ ซึ่งก่อนที่จะต่อเข้ากับคู่สายโทรศัพท์อาจจะต้องมีการต่อเข้ากับวงจรขยายก่อนถ้าสัญญาณนั้นมีขนาดเล็กมากเกินไป

ดังที่ได้อธิบายในตอนต้นแล้วว่า สัญญาณที่ได้จากวงจรตรวจสอบสัญญาณโทรศัพท์นั้นจะนำมาใช้ในการควบคุมการตัดต่อสวิตช์ที่ทำหน้าที่เชื่อมต่อระหว่างวงจรเข้ารหัสและวงจรถอดรหัสสัญญาณ ADPCM กับคู่สายโทรศัพท์ ถ้าลักษณะการเชื่อมต่อของสวิตช์เป็นดังรูปที่ 5.11 จะสามารถอธิบายการทำงานของสวิตช์และลักษณะการใช้สัญญาณจากวงจรตรวจสอบสัญญาณโทรศัพท์มาควบคุมการปิดเปิดของสวิตช์และควบคุมการทำงานของวงจรเข้ารหัสและวงจรถอดรหัสสัญญาณ ADPCM ได้ดังนี้



รูปที่ 5.11 แสดงลักษณะการเชื่อมต่อสวิตช์เข้ากับคู่สายโทรศัพท์

ในช่วงที่ไม่มีการใช้งานโทรศัพท์(ไม่มีการยกหู) สวิตช์ 1 และสวิตช์ 3 จะอยู่ในสภาวะเปิดเพื่อป้องกันไฟแรงดันสูงไหลเข้าสู่วงจรตรวจสอบสัญญาณและวงจรเข้า/ถอดรหัส ในขณะที่สวิตช์ 2 จะปิดเพื่อเตรียมพร้อมสำหรับการรับส่งสัญญาณบนคู่สาย เมื่อมีการยกหูโทรศัพท์สวิตช์ 2 ก็ยังคงปิดอยู่เพื่อทำการรับส่งสัญญาณโทรศัพท์ระหว่างเครื่องรับโทรศัพท์กับชุมสายบนคู่สาย และสวิตช์ 1 ก็จะมาอยู่ในสภาวะปิดเพื่อทำการตรวจสอบว่าสัญญาณที่ปรากฏบนคู่สายนั้นเป็นสัญญาณโทรศัพท์หรือไม่ ในขณะที่สวิตช์ 3 ยังคงเปิดเช่นเดิม และเมื่อวงจรตรวจสอบสัญญาณตรวจพบว่าสัญญาณที่อยู่บนคู่สายมิใช่สัญญาณโทรศัพท์ ซึ่งหมายถึงสัญญาณเสียงพูดหรือสัญญาณที่ผ่านการเข้ารหัสมาแล้วก็ได้ ก็จะทำการเปิดสวิตช์ 2 และปิดสวิตช์ 3 เพื่อเป็นการบังคับให้สัญญาณบนคู่สายนั้นไหลเข้าสู่วงจรเข้ารหัสและถอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รหัสสัญญาณ ADPCM เพื่อทำการเข้ารหัสหรือถอดรหัสตามชนิดของสัญญาณที่เข้ามา และเมื่อเสร็จสิ้นการสนทนา มีการวางหูโทรศัพท์สวิตช์ทั้งหมดจะกลับเข้าสู่สภาวะเริ่มต้นเช่นเดิม

จากข้างต้น จะพิจารณาได้ว่า

- ในขณะที่มีการยกหูโทรศัพท์ สวิตช์ 1 จะปิด

- ในขณะที่มีการยกหูโทรศัพท์และสัญญาณบนคู่สายโทรศัพท์ไม่ได้เป็นสัญญาณโทรศัพท์ (เป็นสัญญาณเสียงพูดหรือสัญญาณที่ผ่านการเข้ารหัสมาแล้ว) สวิตช์ 2 จะเปิด สวิตช์ 3 จะปิดและวงจรเข้ารหัสและถอดรหัสสัญญาณ ADPCM จะทำงาน

จากการทำงานของวงจรตรวจสอบสัญญาณต่างๆ และจากการที่ใช้ 4066 ซึ่งเป็นอนาล็อกสวิตช์ที่ยอมให้มีการส่งสัญญาณผ่าน (สวิตช์ปิด) เมื่อได้รับค่าลอจิก 1 ดังนั้นจะพิจารณาได้ว่าสัญญาณที่ใช้ควบคุมสวิตช์ 1 คือ สัญญาณจากวงจรตรวจสอบการยกหู สัญญาณที่ใช้ควบคุมสวิตช์ 3 และการทำงานของวงจรเข้ารหัสและถอดรหัสสัญญาณ ADPCM คือ ค่าลอจิกที่ได้จากการ AND ของสัญญาณจากวงจรตรวจสอบการยกหูกับค่าลอจิก NOR ที่ได้จากวงจรตรวจสอบสัญญาณ dial tone, ringback tone และ busy tone ส่วนสวิตช์ 2 นั้นสัญญาณที่ใช้ควบคุมก็คือค่าลอจิก NOT ของสัญญาณที่ใช้ควบคุมสวิตช์ 3

นอกจากนี้แล้วเพื่อที่เป็นการทำให้แน่นอนว่า สัญญาณที่ผ่านการเข้ารหัสแล้วสามารถส่งผ่านไปในสายโทรศัพท์ได้ อาจจะมีการเพิ่มเติมส่วนของการมอดูเลทเข้าไปหลังจากที่มีการเข้ารหัสสัญญาณเสียงให้เป็นสัญญาณ ADPCM ก่อนที่จะมีการส่งออกไปยังชุมสายสำหรับทางด้านส่ง โดยจะเป็นการมอดูเลทให้สัญญาณ ADPCM ที่ได้มาอยู่ในช่วงความถี่เสียง และส่วนของการดีมอดูเลทในทางด้านรับ เพื่อทำการแยกเอาสัญญาณ ADPCM มาทำการถอดรหัสให้ได้สัญญาณเสียงที่ทำการส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทสรุปและบทวิจารณ์

จากการศึกษาระบบการเข้ารหัสและถอดรหัสแบบ ADPCM เพื่อนำมาประยุกต์ใช้ในการเข้ารหัสและถอดรหัสสัญญาณเสียงพูดและสัญญาณข้อมูลเพื่อส่งไปในสายส่ง การส่งสัญญาณดิจิตอลที่เป็น ADPCM จะมีอัตราการส่งข้อมูลน้อยกว่า PCM โดยทั่วไป กล่าวคือในระบบ ADPCM มีอัตราการส่งข้อมูล 32 kbps. ในขณะที่ระบบ PCM มีอัตราการส่งข้อมูล 64 kbps. ทำให้แต่ละช่องสัญญาณสามารถส่งข้อมูลได้มากกว่าในช่วงเวลาที่เท่ากันซึ่งหมายถึงใช้แบนด์วิดธ์น้อยลงครึ่งหนึ่ง นอกจากนี้ยังทำให้สัญญาณมีความไวต่อสัญญาณรบกวนน้อยลงซึ่งเป็นการลดความเสียหายที่เกิดกับระบบการส่งสัญญาณ จากวงจรที่ได้ทำการสร้างขึ้นเพื่อใช้ประกอบกับการศึกษาระบบการเข้ารหัสและถอดรหัสสัญญาณเสียงพูดและสัญญาณข้อมูลแบบ ADPCM โดยใช้ไอซีที่ทำหน้าที่เป็น CODEC หรืออุปกรณ์เข้ารหัสและถอดรหัส โดยผลที่ได้จากการทดลองแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบ ADPCM สามารถนำไปใช้ในระบบการส่งสัญญาณที่ต้องการความจุของสายมากขึ้นได้ โดยไม่ลดทอนคุณภาพของสัญญาณที่ส่ง

เนื่องจากอุปกรณ์ที่ใช้ในโครงงานนี้มีเพียงชุดเดียว จึงไม่สามารถทำการสร้างเป็นระบบที่ประกอบด้วยเครื่องส่งและเครื่องรับที่สมบูรณ์ได้ และมีผลให้ไม่สามารถตรวจสอบการทำงานโดยใช้สัญญาณเสียงได้ ดังนั้นเพื่อที่จะทำการเปรียบเทียบลักษณะสัญญาณอินพุทของวงจรเข้ารหัสกับสัญญาณเอาท์พุทของวงจรถอดรหัส ในการทดลองนี้จึงทำการทดลองโดยใช้สัญญาณรูปไซน์ที่อยู่ในช่วงความถี่เสียงเป็นอินพุทของวงจรเข้ารหัสแล้วทำการป้อนสัญญาณ ADPCM ที่ได้จากการเข้ารหัสกลับเข้าเป็นอินพุทของส่วนที่ทำการถอดรหัสเพื่อดูผลที่ได้จากการถอดรหัส ซึ่งผลการทดลองที่ได้นั้นเมื่อเปรียบเทียบกับสัญญาณเดิมแล้วจะเห็นว่าได้สัญญาณเอาท์พุทที่ใกล้เคียงกับสัญญาณอินพุทมาก และเมื่อทำการทดลองโดยทำการเลือกการเข้ารหัสที่อัตราเร็วต่างๆ จะได้ว่าสัญญาณเอาท์พุทที่ได้จากการถอดรหัสสัญญาณ ADPCM ที่อัตราเร็ว 32 kbps จะมีคุณภาพดีที่สุด และจะคุณภาพจะลดลงเมื่อเลือกใช้อัตราเร็ว 24 kbps และ 16 kbps ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ITU - T reccommendation for ADPCM algorithms.

ITU - T G.721 was the first ADPCM reccommendation to use 4 bits per samples,the process reduce the digital rate from 64 Kbit/s to a fix rate of 32 kbit/s.This algorithm had two drawbacks:voice band data rates higher than 4.8 kbit/s couldn't be transmitted and the low speed voice band data rates (< 1.2 Kbit/s with FSK modulation) were affected by high BER.

ITU - T G.723 introduced the variable bit rate concept to cope with the voice band data limitation.The bit rate can be 3/4/5 bits per sample,3 or 4 bit for speech (24 and 32 kbit/s respectively) and 5 or 6 bit (32 and 40 kbit/s) for voice band data up to 9.6 kbit/s.Moreover the 3 bit per sample can also be used for overload channels carrying voice in DCME.

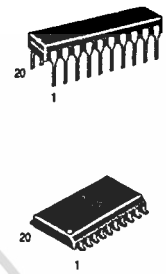
ITU - T G.726 as the last enhancement to ITU - T G.723, reccommends the use of 2 and 3 bits per sample (16 and 24 kbit/s) for overload channels carrying voice in DCME.The overload channels are created by the 'bit robbing' method.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145480

Advance Information

5 V PCM Codec-Filter



P SUFFIX
PLASTIC DIP
CASE 738

DW SUFFIX
SOG
CASE 751D

The MC145480 is a general purpose per channel PCM Codec-Filter with pin selectable Mu-Law or A-Law companding, and is offered in 20-pin DIP and SOG packages. This device performs the voice digitization and reconstruction as well as the band limiting and smoothing required for PCM systems. This device is designed to operate in both synchronous and asynchronous applications and contains an on-chip precision reference voltage.

This device has an input operational amplifier whose output is the input to the encoder section. The encoder section immediately low-pass filters the analog signal with an active R-C filter to eliminate very high frequency noise from being modulated down to the passband by the switched capacitor filter. From the active R-C filter, the analog signal is converted to a differential signal. From this point, all analog signal processing is done differentially. This allows processing of an analog signal that is twice the amplitude allowed by a single-ended design, which reduces the significance of noise to both the inverted and non-inverted signal paths. Another advantage of this differential design is that noise injected via the power supplies is a common-mode signal that is cancelled when the inverted and non- inverted signals are recombined. This dramatically improves the power supply rejection ratio.

After the differential converter, a differential switched capacitor filter band-passes the analog signal from 200 Hz to 3400 Hz before the signal is digitized by the differential compressing A/D converter.

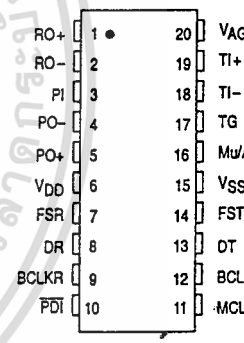
The decoder accepts PCM data and expands it using a differential D/A converter. The output of the D/A is low-pass filtered at 3400 Hz and sinX/X compensated by a differential switched capacitor filter. The signal is then filtered by an active R-C filter to eliminate the out of band energy of the switched capacitor filter.

The MC145480 PCM codec-filter accepts a variety of clock formats, including Short Frame Sync, Long Frame Sync, IDL, and GCI timing environments. This device also maintains compatibility with Motorola's family of Telecommunication products, including the MC14LC5472 U-Interface Transceiver, MC145474/75 S/T Interface Transceiver, MC145532 ADPCM Transcoder, MC145422/26 UDLT-1, MC145421/25 UDLT-2, and MC3419/MC33120 SLIC.

The MC145480 PCM codec-filter utilizes CMOS due to its reliable low-power performance and proven capability for complex analog/digital VLSI functions.

- Single 5 V Power Supply
- Typical Power Dissipation of 23 mW, Power Down of 0.01 mW
- Fully Differential Analog Circuit Design for Lowest Noise
- Transmit Band-Pass and Receive Low-Pass Filters on Chip
- Active R-C Pre-Filtering and Post-Filtering
- Mu-Law and A-Law Companding by Pin Selection
- On-Chip Precision Reference Voltage (1.575 V)
- Push-Pull 300 Ω Power Drivers with External Gain Adjust
- MC145536EVK is the evaluation kit that also includes the MC145532 ADPCM Transcoder

PIN ASSIGNMENT



This document contains information on a new product. Specifications and information herein are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

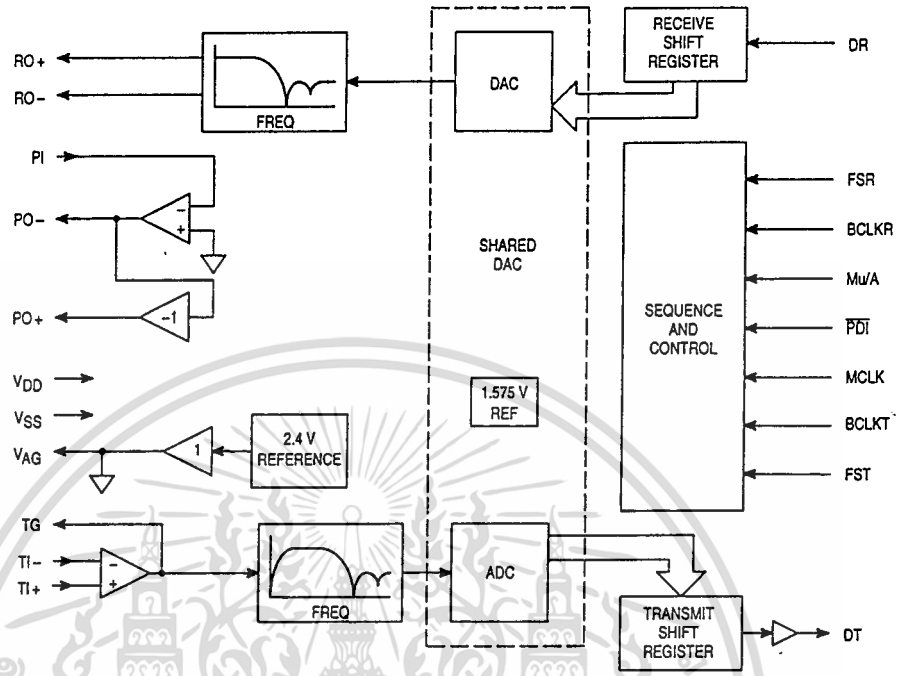


Figure 1. MC145480 PCM Codec-Filter Block Diagram

DEVICE DESCRIPTION

A PCM codec-filter is used for digitizing and reconstructing the human voice. These devices are used primarily for the telephone network to facilitate voice switching and transmission. Once the voice is digitized, it may be switched by digital switching methods or transmitted long distance (T1, microwave, satellites, etc.) without degradation. The name codec is an acronym from "COder" for the analog-to-digital converter (ADC) used to digitize voice, and "DECoder" for the digital-to-analog converter (DAC) used for reconstructing voice. A codec is a single device that does both the ADC and DAC conversions.

To digitize intelligible voice requires a signal-to-distortion ratio of about 30 dB over a dynamic range of about 40 dB. This may be accomplished with a linear 13-bit ADC and DAC, but will far exceed the required signal-to-distortion ratio at larger amplitudes than 40 dB below the peak amplitude. This excess performance is at the expense of data per sample. Two methods of data reduction are implemented by compressing the 13-bit linear scheme to companded pseudo-logarithmic 8-bit schemes. The two companding schemes are: Mu-255 Law, primarily in North America and Japan, and A-Law, primarily used in Europe. These companding schemes are accepted world wide. These companding schemes follow a segmented or "piecewise-linear" curve formatted as sign bit, three chord bits, and four step bits. For a given chord, all sixteen of the steps have the same voltage weighting. As the voltage of the analog input increases, the four step bits increment and carry to the three chord bits which increment. When the chord bits increment, the step bits double their voltage weighting. This results in an effective resolution of six bits (sign + chord + four step bits) across a 42 dB dynamic range (seven chords above 0, by 6 dB per chord).

In a sampling environment, Nyquist theory says that to properly sample a continuous signal, it must be sampled at a frequency higher than twice the signal's highest frequency component. Voice contains spectral energy above 3 kHz, but its absence is not detrimental to intelligibility. To reduce the digital data rate, which is proportional to the sampling rate, a sample rate of 8 kHz was adopted, consistent with a bandwidth of 3 kHz. This sampling requires a low-pass filter to limit the high frequency energy above 3 kHz from distorting the inband signal. The telephone line is also subject to 50/60 Hz power line coupling, which must be attenuated from the signal by a highpass filter before the analog-to-digital converter.

The digital-to-analog conversion process reconstructs a staircase version of the desired inband signal, which has spectral images of the inband signal modulated about the sample frequency and its harmonics. These spectral images are called aliasing components, which need to be attenuated to obtain the desired signal. The low-pass filter used to attenuate these aliasing components is typically called a reconstruction or smoothing filter.

The MC145480 PCM codec-filter has the codec, both presampling and reconstruction filters, a precision voltage refer- ence on chip, and requires no external components.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 6)
This is the most positive power supply and is typically connected to +5 V. This pin should be decoupled to V_{SS} with a 0.1 µF ceramic capacitor.

V_{SS}
Negative Power Supply (Pin 15)
This is the most negative power supply and is typically connected to 0 V.

V_{AG}
Analog Ground Output (Pin 20)
This output pin provides a mid-supply analog ground regulated to 2.4 V. This pin should be decoupled to V_{SS} with a 0.01 µF to 0.1 µF ceramic capacitor. All analog signal processing within this device is referenced to this pin. If the audio signals to be processed are referenced to V_{SS}, then special precautions must be utilized to avoid noise between V_{SS} and the V_{AG} pin. Refer to the applications information in this document for more information. The V_{AG} pin becomes high impedance when this device is in the powered down mode.

CONTROL

Mu/A
Mu/A Law Select (Pin 16)
This pin controls the compression for the encoder and the expansion for the decoder. Mu-Law companding is selected when this pin is connected to V_{DD} and A-Law companding is selected when this pin is connected to V_{SS}.

$\overline{PDI}$
Power Down Input (Pin 10)
This pin puts the device into a low power dissipation mode when a logic 0 is applied. When this device is powered down, all of the clocks are gated off and all bias currents are turned off, which causes RO+, RO–, PO–, PO+, TG, V_{AG}, and DT to become high impedance. The device will operate normally when a logic 1 is applied to this pin. The device goes through a power-up sequence when this pin is taken to a logic 1 state, which prevents the DT PCM output from going low impedance for at least two FST cycles. The filters must settle out before the DT PCM output or the RO+ or RO– receive analog outputs will represent a valid analog signal.

ANALOG INTERFACE

TI+
Transmit Analog Input (Non-Inverting) (Pin 19)
This is the non-inverting input of the transmit input gain setting operational amplifier. This pin accommodates a differential to single ended circuit for the input gain setting op amp. This allows input signals that are referenced to the V_{SS} pin to be level shifted to the V_{AG} pin with minimum noise. This pin may be connected to the V_{AG} pin for an inverting amplifier configuration if the input signal is already referenced to the V_{AG} pin. The common mode range of the TI+ and TI– pins is from 1.2 V, to V_{DD} minus 2 V. This is an FET gate input. Connecting both TI+ and TI– pins to V_{DD} will place this amplifier's output (TG) into a high-impedance state, thus allowing the TG pin to serve as a high-impedance input to the transmit filter.

TI–
Transmit Analog Input (Inverting) (Pin 18)
This is the inverting input of the transmit gain setting operational amplifier. Gain setting resistors are usually connected from this pin to TG and from this pin to the analog signal source. The common mode range of the TI+ and TI– pins is from 1.2 V to V_{DD} –2 V. This is an FET gate input. Connecting both TI+ and TI– pins to V_{DD} will place this amplifier's output (TG) into a high-impedance state, thus allowing the TG pin to serve as a high-impedance input to the transmit filter.

TG
Transmit Gain (Pin 17)
This is the output of the transmit gain setting operational amplifier and the input to the transmit band-pass filter. This op amp is capable of driving a 2 kΩ load. Connecting both TI+ and TI– pins to V_{DD} will place this amplifier's output (TG) into a high-impedance state, thus allowing the TG pin to serve as a high-impedance input to the transmit filter. All signals at this pin are referenced to the V_{AG} pin. This pin is high impedance when the device is in the powered down mode.

RO+
Receive Analog Output (Non-Inverting) (Pin 1)
This is the non-inverting output of the receive smoothing filter from the digital-to-analog converter. This output is capable of driving a 2 kΩ load to 1.575 V peak referenced to the V_{AG} pin. This pin is high impedance when the device is in the powered down mode.

RO–
Receive Analog Output (Inverting) (Pin 2)
This is the inverting output of the receive smoothing filter from the digital-to-analog converter. This output is capable of driving a 2 kΩ load to 1.575 V peak referenced to the V_{AG} pin. This pin is high impedance when the device is in the powered down mode.

PI
Power Amplifier Input (Pin 3)
This is the inverting input to the PO– amplifier. The non-inverting input to the PO– amplifier is internally tied to the V_{AG} pin. The PI and PO– pins are used with external resistors in an inverting op amp gain circuit to set the gain of the PO+ and PO– push-pull power amplifier outputs. Connecting PI to V_{DD} will power down the power driver amplifiers and the PO+ and PO– outputs will be high impedance.

PO–
Power Amplifier Output (Inverting) (Pin 4)
This is the inverting power amplifier output, which is used to provide a feedback signal to the PI pin to set the gain of the push-pull power amplifier outputs. This pin is capable of driving a 300 Ω load to PO+. The PO+ and PO– outputs are differential (push-pull) and capable of driving a 300 Ω load to 3.15 V peak, which is 6.3 V peak-to-peak. The bias voltage and signal reference of this output is the V_{AG} pin. The V_{AG} pin cannot source or sink as much current as this pin, and therefore low impedance loads must be between PO+ and PO–. Connecting PI to V_{DD} will power down the power driver amplifiers and the PO+ and PO– outputs will be high impedance. This pin is also high impedance when the device is powered down by the $\overline{PDI}$ pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PO+
Power Amplifier Output (Non-Inverting) (Pin 5)

This is the non-inverting power amplifier output, which is an inverted version of the signal at PO–. This pin is capable of driving a 300 Ω load to PO–. Connecting PI to V_{DD} will power down the power driver amplifiers and the PO+ and PO– outputs will be high impedance. This pin is also high impedance when the device is powered down by the $\overline{PDI}$ pin. See PI and PO– for more information.

DIGITAL INTERFACE

MCLK
Master Clock (Pin 11)

This is the master clock input pin. The clock signal applied to this pin is used to generate the internal 256 kHz clock and sequencing signals for the switched-capacitor filters, ADC, and DAC. The internal prescaler logic compares the clock on this pin to the clock at FST (8 kHz) and will automatically accept 256, 512, 1536, 1544, 2048, 2560, or 4096 kHz. For MCLK frequencies of 256 and 512 kHz, MCLK must be synchronous and approximately rising edge aligned to FST. For optimum performance at frequencies of 1.536 MHz and higher, MCLK should be synchronous and approximately rising edge aligned to the rising edge of FST. In many applications, MCLK may be tied to the BCLKT pin.

FST
Frame Sync, Transmit (Pin 14)

This pin accepts an 8 kHz clock that synchronizes the output of the serial PCM data at the DT pin. This input is compatible with various standards including IDL, Long Frame Sync, Short Frame Sync, and GCI formats. If both FST and FSR are held low for several 8 kHz frames, the device will power down.

BCLKT
Bit Clock, Transmit (Pin 12)

This pin controls the transfer rate of transmit PCM data. In the IDL and GCI modes it also controls the transfer rate of the receive PCM data. This pin can accept any bit clock frequency from 64 to 4096 kHz for Long Frame Sync and Short Frame Sync timing. This pin can accept clock frequencies from 256 kHz to 4.096 MHz in IDL mode, and from 512 kHz to 6.176 MHz for GCI timing mode.

DT
Data, Transmit (Pin 13)

This pin is controlled by FST and BCLKT and is high impedance except when outputting PCM data. When operating in the IDL or GCI mode, data is output in either the B1 or B2 channel as selected by FSR. This pin is high impedance when the device is in the powered down mode.

FSR
Frame Sync, Receive (Pin 7)

When used in the Long Frame Sync or Short Frame Sync mode, this pin accepts an 8 kHz clock, which synchronizes the input of the serial PCM data at the DR pin. FSR can be asynchronous to FST in the Long Frame Sync or Short Frame Sync modes. When an ISDN mode (IDL or GCI) has been selected with BCLKR, this pin selects either B1 (logic 0) or B2 (logic 1) as the active data channel.

BCLKR
Bit Clock, Receive (Pin 9)

When used in the Long Frame Sync or Short Frame Sync mode, this pin accepts any bit clock frequency from 64 to 4096 kHz. When this pin is held at a logic 1, FST, BCLKT, DT, and DR become IDL Interface compatible. When this pin is held at a logic 0, FST, BCLKT, DT, and DR become GCI Interface compatible.

DR
Data, Receive (Pin 8)

This pin is the PCM data input, and when in a Long Frame Sync or Short Frame Sync mode is controlled by FSR and BCLKR. When in the IDL or GCI mode, this data transfer is controlled by FST and BCLKT. FSR and BCLKR select the B channel and ISDN mode, respectively.

FUNCTIONAL DESCRIPTION

ANALOG INTERFACE AND SIGNAL PATH

The transmit portion of this device includes a low-noise, three-terminal op amp capable of driving a 2 kΩ load. This op amp has inputs of TI+ (Pin 19) and TI– (Pin 18) and its output is TG (Pin 17). This op amp is intended to be configured in an inverting gain circuit. The analog signal may be applied directly to the TG pin if this transmit op amp is independently powered down by connecting the TI+ and TI– inputs to the V_{DD} power supply. The TG pin becomes high impedance when the transmit op amp is powered down. The TG pin is internally connected to a 3-pole anti-aliasing pre-filter. This pre-filter incorporates a 2-pole Butterworth active low-pass filter, followed by a single passive pole. This pre-filter is followed by a single-ended to differential converter that is clocked at 512 kHz. All subsequent analog processing utilizes fully differential circuitry. The next section is a fully-differential, 5-pole switched-capacitor low-pass filter with a 3.4 kHz frequency cutoff. After this filter is a 3-pole switched-capacitor high-pass filter having a cutoff frequency of about 200 Hz. This highpass stage has a transmission zero at dc that eliminates any dc coming from the analog input or from accumulated op amp offsets in the preceding filter stages. The last stage of the highpass filter is an autozeroed sample and hold amplifier.

One bandgap voltage reference generator and digital-to-analog converter (DAC) are shared by the transmit and receive sections. The autozeroed, switched-capacitor bandgap reference generates precise positive and negative reference voltages that are virtually independent of temperature and power supply voltage. A binary-weighted capacitor array (CDAC) forms the chords of the companding structure, while a resistor string (RDAC) implements the linear steps within each chord. The encode process uses the DAC, the voltage reference, and a frame-by-frame autozeroed comparator to implement a successive-approximation conversion algorithm. All of the analog circuitry involved in the data conversion (the voltage reference, RDAC, CDAC, and comparator) are implemented with a differential architecture.

The receive section includes the DAC described above, a sample and hold amplifier, a 5-pole, 3400 Hz switched capacitor low-pass filter with sinX/X correction, and a 2-pole active smoothing filter to reduce the spectral components of the switched capacitor filter. The output of the smoothing filter is buffered by an amplifier, which is output at the RO+ and RO– pins. These outputs are capable of driving a 4 kΩ load differentially or a 2 kΩ load to the V_{AG} pin. The MC145480 also has a pair of power amplifiers that are connected in a push-pull configuration. The PI pin is the inverting input to the PO– power amplifier. The non-inverting input is internally tied to the V_{AG} pin. This allows this amplifier to be used in an inverting gain circuit with two external resistors. The PO+ amplifier has a gain of minus one, and is internally connected

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

to the PO– output. This complete power amplifier circuit is a differential (push-pull) amplifier with adjustable gain that is capable of driving a 300 Ω load to +12 dBm. The power amplifier may be powered down independently of the rest of the chip by connecting the PI pin to V_{DD}.

POWER DOWN

There are two methods of putting this device into a low power consumption mode, which makes the device nonfunctional and consumes virtually no power. $\overline{PDI}$ is the power down input pin which, when taken low, powers down the device. Another way to power the device down is to hold both the FST and FSR pins low. When the chip is powered down, the V_{AG}, TG, RO+, RO–, PO+, PO–, and DT outputs are high impedance. To return the chip to the power up state, $\overline{PDI}$ must be high and either the FST or the FSR frame sync pulse must be present. The DT output will remain in a high-impedance state for at least two FST pulses after power up.

MASTER CLOCK

Since this codec-filter design has a single DAC architecture, the MCLK pin is used as the master clock for all analog signal processing including analog-to-digital conversion, digital-to-analog conversion, and for transmit and receive filtering functions of this device. The clock frequency applied to the MCLK pin may be 256 kHz, 512 kHz, 1.536 MHz, 1.544 MHz, 2.048 MHz, 2.56 MHz, or 4.096 MHz. This device has a prescaler that automatically determines the proper divide ratio to use for the MCLK input, which achieves the required 256 kHz internal sequencing clock. The clocking requirements of the MCLK input are independent of the PCM data transfer mode (i.e., Long-Frame Sync, Short-Frame Sync, IDL mode or GCI mode).

DIGITAL I/O

The MC145480 is pin selectable for Mu-Law or A-Law. Table 1 shows the 8-bit data word format for positive and negative zero and full scale for both companding schemes (see Tables 3 and 4 at the end of this document for a complete PCM word conversion table). Table 2 shows the series of eight PCM words for both Mu-Law and A-Law that correspond to a digital milliwatt. The digital mW is the 1 kHz calibration signal reconstructed by the DAC that defines the absolute gain or 0 dBm0 Transmission Level Point (TLP) of the DAC. The 0 dBm0 level for Mu-Law is 3.17 dB below the maximum level for an unclipped tone signal. The 0 dBm0 level for A-Law is 3.14 dB below the maximum level for an unclipped tone signal. The timing for the PCM data transfer is independent of the companding scheme selected. Refer to Figure 2 for a summary and comparison of the four PCM data interface modes of this device.

Long Frame Sync

Long Frame Sync is the industry name for one type of clocking format that controls the transfer of the PCM data words. (Refer to Figure 2a) The "Frame Sync" or "Enable" is used for two specific synchronizing functions. The first is to synchronize the PCM data word transfer, and the second is to control the internal analog-to-digital and digital-to-analog conversions. The term "Sync" refers to the function of synchronizing the PCM data word onto or off of the multiplexed serial PCM data bus, which is also known as a PCM highway. The term "Long" comes from the duration of the frame sync measured in PCM data clock cycles. Long Frame Sync timing occurs when the frame sync is used directly as the PCM data output driver enable. This results in the PCM output going low impedance with the rising edge of the transmit frame sync, and remaining low impedance for the duration of the transmit frame sync.

The implementation of Long Frame Sync has maintained compatibility and been optimized for external clocking simplicity. This optimization includes the PCM data output going low impedance with the logical AND of the transmit frame sync (FST) with the transmit data bit clock (BCLKT). The optimization also includes the PCM data output (DT) remaining low impedance until the middle of the LSB (seven and a half PCM data clock cycles) or until the FST pin is taken low, whichever occurs last. This requires the frame sync to be approximately rising edge aligned with the initiation of the PCM data word transfer, but the frame sync does not have a precise timing requirement for the end of the PCM data word transfer. The device recognizes Long Frame Sync clocking when the frame sync is held high for two consecutive falling edges of the transmit data clock. The transmit logic decides on each frame sync whether it should interpret the next frame sync pulse as a Long or a Short Frame Sync. This decision is used for receive circuitry also. The device is designed to prevent PCM bus contention by not allowing the PCM data output to go low impedance for at least two frame sync cycles after power is applied or when coming out of the powered down mode.

Table 1. PCM Codes for Zero and Full Scale

Level	Mu-Law			A-Law		
	Sign Bit	Chord Bits	Step Bits	Sign Bit	Chord Bits	Step Bits
+ Full Scale	1	000	0000	1	010	1010
+ Zero	1	111	1111	1	101	0101
– Zero	0	111	1111	0	101	0101
– Full Scale	0	000	0000	0	010	1010

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. PCM Codes for Digital mW

Phase	Mu-Law			A-Law		
	Sign Bit	Chord Bits	Step Bits	Sign Bit	Chord Bits	Step Bits
π/8	0	001	1110	0	011	0100
3π/8	0	000	1011	0	010	0001
5π/8	0	000	1011	0	010	0001
7π/8	0	001	1110	0	011	0100
9π/8	1	001	1110	1	011	0100
11π/8	1	000	1011	1	010	0001
13π/8	1	000	1011	1	010	0001
15π/8	1	001	1110	1	011	0100

The receive side of the device is designed to accept the same frame sync and data clock as the transmit side and to be able to latch its own transmit PCM data word. Thus the PCM digital switch needs to be able to generate only one type of frame sync for use by both transmit and receive sections of the device.

The logical AND of the receive frame sync with the receive data clock tells the device to start latching the 8-bit serial word into the receive data input on the falling edges of the receive data clock. The internal receive logic counts the receive data clock cycles and transfers the PCM data word to the digital-to-analog converter sequencer on the ninth data clock rising edge.

This device is compatible with four digital interface modes. To ensure that this device does not reprogram itself for a different timing mode, the BCLKR pin must change logic state no less than every 125 µs. The minimum PCM data bit clock frequency of 64 kHz satisfies this requirement.

Short Frame Sync

Short Frame Sync is the industry name for the type of clocking format that controls the transfer of the PCM data words (refer to Figure 2b). The "Frame Sync" or "Enable" is used for two specific synchronizing functions. The first is to synchronize the PCM data word transfer, and the second is to control the internal analog-to-digital and digital-to-analog conversions. The term "Sync" refers to the function of synchronizing the PCM data word onto or off of the multiplexed serial PCM data bus, which is also known as a PCM highway. The term "Short" comes from the duration of the frame sync measured in PCM data clock cycles. Short Frame Sync timing occurs when the frame sync is used as a "pre-synchronization" pulse that is used to tell the internal logic to clock out the PCM data word under complete control of the data clock. The Short Frame Sync is held high for one falling data clock edge. The device outputs the PCM data word beginning with the following rising edge of the data clock. This results in the PCM output going low impedance with the rising edge of the transmit data clock, and remaining low impedance until the middle of the LSB (seven and a half PCM data clock cycles).

The device recognizes Short Frame Sync clocking when the frame sync is held high for one and only one falling edge of the transmit data clock. The transmit logic decides on each frame sync whether it should interpret the next frame sync pulse as a Long or a Short Frame Sync. This decision is used for receive circuitry also. The device is designed to prevent PCM bus contention by not allowing the PCM data output to go low impedance for at least two frame sync cycles after power is applied or when coming out of the powered down mode.

The receive side of the device is designed to accept the same frame sync and data clock as the transmit side and to be able to latch its own transmit PCM data word. Thus the PCM digital switch needs to be able to generate only one type of frame sync for use by both transmit and receive sections of the device.

The falling edge of the receive data clock latching a high logic level at the receive frame sync input tells the device to start latching the 8-bit serial word into the receive data input on the following eight falling edges of the receive data clock. The internal receive logic counts the receive data clock cycles and transfers the PCM data word to the digital-to-analog converter sequencer on the rising data clock edge after the LSB has been latched into the device.

This device is compatible with four digital interface modes. To ensure that this device does not reprogram itself for a different timing mode, the BCLKR pin must change logic state no less than every 125 µs. The minimum PCM data bit clock frequency of 64 kHz satisfies this requirement.

Interchip Digital Link (IDL)

The Interchip Digital Link (IDL) Interface is one of two standard synchronous 2B+D ISDN timing interface modes with which this device is compatible. In the IDL mode, the device can communicate in either of the two 64 kbps B channels (refer to Figure 2c for sample timing). The IDL mode is selected when the BCLKR pin is held high for two or more FST (IDL SYNC) rising edges. The digital pins that control the transmit and receive PCM word transfers are reprogrammed to accommodate this mode. The pins affected are FST, FSR, BCLKT, DT and DR. The IDL Interface consists of four pins: IDL SYNC (FST), IDL CLK (BCLKT), IDL TX (DT), and IDL RX (DR). The IDL interface mode provides access to both the transmit and receive PCM data words with common control clocks of IDL Sync and IDL Clock. In this mode, the FSR pin controls whether the B1 channel or the B2 channel is used for both transmit and receive PCM data word transfers. When the FSR pin is low, the transmit and receive PCM words are transfered in the B1 channel, and for FSR high the B2 channel is selected. The start of the B2 channel is ten IDL CLK cycles after the start of the B1 channel.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

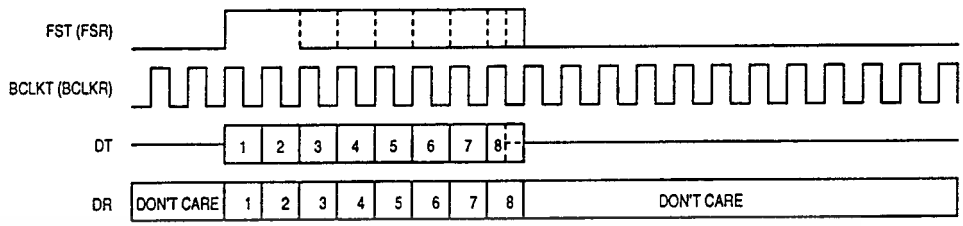


Figure 2a. Long Frame Sync (Transmit and Receive have individual clocking)

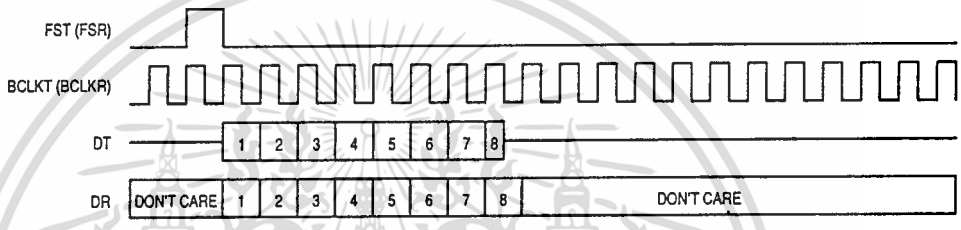


Figure 2b. Short Frame Sync (Transmit and Receive have individual clocking)

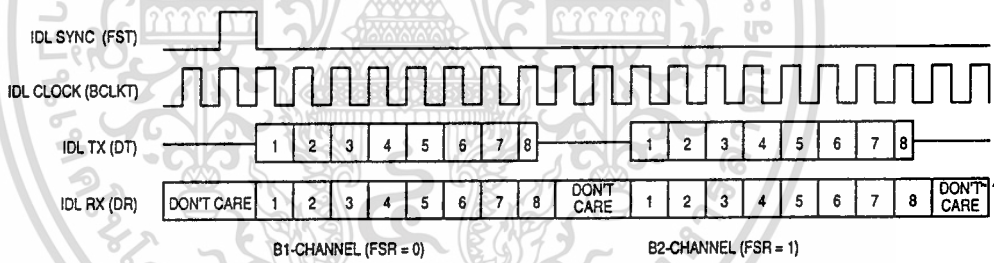


Figure 2c. IDL Interface — BCLKR = 1 (Transmit and Receive have common clocking)

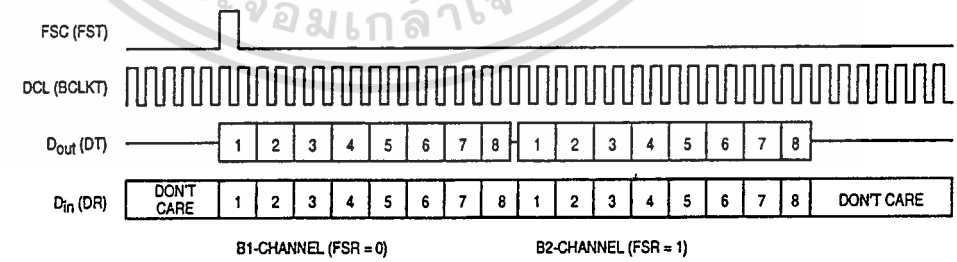


Figure 2d. GCI Interface — BCLKR = 0 (Transmit and Receive have common clocking)

Figure 2. Digital Timing Modes for the PCM Data Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The IDL SYNC (FST, Pin 14) is the input for the IDL frame synchronization signal. The signal at this pin is nominally high for one cycle of the IDL Clock signal and is rising edge aligned with the IDL Clock signal. (Refer to Figure 4 and the IDL Timing specifications for more details.) This event identifies the beginning of the IDL frame. The frequency of the IDL Sync signal is 8 kHz. The rising edge of the IDL SYNC (FST) should be aligned approximately with the rising edge of MCLK. MCLK must be one of the clock frequencies specified in the Digital Switching Characteristics table, and is typically tied to IDL CLK (BCLKT).

The IDL CLK (BCLKT, Pin 12) is the input for the PCM data clock. All IDL PCM transfers and data control sequencing are controlled by this clock following the IDL SYNC. This pin accepts an IDL data clock frequency of 256 kHz to 4.096 MHz.

The IDL TX (DT, Pin 13) is the output for the transmit PCM data word. Data bits are output for the B1 channel on sequential rising edges of the IDL CLK signal beginning after the IDL SYNC pulse. If the B2 channel is selected, then the PCM word transfer starts on the eleventh IDL CLK rising edge after the IDL SYNC pulse. The IDL TX pin will remain low impedance for the duration of the PCM word until the LSB after the falling edge of IDL CLK. The IDL TX pin will remain in a high impedance state when not outputting PCM data or when a valid IDL Sync signal is missing.

The IDL RX (DR, Pin 8) is the input for the receive PCM data word. Data bits are input for the B1 channel on sequential falling edges of the IDL CLK signal beginning after the IDL SYNC pulse. If the B2 channel is selected, then the PCM word is latched in starting on the eleventh IDL CLK falling edge after the IDL SYNC pulse.

General Circuit Interface (GCI)

The General Circuit Interface (GCI) is the second of two standard synchronous 2B+D ISDN timing interface modes with which this device is compatible. In the GCI mode, the device can communicate in either of the two 64 kbps B-channels. (Refer to Figure 2d for sample timing.) The GCI mode is selected when the BCLKR pin is held low for two or more FST (FSC) rising edges. The digital pins that control the transmit and receive PCM word transfers are reprogrammed to accommodate this mode. The pins affected are FST, FSR, BCLKT, DT and DR. The GCI Interface consists of four pins: FSC (FST), DCL (BCLKT), D_{out} (DT), and D_{in} (DR). The GCI interface mode provides access to both the transmit and receive PCM data words with common control clocks of FSC (frame synchronization clock) and DCL (data clock). In this mode, the FSR pin controls whether the B1 channel or the B2 channel is used for both transmit and receive PCM data word transfers. When the FSR pin is low, the transmit and receive PCM words are transfered in the B1 channel, and for FSR high the B2 channel is selected. The start of the B2 channel is 16 DCL cycles after the start of the B1 channel.

The FSC (FST, Pin 14) is the input for the GCI frame synchronization signal. The signal at this pin is nominally rising edge aligned with the DCL clock signal. (Refer to Figure 6 and the GCI Timing specifications for more details.) This event identifies the beginning of the GCI frame. The frequency of the FSC synchronization signal is 8 kHz. The rising edge of the FSC (FST) should be aligned approximately with the rising edge of MCLK. MCLK must be one of the clock frequencies specified in the Digital Switching Characteristics table, and is typically tied to DCL (BCLKT).

The DCL (BCLKT, Pin 12) is the input for the clock that controls the PCM data transfers. The clock applied at the DCL input is twice the actual PCM data rate. The GCI frame begins with the logical AND of the FSC with the DCL. This event initiates the PCM data word transfers for both transmit and receive. This pin accepts a GCI data clock frequency of 512 kHz to 6.176 MHz for PCM data rates of 256 kHz to 3.088 MHz.

The GCI D_{out} (DT, Pin 13) is the output for the transmit PCM data word. Data bits are output for the B1 channel on alternate rising edges of the DCL clock signal, beginning with the FSC pulse. If the B2 channel is selected, then the PCM word transfer starts on the seventeenth DCL rising edge after the FSC rising edge. The D_{out} pin will remain low impedance for 15-1/2 DCL clock cycles. The D_{out} pin becomes high impedance after the second falling edge of the DCL clock during the LSB of the PCM word. The D_{out} pin will remain in a high-impedance state when not outputting PCM data or when a valid FSC signal is missing.

The D_{in} (DR, Pin 8) is the input for the receive PCM data word. Data bits are latched in for the B1 channel on alternate rising edges of the DCL clock signal, beginning with the second DCL clock after the rising edge of the FSC pulse. If the B2 channel is selected then the PCM word is latched in starting on the eighteenth DCL rising edge after the FSC rising edge.

PRINTED CIRCUIT BOARD LAYOUT CONSIDERATIONS

The MC145480 is manufactured using high-speed CMOS VLSI technology to implement the complex analog signal processing functions of a PCM codec-filter. The fully differential analog circuit design techniques used for this device result in superior performance for the switched capacitor filters, the analog-to-digital converter (ADC) and the digital-to-analog converter (DAC). Special attention was given to the design of this device to reduce the sensitivities of noise, including power supply rejection and susceptibility to radio frequency noise. This special attention to design includes a fifth order low-pass filter, followed by a third order high-pass filter whose output is converted to a digital signal with greater than 75 dB of dynamic range, all operating on a single 5 V power supply. This results in a Mu-Law LSB size for small audio signals of about 386 µV. The typical idle channel noise level of this device is less than one LSB. In addition to the dynamic range of the codec/filter function of this device, the input gain-setting op amp has the capability of greater than 35 dB of gain intended for an electret microphone interface.

This device was designed for ease of implementation, but due to the large dynamic range and the noisy nature of the environment for this device (digital switches, radio telephones, DSP front-end, etc.) special care must be taken to assure optimum analog transmission performance.

PC BOARD MOUNTING

It is recommended that the device be soldered to the PC board for optimum noise performance. If the device is to be used in a socket, it should be placed in a low parasitic pin inductance (generally, low-profile) socket.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power Supply, Ground, and Noise Considerations

This device is intended to be used in switching applications which often require plugging the PC board into a rack with power applied. This is known as "hot-rack insertion." In these applications care should be taken to limit the voltage on any pin from going positive of the V_{DD} pins, or negative of the V_{SS} pins. One method is to extend the ground and power contacts of the PCB connector. The device has input protection on all pins and may source or sink a limited amount of current without damage. Current limiting may be accomplished by series resistors between the signal pins and the connector contacts.

The most important considerations for PCB layout deal with noise. This includes noise on the power supply, noise generated by the digital circuitry on the device, and cross coupling digital or radio frequency signals into the audio signals of this device. The best way to prevent noise is to:

1. Keep digital signals as far away from audio signals as possible.
2. Keep radio frequency signals as far away from the audio signals as possible.
3. Use short, low inductance traces for the audio circuitry to reduce inductive, capacitive, and radio frequency noise sensitivities.
4. Use short, low inductance traces for digital and RF circuitry to reduce inductive, capacitive, and radio frequency radiated noise.
5. Bypass capacitors should be connected from the V_{DD} and V_{AG} pins to V_{SS} with minimal trace length. Ceramic monolithic capacitors of about 0.1 µF are acceptable to decouple the device from its own noise. The V_{DD} capacitor helps supply the instantaneous currents of the digital circuitry in addition to decoupling the noise which may be generated by other sections of the device or other circuitry on the power supply. The V_{AG} decoupling capacitor helps to reduce the impedance of the V_{AG} pin to V_{SS} at frequencies above the bandwidth of the V_{AG} generator, which reduces the susceptibility to RF noise.
6. Use a short, wide, low inductance trace to connect the V_{SS} ground pin to the power supply ground. The V_{SS} pin is the digital ground and the most negative power supply pin for the analog circuitry. All analog signal processing is referenced to the V_{AG} pin, but because digital and RF circuitry will probably be powered by this same ground, care must be taken to minimize high frequency noise in the V_{SS} trace. Depending on the application, a double sided PCB with a V_{SS} ground plane connecting all of the digital and analog V_{SS} pins together would be a good grounding method. A multilayer PC board with a ground plane connecting all of the digital and analog V_{SS} pins together would be the optimal ground configuration. These methods will result in the lowest resistance and the lowest inductance in the ground circuit. This is important to reduce voltage spikes in the ground circuit resulting from the high speed digital current spikes. The magnitude of digitally induced voltage spikes may be hundreds of times larger than the analog signal the device is required to digitize.
7. Use a short, wide, low inductance trace to connect the V_{DD} power supply pin to the 5 V power supply. Depending on the application, a double sided PCB with V_{DD} bypass capacitors to the VSS ground plane, as described above, may complete the low impedance coupling for the power supply. For a multilayer PC board with a power plane, connecting all of the V_{DD} pins to the power plane would be the optimal power distribution method. The integrated circuit layout and packaging considerations for the 5 V V_{DD} power circuit are essen- tially the same as for the V_{SS} ground circuit.
8. The V_{AG} pin is the reference for all analog signal processing. In some applications the audio signal to be digitized may be referenced to the V_{SS} ground. To reduce the susceptibility to noise at the input of the ADC section, the three terminal op amp may be used in a differential to single ended circuit to provide level conversion from the V_{SS} ground to the V_{AG} ground with noise cancellation. The op amp may be used for more than 35 dB of gain in microphone interface circuits, which will require a compact layout with minimum trace lengths as well as isolation from noise sources. It is recommended that the layout be as symmetrical as possible to avoid any imbalances which would reduce the noise cancelling benefits of this differential op amp circuit. Refer to the application schematics for examples of this circuitry.

   If possible, reference audio signals to the V_{AG} pin instead of to the V_{SS} pin. Handset receivers and telephone line interface circuits using transformers may be audio signal referenced completely to the V_{AG} pin. Refer to the application schematics for examples of this circuitry. The V_{AG} pin cannot be used for ESD or line protection.
9. For applications using multiple MC145480 PCM codec-filters, the V_{AG} pins cannot be tied together. The V_{AG} pins are capable of sourcing and sinking current and will each be driving the node, which will result in large contention currents, crosstalk susceptibilities, and increased noise.
10. The MC145480 is fabricated with advanced high speed CMOS technology that is capable of responding to noise pulses on the clock pins of 1 ns or less. It should be noted that noise pulses of such short duration may not be seen with oscilloscopes that have less bandwidth than 600 MHz. The most often encountered sources of clock noise spikes are inductive or capacitive coupling of high-speed logic signals, and ground bounce. The best solution for addressing clock spikes from coupling is to separate the traces and use short low inductance PC board traces. To address ground bounce problems, all integrated circuits should have high frequency bypass capacitors directly across their power supply pins, with low inductance traces for ground and power supply. A less than optimum solution may be to limit the bandwidth of the trace by adding series resistance and/or capacitance at the input pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (Voltages Referenced to V_{SS} Pin)

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	– 0.5 to 6	V
Voltage on any Analog Input or Output Pin		V_{SS} – 0.3 to V_{DD} + 0.3	V
Voltage on any Digital Input or Output Pin		V_{SS} – 0.3 to V_{DD} + 0.3	V
Operating Temperature Range	T_A	– 40 to + 85	°C
Storage Temperature Range	T_{stg}	– 85 to +150	°C

POWER SUPPLY (T_A = – 40 to + 85°C)

Characteristics		Min	Typ	Max	Unit
DC Supply Voltage		4.75	5.0	5.25	V
Active Power Dissipation	(No Load, PI ≥ V_{DD} – 0.5 V) (No Load, PI ≤ V_{DD} – 1.5 V)	— —	23 25	33 35	mW
Power Down Dissipation (V_{IH} for logic levels must be ≥ 3.0 V)	$\overline{PDI}$ = V_{SS} FST and FSR = V_{SS}, $\overline{PDI}$ = V_{DD}	— —	0.01 0.1	0.5 1.0	mW

DIGITAL LEVELS (V_{DD} = + 5 V ± 5%, V_{SS} = 0 V, T_A = – 40 to + 85°C)

Characteristics	Symbol	Min	Max	Unit
Input Low Voltage	V_{IL}	—	0.6	V
Input High Voltage	V_{IH}	2.2	—	V
Output Low Voltage (DT pin, I_{OL} = 2.5 mA)	V_{OL}	—	0.4	V
Output High Voltage (DT pin, I_{OH} = – 2.5 mA)	V_{OH}	V_{DD} – 0.5	—	V
Input Low Current (V_{SS} ≤ V_{in} ≤ V_{DD})	I_{IL}	– 10	+ 10	µA
Input High Current (V_{SS} ≤ V_{in} ≤ V_{DD})	I_{IH}	– 10	+ 10	µA
Output Current in High Impedance State (V_{SS} ≤ DT ≤ V_{DD})	I_{OZ}	– 10	+ 10	µA
Input Capacitance of Digital Pins (except DT)	C_{in}	—	10	pF
Input Capacitances of DT pin when High-Z	C_{out}	—	15	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG ELECTRICAL CHARACTERISTICS (V_{DD} = + 5 V ± 5%, V_{SS} = 0 V, T_A = − 40 to + 85°C)

Characteristics		Min	Typ	Max	Unit
Input Current	TI+, TI−	—	± 0.1	± 1.0	µA
AC Input Impedance to V_{AG} (1 kHz)	TI+, TI−	—	1.0	—	MΩ
Input Capacitance	TI+, TI−	—	—	10	pF
Input Offset Voltage of TG Op Amp	TI+, TI−	—	—	± 5	mV
Input Common Mode Voltage Range	TI+, TI−	1.2		V_{DD} − 2.0	V
Input Common Mode Rejection Ratio	TI+, TI−	—	60	—	dB
Gain Bandwidth Product (10 kHz) of TG Op Amp (R_L ≥ 10 kΩ)		—	3000	—	kHz
DC Open Loop Gain of TG Op Amp (R_L ≥ 10 kΩ)		—	95	—	dB
Equivalent Input Noise (C-Mess) Between TI+ and TI− at TG		—	− 30	—	dBmC
Output Load Capacitance for TG Op Amp		0	—	100	pF
Output Voltage Range for TG (R_L = 10 kΩ to V_{AG}) (R_L = 2 kΩ to V_{AG})		 0.5 1.0	 — —	 V_{DD} − 0.5 V_{DD} − 1.0	V
Output Current (0.5 V ≤ V_{out} ≤ V_{DD} − 0.5 V)	TG, RO+, RO−	± 1.0	—	—	mA
Output Load Resistance to V_{AG}	TG, RO+, and RO−	2	—	—	kΩ
Output Impedance (0 to 3.4 kHz)	RO+ or RO−	—	1	—	Ω
Output Load Capacitance	RO+ or RO−	0	—	500	pF
DC Output Offset Voltage of RO+ or RO− Referenced to V_{AG}		—	—	± 25	mV
V_{AG} Output Voltage Referenced to V_{SS} (No Load)		2.2	2.4	2.6	V
V_{AG} Output Current with ± 25 mV Change in Output Voltage		± 2.0	± 10	—	mA
Power Supply Rejection Ratio (0 to 100 kHz @ 100 mVrms applied to V_{DD}, C-Message Weighting, all analog signals referenced to V_{AG} pin.)	Transmit Receive	50 50	80 75	— —	dBC
Power Drivers PI, PO+, PO−					
Input Current (V_{AG} − 0.5 V ≤ PI ≤ V_{AG} + 0.5 V)	PI	—	±0.05	±1.0	µA
Input Resistance (V_{AG} − 0.5 V ≤ PI ≤ V_{AG} + 0.5 V)	PI	10	—	—	MΩ
Input Offset Voltage	PI	—	—	±20	mV
Output Offset Voltage of PO+ Relative to PO− (Inverted Unity Gain for PO−)		—	—	±50	mV
Output Current (V_{SS} + 0.7 V ≤ PO+ or PO− ≤ V_{DD} − 0.7 V)		±10	—	—	mA
PO+ or PO− Output Resistance (Inverted Unity Gain for PO−)		—	1	—	Ω
Gain Bandwidth Product (10 kHz, Open Loop for PO−)		—	1000	—	kHz
Load Capacitance (PO+ or PO− to V_{AG}, or PO+ to PO−)		0	—	1000	pF
Gain of PO+ Relative to PO− (R_L = 300 Ω, + 3 dBm0, 1 kHz)		−0.2	0	+0.2	dB
Total Signal to Distortion at PO+ and PO− with a 300 Ω Differential Load		45	60	—	dBC
Power Supply Rejection Ratio (0 to 25 kHz @ 100 mVrms applied to V_{DD}. PO− Connected to PI. Differential or measured referenced to V_{AG} pin.)	0 to 4 kHz 4 to 25 kHz	40 —	55 40	— —	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG TRANSMISSION PERFORMANCE

(V_{DD} = + 5 V ± 5%, V_{SS} = 0 V, All Analog Signals Referenced to V_{AG}, 0 dBm0 = 0.775 Vrms = +0 dBm @ 600 Ω, FST = FSR = 8 kHz, BCLKT = MCLK = 2.048 MHz Synchronous Operation, T_A = – 40 to + 85°C, Unless Otherwise Noted)

Characteristics	End-to-End		A/D		D/A		Units
	Min	Max	Min	Max	Min	Max	
Absolute Gain (0 dBm0 @ 1.02 kHz, T_A=25°C, V_{DD} = 5.0 V)	—	—	– 0.25	+ 0.25	– 0.25	+ 0.25	dB
Absolute Gain Variation with Temperature 0 to +70°C	—	—	—	± 0.03	—	± 0.03	dB
–40 to +85°C	—	—	—	± 0.05	—	± 0.05	
Absolute Gain Variation with Power Supply (T_A = 25°C)	—	—	—	± 0.03	—	± 0.04	dB
Gain vs Level Tone (Mu-Law, Relative to –10 dBm0, 1.02 kHz)							dB
+ 3 to – 40 dBm0 @ 0 to +85°C	—	—	– 0.25	+ 0.25	– 0.20	+ 0.20	
+ 3 to – 40 dBm0 @ – 40 to 0°C	—	—	– 0.25	+ 0.25	– 0.25	+ 0.25	
– 40 to – 50 dBm0 @ 0 to +85°C	—	—	– 0.8	+ 0.8	– 0.5	+ 0.5	
– 40 to – 50 dBm0 @ – 40 to 0°C	—	—	– 0.8	+ 0.8	– 0.9	+ 0.9	
– 50 to – 55 dBm0 @ 0 to +85°C	—	—	– 1.3	+ 1.3	– 1.0	+ 1.0	
– 50 to – 55 dBm0 @ – 40 to 0°C	—	—	– 1.3	+ 1.3	– 1.8	+ 1.8	
Gain vs Level Pseudo Noise, CCITT G.712 (A–Law, Relative to –10 dBm0)							dB
– 10 to – 40 dBm0	—	—	– 0.25	+ 0.25	– 0.25	+ 0.25	
– 40 to – 50 dBm0	—	—	– 0.60	+ 0.30	– 0.30	+ 0.30	
– 50 to – 55 dBm0	—	—	– 1.00	+ 0.45	– 0.45	+ 0.45	
Total Distortion, 1.02 kHz Tone (Mu-Law, C-Message Weighting)							dBC
+ 3 dBm0	—	—	34	—	34	—	
0 to – 30 dBm0	—	—	36	—	36	—	
– 40 dBm0 @ 0 to +85°C	—	—	30	—	30	—	
– 40 dBm0 @ – 40 to 0°C	—	—	28.5	—	28.5	—	
– 45 dBm0	—	—	25	—	25	—	
Total Distortion, Pseudo Noise, CCITT G.714 (A-Law)							dB
– 3 dBm0	—	—	30.0	—	30.0	—	
– 6 to – 27 dBm0	—	—	35.0	—	36.0	—	
– 34 dBm0	—	—	34.0	—	34.5	—	
– 40 dBm0 @ 0 to +85°C	—	—	28.5	—	29.5	—	
– 40 dBm0 @ – 40 to 0°C	—	—	28.0	—	28.5	—	
– 55 dBm0	—	—	13.5	—	14.5	—	
Idle Channel Noise (For End-to-End and A/D, See Note 1)							
(Mu-Law, C-Message Weighted)	—	—	—	18	—	11	dBrnc0
(A-Law, Psophometric Weighted)	—	—	—	– 68	—	– 78	dBm0p
Frequency Response (Relative to 1.02 kHz @ 0 dBm0)							dB
15 Hz	—	—	—	– 40	– 0.5	0	
50 Hz	—	—	—	– 30	– 0.5	0	
60 Hz	—	—	—	– 26	– 0.5	0	
200 Hz	—	—	– 1.0	– 0.4	– 0.5	0	
300 to 3000 Hz	—	—	– 0.20	+ 0.15	– 0.15	+ 0.15	
3300 Hz	—	—	– 0.35	+ 0.15	– 0.35	+ 0.15	
3400 Hz	—	—	– 0.8	0	– 0.8	0	
4000 Hz	—	—	—	– 14	—	– 14	
4600 Hz to 100 kHz	—	—	—	– 32	—	30	
Inband Spurious (1.02 kHz @ 0 dBm0, Transmit and Receive)							dB
300 to 3000 Hz	—	– 48	—	– 48	—	– 48	
Out-of-Band Spurious at RO+ (300 to 3400 Hz @ 0 dBm0 in)							dB
4600 to 7600 Hz	—	– 30	—	—	—	– 30	
7600 to 8400 Hz	—	– 40	—	—	—	– 40	
8400 to 100,000 Hz	—	– 30	—	—	—	– 30	
Idle Channel Noise Selective (8 kHz, Input = V_{AG}, 30 Hz Bandwidth)	—	– 70	—	—	—	– 70	dBm0
Absolute Delay (1600 Hz)	—	—	—	315	—	205	µs
Group Delay Referenced to 1600 Hz							µs
500 to 600 Hz	—	—	—	210	– 40	—	
600 to 800 Hz	—	—	—	130	– 40	—	
800 to 1000 Hz	—	—	—	70	– 40	—	
1000 to 1600 Hz	—	—	—	35	– 30	—	
1600 to 2600 Hz	—	—	—	70	—	85	
2600 to 2800 Hz	—	—	—	95	—	110	
2800 to 3000 Hz	—	—	—	145	—	175	
Crosstalk of 1020 Hz @ 0 dBm0 from A/D or D/A (Note 2)	—	—	—	– 75	—	– 70	dB
Intermodulation Distortion of two Frequencies of Amplitudes (– 4 to – 21 dBm0 from the Range 300 to 3400 Hz)	—	– 41	—	– 41	—	– 41	dB

NOTES: 1. Extrapolated from a 1020 Hz @ – 50 dBm0 distortion measurement to correct for encoder enhancement.
2. Selectively measured while stimulated with 2667 Hz @ – 50 dBm0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL SWITCHING CHARACTERISTICS, LONG FRAME SYNC AND SHORT FRAME SYNC

(V_{DD} = + 5 V ± 5%, V_{SS} = 0 V, All Digital Signals Referenced to V_{SS}, T_A = − 40 to + 85°C, C_L = 150 pF, Unless Otherwise Noted)

Ref #	Characteristics	Min	Typ	Max	Unit
1	Master Clock Frequency for MCLK	— — — — — — —	256 512 1536 1544 2048 2560 4096	— — — — — — —	kHz
1	MCLK Duty Cycle for 256 kHz Operation	45	—	55	%
2	Minimum Pulse Width High for MCLK (Frequencies of 512 kHz or Greater)	50	—	—	ns
3	Minimum Pulse Width Low for MCLK (Frequencies of 512 kHz or Greater)	50	—	—	ns
4	Rise Time for All Digital Signals	—	—	50	ns
5	Fall Time for All Digital Signals	—	—	50	ns
6	Setup Time from MCLK Low to FST High	50	—	—	ns
7	Setup Time from FST High to MCLK Low	50	—	—	ns
8	Bit Clock Data Rate for BCLKT or BCLKR	64	—	4096	kHz
9	Minimum Pulse Width High for BCLKT or BCLKR	50	—	—	ns
10	Minimum Pulse Width Low for BCLKT or BCLKR	50	—	—	ns
11	Hold Time from BCLKT (BCLKR) Low to FST (FSR) High	20	—	—	ns
12	Setup Time for FST (FSR) High to BCLKT (BCLKR) Low	80	—	—	ns
13	Setup Time from DR Valid to BCLKR Low	0	—	—	ns
14	Hold Time from BCLKR Low to DR Invalid	50	—	—	ns
	LONG FRAME SPECIFIC TIMING				
15	Hold Time from 2nd Period of BCLKT (BCLKR) Low to FST (FSR) Low	50	—	—	ns
16	Delay Time from FST or BCLKT, Whichever Is Later, to DT for Valid MSB Data	—	—	60	ns
17	Delay Time from BCLKT High to DT for Valid Chord and Step Bit Data	—	—	60	ns
18	Delay Time from the Later of the 8th BCLKT Falling Edge, or the Falling Edge of FST to DT Output High Impedance	10	—	60	ns
19	Minimum Pulse Width Low for FST or FSR	50	—	—	ns
	SHORT FRAME SPECIFIC TIMING				
20	Hold Time from BCLKT (BCLKR) Low to FST (FSR) Low	50	—	—	ns
21	Setup Time from FST (FSR) Low to MSB Period of BCLKT (BCLKR) Low	50	—	—	ns
22	Delay Time from BCLKT High to DT Data Valid	10	—	60	ns
23	Delay Time from the 8th BCLKT Low to DT Output High Impedance	10	—	60	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

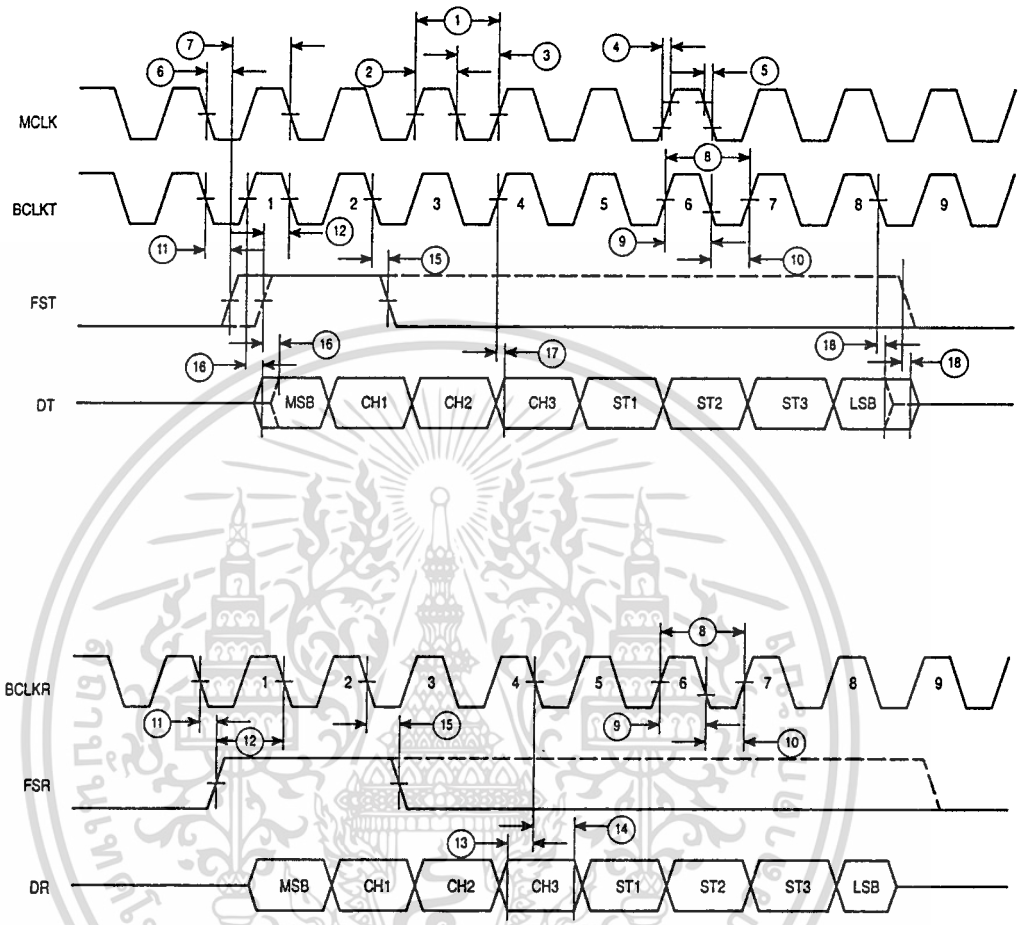


Figure 3. Long Frame Sync Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

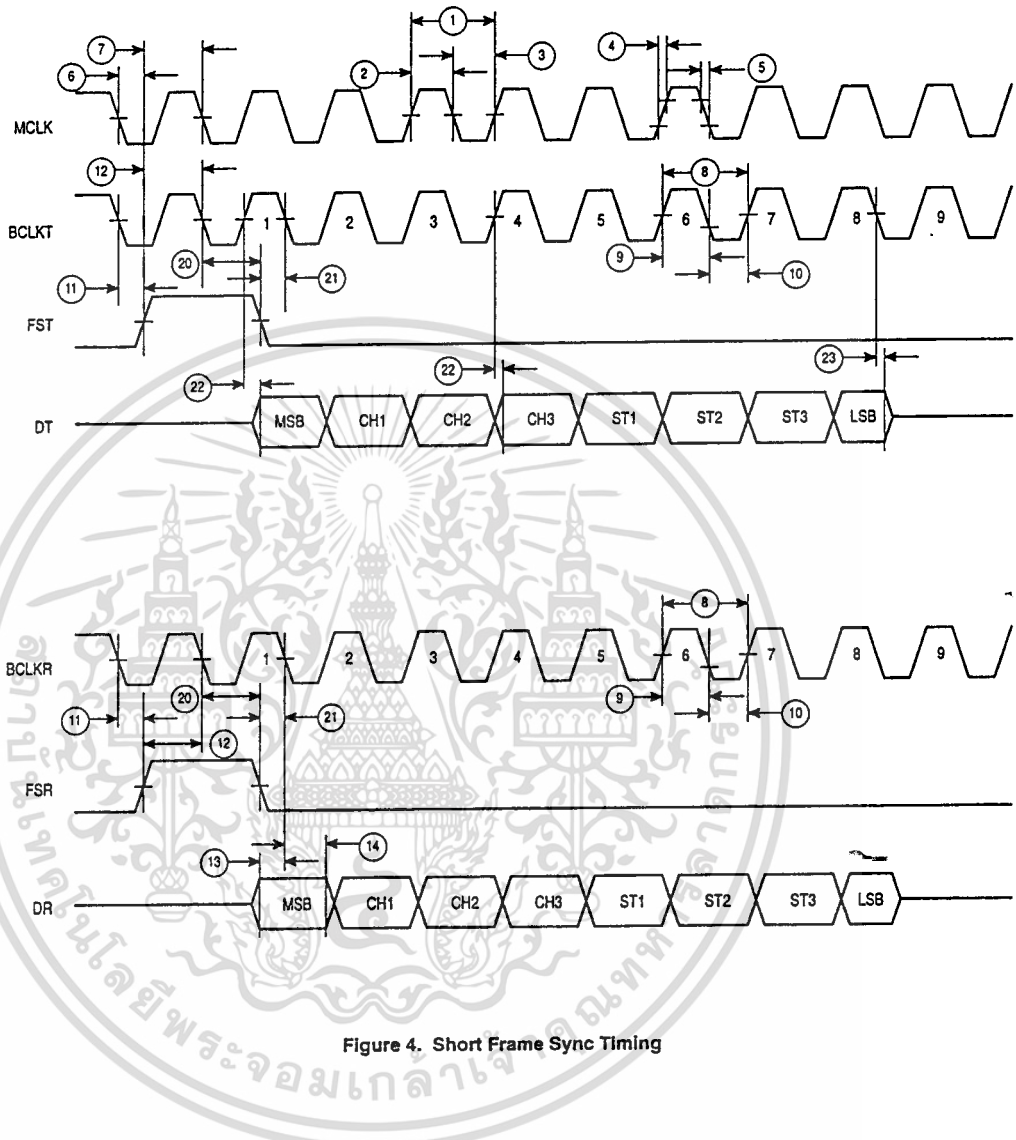


Figure 4. Short Frame Sync Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL SWITCHING CHARACTERISTICS FOR IDL MODE

(V_{DD} = 5.0 V ± 5%, T_A = – 40 to + 85°C, C_L = 150 pF, See Figure 5, Note 1.)

Ref #	Characteristics	Min	Max	Unit
31	Time Between Successive IDL Syncs	Note 2		
32	Hold Time of IDL SYNC After Falling Edge of IDL CLK	20	—	ns
33	Setup Time of IDL SYNC Before Falling Edge IDL CLK	60	—	ns
34	IDL Clock Frequency	256	4096	kHz
35	IDL Clock Pulse Width High	50	—	ns
36	IDL Clock Pulse Width Low	50	—	ns
37	Data Valid on IDL RX Before Falling Edge of IDL CLK	20	—	ns
38	Data Valid on IDL RX After Falling Edge of IDL CLK	75	—	ns
39	Falling Edge of IDL CLK to High Z on IDL TX	10	50	ns
40	Rising Edge of IDL CLK to Low Z and Data Valid on IDL TX	10	60	ns
41	Rising Edge of IDL CLK to Data Valid on IDL TX	—	50	ns

NOTES: 1. Measurements are made from the point at which the logic signal achieves the guaranteed minimum or maximum logic level.
2. In IDL mode, both transmit and receive 8-bit PCM words are accessed during B1 channel or both transmit and receive 8-bit PCM words are accessed during the B2 channel as shown in Figure 5. IDL accesses must occur at a rate of 8 kHz (125 µs interval).

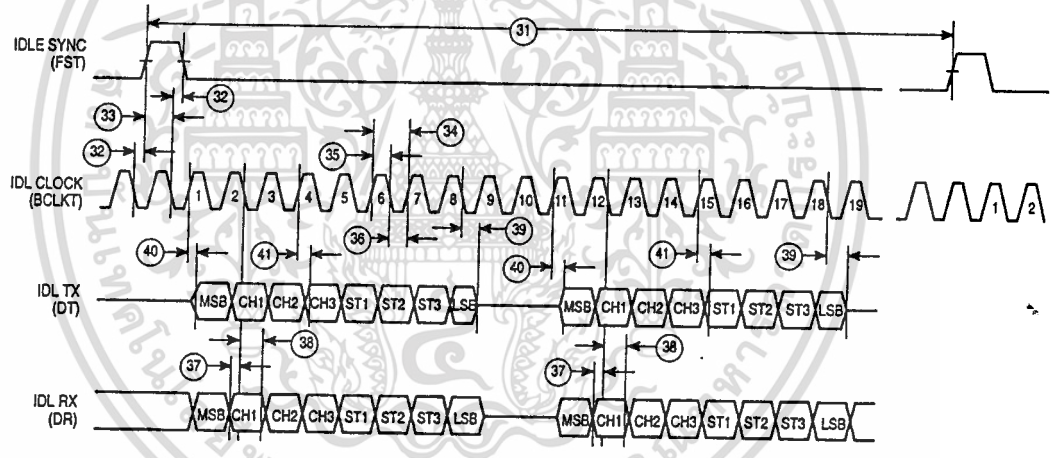


Figure 5. IDL Interface Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL SWITCHING CHARACTERISTICS FOR GCI MODE
(V_{DD} = 5.0 V ± 5%, T_A = – 40 to + 85°C, C_L = 150 pF, See Figure 6, Note 1.)

Ref #	Characteristics	Min	Max	Unit
42	Time Between Successive FSC Pulses	Note 2		
43	DCL Clock Frequency	512	6176	kHz
44	DCL Clock Pulse Width High	50	—	ns
45	DCL Clock Pulse Width Low	50	—	ns
46	Hold Time of FSC After Falling Edge of DCL	20	—	ns
47	Setup Time of FSC to DCL Falling Edge	60	—	ns
48	Rising Edge of DCL (After Rising Edge of FSC) to Low Impedance and Valid Data of D_{out}	—	60	ns
49	Rising Edge of FSC (While DCL is High) to Low Impedance and Valid Data of D_{out}	—	60	ns
50	Rising Edge of DCL to Valid Data on D_{out}	—	60	ns
51	Second DCL Falling Edge During LSB to High Impedance of D_{out}	10	50	ns
52	Setup Time of D_{in} Before Rising Edge of DCL	20	—	ns
53	Hold Time of D_{in} After DCL Rising Edge	—	60	ns

NOTES: 1. Measurements are made from the point at which the logic signal achieves the guaranteed minimum or maximum logic level.
2. In GCI mode, both transmit and receive 8-bit PCM words are accessed during B1 channel or both transmit and receive 8-bit PCM words are accessed during the B2 channel as shown in Figure 6. GCI accesses must occur at a rate of 8 kHz (125 µs interval).

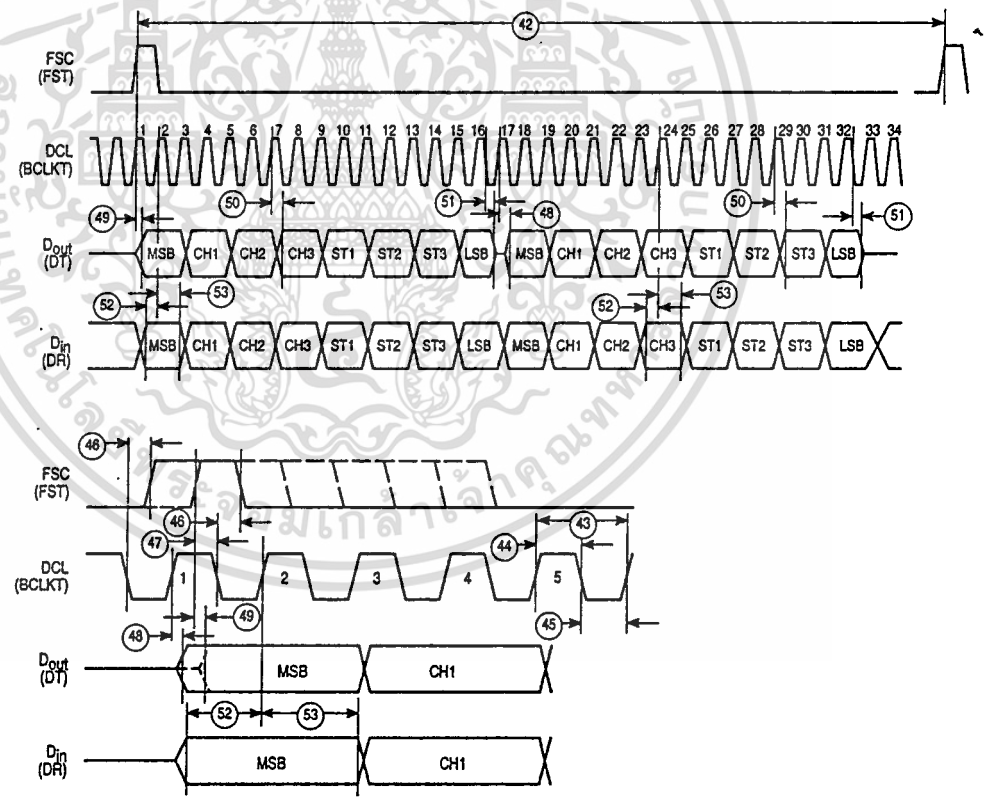


Figure 6. GCI Interface Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

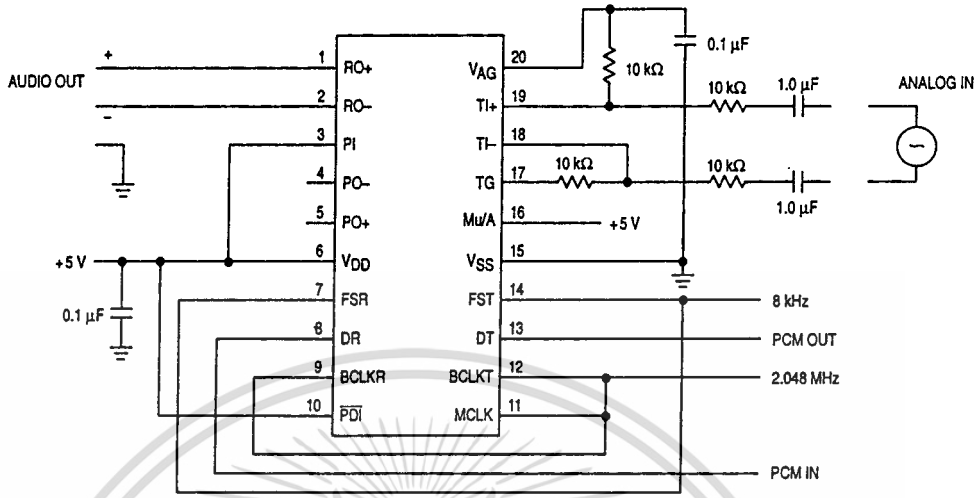


Figure 7. MC145480 Test Circuit with Differential Input and Output

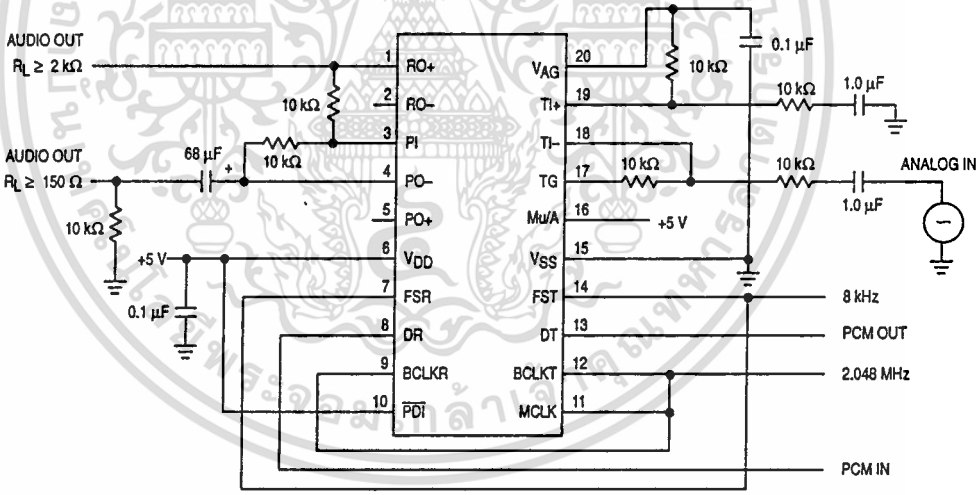


Figure 8. MC145480 Test Circuit with Input and Output Referenced to V_{SS}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

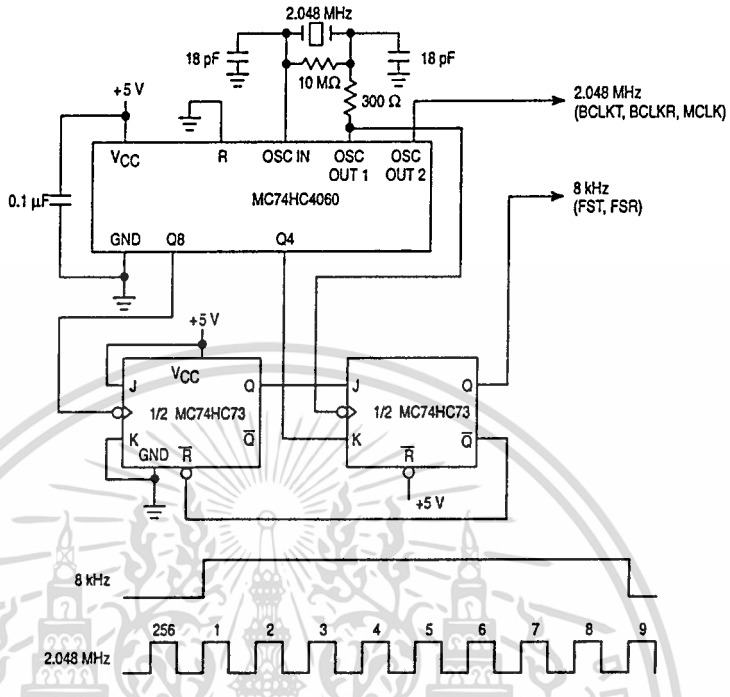


Figure 9. Long Frame Sync Clock Circuit for 2.048 MHz

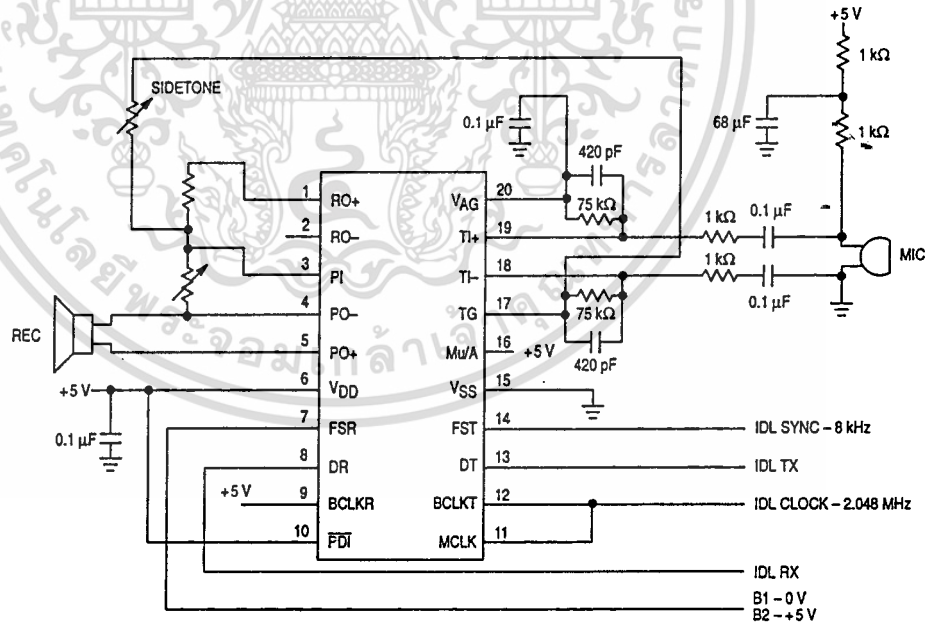


Figure 10. MC145480 Analog Interface to Handset with IDL Clocking

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

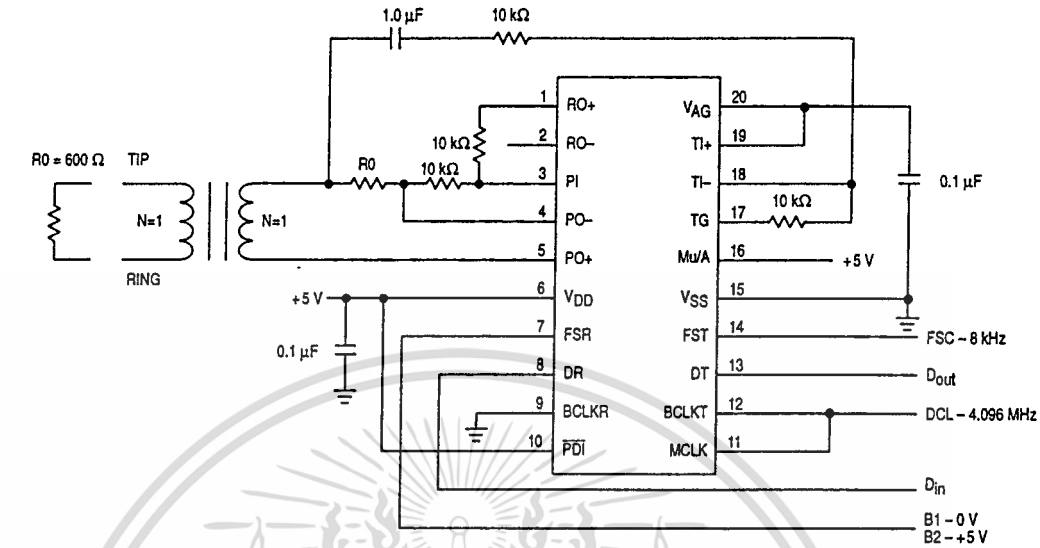


Figure 11. MC145480 Transformer Interface to 600 Ω Telephone Line with GCI Clocking

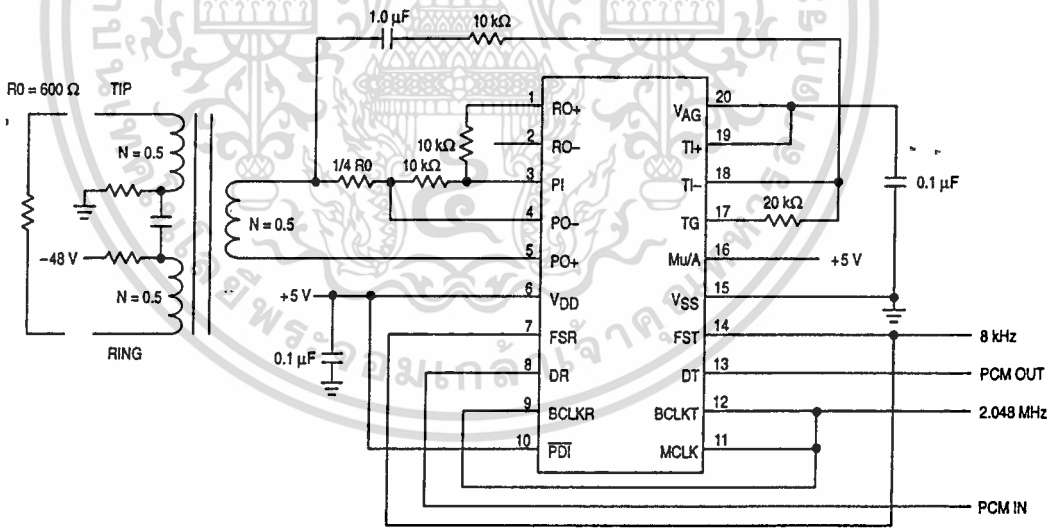


Figure 12. MC145480 Step-Up Transformer Interface to 600 Ω Telephone Line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3. Mu-Law Encode-Decode Characteristics

Chord Number	Number of Steps	Step Size	Normalized Encode Decision Levels	Digital Code 1 Sign	2 Chord	3 Chord	4 Chord	5 Step	6 Step	7 Step	8 Step	Normalized Decode Levels
8	16	256	8159	1	0	0	0	0	0	0	0	8031
			7903					:				:
			4319	1	0	0	0	1	1	1	1	4191
7	16	128	4063					:				:
			2143	1	0	0	1	1	1	1	1	2079
6	16	64	2015					:				:
			1055	1	0	1	0	1	1	1	1	1023
5	16	32	991					:				:
			511	1	0	1	1	1	1	1	1	495
4	16	16	479					:				:
			239	1	1	0	0	1	1	1	1	231
3	16	8	223					:				:
			103	1	1	0	1	1	1	1	1	99
2	16	4	95					:				:
			35	1	1	1	0	1	1	1	1	33
1	15	2	31					:				:
			3	1	1	1	1	1	1	1	0	2
	1	1	1	1	1	1	1	1	1	1	1	0
			0									

NOTES:
1. Characteristics are symmetrical about analog zero with sign bit = 0 for negative analog values.
2. Digital code includes inversion of all magnitude bits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 4. A-Law Encode-Decode Characteristics

Chord Number	Number of Steps	Step Size	Normalized Encode Decision Levels	Digital Code								Normalized Decode Levels
				1	2	3	4	5	6	7	8	
				Sign	Chord	Chord	Chord	Step	Step	Step	Step	
			4096									
7	16	128	3968	1	0	1	0	1	0	1	0	4032
			:					:				:
			2176	1	0	1	0	0	1	0	1	2112
			2048					:				:
6	16	64	:	1	0	1	1	0	1	0	1	1056
			1088					:				:
			1024	1	0	0	0	0	1	0	1	528
5	16	32	:					:				:
			544	1	0	0	1	0	1	0	1	264
			512					:				:
4	16	16	:	1	1	1	0	0	1	0	1	132
			272					:				:
			256	1	1	1	1	0	1	0	1	66
3	16	8	:					:				:
			136	1	1	0	1	0	1	0	1	1
			128									
2	16	4	:									
			68									
			64									
1	32	2	:									
			2									
			0									

NOTES:
1. Characteristics are symmetrical about analog zero with sign bit = 0 for negative analog values.
2. Digital code includes inversion of all even numbered bits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC145532

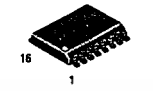
Advance Information

ADPCM Transcoder

Conforms to G.721-1988 and T1.301-1987

The MC145532 Adaptive Differential Pulse Code Modulation (ADPCM) Transcoder provides a low-cost, full-duplex, single-channel transcoder to (from) a 64 kbps PCM channel from (to) either a 16 kbps, 24 kbps, 32 kbps, or 64 kbps channel.

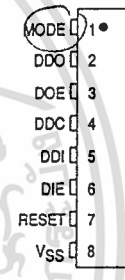
- Complies with CCITT Recommendation G.721-1988
- Complies with the American National Standard (T1.301-1987)
- Full-Duplex, Single-Channel Operation
- μ-Law or A-Law Coding is Pin Selectable
- Synchronous or Asynchronous Operation
- Easily Interfaces with Any Member of Motorola's PCM Codec-Filter Mono-Circuit Family or Other Industry Standard Codec
- Serial PCM and ADPCM Data Transfer Rate from 64 kbps to 5.12 Mbps
- Power Down Capability for Low Current Consumption
- The Reset State, an Option Specified in the Standards, is Automatically Initiated When the RESET Pin is Released
- Simple Time Slot Assignment Timing for Transcoder Applications
- Single 5 V Power Supply
- 16-Pin Package
- The MC145536EVK is the evaluation platform for the MC145532 and also includes the MC145480 5 V PCM Codec-Filter



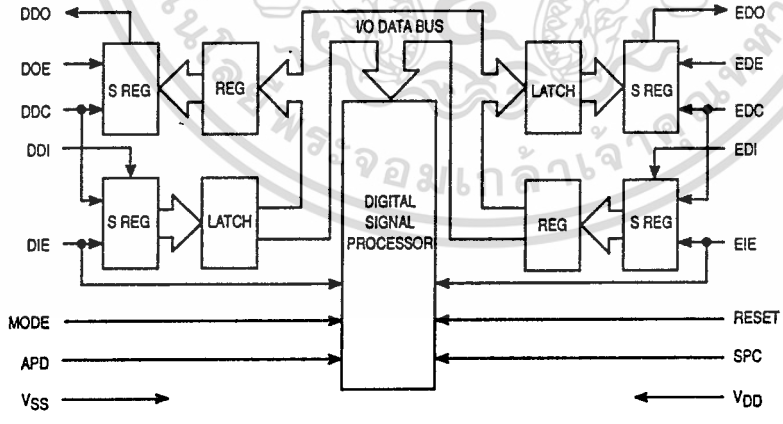
DW SUFFIX
SOG
CASE 751G

L SUFFIX
CERAMIC
CASE 620

PIN ASSIGNMENT



BLOCK DIAGRAM



This document contains information on a new product under development. Motorola reserves the right to change or discontinue this product without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE DESCRIPTION

An Adaptive Differential PCM (ADPCM) transcoder is used to reduce the data rate required to transmit a PCM encoded voice signal while maintaining the voice fidelity and intelligibility of the PCM signal.

The transcoder is used on 64 kbps data streams which represent either voice or voice band data signals that have been digitized by a codec (e.g., MC145557). The transcoder uses a filter to attempt to predict the next PCM input value based on previous PCM input values. The error between the predicted and the true PCM input value is the information that is sent to the other end of the line. Hence the word differential, since the ADPCM data stream is the difference between the true PCM input value and the predicted value. The term "adaptive" applies to the filter that is performing the prediction. It is adaptive in that its transfer function changes based on the PCM input data. That is, it adapts to the statistics of the signals presented to it.

PIN DESCRIPTION

ENCODER INPUT

EDI
Encoder Data Input (Pin 12)
PCM data to be encoded are applied to this input pin which operates synchronously with EDC and EIE to enter the data in a serial format.

EDC
Encoder Data Clock (Pin 13)
Data applied to EDI are latched into the transcoder on a falling edge of EDC and data are output from EDO on a rising edge of this input pin. The frequency of EDC may be as low as 64 kHz or as high as 5.12 MHz.

EIE
Encoder Input Enable (Pin 11)
The beginning of a new PCM word is indicated to the transcoder by a rising edge applied to this input. The frequency of EIE may not exceed 8 kHz.

ENCODER OUTPUT

EDO
Encoder Data Output (Pin 15)
ADPCM data are available in a serial format from this output, which operates synchronously with EDC and EOE. EDO is a three-state output which remains in a high-impedance state, except when presenting data.

EOE
Encoder Output Enable (Pin 14)
Each ADPCM word is requested by a rising edge on this input, which causes the EDO pin to provide the data when clocked by EDC. One EOE must occur for each EIE.

DECODER INPUT

DDI
Decoder Data Input (Pin 5)
ADPCM data to be decoded are applied to this input pin, which operates in conjunction with DDC and DIE to enter the data in a serial format.

DDC
Decoder Data Clock (Pin 4)
Data applied to DDI are latched into the transcoder on the falling edge of DDC and data are output from DDO on the rising edge of DDC. The frequency of DDC may be as low as 64 kHz or as high as 5.12 MHz.

DIE
Decoder Input Enable (Pin 6)
The beginning of a new ADPCM word is indicated by a rising edge applied to this input. Data are serially clocked into DDI on the subsequent falling edges of DDC following the DIE rising edge. The frequency of DIE may not exceed 8 kHz.

DECODER OUTPUT

DDO
Decoder Data Output (Pin 2)
PCM data are available in a serial format from this output, which operates in conjunction with DDC and DOE. DDO is a three-state output that remains at a high-impedance state except when presenting data.

DOE
Decoder Output Enable (Pin 3)
Each ADPCM word is requested by a rising edge on this input which causes the DDO pin to provide the data when clocked by DDC. One DOE must occur for each DIE.

CONTEXT

MODE
Mode Select (Pin 1)
A logic 0 applied to this input makes the transcoder compatible with μ–255 companding and D3 data format. A logic 1 applied to this pin makes the transcoder compatible with A-law companding with even bit inversion data format.

SPC
Signal Processor Clock (Pin 10)
This input is typically clocked with a 20.48 MHz clock signal which is used as the digital signal processor master clock. This pin has a CMOS compatible input.

RESET
Reset (Pin 7)
A logic 0 applied to this input forces the transcoder into a low power dissipation mode. A rising edge on this pin causes power to be restored and the optional transcoder RESET state (specified in the standards) to be forced. Valid data is available at the output pins four input enables after a rising edge on this pin. This pin has a CMOS compatible input.

APD
Absolute Power Down (Pin 9)
A logic 1 applied to this input forces the transcoder into a power saving mode. This pin has a CMOS compatible input.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 16)
The most positive power supply pin, normally 5 V.

V_{SS}
Negative Power Supply (Pin 8)
The most negative power supply pin, normally 0 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

ENCODING/DECODING RATES

The MC145532 allows for the encoding and decoding of data at one of four rates on a sample by sample basis. Each data sample that is provided to the part is accompanied by an indication of the rate at which it is to be encoded or decoded. The width of the enable pulse determines the encoding/decoding rate chosen for each sample.

The 64 kbps rate allows for PCM data to be passed directly through the part. The 32 kbps rate is either the G.721 or the T1.301-1987 standard, depending on the state of the mode pin. The 24 kbps encoding rate is compliant with CCITT G.723 and G.726. The 16 kbps rate is a modified quantizer from the 32 kbps technique and is not a standard.

TIMING

Figures 1 through 8 show the timing of the input and output pins. The MC145532 determines the mode of the timing signals, either short or long frame, for each enable, independent of the mode of any previous enables. A transition from short frame to long frame mode or vice versa will cause at least one frame of data to be destroyed. Each of the four sets of I/O pins determines its mode independent of the other sets. Thus the encoder input could be operating with long frame timing and the output could be operating with short frame timing. Note that the short frame timing on the input enables can only be used with the 32 kbps transcoding rate. The number of data clock falling edges enclosed by the input enable line (EIE or DIE) determines both the short frame or long frame mode and the transcoding rate. The mode of the input or output is determined each frame. In all modes, the data is captured by the MC145532 on the falling edge of either EDC or DDC.

ENCODER INPUT — SHORT FRAME

Figure 1 shows the timing of the encoder data clock (EDC), the encoder input enable (EIE), and the encoder data input (EDI) pins in short frame operation.

The determination of short frame mode is made by the MC145532 based on one falling EDC edge while EIE is high. Note that only a 32 kbps encoding rate can be specified when using short frame mode on the encoder input.

ENCODER INPUT — LONG FRAME

Figure 2 shows the clock, enable, and data signals for the encoder input in long frame mode. In this mode, the data is captured by the MC145532 on the falling edge of EDC.

The determination of the encoding rate is made based on the number of falling EDC edges seen by the MC145532 while EIE is high. Four edges implies a 32 kbps encoding rate, three edges implies a 24 kbps encoding rate, two edges implies a 16 kbps rate, and from five to eight inclusive imply a 64 kbps rate. The encoding rate may be changed on a frame by frame basis. The encoded word is available at EDO (via EOE and EDC) from 250 µs to 375 µs after it is requested.

ENCODER OUTPUT — SHORT FRAME

Figure 3 shows the timing of the encoder output in short frame mode. The length of the LSB is always one half of an EDC cycle.

The EDO will provide the correct number of bits for the encoding rate that was selected for this frame of data on the encoder input pins. The data is loaded into the MC145532 during one frame, encoded on the next frame, and read during the third frame.

ENCODER OUTPUT — LONG FRAME

Figure 4 shows the timing of the encoder output in long frame mode. The enable must be wider than two falling edges of the EDC to be in long frame mode. If the enable falls before the correct number of bits have been presented to the output (EDO), the transcoder will complete the presentation of the bits to the output with the LSB being one half of an EDC period wide. If the enable falls after the one half EDC period of the LSB, then the LSB will be extended up to the full EDC clock period and the subsequent data will be a recirculation of the previous data, which repeats until the enable pin falls. This is shown on the second enable for the 16 kbps encoding rate example in Figure 4.

DECODER INPUT — SHORT FRAME

Figure 5 shows the timing of the decoder data clock, the decoder input enable, and the decoder data input pins in short frame operation. Note that in this mode only a 32 kbps decoding rate can be selected.

DECODER INPUT — LONG FRAME

Figure 6 shows the clock, enable, and data signals for the decoder input in long frame mode.

The determination of the decoding rate is made based on the number of falling DDC edges seen by the MC145532 while DIE is high. Four edges implies a 32 kbps decoding rate, three edges implies a 24 kbps decoding rate, two edges implies a 16 kbps rate, and from five to eight edges inclusive imply a 64 kbps rate. The decoding rate may be changed on a frame by frame basis.

DECODER OUTPUT — SHORT FRAME

Figure 7 shows the timing of the decoder output in short frame mode.

The DDO will provide the 8-bit PCM word for the decoding rate that was selected for this frame of data on the decoder input pins. The data is loaded into the MC145532 during one frame, decoded on the next frame, and read during the third frame.

DECODER OUTPUT — LONG FRAME

Figure 8 shows the timing of the decoder output in long frame mode. Note that at least eight bits are presented to the output, provided that at least two falling edges of DDC are seen while DOE is high. The enable can be used to extend the LSB to a full DDC period and/or cause the eight bits of data to be recirculated to the output pin until the enable falls.

STANDARDS INFORMATION

The following standards apply to the MC145532:

T1.301-1987—32 kbps APDCM

T1.303-1988—24 kbps ADPCM.

CCITT G.721, G.723, and G.726—32 kpbs and 24 kpbs

CCITT documents may be obtained by contacting Omnicom in the USA at (703) 281-1135.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (Voltages Referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	– 0.5 to + 7.0	V
Voltage, Any Pin to V_{SS}	V	– 0.5 to V_{DD} + 0.5	V
DC Current, Any Pin	I_{in}	±10	mA
Operating Temperature	T_A	– 40 to + 85	°C
Storage Temperature	T_{stg}	– 85 to + 150	°C

This device contains circuitry to protect against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

RECOMMENDED OPERATING CONDITIONS (T_A = – 40 to + 85°C)

Parameter	Symbol	Min	Max	Unit
DC Supply Voltage	V_{DD}	4.50	5.50	V
Power Dissipation	P_D	—	0.28	W

DIGITAL CHARACTERISTICS (V_{DD} = 5.0 V, T_A = – 40 to + 85°C)

Parameter		Symbol	Min	Max	Unit
High Level Input Voltage	Mode, DOE, DDC, DDI, DIE, EIE, EDI, EDC, EOE	V_{IH}	2.0	—	V
Low Level Input Voltage	Mode, DOE, DDC, DDI, DIE, EIE, EDI, EDC, EOE	V_{IL}	—	0.8	V
High Level Input Voltage	RESET, APD, SPC	V_{IH}	0.7 V_{DD}	—	V
Low Level Input Voltage	RESET, APD, SPC	V_{IL}	—	0.3 V_{DD}	V
Input Current		I_{in}	—	± 1.0	µA
Input Capacitance		C_{in}	—	10	pF
High Level Output Voltage (I_{OH} = –2.0 mA)	DDO, EDO	V_{OH}	4.6	—	V
Low Level Output Voltage (I_{OL} = 2.0 MA)	DDO, EDO	V_{OL}	—	0.4	V
Output Leakage Current (V_{DD} = 5.5 V)	DDO, EDO	I_{lkg}	—	± 5.0	µA

SWITCHING CHARACTERISTICS (V_{DD} = 5.0 V, T_A = – 40 to + 85°C)

Parameter	Min	Max	Unit
SPC Frequency	19.990	23	MHz
SPC Duty Cycle	45	55	%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ENCODER INPUT — SHORT FRAME (V_{DD} = 5.0 V, T_A = – 40 to + 85°C)

Parameter	Symbol	Min	Max	Unit
Enable Low Setup Time	$t_{su(EIE)L}$	15	—	ns
Enable Low Hold Time	$t_{h(EIE)H}$	30	—	ns
Enable Valid Time	$t_{V(EIE)}$	15	—	ns
Enable Hold Time	$t_{h(EIE)}$	15	—	ns
Data Valid Time	$t_{v(EDI)}$	15	—	ns
Data Hold Time	$t_{h(EDI)}$	15	—	ns

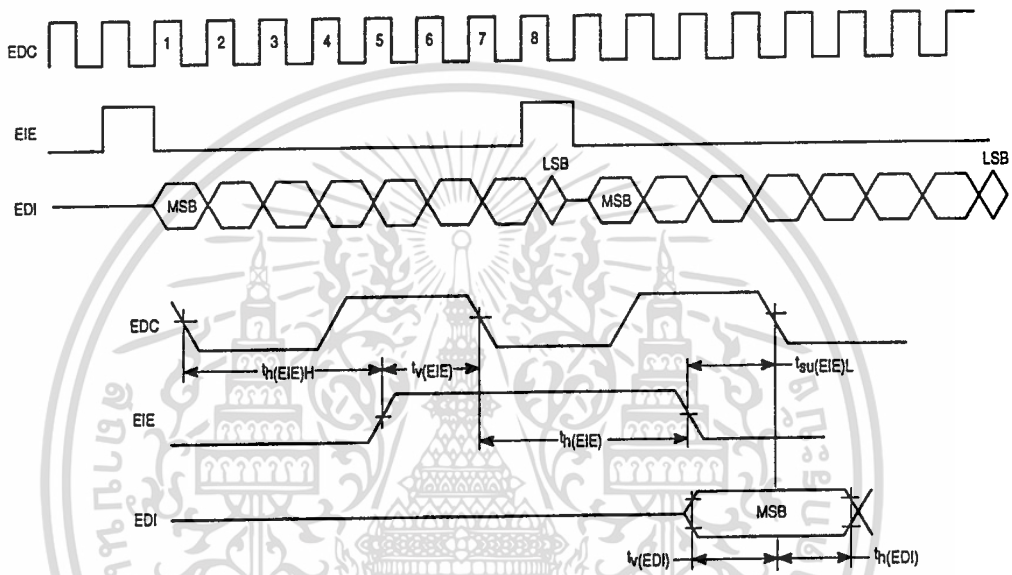


Figure 1. Encoder Input Timing—Short Frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ENCODER INPUT — LONG FRAME (V_{DD} = 5.0 V, T_A = – 40 to + 85°C)

Parameter	Symbol	Min	Max	Unit
Enable Low Hold Time	$t_{h(EIE)L}$	30	—	ns
Enable Valid Time	$t_{v(EIE)}$	15	—	ns
Data Valid Time	$t_{v(EDI)}$	15	—	ns
Data Hold Time	$t_{h(EDI)}$	15	—	ns

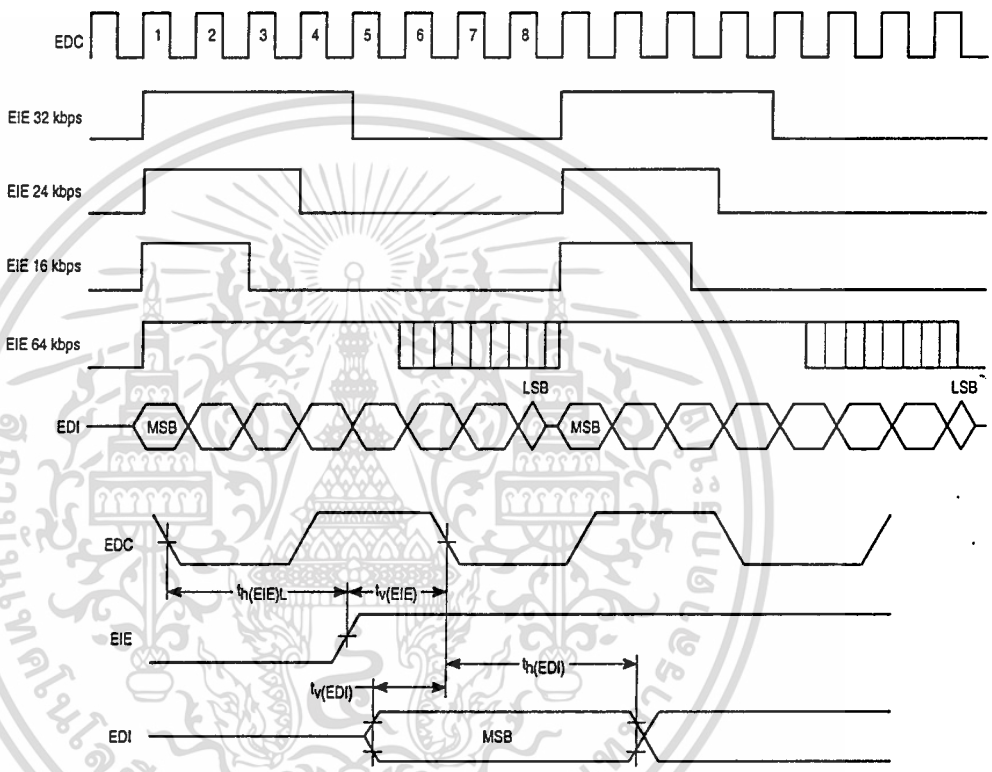


Figure 2. Encoder Input Timing—Long Frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ENCODER OUTPUT — SHORT FRAME (V_{DD} = 5.0 V, T_A = – 40 to + 85°C)

Parameter	Symbol	Min	Max	Unit
Enable Low Hold Time	$t_{h(EOE)L}$	30	—	ns
Enable Valid Time	$t_{v(EOE)}$	15	—	ns
Enable Hold Time	$t_{h(EOE)}$	15	—	ns
Data Valid Time	$t_{v(EDO)}$	—	40	ns
Data Three-State Time (with 150 pF Load)	$t_{z(EDO)}$	1	30	ns

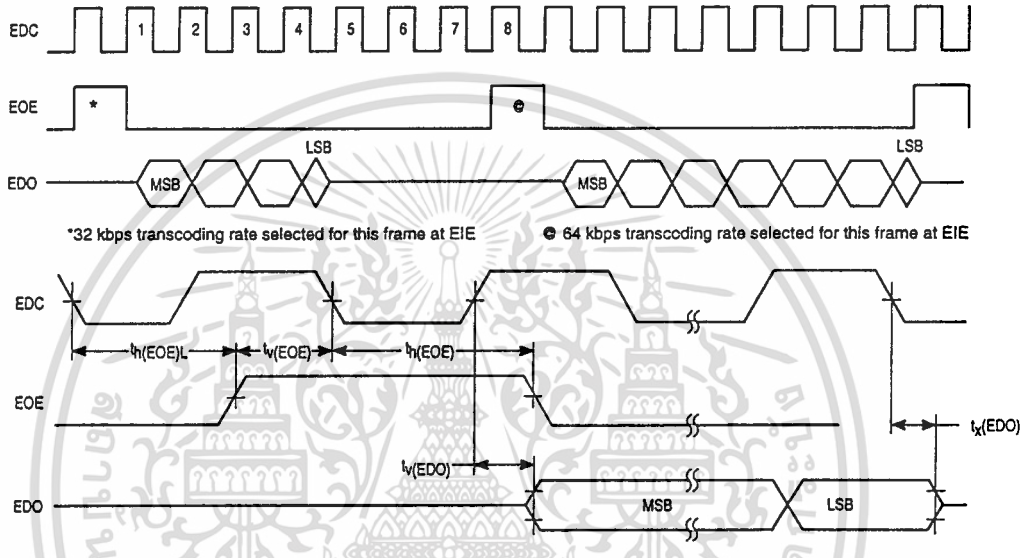


Figure 3. Encoder Output Timing—Short Frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DECODER INPUT — LONG FRAME (V_{DD} = 5.0 V, T_A = – 40 to + 85°C)

Parameter	Symbol	Min	Max	Unit
Enable Hold Time from Falling DDC	$t_{h(DIE)}$	30	—	ns
Enable Valid Time to Falling DDC	$t_{v(DIE)}$	15	—	ns
Data Valid Time to Falling DDC	$t_{v(DDI)}$	15	—	ns
Data Hold Time from Falling DDC	$t_{h(DDI)}$	15	—	ns

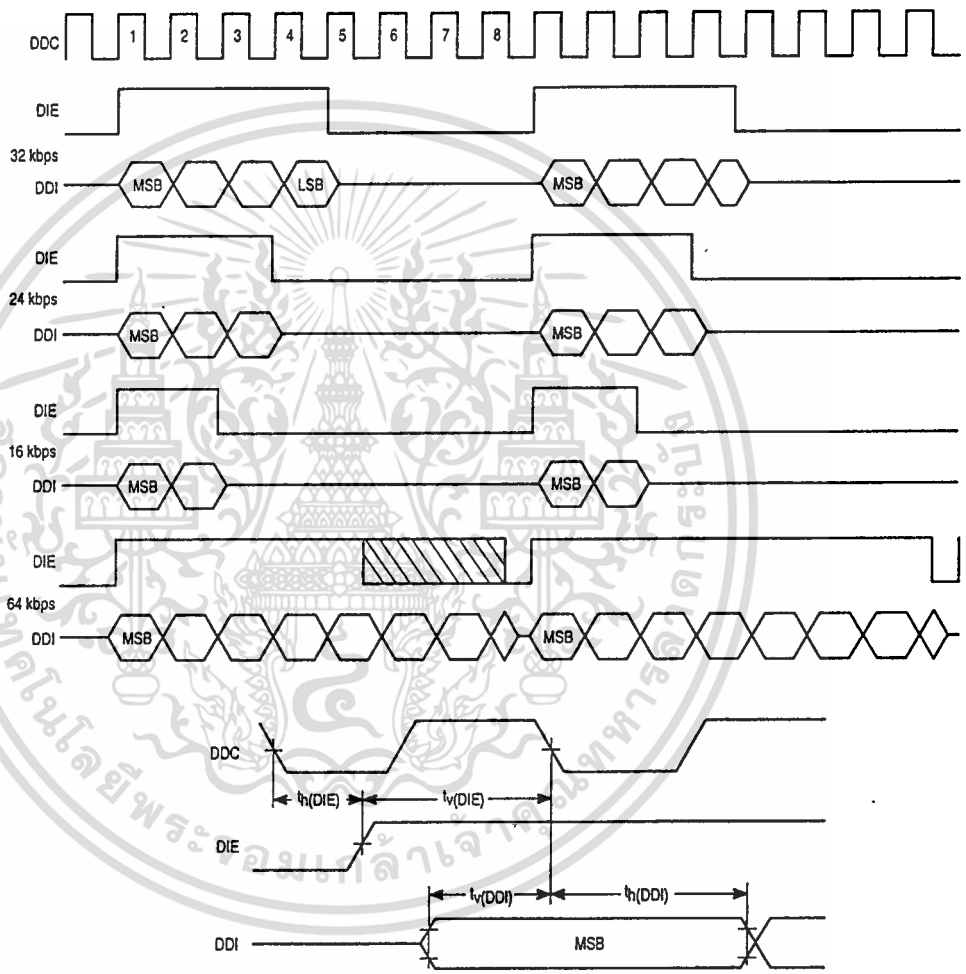


Figure 6. Decoder Input Timing—Long Frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DECODER OUTPUT — SHORT FRAME (V_{DD} = 5.0 V, T_A = – 40 to + 85°C)

Parameter	Symbol	Min	Max	Unit
Enable Low Hold Time	$t_{h(DOE)L}$	30	—	ns
Enable Valid Time	$t_{v(DOE)}$	15	—	ns
Enable Hold Time	$t_{h(DOE)}$	15	—	ns
Rising Edge of DDC to Valid DDO	$t_{v(DDO)}$	—	40	ns
Delay Time from 8th DDC Low to DDO Output Disabled	$t_{z(DDO)}$	—	30	ns

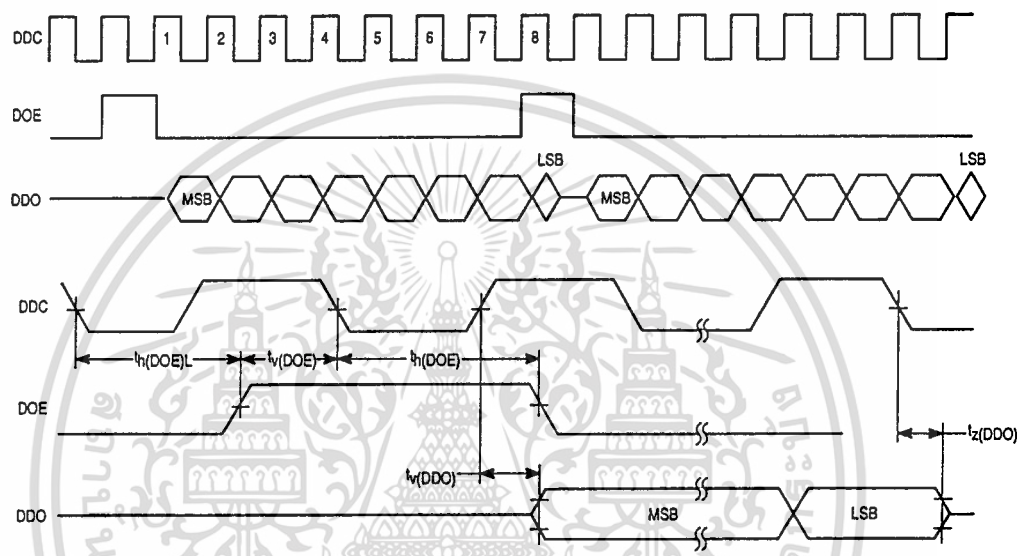


Figure 7. Decoder Output Timing—Short Frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DECODER OUTPUT — LONG FRAME (V_{DD} = 5.0 V, T_A = – 40 to + 85°C)

Parameter	Symbol	Min	Max	Unit
Enable Low Hold Time	$t_{h(DOE)L}$	30	—	ns
Enable Valid Time	$t_{v(DOE)}$	15	—	ns
Rising Edge of DDE to Valid DDO (when DDC is High)	$t_{DOE-DDO}$	—	40	ns
Rising Edge of DDC to Valid DDO (when DOE is High)	$t_{DDC-DDO}$	—	45	ns
Delay Time from 8th DDC Low or DOE Low to DDO Output Disabled	$t_{z(DDO)}$	0	30	ns

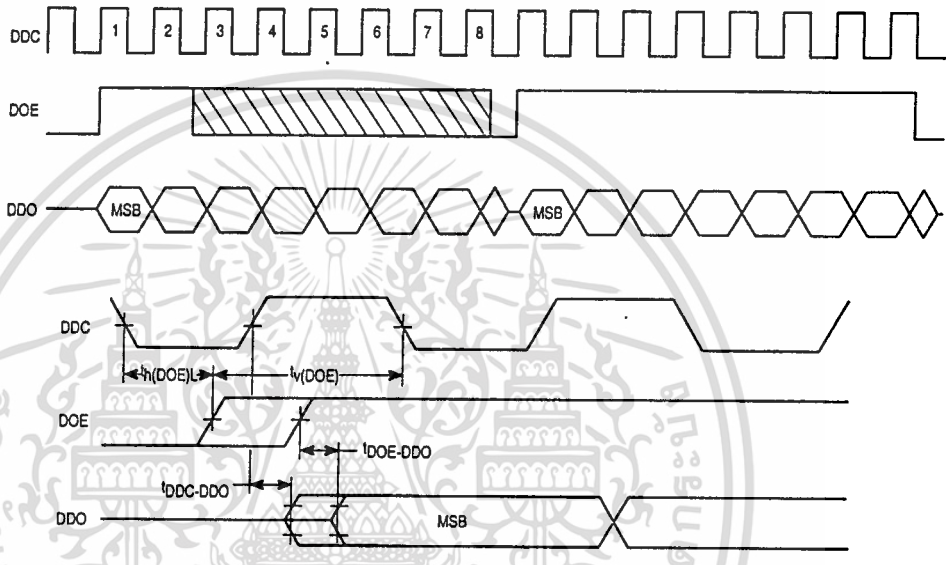


Figure 8. Decoder Output Timing—Long Frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

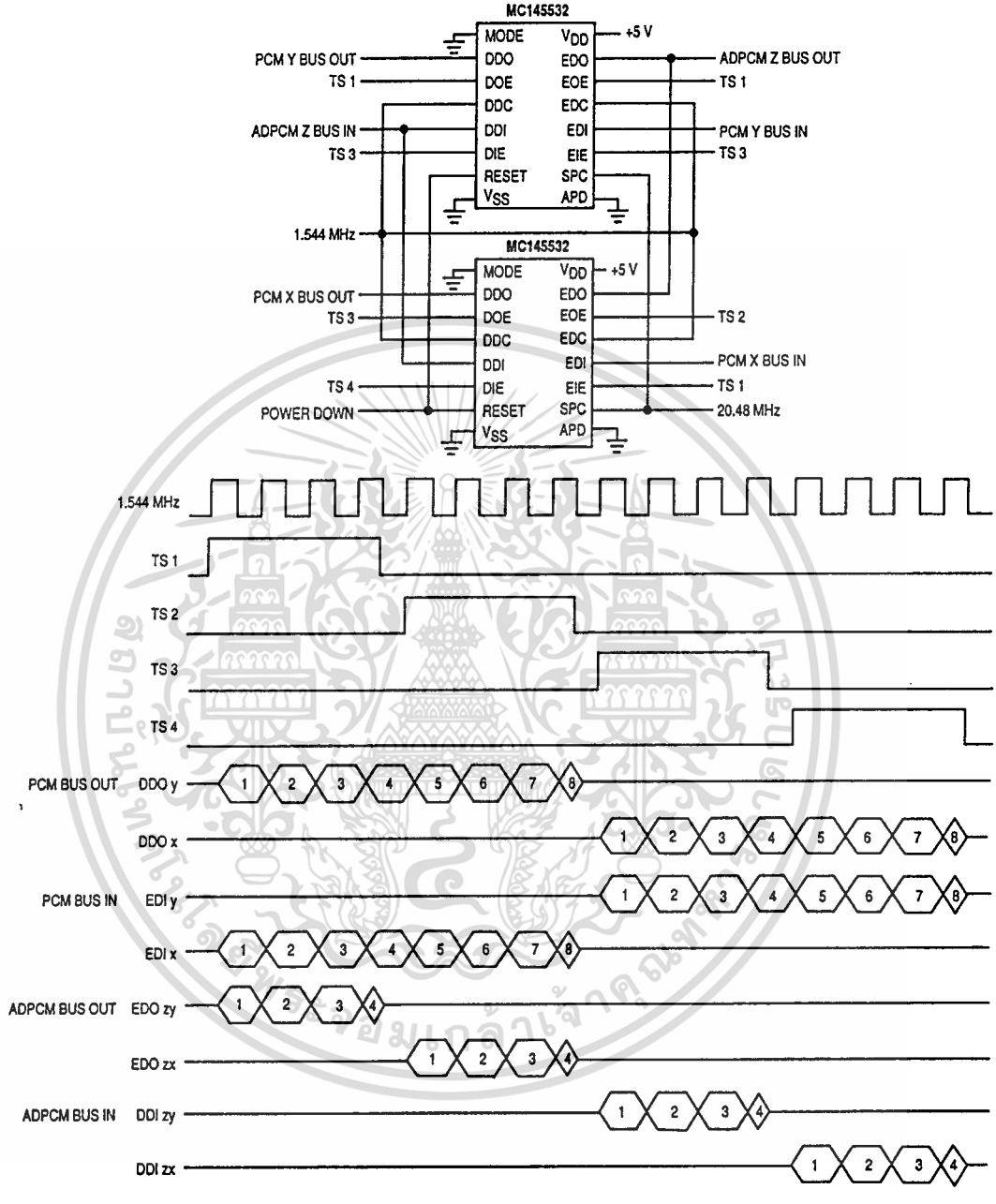


Figure 9. ADPCM Transcoder Application

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

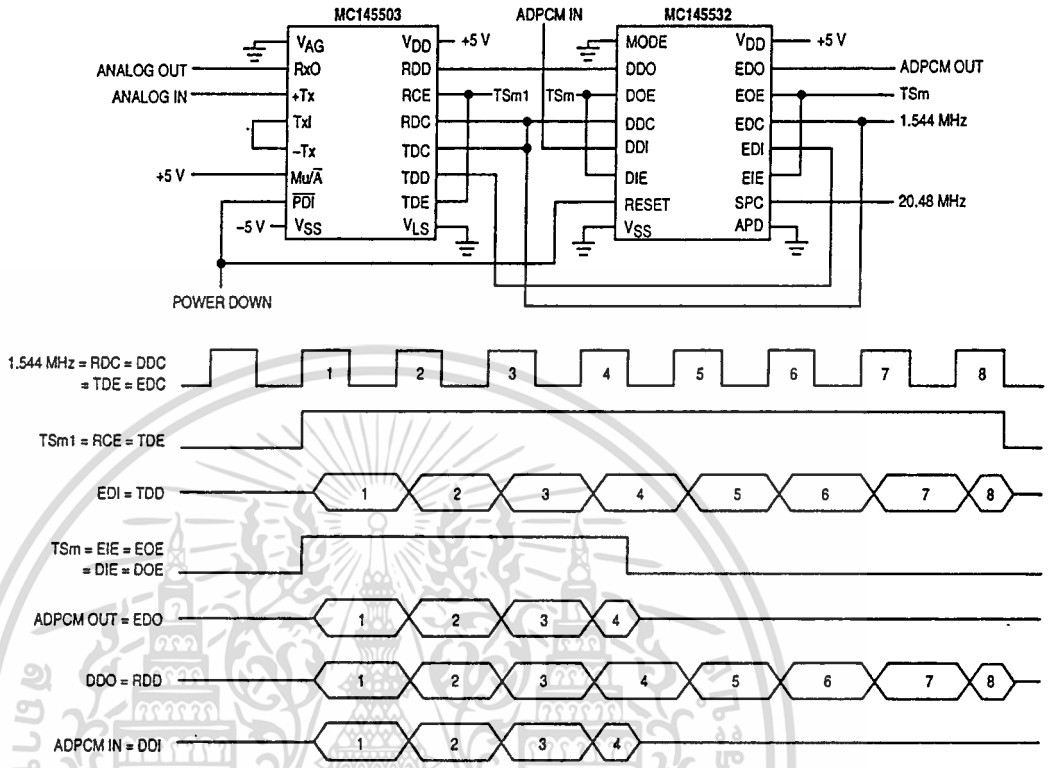


Figure 10. ADPCM Transcoder/Codec Application

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC74A

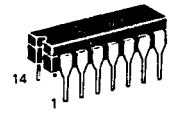
Dual D Flip-Flop with Set and Reset

High-Performance Silicon-Gate CMOS

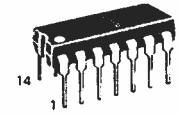
The MC54/74HC74A is identical in pinout to the LS74. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of two D flip-flops with individual Set, Reset, and Clock inputs. Information at a D-input is transferred to the corresponding Q output on the next positive going edge of the clock input. Both Q and $\overline{Q}$ outputs are available from each flip-flop. The Set and Reset inputs are asynchronous.

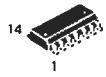
- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 128 FETs or 32 Equivalent Gates



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06



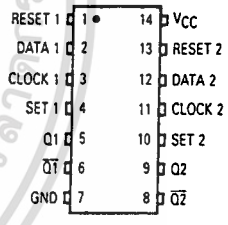
D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

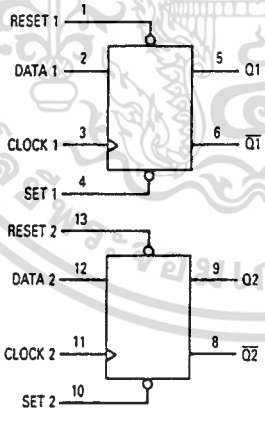
MC74HCXXAN	Plastic
MC54HCXXAJ	Ceramic
MC74HCXXAD	SOIC

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

PIN ASSIGNMENT



LOGIC DIAGRAM



PIN 14 = V_{CC}
PIN 7 = GND

FUNCTION TABLE

Inputs				Outputs	
Set	Reset	Clock	Data	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	No Change	
H	H	H	X	No Change	
H	H	↓	X	No Change	

*Both outputs will remain high as long as Set and Reset are low, but the output states are unpredictable if Set and Reset go high simultaneously.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP or SOIC Package)	260	
	(Ceramic DIP)	300	

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.
†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C
For high frequency or heavy load considerations, see Chapter 4.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions		V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA		2.0	1.5	1.5	1.5	V
				4.5	3.15	3.15	3.15	
				6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA		2.0	0.5	0.5	0.5	V
				4.5	1.35	1.35	1.35	
				6.0	1.8	1.8	1.8	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA		2.0	1.9	1.9	1.9	V
				4.5	4.4	4.4	4.4	
				6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\|$ ≤ 4.0 mA	4.5	3.98	3.84	3.7	
			$\|I_{out}\|$ ≤ 5.2 mA	6.0	5.48	5.34	5.2	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA		2.0	0.1	0.1	0.1	V
				4.5	0.1	0.1	0.1	
				6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL}	$\|I_{out}\|$ ≤ 4.0 mA	4.5	0.26	0.33	0.4	
			$\|I_{out}\|$ ≤ 5.2 mA	6.0	0.26	0.33	0.4	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND		6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} = GND I_{out} = 0 μA		6.0	2.0	20	80	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6.0 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0 4.5 6.0	6.0 30 35	4.8 24 28	4.0 20 24	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q or $\overline{Q}$ (Figures 1 and 4)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Set or Reset to Q or $\overline{Q}$ (Figures 2 and 4)	2.0 4.5 6.0	105 21 18	130 26 22	160 32 27	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

C_{PD}	Power Dissipation Capacitance (Per Flip-Flop) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$	Typical @ 25°C, V_{CC} = 5.0 V	pF
		39	

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6.0 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{su}	Minimum Setup Time, Data to Clock (Figure 3)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_h	Minimum Hold Time, Clock to Data (Figure 3)	2.0 4.5 6.0	3.0 3.0 3.0	3.0 3.0 3.0	3.0 3.0 3.0.	ns
t_{rec}	Minimum Recovery Time, Set or Reset Inactive to Clock (Figure 2)	2.0 4.5 6.0	8.0 8.0 8.0	8.0 8.0 8.0	8.0 8.0 8.0	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 4.5 6.0	60 12 10	75 15 13	90 18 15	ns
t_w	Minimum Pulse Width, Set or Reset (Figure 2)	2.0 4.5 6.0	60 12 10	75 15 13	90 18 15	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

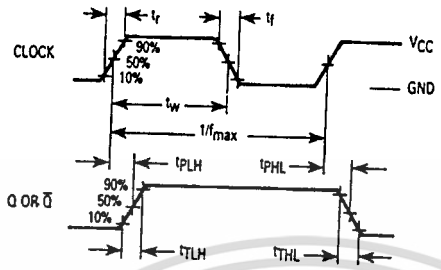


Figure 1.

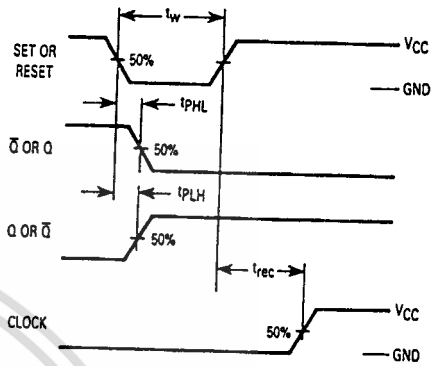


Figure 2.

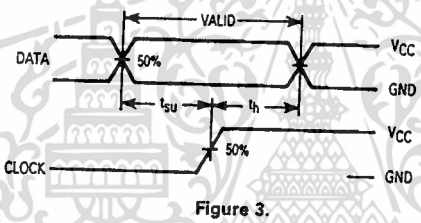
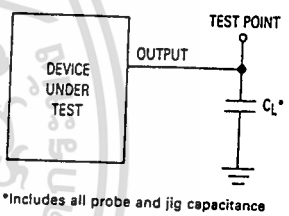


Figure 3.

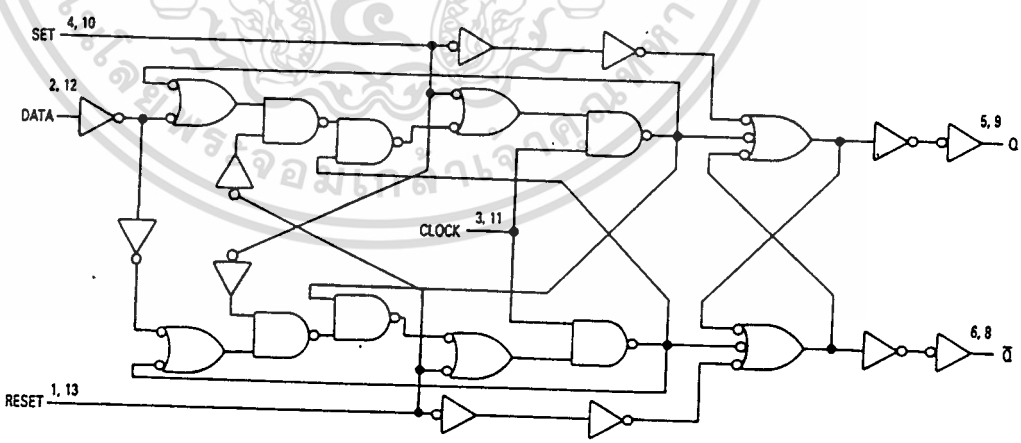


*Includes all probe and jig capacitance

Figure 4.

5

EXPANDED LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

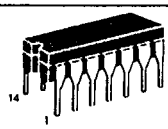
MC54/74HC04A

Hex Inverter
High-Performance Silicon-Gate CMOS

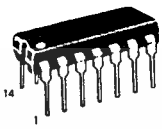
The MC54/74HC04A is identical in pinout to the LS04 and the MC14069. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of six three-stage inverters.

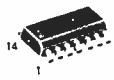
- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 36 FETs or 9 Equivalent Gates



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06



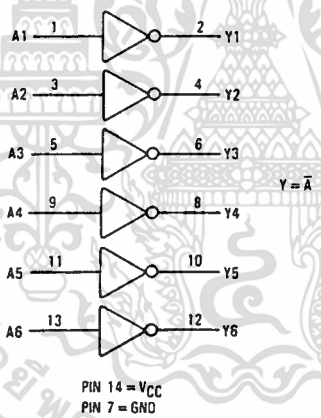
D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

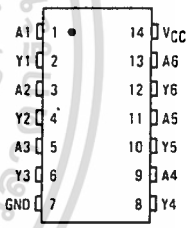
MC74HCXXAN	Plastic
MC54HCXXAJ	Ceramic
MC74HCXXAD	SOIC

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

LOGIC DIAGRAM



PIN ASSIGNMENT



FUNCTION TABLE

Inputs A	Outputs Y
L	H
H	L

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP or SOIC Package)	260	
	(Ceramic DIP)	300	

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.
†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C
For high frequency or heavy load considerations, see Chapter 4.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $GND \le (V_{in} \text{ or } V_{out}) \le V_{CC}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time	V_{CC} = 2.0 V	0	1000	ns
	(Figure 1)	V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				25°C to −55°C	≤85°C	≤125°C	
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V, $\|I_{out}\| \le 20$ μA	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = V_{CC} − 0.1 V, $\|I_{out}\| \le 20$ μA	2.0	0.5	0.5	0.5	V
			4.5	1.35	1.35	1.35	
			6.0	1.8	1.8	1.8	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IL}, $\|I_{out}\| \le 20$ μA	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		V_{in} = V_{IL}, $\|I_{out}\| \le 4.0$ mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\| \le 5.2$ mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH}, $\|I_{out}\| \le 20$ μA	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		V_{in} = V_{IH}, $\|I_{out}\| \le 4.0$ mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\| \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND, I_{out} = 0 μA	6.0	1	10	40	μA

NOTE: Information on typical parametric values and high frequency or heavy load considerations can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input A to Output Y (Figures 1 and 2)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

C_{PD}	Power Dissipation Capacitance (Per Inverter) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$	Typical @ 25°C, V_{CC} = 5.0 V	pF
		20	

NOTE: For propagation delays with loads other than 50 pF and information on typical parametric values and load considerations, see Chapter 4.

SWITCHING WAVEFORMS

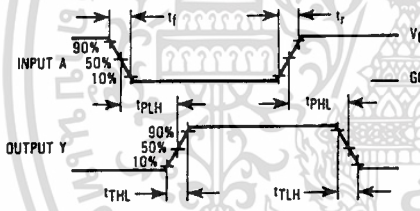
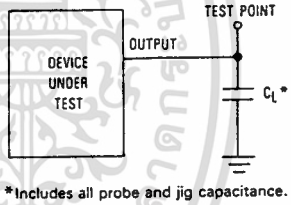


Figure 1



*Includes all probe and jig capacitance.

Figure 2. Test Circuit

EXPANDED LOGIC DIAGRAM

(1/6 of Device Shown)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{su}	Minimum Setup Time, Parallel Data Inputs to Serial Shift/$\overline{\text{Parallel Load}}$ (Figure 4)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{su}	Minimum Setup Time, Input S_A to Clock (or Clock Inhibit) (Figure 5)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{su}	Minimum Setup Time, Serial Shift/$\overline{\text{Parallel Load}}$ to Clock (or Clock Inhibit) (Figure 6)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{su}	Minimum Setup Time, Clock to Clock Inhibit (Figure 7)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_h	Minimum Hold Time, Serial Shift/$\overline{\text{Parallel Load}}$ to Parallel Data Inputs (Figure 4)	2.0 4.5 6.0	5 5 5	5 5 5	5 5 5	ns
t_h	Minimum Hold Time, Clock (or Clock Inhibit) to Input S_A (Figure 5)	2.0 4.5 6.0	5 5 5	5 5 5	5 5 5	ns
t_h	Minimum Hold Time, Clock (or Clock Inhibit) to Serial Shift/$\overline{\text{Parallel Load}}$ (Figure 6)	2.0 4.5 6.0	5 5 5	5 5 5	5 5 5	ns
t_{rec}	Minimum Recovery Time, Clock to Clock Inhibit (Figure 7)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_w	Minimum Pulse Width, Clock (or Clock Inhibit) (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Serial Shift/$\overline{\text{Parallel Load}}$ (Figure 2)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 4.

5

PIN DESCRIPTIONS

INPUTS

A, B, C, D, E, F, G, H (PINS 11, 12, 13, 14, 3, 4, 5, 6) — Parallel Data inputs. Data on these inputs are asynchronously entered in parallel into the internal flip-flops when the Serial Shift/$\overline{\text{Parallel Load}}$ input is low.

S_A (PIN 10) — Serial Data input. When the Serial Shift/$\overline{\text{Parallel Load}}$ input is high, data on this pin is serially entered into the first stage of the shift register with the rising edge of the Clock.

CONTROL INPUTS

SERIAL SHIFT/$\overline{\text{PARALLEL LOAD}}$ (PIN 1) — Data-entry control input. When a high level is applied to this pin, data at the Serial Data input (S_A) are shifted into the register with the rising edge of the Clock. When a low level is applied to this pin, data at the Parallel Data inputs are asynchronously loaded into each of the eight internal stages.

CLOCK, CLOCK INHIBIT (PINS 2, 15) — Clock inputs. These two clock inputs function identically. Either may be used as an active-high clock inhibit. However, to avoid double clocking, the inhibit input should go high only while the clock input is high.

The shift register is completely static, allowing Clock rates down to DC in a continuous or intermittent mode.

OUTPUTS

Q_H, $\overline{Q}_H$ (PINS 9, 7) — Complementary Shift Register outputs. These pins are the noninverted and inverted outputs of the eighth stage of the shift register.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

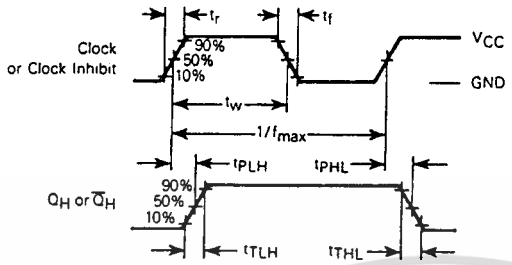


Figure 1. Serial-Shift Mode

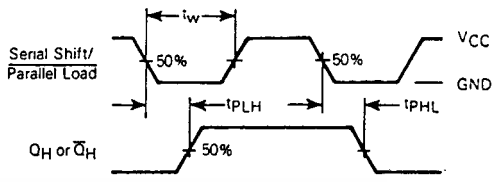


Figure 2. Parallel-Load Mode

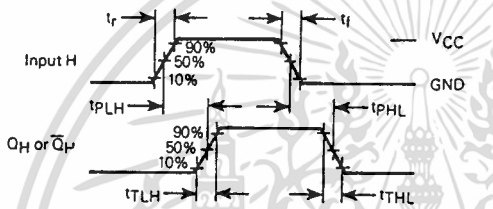


Figure 3. Parallel-Load Mode

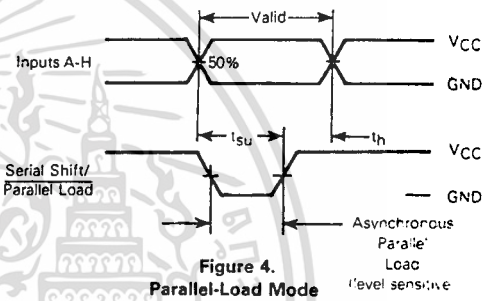


Figure 4.
Parallel-Load Mode

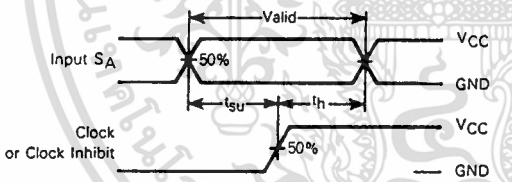


Figure 5. Serial-Shift Mode

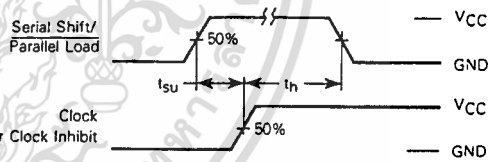


Figure 6. Serial-Shift Mode

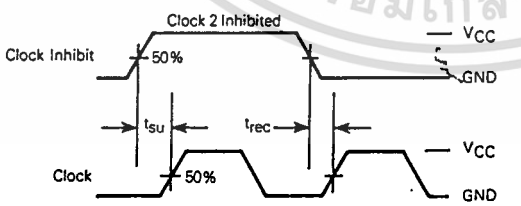
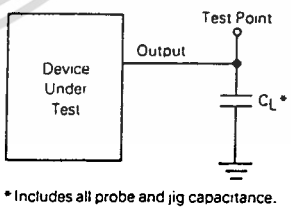


Figure 7. Serial-Shift,
Clock-Inhibit Mode

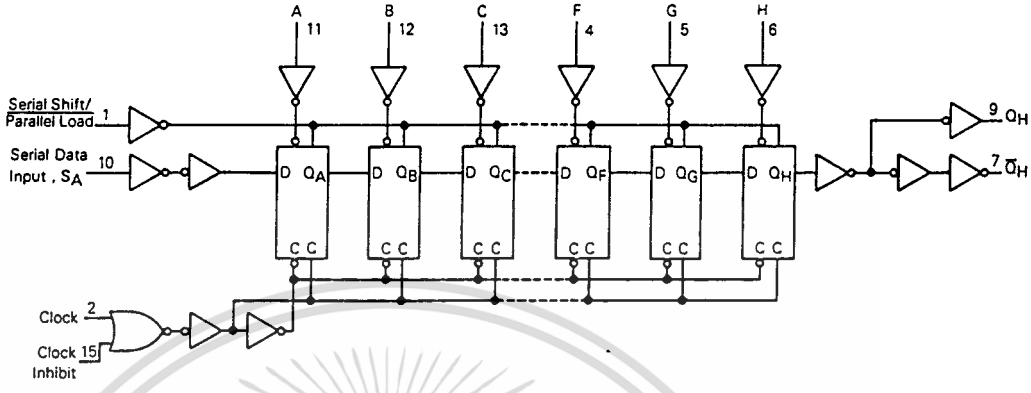


* Includes all probe and jig capacitance.

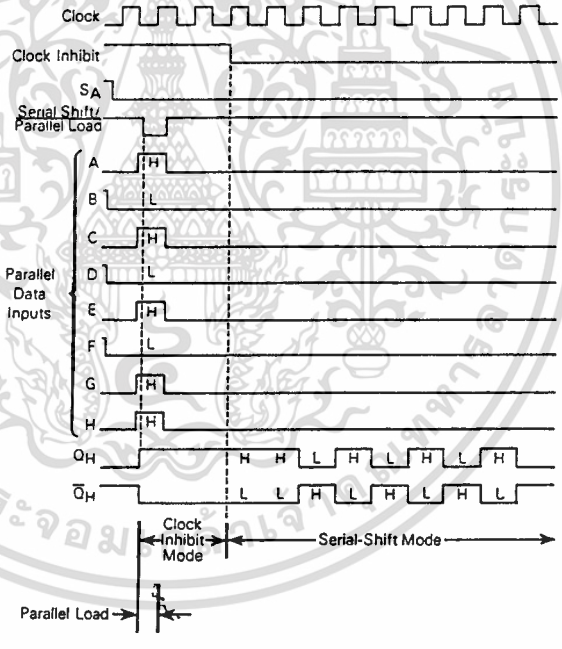
Figure 8. Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPANDED LOGIC DIAGRAM



TIMING DIAGRAM



5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC393

Dual 4-Stage Binary Ripple Counter

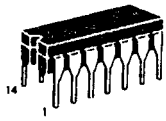
High-Performance Silicon-Gate CMOS

The MC54/74HC393 is identical in pinout to the LS393. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

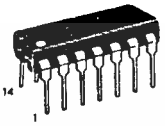
This device consists of two independent 4-bit binary ripple counters with parallel outputs from each counter stage. A ÷256 counter can be obtained by cascading the two binary counters.

Internal flip-flops are triggered by high-to-low transitions of the clock input. Reset for the counters is asynchronous and active-high. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used as clocks or as strobes except when gated with the Clock of the HC393.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 236 FETs or 59 Equivalent Gates



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

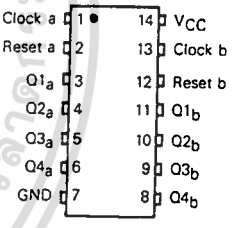
D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

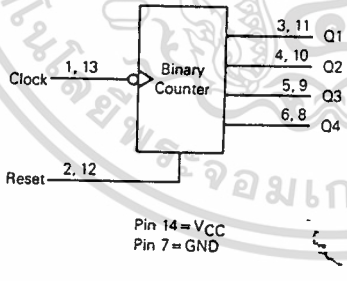
MC74HCXXXD	SOIC
MC74HCXXXN	Plastic
MC54HCXXXJ	Ceramic

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

PIN ASSIGNMENT



LOGIC DIAGRAM



FUNCTION TABLE

Inputs		Outputs
Clock	Reset	
X	H	L
H	L	No Change
L	L	No Change
↓	L	No Change
↑	L	Advance to Next State

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP)	260	
	(Ceramic DIP)	300	

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.
†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C
For high frequency or heavy load considerations, see Chapter 4.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $GND \le (V_{in} \text{ or } V_{out}) \le V_{CC}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time	V_{CC} = 2.0 V	0	1000	ns
	(Figure 1)	V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				25°C to −55°C	≤85°C	≤125°C	
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V; $\|I_{out}\| \le 20\ \mu A$	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V; $\|I_{out}\| \le 20\ \mu A$	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	$V_{in} = V_{IH}$ or V_{IL}; $\|I_{out}\| \le 20\ \mu A$	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		$V_{in} = V_{IH}$ or V_{IL}; $\|I_{out}\| \le 4.0$ mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\| \le 5.2$ mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	$V_{in} = V_{IH}$ or V_{IL}; $\|I_{out}\| \le 20\ \mu A$	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		$V_{in} = V_{IH}$ or V_{IL}; $\|I_{out}\| \le 4.0$ mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\| \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	$V_{in} = V_{CC}$ or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	$V_{in} = V_{CC}$ or GND; $I_{out} = 0\ \mu A$	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 3)	2.0 4.5 6.0	5.4 27 32	4.4 22 26	3.6 18 21	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q1 (Figures 1 and 3)	2.0 4.5 6.0	120 24 20	150 30 26	180 36 31	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q2 (Figures 1 and 3)	2.0 4.5 6.0	190 38 32	240 48 41	285 57 48	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q3 (Figures 1 and 3)	2.0 4.5 6.0	240 48 41	300 60 51	360 72 61	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to Q4 (Figures 1 and 3)	2.0 4.5 6.0	290 58 49	365 73 62	435 87 74	ns
t_{PHL}	Maximum Propagation Delay, Reset to any Q (Figures 2 and 3)	2.0 4.5 6.0	165 33 28	205 41 35	250 50 43	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 3)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Counter) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4.	Typical @ 25°C, V_{CC} = 5.0 V 40	pF

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{rec}	Minimum Recovery Time, Reset Inactive to Clock (Figure 2)	2.0 4.5 6.0	50 10 9	65 13 11	75 15 13	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_w	Minimum Pulse Width, Reset (Figure 2)	2.0 4.5 6.0	125 25 21	155 31 26	190 38 32	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

NOTE: Information on typical parametric values can be found in Chapter 4.

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

INPUTS

CLOCK (PINS 1, 13) – Clock input. The internal flip-flops are toggled and the counter state advances on high-to-low transitions of the clock input.

CONTROL INPUTS

RESET (PINS 2, 12) – Active-high, asynchronous reset. A separate reset is provided for each counter. A high at the Reset input prevents counting and forces all four outputs low.

OUTPUTS

Q1, Q2, Q3, Q4 (PINS 3, 4, 5, 6, 8, 9, 10, 11) – Parallel binary outputs. Q4 is the most significant bit.

SWITCHING WAVEFORMS

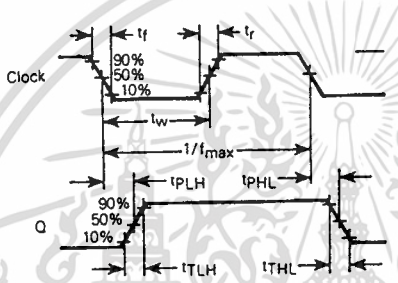


Figure 1.

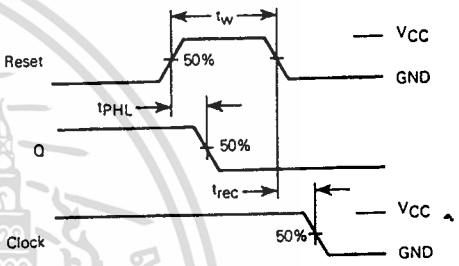
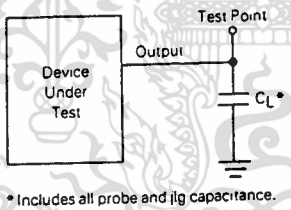


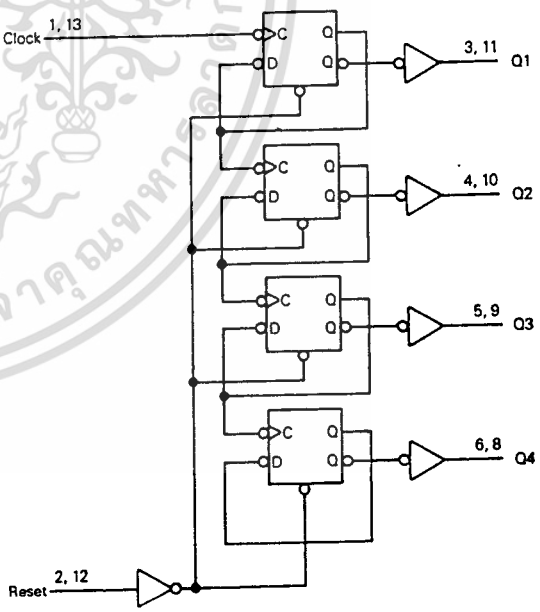
Figure 2.



*Includes all probe and jig capacitance.

Figure 3. Test Circuit

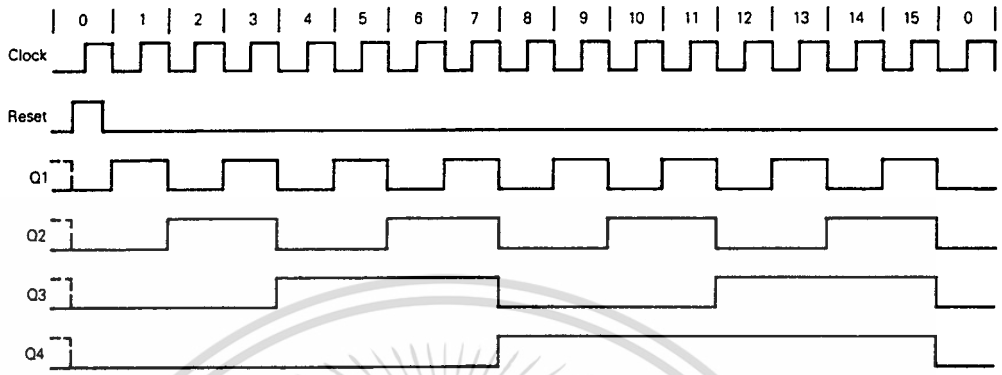
EXPANDED LOGIC DIAGRAM



5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAM



COUNT SEQUENCE

	Outputs			
Count	Q4	Q3	Q2	Q1
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. คู่มือการใช้งาน digital cordless telephone , Motorola Inc.

2. ถวิล กิ่งทอง , เทคโนโลยีการส่งสัญญาณดิจิตอล , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ,2535

3. พรทิพย์ วรกิจพนิต , สุทธิพันธุ์ สุรสิงห์โตทอง , เครื่องบันทึกการใช้งานโทรศัพท์อัตโนมัติ (Automatic telephone recorder) , ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง , 2537

4. Martin S. Roden , Analog and Digital Communication System , Prentice - Hall ,Inc , 1985

5. Mischa Schwartz , Information Transmission , Modulation and Noise , Fourth Edition , McGraw- Hill Publishing Company , 1985

6. N.S. Jayant, Peter Noll , Digital Coding of Waveforms: Principles and Applications to Speech and Video , Prentice - Hall , 1986

7. Paul R. Gray , Robert G. Meyer , Analysis and Design of Analog Integrated Circuits , John Wiley & Sons Inc , 1993

8. Robert L. Dayton , Guide to Integrating Digital Services , McGraw- Hill Publishing Company , 1989

9. Simon Haykin , Communication System , John Wiley & Sons Inc , 1994

10. Wayne F. Tomasi , Advanced Electronic Communication Systems , Prentice - Hall , Inc ,1986

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้