อุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติ

TIE LINE ADAPTER

โดย

นางสาวดารนี ลีลาวดี

นางสาวทิพย์วิมล ด่านวัฒนาพงษ์

นางสาวเปรมฤดี วงศ์ชูพันธ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

ปริญญานิพนธ์ปีการศึกษา 2538

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง อุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติ

TIE LINE ADAPTER

ผู้จัดทำ

1. นางสาวดารนี ลีลาวดี รหัส 35104148
2. นางสาวทิพย์วิมล ด่านวัฒนาพงษ์ รหัส 35104160
3. นางสาวเปรมฤดี วงศ์ชูพันธ์ รหัส 35104272

อาจารย์ที่ปรึกษา

(ผศ. ปราโมทย์ วาดเขียน)

อุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติ

TIE LINE ADAPTER

โดย นางสาวดารนี ลีลาวดี รหัส 35104148

นางสาวทิพย์วิมล ด่านวัฒนาพงษ์ รหัส 35104160

นางสาวเปรมฤดี วงศ์ซูพันธ์ รหัส 35104272

อาจารย์ที่ปรึกษา อาจารย์ปราโมทย์ วาดเขียน

บทคัดย่อ

โครงงานนี้เป็นโครงงานที่เสนอการสร้างอุปกรณ์ที่ใช้ในการเชื่อมต่อตู้สาขาอัตโนมัติเข้าด้วยกัน นอกจากนี้ยังทำหน้าที่เป็นส่วนที่เชื่อมต่อคู่สายภายในของตู้สาขาอัตโนมัติกับคู่สายภายนอกด้วย โดยที่เราใช้ MT 8980 เป็นตัวสวิตชิ่งที่ทำหน้าที่ในการเชื่อมต่อคู่สายและใช้ไมโครคอนโทรลเลอร์ MCS 51 เป็นตัวควบคุมการทำงาน

ABSTRACT

This project proposes an PABX connection adapter which can connect between PABXs. This connection adapter also uses to connect between PABX with incoming telephone lines. The MT 8980 is used as switching to connect between lines. The microcontroller MCS51 is used to control all of the operations.

สารบัญ

สารบัญรูปภาพ

หน้า

หน้า

สารบัญตาราง

หน้า

บทที่ 1

บทนำ

ปัจจุบันความเจริญก้าวหน้าทางเทคโนโลยีได้เจริญรุดหน้าไปอย่างไม่หยุดยั้งมีสิ่งที่อำนวยความสะดวกเกิดขึ้นมากมาย มีการติดต่อสื่อสารกันเพิ่มมากขึ้นทั้งภายในประเทศ และระหว่างประเทศ ซึ่งโทรศัพท์ก็เป็นอุปกรณ์ที่อำนวยความสะดวกชนิดหนึ่งซึ่งเป็นที่นิยมใช้กันอยู่ทั่วไป โดยการติดต่อกันผ่านทางโทรศัพท์นั้นจะต้องประกอบไปด้วย ชุมสายโทรศัพท์ , สายส่ง (transmission line) เป็นต้น

ในสำนักงานใหญ่ๆ นั้นมีความจำเป็นที่จะต้องทำการติดต่อสื่อสารกันโดยผ่านทางโทรศัพท์เป็นส่วนใหญ่ ดังนั้นจึงมีการนำตู้สาขาอัตโนมัติ (Private automatic branch exchange = PABX) มาใช้เพื่อเป็นอุปกรณ์ที่ทำหน้าที่สวิทช์ (Switch) ในการติดต่อสื่อสารกัน หลักการทำงานของตู้สาขาอัตโนมัตินั้นจะคล้ายคลึงกับการทำงานของชุมสายโทรศัพท์แบบดิจิตอล

โครงงานที่จะกล่าวถึงต่อไปนี้คือ อุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติ (Tie Line Adapter) ที่ทำงานเป็นอุปกรณ์ที่เชื่อมต่อกับตู้สาขาอัตโนมัติย่อยอื่นๆเข้าด้วยกัน อันจะทำให้เกิดระบบของตู้สาขาอัตโนมัติที่มีประสิทธิภาพเพิ่มมากขึ้นทั้งในด้านความสะดวกในการติดต่อสื่อสารกันระหว่างตู้สาขาอัตโนมัติกับตู้สาขาอัตโนมัติด้วยกัน และความสะดวกในการติดต่อสื่อสารกันระหว่างตู้สาขาอัตโนมัติกับคู่สายขององค์การโทรศัพท์ นอกจากนี้จะทำให้มีความคล่องตัวในการขยายของระบบ โดยที่ไม่จำกัดชนิดของตู้สาขาอัตโนมัติที่จะนำมาเชื่อมต่อกัน

ขาอัตโนมัติที่ต่อด้วยได้ถึง 64 เครื่อง ถ้าตู้สาขาอัตโนมัติแต่ละเครื่องใช้เพียง 1 คู่สายนอกมาเชื่อมต่อเข้ากับอุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติ

2.1 คุณลักษณะในการติดต่อของคู่สายในและคู่สายนอก

ลักษณะการติดต่อแบ่งเป็น 3 ลักษณะ ได้แก่

2.1.1 การเรียกออกสายนอก

2.1.2 การเรียกไปยังสายใน

2.1.3 การเรียกเข้า

2.1.1 การเรียกออกสายนอก

เมื่อตู้สาขาอัตโนมัติต้องการติดต่อสายนอก ตู้สาขาอัตโนมัติก็ทำการยกหูขึ้นอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติจะเป็นตัวส่งสัญญาณไดอัล (DIAL TONE) ให้กับตู้สาขาอัตโนมัติตัวนั้น ต่อจากนั้นอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติก็รอรับเลขหมายแล้วทำการวิเคราะห์ว่าเป็นเลขหมายอะไร กล่าวคือ เป็นเลขหมายขององค์การโทรศัพท์ หรือเป็นเลขหมายของตู้สาขาอัตโนมัติตัวอื่น ถ้าเป็นสายของเลขหมายขององค์การโทรศัพท์ ต้องตรวจสอบคู่สายที่ติดต่อกับองค์การโทรศัพท์ว่าว่างหรือเปล่า ถ้าว่าง อุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติจะทำการส่งเลขหมายที่ต้องการติดต่อไปให้กับองค์การแล้วทำการเชื่อมต่อให้ ถ้าคู่สายขององค์การโทรศัพท์ไม่ว่างอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติ จะทำการส่งสัญญาณไม่ว่าง (BUSY TONE) กลับไปยังตู้สาขาอัตโนมัติที่เรียก

2.1.2 การเรียกไปยังสายใน

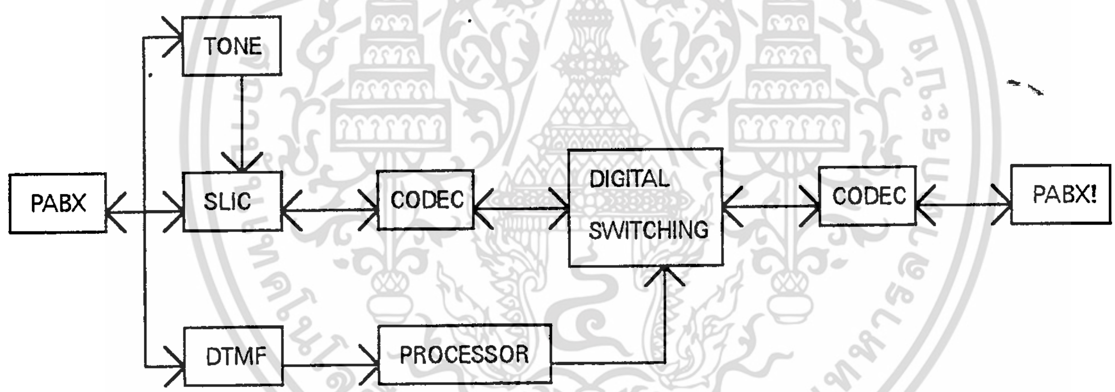
เมื่อตู้สาขาอัตโนมัติต้องการติดต่อสายใน (ติดต่อระหว่างตู้สาขาอัตโนมัติด้วยกัน) ตู้สาขาอัตโนมัติก็ทำการยกหู อุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติก็จะทำการส่งสัญญาณไดอัลไปให้ตู้สาขาอัตโนมัติที่ต้องการจะติดต่อ เมื่ออุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติได้รับเลขหมายของตู้สาขาอัตโนมัติที่ต้องการจะติดต่อด้วยครบแล้วก็จะทำการตรวจสอบคู่สายที่ต้องการจะติดต่อว่าว่างหรือเปล่า ถ้าว่างอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติก็จะทำการส่งสัญญาณเรียก (RINGING TONE) ไปยังตู้สาขาอัตโนมัติที่ถูกเรียก ถ้าหากไม่มีคู่สายว่างก็จะส่งสัญญาณไม่ว่างให้กับตู้สาขาอัตโนมัติที่ทำการเรียก

ในขณะที่อุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติตรวจสอบว่ามีคู่สายว่างแล้วทำการส่งสัญญาณเรียกไปยังตู้สาขาอัตโนมัติที่ถูกเรียกแล้วยังจะทำการตรวจสอบต่อไปว่าตู้สาขาอัตโนมัติที่ถูกเรียกนั้นยกหูรับหรือยัง ถ้ายังอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติก็ส่งสัญญาณเรียกให้กับตู้สาขาอัตโนมัติที่ถูกเรียกนั้นต่อไป ถ้าหากตู้สาขาอัตโนมัติที่ถูกเรียกทำการยกหูรับ อุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติก็จะส่งเลขหมายที่ต้องการจะติดต่อให้กับตู้สาขาอัตโนมัติ ที่ถูกเรียก จากนั้นอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติก็จะเชื่อมต่อวงจรให้

2.1.3 การเรียกเข้า

การเรียกเข้าอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติจะตรวจสอบสัญญาณเรียกที่มาจากองค์การโทรศัพท์ ถ้ามีสัญญาณเรียกเข้ามาก็จะทำการยกหูตอบรับ พร้อมกับรอรับเลขหมาย เมื่อรับเลขหมายครบแล้วก็จะนำไปวิเคราะห์ว่าเป็นเลขหมายของตู้สาขาอัตโนมัติตัวใด เมื่อทราบแล้วอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติก็จะตรวจสอบคู่สายของตู้สาขาอัตโนมัติตัวที่ถูกเรียก ถ้าไม่ว่างก็จะทำการส่งสัญญาณไม่ว่างกลับไป ถ้าว่างก็จะส่งสัญญาณเรียกไปให้กับตู้สาขาอัตโนมัติตัวที่ถูกเรียกพร้อมกับตรวจสอบว่าตู้สาขาอัตโนมัติที่ถูกเรียกนั้นมีการยกหูรับหรือยัง ถ้ายังอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติก็จะส่งสัญญาณเรียกให้กับตู้สาขาอัตโนมัติที่ถูกเรียกนั้นต่อไป ถ้าหากตู้สาขาอัตโนมัติที่ถูกเรียกทำการยกหูรับ อุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติก็จะส่งเลขหมายที่ต้องการจะติดต่อให้กับตู้สาขาอัตโนมัติที่ถูกเรียกนั้น พร้อมทั้งจะทำการเชื่อมต่อวงจรให้

2.2 ระบบการทำงานของอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติ



รูปที่ 2.3 แสดงระบบทั้งหมดของอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติ

ระบบของอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติ ประกอบด้วยส่วนต่างๆ ดังนี้

2.2.1 สวิตชิ่งแบบดิจิตอล (Digital switching)

เป็นส่วนที่ทำหน้าที่เปลี่ยนช่องสัญญาณระบบดิจิตอลระหว่างช่องสัญญาณอินพุท (Channel input) และช่องสัญญาณเอาท์พุท (Channel output) โดยสัญญาณที่ส่งผ่านสวิตชิ่งแบบดิจิตอลนี้จะเป็นสัญญาณแบบดิจิตอลทั้งหมด ซึ่งจะถูกควบคุมโดยหน่วยประมวลผลกลาง (Processor) ในที่นี้ใช้แจ๊ส 31 (JAZZ 31) เป็นตัวควบคุม ส่วนนี้จะเป็นหัวใจของอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติ

2.2.2 โคเดค (CODEC)

เป็นส่วนที่เข้ารหัสสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และถอดรหัสสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอก

2.2.3 สลิค (SLIC)

เป็นส่วนที่ติดต่อกับโทรศัพท์ภายใน ทำหน้าที่จ่ายไฟเลี้ยง (- 48 V) ให้กับโทรศัพท์ , ตรวจสอบและรับรู้การยกหู-วางหูของโทรศัพท์ และเป็นส่วนที่จ่ายสัญญาณเรียกให้แก่โทรศัพท์ ในกรณีที่เครื่องโทรศัพท์เครื่องนั้นๆ ถูกเรียก สัญญาณเสียงจะถูกแปลงจาก 2 สายเป็น 4 สาย (2 Wire to 4 Wire) ที่ส่วนนี้เพื่อส่งไปยังส่วนของโคเดค และวงจรป้องกันไฟฟ้าเกินจะต่ออยู่ที่อินพุทของส่วนนี้ ส่วนนี้ถูกควบคุมและตรวจสอบสถานะโดยหน่วยประมวลผลกลาง

2.2.4 สัญญาณเสียง (Tone)

ส่วนสร้างสัญญาณเสียงจะทำการผลิตสัญญาณเสียงตลอดเวลา และจ่ายไปยังส่วนของสลิค ประกอบด้วยสัญญาณต่างๆ เหล่านี้

ชื่อสัญญาณ	ขนาดสัญญาณ	ความถี่สัญญาณ	ลักษณะสัญญาณ
1) สัญญาณไดอัล	-15 dBm	400 Hz mod 25 Hz	ต่อเนื่องไปตลอด
2) สัญญาณเรียกกลับ	-10 dBm	400 Hz	on 1 sec off 4 sec
3) สัญญาณไม่ว่าง	-10 dBm	400 Hz	on 0.5 sec off 0.5 sec
4) สัญญาณเรียก		50 Hz	

2.2.5 ส่วนรับสัญญาณคู่ความถี่ (DTMF)

ส่วนรับสัญญาณคู่ความถี่ทำการแยกสัญญาณความถี่ที่เข้ามาทางอินพุทออกเป็น 2 กลุ่มความถี่ คือช่วงความถี่สูงและความถี่ ต่ำ และทำการถอดรหัส ซึ่งจะติดต่อกับหน่วยประมวลผลกลาง เพื่อทำการประมวลผลสำหรับส่วนควบคุมต่อไป

2.2.6 <u>หน่วยประมวลผลกลาง</u> (Processor)

เป็นส่วนที่ควบคุมการจ่ายสัญญาณเสียงต่างๆ ตรวจสอบสถานะจากส่วนของสลิคโดยตรง ตรวจสอบสัญญาณเรียกจากชุมสายโทรศัพท์ รับและเก็บข้อมูลจากส่วนรับสัญญาณคู่ความถี่ พร้อมทั้งทำการเชื่อมต่อช่องสัญญาณเสียงระหว่างคู่สายโทรศัพท์ที่เรียกถึงกัน

2.2.7 <u>ส่วนติดต่อกับชุมสายโทรศัพท์</u> (Central Office Trunk Interface circuit)

ส่วนติดต่อกับสายนอก เป็นส่วนที่ติดต่อโดยตรงกับชุมสายโทรศัพท์ และเป็นส่วนที่รับสัญญาณเสียงและสัญญาณที่ใช้ในการติดต่อจากชุมสายโทรศัพท์ ซึ่งในโครงงานนี้ใช้ไอซีเบอร์ MH 88632 โดยมีคุณสมบัติดังนี้

1) ส่วนของวงจรไฮบริจด์

สัญญาณที่ส่งไปยังส่วนของโคเดค จะต้องเป็นสัญญาณที่แยกด้านส่งและด้านรับ (full duplex signal) จากทิพ (Tip) กับริง (Ring) ของสายโทรศัพท์ โดยการใช้ส่วนแปลงสัญญาณจาก 2 สาย เป็น 4 สายคือส่วนวงจรไฮบริดจ์

2) ส่วนตรวจจับสัญญาณเรียก

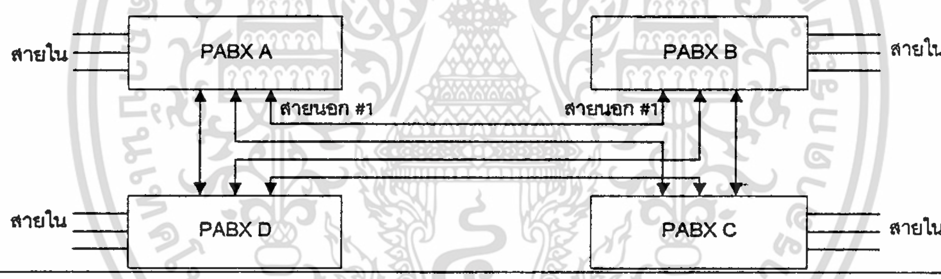
สัญญาณเรียกเป็นสัญญาณขนาด 80 โวลท์ ความถี่ 50 เฮิร์ต ซึ่งจ่ายมาจากชุมสายโทรศัพท์โดยส่วนประมวลผลกลางจะตรวจจับสัญญาณเรียก แล้วทำการควบคุมรีเลย์ (Relay) ให้ต่อไปยังอีกหน้าสัมผัสหนึ่งเพื่อแสดงการยกหู

บทที่ 2

ทฤษฎีหรือหลักการ

อุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติมีวัตถุประสงค์เพื่อใช้ในการเชื่อมต่อระหว่างตู้สาขาอัตโนมัติเข้าด้วยกัน เนื่องจากในปัจจุบันมีตู้สาขาอัตโนมัติที่ถูกผลิตออกมาเป็นจำนวนมากโดยผู้ผลิตแต่ละรายจะทำการออกแบบตู้สาขาอัตโนมัติที่มีความแตกต่างกันอยู่บ้าง ดังนั้นถ้าผู้ใช้ต้องการทำการเชื่อมต่อการทำงานของตู้สาขาอัตโนมัติที่มียี่ห้อแตกต่างกันหรือมีระบบที่แตกต่างกันเข้าด้วยกัน ผู้ใช้จำเป็นต้องใช้อุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติเพื่อใช้ในการเชื่อมต่อตู้สาขาอัตโนมัติ แต่ถ้าเป็นกรณีที่ตู้สาขาอัตโนมัติที่ผู้ใช้ต้องการนำมาทำการเชื่อมต่อกันนั้นเป็นยี่ห้อเดียวกัน หรือมีระบบการทำงานเหมือนกันผู้ใช้ก็ไม่จำเป็นที่จะต้องใช้อุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติ

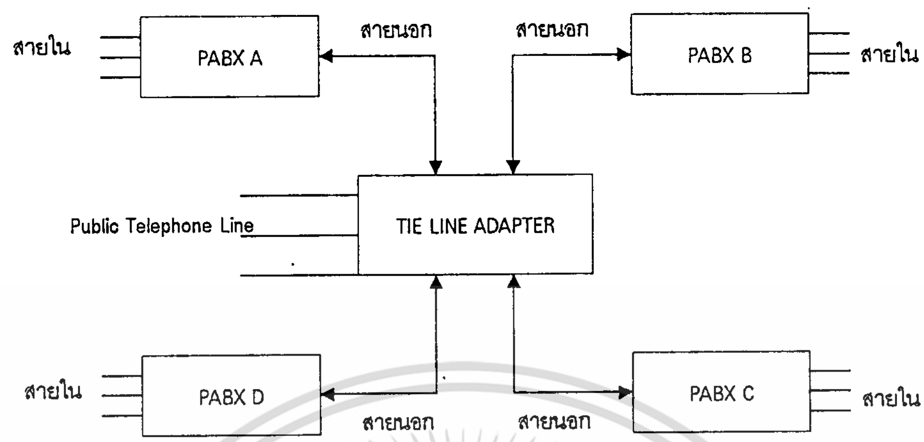
<u>หลักการทำงานในกรณีที่ตู้สาขาอัตโนมัติที่จะนำมาทำการเชื่อมต่อกันมีระบบการทำงานเหมือนกัน</u>



รูปที่ 2.1 บล็อคไดอะแกรมแสดงการเชื่อมต่อระหว่างตู้สาขาอัตโนมัติที่เป็นระบบเดียวกัน

ในกรณีที่ตู้สาขาอัตโนมัติ A,B,C,D เป็นระบบเดียวกันสามารถใช้คู่สายนอกของตู้สาขาอัตโนมัติแต่ละเครื่องนำมาเชื่อมต่อเข้าด้วยกันได้เลย ดังนั้นถ้าคู่สายภายในของตู้สาขาอัตโนมัติ A ต้องการติดต่อไปยังคู่สายภายในของตู้สาขาอัตโนมัติ B ก็สามารถทำการติดต่อกันได้ โดยผ่านทางคู่สายนอก #1 ของตู้สาขาอัตโนมัติ A ไปยังคู่สายนอก #1 ของตู้สาขาอัตโนมัติ B ที่ต่อเชื่อมกันอยู่ได้เลย โดยไม่จำเป็นต้องต่อออกไปยังชุมสายขององค์การโทรศัพท์แต่อย่างใด

<u>หลักการทำงานในกรณีที่ตู้สาขาอัตโนมัติที่นำมาทำการเชื่อมต่อกันมีระบบการทำงานที่แตกต่างกัน</u>



รูปที่ 2.2 บล็อคไดอะแกรมแสดงการเชื่อมต่อระหว่างตู้สาขาอัตโนมัติที่มีระบบแตกต่างกัน

ในกรณีที่ตู้สาขาอัตโนมัติ A,B,C,D มีระบบการทำงานที่แตกต่างกันอันเนื่องมาจากมียี่ห้อที่แตกต่างกัน ดังนั้นเมื่อต้องการที่จะทำการเชื่อมต่อตู้สาขาอัตโนมัติเหล่านี้เข้าด้วยกันจึงจำเป็นที่จะต้องใช้อุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติเข้ามาเป็นศูนย์กลางในการเชื่อมต่อ เพื่อให้ตู้สาขาอัตโนมัติเหล่านี้สามารถทำการติดต่อถึงกันได้ ซึ่งวิธีการก็คือนำเอาคู่สายภายนอกของตู้สาขาอัตโนมัติ แต่ละเครื่องมาเชื่อมต่อเข้ากับอุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติ ดังนั้นถ้าสมมติให้คู่สายภายในของตู้สาขาอัตโนมัติ A ต้องการติดต่อไปยังคู่สายภายในของตู้สาขาอัตโนมัติ B ก็สามารถทำได้โดยผ่าน PATH ดังต่อไปนี้คือ

1. คู่สายภายในทำการร้องขอมายังตู้สาขาอัตโนมัติ A ว่าต้องการติดต่อกับคู่สายภายในของตู้สาขาอัตโนมัติ B
2. ตู้สาขาอัตโนมัติ A ทำการต่อทางเดินของคู่สายภายนอกของตนมายัง TIE LINE ADAPTER
3. TIE LINE ADAPTER ทำการต่อทางเดินของคู่สายภายนอกที่ต่อเข้ากับตู้สาขาอัตโนมัติ B
4. ตู้สาขาอัตโนมัติ B ทำการต่อทางเดินมายังคู่สายภายในที่ตู้สาขาอัตโนมัติ A ต้องการติดต่อด้วย
5. สามารถทำการสนทนากันได้

แต่ถ้าพบว่าเมื่อใช้ไปนานๆ Traffic มีเพิ่มมากขึ้นจนคู่สายนอกเพียงคู่สายเดียวที่ไปเชื่อมต่อกับอุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติไม่เพียงพอในการรองรับ เราสามารถนำคู่สายภายนอกของตู้สาขาอัตโนมัติที่เหลืออยู่มาต่อเข้ากับอุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติเพิ่มได้อีก เนื่องจากว่าอุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติสามารถรองรับคู่สายได้มากถึง 64 คู่สาย ซึ่งก็หมายความว่าสามารถรองรับตู้สา

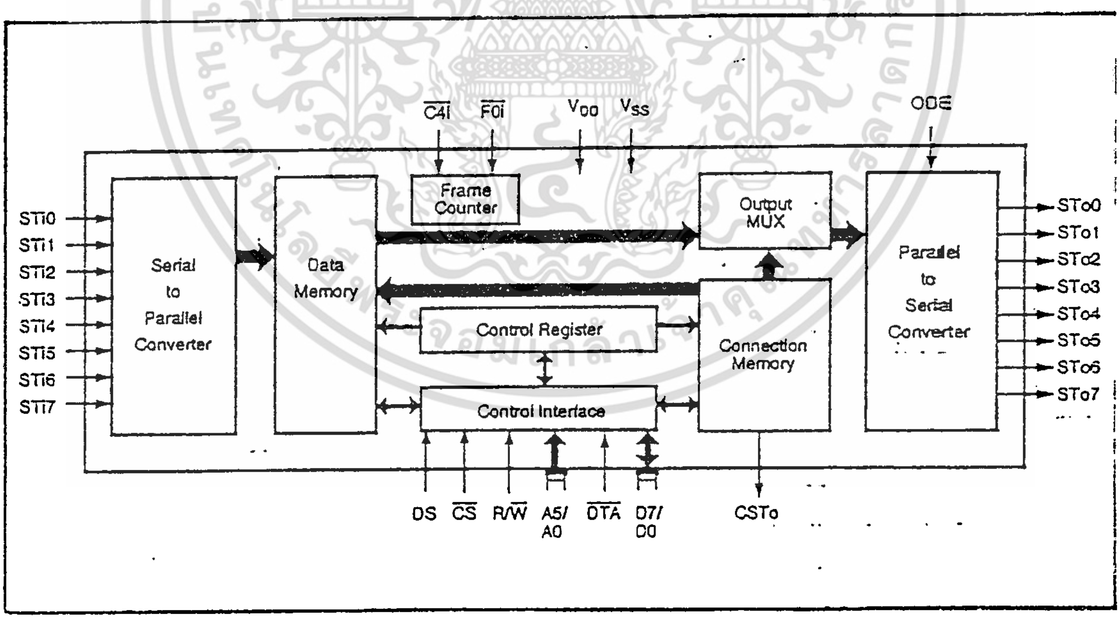
บทที่ 3

การคำนวณและการสร้าง

อุปกรณ์ที่นำมาใช้กับระบบอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติมีดังต่อไปนี้

3.1 อุปกรณ์สวิตชิ่ง

เป็นอุปกรณ์ที่ใช้สำหรับสวิตช์สัญญาณพัลส์โค้ดมอดูเลชั่น (PCM) ที่เข้ารหัสมาจากสัญญาณข้อมูลภายใต้การควบคุมของไมโครโปรเซสเซอร์ (MICROPROCESSOR) ซึ่งใช้ในระบบชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล , ชุมสายดิจิตอล และคอนโทรลออฟฟิสโดยมีความเร็วของสัญญาณในแต่ละช่องสัญญาณคือ 64 กิโลบิตต่อวินาที แต่ละเส้นของอินพุทและเอาท์พุทจะมีจำนวนช่องสัญญาณทั้งหมด 32 ช่องสัญญาณ ซึ่งส่งรวมกันแบบมัลติเพลกซ์ (MULTIPLEX) มาด้วยอัตราเร็วของบิตเท่ากับ 2.048 เมกกะบิตต่อวินาที โดยที่ตัวของมันเองสามารถเขียนและอ่านข้อมูลได้โดยไมโครโปรเซสเซอร์



รูป 3.1 โครงสร้างทางฮาร์ดแวร์ของ MT 8980

3.1.1 ลักษณะโครงสร้างของสวิตชิ่ง

โครงสร้างของดิจิตอลสวิตชิ่งซึ่งเราใช้ไอซี MT 8980 นี้จะประกอบไปด้วย ST–BUS (SERIAL TELECOM BUS) ซึ่งสามารถใช้ได้ทั้งซอร์ฟแวร์เป็นตัวควบคุมการเลือกข้อมูลและสัญญาณเสียงที่เป็นดิจิตอล หรือใช้ระบบอินเตอร์โปรเซสเซอร์ (INTERPROCESSOR COMMUNICATION) ST-BUS stream นี้จะทำงานที่ 2.048 เมกกะบิตต่อวินาทีเสมอในช่วงเวลา 125 ไมโครวินาที ซึ่งจะถือว่าเป็น 1 เฟรม ใน 1 เฟรมจะมีข้อมูลแต่ละช่องสัญญาณอยู่ 8 บิต ทั้งหมด 32 ช่องสัญญาณ MT 8980 สามารถเลือกข้อมูลจาก ST-BUS ทางอินพุทส่งไปยัง ST-BUS ทางเอาท์พุทว่าจะส่งออกที่ช่องสัญญาณใด และสตรีมใดโดยไมโครโปรเซสเซอร์สามารถควบคุมให้มีการอ่านช่องสัญญาณจากอินพุทหรือเขียนข้อมูลลงบนช่องสัญญาณทางเอาท์พุท สำหรับตัวไมโครโปรเซสเซอร์สามารถเขียนข้อมูลไปยังเอาท์พุทโดยตรง

3.1.2 โครงสร้างทางฮาร์ดแวร์

ข้อมูลที่เข้าทางขาสตรีมอินพุทนั้นเป็นข้อมูลแบบอนุกรมที่มีอัตราเร็วบิท 2.048 เมกกะบิทต่อวินาที ทั้ง 8 สตรีม และข้อมูลที่ออกทางสตรีมเอาท์พุทก็เป็นข้อมูลแบบอนุกรมเช่นกัน ซึ่งในแต่ละช่องสัญญาณนั้นจะมี 8 บิทที่แสดงถึงสัญญาณพัลส์โค้ดมอดูเลชั่นที่มาจากการเข้ารหัสสัญญาณอนาลอกโดยภาคโคเดค

ภายในตัว MT 8980 จะมีการส่งข้อมูลภายในจากอินพุทไปยังเอาท์พุทเป็นแบบขนาน ดังนั้นข้อมูลที่เข้าทางอินพุทจึงต้องผ่านวงจรแปลงจากอนุกรมเป็นขนาน (SERIAL TO PARALLEL CONVERTER) และก่อนที่จะส่งข้อมูลออกทางเอาท์พุทก็ต้องผ่านวงจรแปลงจากขนานเป็นอนุกรม (PARALLEL TO SERIAL CONVERTER) ข้อมูลที่เข้ามาทางอินพุทจะถูกส่งไปเก็บยังหน่วยความจำที่เรียกว่าดาต้าเมมโมรี่ (DATA MEMORY) ซึ่งเป็นหน่วยความจำที่มีขนาด 256*8 บิท การรับข้อมูลของดาต้าเมมโมรี่จะสามารถรับมาได้แบบอัตโนมัติ ส่วนของดาต้าเมมโมรี่เป็นหน่วยความจำที่เขียนลงไปโดยไมโครโปรเซสเซอร์ไม่ได้ แต่สามารถอ่านข้อมูลออกมาได้

หน่วยความจำอีกส่วนหนึ่งคือ คอนเนคชั่นเมมโมรี่ (CONNECTION MEMORY) ซึ่งแบ่งออกเป็น

- คอนเนคชั่นเมมโมรี่โล (CONNECTION MEMORY LOW : CMLB)
- คอนเนคชั่นเมมโมรี่ไฮ (CONNECTION MEMORY HIGH : CMHB)

หน่วยความจำทั้งสองส่วนนี้เป็นหน่วยความจำที่มีขนาด 256*8 บิท ส่วนนี้จะเป็นส่วนของหน่วยความจำที่เก็บข้อมูลทางเอาท์พุท โดยคอนเนคชั่นเมมโมรี่โลจะเก็บตำแหน่งของดาต้าเมมโมรี่ที่จะนำออกทางเอาท์พุท และคอนเนคชั่นเมมโมรี่ไฮจะเก็บสภาวะการทำงานของพอร์ตทางเอาท์พุท ในส่วนการเขียน และการอ่านข้อมูลของคอนเนคชั่นเมมโมรี่โลและคอนเนคชั่นเมมโมรี่ไฮนี้จะกระทำโดยตัวไมโครโปรเซสเซอร์

สำหรับข้อมูลที่จะเขียนลงบนคอนเนคชั่นเมมโมรี่โลนั้นอาจเป็นตำแหน่งของดาต้าเมมโมรี่หรือเป็นข้อมูลที่จะส่งออก ซึ่งส่งมาจาก D0-D7 ของไมโครโปรเซสเซอร์โดยตรง

การที่ไมโครโปรเซสเซอร์จะติดต่อกับหน่วยความจำทั้งสามส่วนนี้ได้นั้น จะต้องมีรีจิสเตอร์ที่ใช้สำหรับการควบคุมการติดต่อนี้โดยเฉพาะเรียกว่า คอนโทรลรีจิสเตอร์ (CONTROL REGISTER) ซึ่งจะควบคุมว่าไมโครโปรเซสเซอร์นั้นจะติดต่อกับหน่วยความจำส่วนใด โดยการกำหนดตำแหน่งของหน่วยความจำนี้จะกระทำควบคู่กับขา A0-A5 ของ MT 8980

3.1.3 <u>โครงสร้างทางซอร์ฟแวร์</u>

การควบคุมการทำงานของ MT 8980 นี้ก่อนอื่นต้องควบคุมไปที่คอนโทรลรีจิสเตอร์ โดยใช้ขา A0-A5 ของ MT 8980 เป็นตัวกำหนดการติดต่อกับคอนโทรลรีจิสเตอร์ ดังตารางที่ 3.1

A5	A4	A3	A2	A1	A0	HEX ADDRESS	LOCATION
0	X	X	X	X	X	00-1F	Control Register
1	0	0	0	0	0	20	Channel 0
1	0	0	0	0	1	21	Channel 1
-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-
1	1	1	1	1	1	3F	Channel 31

ตารางที่ 3.1 ตำแหน่งของแอดเดรส (ADDRESS MEMORY MAP)

จากตารางที่ 3.1 ถ้า A5 มีลอจิกเป็น 0 แล้วไมโครโปรเซสเซอร์จะติดต่อกับคอนโทรลรีจิสเตอร์โดยตรงและจะไม่สนใจว่าค่าของ A0-A4 มีลอจิกเป็นอย่างไร เมื่อ A5 มีลอจิกเป็น 1 แล้ว A0-A4 จะทำหน้าที่เป็นตัวเลือกตำแหน่งในการติดต่อกับหน่วยความจำว่าเป็นช่องสัญญาณใด

ภายในคอนโทรลรีจิสเตอร์นั้นจะมีขนาด 8 บิทซึ่งหน้าที่ของแต่ละบิทนั้นแสดงได้ดังตารางที่ 3.2

7	6	5	4	3	2	1	0

บิทที่	ชื่อ	อธิบาย
7	Split Memory	ลอจิกเป็น 1 เป็นการอ่านค่าจากดาต้าเมมโมรี่และเขียนข้อมูลลงในคอนเนคชั่นเมมโมรี่โล
6	Message Mode	ลอจิกเป็น 1 ข้อมูลที่อยู่ในคอนเนคชั่นเมมโมรี่โลจะเป็นเอาท์พุทสตรีมแบบอนุกรม ยกเว้นกรณีที่ขา ODE เป็นลอจิก 0 ลอจิกเป็น 0 คอนเนคชั่นเมมโมรี่บิทของแต่ละช่องสัญญาณจะเป็น เอาท์พุท
5	Unused	
4-3	Memory Select Bit	ลอจิก 0-0 ไม่ถูกใช้ ลอจิก 0-1 ติดต่อกับดาต้าเมมโมรี่ ลอจิก 1-0 ติดต่อกับคอนเนคชั่นเมมโมรี่โล ลอจิก 1-1 ติดต่อกับคอนเนคชั่นเมมโมรี่ไฮ
2-0	Stream Address Bit	เป็นการอ้างอิงถึงตำแหน่งของเอาท์พุทที่ เอสทีบัสสตรีม

ตารางที่ 3.2 คอนโทรลรีจิสเตอร์บิท (CONTROL REGISTER BIT)

<u>คอนเนคชั่นเมมโมรี่โล (CONNECTION MEMORY LOW)</u>

7	6	5	4	3	2	1	0

บิทที่	ชื่อ	อธิบาย
7-5	Stream Address Bit	เป็นการอ้างอิงถึงตำแหน่งของอินพุทที่เอสทีบัสสตรีม
4-0	Channel Address Bit	เป็นการอ้างอิงถึงช่องสัญญาณอินพุท CH;

ตารางที่ 3.3 ความหมายของแต่ละบิทของคอนเนคชั่นเมมโมรี่โล

<u>คอนเนคชั่นเมมโมรี่ไฮ (CONNECTION MEMORY HIGH)</u>

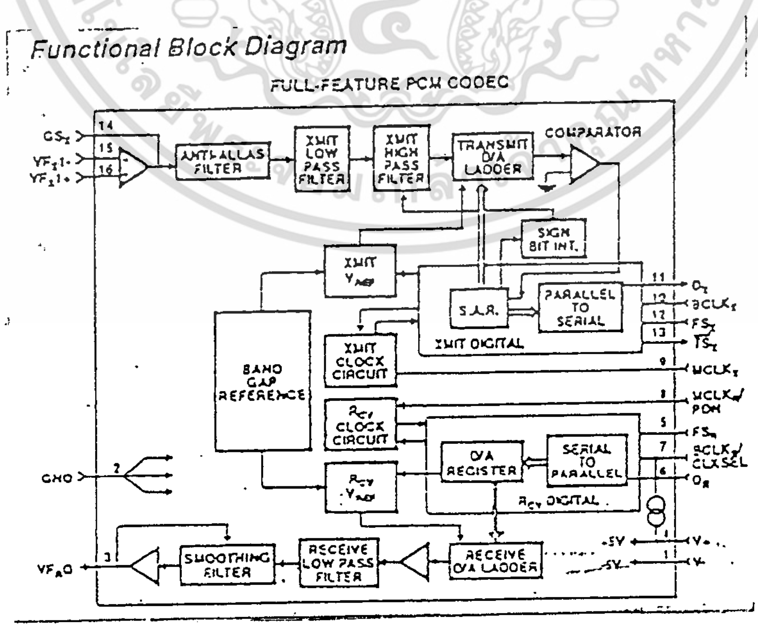
7	6	5	4	3	2	1	0

บิทที่	ชื่อ	อธิบาย
2	Message Mode	ลอจิกเป็น 1 ข้อมูลที่อยู่ในคอนเนคชั่นเมมโมรี่ต่ำเป็นเอาท์พุท ลอจิกเป็น 0 ข้อมูลที่อยู่ในคอนเนคชั่นเมมโมรี่ต่ำจะเป็นแอดเดรสให้ดาต้าเมมโมรี่ และเป็นตำแหน่งของสัญญาณอินพุท
1	CSTo Bit	บิทนี้เป็นเอาท์พุทที่ขา CSTo
0	Output Enable	ลอจิกเป็น 1 ช่องสัญญาณเอาท์พุทจะไม่เป็นสภาวะไฮด์อิมพีแดนซ์

ตารางที่ 3.4 ความหมายแต่ละบิทของคอนเนคชั่นเมมโมรี่ไฮ

3.2 <u>โคเดค</u>

โคเดค (CO มาจากคำว่า CODER หมายถึงการเข้ารหัส และ DEC มาจากคำว่า DECODER หมายถึงการถอดรหัส) ในโครงงานนี้ใช้ไอซี HARRIS CD 22357A ทำหน้าที่ในการเปลี่ยนสัญญาณอนาลอก (เสียงพูด) เป็นสัญญาณดิจิตอลส่งไปยังดิจิตอลสวิตซิ่ง และเปลี่ยนสัญญาณดิจิตอลจากดิจิตอลสวิตซิ่งกลับเป็นสัญญาณอนาลอก มีบล็อคไดอะแกรมดังนี้



รูปที่ 3.2 บล็อคไดอะแกรมแสดงส่วนประกอบของวงจรโคเดค

3.2.1 <u>รายละเอียดของขาต่างๆ ของโคเดค</u>

- ส่วนของไฟเลี้ยง

ขา 1 V- ป้อนไฟลบขนาด 5 โวลท์

ขา 2 GND ป้อนกราวด์จะเป็นทั้งอนาลอกกราวด์และดิจิตอลกราวด์

ขา 4 V+ ป้อนไฟบวกขนาด 5 โวลท์

- สัญญาณนาฬิกาและสัญญาณเฟรมซิงค์

ขา 5 FS_R ป้อนสัญญาณเฟรมซิงค์ที่กำเนิดมาจากวงจรสร้างเฟรมซิงค์ และต่อเข้ากับขา 12 FS_X

ขา 7 $BCLK_R$/CLKSEL ป้อนสัญญาณนาฬิกา 2.048 เมกกะเฮิร์ต ที่สร้างมาจากวงจรเฟรมซิงค์

ขา 8 $MCLK_R$/PDN

ขา 9 $MCLK_X$

ขา 10 BCLKx

- ส่วนของอนาลอกอินพุทและเอาท์พุท

ขา 14GS_X ขา 15VF_X 1-และขา 16 VF_X 1+ ทั้งสามเป็นขาของออปแอมป์ซึ่งมีเอาท์พุทต่อกับภาคการทำงานภาคต่อไปของไอซีซึ่งสามารถปรับเกนของสัญญาณก่อนเข้าไอซีได้ขาเหล่านี้ใช้ต่อกับสัญญาณอนาลอกที่มาจากสัญญาณเสียงพูด

ขา 3 VF_RO เป็นขาเอาท์พุทของสัญญาณอนาลอกเพื่อส่งไปเข้าสัญญาณเสียงพูด

- ส่วนของสัญญาณดิจิตอลอินพุทและเอาท์พุท

ขา 6 D_R เป็นขาอินพุทของสัญญาณดิจิตอลที่มาจากดิจิตอลสวิตซิ่ง

ขา 7 D_X เป็นขาเอาท์พุทของสัญญาณดิจิตอลเพื่อส่งไปยังดิจิตอลสวิตซิ่ง

3.2.2 <u>การทำงานของโคเดค CD 22357A</u>

<u>ทางภาคส่ง</u>

จะมีการแปลงสัญญาณอนาลอกที่มาจากสัญญาณเสียงพูดให้เป็นสัญญาณดิจิตอลเพื่อส่งไปให้ภาคสวิตซิ่ง จะประกอบด้วยออปแอมป์ที่ทำหน้าที่ปรับค่าอัตราขยายในการแซมปลิ้ง ทฤษฎีไนควิสท์กล่าวไว้ว่าต้องเก็บแซมเปิ้ลด้วยอัตราสองเท่าหรือมากกว่าความถี่สูงสุดของสัญญาณอนาลอกซึ่งมาจากสัญญาณเสียง 3 กิโลเฮิร์ต จะใช้อัตราการแซมปลิ้ง 8 กิโลเฮิร์ต คือมีการแซมปลิ้งทุกๆ 125 ไมโครวินาที จะต้องใช้โลพาสฟิลเตอร์เพื่อกันความถี่ที่สูงกว่า 3 กิโลเฮิร์ตและเราจะกัน 50/60 เฮิร์ต เพาเวอร์ไลน์คัปปลิ้งในสายโทรศัพท์โดยใช้ไฮพาสฟิลเตอร์ก่อนจะส่งไปทำการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโดยผ่านขบวนการแซมปลิ้งคือ การทำสัญญาณ ซึ่งมีค่าต่อเนื่องให้เป็นแบบดิสครีท (DISCREATE)ในช่วงเวลาที่ห่างกันก็จะได้ขบวนพัลส์แอมปลิจูดมอดูเลชั่น ซึ่งถือว่าเป็นชนิดอนาลอกอยู่

จากนั้นก็ผ่านขบวนการควอนไทซ์ซึ่งเป็นการจัดระดับสัญญาณโดยใช้วงจรคอมเพรสเซอร์แบบ A-LAW ถ้าเปรียบเทียบกับ $^{+}\mu$-law แล้วจะเห็นว่าสัญญาณที่เพาเวอร์สูงจะมีอัตราส่วนของสัญญาณต่อสัญญาณรบกวนดีกว่าเมื่อสัญญาณผ่านการจัดระดับแล้วก็ผ่านไปยังขบวนการเข้ารหัสจะมีการแปลงเป็นสัญญาณดิจิตอลส่งออกไปทางขา 11 D_X

ทางภาครับ

จะมีการแปลงสัญญาณจากสัญญาณดิจิตอล (รับมาทางขา D_R) ไปเป็นสัญญาณอนาลอก ส่งออกทางขา VF_Rจะประกอบด้วย วงจรเอกซ์แพนเดอร์ (Expander) , เอทูดี (Analog to digital) , คอนเวอร์เตอร์ (Converter) และวงจรกรองความถี่ต่ำ (Low pass filter) สัญญาณดิจิตอลที่รับเข้ามาทางขา D_R ด้วยการควบคุมของFS_R (เฟรมซิงค์พัลส์ ที่รับมาจากวงจรเฟรมซิงค์) และ BCLK (รับสัญญาณนาฬิกา) สามารถปรับค่าได้ตั้งแต่ 64 กิโลเฮิร์ต จนถึง 2.04 เมกกะเฮิร์ต ซึ่งจะรับสัญญาณดิจิตอลเข้าไปยังรีจิสเตอร์รับข้อมูล

ทางตัวเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกจะมีการทำทีละ 8 บิทของข้อมูลดิจิตอล และสัญญาณอนาลอกจะแปลงออกมาที่ดีทูเอ คาปาซิเตอร์ สัญญาณที่ได้จะถูกส่งไปที่สวิทซ์คาปาซิเตอร์ โลพาสฟิลเตอร์คล็อคที่ความถี่ 128 กิโลเฮิร์ต เพื่อที่จะปรับสัญญาณให้ดีเพื่อชดเชยการผิดเพี้ยนจาก SIN X/X ก็จะได้สัญญาณอนาลอกออกมาทางขา VF_R

3.3 วงจรกำเนิดสัญญาณเสียง

สัญญาณที่ใช้ในอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติระบบดิจิตอล จะได้จากการอ่านข้อมูลที่เก็บไว้ในหน่วยความจำ EPROM ขนาด 2K สำหรับการสร้างสัญญาณต่างๆที่ใช้ในการสื่อสารสามารถทำได้ดังนี้

1. สัญญาณไดอัล (Dial Tone)

การส่งสัญญาณนี้ให้กับเครื่องโทรศัพท์จะทำได้โดยการอ่านข้อมูลจาก EPROM ที่เก็บข้อมูลสัญญาณ 400 เฮิร์ต มอดดูเลทกับ 25 เฮิร์ตโดยจะเป็นการอ่านข้อมูลอย่างต่อเนื่องกันไป

2. สัญญาณไม่ว่าง (Busy Tone)

ลักษณะของสัญญาณนี้จะมีความถี่ 400 เฮิร์ต โดยมีช่วงดัง 1 วินาที และมีช่วงเงียบ 1 วินาที ดังนั้นการอ่านข้อมูลจากหน่วยความจำ EPROM จะอ่านอย่างต่อเนื่อง โดยผ่านอนาลอกสวิทซ์ซึ่งใช้ไอซี 555 ซึ่งกำเนิดลอจิก 1 เป็นเวลา 1 วินาที และลอจิก 0 เป็นเวลา 1 วินาที เป็นตัวควบคุมการติด 1 วินาที และดับ 1 วินาที

3. สัญญาณเรียกกลับ (Ringback Tone)

ความถี่ของสัญญาณนี้เป็น 400 เฮิร์ต และมีช่วงจังหวะที่ดัง 1 วินาที เงียบ 3 วินาที หลักการควบคุมเหมือนสัญญาณไม่ว่างเพียงแต่เปลี่ยนแปลงวงจรไอซี 555 ให้กำเนิดลอจิก 0 เป็นเวลา 3 วินาที ลอจิก 1 เป็นเวลา 1 วินาที แล้วผ่านอินเวอร์ทเตอร์ (Inverter) เพื่อให้เกิดสัญญาณซึ่งติด 1 วินาที และดับ 3 วินาที

4. สัญญาณเรียก (Ringing Signal)

เป็นสัญญาณเรียกที่มีความถี่ 50 เฮิร์ต 100 โวลต์ โดยมีจังหวะการปิด-เปิด เป็น 1 และ 3 วินาที ตามลำดับ

3.4 <u>ส่วนรับสัญญาณคู่ความถี่หรือส่วนถอดรหัสความถี่สัญญาณ</u> (DTMF)

วงจรส่วนนี้ทำหน้าที่ถอดรหัสความถี่โทรศัพท์ ซึ่งเป็นความถี่ผสมที่เกิดจากการกดปุ่มของตัวเลขของโทรศัพท์ชนิดกดปุ่ม ให้เป็นตัวเลขทางดิจิตอล ที่สามารถใช้เป็นข้อมูลสำหรับวงจรส่วนควบคุมต่อไปได้

สำหรับวงจรถอดรหัสความถี่สัญญาณโทรศัพท์ในโครงงานนี้ ใช้ไอซีเบอร์ MT 8870D ซึ่งเป็นไอซีที่ทำหน้าที่แปลงความถี่โทรศัพท์ให้เป็นเลขฐานสองขนาด 4 บิท ตามค่าความถี่ที่เกิดขึ้น จากการกดปุ่มหมายเลขต่างๆของโทรศัพท์ ดังแสดงค่าที่ถอดรหัสได้ดังตาราง

digit	TOE	INH	ESt	Q4	Q3	Q2	Q1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0

digit	TOE	INH	EST	Q4	Q3	Q2	Q1
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	@	@	@	@
B	H	H	L	@	@	@	@
C	H	H	L	@	@	@	@
D	H	H	L	@	@	@	@

@ = ไม่สามารถที่จะระบุได้ชัดเจน ค่าเอาท์พุทที่ได้นั้นจะเหมือนกับรหัสที่ได้รับก่อนหน้านี้

ตารางที่ 3.5 แสดงสถานะของการถอดรหัสสัญญาณคู่ความถี่

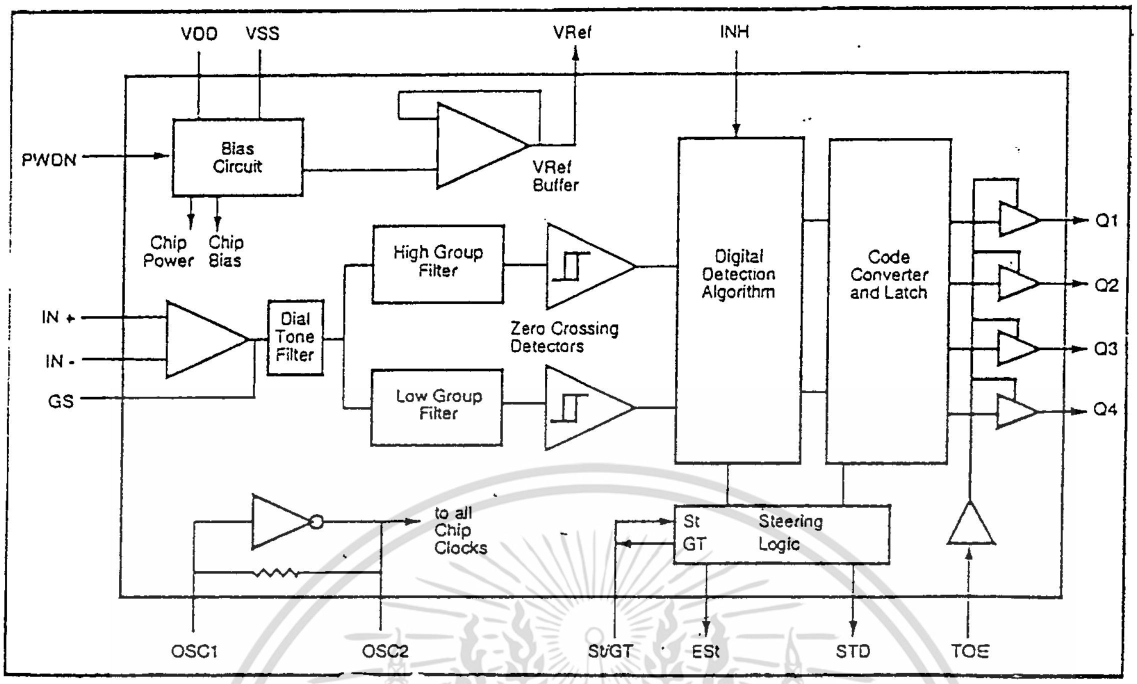
หมายเหตุ Z หมายถึง สภาพความต้านทานสูง (High Impedance)

F low คือ ช่วงความถี่ต่ำ

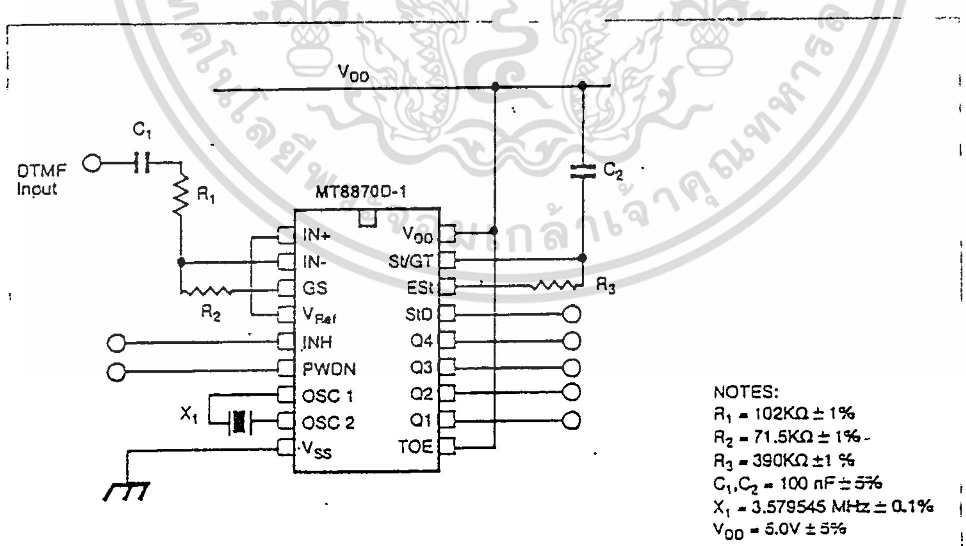
F high คือ ช่วงความถี่สูง

3.4.1 <u>หลักการของวงจรถอดรหัสความถี่โทรศัพท์</u>

ไอซี MT 8870D จะทำการแยกสัญญาณความถี่ที่เข้ามาทางอินพุทออกเป็น 2 กลุ่มความถี่คือ ช่วงความถี่สูงและช่วงความถี่ต่ำ โดยใช้วงจรกรองแถบความถี่ และทำการตรวจสอบความถี่ที่เข้ามาว่า เป็นความถี่มาตรฐานหรือไม่ เพื่อป้องกันไม่ให้ความถี่อื่นผสมเข้ามาด้วย นอกจากนี้ยังมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดไว้หรือไม่ โดยตรวจสอบระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงระยะเวลาพอสมควร มิฉะนั้นไอซีจะไม่รับสัญญาณความถี่ที่ถูกกดนั้นมาถอดรหัสเนื่องจากระยะเวลาจองสัญญาณความถี่นั้นน้อยเกินไป



รูปที่ 3.3 แสดงโครงสร้าง MT 8870D



รูปที่ 3.4 แสดงวงจรตรวจสอบและถอดรหัสสัญญาณคู่ความถี่

3.5 <u>ส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน</u> (SUBSCRIBER LOOP INTERFACE CIRCUIT หรือ SLIC)

ส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน คือไอซีเบอร์ MH88622 ทำหน้าที่จ่ายไฟเลี้ยงดีซีให้กับเครื่องโทรศัพท์ภายใน แปลงสัญญาณจากคู่สายโทรศัพท์ภายในให้เป็นสัญญาณรับ - ส่งที่แยกกัน แสดงสถานะการยกหู และควบคุมการส่งสัญญาณเรียกวงจรซับสไคร์เบอร์ลูปอินเตอร์เฟสเซอร์กิต

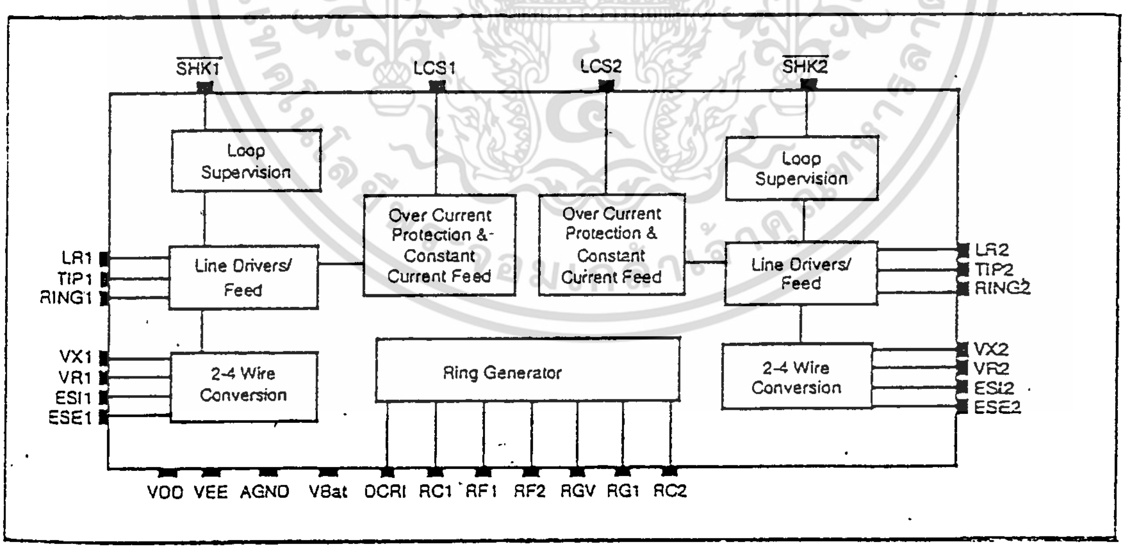
หน้าที่ของชุมสายโทรศัพท์ในเทคโนโลยีปัจจุบัน นอกจากจะทำหน้าที่ที่สำคัญในการตัดต่อวงจรโทรศัพท์ ตามความต้องการของผู้ใช้แล้ว ยังเป็นการสร้างสัญญาณต่างๆ และยังเป็นตัวจ่ายกระแสไฟฟ้าให้แก่โทรศัพท์ของผู้ใช้ และเนื่องจากการที่มีการเดินสายโทรศัพท์ที่ไกลๆ จากชุมสายโทรศัพท์ทำให้สัญญาณมีการลดทอน จึงมีความจำเป็นต้องมีการขยายสัญญาณพูดที่ชุมสายโทรศัพท์เพื่อส่งต่อสัญญาณที่ขยายแล้วไปยังผู้รับปลายทาง ปัจจุบันนี้ได้มีไอซีสำเร็จรูปเข้ามาทำหน้าที่อย่างเช่น ไอซีเบอร์ MH88622 ซึ่งได้นำมาใช้ในโครงงานนี้โดยทำหน้าที่

1) จ่ายกระแสไฟให้แก่โทรศัพท์

2) แยกสัญญาณจาก 2 สาย (TWO DIFFERENTIAL) ให้เป็น 4 สาย(FOUR WIRES SINGLE END)

3) ตรวจสอบสถานะ การวางหู - ยกหูโทรศัพท์ หรือเรียกอุปกรณ์ที่ทำหน้าที่ว่า ซับสไคร์เบอร์ลูปอินเตอร์เฟสเซอร์กิต ซึ่งจะเข้ามาทำหน้าที่แทนวงจรไฮบริดทรานสฟอร์เมอร์ (HYBRID TRANSFORMER) ซึ่งทำฆหน้าที่เปลี่ยนการส่งสัญญาณแบบ 2 สายให้เป็น 4 สาย

4) จ่ายสัญญาณเรียก



รูปที่ 3.5 บล็อกไดอะแกรมแสดงส่วนประกอบของส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน

3.6 ส่วนติดต่อกับสายภายนอก (CO - TRUNK)

ส่วนติดต่อกับสายภายนอก เป็นส่วนที่ติดต่อโดยตรงกับสายองค์การโทรศัพท์เป็นส่วนที่รับสัญญาณที่ส่งมาจากชุมสายโทรศัพท์โดยทำหน้าที่เสมือนเครื่องโทรศัพท์ แต่สัญญาณจะถูกรับรู้ และตรวจจับโดยส่วนประมวลผลกลาง (CPU) แต่ส่วนของส่วนติดต่อกับสายภายนอกมีคุณสมบัติที่แตกต่างจากเครื่องโทรศัพท์ซึ่งสามารถแยกส่วนอธิบายได้ดังนี้

1) ส่วนตรวจจับสัญญาณเรียก (RINGING SIGNAL)

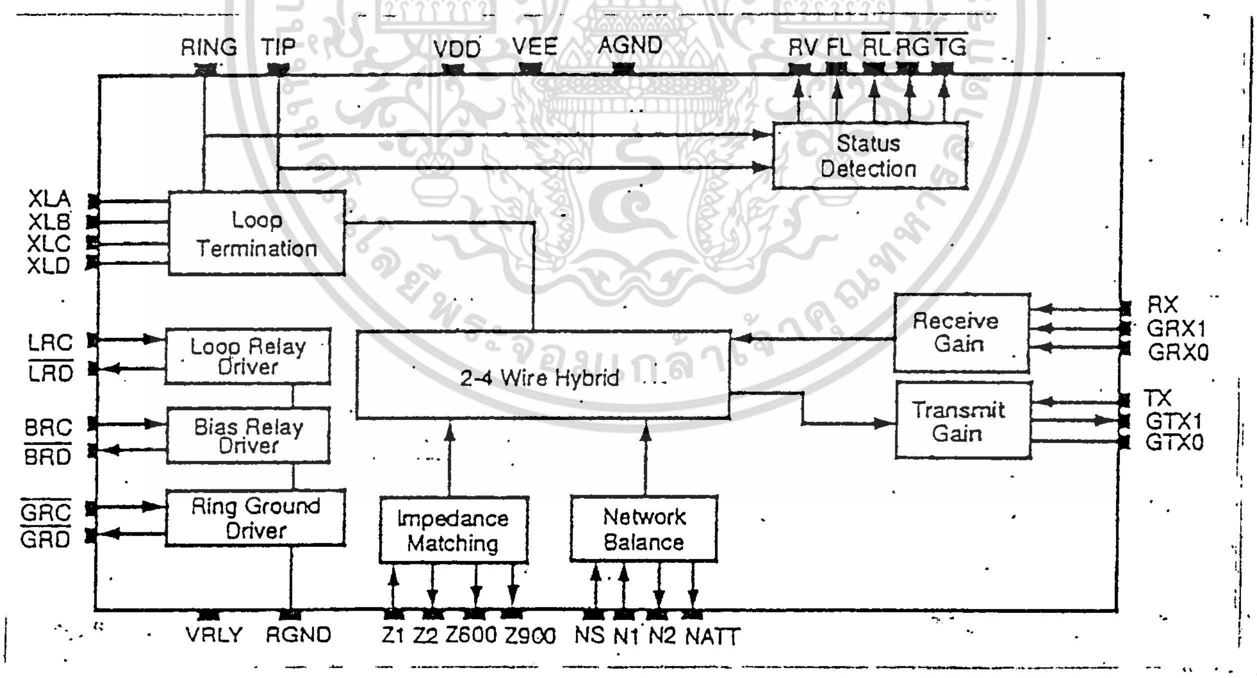
2) ส่วนวงจรไฮบริดจ์

3.6.1 ส่วนตรวจจับสัญญาณเรียก

สัญญาณเรียกเป็นสัญญาณขนาด 80 โวลต์ ความถี่ 20 เฮิร์ต ซึ่งจ่ายมาจากชุมสายโทรศัพท์ ซึ่งหากต่อกับเครื่องโทรศัพท์สัญญาณเรียกจะไปขับให้กระดิ่ง ในเครื่องโทรศัพท์ให้ดังเป็นจังหวะโดยดัง 1 วินาที เงียบ 4 วินาที

3.6.2 ส่วนวงจรไฮบริดจ์

สัญญาณที่ส่งไปยังส่วนโคเดค จะต้องเป็นสัญญาณที่แยกด้านรับ และด้านส่งหรือเป็นสัญญาณ 4 สาย ซึ่งส่วนแปลงสัญญาณจาก 2 สายเป็น 4 สายคือส่วนวงจรไฮบริดจ์



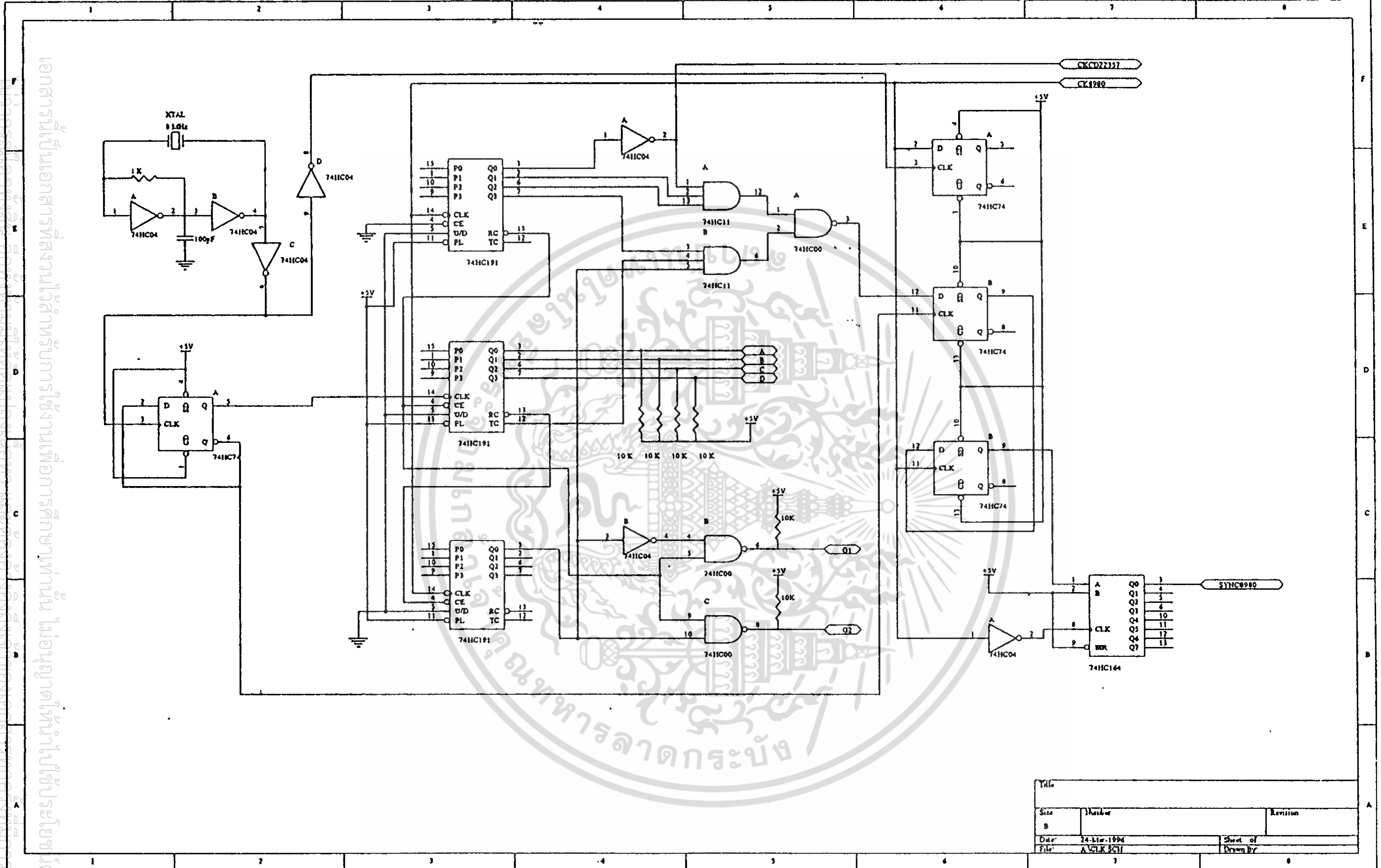
รูปที่ 3.6 บล็อกไดอะแกรมแสดงส่วนประกอบของโคทรั้งค์

บทที่ 4

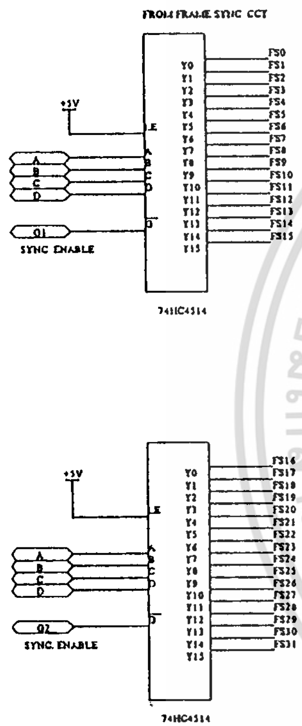
การทดลองและผลการทดลอง

4.1 <u>ส่วนสวิทชิ่งและโคเดค</u>

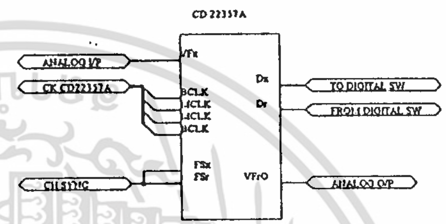
ในโครงงานนี้ใช้ดิจิตอลสวิตซิ่ง(MT 8980) สำหรับทำการสลับช่องสัญญาณอินพุทไปยังช่องสัญญาณเอาท์พุทตามที่กำหนดจากโปรแกรม และใช้โคเดคทำการแปลงสัญญาณอนาลอก (เสียงพูด) เป็นดิจิตอล โดยการทำงานของดิจิตอลสวิตและโคเดค **จะใช้สัญญาณนาฬิกา และสัญญาณซิงโครนัสดังวงจรรูปที่** 4.1 , 4.2A และ 4.2B และควบคุมการทำงานของดิจิตอลสวิตซิ่งผ่านทางพอร์ตควบคุมของซิงเกิลบอร์ดแจ๊ส 31 ดังรูป 4.2C



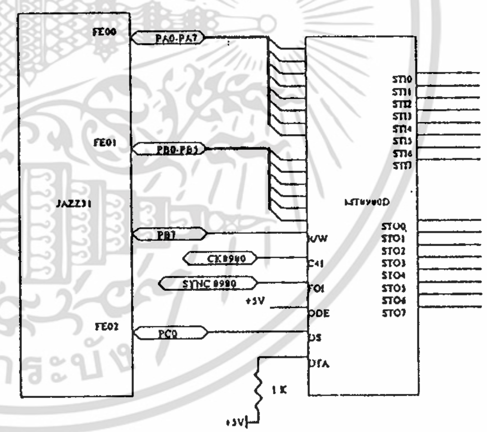
รูปที่ 4.1 วงจรสร้างสัญญาณนาฬิกาและสัญญาณซิงโครนัส



รูปที่ 4.2a วงจรสร้างสัญญาณชาแนลซิงโครนัส



รูปที่ 4.2b วงจรโคเดค



รูปที่ 4.2c แสดงการเชื่อมต่อระหว่างดิจิตอลสวิทชิ่งกับไมโครคอนโทรลเลอร์

ผลการทดลอง

ในส่วนของช่องสัญญาณ (Time slot) และเฟรมซิงโครนัส (Frame synchronous) นั้นได้ทำการทดลองแยกส่วนโดยการวัดสัญญาณแบบแมนนวล (manual) ปรากฏว่าสัญญาณในส่วนของเฟรมซิงโครนัสนั้นสัญญาณที่ได้เป็นไปตามที่ได้ออกแบบเอาไว้คือ

1. สัญญาญนาฬิกา 2.003 MHz ป้อนให้แก่โคเดค (Codec)

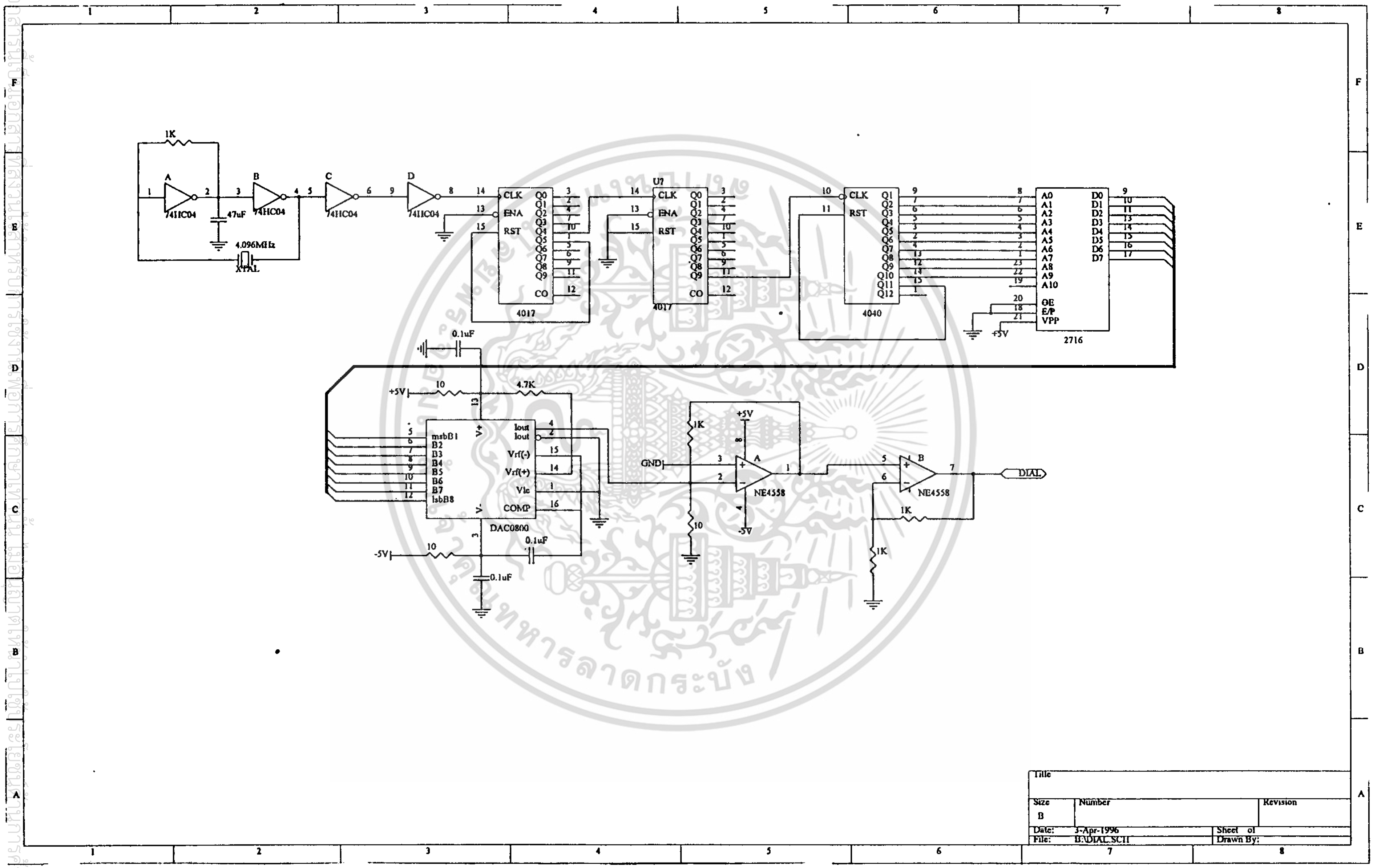
2. สัญญาณนาฬิกา 4.006 MHz ป้อนให้แก่ดิจิตอลสวิทช์ (Digital switching MT 8980D)

3. สัญญาณเฟรมซิงโครนัสสร้างให้กับดิจิตอลสวิทช์นั้นมีความถี่ 8 kHz โดยจะมีลอจิก "0" ในทุกๆ 1/8 kHz ซึ่งสัญญาณเฟรมซิงโครนัสนี้เป็นสัญญาณที่บอกการเริ่มต้นของเฟรมใหม่

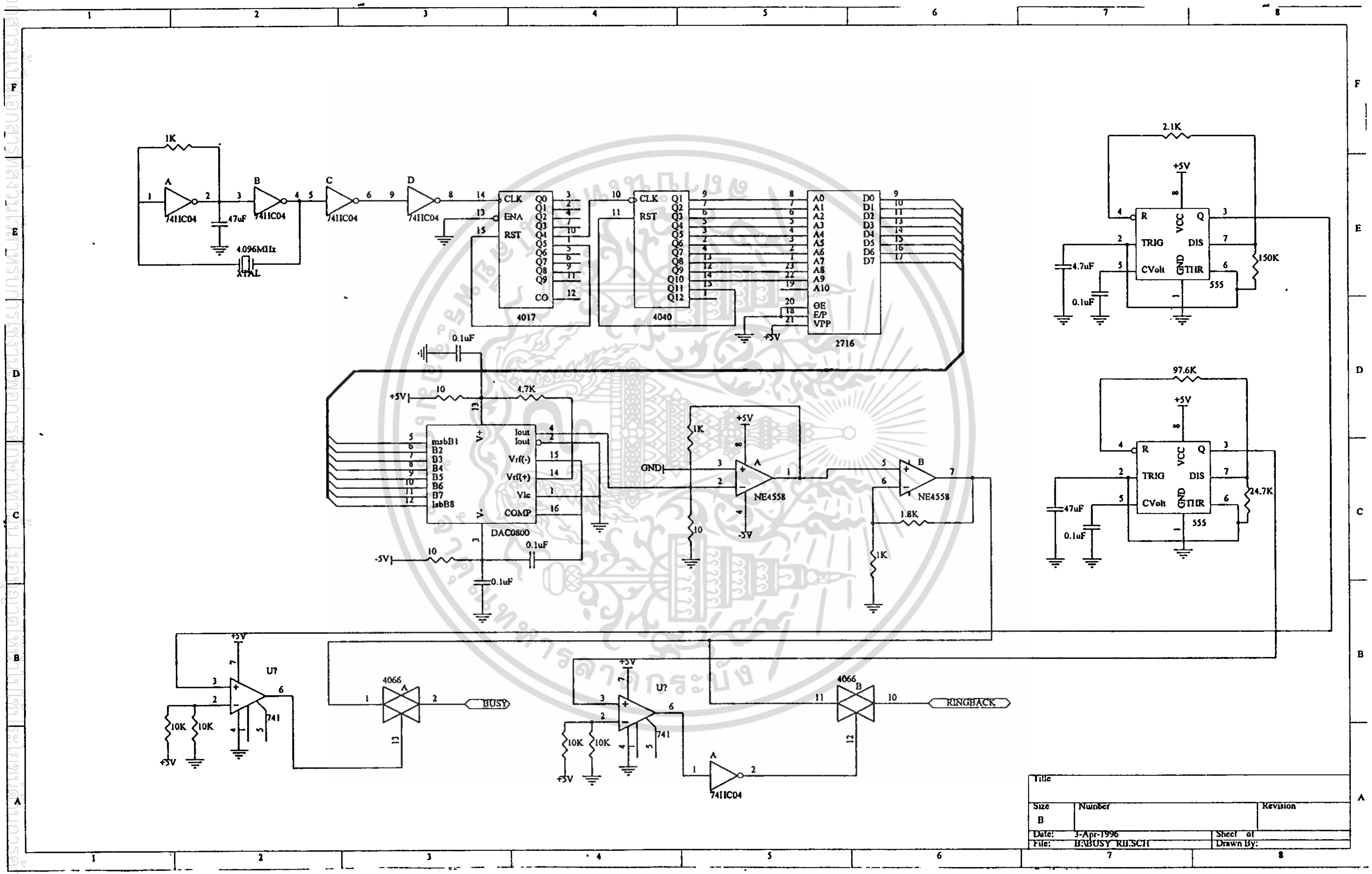
4.2 <u>การสร้างสัญญาณไดอัล สัญญาณไม่ว่าง สัญญาณเรียกกลับ</u>

1. สัญญาณไดอัลสร้างจากการโปรแกรมสัญญาณ 400 Hz มอดูเลทกับสัญญาณ 25 Hz ลงใน EPROM ซึ่งมีหน่วยความจำขนาด 2 กิโลบิท โดยใช้ไอซีเบอร์ 4040 ในการสร้างแอดเดรส เพื่ออ่านข้อมูลดิจิตอลที่เก็บภายใน EPROM ออกมาแล้วทำการแปลงกลับเป็นอนาลอกโดยผ่านไอซี DAC 0800 ดังรูปที่ 4.3

2. สัญญาณเรียกกลับและสัญญาณไม่ว่าง สร้างจากการโปรแกรมสัญญาณ 400 Hz ลงใน EPROM จากนั้นก็จะทำการอ่านข้อมูลที่เป็นดิจิตอลออกมา แล้วทำการแปลงข้อมูลจากดิจิตอลเป็นอนาลอก (คล้ายกับข้อ 1) แต่จะใช้ไอซี 555 ควบคุมเป็นจังหวะปิดเปิด ดังรูปที่ 4.4



รูปที่ 4.3 วงจรสร้างสัญญาณไดอัล



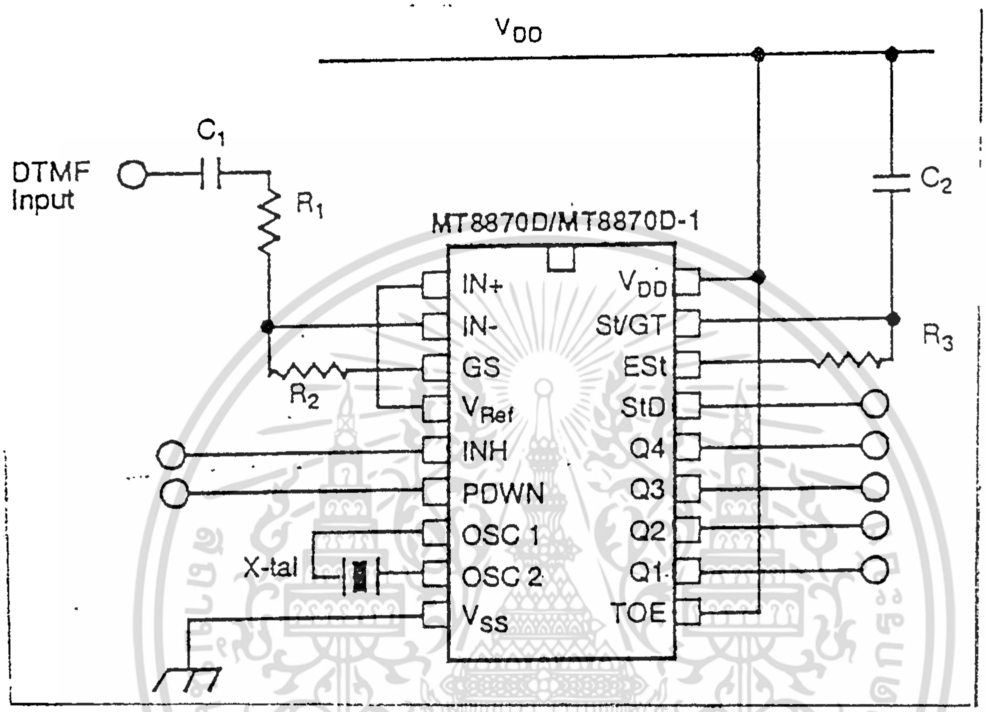
รูปที่ 4.4 วงจรสร้างสัญญาณเรียกกลับและสัญญาณไม่ว่าง

<u>ผลการทดลอง</u>

- ส่วนสร้างสัญญาณไดอัล จะได้สัญญาณ 400 Hz มอดดูเลทกับ 25 Hz อย่างต่อเนื่องกันไป
- ส่วนสร้างสัญญาณเรียกกลับ จะได้สัญญาณ 400 Hz ที่มีช่วงจังหวะที่ดัง 0.8 วินาที เงียบ 3.9 วินาที
- ส่วนสร้างสัญญาณไม่ว่าง จะได้สัญญาณ 400 Hz ที่มีช่างจังหวะที่ดัง 0.4 วินาที เงียบ 0.4 วินาที

4.3 <u>ส่วนของการถอดรหัสสัญญาณคู่ความถี่</u>

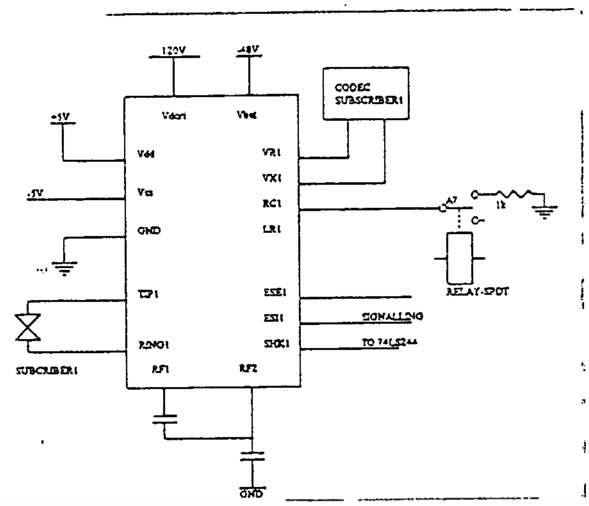
โดยไอซี MT8870 ทำหน้าที่ในการถอดรหัสสัญญาณคู่ความถี่ออกมาเป็นรหัสไบนารี 4 บิทโดยรหัสไบนารีที่ได้ จะนำไปต่อเข้ากับส่วนประมวลผลกลาง



รูปที่ 4.5 วงจรส่วนถอดรหัสสัญญาณคู่ความถี่

4.4 <u>ส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน</u>

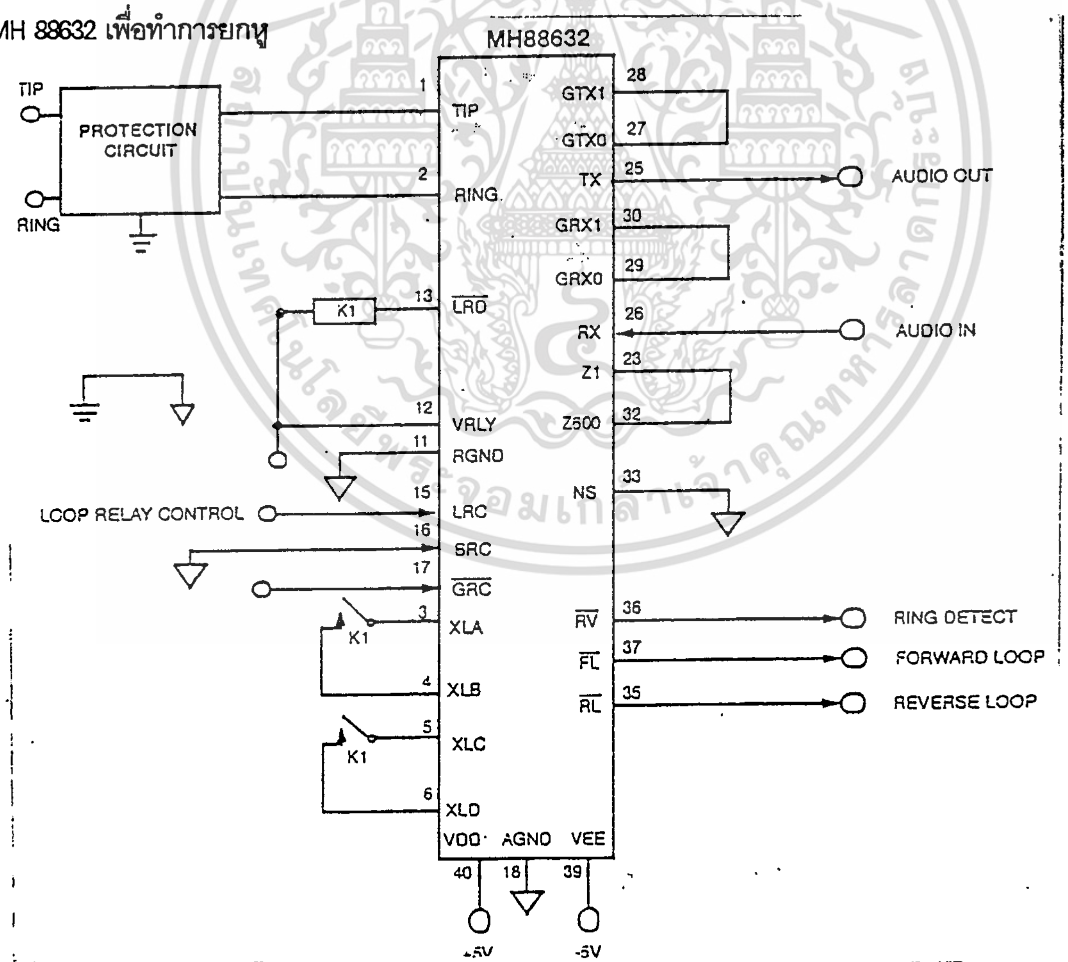
โดยใช้ไอซี MH88622 ต่อวงจรดังรูปที่ 4.6 โดยขณะที่วางหูของคู่สายโทรศัพท์ที่ขาแสดงสถานะแฮนด์เซ็ทจะเป็น 5 โวลท์ และเมื่อยกหูที่ขาแสดงสถานะแฮนด์เซ็ท จะเป็น 0 โวลท์ และเมื่อริงค์คอนโทรลเป็นลอจิก 1 จะเกิดเสียงกระดิ่งขึ้นที่โทรศัพท์



รูปที่ 4.6 วงจรเชื่อมต่อของคู่สายโทรศัพท์ภายใน

4.5 <u>โคทรั้งค์</u>

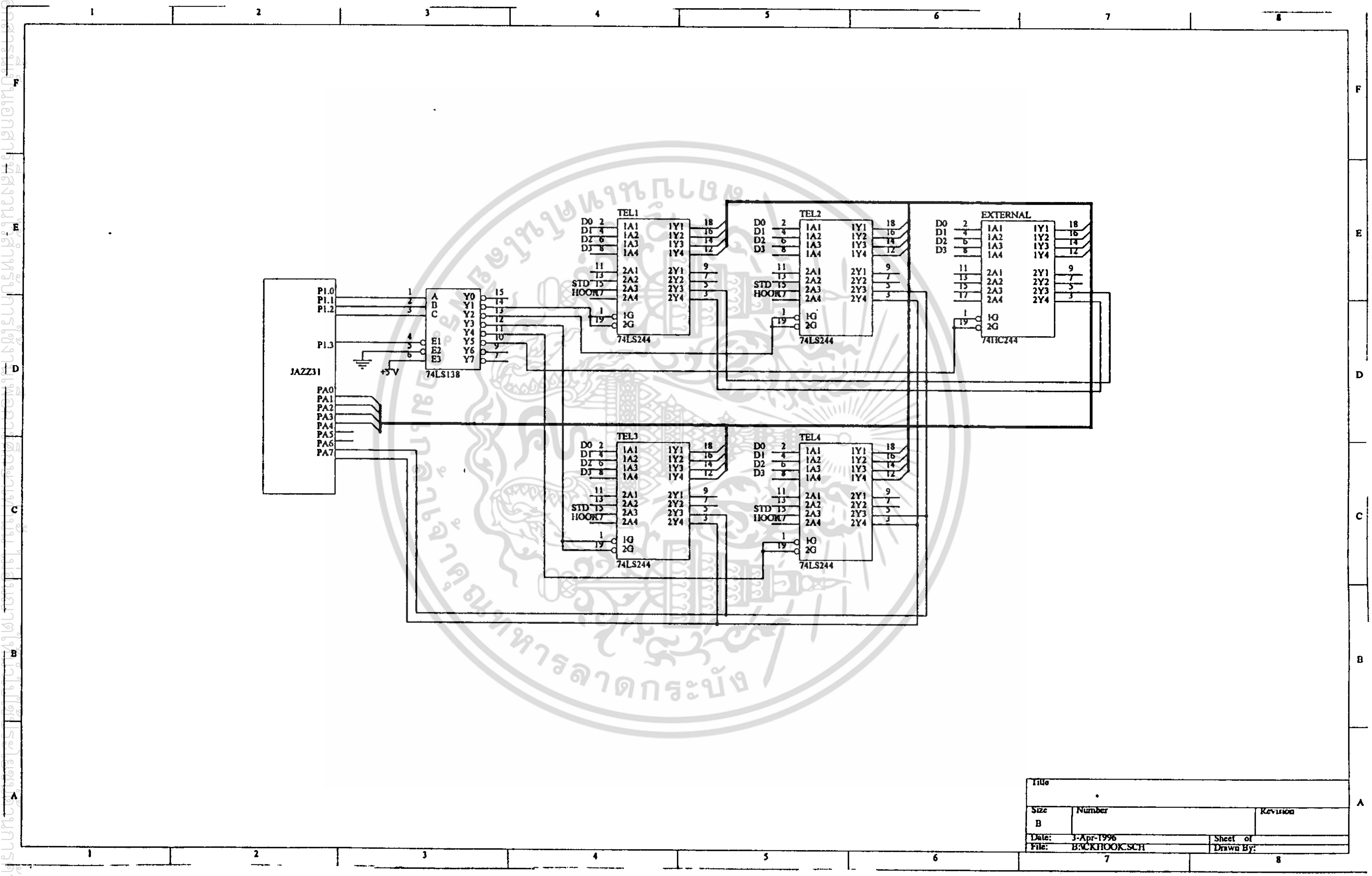
โคทรั้งค์คือส่วนที่ติดต่อโดยตรงกับสายขององค์การโทรศัพท์ ซึ่งต่อวงจรดังรูปที่ 4.7 โดยส่วนประมวลผลกลางจะตรวจจับสัญญาณเรียกจากริงโวลเตทดีเทค (Ring Voltage Detect) ของไอซี MH 88632 เพื่อทำการยกหู



รูปที่ 4.7 วงจรโคทรั้งค์

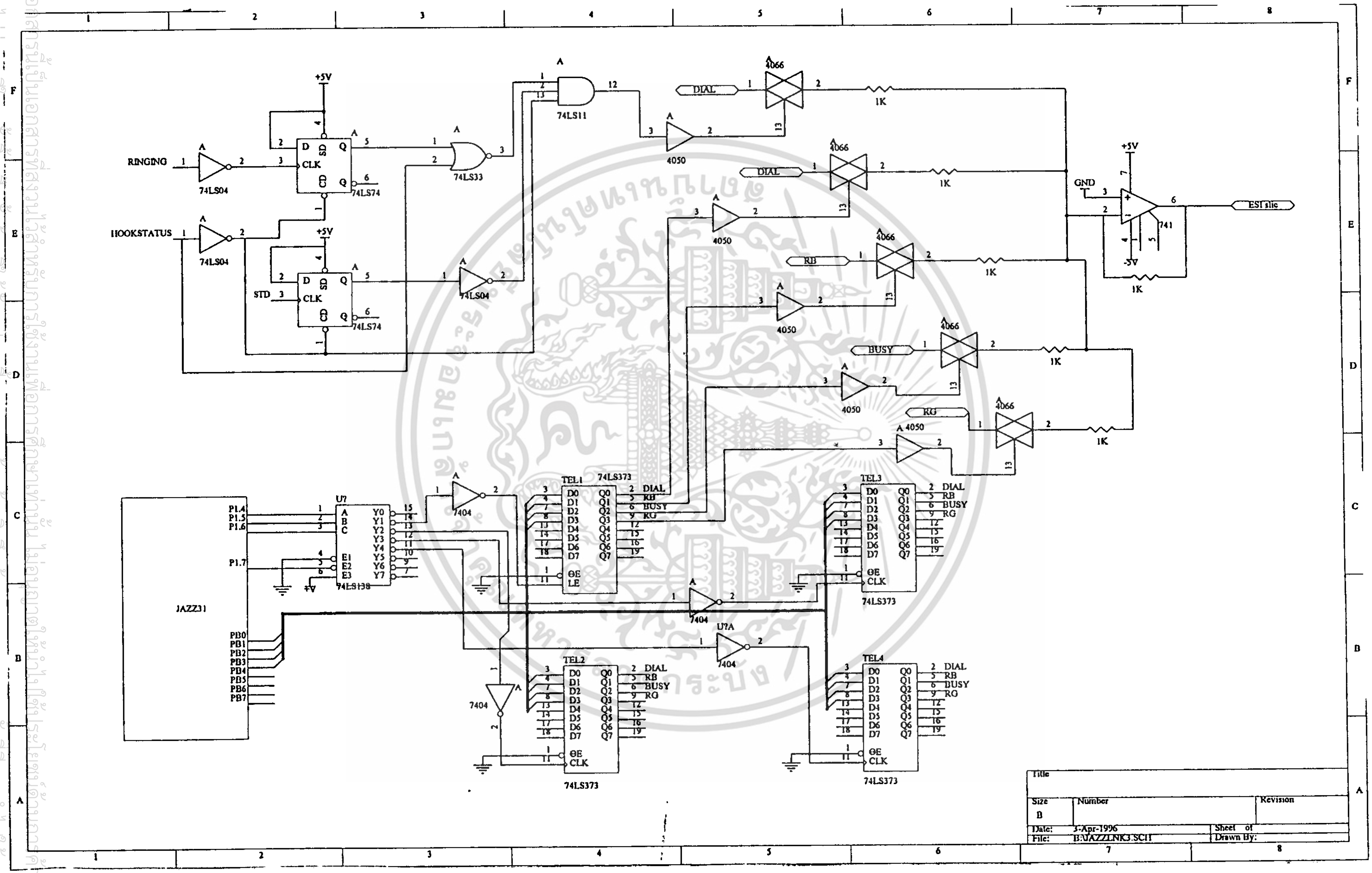
4.6 <u>ส่วนประมวลผลกลางและส่วนเชื่อมต่อ</u>

ในโครงงานจะใช้พอร์ท 1 (สี่บิทล่าง) ของ JAZZ-31 ในการควบคุมการทำงานของไอซี 74HC138 ซึ่งไอซีตัวนี้จะส่งสัญญาณไปควบคุมไอซี 74HC244 ให้ทำการแลทช์ข้อมูลจากส่วนถอดรหัสความถี่สัญญาณ (D0-D3) และสัญญาณ STB พร้อมทั้งสถานะของแฮนด์เซ็ทจากส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายในแต่ละเครื่อง โดยข้อมูลดังกล่าวจะผ่านเข้าสู่ JAZZ-31 ทางพอร์ท A เพื่อทำการประมวลสถานะของตู้สาขาอัตโนมัติดังรูปที่ 4.8 ส่วนพอร์ท 1 (สี่บิทบน) จะใช้ในการควบคุมไอซี 74HC138 ก็ต่อเมื่อต้องการจ่ายสัญญาณต่างๆ ให้แก่ตู้สาขาอัตโนมัติ โดยจะส่งสัญญาณให้ไอซี 74HC373 ทำการแลทช์ข้อมูลจากพอร์ท B ออกไปควบคุมการปิดเปิดของอนาลอกสวิทซ์ เพื่อควบคุมให้สัญญาณต่างๆเข้าสู่ตู้สาขาอัตโนมัติ ดังรูปที่ 4.9 และใช้พอร์ทของ JAZZ-31ในการควบคุมการทำงานของดิจิตอลสวิทซ์ซึ่งทำงานร่วมกับโคเดค ดังรูปที่ 4.10



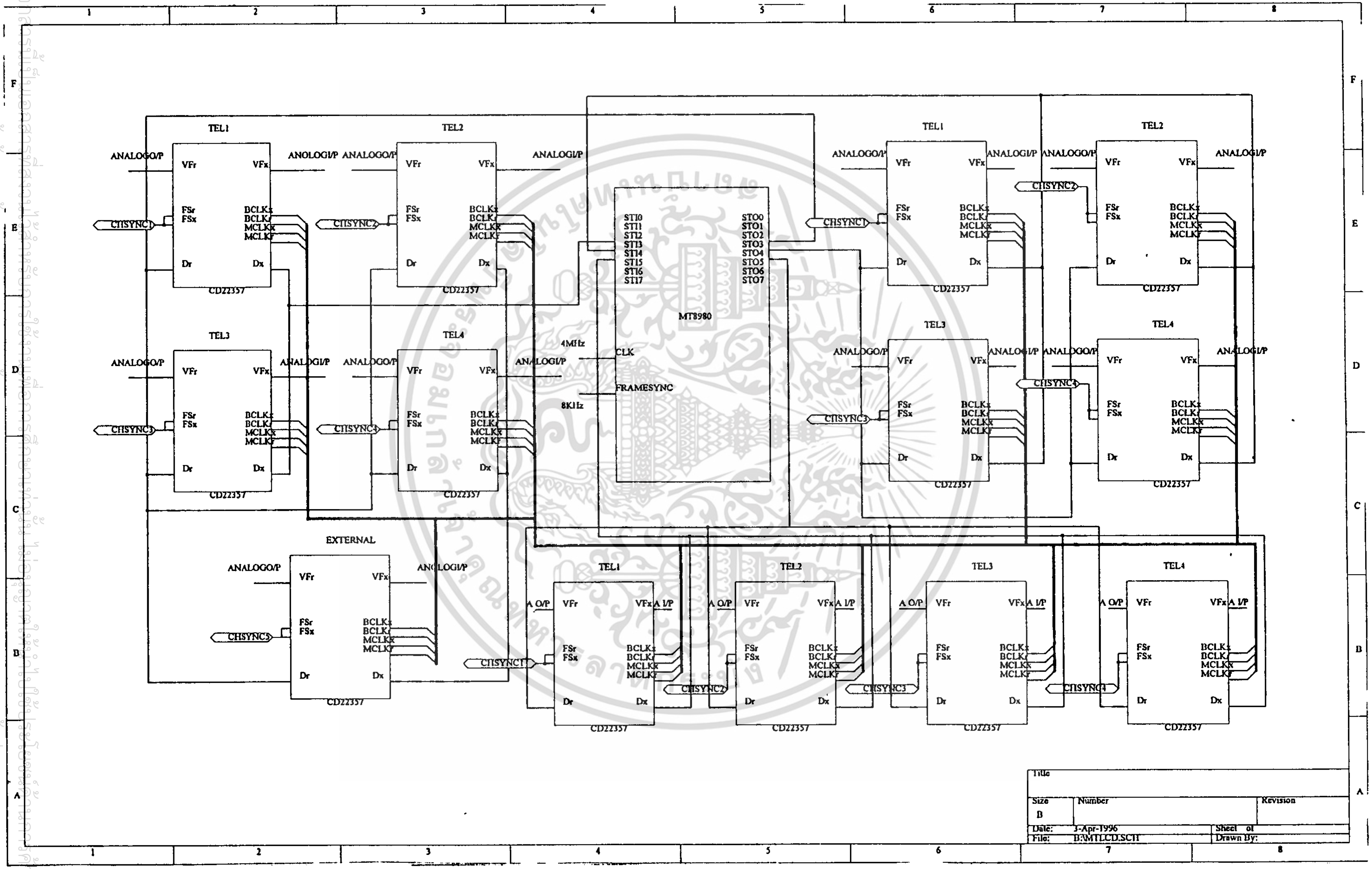
รูปที่ 4.8 แสดงการเชื่อมต่อระหว่างหน่วยประมวลผลกลางกับบัฟเฟอร์

(74LS244) เพื่อเช็คสถานะของคู่สายโทรศัพท์

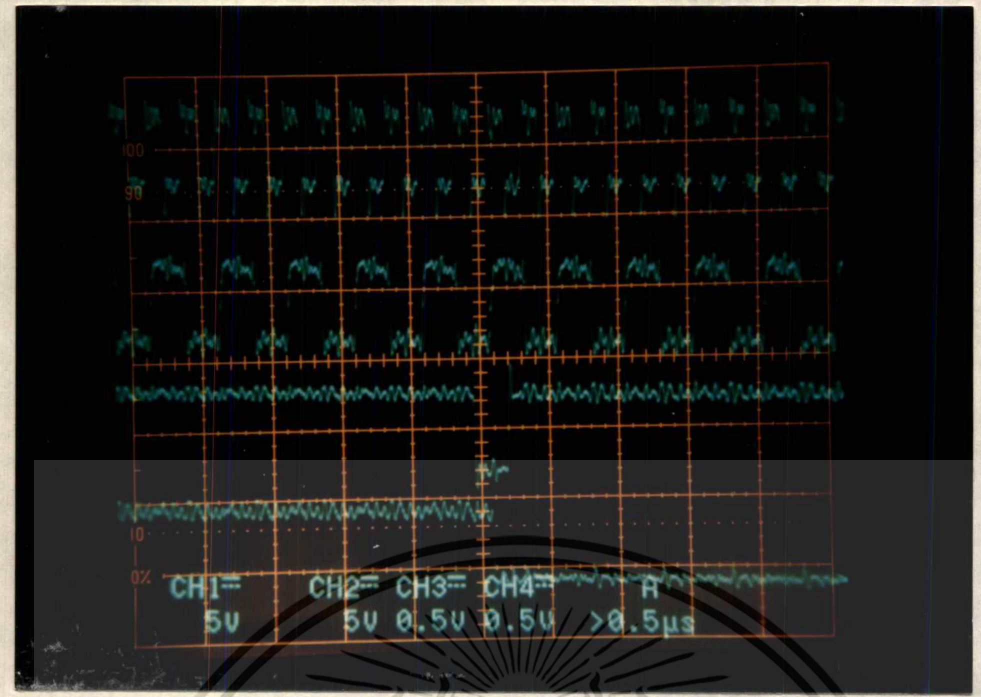


รูปที่ 4.9 แสดงการเชื่อมต่อระหว่างหน่วยประมวลผลกลางกับบัฟเฟอร์

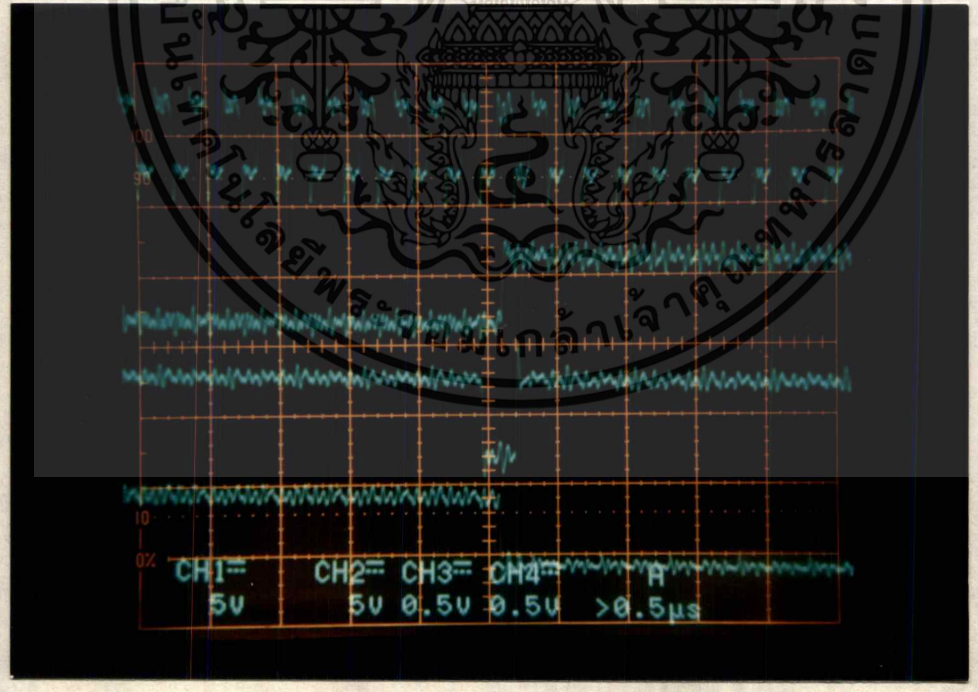
... เพื่อทำการส่งสัญญาณต่างๆ ให้กับคู่สาย



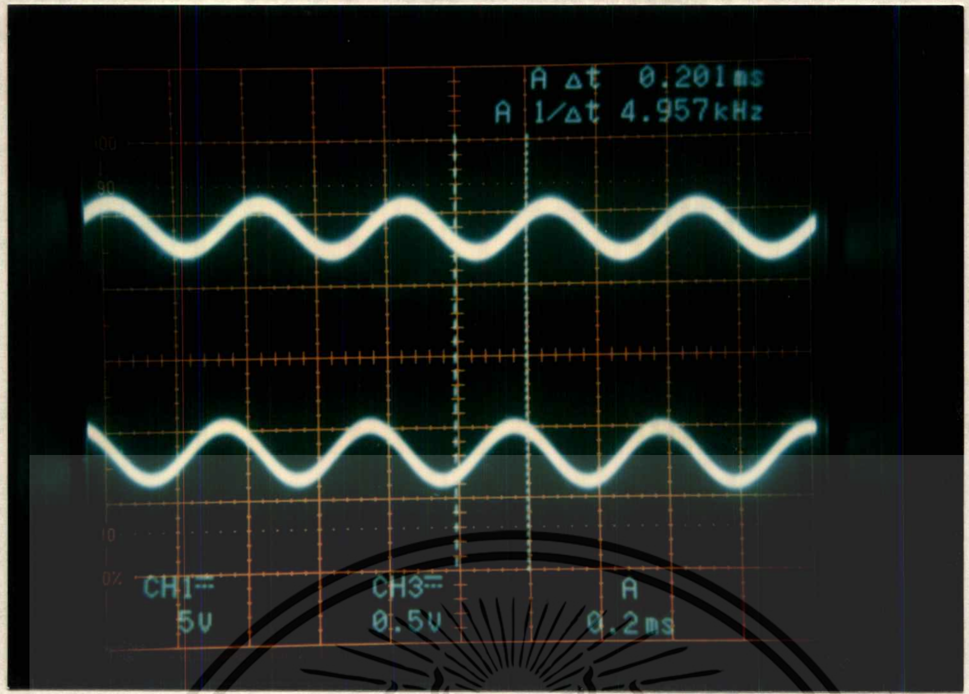
รูปที่ 4.10 แสดงการเชื่อมต่อของดิจิตอลสวิทชิ่ง MT8980 กับโคเดค



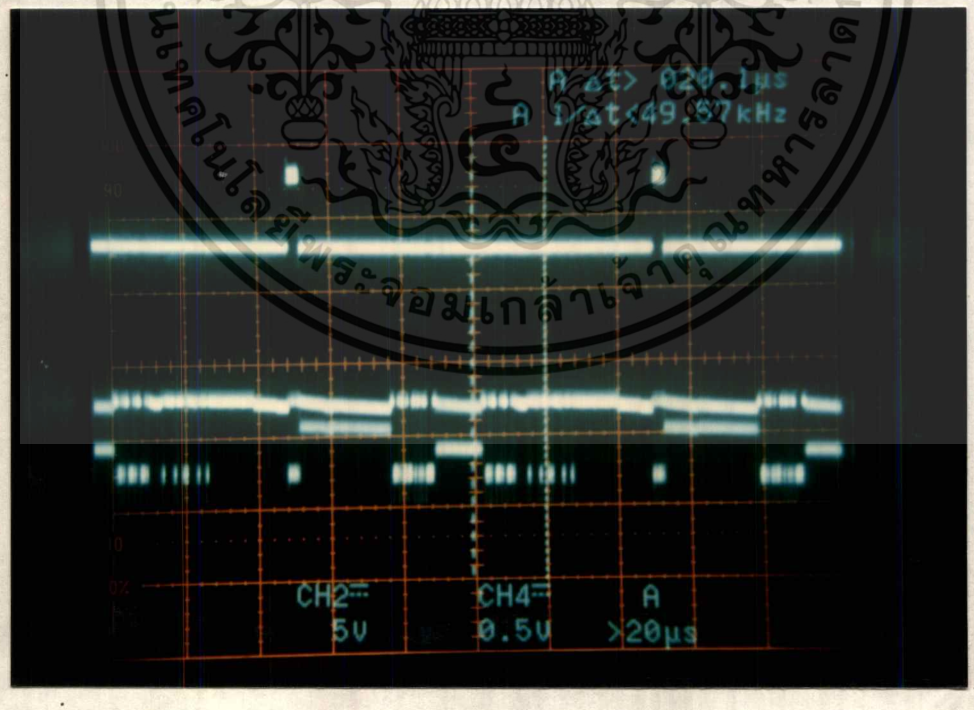
รูปที่ 4.11 แสดงสัญญาณนาฬิกา 4.006 เมกกะเฮิร์ต สัญญาณนาฬิกา 2.003 เมกกะเฮิร์ต สัญญาณเฟรมซิงค์ 8.000 กิโลเฮิร์ต สัญญาณชาแนลซิงค์ที่ 31



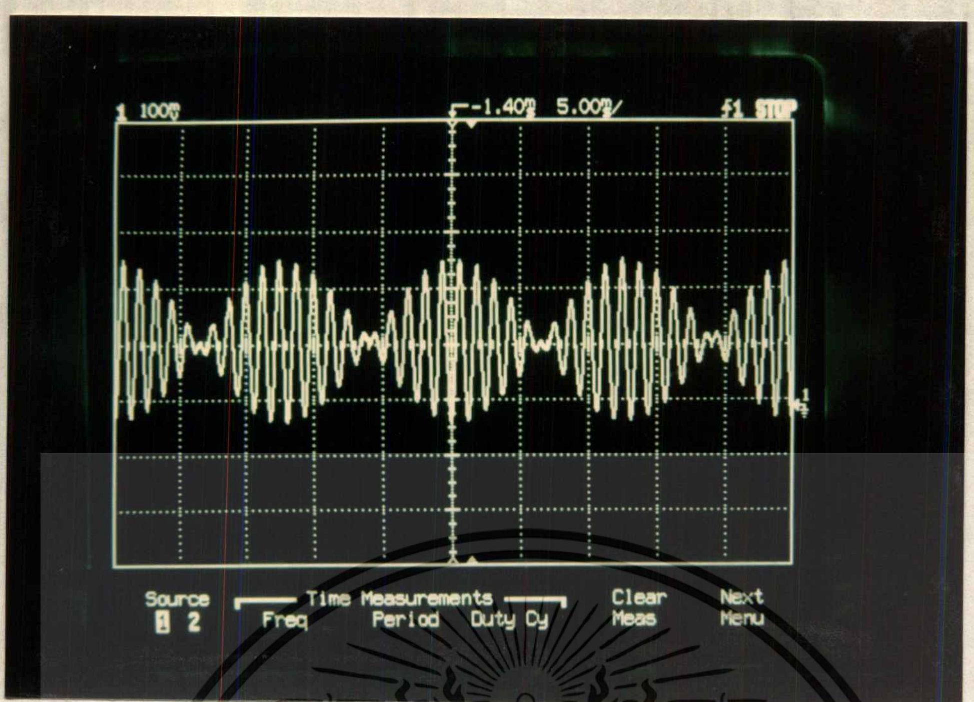
รูปที่ 4.12 แสดงสัญญาณนาฬิกา 4.006 เมกกะเฮิร์ต สัญญาณชาแนลซิงค์ที่ 0 สัญญาณเฟรมซิงค์ 8.000 กิโลเฮิร์ต สัญญาณชาแนลซิงค์ที่ 31



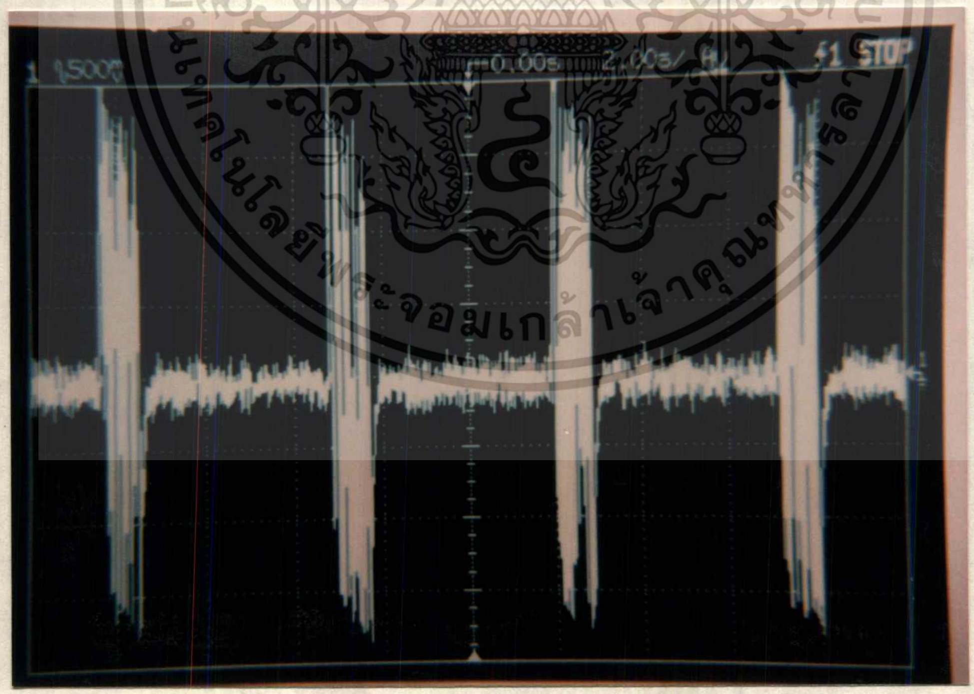
รูปที่ 4.13 แสดงสัญญาณอนาลอกอินพุทและสัญญาณอนาลอกเอาท์พุท



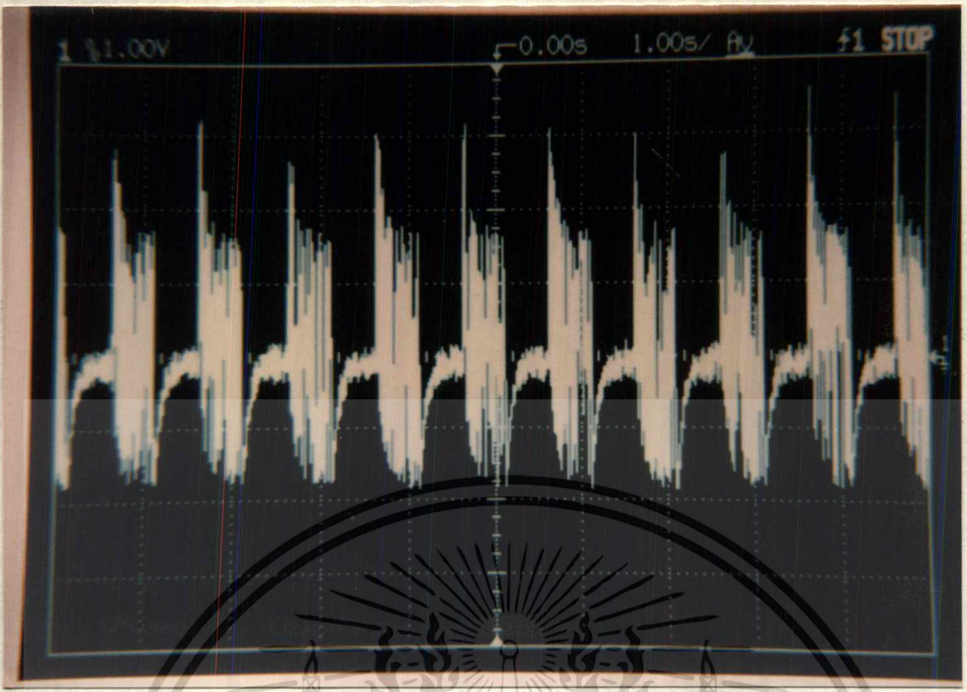
รูปที่ 4.14 แสดงสัญญาณชาแนลซิงค์ที่ 15 และสัญญาณดิจิตอลเอาท์พุท



รูปที่ 4.15 แสดงสัญญาณไดอัล



รูปที่ 4.16 แสดงสัญญาณเรียกกลับ



รูปที่ 4.17 แสดงสัญญาณไม่ว่าง

<u>ลำดับขั้นตอนในการทดลองใช้งานอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติ</u>

จากการทดลองกำหนดให้ใช้ 1 คู่สายนอก โดยใช้หมายเลข 9

4 คู่สายใน โดยใช้หมายเลข 1,2,3 และ 4 ตามลำดับ

1. <u>ลำดับขั้นตอนการทดลองในการเรียกออกสายนอก</u>

1. เมื่อผู้เรียกทำการยกแฮนด์เซ็ทจะได้รับสัญญาณไดอัล

2. ผู้เรียกทำการกดเลขหมายที่ต่อออกสายนอกซึ่งก็คือหมายเลข 9

3. ถ้าคู่สายนอกยังมีการใช้งานอยู่ ผู้เรียกจะได้รับสัญญาณไม่ว่าง

4. ถ้าคู่สายนอกไม่มีการใช้งาน อุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติก็จะทำการต่อทางเดิน (Speech Path) ระหว่างคู่สายนอกและคู่สายในเข้าด้วยกัน ดังนั้นผู้เรียกจะได้รับสัญญาณไดอัลอีกครั้งหนึ่งซึ่งเป็นสัญญาณที่จ่ายมาจากองค์การโทรศัพท์

5. การทำงานต่อไปจะอยู่ในการควบคุมขององค์การโทรศัพท์

2. <u>ลำดับขั้นตอนการทดลองในการเรียกสายใน</u>

1. เมื่อผู้เรียกทำการยกแฮนด์เซ็ทจะได้รับสัญญาณไดอัล

2. ผู้เรียกกดเลขหมายที่ต้องการติดต่อ ซึ่งมี 4 คู่สายภายในโดยมีหมายเลขตามลำดับดังนี้คือ 1,2,3 และ 4 ตามลำดับ

3. ถ้าคู่สายที่ต้องการติดต่อใช้งานอยู่ ผู้เรียกจะได้รับสัญญาณไม่ว่าง

4. ถ้าคู่สายที่ต้องการติดต่อไม่มีการใช้งาน ผู้เรียกจะได้รับสัญญาณเรียกกลับ ส่วนผู้ถูกเรียกจะได้รับสัญญาณเรียก

5. เมื่อทางด้านผู้ถูกเรียกยกแฮนด์เซ็ทก็จะสามารถทำการสนทนาได้

3. <u>ลำดับขั้นตอนการทดลองในการเรียกจากสายนอกเข้ามายังสายใน</u>

1.เมื่ออุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติได้รับสัญญาณเรียกจากองค์การโทรศัพท์ก็จะทำการยกแฮนด์เซ็ท

2.อุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติทำการตรวจสอบว่าหมายเลขที่ผู้เรียกกดเข้ามาเป็นหมายเลขของคู่สายในหมายเลข 1,2,3 หรือ 4

3.ถ้าคู่สายที่ต้องการติดต่อใช้งานอยู่ ผู้เรียกจะได้รับสัญญาณไม่ว่าง

4.ถ้าคู่สายที่ต้องการติดต่อไม่มีการใช้งาน อุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติจะทำการจ่ายสัญญาณเรียกไปยังตู้สาขาอัตโนมัติปลายทาง

5.ถ้าตู้สาขาอัตโนมัติปลายทางทำการยกแฮนด์เซ็ท การทำงานของอุปกกรณ์เชื่อมต่อตู้สาขาอัตโนมัติจะสิ้นสุดลง เนื่องจากตู้สาขาอัตโนมัติปลายทางจะเป็นผู้ที่ทำงานต่อไป

6. ถ้าตู้สาขาอัตโนมัติปลายทางไม่ทำการยกแฮนด์เซ็ท อุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติจะจ่ายสัญญาณไม่ว่างไปยังผู้เรียก

4. ลำดับขั้นตอนการทดลองการประชุมร่วม 3 คน

1. เมื่อเครื่องที่ 1 (เครื่องผู้เรียก) ทำการติดต่อกับเครื่องที่ 2 (เครื่องผู้ถูกเรียก)อยู่แล้วเครื่องที่ 2 ต้องการทำการประชุมร่วม 3 คน เครื่องที่ 2 จะทำการกด # บนหน้าปัทม์โทรศัพท์

2. เครื่องที่ 1และเครื่องที่ 2 จะได้รับสัญญาณไดอัล

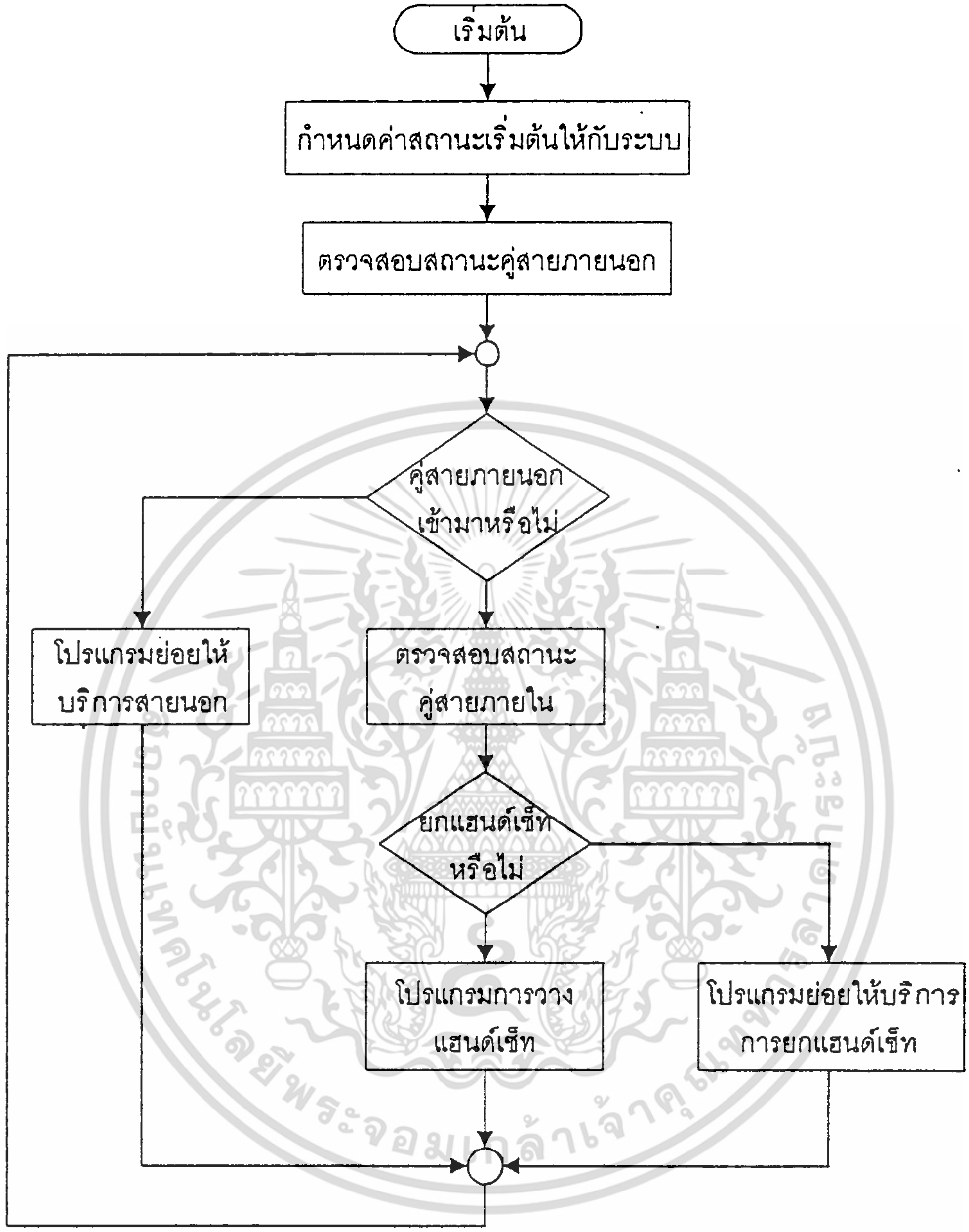
3. เครื่องที่ 2 จะทำการกดเลขหมายที่ต้องการติดต่อโดยจะต้องเป็นหมายเลขของคู่สายภายในเท่านั้น

4. ถ้าคู่สายที่เครื่องที่ 2 ต้องการติดต่อด้วยนั้นมีการใช้งานอยู่เครื่องที่ 2 จะได้รับสัญญาณไม่ว่างในช่วงเวลาหนึ่งแล้วจึงทำการสนทนากับเครื่องที่ 1 ได้ตามเดิม

5. ถ้าคู่สายที่เครื่องที่ 2 ต้องการติดต่อด้วยนั้นไม่มีการใช้งานอยู่อุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติจะทำการจ่ายสัญญาณเรียกไปยังเครื่องที่ 3 และจ่ายสัญญาณเรียกกลับไปยังเครื่องที่ 2 และเครื่องที่ 1 ในขณะเดียวกันอุปกรณ์เชื่อมต่อตู้สาขาอัตโนมัติก็จะทำการต่อทางเดิน (Speech Path) ระหว่างเครื่องที่ 1 และเครื่องที่ 3 และระหว่างเครื่องที่ 2 และเครื่องที่ 3

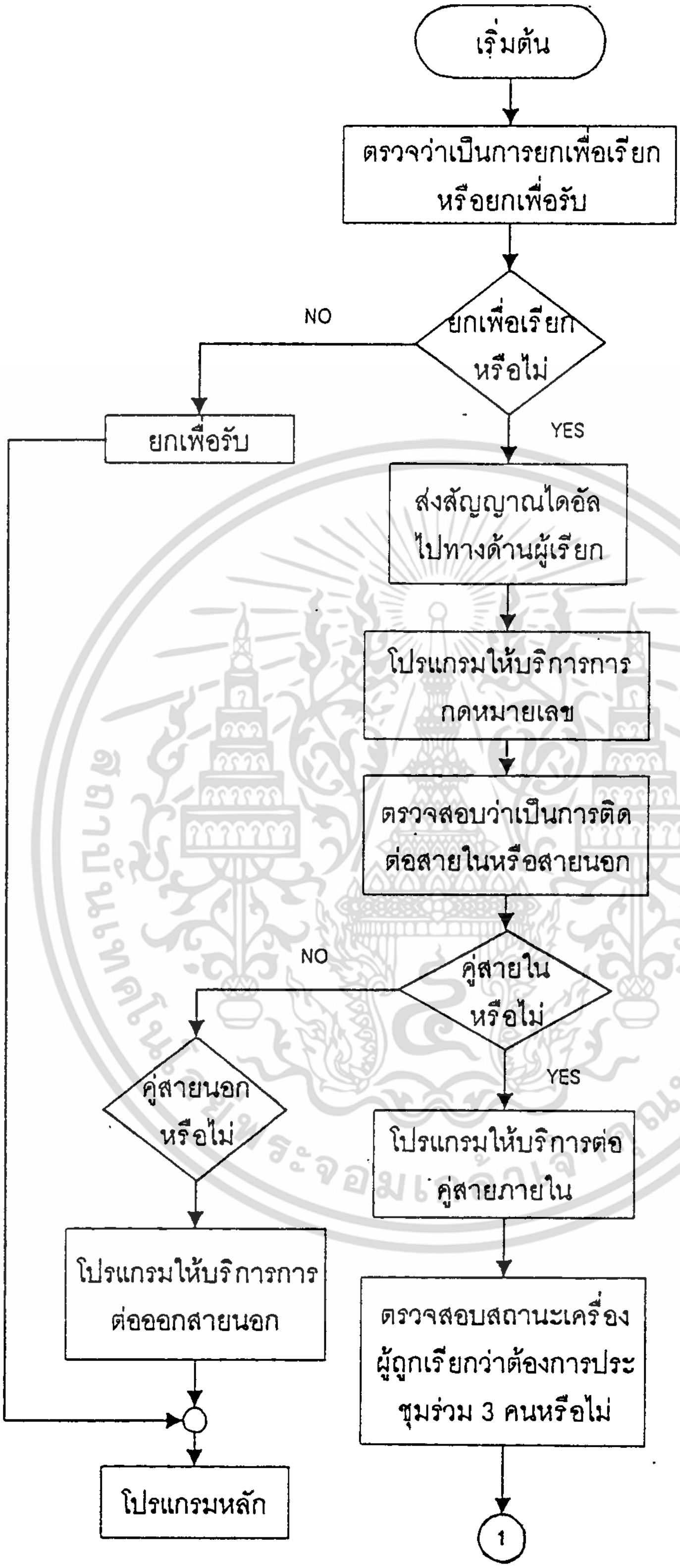
6. สนทนากัน 3 คู่สาย

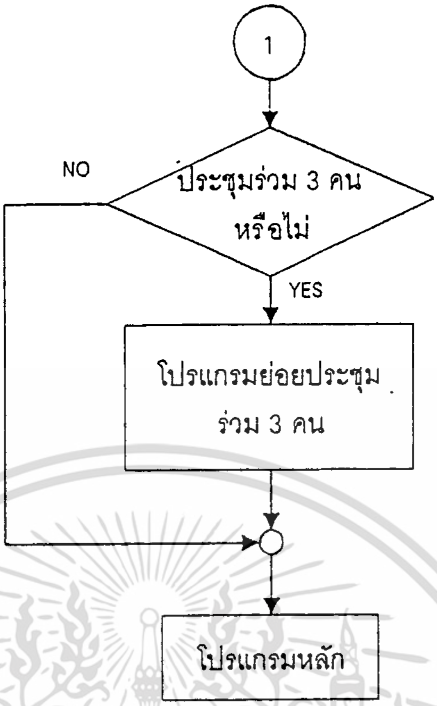
โปรแกรมหลัก



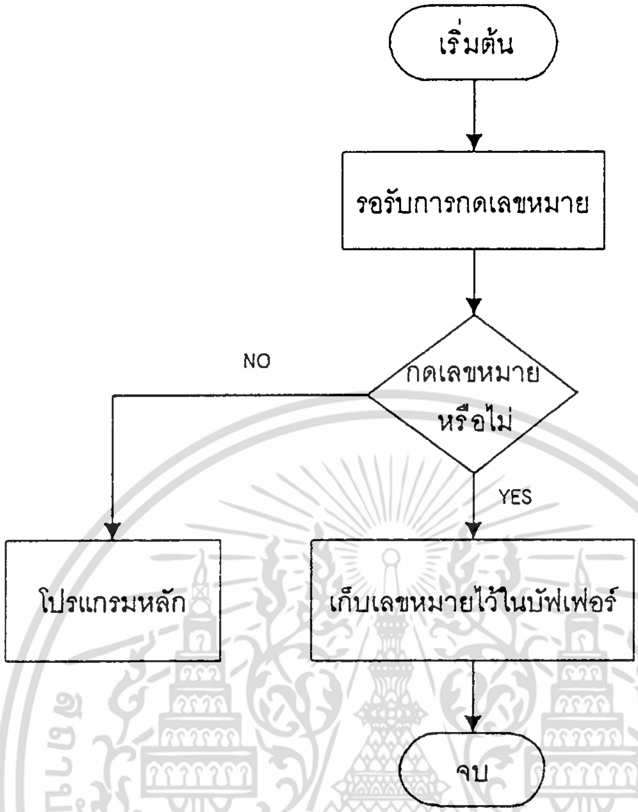
เริ่มต้น
กำหนดค่าสถานะเริ่มต้นให้กับระบบ
ตรวจสอบสถานะคู่สายภายนอก
คู่สายภายนอก เข้ามาหรือไม่
โปรแกรมย่อยให้บริการสายนอก
ตรวจสอบสถานะ คู่สายภายใน
ยกแฮนด์เซ็ท หรือไม่
โปรแกรมการวาง แฮนด์เซ็ท
โปรแกรมย่อยให้บริการ การยกแฮนด์เซ็ท

โปรแกรมย่อยให้บริการยกแฮนด์เซ็ท

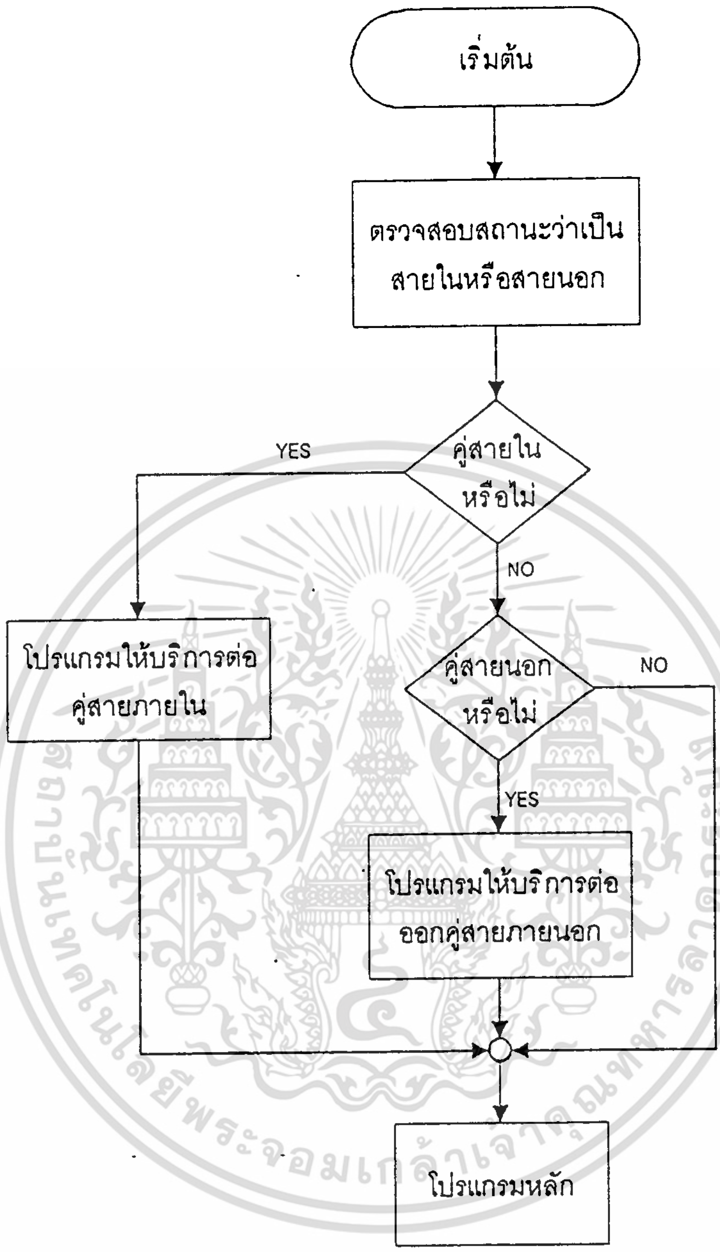



1
NO
ประชุมร่วม 3 คน
หรือไม่
YES
โปรแกรมย่อยประชุม
ร่วม 3 คน
โปรแกรมหลัก

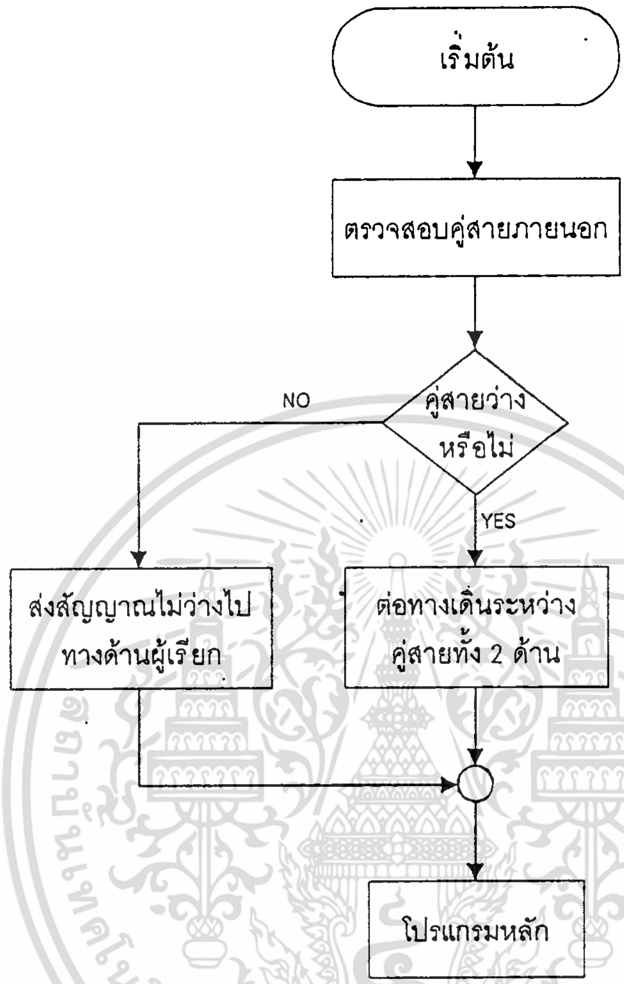
โปรแกรมย่อยให้บริการการกดหมายเลข



โปรแกรมย่อยตรวจสอบว่าเป็นสายในหรือสายนอก

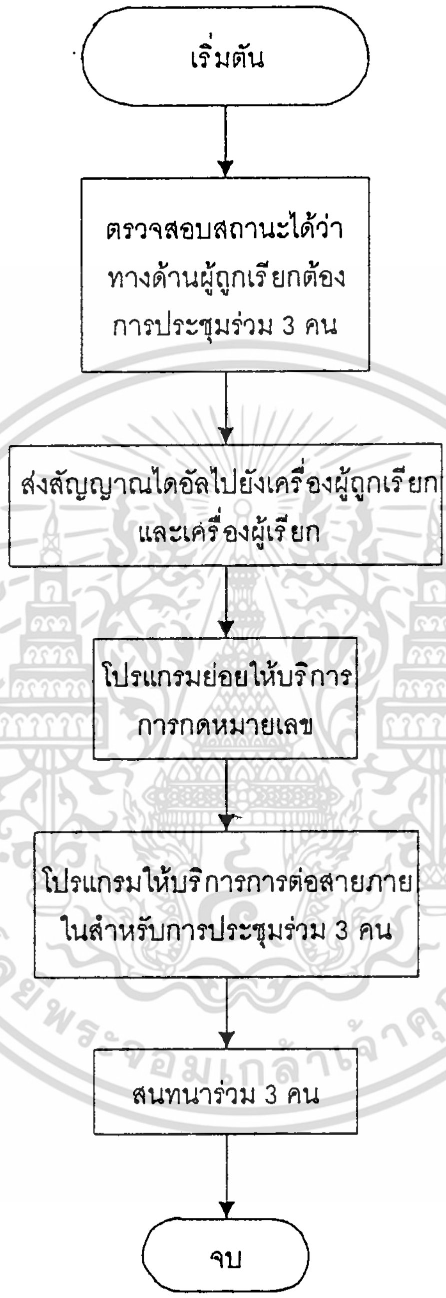


โปรแกรมย่อยให้บริการต่อออกคู่สายภายนอก

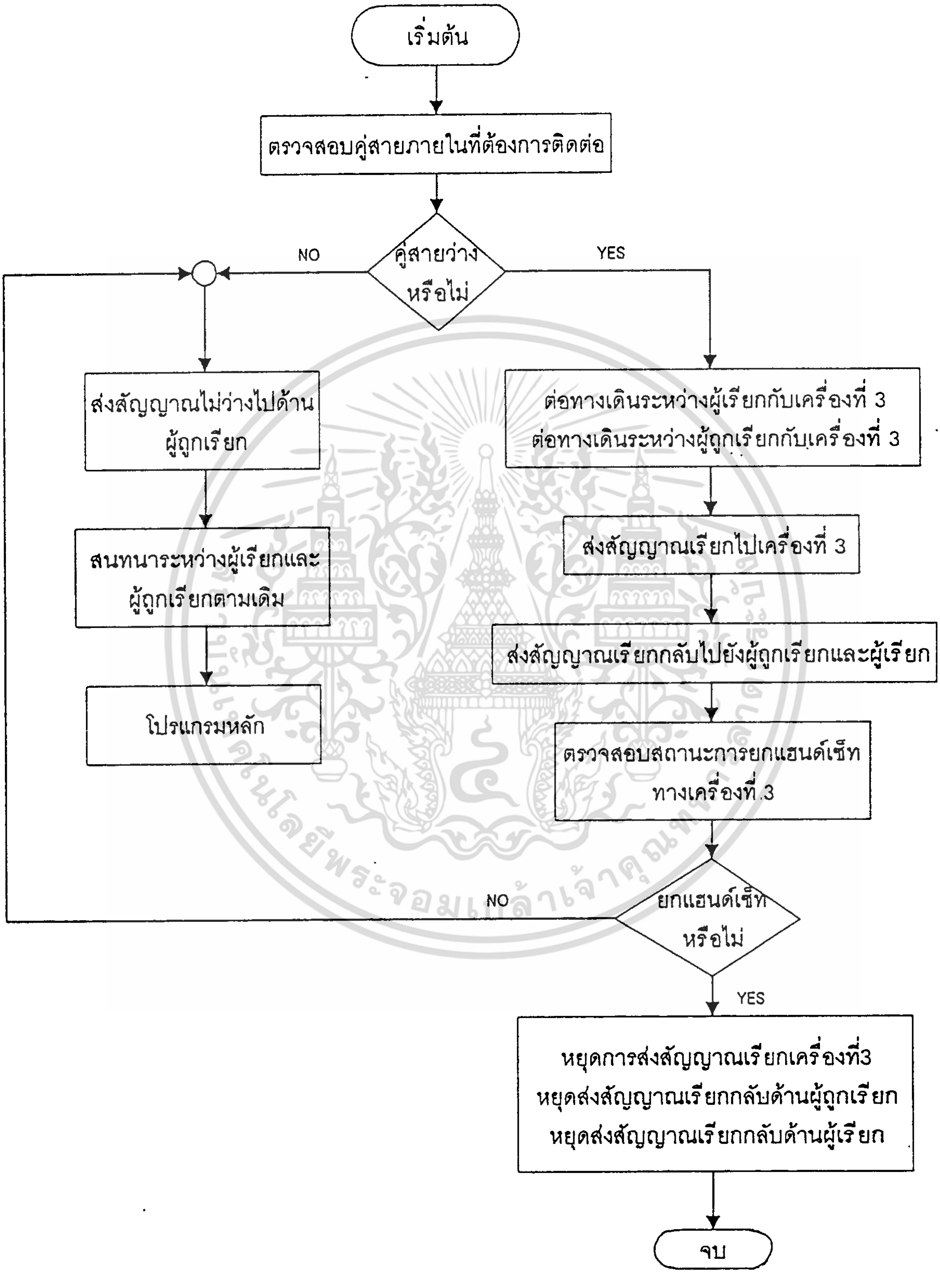


โปรแกรมย่อยให้บริการต่อคู่สายภายใน

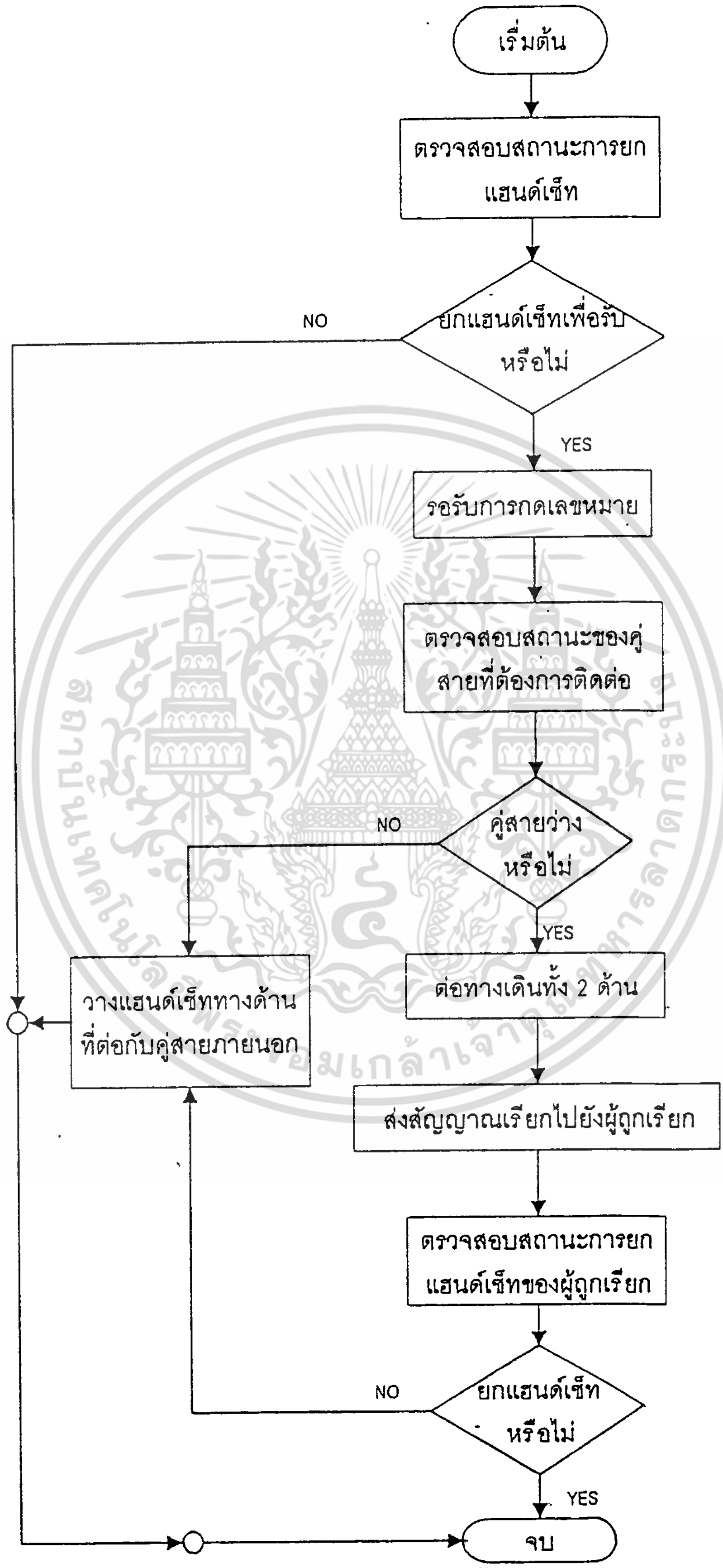
โปรแกรมย่อยประชุมร่วม 3 คน



โปรแกรมย่อยให้บริการการต่อสายในสำหรับการประชุมร่วม 3 คน



โปรแกรมให้บริการสายนอกโทรเข้ามา



บทที่ 5

วิจารณ์และสรุปผลการทดลอง

อุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติระบบดิจิตอล ประกอบด้วยส่วนฮาร์ดแวร์ และซอร์ฟแวร์ โดยในส่วนฮาร์ดแวร์ประกอบด้วย

1. ดิจิตอลสวิตชิ่ง เป็นอุปกรณ์ที่ใช้สำหรับสวิทซ์สัญญาณพัลส์โค้ดมอดดูเลชั่น ที่เข้ารหัสมาจากสัญญาณข้อมูลภายใต้การควบคุมของไมโครโปรเซสเซอร์

2. โคเดค ทำหน้าที่เป็นการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

3. วงจรกำเนิดสัญญาณเสียง ซึ่งประกอบด้วยสัญญาณเสียง 4 สัญญาณดังนี้คือ
   - สัญญาณไดอัล
   - สัญญาณไม่ว่าง
   - สัญญาณเรียก
   - สัญญาณเรียกกลับ

4. ส่วนรับสัญญาณคู่ความถี่หรือส่วนถอดรหัสความถี่สัญญาณ (DTMF) ทำหน้าที่ถอดรหัสความถี่โทรศัพท์

5. ส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน (SLIC) มีหน้าที่ดังต่อไปนี้คือ
   - จ่ายกระแสไฟให้แก่โทรศัพท์
   - แยกสัญญาณจาก 2 สายเป็น 4 สาย
   - ตรวจสอบสถานะการวางแฮนด์เซ็ท - ยกแฮนด์เซ็ทของโทรศัพท์
   - จ่ายสัญญาณเรียก

6. ส่วนติดต่อกับสายภายนอก (CO-TRUNK) เป็นส่วนที่รับสัญญาณที่ส่งมาจากชุมสายโทรศัพท์

ในส่วนของซอร์ฟแวร์จะประกอบด้วยโปรแกรมหลักอยู่ 4 ส่วนคือ

1. โปรแกรมในการเรียกจากคู่สายภายในออกไปยังคู่สายภายนอก
2. โปรแกรมในการเรียกจากคู่สายภายนอกเข้ามายังคู่สายภายใน
3. โปรแกรมในการเรียกระหว่างคู่สายภายใน
4. โปรแกรมในการประชุมร่วม 3 คน

เนื่องจากในการควบคุมการทำงานของอุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัตินั้นใช้ JAZZ 31 ในการควบคุม ดังนั้นจึงใช้คำสั่งของ 8031 ในการเขียนโปรแกรม สำหรับโครงงานนี้สามารถทำการเรียกออกสายนอก การเรียกสายใน การเรียกจากสายนอกเข้ามายังสายใน และการประชุมร่วม 3 คน แต่ก็พบปัญหาต่างๆ ในการทดลองดังนี้

1. เนื่องจากใช้เทคนิคการมัลติเพลกซ์ แบบแบ่งเวลา (Time Division Multiplex) การเชื่อมต่อระหว่างตู้สาขาอัตโนมัติไม่สามารถทำการเชื่อมต่อได้ สาเหตุมาจากสัญญาณนาฬิกาที่จ่ายให้กับโคเดคไม่เสถียรพอ

2. เสียงพูดที่ได้ยินยังมีสัญญาณรบกวน

3. การทำงานของฟลิปฟลอป (ไอซีเบอร์74HC74) ที่ทำงานร่วมกับอนาลอกสวิตซ์ในการควบคุมการจ่ายสัญญาณไดอัล และหยุดจ่ายสัญญาณไดอัลเมื่อมีการยกหูแล้วกดหมายเลข การทำงานทำได้ไม่ดีพอจึงทำให้ในบางครั้งเมื่อมีการกดหมายเลขแล้ว สัญญาณไดอัลไม่หยุด

แนวทางการพัฒนา

ในการพัฒนาต่อไปอาจทำการเพิ่มฟังก์ชันในการทำงานของอุปกรณ์เชื่อมต่อระหว่างตู้สาขาอัตโนมัติให้มากขึ้นได้ดังต่อไปนี้คือ

1. เพิ่มฟังก์ชันในการโอนสายโดยอัตโนมัติ
2. เพิ่มฟังก์ชันในการประชุมร่วมได้มากกว่า 3 คน
3. เพิ่มประสิทธิภาพในด้านความเร็วในการทำงานให้มากขึ้นโดยอาจใช้คอมพิวเตอร์ส่วนบุคคลในการประมวลผลโปรแกรมแทน
4. ในช่วงการรอพักสายของการประชุมร่วม 3 คนอาจเพิ่มฟังก์ชันในการใช้เสียงดนตรีเข้ามาแทนการส่งสัญญาณไดอัลไปทางด้านผู้เรียกและผู้ถูกเรียกได้
5. เพิ่มจำนวนคู่สายที่จะรองรับให้มากขึ้นได้โดยทำการเปลี่ยนสวิตชิ่งที่ให้จำนวนคู่สายมากกว่านี้เพื่อให้เพียงพอต่อ Traffic ที่เพิ่มมากขึ้นด้วย

ภาคผนวก

ISSUE 6 May 1995

Features

- Mitel ST-BUS compatible
- 8-line x 32-channel inputs
- 8-line x 32-channel outputs
- 256 ports non-blocking switch
- Single power supply (+5 V)
- Low power consumption: 30 mW Typ.
- Microprocessor-control interface
- Three-state serial outputs

Ordering Information

MT8980DC	40 Pin Ceramic DIP
MT8980DE	40 Pin Plastic DIP
MT8980DP	44 Pin PLCC
MT8980DL	44 Pin QFP

-40°C to +85°C

Description

This VLSI ISO-CMOS device is designed for switching PCM-encoded voice or data, under microprocessor control, in a modern digital exchange, PBX or Central Office. It provides simultaneous connections for up to 256 64 kbit/s channels. Each of the eight serial inputs and outputs consist of 32 64 kbit/s channels multiplexed to form a 2048 kbit/s ST-BUS stream. In addition, the MT8980 provides microprocessor read and write access to individual ST-BUS channels.

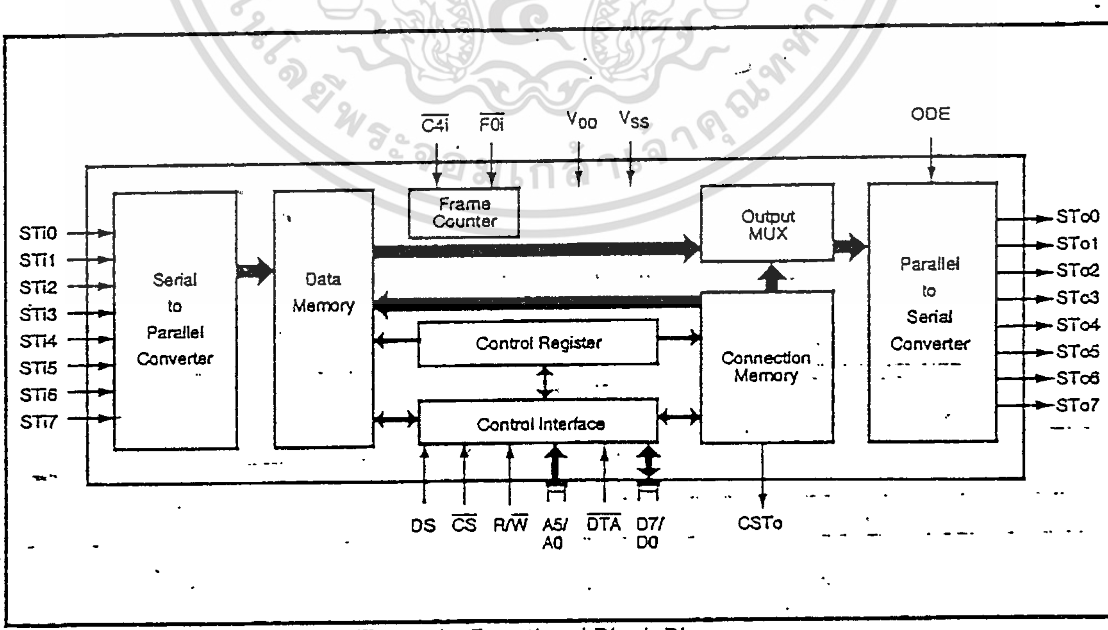


Figure 1 - Functional Block Diagram

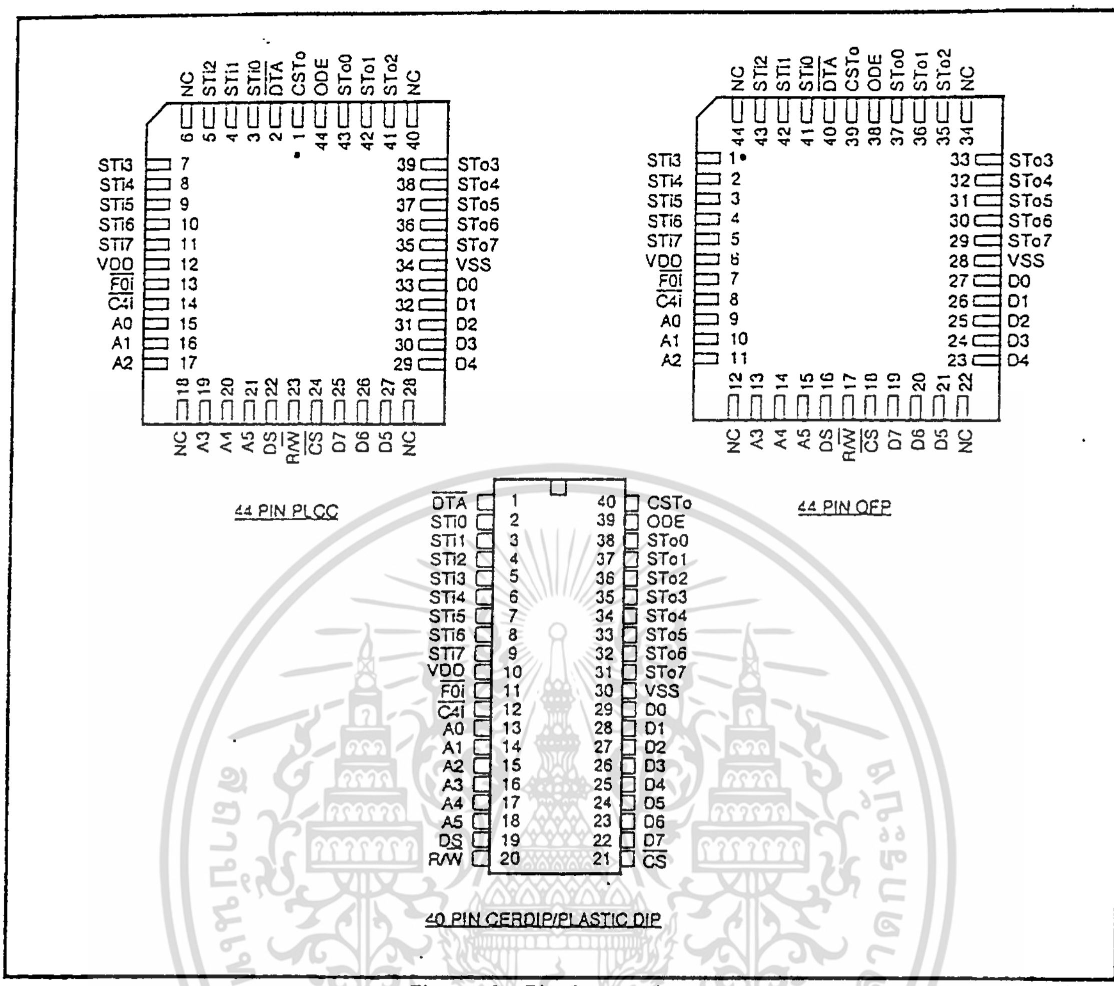


Figure 2 - Pin Connections

Pin Description

Pin #			Name	Description
40 DIP	44 PLCC	44 QFP		
1	2	40	$\overline{DTA}$	**Data Acknowledgement (Open Drain Output).** This is the data acknowledgement on the microprocessor interface. This pin is pulled low to signal that the chip has processed the data. A 909 Ω, 1/4W, resistor is recommended to be used as a pullup.
2-4	3-5	41-43	STi0-STi2	**ST-BUS Input 0 to 2 (Inputs).** These are the inputs for the 2048 kbit/s ST-BUS input streams.
5-9	7-11	1-5	STi3-STi7	**ST-BUS Input 3 to 7 (Inputs).** These are the inputs for the 2048 kbit/s ST-BUS input streams.
10	12	6	V_{DD}	**Power Input.** Positive Supply.
11	13	7	$\overline{F0i}$	**Framing 0-Type (Input).** This is the input for the frame synchronization pulse for the 2048 kbit/s ST-BUS streams. A low on this input causes the internal counter to reset on the next negative transition of $\overline{C4i}$.

Pin Description (continued)

Pin #			Name	Description
40 DIP	44 PLCC	44 QFP		
12	14	8	$\overline{C4i}$	**4.096 MHz Clock (Input).** ST-BUS bit cell boundaries lie on the alternate falling edges of this clock.
13-15	15-17	9-11	A0-A2	**Address 0 to 2 (Inputs).** These are the inputs for the address lines on the microprocessor interface.
16-18	19-21	13-15	A3-A5	**Address 3 to 5 (Inputs).** These are the inputs for the address lines on the microprocessor interface.
19	22	16	DS	**Data Strobe (Input).** This is the input for the active high data strobe on the microprocessor interface.
20	23	17	R/$\overline{W}$	**Read or Write (Input).** This is the input for the read/write signal on the microprocessor interface - high for read, low for write.
21	24	18	$\overline{CS}$	**Chip Select (Input).** This is the input for the active low chip select on the microprocessor interface
22-24	25-27	19-21	D7-D5	**Data 7 to 5 (Three-state I/O Pins).** These are the bidirectional data pins on the microprocessor interface.
25-29	29-33	23-27	D4-D0	**Data 4 to 0 (Three-state I/O Pins).** These are the bidirectional data pins on the microprocessor interface.
30	34	28	V_{SS}	**Power Input.** Negative Supply (Ground).
31-35	35-39	29-33	STo7-STo3	**ST-BUS Output 7 to 3 (Three-state Outputs).** These are the pins for the eight 2048 kbit/s ST-BUS output streams.
36-38	41-43	35-37	STo2-STo0	**ST-BUS Output 2 to 0 (Three-state Outputs).** These are the pins for the eight 2048 kbit/s ST-BUS output streams.
39	44	38	ODE	**Output Drive Enable (Input).** If this input is held high, the STo0-STo7 output drivers function normally. If this input is low, the STo0-STo7 output drivers go into their high impedance state. NB: Even when ODE is high, channels on the STo0-STo7 outputs can go high impedance under software control.
40	1	39	CSTo	**Control ST-BUS Output (Complementary Output).** Each frame of 256 bits on this ST-BUS output contains the values of bit 1 in the 256 locations of the Connection Memory High.
	6, 18, 28, 40	12, 22, 34, 44	NC	No Connection.

Functional Description

In recent years, there has been a trend in telephony towards digital switching, particularly in association with software control. Simultaneously, there has been a trend in system architectures towards distributed processing or multi-processor systems.

In accordance with these trends, MITEL has devised the ST-BUS (Serial Telecom Bus). This bus architecture can be used both in software-controlled digital voice and data switching, and for interprocessor communications. The uses in switching and in interprocessor communications are completely integrated to allow for a simple general purpose architecture appropriate for the systems of the future.

The serial streams of the ST-BUS operate continuously at 2048 kbit/s and are arranged in 125 μs wide frames which contain 32 8-bit channels. MITEL manufactures a number of devices which interface to the ST-BUS; a key device being the MT8980 chip.

The MT8980 can switch data from channels on ST-BUS inputs to channels on ST-BUS outputs, and simultaneously allows its controlling microprocessor to read channels on ST-BUS inputs or write to channels on ST-BUS outputs (Message Mode). To the microprocessor, the MT8980 looks like a memory peripheral. The microprocessor can write to the MT8980 to establish switched connections between input ST-BUS channels and output ST-BUS channels, or to transmit messages on output ST-BUS channels. By reading from the MT8980, the microprocessor can receive messages from ST-BUS input channels or check which switched connections have already been established.

By integrating both switching and interprocessor communications, the MT8980 allows systems to use distributed processing and to switch voice or data in an ST-BUS architecture.

Hardware Description

Serial data at 2048 kbit/s is received at the eight ST-BUS inputs (STi0 to STi7), and serial data is transmitted at the eight ST-BUS outputs (STo0 to STo7). Each serial input accepts 32 channels of digital data, each channel containing an 8-bit word which may represent a PCM-encoded analog/voice sample as provided by a codec (e.g., MITEL's MT8964).

This serial input word is converted into parallel data and stored in the 256 X 8 Data Memory. Locations in the Data Memory are associated with particular channels on particular ST-BUS input streams. These locations can be read by the microprocessor which controls the chip.

Locations in the Connection Memory, which is split into high and low parts, are associated with particular ST-BUS output streams. When a channel is due to be transmitted on an ST-BUS output, the data for the channel can either be switched from an ST-BUS input or it can originate from the microprocessor. If the data is switched from an input, then the contents of the Connection Memory Low location associated with the output channel is used to address the Data Memory. This Data Memory address corresponds to the channel on the input ST-BUS stream on which the data for switching arrived. If the data for the output channel originates from the microprocessor (Message Mode), then the contents of the Connection Memory Low location associated with the output channel are output directly, and this data is output repetitively on the channel once every frame until the microprocessor intervenes.

The Connection Memory data is received, via the Control Interface, at D7 to D0. The Control Interface also receives address information at A5 to A0 and handles the microprocessor control signals $\overline{CS}$, $\overline{DTA}$, R/$\overline{W}$ and DS. There are two parts to any address in the Data Memory or Connection

A5	A4	A3	A2	A1	A0	HEX ADDRESS	LOCATION
0	X	X	X	X	X	00 - 1F	Control Register *
1	0	0	0	0	0	20	Channel 0†
1	0	0	0	0	1	21	Channel 1†
•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•
1	1	1	1	1	1	3F	Channel 31†

* Writing to the Control Register is the only fast transaction.
† Memory and stream are specified by the contents of the Control Register.

Figure 3- Address Memory Map

Memory. The higher order bits come from the Control Register, which may be written to or read from via the Control Interface. The lower order bits come from the address lines directly.

The Control Register also allows the chip to broadcast messages on all ST-BUS outputs (i.e., to put every channel into Message Mode), or to split the memory so that reads are from the Data Memory and writes are to the Connection Memory Low. The Connection Memory High determines whether individual output channels are in Message Mode, and allows individual output channels to go into a high-impedance state, which enables arrays of MT8980s to be constructed. It also controls the CSTo pin.

All ST-BUS timing is derived from the two signals $\overline{C4i}$ and $\overline{F0i}$.

Software Control

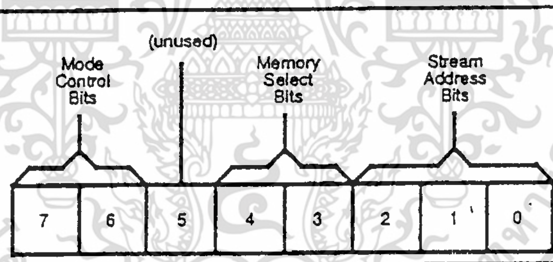
The address lines on the Control Interface give access to the Control Register directly or, depending on the contents of the Control Register, to the High or Low sections of the Connection Memory or to the Data Memory.

If address line A5 is low, then the Control Register is addressed regardless of the other address lines (see Fig. 3). If A5 is high, then the address lines A4-A0 select the memory location corresponding to channel 0-31 for the memory and stream selected in the Control Register.

The data in the Control Register consists of mode control bits, memory select bits, and stream address bits (see Fig. 4). The memory select bits allow the Connection Memory High or Low or the Data Memory to be chosen, and the stream address bits define one of the ST-BUS input or output streams.

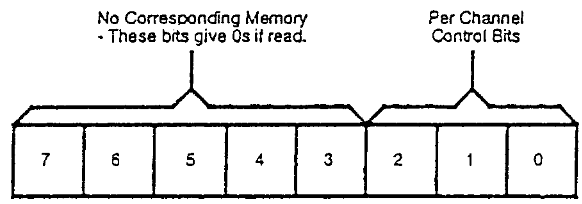
Bit 7 of the Control Register allows split memory operation - reads are from the Data Memory and writes are to the Connection Memory Low.

The other mode control bit, bit 6, puts every output channel on every output stream into active Message Mode; i.e., the contents of the Connection Memory Low are output on the ST-BUS output streams once every frame unless the ODE pin is low. In this mode the chip behaves as if bits 2 and 0 of every Connection Memory High location were 1, regardless of the actual values.



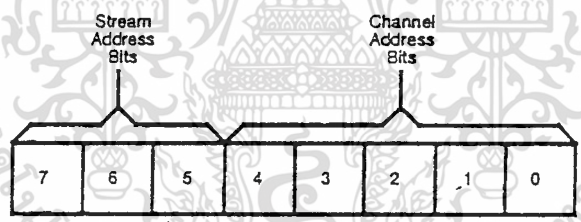
BIT	NAME	DESCRIPTION
7	Split Memory	When 1, all subsequent reads are from the Data Memory and writes are to the Connection Memory Low, except when the Control Register is accessed again. When 0, the Memory Select bits specify the memory for subsequent operations. In either case, the Stream Address Bits select the subsection of the memory which is made available.
6	Message Mode	When 1, the contents of the Connection Memory Low are output on the Serial Output streams except when the ODE pin is low. When 0, the Connection Memory bits for each channel determine what is output.
5	(unused)	
4-3	Memory Select Bits	0-0 - Not to be used 0-1 - Data Memory (read only from the microprocessor port) 1-0 - Connection Memory Low 1-1 - Connection Memory High
2-0	Stream Address Bits	The number expressed in binary notation on these bits refers to the input or output ST-BUS stream which corresponds to the subsection of memory made accessible for subsequent operations.

Figure 4 - Control Register Bits



BIT	NAME	DESCRIPTION
2	Message Channel	When 1, the contents of the corresponding location in Connection Memory Low are output on the location's channel and stream. When 0, the contents of the corresponding location in Connection Memory Low act as an address for the Data Memory and so determine the source of the connection to the location's channel and stream.
1	CSTo Bit	This bit is output on the CSTo pin one channel early. The CSTo bit for stream 0 is output first.
0	Output Enable	If the ODE pin is high and bit 6 of the Control Register is 0, then this bit enables the output driver for the location's channel and stream. This allows individual channels on individual streams to be made high-impedance, allowing switching matrices to be constructed. A 1 enables the driver and a 0 disables it.

Figure 5 - Connection Memory High Bits



BIT	NAME	DESCRIPTION
7-5*	Stream Address Bits*	The number expressed in binary notation on these 3 bits is the number of the ST-BUS stream for the source of the connection. Bit 7 is the most significant bit e.g., if bit 7 is 1, bit 6 is 0 and bit 5 is 0, then the source of the connection is a channel on STi4.
4-0*	Channel Address Bits*	The number expressed in binary notation on these 5 bits is the number of the channel which is the source of the connection (The ST-BUS stream where the channel lies is defined by bits 7, 6 and 5.). Bit 4 is the most significant bit. e.g., if bit 4 is 1, bit 3 is 0, bit 2 is 0, bit 1 is 1 and bit 0 is 1, then the source of the connection is channel 19.

*If bit 2 of the corresponding Connection High location is 1 or if bit 6 of the Control Register is 1, then these entire 8 bits are output on the channel and stream associated with this location. Otherwise, the bits are used as indicated to define the source of the connection which is output on the channel and stream associated with this location.

Figure 6 - Connection Memory Low Bits

If bit 6 of the Control Register is 0, then bits 2 and 0 of each Connection Memory High location function normally (see Fig. 5). If bit 2 is 1, the associated ST-BUS output channel is in Message Mode; i.e., the byte in the corresponding Connection Memory Low location is transmitted on the stream at that channel. Otherwise, one of the bytes received on the serial inputs is transmitted and the contents of the Connection Memory Low define the ST-BUS input stream and channel where the byte is to be found (see Fig. 6).

If the ODE pin is low, then all serial outputs are high-impedance. If it is high and bit 6 in the Control Register is 1, then all outputs are active. If the ODE pin is high and bit 6 in the Control Register is 0, then the bit 0 in the Connection Memory High location enables the output drivers for the corresponding individual ST-BUS output stream and channel. Bit 0=1 enables the driver and bit 0=0 disables it (see Fig. 5).

Bit 1 of each Connection Memory High location (see Fig. 5) is output on the CSTo pin once every frame. To allow for delay in any external control circuitry the bit is output one channel before the corresponding channel on the ST-BUS streams, and the bit for stream 0 is output first in the channel; e.g., bit 1's for channel 9 of streams 0-7 are output synchronously with ST-BUS channel 8 bits 7-0.

Applications

Use in a Simple Digital Switching System

Figs. 7 and 8 show how MT8980s can be used with MT8964s to form a simple digital switching system. Fig. 7 shows the interface between the MT8980s and the filter/codecs. Fig. 8 shows the position of these components in an example architecture.

The MT8964 filter/codec in Fig. 7 receives and transmits digitized voice signals on the ST-BUS input D_R, and ST-BUS output D_X, respectively. These signals are routed to the ST-BUS inputs and outputs on the top MT8980, which is used as a digital speech switch.

The MT8964 is controlled by the ST-BUS input D_C originating from the bottom MT8980, which generates the appropriate signals from an output channel in Message Mode. This architecture optimizes the messaging capability of the line circuit by building signalling logic, e.g., for on-off hook detection, which communicates on an ST-BUS output. This signalling ST-BUS output is monitored by a microprocessor (not shown) through an ST-BUS input on the bottom MT8980.

Fig. 8 shows how a simple digital switching system may be designed using the ST-BUS architecture. This is a private telephone network with 256 extensions which uses a single MT8980 as a speech switch and a second MT8980 for communication with the line interface circuits.

A larger digital switching system may be designed by cascading a number of MT8980s. Fig. 9 shows how four MT8980s may be arranged in a non-blocking configuration which can switch any channel on any of the ST-BUS inputs to any channel on the ST-BUS outputs.

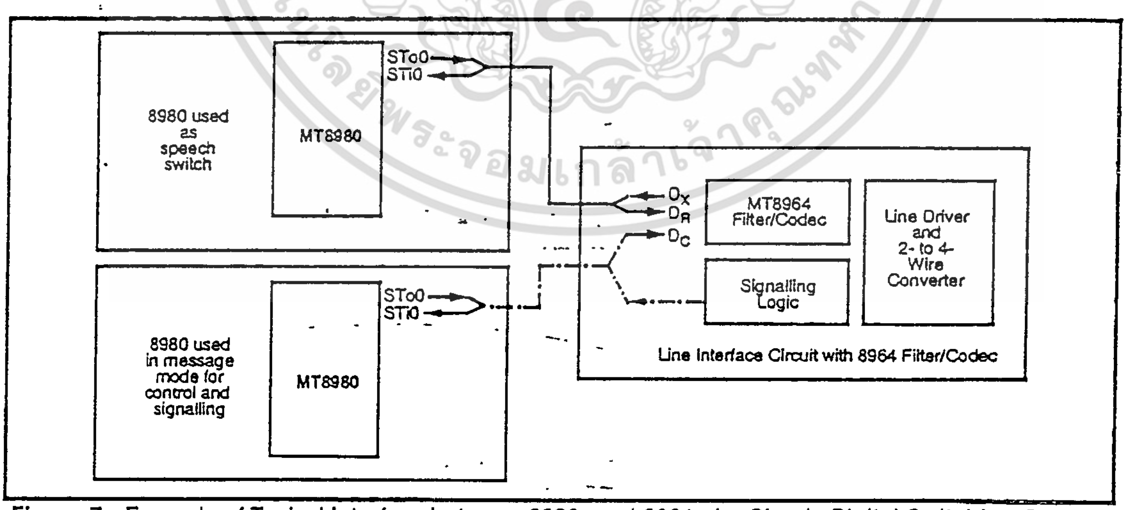


Figure 7 - Example of Typical Interface between 8980s and 8964s for Simple Digital Switching System

condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Digit	TOE	INH	ESt	Q_4	Q_3	Q_2	Q_1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table
L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC}=t_{DP}+t_{GTP}$$
$$t_{ID}=t_{DA}+t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 μF is recommended for most applications, leaving R to be selected by the designer.

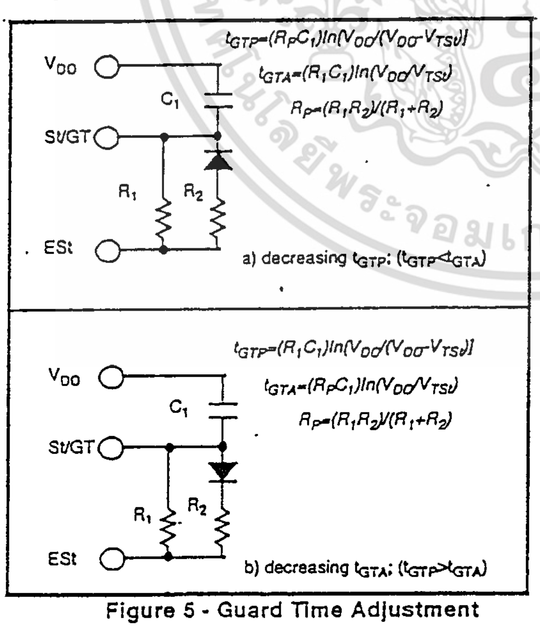


Figure 5 - Guard Time Adjustment

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $^1/_2V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5.

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

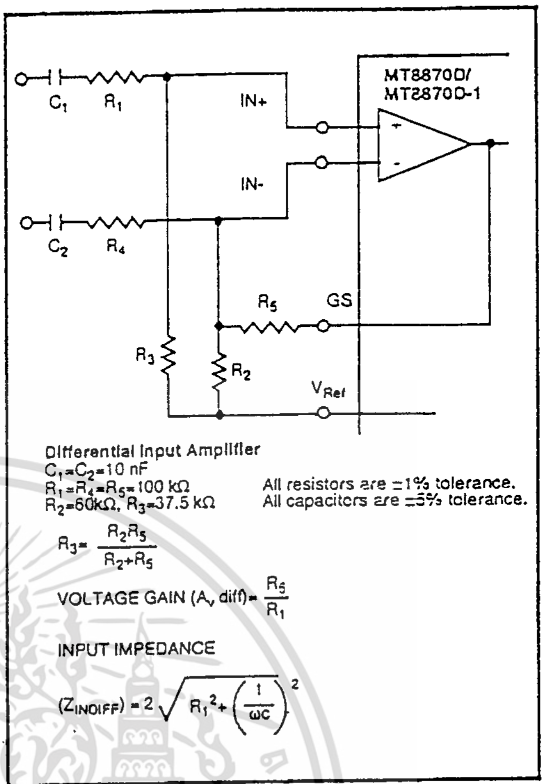


Figure 6 - Differential Input Configuration

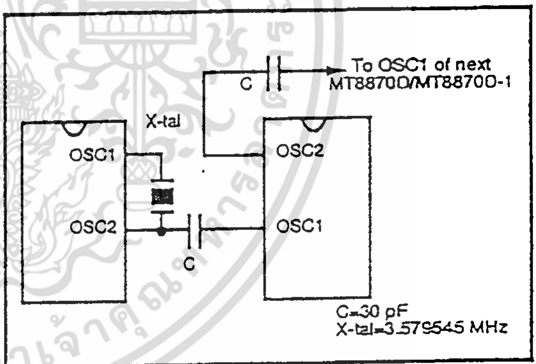
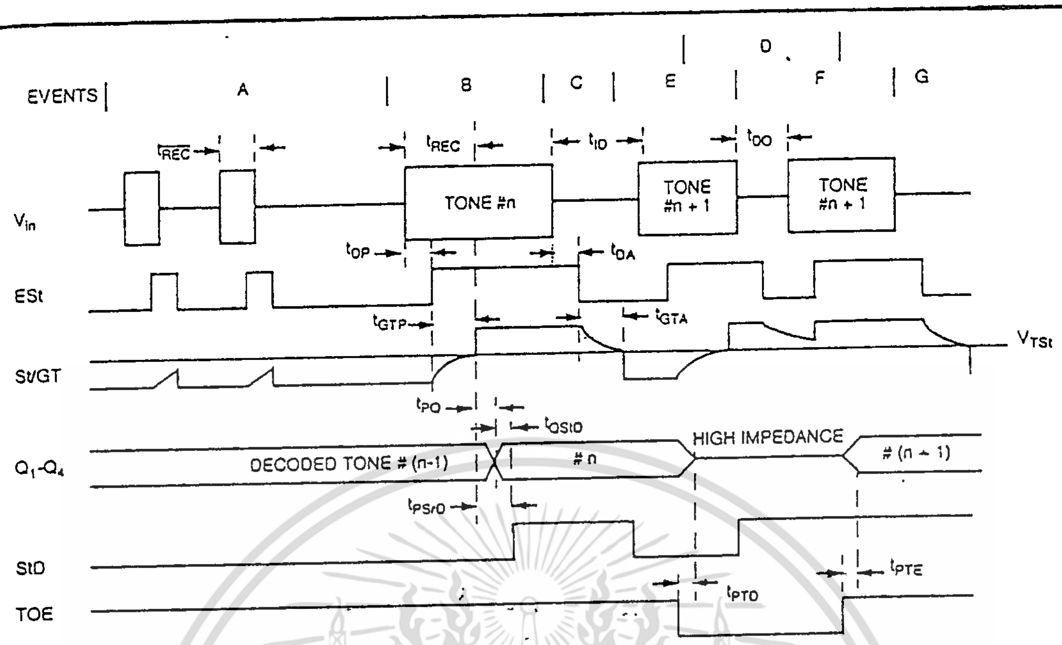


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	±0.2%

Table 2. Recommended Resonator Specifications

Note: Qm=quality factor of RLC model, i.e., 1/2Π*f*R1C1.



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.

B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS

C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.

D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.

E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).

F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.

G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in}	DTMF COMPOSITE INPUT SIGNAL.
ESt	EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
St/GT	STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
Q_1-Q_4	4-BIT DECODED TONE OUTPUT.
StD	DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.
TOE	TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.
$\overline{t_{REC}}$	MAXIMUM DTMF SIGNAL DURATION NOT DETECED AS VALID
t_{REC}	MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION
t_{ID}	MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.
t_{DO}	MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.
t_{DP}	TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.
t_{DA}	TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.
t_{GTP}	GUARD TIME, TONE PRESENT.
t_{GTA}	GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram

MITEL®

DUAL OPS SLIC

Preliminary Information

ISSUE 3 April 1995

Features

- Dual SLIC
- Ringing generation
- On-hook transmission
- Transformerless 2-4 wire conversion
- Constant current feed
- Battery Feed to the line
- Tip Ring reversal capability
- Over current protection
- Off-Hook detection
- Logic interface for $\overline{SHK}$, RC, LR, ESE, LCS
- Metering injection
- Wide V_{Bat} operating range
- Minimum installation space
- ESE ramped output

Applications

- Pair Gain
- CT2
- Cordless local loops

Ordering Information

MH88622 -1, -2, -3,-5 40 Pin SIL Package

0°C to 70°C

Description

The Mitel MH88622 is a Dual Subscriber Interface Circuit which provides a complete interface between the telephone lines a dual codec, requiring a dual rail supply, battery and dc supply for ringing generation. The functions provided by the MH88622 includes 2-4 Wire conversion, constant current line feed, signalling and control. The SLIC manufactured using thick film hybrid technology which offers high voltage capability, reliability and high density resulting in a significant area saving on the printed circuit board. A complete C.O. type solution can be implemented with minimal external components. Different variants are provided to meet different country line impedance, they are:

-1	220Ω + (820Ω // 115nF)
-2	600Ω
-3	370Ω + (620Ω // 310nF)
-5	200Ω + (680Ω // 100nF)

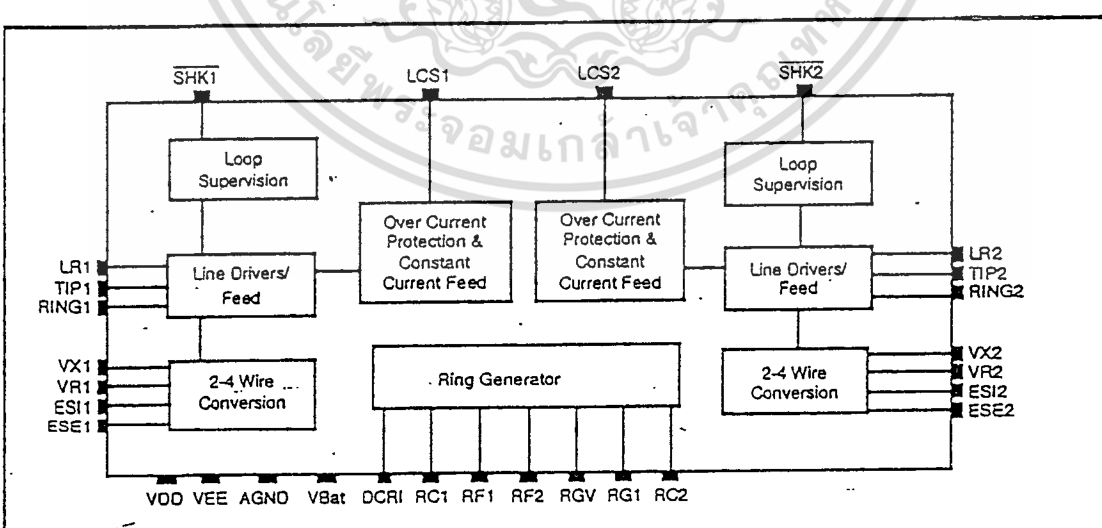


Figure 1 - Functional Block Diagram

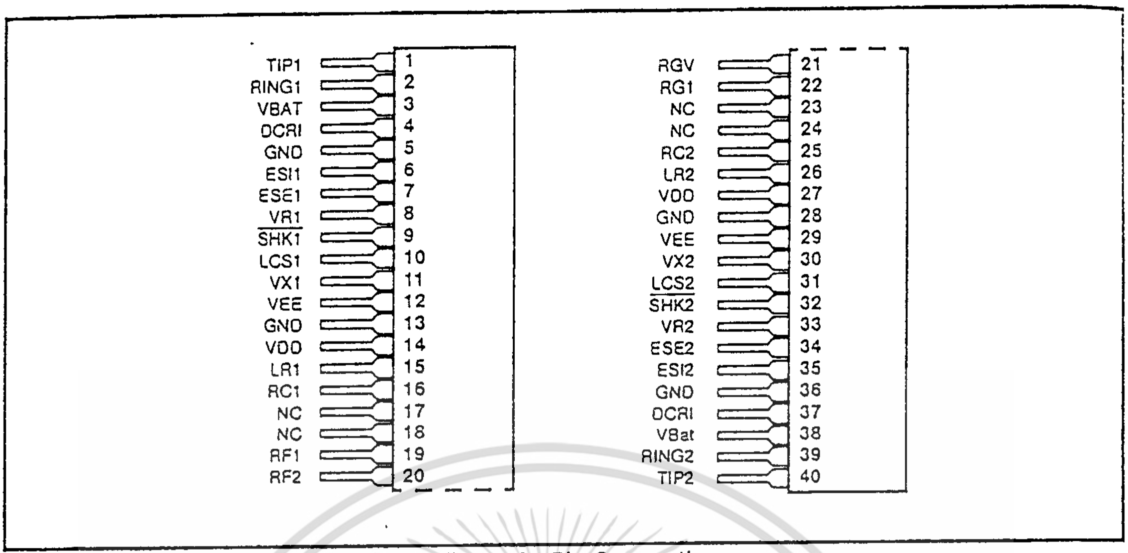


Figure 2 - Pin Connections

Pin Description

Pin #	Name	Description
1	TIP1	**Tip Lead.** Connects to the "TIP" lead of subscriber line 1.
2	RING1	**Ring Lead.** Connects to the "RING" lead of subscriber line 1.
3	V_{BAT}	**Battery Voltage.** Typically -48V dc is applied to this pin. This should be connected to pin 38 of the hybrid on the PCB.
4	DCRI	**DC Ringing Voltage Input.** A continuous 120V dc is applied to this input to achieve 90Vrms ringing. This should be connected to pin 37 of the hybrid.
5	GND	**Ground.** This pin should be tied to pins 13, 28 & 36 on the PCB.
6	ESI1	**External Signal Input (Input).** A continuous signal should be applied to this pin which will be switched to "Tip" and "Ring" of subscriber 1.
7	ESE1	**External Signal Enable (Input).** The external signal to the subscriber 1 is controlled by a logic level applied to this pin.
8	VR1	**Receive (Input).** 4-Wire GND referenced audio input for subscriber 1.
9	$\overline{SHK1}$	**Off Hook Indication (Output).** A logic low output indicates when subscriber 1 equipment has gone off hook.
10	LCS1	**Loop Current Set 1.** Logic 1 gives I_{Loop} = 40mA, Logic 0 gives I_{Loop} = 25mA
11	VX1	**Transmit (Output).** 4-Wire, GND referenced audio output for subscriber 1.
12	VEE	**Negative Supply Voltage.** -5Vdc. Connects to pin 29 of the hybrid on the PCB.
13	GND	**Ground.** Return path for VDD, VEE, VBat & DCRI. This pin should be connected to pins 5, 28 & 36 of the hybrid on the PCB.
14	VDD	**Positive Supply Voltage.** +5Vdc. Connect to pin 27 of the hybrid on the PCB.
15	LR1	**Line Reversal.** A logic 1 applied to LR1 will reverse the "Tip" and "Ring" to subscriber 1. This pin has an internal pull down.
16	RC1	**Ringing Control (Input).** A logic level applied to this pin enables ringing to be applied across Tip and Ring of subscriber 1.

Pin Description (Continued)

Pin #	Name	Description
17	NC	**No Connection.** This pin should not be connected.
18	NC	**No Connection.** This pin should not be connected.
19	RF1	**Ringing Frequency Node 1 (Input).** A capacitor is connected between RF1 & RF2 and determines the frequency of the ringing generator.
20	RF2	**Ringing Frequency Node 2 (Input).** Two capacitors are connected between RF1& RF2 and from RF2 to AGND. This determines the frequency of the ringing generator.
21	RGV	**Ringing Gain Voltage.** Connects to RG1 through a resistor to reduce the output ringing voltage. When left open circuit output ringing voltage is 90Vrms.
22	RG1	**Ringing Gain Node 1.** Connects to RGV through a resistor to reduce the output ringing voltage. When left open circuit output ringing voltage is 90Vrms.
23	NC	**No Connection.** This pin should not be connected.
24	NC	**No Connection.** This pin should not be connected.
25	RC2	**Ringing Control (Input).** A logic level applied to this pin enables ringing to be applied across Tip and Ring of subscriber 2.
26	LR2	**Line Reversal.** A logic 1 applied to LR2 will reverse the "Tip" and "Ring" to subscriber 2. This pin has an internal pull down.
27	VDD	**Positive Supply Voltage.** +5Vdc. This pin should be connected to pin 14 of the hybrid on the PCB.
28	GND	**Ground.** Return path for VDD, VEE, VBat & DCRI. This pin should be connected to pins 5, 13 & 36 of the hybrid on the pcb.
29	VEE	**Negative Supply Voltage.** -5Vdc. This pin should be connected to pin 12 of the hybrid on the PCB.
30	VX2	**Transmit (Output).** 4-Wire GND referenced audio input for subscriber 2.
31	LCS2	**Loop Current Set 2.** Logic 1 gives ILoop = 40mA, Logic 0 gives ILoop = 25mA.
32	$\overline{\text{SHK2}}$	**Off Hook Indication (Output).** A logic high output indicates when subscriber 2 equipment has gone off hook.
33	VR2	**Receive (Input).** 4-Wire GND referenced audio input for subscriber 2.
34	ESE2	**External Signal Enable (Input).** The external signal to subscriber 2 is controlled by a logic level applied to this pin.
35	ESI2	**External Signal Input.** A continuous signal should be applied to this pin which will be switched to "Tip" and "Ring" of subscriber 2..
36	GND	**Ground.** This pin should be tied to pins 5, 13 & 28 on the PCB.
37	DCRI	**DC Ringing Voltage Input.** A continuous 120Vdc is applied to this input to achieve 90 Vrms ringing. This should be connected to pin 4 of the hybrid on the PCB.
38	VBAT	**Battery Voltage.** Typically -48V dc is applied to this pin. This should be connected to pin 3 of the hybrid on the PCB.
39	RING2	**Ring Lead.** Connects to the "Ring" lead of subscriber line 2.
40	TIP2	**Tip Lead.** Connects to the "Tip" lead of subscriber line 2.

Off-Hook and Dial Pulse Detection

The $\overline{SHK}$ pin goes low when e DC loop current exceeds a specified level. The threshold level is internally set by the bias voltage of the switch hook detect circuit.

Dial pulse can be detected by monitoring the interruption rate at the $\overline{SHK}$ pin. These dial pulses may need to be debounced by the systems software.

Ring Trip Detection

The interface permits detection of an Off-Hook condition during ringing. If the subscriber set goes Off-Hook when the ringing signal has been applied, the DC loop current flow will be detected within approx. 100msecs and the $\overline{SHK}$ output will go low. The ringing is automatically disabled by the internal hardware.

Longitudinal Balance

Precision laser trimming of resistors in the hybrids ensures good overall longitudinal balance.

The interface circuitry can operate in the presence of induced longitudinal currents of up to 40mA rms at 60Hz.

High Voltage Capability

Inherent in the thick film process is the ability of the thick film process dielectric strengths of greater than 1000 VAC or 1500 VDC. The thick film process allows easy integration of surface mount components such as the high voltage bi-polar power transistor line drivers. This allows for simpler, less elaborate and less expensive protection circuitry required to handle high voltage transients and fault conditions caused by lightening, induced voltages and power line crossing.

On Hook Transmission

The MH88622 provides for on-hook transmission which supports features such as Automatic Number identifications (ANI).

Loop Length

The MH88622 can accommodate loop length of up to 2000Ω minimum (including the subscriber equipment).

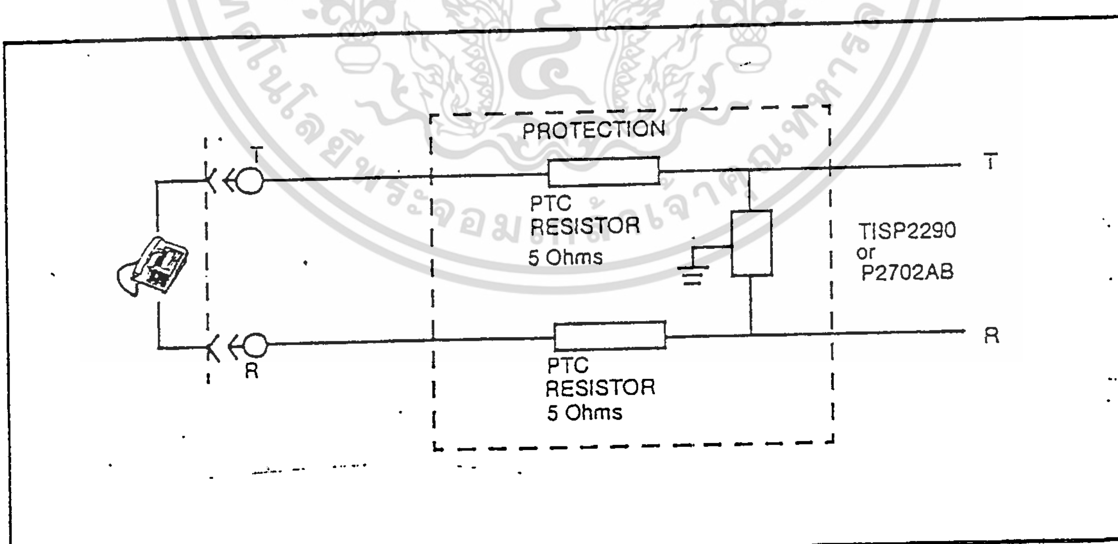


Figure 4 - Typical Protection Circuit

Functional Description

The SLIC uses a Transformerless 2-4 Wire converter for each subscriber which can be connected to a CODEC to interface the 2-Wire subscriber loop to a time division multiplexed (TDM), pulse code modulated (PCM), digital link.

Powering of the subscriber line is provided through precision battery feed resistors on the hybrid. The thick film hybrid circuit contains control, signalling and status circuits which combine to provide a complete solution simplifying the manufacture of line cards.

Approvals

FCC part 68, CCITT, DOS CS-03, UL 1459, CAN/CSA-22.2 N0. 225-M90 and ANSI/EIA/TIA-464-A are system level safety standards and performance requirements. As a component of a system, the MH88622 is designed to comply with the applicable requirements of these specifications.

Battery Feed

The SLIC is designed for a nominal battery voltage of -48 Vdc and can provide the constant feed current for 1500Ω loop under this condition.

The interface circuit is designed to be operated up to a maximum of -60V dc battery feed voltage without damage, providing a minimum loop length capability of 2000Ω.

There is also a function on the SLIC that provides for Tip-Ring reversal.

Current Limit

Primary over current protection is inherent in the current limiting feature of the battery feed circuit.

Current limiting is provided for both Tip and Ring unbalanced conditions.

The maximum loop current limit is set internally on the interface and current limiting does not affect the longitudinal or the signal balance of the device. To set I_{Loop} to 40mA tie the LCS pin high (Logic 1), to set I_{Loop} to 25mA the LCS pin may be left open circuit or tied low (Logic 0).

Two Wire Port Termination Impedance

The Tip/Ring impedance (Z_{in}) is fixed for each variant.

Transmit and Receive Gain

The transmit and receive gain of the MH88622 is internally set.

Internal Ringing Generator

The MH88622 offers an on board ringing generator requiring only two external passive components and a DC voltage source to produce a sine wave of between 17Hz to 68Hz.

An internal signal is amplified by a user programmed amount and is applied to Tip and Ring. The programmable gain must be set using RGV and RG1 to ensure that distortion of the ringing signal is minimised.

With V_{BAT} = -48Vdc and V_{DCRI} = +120Vdc and the ringing voltage = 90Vrms RGV and RG1 should be left open circuit. By adding an external resistor between RGV and RG1 it is possible to reduce the ringing voltage applied by the driver section to Tip and Ring.

The DC voltage source should be continuously applied to the MH88622. The ringing voltage will only be applied when the RC pin of the relevant subscriber is activated.

Typ. Frequency (Hz)	CF1, CF2 (nF)
17	100
25	68
35	47
50	33

Table 1 - Ring Generator Capacitor Selection

12-16kHz Meter Pulse

The MH88622 provides control of an external signal path to the driver. A 12/16 KHz continuous signal should be applied to the ESI pin. Control of the ESE input allows the metering signal to be transmitted to the line with a ramped up and down amplitude to reduce noise on the line. Typical ramp time is 10mS.

MITEL®

Central Office Interface Circuit

Preliminary Information

ISSUE 5 April 1995

Features

- Loop start and ground start capabilities
- Transformerless 2-4 wire conversion
- Programmable transmit/receive gain with 0dB defaults
- Programmable input impedance with 600Ω and 900Ω defaults
- Programmable network balance with 600Ω, 900Ω, and AT&T compromise default
- One loop start & two ground start relay drivers
- Line state detection outputs
- Forward loop, reverse loop, ring ground, tip ground, ringing voltage
- +5V operation
- On-hook audio reception (to accommodate ANI)

Applications

Interface to Central Office for:

- PBX
- Key Telephone System
- Channel bank
- Voice Mail
- Terminal Equipment
- Digital Loop Carrier

Ordering Information	
MH88632	40 Pin SIL Package
	0°C to 70°C

Description

The Mitel MH88632 Central Office Trunk Interface circuit provides a complete audio and signalling link between audio switching equipment and a central office. The functions provided by the MH88632 include 2-4 Wire Hybrid conversion, programmable transmit and receive gains, programmable line impedance and programmable network balance. The device is fabricated using thick film hybrid technology which incorporates various technologies for optimum circuit design and very high reliability.

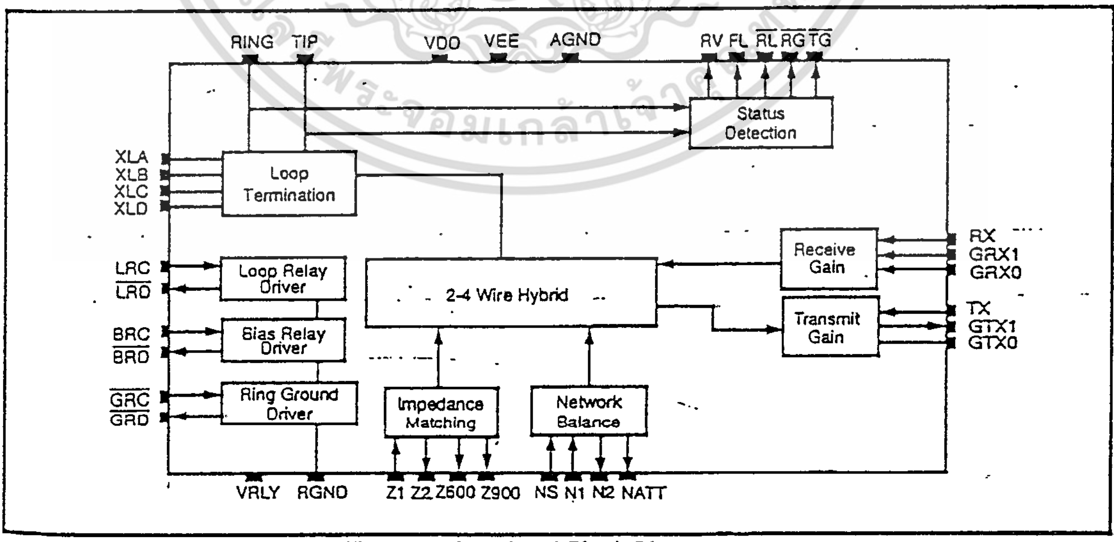


Figure 1 - Functional Block Diagram

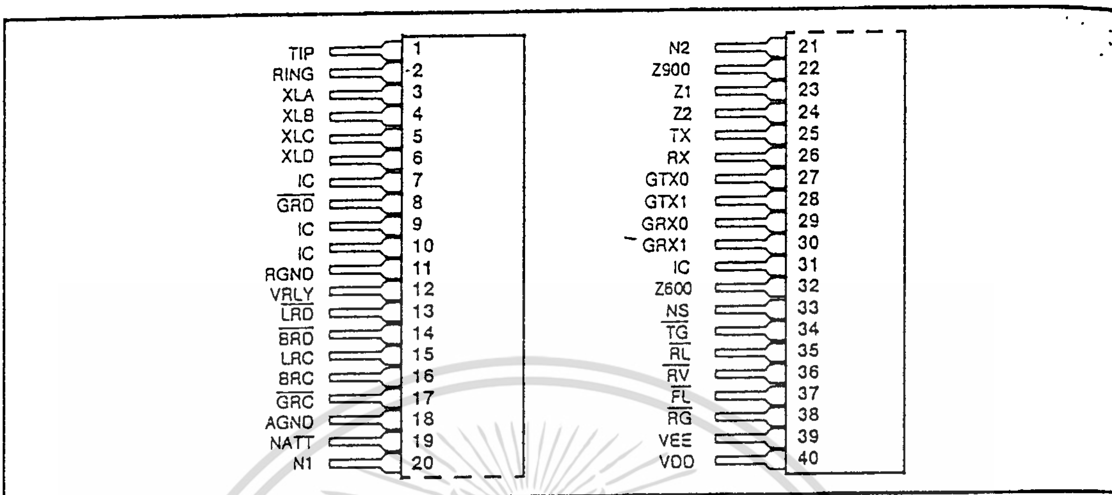


Figure 2 - Pin Connections

Pin Description

Pin #	Name	Description
1	TIP	**Tip Lead.** Connects to the "Tip" or "Ring" lead of Central Office.
2	RING	**Ring Lead.** Connects to the "Ring" or "Tip" lead of the Central Office.
3	XLA	**Loop Relay Contact A.** Connects to XLB through the loop relay (K1) contacts when the relay is activated. Activates internal active termination circuitry.
4	XLB	**Loop Relay Contact B.** See XLA for description.
5	XLC	**Loop Relay Contact C.** Connects to XLD through the loop relay (K1) contacts when the relay is activated. Activates internal active termination circuitry.
6	XLD	**Loop Relay Contact D.** See XLC for description
7	IC	**Internal Connection.** This pin is internally connected and must be left open.
8	$\overline{\text{GRD}}$	**Ground Relay Lead Relay Drive (Output).** Connects to the Ground Ring Lead Relay Coil, used for Ground Start applications. A logic low activates the relay. An internal clamp diode from VRLY to GND is provided.
9	IC	**Internal Connection.** This pin is internally connected and must be left open.
10	IC	**Internal Connection.** This pin is internally connected and must be left open.
11	RGND	**Relay Ground.** Return path for relay supply voltage.
12	VRLY	**Relay Positive Supply Voltage.** Normally +5V. Connects to the relay coil and the relay supply voltage
13	$\overline{\text{LRD}}$	**Loop Relay Drive (Output).** Connects to the Bias Relay coil. A logic low activates the relay. An internal clamp diode from VRLY to $\overline{\text{LRD}}$ is provided.
14	$\overline{\text{BRD}}$	**Bias Relay Drive (Output).** Connects to the Bias Relay coil, used for Ground start applications only. A logic low activates the relay. An internal clamp diode from VRLY to $\overline{\text{BRD}}$ is provided.
15	LRC	**Loop Relay Control (Input).** A logic high activates the Loop Relay Drive output ($\overline{\text{LRD}}$). The Loop Relay activates internal circuitry which provides a DC termination across Tip and Ring. Used for line seizure and dial pulsing.

Pin Description (Continued)

Pin #	Name	Description
16	BRC	**Bias Relay Control (Input).** A logic high activates the Loop Relay Drive output ($\overline{BRD}$), used for Ground start applications only. This input should be connected to logic high when not used.
17	GRC	**Ground Ring Lead Relay Control (Input).** A logic low activates the Ground Ring Lead Relay Drive output ($\overline{GRD}$), used for Ground Start applications only. This input should be connected to logic high when not used.
18	AGND	**Analog Ground.** 4-Wire ground. Normally connected to System Ground.
19	NATT	**Network Balance AT+T Node.** Connects to N1 for a network balance impedance of AT&T compromise (350Ω + 1kΩ // 210nF); the device's input impedance must be set to 600Ω. This node is active only when NS is at logic high. This node should be left open circuit when not used.
20	N1	**Network Balance Node 1 (Input).** 0.1 times the impedance between pins N1 and N2 must match the device's input impedance, while 0.1 times the impedance between pins N1 and AGND is the device's network balance impedance. This node is active only when NS is at logic high. This node may be terminated when not used (i.e., NS at logic low).
21	N2	**Network Balance Node 2 (Output).** See N1 for description.
22	Z900	**Line Impedance 900Ω Node.** Connects to Z1 for a line impedance of 900Ω. This node should be left open circuit when not used.
23	Z1	**Line Impedance Node 1 (Input).** 0.1 times the times the impedance between pins Z1 and Z2 is the device's line impedance. This node must always be connected.
.24	Z2	**Line Impedance Node 2 (Output).** 0.1 times the times the impedance between pins Z1 and Z2 is the device's line impedance. This node should be left open circuit when not used.
25	TX	**Transmit (output).** 4-Wire ground (AGND) referenced audio output.
26	RX	**Receive (Input).** 4-Wire ground (AGND) referenced audio input.
27	GTX0	**Transmit Gain Node 0.** Connects to GTX1 for 0dB transmit gain.
28	GTX1	**Transmit Gain Node 1.** Connects to a resistor to AGND for transmit gain adjustment.
29	GRX0	**Receive Gain Node 0.** Connects to GRX1.for 0dB gain.
30	GRX1	**Receive Gain Node 1.** Connects to a resistor to AGND for receive gain adjustment.
31	IC	**Internal Connection.** This pin is internally connected and must be left open.
32	Z600	**Line Impedance 600Ω Node (Output).** Connects to Z1 for a line impedance of 600Ω. This pin should be left open circuit when not used.
33	NS	**Network Balance Setting (Input.** The logic level at NS selects the network balance impedance. A logic 0 enables an internal balance equivalent to the input impedance (Zin). While a logic 1 enables an external balance 0.1 times the impedance between pins N1 and AGND balanced to 0.1 times the impedance between pins N1 and N2. The impedance between N1 and N2 must be equivalent to 10 times the input impedance (Zin).
34	$\overline{TG}$	**Tip Lead Ground Detect (Output).** A logic low output indicates that the Tip lead is at ground (AGND) potential.
35	$\overline{RL}$	**Ring Loop Detect (Output).** In the on-hook state, a logic low output indicates that reverse loop battery is present. In the off-hook state, a logic low output indicates that reverse loop current is present. Reverse loop refers to the Tip lead negative with respect to the Ring lead.
36	$\overline{RV}$	**Ring Voltage Detect (Output).** A logic low indicates that ringing voltage is across the Tip and Ring leads. Note that this output toggles at the ringing cadence and not at the ringing frequency.

Pin Description (Continued)

Pin #	Name	Description
37	$\overline{FL}$	**Forward Loop Detect (Output).** In the on hook state, a logic low output indicates that forward loop battery is present. In the off-hook state, a logic low output indicates that forward loop current is present. Forward loop refers to the Ring Lead negative with respect to the Tip lead.
38	$\overline{RG}$	**Ring Lead Ground Detect (Output).** A logic low indicates that the Ring lead is at ground (AGND) potential.
39	VEE	**Negative Supply Voltage.** -5V dc.
40	VDD	**Positive Supply Voltage.** +5V dc.

Functional Description

The MH88632 is a COIC (Central Office Interface Circuit) used to interface to Central Office 2-Wire Analog Trunks. The COIC provides both Loop start and Ground start interface capabilities.

Approvals

FCC part 68, DOC CS-03, UL 1459, CAN/CSA 22.2 No.225-M90 are all system (i.e., connectors, power supply, cabinet, etc.) requirements. Since the MH88632 is a component and not a system, it cannot be approved as a stand alone part by these standards bodies. However, when installed into a properly designed system, the MH88632 has been designed to meet the CO Trunk Interface requirements of FCC, DOC, UL and CSA, and thus enabling the complete system to be approved by these standards bodies.

To meet the regulatory high voltage requirements, an external protection circuit is required. The protection circuit shown in Figure 9 is matched to the MH88632 and ensures than they meet the high voltage requirements of FCC, DOC, CSA and UL when installed in a properly designed system.

Products are designed in accordance with meeting the above requirements; however, full conformance to these standards is dependent upon the application in which the hybrid is being used, and therefore, approvals are the responsibility of the customer and Mitel will not have tested the product to meet the above standards.

DC Loop Termination

The DC loop termination circuitry provides the loop with an active Dc load termination when a logic low is applied to the LRC (Loop Start Relay Control) input. the termination is similar to a DC resistance between 200Ω and 275Ω. An external relay is used to activate internal circuitry which switches the termination in and out of the loop. This is used for both seizing the line as well as generating dial pulses.

Supervision Features

The supervision circuitry provides the signalling status outputs. The system controlling the COIC, monitors these logic outputs. The supervision circuitry is capable of detecting ringing voltage, both forward and reverse loop battery and loop current, and both grounded tip lead and grounded ring lead.

a) Supervision Features $\overline{RV}$ (Ring Voltage Detect Output)

The $\overline{RV}$ (Ringing Voltage Detect) output provides a logic low when ringing voltage is detected. This detector includes a ringing filter which ensures that the output toggles at the ringing cadence and not at the ringing frequency. Typically, this output goes low 50ms after ringing voltage is applied and remains low for 50ms after ringing voltage is removed.

b) Supervision Features $\overline{FL}$ & $\overline{RL}$ (Forward Loop and Reverse Loop Detect Output).

The $\overline{FL}$ (Forward Loop Detect) output provides a logic low when either forward loop battery or forward loop current is detected (ring lead voltage negative with respect to ring lead). The $\overline{RL}$ (Reverse Loop Detect) output provides a logic low when either reverse loop battery or reverse loop current is detected (tip lead voltage negative with respect to ring lead).

See Table 5 for Loop Battery and Current Status Outputs.

c) Supervision Features $\overline{TG}$ & $\overline{RG}$ (Tip Ground and Ring Ground Detect Output)

The $\overline{TG}$ (Tip Lead Ground Detect) output provides a logic low when the tip lead is at ground (AGND) potential. The $\overline{RG}$ (Ring Lead Ground Detect) output provides a logic low when the Ring lead is at ground (AGND) potential.

See Table 6 for Loop Ground Status Outputs.

Ground Start Signalling Features

For Ground Start signalling, relay K2 and resistors R1 and R2, and relay K3 and resistor R3 are required (See Figure 8). Activation of K2 is controlled by the logic signal at the BRC (Bias Relay Control) input while activation of K3 is controlled by the logic signal at the $\overline{GRC}$ (Ground Relay Control) input.

K2 is used to engage the bias resistors while K3 is used to ground the right lead; this is used in ground start applications for signalling to the central office.

Typical Ground Start Signalling Protocol

Refer to Figure 8 for Typical LS-GS Application Circuit.

In the idle state, the system (e.g., PBX control card) provides a logic high to the BRC input. This activates the COIC's second internal relay driver which activates relay K2. Both contacts of relay K2 close, which connect the -48VDC supply to Tip (tip lead) and Ring (ring lead) through bias resistors R1 and R2.

Depending on which Ground Start protocol is used, initiating a Ground start call to the central office can be performed by the following sequence of events.

The system provides a logic low to the $\overline{GRC}$ input. this activates the COIC's third internal relay driver which activates relay K3. The contacts of relay K3 close, which connects the ring lead to ground through a current limiting resistor R3.

The Central Office reconizes the ring ground condition and responds by grounding the tip lead.

The COIC senses the grounded Tip and switched the $\overline{TG}$ (Tip Lead Ground Detect) output to a logic low. The system then applies a logic high to the LRC (Loop Relay Control) input. This activates the COIC's first internal relay driver which activates relay K1. Both contacts the relay K1 close, which activates the COIC's internal circuitry resulting in an active line termination across Tip and Ring. The system then provides a logic low to the BRC input. This deactivates the COIC's second internal relay driver which deactivates K2. Both contacts of relay K2 open, which disconnect the bias from Tip and Ring. The system then provides a logic high to the $\overline{GRC}$ input. This deactivates the COIC's third internal relay driver which deactivates relay K3. The contact of relay K3 opens. which disconnects the grounded ring lead. The voice link is now established.

Receiving a Ground Start call from central office is performed similarly. The central office can signal the COIC by either grounding the tip lead or by grounding the ring lead.

Hybrid

The 2-4 Wire Hybrid circuit separates the balanced full duplex signal at Tip and Ring of the telephone line into receive and transmit ground referenced signals at Rx (Receive) and TX (Transmit) of the COIC. The hybrid also prevents the input signal at RX from appearing at TX. The degree to which the Hybrid minimises the contribution of the RX signal at the TX output is specified as transhybrid loss. For maximizing transhybrid loss, see the **Network Balance section.**

The 4-Wire side can be interfaced to a filter/codec such as the Mitel MT896X, for use in digital voice switched systems.

Line Impedance

The MH88632's Tip-Ring impedance (Z_{in}) can be set to 600Ω, 900Ω or to a user selectable value. Thus, Zin can be set to any international requirements. The connection to Z1 determines the input impedance. With Z1 connected to Z600, the line impedance is set to 600Ω. With Z1 connected to Z900, the line impedance is set to 900Ω. A user defined impedance can be selected which is 0.1 times the impedance between Z1 and Z2. For example, with 2200Ω in series with 11.5nF in parallel with 8200Ω, all between Z1 and Z2, the devices line impedance will be 220Ω in series with 115nF in parallel with 820Ω. See Table 3 and Figures 4 & 5.

กิตติกรรมประกาศ

โครงงานนี้สำเร็จลุล่วงได้ด้วยความช่วยเหลือและคำแนะนำจาก

1. อาจารย์ ปราโมทย์ วาดเขียน
2. คุณนพดล มณีรัตน์

หนังสืออ้างอิง

1. คู่มือเทียบเบอร์ IC TTL , หจก. เอชเอนการพิมพ์ ; 2521.

2. คู่มือเทียบเบอร์ IC CMOS 4000 SERIES , ซีเอ็ดยูเคชั่น , หจก. เอชเอนการพิมพ์ ; กรุงเทพฯ 2521.

3. คู่มือไอซีไมโครโปรเซสเซอร์และไอซีที่เกี่ยวข้อง , ซีเอ็ดยูเคชั่น , หจก. เอชเอนการพิมพ์ ; กรุงเทพฯ 2521.

4. ธวัชชัย เลื่อนฉวี , " เทคโนโลยีโทรศัพท์ " , บรรเทิงการพิมพ์ , พิมพ์ครั้งที่ 3 , กรุงเทพฯ 2533.

5. JOHN UFFENBECK , MICROCOMPUTER AND MICROPROCESSORS.

6. MICROELECTRONIC DIGITAL COMMUNICATION HANDBOOK , MITEL ; CANADA.

7. ANALOG/DIGITAL TELECOM COMPONENTS , MITEL ; CANADA.

8. DIGITAL SWITCHING AND NETWORKING OMPONENTS , MITEL ; CANADA..