โมเด็มชนิดติดตั้งภายนอก

EXTERNAL MODEM

โดย

1. นาย กำพล จรัสโชติพินิต 35104024
2. นาย เดชา อุปถัมชาติ 35104150

อาจารย์ที่ปรึกษา

ผู้ช่วยศาสตราจารย์ สมยศ จุณณะปิยะ

วัน เดือน ปี 15 ส.ค. 2540
เลขทะเบียน 037211
เลขเรียกหนังสือ TJ8304 ก581ม

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

037211

โมเด็มชนิดติดตั้งภายนอก

External Modem

โดย

กำพล จรัสโชติพินิต 35104024

เดชา อุปถัมชาติ 35104150

อาจารย์ที่ปรึกษา

ผศ. สมยศ จุณณะปิยะ

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ กล่าวถึงการออกแบบการเชื่อมต่อ การทำงานของ External Modem โดยใช้ IC R96EFX และไมโครคอนโทรลเลอร์ เป็นโครงสร้างพื้นฐานในการออกแบบ และเขียนซอฟท์แวร์ในการสื่อสารด้วย เพื่อใช้ในการสื่อสารระหว่างคอมพิวเตอร์ผ่านข่ายสายโทรศัพท์ สามารถมอดูเลทและดีมอดูเลทได้ มีการเชื่อมต่อกับคอมพิวเตอร์และข่ายสาย การควบคุมการทำงานของโมเด็ม สามารถเป็นพื้นฐานในการออกแบบและพัฒนาในอนาคตได้ อธิบายการทำงานและบอกถึงแนวทางในการพัฒนาในอนาคตได้

ABSTRACT

This thesis presents a design of modem's interfacing and working system by useing IC R96EFX and microcontroller as basic structures and a communication software for computer-telephone network communications. The emphasis purpose in computer -telephone network interface, modem working controlling , can be modulated and demodulated , as a basis for future developement , we also describe how it works and how to develope in future.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเด็มชนิดติดตั้งภายนอก
EXTERNAL MODEM

โดย

นาย กำพล จรัสโชติพินิต

นาย เดชา อุปถัมชาติ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเด็มชนิดติดตั้งภายนอก

EXTERNAL MODEM

โดย

1. นาย กำพล จรัสโชติพินิต 35104024
2. นาย เดชา อุปถัมภ์ชาติ 35104150

อาจารย์ที่ปรึกษา

ผู้ช่วยศาสตราจารย์ สมยศ จุณณะปิยะ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2538

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง โมเด็มชนิดติดตั้งภายนอก

EXTERNAL MODEM

ผู้จัดทำ

1. นาย กำพล จรัสโชติพินิต 35104024
2. นาย เดชา อุปถัมชาติ 35104150

..... อาจารย์ที่ปรึกษา

(ผู้ช่วยศาสตราจารย์ สมยศ จุณณะปิยะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเด็มชนิดติดตั้งภายนอก

External Modem

โดย

กำพล จรัสโชติพินิต 35104024

เดชา อุปถัมชาติ 35104150

อาจารย์ที่ปรึกษา

ผศ. สมยศ จุณณะปิยะ

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ กล่าวถึงการออกแบบการเชื่อมต่อ การทำงานของ External Modem โดยใช้ IC R96EFX และไมโครคอนโทรลเลอร์ เป็นโครงสร้างพื้นฐานในการออกแบบ และเขียนซอฟท์แวร์ในการสื่อสารด้วย เพื่อใช้ในการสื่อสารระหว่างคอมพิวเตอร์ผ่านข่ายสายโทรศัพท์ สามารถมอดูเลทและดีมอดูเลทได้ มีการเชื่อมต่อกับคอมพิวเตอร์และข่ายสาย การควบคุมการทำงานของโมเด็ม สามารถเป็นพื้นฐานในการออกแบบและพัฒนาในอนาคตได้ อธิบายการทำงานและบอกถึงแนวทางในการพัฒนาในอนาคตได้

ABSTRACT

This thesis presents a design of modem's interfacing and working system by useing IC R96EFX and microcontroller as basic structures and a communication software for computer-telephone network communications. The emphasis purpose in computer -telephone network interface, modem working controlling , can be modulated and demodulated , as a basis for future developement , we also describe how it works and how to develope in future.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
- การมอดูเลชั่น	2
- การเชื่อมต่อคอมพิวเตอร์ไปยังโมเดม	6
- การเชื่อมต่อผ่านข่ายสายสาธารณะ	8
- XMODEM	12
บทที่ 3 การออกแบบและการสร้าง	15
บทที่ 4 ผลการทดลอง	31
บทที่ 5 สรุป	41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 2.1 ความถี่ที่ใช้ของโมเดมแบบ Bell 103	3
รูปที่ 2.2 มุมเฟสของแต่ละไดบิท	3
รูปที่ 2.3 ตัวอย่างการแบ่งแพทเทิร์นเลขฐานสอง	4
รูปที่ 2.4 ตัวอย่างของรูปคลื่นแบบ QPSK ที่ความเร็ว 1200 บอด	4
รูปที่ 2.5 การเข้ารหัสแบบ QAM	5
รูปที่ 2.6 การเชื่อมต่อ DTE ไปยัง DCE	6
รูปที่ 2.7 การเชื่อมต่อแบบฮาล์ฟดูเพล็กซ์ผ่านสายโทรศัพท์สาธารณะ	8
รูปที่ 2.8 ลำดับการโต้ตอบของสัญญาณต่างๆของการสื่อสารแบบฮาล์ฟดูเพล็กซ์	9
รูปที่ 2.9 การเชื่อมต่อแบบฮาล์ฟดูเพล็กซ์ที่มีการตอบรับการเรียกอัตโนมัติ	10
รูปที่ 2.10 ลำดับการโต้ตอบของโมเดมระบบฮาล์ฟดูเพล็กซ์แบบหมุนโทรศัพท์ด้วยตัวเอง และตอบรับการเรียกอัตโนมัติ	11
รูปที่ 3.1 บล็อกไดอะแกรมของโมเดมที่ออกแบบ	15
รูปที่ 3.2 วงจรอินเตอร์เฟสสายโทรศัพท์	16
รูปที่ 3.3 วงจรตรวจสอบสัญญาณกริ่งเรียก	17
รูปที่ 3.4 วงจรตรวจสอบสัญญาณเรียกกลับ	18
รูปที่ 3.5 กราฟแสดงค่า K พารามิเตอร์	19
รูปที่ 3.6 กราฟแสดงค่าความต้านทานเทียบกับค่า K พารามิเตอร์	20
รูปที่ 3.7 แสดงการเชื่อมต่อ MCS-51 กับ R96EFX	21
รูปที่ 3.8 แสดงบล็อกการเชื่อมต่อระหว่าง V.24 กับ MCS-51	22
รูปที่ 3.9 ลำดับการทำงานเมื่อเริ่มเปิดเครื่องอย่างกว้างๆ	23
รูปที่ 3.10 สำดับการทำงานในการมอดูเลท	24
รูปที่ 3.11 ลำดับการทำงานในการดีมอดูเลทและแสดงผล	25
รูปที่ 3.12 ลำดับการทำงานของโหมดการเรียกออก	26
รูปที่ 3.13 ลำดับการทำงานของโหมดการตอบรับ	27
รูปที่ 3.14 รูปวงจรโมเด็ม	28
รูปที่ 3.15 รูปวงจรดีโคดเดอร์,LATCH, V.24	29
รูปที่ 3.16 วงจรตรวจสอบสัญญาณ Ringing & Ring Back Tone & SLIC	30
รูปที่ 4.1 แสดงการตรวจจับสัญญาณกริ่งเรียก	31
รูปที่ 4.2 ความถี่สูงสุดที่สามารถตรวจจับได้	32
รูปที่ 4.3 ความถี่ต่ำสุดที่สามารถตรวจจับได้	32

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.4 แสดงสัญญาณที่ตรวจจับได้ 33
รูปที่ 4.5 คล็อกความถี่ 300 Hz ที่วัดได้จากขา DCLK 33
รูปที่ 4.6 คล็อกความถี่ที่วัดได้จากขา DCLK 34
รูปที่ 4.7 แสดงสัญญาณที่มอดูเลทด้วยค่า "1"ทุกบิตซึ่งได้ความถี่ 1650 Hz 34
รูปที่ 4.8 แสดงสัญญาณที่มอดูเลทด้วยค่า "0" ทุกบิตซึ่งได้ความถี่ 1850 Hz 35
รูปที่ 4.9 แสดงการมอดูเลทด้วยค่า "1" สลับ "0" คาบเวลาที่วัดได้เท่ากับ 1 บิต 35
รูปที่ 4.10 แสดงการดีมอดูเลทและแสดงค่าออกเลด 36
รูปที่ 4.11 แสดงการมอดูเลทที่ความเร็ว 2400 บิตต่อวินาที 36
รูปที่ 4.12 สัญญาณป้อนเข้า SLIC 37
รูปที่ 4.13 แสดงสัญญาณที่วัดได้ที่ขา Tx ของ SLIC 37
รูปที่ 4.14 แสดงสัญญาณที่มอดูเลทออกมาจาโมเดม 38
รูปที่ 4.15 แสดงสัญญาณที่ออกมาจาก SLIC 38
รูปที่ 4.16 แสดงสภาพสัญญาณเมื่อต่อเข้ากับ PBX 39
รูปที่ 4.17 แสดงสภาพสัญญาณเมื่อต่อเข้ากับ PBX 39
รูปที่ 4.18 สัญญาณเมื่อเชื่อมต่อออกสู่ชุมสายภายนอก 40
รูปที่ 5.1 องค์ประกอบของเฟรม HDLC 42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 วงจร RS -232	7
ตารางที่ 2.2 รูปแบบบล็อกของ Xmodem	12
ตารางที่ 2.3 รูปแบบบล็อกของ Xmodem ที่ใช้ตัวเลือก CRC	13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในโลกการสื่อสารทุกวันนี้ อุปกรณ์การสื่อสารเป็นสิ่งจำเป็นมากไม่ว่าจะเป็นโทรศัพท์ โทรสาร วิทยุติดตามตัว โทรศัพท์เคลื่อนที่ วิทยุสื่อสารรวมถึงการสื่อสารข้อมูลที่ใช้คอมพิวเตอร์และโมเด็มในการสื่อสารด้วยซึ่งการใช้โมเด็มนี้ในปัจจุบันได้ใช้กันอย่างแพร่หลายทั้งผู้ใช้ในการทำธุรกิจและผู้ใช้ทั่วๆไป ด้วยเหตุผลที่ว่าราคาถูกใช้งานได้สะดวก

การสื่อสารด้วยโมเด็ม (MODEM) เป็นการสื่อสารข้อมูลผ่านข่ายสายโทรศัพท์ที่จัดได้ว่ามีประสิทธิภาพสูงอันหนึ่ง เราสามารถติดตั้งโมเด็มที่ปลายจุดต่อแต่ละด้านผ่านเน็ตเวิร์คโทรศัพท์ โดยใช้วงจรให้เช่า (Leased line circuit) หรือผ่านชุมสายโทรศัพท์โดยใช้การหมุนหมายเลข ซึ่งข้อมูลจะถูกแปลงจากสัญญาณดิจิตอลเป็นสัญญาณอนาลอกแล้วจึงจะส่งผ่านสายโทรศัพท์ในย่านความถี่เสียง ในทางด้านรับก็เช่นกันจะแปลงสัญญาณอนาลอกกลับมาเป็นสัญญาณดิจิตอล

ในอดีตโมเด็มมีการออกแบบที่และไม่ซับซ้อนซึ่งต่างจากปัจจุบัน ซึ่งมีการพัฒนาขึ้นมาจากเดิมที่ส่งข้อมูลในอัตราเร็วที่ต่ำมาเป็นอัตราเร็วที่สูงขึ้น นอกจากนั้นยังเพิ่มความสามารถต่างๆเข้าไปเช่น การตรวจสอบความผิดพลาดของข้อมูล การควบคุมการไหลของข้อมูล สามารถหมุนหมายเลขโทรศัพท์และเรียกซ้ำได้อัตโนมัติ รวมทั้งการตอบรับอัตโนมัติ นอกจากนี้ยังมีรูปแบบที่แตกต่างกันคือมีทั้งชนิดติดตั้งภายนอกและชนิดติดภายในคอมพิวเตอร์

ปริญญานิพนธ์ฉบับนี้จะกล่าวถึงการออกแบบและการทำงานโมเดมชนิดติดตั้งภายนอกที่ได้ใช้ไมโครคอนโทรลเลอร์ในการควบคุมการทำงานรวมถึงวงจรอื่นๆที่เป็นอุปกรณ์รอบข้าง โดยมีรูปแบบที่เป็นการติดตั้งภายนอกผ่านพอร์ทอนุกรมของคอมพิวเตอร์ ส่วนที่สำคัญที่สุดคือส่วนที่เป็นส่วนแปลงสัญญาณผ่านข่ายสายโทรศัพท์ซึ่งได้ใช้ไอซีเบอร์ R96EFX เป็นอุปกรณ์ในการทำงาน รายละเอียดต่างๆนั้นจะกล่าวไว้ในบทที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

2.1 การมอดูเลชั่น แบ่งได้เป็น 3 วิธี โมเด็มแบบไดอัลอัพและแบบลีสไลน์โดยทั่วไปใช้หนึ่งในสามวิธีนี้เพื่อส่งข้อมูลไปบนสายโทรศัพท์

2.1.1 วิธีฟรีเควนซีชิพคีอิง (FREQUENCY SHIFT KEYING : FSK)

2.1.2 วิธีควอดราเจอร์เฟสชิพคีอิง (QUADRATURE PHASE SHIFT KEYING : QPSK)

2.1.3 วิธีควอดราเจอร์แอมพริจูดมอดูเลชั่น (QUADRATURE AMPLITUDE MODULATION : QAM) .

โดยวิธีต่างๆ นี้ใช้หลักการมอดูเลชั่น วิธีฟรีเควนซีชิพคีอิงใช้หลักการฟรีเควนซีมอดูเลชั่น วิธีควอดราเจอร์เฟสชิพคีอิง เป็นเวอร์ชั่นที่ปรับปรุงของเฟสมอดูเลชั่น และ ควอดราเจอร์แอมพริจูดมอดูเลชั่น เป็นการผสมระหว่างเฟสมอดูเลชั่นและแอมพลิจูดมอดูเลชั่น นอกนั้นทั้งสามวิธีนี้เป็นการมอดูเลทแบบความเร็วสูง

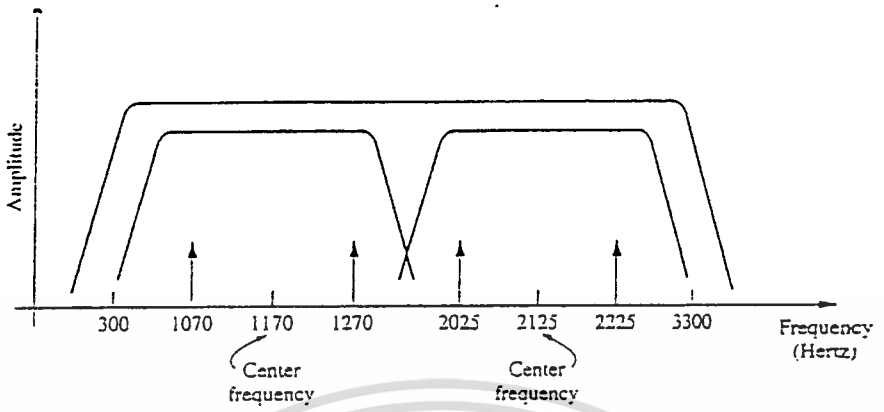
2.1.1 วิธีฟรีเควนซีชิพคีอิง (FREQUENCY SHIFT KEYING : FSK)

วิธีนี้ใช้การมอดูเลทความถี่โดยตัวส่งจะส่งสัญญาณอนาล็อกที่ความถี่หนึ่งซึ่งเป็นสถานะ 0 และ ส่งสัญญาณความถี่อื่นซึ่งเป็นสถานะ 1 โมเด็มที่อัตราการส่งข้อมูลไม่เกิน 1200 bps สื่อสารได้ทั้งแบบอะซิงโครนัส หรือ ซิงโครนัส โมเด็มที่ใช้วิธีนี้ที่นิยมใช้กันมีแบบ Bell 103 และ แบบ Bell 202 โดยเป็นไปตามมาตรฐาน CCITT V.21 และ V.23 ถึงแม้แบบ 103จะมีความเร็วต่ำ (0-300 bps) แต่ก็ยังคงนิยมใช้เพราะมีราคาต่ำ และ สามารถสื่อสารแบบอะซิงโครนัสฟูลดูเพล็ก (Full-duplex) ใช้ได้ทั้งแบบผ่านโครงข่ายสาธารณะและ ผ่านสายเช่า แบบ Bell 202 เป็นโมเด็มที่สื่อสารเฉพาะฮาฟดูเพล็ก ข้อดี วิธีฟรีเควนซีชิพคีอิง คืออัตราการส่งข้อมูลต่ำเพียง 1 บิทต่อบอดที่ใช้ส่ง

2.1.1.1 โมเด็มแบบ Bell 103

โมเด็มในตระกูล 103 นี้มี 103,101,108 และ 113 แต่ที่นิยมใช้คือแบบ 103 ในตระกูลนี้มีลักษณะที่ธรรมดา คือ สื่อสารแบบ ฟูลดูเพล็กโดยผ่านโครงข่ายสาธารณะ หรือสายเช่าแบบสาย 2 เส้น (two-wire) การสื่อสารแบบฟูลดูเพล็กนี้จะแบ่งแถบความถี่เป็น 2 ย่าน โดยย่านแรกสำหรับส่งและอีกย่านสำหรับรับ ในย่านความถี่ต่ำจะมีคลื่นพาหะ 1170 Hz (เป็นความถี่ศูนย์กลาง) และเปลี่ยนแปลงได้ +- 100 Hz เพื่อให้สถานะ 1 และ 0 คือ สถานะ 1 จะมีความถี่ 1170+100 Hz = 1270 Hz และ สถานะ 0 จะมีความถี่ 1170-100 Hz -1170 Hz ในโมเด็มแบบใช้ผ่านโครงข่ายสาธารณะ โมเด็มที่เป็นผู้เรียกจะเรียกว่า ออริจิเนทโมเด็ม (originate modem) และโมเด็มที่ผู้เรียก จะเรียกว่า แอนเซอร์โมเด็ม (Answer modem) ในระบบฟูลดูเพล็ก ออริจิเนทโมเด็มจะส่งข้อมูลในย่านความถี่ต่ำ และ รับข้อมูลในย่านความถี่สูง และ แอนเซอร์โมเด็มจะรับข้อมูลในย่านความถี่ต่ำ และ ส่งในย่านความถี่สูง เช่น ออริจิเนทโมเด็ม ส่ง (ความถี่ 1070 Hz) แต่รับค่า 0 จากแอนเซอร์โมเด็ม เป็นความถี่ 2025 Hz เมื่อแอนเซอร์โมเด็มส่ง 0 (2025 Hz) จะรับ 0 เป็นความถี่ 1070 Hz ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)

		Originate End	Answer End
Transmit	SPACE	1070 Hertz	2025 Hertz
	MARK	1270 Hertz	2225 Hertz
Receive	SPACE	2025 Hertz	1070 Hertz
	MARK	2225 Hertz	1270 Hertz

(b)

รูปที่ 2.1 ความถี่ที่ใช้ของโมเด็มแบบ Bell 103

2.1.2 วิธีควอดราเจอรชิพคีอิง (Quadrature Phase Shift Keying : QPSK)

โมเด็มที่มีความเร็วมากกว่า 1200 bps จะใช้การมอดูเลทที่เข้ารหัสข้อมูลหลายบิทในแบบบอด เทคนิคนี้ปรับปรุงมาจากแบบเฟสมอดูเลชั่น ข้อแตกต่างประการแรกของ QPSK และ PSK คือ โมเด็มแบบ Bell 212 เปลี่ยนมุมเฟสของคลื่นพาหะเป็น 4 มุม แต่ละมุมมีขนาด 90 องศา (Quadrant) แต่ละมุมเฟสจะบอกถึงการรวมกันของ 2 บิท ประการที่ 2 คือ มุมของเฟสที่ชิพไปมีค่า 180 องศา ในแต่ละสถานะของลอจิก วิธี QPSK นี้การเลื่อนของเฟสของแต่ละไดบิท (dibit) ใหม่จะสัมพันธ์กับมุมเฟสที่เริ่มต้นของสัญญาณก่อนหน้านี้ ลักษณะแบบนี้จะเรียกว่าเป็นดิฟเฟอเรนเชียล PSK ด้วย

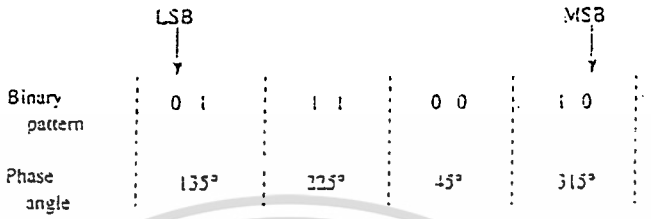
	Phase shift	
Dibit	Bell 212	CCITT V.22
0 0	45°	0°
0 1	135°	90°
1 1	225°	180°
1 0	315°	270°

รูป 2.2 มุมเฟสของแต่ละไดบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่น ถ้าไดบิทตัวแรกมีมุมเฟส 45 องศา ไดบิทตัวต่อไปจะมีมุมเฟสเพิ่มจากเดิมอีก 135 องศา ดังนั้น คลื่นพาหะของไดบิทตัวที่ 2 จะเริ่มที่มุม 180 (45+135)

ตัวอย่างการคำนวณการเลื่อนของเฟส

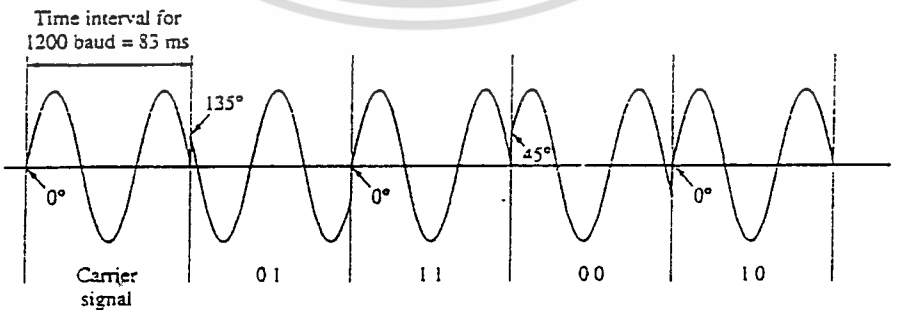


รูป 2.3 ตัวอย่างการแบ่งแพทเทินเลขฐานสองเป็นไดบิท

2.1.2.1 แบ่งข้อมูลที่ถูกส่งออกเป็นไดบิทโดยไดบิทที่มีความสำคัญต่ำสุด จะอยู่ทางซ้ายและ จะถูกส่งออกไปก่อน

2.1.2.2 เขียนมุมเลื่อนของเฟสสมมติให้ใช้โมเด็มแบบ 212 การเลื่อนของเฟสสัมพันธ์กับมุมเฟสเริ่มต้นของสัญญาณอันก่อน เพื่อหามุมเฟสต้นของแต่ละไดบิทจะเริ่มที่สัญญาณคลื่นพาหะซึ่งจะมีก่อนที่จะส่งข้อมูล

สมมติข้อมูลส่งที่อัตรา 2400 bps อัตราบอด = 1200 โมเด็มมีความถี่คลื่นพาห์ = 1800 Hz คลื่นพาห์เริ่มที่ 0 องศา และจบที่ 540 องศา (360+180) โดยไดบิทแรกเป็น 01 มีเฟสเป็น 135 จากเฟสเริ่มต้นของคลื่นพาห์ ดังนั้นไดบิทแรกเริ่มที่ 0+135 = 135 และ มุมเฟสตอนจบของไดบิทแรกเป็น 135+540 = 675 = 315 ไดบิทตัวที่ 2 เป็น 11 มีการเลื่อนเฟสของ 225 จากเฟสเริ่มแรกของไดบิทแรก คลื่นของไดบิทนี้เริ่มที่ 135+225 = 360 = 0 องศา รูปคลื่นของแต่ละไดบิทแสดงดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.4 ตัวอย่างของรูปคลื่นแบบ QPSK ที่ความเร็ว 1200 บอด

2.1.3 วิธีควอดราเจอร์เฟสชิพคีอิง (QUADRATURE AMPLITUDE MODULATION : QAM)

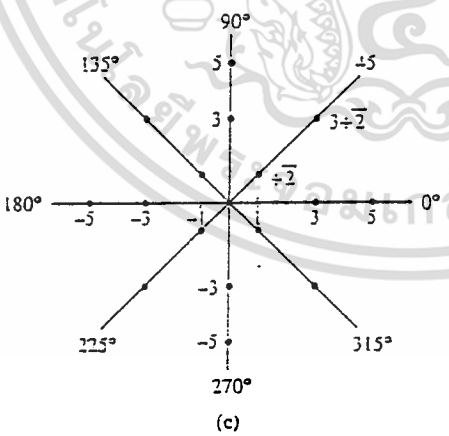
เป็นการรวมของเฟสมอดูเลชั่นและแอมปริจูดมอดูเลชั่นโดยเฟสมอดูเลชั่นคล้ายกับวิธี QPSK ซึ่งการชิพเฟสของคลื่นที่เข้ามาใหม่จะสัมพันธ์กับมุมเฟสของคลื่นตัวก่อนวิธีนี้มีสัญญาณคลื่นพาห์ 2 ตัวคือ คลื่น cosine และ sine และคลื่นจะห่างกัน 90 องศา โมเด็มแบบ BELL 209 เป็นรุ่นแรกที่ใช้วิธีมอดูเลทแบบ QAM มีความถี่คลื่นพาห์ 1650 Hz มีบอดเรทเท่ากับ 2400 และเข้ารหัสข้อมูล 4 บิท โดยอัตราส่งข้อมูลสูงสุดเท่ากับ 9600 bpsซึ่งเป็นมาตราฐาน CCITT V.29 ใช้สัญญาณคลื่นพาห์ 1700 Hz และบอดเรทเท่ากับ 2400 โดยเข้ารหัส 4 บิท ต่อบอด เรียกว่า ควอดบิท (Quard bits) โดยบิทแรกในควอดบิทเป็นตัวบอกขนาด (Amplitude) ของสัญญาณที่ส่ง ที่เหลืออีก 3 บิทบอก เฟสชิพ ดังรูป

Phase Angle	Q_1	Relative amplitude
0°, 90°, 180°, 270°	0	3
	1	5
±5°, 135°, 225°, 315°	0	$\sqrt{2}$
	1	$3\sqrt{2}$

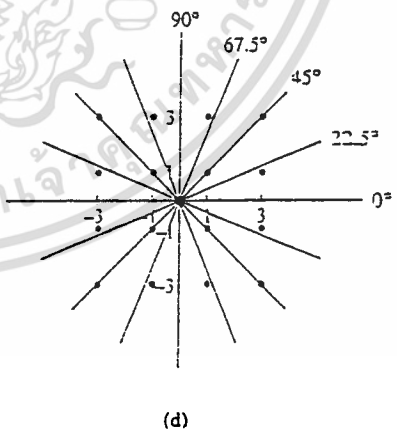
(a)

Q_2	Q_3	Q_3	Phase angle
0	0	1	0°
0	0	0	±5°
0	1	0	90°
0	1	1	135°
1	1	1	180°
1	1	0	225°
1	0	0	270°
1	0	1	315°

(b)



(c)



(d)

รูป 2.5 การเข้ารหัสแบบ QAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพล็อทจุดต่าง ๆ เรียกว่า คอนสเตลเลชั่น แพทเทิน (Constellation pattern) โดยเป็นไปตามมาตรฐาน V.29 แพทเทินจะต่างกันไปตามขนาด และ เฟสชิพ เพื่อที่จะสามารถส่งข้อมูลกันได้โมเด็มผู้เรียกและโมเด็มที่ถูกเรียกจะต้องมีคนอนสเตลเลชั่น แพทเทิน เหมือนกัน

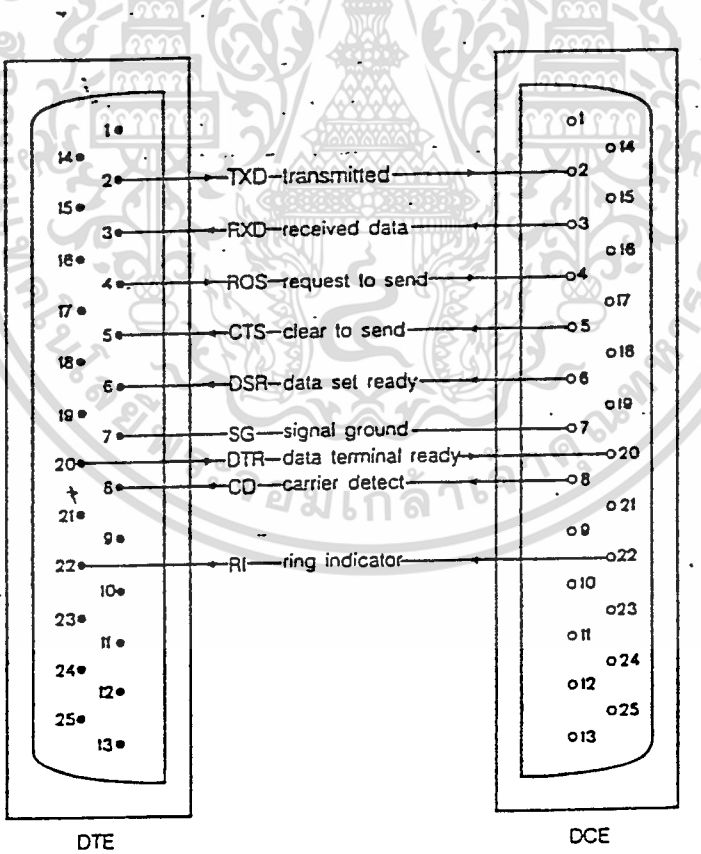
2.2 การเชื่อมต่อคอมพิวเตอร์ไปยังโมเด็ม

ก่อนที่เทอร์มินอล 2 เครื่อง สามาร ถ ส่งข้อมูลระหว่างกันได้ เราต้องทำการจัดตั้งการติดต่อของโมเด็มระหว่างกันให้ได้ก่อนซึ่งขบวนการในวิธีทำเช่นนี้เรียกว่าการ แฮนด์เช็ค(handshake) ความหมายของการอินเตอร์เฟส (interface) คือวิธีที่ทำให้เทอร์มินอลต่อกับโมเด็มได้โดยคุณสมบัติทางไฟฟ้า และทางกลสามารถเข้ากันได้

- คุณสมบัติทางกลในที่นี้ คือ ปลั๊ก,ซอกเก็ต และอื่น ๆ ที่สามารถ ใช้เข้ากับอีกด้าน และรวมถึง การต่อลวดตัวนำที่มีหน้าที่เหมือนกัน เข้ากับขาในคอนเน็กเตอร์หรือหัวต่อสายตำแหน่งเหมือนกัน

- คุณสมบัติทางไฟฟ้า คือ ทั้งเทอร์มินอลและโมเด็มใช้ระดับไฟฟ้าเหมือนกันในการแสดงสถานะรหัสฐานสอง

รายละเอียดของการอินเตอร์เฟส แสดงดังรูป



รูปที่ 2.6 การเชื่อมต่อ DTE (PC) ไปยัง DCE (โมเด็ม)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับแรงดันไฟฟ้าใน RS-232c กำหนดดังนี้

- ค่าระหว่าง +3V ถึง +15V สำหรับระดับลอจิก ศูนย์ หรือหมายถึง เปิดในวงจรควบคุม

- ค่าระหว่าง -3V ถึง -15V สำหรับระดับลอจิก หนึ่ง หรือ หมายถึง ปิดในวงจรควบคุม

RS–232c ได้อธิบายถึงวงจร 25 วงจร และแทนด้วยหมายเลขของขาในคอนเน็คเตอร์ เราจะไม่ใช้วงจรทั้ง 25 วงจร พร้อมกันในการใช้งานปกติ สำหรับวงจรสำคัญ อธิบายได้ดังนี้

หมายเลขขา	หมายเลข CCITT	ชื่อ	ทิศทางข้อมูล
1	101	Earth	
2	103	Transmitted data (TXD)	เทอร์มินอลไปโมเด็ม
3	104	Received data (RXD)	โมเด็มไปเทอร์มินอล
4	105	Request to send (RTS)	เทอร์มินอลไปโมเด็ม
5	106	Clear to send (CTS)	โมเด็มไปเทอร์มินอล
6	107	Data set ready (DSR)	โมเด็มไปเทอร์มินอล
7	102	Common signal return	---
8	109	Data channel received line Signal detector (CD)	โมเด็มไปเทอร์มินอล
20	108/1 หรือ 108 /2	Connect data set to line Data terminal ready (DTR)	เทอร์มินอลไปโมเด็ม
22	125	Calling or ring indicator (RI)	โมเด็มไปเทอร์มินอล

ตารางที่ 2.1 วงจรของ RS - 232c

<u>อธิบายอย่างสรุปถึงหน้าที่ ของแต่ละวงจร ข้างต้นดังนี้</u>

- หมายเลข 7 ทำหน้าที่เป็นระดับอ้างอิงให้กับวงจรอื่นทั้งหมดในการวัดค่าแรงดันไฟฟ้า

- ข้อมูลส่งจากเทอร์มินอลไปโมเด็มผ่านทางหมายเลข 2

- ข้อมูลส่งจากโมเด็มไปเทอร์มินอลผ่านทางหมายเลข 3

- สัญญาณเปิด หรือค่าลอจิกศูนย์จากหมายเลข 4 คือ เทอร์มินอลแจ้งให้โมเด็มทราบว่า เทอร์มินอลมีข้อมูลต้องการส่ง

- สัญญาณค่าลอจิกศูนย์จากหมายเลข 5 คือ โมเด็ม แจ้งให้เทอร์มินอลทราบว่าได้ส่งข้อมูลของเทอร์มินอลออกไปแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สัญญาณค่าลอจิกศูนย์จากหมายเลข 8 คือ โมเด็ม แจ้งให้เทอร์มินอลทราบว่าได้ตรวจพบสัญญาณรับเข้ามา

- หมายเลข 6 ใช้สำหรับโมเด็มแจ้งเทอร์มินอลว่า เมื่อไหร่กำลังทำงานอยู่

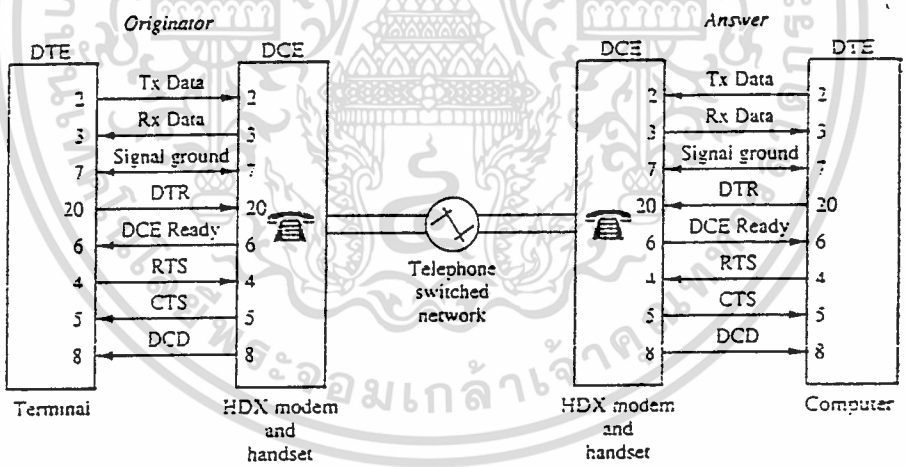
- สัญญาณค่าลอจิกศูนย์จากเทอร์มินอล ผ่าน หมายเลข 20 แจ้งโมเด็มต่อวงจรแปลงรูปสัญญาณ เข้ากับสายโทรศัพท์ ซึ่งขั้นตอนนี้ เกิดขึ้นหลังจากระดับแรงดัน ไฟฟ้าบวกได้ผ่านหมายเลข 22 ซึ่งหมายถึงโมเด็มแจ้งให้เทอร์มินอลทราบว่ามีสัญญาณเรียกเข้ามาในสาย

- เทอร์มินอลใช้หมายเลข 20 แจ้งให้ฌมเด็มเมื่อ เทอร์มินอลพร้อมที่จะรับสัญญาณ

2.3 การเชื่อมต่อผ่านสายโทรศัพท์สาธารณะ

2.3.1โมเด็มแบบฮาล์ฟดูเพล็กซ์ระบบหมุนหมายเลขผ่านโทรศัพท์สาธารณะ

การสื่อสารแบบฮาล์ฟดูเพล็กซ์ระบบหมุนหมายเลขผ่านโทรศัพท์สาธารณะแบ่งได้เป็นการหมุนแบบอัตโนมัติและหมุนด้วยตัวเอง แต่โมเด็มส่วนมากที่ผลิตออกมาจะเป็นแบบหมุนแบบอัตโนมัติ ส่วนการตอบรับการเรียกก็มีทั้งแบบตอบรับอัตโนมัติ (Auto Answer) และแบบตอบรับการเรียกด้วยตัวเอง (Manual Answer) แต่อย่างไรก็ตามโมเด็มในปัจจุบันจะเป็นลักษณะหมุนหมายเลขอัตโนมัติ (Auto dial) และตอบรับการเรียกอัตโนมัติ (Auto Answer)

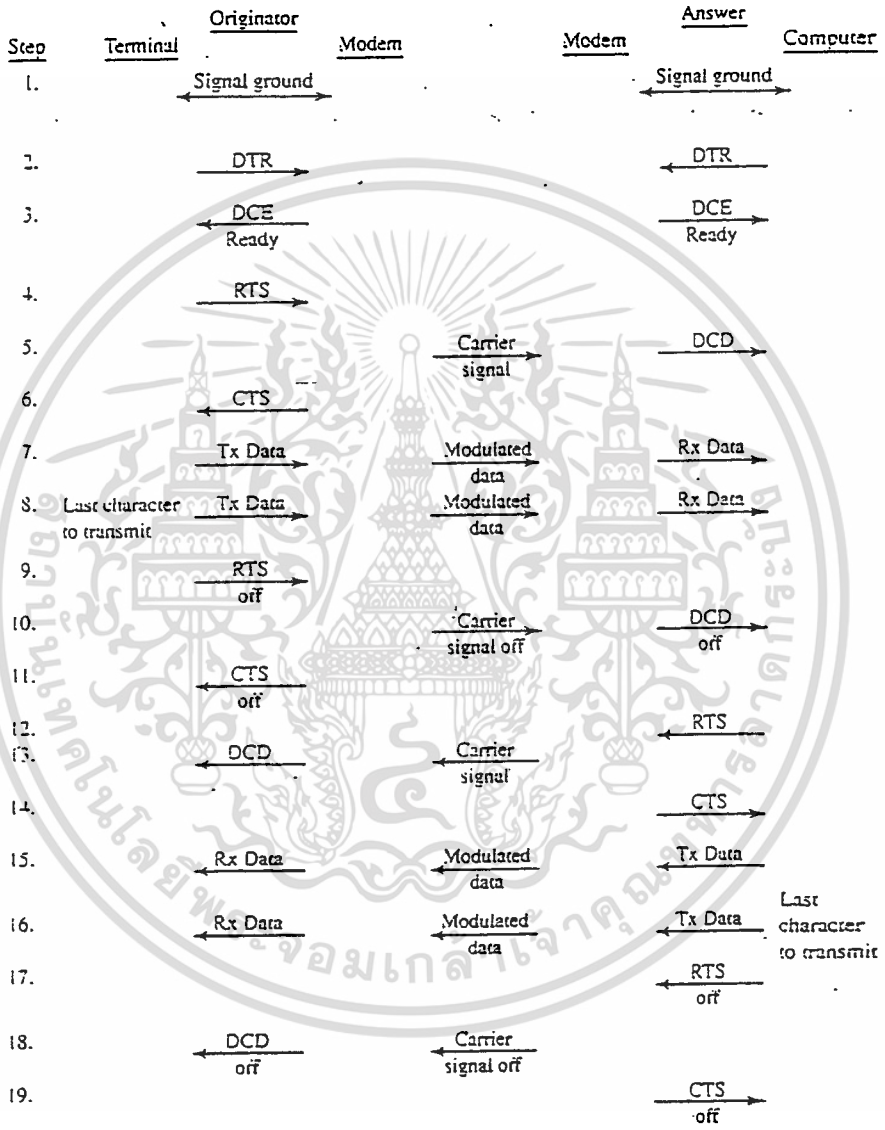


รูป 2.7 การเชื่อมต่อแบบฮาล์ฟดูเพล็กซ์ผ่านสายโทรศัพท์สาธารณะ

เมื่อผ่านส่ง (Originator) ต้องการส่งข้อมูล DTE จะทำให้วงจร RTS เป็น ON ซึ่งจะไปเริ่มต้นการทำงานของ DCE ให้ส่งสัญญาณคลื่นพาห์และหลังจากนั้นก็จะส่งสัญญาณกลับไป DTE ผ่านวงจร CTS เมื่อ DTE ได้รับสัญญาณที่วงจร CTS ก็สามารถส่งข้อมูลผ่านช่องทางสื่อสารได้และเมื่อวงจร RTS เป็น OFF ก็ทำให้ DCE หยุดส่งสัญญาณคลื่นพาห์และ CTS ที่ฝ่ายตอบรับการเรียก (Answer) วงจร DCD จะเป็น OFF เพราะไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

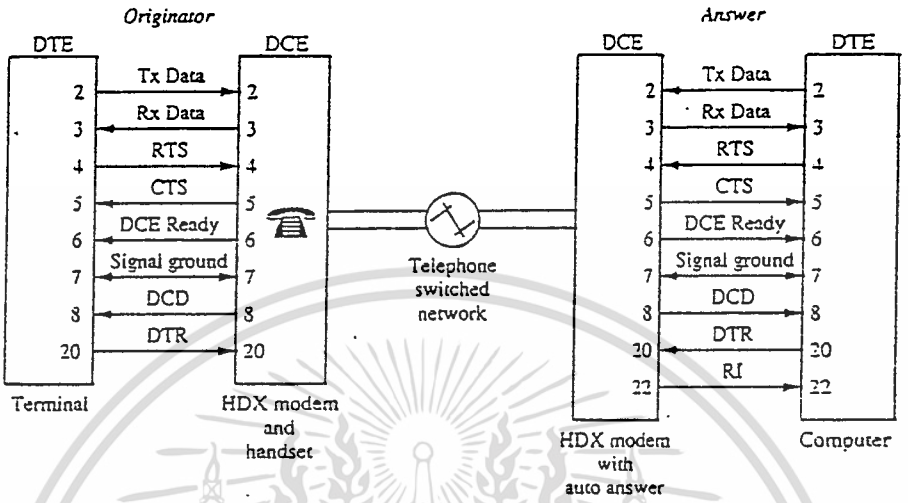
รับสัญญาณคลื่นพาห์และในตอนนี้ DTE ที่ฝ่ายตอบรับก็สามารถใช้ช่องสัญญาณสื่อสารส่งข้อมูลได้ซึ่ง กระบวนการก็จะเหมือนกับที่ฝ่ายส่งทำการส่งข้อมูลในตอนแรกในสภาวะนี้ทิศทางของช่องสัญญาณจะย้อนกลับ เรียกว่า 'Turn around'



รูปที่ 2.8 ลำดับการโต้ตอบของสัญญาณต่าง ๆ ของการสื่อสารแบบฮาล์ฟดูเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

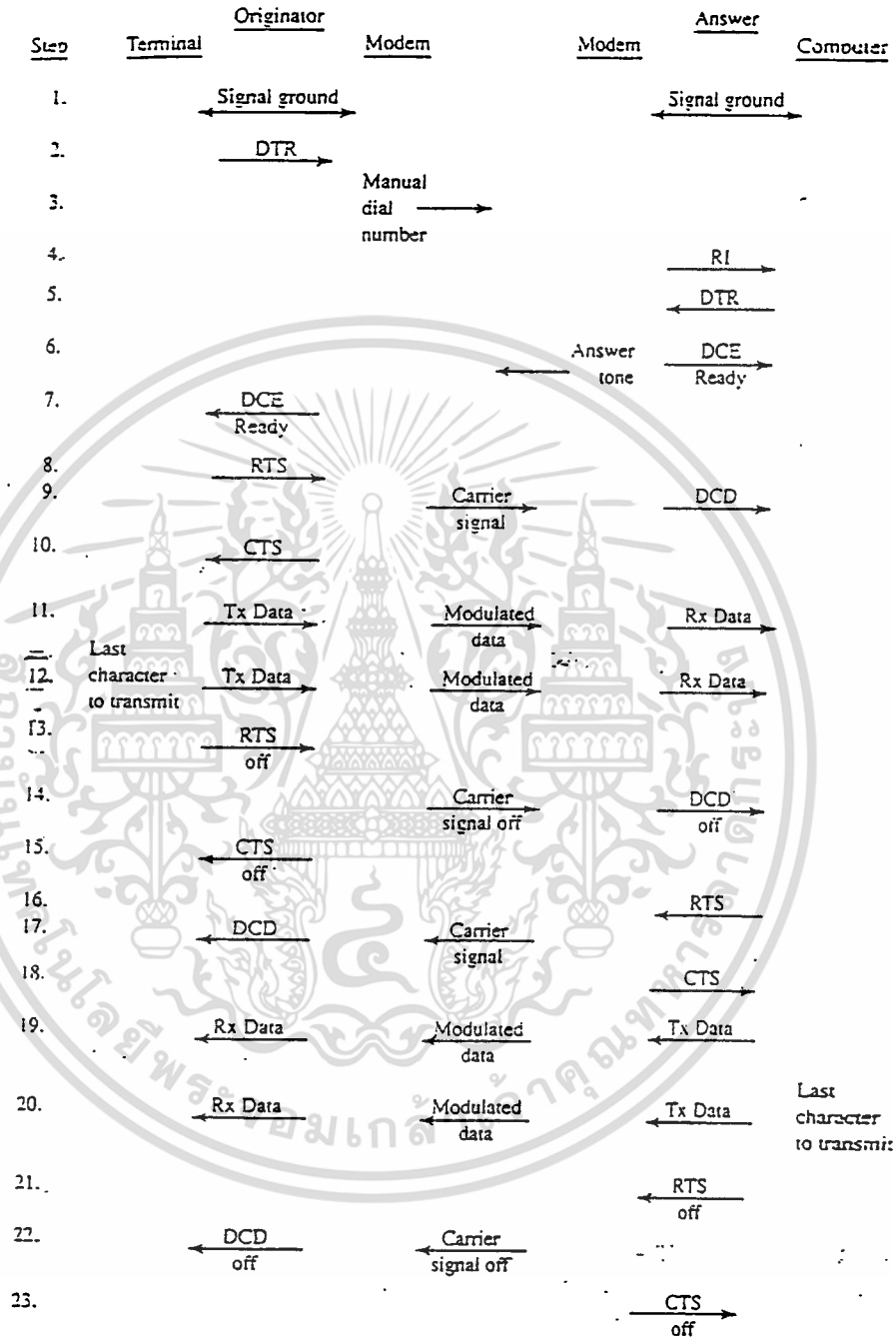
2.3.2 การสื่อสารแบบฮาล์ฟดูเพล็กซ์ที่มีการตอบรับการเรียกโดยอัตโนมัติ



รูปที่ 2.9 การเชื่อมต่อแบบฮาล์ฟดูเพล็กซ์ที่มีการตอบรับการเรียกโดยอัตโนมัติ

ในระบบที่ตอบรับการเรียกแบบอัตโนมัติ โมเด็มที่อยู่ในสภาวะรับการเรียกต้องตอบรับและยกหูเองโดยอัตโนมัติ ซึ่งต้องมีวงจร RI (ขา 22) เพิ่มเข้าไป สมมุติว่าการเรียกเป็นแบบหมุนด้วยตัวเองและโมเด็มที่ตอบรับการเรียกจะตรวจจับสัญญาณกริ่งและส่งสัญญาณ RI ไปที่คอมพิวเตอร์ และคอมพิวเตอร์จะตอบสนองโดยการส่งสัญญาณ DTR ไปที่โมเด็มแล้วโมเด็มก็จะเชื่อมต่อตัวเองเข้ากับช่องสัญญาณสื่อสารและส่งสัญญาณตอบรับไปยังโมเด็มฝ่ายเรียก (ซึ่งเสมือนกับเป็นการรับโทรศัพท์) ถ้าสัญญาณ DSR ไม่แอคทีฟ โมเด็มฝ่ายตอบรับการเรียกควรจะทำให้แอคทีฟเพื่อบอกคอมพิวเตอร์ให้รู้ว่ามีการเชื่อมต่อแล้วและคอมพิวเตอร์ก็พร้อมที่จะรับหรือส่งข้อมูลได้ ในระบบนี้สัญญาณ DTR ที่คอมพิวเตอร์ฝ่ายเรียกจะมีสถานะเป็น ON ส่งให้โมเด็ม ส่วนสัญญาณ DTR ที่ฝ่ายถูกเรียกจะ OFF จนกระทั่งโมเด็มฝ่ายตอบรับการเรียกได้รับสัญญาณริงกิงแล้ว DTR ก็จะมีสภาวะ ON และคอยรับสัญญาณ DCE Ready จากโมเด็มฝ่ายตอบรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 ลำดับการโต้ตอบของโมเด็มระบบฮาล์ฟดูเพล็กซ์แบบหมุนโทรศัพท์ด้วยตัวเองและตอบรับการเรียกอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 XMODEM

XMODEM เป็นโปรโตคอลถ่ายโอนไฟล์ที่เรียบง่ายมาก แม้ว่ามันจะมีข้อจำกัด แต่ก็เป็นโปรโตคอลที่ใช้กันกว้างขวางที่สุด สำหรับการถ่ายโอนไฟล์ระหว่างพีซี และ คอมพิวเตอร์อื่น

2.4.1 บล็อก

ข้อมูลที่ถูกส่งโดย XMODEM จะถูกแบ่งออกเป็นบล็อก แต่ละบล็อกประกอบด้วยอักขระ Start-of-Header (01 ฐานสิบหก) หมายเลขบล็อกหนึ่งไบต์ คอมพลีเมนต์ของหนึ่งของหมายเลขบล็อก ข้อมูล 128 ไบต์ และ Checksum หนึ่งไบต์ ดังในตารางที่ 21.1

ตารางที่ 2.2 รูปแบบบล็อกของ XMODEM

ออฟเซต	ความหมาย
0	SOH (start-of-header , ASCII 01)
1	หมายเลขบล็อก เริ่มต้นจาก 1 แต่จะกลับเป็น 0 หลังจาก FF
2	คอมพลีเมนต์ของหนึ่งของหมายเลขบล็อก (255 - หมายเลขบล็อก)
3 - 130	ข้อมูล 128 ไบต์
131	เช็คซัม ผลรวมของไบต์ข้อมูลเท่านั้น

หมายเลขบล็อกเริ่มต้นที่ 1 แต่ถูกคำนวณด้วยมอดูโล 256 (Modulo 256)หมายความว่าหลังจาก 255 (FF ฐานสิบหก) มันจะกลับเป็นศูนย์คอมพลีเมนต์ของหนึ่งคำนวณโดยการลบหมายเลขบล็อกจาก 255 หรือโดยการคอมพลีเมนต์ทุกบิตในหมายเลขนั้น (สลับค่าศูนย์กับหนึ่ง) Checksum เป็นไบต์เดียวที่คำนวณโดยการบอกข้อมูล 128 ไบต์ เข้าด้วยกัน โดยไม่สนใจตัวทด

2.4.2 โปรโตคอลในระดับไฟล์

ก่อนที่คอมพิวเตอร์ฝ่ายส่งจะสามารถส่งข้อมูลได้ มันต้องรับอักขระ NAK (negative acknowledgment) จากคอมพิวเตอร์ฝ่ายรับ โปรแกรมผู้รับจะส่ง NAK (15 ฐานสิบหก) หลังจากไทม์เอาต์ทุก ๆ 10 วินาที (อย่างเป็นทางการ แต่ในทางปฏิบัติบางครั้งก็ถี่กว่า) ที่ไม่ได้รับข้อมูล NAK ตัวแรกกระตุ้นให้ผู้ส่งเริ่มทำการส่งเมื่อโปรแกรมผู้รับเริ่มการรับบล็อกมันจะรายงานข้อผิดพลาดเมื่อมีช่องว่าง 1 วินาที หรือมากกว่า เกิดขึ้นระหว่างตัวอักษรในบล็อก รวมทั้ง Checksum อย่างไรก็ตามมันต้องรอให้สายว่างก่อนที่จะส่ง NAK เพื่อแจ้งข้อผิดพลาดไทม์เอาต์ 1 วินาที ไม่เพียงพอสำหรับการสื่อสารทางไกล จึงมักจะใช้เวลาคอยที่นานกว่านี้ จากนั้นผู้รับจะตรวจสอบหมายเลขบล็อกและรายงานข้อผิดพลาด ถ้ามันไม่เรียงลำดับ ถ้าหมายเลขบล็อกเหมือนกับบล็อกล่าสุด แสดงถึงการส่งซ้ำไม่ควรถูกพิจารณาเป็นข้อผิดพลาด หลังจากกว่ารับแต่ละบล็อกผู้รับส่ง ACK (06 ฐานสิบหก) ถ้าบล็อกที่รับมาถูกต้อง หรือ NAK ถ้าไม่ถูกต้อง ในกรณีหลังผู้ส่งจะส่งบล็อกนั้นซ้ำ หลังจากการตอบรับบล็อกนั้นแล้ว บล็อกต่อไปจึงจะถูกส่งในตอนจบของกานส่ง ผู้ส่งจะส่ง EOT (04 ฐานสิบหก) และรอคอย ACK มันจะส่ง EOT ซ้ำ ถ้าไม่ได้รับ ACK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 ตัวเลือก CRC

เนื่องจาก Checksum หนึ่งไบต์ไม่เพียงพอสำหรับตรวจสอบข้อผิดพลาดทั้งหมด ส่วนขยายของ XMODEM ที่เรียกว่า ตัวเลือก CRC จึงถูกคิดขึ้นโดยใช้ตัวเลขสองไบต์ ตัวเลขที่เรียกว่า Cyclical redundancy check (CRC - 16) ซึ่งสามารถตรวจสอบข้อผิดพลาดได้อย่างน้อย 99.99 เปอร์เซนต์ โดยปกติผู้รับต้องบอกผู้ส่งว่าใช้ตัวเลือก CRC โดยการส่งอักขระ C แทน NAK ในการร้องขอให้เริ่มต้นส่ง แต่เนื่องจากไม่ทุกเวอร์ชันของ XMODEM ที่มีตัวเลือก CRC ผู้รับจึงควรเปลี่ยนไปส่ง NAK ถ้าไม่มีการตอบสนองหลังจากการส่ง C รูปแบบของบล็อกที่ใช้ตัวเลือก CRC ถูกแหดงไว้ในตารางที่ 21.2

ตารางที่ 2.3 รูปแบบบล็อกของ XMODEM ที่ใช้ตัวเลือก CRC

ออฟเซต	ความหมาย
0	SOH (Start-of-Leader, แอสกี 01)
1	หมายเลขบล็อก เริ่มต้นจาก 1 แต่จะกลับเป็น 0 หลังจาก FF
2	คอมพลีเมนต์ของหนึ่งของหมายเลขบล็อก (255-หมายเลขบล็อก)
3 ถึง 130	ข้อมูล 128 ไบต์
132	ไบต์บนของ CRC
133	ไบต์ล่างของ CRC

2.4.4 ข้อได้เปรียบและเสียเปรียบของ XMODEM

ข้อได้เปรียบหลักของ XMODEM คือความเรียบว่างและความเป็นสากลโซคไม่ดีที่ XMODEM มักถูกใช้ในลักษณะที่มันไม่ได้ถูกตั้งใจไว้แต่เดิม

-มันไม่สามารถแก้ปัญหาความยาวเวิร์ด ได้ ไม่มีการแปลรูปแบบใดเป็นพิเศษที่จะทำให้ข้อมูลแปดบิตถูกส่งไปกับการสื่อสารเจ็ดบิตได้ ดังนั้นถ้าข้อมูลไบนารีกำลังถูกส่ง ต้องใช้การสื่อสารแปดบิตโปรโตคอลกำหนดให้ใช้แปดบิตข้อมูล ไม่มีพาริตี้ และหนึ่งบิตจบ แม้ว่าจะมีเพียงข้อมูลแบบเท็กซ์กำลังส่งก็ตาม

-ไม่มีการป้องกันการแปลความหมายข้อมูลไบนารีผิดเป็นสัญญาณควบคุมเช่นถ้าอุปกรณ์ฝ่ายรับถือว่า ASCII 4 เป็น End of Transmission เสมอการส่งก็สามารถทำได้เพียงสามบล็อก เนื่องจากบล็อกที่สี่จะมี ASCII 4 เป็นหมายเลข ซึ่งหมายความว่า แม้ข้อมูลที่ถูกถ่ายโอนจะอยู่ในรูปแบบ ASCII ที่ยอมรับได้ ตัวโปรโตคอลเองก็อาจเพิ่มรหัสที่ยอมรับไม่ได้เข้าไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-ไม่มีความต้องการการสื่อสารแบบฟูลดูเพล็กซ์ เนื่องจากอุปกรณ์ฝ่ายรับต้องคอยให้การส่งหยุดก่อนที่จะส่ง NAK วิธีนี้ทำให้เกิดเวลาหน่วง โดยเฉพาะอย่างยิ่งบนสายทางไกล โปรโตคอลที่ซับซ้อนกว่านี้อนุญาตให้บล็อกหนึ่งได้รับการตอบรับหรือปฏิเสธในขณะที่บล็อกที่ตามมากำลังถูกส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

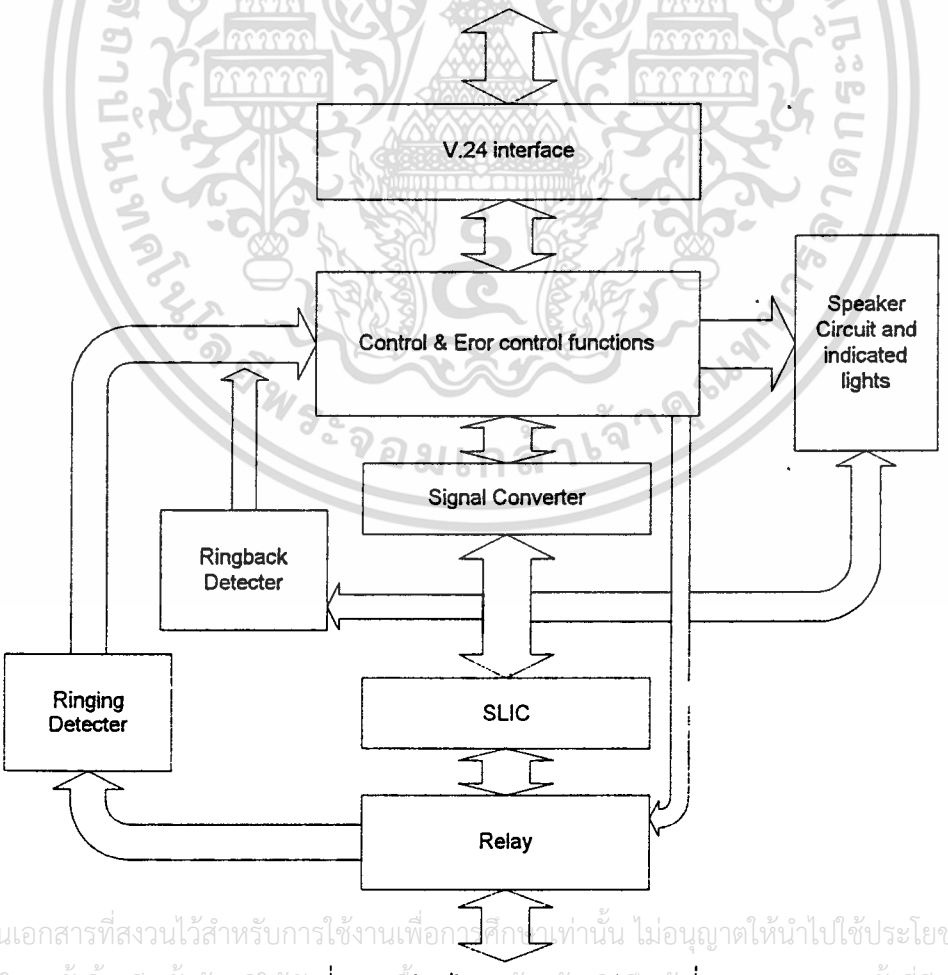
บทที่ 3

การออกแบบและการสร้าง

ในการสร้างและการออกแบบสำหรับปริญญานิพนธ์นี้ไม่สามารถออกแบบให้มีความสามารถได้มากนั้น เนื่องจากติดข้อจำกัดต่างๆ อาทิเช่น รูปแบบวงจร รูปแบบการเชื่อมต่อ ที่จะทำให้มีความสามารถมากขึ้นไม่สามารถหาได้

ดังนั้นจุดประสงค์ของการสร้างและออกแบบในปริญญานิพนธ์ นี้ต้องการออกแบบให้มีความสามารถดังนี้

- มีความสามารถในการมอดูเลท /ดีมอดูเลทได้ที่ความเร็ว 2400 บิทต่อวินาที
- มีความสามารถทางการตรวจสอบสัญญาณกริ่งเรียกและสัญญาณเรียกกลับ
- สามารถส่งผ่านชุมสายโทรศัพท์ได้



รูปที่ 3.1 บล็อกไดอะแกรมของโมเดมที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 การทำงานของโมเด็มแบ่งเป็น 2 สภาวะ

3.1.1.สภาวะการเรียก เมื่อโมเด็มต้องการสื่อสารกับโมเด็มตัวอื่น MCS-51 ก็จะไปตัดรีเลย์ ไปที่ NO : normally Open (ซึ่งเป็นการจำลองการยกหูโทรศัพท์) และใช้คำสั่งให้หมุนหมายเลขโทรศัพท์จากจอคอมพิวเตอร์ MCS-51 แล้วโมเด็มก็จะผลิตความถี่ตามหมายเลขแล้วส่งออกไปผ่านวงจรเชื่อมต่อสายโทรศัพท์ และตรวจจับสัญญาณเรียกกลับ ถ้าสัญญาณหมดแสดงว่าโทรติด แต่ถ้าตรวจจับสัญญาณไม่ว่างได้ก็จะทำการโทรใหม่ เมื่อเชื่อมต่อระหว่างเครื่องคอมพิวเตอร์ได้แล้วก็เริ่มการสื่อสารได้ ดังแสดงในรูปที่ 3.12 ท้ายบท

3.1.2.สภาวะการถูกเรียก เมื่ออยู่ในสภาวะถูกเรียกจะตรวจจับสัญญาณกริ่งเรียกที่เข้ามาถ้าตรวจจับได้MCS-51 ก็จะตัดรีเลย์ ไปที่ NO (ซึ่งเป็นการจำลองการยกหู)เพื่อเชื่อมต่อกับวงจรเชื่อมต่อสายโทรศัพท์ เมื่อเชื่อมต่อระหว่างคอมพิวเตอร์ 2 เครื่องได้แล้วก็เริ่มการสื่อสารได้ ดังแสดงในรูปที่ 3.13 ท้ายบท

3.2 โมเด็มประกอบด้วย 4 ส่วนคือ

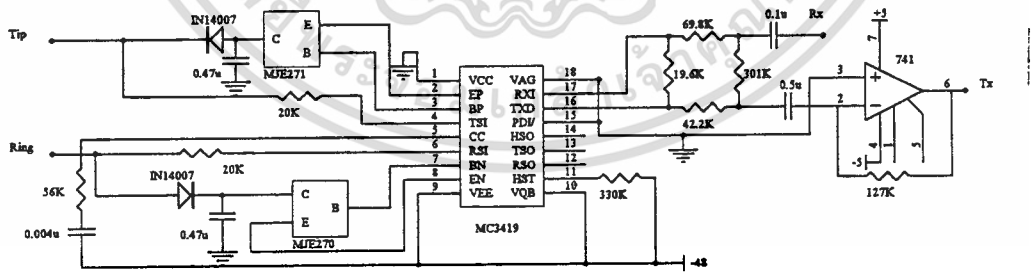
3.2.1ส่วนอินเตอร์เฟสกับสายโทรศัพท์ (SLIC)

3.2.2.ส่วนตรวจสอบสัญญาณ (Ringing & Ringback Detector)

3.2.3.ส่วนมอดูเลท (Signal Converter)

3.2.4.ส่วนควบคุมการทำงาน (Control & Eror control function และ V.24 Interface)

3.2.1 ส่วนอินเตอร์เฟสกับสายโทรศัพท์ (SLIC) ใช้ IC เบอร์ MC3419 - 1L (วงจรเครื่องโทรศัพท์) ทำหน้าที่ในการเชื่อมต่อกับสายโทรศัพท์ภายนอกโดยสาย Tip ต่อกับขา 4 และ สาย Ring ต่อกับขา 6 ของ IC เพื่อให้อิมพีแดนซ์ แมทชิ่ง โดยมีค่าอิมพีแดนซ์ = 600 โอห์ม

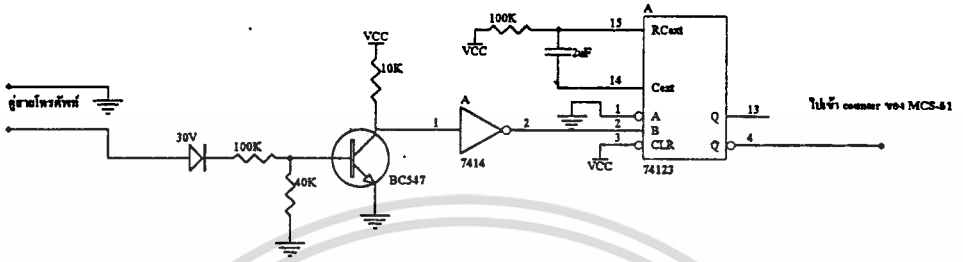


รูปที่ 3.2 วงจรอินเทอร์เฟสสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2ส่วนตรวจสอบสัญญาณ (Ringing & Ringback Tone Detector) แบ่งออกเป็น 2 ส่วน

3.2.2.1 วงจรตรวจสอบสัญญาณกริ่งเรียก (Ringing Tone Detector)



รูป 3.3 วงจรตรวจสอบสัญญาณกริ่งเรียก

จากรูปอินพุทของวงจรต่อเข้ากับขั้วลบของคู่สายโทรศัพท์ เมื่อไม่มีสัญญาณกริ่งเรียกเข้ามา ไดโอดจะถูก Reverse Bias ทำให้ไม่นำกระแส เมื่อมีสัญญาณกริ่งเรียกเข้ามาซึ่งเป็นสัญญาณ AC 100 V p-p ทำให้ขั้วลบของคู่สายโทรศัพท์มีการสลับขั้วไปตามจังหวะทำให้ไดโอดนำกระแสและไม่นำกระแสสลับกัน สัญญาณที่ขาคอลเล็กเตอร์จะเป็นลอจิก 1 และ 0 สลับกันซึ่งใช้เป็นสัญญาณคล็อกให้ IC 74123 (Monostable Retrigable) ซึ่งสัญญาณมีความกว้างพัลท์ประมาณ 60 ms

จากสูตร $T(w) = 0.29 * R * C$

ให้ $T(w) = 60$ ms

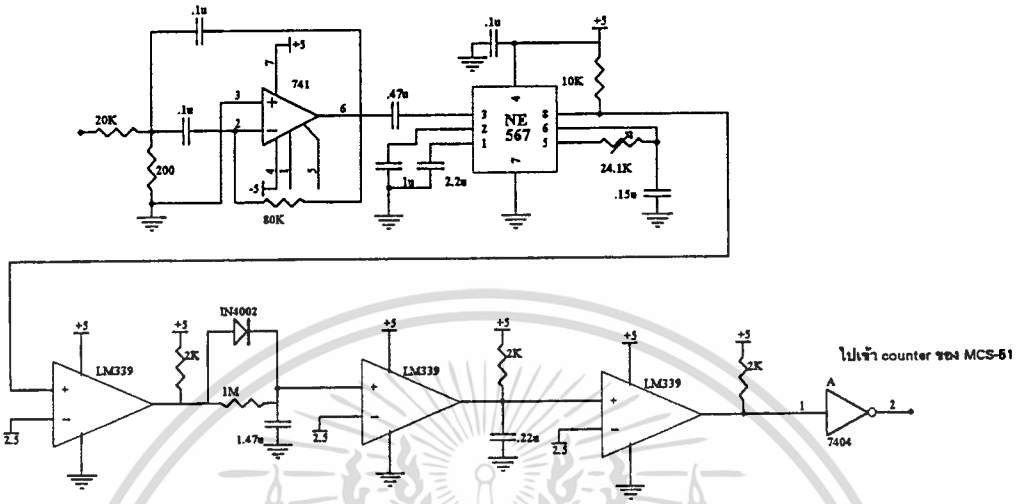
$R = 100$ K

ดังนั้น $C = 2$ uF

ดังนั้นเอาพุทของโมโนสเตเบิลจะมีช่วงดัง 1 วินาที เงียบ 4 วินาที ไปเข้า Counter ของ MCS-51 เพื่อนำไปนับจำนวนครั้งของสัญญาณกริ่งเรียกเมื่อครบตามจำนวนที่ตั้งไว้ MCS-51ก็จะตอบรับการเรียกโดยการทำให้รีเลย์ตัดไปที่ NO : normally open (เป็นการจำลองการยกหูโทรศัพท์) ทำให้สายโทรศัพท์ต่อกับวงจรเชื่อมต่อสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2.2 วงจรตรวจสอบสัญญาณเรียกกลับ (Ringback Tone Detector)



รูป 3.4 วงจรตรวจสอบสัญญาณเรียกกลับ

เนื่องจากสัญญาณในคู่สายโทรศัพท์มีสัญญาณความถี่อื่นๆเกิดเป็นสัญญาณรบกวนและมีระดับขนาดสัญญาณยังไม่เหมาะสมกับการทำงานของวงจร เพื่อแก้ไขปัญหาดังกล่าวเราจึงเพิ่มวงจรกรองความถี่แบบแถบผ่าน (Bandpass Filter) โดยใช้ OPAMP 741 ประกอบร่วมกับ R C กำหนดคุณสมบัติที่ต้องการและให้ขยายสัญญาณโทนให้ได้สัญญาณเอาท์พุทระดับขนาด 200 mV_{p-p} และแบนด์วิดท์ของวงจรกว้างพอที่จะสามารถตรวจสอบได้ถูกต้อง ซึ่งจากข้อกำหนดเราเลือกใช้วงจรกรองแถบความถี่แบบ SECOND ORDER MULTIPLE FEEDBACK

ขั้นตอนการออกแบบวงจร

1. กำหนดความถี่ศูนย์กลาง Fc = 400 Hz
2. กำหนด C = 0.1 uF
3. อ่านค่า K พารามิเตอร์จากกราฟได้ K = 2.5
4. จากค่า K นำไปอ่านค่า R1 , R2 , R3 ได้ค่าดังนี้

   R1 = 20 กิโลโอห์ม

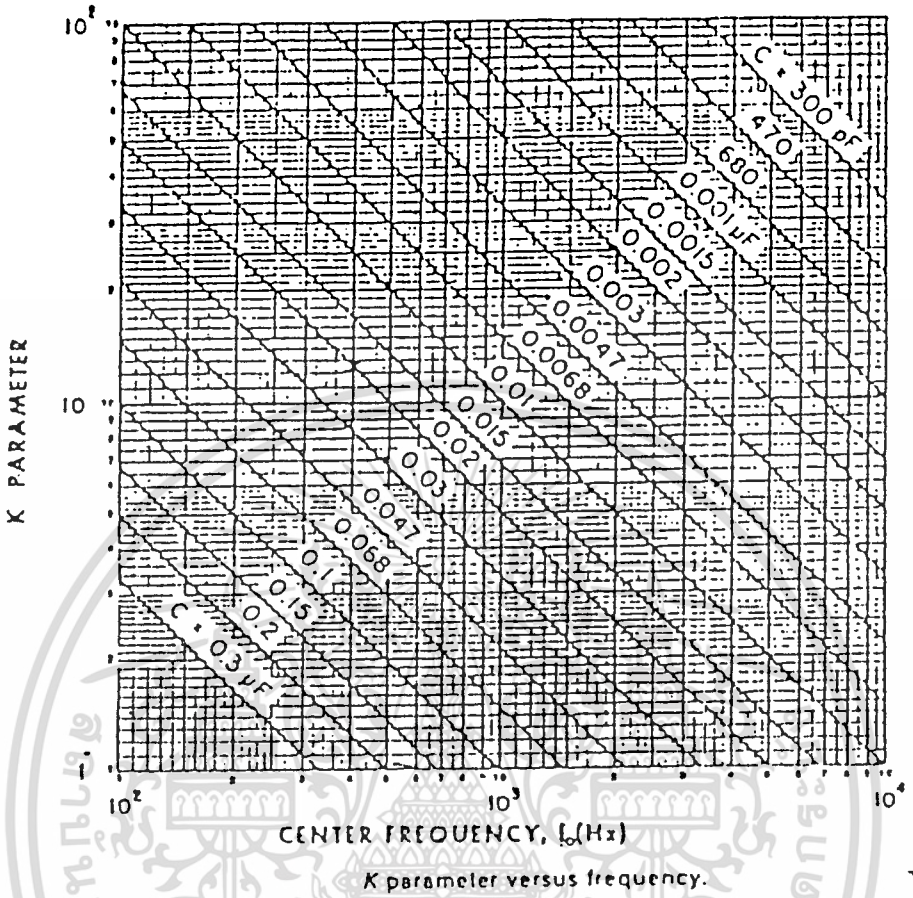
   R2 = 200 โอห์ม

   R3 = 80 กิโลโอห์ม

5. คำนวณค่า Q จาก Q = 1/2 R3 / Rp เมื่อ Rp=R1 // R2

   Q = 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



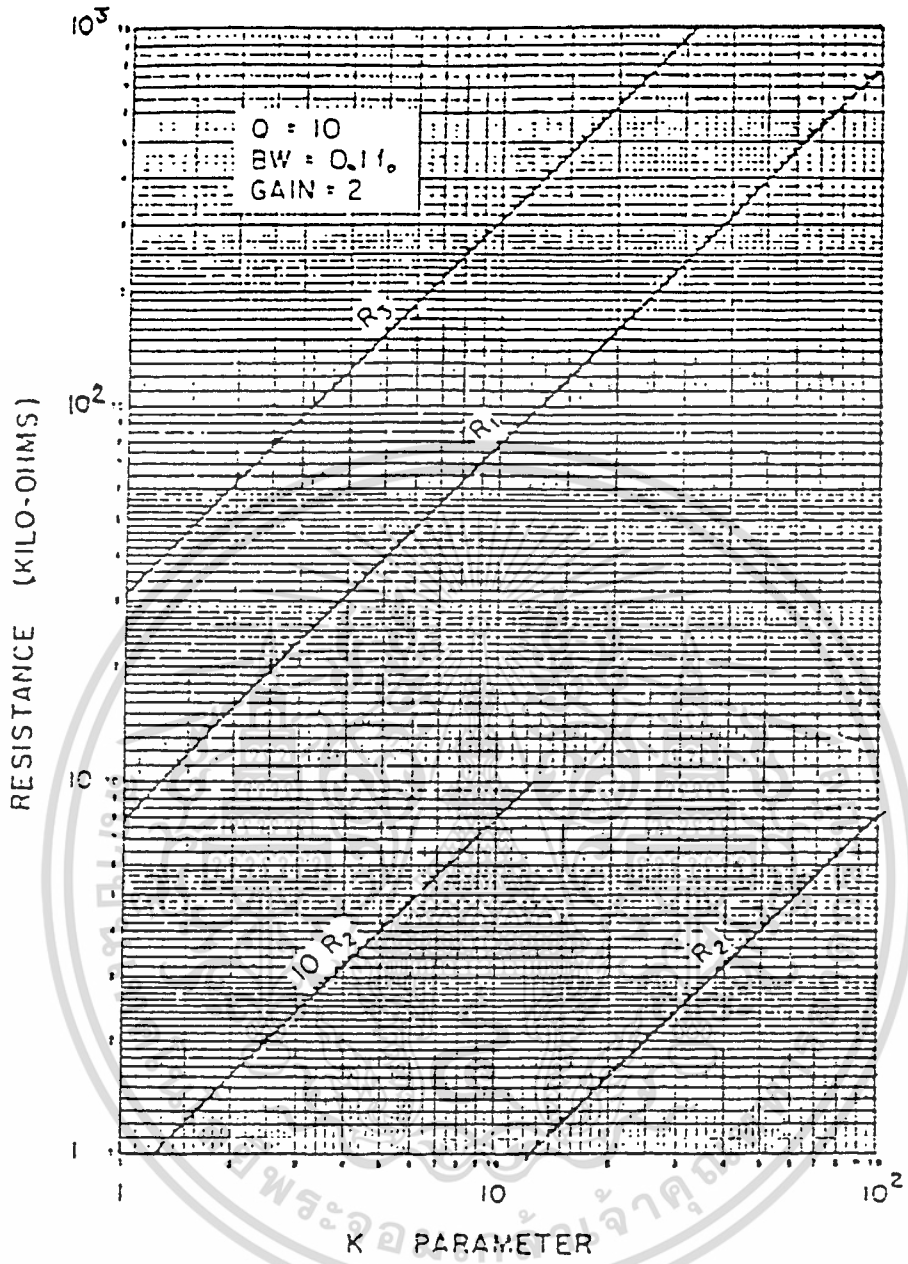
K parameter versus frequency.

รูป 3.5 กราฟแสดงค่า K พารามิเตอร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

037211



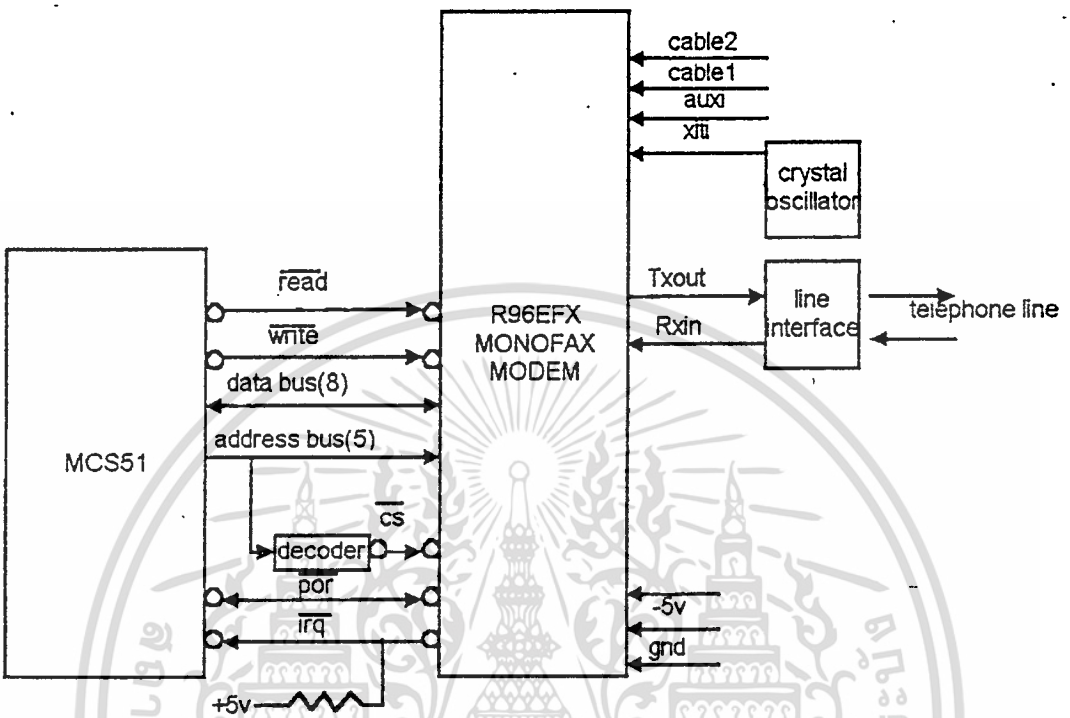
รูปที่ 3.6 กราฟแสดงค่าความต้านทานเทียบกับค่า K พารามิเตอร์

จากสัญญาณเอาท์พุท ของวงจรกรองความถี่ จะใช้เป็นสัญญาณอินพุทให้กับวงจรตรวจแยกสัญญาณโทน (Tone Decoder) ซึ่งเราใช้ IC 567 ซึ่งใช้หลักการของวงจรเฟสล็อคลูป (Phase Lock Loop)คือ ถ้า มีความถี่ในช่วง 400 Hz เข้ามา เอาท์พุทของ IC 567 จะให้ลอจิก 1 แต่ถ้าเป็นความถี่อื่นที่ไม่อยู่ในช่วง 400 Hz แล้ว เอาท์พุทของ IC 567 จะให้ลอจิก 0 จากนั้นเอาท์พุทของวงจรแยกสัญญาณโทนจะใช้เป็นอินพุทให้กับ LM 339 ซึ่งใช้เป็นตัวเปรียบเทียบสัญญาณที่ต่ำกว่า 2.5 ให้เป็นลอจิก 0 และสัญญาณที่มากกว่า 2.5 ให้เป็นลอจิก 1 และการต่อ R , C และ ไดโอด จะหน่วงเวลาให้เฉพาะสัญญาณเรียกกลับผ่านไม่ให้สัญญาณไม่ว่างผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 ส่วน Signal converter

ส่วนการทำงานของ Signal converter นั้นจะใช้ไอซีของบริษัทร็อคเวลหมายเลข R96EFX เป็นไอซีสำหรับการโมดูเลทดีมอดูเลททำงานในลักษณะฮาล์ฟดูเพล็กซ์แสดงบล็อคไดอะแกรมดังข้างล่าง



รูปที่ 3.7 แสดงการเชื่อมต่อ MCS 51 กับ R96EFX

โดยไอซีที่ใช้จะสามารถทำการมอดูเลทได้หลายมาตรฐาน และนอกจากนี้ยังมีคุณสมบัติต่างๆ ซึ่งได้แสดงไว้อย่างละเอียดในภาคผนวก การเชื่อมต่อกับอุปกรณ์ Line interface นั้นจะมีการต่อด้วยฟิลเตอร์ก่อนที่จะมีการเชื่อมต่อกับอุปกรณ์ Line interface การออกแบบวงจรฟิวเตอร์ (เป็นไปตามคำแนะนำของผู้ผลิต) เป็นดังข้างล่าง

วงจรฟิวเตอร์ทางด้านภาคส่ง เป็นวงจรกรองความถี่ต่ำที่มี

Transfer function $= -V_o / V_i$

$$= \frac{86.6K / 34.8K}{1 + S(86.6 * 10^{3} * 1000 * 10^{-12})}$$

$$= 28735.63 / (S + 11547.34)$$

ดังนั้น จะมีความถี่คัดออฟ (Frequency cut off) = 11547.34 เรเดียน

= 1837 Hz

วงจรฟิวเตอร์ทางด้านภาครับ เป็นวงจรกรองความถี่ต่ำที่มี

Transfer function $= -V_o / V_i$

เอกสารนี้มีลิขสิทธิ์ สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{86.6K / 46.4K}{1 + S(86.6 * 10^{3} * 1000 * 10^{-12})}$$

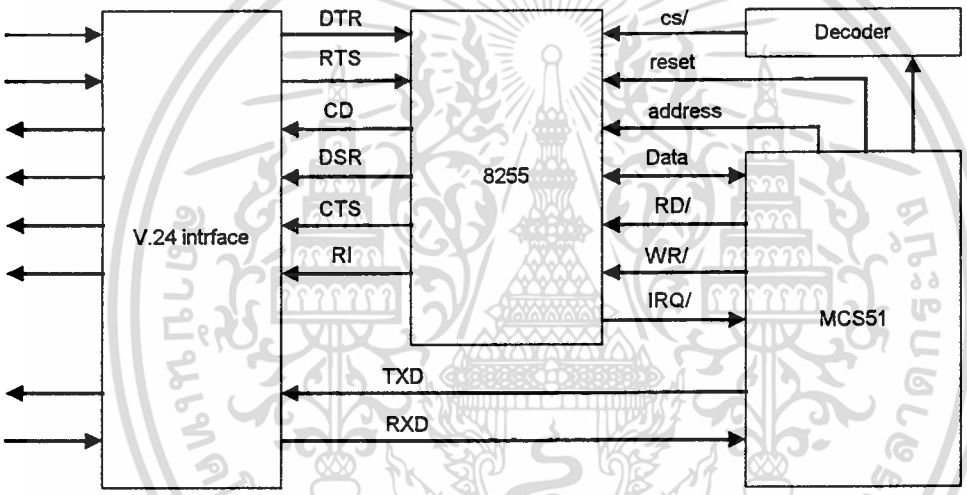
$$= 21551.72 / (S + 11547.34)$$

ดังนั้น จะมีความถี่คัดออฟ (Frequency cut off) = 11547.34 เรเดียน

= 1837 Hz

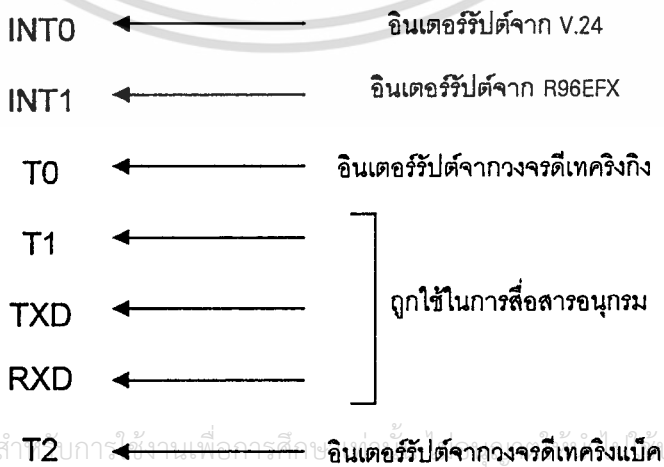
3.2.4 ส่วนควบคุมและส่วนเชื่อมต่อ V.24

ในส่วนควบคุมนั้นจะใช้ไมโครคอนโทรลเลอร์ในตระกูล MCS-51 โดยใช้บอร์ด ANT-32 ซึ่งเป็น 8032 มาใช้ในการควบคุมระบบการทำงานต่างๆ รวมถึงการเชื่อมต่อ V.24 ซึ่งจะใช้การสื่อสารอนุกรมที่มีอยู่แล้วของคอนโทรลเลอร์นั้นมาทำหน้าที่เชื่อมต่อดังแสดงตามบล็อกไดอะแกรมที่ 3.8 รายละเอียดของการเชื่อมต่อ V.24 แสดงไว้ในบทที่ 2



รูปที่ 3.8 แสดงบล็อกการเชื่อมต่อระหว่าง V.24 อินเตอร์เฟสกับ MCS51

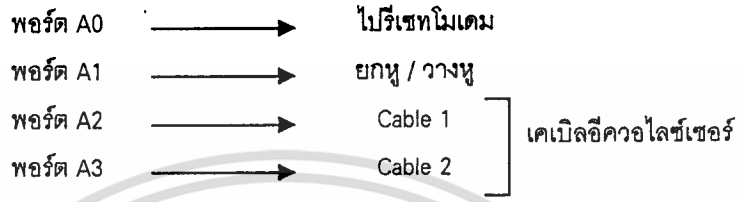
ส่วนการจัดการอินเตอร์รัปต์ที่เกิดจากอุปกรณ์รอบข้างต่างๆ นั้นจะถูกแสดงดังแผนภาพข้างล่าง



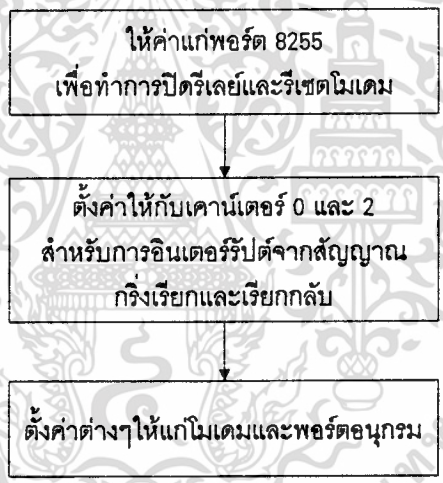
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย T0 และ T2 จะทำงานในโหมดเคาน์เตอร์ซึ่งจะทำให้สามารถตั้งจำนวนครั้งของสัญญาณริงกิงและริงแบ็คได้ แต่ในบางช่วงของการทำงานอาจจะใช้ให้ทำงานในโหมดไทม์เมอร์ได้ เช่นในช่วงที่กำลังสื่อสารซึ่งจะใช้เป็นไทม์เมอร์จับเวลาสำหรับการควบคุมการไหลของข้อมูล

การควบคุมอุปกรณ์รอบข้างต่างๆจะใช้พอร์ต 8255 พอร์ต A เป็นส่วนควบคุมดังแสดงข้างล่าง



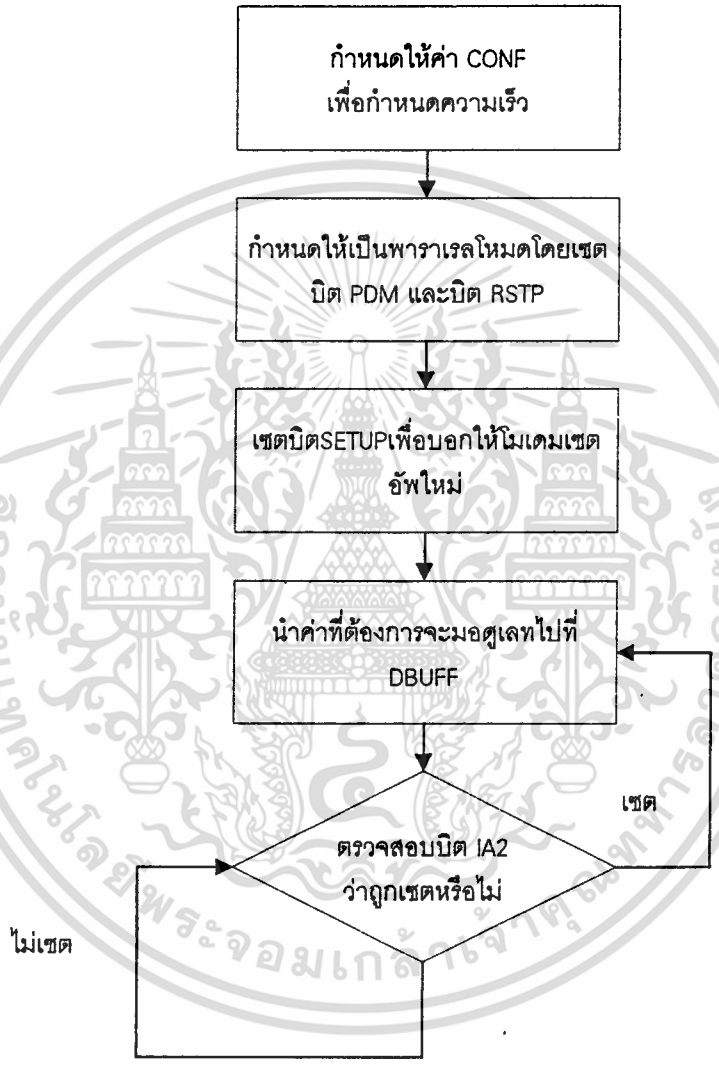
กระบวนการการทำงานของไมโครคอนโทรลเลอร์เริ่มต้นจากการกำหนดค่าเบื้องต้นต่างๆให้กับระบบ



รูปที่ 3.9 ลำดับการทำงานเมื่อเริ่มเปิดเครื่องอย่างกว้างๆ

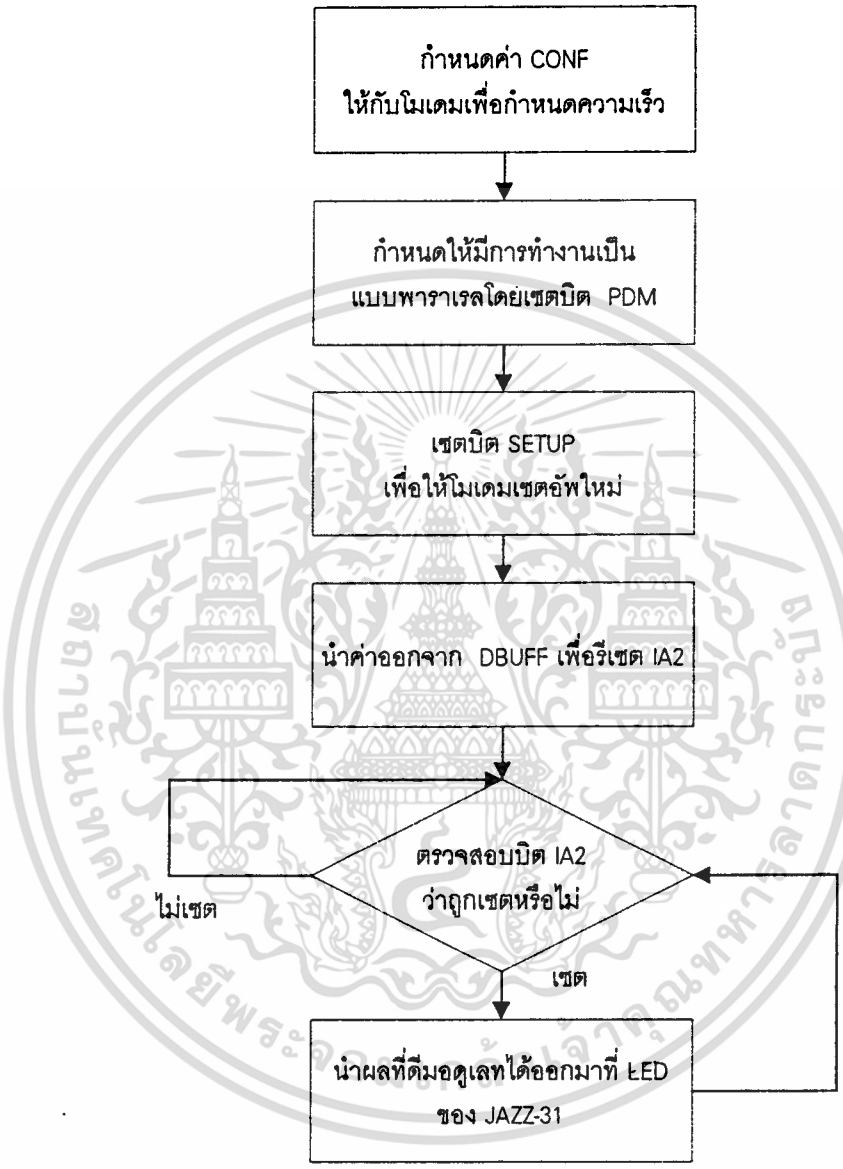
ในการมอดูเลทจะทำตามลำดับโปรแกรมตามรูปที่ 3.10 ส่วนการดีมอดูเลทจะทำตามลำดับในรูปที่ 3.11 ผลการทดลองจะเป็นไปตามในบทที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 ลำดับการทำงานในการมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

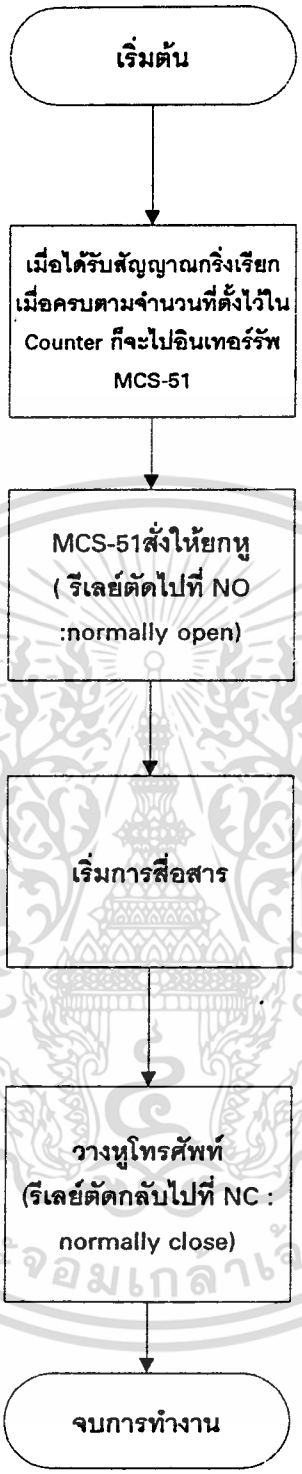


รูปที่ 3.11 ลำดับการทำงานในการดีมอดูเลทและแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

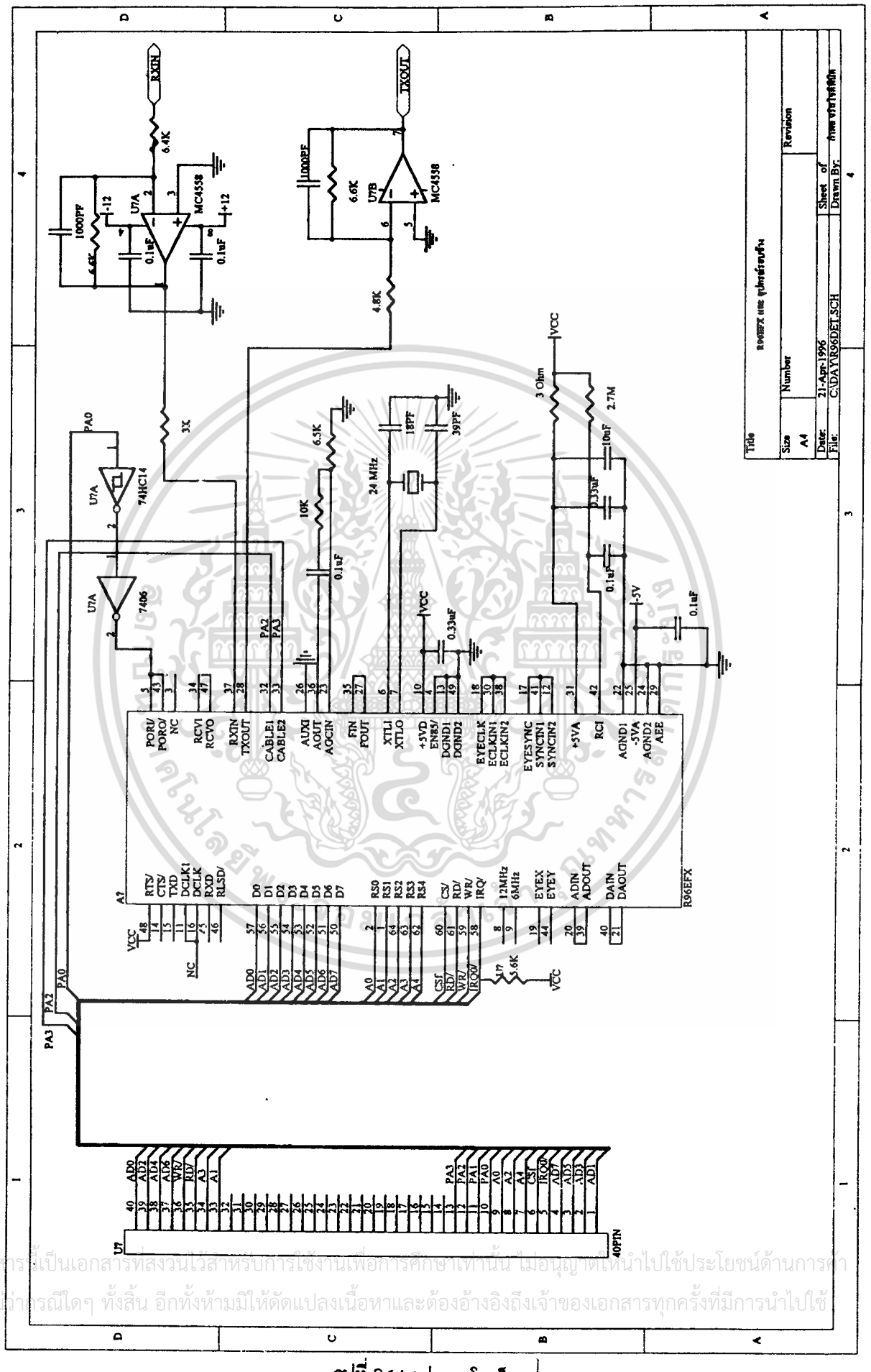
รูปที่ 3.12 ลำดับการทำงานของโหมดการเรียกออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



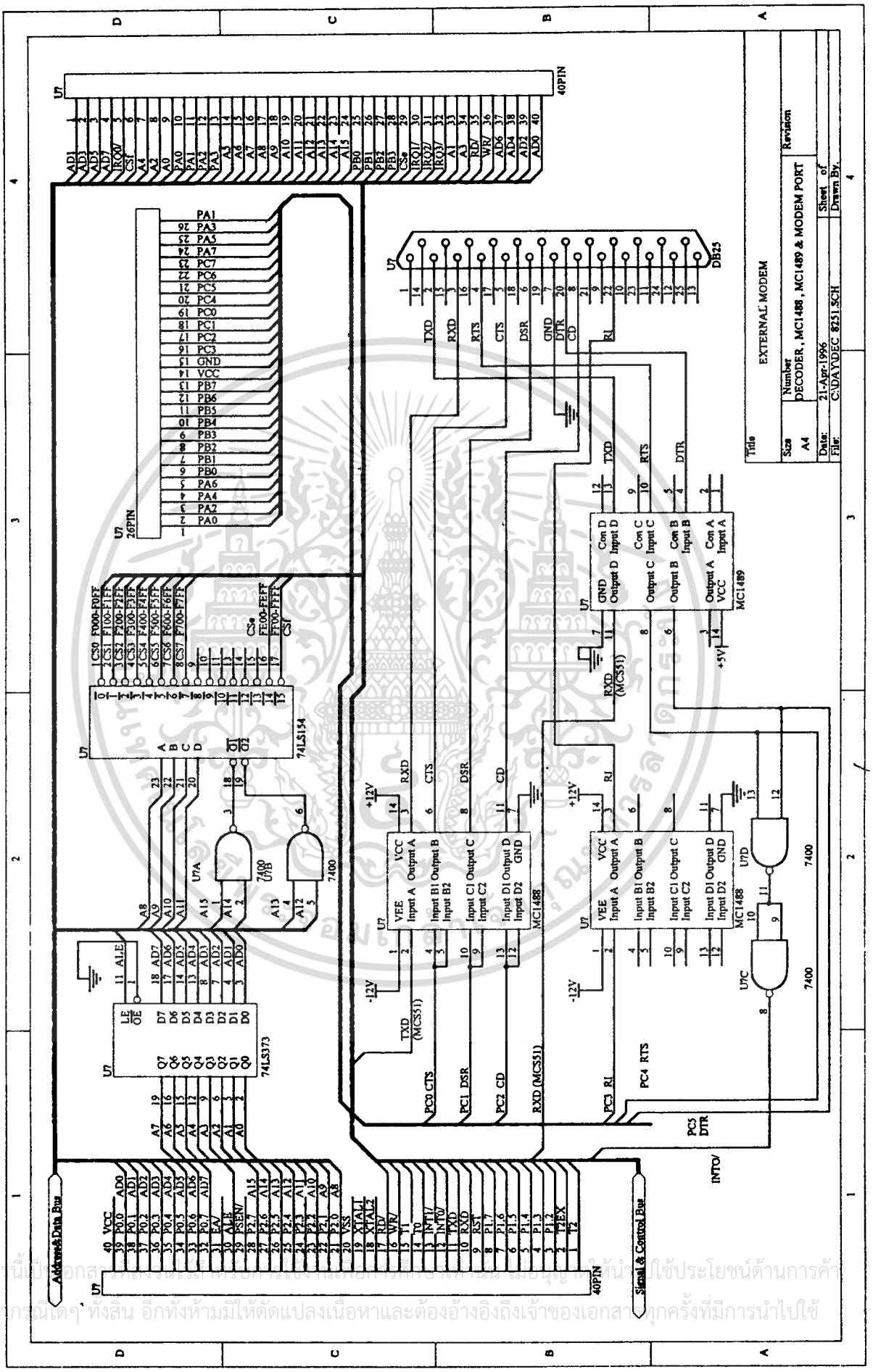
รูปที่ 3.13 ลำดับการทำงานของโหมดการตอบรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



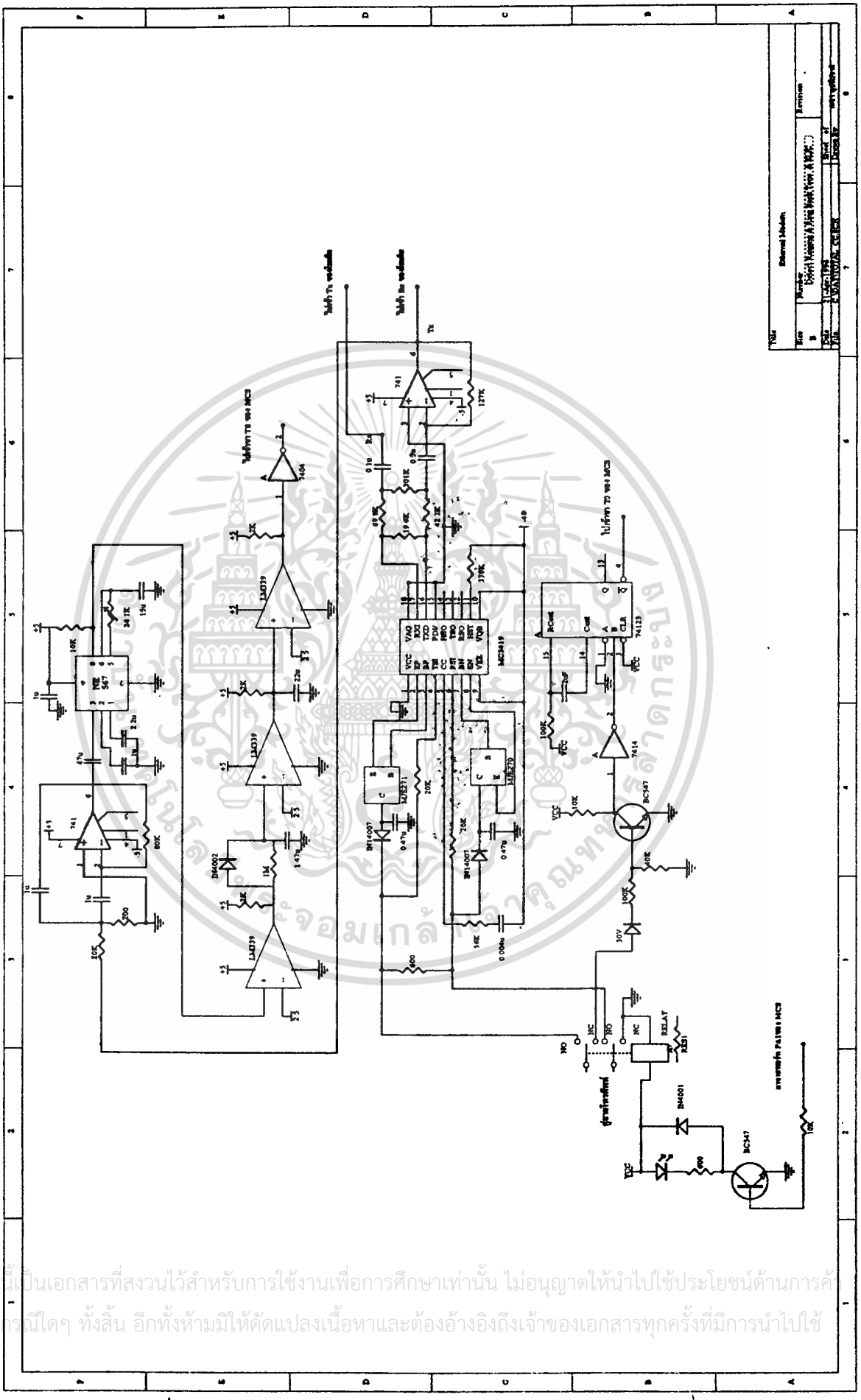
รูปที่ 3.14 รูปวงจรโมเด็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 รูปวงจรดีโคดเดอร์, LATCH, V.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



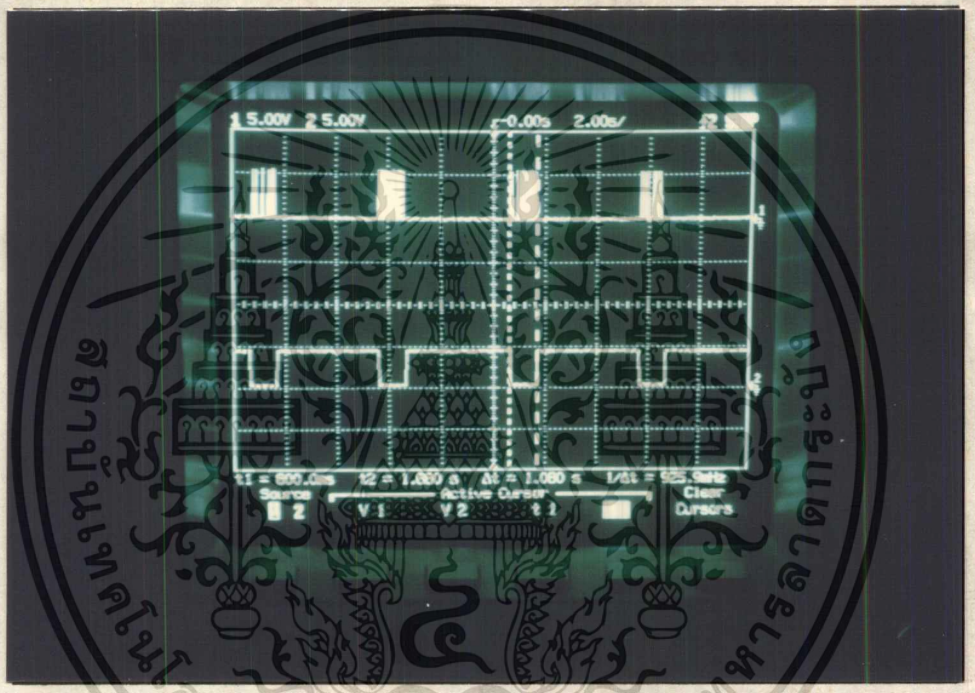
รูปที่ 3.16 **วงจรตรวจสอบสัญญาณ** Ringing & Ring back Tone & SLIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

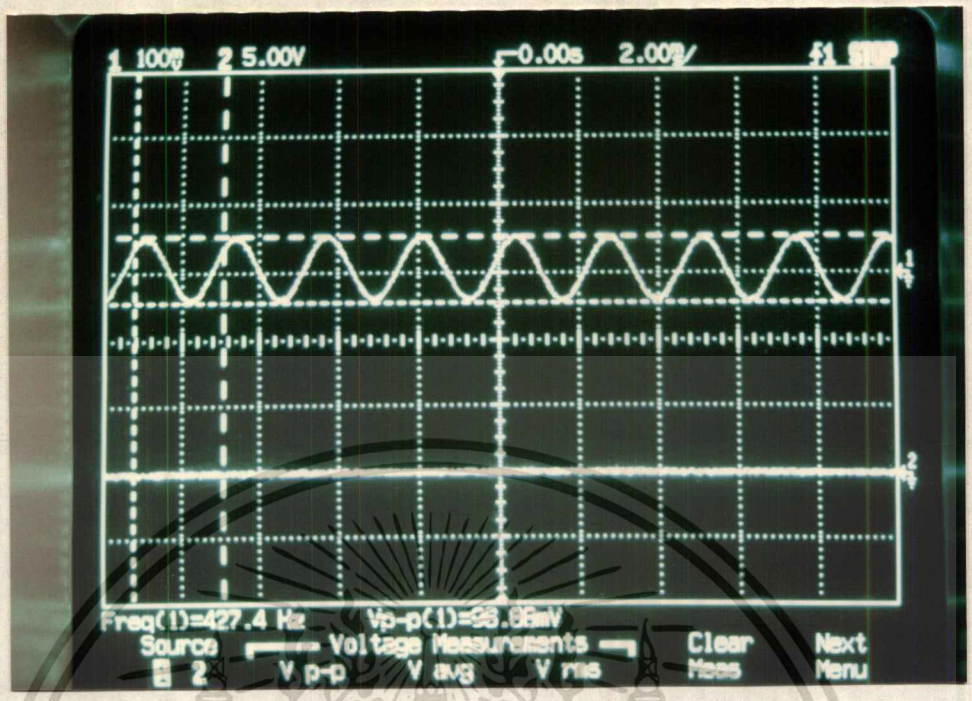
4.1 การทดลองวงจรตรวจจับสัญญาณกริ่งเรียก รูปที่ 4.1 แสดงผลการทดลองโดยแชนแนลที่หนึ่งจับที่ขา 1 ของ 7414 และ แชนแนลที่2 จับที่ ขา 4 ของ 74123 คาบเวลาที่ได้ มีค่า 1 วินาทีและ 4 วินาทีตามสัญญาณกริ่งเรียก



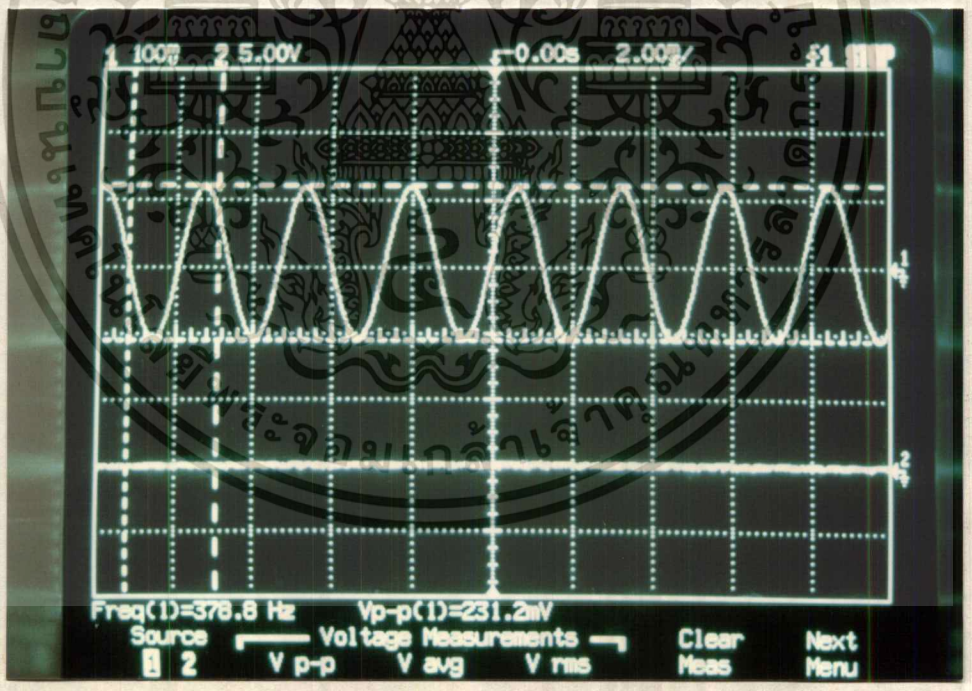
รูปที่ 4.1 แสดงการตรวจจับสัญญาณกริ่งเรียก

4.2 วงจรตรวจจับสัญญาณเรียกกลับ รูปที่ 4.2 ถึง 4.3 แสดงการทดลองโดยใช้เครื่องกำเนิดความถี่ (Function Generator) ป้อนสัญญาณความถี่ในย่าน 380-450 Hz ที่ขนาดสัญญาณ 400มิลลิโวลท์ จำลองการทำงานเมื่อมีสัญญาณเรียกกลับ รูปแสดงถึงความถี่ที่เป็นขอบด้านความถี่สูงและด้านความถี่ต่ำที่ทำให้วงจรยังสามารถตรวจจับได้ โดยแชนแนล 1 จับที่ขาเอาท์พุทของ 741 และแชนแนลที่ 2 จับที่ เอาท์พุทของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



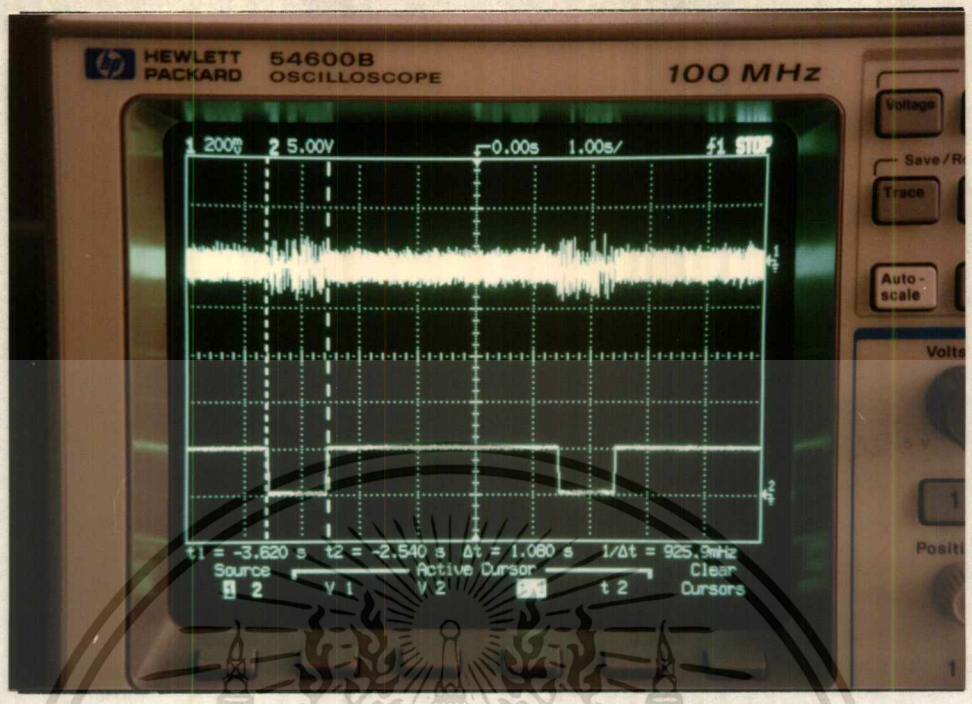
รูปที่ 4.2 ความถี่สูงสุดที่สามารถตรวจจับได้



รูปที่ 4.3 ความถี่ต่ำสุดที่สามารถตรวจจับได้

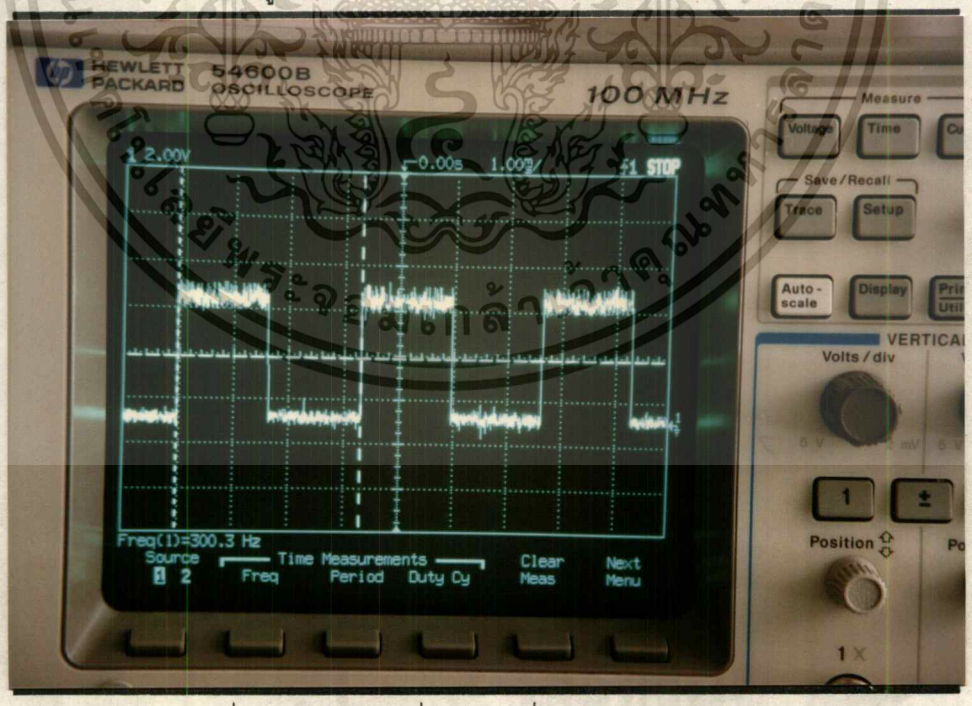
รูปที่ 4.4 แสดงการตรวจจับสัญญาณเรียกกลับที่ได้มาจากคู่สายโทรศัพท์ โดยผ่านวงจร SLIC ก่อน และแชนแนล 1 จับที่ เอาท์พุทของวงจร SLIC แชนแนลที่ 2 จับที่เอาท์พุทของวงจรตรวจจับสัญญาณเรียกกลับ คาบเวลาที่วัดได้ 1 วินาทีและ 4 วินาทีเป็นเสียงสัญญาณเรียกกลับ

เอกสารนี้เป็นลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ได้รับอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



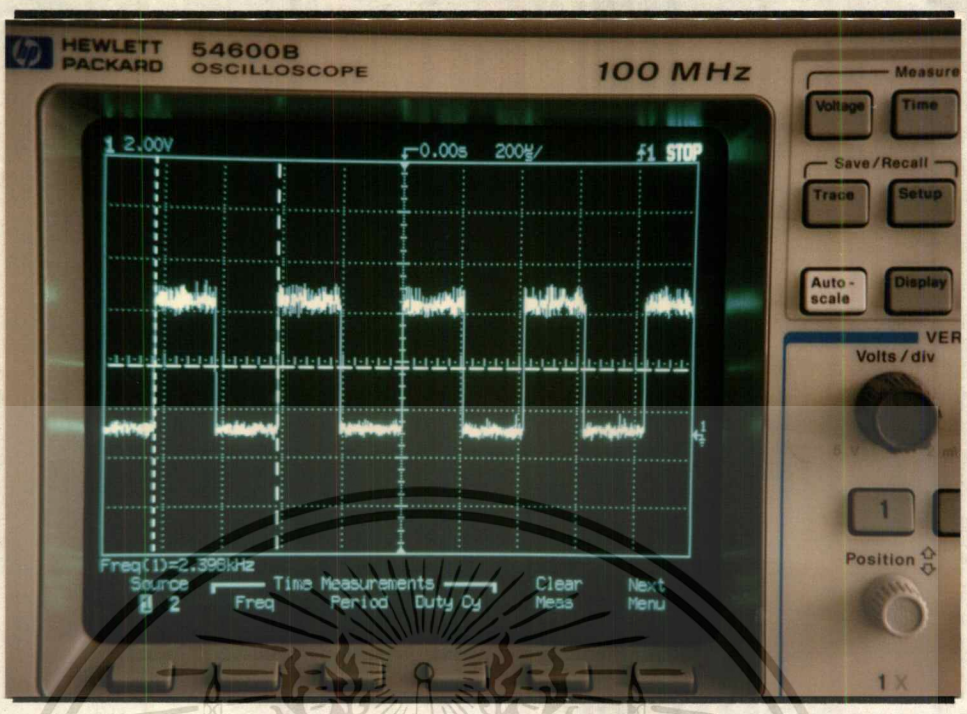
รูปที่ 4.4 แสดงสัญญาณที่ตรวจจับได้

4.3ผลการทดลองกับไอซี R96EFX รูปที่ 4.5 และ 4.6 แสดงคล็อกที่ออกมาจาขา DCLK ของ ไอซีซึ่งจะเปลี่ยนตามเมื่อเปลี่ยนโหมดการมอดูเลท



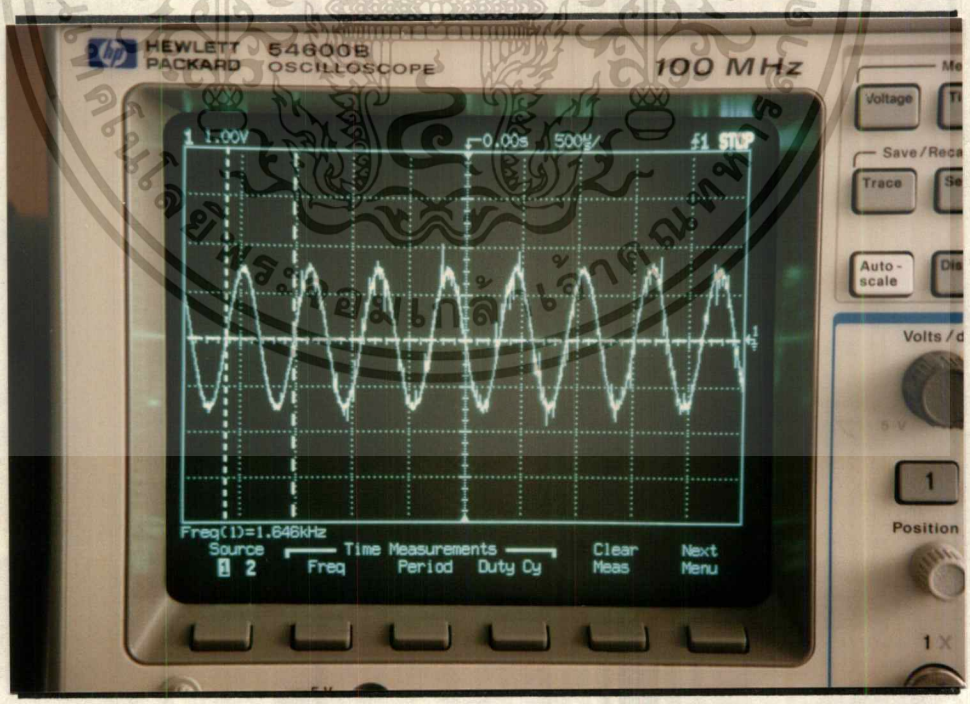
รูปที่ 4.5 คล็อกความถี่ 300 Hz ที่วัดได้จากขา DCLK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



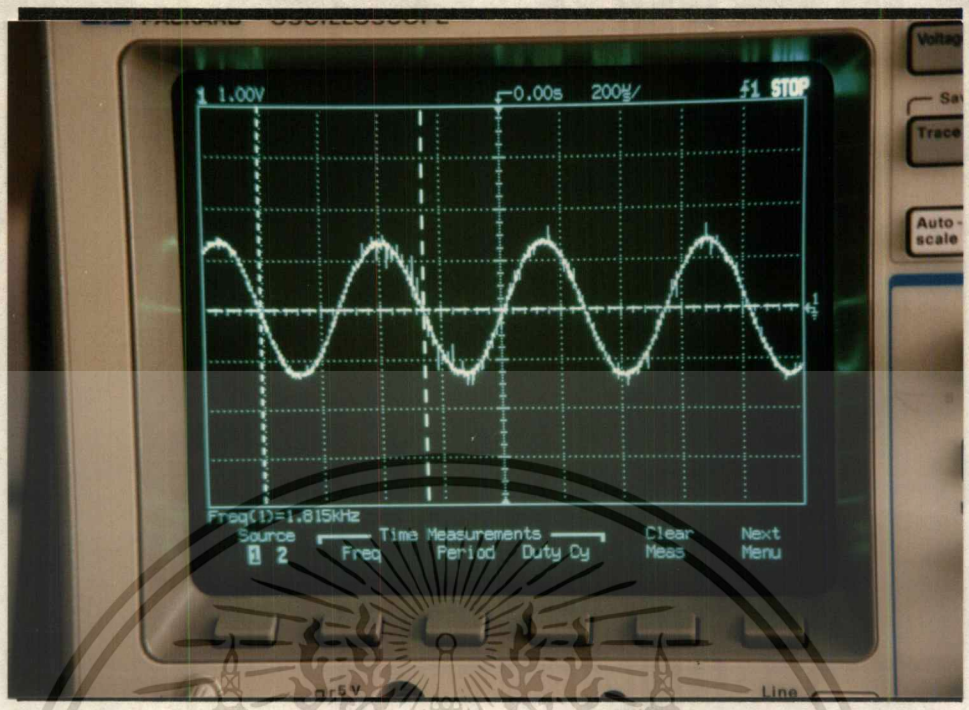
รูปที่ 4.6 คล็อกความถี่ 2400 Hz ที่วัดได้จากขา DCLK

รูปที่ 4.7 -4.9 แสดงการมอดูเลทตามมาตรฐาน V.21 แชนแนล 2 ที่ความถี่ 1650 Hz และ 1850Hz วัดที่ขา 7 ของ MC4558 ในวงจร

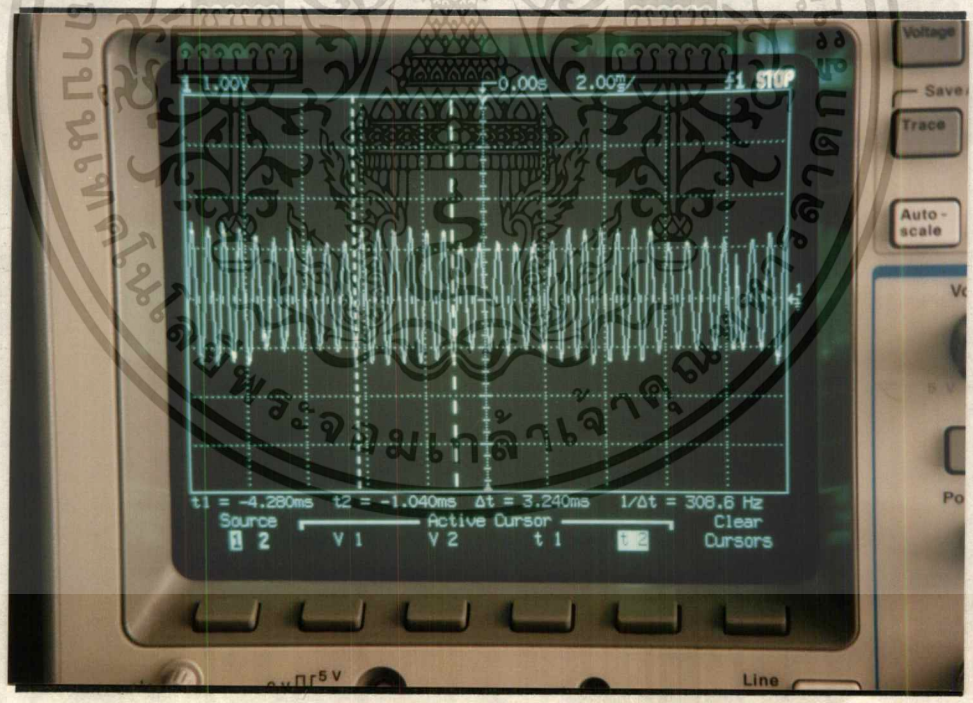


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.7 แสดงสัญญาณที่มอดูเลทด้วยค่า "1" ทุกบิทซึ่งได้ความถี่ 1650 Hz



รูปที่ 4.8 แสดงสัญญาณที่มอดูเลทด้วยค่า "0" ซึ่งได้ความถี่ 1850 Hz

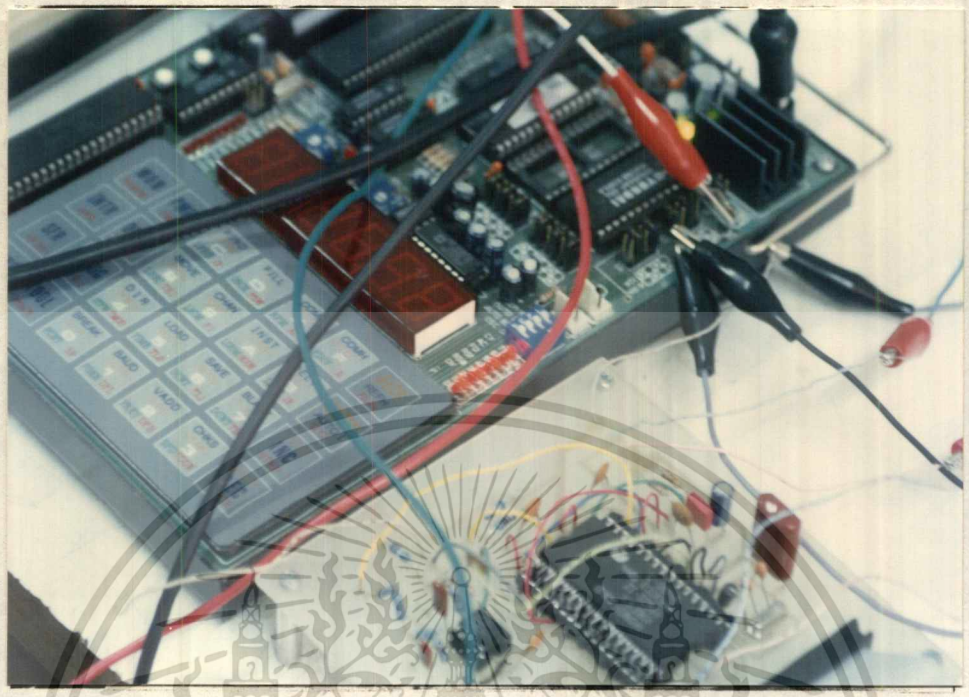


รูปที่ 4.9 แสดงการมอดูเลทด้วยค่า "1"สลับ "0" คาบเวลาที่วัดได้เท่ากับเวลา 1 บิท

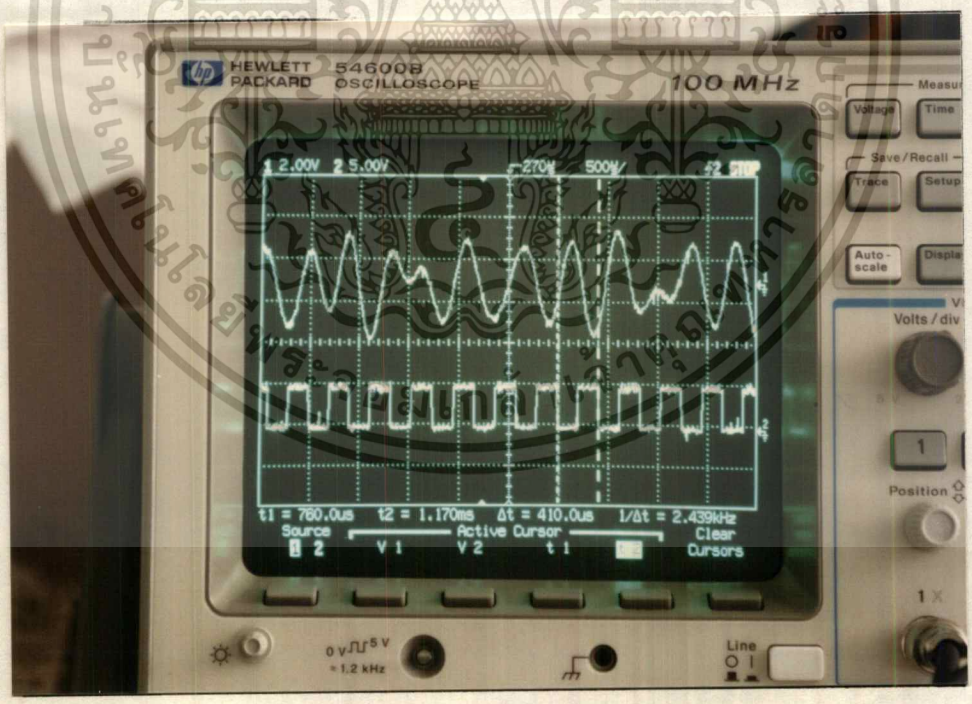
รูปที่ 4.10 แสดงการดีมอดูเลทแล้วแสดงค่าออกมาทาง LED ของบอร์ด JAZZ-31 ด้วยค่า "0"สลับ "1" ที่ความเร็ว 300 บิตต่อวินาที รูปที่ 4.11 แสดงการมอดูเลทตามมาตรฐาน V.27 ความเร็ว 2400 บิต ต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยวิธีการ เฟสชิพคีย์อิงค์ โดยแสดงผลพร้อมคล็อกที่ออกมา



รูปที่ 4.10 แสดงการดีมอดูเลทและแสดงค่าออก LED

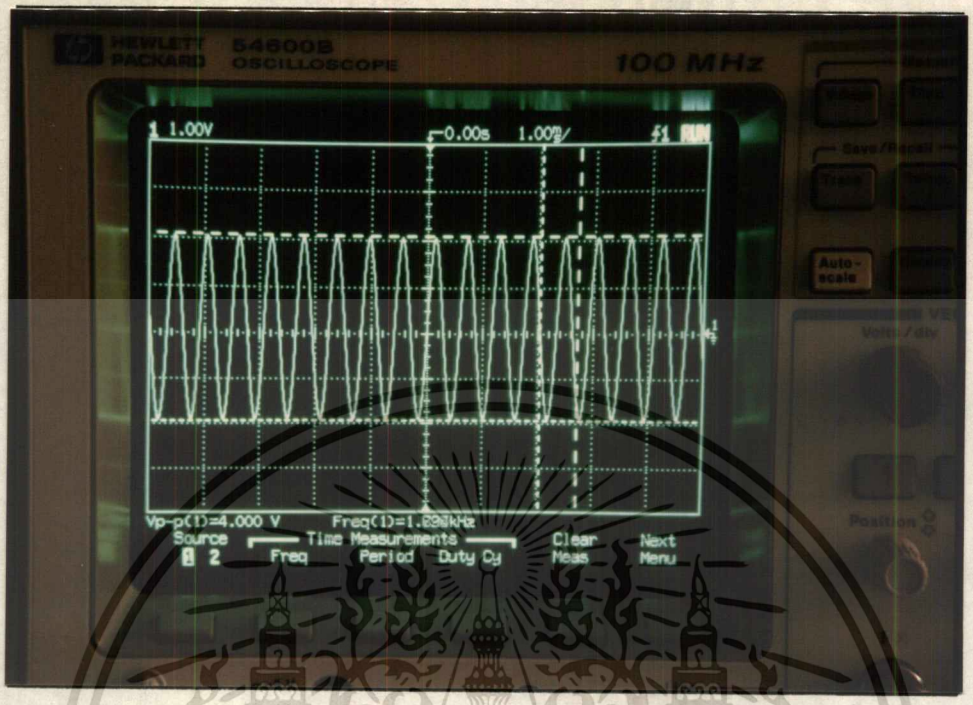


รูปที่ 4.11 แสดงการม่อดูเลทที่ความเร็ว 2400 บิตต่อวินาที

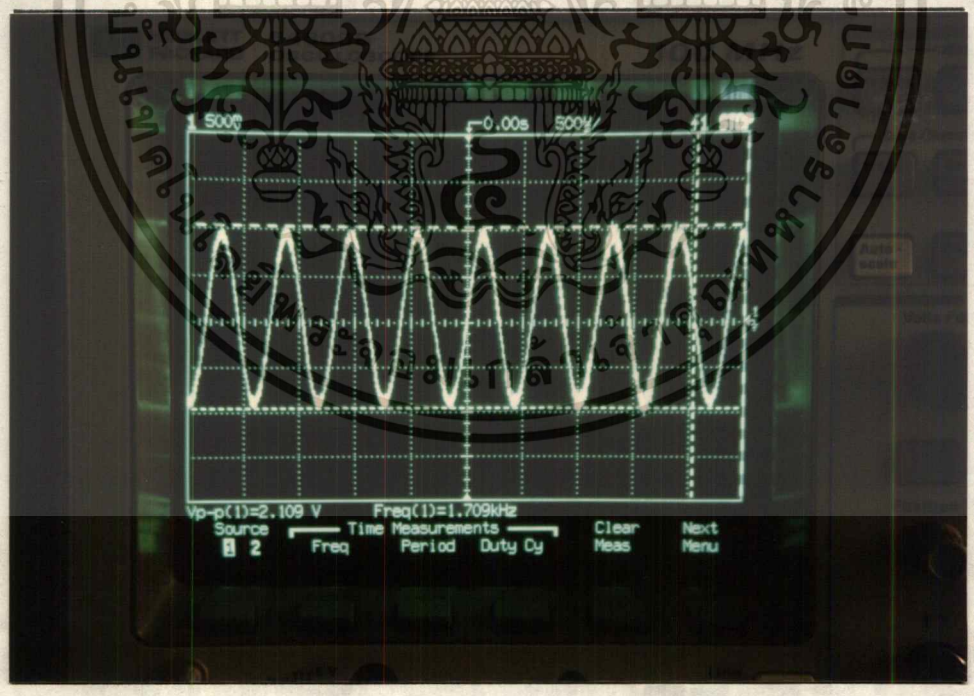
เอกสารนี้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของผลงานทุกครั้งที่มีการนำไปใช้

4.4 ผลการทดลองกับวงจร SLIC

4.4.1ผลก้ารทดลองการรับสัญญาณทาง SLIC ในรูปที่ 4.12 แสดงสัญญาณทางด้านที่ป้อนเข้า SLIC โดยใช้ C คัปปลิ้งเอา DC ออก รูปที่ 4.13 แสดงสัญญาณที่ออกมาหลัง SLIC สังเกตโวลท์เทจที่ออกมา



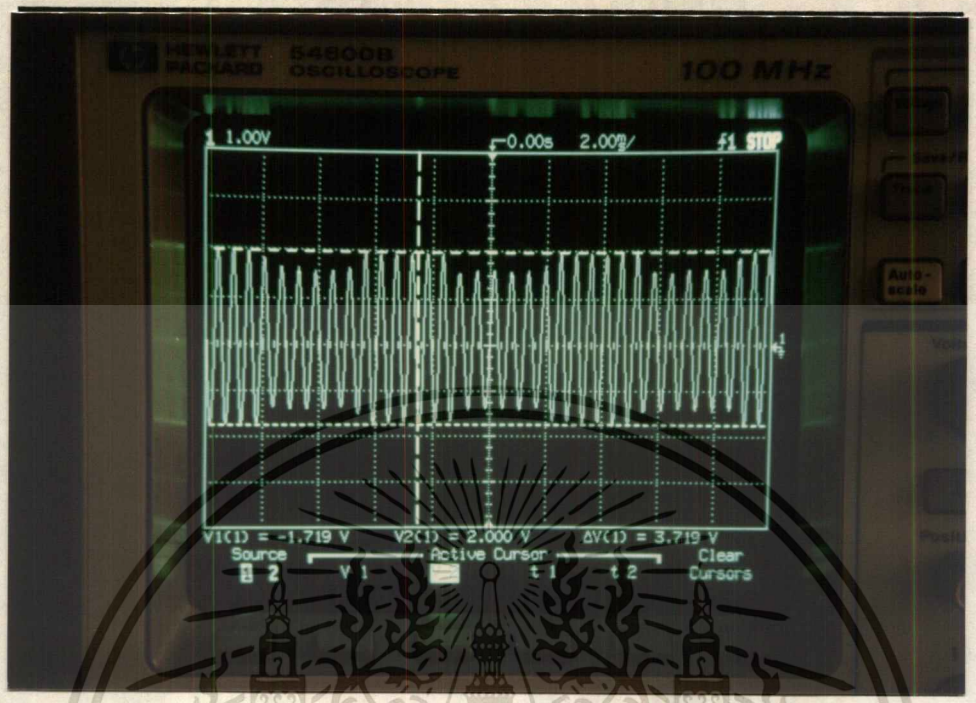
รูปที่ 4.12 สัญญาณป้อนเข้า SLIC



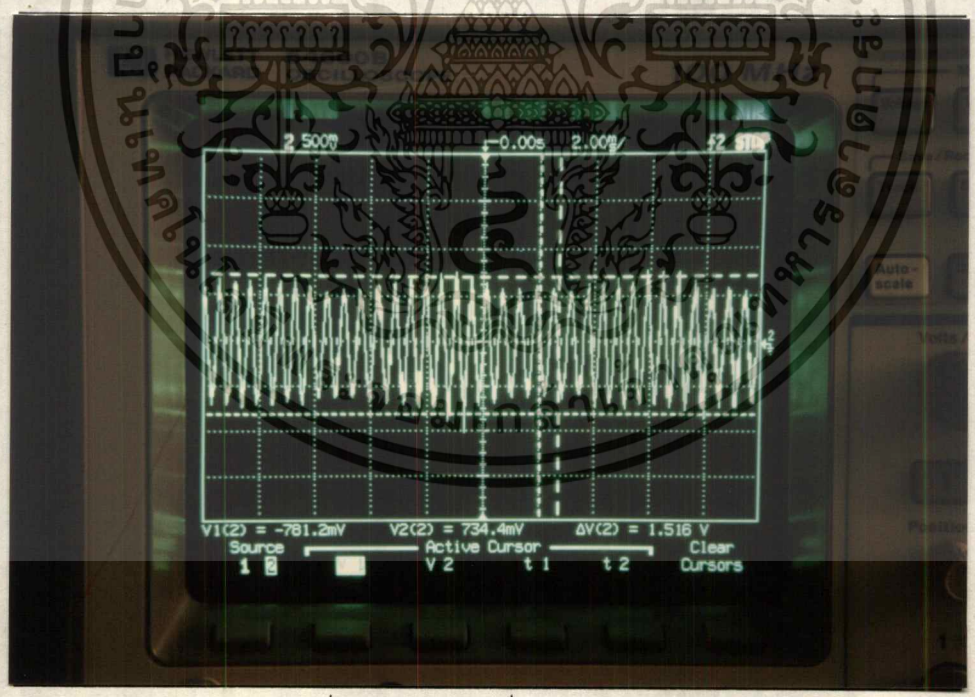
รูปที่ 4.13 แสดงสัญญาณที่วัดได้ที่ขา Tx ของ SLIC

รูปที่ 4.14 แสดงสัญญาณที่มอดูเลทออกมาจากโมเดม รูปที่ 4.15 แสดงสัญญาณที่ออกมาจาก SLIC วัดที่ Tip และ Ring ใช้ C คัปปลิ้ง สังเกตการลดทอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



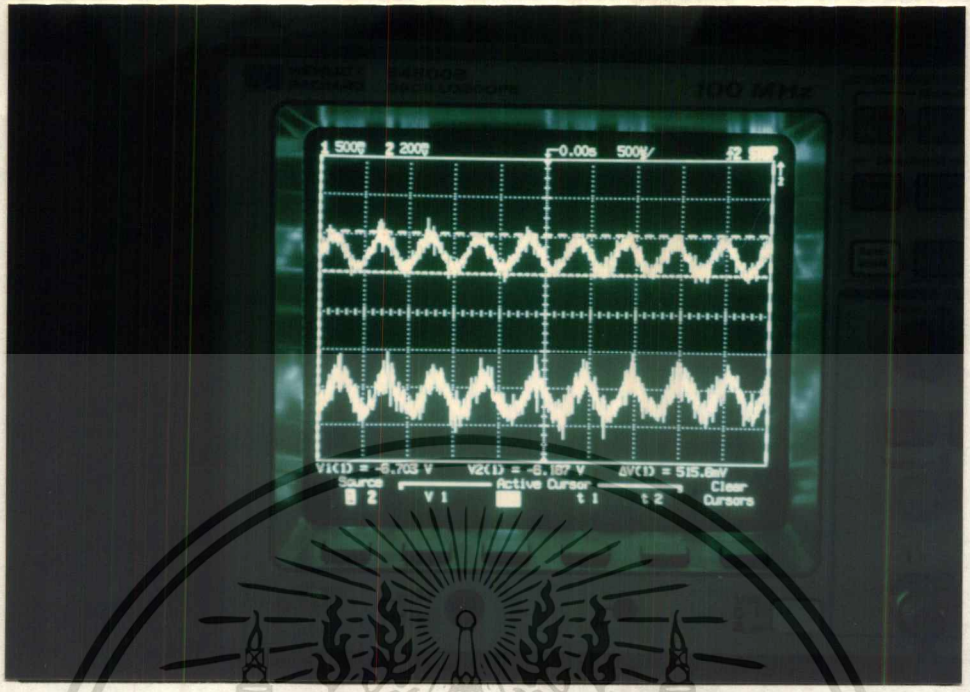
รูปที่ 4.14 แสดงสัญญาณที่มอดูเลทออกมาจากโมเดม



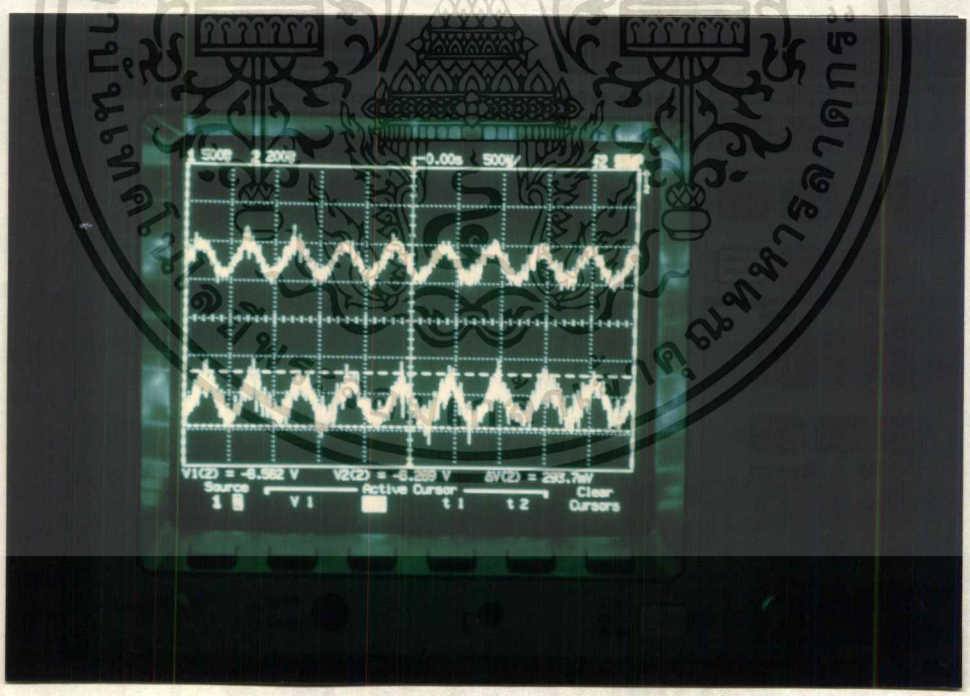
รูปที่ 4.15 สัญญาณที่ออกมาจาก SLIC

รูปที่ 4.16 และ 4.17 แสดงระดับสัญญาณเมื่อเชื่อมต่อเข้ากับสายโทรศัพท์จาก PBX แชนแนลที่ 1 จับที่เครื่องที่ส่ง โดยใช้อุปกรณ์โมเดมที่สร้างขึ้น แชนแนลที่ 2 จับที่ เครื่องที่รับโดยใช้โทรศัพท์ ผลแสดงให้เห็นการลดทอน เมื่อลองฟังสัญญาณจากทางโทรศัพท์เสียงที่ออกมาเปลี่ยนไปตามค่าที่ส่งออก (1650 Hz กับ 1850 Hz)

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ห้ามคัดลอกหรือดัดแปลงในกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



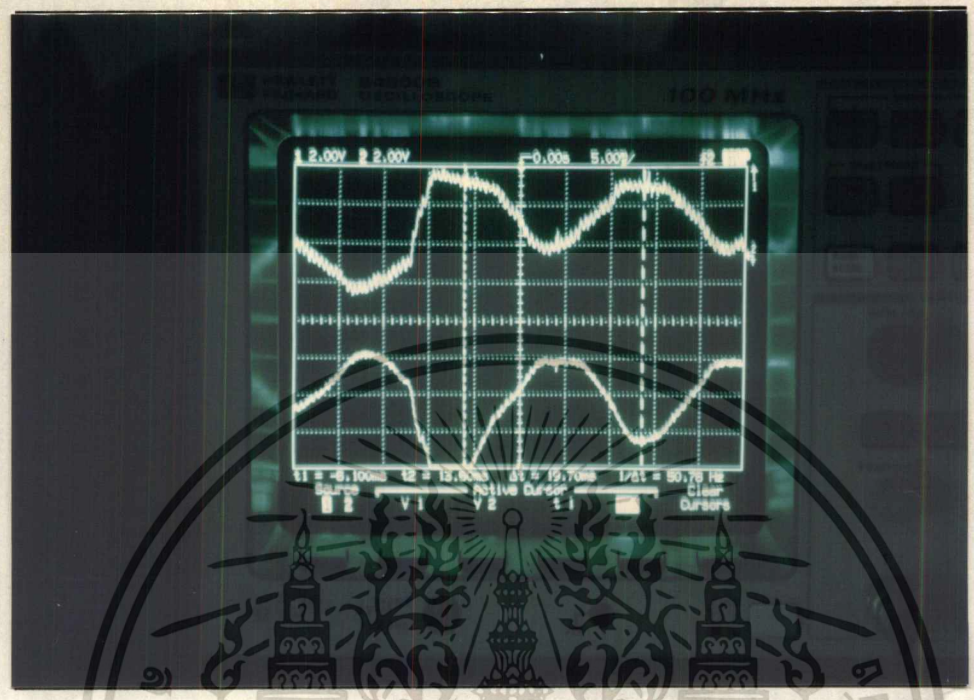
รูปที่ 4.16 แสดงสภาพสัญญาณเมื่อต่อเข้ากับ PBX



รูปที่ 4.17 แสดงสภาพสัญญาณเมื่อต่อเข้ากับ PBX

รูปที่ 4.18 รูปสุดท้าย แสดงการเชื่อมต่อออกสู่ชุมสายภายนอก ไม่สามารถแสดงรายละเอียดได้มากกว่านี้เนื่องจากมีสัญญาณต่ำมากเมื่อเทียบกับความถี่ 50 Hz ที่คร่อมอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 สัญญาณเมื่อเชื่อมต่อออกสู่ชุมสายภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุป

ผลการทดลองที่ออกมาสรุปได้ดังนี้

- สามารถเปลี่ยนโหมดการทำงานของ R96EFX ได้
- สามารถมอดูเลท/ดีมอดูเลทได้
- สามารถดีเทคสัญญาณริงกิ้งและริงแบ็คได้
- สามารถเชื่อมต่อผ่านสายโทรศัพท์ได้
- ยังไม่สามารถหมุนหมายเลขโทรศัพท์ได้

เหตุผลที่ยังไม่สามารถสร้างสัญญาณ DTMF มาทำการหมุนโทรศัพท์ได้นั้น เนื่องจากข้อมูลที่ทางบริษัทผลิตไอซีให้มานั้นไม่เพียงพอต่อการเขียนโปรแกรมควบคุมการทำงาน

กล่าวโดยสรุปคือ การทำงานของระบบที่ออกแบบไว้นั้นสามารถทำงานได้หลายส่วนแล้วเพียงแต่ยังคงต้องพัฒนาในส่วนที่เป็นซอฟท์แวร์ที่ใช้ในการควบคุมการทำงานที่ต้องเขียนให้ทำงานได้จริง (หรือใกล้เคียงของจริง) ซึ่งแบ่งได้เป็นดังนี้

1.ซอฟท์แวร์ในส่วนที่รับคำสั่ง AT

2.ซอฟท์แวร์ในส่วนทำจัดการข้อมูล การบัฟเฟอร์ข้อมูล การทำดาต้าลิงค์

นอกจากนี้ในส่วนที่เป็นฮาร์ดแวร์ยังต้องแก้ปัญหาเกี่ยวกับวงจรอินเตอร์เฟสกับสายโทรศัพท์ ซึ่งในปริญญานิพนธ์นี้ยังทำได้ไม่ดีพอที่จะสามารถส่งสัญญาณผ่านสายโทรศัพท์ไปได้โดยให้มีการสูญเสียน้อยที่สุด ส่วนวงจรอื่นๆ นั้นสามารถทำงานได้ผลเป็นที่น่าพอใจ

แนวทางในการพัฒนา

แนวทางในการพัฒนามีอยู่ด้วยกันหลายแนวทางดังนี้

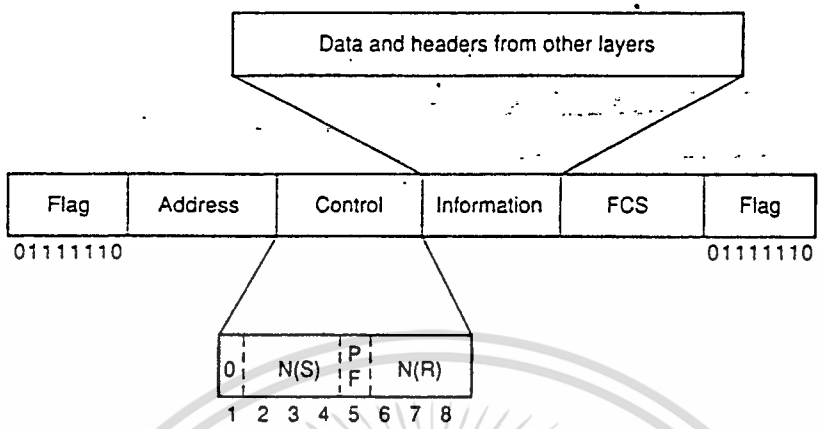
- การพัฒนาในส่วนที่เป็นส่วนควบคุม คือ ให้ขยายความสามารถให้ทำงานได้เร็วขึ้นและมีหน่วยความจำมากขึ้น โดยการเปลี่ยนจากไมโครคอนโทรลเลอร์ 8 บิทเป็น 16 บิท เช่น ตระกูล MCS96 , ตระกูล 68000 ของโมโตโรล่า

- การพัฒนาในส่วนที่เป็นการมอดูเลท/ดีมอดูเลท ให้สามารถทำการส่งในรูปแบบฟูลดูเพล็กซ์ได้ เพิ่มความสามารถในการมอดูเลทให้สามารถมอดูเลทได้ในความเร็วสูงๆผ่านสายโทรศัพท์ได้

- การพัฒนาในส่วนที่เป็นซอฟท์แวร์ ยกตัวอย่างเช่น การทำให้โมเดมสามารถรับคำสั่ง AT ได้ การบีบอัดข้อมูล การควบคุมการไหลของข้อมูลการตรวจสอบความผิดพลาดการร้องขอให้ส่งใหม่ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการควบคุมการไหลของข้อมูลนั้น จะใช้รูปแบบเฟรมของ HDLC ซึ่ง R96EFX นั้นสามารถรองรับการทำงานในรูปแบบนี้ได้ (รายละเอียดอยู่ในภาคผนวก) ซึ่งจะมีรูปแบบดังข้างล่าง



Flag: Delineates beginning and ending of frame
Address: Identifies link station
Control: Used for sequencing, flow control
Information: User data or control headers
FCS: Frame check sequence (for error checking)
N(S): Sending sequence number
N(R): Receiving sequence number
P/F: The poll or final bit

รูปที่ 5.1 องค์ประกอบของเฟรม HDLC

ในส่วนControlจะมีรูปแบบที่ใช้แตกต่างกันตามจุดประสงค์การใช้งานดังแสดงในรูปแบบต่างๆ รายละเอียดสามารถศึกษาเพิ่มเติมได้จากหนังสือ V series recommendation และรายชื่อตามบรรณนานุกรม

- การพัฒนาเพิ่มเติมให้สามารถรับแฟกซ์ได้

ในการทำปริญญานิพนธ์นี้ได้ทำให้ทราบถึงระบบการทำงานต่างๆของระบบโมเด็มซึ่งทำให้ทราบว่าเราไม่สามารถจะทำให้เสร็จสมบูรณ์ได้ภายในเวลาอันสั้น และนอกจากนี้ยังต้องทราบรายละเอียดมาตรฐานต่างๆจาก CCITT และอาจต้องค้นคว้ารายละเอียดจากบริษัทผู้ผลิต ซึ่งจะทำให้สามารถพัฒนาระบบต่างๆได้มากขึ้น ทางกลุ่มได้พยายามศึกษาทำความเข้าใจกับระบบการทำงานของโมเดมชนิดติดตั้งภายนอกนี้เท่าที่จะทำได้ ทั้งส่วนที่เป็นการมอดูเลทดีมอดูเลทตลอดจนการควบคุม การจัดการการไหลของข้อมูล ทางกลุ่มที่จัดทำปริญญานิพนธ์นี้หวังว่าปริญญานิพนธ์ฉบับนี้จะเป็นประโยชน์ต่อการศึกษาของนักศึกษารุ่นต่อๆไป ถึงแม้ว่าไม่สามารถจัดทำได้บรรลุจุดประสงค์มากนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R96EFX 9600bps MONOFAX Modem

ไอซีเบอร์ R96EFX เป็นไอซีสำหรับการมอดูเลท-ดีมอดูเลท สัญญาณในการสื่อสารระหว่างเครื่องโทรสาร ซึ่งเป็นที่นิยมใช้กันอย่างแพร่หลายในปัจจุบัน

1.คุณสมบัติโดยทั่วไป

-มีตัวถังแบบ 64 ขา quak-in-line package (QUIP)

-ส่งในมาตรฐานของ CCITT ที่ V.29 ,V.27, T.30, V.21 Channel 2, T3 และ T4

-ใช้ในการรับส่ง FAX ในกลุ่ม2 (Group 2) และ กลุ่ม3 (Group 3)

-ใช้กับระบบการสื่อสารแบบ Half Duplex (2 เส้น)

-สามารถโปรแกรมสัญญาณเรียกโทรศัพท์ (Dual Tone Generation)

-ใช้กับการสื่อสารแบบ HDLC ที่ทุกความถี่

-สามารถโปรแกรมการขออินเตอร์รัปต์ได้

-สามารถตรวจสอบความเพี้ยนของสัญญาณได้

-การ Equalization สามารถทำได้ทั้งในแบบอัตโนมัติ และใช้การเลือกจากขา Cable ทางฮาร์ดแวร์

-การเชื่อมต่อกับ DTE สามารถเลือกใช้ได้ทั้ง 2 ทางคือ

1.ต่อกับไมโครโปรเซสเซอร์ (6500 หรือ 8085) ผ่านทาง slot

2.ใช้การเชื่อมต่อตามมาตรฐานของ CCITT V.24

-ใช้ได้ทั้ง TTL และ CMOS

-ใช้พลังงานต่ำ :500 mW

2.คุณสมบัติทางเทคนิค

2.1 ความสามารถในการส่งของ R96

R96 สามารถส่งข้อมูลได้หลายแบบดังตารางที่ 1

มาตรฐานในการส่ง	การมอดูเลท	ความถี่พาหะ (Hz)	จำนวนบิตต่อวินาที	จำนวนสัญญลักษณ์ (baud)	จำนวนบิตต่อสัญญลักษณ์	จำนวนสัญญสักษณ์
V.29 9600	QAM	1700	9600	2400	4	16
V.29 7200	QAM	1700	7200	2400	3	8
V.29 4800	QAM	1700	4800	2400	2	4
V.27 4800	DPSK	1800	4800	1600	3	8
V.27 2400	DPSK	1800	2400	1200	2	4
V.21 300	FSK	1650,1850	300	300	1	–
T.3 (G2)	VSAMPM	2100	–	–	–	–

ตารางที่ 1 แสดงความสามารถในการมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การสร้างสัญญาณความถี่ (Tone Generate)

ด้วยความควบคุมของผู้ใช้งาน โมเดมสามารถสร้างความถี่ในย่านความถี่เสียง ทั้งแบบความถี่เดียว (Single Tone) และความถี่ผสม (Dual Tone) ได้ตั้งแต่ 0 Hz ถึง 4800 Hz ด้วยความแม่นยำ (accuracy) ถึง 0.01% โดยสัญญาณความถี่ที่สูงกว่า 3000 Hz จะถูกลดทอนลงไปเรื่อยๆ การสร้างสัญญาณ Dual Tone จะทำให้ผู้ใช้งานสามารถสร้างสัญญาณหมุนโทรศัพท์ (DTMF-Fual Tone Frequency)ได้เอง เพื่อใช้ในการส่งแฟกซ์ผ่านโครงข่ายโทรศัพท์สาธารณะ

2.3 การทำอีควอไลซ์เซชั่นในสายส่ง

การทำอีควอไลซ์เซชั่นจะช่วยปรับปรุงการส่งข้อมูลให้ดีขึ้น ในขณะที่สายส่งมีคุณภาพต่ำ ซึ่ง R96EFX สามารถให้ผู้ใช้เลือกกสนอีควอไลซ์เซชั่น โดยผ่านขาทาง CABLE1 และ CABLE2 ของไอซี โดยการป้อน +5V หรือ 0V โดยคุณลักษณะของการอีควอไลซ์เซชั่นเป็นดังตารางที่ 2

ความถี่ (Hz)	อัตราขยาย (dB) ที่ 1700 Hz สำหรับสายส่ง ขนาด 0.4 มม.			
	0	1.8 กม.	3.6 กม.	7.2 กม.
700	0.00	-0.99	-2.39	-3.93
1500	0.00	-0.20	-0.65	-1.22
2000	0.00	+0.15	+0.87	+1.90
3000	0.00	+1.43	+3.06	+4.58

ตารางที่ 2 แสดงโดยคุณลักษณะของการทำอีควอไลซ์เซชั่น

2.4 เวลาที่ใช้ในการ turn-on / turn-off แสดงไว้ในตารางที่ 3

	RTS/ On to CTS/ On		Turn Off Time from RTS/ Off	
Configuration	Echo Protector Tone Disabled	Echo Protector Tone Enabled	Remaining Data and Scrambled 1s	No Transmitted Energy
V.29 all speed	253 ms	441 ms	5 ms	20 ms
V.27 4800 bps	706 ms	913 ms	7 ms	20 ms
V.27 2400 bps	943 ms	1148 ms	10 ms	20 ms
V.21 300 bps	514 ms	514 ms		
Group 2	5400 µs	5400 µs		

ตารางที่ 3 แสดงเวลาที่ใช้ในการ turn- on / turn- off

2.5 ระดับของสัญญาณส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับของสัญญาณเอาท์พุทสามารถโปรแกรมได้ใน DSP RAM ได้จาก 0 dBm ถึง -15 dBmด้วยความแม่นยำ (accuracy) ± 1 dBm ระดับสัญญาณเอาท์พุทจะถูกปรับแต่งโดยโมเดมด้วยวิธีการ scaling ทางดิจิตอลแล้วจึงแปลงจากดิจิตอลเป็นอนาลอกแล้วส่งออกมา

2.6 ระดับของสัญญาณรับ

สัญญาณรับตามมาตรฐาน V.29 และ V.27 กำหนดไว้ที่ระดับตั้งแต่ 0 dBm ถึง -43 dBm โดยจะมี อินพุทบัฟเฟอร์ และฟิลเตอร์ต่ออยู่ระหว่างกัวรับสัญญาณเข้าอนาลอก (RXA) กับขา RxIN ของ R96 ทั้งนี้ระดับของสัญญาณรับตามมาตรฐานจะถูกวัดที่ RXA ค่าเริ่มแรกของระดับการเปลี่ยนแปลงในการ turn-on /turn-off (turn-on / turn-off trheshold) ของสัญญาณที่ขา RLSD คือ -43 dBm และ -48 dBm ตามลำดับ เมื่อวัดที่ความถี่ 2100 Hz ที่ขา RXA เราสามารถโปรแกรมระดับของสัญญาณ Threshold ได้ในย่าน

Turn-on : -10 dBm ถึง -47 dBm

Turn-off : -10 dBm ถึง -52 dBm

2.7 การตรวจจับความถี่ (Tone Detection)

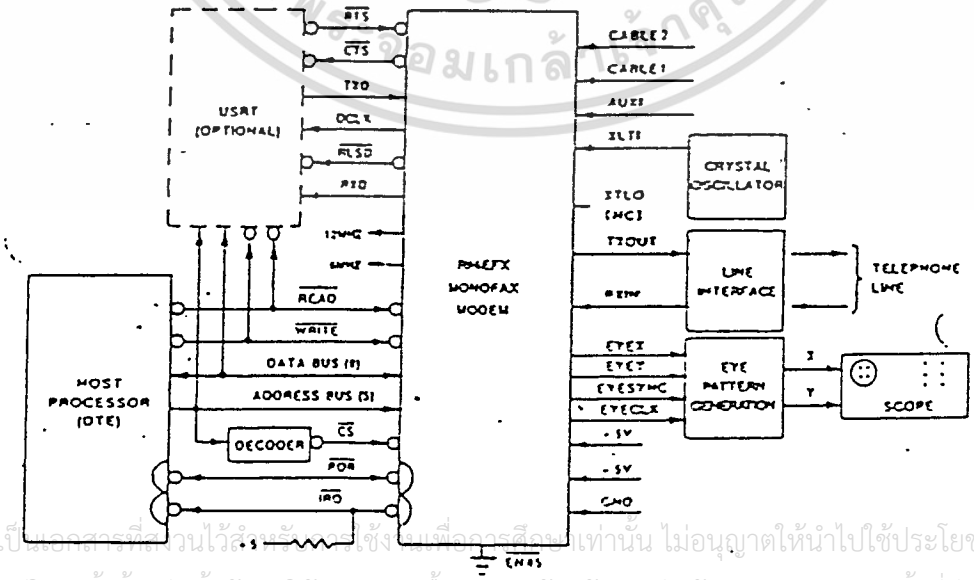
เนื่องจากวงจรตัวจับความถี่ จะแยกจากวงจรหลักของภาครับสัญญาณ จึงทำให้สามารถตรวจจับได้โดยไม่ขึ้นกับสถานะของการรับ ซึ่งจะตรวจจับได้ 3 ระดับ ในทุกระดับในทุกโหมดของการรับค่าลัมประสิทธิ์ของฟิสเตอร์ แต่ละตัวจะสามารถโปรแกรมได้ทาง RAM

3.ฮาร์ดแวร์ของ R96EFX

รูปที่ 2 แสดงส่วนประกอบต่างๆที่ใช้ในการเชื่อมต่อกับโมเดม ซึ่งประกอบด้วยส่วนต่างๆ 8 ส่วนดังนี้

1.แหล่งจ่าย

2.ส่วนเชื่อมต่อกับไมโครโปรเซสเซอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.ส่วนเชื่อมต่อกับ V.24 (RE 232-c)

4.Cable Equalization

5.สัญญาณอนาลอก

6.ส่วนปลีกย่อยอื่นๆ

7.ส่วนสำรอง -ไม่ได้ต่ออะไรเลย

8.ส่วนเชื่อมต่อการตรวจจับทางอนุกรม (Serial diagonostic) ได้แก่ วงจรให้กำเนิดสัญญาณ Eye Pattern ซึ่งต่ออยู่กับ Oscilloscope เพื่อทำการวัด

สำหรับตารางที่ 4 แสดงขาสัญญาณที่ใช้เชื่อมต่อทางฮาร์ดแวร์โดยแบ่งเป็น 8 กลุ่มดังกล่าวข้างต้น

3.1 Power on reset (POR)

เมื่อเริ่มป้อนไฟให้กับโมเดมจะทำให้ขา POR อยู่ในสถานะ "0" และโมเดมก็จ ะพร้อมที่จะใช้งานเมื่อเวลาผ่านไป 350 ms หลังจากที่เปลี่ยนสถานะจาก "0" เป็น "1" และอาจเกิดขึ้นอีกเมื่อแรงดันจ่ายไฟตกจาก 5โวลท์ เหลือต่ำกว่า 3.5โวลท์ เป็นเวลานานกว่า 30 ms หรือเมื่ออุปกรณ์ภายนอกอื่นๆที่ต่อกับ POR เป็นสถานะ "0" อย่างน้อย 3 microsec. ซึ่งหลังจากที่โมเดมผ่านกระบวนการของ POR และพร้อมที่จะทำงานแล้ว โมเดมจะให้ค่าเริ่มต้นต่างๆ แก่หน่วยความจำที่ใช้เชื่อมต่อ (Interface memory) ดังตารางที่ 6 ซึ่งโมเดมจะมีคุณสมบัติเริ่มต้นดังนี้

- เป็น V.29 9600 bps
- ใช้การส่งผ่านข้อมูลแบบอนุกรม (ผ่าน RS 232-c)
- เป็น T equalizer
- มี turn-on Threshold เท่ากับ -43 dBm
- มีการจำกัด คลื่นสะท้อนรบกวนแบบมาตรฐาน (Standard echo suppressor tone)

3.2 การเชื่อมต่อกับไมโครโปรเซสเซอร์

สายสัญญาณทั้ง 17 เส้นของแอดเดรส, ดาต้า, คอนโทรล, และอินเตอร์รัปต์ จะใช้ในการติดต่อกับไมโครโปรเซสเซอร์ทั้ง 8085 และ 6500 หรือ ซีพียูตระกูลนี้เช่น 8080 , 68000

3.2.1 ขา Chip select (CS) และ Registr Selects (RS0-RS4)

ขา CS เป็นตัวให้สัญญาณอีนาเบิลแก่โมเดม ส่วนขา RS0-RS4 ทั้ง 5 นั้นใช้เป็นสายสัญญาณแอดเดรสในการติดต่อกับรีจิสเตอร์ร่างๆ และหน่วยความจำของ DSP ขา RS0-RS4 จะต่อกับแอดเดรสบัสของซีพียู ขา A0-A4 ในขณะที่ CS นั้นจะต่อกับกับวงจรดีโค้ดเดอร์ซึ่งดีโค้ดสัญญาณจากแอดเดรสที่เหลือ

3.2.2 การขออินเตอร์รัปต์ (IRQ)

ขาอินเตอร์รัปต์รีเควสท์ (Interrupt Request) จะต่ออยู่กับขาอินเตอร์รัปต์ของ DTE (เช่น คอมพิวเตอร์) เพื่อให้ DTE ตอบสนองสัญญาณอินเตอร์รัปต์จากโมเดม สัญญาณ IRQ ของโมเดมจะถูกควบคุมจากรีจิสเตอร์ภายในโมเดม เพื่อแสดงให้เห็นถึงการเปลี่ยนแปลงเงื่อนไขอย่างทันทีทันใดของโมเดม ซึ่งเงื่อนไขต่างๆเหล่านี้ขึ้นอยู่กับโปรแกรมและการใช้งานโมเดม

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา IRQ จะมีโครงสร้างภายในเป็น Open-drian FET โดยที่ขา IRQ ของโมเดมสามารถ OR กับสัญญาณ IRQ ของอุปกรณ์ใช้งานตัวอื่น ซึ่งโปรแกรมตอบสนองสัญญาณอินเตอร์รัปต์เหล่านี้ของ DTE จะต้องทำงานเมื่อสัญญาณ IRQ อยู่ในสถานะ "0"

และเนื่องจากโครงสร้างของ IRQ ที่เป็นแบบ Open-drain จึงต้องมีการพูลอัพสัญญาณโดยการต่อตัวต้านทานระหว่างสายสัญญาณ IRQ กับแหล่งจ่ายไฟ 5V ซึ่งถ้ามีเฉพาะสัญญาณ IRQ ของโมเดม (ไม่มี IRQ จากอุปกรณ์อื่นมา OR ด้วย) จะใช้ค่าความต้านทาน 5.6k มาใส่ไว้

Table 2. R96EFX Hardware Interface Signals

Name	Type*	Pin No.	Description
Power			
AGND1	GND	22	Connect to Analog Ground
AGND2	GND	24	Connect to Analog Ground
DGND1	GND	13	Connect to Digital Ground
DGND2	GND	49	Connect to Digital Ground
+5VA	PWR	31	Connect to Analog +5V Power
+5VD	PWR	10	Connect to Digital +5V Power
−5VA	PWR	25	Connect to Analog −5V Power
Microprocessor Interface			
D7	IA/OB	50	Data Bus Line 7
D6	IA/OB	51	Data Bus Line 6
D5	IA/OB	52	Data Bus Line 5
D4	IA/OB	53	Data Bus Line 4
D3	IA/OB	54	Data Bus Line 3
D2	IA/OB	55	Data Bus Line 2
D1	IA/OB	56	Data Bus Line 1
D0	IA/OB	57	Data Bus Line 0
RS4	IA	62	Register Select 4
RS3	IA	63	Register Select 3
RS2	IA	64	Register Select 2
RS1	IA	1	Register Select 1
RS0	IA	2	Register Select 0
$\overline{CS}$	IA	60	Chip Select
$\overline{READ}$-o2	IA	31	Read Strobe (608X), o2 Clock (65XX)
$\overline{WRITE}$-R/$\overline{W}$	IA	61	Write Strobe (808X), R/$\overline{W}$ (65XX)
$\overline{IRQ}$	OC	58	Interrupt Request
V.24 Interface			
$\overline{RTS}$	IA	48	Request to Send
$\overline{CTS}$	OA	14	Clear to Send
TXD	IA	15	Transmit Data
RXD	OA	45	Received Data
$\overline{RLSD}$	OA	46	Received Line Signal Detected
DCLK	QA	16	Transmit and Receive Data Clock
Cable Equalizer			
CABLE1	IB	32	Cable Select 1
CABLE2	IB	33	Cable Select 2
Analog signals			
TXOUT	AA	28	Connect to Smoothing Filter Input
RXIN	AB	37	Connect to Anti-aliasing Filter Output
AUX1	AC	26	Auxiliary Analog Input

Table 2. R96EFX Hardware Interface Signals (Cont'd)

Name	Type*	Pin No.	Description
Overhead			
$\overline{PORO}$	OE	43	Power-On-Reset Output
$\overline{PORI}$	IA	5	Power-ON-Reset Input
CKLKI	R	11	Connect to DCLK
EQLKIN1	R	30	Connect to EYECLK
EQLKIN2	R	38	Connect to EYECLK
SYNCIN1	R	41	Connect to EYESYNC
SYNCIN2	R	12	Connect to EYESYNC
XTLI	IC	6	Connect to Crystal Circuit or Oscillator
XTLO	R	7	Connect to Crystal Circuit or Float
12 MHz	OD	8	12 MHz Output
6 MHz	OD	9	6 MHz Output
RCVI	R	34	Connect to RCVO
RCVO	R	47	Mode Select Output
ADIN	R	20	Connect to ADOUT
ADOUT	R	39	ADC Output
DAIN	R	40	Connect to DAOUT
DAOUT	R	21	DAC/AGC Output
$\overline{EN85}$	R	4	Connect to Resistor for Bus Selection
AEE	R	29	Connect to Analog Ground
AGCIN	R	23	AGC Input
AOUT	R	36	Smoothing Filter Output
FIN	R	35	Connect to FOUT
FOUT	R	27	Smoothing Filter Output
RCI	R	42	RC Junction for POR Time Constant
Reserved			
	R	3	Do Not Connect
Serial Diagnostic Interface			
EYEX	OA	19	Serial Eye Pattern X Output
EYEY	OA	44	Serial Eye Pattern Y Output
EYECLK	OA	18	Serial Eye Pattern Clock (230.4 kHz)
EYESYNC	OA	17	Serial Eye Pattern Strobe (9600 Hz)

Notes:
* Digital signals are described in Table 7. Analog signals are described in Table 9.
R = Required overhead connections to connection to host equipment.

ตารางที่ 4 R96EFX ขาสัญญาณที่ใช้เชื่อมต่อทางฮาร์ดแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การเชื่อมต่อกับ DTE ผ่านพอร์ทอนุกรม (V.24)

ประกอบด้วยสายสัญญาณ 7 เส้นอันได้แก่

1. TXD (Transmitted Data) คือ สายส่งข้อมูลจาก DTE ไปยังโมเดม

2. RXD (Recieved Data) คือ สายรับข้อมูลจากโมเดม ไปยัง DTE

3. RTS (Request to Send) คือ สายร้องขอส่งข้อมูลจาก DTE ไปยังโมเดม

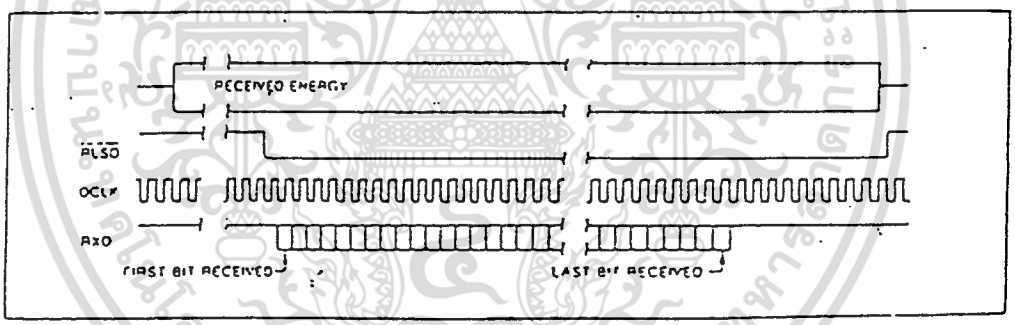
4. CTS (Clear to Send) คือ สายตอบรับการส่งข้อมูลจากโมเดม ไปยัง DTE

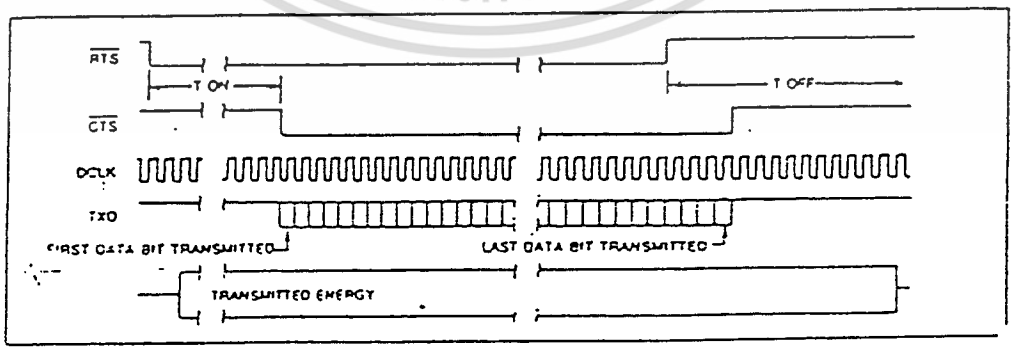
5. RLSD (Recieved Line Signal Detector) ใช้บอก DTE ให้ทราบว่าขณะนี้มีข้อมูลซึ่งกำลังถูกส่งมาทางสายสัญญาณ RXD ซึ่งจะมีระดับ turn-on threshold อยู่ที่ - 43 dBm และ turn-off threshold อยู่ที่ - 48 dBm เมื่อแรกเริ่มซึ่ง hysteresis loop ระหว่า ง turn-on และ turn-offจะต้องไม่น้อยกว่า 2 dBm ร ะดับ turn-on และ turn-off threshold สามารถโปรแกรมได้จาก RAM ใน R96

6.DCLK (Data Clock) ใช้ในการซิงโครไนซ์และเป็นฐานเวลาในการส่งข้อมูล รูปที่ 3 แสดงสัญญาณเวลาในการรับส่งข้อมูลอนุกรม

3.4 Cable 1 และ Cable2

ในการเชื่อมต่อโมเดมกับโครงข่ายโทรศัพท์สาธารณะ (PSTN) ซึ่งก็หมายความว่า โมเดมจะต้องต่อกับสายทองแดง ซึ่งจากคุณสมบัติของสายส่งจะทำให้สัญญาณความถี่ต่ำ (300 Hz -1700 Hz) จะถูกลดทอนน้อยกว่าสัญญาณความถี่สูง (1700-3300 Hz) ซึ่งจะยิ่งมีผลมากขึ้นในสายส่งที่ยาวมากขึ้น





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3 แสดงการรับส่งข้อมูลแบบอนุกรม

เพื่อที่จะลดผลกระทบนี้ จึงต้องมีการลดทอนความถี่ต่ำให้มากกว่าการลดทอนทางด้านความถี่สูง ในการรับสัญญาณอนาลอกเข้ามา การทำเช่นนี้เรียกว่า อีควอไลซ์เซชั่น (Equalization) ใน R96EFX ได้มีการออกแบบเพื่อการอีควอไลซ์ทางขา Cable 1 และ Cable 2 ดังนี้

CABLE 2	CABLE 1	ความยาวสายส่ง
0	0	0.0
0	1	1.8 กม.
1	0	3.6 กม.
1	1	7.2 กม.

3.5 สัญญาณอนาลอก

สัญญาณอนาลอกทั้งขาส่ง (Txout) และขารับ (Rxin) สามารถนำมาใช้ได้กับการสื่อสารทั้งแบบสายคู่เช่าหรือผ่านโครงข่ายโทรศัพท์สาธารณะ โดยผ่านบัฟเฟอร์ ที่เหมาะสมรวมทั้งส่วนจัดการข้อมูล (data access arrangement -DAA) อันได้แก่ วงจรตรงจจับสัญญาณริงกิ้ง โทรศัพท์ , หม้อแปลงที่ทำหน้าที่แยกวงจรระหว่างโมเดมและ โทรศัพท์รวมทั้งทำหน้าที่ในการทำ Impedance matching ที่ 600 โอห์ม : 600 โอห์ม ระหว่างโมเดมกับโทรศัพท์เป็นต้น คุณสมบัติของขาสัญญาณอนาลอก (ทั้ง 3 ขา) มีดังนี้

Txout : สัญญาณขาออกสูงสุด = $\pm$ 3.03 V.

: ภาระต่ำสุด (minimum load) = 10 k ohm

: Smoothing filter transfer function

= 28735.63 / (S+11547.34)

Rxin : ความต้านทานขาเข้า (input impedance) =1M ohm

: Anti-aliasing filter transfer function

= 21551.72 / (S+11547.34)

Auxi : ความถี่ขาเข้าสูงสุด = 4800 Hz

: ความต้านทานขาเข้า (input impedance) = 1M ohm

: อัตราขยายที่ Txout =+5.6 dBm $\pm$ 1dBm

Txout (Transmitter Analog Output) .

สัญญาณออกที่ขา Txout จะให้ค่าสูงสุดได้ถึง +3.03 V. ที่ภาระต่ำสุด 10 กิโลโอห์มโดยมีความต้านทาน 604 โอห์ม ต่ออนุกรมอยู่ภายในไอซี ก่อนที่จะได้สัญญาณออกมาที่ขา Txout เพื่อให้มีอิมพิแดนซ์ที่เท่ากับอิมพิแดนซ์ 600 โอห์ม ของสายโทรศัพท์ และจะต้องมีวงจรกรองความถี่ (Smoothing filter) ที่มี transfer function = 28735.63 / (S+11547.34) เป็นค่าแนะนำของผู้ผลิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Rxin (Receiver Analog input)

อิมพิแดนซ์ขาเข้าของขา Rxin มีค่ามากกว่า 1M โอห์ม ซึ่งขา Rxin ต้องการวงจรกรองที่ต่อต้านการเกิด aliasing (anti-aliasing filter) ระหว่างโมเดมและสายโทรศัพท์ ซึ่งมี transfer function เท่ากับ 21551.72 / (S+11547.34) เป็นคำแนะนำของผู้ผลิต ระดับสัญญาณขาเข้าสูงสุด ที่ป้อนเข้ากับวงจรกรองความถี่จะต้องไม่เกิน 0 dBm

4.ซอฟท์แวร์ของ R96EFX

หน่วยความจำเชื่อมต่อ (interface memory)

ใน DSP (R96EFX) ประกอบไปด้วยหน่วยความจำขนาด 8 บิท จำนวน 32 รีจิสเตอร์ ซึ่งแทนด้วยตำแหน่ง 00-1F รีจิสเตอร์แต่ละตำแหน่งสามารถเขียนและอ่านได้ทั้งโปรเซสเซอร์ และ DSP ผู้ใช้สามารถควบคุมการทำงานของโมเดม โดยการเขียนลงไปที่บิทควบคุม (Control bit) ในรีจิสเตอร์ ของ DSP และการเขียนค่าพารามิเตอร์ต่างๆลงไปที่ RAM ของ DSP ผ่านทางรีจิสเตอร์ , สามารถตรวจดูสถานะการทำงานของโมเดมโดยอ่านค่าจากบิทสถานะ (Status bit) ในรีจิสเตอร์ DSP และอ่านค่าพารามิเตอร์ใน RAM ของ DSP ผ่านทางรีจิสเตอร์

ตารางหน่วยความจำเชื่อมต่อ (interface memory maps)

ตารางหน่วยความจำทั้ง 32 ตำแหน่งได้แสดงให้ดูดังตารางที่ 6 ในการเขียนเพียงบิทเดียวหรือหลายบิทลงไปในรีจิสเตอร์ขนาด 8 บิท นั้นทำได้โดยการอ่านรีจิสเตอร์เข้ามาทั้ง 8 บิท บิทที่ต้องการจะถูกเซทหรือรีเซท โดยไม่ทำให้บิทที่เหลือเปลี่ยนแปลง จากนั้นทั้ง 8 บิท ที่เปลี่ยนแปลงแล้วและไม่เปลี่ยนแปลงก็จะเขียนกลับลงไปในหน่วยความจำ (read-modify-write operation)

จากตารางที่ 6 จะเห็นว่าแต่ละบิทในรีจิสเตอร์นั้นจะถูกกำหนดว่าทำหน้าที่อะไรและเรียกว่าอะไร ซึ่งจะได้อธิบายต่อไป ส่วนในบิทที่เขียนเครื่องหมาย — ไว้นั้นจะสงวนไว้สำหรับให้โมเดมใช้เท่านั้น

ภายในรีจิสเตอร์ของ R96 จะแบ่งเป็น

1. บิทคอนโทรล (Control bit) คือ บิทที่ใช้ควบคุมการส่งข้อมูล R96 สามารถเขียนคำสั่งลงไปได้

2. บิทสถานะ (Status Bit) คือบิทที่ได้ตรวจดูสถานะการทำงานของ R96 โดยการอ่านบิทสถานะเข้ามา

นอกจากนี้เราสามารถแบ่งกลุ่มของบิทต่างๆ ที่ใช้งานในโมเดม ตามการใช้งานดังนี้

4.1 บิทที่ใช้งานเกี่ยวกับการอ่านและเขียน RAM ของ DSP ได้แก่

4.1.1 บิทควบคุม

- ACC1 (RAM access 1) เมื่อ ACC1 เป็น "1" โมเดมจะเริ่มกระบวนการในการอ่านเขียน RAM โดยจะทำงานร่วมกับบิท ADD1 ซึ่งบอกตำแหน่งของ RAM และบิท CR1 โดยมีบิท WRT1 เป็นตัวระบุว่าจะเขียนหรืออ่าน

- ACC2 (RAM access 2) ใช้งานเช่นเดียวกับ ACC1 แต่จะใช้ร่วมกับ ADD2 , CR2 , WRT2

- BR1 (Buad Rate 1) เมื่อเป็น "1" ในกระบวนการอ่าน–เขียน RAM จะเกิดขึ้นที่ buad rate ของโมเดม เมื่อ BR1 เป็น "0" ในกระบวนการอ่าน–เขียน RAM จะเกิดขึ้นที่ Sample rate บิทนี้จะถูกรีเซทเป็น "0" ในการส่งแบบ G2 , FSK หรือ Tonemode (บิท CONF =40,20 หรือ 80 ตามลำดับ)

เอกสารนี้เป็นเอกสาร

- BR2 (Buad rate 2) ใช้งานเช่นเดียวกับ BR1 แต่ใช้กับ ADD2

- ADD1 (RAM address 1) ในไบท์นี้ใช้เขียนตำแหน่งของ RAM ซึ่งใช้ในกระบวนการเขียน-อ่านทั้ง X และ Y Data RAM (CR1=0) หรือ X และ Y Coefficient RAM (CR1=1) ผ่านทางรีจิสเตอร์ขนาด 1 ไบท์ของ X RAM Data 1 LSB และ MSB รวม 1เวิร์ด (รีจิสเตอร์ตำแหน่งที่ 2 และ 3 ตามลำดับ) และ Y RAM Data 1 LSB และ MSB รวม 1 เวิร์ด (รีจิสเตอร์ตำแหน่งที่ 0 และ 1 ตามลำดับ)

- ADD2 (RAM address 2) ใช้บ่งบอกตำแหน่งของ RAM เช่นเดียวกับ ADD1 แต่เขียนและอ่านข้อมูลจากรีจิสเตอร์ X RAM Data 2 LSB และ MSB (ตำแหน่งที่ 12 และ 13 ตามลำดับ) และ Y RAM Data 2 LSB และ MSB (ตำแหน่งที่ 10 และ 11ในหน่วยความจำ)

- CR1 (Coefficient RAM 1) ถ้า CR1 เป็น "1" ADD1 จะแสดงตำแหน่งของ Coefficient RAM ถ้า CR1 เป็น "0" ADD1 จะแสดงถึงตำแหน่งของ Data RAM

- CR2 (Coefficient RAM 2) ใช้งานเช่นเดียวกับ CR1 แต่ใช้กับ ADD2

ตารางที่ 6 แสดงตารางหน่วยความจำเชื่อมต่อ (interface memory maps)

Register	BIT							
	7	6	5	4	3	2	1	0
1F	PIA	–	–	PIE	PIREQ	–	–	SETUP
1E	IA2	IA1	IE2	–	BA2	IE1	–	BA1
1D	–	–	–	–	–	–	–	–
1C	–	–	–	–	–	–	–	–
1B	–	–	–	–	–	–	–	–
1A	–	–	–	–	–	–	–	–
19	–	–	–	–	–	–	–	–
18	–	–	–	–	–	–	–	–
17	–	–	–	–	–	–	–	–
16	–	–	–	–	–	–	–	–
15	ACC2	0	0	0	0	BR2	WRT2	CR2
14	RAM ADDRESS 2 (ADD2)							
13	-X RAM DATA 2 MSB (XDAM2)							
12	X RAM DATA 2 LSB (XDAL2)							
11	Y RAM DATA 2 MSB (YDAM2)							
10	Y RAM DATA 2 LSB (YDAL2) DATA BUFFER (DBUFF)							
0F	FED		–	–	–	–	CTSP	CDET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Register	BIT							
	7	6	5	4	3	2	1	0
0E	–	–	–	–	–	–	–	–
0D	RX	PN	–	–	G2FGC	–	–	–
0C	–	–	–	–	–	–	–	–
0B	ITBMSK							
0A	TRIG		ANDOR	ITADRS				
09	–	–	EQFZ	ZEROC	ABIDL	EOF	CRC	FLAG
08	FR3	FR2	FR1	12TH	–	–	–	–
07	RTSP	TDIS	PDM	–	EPT	SQEXT	T2	HDLC
06	CONF							
05	ACC1	0	0	0	0	BR1	WRT1	CR1
04	RAM ADDRESS 1 (ADD1)							
03	X RAM DATA 1 MSB (XDAM1)							
02	X RAM DATA 1 LSB (XDAL1)							
01	Y RAM DATA 1 MSB (YDAM1)							
00	Y RAM DATA 1 LSB (YDAL1)							

ตารางที่ 6 แสดงตารางหน่วยความจำเชื่อมต่อ (interface memory maps)

- WRT1 (RAM Write 1) เมื่อ WRT1 เป็น "1" และ ACC1 ถูกเซทเป็น "1" โมเดมจะเขียนข้อมูลจากรีจิสเตอร์ Y RAM Data 1 ลงไปใน RAM ภายในโมเดมซึ่งจะได้แสดงตำแหน่งโดย ADD1 และ CR1 (ถ้าบิท MSB ของ ADD1 เป็น "0" จะเขียนลงไปใน X RAM ถ้า MSB เป็น "1" จะเขียนลงไปใน Y RAM) เมื่อWRT1 เป็น "0" และ ACC1 ถูกเซทเป็น "1" โมเดมจะอ่านข้อมูลจากตำแหน่งที่ระบุใน ADD1 และ CR1 และเก็บไว้ในรีจิสเตอร์ X RAM Data 1 และ Y RAM Data 1 ตามลำดับ

- WRT2 (RAM Write 2) ใช้งานเช่นเดียวกับ WRT1 แต่ใช้กับ ACC2 ,ADD2 ,CR2 , X RAM Data 2 และ Y RAM Data 2

- XDAM1 (X RAM Data 1 MSB) คือ รีจิสเตอร์ที่ใช้ในเป็นไบท์สูงใน XRAM1 (16 บิท) ใช้ในการอ่านค่าใน XRAM ในโมเดม

- XDAL1 (X RAM Data 1 LSB) คือ รีจิสเตอร์ที่ใช้ในเป็นไบท์ต่ำใน XRAM1 (16 บิท) ใช้ในการอ่านค่าใน XRAM ในโมเดม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- XDAM2 (X RAM Data 2 MSB) คือ รีจิสเตอร์ที่ใช้ในเป็นไบท์สูงใน XRAM2 (16 บิท) ใช้ในการอ่านค่าใน XRAM ในโมเดม

- XDAL2 (X RAM Data 2 LSB) คือ รีจิสเตอร์ที่ใช้ในเป็นไบท์ต่ำ ใน XRAM1 (16 บิท) ใช้ในการอ่านค่าใน XRAM ในโมเดม

- YDAM1 (Y RAM Data 1 MSB) คือ รีจิสเตอร์ที่ใช้ในเป็นไบท์สูงใน Y RAM1 (16 บิท) ใช้ในการอ่านค่าใน YRAM ในโมเดม

- YDAL1 (Y RAM Data 1 LSB) คือ รีจิสเตอร์ที่ใช้ในเป็นไบท์ต่ำ ใน Y RAM1 (16 บิท) ใช้ในการอ่านค่าใน YRAM ในโมเดม

- YDAM2 (Y RAM Data 2 MSB) คือ รีจิสเตอร์ที่ใช้ในเป็นไบท์สูงใน Y RAM2 (16 บิท) ใช้ในการอ่านค่าใน YRAM ในโมเดม

- YDAL2 (Y RAM Data 2 LSB) คือ รีจิสเตอร์ที่ใช้ในเป็นไบท์ต่ำใน Y RAM2 (16 บิท) ใช้ในการอ่านค่าใน YRAM ในโมเดม

4.1.2 บิตสถานะ

-BA1 (Buffer Available 1) ถ้าเป็น "1" จะแสดงให้ทราบว่า โมเดมกำลังเขียนหรืออ่านข้อมูลจาก YDAL1 และจะใช้บิตนี้เป็นเงื่อนไขในการเกิด IRQ ผู้ใช้จะต้องเขียนหรืออ่านค่า จากรีจิสเตอร์ 00 ในการรีเซต BA 1 และ IA 1 ให้เป็น 0

-BA2 (Buffer Available2) ในกรณีการใช้งานแบบขนาน (parallel mode) หรือแบบ HKLC (HDLC Mode) ถ้า BA2 เป็น "1" จะแสดงว่าโมเดมได้อ่านรีจิสเตอร์ 10 (DBUFF) ในการส่ง (แสดงว่าบัฟเฟอร์ว่าง) และจะแสดงว่าได้เขียนรีจิสเตอร์ 10 (DBUFF) ในการรับข้อมูล (แสดงว่าบัฟเฟอร์เต็ม) ในกรณีที่ใช้งานโมเดมแบบอนุกรม (RS-232-C) BA2 ก็จะใช้เช่นเดียวกับ BA1 แต่ใช้ในการเขียนหรืออ่านกับ YDAL2

4.2 บิตที่ใช้งานในการรับ/ส่งข้อมูล ได้แก่

4.2.1 บิตควบคุม

-ABIDL (Abort / Idle) ในการส่งข้อมูลถ้า ABIDL เป็น "1" โมเดมจะส่งข้อมูล 1 ที่ต่อเนื่องกันออกไป (ถ้าบิต ZEROC เป็น 0) หลังจากสิ้นสุดการส่งข้อมูล หรือจะส่งข้อมูล 0 ออกไปอย่างต่อเนื่อง (ZEROC เป็น 1) ถ้า ABIDL เป็น "0" ก็จะไม่ส่งข้อมูล "0" หรือ "1" ถ้า ABIDL รีเซทที่ ระยะเวลา 1 DCLK หลังจากเซทโมเดมจะส่งข้อมูล 1 ออกไปอย่างต่อเนื่องกัน 8 ตัว (ZEROC เป็น 0) หรือจะส่งข้อมูล 0 ออกไปอย่างต่อเนื่องกัน 8 ตัว (ZEROC เป็น 0) ในการรับข้อมูล ถ้า ABIDL เป็น "1" โมเดมจะรับข้อมูล 1 ที่ต่อเนื่องกัน อย่างน้อย 7 ตัว ถ้า ABIDL เป็น 0 จะมีข้อมูล 1 อย่างน้อย 7 ตังที่ไม่ได้กับ (ABIDL จะใช้งานในการสื่อสารแบบบ HDLC)

-CONF (Configuration)มีขนาด 1 ไบท์ ใช้ในการเลือกโครงร่างที่ใช้ในการส่งด้วยการเขียนข้อมูลลงไปดังนี้

ข้อมูล

14	V.29	9600 bps
12	V.29	7200 bps
11	V.29	4800 bps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น รวมทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0A	V.27 4800 bps
09	V.27 2400 bps
20	V.21 Channel 2 300 bps
40	Group 2 (G2)
80	Tone Transmit (RTS หรือ RTSP ON)
	Tone Detect (RTS หรือ RTSP OFF)

1. V.29 เป็นการสื่อสารตามมาตรฐาน CCITT V.29

2. V.27 เป็นการสื่อสารตามมาตรฐาน CCITT V.27

3. V.21 Channel 2 เป็นการสื่อสารตามมาตรฐาน CCITT V.21 Channel 2

4. Group2 (G2) เป็นการสื่อสารตามมาตรฐาน T.3

5. Tone Tramsmit เป็นการส่งคลื่นความถี่เดียว (Single Tone) หรือ ความถี่คู่ผสม (Duel Tone) เมื่อบิต RTSP ถูกเซทเป็น "1" สามารถโปรแกรมทั้งความถี่และแอมปลิจูดได้ทาง RAM

6. ToneDetect เป็นการตรวจจับความถี่ ถ้าบิต 12th เป็น "1" 4th order filter 3 ตัวจะต่อเชื่อมกันเป็น 12th order filter 1 ตัว (FR3) ถ้า บิต 12th เป็น "0" filter ทั้ง 3 ตัวจะอยู่ในลักษณะขนานกัน และไม่เกี่ยวข้องกัน (FR1,FR2,FR3) โดย filter ทุกตัวสามารถโปรแกรมได้

- EPT (Echo Protector tone Enable) ถ้า EPT เป็น "1" คลื่นพาหะจะส่งออกไปเป็นเวลา 187.5 ms ตามด้วยการไม่ส่งอะไรเลย 20 ms จากนั้นก็ส่งสัญญาณ training ออกไป ถ้า EPT เป็น "0" จะส่งเฉพาะสัญญาณ training ออกไปอย่างเดียว ยกเว้นใน V.29 จะมีการไม่ส่งอะไรเลยเป็นเวลา 20 ms ก่อนจะส่ง training

- PDM (Parallel Data Mode) บิทนี้เป็น "1"หมายความว่าจะทำการส่งข้อมูลกับไอซีด้วยวิธีการส่งและรับจากบัสข้อมูล โดยจะส่งและรับจาก DBUFF ซึ่งจะอยู่ที่แอดเดรสที่ 10h

- RTSP (Request To Send Parallel) ถ้า RTSP เป็น "1" จะเริ่มทำการส่งข้อมูลโมเดมจะส่งข้อมูลไปจนกว่าจะรีเซท RTSP โดยจะทำการ OR สัญญาณทั้ง 2 นี้เข้าด้วยกัน

- EQFZ (Equalizer Freeze) เมื่อ EQFZ เป็น "1" เป็นการ update ในการเลือกที่ขา equalizer

- G2FGC (Group 2 Fast gain Control) ถ้าเป็น "1" จะเป็นการเลือก Gast AGC (8.6 เท่าของมาตรฐาน) ในการส่งแฟกซ์กลุ่ม 2

- HDLC (HDLC mode) เมื่อ HDLC เป็น "1" เป็นการเลือกการส่งแบบ HDLC framing ผู้ใช้จะต้องเซท HDLC และ PDM ตามด้วยการเซท SETUP เมื่อ HDLC เป็น "0" โมเดมจะไม่ส่ง HDLC และจะต้องเซท SETUP ตามหลังการรีเซท HDLC

- SETUP (Setup) บิต SETUP จะต้องถูกเซทเป็น "1" หลังจากเขียนบิต CONF หรือมีการเปลี่ยนแปลงในรีจิสเตอร์ 7 บิต 0 - 6 เพื่อบอกให้โมเดมทราบถึงการเปลี่ยนแปลง โมเดมจะรีเซท SETUP เป็น 0 หลังจากที่การเปลี่ยนแปลงเสร็จสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- SQEXT (Squeth Extend) เมื่อ SQEXT เป็น "1" ภาครับของโมเดมจะไม่รับสัญญาณใดๆเป็นเวลา 140 ms หลังจากภาคส่งหยุดส่ง

- T2 (T/2 Equalizer Select) เมื่อ T2 เป็น "1" เป็นการเลือกเวลาของ อะแดพทีฟอีควอไลซ์เซอร์ เป็น T/2 ถ้า T2 เป็น "0" เป็นการเลือำเวลาเป็น T (เมื่อ T=1 buad time)

- TDIS (Training Disable) เมื่อ TDIS เป็น "1" ในการรับโมเดมจะไม่รับสัญญาณ Trianing ในการส่งโมเดมก็จะไม่ส่ง Traing ออกไป

- ZEROC (Zero clamp) เมื่อ ZEROC เป็น "1" และ ABIDL เป็น "1" โมเดมจะส่งข้อมูล 0 ออกไปอย่างต่อเนื่อง ถ้า ZEROC เป็น "0" และ ABIDL เป็น "1" จะส่งข้อมูล 1 ออกไปอยางต่อเนื่อง ถ้า ABIDL เป็น "0" ABIDL ก็จะไม่มีผลต่ออะไรทั้งสิ้น

- 12TH (Select 12th Order) ถ้า 12TH เป็น "1" จะใช้การตรวจจับความถี่ (Tone Detector) ด้วย 12 TH order filter 1ตัว และใช้ FR3 ถ้าเป็น "0" จะใช้ 4th order 3 ตัวซึ่งขนานกันในการตรวจจับ (FR1 ,FR2 ,FR3) 12TH จะใช้งานใน FSK,Group2 และ Tone mode (CONF=20,40และ 80 เมื่อ RTSP off)

4.2.2 บิตสถานะ

- CDET (Carrier Detected) เมื่อ เป็น "1"จะแสดงว่าสิ้นสุดการรับ Trianing หรือเนื่องจากการตรวจจับได้ว่ามีพลังงานสูงกว่าระดับ threshold และกำลังรับข้อมูล ถ้าเป็น "0" จะแสดงว่ายังไม่ได้รับข้อมูล หรือยังอยู่ในการราบ Training

- CRC (Cyclic Redundancy Check Error) เมื่อ CRC เป็น "1" และ EOF เป็น "1" แสดงว่าข้อมูลในเฟรมที่รับได้มีการผิดพลาดเกิดขึ้นเมื่อ CRC เป็น "0" และ EOF เป็น "1" แสดงว่าข้อมูลในเฟรมที่รับได้นั้นถูกต้อง CRC จะเปลี่ยนแปลงอย่างทันทีทันใด ก่อน EOF ถูกเซทเป็น "1" เท่านั้น (CRC ใช้กับโหมด HDLC เท่านั้น)

- CTSP (Clear TO Send Parallel) ถ้าเป็น "1" จะแสดงให้ DTE ทราบว่าสัญญาณ Training ถูกส่งออกไปเรียบร้อแล้ว และกำลังส่งข้อมูลออกทาง TXD CTSP จะต่อขนานกับการท-งานของขา CTS

- EOF (Enf of Frame) ในการส่ง ถ้า EOF เป็น "1" แสดงให้เห็นว่าโมเดมกำลังส่งข้อมูล 16 บิต ของ FCS (Frame Check Sequence ใช้กับโหมด HDLC เท่านั้น) ในการรับ ถ้า EOF เป็น "1" แสดงว่าโมเดมได้รับข้อมูล Ending Flag ของการส่งแบบ HDLC และบิต CRC ก็จะแสดงสถานะ EOF เป็น "1" เป็นเวลาอย่างน้อยเท่ากับ 7 บิตก่อนจะรีเซท

- FLAG (FLAG Mode) ในการรับ ถ้า FLAG เป็น "1" แสดงว่าโมเดมกำลังรับสัญญาณ FLAG ในการสื่อสารด้วย HDLC เช่นเดียวกันในการส่งถ้า FALG เป็น "1" แสดงว่าโมเดม กำลังส่งสัญญาณ FLAG ในการสื่อสารด้วย HDLC

- PN (PN Sequence Detected) ถ้า PN เป็น "1" แสดงว่า ภาครับได้ทำการดีเทคสวนของ PN ในสัญญาณ training

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- RX (Receive State) ถ้า RX เป็น "1" แสดงว่าโมเดมกำลังอยู่ในสถานะของการรับ และจะไม่มีการส่งเกิดขึ้น

- FED (Fast Energy Detector) ประกอบด้วย 2 บิต เพื่อแสดงระดับของสัญญาณรับดังนี้

FED	ระดับพลังงาน
0	ไม่มีพลังงาน
1	ไม่เปลี่ยนแปลง
2	เหนือระดับ turn-off threshold
3	เหนือระดับ turn-on threshold

- FR1 (Frequency No.1) เป็น "1" แสดงว่ามีพลังงานเข้ามาเหนือระดับตรวจจับ turn-on threshold ของภาคตรวจจับสัญญาณ Tone1 (Tone detector 1) (ปกติจะทำงานอยู่ในช่วง 2100 Hz $\pm$ 25 Hz ในโหมดที่ไม่ใช้โหมด Group2) FR1 สามารถทำงานใน FSK ,Group2 และ Tone mode (COF =20, 40 และ 80 เมื่อ RTSP off)

- FR2 (Frequency No.2) เช่นเดียวกับ FR1 (ปกติทำงานในช่วง 1100 Hz $\pm$ 30Hz ในโหมดที่ไม่ใช่ Group 2)

- FR3 (Frequency No.3) เช่นเดียวกับ FR1 (แต่ปกติทำงานในช่วง 462 Hz $\pm$ 14 Hz ในโหมดที่ไม่ใช่ Group 2) FR3 สามารถทำงานใน FSK ,high speed Group 2 และ Tone mode (CONF=14,11,0A09,20,40และ 80 เมื่อ RTSP off)

4.3 บิตที่ใช้ในการอินเตอร์รัปต์

4.3.1 บิตควบคุม

- ANDOR (AND/OR Bit mask Function) เมื่อ ANDOR เป็น "1" และ มีการขออินเตอร์รัปจากโปรแกรมเกิดขึ้น โมเดมจะให้สัญญาณ IRQ เมื่อทุกบิตในรีจิสเตอร์ที่ระบุไว้ใน ITADRS และถูกมาสก์โดย ITBMSK เป็น "1" เมื่อ ANDOR เป็น "0" และมีการขออินเตอร์รัปต์จากการโปรแกรมเกิดขึ้น IRQ จะเกิดเมื่อมีบางบิตที่ระบุไว้ใน ITADRS และถูกมาสก์โดย ITBMSK เป็น "1"

- IE1 (Interrupt Enable 1) เมื่อ IE1 เป็น "1" โมเดมจะให้สัญญาณ IRQ ออกมาและเซท IA1 เป็น "1" เมื่อ BA1 ถูกเซทโดย DSP เมื่อ IE1 เป็น "0" (disabled) BA1 จะไม่มีผลใดๆต่อ IRQ และ IA1

- IE2 (Interrupt Enable 2) เช่นเดียวกับ IE1 แต่ใช้ร่วมกับ IA2 และ BA2

- ITADRS (Interrupt Address) มีขนาด 5 บิต ใช้ในการระบุว่ามีรีจิสเตอร์ใดที่จะนำมามาสก์กับ ITBMSK เพื่อเป็นบิตที่ทำให้เกิดสัญญาณ IRQ เมื่อเซทเป็น "1" โดยมีตำแหน่งดังตารางที่ 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ITBMSK (Interrupt Bit Mask) มีขนาด 1ไบท์ ใช้ในการมาสก์รีจิสเตอร์ที่ถูกชี้ใน ITADRS ในกระบวนการขออินเตอร์รัปต์แบบโปรแกรม ถ้าตำแหน่งใดใน ITBMSK เป็น "1" (บิตเดียวหรือหลายบิตก็ได้) โมเดม จะให้สัญญาณ IRQ เมื่อบิตนั้นๆ ในรีจิสเตอร์ที่ชี้ใน ITADRS ถูกเซทเป็น "1" ทั้งนี้ก็ขึ้นอยู่กับบิต ANDOR และ TRIG รวมทั้งการเซทบิต PIE และ การรีเซทบิต PIRQ โดยผู้ใช้งาน

- PIE (Programmable Interrupt Enable) เมื่อ PIE เป็น "1" และเงื่อนไขในการอินเตอร์รัปต์ ซึ่งถูกโปรแกรมทาง ITBMSK ,ITADS ,TRIG และ ANDOR เป็นจริงโมเดมก็จะให้สัญญาณ IRQ ถ้า PIRQ ถูกรีเซทไปก่อนหน้านี้แล้วโดยผู้ใช้ (ปกติจะรีเซทหลัง จากตอบสนองการอินเตอร์รัปต์เรียบร้อยแล้ว) หลังจากนั้น PIA จะถูกเซทโดยโมเดม เมื่อ PIE เป็น "0" (disabled) โปรแกรมที่โปรแกรมไว้ก็จะไม่มีผลต่อ IRQ และ PIA

- TRIG (Interrupt Trigger) มี 2 บิต เพื่อเลือกรูปแบบของการอินเตอร์รัพแบบโปรแกรมซึ่งมี 4 แบบ ดังนี้

TRIG เป็น 00-DC ผู้ใช้จะได้รับการอินเตอร์รัพตลอดเวลาที่เงื่อนไขต่าง ๆ เป็นจริง

01 - ขอบขาขึ้น ผู้ใช้จะได้รับการอินเตอร์รัพเมื่อเงื่อนไขการอินเตอร์รัพเปลี่ยนจากเท็จเป็นจริง

10 - ขอบขาลง ผู้ใช้จะได้รับการอินเตอร์รัพเมื่อเงื่อนไขการอินเตอร์รัพจากจริงเป็นเท็จ

11 - ขอบขาขึ้นหรือขาลง ผู้ใช้จะได้รับการอินเตอร์รัพเมื่อเงื่อนไขการอินเตอร์รัพเปลี่ยนจากเท็จเป็นจริงหรือเปลี่ยนจากจริงเป็นเท็จ

Host Register (Hex)	ITADRS (Hex)	Host Register (Hex)	ITADRS (Hex)
00	00	00	08
01	10	01	18
02	01	02	09
03	11	03	19
04	02	04	0A
05	12	05	1A
06	03	06	0B
07	13	07	1B
08	04	08	0C
09	14	09	1C
0A	05	1A	0D
08	15	1B	1D
0C	06	1C	0E
0D	16	1D	1E
0E	07	1E	0F
0F	17	1F	1F

ตารางที่ 7 แสดงตำแหน่งการอินเตอร์รัพ (Interrupt Address) ของรีจิสเตอร์แต่ละตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 บิตสถานะ

- IA1 (Interrupt Active 1) เมื่อ IE เป็น "1" (interrupt enable) และ BA1 เป็น "1" โดยโมเดม โมเดมจะให้สัญญาณ IRQ และจะเซท IA1 เป็น "1"เพื่อแสดงว่า BA1 เป็น "1" เป็นเหตุให้เกิดการอินเตอร์รัพ ผู้ใช้จะต้องเขียนหรืออ่านจากรีจิสเตอร์ 0 เพื่อรีเซท IA เป็น "0"

- IA2 (Interrupt Active 2) ใช้งานเช่นเดียวกับ IA1 แต่ใช้ร่วมกับ BA2 และรีเซท IA2 โดยการเขียนหรืออ่านรีจิสเตอร์ 10

- PIA (Programmable Interrupt Active) ถ้าเป็น "1" จะแสดงว่าเกิดการอินเตอร์รัพจากการโปรแกรมขึ้น และรีเซทโดยการรีเซท PIREQ

- PIREQ (Programmable Interrupt Request) จะเป็น "1" เมื่อเงื่อนไขการเกิดอินเตอร์รัพเป็นจริง และมี IRQ เกิดขึ้นผู้ใช้จะต้องเป็นคนรีเซท PIREQ เองถ้าไม่มีการรีเซท เมื่อเงื่อนไขการเกิดอินเตอร์รัพเกิดขึ้นอีกครั้งโมเดมจะไม่ทำให้เกิดสัญญาณ IRQ ออกมา

4.4 RAM

ใน DSP ประกอบด้วย RAM ขนาด 16 บิต ที่แบ่งเป็น XRAM และ YRAM เพื่อใช้ในการคำนวณทางพีชคณิตเชิงซ้อน ผู้ใช้สามารถเขียนหรืออ่านได้ทั้ง XRAM และ YRAM

การอ่าน DSP RAM

ผู้ใช้สามารถอ่านข้อมูลจาก RAM ผ่านทาง interface memory ได้ครั้งละ 32 บิตทั้ง XRAM และ YRAM โดยมีลำดับการอ่านดังนี้

1. ให้ ACC1 และ/หรือ ACC2 เป็น 0
2. รีเซท BA1 หรือ BA2 โดยการอ่านข้อมูลใน YDAL1 หรือ YDAL2
3. ให้ WRT1 และ/หรือ WRT2 เป็น 0
4. เขียนตำแหน่งของ RAM ลงใน ADD1 และ/หรือ ADD2
5. ตั้งค่า CR1 และ/หรือ CR2 ตามความเหมาะสม
6. เริ่มอ่านค่าโดยให้ ACC1 และ/หรือ ACC2 เป็น 1

เมื่อมีการอ่านค่าจาก RAM มาลงที่ interface memory BA1 และ/หรือ BA2 จะถูกเซทเป็น "1"

การเขียน DSP RAM

สามารถเขียนได้ครั้งละ 16 บิตทาง interface memory โดยมีลำดับการเขียนดังนี้

1. ให้ ACC1 และ/หรือ ACC2 เป็น 0
2. รีเซท BA1 หรือ BA2 โดยการอ่านค่าจาก YDAL1 หรือ YDAL2
3. ให้ WRT1 และ/หรือ WRT2 เป็น 1
4. เขียนตำแหน่งของ RAM (RAM address) ลงใน ADD1 และ/หรือ ADD2
5. ตั้งค่า CR1 และ/หรือ CR2 ตามความเหมาะสม
6. เขียนข้อมูลที่ต้องการลงใน YDAL1 และ YDAM1 และ/หรือ YDAL2 และ YDAM2
7. ให้ ACC1 และ/หรือ ACC2 เป็น 1 เพื่อเริ่มกระบวนการอ่านของ DSP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกระบวนการเขียน DSP RAM เรียบร้อย BA1 และ/หรือ BA2 จะถูกเซตโดยโมเดม ถ้า IE1 และ/หรือ IE2 เป็น 1 สัญญาณ IRQ จะเกิดขึ้นเมื่อ BA1 และ/หรือ BA2 ถูกเซทเป็น "1" โดย DSP ในขณะที่ IA1 และ/หรือ IA2 ก็ถูกเซตเป็น "1" ด้วย และสามารถรีเซทเป็น 0 โดยการอ่านค่าจาก YDAL1 และ/หรือ YDAL2 ซึ่ง จะทำให้ IRQ กลับเป็น "1" อีกครั้ง

Function	BRx	CRx	ADDx	Read Reg. No.
Received Signal Samples	0	0	15	2,3
Received Signal Samples FSK	0	0	31	2,3
Demodulator Output	0	0	13	0,1,2,3
Lowpass Filter Output	0	0	02	0,1,2,3
Average Energy	0	0	14	2,3
AGC Gain Word	0	1	15	2,3
Tone 1 Frequency	0	1	21	2,3
Tone 1 Level	0	0	22	2,3
Tone 2 Frequency	0	1	22	2,3
Tone 2 Level	0	0	23	2,3
Output Level	0	0	21	2,3
Equalizer Input (Real)	1	0	1E	0,1
Equalizer Input (Image)	1	1	1E	0,1
Equalizer Tap Coefficient	1	1	38-5F	0,1,2,3
Unrotated Equalizer Output	1	0	1C	0,1,2,3
Rotated Equalizer Output(Eya Pattern)	1	1	17	0,1,2,3
Decision Points (Ideal)	1	0	17	0,1,2,3
Eror Vector	1	1	1D	0,1,2,3
Rotation Angle	1	1	0C	0,1
Frequency Correction	1	1	18	2,3
Eye Quality Monitor (EQM)	1	1	0D	2,3
Turn-on Threshold (RLSD)	0	1	37	2,3
Turn-off Threshold (RLSD)	0	1	B7	0,1
Group 2 PLL Frequency Correction	0	0	0D	2,3
Group 2 Zero Crossing Threshold (Negative)	0	0	19	2,3
Group 2 Zero Crossing Threshold (Positive)	0	0	99	0,1
Group 2 AGC Slew Rate	0	1	05	2,3
Group 2 Black-Write Threshold	0	0	24	2,3
Group 2 Phase Limit Value	0	0	1A	2,3
Reciever Sensitivity	0	1	24	2,3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 8 แสดงเกี่ยวกับ RAM ใน R96 ซึ่งประกอบด้วย หน้าที่ของ RAM ตำแหน่ง และรีจิสเตอร์ที่ใช้ในการอ่าน/เขียน (R96EFX RAM Access Codes)

MOTOROLA

MC3419-1L
MC3419A-1L
MC3419C-1L

2

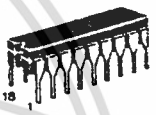
SUBSCRIBER LOOP INTERFACE CIRCUIT (SLIC)

BIPOLAR LASER-TRIMMED INTEGRATED CIRCUIT

TELEPHONE LINE-FEED CIRCUIT

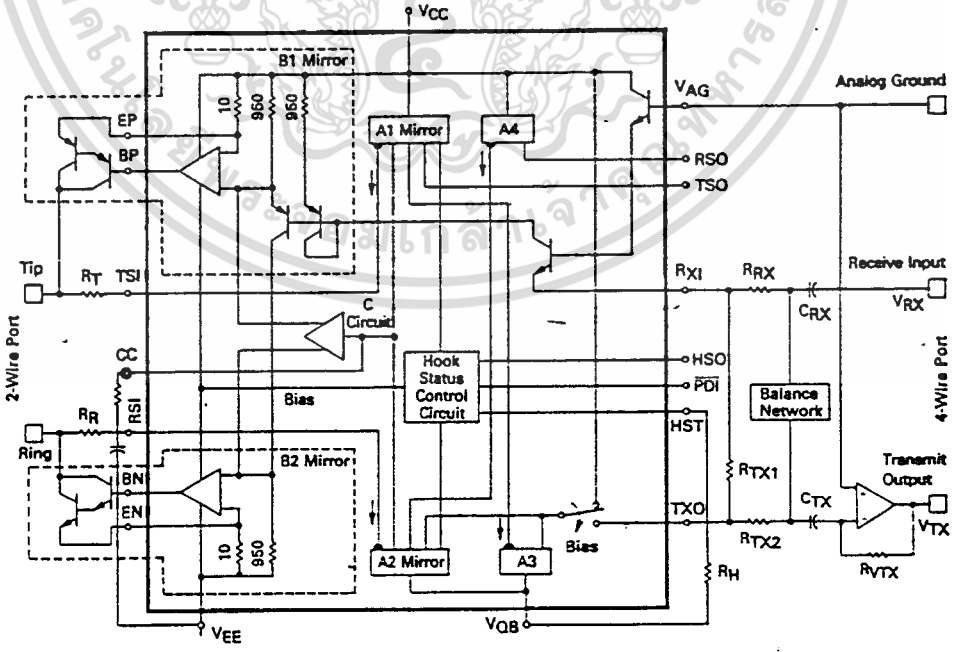
. . . designed as the heart of a circuit to provide BORSHT functions for telephone service in Central Office, PABX, and Subscriber Carrier equipment. This circuit provides dc power for the telephone (Battery), Overvoltage protection, Supervision features such as hook status and dial pulsing, two-wire differential to four-wire single-ended conversions and suppression of longitudinal signals at the two-wire input (Hybrid), and facilitates ringing insertion, Ring trip detection and Testing.

- Totally Upward Compatible with the MC3419
- All Key Parameters Externally Programmable
- Current Sensing Outputs Monitor Status of Both Tip and Ring Leads for Auxiliary Functions such as: Ground Key, Ring Trip, Message Waiting Lamp, etc.
- On-Hook Power Below 5.0 mW
- Digital Hook Status Output
- Powerdown Input
- Ground Fault Protection
- Operates from Single −20 V to −56 V Power Source
- Size and Weight Reduction Over Conventional Approaches
- The sale of this product is licensed under Patent No. 4,004,109. All royalties related to this patent are included in the unit price.



L SUFFIX
CERAMIC PACKAGE
CASE 726

FUNCTIONAL BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

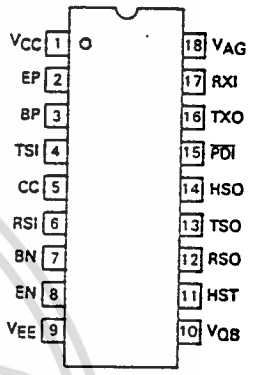
MAXIMUM RATINGS (Voltages Referenced to V_{CC}.)

Rating	Symbol	Value	Unit
Voltage	V_{EE} V_{QB}	−60 V_{EE} −1.0 V	Vdc
Powerdown Input Voltage Range	$V_{\overline{PDI}}$	+15 to −15	Vdc
Sense Current Steady State Pulse — Figure 4	I_{TSI}, I_{RSI}	 100 200	mAdc
Storage Temperature Range	T_{stg}	−65 to +150	°C
Operating Junction Temperature (θ_{JA} = 100°C/W Typ)	T_J	150	°C

OPERATING CONDITIONS (Voltages Referenced to V_{CC}.)

Rating	Symbol	Value	Unit
Operating Ambient Temperature Range	T_A	0 to +70	°C
Loop Current	I_L	10 to 120	mA
Voltage	V_{EE} V_{QB}	−20 to −56 −20 to V_{EE}	Vdc
Analog Ground (I_L = 0 to 60 mA) (I_L = 0 to 120 mA)	V_{AG}	 0 to −12 −2.5 to −12	Vdc
Supervisory Output Voltage Compliance Range	V_{RSO}, V_{TSO}	−2.0 to −20	Vdc
Hook Status Output	V_{HSO}	+15 to −20	Vdc
Loop Resistance	R_L	0 to 2500	Ω

PIN CONNECTIONS



TRANSMISSION CHARACTERISTICS (R_L = 600 Ω unless otherwise noted.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Transmit and Receive Gain Variation (Insertion Loss) (1.0 kHz @ 0 dBm Input) MC3419-1 MC3419A-1 MC3419C-1	1	V_{TX}/V_L, V_L/V_{RX}	 −0.3 −0.15 −0.4	 0 0 0	 +0.3 +0.15 +0.4	dB
Transhybrid Rejection (Input — 1 kHz @ 0 dBm) Fixed (1%) Resistor Balance Network MC3419-1, MC3419C-1 MC3419A-1 Trimmed Balance Network All Types	1	V_{TX}/V_{RX}	 −23 −33 —	 −35 −40 −55	 — — —	dB
Level Linearity (−48 to +3.0 dBm, referenced to 0 dBm @ 1 kHz) Transmission Reception	1	 V_{TX}/V_L V_L/V_{RX}	 −0.1 −0.1	 0 0	 +0.1 +0.1	dB
Frequency Response (200–3400 Hz referenced to 1.0 kHz @ 0 dBm) Transmission Reception	1	 V_{TX}/V_L V_L/V_{RX}	 −0.1 −0.1	 0 0	 +0.1 +0.1	dB
Total Distortion @ 1.0 kHz, 0 dBm (C-Message Filtered)	1	V_L/V_{RX} V_{TX}/V_L	— —	−60 −60	— —	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRANSMISSION CHARACTERISTICS (continued) (R_L = 600 Ω unless otherwise noted.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Idle Channel Noise (V_{RX} = 0 V) MC3419-1, MC3419A-1 MC3419C-1	1	V_{TX}, V_L	 — —	 3.0 4.0	 10 13	dBrnC
Return Loss (referenced to 600 ohms) @ 1.0 kHz, 0 dBm MC3419A-1 MC3419-1, MC3419C-1	1	$20 \log \left\lvert \frac{R_0 - 600}{R_0 + 600} \right\rvert$	 36 30	 — —	 — —	 dB dB
Longitudinal Induction (60 Hz) (I_{LON} = 35 mA RMS)	2	V_{TX}	—	5.0	—	dBrnC
Longitudinal Balance MC3419-1 (200–3000 Hz) MC3419A-1 (200–1000 Hz) MC3419A-1 (3000 Hz) MC3419C-1 (200–3000 Hz)	2	V_{TX}/V_{LON}, V_L/V_{LON}	 −45 −50 −48 −40	 — — — —	 — — — —	dB

ELECTRICAL CHARACTERISTICS (V_{EE} = −48 V, V_{QB} = V_{EE}, V_{AG} = 0 V, R_L = 600 Ω, T_A = 25°C unless otherwise noted.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Propagation Delay	1	Tp, V_{RX} to V_L V_{RX} to I_{TX}	— —	750 1.2	— —	ns μs
Supply Current — On-Hook (V_{EE} = V_{QB} = 56 V, R_L > 100 MΩ) MC3419-1, MC3419A-1 MC3419C-1	3	I_{VCC}	 — —	 40 100	 200 500	μA
On-Hook Power Dissipation (R_L > 100 MΩ) MC3419-1, MC3419A-1 MC3419C-1	3	P_D	 — —	 1.0 2.5	 — —	mW
Power Supply Noise Rejection (1.0 kHz @ 1.0 V_{RMS}) MC3419-1, MC3419A-1 MC3419C-1	3	V_{TX}/V_{ee}	 −40 −30	 — —	 — —	dB
Quiet Battery Noise Rejection (1.0 kHz @ 1.0 V_{RMS})	3	V_{TX}/V_{qb}	—	−6.0	—	dB
Sense Current Tip Ring	4	 I_{TSO}/I_{TSI} I_{RSO}/I_{RSI}	 0.15 0.15	 0.17 0.17	 0.19 0.19	mA/mA
Fault Currents Tip to V_{CC} Ring to V_{CC} Tip to Ring Tip and Ring to V_{CC}	1	 I_{Tip} I_{Ring} I_{Loop} I_{Tip} and I_{Ring}	 — — — —	 0 2.5 120 2.5	 — — — —	mA
Analog Ground Current	1	I_{VAG}	—	0.1	2.0	μA
Powerdown Logic Levels		$\overline{PDI}$ V_{IH} V_{IL}	— −1.2 —	−1.0 — —	−10 — −4.0	μA Vdc Vdc
Hook Status Output Current (R_L < 2.5 kΩ, V_{HSO} = −0.4 Vdc) V_{HSO} = −0.4 Vdc) (R_L > 10 kΩ, V_{HSO} = +12 Vdc) V_{HSO} = −12 Vdc)	1	I_{HSO}	 +1.0 −0.4 — —	 +3.0 −1.5 0 0	 — — +50 −2.0	 mA mA μA μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

FIGURE 1 — AC TEST CIRCUIT

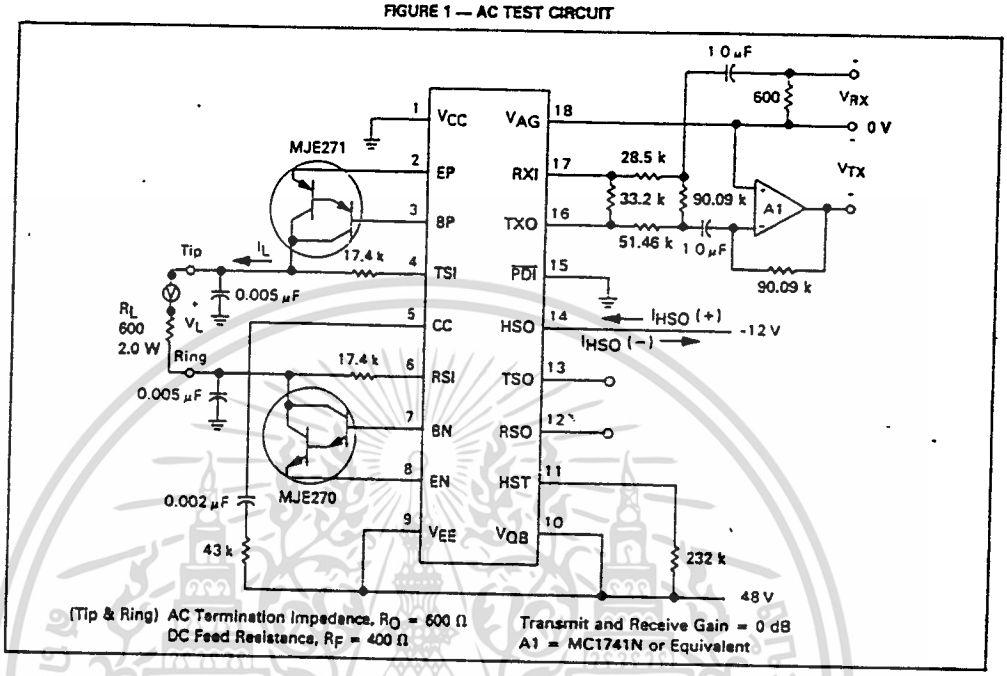
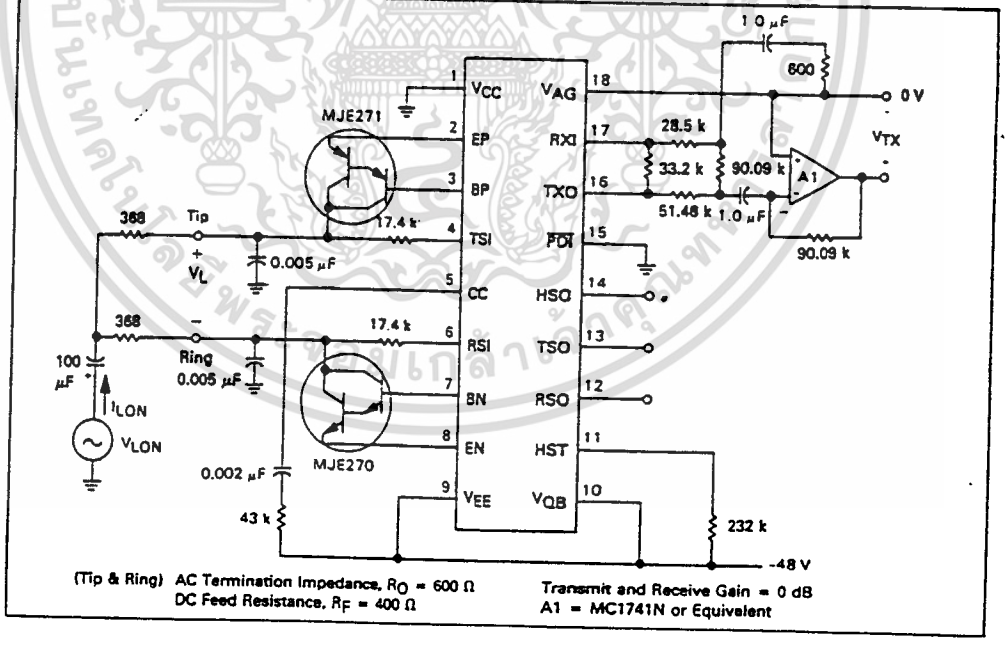


FIGURE 2 — LONGITUDINAL BALANCE TEST CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 — SUPPLY NOISE REJECTION TEST CIRCUIT

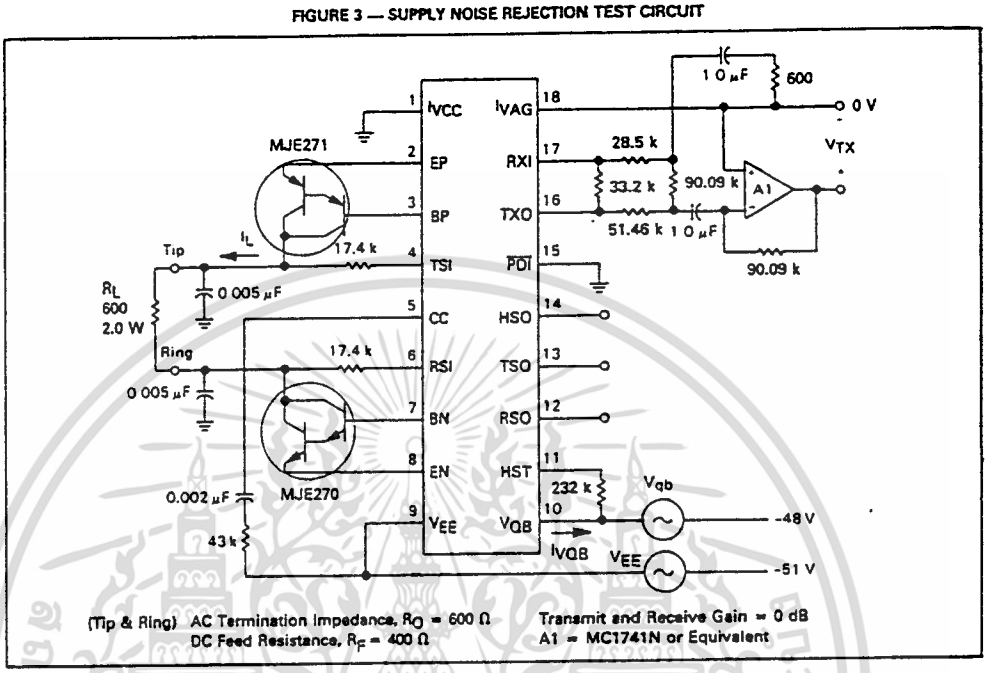
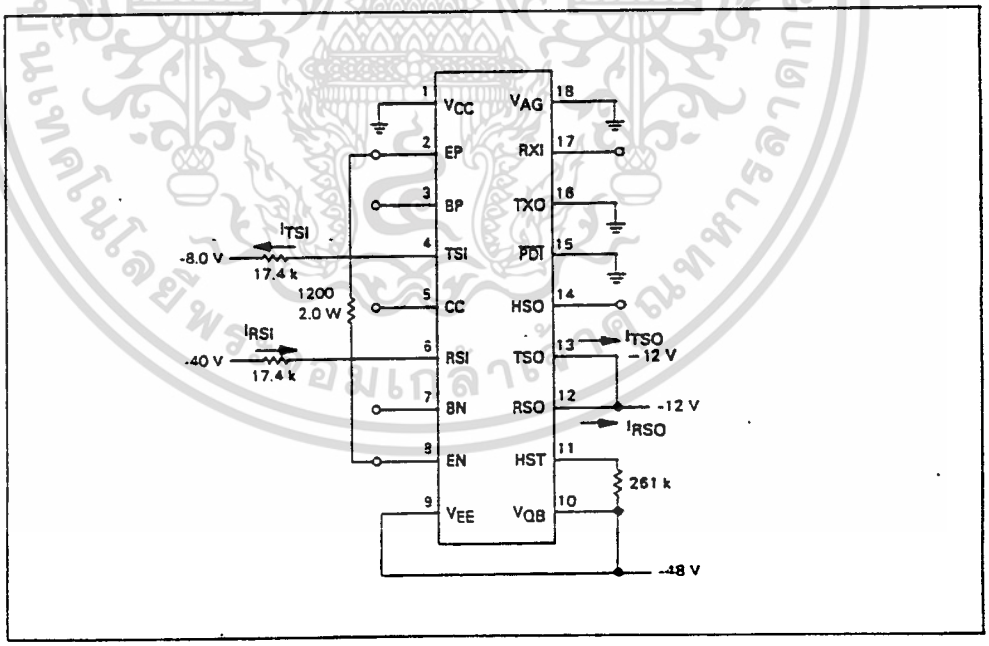


FIGURE 4 — TSO AND RSO SUPERVISORY OUTPUT TEST CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 5 — QUIET BATTERY CURRENT I_{VQB} versus LOOP CURRENT I_L

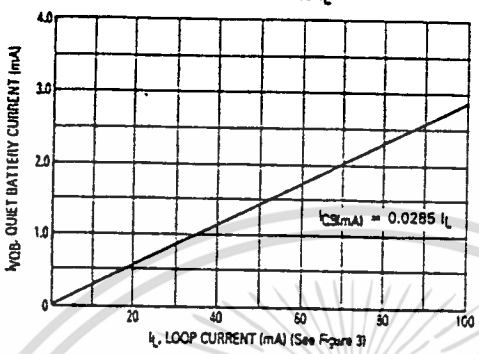
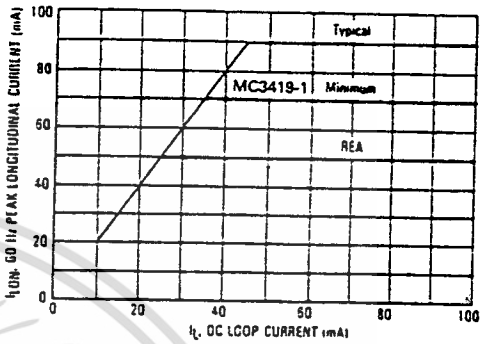


FIGURE 6 — LONGITUDINAL CAPACITY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

Pin	Name	Function
1	V_{CC}	The positive supply voltage. This point is ground in typical applications.
2, 8	EP & EN	Loop current sensing inputs. These are connected to the emitters of the PNP and NPN Darlington transistors. They are tied through 10 Ω resistors to V_{CC} and V_{EE}, respectively. The maximum continuous current through these inputs is 240 mA.
3, 7	BP & BN	Base drive outputs. These pins drive the bases of the PNP and NPN transistors and are able to sink or source, respectively, up to 5.0 mA.
4, 6	TSI & RSI	Tip and Ring voltage Sensing Inputs. They are low impedance inputs (approximately 600 Ω each i.e., 400 Ω + 3 diodes) that translate the voltages on Tip and Ring to a current through resistors R_T and R_R. TSI is referenced to V_{CC} and RSI is referenced to V_{QB}. These pins have 6.0 V zener diodes (to their respective reference) for protection against overvoltage line surges.
5	CC	Compensation Capacitor pin. This pin is used to stabilize the longitudinal or common mode circuitry.
9	V_{EE}	Negative supply voltage. This pin ties to the chip substrate. Its operating voltage range is −20 V to −58 V. It can withstand −60 V without damage and can sustain a voltage surge to −75 V for less than 4.0 ms without significant degradation of performance. Most of the loop current and bias currents flow through this pin.
10	V_{QB}	Quiet Battery Voltage reference. This is the voltage reference for the RSI pin. Its voltage must not go more negative than V_{EE}. The current through this pin, while powered up, is proportional to the loop current, allowing it to be used for loop current limiting. The voltage on this pin, less 4 volts, is the "effective battery feed voltage for the 2-wire lines even though most of the power comes from the V_{EE} supply.
11	HST	Hook Status Threshold programming resistor input. R_H determines the value of loop resistance at which on-hook and off-hook status is switched.
12	RSO	Ring Sense current Output. This output reflects the voltage status of the Ring terminal for voltages more positive than V_{QB}. The current is sourced from this output, it is one-sixth I_{RSI}, its voltage range is 0 to −20 V and its saturation voltage is approximately −2.0 V.
13	TSO	Tip Sense current Output. This output reflects the voltage status of the Tip terminal for voltages more negative than V_{CC}. The current is sourced from this output, it is one-sixth I_{TSI}, its voltage range is 0 V to −20 V and its saturation voltage is approximately −2.0 V.
14	HSO/$\overline{\text{HSO}}$	Hook Status Output. This is a digital output that reflects the condition of the loop resistance. If loop resistance is less than a predetermined value established by R_H, usually R_L < 2.5 kΩ, the HSO pin will be active, i.e., with positive voltage logic (a resistor tied from a +5.0 V or +12 V supply to HSO), this pin will sink current to V_{CC} (V_{HSO} = 0 V); with negative voltage logic (a resistor tied from a −12 V supply to HSO), this pin will source current from V_{CC} (V_{HSO} = 0 V). If loop resistance is greater than a predetermined value again established by the same resistor R_H, usually R_L > 10 kΩ, the HSO pin is inactive, i.e., V_{HSO} = logic supply voltage.
15	$\overline{\text{PDI}}$	Powerdown Input pin. This pin is used to deny service to the subscriber. A logic level "0" (V_{IL} < −4.0 V) powers down the MC3419-1 except for HSO, TSO and RSO. The voltage range of this high impedance input pin is ±15 V.
16	TXO	Transmit current Output. This output sinks current to V_{QB} and is proportional to I_{TSI} + I_{RSI} by a ratio of K1 where: K1 = 1.02. Its saturation voltage is V_{QB} + 2.5 V typ. (+3.5 V over the temperature range). This pin is only active during the off-hook power-up condition.
17	RXI	Receive Input. This input sums ac currents from TXO and the receive voltage input (V_{RX}) and sources all the dc current to TXO. It has a low input impedance (15 Ω) typically biased 4.5 V below the V_{AG} pin voltage during off-hook power-up conditions. During powerdown conditions, the voltages on RXI and TXO can drift up to V_{AG}.
18	V_{AG}	Analog Ground Voltage reference input. The input impedance of this pin is much greater than 1.0 MΩ. It should be ac coupled to system ground and could be direct coupled if system ground is between 0 V and −12 V. AC coupling requires 300 kΩ to V_{CC} and 0.1 μF to system ground. If V_{CC} and system ground are common, tie V_{AG} directly to V_{CC}. If dc loop currents are allowed to go higher than 60 mA, V_{AG} should be biased from −2.5 V to −12 V to avoid problems at high ambient temperatures.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

Referring to the functional block diagram on page 1, line sensing resistors (R_R and R_T) at the TSI and RSI pins convert voltages at the Tip and Ring terminals into currents which are fed into current mirrors* A1 and A2. An output of A1 is mirrored by A3 and summed together with an output of A2 at the TXO terminal. Thus, a differential to single-ended conversion is performed from the ac line signals to the TXO output.

All the dc current at the TXO output is fed back through the RXI terminals to the B1 mirror input. The inputs to B1 and B2 are made equal by mirroring the B1 input current to the B2 input through a unity gain output of the B1 mirror. Both B1 and B2 mirrors have high gain outputs (x95) which drive the subscriber lines with balanced currents that are equal in amplitude and 180° out of phase. The feedback from the TXO output, through the B-Circuit mirrors, to the subscriber line produces a dc feed resistance significantly less, but proportional to the loop sensing resistors.

In most line-interface systems, the ac termination impedance is desired to be greater than the dc feed impedance. A differential ac generator on the subscriber loop would be terminated by the dc feed impedance if the total ac current at the TXO output were returned to the B1 input along with the dc current. Instead, the MC3419-1 system diverts part of the ac current from the B-Circuit mirrors. This decreases the ac feedback current, causing the ac termination impedance at the line interface to be greater than the dc feed impedance.

The ac current that is diverted from the B1 mirror input is coupled to a current-to-voltage converter circuit that has a low input impedance. This circuit consists of an op amp (external to the MC3419-1) and a feedback resistor which produces the transmit output voltage (V_{TX}) at the 4-wire interface. Transmission gain is programmed by the op amp feedback resistor (R_{VTX}).

Reception gain is realized by converting the ac coupled receive input voltage (V_{RX}) to a current through an external resistor (R_{RX}) at the low impedance RXI terminal. This current is summed at RXI with the dc and ac feedback current from the A-Circuit mirrors and drives the B1 mirror input. The B-Circuit mirror outputs drive the 2-wire port with balanced ac current proportional to the receive input voltage. Reception gain is programmed by the R_{RX} resistor.

Since receive input signals are transmitted through the MC3419-1 to the 2-wire port, and the 2-wire port signals are returned to the 4-wire transmit output, a means of cancellation must be provided to maintain 4-wire signal separation (transhybrid rejection). Cancellation is complicated because the gain from the receive port to the transmit port depends on the impedance of the subscriber loop. A passive "balance network" is used to achieve transhybrid rejection by cancelling, at the low impedance input to the transmit op amp, the current reflected by the loop impedance to the 4-wire transmit output. For a resistive loop impedance, a single resistor provides the cancellation. For reactive loops, the balance network should be reactive.

Longitudinal (common-mode) currents that may be present on the subscriber lines are suppressed in the MC3419-1 by two methods. The first is inherent in the mirror configuration. Positive-going longitudinal currents into Tip and Ring create common-mode voltages that cause a decreasing current through the Tip Sensing resistor and an increasing current through the Ring Sensing resistor. When these equal and opposite signal currents are reflected through the A-Circuit mirrors and summed together at TXO, the total current at TXO remains unchanged. Therefore, the ac currents due to the common-mode signal are cancelled before reaching the transmit output.

The second longitudinal suppression method is more dominant, since it limits the amplitude of common-mode voltages that appear at the Tip and Ring terminals.

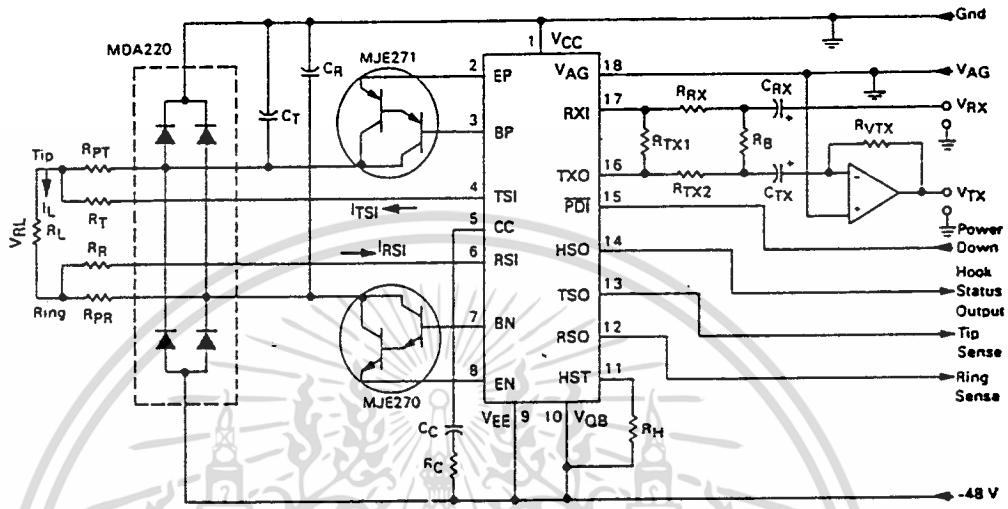
A common-mode suppression circuit detects common-mode inputs and drives the loop with balanced currents to reduce the input amplitude. Subtracting currents from outputs of the A1 and A2 mirrors produces a signal current at the CC terminal in response to the common-mode voltage at Tip and Ring. A transconductance amplifier (C-Circuit) generates a current proportional to the CC terminal voltage which is summed with the current from the RXI terminal at the inputs of current mirrors B1 and B2. The weighting and polarity of the summing networks produce common-mode B1 and B2 mirror output currents at the 2-wire port. The common-mode input impedance is inversely proportional to the gain of the longitudinal suppression circuit. R_C and C_C compensate the common-mode feedback loop. At 60 Hz with typical component values, the 2-wire common-mode impedance is less than 5 Ω.

The longitudinal suppression circuit output currents are generated by modulating dc current fed to the loop by the B1 and B2 current mirrors. This configuration avoids the increased power dissipation attributed to current mode loop drive because dc and longitudinal currents are not cumulatively sourced to the loop. However, driving common-mode currents through the B-circuit current mirrors in this manner limits the longitudinal suppression capability. The suppression circuit is unable to reverse 2-wire current polarities to maintain a low-impedance termination when longitudinal currents exceed the dc loop current. At low dc loop currents, the common-mode signal capability, known as longitudinal capacity, is limited by the loop current (Figure 6). At high-loop currents, longitudinal capacity is limited by the maximum voltage swing of the CC terminal and is therefore independent of dc loop current.

*A current mirror is a circuit which behaves as a current controlled current source. It has a single low-impedance input terminal with respect to a reference point and one or more high impedance outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 7 — BASIC SLIC CIRCUIT



The hook status control circuit supplies the bias currents to activate the B-Circuit op amps and other sections of the MC3419-1. To activate the bias currents, the control circuit compares the current through the sense resistors, R_R and R_T, and the load resistance R_L with the current through the hook status threshold programming resistor, R_H, by using outputs from both A1 and A2 mirrors. The A1 mirror output sources current to the R_H resistor. (This reduces all internal currents to near zero during the on-hook state in order to eliminate unnecessary power consumption.) If this current is large enough the voltage on the HST pin will trip an internal comparator, then another circuit compares the current from the A1 output with that of an A2 output. These currents must match within ±15%. If so, HSO will be activated and the bias circuits will turn on provided the voltage on $\overline{PDI}$ is greater than −1.2 V. The HSO pin can have either a pull-up resistor or a pull-down resistor and when activated it will switch to V_{CC} (0 volts).

Once the MC3419-1 is powered up, a circuit with a gain of 20 feeds current to the R_H resistor in order to keep the bias circuitry active. (The sense resistors are paralleled with the Darlington transistors which reduces the sense input currents.) Should the sense input currents drop below one-twentieth of the required power-up current, the bias currents will be removed, forcing a power-down condition.

Current mode analog signal processing is critically dependent on voltage to current conversion at the 2-wire and 4-wire inputs. Precise, low-noise voltage sensing through resistors R_T, R_R and R_{RX} requires quiet, low impedance terminations at terminals TSI, RSI and RXI respectively. For 2-wire signals, terminal V_{QB} isolates the loop-sensing resistors and current mirrors from noise at the high-current V_{EE} terminal. External filtering from V_{CC} to V_{QB} ("quiet battery" terminal) ensures loop voltages are sensed without interference from system supply noise. V_{EE} noise rejection at audio frequencies is typically 60 dB or greater.

Receive input terminal RXI is referenced to the V_{AG} terminal which references the 4-wire input to the "analog ground" of the 4-wire signal source, thus isolating the input from power ground voltage transients. This isolation offers 70 dB of noise rejection at audio frequencies.

SYSTEM EQUATIONS

K1 — The current gain from I_{TSI} + I_{RSI} to TXO only during an off-hook power-up condition. K1 = 1.02 ± 1%.

K2 — The current gain from RXI to the collectors of the off-chip Darlington transistors only during an off-hook power-up condition. K2 = 95 ± 1%.

For simplicity, the following equations do not use K1 or K2. Instead the actual numerical value is used, for instance (1 + K1K2) = 1 + 1.02 x 95 = 97.9 is approximately 98.

R_L — Loop resistance. This is a load resistance from Tip to Ring and can be either ac or dc depending on context.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOOP CURRENT REGULATIONS

FIGURE 8(a)

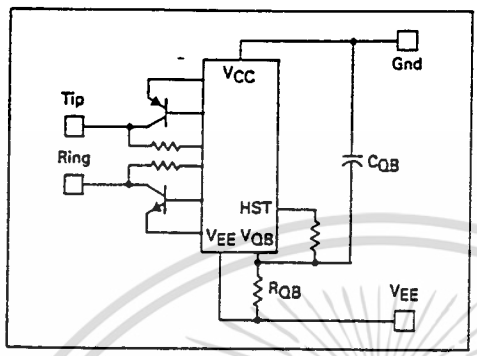


FIGURE 9(a)

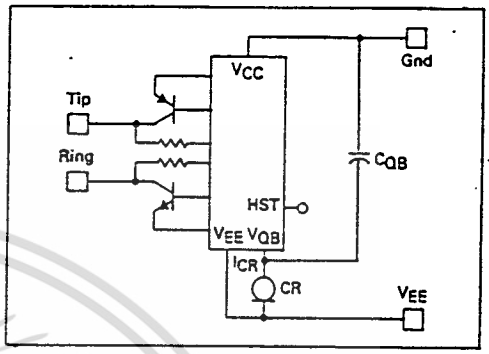


FIGURE 8(b)

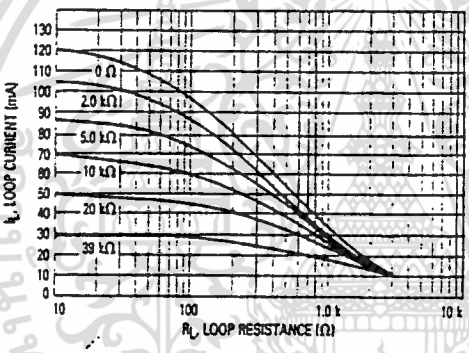
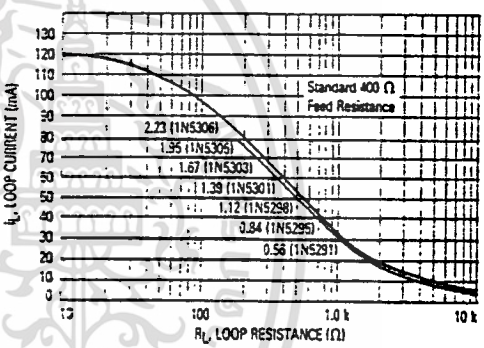


FIGURE 9(b)



SYSTEM EQUATIONS (continued)

Z_L — Loop impedance. This is used only to connote a complex impedance loading on Tip and Ring.

I_L — Loop current. The dc current flow through R_L.

R_F — Dc feed resistance. The synthesized resistance from which battery (V_{CC} and V_{EE}) current is fed to R_L. The battery feed resistance is balanced differential feed. See Figure 7. (This assumes $V_{QB} = V_{EE}$.) The first order equation is:

$$R_F = \frac{R_R + R_T + 1200\ \Omega}{98} \quad (1)$$

Because of the diode voltage drops on TSI and RSI, the actual dc feed resistance is higher. The second order equation is:

$$R_F = \frac{|V_{QB}|(98\ R_L + R_R + R_T + 1200\ \Omega)}{98\ (|V_{QB}| - 4.0\ V)} - R_L \quad (2)$$

ignoring the effects of R_L

$$R_F = \frac{|V_{QB}|(R_R + R_T + 1200\ \Omega)}{98\ (|V_{QB}| - 4.0\ V)} \quad (3)$$

So:

$$R_R = R_T = \frac{49R_F\ (|V_{QB}| - 4.0\ V)}{|V_{QB}|} - 600 \quad (4)$$

The minimum value for R_R and R_T is 5.0 kΩ.

The first order value of R_F can not be greater than the desired value of the termination impedance (usually 600 Ω or 900 Ω). To achieve dc feed resistances that are greater, a resistor can be placed between V_{QB} and V_{EE} along with a filter capacitor C_{QB} which restores the desired termination impedance and filters power supply noise. A diode should also be placed between V_{QB} and V_{EE} to prevent damage in case a catastrophic power supply failure occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I_{VQB} — This is the current that is sourced from the V_{QB} pin and is proportional to the currents into and out of RSI and TSI. When the SLIC is in the off-hook power-up mode, I_{VQB} is also proportional to I_L.

$$I_{VQB} = 2.15\,|I_{RSI}| + 0.7\,|I_{TSI}| \quad (5)$$

$$I_{VQB} = 0.029\,I_L \quad (6)$$

R_{FQ} — Dc feed resistance. The synthesized resistance from which battery current is fed to R_L, see Figure 8. (This assumes V_{QB} is tied to V_{EE} through a resistor R_{QB}.) R_{QB} synthesizes additional dc feed resistance to the R_F value previously stated.

When using R_{QB}, the dc feed is effectively balance fed from V_{CC} and V_{QB} instead of V_{EE}. The sense resistors (R_R and R_T) should be selected to make R_F (first order) less than the termination impedance.

$$R_{FQ} = \frac{|V_{EE}|(98R_L + R_R + R_T + 1200 + 2.85R_{QB})}{98(|V_{EE}| - 4.0\ V)} - R_L \quad (7)$$

Ignoring R_L, this simplifies to:

$$R_{FQ} = \frac{|V_{EE}|(R_R + R_T + 1200 + 2.85R_{QB})}{98(|V_{EE}| - 4.0\ V)} \quad (8)$$

Therefore:

$$R_{QB} = \frac{98R_{FQ}(|V_{EE}| - 4.0\ V) - |V_{EE}|(R_R + R_T + 1200\ \Omega)}{2.85|V_{EE}|} \quad (9)$$

C_{QB} — Power supply noise filter capacitor.

$$C_{QB} = \frac{2.85\,R_{QB} + R_R + R_T + 1200\ \Omega}{2\pi f\,R_{QB}\,(R_R + R_T + 1200\ \Omega)} \quad (10)$$

Figure 9B shows R_{QB} replaced with a current regulating device such as Motorola's 1N5283 family.

I_{CRQB} — The current that is sourced to a current regulating device from the V_{QB} pin. When this current reaches the regulated value, the voltage differential between V_{EE} and V_{QB} increases causing the effective battery voltage to decrease which limits I_L to a maximum value as determined below:

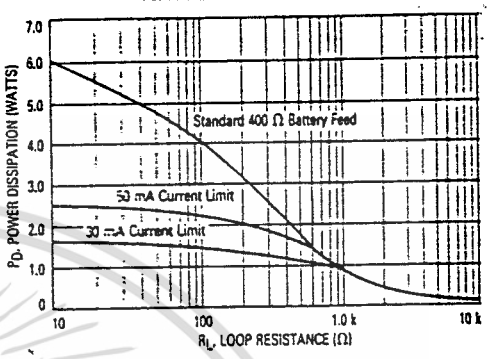
$$I_L = 34.5\,I_{CRQB} \quad (11)$$

The graph, Figure 9B, shows loop current versus loop resistance using several values of I_{CRQB}. The closest current regulating diode part number to that value is also shown. A typical value for C_{QB} in this case is 10 μF, 60 Vdc.

Figure 10 shows how power can be conserved on the shorter loop lengths by utilizing current limiting techniques.

Overvoltage protection on the 2-wire port is achieved with the MDA220 diode bridge and the protection resistors R_{PR} and R_{PT}. Whenever the voltage on the 2-wire port exceeds the power supply rails (V_{CC} and V_{EE}), the MDA220 diodes will forward bias and "clamp" to the rail voltage. The current is limited by the protection resistors. These resistors should be as large in value as possible. However, if they are too large, they will interfere with the performance of the SLIC under worst case conditions.

FIGURE 10 — TOTAL SLIC POWER DISSIPATION versus LOOP RESISTANCE



$$R_{PT} < R_T/196 - 15 \quad (12)$$

Using the voltage of V_{QB} when I_L is at its minimum off-hook value (Typ. 20 mA):

$$R_{PR} < R_R/196 + 25|V_{EE} - V_{QB}| - 15 \quad (13)$$

The tolerance of these resistors is not critical due to placement inside a closed loop. Positive temperature co-efficient resistors (PTC) may be considered here. Consult resistor manufacturers for component selections that will meet the surge current and peak voltage requirements.

Because the MC3419-1 is a broadband device it requires compensation components to keep its circuits stable.

C_R & C_T — Compensates the longitudinal gain of the A and the B circuit mirrors. Their values range from 2000 pF to 5000 pF.

R_C & C_C — Compensates the longitudinal "C" circuitry. Their values can be ratioed according to:

$$R_C \times C_C = R_T \times C_T. \quad (14)$$

Two off-chip power Darlington transistors are used with the MC3419-1. These transistors reduce any temperature gradiant problems with the precision matched devices on-chip and they alleviate thermal stress conditions that could occur for every on-hook and off-hook transition. The power dissipation in these devices is:

$$P_{QT} = I_L{}^2(R_T/98 - R_{PT} - 4) + (2.0\ V)I_L \quad (15)$$

$$P_{QR} = I_L\,[|V_{EE}| - 2 - I_L(R_T/98 + R_L + R_{PR} + 16)] \quad (16)$$

where $I_L = |V_{EE}|/R_{FQ}$ or I_L(max) in current limited designs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYSTEM EQUATIONS (continued)

R_H — The resistor that determines the hook status threshold values of R_L. R_H is selected from a graph of the following two equations:

Off-hook threshold

$$R_H = 6(R_L + R_R + R_T) \quad (17)$$

On-hook threshold

$$R_H = 27.25\,[R_L + 0.01(R_R + R_T)] \quad (18)$$

FIGURE 11 — HOOK STATUS DETECTION

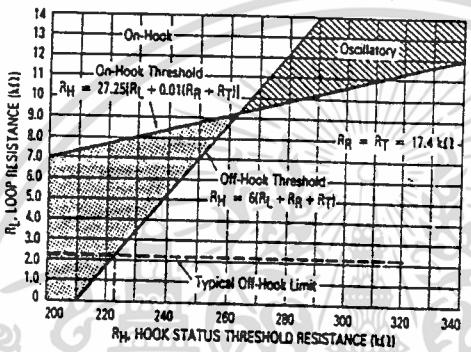


Figure 11 shows such a graph using 17.4 kΩ as the values for R_R and R_T. Note the oscillatory condition to the right of the crossing point. Selection of R_H in this region is usually not a problem since the majority of telephone lines do not fall into this resistance range. R_H always ties to V_{QB} and HST and will give reliable hook status information regardless of power supply voltages and $\overline{PDI}$.

R_O — Termination impedance of the 2-wire port. This impedance is greater than the dc feed resistance R_F because of a current splitting network in the feedback loop, R_{TX1} and R_{TX2}.

K3 — A constant, formed by R_{TX1} and R_{TX2}, between 0 and 1, which determines the ratio of the first order value of R_F to R_O.

$$R_O = \frac{R_R + R_T + 1200\ \Omega}{1 + 97K3} \quad (19)$$

So:

$$K3 = \frac{R_R + R_T + 1200\ \Omega - R_O}{97R_O} \quad (20)$$

and

$$K3 = \frac{R_{TX2} + Z_{in}}{R_{TX1} + R_{TX2} + Z_{in}} \quad (21)$$

Z_{in} — The input impedance of the current to voltage converter op amp. This impedance is usually negligible, it can be used to sway the selection of a 1% component value.

$$Z_{in} = \frac{(R_R + R_T + 1200\ \Omega)\,G_{TX}}{1020\,(1 - K3)} = \frac{R_{VTX}}{1000} \quad (22)$$

R_{TX1} — Feeds most of the TXO dc current to the RXI pin. To keep TXO from saturation the maximum value of R_{TX1} is as follows:

$$R_{TX1} < \frac{(R_R + R_T + 1200\ \Omega)\,(|V_{QB}|min - |V_{AG}|max - 6.5\ V)}{|V_{QB}|min - 5.4\ V} \quad (23)$$

Where:

$$|V_{QB}|min = \frac{(R_R + R_T + 1200\ \Omega)\,(|V_{EE}|min - 4)}{(R_R + R_T + 1200\ \Omega + 2.8\,R_{QB})} \quad (24)$$

or if a current regulator diode is used:

$$R_{TX1} < \frac{0.01\ I_L(max)\,(R_R + R_T + 600\ \Omega) - |V_{AG}|max - 3.9\ V}{0.01\ I_L(max)} \quad (25)$$

It is beneficial to make R_{TX1} as large as possible. Typical values range from 15 k to 24 kΩ.

$$R_{TX2} = \frac{K3\,R_{TX1}}{1 - K3} - Z_{in} \quad (26)$$

$$C_{TX} = \frac{R_R + R_T + 1200\ \Omega}{7R_{TX2}} \quad \text{The result is in } \mu F. \quad (27)$$

G_{TX} — The voltage gain from the 2-wire port to V_{TX} which is adjustable by R_{VTX}.

$$G_{TX} = \frac{1.02\,(1 - K3)\,R_{VTX}}{R_R + R_T + 1200\ \Omega} \quad (28)$$

$$R_{VTX} = \frac{G_{TX}(R_R + R_T + 1200\ \Omega)}{1.02\,(1 - K3)} \quad (29)$$

G_{RX} — The voltage gain from the V_{RX} input to the 2-wire port which is adjustable by R_{RX}.

$$G_{RX} = \frac{-95\,R_L\,(R_R + R_T + 1200\ \Omega)}{R_{RX}\,[(R_R + R_T + 1200\ \Omega) + R_L(1 + 97K3)]} \quad (30)$$

$$G_{RX} = \frac{-95\,R_L\,R_O}{R_{RX}(R_L + R_O)} \quad (31)$$

$$R_{RX} = \frac{95\,R_L\,R_O}{G_{RX}(R_L + R_O)} \quad (32)$$

$$C_{RX} > \frac{R_{RX} + R_B}{2\pi f\,R_{RX}R_B} \quad (33)$$

Where f is the minimum passband frequency, usually 200 Hz.

Transhybrid Rejection — The voltage gain from V_{RX} to V_{TX}. It is expressed in dB, the number should be negative and the larger the value the better. Transhybrid rejection is achieved by summing a current from the V_{RX} input (R_B) with the TXO current that flows to the current to voltage converter. R_B balances a resistive load, R_L.

$$R_B = \frac{R_{RX}(1 + 97K3)\,(R_O + R_L)}{97R_L\,(1 - K3)} \quad (34)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 — BALANCE NETWORK FOR CAPACITIVE LINES

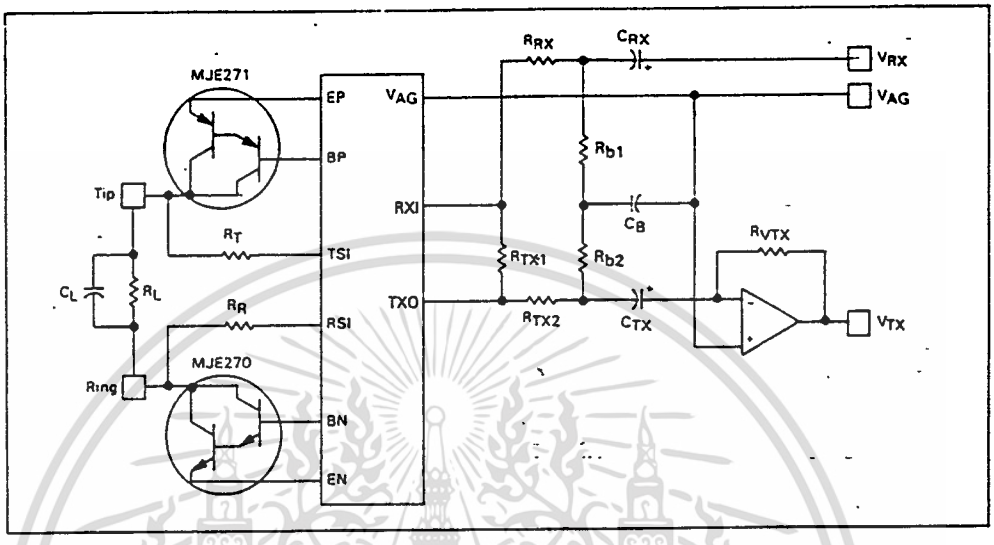
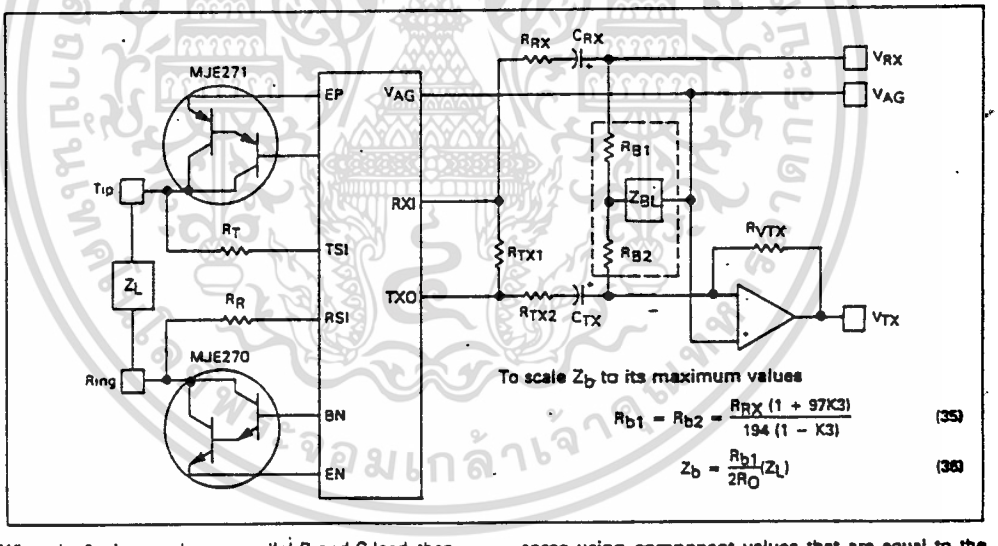


FIGURE 13 — BALANCE NETWORK FOR COMPLEX LOAD IMPEDANCES



To scale Z_b to its maximum values

$$R_{b1} = R_{b2} = \frac{R_{RX}\,(1 + 97K3)}{194\,(1 - K3)} \quad (35)$$

$$Z_b = \frac{R_{b1}}{2R_O}(Z_L) \quad (36)$$

When the 2-wire port has a parallel R and C load, then (see Figure 12):

$$R_{b1} = \frac{R_{RX}(R_R + R_T + 1200\ \Omega)}{97R_L\,(1 - K3)} \quad (37)$$

$$R_{b2} = \frac{R_{RX}(R_R + R_T + 1200\ \Omega)}{97R_O(1 - K3)} \quad (38)$$

$$C_b = \frac{R_L C_L}{R_{b2}} \quad (39)$$

When it is desirable to balance complex load impedances using component values that are equal to the load values (see Figure 13) then:

$$R_{b1} = \frac{R_{RX}(1 + 97K3)}{194(1 - K3)} + \sqrt{\left[\frac{R_{RX}(1 + 97K3)}{194(1 - K3)}\right]^2 - \frac{R_O R_{RX}(1 + 97K3)}{97(1 - K3)}} \quad (40)$$

$$R_{b2} = \frac{R_{RX}(1 + 97K3)}{97(1 - K3)} - R_{b1} \quad (41)$$

$$Z_b = Z_L \quad (42)$$

R_{b1} and R_{b2} values are interchangeable.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYSTEM EQUATIONS (continued)

The Tip and Ring Sense Output currents are proportional to the currents out of and into TSI and RSI, respectively.

$$I_{TSO} = \frac{I_{TSI}}{6} \quad (43)$$

$$I_{RSO} = \frac{I_{RSI}}{6} \quad (44)$$

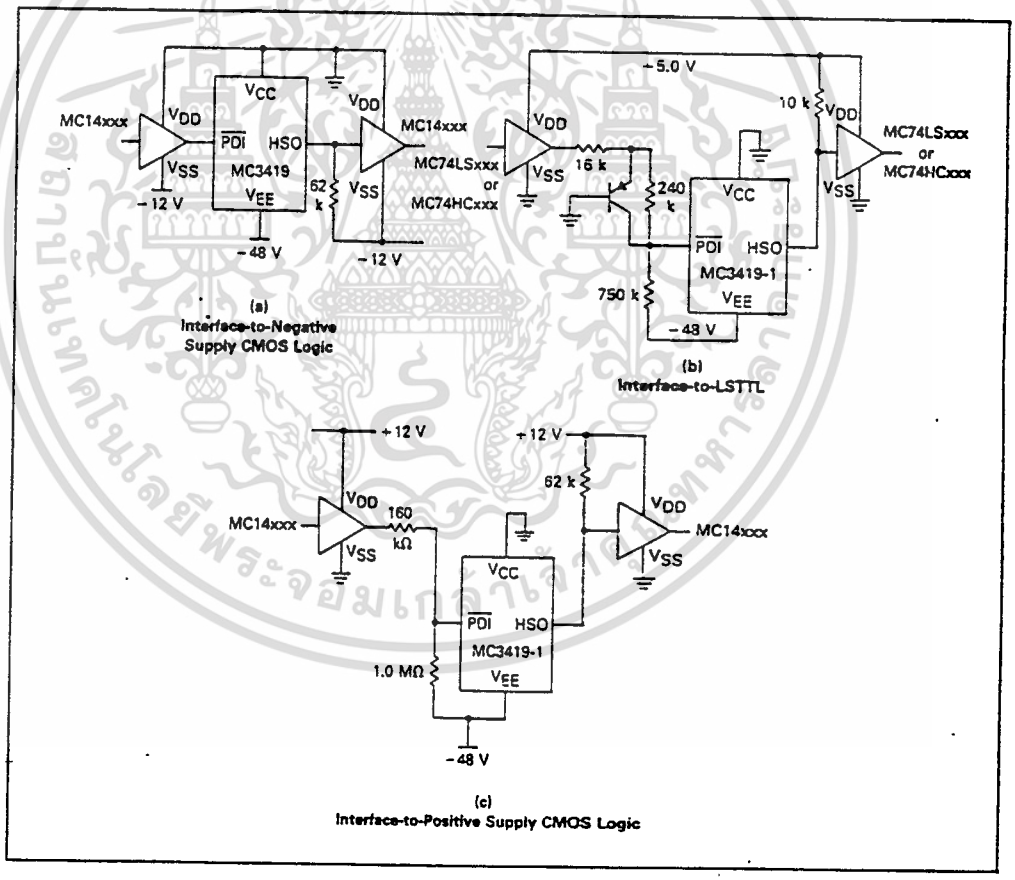
$$I_{TSO} = \frac{|V_{Tip} - V_{CC}| - 2.0\ V}{6\ (R_T + 600\ \Omega)} \text{ for } V_{Tip} < V_{CC} \quad (45)$$

$$I_{RSO} = \frac{|V_{Ring} - V_{QB}| - 2.0\ V}{6(R_R + 600\ \Omega)} \text{ for } V_{Ring} > V_{QB} \quad (46)$$

Digital interfacing to the MC3419-1 $\overline{PDI}$ pin and the HSO pin is shown in Figures 14a, 14b and 14c. If the $\overline{PDI}$ pin is not used it should be terminated to V_{CC} and if HSO is not used, it can be left open.

Figure 15 is an application circuit showing solid state ringing insertion using an MOC3030 zero-crossing detector optocoupled triac to replace the conventional electromechanical relay. This device inserts the ringing signal on a zero voltage crossing which eliminates noise in adjacent cable pairs and removes the signal on a zero current crossing which eliminates inductive voltage spikes that commonly destroy relay contacts. The ringing generator provides a continuous 40 V to 120 V RMS signal from 15 to 66 Hz superimposed upon −48 Vdc. Ringing cadencing is inserted with the Ring Enable Input. The 2N6558 and MPSA42 replace the MJE270 for systems that use ringing generator voltages greater than 70 V_{RMS}. The MDA220 diode bridge is replaced with a series 1N4007 on the Tip lead and a shunting 1N4004 to V_{EE} and to allow ringing voltage

FIGURE 14 — INTERFACE-TO-DIGITAL LOGIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

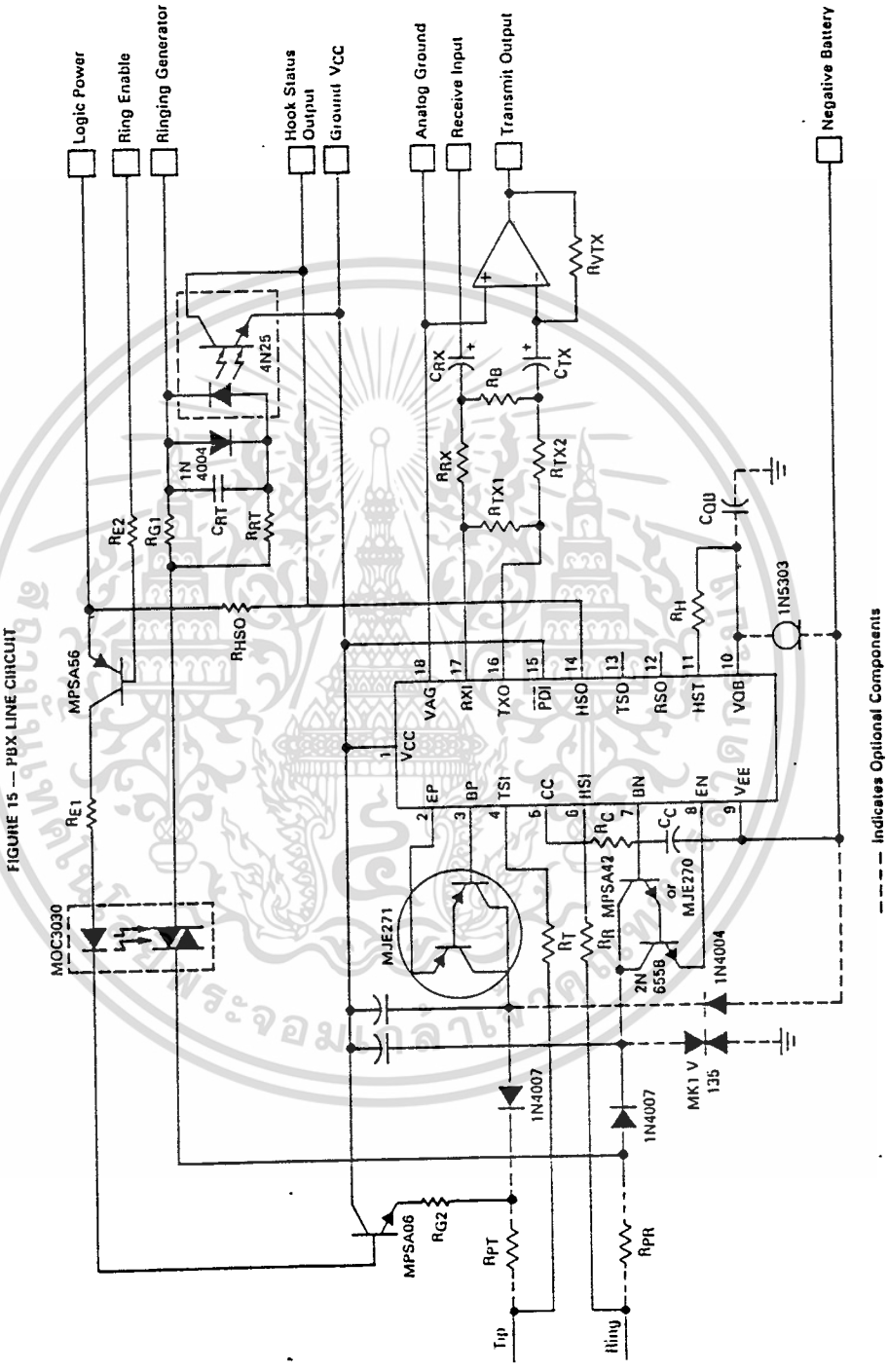


FIGURE 15 — PBX LINE CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYSTEM EQUATIONS (continued)

on the Ring lead to exceed the power supply voltages, a 1N4007 and an MK1V-135 (Sidac) are used for protection. The forward voltage drop across the 1N4007, during normal operation, will not affect the parametric characteristics of the MC3419-1 since it is "inside" a feedback circuit. If the MJE270 is used, the MK1V-135 should be replaced with a lower voltage Sidac or MoSorb transient suppressor.

An optocoupled transistor circuit is used for ring trip detection on long lines. It samples only the ac and dc ringing signal current and uses a simple one pole filter to eliminate the low level ac signal. Under worst case conditions this circuit will ring trip in 1½ to 4 cycles. In systems serving only short loops (<700 Ω), if R_{G1} and R_{G2} are 620 Ω or greater, the optotransistor circuit is not needed, the Hook Status Output will perform ring trip on a Zero Crossing. The Ring Enable input and the Hook Status Output interface with standard CMOS and TTL logic.

The op amp in this circuit is an integral part of the following codecs, filters or combos:

- MC3417/8 — MC145414
  MC14404/6/7 — MC14413/4
  MC14401/2/3/5

For further applications information such as:

- 24 volt PBX circuit
- 2-wire differential to 2-wire unbalanced SLIC
- Constant current battery feed
- Per line ringing cadencing circuit
- Message waiting lamp
- Transfer button detection
- etc.

Please contact your local Motorola sales office.

LONG LINES OFF-PREMISE LINES

Specifications

R_F	— 200 Ω	R_O	— 600 Ω	Off-Hook	— <2500 Ω	V_{Logic}	— +5.0 V
I_L(max)	— 60 mA	R_X Gain	— 0 dB 200–3400 Hz	On-Hook	— >10 kΩ	V_{EE}	— −42 to −56 Volts
R_L(max)	— 1900 Ω	T_X Gain	— 0 dB 200–3400 Hz	Protection	— 1000 V	$V_{Ringing}$	— (40 V to 120 V_{RMS}) + V_{EE}
				Ringer Equivalent	— 5		

Parts List

MPSA56	R_R	—	9.09 k	1% Matched	MOC3030	R_{TX1}	—	12.1 k 1%
2N3905	R_T	—	9.09 k	1% if desired	4N25	R_{TS2}	—	5.76 k 1%
2N6558	R_{PT}	—	47 Ω	5%		R_{RX}	—	28.7 k 1%
MPSA42	R_{PR}	—	75 Ω	5%		R_B	—	28.0 k 1%
MJE271	R_{G1}	—	620 Ω	5%		R_{VTX}	—	28.6 k 1%
1N4007	R_{G2}	—	100 Ω	5%		C_T		0.004 μF
MK1V135	R_{E1}	—	91 Ω	5%		C_R	—	0.004 μF
1N4007	R_{E2}	—	3.0 k	5%		C_C	—	0.001 μF
1N4007	R_{RT}	—	20 k	5%		C_{RX}	—	1.0 μF/20 V
1N5303	R_C	—	24 k	5%		C_{TX}	—	2.0 μF/40 V
1N4004	R_H	—	127 k	1–3%		C_{RT}	—	20 μF/5.0 V
MC3419-1	R_{HSO}	—	10 k	5%		C_{QB}	—	10 μF/60 V

SHORT LINES ON-PREMISE LINES

Specifications

R_F	—	500 Ω		R_X Gain	—	−5.0 dB	
R_L(max)	—	700 Ω		T_X Gain	—	0 dB	
Ring Trip	—	<50 ms		V_{Logic}	—	+5.0 Volts	
Ringer Equivalent	—	2.5		V_{EE}	—	−20 to −56 Volts	
R_O	—	600 Ω		$V_{Ringing}$	—	(40 V to 70 V_{RMS}) + V_{EE}	

Parts List

MJE271	R_R	—	19.6 k	1%	MOC3030				R_{HSO}	—	10 k 5%
MJE270	R_T	—	19.6 k	1%					R_{TX1}	—	19.6 k 1%
MPSA56	R_{G1}	—	620 Ω	5%	C_T	—	0.004 μF		R_{TX2}	—	42.2 k 1%
2N3906	R_{G2}	—	620 Ω	5%	C_R	—	0.004 μF		R_{RX}	—	69.8 k 1%
1N4007	R_{E1}	—	91 Ω	5%	C_C	—	0.004 μF		R_B	—	301 k 1%
1N4007	R_{E2}	—	3.0 k	5%	C_{RX}	—	0.1 μF		R_{VTX}	—	127 k 1%
MC3419C-1	R_H	—	330 k	5%	C_{TX}	—	0.5 μF		R_C	—	56 k 5%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอกราบขอบพระคุณผู้ช่วยศาสตราจารย์ สมยศ จุณณะปิยะ ที่ช่วยเหลือให้ปริญญานิพนธ์นี้เสร็จสมบูรณ์ และแก้ไขวงจรให้ถูกต้องและทำงานได้

ขอบคุณ เกียรติพร เลิศสถิตย์พงษ์ ที่เอื้อเฟื้อคอมพิวเตอร์และพริ้นเตอร์ในการใช้งาน

ขอบคุณ วรวิศว์ วีรคเชนทร์ , วรินทร์ ธีรพงศ์พันธ์ และ อนุพงษ์ หอมขจร ที่เอื้อเฟื้ออุปกรณ์ถ่ายภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ทวีศักดิ์ ลิ้มศาสนกิจ และปิยะ จิตต์นิมิตร, **ปริญญานิพนธ์ ' แฟกซ์โมเด็ม '** , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2536
2. ประสิทธ์ วิทยธีราภรณ์ , **เทคนิคการสื่อสารด้วยโมเด็ม** , ฟิสิกส์เซ็นเตอร์
3. วิสันต์ อาชาเดโชพล , **ระบบโทรศัพท์ดิจิตอล** , ฟิสิกส์เซ็นเตอร์
4. ปรเมษฐ์ ประนยานันทน์ และ ปิยพงศ์ เผ่าวณิช , **คู่มือและการประยุกต์ใช้งาน ไมโครคอนโทรลเลอร์ MCS-51** , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน)
5. ศิลารีเสิร์ช , **คู่มือการใช้งาน ANT-32**
6. Peter W. Gofton, **คัมภีร์การใช้งานการสื่อสารอนุกรมบนพีซี** , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน)
7. Robert L. Hummel , **Programmer's Techmiical Reference : Data and Fax Communications** , Ziff-Davis Press , 1993
8. Larry Jordan and Bruce Churchill , **Communications and Networking for The IBM PC and Compatible** , Third edition , Brady
9. Uyless Black , **The V Series Recommendations** , McGrawhill
10. Uyless Black , **Computer Network protocols , standard and interfaces** , Prentice=Hall , 1987
11. Trevor Housley , **Data Communications and Teleprocessing Systems** , second edition , Prentice-Hall
12. Frederick F. Drisscoll , **Data communications** , Saunders Collage Publishing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้