สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบรักษาความปลอดภัยในอาคาร

TOWER SECURITY SYSTEM

โดย

นายประวิทย์ บัวคอม

นายวีระชน ศรีคำออน

นายสำราญ ไวยครุฑ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน 37094
วัน, เดือน, ปี 1 มิ.ย. 2543

สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปีการศึกษา 2542

ระบบรักษาความปลอดภัยในอาคาร
(TOWER SECURITY SYSTEM)

โดย

นายประวิทย์ บัวคอม

นายวีระชน ศรีคำออน

นายสำราญ ไวยครุฑ

อาจารย์ที่ปรึกษา

อาจารย์ไพศาล สิทธิโยภาสกุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์	ปีการศึกษา 2542
ภาควิชา	เทคนิคอุตสาหกรรม
คณะ	วิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าคุณทหารลาดกระบัง
เรื่อง	ระบบรักษาความปลอดภัยในอาคาร
	(TOWER SECURITY SYSTEM)
ผู้จัดทำ	นายประวิทย์ บัวคอม 40013337
	นายวีระชน ศรีคำออน 40013350
	นายสำราญ ไวยครุฑ 40013356

..... (อาจารย์ที่ปรึกษา)

(อาจารย์ไพศาล สิทธิโยภาสกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบรักษาความปลอดภัยภายในอาคาร

นายประวิทย์ ชัวกอบ 40013337
นายประชน ศรีกำกอบ 40013350
นายสำราญ ไชยกรุง 40013356
อาจารย์ไพสาล สิทธิโชติภาสกุล
ปีการศึกษา 2542

บทคัดย่อ

โครงการนี้เป็นการนำ ไมโครคอมพิวเตอร์ ไมโครคอนโทรลเลอร์ และการรับ ส่ง ข้อมูลของเครือข่ายคอมพิวเตอร์ มาประยุกต์เป็นระบบรักษาความปลอดภัยในอาคาร โดยแบ่งเป็น 2 ส่วน ส่วนแรกเป็นระบบเตือนภัยของแต่ละชั้นของอาคารใช้ไมโครคอนโทรลเลอร์ MCS-51 เป็นส่วนประมวลผลกลาง ติดต่อกับอุปกรณ์ตรวจจับ (Sensor) ได้สูงสุด 32 จุด ควบคุมอุปกรณ์ไฟฟ้าได้ 4 จุด ส่งสัญญาณแจ้งเตือนทางไซเรนและต่อโทรศัพท์ แจ้งเตือนด้วยเสียงพูด ตามเลขหมายที่ตั้งโดยอัตโนมัติ ส่วนที่สองเป็นระบบเครือข่ายแบบแม่กับลูก (Master / Slave) สองระดับใช้เครื่องไมโครคอมพิวเตอร์ ติดตั้งศูนย์รักษาความปลอดภัยของอาคาร ทำหน้าที่แสดงผลการทำงานเป็นแบบกราฟฟิก และส่งสัญญารข้อมูลควบคุมระบบทั้งหมดแบบอนุกรมอ้างอิงมาตรฐาน RS-485 โดยติดต่อกับระบบเตือนภัยได้ ทั้งหมด 992 จุด ที่ความเร็ว 9600 bps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOWER SECURITY SYSTEM

MR. PRAVIT BUAKOM 4000013337

MR.WEERACHON SRIKHAM-ON 4000013350

MR.SAMRAN VAIYAKRUT 4000013356

ADVISOR

MR. PAISAN SITHIYOPASAKUL

1999

ABSTRACT

This project is about using microcomputer, microcontroller and data transmission via computer network for application of tower security system. This system consists of two part, the first is a alarm system for each floor of tower using MCS-51 micorcontroller to be central processing unit for receiving 32 sensor devices , control 4 electric device, sending alarm signal with siren sound and automatic call to house owner or ploice station. The second part is Masster Slave network using microocomputer in tower security system for indicating an alarm in graphic display and sending all of control data of system referenced by serial communication RS-485 standard with 992 maximun nodes at rate 9600 bps.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 หลักการทำงานและทฤษฎีเบื้องต้น	2
2.1 โครงสร้างภายในของ 8051	3
2.2 พอร์ตของ 8051	5
2.3 วงจรคล็อคของ 8051	9
2.4 ผังเวลาของซีพียู	10
2.5 การแบ่งประเภทของหน่วยความจำ	12
2.6 การอินเตอร์รัปต์	
2.7	
2.8 หลักการทำงานและทฤษฎีเบื้องต้นของระบบโทรศัพท์	17
2.9 โครงสร้างภายในของ 8055	21
2.10 มาตรฐานการอินเตอร์เฟซ	24
2.11 ISD 12xx / 14xxSERIES	30
บทที่ 3 การออกแบบวงจร	35
3.1 การออกแบบวงจรโดยรวม	35
3.2 การออกแบบ Hardware ของระบบเครือข่าย	37
บทที่ 4 การทดลองและผลการทดลอง	44
4.1 การรับสัญญาณแจ้งเตือนจาก Sensor ของระบบเตือนภัย	44
4.2 การแจ้งเตือนภัยของระบบโทรศัพท์	44
4.3 การทดสอบระบบโดยการทดสอบเหมือนการใช้งานจริง	45
4.4 สรุปผลและวิจารณ์การทดลอง	45
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
รูปที่ 2.1 (a) 8051 บล็อกไดอะแกรมของ MCS-51	3
รูปที่ 2.1 (b) ตำแหน่งต่าง ๆ ของรีจิสเตอร์ต่าง ๆ	4
รูปที่ 2.2 การจัดวางขาของ 8051	4
รูปที่ 2.3 แสดงโครงสร้างพอร์ต 0 (บิต)	5
รูปที่ 2.4 โครงสร้างของพอร์ต 1 (บิต)	6
รูปที่ 2.5 โครงสร้างของพอร์ต 2 (บิต)	7
รูปที่ 2.6 โครงสร้างของพอร์ต 3 (บิต)	8
รูปที่ 2.7 การต่อขารีเซ็ทให้กับ 8051	9
รูปที่ 2.8 วงจรคล็อคของ 8051	9
รูปที่ 2.9 ผังเวลาการทำงานของแต่ละคำสั่ง	10
รูปที่ 2.10 แสดงผังเวลาการติดต่อกับหน่วยความจำภายนอก	11
รูปที่ 2.10 แสดงผังเวลาการติดต่อกับหน่วยความจำภายนอก (ต่อ)	12
รูปที่ 2.11 ผังหน่วยความจำที่ใช้เก็บโปรแกรมสำหรับเบอร์ 8051	13
รูปที่ 2.12 ผังหน่วยความจำสำหรับเก็บโปรแกรมสำหรับเบอร์ 8052	13
รูปที่ 2.13 ผังหน่วยความจำสำหรับ Data Memory เบอร์ 8051	13
รูปที่ 2.14 ผังหน่วยความจำสำหรับ Program Memory ของ 8052	14
รูปที่ 2.15 Tone Table	19
รูปที่ 2.16 แสดงการจัดเรียงขาต่าง ๆ ของ 8255	20
รูปที่ 2.17 โครงสร้างภายในของ 8255	21
รูปที่ 2.18 แสดงขั้นตอนการทำงานของ RS 232 ผ่านสายโทรศัพท์สาธารณะ	26
รูปที่ 2.19 แสดงชาวงแรงดันไฟฟ้าของ RS232	28
รูปที่ 2.20 (a) แสดงเส้นทางสื่อสารของ RS232	29
(b) แสดงการกำหนดแรงดันไฟฟ้าของ RS422	29
รูปที่ 2.21 แสดงอินเตอร์เฟซ RS-485 แบบต่อหลายจุด	30
รูปที่ 2.22 Block diagram ของ ISD/1200/1400 series	32
รูปที่ 2.23 แสดงรายระเอียดของ ISD 1200/1400 series	33
รูปที่ 3.1 บล็อกไดอะแกรมการทำงาน	36
รูปที่ 3.2 Flow Chat ของข้อมูล I โปรแกรมด้วย Software	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่	หน้า
รูปที่ 3.3 แสดงการทดลอบชิพไอซี MC14551	39
รูปที่ 3.4 แสดงการทดลอบชิพไอซี SN 765176	39
รูปที่ 3.5 บล็อกไดอะแกรมของ Master ชั้นที่ 2	40
รูปที่ 3.6 บล็อกไดอะแกรม ของSlave Node ชั้นที่ 1	40
รูปที่ 3.7 บล็อกไดอะแกรม ของ Slave Node ชั้นที่ 1(ระบบเตือนภัยภายในอาคาร)	41
รูปที่ 3.8 วงจรของ Master Node	42
รูปที่ 3.9 วงจร Slave Node ชั้นที่ 1	42
รูปที่ 3.10 วงจร Slave Node ชั้นที่ 2	43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปัจจุบันนี้สภาพความเป็นอยู่ของคนเราต้องออกไปทำงานนอกบ้านทั้งหัวหน้าครอบครัวและแม่บ้านเนื่องมาจากความเจริญขึ้นของสังคมเมืองทำให้ค่าใช้จ่ายที่จำเป็นในการดำรงชีวิตสูงขึ้นตามไปด้วยเหมือนเงาตามตัวดังนั้นเวลาส่วนใหญ่จึงอยู่นอกบ้านเป็นหลักเช่นอยู่ที่ทำงานอยู่บนห้องถนนเป็นต้นทำให้บ้านไม่มีคนเฝ้าดูแลแล้วก็เพื่อนบ้านก็มีลักษณะแบบต่างคนต่างอยู่จึงไม่มีใครคอยให้ความสนใจซึ่งกันและกันจึงเป็นการง่ายต่อการโจรกรรมของมิจฉาชีพดังนั้นระบบรักษาความปลอดภัยจึงสามารถที่จะป้องกันทรัพย์สินของผู้เป็นเจ้าของบ้านได้เนื่องจากระบบจะทำงานทั้งแบบเดี่ยวหรือที่เรียกว่า Stand Alone กันแบบเครือข่าย (Network) โดยหลักการนั้นเมื่อมีเหตุผิดปกติเกิดขึ้นในบ้านระบบรักษาความปลอดภัยที่ติดอยู่ในบ้านจะมีตัวตรวจจับทำหน้าที่ส่งสัญญาณเตือนภัยให้ระบบทำงานเมื่อไม่มีการปิดสัญญาณเตือนจะมีสัญญาณสองส่วนโดยส่วนหนึ่งจะส่งออกไปให้กับศูนย์รักษาการหน้าหมู่บ้านทางเครื่องไมโครคอมพิวเตอร์โดยเจ้าหน้าที่รักษาความปลอดภัยสามารถทราบทันทีได้ว่าเกิดจากบ้านใด พร้อมทั้งสาเหตุเกิดจากอะไรหรือจากเซนเซอร์ตัวไหน และสัญญาณอีกส่วนหนึ่งจะส่งไปควบคุมให้มีกดโทรศัพท์อัตโนมัติเพื่อโทรแจ้งเจ้าของบ้านทราบว่าขณะนี้มีเหตุผิดปกติเกิดขึ้นตามหมายเลขโทรศัพท์ที่กำหนดไว้ล่วงหน้าแล้วก็ทางหมายเลขวิทยุติดตามตัวด้วย ในสภาวะปกติเจ้าของบ้านสามารถใช้โทรศัพท์โทรเข้ามาเพื่อเปิด – ปิด อุปกรณ์ไฟฟ้าและสอบถามสถานะการทำงานของระบบได้ วงจรส่วนควบคุมที่ติดอยู่ที่ตัวเครื่องสามารถที่จะโปรแกรมส่วนต่าง ๆ ได้เช่นรหัสผ่าน หมายเลขโทรศัพท์ หมายเลขวิทยุติดตามตัว บันทึกเสียงเตือนภัย เป็นต้น ในส่วนของเครื่องไมโครคอมพิวเตอร์ที่ติดตั้งไว้ที่ศูนย์รักษาความปลอดภัยของหมู่บ้านที่หน้าที่รับสัญญาณเตือนภัยที่ส่งจากแต่ละบ้าน มาทางสายที่ต่อเข้าแต่ละบ้าน ถ้ามีเหตุผิดปกติเกิดขึ้นจะมีเสียงเตือนเพื่อบอกให้พนักงานสอบสถานที่ตั้งของตัวบ้านว่ามีเหตุผิดปกติขึ้นจริงหรือไม่และหาทางแก้ไขต่อไป

ระบบนี้อาจจะมียังไม่สมบูรณ์ที่สุด ซึ่งทางผู้จัดทำหวังว่าคงมีผู้ที่สนใจได้นำหลักการนี้ไปพัฒนา ให้เกิดประโยชน์ต่อสังคมและเป็นการพัฒนาเทคโนโลยีให้ทันสมัยยิ่ง ๆ ขึ้นต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการทำงานและทฤษฎีเบื้องต้น

ในบทนี้จะกล่าวถึงหลักการทำงาน และทฤษฎีเบื้องต้นที่นำมาใช้งานใน โครงงานนี้ที่สำคัญ ๆ มีดังนี้คือ ทฤษฎีและหลักการทำงานของไมโครคอนโทรลเลอร์ตระกูล MCS-51 ทฤษฎีและหลักการทำงานของระบบโทรศัพท์, ทฤษฎีและหลักการทำงานของจอแสดงผลแบบ LCD, ทฤษฎีและหลักการทำงานของ 8255 Programmable peripheral interface เป็นต้น ซึ่งจะกล่าวถึงหลักการทำงานและทฤษฎีเบื้องต้นเพื่อให้เห็นแนวคิดเท่านั้น โดยจะแยกกล่าวเป็นเรื่อง ๆ ดังต่อไปนี้

โครงสร้างของ MCS-51

ในปัจจุบันคอมพิวเตอร์ได้เข้ามามีบทบาทในชีวิตประจำวันของคนเรามากขึ้นเครื่องใช้ไฟฟ้าหลายชนิดก็มีการใช้คอมพิวเตอร์ควบคุมเช่นกัน คอมพิวเตอร์ที่เราเห็นกันทั่วไปนั้นส่วนใหญ่เป็นเครื่องคอมพิวเตอร์ที่เรียกว่า Microcomputer ซึ่งเมื่อพิจารณาในเรื่องขนาดแล้วจะเห็นว่ามีขนาดใหญ่ ไม่สะดวกในการนำมาใช้ในการควบคุมเครื่องใช้ไฟฟ้าทั่วไป จึงได้พัฒนา Chip ที่เรียกว่า ไมโครคอนโทรลเลอร์ ขึ้นมาโดยมีคุณลักษณะที่สำคัญ ๆ คล้ายกับคอมพิวเตอร์แต่มีขนาดและความสามารถบางอย่างน้อยกว่าก็ตามที่ เราก็ยังสามารถต่อเพิ่มให้เพียงพอต่อความต้องการของเราได้ ไมโครคอนโทรเลอร์เรียกอีกอย่างหนึ่งว่า 1 chip microcomputer ก็ได้เครื่องใช้ไฟฟ้าที่ใช้ที่ใช้ไมโครคอนโทรลเลอร์เข้ามาควบคุม การทำงานของระบบตัวอย่างที่เราพบเห็นได้แก่ เครื่องซักผ้า กล้องถ่ายรูป เป็นต้น

คุณสมบัติของไมโครคอนโทรลเลอร์ตระกูล MCS-51

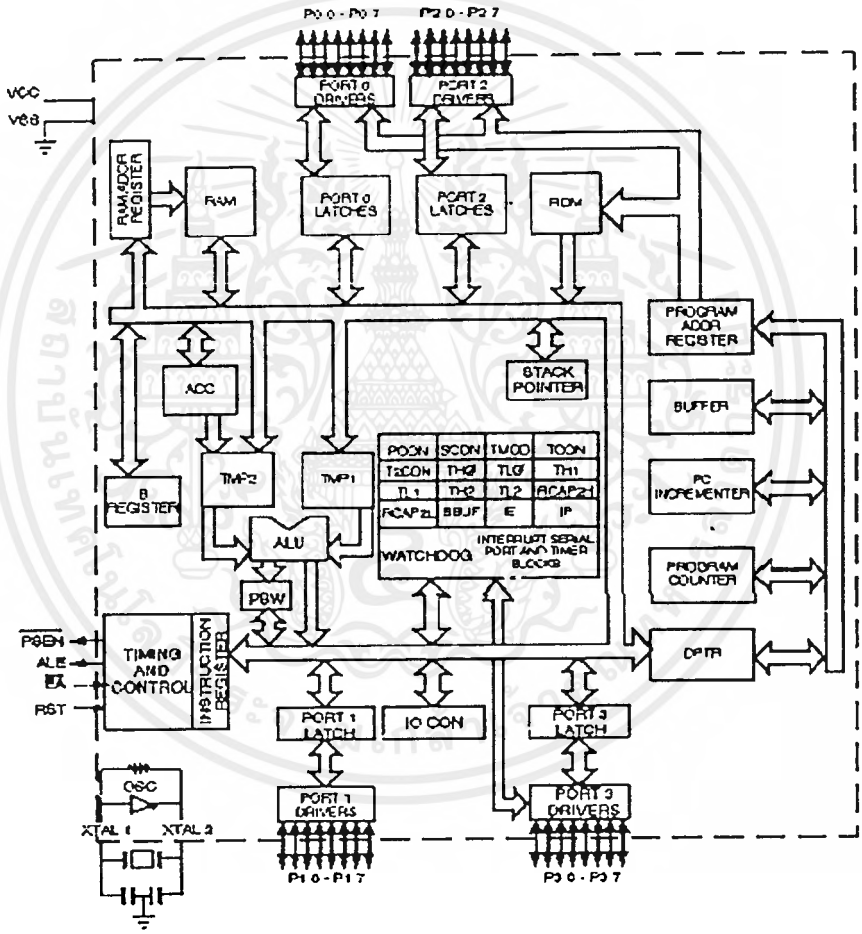
- ต้องการแหล่งจ่ายไฟ + 5V ชุดเดียว
- มีหน่วยความจำโปรแกรม (Program Memory) ขนาด 4 กิโลไบต์ สำหรับเบอร์ 8051 และ 8031, 8032 ไม่มีหน่วยความจำชุดนี้ ส่วน 8052 มีหน่วยความจำถึง 8 กิโลไบต์
- มีหน่วยความจำสำหรับเก็บข้อมูล (Data Memory) ขนาด 128 ไบต์ สำหรับ 8052 มีถึง 256 ไบต์
- หน่วยความจำสำหรับโปรแกรมและดาต้า (Program Memory และ Data Memory แยกจากกันอย่างละ 64 ไบต์
- คำสั่งที่ใช้เวลาน้อยที่สุดประมาณ 1 usec เมื่อทำงานที่ความถี่ 12 MHz
- มี Timer/Counter ขนาด 16 บิต 2 ชุด (สำหรับ 8052 มี 3 ชุด) ทำงานได้ 4 โหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- รับอินเตอร์รัพท์ได้ 6 แหล่ง 5 เวคเตอร์
- มีพอร์ตรับส่งข้อมูลอนุกรม (UART) 2 พอร์ต ทั้งรับและส่งในเวลาเดียวกันได้ (Full Duplex) เลือกรูปแบบการส่งข้อมูลได้ 4 โหลด
- มีคำสั่งในการทำ AND, OR หรือ Compulement ได้ทั้งแบบ 8 บิต และ 1 บิต

2.1 โครงสร้างภายในของ 8051

MCS-51 ใช้เทคโนโลยีการผลิตแบบ NMOS และ CMOS เบอร์ 8032 และ 8052 จะมี ROM BASIC อยู่ภายในจึงสะดวก สำหรับโปรแกรมเมอร์ ที่จะเขียนโปรแกรมด้วยภาษาเบสิกโครงสร้างภายในสำหรับเบอร์ 8051 ดังแสดงในรูปที่ 2.1 (a) และ 2.1 (b)

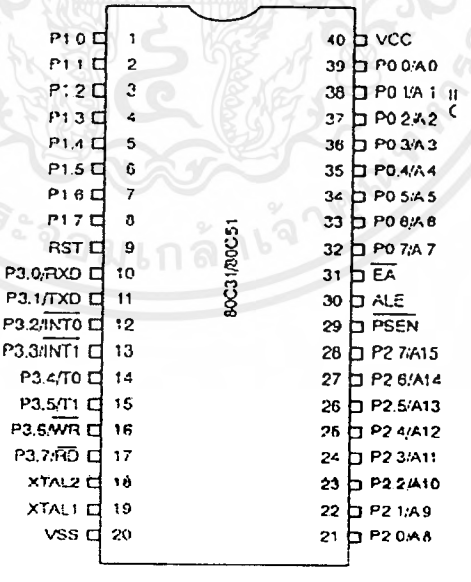


รูปที่ 2.1 (a) 8051 บล็อกไดอะแกรมของ MCS – 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0F8H								0FFH
0F0H	B 00000000							0F7H
0E8H								0EFH
0E0H	ACC 00000000							0E7H
0D8H								0DFH
0D0H	PSW 00000000					SPCR 00000XX		0D7H
0C8H	T2CON 00000000	T2MOD XXXXXX00	RCAP2H 00000000	RCAP2L 00000000	TL2 00000000	TH2 00000000		0CFH
0C0H								0C7H
0B8H	IP XXX00000							0BFH
0B0H	P3 11111111							0B7H
0A8H	IE 0X000000		SPSR 00XXXXXX					0AFH
0A0H	P2 11111111							0A7H
98H	SCON 00000000	SBUF XXXXXXXX						9FH
90H	P1 11111111						WAICON 00000010	97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000		8FH
80H	P0 11111111	SP 00000111	DPL 00000000	DPDH 00000000	DPL 00000000	DPH 00000000	SPDR XXXXXXXX	PCON 0XXX0000	87H

รูป 2.1 (b) ตำแหน่งต่าง ๆ ของรีจีสเตอร์ต่าง ๆ และหน่วยความจำ เพื่อใช้ประกอบการเขียนโปรแกรม



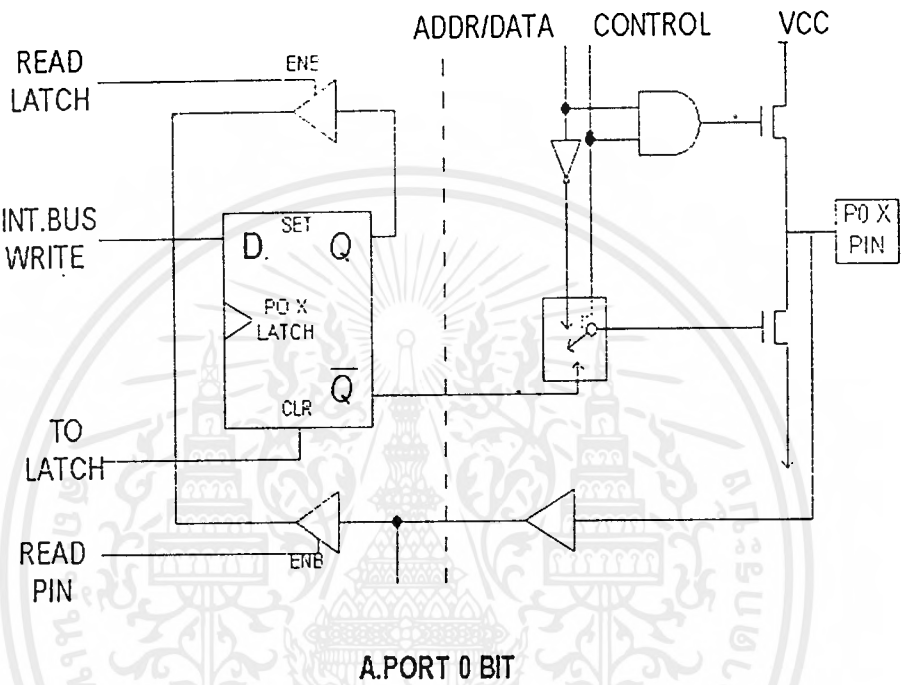
รูปที่ 2.2 การจัดวางขาของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 พอร์ตของ 8051

8051 เป็นไมโครคอนโทรเลอร์ขนาด 40 ขา ซึ่งมีขาต่าง ๆ ดังนี้

- Vcc (ขา 40) ต่อกับ + 5 V
- Vss (ขา 20) เป็นขา GND
- PORT 0 (ขา 32-39) มีทั้งหมด 8 บิต คือ (PO.0-PO.7) มีโครงสร้างแบบ Open Dain Bi-directional ดังแสดงในรูป 2.3

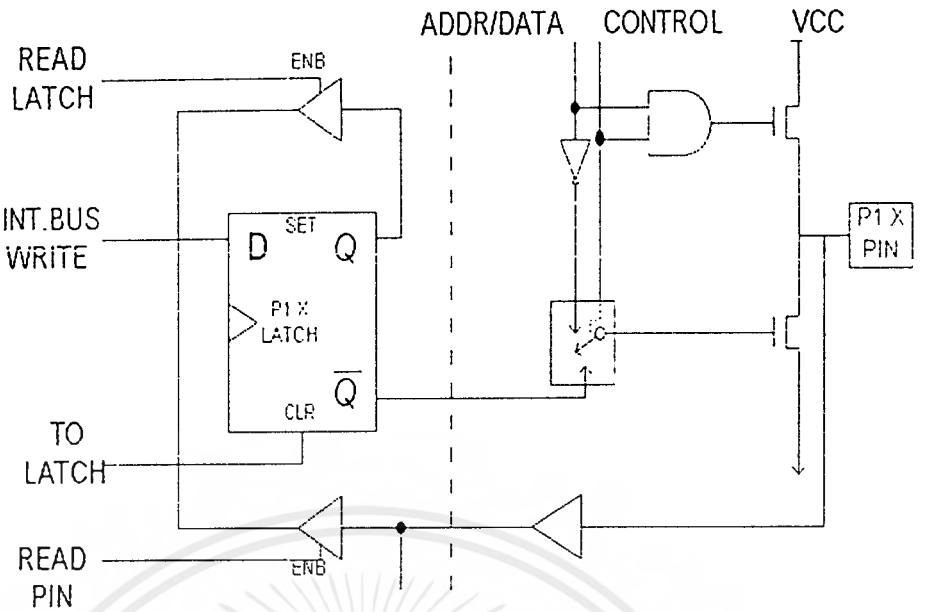


รูป 2.3 แสดงโครงสร้างพอร์ต 0 (บิต)

- พอร์ต 0 (ขา 32-39) มีทั้งหมด 8 บิต คือ (PO.0-PO.7) ใช้งานได้ 2 หน้าที่คือส่งแอดเดรสค้าต้าออกไปให้หน่วยความจำภายนอก เมื่อทำการเขียนข้อมูลลงในหน่วยความจำภายนอก ควบ คุมด้วยขา Control ดูรูป 2.3 ประกอบและอีกหน้าที่ที่หนึ่งก็คือเป็นพอร์ต I/O ถ้าต้องการให้ทำงานเป็นอินพุทพอร์ตต้องส่งลอจิก "I" ไปยังพอร์ตนี้ จะมีผลให้ Q ของ D-OFF เป็น "O" ทำให้ FET ตัวล่างมีสถานะ OFF สัญญาณที่ใช้อ่านอินพุ ทพอร์ต PIN (พอร์ต PO.X PIN) จะใช้สัญญาณ Real Latch เมื่อถูกกระตุ้นที่ Tri-State Buffer ตัวบน

- พอร์ต 1 (ขา 1-8) มีทั้งหมด 8 บิต คือ (P1.0 – P1.7) มีโครงสร้างคล้าย พอร์ต 0 แต่จะใช้ความต้านทานภายในพูลอัพแทน (Internal Pull Up Register) มีโครงสร้างดังรูป 2.4

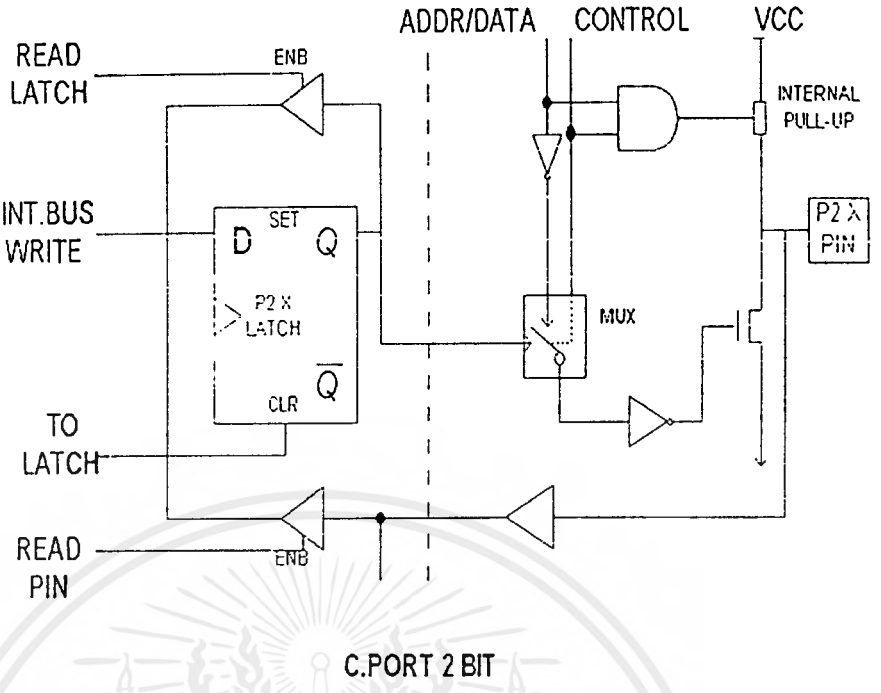
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 โครงสร้างของพอร์ต 1 (บิต)

- พอร์ต 2 ขา (ขา 21-28) มีทั้งหมด 8 บิต คือขา (P 2.0 – P 2.7) มีโครงสร้างคล้าย PORT 0 โดยมี FET ตัวล่างตัวเดียวส่วนด้านขนใช้ความต้านทานพูลอัพแทน (Internal Pullup) พอร์ตนี้ทำงาน 2 หน้าที่คือ สามารถใช้เป็นพอร์ตสำหรับส่งแอดเดรส 8 บิต บน (A8-A15) และเป็น I/O พอร์ตใช้งานทั่วไป เมื่อจะใช้งานเป็นอินพุทพอร์ตต้องส่งลอจิก "1" มาที่พอร์ตนี้ก่อน เพื่อบังคับให้ FET อยู่ในสภาวะ OFF ดังแสดงในรูป 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.5 โครงสร้างของ พอร์ต 2 (บิต)

- พอร์ต 3 (ขา 10-17) มีทั้งหมด 8 บิต คือ ขา (P3.0 – P3.7) มีโครงสร้างคล้ายพอร์ต พอร์ตนี้ทำหน้าที่เป็น I/O พอร์ต ถ้าจะให้พอร์ตนี้เป็น I/O Port ก็ให้ส่ง ลอจิก "1" มาที่พอร์ตนี้ก่อน และอีกหน้าที่หนึ่งคือ ส่งสัญญาณควบคุมออกมาและรับสัญญาณ เข้าไปสัญญาณต่าง ๆ มีดังนี้

P3.0 / RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม

P3.1 /TXD (Serial Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม

P3.2 /INTO (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.3 /INT1 (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

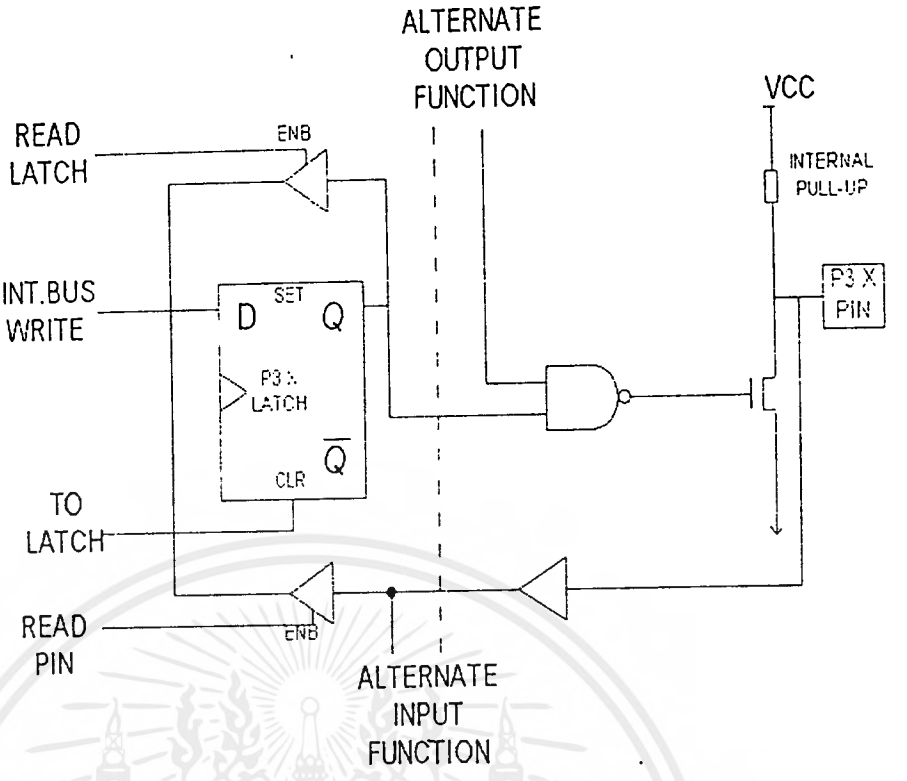
P3.4 /TO (Time / Couter 0 External Input) ขารับสัญญาณเข้าไปยังวงจร Timer / Couter 0 ที่ทำหน้ารับจำนวนไซเกิลของสัญญาณ T1 นี้หรือ สัญญาณนาฬิกา

P3.5/ T1 (Timer / Couer 1 External Input) ขารับสัญญาณเข้าไปยัง Timer / Couter 1 ซึ่งมี การทำงานเหมือนกับ TO

P3.6 / WR (External Data Memory Write Strobe) เขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก 8051

P3.7 / RD (External Data Memory Write Strobe) ขาสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูลภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.6 โครงสร้างของพอร์ต 3 (บิต)

- ALE (ขา 30) เป็นส่งสโตรบสำหรับใช้ในการแลตซ์แอดเดรสไบต์ (AO-A7) ที่ส่งออกที่ส่งออกมาทาง (พอร์ต 0) สัญญาณที่จะแอคตีฟทุก ๆ 2 ครั้ง ใน 1 แมชชีนไซเคิล (1/16 ของสัญญาณนาฬิกา)

- PSEN (ขา 29) เป็นขาที่ใช้ส่งสโตรบสำหรับอ่านข้อมูลจาก Program Memory ภายนอก (หน่วยความจำประเภท ROM EPROM) สัญญาณนี้จะส่งออกมา 2 ครั้ง ในแต่ละ แมชชีนไซเคิลแต่ถ้าเป็นการอ่าน Internal Program Memory จะไม่มีสัญญาณออกมาที่ขานี้

- EA (ขา 31) ถ้าป้อนลอจิก "0" เข้าที่ขานี้ ซีพียูจะอ่านค่าจาก Program Memory ภายนอกชิพเท่านั้น แต่ถ้าถูกป้อนด้วยลอจิก "I" ก็จะอ่านโปรแกรมภายในชิพ

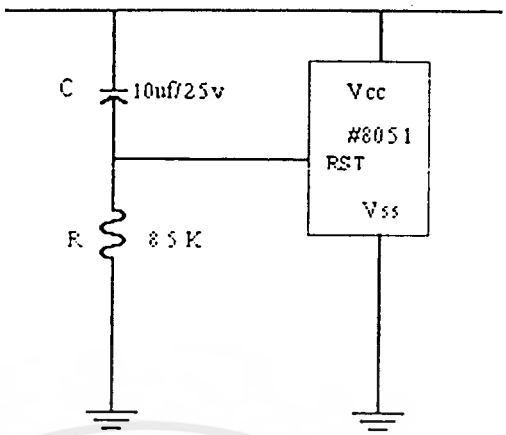
- RST (ขา 9) เป็นขารีเซ็ท CPU จะรีเซ็ท ได้ก็ต่อเมื่อ ป้อนลอจิก "I" เข้าที่ขานี้นานอย่างน้อย 2

แมชชีนไซเคิล เมื่อ CPU ถูกรีเซ็ทค่าต่าง ๆ ในรีจีสเตอร์ใด ๆ จะมีคำสั่งดังตารางที่ 2.1

- XTAL1 (ขา 19) ใช้ต่อกริสตอลภายนอกโดยเป็นอินพุทเข้าสู่วงจร ออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

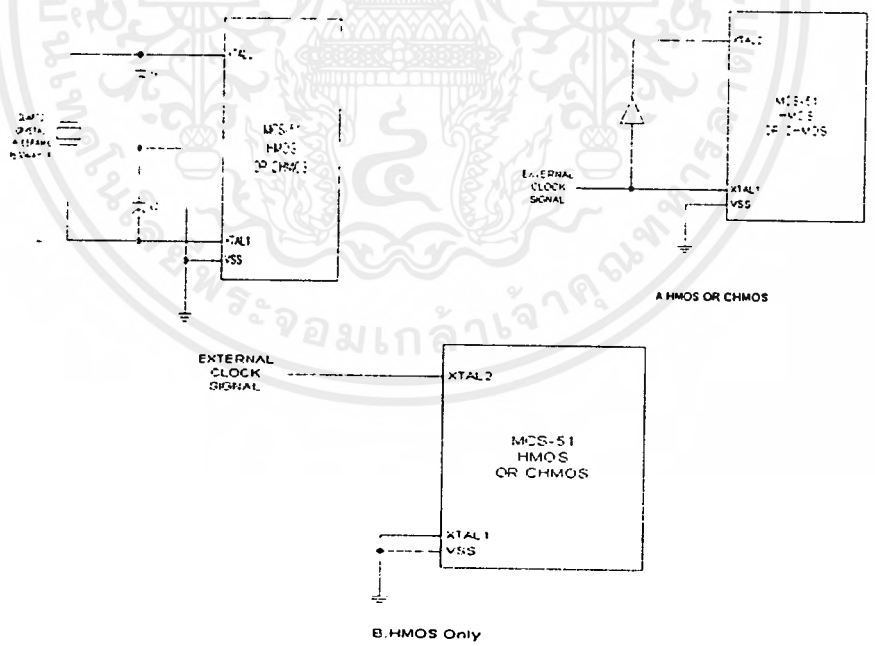
- XTAL2 (ขา 18) ใช้ต่อคริสตอลภายนอกโดยเป็นเอาท์พุทของวงจรออสซิสเลเตอร์



รูป 2.7 การต่อขารีเซ็ทให้กับ 8051

2.3 วงจรคล็อคของ 8051

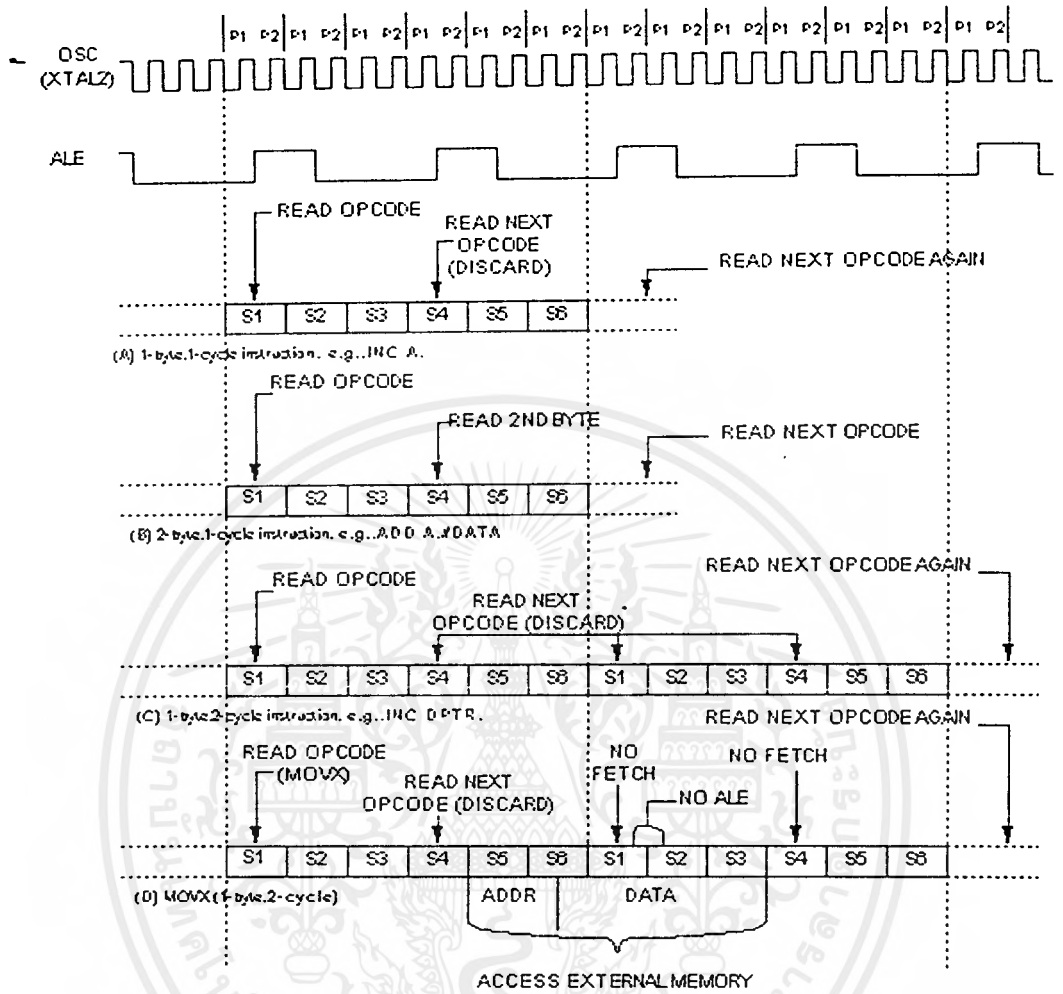
การต่อมีอยู่ด้วยกัน 2 รูปแบบ คือ แบบคล็อคภายในและคล็อกจากภายนอกมีรูปแบบการต่อดัง



รูป 2.8 วงจรสร้างคล็อคของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ผังเวลาของซีพียู (CPU Timming)

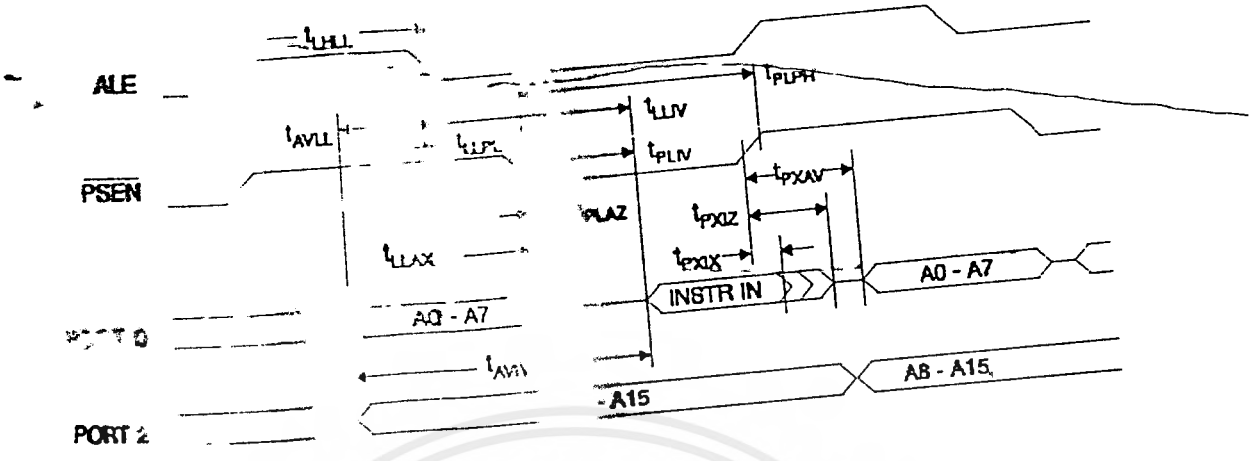


รูป 2.9 ผังเวลาการทำงานของแต่ละคำสั่ง

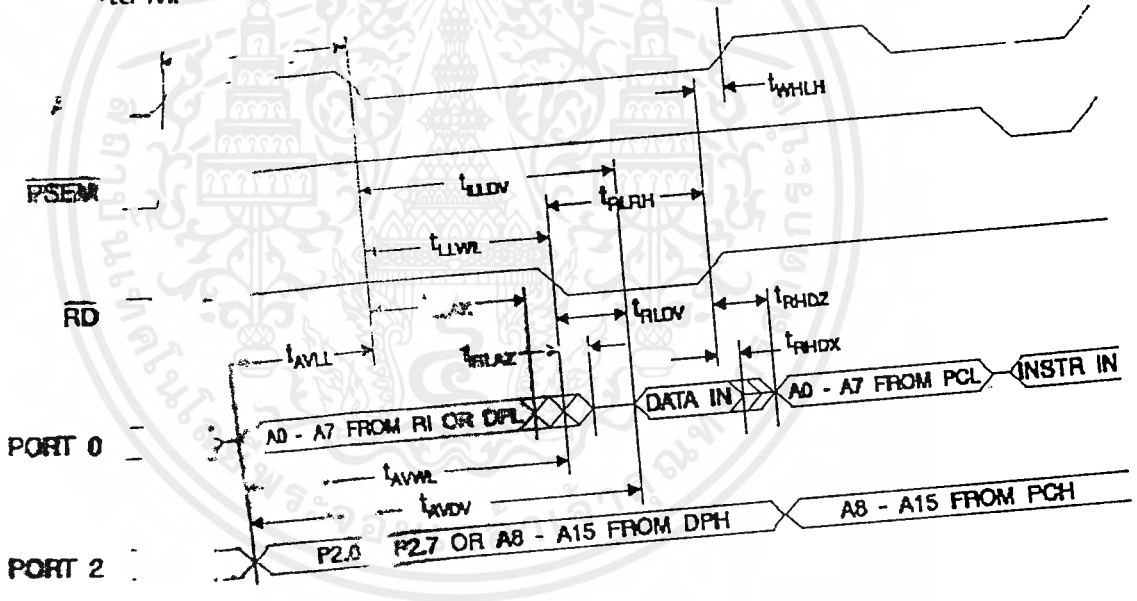
การทำงานใน 1 คำสั่งต่ำสุดจะกินเวลาเพียง 1 usec เช่นคำสั่ง INC A ซึ่งเป็นคำสั่ง 1 ไบต์ Cycle Instruction ซึ่งจะเป็นคล็อคไปเท่ากับ 12 ลูก โดยคล็อกลูกที่ 1 และ 2 จะอยู่ในช่วง S1 เฟส 1 และ S1 เฟส 2 และคล็อกคลูกที่ 12 ก็จะอยู่ในช่วง S6P2 นั่นเอง (ปรกติแล้ว ซีพียูจะ RUN ด้วยความเร็วเท่ากับ 12 Mhz ดังนั้น คล็อค 12 ลูกจะกินเวลาเท่ากับ (1/12)*12 = 1 usec คำว่า 1 แมชซีนไซเคิล คือช่วงการทำงานตั้งแต่ S1 จนถึง S6 รูป 2.9 (a) แสดงการทำงานของคำสั่ง INC A ซึ่งเป็นคำสั่ง 1 ไบท์ทำงานเสร็จภายใน 1 แมชชีนไซเคิล รูป 2.9 (a) แสดงการทำงานของคำสั่ง ADD A,#Data ซึ่งเป็นคำสั่ง 2 ไบต์ แต่ทำงานเสร็จใน 1 แมชีนไซเคิล รูป 2.9 (c) แสดงการทำงานของคำสั่ง INC DPTR ซึ่งเป็นคำสั่ง 1 ไบต์ แต่ทำงานเสร็จใน 2 แมชีนไซเคิล รูป 2.9 (d) แสดงการทำงานคำสั่ง MOVX ซึ่งเป็นคำสั่ง MOVX ซึ่งเป็นคำสั่ง 1 ไบต์ แต่ทำงานเสร็จใน 2 แมชีนไซเคิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Progr Memor / .ad Cycle



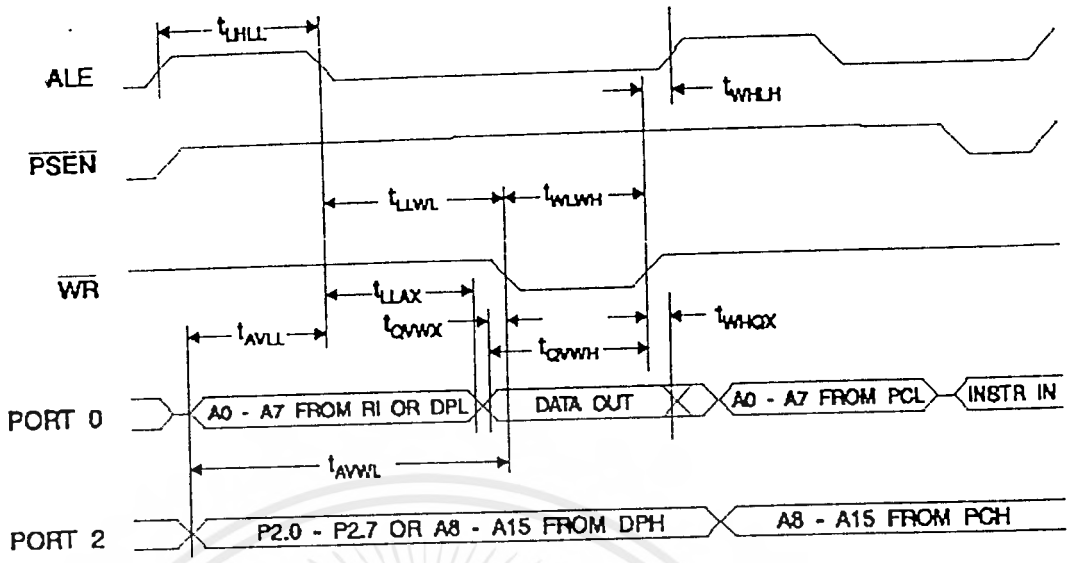
Exte. ata Me .or ead Cycle



รูป 2.10 แสดงผังเวลาการติดต่อกับหน่วยความจำภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Data Memory Write Cycle



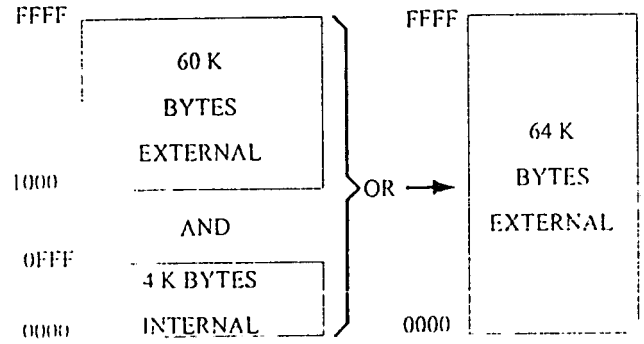
รูป 2.10 แสดงผังเวลาการติดต่อกับหน่วยความจำภายนอก (ต่อ)

รูป 2.10 (a) เป็นผังเวลของสัญญาณซึ่งเกี่ยวข้องกับเฟ็ทช์เมื่อส่วนของ Program Memory อยู่ภายนอก ดังนั้น สัญญาณที่จะนำไปใช้อ่าน Op – code จาก Program Memory ก็คือ PSEN ซึ่งจะแอคทีฟ 2 ครั้งใน 1 แมชชีนไซเกิล ดังนั้นสัญญาณที่อ่านข้อมูลจาก Program Memory จะใช้สัญญาณ PSEN รูปที่ 2.10 (b) เป็นผังเวลาของสัญญาณที่เกี่ยวข้องกับการอ่านข้อมูลจาก Data Memory สัญญาณ PSEN จะมีเพียง 1 ลูก เพราะช่วงเวลาถัด มาจะเป็นช่วงเวลาในการ การอ่านข้อมูลจาก Data Memory โดยใช้สัญญาณ RD

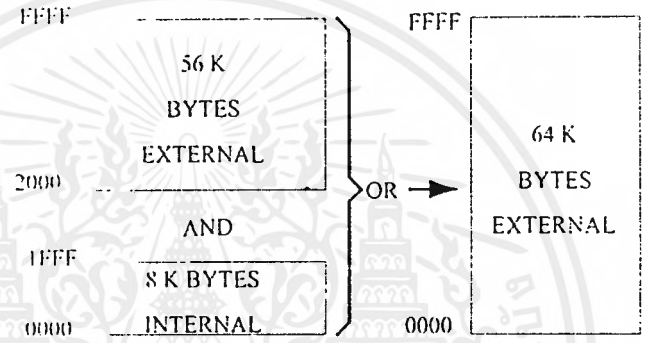
2.5 การแบ่งประเภทของหน่วยความจำ

หน่วยความจำที่ใช้กับ MCS-51 มีอยู่ด้วยกัน 2 ชนิด คือ Program Memory และ Data Memory ซึ่งเป็นหน่วยความจำที่ใช้เก็บโปรแกรมสั่งงานบรรจุอยู่ในชีพ 8051 ส่วนที่เป็น Program Memory ก็คือ Rom ขนาด 4 กิโลไบต์นั่นเอง แต่ถ้าเป็นเบอร์ 8052 จะมีมี ROM ขนาด 8 กิโลไบต์ดังแสดงในรูป 2.11 และ 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

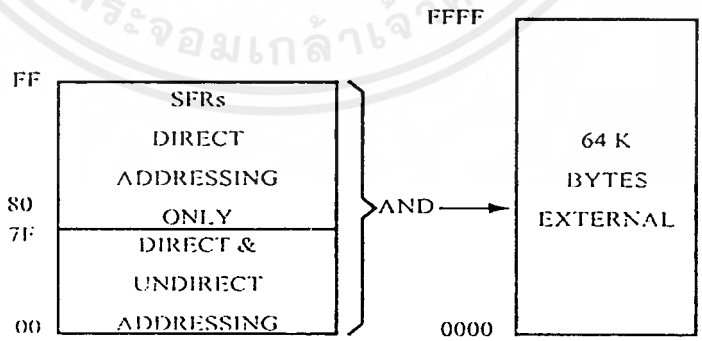


รูป 2.11 ผังหน่วยความจำที่ใช้เก็บโปรแกรมสำหรับเบอร์ 8051



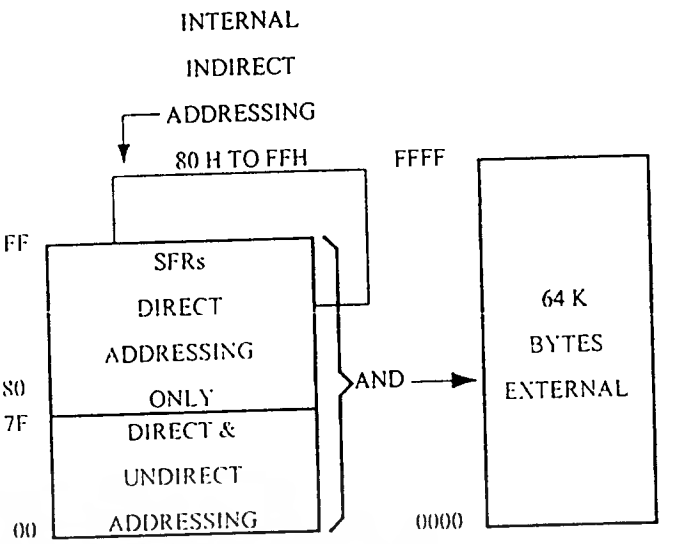
รูป 2.12 ผังหน่วยความจำสำหรับเก็บโปรแกรมสำหรับเบอร์ 8052

Data Memory เป็นหน่วยความจำที่ใช้เก็บข้อมูลหน่วยความจำนี้ สามารถเขียนข้อมูลลงไปและอ่านข้อมูลออกมาได้ ซึ่งเป็นหน่วยความจำภายในชิพมีเพียง 128 ไบต์สำหรับเบอร์ 8051 และ 256 ไบต์ สำหรับเบอร์ 8052 ส่วนหน่วยความจำภายนอกชิพมี 64 กิโลไบต์ดังแสดงในรูป 2.13 และ



รูป 2.13 ผังหน่วยความจำสำหรับ Data Memoery เบอร์ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.14 ผังหน่วยความจำสำหรับ Program Memory ของ 8052

บางครั้งอาจจะสงสัยว่าตำแหน่งของหน่วยความจำสำหรับโปรแกรมและดาต้ามีตำแหน่งที่ซ้อนกันซีพียูจะรู้ได้อย่างไร ว่าติดต่อกับหน่วยความจำที่เป็นโปรแกรมดาต้าบริษัทอินเทลได้แยกคำสั่งออกเป็น 3 ส่วนคือ

MOV ใช้ติดต่อกับ RAM ภายใน

MOVC ใช้ติดต่อ Program Memory

MOVX ใช้ติดต่อ Data Memroy ภายนอกชิพ โดยระบุตำแหน่งผ่าน

รีจีสเตอร์ DPTP ชิพเบอร์ 8052 จะมีพื้นที่บริเวณ 80h – FFh ซึ่งถ้าจะเขียนอ่านข้อมูล ณ บริเวณนี้จะเข้าถึงข้อมูลโดยทางอ้อมเท่านั้น ดังแสดงในผังหน่วยความจำดังรูป 2.14

2.6 การอินเตอร์รัปต์

การอินเตอร์รับปต์ของ 8051 สามารถรับสัญญาณอินเตอร์ที่เกิดขึ้นได้อย่างน้อย 5 ชนิดด้วยกัน คือ

- อินเตอร์รัปต์จากภายนอก 0 (External Interrupt 0)
- อินเตอร์รับต์จากภายนอก 1 (External Intertupt 1)
- อินเตอร์รัปต์ของไทม์เมอร์ 0 (Timer Flag Interrupt 0)
- อินเตอร์รัปต์ของไทม์เมอร์ 1 (Timer Flag Interrupt 1)
- อินเตอร์รัปต์ของพอร์ตสื่อสารอนุกรม (Serial Port Interrupt) สามารถแบ่งกลุ่มการอินเตอร์รัปต์เป็น 3 กลุ่มคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.1 External Interrupt

ในกลุ่มนี้ประกอบไปด้วยการเกิดอินเตอร์รัปต์จาก 2 แหล่งกำเนิดคือ External Interrupt และ External Interrupt 1 เป็นสัญญาณอินเตอร์รัปต์ จากแหล่งกำเนิดภายนอก โดยต่อเข้าที่ขา 12 (INT 0) และขา 13 (INT 1) ตามลำดับโดยสัญญาณอินเตอร์รัปต์ชนิดนี้ จะทำงานเมื่อสัญญาณภายนอกที่เข้ามามีสถานะเป็นลอจิก 0

2.6.2 Timer Flag Interrupt

อินเตอร์รัปต์กลุ่มนี้ประกอบด้วย Timer Flag Interrupt 0 และ Timer Flag Interrupt เป็นสัญญาณอินเตอร์รัปต์ที่มีแหล่งกำเนิดสัญญาณจากภายในชิพเอง เมื่อ flag TF0 หรือ TF1 ถูกเซทให้เป็น 1 และ Timer หรือ Counter มี Overflow เกิดขึ้น TF0 หรือ TF1 จะถูกเซทให้เป็น 0 จะเกิดสัญญาณอินเตอร์รัปต์เข้าขัดจังหวะการทำงานของโปรแกรม ที่ทำงานอยู่ในขณะนั้นให้ไปทำที่ส่วนของ Interrupt Subroutine แทน

2.6.3 Serial Port Interrupt

เป็นสัญญาณอินเตอร์รัปต์ที่เกิดขึ้นภายในตัวชิพเองเช่นกัน ซึ่งเกิด ขึ้นเมื่อชิพได้รับข้อมูลครบ 1 ไบต์ อินเตอร์รัปต์บิท RI ใน SCON Register (Serial Port Control Register) จะถูกเซทให้เป็น 1 ในขณะทำนองเดียวกัน ถ้าหากชิพเข้าไปทำงาน ในส่วน Interrupt subroutine โปรแกรม จะต้องตรวจสอบว่าสัญญาณที่เข้ามานี้เกิดจากบิท TI หรือ RI เมื่อทำงานในส่วน subroutine เรียบร้อยโปรแกรมจะต้องเซทบิท TI หรือ RI ที่ให้เป็น 0 เพื่อจะให้ชิพพร้อมที่จะรับหรือส่งข้อมูลต่อไปการใช้งานเกี่ยวกับการอินเตอร์รัปต์นั้นจะมี Special Function Register ที่เกี่ยวข้องโดยตรง 2 ตัว IE (Interrupt Enable) และ IP (Interrupt Proirity) ในรีจีสเตอร์ IP นั้นเราสามารถจัดลำดับ ความสำคัญสูงและเซทให้เป็น 0 สำหรับอินเตอร์รัปต์ที่มีความสำคัญต่ำสุด แต่ถ้าไม่ได้จัดลำดับความสำคัญการอินเตอร์รัปต์ จะเป็นไปตามตารางดังต่อไปนี้ แสดงลำดับความสำคัญของการอินเตอร์รัปต์

อินเตอร์รัปต์	ลำดับความสำคัญ
1. IE0	ความสำคัญสูงสุด
2. TF0	↓
3. IE1	↓
4. TF1	↓
5. Serial	ความสำคัญต่ำสุด

ตาราง 2.1 (a) ความสำคัญการอินเตอร์รัปต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการทำอินเตอร์รัปต์นั้น ตัวชิพได้กำหนดแอดเดรสหน่วยความจำของโปรแกรม (Interrupt subroutine) แต่ละอินเตอร์รัปต์ดังตาราง

อินเตอร์รัปต์	ลำดับความสำคัญ
IE0	0003
TF0	000B
IE1	0013
TF1	001B
Serial	0023

ตาราง 2.1(b) ตารางความสำคัญการอินเตอร์รัปต์

ซึ่งช่วงห่างของแอดเดรสของ Interrupt subroutine นั้นจะมี ค่าค่อนข้างน้อยแต่ก็ยังสามารถบรรจุคำสั่งลงไปได้จำนวนหนึ่ง

2.7 สรุปทฤษฎีและการใช้งานของไมโครคอนโทรลเลอร์

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 นี้มีจุดที่น่าสนใจ หลายอย่างคือ

1. เป็นผลิตภัณฑ์ของบริษัท Intel ซึ่งเป็นผู้ผลิต Chip IC ไมโครคอนโทรลเลอร์, ไมโครคอนโทรเลอร์รายใหญ่รายหนึ่งของโลก และยังเป็นที่ยอมรับกันมานาน จึงมีความเชื่อถือและไว้วางใจ

2. มีการพัฒนาตามลำดับดังนี้

8080 → 8085 → 8048 → 8051 → 8089

8086 → 80186 → 80286 → 80386 → 80486 → Pentium

3. สามารถประยุกต์ใช้งานได้ง่าย และยังมีข้อมูลพร้อมทั้งตัวอย่างใน การประยุกต์ใช้งานมาก

4. มีเครื่องมือช่วยในการพัฒนาระบบ ที่ง่ายและไม่ซับซ้อน

5. ประสิทธิภาพที่เหมาะสม ในการพัฒนาเพื่อควบคุม ระบบขนาดเล็กและ ขนาดกลาง เช่น การควบคุมไฟวิ่งโฆษณา, การควบคุม Stepping Motor ฯลฯ

ทฤษฎีและการใช้งานไมโครคอนโทรลเลอร์ ตระกูล MCS-51 ที่ได้กล่าวมาทั้ง หมดนี้เป็นเพียงส่วนหนึ่งเท่านั้น ถ้าท่านใดสนใจที่จะศึกษาเพิ่มเติมได้ตามชื่อหนังสืออ้างอิงท้ายเล่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.8 หลักการทำงานและทฤษฎีเบื้องต้นของระบบโทรศัพท์

ในการควบคุมระบบและอุปกรณ์ไฟฟ้า รวมทั้งการโทรศัพท์ ออกเพื่อแจ้ง เตือนภัยผ่านทางโครงข่ายโทรศัพท์ภายใน (PABX) หรือผ่านโครงข่ายของ องค์การโทรศัพท์แห่งประเทศไทยเป็นสื่อกลางในการติดต่อสั่งการระหว่างเจ้าของบ้านกับระบบ ดังนั้นระบบที่รับการสั่งงานทางโทรศัพท์จะต้องสามารถติดต่อ และเข้าใจสัญญาณต่าง ๆ จากชุมสายโทรศัพท์ได้ เช่น การยกหูการวางหู. สัญญาณ Dialling Tone สัญญาณเรียก สัญญาณ Ringing Tone เป็นต้น

2.8.1 หลักการทำงานของระบบโทรศัพท์

1. ชุมสายโทรศัพท์จะรับรู้ว่ามีต้อง การใช้โทรศัพท์เมื่อมีการยกหูเครื่องโทรศัพท์ขึ้น
2. ชุมสายโทรศัพท์จะส่งสัญญาณ Dialing tone มาบอกผู้ใช้เครื่องโทรศัพท์
3. เครื่องโทรศัพท์จะทำการส่งรหัสหมายเลขที่ ผู้เรียกกดหมายเลขที่ต้องการติดต่อด้วย ไปยังชุมสายโทรศัพท์
4. ชุมสายโทรศัพท์จะทำการต่อวงจรสนทนา ให้กับผู้เรียกไปยังผู้ถูกเรียก และส่งสัญญาณไปบอก ผู้เรียกต้นทางว่า หมายเลข ที่ต้องการติดต่อ ด้วยว่างหรือไปว่าง ถ้าว่างก็จะส่งสัญญาณ Ringing Back Tone ความถี่ 440 เฮิรตซ์ กับ 480 เฮิรตซ์ ที่มอดูเลตรวมกันจะดัง 1 วินาที เงียบ 5 วินาที สลับกันไปแต่ถ้าหมายเลขที่ ต้องการจะติดต่อไม่ว่างก็จะส่งสัญญาณที่ความถี่ 480 เฮิรตซ์ กับ 620 เฮิรต์ซ์ มอดูแลรวมกัน โดยจะดัง 1 วินาที เงียบ 1 วินาทีสลับกัน
5. เมื่อวางหูเครื่องโทรศัพท์ จะส่งสัญญาณ ไปยังชุมสายโทรศัพท์ เพื่อบอกให้ชุมสายโทรศัพท์ทราบ ว่าสิ้นสุด การติดต่อและให้ชุมสายโทรศัพท์ตัดวงจรสนทนาระหว่างผู้เรียกและผู้ถูกเรียก

2.8.2 สัญญาณต่าง ๆ ที่ส่งมาจากชุมสายโทรศัพท์

- สัญญาณ Dialling Tone

Dialling Tone _____._____. 425 Hz

เป็นสัญญาณที่ส่งมาบอกให้ทราบว่าขณะนี้ทางชุมสายพร้อมที่ จะรับรหัสการกด หมายเลขจากผู้เรียก ให้ผู้เรียกทำการกดหมายเลขได้สัญญาณนี้เป็นสัญญาณต่อเนื่องความถี่ 425 เฮิร์ตซ์จะได้ยินเสียง สัญญาณนี้ เมื่อทำการยกหูเครื่องโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

37094

- สัญญาณ Engaged Tone หรือ Busy Tone

Engaged Tone 0.25 $^{0.25s}$ 0.25S $^{0.25s}$ 0.25S $^{0.25s}$ 0.25S 425 Hz

เป็นสัญญาณที่ส่งมาบอกให้ทราบว่าหมายเลขปลายทางจะได้ยินสัญญาณนี้ หลังจากทำการกดหมายเลขไปแล้วสัญญาณนี้จะ เป็นสัญญาณที่เป็นช่วง ๆ ความถี่ 425 เฮิรตซ์ดัง 0.25 วินาทีเงียบ 0.25 วินาที

- สัญญาณ Ringing Tone

Ringing Tone 1 S 5 S 1 S 425 Hz

เป็นสัญญาณที่ผู้เรียกได้ยินหลังจากกดหมายเลขครบแล้ว เพื่อบอกให้ทราบว่าการต่อได้กระทำเสร็จขณะนี้ชุมสายได้ส่งสัญญาณเรียก Ringing Signal ไปยังผู้เรียก ความถี่ 425 เฮิรต์ซ์โดยจะดัง 1 วินาที เงียบ 5 วินาที

- สัญญาณ Congestion Tone

Congestion 0.25 $^{0.25s}$ 0.25S $^{0.25s}$ 0.25S $^{0.25s}$ 0.25S 425 Hz

เป็นสัญญาณ ที่บอกให้ทราบว่า อุปกรณ์บางตัว ไม่เพียงพอกับการให้บริการ หรือมี Block เนื่องจากเหตุเสีย

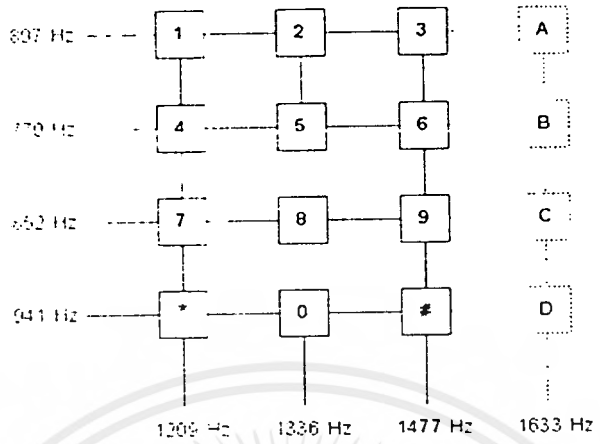
- สัญญาณอื่น ๆเป็นสัญญาณพิเศษ ในกรณีที่ปลายทาง ไม่ต้องการรับโทรศัพท์คือ Special Informatin tone

2.8.3 โทรศัพท์แบบกดปุ่ม (Push button)

สัญญาณโค๊ดเลขหมายของผู้เรียก ถูกส่งในรูปของสัญญาณ 2 ความถี่ หรือเรียกว่า DTMF (Dual Tone Multi Frequency) ซึ่งให้ข้อดีในแง่ลดเวลาในการในการส่งหมายเลขลงเฉลี่ยแล้วจะเหลือเพียง 0.7 วินาที/เลขหมาย ความผิดพลาดมีโอกาสน้อยมาก เพราะมีการตรวจสอบความถี่ 2 ชุดพร้อม ๆ กันนอกจากนี้ยังสามารถ ให้จำนวนโค๊ดได้มากเช่นเพิ่มโค๊ด * (star) และ # (square) ซึ่งใช้ในการบริการพิเศษต่างๆ เช่น บริการหมายย่อ, ความถี่ที่กำเนิดแบ่งออกเป็น 2 กลุ่ม คือกลุ่มความถี่สูงตั้งแต่ความถี่ 1205 เฮิรตซ์เป็นต้นไป และกลุ่มความถี่ต่ำตั้งแต่ 942 เฮิรตซ์ ลงมา ดังแสดงในรูปที่ 2.15 เมื่อปุ่ม ความถี่ 2 ความถี่จากกลุ่มความถี่สูงและ กลุ่มความถี่ต่ำจะถูกส่งออกไปในสาย ถ่าของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ทั้งสองจะขึ้นอยู่กับปุ่มที่กดตามรูปที่ 2.15, 2.2.16, 2.17 เช่นเมื่อทำการกดปุ่มหมายเลข 5 ความถี่ 770 เฮิรตซ์ และ 1336 เฮิรตซ์ ถูกส่งออกไปพร้อม ๆ กัน



รูปที่ 2.15 Tone Table

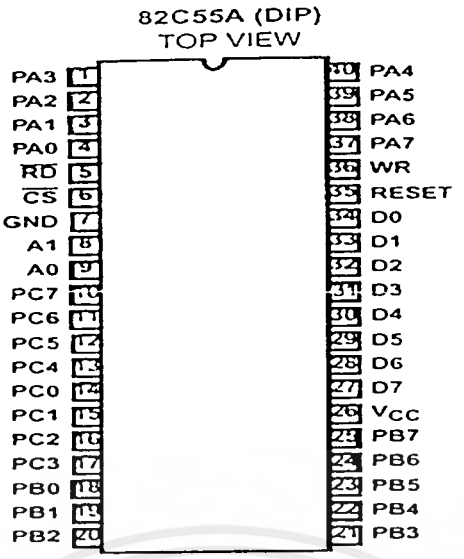
Hz	1209	1336	1477
697	1	2	3
770	4	5	6
825	7	8	9
941	*	0	#

ตารางที่ 2.2 ตารางความถี่ DTMF กับปุ่มที่กด

Frequency Hz		
Button	Group 1	Group 2
1	697	1029
2	697	1336
3	697	1477

ตารางที่ 2.3 ความถี่ DTMF กับปุ่มที่กด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 แสดงการจัดเรียงขาต่าง ๆ ของ 8255

รายละเอียดของขามีดังนี้

DO-D7 -เป็นขาที่ทั้งข้อมูลอินพุทและเอาท์พุต ต้องผ่านเข้าออก จะต่อเข้ากับบัสของไมโครเลอร์เพื่อให้สามารถอ่านเขียนข้อมูลจากพอร์ทเหล่านี้ได้

CS - ขานี้เป็นขาสัญญาณอินพุทที่จะรับสัญญาณภายนอกเพื่อเลือกชิพ 8255 เพื่อให้ไมโครคอนโทรลเลอร์สามารถเขียนหรืออ่านข้อมูลจากพอร์ตได้

RD - เป็นสัญญาณอินพุท ที่ต้องส่งมาจากซีพียู เมื่อสัญญาณ ที่ขานี้เป็น 0 และสัญญาณที่ CS เป็น 0 ด้วย 8255 จะให้ซีพียูอ่านข้อมูลจากบัสในขณะที่เป็นพอร์ทอินพุท

WR - เป็นสัญญาณการเขียน จะแอดทีพเมื่อสัญญาณ WR และสัญญาณ CS เป็น 0 สัญญาณนี้จะมาจากซีพียูเมื่อต้องการเขียนข้อมูลลงพอร์ทที่กำหนด

AO-A1 - ลอจิกของสัญญาณทั้งสองจะถอดรหัสออกมาเป็น 4 รหัส เพื่อกำหนดรีจีสเตอร์ภายในที่เชื่อมต่อกับพอร์ทอินพุทเอาท์พุทของพอร์ท 8255

ORESET - เป็นสัญญาณที่ส่งมาจากภายนอกเข้ามาทำการรีเซ็ทสถานะต่าง ๆ ของ 8255

PA0-PA7 - เป็นสายสัญญาณที่เป็นพอร์ตของ 8255 ที่ชื่อพอร์ต A การเลือกพอร์ตเลือกโดยสัญญาณแอดเดรส A0-A1

PBO-PB7 - เป็นสายสัญญาณที่เป็นพอร์ตของ 8255 ที่ชื่อพอร์ต B การเลือกพอร์ตเลือกโดยสัญญาณแอดเดรส A0-A1

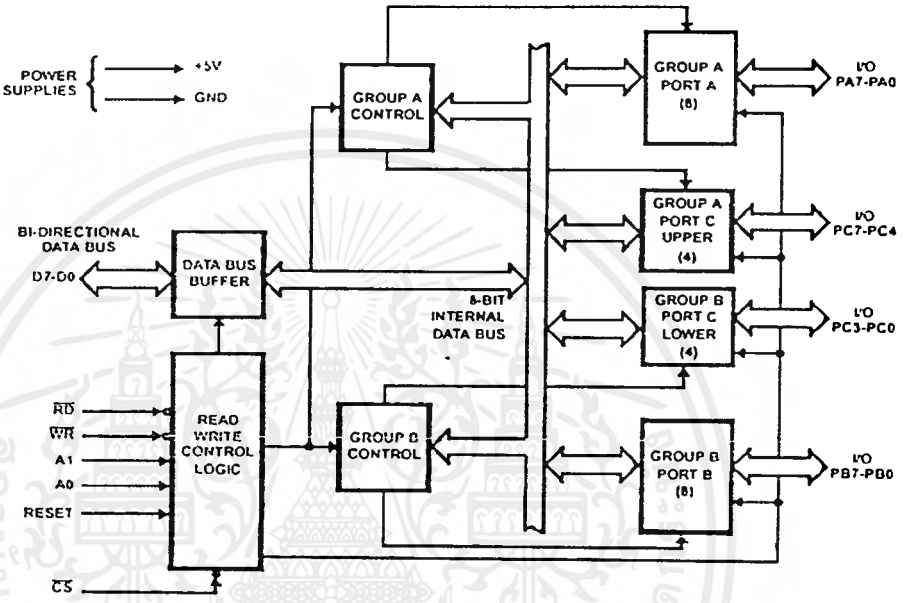
PCO-PC7 - เป็นสายสัญญาณที่เป็นพอร์ตของ 8255 ที่ชื่อพอร์ต C การเลือกพอร์ตเลือกโดยสัญญาณแอดเดรส A0-A1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9.1 โครงสร้างภายใน 8255

8255 เป็นอุปกรณ์ LSI (LARGE SCALE INTEGRATED CIRCUIT) บรรจุอยู่ในแพ็คเกท ขนาด 40 ขา แบบ DIP (DUAL-IN-LINE PACKAGE) คุณสมบัติเบื้องต้นของการนำ 8255 มาใช้งานคือเป็นอินพุต/เอาท์พุตพอร์ตโดยมีพอร์ตขนาด 8 บิตที่สามารถสั่งให้เป็นอินพุตหรือเอาต์พุตก็ได้จำนวน 3 พอร์ต รูปที่ 2-19 แสดงโครงสร้างภายในของ 8255 ซึ่งหน้าที่ การทำงานแต่ละบล็อคมีดังนี้

Functional Diagram



รูปที่ 2.17 โครงสร้างภายในของ 8255

บล็อคกลุ่มแรกได้แก่บล็อกส่วนที่อยู่ขวามือของรูปซึ่งเป็นส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอกอื่นๆ โดยมีขา PA0-PA7, PB0-PB7 และ PC0-PC7 เป็นทางผ่านของข้อมูลระหว่างอุปกรณ์ภายนอกกับ 8255 ขาสัญญาณเหล่านี้จะถูกแบ่งออกเป็นอินพุต เอาต์พุต 3 พอร์ตได้แก่ พอร์ต A(PA) พอร์ต B(PB) และพอร์ต C(PC) พอร์ตเหล่านี้แต่ละพอร์ตสามารถเป็นได้ทั้งพอร์ตอินพุตและเอาต์พุต

บล็อคกลุ่มถัดมาได้แก่ Group A Control และ Group B Control ทำหน้าที่เป็นตัวกำหนดลักษณะการทำงานของพอร์ตอินพุตเอาต์พุตทั้ง 3 พอร์ต (8255 มีลักษณะการทำงานที่แตกต่างกันอยู่ 3 โหมด สามารถกำหนดได้จากการโปรแกรม โดยคำสั่งควบคุม) ให้กับ 8255 ในพอร์ตนี้ประกอบด้วยพอร์ตขนาด 4 บิต จำนวน 1 พอร์ตได้แก่ Group A Control กับ Group B Control โดย Group Control จะควบคุมพอร์ต A กับพอร์ต C สี่บิตด้านสูงส่วน Group B Control จะควบคุมพอร์ต B กับ พอร์ต C สี่บิตด้านต่ำ

บล็อคสุดท้ายได้แก่ บัฟเฟอร์ของบัสข้อมูล (Data Bus Buffer) และส่วนควบคุมการอ่าน/เขียน (Read/Write Control) ซึ่งบล็อกเหล่านี้จะเป็นส่วนติดต่อกับไมโครคอนโทรลเลอร์ ทำหน้าที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัฟเฟอร์ให้กับบัสข้อมูลไมโครคอนโทรลเลอร์และส่วนที่ควบคุมให้ข้อมูลเข้าออกจากรีจีสเตอร์ภายในตัวให้ถูกต้องสอดคล้องกับการทำงานของระบบ

2.9.2 การควบคุมการอ่านหรือเขียนข้อมูล

จากระบบบัสที่เป็นแบบสองทิศทางจะเห็นได้ว่าการติดต่อระหว่าง 8255 กับซีพียูจะผ่านบัสข้อมูลทั้ง 8 เส้น และถ้ามองจากซีพียูจะเห็นว่าพอร์ตอยู่ 4 พอร์ตโดยการอ้างพอร์ตให้ใช้ A0 กับ A1 ประกอบกับสัญญาณ CS ซึ่งทำงานที่ 0

จากตาราง 2-2 เป็นสรุปการอ่านและเขียนของ 8255 เมื่อสัญญาณ RD เป็น 0 จะเป็นการอ่านค่าจากพอร์ตใดพอร์ตหนึ่งจาก 3 พอร์ต ซึ่งถูกเลือกด้วย A0 กับ A1 แต่ถ้า A0 กับ A1 เป็น 1 ทั้งคู่ ก็จะเป็นการระบุว่าต้องการติดต่อกับพอร์ตควบคุม ซึ่งเป็นรีจิสเตอร์พิเศษสำหรับควบคุมการทำงานของ 8255 ซึ่ง รีจิสเตอร์นี้ซีพียูสามารถเขียนค่าลงไปได้แต่ไม่สามารถอ่านค่าได้ เมื่อ 8255 ไม่ได้ถูกติดต่อด้วย (CS = 1 หรือ RD และ WR = 1) บัสของ 8255 ที่ติดต่อกับซีพียูจะอยู่ในสถานะ High Impedance ซึ่งจะเป็นการแยกตัวออกระบบเพื่อให้ซีพียูติดต่อกับระบบอื่น ๆ

A1	A0	RD	WR	CS	
					Input operation (READ)
0	0	0	1	0	Port A→ Data Bus
0	1	0	1	0	
1	0	0	1	0	
					Output operation (WRITE)
0	0	1	0	0	Port A→ Data Bus
0	1	1	0	0	Port B→ Data Bus
1	0	1	0	0	Port C→ Data Bus
1	1	1	0	0	Control → Data Bus
					Disable Function
X	X	X	X	1	Port A→ Data Bus
					Port B→ Data Bus
1	1	0	1	0	Port C→ Data Bus
X	X	1	1	0	Control → Data Bus
Source : Courtesyof Intel Corporation					

ตารางที่ 2.4 ตารางแสดงการอ่านเขียนของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตาราง 2-2 เป็นสรุปการอ่านและเขียนของ 8255 เมื่อสัญญาณ RD เป็น 0 จะเป็นการอ่านค่าจากพอร์ตใดพอร์ตหนึ่งจาก 3 พอร์ต ซึ่งถูกเลือกด้วย A0 กับ A1 แต่ถ้า A0 กับ A1 เป็น 1 ทั้งคู่ ก็จะเป็นการระบุว่าต้องการติดต่อกับพอร์ตควบคุม ซึ่งเป็นรีจิสเตอร์พิเศษสำหรับควบคุมการทำงานของ 8255 ซึ่งรีจิสเตอร์นี้ซีพียูสามารถเขียนค่าลงไปได้แต่ไม่สามารถอ่านค่าได้ เมื่อ 8255 ไม่ได้ถูกติดต่อด้วย (CS = 1 หรือ RD และ WR = 1) บัสของ 8255 ที่ติดต่อกับซีพียูจะอยู่ในสถานะ High Impedance ซึ่งจะเป็นการแยกตัวออกจากระบบเพื่อให้ซีพียูติดต่อกับระบบอื่น ๆ

2.9.3 โหมดการทำงานของ 8255

- Mode 0 : Basic I/O

เมื่อ 8255 เชื่อมต่อกับซีพียูจะต้องมีการกำหนดโหมดการทำงาน เป็นโหมด 3 โหมด หรืออาจจะเพิ่มโหมดบิทเซ็ท/รีเซ็ทก็ได้ สมมุติว่าถ้าเลือกโหมดการทำงานแบบ Nonhandshaking หรือแบบไม่มีเงื่อนไข ในโหมด 0 โหมดนี้มันจะต้องคำสั่งควบคุมหนึ่งเวิร์ดไปยังพอร์ตควบคุม ซึ่งควบคุมโหมดของ 8255

- Mode 1 : Strobed I/O

ใน Mode นี้เป็นเรื่องเกี่ยวกับการตรวจสอบสัญญาณ handshak และการอินเตอร์รัปต์ของการติดต่อระหว่าง I/O ในโหมดนี้พอร์ต A และ B จะเป็นพอร์ตข้อมูล ส่วนพอร์ต C ถูกใช้สำหรับการสร้างและตรวจสอบสัญญาณเรียกว่าพอร์ตควบคุม ในโหมดนี้การทำ Data Tarnsfer นี้ซีพียูไม่สามารถแทรกแซงการทำงานของ 8255 ได้ลักษณะการทำงนของ 8255 ในโหมด 1 จะมีการเลือกว่าจะให้พอร์ต A B เป็น Input หรือ Output รวม 4 แบบ นอกจากนี้ยังสามารถสั่งให้พอร์ต A ทำงานที่โหมด 1 ขณะที่ พอร์ต B ทำงานที่โหมด 0 ได้อีกการพอลลิง 8255 ในโหมด 1 โดยการอ่านข้อมูลจากพอร์ต C เป็นการโหลด Status Word ของโหมด 1 มาไว้ที่ Accumulator ซึ่งถ้าพอร์ต A เป็นพอร์ตอินพุท และพอร์ต B เป็นพอร์ตเอาท์พุท ทำให้สามารถตรวจสอบได้ว่าเป็นค่า OBF หรือ IBF ได้PC 6 หรือ 7 (พอร์ต A เป็น Input) หรือ PC 4 หรือ 5 (พอร์ต A เป็น Output) ถ้าไม่ได้ใช้ในการทำ Handshak ก็อาจจะสั่งให้ทำงานเป็น I/O ทั่วไปได ละอาจจะถูกอ่านเป็นค่าส่วนหนึ่งของสถานะของโหมด 1ถ้าใช้การทำงานแบบอินเตอร์รัปต์ สัญญาณ INTR จะถูกเซ็ทเมื่อ ACK กลายเป็น 1 (Buffer ว่างสำหรับข้อมูลแล้ว) หรือเมื่อ STB กลายเป็น 1 (ที่ I/P Buffer มีข้อมูลแล้ว) INTR อาจถูกเซ็ทถ้า INTE ที่สอดคล้องกันได้ถูกเซ็ทโดยซีพียู ซึ่งกลายเป็นโหมดบิทเซ็ท/รีเซ็ทไป

- Mode 2 : Strobed Bidirectional I/O

ในโหมด 2 พอร์ต A ของ 8255 จะกลายเป็นพอร์ตรับส่งข้อมูลแบบ สองทิศทางมีการทำงานด้วยวิธี Handshake จากสัญญาณจำนวน 5 สัญญาณ สัญญาณ Handshake เหล่านี้จะมีลักษณะการทำงานดังเช่นในโหมด 1 แต่ว่าจะอ้างอิงกับพอร์ต A เท่านั้น การใช้งานในโหมดนี้ได้แก่การส่งข้อมูลระหว่างคอมพิวเตอร์ 2 เครื่องเมื่อพอร์ต A ถูกโปรแกรมเพื่อให้ทำงานในโหมด 2 พอร์ต B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถทำงานในโหมด 0 หรือ โหมด 1 ถ้าถูกโปรแกรมสำหรับ โหมด 0 PC0-PC2 จะกลายเป็นสัญญาณ Handshake สำหรับพอร์ตนี้

เมื่อทำการพิจารณาโปรแกรมโหมดที่เป็นไปได้ทั้งหมดแล้ว 8255 จะมีลักษณะการทำงานอยู่ 4 ลักษณะในโหมด 2 ถ้าเลือกที่จะโปรแกรมพอร์ต A โหมด 2 พอร์ต B เป็น Input โหมด 0 และ PC0-PC2 เป็น Output โหมด 0 โดย Control Word คือ 11XX X010

2.11 มาตรฐานอินเตอร์เฟซ

2.11.1 วงจรอินเตอร์เฟซ RS 232

RS 323 เป็นอินเตอร์เฟซแบบอนุกรมที่ใช้กันมากที่สุด ซึ่งจริง ๆ แล้วเป็นการรวมวงจร V. 24 และข้อกำหนดคุณสมบัติทางไฟฟ้าของ V.28 เข้าด้วยกันRS 232 ถูกนำมาใช้ครั้งแรกในปี ค.ศ. 1962ต่อมาได้พัฒนารุ่นใหม่ออกมา เรียกว่า RS 232c ในปี ค.ศ. 1968และถูกแทนที่ด้วย RS 232 D ในปี ค.ศ. 1987แต่การอินเตอร์เฟซ รุ่น C ยังมีใช้มากที่สุด สำหรับรายละเอียดของวงจรใน RS 232 มีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเลขขา	ชื่อย่อใน RS 232	เทียบกับ ccitt V.24	ชื่อวงจร	ทิศทาง	ชนิดสัญญาณ
1	AA	101	Earth		
2	BA	103	Transmitted data (TXD)	เทอร์มินอลไปโมเด็ม	ข้อมูล
3	BB	104	Received data (RXD)	โมเด็มไปเทอร์มินอล	ข้อมูล
4	CA	105	Request to send (RTS)	เทอร์มินอลไปโมเด็ม	ควบคุม
5	CB	106	Clear to send (CTS)	โมเด็มไปเทอร์มินอล	ควบคุม
6	CC	107	Data set ready (DSR)	โมเด็มไปเทอร์มินอล	ควบคุม
7	AB	102	Signal earth returen	-	-
8	CF	109	Received line signal detector (DCD)	โมเด็มไปเทอร์มินอล	ควบคุม
12	SCF	122	Secondary reoeived line signal detector	โมเด็มไปเทอร์มินอล	ควบคุม
13	SCB	121	Secondary clear to send	โมเด็มไปเทอร์มินอล	ควบคุม
14	SBA	118	Secondary transmitted data	เทอร์มินอลไปโมเด็ม	ข้อมูล
15	DB	114	Transmitter signal timing	โมเด็มไปเทอร์มินอล	เวลา
16	SSB	119	Secondary received data	โมเด็มไปเทอร์มินอล	ข้อมูล
17	DD	115	Received signal timing	โมเด็มไปเทอร์มินอล	เวลา
19	SCA	120	Seceived signal timing	เทอร์มินอลไปโมเด็ม	ควบคุม
20	CD	108/2	Dataterminal ready (DTR)	เทอร์มินอลไปโมเด็ม	ควบคุม
21	CG	110	Signal quality detector	โมเด็มไปเทอร์มินอล	ควบคุม
22	CE	125	Ring indicator (RI)	โมเด็มไปเทอร์มินอล	ควบคุม
23	CH	111	Data signal rate detector	เทอร์มินอลไปโมเด็ม	ควบคุม
24	DA	113	Transmitted signal timing	เทอร์มินอลไปโมเด็ม	เวลา
25	CI	112	Data signal rate selected	โมเด็มไปเทอร์มินอล	ควบคุม

ตารางที่ 2.5 ตารางรายละเอียดของวงจรใน RS 232

มาตรฐาน RS 232 ที่พัฒนาใหม่ในปี ค.ศ. 1987 รู้จักกันในอีกชื่อว่า EIA 232 D ซึ่งสิ่งที่เปลี่ยนแปลงเพิ่มเข้ามารุ่นใหม่นี้ ดังนี้

(1) เปลี่ยนแปลงในด้านความหมายหรือการใช้คำให้ใกล้เคียงกับ V.24 และ V.28

(2) วงจร Earth บนขา 1 แทนด้วยการวิลด์ (shield)

(3) มีกำหนดคุณสมบัติทางกลเพิ่มเข้ามา

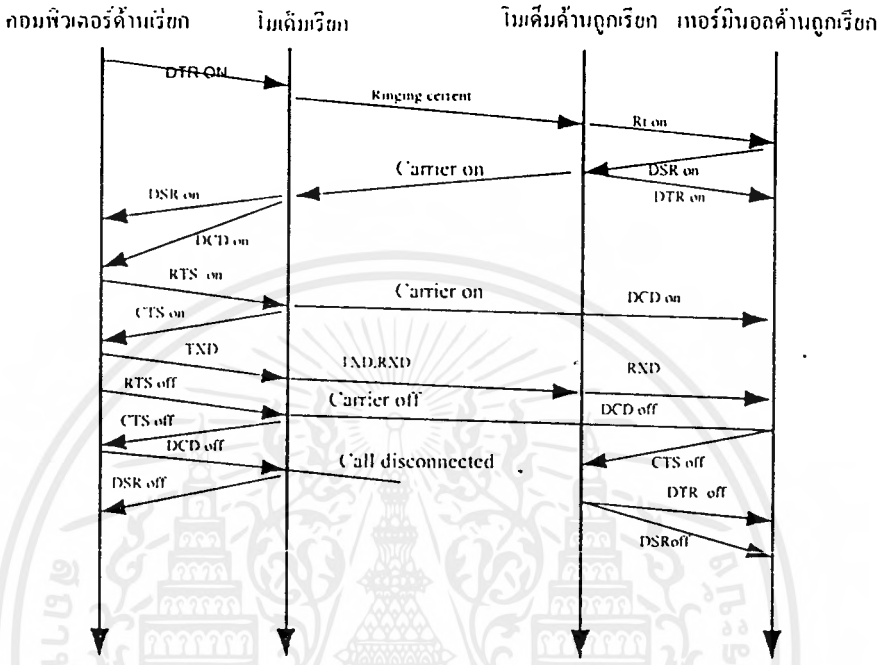
(4) มีระบุ วงจรสำหรับทดสอบแบบรีโมทและโลเคิล เพิ่มมาดังต่อไปนี้

- ขา 18 ทำหน้าที่โลเคิล ลูปแบ็ค (Local Loopback : LL)
- ขา 21 ทำหน้าที่รีโมท ลูปแบ็ค (Remote Loopback : RL)
- ขา 25 ทำหน้าที่ เทสโหมด (test mode : TM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รวมทั้งไม่มีการจำกัดความยาวของสายเคเบิลที่ใช้การทำงานของ RS 232 อธิบายอย่างสรุปได้ดังต่อไปนี้

การต่อแบบหมุนหมายเลขผ่านสายโทรศัพท์สาธารณะ พิจารณาจากรูป



รูปที่ 2.18 แสดงขั้นตอนการทำงานของ RS 232 ผ่านสายโทรศัพท์สาธารณะ

อธิบายจากรูป ดังนี้

การติดต่อกัน เริ่มจากวงจร DTR ทำงาน (ON) เพื่อแจ้งโมเด็มให้รู้ว่าเทอร์มินอล ต้องการติดต่อแบบหมุนหมายเลขผ่าน เน็ตเวิร์คของสายโทรศัพท์สาธารณะ (PSTN)

สำหรับหมายเลขโทรศัพท์ ของเทอร์มินอลปลายทาง ที่ต้องการติดต่อด้วยถูกหมุน โดยโมเด็ม โดยหมายเลขอาจเก็บไว้ในโมเด็ม หรือส่งผ่านมาทางสายข้อมูล

เมื่อการเลือก (หรือหมายถึง การขอติดต่อด้วย ได้ยินเป็นสัญญาณชิงกิ้ง) ไปถึงเทอร์มินอลที่ถูกเรียกวงจร RI ของโมเด็มปลายทาง มีสถานะ "ON" คือ แจ้งให้เทอร์มินอลปลายทาง ทราบถึงการเรียกเข้ามาถ้าเทอร์มินอลด้านถูกเรียก พร้อมที่จะรับข้อมูลวงจร DTR เปลี่ยนสถานะเป็น "ON" ทำให้โมเด็มปลายทางต่อเข้ากับสายโทรศัพท์สาธาณะที่เรียกมาโมเด็มด้านถูกเรียก (ปลายทาง) ทำให้วงจร DSR มีสถานะ "On" แจ้งให้เทอร์มินอลปลายทางรู้ว่าโมเด็มพร้อมที่รับข้อมูลแล้ว จากนั้นส่งสัญญาณแคเรียะ (carrier) กลับไป เทอร์มินอลด้านเรียก (ต้นทาง) แจ้งให้รู้ว่าการเรียกได้ถูกตอบรับแล้ว ซึ่งสัญญาณแคเรียะทำให้วงจร DCD ในโมเด็มด้านเรียกมีสถานะ "on" จากนั้นโมเด็มนี้ทำให้วงจร DRS "ON" เพื่อแจ้งให้เทอร์มินอลด้านเรียกรู้ว่าการต่อสายสื่อสารเกิดขึ้นแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเทอร์มินอลด้านเรียก พร้อมที่จะเริ่มการส่งข้อมูล วงจร RTS จะมี สถานะ "ON" และโมเดมด้านเรียกตอบรับโดยทำให้วงจร CTS มีสถานะ "ON" และทำการส่งสัญญาณแคเรียะ กลับไปหาโมเด็มด้านถูกเรียกมีผลให้วงจร DCD ในโมเด็มปลายทางมีสถานะ "ON" ทำให้เทอร์มินอลด้านเรียกสามารถส่งข้อมูลได้ทันทีและโมเด็มด้านถูกเรียกสามารถรับข้อมูลที่ส่งเข้ามาได้ ทันที เช่นกันในกรณี เทอร์มินอลด้านถูกเรียกมีข้อมูล ต้องการส่งให้เทอร์มินอล ด้านเรียกจะทำให้วงจร RTS มีสถานะ "ON" และขั้นตอนต่าง ๆ ข้างต้น เกิดขึ้นซ้ำอีกในทิศทางตรงกันข้าม

ถ้าลักษณะการติดต่อเป็นแบบฟูลดูเพล็กซ์ทำให้วงจร RTS และ DCD มีสถานะ "ON" ค้างไว้ตลอดทั้งสองด้านของวงจร และโมเด็มทั้งคู่ทำให้วงจร CTS มีสถานะ "ON" ตลอดเพื่อให้โมเด็มส่งข้อมูลได้ในเวลาเดียวกัน

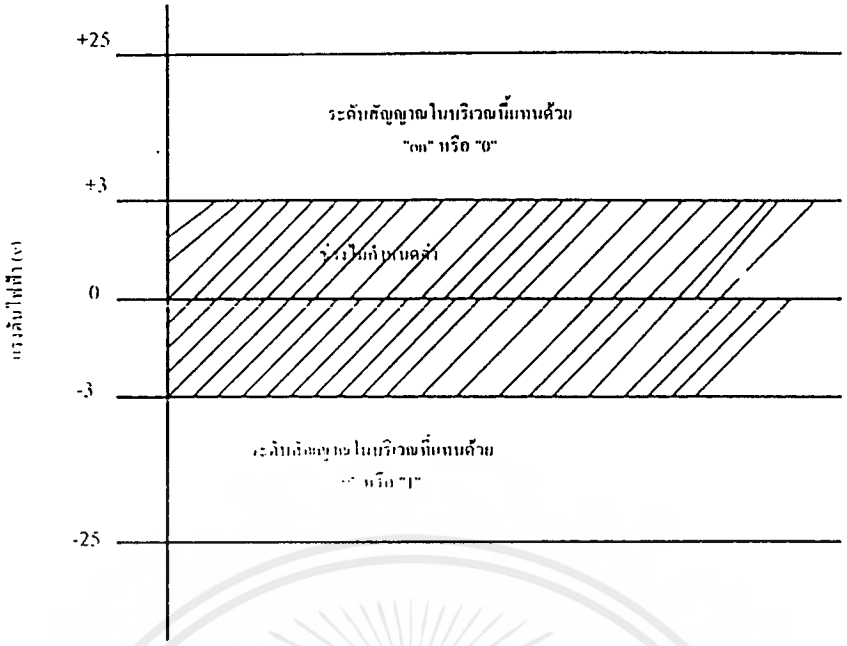
เมื่อข้อมูลทั้งหมดถูกส่งไปหมดแล้ว เทอร์มินอลด้านเรียกทำให้วงจร RTS กลับมีสถานะ "Off" และโมเด็มด้านเรียกตอบรับด้วยการให้วงจร CTS มีสถานะ "Off" ตามไปด้วยทั้งหมดนี้ทำให้วงจร DCD มีสถานะ "Off" ตามไปด้วยที่ปลายทางเมื่อไม่มีสัญญาณแคเรียะส่งเข้ามาโมเด็มด้านถูกเรียกก็หยุดการติดต่อลงการติดต่อโดยตรงผ่านสายวงจรเช่า

การต่อลักษณะนี้ไม่ต้องมีกฎเกณฑ์หรือ ขั้นตอนต่าง ๆ ในการสร้างเส้นทางสื่อสารก่อนส่งข้อมูล มีเพียงข้อกำหนดไม่กี่ข้อดังนี้

- ตลอดเวลาวงจร DRS ต้องมีสถานะ "ON"
- เมื่อเทอร์มินอลพร้อมที่จะส่งข้อมูล วงจร RTS มีสถานะ "ON" และโมเด็มตอบรับด้วยการให้วงจร CTS มีสถานะ "ON" ตามจากนั้น เทอร์มินอลด้านเรียกสามารถส่งข้อมูลได้ทันที

คุณสมบัติทางไฟฟ้าของ RS232 กล่าวไว้ว่า ในวงจรแบบอันบาลานซ์ค่าแรงดันไฟฟ้าบวกจาก 3 ถึง 25 V แทนความว่า ในวงจรควบคุม คือ เริ่มทำงา (ON) หรือในวงจรข้อมูลคือค่ารหัสเลขฐานสองเท่ากับ "0"ส่วนแรงดันไฟฟ้าลบจาก (-3: ถึง (-25) v แทนความว่าในวงจรควบคุมคือ หยุดทำงาน (OFF) หรือในวงจรข้อมูลคือ รหัสเลขฐานสองเท่ากับ "1" ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 แสดงช่วงแรงดันไฟฟ้าของ RS232

อัตราบิทมากที่สุด มีค่าได้ 20,000 บิท/วินาที ภายในระยะทาง 15 เมตร 2.11.2 มาตรฐาน RS422

รายละเอียดใน RS422 เหมือนกับข้อกำหนด v.11 ซึ่งเป็นการอธิบายถึงคุณสมบัติทางไฟฟ้าของสวงจรอินเตอร์เฟซ (ดิจิตอล) แบบบาลานซ์ และไม่มีการระบุถึงสัญญาณอินเตอร์เฟซ, คุณสมบัติทางกล หรือวิธีการโอนย้ายข้อมูล

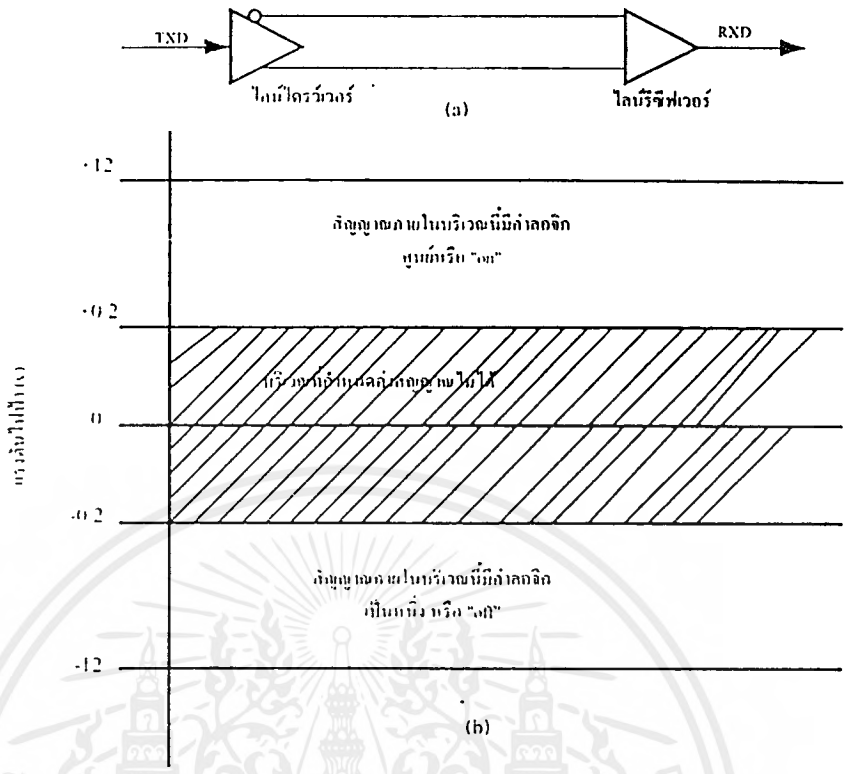
สิ่งที่อธิบายใน RS 422 คือ เรื่องของไลน์ไดรว์เวอร์ และไลน์รีซีฟเวอร์ที่ใช้สำหรับอัตราบิทสูงได้ถึง 10 เมกกะบิท/วินาที ภายในระยะทางไกลที่สุดคือ 12 เมตร และอีกกรณีหนึ่งคือ อัตราบิทสูงสุดไม่เกิน 100 กิโลบิท/วินาที ภายในระยะทางไกลที่สุดคือ 1,200 เมตร

ส่วนไลน์ไดรว์เวอร์ กำหนดคุณสมบัติว่าสามารถส่งระดับความแตกต่างของสัญญาณอย่างน้อยที่สุดเท่ากับ 2 โวลต์ ผ่านสายส่งแบบ 2 เส้น ที่มีการต่อปิดจุดปลายทางให้มีค่าอิมพีแดนซ์เท่ากับ 1,000 โอห์ม

สำหรับไลน์รีซีฟเวอร์ ต้องสามารถตรวจจับระดับความแตกต่างของสัญญาณขนาด $\pm$ 200 มิลลิโวต์ และสัญญาณรบกวนหรือสัญญาณแทรกเข้ามาได้ถึง $\pm$ 7 โวลต์

ขอให้พิจารณารูปข้างล่างนี้ ซึ่งจะแสดงการเซทเส้นทางสื่อสารของ RS422

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 แสดง (a) แสดง เส้นทางสื่อสารของ RS422

(b) แสดง การกำหนดแรงดันไฟฟ้าของ RS422

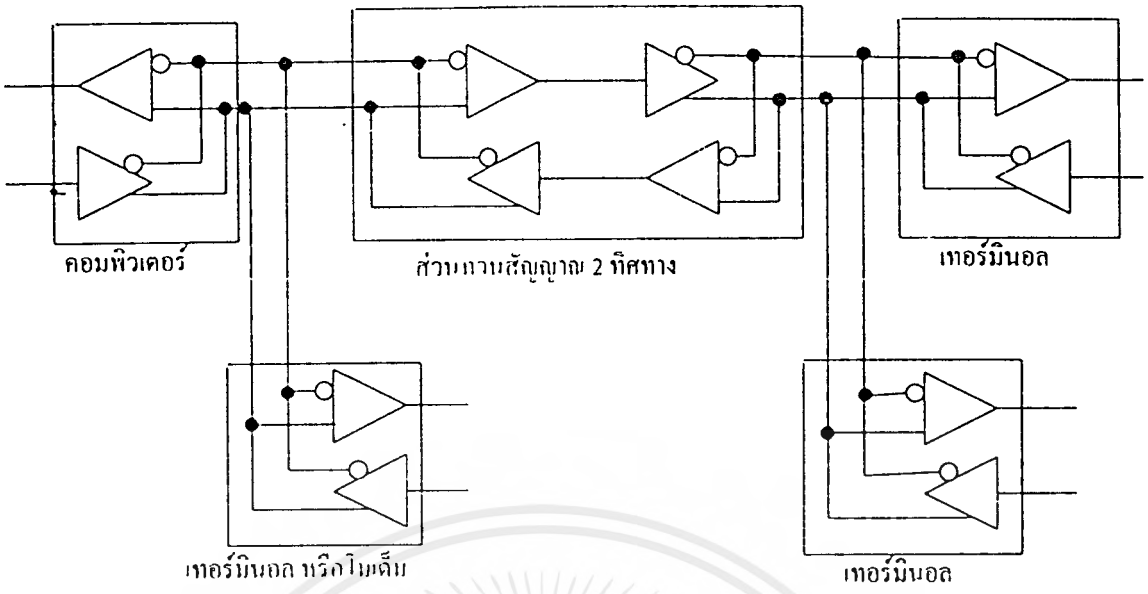
2.11.3 มาตรฐาน RS485

รายละเอียดของ RS485 ถูกพัฒนามาจาก RS422 โดยเพิ่มการอินเตอร์เฟซแบบต่อหลายจุด (Multi – point interface)

อินเตอร์เฟซแบบ RS422 ไม่อาจนำมาใช้ในการต่อมากกว่าหนึ่งจุดได้ เนื่องจากถ้ามีไลน์ไดรว์เวอร์มากกว่า หนึ่งตัวต่อเข้ากับบัสข้อมูลพร้อมกัน อาจทำให้เกิดปริมาณกระแสมากไหลผ่านไลน์ไดรว์เวอร์ ซึ่งสามารถทำให้ไอซีเสียหายได้

ส่วน RS485 ถูกออกแบบสร้างมาให้ใช้ไลน์ไดรว์เวอร์ และไลน์ซีฟเวอร์ได้คือ 32 ตัว เพื่อต่อกับบัสข้อมูล การใช้ RS485 ในการอินเตอร์เฟซแบบต่อหลายจุดแสดงดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 แสดงอินเตอร์เฟซ RS485 แบบต่อหลายจุด

2.12 ISD 12xx / 14xx SERIES (ไอซีบันทึกเสียง)

ไอซีในตระกูล ISD นี้ถูกสังเคราะโนโลยีบันทึกเสียงทางอนาลอกโดยตรงและภายในประกอบไปด้วยส่วนต่าง ๆ ที่ทำหน้าที่เก็บข้อมูลไว้ภายใน หรือเรียกว่า NV RAM (Nonvolatile RAM) ทำให้สามารถบันทึกเสียงได้นานตั้งแต่ 10-20 วินาที ตามเบอร์ไอซีในตระกูล ISD 12xx/14xx ซึ่งการใช้งานและการจัดขาของไอซีตระกูลนี้เหมือนกันหมดต่างกันตรงความสามารถในการบันทึกเสียงเท่านั้นเองคุณลักษณะที่แตกต่างไปจากไอซีเสียงทั่วไปก็คือระยะเวลาบันทึกเสียงตัวของไอซีเอง

2.12.1 คุณสมบัติของ ISD 12xx 14xx

1. เมื่อใช้ในฟังก์ชั่นการบันทึกและเล่นกลับด้วยตัวไอซีเองง่ายมาก
   - ไม่มีไอซีเบอร์อื่น ๆ ประกอบเพิ่มเติมภายนอก
   - ต่ออุปกรณ์พาสซีฟภายนอกน้อยมาก
2. ให้ระดับสัญญาณในการบันทึกที่มีประสิทธิภาพสูง
3. สามารถติดต่อกับสวิตช์ควบคุมการบันทึกเล่นกลับ
4. ข้อมูลที่ถูกบันทึกไว้ไม่สูญหายถึงแม้ว่าจะไม่มีแรงจ่ายให้กับไอซีและไม่ต้องการแบตเตอรี่สำรอง
5. เก็บข้อมูลได้นานถึง 100 ปี แม้ไม่มีแรงดันไฟเลี้ยง
6. สามารถบันทึกได้ถึง 100,000 ครั้ง
7. มีวงจรสุ่มความถี่ภายใน
8. ไม่มีการโปรแกรมในตัวไอซีและไม่ต้องพัฒนาระบบเพิ่มเติมเพื่อให้ทำงานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. มีระบบแสตนด์บายเพื่อประหยัดพลังงานจากแหล่งจ่ายเมื่อไม่มีการบันทึกหรือเล่นกลับ
10. ใช้แรงดันไฟเลี้ยงเดียว กินกระแสขณะแสตนด์บาย 0.5 ไมโครแอมป์

2.12.2 คุณสมบัติทางไฟฟ้าของ ISD 12xx/14xx

จากตารางนี้จะทำให้ทราบว่าค่าพารามิเตอร์บางอย่างที่แตกต่างกันของไอซีแต่ละเบอร์ในตระกูล ISD 12xx 14xx นี้ ซึ่งบอกถึงความสามารถของระยะเวลาในการบันทึกที่แตกต่างกัน รวมทั้งความถี่ของการสุ่มสัญญาณก็ต่างกัน

สัญลักษณ์	คุณสมบัติ	ISD1210	ISD1212	ISD1416	ISD1420	หน่วย
Fs	อัตราความถี่ในการสุ่มของสัญญาณ	6.4	5.3	8	6.4	KHz
BW	ความกว้างของแบนด์	2.7	2.3	3.4	2.7	KHz
Trpw	ความกว้างของพัลส์ขณะบันทึก	10	12	16	20	Sec
Tplay	ระยะเวลาในการบันทึก (สูงสุด)	10	12	16	20	Sec
Tled2	การหน่วงเวลาที่ขา REC LED ขณะปิด	48.6	58.3	38.9	48.6	Msec
Trpud	การหน่วงเวลาขณะเริ่มบันทึก	32	39	26	32	Msec
Trpdd	การหน่วงเวลาขณะหยุดบันทึก	32	39	26	32	Msec
Tppur	การหน่วงเวลาขณะเล่นกลับ	32	39	26	32	Msec
Tppdd	การหน่วงเวลาขณะเล่นกลับสิ้นสุด	8.1	9.7	6.5	8.1	Msec
THD	ความเพี้ยนทางฮาร์มอนิกรวม	1	1	1	1	%
สัญลักษณ์	**คุณสมบัติ**	**ISD1210**	**ISD1212**	**ISD1416**	**ISD1420**	**หน่วย**
Tled1	หน่วงเวลาขณะเริ่มบันทึกของ LED	5	5	5	5	Usec
Pout	กำลังขับลำโพงทางเอาท์พุต	12.2	12.2	12.2	12.2	MW
Vout	แรงดันตกคร่อมขาต่อลำโพง	2.5	2.5	2.5	2.5	Vpp
Vin1	แรงดันอินพุตที่ไมโครโฟน	20	20	20	20	MV
Vin2	แรงดันอินพุตอนาล็อก	50	50	50	50	MV

ตารางที่ 2.6 แสดงคุณสมบัติทางไฟฟ้าของตระกูล ISD 12xx/14xx SERIES

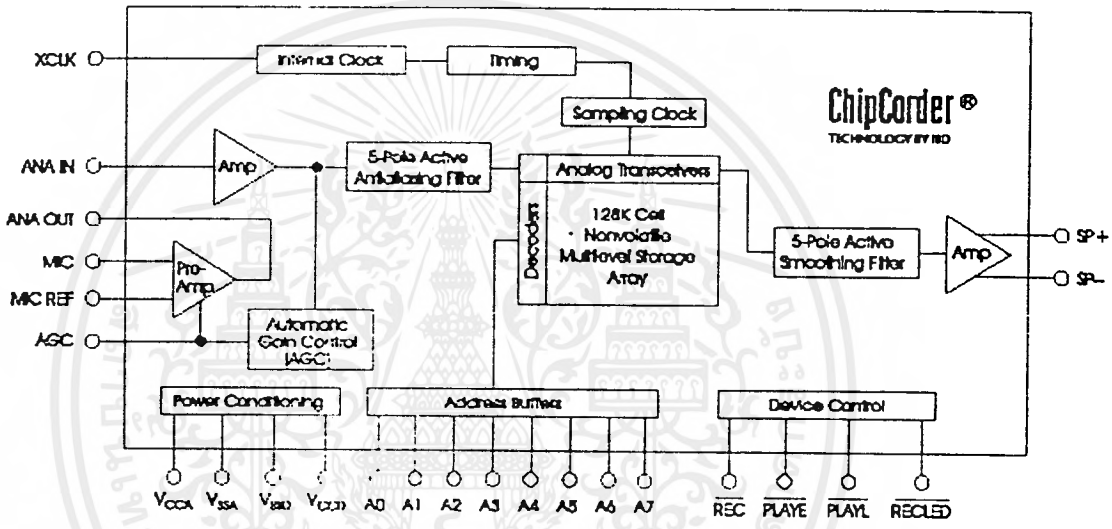
ภายในตัวไอซีจะประกอบด้วยส่วนการทำงานที่สำคัญทุกส่วน โดยมีอุปกรณ์พาสซีฟต่อภายในก็มีวงจรกำเนิดความถี่ [illegible] วงจรขยายสัญญาณไมโครโฟน, วงจรควบคุมอัตราการขยายอัตโนมัติ, วงจรการลดทอนสัญญาณ และวงจรขยายสัญญาณออกสู่ลำโพงโดยตรงจากไอซีตัวนี้แต่ไม่ดังมากพอ สามารถเพิ่มวงจรขยายเสียงภายนอกเพื่อขับลำโพงให้ได้ยินเสียงดังมากขึ้น

เอกสารนี้ [illegible] ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่จะทำการบันทึกจะถูกเก็บหรือบันทึกลงบนหน่วยความจำภายในไอซี ซึ่งเป็นหน่วยความจำที่ไม่ต้องการแรงดันไฟฟ้าสำรองเก็บข้อมูลไว้ได้นานเป็น 100 ปี ลักษณะการบันทึกบนหน่วยความจำภายในไอซีตัวนี้จะทำการบันทึกสัญญาณอนาลอก โดยตรง (Direct Analog Storage Technology : DAST) ซึ่งสัญญาณอนาลอก นี้อาจจะเป็นย่านความถี่ 20 Hz ถึง 22 kHz การบันทึกนี้สัญญาณจะถูกเก็บไว้

ในหน่วยความจำภายในชนิด EEPROM ซึ่งเป็นอีพรอมที่สามารถบันทึก 100,000 ครั้งตลอดอายุการใช้งาน

Figure: ISD1400 Series Block Diagram



รูปที่ 2.22 Block diagram ของ ISD/1200/1400 series

2.12.3 การทำงานเบื้องต้น

การทำงานเบื้องต้นของ ISD 12xx/14xx จะเป็นชิฟไอซีเพียงตัวเดียวและมีสัญญาณแบบเดี่ยว (single signal) เพื่อควบคุมที่ขา REC และสัญญาณควบคุมการเล่นกลับจะถูกควบคุมด้วยสวิตซ์ควบคุมสองสวิตซ์ คือ ควบคุมที่ขา PLAYE และ PLAYL นอกจากนั้นหากต้องการให้สามารถควบคุมการบันทึกได้หลาย ๆ ลักษณะก็สามารถใช้ขาแอดเดรสไลน์ มาทำการประยุกต์ใช้งานควบคุมได้เช่นกัน

- ประสิทธิภาพของเสียงที่บันทึก (Speech Quality)

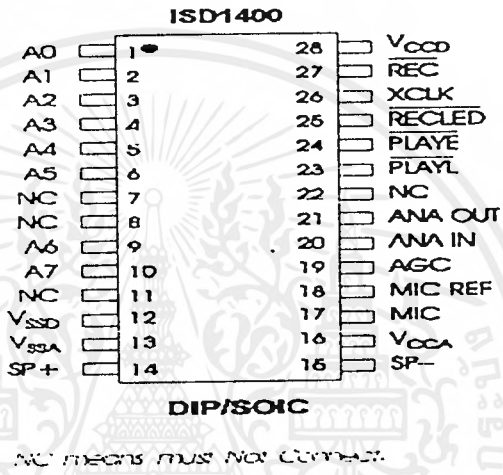
ประสิทธิภาพของสัญญาณที่ทำการบันทึกและเล่นกลับจะมีคุณภาพของสัญญาณที่ทำการบันทึกและการบันทึกหรือสัญญาณเสียงพูดที่เข้ามาอินพุตจะถูกบันทึกหรือเก็บเข้าไปไว้ใน EEPROM ซึ่งเป็นหน่วยความจำภายในโดยตรงด้วยสัญญาณแบบอนาลอกและการเล่นกลับออกมาก็จะเหมือนกับสัญญาณที่ก่อนทำการบันทึกแน่นอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ปิดตัวเองเมื่อไม่มีการบันทึกหรือเล่นกลับ (Automatic Power – Down Mode)

ในขณะที่วงรอบหรือขั้นตอนการทำงานเล่นกลับหรือบันทึกสิ้นสุดลง ไอซีนี้จะมีฟังก์ชันการทำงานให้ตัดเข้ามาสู่โหมดของการสแตนด์บายเพื่อให้ปริมาณการใช้กำลังต่ำ ซึ่งกินกระแสเพียง 0.5 ไมโครแอมป์ เท่านั้น ในช่วงที่ทำการเล่นกลับจนลงวงจรภายในก็จะตัดกลับสู่สภาวะสแตนด์บาย ในโหมดของการบันทึกหลังจากที่ทำการบันทึกเสร็จสิ้นลง ก็จะกลับมาสู่โหมดสแตนด์บาย เมื่อขาควบคุม REC มีระดับลอจิกเป็น "1"

2.12.4 การทำงานของขาใช้งานแต่ละขา สามารถอธิบายถึงหน้าที่และการทำงานของขาที่สำคัญ ได้ดังนี้



รูปที่ 2.23 แสดงรายละเอียดของ ISD 1200/1400 series

- ขาควบคุมการบันทึก (REC)

ที่ขาควบคุมการบันทึกทางอินพุตนี้จะต้องการระดับลอจิก "0" เพื่อทำการบันทึกสัญญาณและจะเริ่มทำการบันทึกเมื่อระดับลอจิกที่ขา REC นี้เป็นลอจิก "0" และสภาวะลอจิกที่ขานี้จะต้องคงสถานะอยู่ที่ "0" ตลอดขณะทำการบันทึก และการบันทึกที่ขา REC จะต้องได้รับสัญญาณให้ทำการบันทึกก่อนที่จะทำการเล่นกลับหรือก่อนที่จะมีสัญญาณมาควบคุมที่ขา PLAYE หรือ ขา PLYL ถ้าที่ขา REC มีระดับลอจิก "0" ขณะที่มีการเล่นกลับ การเล่นกลับจะหยุดและจะเริ่มทำการบันทึก เมื่อการบันทึกจบลงขา REC จะเพิ่มมากขึ้นไป

- ขาควบคุมการเล่นกลับอย่างสมบูรณ์ (PLAYE)

เมื่อขาควบคุมการเล่นกลับนี้ได้รับระดับลอจิกเป็น "0" หรือได้รับการกระตุ้นด้วยลอจิก "0" ที่อินพุตนี้วงจรก็จะเริ่มทำการเล่นเพื่อนำข้อมูลที่ถูกบันทึกอยู่แสดงออกมาทางลำโพง ฟังก์ชันการเล่นกลับนี้ จะเป็นการเล่นกลับอย่างต่อเนื่อง จนกว่าจะถึงข้อมูลสุดท้ายที่ทำการบันทึกตามเวลาที่กำหนดไว้ (10-20 วินาที)

- ขาควบคุมการเล่นกลับ (PLAYL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเขาอินพุตนี้มีการเปลี่ยนแปลงระดับลอจิก "1" ไปถึง "0" จะเป็นการเล่นกลับแบบต่อเนื่องจนกระทั่งที่ขา PLAYL เพิ่มขึ้นเป็น "1" หมายถึง เกิดการตรวจจับการเล่นสิ้นสุดลงแล้ว หรือตรวจจับ พบมาร์คเกอร์ ซึ่งเป็นจุดสิ้นสุดข้อมูล หรือถึงจุดสิ้นสุดของข้อมูลในหน่วยความจำ

- ขาอินพุทของสัญญาณอนาลอก (ANAIN)

ค่า C ภายนอกที่ต่อระหว่างขา ANA IN และขา ANA OUT สามารถกำหนดความถี่ cut off ที่ low – frequency ของความถี่เสียงได้ โดยสามารถที่จะนำสัญญาณอนาลอกมาใส่เข้าที่ขานี้ได้เลย (แทนสัญญาณจากไมโครโฟน) โดยต่อผ่าน C คัปปลิ้ง เข้ามา

- ขา Automatic Gain Control (AGC)

จุดประสงค์ของสัญญาณ AGC คือควบคุมค่า gain ของวงจร preamplifier และช่วยขยายช่วงความดังของ input signal จากเสียงกระซิบจนถึงเสียงตะโกน ซึ่งจะควบคุมให้เอาท์พุทไม่ดังเกินไป

2.12.5 การกำหนดแอดเดรส

การกำหนดแอดเดรสของการบันทึกและการเล่นกลับนั้น สามารถกำหนดได้โดยขา A0 – A5 เมื่อขา A7 ต้องเป็นลอจิก "0" และจะใช้ขา A6 เป็นตัวกำหนดว่าจะเป็น 10 วินาทีแรก หรือ 10 วินาทีหลัง

- เมื่อขา A6 เป็นลอจิก "0" จะกำหนดเป็น 10 วินาทีแรก
- เมื่อขา A6 เป็นลอจิก "1" จะกำหนดเป็น 10 วินาทีหลัง

ในการบันทึกหรือเล่นการกลับนั้น จะต้องกำหนดตำแหน่งแอดเดรสก่อน แล้วจึงใช้จะสามารถควบคุมให้บันทึกหรือเล่นกลับได้ โดยการควบคุมที่ขา PLAYL และ REC ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจร

3.1 การออกแบบวงจรโดยรวม

การออกแบบวงจรโดยรวมเป็นการออกแบบที่กรอบคลุมโครงสร้างการทำงานทั้งของโครงการที่ต้องรองรับความต้องการทั้งหมดของโครงการให้ทำงานสอดคล้องกันอย่างไม่มีข้อบกพร่อง ซึ่งได้จากสรุปข้อมูลตามต้องการทั้งหมด ดั้งนี้ต่อไปนี้

1. รับสัญญาณจากอุปกรณ์ตรวจจับต่างๆ เช่นสวิทช์ประตู,สวิทช์ลำแสง (Protocell),อินฟราเรดเซ็นเซอร์,ตัวตรวจจับความร้อน(HeatDetecter)และตัวตรวจจับควันไฟ(Smoke Detecter)
2. สามารถต่อเชื่อมกับระบบวงจรโทรศัพท์เพื่อโทรศัพท์ออกนอกอาคาร เมื่อเกิดเหตุขึ้นเพื่อแจ้งเหตุออกไป
3. ควบคุมการตรวจจับสัญญาณเข้าและสัญญาณเตือนภัยรวมทั้งการควบคุมการโทรศัพท์แจ้งเหตุ ควบคุมการใช้งานผ่าน Keyboard และแสดงผลออกทางจอแสดงผลซึ่งเป็น LCD หรือ LED ก็ได้แล้วแต่ความเหมาะสมของออกแบบ
4. มีชุดไฟสำรองเพื่อจะใช้ในกรณีที่เกิดไฟฟ้าดับหรือไฟฟ้าลัดวงจร

นอกจากนี้ในการออกแบบยังต้องคำนึงถึงการเปลี่ยนแปลงที่เกิดขึ้นในอนาคตด้วยเพื่อที่จะให้ระบบการทำงานของวงจรที่ออกแบบเป็นระบบที่มีประสิทธิภาพและสามารถทำงานได้ตามที่เรากำหนดไว้ ดังนั้นเราควรคำนึงถึงองค์ประกอบต่างๆ ซึ่งเป็นตัวช่วยเสริมให้ระบบมีประสิทธิภาพ ดังนี้

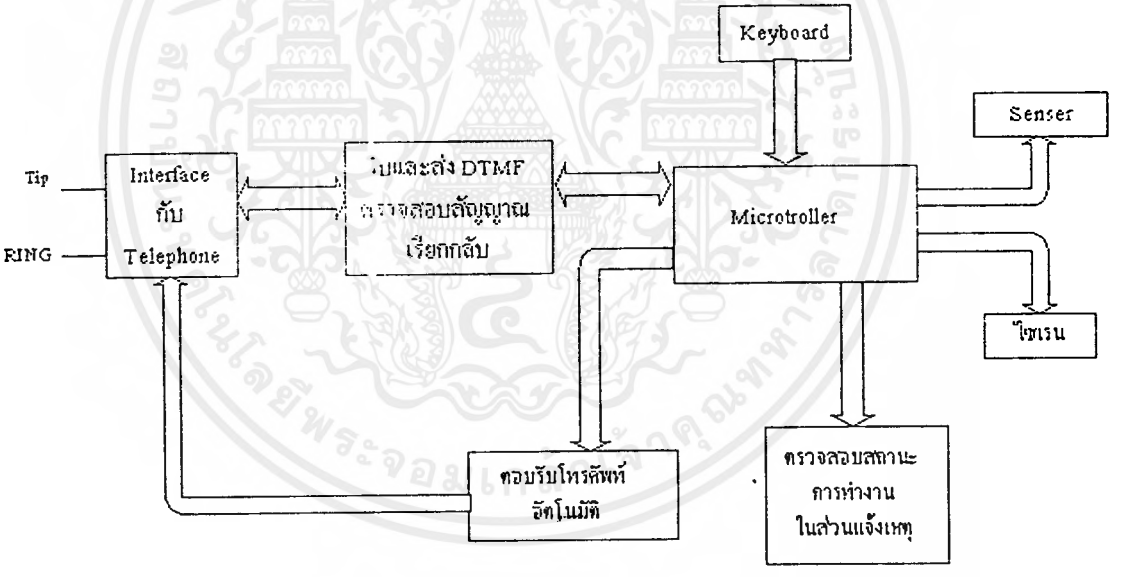
1. มีความยืดหยุ่นในการทำงานขั้นการทดลองโครงงานวิ่งก็คือสามารถที่จะแก้ไขหรือปรับปรุงโครงสร้างในรายละเอียดได้เพื่อการพัฒนาใช้งานได้หลากหลายในอนาคต
2. มีสัญญาณรบกวนเข้าสู่ระบบและส่งสัญญาณรบกวนออกมาสู่ภายนอก
3. มีความน่าเชื่อถือสูง เช่น การคำนึงถึงว่าถ้ามีอุปกรณ์บางตังเกิดขัดข้องเสียหายหรือเกิดขัดข้องขึ้นก็จะไม่ทำให้ระบบทำงานโดยรวมเสียหายตามไปด้วยคือ ระบบโดยรวมยังคงทำงานต่อไปได้นั่นเอง หรือไม่ส่งสัญญาณเตือนภัยโดยที่ไม่มีเหตุการณ์ผิดปกติเกิดขึ้น
4. ใช้งานได้ตลอดเวลาด้วยค่าใช้จ่ายที่เหมาะสม เช่น ใช้กระแสไฟฟ้าที่ต่ำเมื่อเหตุการปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ตัววงจรต้องไม่สร้างความไม่ปลอดภัยให้กับผู้ใช้งานทั้งทางด้านชีวิตและทรัพย์สิน เช่น ไฟฟ้าดูดหรือไฟไหม้

หลังจากที่ได้คำนึงถึงข้อมูลต่างๆ ก็ทำการออกแบบเป็น Block Diagram ขึ้นเพื่อให้มองเป็นจุดที่จะปรับปรุงหรือเปลี่ยนแปลงแล้วทำการทดลองภาคต่างๆ แล้วนำมารวมเป็น Block Diagram ซึ่งจะต้องมีการปรับปรุงหรือแก้ไขอีกครั้งหนึ่ง

ระบบควบคุมนี้มีหัวใจในการทำงานของโครงงานซึ่งประกอบด้วยชุดวงจรหลักๆ ดังนี้ ชุดวงจรไมโครคอนโทรลเลอร์ (Microcontroller Unit),วงจรโทรศัพท์แจ้งเหตุ (Telephon Unit),ชุดวงจรแจ้งเหตุภัย (Alarm Unit),ชุดวงจรอินพุท (Input Unit),ชุดวงจรเอาท์พุท (Output Unit),ชุดวงจรจ่ายแรงดัน (Power Supply Unit) และชุดวงจรแบตเตอร์ (Bettery Chnger Unit) ระบบโดยรวมจะถูกออกแบบให้สามารถแยกออกจากกันสำหรับการทดลองที่อิสระต่อกันเพื่อปรับปรุงแต่ละวงจรให้มีการทำงานที่ดีจึงนำมาประกอบเข้าด้วยกัน



รูปที่3.1 บล็อกไดอะแกรมการทำงาน

จากการศึกษามาตราฐานของ RS 232 , 485 พบว่ามีความเป็นไปได้ที่จะสร้างระบบเครือข่ายเพราะสามารถต่อ Driver ได้มากชุดต่อสายนำสัญญาณ 1 คู่ โดยเฉพาะ RS 232 นั้นสามารถต่อชุด Terminal Transceiver ได้ถึง 32 ชุด ดังนั้นจึงได้เลือกใช้มาตราฐานนี้และแบบการ Link Controls นั้นได้เลือกแบบ Primary / Secondary หรือ Master / Slave ชนิด Polling ทั้งนี้เนื่องจากความเหมาะสมของระยะเวลาการพัฒนา Hardware และ Software สำหรับอุปกรณ์ที่ทำหน้าที่ควบคุมและประมวลผลในเครือข่ายนั้น ได้เลือกใช้ชิพ Microcontronller ตระกูล MCS-51 เพราะมีความเร็วใน

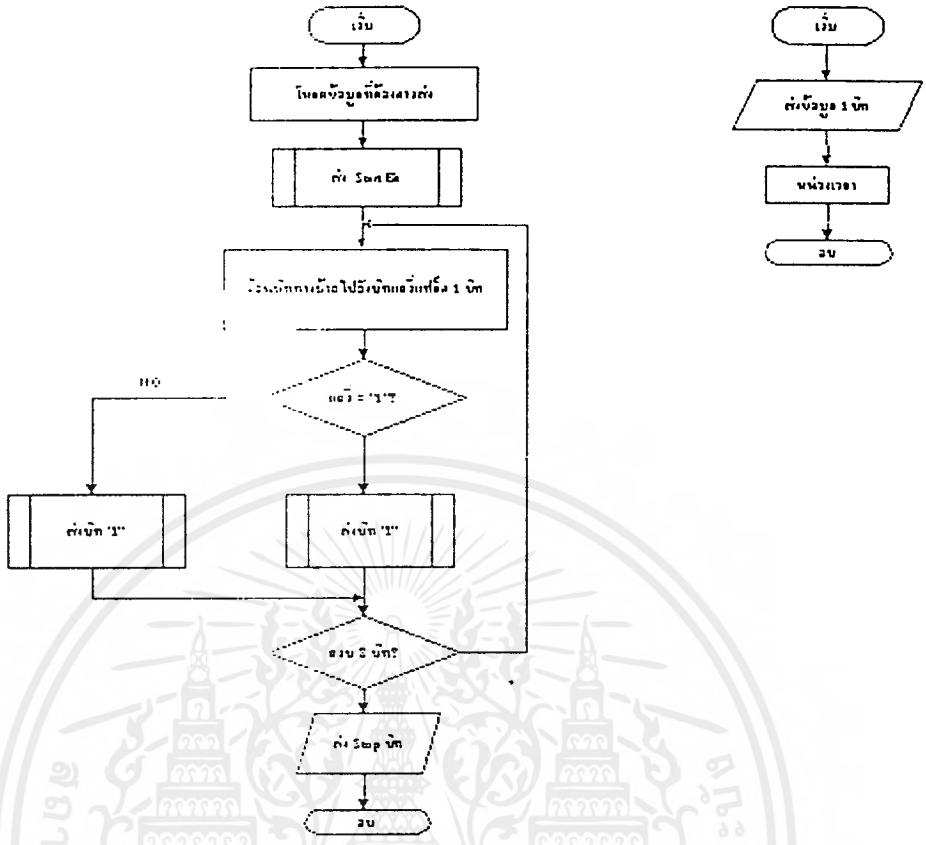
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประมวลผลสูงโดยหนึ่งชุดคำสั่งใช้เวลาเฉลี่ยเพียง 1 Usec (1/ล้านวินาที) ที่การใช้สัญญาณนาฬิกาความถี่ 12 เมกกะเฮิร์ต และเป็นชิพที่มีราคาไม่แพงมีจำหน่ายภายในประเทศ อีกประการหนึ่งที่สำคัญ คือมี Port ที่สำหรับ รับ-ส่ง ข้อมูลอนุกรมภายในตัวชิพ และสามารถเลือกใช้งานแบบตรวจการรับสัญญาณแบบวิธี Interrupt ได้อีกด้วย ซึ่งจะช่วยในการพัฒนาเป็นไปด้วยความสะดวกและรวดเร็วในขั้นตอนเริ่มต้นจะเห็นว่าจำนวนจุดติดต่อกับแต่ละชั้นนั้นมีได้สูงเพียง 31 ชั้นเท่านั้น เพราะอีกหนึ่งจุดจะทำหน้าที่เป็นตัวแม่ (Master) และจากความต้องการในการใช้งานได้กับตึกที่มีขนาดใหญ่จึงมีการขยายจำนวนชั้นเพิ่มอีกโดยใช้ RS-485 เพิ่มเข้าไปอีกระดับหนึ่งระบบจำติดต่อกันได้มากขึ้นถึง 961 ชั้น (31*31) ซึ่งนับว่าเพียงพอสำหรับอาคารสูงแล้วสำหรับส่วนที่ทำหน้าที่เป็นตัวสถานีชั้นสูงสุดนั้น คือ เครื่องคอมพิวเตอร์ที่ติดตั้งที่ศูนย์รักษาความปลอดภัยนั่นเอง ซึ่งในส่วนนี้ได้โปรแกรมให้ทำงานสอบถามนั่นที่ คือ โต้ตอบกับทางคีย์บอร์ท โดยแสองผลทางจอภาพ และอีกประการหนึ่งคือส่งสัญญาณข้อมูลผ่านPortอนุกรมแบบ RS-232 มายังเครือข่ายเพื่อคอยสอบถามสถานะของการทำงานแต่ละชั้นซึ่งการทำงานนี้ใช้วิธีการวนตรวจสอบ (Polling) สำหรับรายละเอียดของการทำงานและโปรแกรมจะได้กล่าวต่อไป ส่วนข้อมูลที่สถานีแม่ต้องตรวจสอบนั้นจะประกอบไปด้วยสถานะของ SENSOR ที่เป็นแบบดิจิตอล จำนวนสูงสุดถึง 32 จุด และสถานะการปิด เปิดอุปกรณ์แสงสว่างภายในชั้น 4 จุด รวมข้อมูลทั้งหมด 36บิท หรือ 2 1/2ไบท์ แต่ทั้งนี้เพื่อสงวนไว้ในอนาคตจึงเพิ่มให้ครบเป็น 5 ไบท์ ข้อมูลทั้งหมดนี้ที่จะส่งเราเรียกว่า "เฟรม" (Fram)

3.2 การออกแบบ Hardware ของระบบเครือข่าย

เมื่อพิจารณาจาก Block diagram ของ node ชั้นที่ 1 แล้วพบว่ามีส่วนที่ติดต่อกับ Port อนุกรมแบบ RS-485 ถึง2 ตำแหน่ง ใน node ที่ติดต่อกับเครื่องคอมพิวเตอร์ของศูนย์รักษาความปลอดภัยจะเป็น RS-232 ดังนั้นในการออกแบบโดยใช้ไมโครคอลโทรเลอร์ที่มีพอร์ทอนุกรมเพียง 1 พอร์ท อย่าง MCS-51 จึงคิดหาวิธีแก้ไข ซึ่งมี 2วิธี คือสร้างโปรแกรมจำลองการรับ ส่งข้อมูลอีกหนึ่งชุดและ สอง คือใช้อุปกรณ์ Swiching สลับการติดต่อระหว่างพอร์ทของ MCS-51 เนื่องจากวิธีที่ หนึ่งนั้นไม่ต้องมีการสร้าง Hardware เพิ่มมากขึ้นเพียงแต่พัฒนาโปรแกรมสำหรับการรับ ส่วข้อมูลจึงได้ออกแบบการทำงานดังนี้

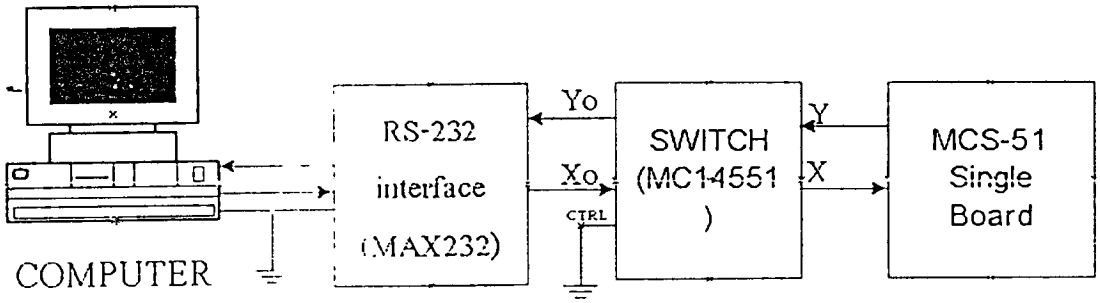
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 Flow Chat ของข้อมูล 1 ไบท์ ด้วยSoftware

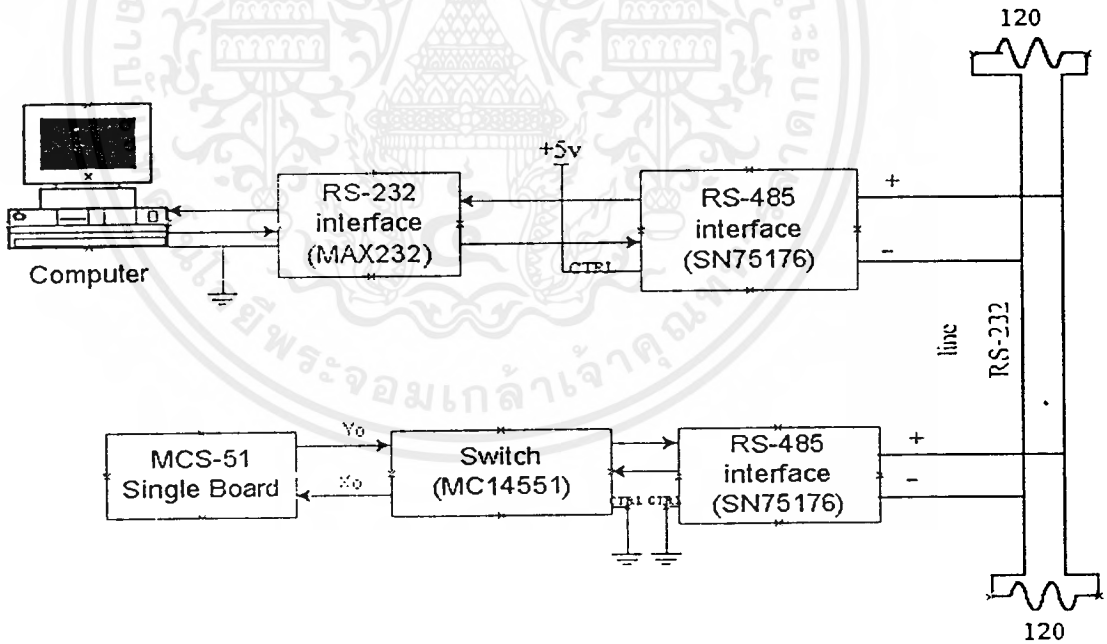
จากนั้นจึงได้เขียน code ด้วยภาษา C เพื่อการทดสอบการทำงาน ผลที่ได้นั้นเป็นจะได้ผลเฉพาะการทำงานที่เป็นแบบ Real Time เท่านั้น คือ หลังจากนำโปรแกรมที่ผ่านการแปลงแล้วทำการโปรแกรม (Burn) ลงใน EPROM แล้วเท่านั้น ส่วนการใช้ Eprommulator นั้นใช้ไม่ได้ผลเพราะสาเหตุว่าการ Access หน่วยความจำของ Eprommulator นั้นใช้เวลามากกว่า EPROM ทำให้เวลาในการส่งแต่ละบิทใช้เวลาไม่แน่นอน พร้อมกับอุณหภูมิของชิพมีผลด้วยเป็นอย่างมาก จึงหันมาพิจารณาวิธีที่สอง คือ ใช้อุปกรณ์ Swiching มาสลับการทำงานพอร์ท โดยได้เลือกใช้ชิพไอซีเบอร์ MC14551 เนื่องจากมีสายสัญญาณ 4 ชุดในตัวเดียวกันแต่ถ้าเลือกใช้เบอร์4016 ซึ่งออกแบบเป็น Bilaatcrel Switch จะต้องใช้สายควบคุม RS-485 อีก 1ชุด ทำให้สิ้นเปลืองเนื้อที่และกระแสไฟฟ้า การออกแบบให้มีการทำงานเป็นแบบ Multiplex / Demultiplex จึงเหมาะสมในการทำงาน สำหรับการติดต่อระหว่างพอร์ททั้งสองและทดสอบการทำงานบน Poto Broad (แผงทดลองวงจร) โดยใช้ชุด Single Board Microcontroller MCS-51 ทดสอบโหลดไฟล์ผ่านทางพอร์ทอนุกรม RS-232 ของเครื่องคอมพิวเตอร์ผ่าน RS-232 Interface ซึ่งใช้ชิพเบอร์ MAX232 ทำหน้าที่แปลงแรงดัน +25โวลต์ เป็น+5 V กับ MC14551 ซึ่งควบคุมทิศทางของสัญญาณด้วยมือดังแสดงตามรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงการทดสอบชิพไอซี MC14551

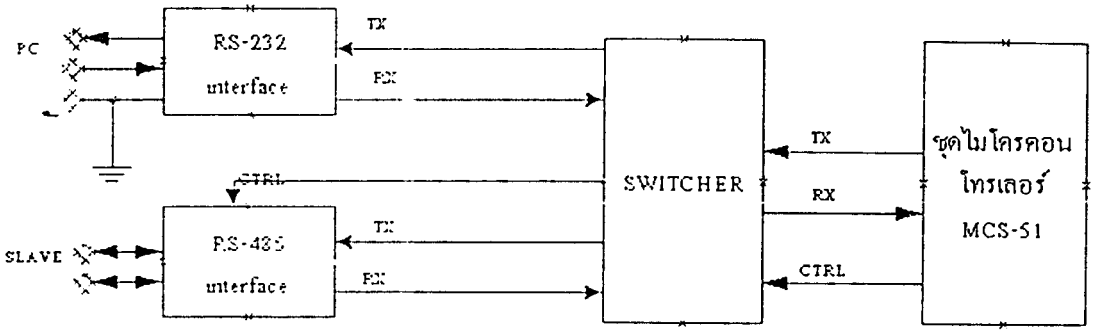
ผลการทดสอบพบว่าที่ความเร็ว 9600 Baud ไฟล์ที่รับจาก PC สามารถทำงานบน Single Board ได้ดีตามปกติในขั้นตอนต่อมาจะทดสอบการรับส่วผ่าน RS-485 driver โดยใช้ชิพเบอร์SN57176 ซึ่งขั้นตอนนี้จำเป็นต้อง สร้างเครื่องมือที่แปลงสัญญาณจาก RS-232 มาเป็นRS-485 ก่อนและได้ออกแบบวงจรทดลองตามรูปที่ 3.4



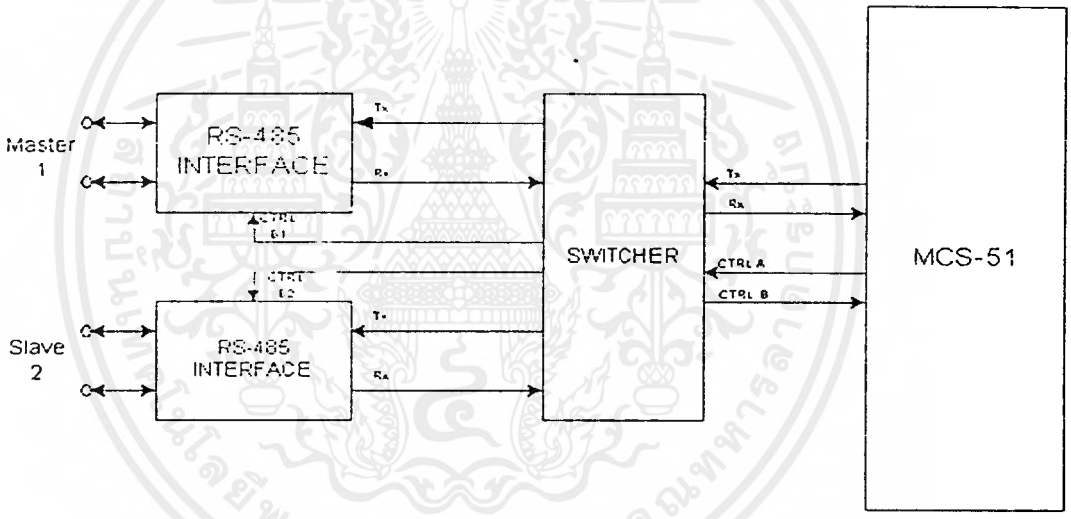
รูปที่ 3.4 แสดงการทดสอบชิพไอซี SN75176

การทดสอบนี้จะใช้วิธี Manual ในการควบคุมทิศทางของ MC14551 และ SN75176 รับและการส่ง HEX ไฟล์ระหว่าง PC กับ Single Board ซึ่งผลการทดสอบพบว่าใช้งานได้ดี โดยที่เครื่อง PC จะใช้โปรแกรมTerminal 95 เป็นตัวรับส่งข้อมูลไฟล์ทั้งสองขั้นตอนที่ผ่านมาทำให้มีข้อมูลเพียงพอในการออกแบบ Hardware ของ Node ต่างๆ และได้ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

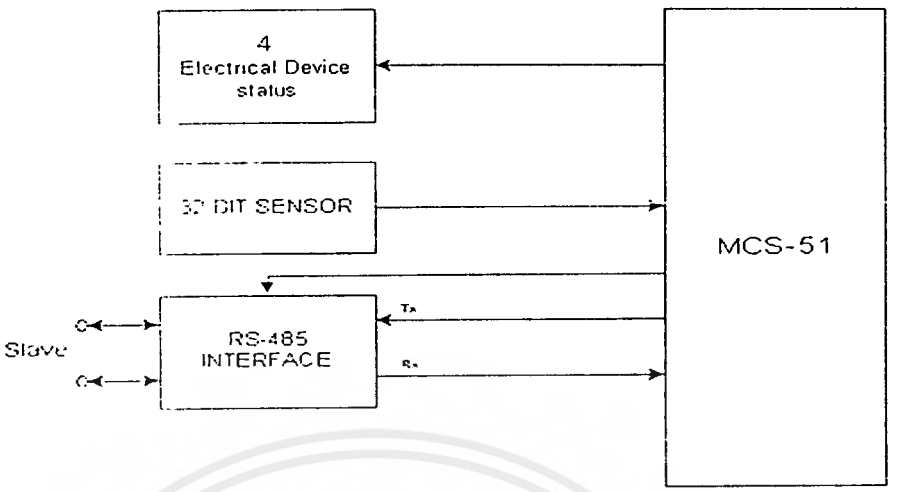


รูปที่ 3.5 บล๊อกไดอะแกรมของ Master ชั้นที่ 2



รูปที่ 3.6 บล๊อกไดอะแกรม ของ Slave Node ชั้นที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

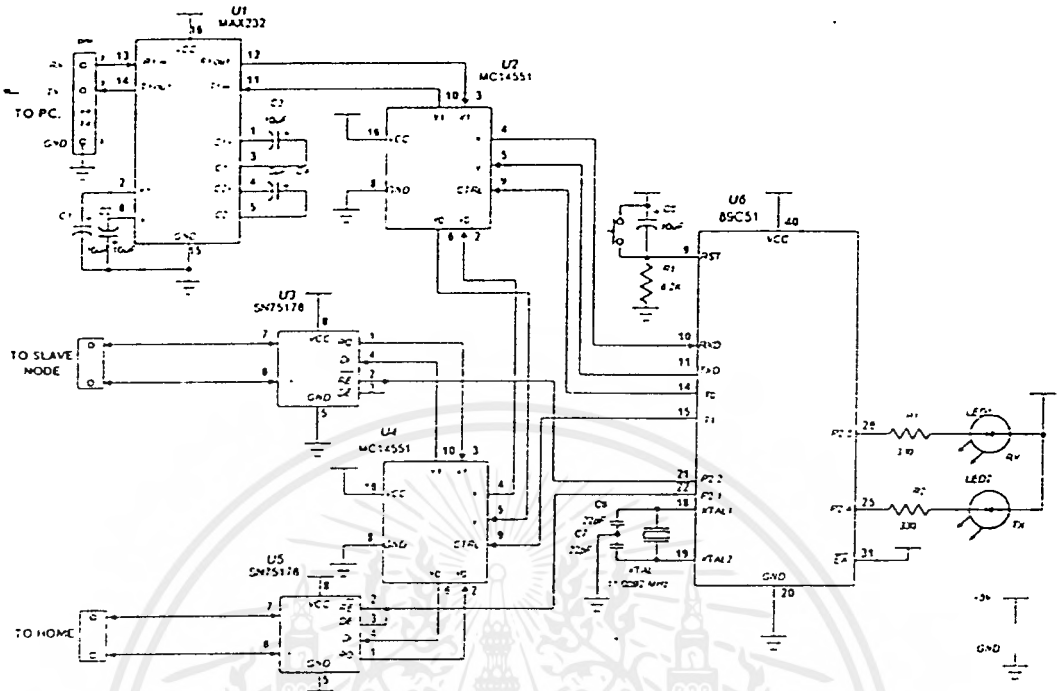


รูปที่ 3.7 บล็อกไดอะแกรม ของ Slave Node ชั้นที่ 1 (ระบบเตือนภัยภายในอาคาร)

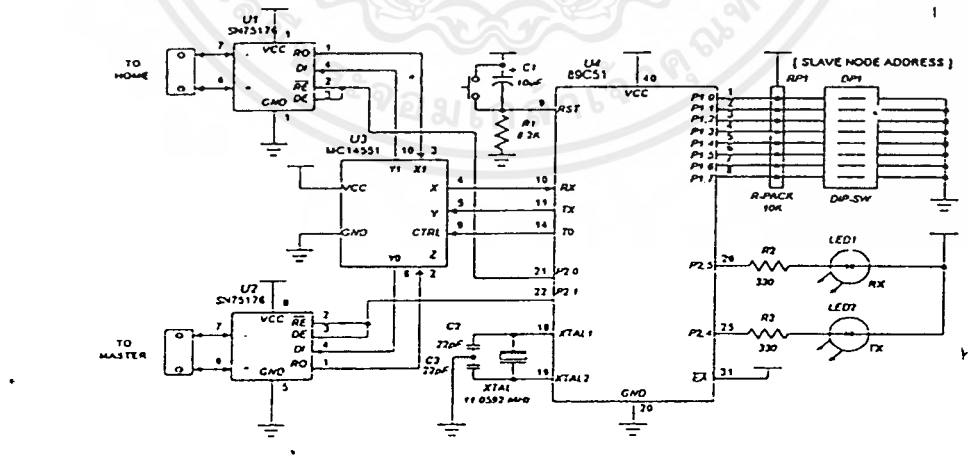
เนื่องจากต้องการผลการทำงานของระบบเครือข่ายต้องการให้ได้ข้อมูลใกล้เคียงความจริงมากที่สุด ดังนั้นจำเป็นต้องใช้ Node ต่างๆ จำนวน 10 ชุด เป็นอย่างน้อยในการทำงานร่วมกัน ด้วยเหตุนี้ส่วนของไมโครคอนโทรเลอร์จึงจะต้องให้มีความประหยัดมากที่สุดเท่าที่จะทำได้จาการพิจารณาประเมินการใช้หน่วยความจำของแต่ละโหนดแล้ว นอกจากเฟรมข้อมูลจำนวน 10 ไบท์แล้วยังมีการใช้งานไม่เกิน 10 ไบท์ ซึ่งหน่วยความจำใน MCS-51 นั้นมีถึง 128 ไบท์แต่ชิพที่ใช้ในSingle Board นั้นเป็นแบบหน่วยความจำสำหรับโปรแกรมภายนอก ที่ต้องการวงจร Decoder เพิ่มเข้ามานอกจาก ชิพของหน่วยความจำแล้วจะเห็นว่าต้องใช้เนื้อที่มากขึ้นและการพัฒนาโปรแกรมภาษา C บนโหนด ต่างๆ นั้นต้องใช้ Promulgator จำนวนไม่น้อยกว่า 3ตัวและข้อเสียของการใช้ Promulgator นั่นคือการทำงานเป็นแบบ Real Time ตามที่เราทดสอบไว้แล้วข้างต้นจึงได้พิจารณาชิพไอซีเบอร์89C51 ซึ่งนอกเหนือจากมีคุณสมบัติที่เหนือจากมีคุณสมบัติที่เหนือจากมีเหมือนกับชิพ MCS-51 ทุกประการแล้วมี Program Memory ที่เป็นแบบ EEPROM ขนาด 4096 ไบท์อยู่ภายในชิพและสามารถทำการโปรแกรมได้ใหม่ด้วย สัญญาณไฟฟ้าถึง 1000 ครั้ง จากการประเมินขนาดของโปรแกรมที่ใช้ทำงานที่โหนดต่างๆ นั้นจะใช้เนื้อที่ไม่เกินข้อจำกัดนี้และอีกประการหนึ่งคือชิพเบอร์นี้ทีราคาไม่แพงเมื่อเปรียบเทียบกับการต่อ Decodder และชิพ Memory ภายนอกแล้วจะจะเสียค่าใช้จ่ายพอๆ กันกับชิพ 89C51 จะทำให้ประหยัดเนื้อที่ใช้ด้วยและได้สร้างอุปกรณ์ 3 วงจร ที่ได้ออกแบบมาจำนวน 2 ชุด สำหรับการทำงานแบบ Master ชั้นที่ 1 และ Slave Node ซึ่งในส่วนของ Master ที่ทำหน้าที่ Gate Way จากเครือข่ายไปยังศูนย์นั้นได้ออกแบบเพิ่มเติมในส่วนของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Slave ย่อยอีกหนึ่งตัวทั้งนี้เพื่อให้เหมาะกับ Software ของศูนย์ต้องการให้ครบทั้ง 32 โหนดและในขั้นต่อมาจะเป็นส่วนของการพัฒนา Solfwareที่ใช้กับ Hardware แต่ละส่วน

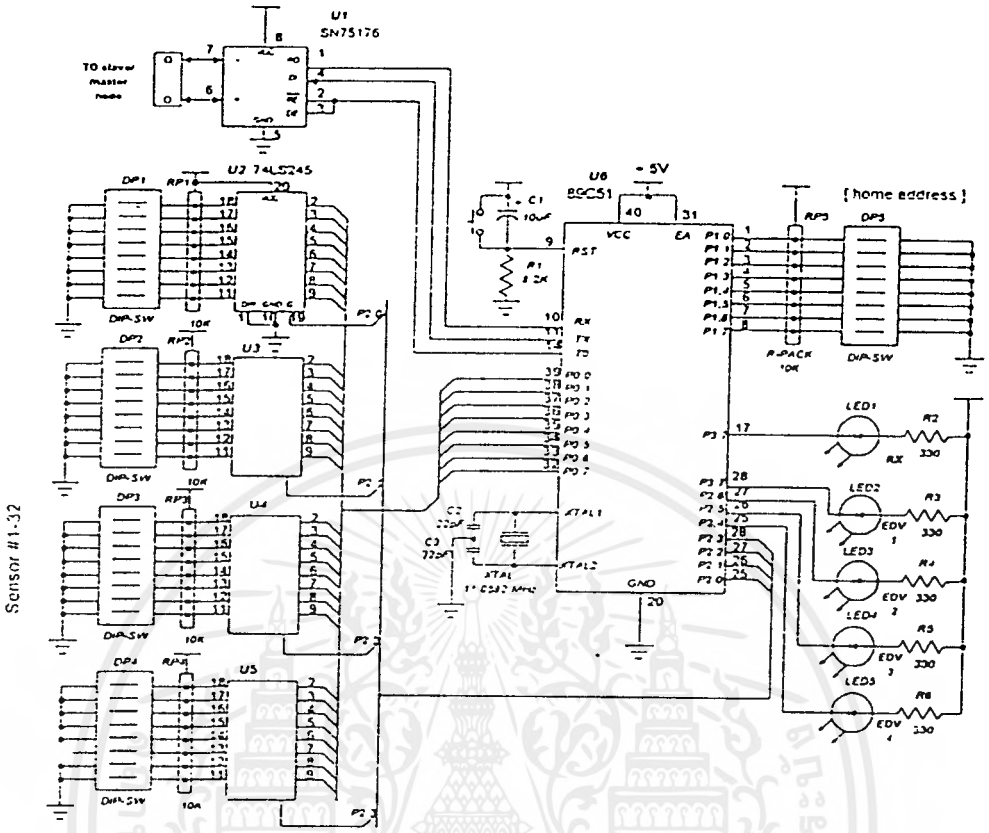


รูปที่ 3.8 วงจรของ Master Node



รูปที่ 3.9 วงจรSlave Node ชั้นที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจร Slave Node ชั้นที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

การทดสอบการทำงานของระบบนั้น เพื่อให้สอดคล้องกับเหตุการณ์ ที่คาดว่าจะเกิดขึ้นจริงตามที่ได้ออกแบบไว้ตั้งแต่เบื้องต้น จึงได้แบ่งออกเป็น 3 ส่วนใหญ่ ดังนี้

1. การรับสัญญาณแจ้งเตือนจาก Sensor ของระบบเตือนภัยแต่ละจุดในระบบ
2. การแจ้งเตือนภัยผ่านระบบโทรศัพท์
3. การทดสอบระบบโดยการทดสอบเหมือนการใช้งานจริง

โดยจะได้อธิบายรายละเอียดแต่ละหัวข้อดังต่อไปนี้

4.1 การรับสัญญาณแจ้งเตือน จาก Sensor ของระบบเตือนภัย

ทำการปรับให้ระบบมีการทำงานตามปกติจึงเลื่อน Dip Switch ที่ทำหน้าที่แทนการทำงานของอุปกรณ์ตรวจจับ (Sensor) ของระบบเตือนภัย (จำลอง) หมายเลข 1 ของ Snode หมายเลข 1 แล้วสังเกตที่ หน้าจอของเครื่อง PC จะพบว่า Icon Cell ของ Snode 1 กระพริบเตือนจากนั้นใช้ Mouse คลิ้ก ไปบน Icon เพื่อเข้าไปดูระบบเตือนภัยที่ต่ออยู่ จะพบว่า Icon Cell ที่แทนการ Active ของระบบเตือนภัยหมายเลข 1 กระพริบเตือนเช่นกัน แสดงว่าเกิด Alarm จากหมายเลขนี้ จึงใช้ Mouse คลิ๊กเข้าไปดูรายละเอียด ของสถานะอุปกรณ์ต่าง ๆ พบ ว่า Sensor ตัวที่ 1 ทำงานโดยมีสภาวะเป็น Active อันเป็นการแสดงว่า ระบบสามารถรับการแจ้งเตือนได้ แล้วจึงทดสอบว่าไปโดยเลื่อน Dip Switch ดังกล่าวกลับสู่ตำแหน่งเดิม แล้วเลื่อน Dip Swich ตำแหน่งอื่นแทนคือ 15 และ 28 พร้อมกัน แล้วมาดู ข้อมูล โดยทำการลำดับตามที่กล่าวข้างต้น พบว่าการแจ้งเตือนของหมายเลข Sensor นั้น ถูกต้องทุกประการจะเห็นได้ว่าการทำงานของระบบได้ผลดีตามจุดประสงค์

4.2 การแจ้งเตือนภัยระบบโทรศัพท์

การทดลองนี้ จะทดสอบระบบเตือนภัยที่ได้พัฒนาเพิ่มเติมขึ้น ซึ่งได้ทดสอบในเบื้องต้นในบทที่ 3 แล้ว โดยการทำงานเป็นแบบ Stand Alone แต่ในการทดลองนี้จะติดตั้งให้ทำงานกับระบบเครือข่ายด้วย ผลที่ได้คือสามารถเรียกผ่านระบบโทรศัพท์และในขณะเดียวกันการส่งสัญญาณแจ้งเตือนไปยังศูนย์รักษาความ ปลอดภัยนั้นก็ ยังทำงานได้ตามปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดสอบระบบโดยการทดสอบเหมือนการใช้งานจริง

- ทำการเชื่อมต่อ Master Node และซอย (Snode) เข้ากับเครื่องคอมพิวเตอร์แล้วทดลองเปลี่ยน Address ของแต่ละชั้น
  ผลการทดสอบ ระบบ (เครื่องคอมพิวเตอร์) สามารถตรวจสอบการเปลี่ยนแปลงได้
- ทดสอบให้ Sensor ภายในแต่ละชั้นทดสอบAlarm ผลการทดสอบ ระบบสามารถตรวจพบ Sensor ตัวที่ Alarm ได้

4.4 สรุปและวิจารณ์ผลการทดลอง

จากการทดลองตามหัวข้อที่ผ่านมาข้างต้นนั้น ในส่วนของการรับ – ส่ง สัญญาณ Frame ข้อมูลและการทำงานของระบบเตือนภัยนั้น ได้ผลดีเป็นไปตามข้อกำหนด ทุกประการ ทำให้นำระบบนี้ไปติดตั้งใช้งานเพื่อเป็นเครื่องมือพิทักษ์ทรัพย์สินได้ตามต้องการ แต่ที่ยังไม่สมบูรณ์นั้นจะมีบ้างเล็กน้อย คือ

ระบบเครือข่ายที่ได้เสนอไปในขั้นตอนเริ่มแรกนั้น จะมีระบบเตือนภัยได้ทั้งหมด 1024 จุด แต่ที่สามารถสร้าง ได้จริงเพียง 31*31 จุด หรือ 961 จุดเท่านั้น เนื่องจากข้อกำหนดของ RS-485 นั้นยอมให้มี Terminal ได้สูงสุด 32 ตัว แต่ในระบบเครือข่ายจะเสียจุดต่อไปหนึ่งจุดเพื่อทำหน้าที่เป็น Slave Node และ Master ทำให้ระบบการติดต่อ RS-485 แต่ละชุดเหลือเพียง 31 จุดเท่านั้น แม้ว่าจะออกแบบเพิ่มชุด RS-485 เข้ามาอีกหนึ่งชุดสำหรับชดเชย ตัวที่ไปทำหน้าที่เป็น Master แล้วก็ตาม ซึ่งจะเพิ่มเข้ามาได้อีกเพียง 31 จุดรวมทั้งหมดเป็น 992 จุด เท่านั้น ยังขาดอยู่อีก 32 จุดอยู่ดี ถึงอย่างไรก็ดี แม้ว่าจะไม่ครบตามที่กำหนด แต่การทำงานในระบบเครือข่ายก็ได้ผลตามวัตถุประสงค์

- ระบบเครือข่ายเป็นแบบ Master/Slave ถ้าตัว Master เกิดขัดข้อง จะทำให้ระบบเครือข่ายหยุดการทำงาน ดังนั้นจึงควรมี Master สำรองต่ออยู่ด้วยเพื่อสมรรถนะ

- เนื่องจากจำนวนของแต่ละชั้นในระบบมีเป็น จำนวนมากถ้าหากว่ามีความเร็วในการติดต่อสื่อสารระหว่างบ้านกับศูนย์กลางมีความเร็วต่ำเกินไป จะทำให้ไม่สามารถรับรู้เหตุการณ์ที่เกิดขึ้นได้โดยทันทีที่เหตุการณ์เกิดขึ้น ดังนั้นระบบการ สื่อสารจึงควรจะมีความเร็วใน การติดต่ออย่างน้อย 9600 BPS ซึ่งจะทำหน้าทราบเหตุการณ์ที่เกิดขึ้นได้ช้าที่สุด ในเวลา 1300 msec

- เครื่องคอมพิวเตอร์ ที่ใช้จะต้องมีความเร็วในการประมวลผลสูงเนื่องจากว่าต้องแสดงผลจะแสดงผลในรูป Graphic ซึ่งควรจะเป็นเครื่อง 486DX-2 ขึ้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพัฒนาในอนาคตเพื่อให้สามารถนำไปใช้งานจริงได้

- ส่วนวงจร Interface ระหว่างพื้นที่แต่ละชั้นกับระบบโทรศัพท์ภายนอกโดยให้มีความชัดเจนของเสียงเตือนภัยที่ดีขึ้นกว่าเดิม

- ปรับปรุงระบบ การเก็บเสียงเตือนภัย ให้มีเวลาการเก็บนานขึ้นกว่าเดิม เพื่อที่จะเพิ่ม Funciton การเตือนภัย

- เพิ่มระบบไฟสำรอง ให้แก่ระบบ ทั้งภายในตัวชั้นและศูนย์กลางของระบบรักษาความปลอดภัย

- ปรับปรุงส่วนการ Interface ระหว่าง Sensor กับระบบในชั้นให้มีความน่าเชื่อถือมากขึ้นกว่าเดิม โดยการพัมนา Software และ Harware ให้มีความสามารถแยกระหว่างสัญญาณ ที่เกิดจากการ Alarm จริง ๆ กับสัญญาณที่เกิดจากการ Error ของ Sensor

- พัฒนา Software ในแต่ละชั้นให้มีระดับการตรวจสอบ ในแต่ละช่วงเวลาได้ตามแต่ที่เจ้าของบ้านจะ Program

- ในอนาคต อาจสร้างระบบเครือข่ายที่มีความเร็วสูงมาก เพื่อที่จะสามารถเป็นระบบเครือข่ายอเนกประสงค์ที่สามารถที่จะใช้ในงานด้านต่าง ๆ ได้พร้อมกับในระบบเครือข่าย เช่น ใช้เป็นระบบรักษาความปลอดภัยบนเครือข่าย Internet ระบบการสั่งซื้อสินค้า ระบบการประชาสัมพันธ์ของระบภายใน ระบบการชำระเงิน รวมทั้งเป็นระบบรักษาความปลอดภัยภายในอาคาร ภายในเครือข่ายเดียวกัน

- เพิ่มส่วน การเพิ่มเติม หรือ แก้ไขให้สามารถเพิ่มเติมหรือแก้ไขแต่ละชั้นได้ โดยอิสระและง่ายต่อการแก้ไขในกรณีที่ต้องการแก้ไขหรือเพิ่มเติม Plan ชั้นเข้าไปในระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

Byron S. GottFried (1990), การเขียนโปรแกรมด้วยภาษาซี , McGraw Hill.

สุนทร วิทูสุรพจน์ (2537) , การใช้งานไมโครคอนโทรเลอร์ตระกูล 8051 , กรุงเทพฯ :ซีเอ็ด

จารุวรรัณ ระวิภักดร์ , Borland Delphi , กรุงเทพฯ: บริษัท ลามัคคีสาร (ดอกหญ้า) จำกัด

นุกูล กระจาย , การเขียนโปรแกรมแบบวิชวลด้วย Delphi 4 , กรุงเทพฯ :ซีเอ็ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#include<absacc.h>
#include<reg51.h>
#include<stdlib.h>
#include<stdio.h>

#define pa      XBYTE[0xE0E0]
#define pb      XBYTE[0xE0E1]
#define pc      XBYTE[0xE0E2]
#define pcon    XBYTE[0xE0E3]
#define WatchDog XBYTE[0xE0FF]

#define Master   80
//-------------------------------------------------------------
unsigned char Recive_Destination=0 ;
unsigned char Recive_Source=0;
unsigned char Recive_Command=0;
unsigned char Recive_Data=0;
unsigned char Recive_CheckError=0;

unsigned char Destination_Add=0;
unsigned char Source_Add=0;
unsigned char Command=0;
unsigned char Data=0;

unsigned char CHK_R=0 ;
unsigned char Check_Error=0 ;

unsigned char Check_Change_Port=0;
unsigned char Bit_That_Change=0;
unsigned char Point_That_Change=0;
unsigned char check_rec_Slave=0;

//----------set P1-------------------------------------
sbit P1_0  = 0x90;
sbit P1_1  = 0x91;
sbit P1_2  = 0x92;
sbit P1_3  = 0x93;
sbit P1_4  = 0x94;
sbit P1_5  = 0x95;
sbit P1_6  = 0x96;
sbit P1_7  = 0x97;
//-------------------------------------------------------------
void delay(unsigned int time)
{
   unsigned int i;
  for(i=0;i<time;i++);
  {
  }
}
//---------------------------------
void setboard(void)
{
  delay(10000);
  pcon=0x80  ;
  P1_1=0;
}
//---------------------------------
void set_serial(void)
{
                                        // Send MASTER
    SCON = 0xD0;                Set Mode 3 ,Clear SM2,Set REN,Set TB8,
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                    // SM0 SM1 SM2 REN TB8 RB8 TI RI
        TMOD = 0x20;                // Set Mode Timer1 to 8 bit auto reload
        PCON = PCON & 0x7f;         // Clear SMOD = 0
        TH1  = 0xFD;                // set 9600 baud
        TR1  = 1;                   // Start Timer1
        ES   = 1;                           //      Enable Serial
        ET1  = 1.                           //      Enable Timer1
        PS   = 1;
        EA   = 1;           // Enable ALL
}
//-----------------------------------
void ConnectMaster(unsigned char Destination_Add,Source_Add,Command,Data)
{
  if (Destination_Add!=Master) {P1_1=1;}
        delay(30);

        TI =0;
        SBUF = Destination_Add
        while (TI == 0){};
        delay(10);

        TI =0;
        SBUF = Source_Add;
        while (TI == 0){};
        delay(10);

        TI =0;
        SBUF = Command;
        while (TI == 0){};
        delay(10);

        TI =0;
        SBUF = Data;
        while (TI == 0){};
  delay(10);

        TI =0;
  Check_Error= Destination_Add+Source_Add+Command+Data;
        SBUF = Check_Error;
        while (TI == 0){};

  TI=0;
  P1_1=0;
}
//-----------------------------------
void CHKConnectMaster(void)
{
        Recive_Destination = 0;
        CHK_R = 1;

        if(RI == 1)
                {
      RI = 0;
                Recive_Destination = SBUF;
                pa=Recive_Destination;
                while( CHK_R )
                        {
                        if (RI ==

                                        Recive_Source = SBUF;
                                        RI = 0;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                CHK_R = 0;
                                }
                        }
                CHK_R = 1;
                while( CHK_R )
                        {
                        if (RI == 1)
        {
                                Recive_Command = SBUF;
        pb = Recive_Command;
                                RI = 0;
                                CHK_R = 0;
                                }
                        }
                CHK_R = 1;
                while( CHK_R )
                        {
                        if (RI == 1)
                                {
                                Recive_Data = SBUF;
                                RI = 0;
                                CHK_R = 0;
                                }
                        }
                CHK_R = 1;
                while( CHK_R )
                        {
                        if (RI == 1)
                                {
                                Recive_CheckError = SBUF;
                                RI = 0;
                                CHK_R = 0;
                                }
                        }
                }
}
//-------------------------------------
void Int_serial(void) interrupt 4
{
   CHKConnectMaster();

ConnectMaster(Recive_Destination,Recive_Source,Recive_Command,Recive_Da
ta);
   check_rec_Slave++;
   pc=check_rec_Slave;
}
//-------------------------------------
void main(void)
{
        setboard();
   set_serial();

        while(1)
        {
   WatchDog=1;
        }

 }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//---------------------------------------- SLAVE 1 ----------------------------------------------
#include<absacc.h>
#include<reg51.h>
#include<stdlib.h>
#include<stdio.h>

#define pa    XBYTE[0xE0E0]
#define pb    XBYTE[0xE0E1]
#define pc    XBYTE[0xE0E2]
#define pcon  XBYTE[0xE0E3]

#define NonSend                    99

#define Master      0
#define Slave1      1
#define Slave2      2

#define Clear_all          0
#define On_relay1          1
#define On_relay2          2
#define On_relay3          3

#define Data_clear      0x00
#define Data_onrelay1   0x01
#define Data_onrelay2   0x02
#define Data_onrelay3   0x03

unsigned char Recive_Destination=0 ;
unsigned char Recive_Source=0;
unsigned char Recive_Command=0;
unsigned char Recive_Data=0;
unsigned char CHK_R =0;


//---------------------------------
void delay(unsigned int time)
{
   unsigned int i;
  for(i=0;i<time;i++)
  {
  }
}
//---------------------------------
void setboard(void)
{
  delay(10000);
  pcon=0x80  ;

}
//---------------------------------
void set_serial(void)
{
                                        // Send MASTER
        SCON = 0xF0;                  // Set Mode 3 ,Clear SM2,Set REN,Set TB8,
                                    // SM0 SM1 SM2 REN TB8 RB8 TI RI
        TMOD = 0x20;                  // Set Mode Timer1 to 8 bit auto reload
        PCON = PCON & 0x7f;           // Clear SMOD = 0
        TH1  = 0xFA;                  // set 4800 baud
        TR1  = 1;                     // Start Timer1
        ES   = 1;                           //      Enable Serial
        ET1  = 1;                           //      Enable Timer1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        PS  = 1;
        EA  = 1;          // Enable ALL
}
//---------------------------------
void ConnectMaster(unsigned char Destination_Add,Source_Add,Command,Data)
{
                TI =0;
                TB8  = 1;
                SBUF = Destination_Add;
                while (TI == 0){};
            delay(10);

                TI =0;
                TB8  = 0;
                SBUF = Source_Add;
                while (TI == 0){};
            delay(10);

                TI =0;
                TB8  = 0;
                SBUF = Command;
                while (TI == 0){};
                delay(10);

                TI =0;
                TB8  = 0;
                SBUF = Data;
                while (TI == 0){};
}
void CHKConnectMaster(unsigned char SLAVEnumber)
{
        Recive_Destination = 0;
        SM2 = 1;
        CHK_R = 1;

        if(RI == 1)
                {
                RI = 0;
                Recive_Destination = SBUF;
                if ( Recive_Destination== Slave1)
                        {
                        SM2 = 0;
                        while( CHK_R )
                                {
                                if (RI == 1)
                                        {
                                        Recive_Source = SBUF;
                                        RI = 0;
                                        CHK_R = 0;
                                        }
                                }
                        CHK_R = 1;
                        while( CHK_R )
                                {
                                if (RI == 1)
                                        {
                                        Recive_Command = SBUF;
                                        RI = 0;
                                        CHK_R = 0;
                                        }
                                }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        CHK_R = 1;
                        while( CHK_R )
                                {
                                if (RI == 1)
                                        {
                                        Recive_Data = SBUF;
                                        RI = 0;
                                        CHK_R = 0;
                                        }
                                }
                        }
                        else
                        {
                        Recive_Source = NonSend;
                        Recive_Command = NonSend;
                        Recive_Data   = NonSend;
                        }
                }
                else
                {
                Recive_Source = NonSend;
                Recive_Command = NonSend;
                Recive_Data   = NonSend;
                }
        SM2 = 1;
        Recive_Destination = 0;
}
//-------------------------------------
void CHKRecive_Command(void)
{
        switch (Recive_Command)
                {
                case Clear_all : pb=Recive_Data;
                                                        break;
                case On_relay1 : pb=Recive_Data;
                                                        break;
                case On_relay2 : pb=Recive_Data;
                                                        break;
                }
}
//-------------------------------------
void Int_serial(void) interrupt 4
{
   CHKConnectMaster(Slave1);
   CHKRecive_Command();
        ConnectMaster(Master,Slave1,Recive_Command,Recive_Data);
 }
 //-------------------------------------
 void main(void)
 {
                setboard();
                set_serial();
                while(1)
                {
                pc=0x55;
                }
 }

 //-----------------------------------------------------END SLAVE 1-------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//------------------------------------------------------- SLAVE 2 ----------------------------------

#include<absacc.h>
#include<reg51.h>
#include<stdlib.h>
#include<stdio.h>

#define pa      XBYTE[0xE0E0]
#define pb      XBYTE[0xE0E1]
#define pc      XBYTE[0xE0E2]
#define pcon    XBYTE[0xE0E3]

#define NonSend      0
//-----------Destination----------------------------------

#define Master       80
#define Slave1       81
#define Slave2       82
//-----------Command_bit7_mode_0normal_1check_recieve-------

#define Null         1
#define Start        5
#define Stop         6
#define PollStatus   7
#define Lamp1On      8
#define Lamp1Off     9
#define Lamp2On      10
#define Lamp2Off     11
#define Lamp3On      12
#define Lamp3Off     13
#define Lamp4On      14
#define Lamp4Off     15
#define NotChange    16
//------------Data-----------------------------------------
#define StartD1   21
#define StartD2   22
#define StopD1    23
#define StopD2    24
//----------set P1-----------------------------------
sbit P1_0  = 0x90;
sbit P1_1  = 0x91;
sbit P1_2  = 0x92;
sbit P1_3  = 0x93;
sbit P1_4  = 0x94;
sbit P1_5  = 0x95;
sbit P1_6  = 0x96;
sbit P1_7  = 0x97;
//-------------------------------------------------------
unsigned char Recive_Destination=0 ;
unsigned char Recive_Source=0;
unsigned char Recive_Command=0;
unsigned char Recive_Data=0;
unsigned char Recive_CheckError=0;

unsigned char Destination_Add=0 ;
unsigned char Source_Add=0;
unsigned char Command=0;
unsigned char Data=0;

unsigned char Slave=0;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
unsigned char CHK_R=0 ;
unsigned char Check_Error=0 ;

unsigned char Check_Change_Port=0;
unsigned char Bit_That_Change=0;
unsigned char Point_That_Change=0;
unsigned char count=0,count1=0,count2=0;

//---------------------------------
void delay(unsigned int time)
{
   unsigned int i;
  for(i=0;i<time;i++)
  {
  }
}
//---------------------------------
void setboard(void)
{
  delay(10000);
  pcon=0x80  ;
  P1=0;
}
//---------------------------------
void set_serial(void)
{
                                        // Send MASTER
        SCON = 0xD0;              // Set Mode 3 ,Clear SM2,Set REN,Set TB8,
                                  // SM0 SM1 SM2 REN TB8 RB8 TI RI
        TMOD = 0x20;              // Set Mode Timer1 to 8 bit auto reload
        PCON = PCON & 0x7f;       // Clear SMOD = 0
        TH1  = 0xFD;              // set 9600 baud
        TR1  = 1;                 // Start Timer1
        ES   = 1;                       //      Enable Serial
        ET1  = 1;                       //      Enable Timer1
        PS   = 1;
        EA   = 1;         // Enable ALL
}
//---------------------------------
void ConnectMaster(unsigned char Destination_Add,Source_Add,Command,Data)
{
   P1_7=1;delay(30);

        TI =0;
        SBUF = Destination_Add;
        while (TI == 0){};
        delay(10);

        TI =0;
        SBUF = Source_Add;
        while (TI == 0){};
        delay(10);

        TI =0;
        SBUF = Command;
        while (TI == 0){};
        delay(10);

        TI =0;
        SBUF = Data;
        while (TI == 0){};
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  delay(10);

        TI =0;
  Check_Error= Destination_Add+Source_Add+Command+Data;
        SBUF = Check_Error;
        while (TI == 0){};

  TI=0;
  delay(30);
  P1_7=0;
}
//---------------------------------
void CHKConnectMaster(unsigned char SLAVEnumber)
{
        Recive_Destination = 0;
        CHK_R = 1;

        if(RI == 1)
                {
    RI = 0;
                Recive_Destination = SBUF;
                pa=Recive_Destination;
                if ( Recive_Destination== SLAVEnumber)
                        {
                        while( CHK_R )
                                {
                                if (RI == 1)
                                        {
                                        Recive_Source = SBUF;
                                        pb=Recive_Source ;
                                        RI = 0;
                                        CHK_R = 0;
                                        }
                                }
                        CHK_R = 1;
                        while( CHK_R )
                                {
                                if (RI == 1)
                                        {
                                        Recive_Command = SBUF;
            pc = Recive_Command;
                                        RI = 0;
                                        CHK_R = 0;
                                        }
                                }
                        CHK_R = 1;
                        while( CHK_R )
                                {
                                if (RI == 1)
                                        {
                                        Recive_Data = SBUF;
            //P1 = Recive_Data;
                                        RI = 0;
                                        CHK_R = 0;
                                        }
                                }
                        CHK_R = 1;
                        while( CHK_R )
                                {
                                if (RI == 1)
                                        {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                        Recive_CheckError = SBUF;
                                        RI = 0;
                                        CHK_R = 0;
                                        }
                                }
                        }
                }
        Recive_Destination = 0;
}
//-------------------------------------
void CHKCommand(void)
{
        switch (Recive_Command)
                {
                case Start    :ConnectMaster(Master,Slave,Start,StartD1);
                   break;
                case PollStatus:ConnectMaster(Master,Slave,NotChange,Null);
                   break;
                case Lamp1On   :ConnectMaster(Master,Slave,Lamp1On,Null);
                   break;
                case Lamp1Off  :ConnectMaster(Master,Slave,Lamp1Off,Null);
                   break;
                case Lamp2On   :ConnectMaster(Master,Slave,Lamp2On,Null);
                   break;
                case Lamp2Off  :ConnectMaster(Master,Slave,Lamp2Off,Null);
                   break;
                case Lamp3On   :ConnectMaster(Master,Slave,Lamp3On,Null);
               break;
                case Lamp3Off  :ConnectMaster(Master,Slave,Lamp3Off,Null);
               break;
                case Lamp4On   :ConnectMaster(Master,Slave,Lamp4On,Null);
               break;
                case Lamp4Off  :ConnectMaster(Master,Slave,Lamp4Off,Null);
                   break;
      }
         Recive_Command=0;
}
//-------------------------------------
void Int_serial(void) interrupt 4
{
  CHKConnectMaster(Slave);
  CHKCommand();
  count++;
//  pc=count;
}
//-------------------------------------
void main(void)
{
        setboard();
   set_serial();
        Slave=Slave2;
        while(1)
        {
        }
}

//------------------------------------------------------------ END SLAVE 2 ----------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
//----------------------------------------------------DELPHI-----------------------------------------------------------
unit UnitTah;

interface

uses
  Windows, Messages, SysUtils, Classes, Graphics, Controls, Forms, Dialogs,
  ExtCtrls, Buttons, ToolWin, ComCtrls, StdCtrls, Async32, ThdTimer;

type
  TForm1 = class(TForm)
    Shape30: TShape;
    Image1: TImage;
    Shape1: TShape;
    Shape3: TShape;
    Shape2: TShape;
    Shape4: TShape;
    Shape5: TShape;
    Shape6: TShape;
    Shape8: TShape;
    Shape9: TShape;
    Shape11: TShape;
    Shape10: TShape;
    Shape12: TShape;
    Shape13: TShape;
    Shape14: TShape;
    Shape15: TShape;
    Shape19: TShape;
    Shape16: TShape;
    Shape22: TShape;
    Shape23: TShape;
    Shape27: TShape;
    Shape28: TShape;
    Shape29: TShape;
    ToolBar1: TToolBar;
    SpeedButton4: TSpeedButton;
    SpeedButton1: TSpeedButton;
    SpeedButton2: TSpeedButton;
    Memo1: TMemo;
    Label1: TLabel;
    Comm1: TComm;
    StatusBar1: TStatusBar;
    ControlBar1: TControlBar;
    SpeedButton3: TSpeedButton;
    Timer1: TTimer;
    Panel1: TPanel;
    Image2: TImage;
    Label2: TLabel;
    Image3: TImage;
    ControlBar2: TControlBar;
    SpeedButton5: TSpeedButton;
    SpeedButton6: TSpeedButton;
    SpeedButton7: TSpeedButton;
    SpeedButton8: TSpeedButton;
    SpeedButton9: TSpeedButton;
    SpeedButton10: TSpeedButton;
    SpeedButton11: TSpeedButton;
    SpeedButton12: TSpeedButton;
    Shape31: TShape;
    Shape32: TShape;
    Shape33: TShape;
    Shape34: TShape;
    Shape36: TShape;
    Shape37: TShape;
    Shape38: TShape;
    Shape39: TShape;
    Label3: TLabel;
    Label4: TLabel;
    Label5: TLabel;
    Label6: TLabel;
    Label7: TLabel;
    Label8: TLabel;
    Label9: TLabel;
    Label10: TLabel;
    Label11: TLabel;
    Label12: TLabel;
    Label13: TLabel;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    Panel2: TPanel;
    SpeedButton13: TSpeedButton;
    Label14: TLabel;
    Label15: TLabel;
    Label16: TLabel;
    Label17: TLabel;
    Label18: TLabel;
    Label19: TLabel;
    Label20: TLabel;
    Label21: TLabel;
    procedure MemoLines;
    procedure ChkRecCommand(RecCommand:integer);
    procedure ChkRecData(RecData:integer);
    procedure SentToController(DestinationV,SourceV,CommandV,DataV:integer);
    procedure Comm1RxChar(Sender: TObject; Count: Integer);
    procedure FormCreate(Sender: TObject);
    procedure SpeedButton4Click(Sender: TObject);
    procedure SpeedButton1Click(Sender: TObject);
    procedure SpeedButton2Click(Sender: TObject);
    procedure Timer1Timer(Sender: TObject);
    procedure SpeedButton13Click(Sender: TObject);
    procedure SpeedButton5Click(Sender: TObject);
    procedure SpeedButton6Click(Sender: TObject);
    procedure SpeedButton7Click(Sender: TObject);
    procedure SpeedButton8Click(Sender: TObject);
    procedure SpeedButton9Click(Sender: TObject);
    procedure SpeedButton10Click(Sender: TObject);
    procedure SpeedButton11Click(Sender: TObject);
    procedure SpeedButton12Click(Sender: TObject);
  private
    { Private declarations }
    FCurrentLine:Integer;
  public
    { Public declarations }
  end;

var
  Form1: TForm1;
  Destination,Source,Command,Data,CheckError,SpeedM,SpeedMC:integer;
  Rec_Destination,Rec_Command,Rec_Data,Rec_CheckError:integer;
  StateCommand1,StateCommand2,StateData:Integer;
  S:string;ArrayStr:string[6];
  AnalogValue:real;
  Permit_Send:Boolean;
  CheckErrorV,count:Integer;
Const
//---Controller----------
  Master  =80;
  Slave1  =81;
  Slave2  =82;
//---Command----------
  Null    =1;
  Start   =5;
  Stop    =6;
  PollStatus=7;
  Lamp1On =8;
  Lamp1Off=9;
  Lamp2On =10;
  Lamp2Off=11;
  Lamp3On =12;
  Lamp3Off=13;
  Lamp4On =14;
  Lamp4Off=15;
  NotChange=16;
  Change  =17;
//---Data----------
  StartD1 =21;
  StartD2 =22;
  StopD1  =23;
  StopD2  =24;
  DoorOpen=25;
  DoorNpen=26;
  Alarm1=27;
  Alarm2=28;
implementation

{$R *.DFM}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
procedure Tform1.MemoLines;
begin
   Memo1.Lines[FCurrentLine]:=Memo1.Lines[FCurrentLine] + ' ';
   Memo1.Refresh;
   Memo1.Lines.add(' ');
   Inc(FCurrentLine);
end;
procedure Tform1.SentToController(DestinationV,SourceV,CommandV,DataV:integer);
var   Str_Data,Str_Add:string;
      Check,ChangToInt:Integer;
begin
//------------------SendDestination--------------------------------
  Str_Add:=IntToStr(DestinationV);
  ChangToInt:=StrToInt(Str_Add);
  Check:= Comm1.Write(ChangToInt,Length(Str_Add[1]));
  if Check=-1 then
    begin
    Statusbar1.SimpleText:='Status:Error Sending Command';
    end
  else
    begin
    Statusbar1.SimpleText:='Status:Transmitting Command';
    end;
//------------------SendSource--------------------------------
  Comm1.Parity:=paMark;
  Str_Add:=IntToStr(SourceV);
  ChangToInt:=StrToInt(Str_Add);
  Check:= Comm1.Write(ChangToInt,Length(Str_Add[1]));
  if Check=-1 then
    begin
    Statusbar1.SimpleText:='Status:Error Sending Command';
    end
  else
    begin
    Statusbar1.SimpleText:='Status:Transmitting Command';
    end;
//------------------SendAddress--------------------------------
  Str_Add:=IntToStr(CommandV);
  ChangToInt:=StrToInt(Str_Add);
  Check:= Comm1.Write(ChangToInt,Length(Str_Add[1]));
  if Check=-1 then
    begin
    Statusbar1.SimpleText:='Status:Error Sending Command';
    end
  else
    begin
    Statusbar1.SimpleText:='Status:Transmitting Command';
    end;
//------------------SendData--------------------------------
  Str_Data:=IntToStr(DataV);
  ChangToInt:=StrToInt(Str_Data);
  Check:= Comm1.Write(ChangToInt,Length(Str_Data[1]));
  if Check=-1 then
    begin
    Statusbar1.SimpleText:='Status:Error Sending Data';
    end
  else
    begin
    Statusbar1.SimpleText:='Status:Transmitting Data';
    end;
//------------------SendCheckError--------------------------------
   CheckError:=DestinationV+SourceV+CommandV+DataV;
   Str_Data:=IntToStr(CheckErrorV);
   ChangToInt:=StrToInt(Str_Data);
   Check:= Comm1.Write(ChangToInt,Length(Str_Data[1]));
   if Check=-1 then
     begin
     Statusbar1.SimpleText:='Status:Error Sending Data';
     end
   else
     begin
     Statusbar1.SimpleText:='Status:Transmitting Data';
     end;
//------------------------------------------------------
end;
procedure TForm1.Comm1RxChar(Sender: TObject; Count: Integer);
var ReadBuffSize: array[0..4096] of Char;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  Bytes:Integer;
begin
  Statusbar1.SimpleText:='RxChar signal Now ';
  Fillchar(ReadBuffSize,Sizeof(ReadBuffSize),0);
  Bytes:=Comm1.Read(ReadBuffSize,Count);
  if Bytes = -1 then
  Statusbar1.SimpleText:= 'Error Reading '
  else
    Destination:=ord(ReadBuffSize[0]);
    if Destination=Master then
    begin
      Memo1.Lines[FCurrentLine]:=Memo1.Lines[FCurrentLine] +
      IntToHex(ord(ReadBuffSize[1]),2)+'  Source----------';
      MemoLines;
      Source:=ord(ReadBuffSize[1]);
      Memo1.Lines[FCurrentLine]:=Memo1.Lines[FCurrentLine] +
      IntToHex(ord(ReadBuffSize[2]),2)+'  Command';
      MemoLines;
      Command:=ord(ReadBuffSize[2]);
      Memo1.Lines[FCurrentLine]:=Memo1.Lines[FCurrentLine] +
      IntToHex(ord(ReadBuffSize[3]),2)+'  Data    ';
      MemoLines;
      Data:=ord(ReadBuffSize[3]);
      Memo1.Lines[FCurrentLine]:=Memo1.Lines[FCurrentLine] +
      IntToHex(ord(ReadBuffSize[4]),2)+'  CheckError    ';
      MemoLines;
      CheckError:=ord(ReadBuffSize[4]);
      Permit_Send:=true;
      ChkRecCommand(Command);
    end;
end;
procedure TForm1.ChkRecData(RecData:integer);
begin
   Case RecData of
   DoorOpen:
     begin
      if Source=Slave1 then
        begin
        Shape10.Brush.Color:=clLime;
        Label16.Caption:= 'Slave1(S1) Door is opening'
        end
      else if Source=Slave2 then
        begin
        Shape27.Brush.Color:=clLime;
        Label16.Caption:= 'Slave2(S2) Door is opening'
        end
     end;
   DoorNpen:
     begin
      if Source=Slave1 then
        begin
        Shape10.Brush.Color:=clRed;
        Label16.Caption:= 'Slave1(S1) Door can not open acces denied'
        end
      else if Source=Slave2 then
        begin
        Shape27.Brush.Color:=clRed;
        Label16.Caption:= 'Slave2(S2) Door can not open acces denied'
        end
     end;
   Alarm1:
     begin
      if Source=Slave1 then
        begin
        Shape29.Brush.Color:=clRed;
        Label16.Caption:= 'Slave1(S1) Critical Temperature'
        end
      else if Source=Slave2 then
        begin
        Shape22.Brush.Color:=clRed;
        Label16.Caption:= 'Slave2(S2) Critical Temperature'
        end
     end;
   end;
   StateCommand2:=PollStatus;
end;
procedure TForm1.ChkRecCommand(RecCommand:integer);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
begin
    Case RecCommand of
    Start :begin
        if(Data=StartD1)then
          begin
          StateData:=Null;
          StateCommand1:=PollStatus;
          end;
        if(Data=StartD2)then
          begin
          StateData:=Null;
          StateCommand2:=PollStatus;
          end;
        end;
    Lamp1On begin
        StateCommand1:=PollStatus;
        Shape34.Brush.Color:=clYellow;
        Label16 Caption:= 'Lamp1 On'
        end;
    Lamp1Off:begin
        StateCommand1:=PollStatus;
        Shape34.Brush.Color:=clWhite;
        Label16.Caption:= 'Lamp1 Off'
        end;
    Lamp2On:begin
        StateCommand1:=PollStatus;
        Shape33.Brush.Color:=clYellow;
        Label16.Caption:= 'Lamp2 On'
        end;
    Lamp2Off:begin
        StateCommand1:=PollStatus;
        Shape33.Brush.Color:=clWhite;
        Label16.Caption:= 'Lamp2 Off'
        end;
    Lamp3On:begin
        StateCommand2:=PollStatus;
        Shape39.Brush.Color:=clYellow;
        Label16.Caption:= 'Lamp3 On'
        end;
    Lamp3Off:begin
        StateCommand2:=PollStatus;
        Shape39.Brush.Color:=clWhite;
        Label16.Caption:= 'Lamp3 Off'
        end;
    Lamp4On:begin
        StateCommand2:=PollStatus;
        Shape36.Brush.Color:=clYellow;
        Label16.Caption:= 'Lamp4 On'
        end;
    Lamp4Off:begin
        StateCommand2:=PollStatus;
        Shape36.Brush.Color:=clWhite;
        Label16.Caption:= 'Lamp4 Off'
        end;
    Change:begin
        ChkRecData(Data);
        end;
    end;
end;

procedure TForm1.FormCreate(Sender: TObject);
begin
    SpeedButton1.Enabled:=True;
    SpeedButton2.Enabled:=False;
    SpeedButton4.Enabled:=False;
    Timer1.Enabled:=False;
    SpeedButton5.Enabled:=False;
    SpeedButton6.Enabled:=False;
    SpeedButton7.Enabled:=False;
    SpeedButton8.Enabled:=False;
    SpeedButton9.Enabled:=False;
    SpeedButton10.Enabled:=False;
    SpeedButton11.Enabled:=False;
    SpeedButton12.Enabled:=False;
end;

procedure TForm1.SpeedButton4Click(Sender: TObject);
```

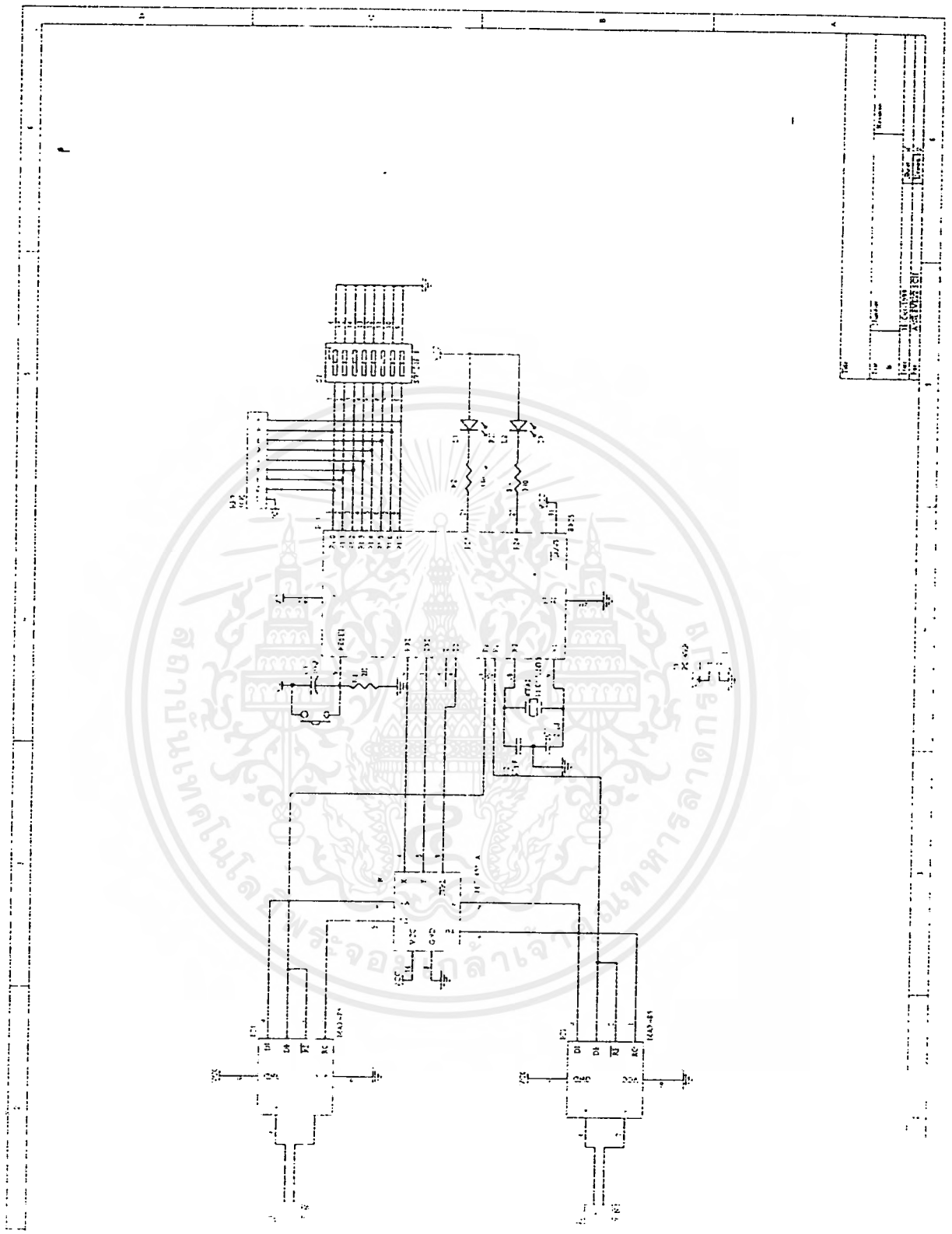
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
begin
   Timer1.Enabled:=False;
   Statusbar1.SimpleText:='Status:Close CommPort';
   Comm1.Close;
   SpeedButton1.Enabled:=True;
   SpeedButton2.Enabled:=False;
   SpeedButton4.Enabled:=False;
   SpeedButton5.Enabled:=False;
   SpeedButton6.Enabled:=False;
   SpeedButton7.Enabled:=False;
   SpeedButton8.Enabled:=False;
   SpeedButton9.Enabled:=False;
   SpeedButton10.Enabled:=False;
   SpeedButton11.Enabled:=False;
   SpeedButton12.Enabled:=False;
end;

procedure TForm1.SpeedButton1Click(Sender: TObject);
begin
   Statusbar1.SimpleText:='Status.Open CommPort',
   Comm1.Open;
   SpeedButton1.Enabled:=False;
   SpeedButton2.Enabled:=True;
   SpeedButton4.Enabled:=True,
end;

procedure TForm1.SpeedButton2Click(Sender: TObject);
begin
   Statusbar1.SimpleText:='Status.Connect CommPort & Send DataControl';
   StateCommand1:=Start;
   StateCommand2:=Start;
   StateData:=Null;
   Permit_Send:=true;
   Timer1.Enabled:=True;

   SpeedButton5.Enabled:=True,
   SpeedButton6.Enabled:=True,
   SpeedButton7.Enabled:=True;
   SpeedButton8.Enabled:=True;
   SpeedButton9.Enabled:=True;
   SpeedButton10.Enabled:=True,
   SpeedButton11.Enabled:=True,
   SpeedButton12.Enabled.=True,
end;

procedure TForm1.Timer1Timer(Sender: TObject);
var  OddEven:integer;
begin
   count:=count+1;
   OddEven:=count mod 2;
   if(OddEven=1)then
    SentToController(Slave1,Master,StateCommand1,StateData)
   else
    SentToController(Slave2,Master,StateCommand2,StateData);
end;

procedure TForm1.SpeedButton13Click(Sender: TObject);
begin
    SentToController(Slave1,85,20,StateData);
end;

procedure TForm1.SpeedButton5Click(Sender: TObject);
begin
  SpeedButton5.Enabled:=false;
  SpeedButton6.Enabled:=true;
  StateCommand1:=Lamp1On;
end;

procedure TForm1.SpeedButton6Click(Sender: TObject);
begin
  SpeedButton6.Enabled:=false;
  SpeedButton5.Enabled:=true,
  StateCommand1:=Lamp1Off;
end;

procedure TForm1.SpeedButton7Click(Sender: TObject);
begin
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  SpeedButton7.Enabled:=false;
  SpeedButton8.Enabled:=true;
  StateCommand1:=Lamp2On;
end;

procedure TForm1.SpeedButton8Click(Sender: TObject);
begin
  SpeedButton8.Enabled:=false;
  SpeedButton7.Enabled:=true;
  StateCommand1:=Lamp2Off;
end;

procedure TForm1.SpeedButton9Click(Sender: TObject);
begin
  SpeedButton9.Enabled:=false;
  SpeedButton10.Enabled:=true;
  StateCommand2:=Lamp3On;
end;

procedure TForm1.SpeedButton10Click(Sender: TObject);
begin
  SpeedButton10.Enabled:=false;
  SpeedButton9.Enabled:=true;
  StateCommand2:=Lamp3Off;
end;

procedure TForm1.SpeedButton11Click(Sender: TObject);
begin
  SpeedButton11.Enabled:=false;
  SpeedButton12.Enabled:=true;
  StateCommand2:=Lamp4On;
end;

procedure TForm1.SpeedButton12Click(Sender: TObject);
begin
  SpeedButton12.Enabled:=false;
  SpeedButton11.Enabled:=true;
  StateCommand2:=Lamp4Off;
end;

end.
//----------------------------------------------------END DELPHI----------------------------------------------------
```

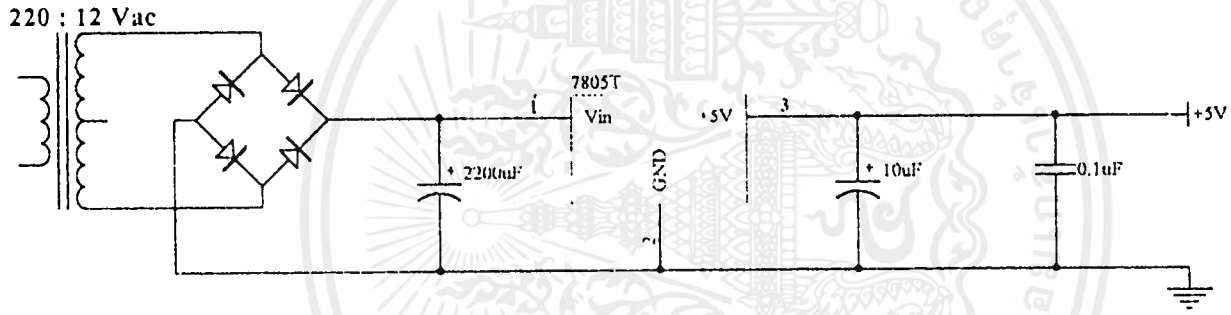
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

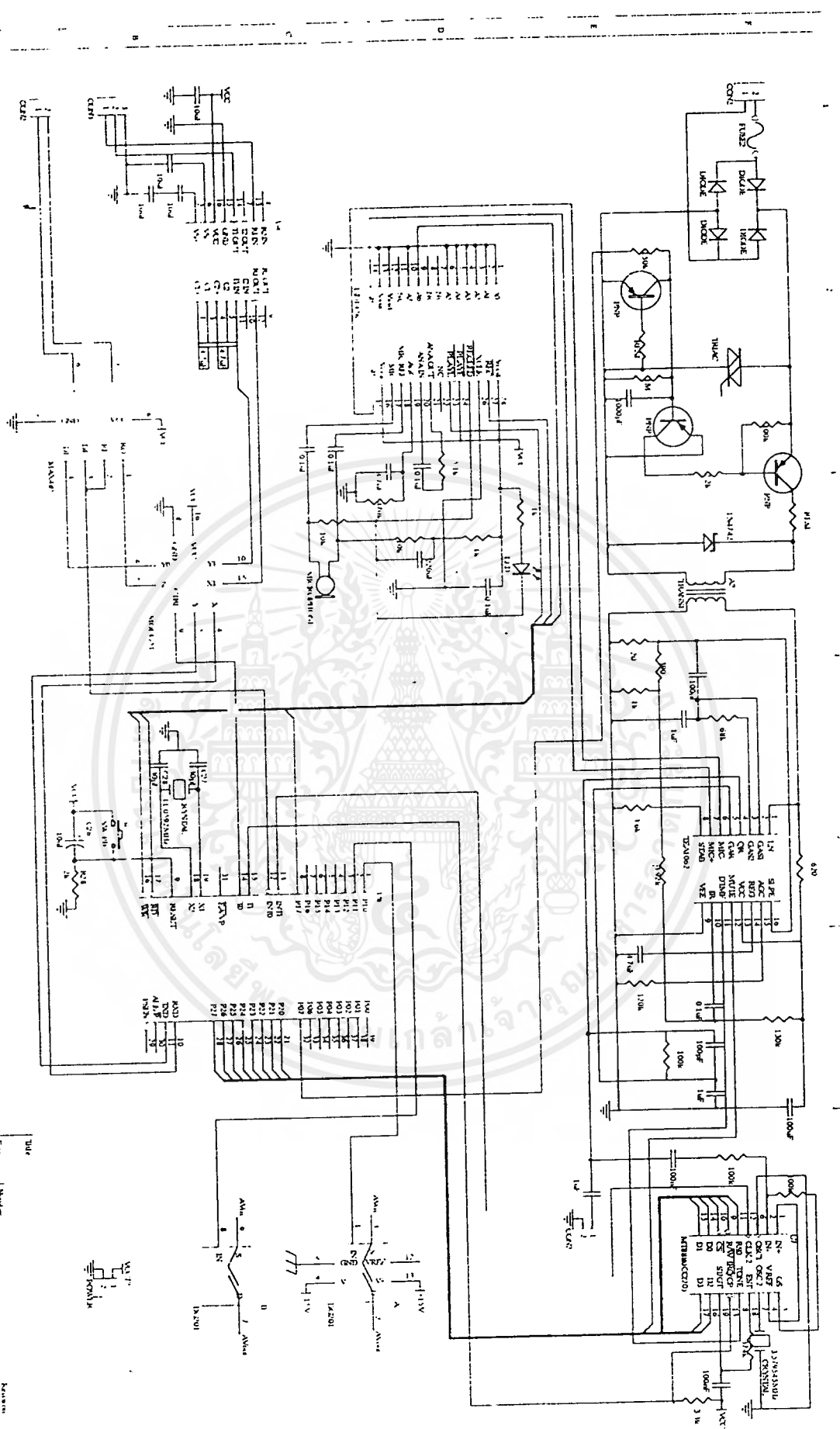
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

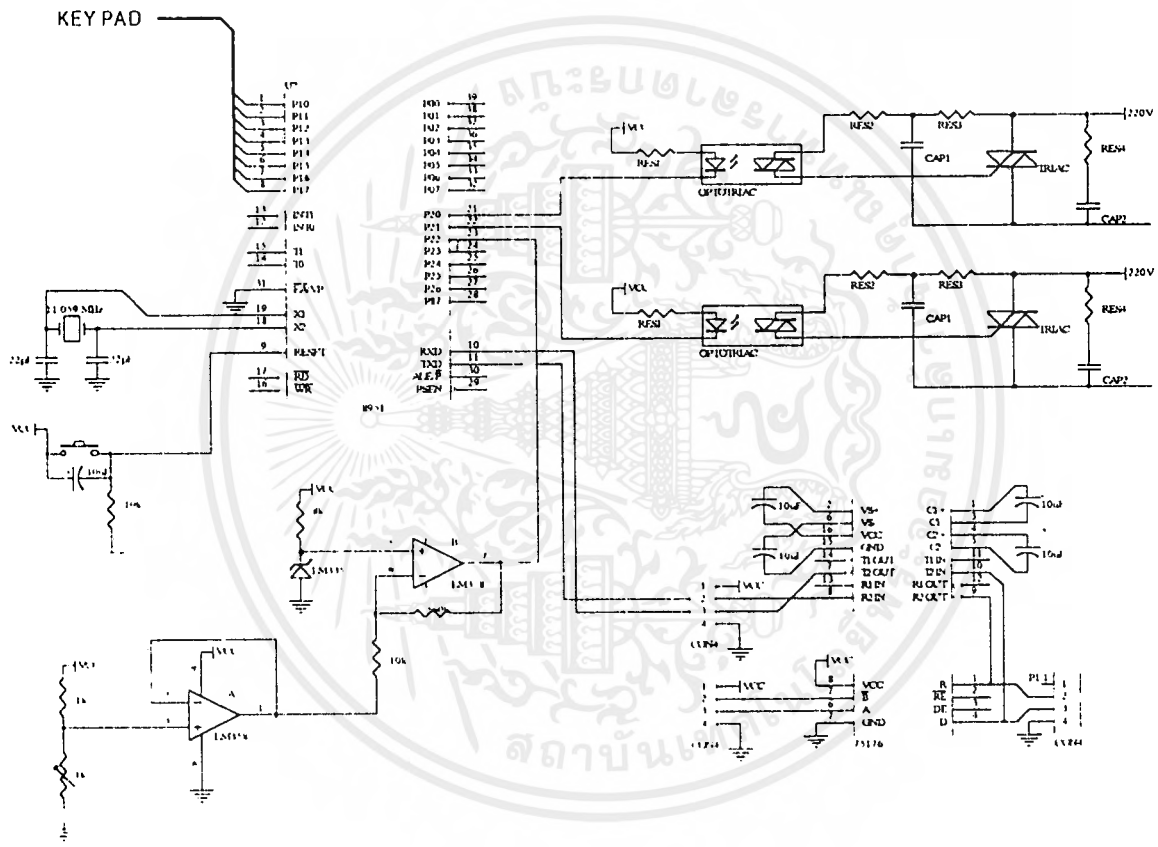


POWER SUPPLY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ChipCorder®
TECHNOLOGY BY ISD

ISD1400 Series

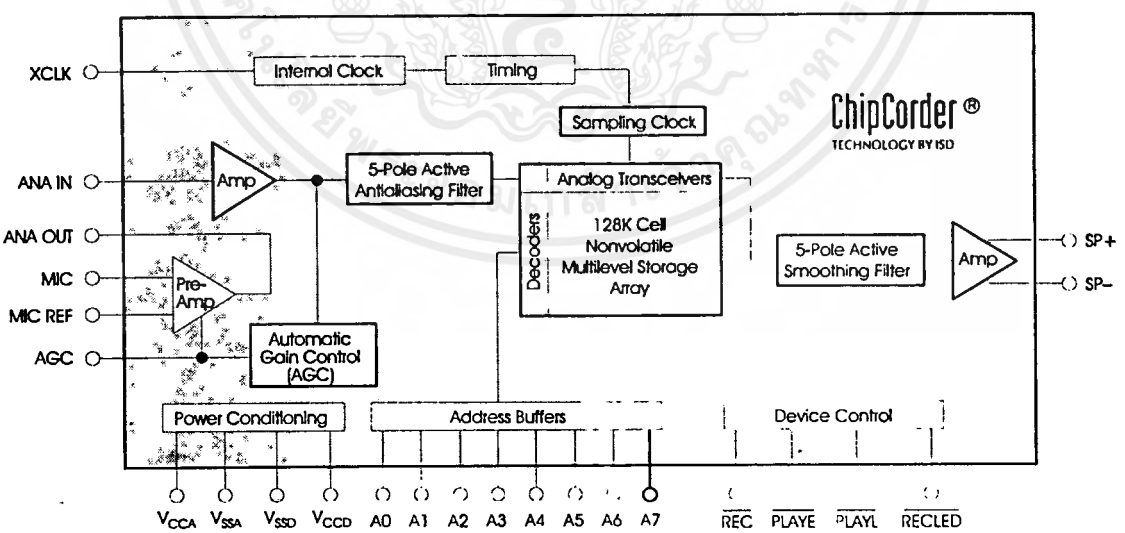
Single-Chip Voice Record/Playback Devices
16- and 20-Second Durations

GENERAL DESCRIPTION

Information Storage Devices' ISD1400 ChipCorder® series provides high-quality, single-chip record/playback solutions to short-duration messaging applications. The CMOS devices include an on-chip oscillator, microphone preamplifier, automatic gain control, antialiasing filter, smoothing filter, and speaker amplifier. A minimum record/playback subsystem can be configured with a microphone, a speaker, several passives, two push-buttons, and a power source.

Recordings are stored in on-chip nonvolatile memory cells, providing zero-power message storage. This unique, single-chip solution is made possible through ISD's patented multilevel storage technology. Voice and audio signals are stored directly into memory in their natural form, providing high-quality, solid-state voice reproduction.

Figure: ISD1400 Series Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FEATURES

- Easy-to-use single-chip voice record/playback solution
- High-quality, natural voice/audio reproduction
- Push-button interface
  - Playback can be edge- or level-activated
- Single-chip durations of 16 and 20 seconds
- Automatic power-down mode
  - Enters standby mode immediately following a record or playback cycle
  - Standby current 0.5 μA (typical)
- Zero-power message storage
  - Eliminates battery backup circuits
- Fully addressable to handle multiple messages
- 100-year message retention (typical)
- 100,000 record cycles (typical)
- On-chip clock source
- No programmer or development system needed
- Single +5 volt power supply
- Available in die form, DIP, and SOIC packaging
- Industrial temperature (–40°C to +85°C) versions available

Table: ISD1400 Series Summary

Part Number	Minimum Duration (Seconds)	Input Sample Rate (KHz)	Typical Filter Pass Band (KHz)
ISD1416	16	8.0	3.3
ISD1420	20	6.4	2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DETAILED DESCRIPTION

SPEECH/SOUND QUALITY

The ISD1400 series includes devices offered at 6.4 and 8.0 KHz sampling frequencies, allowing the user a choice of speech quality options. The speech samples are stored directly into on-chip nonvolatile memory without the digitization and compression associated with other solutions. Direct analog storage provides a very true, natural sounding reproduction of voice, music, tones, and sound effects not available with most solid-state digital solutions.

DURATION

To meet end system requirements, the ISD1400 series offers single-chip solutions at 16 and 20 seconds.

EEPROM STORAGE

One of the benefits of ISD's ChipCorder technology is the use of on-chip nonvolatile memory, providing zero-power message storage. The message is retained for up to 100 years typically without power. In addition, the device can be re-recorded typically over 100,000 times.

BASIC OPERATION

The ISD1400 ChipCorder series devices are controlled by a single record signal, $\overline{REC}$, and either of two push-button control playback signals, $\overline{PLAYE}$ (edge-activated playback), and $\overline{PLAYL}$ (level-activated playback). The ISD1400 parts are configured for simplicity of design in a single-message application. Using the address lines will allow multiple message applications. Device operation is explained on page 15.

AUTOMATIC POWER-DOWN MODE

At the end of a playback or record cycle, the ISD1400 series devices automatically return to a low-power standby mode, consuming typically 0.5 μA. During a playback cycle, the device powers down automatically at the end of the message. During a record cycle, the device powers down immediately after $\overline{REC}$ is released HIGH.

ADDRESSING (OPTIONAL)

In addition to providing simple message playback, the ISD1400 series provides a full addressing capability.

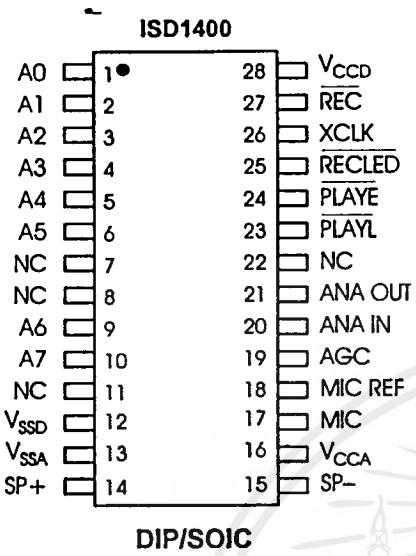
The ISD1400 series storage array has 160 distinct addressable segments, providing the following resolutions. See Application Information for ISD1400 address tables.

Table 1: Device Playback/Record Durations

Part Number	Minimum Duration (Seconds)
ISD1416	100 ms
ISD1420	125 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1: ISD1400 Series Pinouts



NOTE: *NC means must Not Connect.*

PIN DESCRIPTION

NOTE *The $\overline{REC}$ signal is debounced for 50 ms on the rising edge to prevent a false retriggering from a push-button switch.*

VOLTAGE INPUTS (V_{CCA}, V_{CCD})

Analog and digital circuits internal to the ISD1400 series use separate power buses to minimize noise on the chip. These power buses are brought out to separate pins on the package and should be tied together as close to the supply as possible. It is important that the power supply be decoupled as close as possible to the package.

GROUND INPUTS (V_{SSA}, V_{SSD})

Similar to V_{CCA} and V_{CCD}, the analog and digital circuits internal to the ISD1400 series use separate ground buses to minimize noise. These pins should be tied together as close as possible to the device.

RECORD (REC)

The $\overline{REC}$ input is an active-LOW record signal. The device records whenever $\overline{REC}$ is LOW. This signal must remain LOW for the duration of the recording. $\overline{REC}$ takes precedence over either playback ($\overline{PLAYE}$ or $\overline{PLAYL}$) signal. If $\overline{REC}$ is pulled LOW during a playback cycle, the playback immediately ceases and recording begins.

A record cycle is completed when $\overline{REC}$ is pulled HIGH or the memory space is filled.

An end-of-message marker (EOM) is internally recorded, enabling a subsequent playback cycle to terminate appropriately. The device automatically powers down to standby mode when $\overline{REC}$ goes HIGH.

PLAYBACK, EDGE-ACTIVATED ($\overline{PLAYE}$)

When a LOW-going transition is detected on this input signal, a playback cycle begins. Playback continues until an EOM is encountered or the end of the memory space is reached. Upon completion of the playback cycle, the device automatically powers down into standby mode. Taking $\overline{PLAYE}$ HIGH during a playback cycle will not terminate the current cycle.

PLAYBACK, LEVEL-ACTIVATED ($\overline{PLAYL}$)

When this input signal transitions from HIGH to LOW, a playback cycle is initiated. Playback continues until $\overline{PLAYL}$ is pulled HIGH, an EOM marker is detected, or the end of the memory space is reached. The device automatically powers down to standby mode upon completion of the playback cycle.

NOTE *In playback, if either $\overline{PLAYE}$ or $\overline{PLAYL}$ is held LOW during EOM or OVF, the device will still enter standby and the internal oscillator and timing generator will stop. However, the rising edge of $\overline{PLAYE}$ and $\overline{PLAYL}$ are not debounced and any subsequent falling edge (particularly switch bounce) present on the input pins will initiate another playback.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECORD LED OUTPUT ($\overline{\text{RECLED}}$)

The output $\overline{\text{RECLED}}$ is LOW during a record cycle. It can be used to drive an LED to provide feedback that a record cycle is in progress. In addition, $\overline{\text{RECLED}}$ pulses LOW momentarily when an EOM is encountered in a playback cycle.

MICROPHONE INPUT (MIC)

The microphone input transfers its signal to the on-chip preamplifier. An on-chip Automatic Gain Control (AGC) circuit controls the gain of this preamplifier from –15 to 24 dB. An external microphone should be AC coupled to this pin via a series capacitor. The capacitor value, together with the internal 10 KΩ resistance on this pin, determine the low-frequency cutoff for the ISD1400 series passband. See Application Information for additional information on low-frequency cutoff calculations.

MICROPHONE REFERENCE (MIC REF)

The MIC REF input is the inverting input to the microphone preamplifier. This provides a noise-canceling or common-mode rejection input to the device when connected differentially to a microphone.

AUTOMATIC GAIN CONTROL (AGC)

The AGC dynamically adjusts the gain of the preamplifier to compensate for the wide range of microphone input levels. The AGC allows the full range of sound, from whispers to loud sounds, to be recorded with minimal distortion. The "attack" time is determined by the time constant of a 5 KΩ internal resistance and an external capacitor (C6 on the schematic in Figure 4) connected from the AGC pin to V_{SSA} analog ground. The "release" time is determined by the time constant of an external resistor (R5) and an external capacitor (C6) connected in parallel between the AGC Pin and V_{SSA} analog ground. Nominal values of 470 KΩ and 4.7 μF give satisfactory results in most cases.

ANALOG OUTPUT (ANA OUT)

This pin provides the preamplifier output to the user. The voltage gain of the preamplifier is determined by the voltage level at the AGC pin.

ANALOG INPUT (ANA IN)

The ANA IN pin transfers the input signal to the chip for recording. For microphone inputs, the ANA OUT pin should be connected via an external capacitor to the ANA IN pin. This capacitor value, together with the 3.0 KΩ input impedance of ANA IN, is selected to give additional cutoff at the low-frequency end of the voice passband. If the desired input is derived from a source other than a microphone, the signal can be fed, capacitively coupled, into the ANA IN pin directly.

EXTERNAL CLOCK INPUT (XCLK)

The external clock input for the ISD1400 devices has an internal pull-down device. The ISD1400 is configured at the factory with an internal sampling clock frequency that guarantees its minimum nominal record/playback time. For instance, an ISD1420 operating within specification will be observed to always have a minimum of 20 seconds of recording time. The sampling frequency is then maintained to a variation of ±2.25 percent over the commercial temperature and operating voltage ranges, while still maintaining the minimum specified recording duration. This will result in some devices having a few percent more than nominal recording time.

The internal clock has a ±5 percent tolerance over the industrial temperature and voltage range. A regulated power supply is recommended for industrial temperature parts. If greater precision is required, the device can be clocked through the XCLK pin as follows:

Table 2: External Clock Sample Rates

Part Number	Sample Rate	Required Clock
ISD1416	8.0 KHz	1024 KHz
ISD1420	6.4 KHz	819.2 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

These recommended clock rates should not be varied because the antialiasing and smoothing filters are fixed, and aliasing problems can occur if the sample rate differs from the one recommended. The duty cycle on the input clock is not critical, as the clock is immediately divided by two internally. **If the XCLK is not used, this input should be connected to ground.**

SPEAKER OUTPUTS (SP+, SP–)

The SP+ and SP– pins provide direct drive for loudspeakers with impedances as low as 16 Ω. A single output may be used, but, for direct-drive loudspeakers, the two opposite-polarity outputs provide an improvement in output power of up to four times over a single-ended connection. Furthermore, when SP+ and SP– are used, a speaker-coupling capacitor is not required. A single-ended connection will require an AC-coupling capacitor between the SP pin and the speaker. The speaker outputs are in a high-impedance state during a record cycle, and held at V_{SSA} during power down.

ADDRESS INPUTS (A0–A7)

The Address Inputs have two functions, depending upon the level of the two Most Significant Bits (MSB) of the address.

If either of the two MSBs is LOW, the inputs are all interpreted as address bits and are used as the start address for the current record or playback cycle. The address pins are inputs only and do not output internal address information as the operation progresses. Address inputs are latched by the falling edge of $\overline{\text{PLAYE}}$, $\overline{\text{PLAYL}}$, or $\overline{\text{REC}}$.

OPERATIONAL MODES

The ISD1400 series is designed with several built-in operational modes provided to allow maximum functionality with a minimum of additional components, described in detail below. The operational modes use the address pins on the ISD1400 devices, but are mapped outside the valid address range. When the two Most Significant Bits (MSBs) are HIGH (A6 and A7), the remaining address signals are interpreted as mode bits and not as address bits. Therefore, operational modes and direct addressing are not compatible and cannot be used simultaneously.

There are two important considerations for using operational modes. First, all operations begin initially at address 0, which is the beginning of the ISD1400 address space. Later operations can begin at other address locations, depending on the operational mode(s) chosen. In addition, the address pointer is reset to 0 when the device is changed from record to playback but not from playback to record when A4 is HIGH in Operational Mode.

Second, an Operational Mode is executed when any of the control inputs, $\overline{\text{PLAYE}}$, $\overline{\text{PLAYL}}$, or $\overline{\text{REC}}$, go LOW and the two MSBs are HIGH. This Operational Mode remains in effect until the next LOW-going control input signal, at which point the current address/mode levels are sampled and executed.

NOTE *The two MSBs are on pins 9 and 10 for each ISD1400 series device.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONAL MODES DESCRIPTION

The Operational Modes can be used in conjunction with a microcontroller, or they can be hard-wired to provide the desired system operation.

A0 — MESSAGE CUEING

Message Cueing allows the user to skip through messages, without knowing the actual physical addresses of each message. Each control input LOW pulse causes the internal address pointer to skip to the next message. This mode should be used for playback only, and is typically used with the A4 Operational Mode.

A1 — DELETE $\overline{\text{EOM}}$ MARKERS

The A1 Operational Mode allows sequentially recorded messages to be combined into a single message with only one EOM marker set at the end of the final message. When this operational mode is configured, messages recorded sequentially are played back as one continuous message.

A2 — UNUSED

A3 — MESSAGE LOOPING

The A3 Operational Mode allows for the automatic, continuously repeated playback of the message located at the beginning of the address space.

A message can completely fill the ISD1400 device and will loop from beginning to end. Pulsing $\overline{\text{PLAYE}}$ will start the playback and pulsing $\overline{\text{PLAYL}}$ will end the playback.

A4 — CONSECUTIVE ADDRESSING

During normal operations, the address pointer will reset when a message is played through to an EOM marker. The A4 Operational Mode inhibits the address pointer reset, allowing messages to be recorded or played back consecutively. When the device is in a static state; i.e., not recording or playing back, momentarily taking this pin LOW will reset the address counter to zero.

A5 — UNUSED

Table 3: Operational Modes Table

Address Ctrl. (HIGH)	Function	Typical Use	Jointly Compatible[1]
A0	Message cueing	Fast-forward through messages	A4
A1	Delete EOM markers	Position EOM marker at the end of the last message	A3, A4
A2	Unused		
A3	Looping	Continuous playback from Address 0	A1
A4	Consecutive addressing	Record/play multiple consecutive messages	A0, A1
A5	Unused		

1. *Additional operational modes can be used simultaneously with the given mode.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAMS

Figure 2: Record

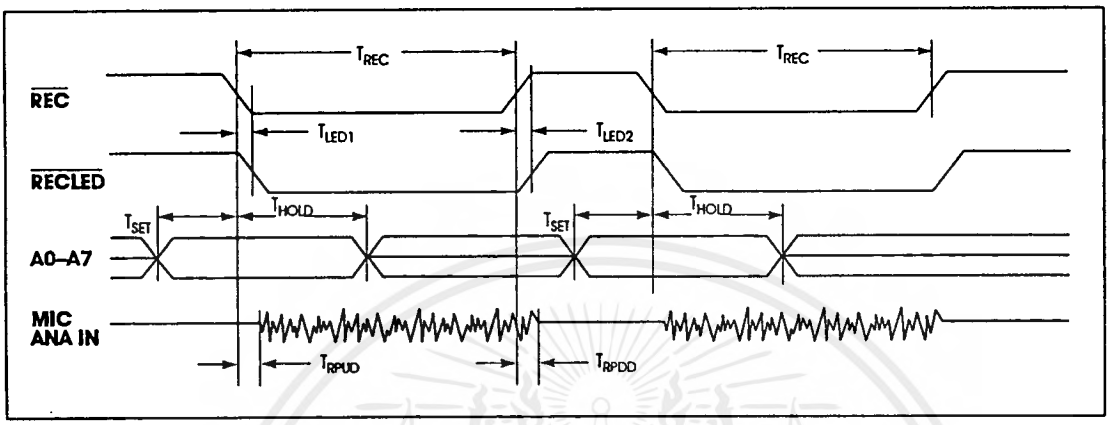
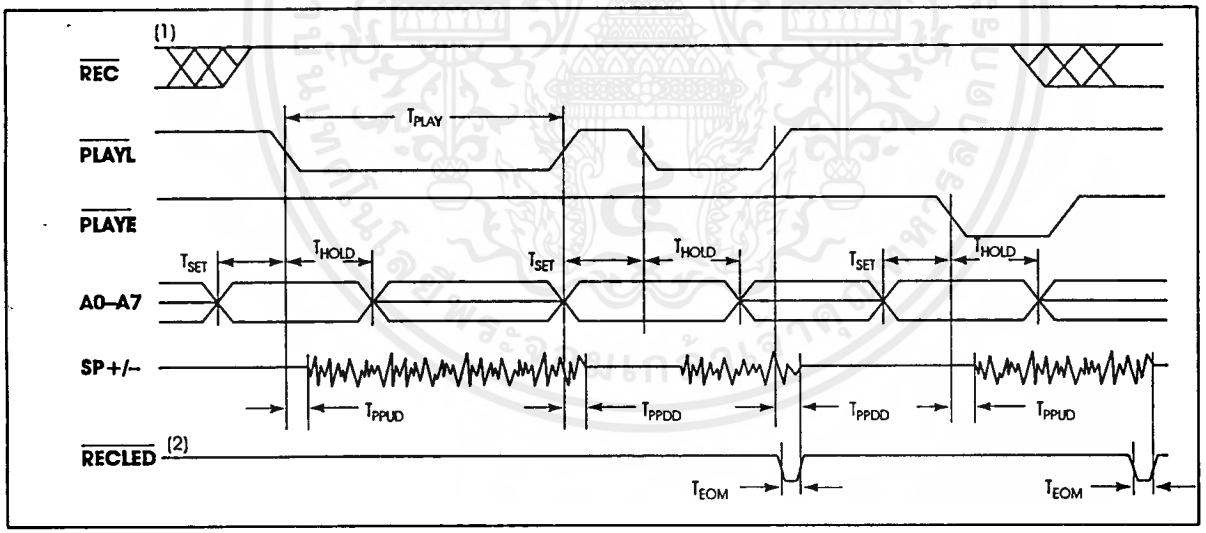


Figure 3: Playback



1. *REC must be HIGH for the entire duration of a playback cycle.*
2. *RECLED functions as an EOM during playback.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PARAMETER VARIATION WITH VOLTAGE AND TEMPERATURE (DIE)

Chart 5: Record Mode Operating Current (I_{CC})

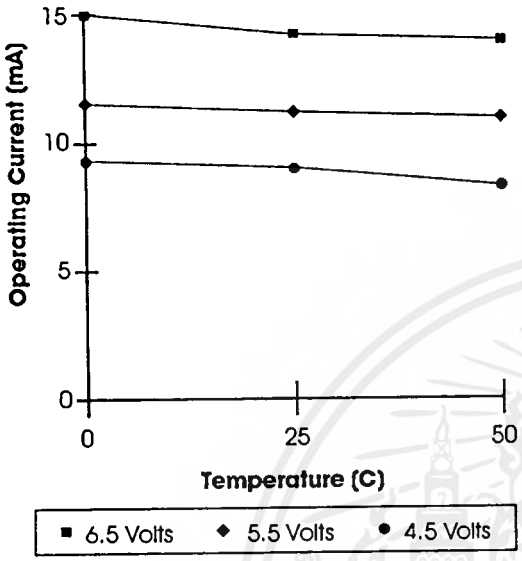


Chart 6: Total Harmonic Distortion

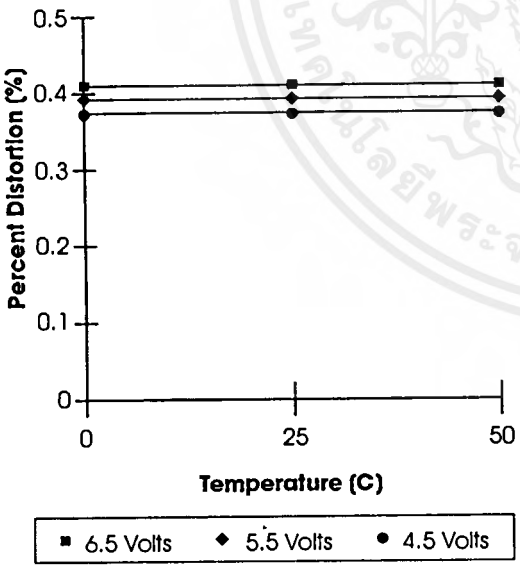


Chart 7: Standby Current (I_{SB})

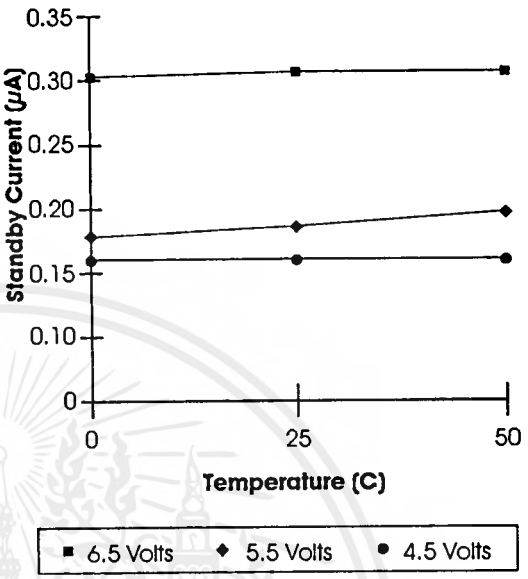
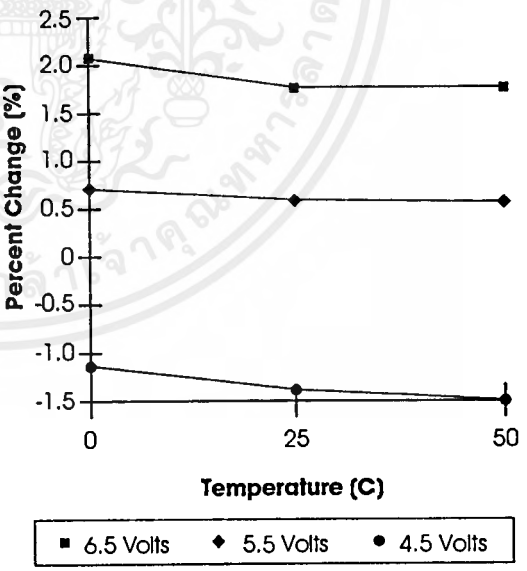
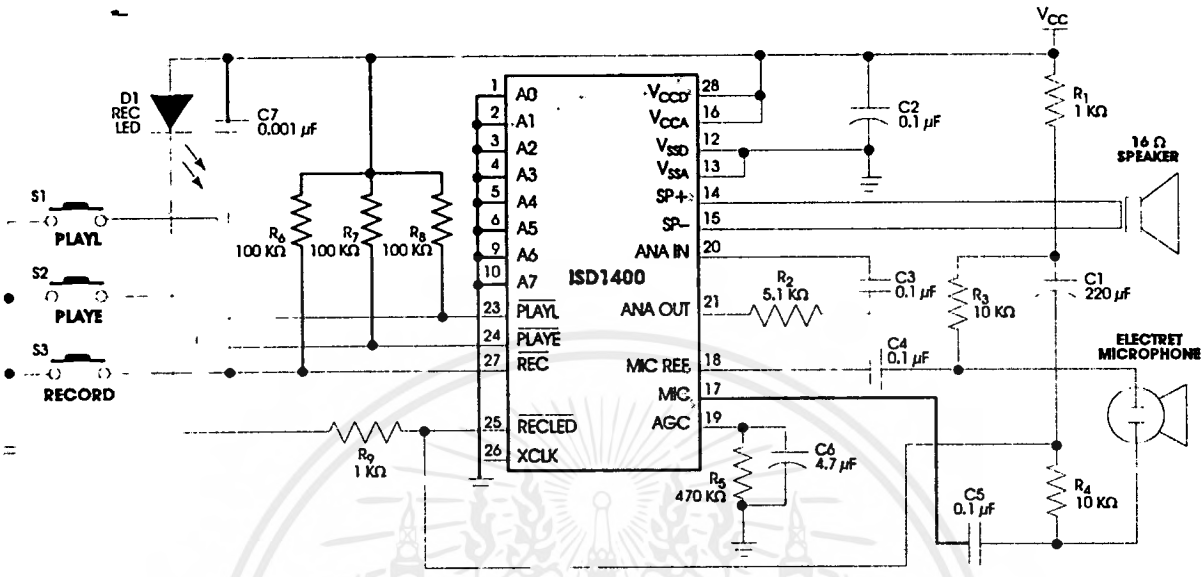


Chart 8: Oscillator Stability



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 4: Application Example



FUNCTIONAL DESCRIPTION EXAMPLE

The following example operating sequence demonstrates the functionality of the ISD1400 series devices.

1. Record a message filling the address space.

   Pulling the $\overline{\text{REC}}$ signal LOW initiates a record cycle from the beginning of the message space. If $\overline{\text{REC}}$ is held LOW, the recording continues until the message space has been filled. Once the message space is filled, recording ceases. The device will automatically power down after $\overline{\text{REC}}$ is pulled HIGH.

2. Edge-activated playback.

   Pulling the $\overline{\text{PLAYE}}$ signal LOW initiates a playback cycle from the beginning of the message space or at a selected location. The rising edge of $\overline{\text{PLAYE}}$ has no effect on operation. If a recording has filled the message space, the entire message is played. When the device reaches the EOM marker, it automatically powers down. A subsequent falling edge on $\overline{\text{PLAYE}}$ initiates a new play cycle from the start address.

3. Level-activated playback.

   Pulling the $\overline{\text{PLAYL}}$ signal LOW initiates a playback cycle from the beginning of the message space or a selected location. If recording has filled the message space, the entire message is played. When the device reaches the EOM marker, it automatically powers down. A subsequent falling edge on $\overline{\text{PLAYL}}$ initiates a new play cycle from the starting address.

4. Level-activated playback (truncated).

   If $\overline{\text{PLAYL}}$ is pulled HIGH any time during the playback cycle, the device stops playing and enters the power-down mode. A subsequent falling edge on $\overline{\text{PLAYL}}$ initiates a new play cycle from the start address.

5. Record (interrupting playback).

   The $\overline{\text{REC}}$ signal takes precedence over other operations. Any LOW-going transition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

on $\overline{REC}$ initiates a new record operation from the beginning of the start address or at a selected location, regardless of any current operation in progress.

6. Record a message, partially filling the address space.

   A record operation need not fill the entire message space. Releasing the $\overline{REC}$ signal HIGH before filling the message space causes the recording to stop and an EOM to be placed. The device powers down automatically.

7. Play back a message, partially filling the address space.

   Pulling the $\overline{PLAYE}$ or $\overline{PLAYL}$ signal LOW initiates a playback cycle which is then completed when the EOM marker is encountered. Playback ceases and the device powers down.

8. $\overline{RECLED}$ operation.

   The $\overline{RECLED}$ output pin provides an active-LOW signal which can be used to drive an LED as a "record-in-progress" indicator. It returns to a HIGH state when the $\overline{REC}$ pin is released HIGH or when the recording is completed due to the message space being filled. This pin also pulses LOW to indicate an EOM at the end of a message being played.

APPLICATIONS NOTE

Some users may experience an unexpected recording taking place when their circuit is powered up, or the batteries are changed and V_{CC} rises faster than $\overline{REC}$. This undesired recording prevents playback of the previously recorded message. A spurious End Of Message (EOM) marker appears at the very beginning of the memory, preventing access to the original message, and nothing is played.

To prevent this occurrence, place a capacitor (approx. 0.001 μF) between the control pin ($\overline{REC}$) and V_{CC}. This pulls the control pin voltage up with V_{CC} as it rises. Once the voltage is HIGH, the pull-up device will keep the pin HIGH until intentionally pulled LOW, preventing the false EOM marker.

Since this anomaly depends on factors such as the capacitance of the user's printed circuit board, not all circuit designs will exhibit the spurious marker. However, it is recommended that the capacitor is included for design reliability. A more detailed explanation and resolution of this occurrence is described in Application Information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISD1400 SERIES PHYSICAL DIMENSIONS

Figure 5: 28-Lead 0.600-Inch Plastic Dual Inline Package (PDIP) (P)

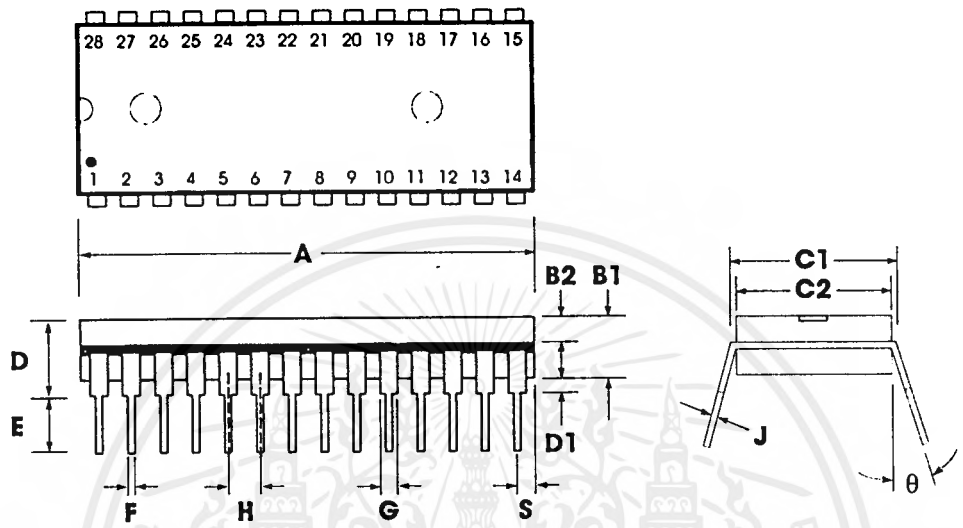


Table 12: Plastic Dual Inline Package (PDIP) (P) Dimensions

	INCHES			MILLIMETERS		
	Min	Nom	Max	Min	Nom	Max
A	1.445	1.450	1.455	36.70	36.83	36.96
B1		0.150			3.81	
B2	0.065	0.070	0.075	1.65	1.78	1.91
C1	0.600		0.625	15.24		15.88
C2	0.530	0.540	0.550	13.46	13.72	13.97
D			0.19			4.83
D1	0.015			0.38		
E	0.125		0.135	3.18		3.43
F	0.015	0.018	0.022	0.38	0.46	0.56
G	0.055	0.060	0.065	1.40	1.52	1.65
H		0.100			2.54	
J	0.008	0.010	0.012	0.20	0.25	0.30
S	0.070	0.075	0.080	1.78	1.91	2.03
q	0°		15°	0°		15°

NOTE: *Lead coplanarity to be within 0.005 inches.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

TEA1062; TEA1062A
Low voltage transmission circuits with dialler interface

Product specification
Supersedes data of 1996 Dec 04
File under Integrated Circuits, IC03

1997 Sep 03

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Philips Semiconductors

PHILIPS

Low voltage transmission circuits with dialler interface

TEA1062; TEA1062A

FEATURES

- Low DC line voltage; operates down to 1.6 V (excluding polarity guard)
- Voltage regulator with adjustable static resistance
- Provides a supply for external circuits
- Symmetrical high-impedance inputs (64 kΩ) for dynamic, magnetic or piezoelectric microphones
- Asymmetrical high-impedance input (32 kΩ) for electret microphones
- DTMF signal input with confidence tone
- Mute input for pulse or DTMF dialling
  - TEA1062: active HIGH (MUTE)
  - TEA1062A: active LOW ($\overline{\text{MUTE}}$)
- Receiving amplifier for dynamic, magnetic or piezoelectric earpieces
- Large gain setting ranges on microphone and earpiece amplifiers
- Line loss compensation (line current dependent) for microphone and earpiece amplifiers
- Gain control curve adaptable to exchange supply
- DC line voltage adjustment facility.

GENERAL DESCRIPTION

The TEA1062 and TEA1062A are integrated circuits that perform all speech and line interface functions required in fully electronic telephone sets. They perform electronic switching between dialling and speech. The ICs operate at line voltage down to 1.6 V DC (with reduced performance) to facilitate the use of more telephone sets connected in parallel.

All statements and values refer to all versions unless otherwise specified.

QUICK REFERENCE DATA

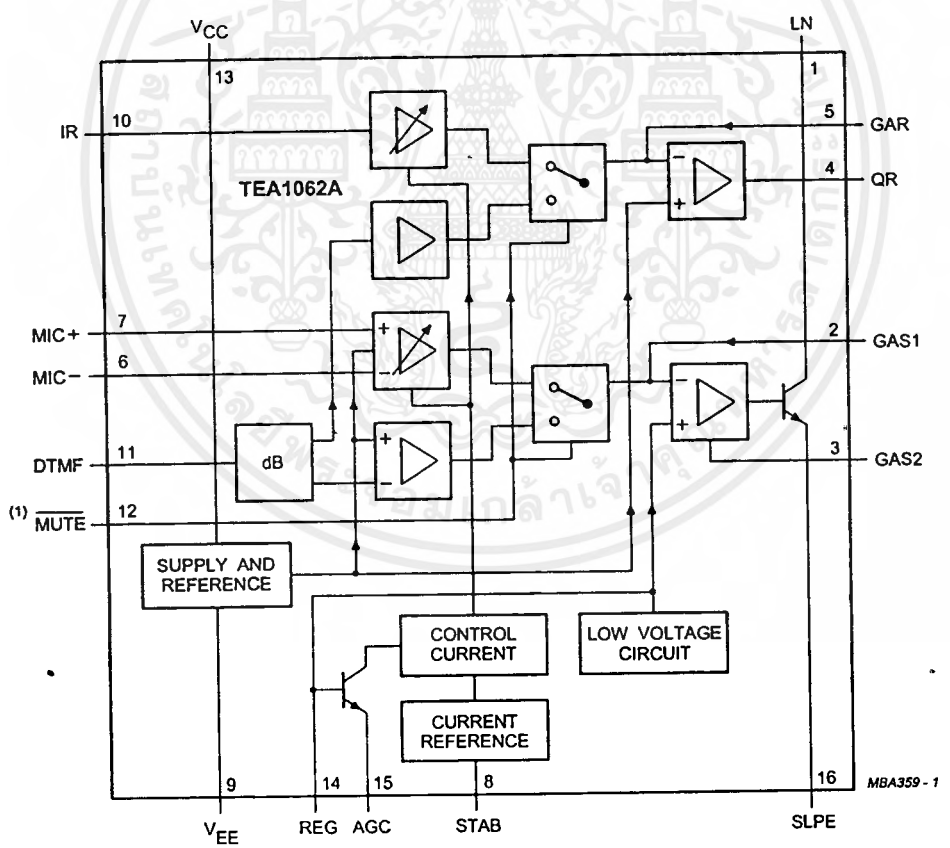
SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
V_{LN}	line voltage	I_{line} = 15 mA	3.55	4.0	4.25	V
I_{line}	operating line current					
	normal operation		11	–	140	mA
	with reduced performance		1	–	11	mA
I_{CC}	internal supply current	V_{CC} = 2.8 V	–	0.9	1.35	mA
V_{CC}	supply voltage for peripherals	I_{line} = 15 mA				
	TEA1062	I_p = 1.2 mA; MUTE = HIGH	2.2	2.7	–	V
		I_p = 0 mA; MUTE = HIGH	–	3.4	–	V
	TEA1062A	I_p = 1.2 mA; $\overline{\text{MUTE}}$ = LOW	2.2	2.7	–	V
		I_p = 0 mA; $\overline{\text{MUTE}}$ = LOW	–	3.4	–	V
G_v	voltage gain					
	microphone amplifier		44	–	52	dB
	receiving amplifier		20	–	31	dB
T_{amb}	operating ambient temperature		–25	–	+75	°C
Line loss compensation						
ΔG_v	gain control		–	5.8	–	dB
V_{exch}	exchange supply voltage		36	–	60	V
R_{exch}	exchange feeding bridge resistance		0.4	–	1	kΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

TYPE NUMBER	PACKAGE		
	NAME	DESCRIPTION	VERSION
TEA1062	DIP16	plastic dual in-line package; 16 leads (300 mil)	SOT38-1
TEA1062M1	DIP16	plastic dual in-line package; 16 leads (300 mil)	SOT38-4 or SOT38-9
TEA1062A	DIP16	plastic dual in-line package; 16 leads (300 mil)	SOT38-1
TEA1062AM1	DIP16	plastic dual in-line package; 16 leads (300 mil)	SOT38-4 or SOT38-9
TEA1062T	SO16	plastic small outline package; 16 leads; body width 3.9 mm	SOT109-1
TEA1062AT	SO16	plastic small outline package; 16 leads; body width 3.9 mm	SOT109-1

BLOCK DIAGRAM



(1) Pin 12 is active HIGH (MUTE) for TEA1062.

Fig.1 Block diagram for TEA1062A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

SYMBOL	PIN	DESCRIPTION
LN	1	positive line terminal
GAS1	2	gain adjustment; transmitting amplifier
GAS2	3	gain adjustment; transmitting amplifier
QR	4	non-inverting output; receiving amplifier
GAR	5	gain adjustment; receiving amplifier
MIC−	6	inverting microphone input
MIC+	7	non-inverting microphone input
STAB	8	current stabilizer
V_{EE}	9	negative line terminal
IR	10	receiving amplifier input
DTMF	11	dual-tone multi-frequency input
$\overline{MUTE}$	12	mute input (see note 1)
V_{CC}	13	positive supply decoupling
REG	14	voltage regulator decoupling
AGC	15	automatic gain control input
SLPE	16	slope (DC resistance) adjustment

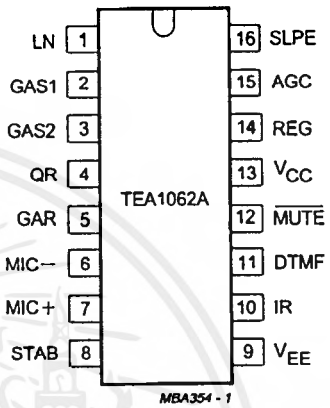


Fig.2 Pin configuration for TEA1062A.

Note

1. Pin 12 is active HIGH (MUTE) for TEA1062.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

Supplies V_{CC}, LN, SLPE, REG and STAB

Power for the IC and its peripheral circuits is usually obtained from the telephone line. The supply voltage is derived from the line via a dropping resistor and regulated by the IC. The supply voltage V_{CC} may also be used to supply external circuits e.g. dialling and control circuits.

Decoupling of the supply voltage is performed by a capacitor between V_{CC} and V_{EE}. The internal voltage regulator is decoupled by a capacitor between REG and V_{EE}.

The DC current flowing into the set is determined by the exchange supply voltage V_{exch}, the feeding bridge resistance R_{exch} and the DC resistance of the telephone line R_{line}.

The circuit has an internal current stabilizer operating at a level determined by a 3.6 kΩ resistor connected between STAB and V_{EE} (see Fig.9). When the line current (I_{line}) is more than 0.5 mA greater than the sum of the IC supply current (I_{CC}) and the current drawn by the peripheral circuitry connected to V_{CC} (I_p) the excess current is shunted to V_{EE} via LN.

The regulated voltage on the line terminal (V_{LN}) can be calculated as:

$$V_{LN} = V_{ref} + I_{SLPE} \times R9$$

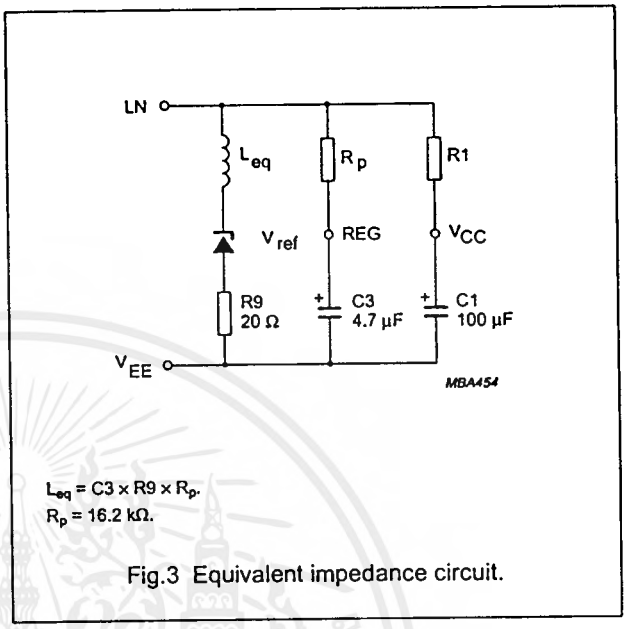
$$V_{LN} = V_{ref} + \{(I_{line} - I_{CC} - 0.5 \times 10^{-3}\ A) - I_p\} \times R9$$

V_{ref} is an internally generated temperature compensated reference voltage of 3.7 V and R9 is an external resistor connected between SLPE and V_{EE}.

In normal use the value of R9 would be 20 Ω.

Changing the value of R9 will also affect microphone gain, DTMF gain, gain control characteristics, sidetone level, maximum output swing on LN and the DC characteristics (especially at the lower voltages).

Under normal conditions, when $I_{SLPE} >> I_{CC} + 0.5\ mA + I_p$, the static behaviour of the circuit is that of a 3.7 V regulator diode with an internal resistance equal to that of R9. In the audio frequency range the dynamic impedance is largely determined by R1. Fig.3 shows the equivalent impedance of the circuit.



$L_{eq} = C3 \times R9 \times R_p$.
$R_p = 16.2\ k\Omega$.

Fig.3 Equivalent impedance circuit.

At line currents below 9 mA the internal reference voltage is automatically adjusted to a lower value (typically 1.6 V at 1 mA). This means that more sets can be operated in parallel with DC line voltages (excluding the polarity guard) down to an absolute minimum voltage of 1.6 V. At line currents below 9 mA the circuit has limited sending and receiving levels. The internal reference voltage can be adjusted by means of an external resistor (R_{VA}). This resistor when connected between LN and REG will decrease the internal reference voltage and when connected between REG and SLPE will increase the internal reference voltage.

Current (I_p) available from V_{CC} for peripheral circuits depends on the external components used. Fig.10 shows this current for $V_{CC} > 2.2$ V. If MUTE is LOW (TEA1062) or $\overline{MUTE}$ is HIGH (TEA1062A) when the receiving amplifier is driven, the available current is further reduced. Current availability can be increased by connecting the supply IC (TEA1081) in parallel with R1 as shown in Fig.19 and Fig.20, or by increasing the DC line voltage by means of an external resistor (R_{VA}) connected between REG and SLPE (Fig.18).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Microphone inputs MIC+ and MIC– and gain pins GAS1 and GAS2

The circuit has symmetrical microphone inputs. Its input impedance is 64 kΩ (2 × 32 kΩ) and its voltage gain is typically 52 dB (when R7 = 68 kΩ, see Figures 14 and 15). Dynamic, magnetic, piezoelectric or electret (with built-in FET source followers) can be used. Microphone arrangements are illustrated in Fig.11.

The gain of the microphone amplifier can be adjusted between 44 dB and 52 dB to suit the sensitivity of the transducer in use. The gain is proportional to the value of R7 which is connected between GAS1 and GAS2.

Stability is ensured by two external capacitors, C6 connected between GAS1 and SLPE and C8 connected between GAS1 and V_{EE}. The value of C6 is 100 pF but this may be increased to obtain a first-order low-pass filter. The value of C8 is 10 times the value of C6. The cut-off frequency corresponds to the time constant R7 × C6.

Input MUTE (TEA1062)

When MUTE is HIGH the DTMF input is enabled and the microphone and receiving amplifier inputs are inhibited. The reverse is true when MUTE is LOW or open-circuit. MUTE switching causes only negligible clicking on the line and earpiece output. If the number of parallel sets in use causes a drop in line current to below 6 mA the speech amplifiers remain active independent to the DC level applied to the MUTE input.

Input $\overline{\text{MUTE}}$ (TEA1062A)

When $\overline{\text{MUTE}}$ is LOW or open-circuit, the DTMF input is enabled and the microphone and receiving amplifier inputs are inhibited. The reverse is true when $\overline{\text{MUTE}}$ is HIGH. $\overline{\text{MUTE}}$ switching causes only negligible clicking on the line and earpiece output. If the number of parallel sets in use causes a drop in line current to below 6 mA the DTMF amplifier becomes active independent to the DC level applied to the $\overline{\text{MUTE}}$ input.

Dual-tone multi-frequency input DTMF

When the DTMF input is enabled dialling tones may be sent on to the line. The voltage gain from DTMF to LN is typically 25.5 dB (when R7 = 68 kΩ) and varies with R7 in the same way as the microphone gain. The signalling tones can be heard in the earpiece at a low level (confidence tone).

Receiving amplifier IR, QR and GAR

The receiving amplifier has one input (IR) and a non-inverting output (QR). Earpiece arrangements are illustrated in Fig.12. The IR to QR gain is typically 31 dB (when R4 = 100 kΩ). It can be adjusted between 20 and 31 dB to match the sensitivity of the transducer in use. The gain is set with the value of R4 which is connected between GAR and QR. The overall receive gain, between LN and QR, is calculated by subtracting the anti-sidetone network attenuation (32 dB) from the amplifier gain. Two external capacitors, C4 and C7, ensure stability. C4 is normally 100 pF and C7 is 10 times the value of C4. The value of C4 may be increased to obtain a first-order low-pass filter. The cut-off frequency will depend on the time constant R4 × C4.

The output voltage of the receiving amplifier is specified for continuous-wave drive. The maximum output voltage will be higher under speech conditions where the peak to RMS ratio is higher.

Automatic Gain Control input AGC

Automatic line loss compensation is achieved by connecting a resistor (R6) between AGC and V_{EE}.

The automatic gain control varies the gain of the microphone amplifier and the receiving amplifier in accordance with the DC line current. The control range is 5.8 dB which corresponds to a line length of 5 km for a 0.5 mm diameter twisted-pair copper cable with a DC resistance of 176 Ω/km and average attenuation of 1.2 dB/km). Resistor R6 should be chosen in accordance with the exchange supply voltage and its feeding bridge resistance (see Fig.13 and Table 1). The ratio of start and stop currents of the AGC curve is independent of the value of R6. If no automatic line-loss compensation is required the AGC pin may be left open-circuit. The amplifiers, in this condition, will give their maximum specified gain.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sidetone suppression

The anti-sidetone network, $R1//Z_{line}$, R2, R3, R8, R9 and Z_{bal}, (see Fig.4) suppresses the transmitted signal in the earpiece. Maximum compensation is obtained when the following conditions are fulfilled:

$$R9 \times R2 = R1 \times \left(R3 + \frac{R8 \times Z_{bal}}{R8 + Z_{bal}} \right) \quad (1)$$

$$\frac{Z_{bal}}{Z_{bal} + R8} = \frac{Z_{line}}{Z_{line} + R1} \quad (2)$$

If fixed values are chosen for R1, R2, R3 and R9, then condition (1) will always be fulfilled when $|R8//Z_{bal}| << R3$.

To obtain optimum sidetone suppression, condition (2) has to be fulfilled which results in:

$$Z_{bal} = \frac{R8}{R1} \times Z_{line} = k \times Z_{line}$$

Where k is a scale factor; $k = \frac{R8}{R1}$

The scale factor k, dependent on the value of R8, is chosen to meet the following criteria:

- compatibility with a standard capacitor from the E6 or E12 range for Z_{bal}
- $|Z_{bal}//R8| << R3$ fulfilling condition (a) and thus ensuring correct anti-sidetone bridge operation
- $|Z_{bal} + R8| >> R9$ to avoid influencing the transmit gain.

In practise Z_{line} varies considerably with the line type and length. The value chosen for Z_{bal} should therefore be for an average line length thus giving optimum setting for short or long lines.

EXAMPLE

The balance impedance Z_{bal} at which the optimum suppression is present can be calculated by:

Suppose Z_{line} = 210 Ω + (1265 Ω//140 nF) representing a 5 km line of 0.5 mm diameter, copper, twisted-pair cable matched to 600 Ω (176 Ω/km; 38 nF/km).

When k = 0.64 then R8 = 390 Ω;
Z_{bal} = 130 Ω + (820 Ω//220 nF).

The anti-sidetone network for the TEA1060 family shown in Fig.4 attenuates the signal received from the line by 32 dB before it enters the receiving amplifier. The attenuation is almost constant over the whole audio-frequency range.

Figure 5 shows a conventional Wheatstone bridge anti-sidetone circuit that can be used as an alternative. Both bridge types can be used with either resistive or complex set impedances. (More information on the balancing of anti-sidetone bridges can be obtained in our publication *"Applications Handbook for Wired telecom systems, IC03b"*, order number 9397 750 00811.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

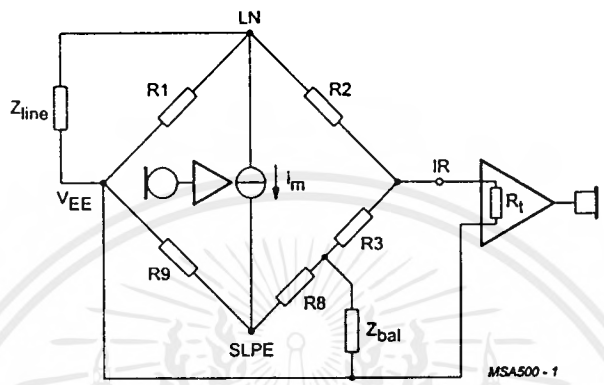


Fig.4 Equivalent circuit of TEA1060 family anti-sidetone bridge.

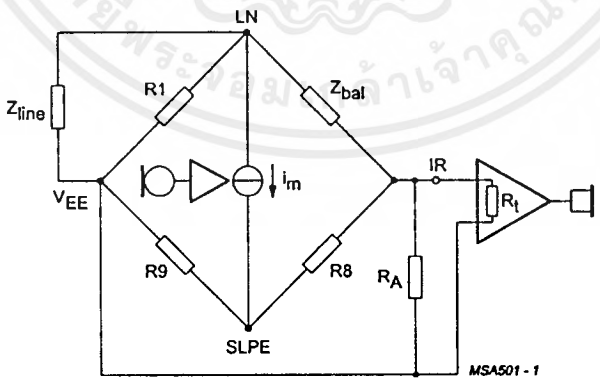


Fig.5 Equivalent circuit of an anti-sidetone network in a Wheatstone bridge configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{LN}	positive continuous line voltage		–	12	V
$V_{LN(R)}$	repetitive line voltage during switch-on or line interruption		–	13.2	V
$V_{LN(RM)}$	repetitive peak line voltage for a 1 ms pulse per 5 s	R9 = 20 Ω; R10 = 13 Ω; see Fig.18	–	28	V
I_{line}	line current	R9 = 20 Ω; note 1	–	140	mA
V_I	input voltage on all other pins	positive input voltage	–	V_{CC} + 0.7	V
		negative input voltage	–	−0.7	V
P_{tot}	total power dissipation	R9 = 20 Ω; note 2			
	TEA1062; TEA1062A		–	666	mW
	TEA1062M1; TEA1062AM1		–	617	mW
	TEA1062T; TEA1062AT		–	454	mW
T_{amb}	operating ambient temperature		−25	+75	°C
T_{stg}	storage temperature		−40	+125	°C
T_j	junction temperature		–	125	°C

Notes

1. Mostly dependent on the maximum required T_{amb} and on the voltage between LN and SLPE (see Figs 6, 7 and 8).
2. Calculated for the maximum ambient temperature specified (T_{amb} = 75 °C) and a maximum junction temperature of 125 °C.

HANDLING

This device meets class 2 ESD test requirements [Human Body Model (HBM)], in accordance with *"MIL STD 883C - method 3015"*.

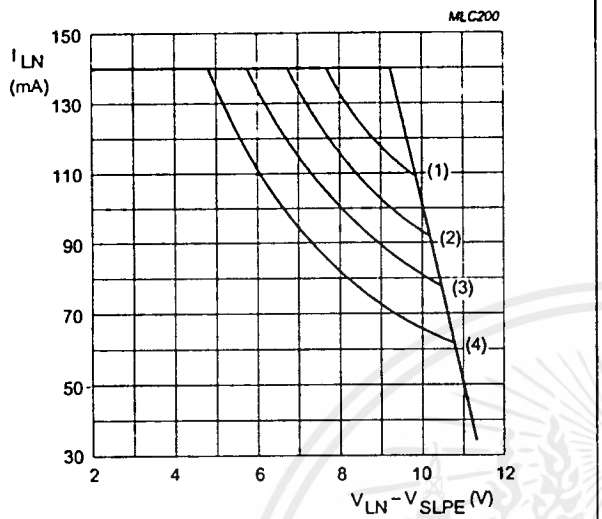
THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	VALUE	UNIT
$R_{th\ j-a}$	thermal resistance from junction to ambient in free air		
	TEA1062; TEA1062A	75	K/W
	TEA1062M1; TEA1062AM1	81	K/W
	TEA1062T; TEA1062AT (note 1)	110	K/W

Note

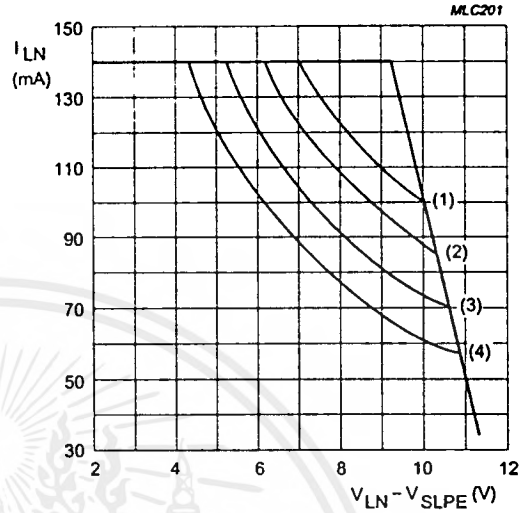
1. Mounted on glass epoxy board 28.5 x 19.1 x 1.5 mm.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



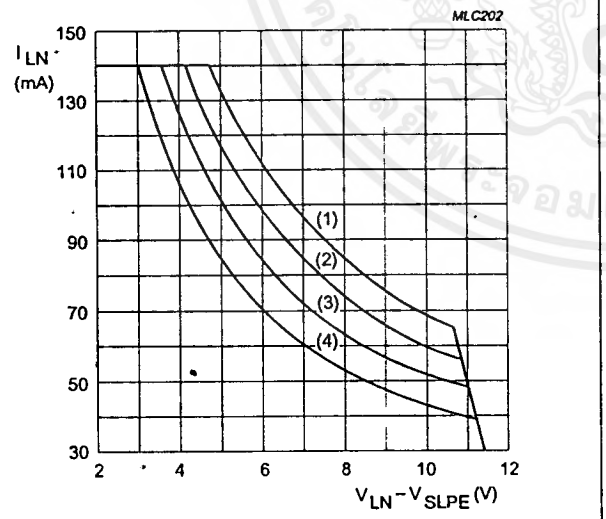
(1) T_{amb} = 45 °C; P_{tot} = 1068 mW.
(2) T_{amb} = 55 °C; P_{tot} = 934 mW.
(3) T_{amb} = 65 °C; P_{tot} = 800 mW.
(4) T_{amb} = 75 °C; P_{tot} = 666 mW.

Fig.6 TEA1062 and TEA1062A safe operating area.



(1) T_{amb} = 45 °C; P_{tot} = 988 mW.
(2) T_{amb} = 55 °C; P_{tot} = 864 mW.
(3) T_{amb} = 65 °C; P_{tot} = 741 mW.
(4) T_{amb} = 75 °C; P_{tot} = 617 mW.

Fig.7 TEA1062M1 and TEA1062AM1 safe operating area.



(1) T_{amb} = 45 °C; P_{tot} = 727 mW.
(2) T_{amb} = 55 °C; P_{tot} = 636 mW.
(3) T_{amb} = 65 °C; P_{tot} = 545 mW.
(4) T_{amb} = 75 °C; P_{tot} = 454 mW.

Fig.8 TEA1062T and TEA1062AT safe operating area.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTICS

I_{line} = 11 to 140 mA; V_{EE} = 0 V; f = 800 Hz; T_{amb} = 25 °C; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Supplies LN and V_{CC} (pins 1 and 13)						
V_{LN}	voltage drop over circuit between LN and V_{EE}	MIC inputs open-circuit				
		I_{line} = 1 mA	–	1.6	–	V
		I_{line} = 4 mA	–	1.9	–	V
		I_{line} = 15 mA	3.55	4.0	4.25	V
		I_{line} = 100 mA	4.9	5.7	6.5	V
		I_{line} = 140 mA	–	–	7.5	V
$\Delta V_{LN}/\Delta T$	variation with temperature	I_{line} = 15 mA	–	–0.3	–	mV/K
V_{LN}	voltage drop over circuit between LN and V_{EE} with external resistor R_{VA}	I_{line} = 15 mA				
		R_{VA} (LN to REG) = 68 kΩ	–	3.5	–	V
		R_{VA} (REG to SLPE) = 39 kΩ	–	4.5	–	V
I_{CC}	supply current	V_{CC} = 2.8 V	–	0.9	1.35	mA
V_{CC}	supply voltage available for peripheral circuitry	I_{line} = 15 mA; MUTE = HIGH				
	TEA1062	I_p = 1.2 mA	2.2	2.7	–	V
		I_p = 0 mA	–	3.4	–	V
V_{CC}	supply voltage available for peripheral circuitry	I_{line} = 15 mA; $\overline{\text{MUTE}}$ = LOW				
	TEA1062A	I_p = 1.2 mA	2.2	2.7	–	V
		I_p = 0 mA	–	3.4	–	V
Microphone inputs MIC– and MIC+ (pins 6 and 7)						
$\lvert Z_i \rvert$	input impedance					
	differential	between MIC– and MIC+	–	64	–	kΩ
	single-ended	MIC– or MIC+ to V_{EE}	–	32	–	kΩ
CMRR	common mode rejection ratio		–	82	–	dB
G_v	voltage gain MIC+ or MIC– to LN	I_{line} = 15 mA; R7 = 68 kΩ	50.5	52.0	53.5	dB
ΔG_{vf}	gain variation with frequency referenced to 800 Hz	f = 300 and 3400 Hz	–	±0.2	–	dB
ΔG_{vT}	gain variation with temperature referenced to 25 °C	without R6; I_{line} = 50 mA; T_{amb} = –25 and +75 °C	–	±0.2	–	dB
DTMF input (pin 11)						
$\lvert Z_i \rvert$	input impedance		–	20.7	–	kΩ
G_v	voltage gain from DTMF to LN	I_{line} = 15 mA; R7 = 68 kΩ	24.0	25.5	27.0	dB
ΔG_{vf}	gain variation with frequency referenced to 800 Hz	f = 300 and 3400 Hz	–	±0.2	–	dB
ΔG_{vT}	gain variation with temperature referenced to 25 °C	I_{line} = 50 mA; T_{amb} = –25 and +75 °C	–	±0.2	–	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Gain adjustment inputs GAS1 and GAS2 (pins 2 and 3)						
ΔG_v	transmitting amplifier gain variation by adjustment of R7 between GAS1 and GAS2		−8	−	0	dB
Sending amplifier output LN (pin 1)						
$V_{LN(rms)}$	output voltage (RMS value)	THD = 10%				
		I_{line} = 4 mA	−	0.8	−	V
		I_{line} = 15 mA	1.7	2.3	−	V
$V_{no(rms)}$	noise output voltage (RMS value)	I_{line} = 15 mA; R7 = 68 kΩ; 200 Ω between MIC− and MIC+; psophometrically weighted (P53 curve)	−	−69	−	dBmp
Receiving amplifier input IR (pin 10)						
$\|Z_i\|$	input impedance		−	21	−	kΩ
Receiving amplifier output QR (pin 4)						
$\|Z_o\|$	output impedance		−	4	−	Ω
G_v	voltage gain from IR to QR	I_{line} = 15 mA; R_L = 300 Ω (from pin 9 to pin 4)	29.5	31	32.5	dB
ΔG_{vf}	gain variation with frequency referenced to 800 Hz	f = 300 and 3400 Hz	−	±0.2	−	dB
ΔG_{vT}	gain variation with temperature referenced to 25 °C	without R6; I_{line} = 50 mA; T_{amb} = −25 and +75 °C	−	±0.2	−	dB
$V_{o(rms)}$	output voltage (RMS value)	THD = 2%; sine wave drive; R4 = 100 kΩ; I_{line} = 15 mA; I_p = 0 mA				
		R_L = 150 Ω	0.22	0.33	−	V
		R_L = 450 Ω	0.3	0.48	−	V
$V_{o(rms)}$	output voltage (RMS value)	THD = 10%; R4 = 100 kΩ; R_L = 150 Ω; I_{line} = 4 mA	−	15	−	mV
$V_{no(rms)}$	noise output voltage (RMS value)	I_{line} = 15 mA; R4 = 100 kΩ; IR open-circuit psophometrically weighted (P53 curve); R_L = 300 Ω	−	50	−	μV
Gain adjustment input GAR (pin 5)						
ΔG_v	receiving amplifier gain variation by adjustment of R4 between GAR and QR		−11	−	0	dB
Mute input (pin 12)						
V_{IH}	HIGH level input voltage		1.5	−	V_{CC}	V
V_{IL}	LOW level input voltage		−	−	0.3	V
I_{MUTE}	input current		−	8	15	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
Reduction of gain						
ΔG_v	MIC+ or MIC– to LN					
	TEA1062	MUTE = HIGH	–	70	–	dB
	TEA1062A	$\overline{MUTE}$ = LOW	–	70	–	dB
G_v	voltage gain from DTMF to QR	R4 = 100 kΩ; R_L = 300 Ω				
	TEA1062	MUTE = HIGH	–	–17	–	dB
	TEA1062A	$\overline{MUTE}$ = LOW	–	–17	–	dB
Automatic gain control input AGC (pin 15)						
ΔG_v	controlling the gain from IR to QR and the gain from MIC+, MIC– to LN gain control range	R6 = 110 kΩ (between AGC and V_{EE}) I_{line} = 70 mA	–	–5.8	–	dB
I_{lineH}	highest line current for maximum gain		–	23	–	mA
I_{lineL}	lowest line current for minimum gain		–	61	–	mA

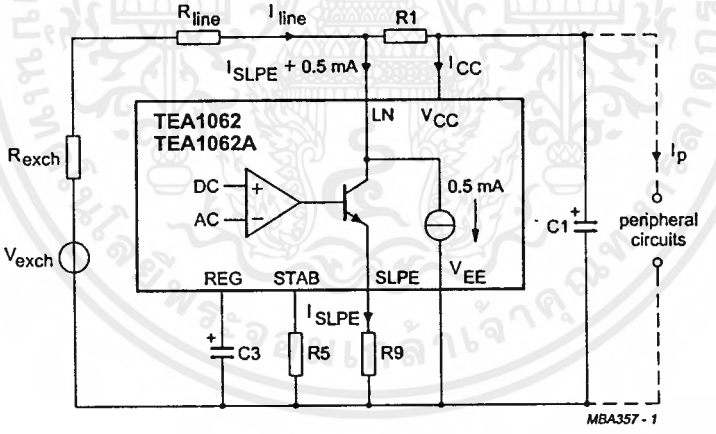
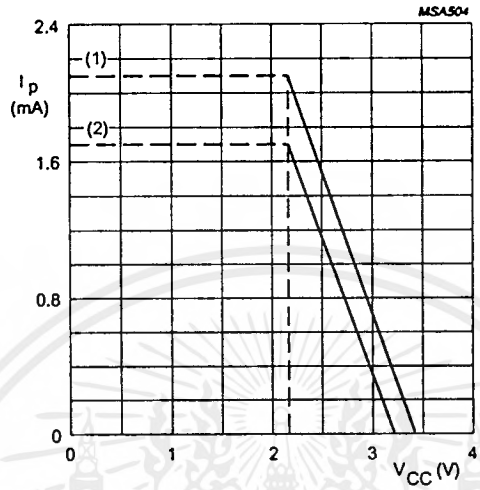


Fig.9 Supply arrangement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



The supply possibilities can be increased by setting the voltage drop over the circuit V_{LN} to a higher value by resistor R_{VA} connected between REG and SLPE.

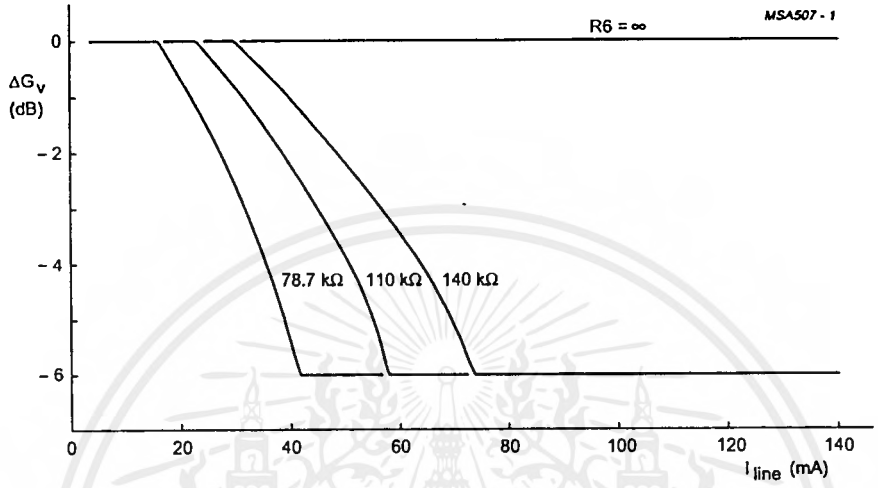
V_{CC} > 2.2 V; I_{line} = 15 mA at V_{LN} = 4 V; R1 = 620 Ω; R9 = 20 Ω.

(1) I_p = 2.1 mA. Is valid when the receiving amplifier is not driven or when MUTE = HIGH (TEA1062), $\overline{MUTE}$ = LOW (TEA1062A).

(2) I_p = 1.7 mA. Is valid when MUTE = LOW (TEA1062), $\overline{MUTE}$ = HIGH (TEA1062A) and the receiving amplifier is driven; $V_{o(rms)}$ = 150 mV, R_L = 150 Ω.

Fig.10 Typical current I_p available from V_{CC} for peripheral circuitry.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



R9 = 20 Ω.

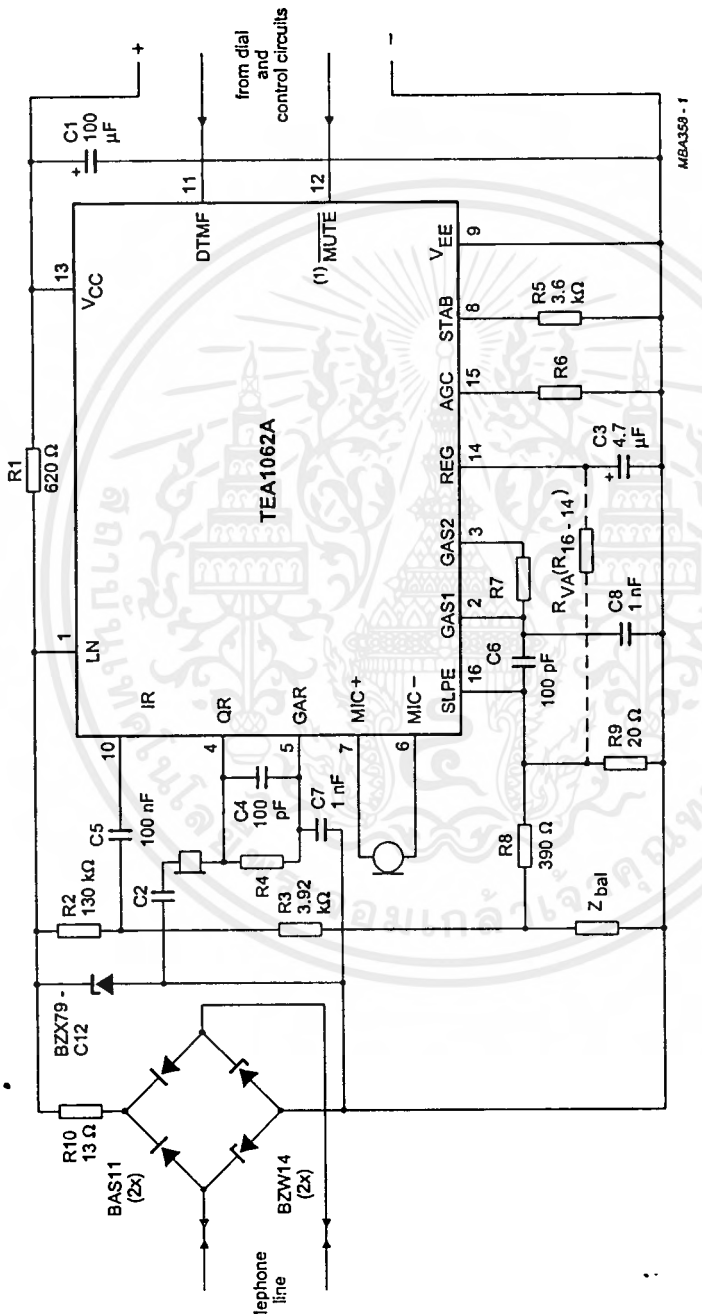
Fig.13 Variation of gain as a function of line current with R6 as a parameter.

Table 1 Values of resistor R6 for optimum line-loss compensation at various values of exchange supply voltage (V_{exch}) and exchange feeding bridge resistance (R_{exch}); R9 = 20 Ω.

V_{exch} (V)	R6 (kΩ)			
	R_{exch} = 400 Ω	R_{exch} = 600 Ω	R_{exch} = 800 Ω	R_{exch} = 1000 Ω
36	100	78.7	–	–
48	140	110	93.1	82
60	–	–	120	102

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION



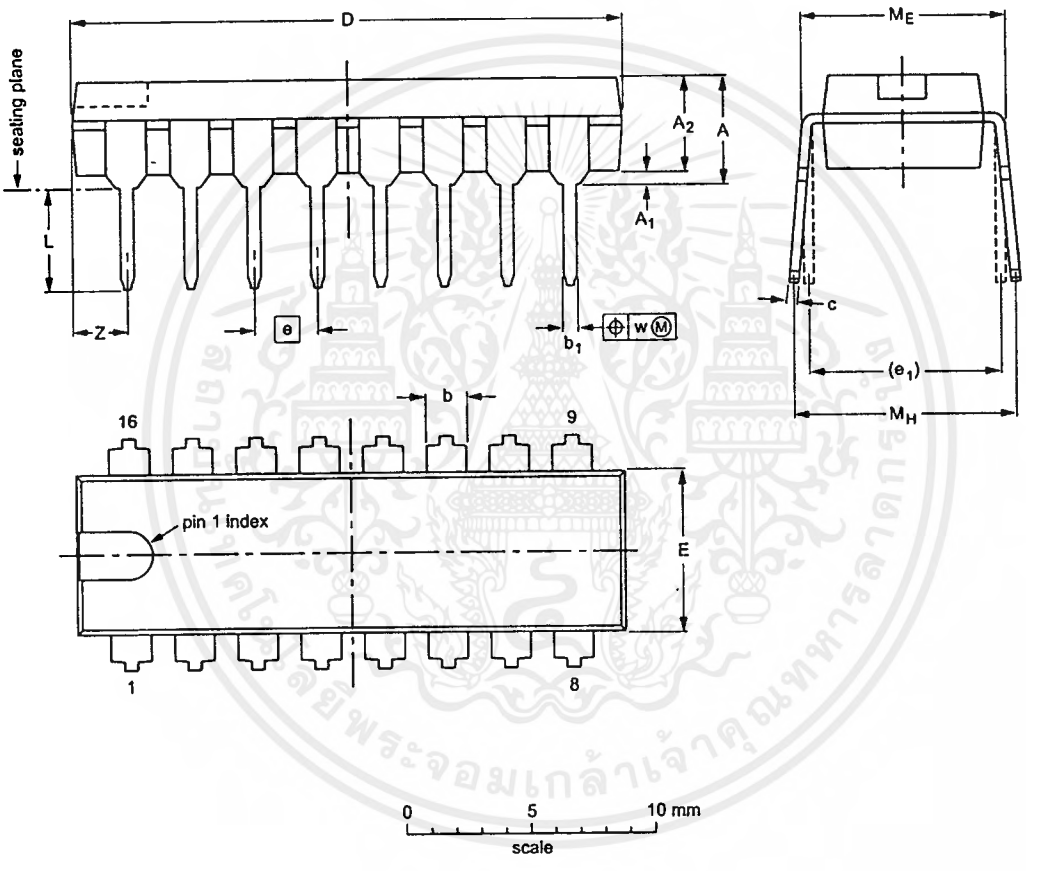
The diode bridge, the Zener diode and R10 limit the current into, and the voltage across, the circuit during line transients.
A different protection arrangement is required for pulse dialling or register recall.
The DC line voltage can be set to a higher value by the resistor R_{VA} (REG to SLPE).
Further application information can be found in our publication *"Applications Handbook for Wired telecom systems, IC03b"*, order number 9397 750 00811.
(1) Pin 12 is active HIGH (MUTE) for TEA1062.

Fig.18 Typical application of TEA1062A, with piezoelectric earpiece and DTMF dialling.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE OUTLINES

DIP16: plastic dual in-line package; 16 leads (300 mil); long body **SOT38-1**



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A_1 min.	A_2 max.	b	b_1	c	D (1)	E (1)	e	e_1	L	M_E	M_H	w	Z (1) max.
mm	4.7	0.51	3.7	1.40 1.14	0.53 0.38	0.32 0.23	21.8 21.4	6.48 6.20	2.54	7.62	3.9 3.4	8.25 7.80	9.5 8.3	0.254	2.2
inches	0.19	0.020	0.15	0.055 0.045	0.021 0.015	0.013 0.009	0.86 0.84	0.26 0.24	0.10	0.30	0.15 0.13	0.32 0.31	0.37 0.33	0.01	0.087

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT38-1	050G09	MO-001AE				~~92-10-02~~ 95-01-19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISO^2-CMOS **MT8880C**

Integrated DTMF Transceiver

ISSUE 6 March 1997

Features

- Complete DTMF transmitter/receiver
- Central office quality
- Low power consumption
- Microprocessor port
- Adjustable guard time
- Automatic tone burst mode
- Call progress mode

Applications

- Credit card systems
- Paging systems
- Repeater systems/mobile radio
- Interconnect dialers
- Personal computers

Ordering Information

MT8880CE	20 Pin Plastic DIP
MT8880CS	20 Pin SOIC
MT8880CN	24 Pin SSOP
MT8880CP	28 Pin Plastic LCC

-40°C to +85°C

Description

The MT8880C is a monolithic DTMF transceiver with call progress filter. It is fabricated in Mitel's ISO^2-CMOS technology, which provides low power dissipation and high reliability. The DTMF receiver is based upon the industry standard MT8870 monolithic DTMF receiver; the transmitter utilizes a switched capacitor D/A converter for low distortion, high accuracy DTMF signalling. Internal counters provide a burst mode such that tone bursts can be transmitted with precise timing. A call progress filter can be selected allowing a microprocessor to analyze call progress tones. A standard microprocessor bus is provided and is directly compatible with 6800 series microprocessors.

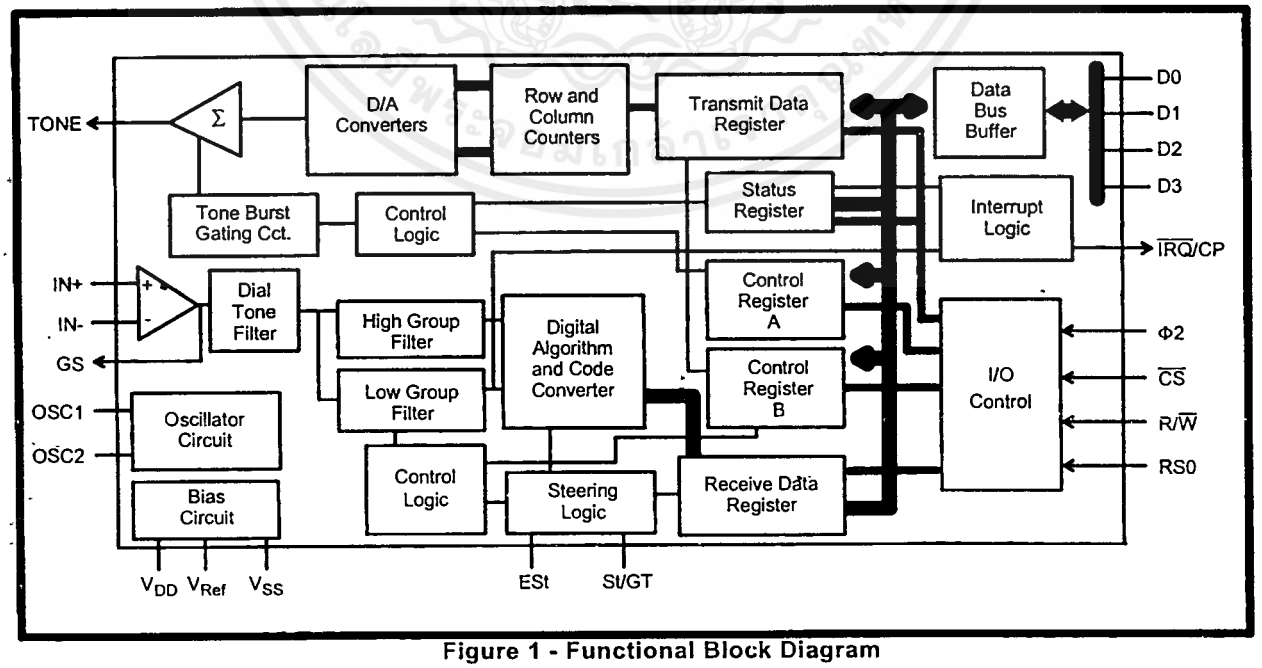


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

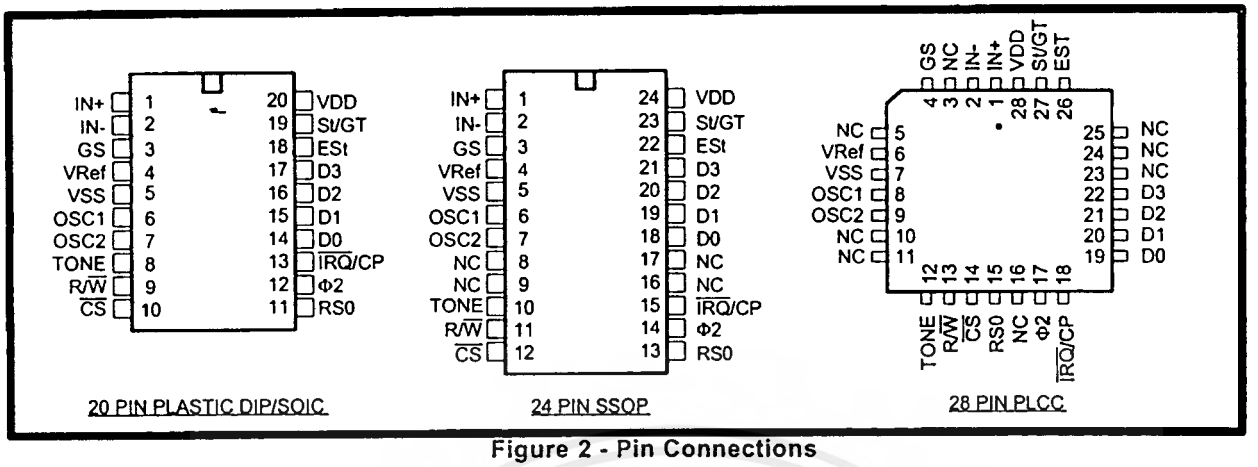


Figure 2 - Pin Connections

Pin Description

Pin #			Name	Description
20	24	28		
1	1	1	IN+	Non-inverting op-amp input.
2	2	2	IN-	Inverting op-amp input.
3	3	4	GS	**Gain Select.** Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	6	V_{Ref}	**Reference Voltage** output, nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig. 13).
5	5	7	V_{SS}	Ground input (0V).
6	6	8	OSC1	DTMF clock/oscillator input.
7	7	9	OSC2	Clock output. A 3.579545 MHz crystal connected between OSC1 and OSC2 completes the internal oscillator circuit. Leave open circuit when OSC1 is clock input.
8	10	12	TONE	**Tone** output (DTMF or single tone).
9	11	13	R/$\overline{W}$	**Read/Write** input. Controls the direction of data transfer to and from the MPU and the transceiver registers. TTL compatible.
10	12	14	$\overline{CS}$	**Chip Select,** TTL input ($\overline{CS}$=0 to select the chip).
11	13	15	RS0	**Register Select** input. See register decode table. TTL compatible.
12	14	17	Φ2	**System Clock** input. TTL compatible. **N.B. Φ2 clock input need not be active when the device is not being accessed.**
13	15	18	$\overline{IRQ}$/ CP	**Interrupt Request to MPU** (open drain output). Also, when call progress (CP) mode has been selected and interrupt enabled the $\overline{IRQ}$/CP pin will output a rectangular wave signal representative of the input signal applied at the input op-amp. The input signal must be within the bandwidth limits of the call progress filter. See Figure 8.
14-17	18-21	19-22	D0-D3	Microprocessor Data Bus (TTL compatible). High impedance when $\overline{CS}$ = 1 or Φ2 is low.
18	22	26	ESt	**Early Steering** output. Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
19	23	27	St/GT	**Steering Input/Guard Time** output (bidirectional). A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
20	24	28	V_{DD}	Positive power supply input (+5V typical).
	8,9 16, 17	3,5, 10, 11, 16, 23-25	NC	No Connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8880C Integrated DTMF Transceiver architecture consists of a high performance DTMF receiver with internal gain setting amplifier and a DTMF generator which employs a burst counter such that precise tone bursts and pauses can be synthesized. A call progress mode can be selected such that frequencies within the specified passband can be detected. A standard microprocessor interface allows access to an internal status register, two control registers and two data registers.

Input Configuration

The input arrangement of the MT8880C provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at $V_{DD}/2$. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 3.

Figure 4 shows the necessary connections for a differential input configuration.

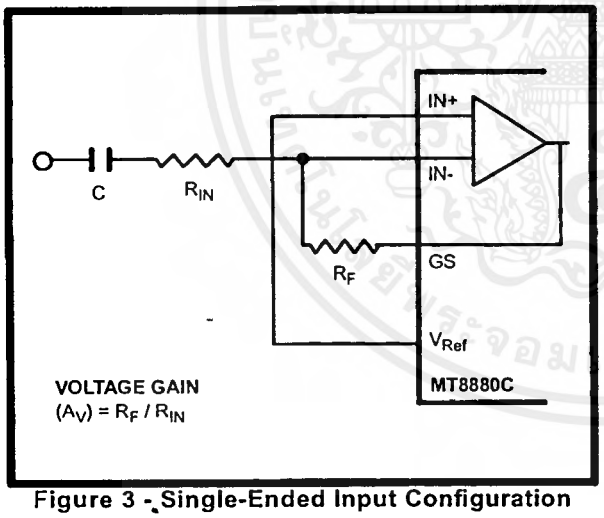


Figure 3 - Single-Ended Input Configuration

Receiver Section

Separation of the low and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies (see Fig. 7). These filters also incorporate notches at 350 Hz and 440 Hz for exceptional dial tone rejection. Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators

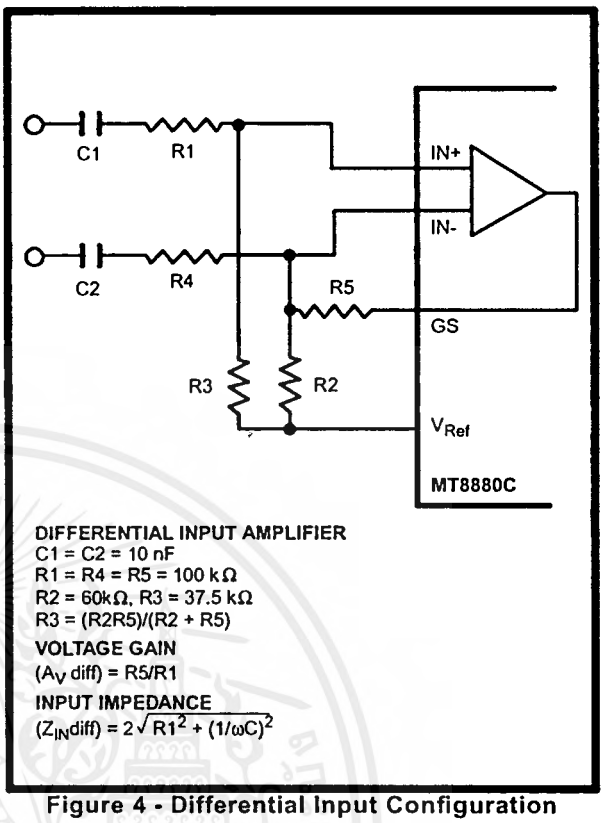


Figure 4 - Differential Input Configuration

which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 5) to rise as the capacitor discharges. Provided that the signal condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Figure 7) into the Receive Data Register. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag goes high, signalling that a received tone pair has been registered. The status of the delayed steering flag can be monitored by checking the appropriate bit in the status register. If Interrupt mode has been selected, the $\overline{IRQ}$/CP pin will pull low when the delayed steering flag is active.

The contents of the output latch are updated on an active delayed steering transition. This data is presented to the four bit bidirectional data bus when the Receive Data Register is read. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (drop out) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

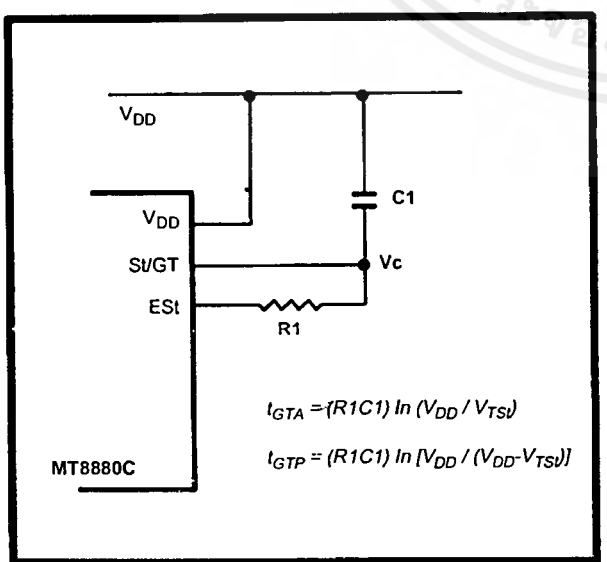


Figure 5 - Basic Steering Circuit

Guard Time Adjustment

The simple steering circuit shown in Figure 5 is adequate for most applications. Component values are chosen according to the formula:

$$t_{REC} = t_{DP}+t_{GTP}$$
$$t_{ID}=t_{DA}+t_{GTA}$$

The value of t_{DP} is a device parameter (see AC Electrical Characteristics) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C1 of 0.1 µF is recommended for most applications, leaving R1 to be selected by the designer. Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity.

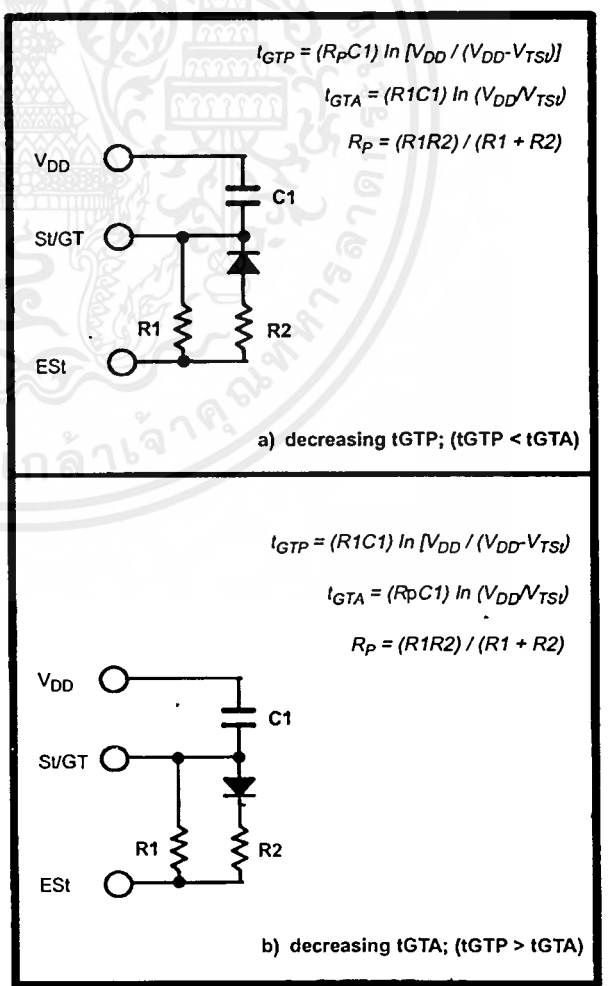


Figure 6 - Guard Time Adjustment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain a valid signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 6. The receiver timing is shown in Figure 9 with a description of the events in Figure 11.

Call Progress Filter

A call progress mode, using the MT8880C, can be selected allowing the detection of various tones which identify the progress of a telephone call on the network. The call progress tone input and DTMF input are common, however, call progress tones can only be detected when CP mode has been selected. DTMF signals cannot be detected if CP mode has been selected (see Table 5). Figure 8 indicates the useful detect bandwidth of the call progress filter. Frequencies presented to the input, which are within the 'accept' bandwidth limits of the filter, are hard-limited by a high gain comparator with the $\overline{IRQ}$/CP pin serving as the output. The squarewave output obtained from the schmitt trigger can be analyzed by a microprocessor or counter arrangement to determine the nature of the call progress tone being detected. Frequencies which are in the 'reject' area will not be detected and consequently the $\overline{IRQ}$/CP pin will remain low.

DTMF Generator

The DTMF transmitter employed in the MT8880C is capable of generating all sixteen standard DTMF tone pairs with low distortion and high accuracy. All frequencies are derived from an external 3.579545 MHz crystal. The sinusoidal waveforms for the individual tones are digitally synthesized using row and column programmable dividers and switched capacitor D/A converters. The row and column tones are mixed and filtered providing a DTMF signal with low total harmonic distortion and high accuracy. To specify a DTMF signal, data conforming to the encoding format shown in Figure 7 must be written to the transmit Data Register. Note that this is the same as the receiver output code. The individual tones which are generated (f_{LOW} and f_{HIGH}) are referred to as Low Group and High Group tones. As seen from the table, the low group frequencies are 697, 770, 852 and 941 Hz. The high group frequencies are 1209, 1336, 1477 and 1633 Hz. Typically, the high group to low group amplitude ratio (pre-emphasis) is 2dB to compensate for high group attenuation on long loops.

F_{LOW}	F_{HIGH}	DIGIT	D_3	D_2	D_1	D_0
697	1209	1	0	0	0	1
697	1336	2	0	0	1	0
697	1477	3	0	0	1	1
770	1209	4	0	1	0	0
770	1336	5	0	1	0	1
770	1477	6	0	1	1	0
852	1209	7	0	1	1	1
852	1336	8	1	0	0	0
852	1477	9	1	0	0	1
941	1336	0	1	0	1	0
941	1209	*	1	0	1	1
941	1477	#	1	1	0	0
697	1633	A	1	1	0	1
770	1633	B	1	1	1	0
852	1633	C	1	1	1	1
941	1633	D	0	0	0	0

0= LOGIC LOW, 1= LOGIC HIGH

Figure 7 - Functional Encode/Decode Table

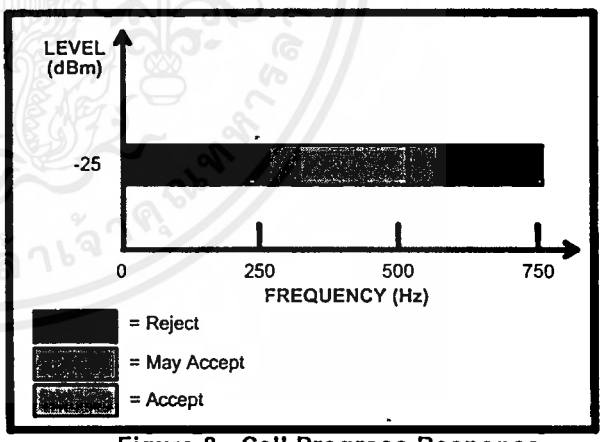


Figure 8 - Call Progress Response

The period of each tone consists of 32 equal time segments. The period of a tone is controlled by varying the length of these time segments. During write operations to the Transmit Data Register the 4 bit data on the bus is latched and converted to 2 of 8 coding for use by the programmable divider circuitry. This code is used to specify a time segment length which will ultimately determine the frequency of the tone. When the divider reaches the appropriate count, as determined by the input code, a reset pulse is issued and the counter starts again. The number

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

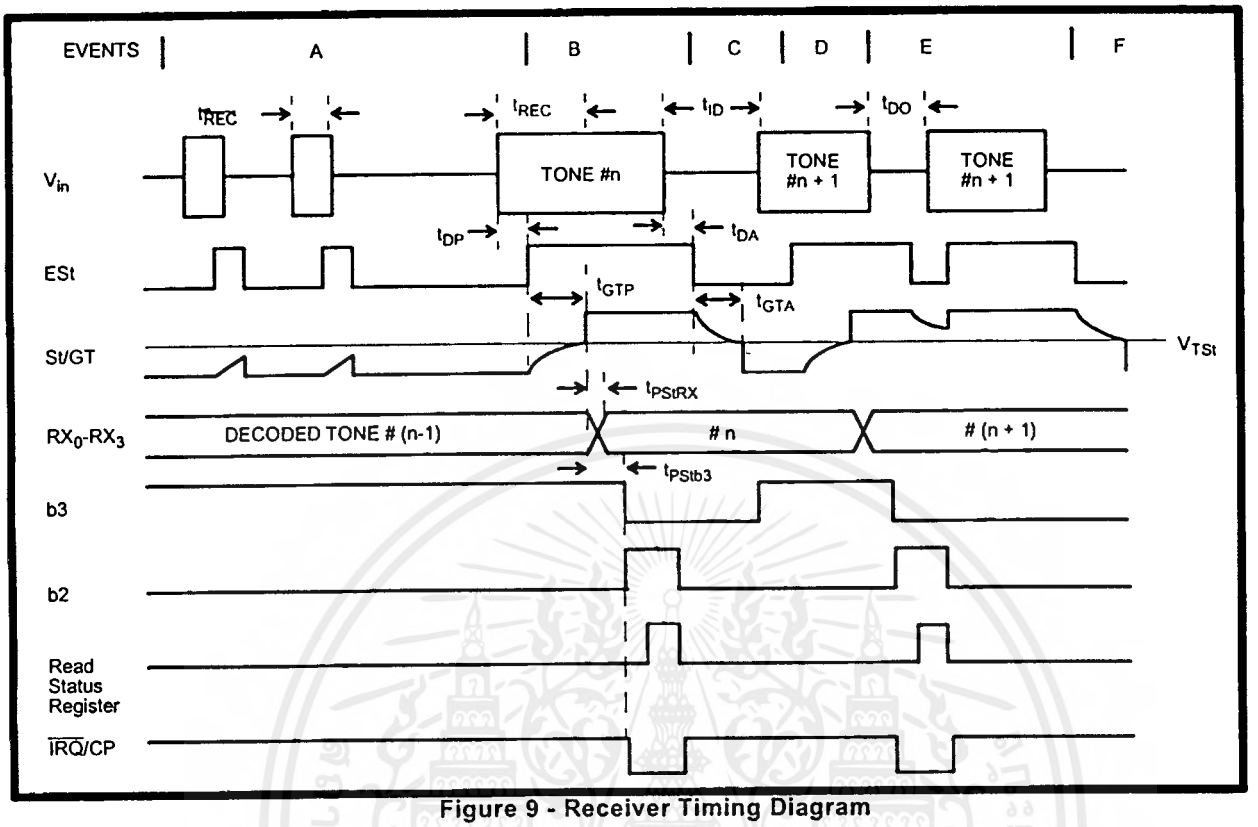


Figure 9 - Receiver Timing Diagram

of time segments is fixed at 32, however, by varying the segment length as described above the tone output signal frequency will be varied. The divider output clocks another counter which addresses the sinewave lookup ROM.

The lookup table contains codes which are used by the switched capacitor D/A converter to obtain discrete and highly accurate DC voltage levels. Two identical circuits are employed to produce row and column tones which are then mixed using a low noise summing amplifier. The oscillator described needs no "start-up" time as in other DTMF generators since the crystal oscillator is running continuously thus providing a high degree of tone burst accuracy. A bandwidth limiting filter is incorporated and serves to attenuate distortion products above 8 kHz. It can be seen from Figure 10 that the distortion products are very low in amplitude.

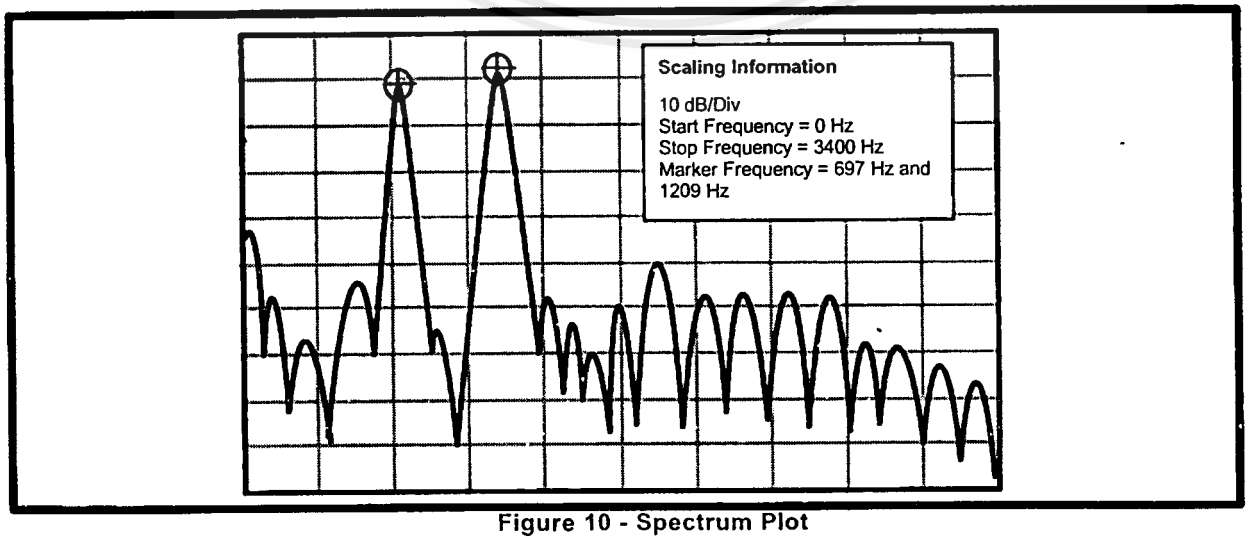


Figure 10 - Spectrum Plot

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Burst Mode

In certain telephony applications it is required that DTMF signals being generated are of a specific duration determined either by the particular application or by any one of the exchange transmitter specifications currently existing. Standard DTMF signal timing can be accomplished by making use of the Burst Mode. The transmitter is capable of issuing symmetric bursts/pauses of predetermined duration. This burst/pause duration is 51 ms±1 ms which is a standard interval for autodialer and central office applications. After the burst/pause has been issued, the appropriate bit is set in the Status Register indicating that the transmitter is ready for more data. The timing described above is available when DTMF mode has been selected. However, when CP mode (Call Progress mode) is selected, a second burst/pause time of 102 ms ±2 ms is available. This extended interval is useful when precise tone bursts of longer than 51 ms duration and 51 ms pause are desired. Note that when CP mode and Burst mode have been selected, DTMF tones may be transmitted only and *not* received.

In applications where a non-standard burst/pause duration is required, burst mode must be disabled and the transmitter gated on and off by an external hardware or software timer.

Single Tone Generation

A single tone mode is available whereby individual tones from the low group or high group can be generated. This mode can be used for DTMF test equipment applications, acknowledgment tone generation and distortion measurements. Refer to Control Register B description for details.

Distortion Calculations

The MT8880C is capable of producing precise tone bursts with minimal error in frequency (see Table 1). The internal summing amplifier is followed by a first-order lowpass switched capacitor filter to minimize harmonic components and intermodulation products. The total harmonic distortion for a *single tone* can be calculated using Equation 1, which is the ratio of the total power of all the extraneous frequencies to the power of the fundamental frequency expressed as a percentage. The Fourier components of the tone output correspond to V_{2f}.... V_{nf} as measured on the output waveform. The total harmonic distortion for a *dual tone* can be calculated

EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, RX DATA REGISTER NOT UPDATED.
B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN RX DATA REGISTER.
C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, INFORMATION IN RX DATA REGISTER RETAINED UNTIL NEXT VALID TONE PAIR.
D) TONE #n+1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN RX DATA REGISTER.
E) ACCEPTABLE DROPOUT OF TONE #n+1, TONE ABSENT DURATION INVALID, DATA REMAINS UNCHANGED.
F) END OF TONE #n+1 DETECTED, TONE ABSENT DURATION VALID, INFORMATION IN RX DATA REGISTER RETAINED UNTIL NEXT VALID TONE PAIR.

EXPLANATION OF SYMBOLS

V_{in} DTMF COMPOSITE INPUT SIGNAL.
ESt EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
St/GT STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
RX_0-RX_3 4-BIT DECODED DATA IN RECEIVE DATA REGISTER
b3 DELAYED STEERING. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL. ACTIVE LOW FOR THE DURATION OF A VALID DTMF SIGNAL.
b2 INDICATES THAT VALID DATA IS IN THE RECEIVE DATA REGISTER. THE BIT IS CLEARED AFTER THE STATUS REGISTER IS READ.
$\overline{IRQ}$/CP INTERRUPT IS ACTIVE INDICATING THAT NEW DATA IS IN THE RX DATA REGISTER. THE INTERRUPT IS CLEARED AFTER THE STATUS REGISTER IS READ.
$t_{\overline{REC}}$ MAXIMUM DTMF SIGNAL DURATION NOT DETECTED AS VALID.
t_{REC} MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION.
t_{ID} MINIMUM TIME BETWEEN VALID SEQUENTIAL DTMF SIGNALS.
t_{DO} MAXIMUM ALLOWABLE DROPOUT DURING VALID DTMF SIGNAL.
t_{DP} TIME TO DETECT VALID FREQUENCIES PRESENT.
t_{DA} TIME TO DETECT VALID FREQUENCIES ABSENT.
t_{GTP} GUARD TIME, TONE PRESENT.
t_{GTA} GUARD TIME, TONE ABSENT.

Figure 11 - Description of Timing Events

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$THD(\%) = \frac{\sqrt{V_{2f}^2 + V_{3f}^2 + V_{4f}^2 + ... V_{nf}^2}}{V_{fundamental}} \times 100$$

Equation 1. THD (%) For a Single Tone

$$THD(\%) = \frac{\sqrt{V_{2L}^2 + V_{3L}^2 + ... V_{nL}^2 + V_{2H}^2 + V_{3H}^2 + .. V_{nH}^2 + V_{IMD}^2}}{\sqrt{V_L^2 + V_H^2}} \times 100$$

Equation 2. THD (%) For a Dual Tone

ACTIVE INPUT	OUTPUT FREQUENCY (Hz)		%ERROR
	SPECIFIED	ACTUAL	
L1	697	699.1	+0.30
L2	770	766.2	-0.49
L3	852	847.4	-0.54
L4	941	948.0	+0.74
H1	1209	1215.9	+0.57
H2	1336	1331.7	-0.32
H3	1477	1471.9	-0.35
H4	1633	1645.0	+0.73

Table 1. Actual Frequencies Versus Standard Requirements

using Equation 2. V_L and V_H correspond to the low group amplitude and high group amplitude, respectively, and V^2_{IMD} is the sum of all the intermodulation components. The internal switched-capacitor filter following the D/A converter keeps distortion products down to a very low level as shown in Figure 10.

DTMF Clock Circuit

The internal clock circuit is completed with the addition of a standard television colour burst crystal. The crystal specification is as follows:

Frequency:	3.579545 MHz
Frequency Tolerance:	±0.1%
Resonance Mode:	Parallel
Load Capacitance:	18pF
Maximum Series Resistance:	150 ohms
Maximum Drive Level:	2mW

e.g. CTS Knights MP036S
Toyocom TQC-203-A-9S

A number of MT8880C devices can be connected as shown in Figure 12 such that only one crystal is required. Alternatively, the OSC1 inputs on all devices can be driven from a TTL buffer with the OSC2 outputs left unconnected.

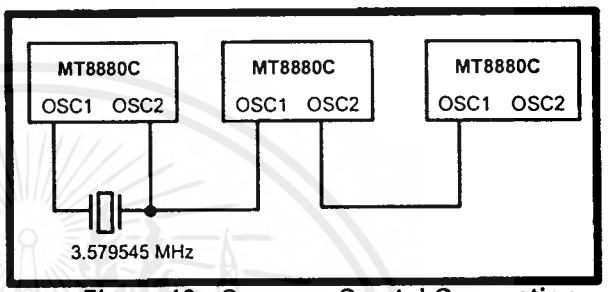


Figure 12 - Common Crystal Connection

Microprocessor Interface

The MT8880C employs a microprocessor interface which allows precise control of transmitter and receiver functions. There are five internal registers associated with the microprocessor interface which can be subdivided into three categories, i.e., data transfer, transceiver control and transceiver status. There are two registers associated with data transfer operations.

The Receive Data Register contains the output code of the last valid DTMF tone pair to be decoded and is a read only register. The data entered in the Transmit Data Register will determine which tone pair is to be generated (see Figure 7 for coding details). Data can only be written to the transmit register. Transceiver control is accomplished with two Control Registers (CRA and CRB) which occupy the same address space. A write operation to CRB can be executed by setting the appropriate bit in CRA. The following write operation to the same address will then be directed to CRB and subsequent write cycles will then be directed back to CRA. A software reset must be included at the beginning of all programs to initialize the control and status registers after power up or power reset (see Figure 16). Refer to Tables 3, 4, 5 and 6 for details concerning the Control Registers. The $\overline{IRQ}$/CP pin can be programmed such that it will provide an interrupt request signal upon validation of DTMF signals or when the transmitter is ready for more data (Burst mode only). The $\overline{IRQ}$/CP pin is configured as an open drain output device and as such requires a pull-up resistor (see Figure 13).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RS0	R/$\overline{W}$	FUNCTION
0	0	Write to Transmit Data Register
0	1	Read from Receive Data Register
1	0	Write to Control Register
1	1	Read from Status Register

Table 2. Internal Register Functions

b3	b2	b1	b0
RSEL	IRQ	CP/$\overline{DTMF}$	TOUT

Table 3. CRA Bit Positions

b3	b2	b1	b0
C/$\overline{R}$	S/$\overline{D}$	TEST	BURST

Table 4. CRB Bit Positions

BIT	NAME	FUNCTION	DESCRIPTION
b0	TOUT	TONE OUTPUT	A logic '1' enables the tone output. This function can be implemented in either the burst mode or non-burst mode.
b1	CP/$\overline{DTMF}$	MODE CONTROL	In DTMF mode (logic '0') the device is capable of generating and receiving Dual Tone Multi-Frequency signals. When the CP (Call Progress) mode is selected (logic '1') a 6th order bandpass filter is enabled to allow call progress tones to be detected. Call progress tones which are within the specified bandwidth will be presented at the $\overline{IRQ}$/CP pin in rectangular wave format if the IRQ bit has been enabled (b2=1). Also, when the CP mode and BURST mode have both been selected, the transmitter will issue DTMF signals with a burst and pause of 102 ms (typ) duration. This signal duration is twice that obtained from the DTMF transmitter if DTMF mode had been selected. Note that DTMF signals cannot be decoded when the CP mode of operation has been selected.
b2	IRQ	INTERRUPT ENABLE	A logic '1' enables the INTERRUPT mode. When this mode is active and the DTMF mode has been selected (b1=0) the $\overline{IRQ}$/CP pin will pull to a logic '0' condition when either 1) a valid DTMF signal has been received and has been present for the guard time duration or 2) the transmitter is ready for more data (BURST mode only).
b3	RSEL	REGISTER SELECT	A logic '1' selects Control Register B on the next Write cycle to the Control Register address. Subsequent Write cycles to the Control Register are directed back to Control Register A.

Table 5. Control Register A Description

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

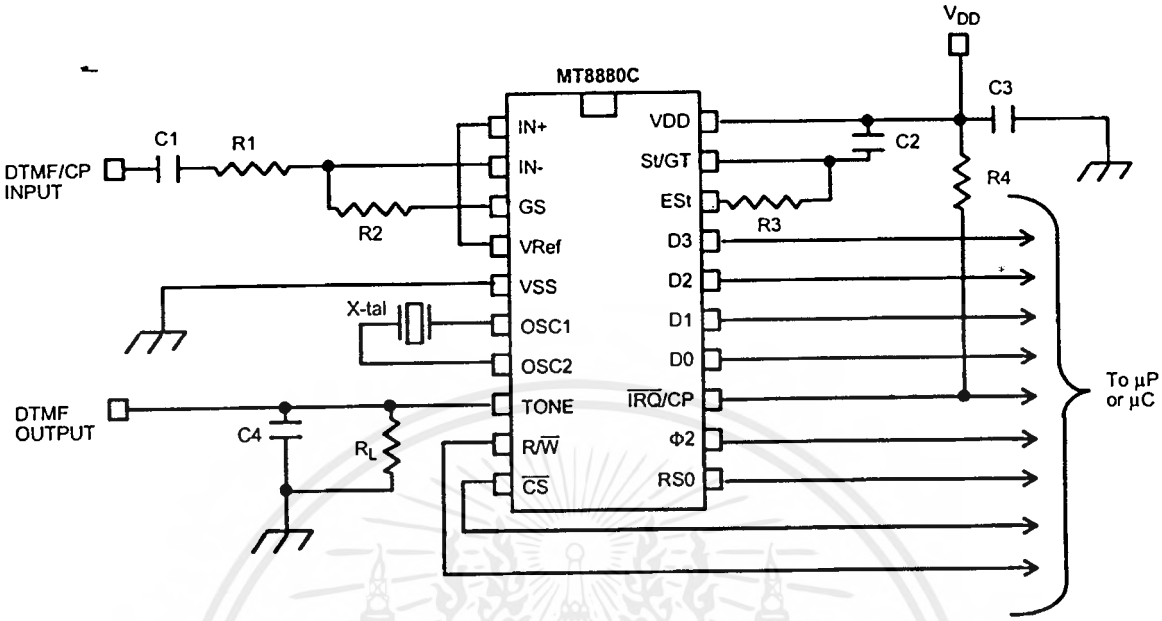
BIT	NAME	FUNCTION	DESCRIPTION
b0	BURST	BURST MODE	A logic '0' enables the burst mode. When this mode is selected, data corresponding to the desired DTMF tone pair can be written to the Transmit Register resulting in a tone burst of a specific duration (see AC Characteristics). Subsequently, a pause of the same duration is induced. Immediately following the pause, the Status Register is updated indicating that the Transmit Register is ready for further instructions and an interrupt will be generated if the interrupt mode has been enabled. Additionally, if call progress (CP) mode has been enabled, the burst and pause duration is increased by a factor of two. When the burst mode is not selected (logic '1') tone bursts of any desired duration may be generated.
b1	TEST	TEST MODE	By enabling the test mode (logic'1'), the $\overline{IRQ}$/CP pin will present the delayed steering (inverted) signal from the DTMF receiver. Refer to Figure 9 (b3 waveform) for details concerning the output waveform. DTMF mode must be selected (CRA b1=0) before test mode can be implemented.
b2	S/$\overline{D}$	SINGLE /DUAL TONE GENERATION	A logic '0' will allow Dual Tone Multi-Frequency signals to be produced. If single tone generation is enabled (logic '1'), either row or column tones (low group or high group) can be generated depending on the state of b3 in Control Register B.
b3	C/$\overline{R}$	COLUMN/ROW TONES	When used in conjunction with b2 (above) the transmitter can be made to generate single row or single column frequencies. A logic '0' will select row frequencies and a logic '1' will select column frequencies.

Table 6. Control Register B Description

BIT	NAME	STATUS FLAG SET	STATUS FLAG CLEARED
b0	IRQ	Interrupt has occurred. Bit one (b1) or bit two (b2) is set.	Interrupt is inactive. Cleared after Status Register is read.
b1	TRANSMIT DATA REGISTER EMPTY (BURST MODE ONLY)	Pause duration has terminated and transmitter is ready for new data.	Cleared after Status Register is read or when in non-burst mode.
b2	RECEIVE DATA REGISTER FULL	Valid data is in the Receive Data Register.	Cleared after Status Register is read.
b3	$\overline{\text{DELAYED STEERING}}$	Set upon the valid detection of the absence of a DTMF signal.	Cleared upon the detection of a valid DTMF signal.

Table 7. Status Register Description

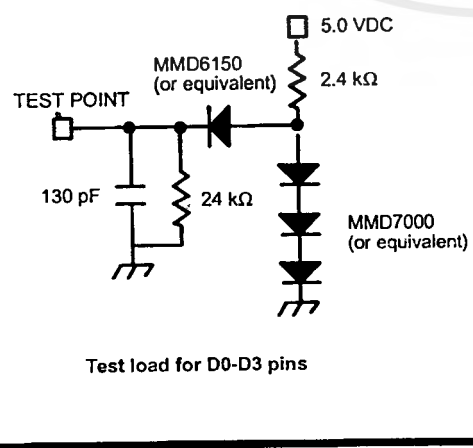
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



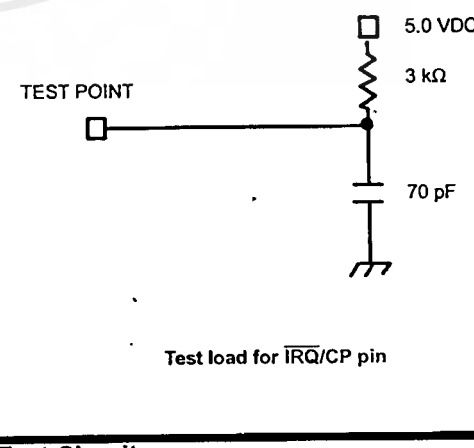
Notes:
R1, R2 = 100 kΩ 1%
R3 = 374 kΩ 1%
R4 = 3.3 kΩ 10%
R_L = 10 k Ω (min.)
C1 = 100 nF 5%
C2 = 100 nF 5%
C3 = 100 nF 10%*
C4 = 10 nF 10%
X-tal = 3.579545 MHz

* Microprocessor based systems can inject undesirable noise into the supply rails. The performance of the MT8880 can be optimized by keeping noise on the supply rails to a minimum. The decoupling capacitor (C3) should be connected close to the device and ground loops should be avoided.

Figure 13 - Application Circuit (Single-Ended Input)



Test load for D0-D3 pins



Test load for IRQ/CP pin

Figure 14 - Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

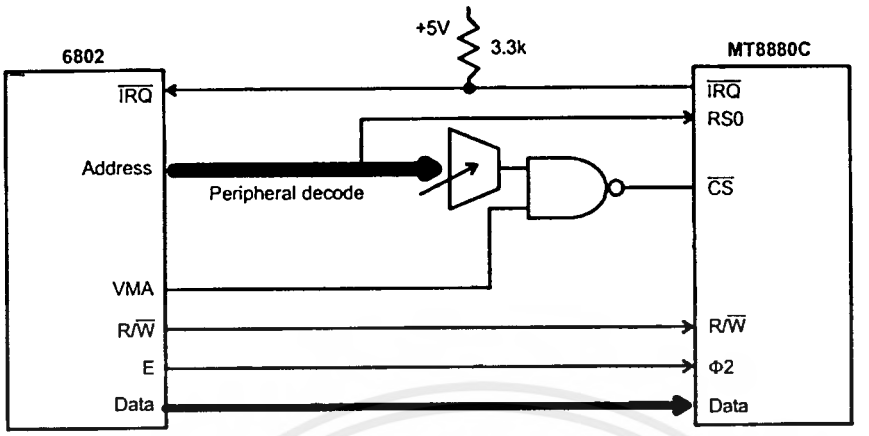


Figure 15 - MT8880C to 6802 Interface

EXAMPLE 1: A software reset must be included at the beginning of all programs to initialize the control registers after power up. The initialization procedure should be implemented 100ms after power up.

Description	**Control**			**Data**			
	$\overline{CS}$	**RS0**	**R/$\overline{W}$**	**b3**	**b2**	**b1**	**b0**
1) Read Status Register	0	1	1	X	X	X	X
2) Write to Control Register	0	1	0	0	0	0	0
3) Write to Control Register	0	1	0	0	0	0	0
4) Write to Control Register	0	1	0	1	0	0	0
5) Write to Control Register	0	1	0	0	0	0	0
6) Read Status Register	0	1	1	X	X	X	X

EXAMPLE 2: Transmit DTMF tones of 50 ms burst/50 ms pause and Receive DTMF Tones

Description	**$\overline{CS}$**	**RS0**	**R/$\overline{W}$**	**b3**	**b2**	**b1**	**b0**
1) Write to Control Register A (tone out, DTMF, $\overline{IRQ}$, Select Control Register B)	0	1	0	1	1	0	1
2) Write to Control Register B (burst mode)	0	1	0	0	0	0	0
3) Write to Transmit Data Register (send a digit 7)	0	0	0	0	1	1	1
wait for an interrupt or poll Status Register							
4) Read the Status Register	0	1	1	X	X	X	X
-if bit 1 is set, the Tx is ready for the next tone, in which case... Write to Transmit Register (send a digit 5)	0	0	0	0	1	0	1
-if bit 2 is set, a DTMF tone has been received, in which case.... Read the Receive Data Register	0	0	1	X	X	X	X
-if both bits are set...							
Read the Receive Data Register	0	0	1	X	X	X	X
Write to Transmit Data Register	0	0	0	0	1	0	1

NOTE: IN THE TX BURST MODE, STATUS REGISTER BIT 1 WILL NOT BE SET UNTIL 100 ms (±2 ms) AFTER THE DATA IS WRITTEN TO THE TX DATA REGISTER. IN EXTENDED BURST MODE THIS TIME WILL BE DOUBLED TO 200 ms (± 4 ms).

Figure 16 - Application Hints

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

	Parameter	Symbol	Min	Max	Units
1	Power supply voltage V_{DD}-V_{SS}	V_{DD}		6	V
2	Voltage on any pin	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Current at any pin (Except V_{DD} and V_{SS})			10	mA
4	Storage temperature	T_{ST}	-65	+150	°C
5	Package power dissipation	P_D		1000	mW

* Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Positive power supply	V_{DD}	4.75	5.00	5.25	V	
2	Operating temperature	T_O	-40		+85	°C	
3	Crystal clock frequency	f_{CLK}	3.575965	3.579545	3.583124	MHz	

‡ Typical figures are at 25 ° C and for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics† - V_{SS}=0 V.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	SUP	Operating supply voltage	V_{DD}	4.75	5.0	5.25	V	
2		Operating supply current	I_{DD}		7.0	11	mA	
3		Power consumption	P_C			57.8	mW	
4	INPUTS	High level input voltage (OSC1)	V_{IHO}	3.5			V	
5		Low level input voltage (OSC1)	V_{ILO}			1.5	V	
6		Steering threshold voltage	V_{TSt}	2.2	2.3	2.5	V	V_{DD}=5V
7	OUTPUTS	Low level output voltage (OSC2)	V_{OLO}			0.1	V	No load
8		High level output voltage (OSC2)	V_{OHO}	4.9			V	No load V_{DD}=5 V
9		Output leakage current (IRQ)	I_{OZ}		1	10	µA	V_{OH}=2.4 V
10		V_{Ref} output voltage	V_{Ref}	2.4	2.5	2.6	V	No load, V_{DD}=5V
11		V_{Ref} output resistance	R_{OR}		1.3		kΩ	
12	Digital*	Low level input voltage	V_{IL}			0.8	V	
13		High level input voltage	V_{IH}	2.0			V	
14		Input leakage current	I_{IZ}			10	µA	V_{IN}=V_{SS} to V_{DD}
15	Data Bus	Source current	I_{OH}	-1.4	-6.6		mA	V_{OH}=2.4V
16		Sink current	I_{OL}	2.0	4.0		mA	V_{OL}=0.4V
17	ESt and StGt	Source current	I_{OH}	-0.5	-3.0		mA	V_{OH}=4.6V
18		Sink current	I_{OL}	2	4		mA	V_{OL}=0.4V
19	$\overline{IRQ}$/CP	Sink current	I_{OL}	4	16		mA	V_{OL}=0.4V

† Characteristics are over recommended operating conditions unless otherwise stated.
‡ Typical figures are at 25 ° C, V_{DD} =5V and for design aid only: not guaranteed and not subject to production testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

Gain Setting Amplifier - Voltages are with respect to ground (V_{SS}) unless otherwise stated, V_{SS}= 0V.

	Characteristics	Sym	Min	Typ	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}	10			MΩ	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	
6	DC open loop voltage gain	A_{VOL}	40			dB	C_L = 20p
7	Unity gain bandwidth	BW	1.0			MHz	C_L = 20p
8	Output voltage swing	V_O	0.5		V_{DD}-0.5	V	$R_L \ge 100$ kΩ to V_{SS}
9	Allowable capacitive load (GS)	C_L			100	pF	PM>40°
10	Allowable resistive load (GS)	R_L	50			kΩ	V_O = 4Vpp
11	Common mode range	V_{CM}	1.0		V_{DD}-1.0	V	R_L = 50kΩ

Figures are for design aid only: not guaranteed and not subject to production testing.
Characteristics are over recommended operating conditions unless otherwise stated.

MT8880C AC Electrical Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	R X	Valid Input signal levels (each tone of composite signal)		-29			dBm	1,2,3,5,6,9
				27.5			mV_{RMS}	1,2,3,5,6,9
						+1	dBm	1,2,3,5,6,9
						869	mV_{RMS}	1,2,3,5,6,9

† Characteristics are over recommended operating conditions (unless otherwise stated) using the test circuit shown in Figure 13.

AC Electrical Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated. f_C=3.579545 MHz.

		Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	R X	Positive twist accept				8	dB	2,3,6,9
2		Negative twist accept				8	dB	2,3,6,9
3		Freq. deviation accept		±1.5%±2Hz				2,3,5,9
4		Freq. deviation reject		±3.5%				2,3,5
5		Third tone tolerance			-16		dB	2,3,4,5,9,10
6		Noise tolerance			-12		dB	2,3,4,5,7,9,10
7		Dial tone tolerance			22		dB	2,3,4,5,8,9,11

† Characteristics are over recommended operating conditions unless otherwise stated.
‡ Typical figures are at 25 °C, V_{DD} = 5V, and for design aid only: not guaranteed and not subject to production testing.
* See "Notes" following AC Electrical Characteristics Tables.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† - Call Progress - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Lower freq. (ACCEPT)	f_{LA}		320		Hz	@ -25 dBm
2	Upper freq. (ACCEPT)	f_{HA}		510		Hz	@ -25 dBm
3	Lower freq. (REJECT)	f_{LR}		290		Hz	@ -25 dBm
4	Upper freq. (REJECT)	f_{HR}		540		Hz	@ -25 dBm
5	Call progress tone detect level (total power)		-30			dBm	

† Characteristics are over recommended operating conditions unless otherwise stated
‡ Typical figures are at 25 °C, V_{DD} = 5V, and for design aid only: not guaranteed and not subject to production testing
* See "Notes" AC Electrical Characteristics Tables

AC Electrical Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	RX	Tone present detect time	t_{DP}	3	11	14	ms	Note 12
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 12
3		Tone duration accept	t_{REC}			40	ms	User adjustable#
4		Tone duration reject	$t_{\overline{REC}}$	20			ms	User adjustable#
5		Interdigit pause accept	t_{ID}			40	ms	User adjustable#
6		Interdigit pause reject	t_{DO}	20			ms	User adjustable#
7		Delay St to b3	t_{PStb3}		13		µs	
8		Delay St to RX_0-RX_3	t_{PStRX}		8		µs	
9	TX	Tone burst duration	t_{BST}	50		52	ms	DTMF mode
10		Tone pause duration	t_{PS}	50		52	ms	DTMF mode
11		Tone burst duration (extended)	t_{BSTE}	100		104	ms	Call Progress mode
12		Tone pause duration (extended)	t_{PSE}	100		104	ms	Call Progress mode
13	TONE OUT	High group output level	V_{HOUT}	-6.1		-2.1	dBm	R_L=10kΩ
14		Low group output level	V_{LOUT}	-8.1		-4.1	dBm	R_L=10kΩ
15		Pre-emphasis	dB_P		2	3	dB	R_L=10kΩ
16		Output distortion (Single Tone)	THD		-35		dB	25 kHz Bandwidth R_L=10kΩ
17		Frequency deviation	f_D		±0.7	±1.5	%	f_C=3.579545 MHz
18		Output load resistance	R_{LT}	10		50	kΩ	
19	MPU INTERFACE	Φ2 cycle period	t_{CYC}		250		ns	
20		Φ2 high pulse width	t_{CH}		115		ns	
21		Φ2 low pulse width	t_{CL}		110		ns	
22		Φ2 rise and fall time	t_R, t_F			25	ns	
23		Address, R/$\overline{W}$ hold time	t_{AH},t_{RWH}	26			ns	
24		Address, R/$\overline{W}$ setup time (before Φ2)	t_{AS},t_{RWS}	23			ns	
25		Data hold time (read)	t_{DHR}	22			ns	*
26		Φ2 to valid data delay (read)	t_{DDR}			100	ns	200 pF load
27		Data setup time (write)	t_{DSW}	45			ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics† (Cont'd) - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
28		Data hold time (write)	t_{DHW}	10			ns	
29		Input Capacitance (data bus)	C_{IN}		5		pF	
30		Output Capacitance ($\overline{IRQ}$/CP)	C_{OUT}		5		pF	
31	DTMF CLK	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
32		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
33		Clock input duty cycle	t_{HLCL}			110	ns	Ext. clock
34		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
35		Capacitive load (OSC2)	C_{LO}			30	pF	

† Timing is over recommended temperature & power supply voltages.
‡ Typical figures are at 25 °C and for design aid only: not guaranteed and not subject to production testing.
* The data bus output buffers are no longer sourcing or sinking current by t_{DHR}.
# See Figure 6 regarding guard time adjustment.

NOTES: 1) dBm=decibels above or below a reference power of 1 mW into a 600 ohm load.
2) Digit sequence consists of all 16 DTMF tones.
3) Tone duration=40 ms. Tone pause=40 ms.
4) Nominal DTMF frequencies are used.
5) Both tones in the composite signal have an equal amplitude.
6) The tone pair is deviated by ±1.5%±2 Hz.
7) Bandwidth limited (3 kHz) Gaussian noise.
8) The precise dial tone frequencies are 350 and 440 Hz (±2%).
9) For an error rate of less than 1 in 10,000.
10) Referenced to the lowest amplitude tone in the DTMF signal.
11) Referenced to the minimum valid accept level.
12) For guard time calculation purposes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

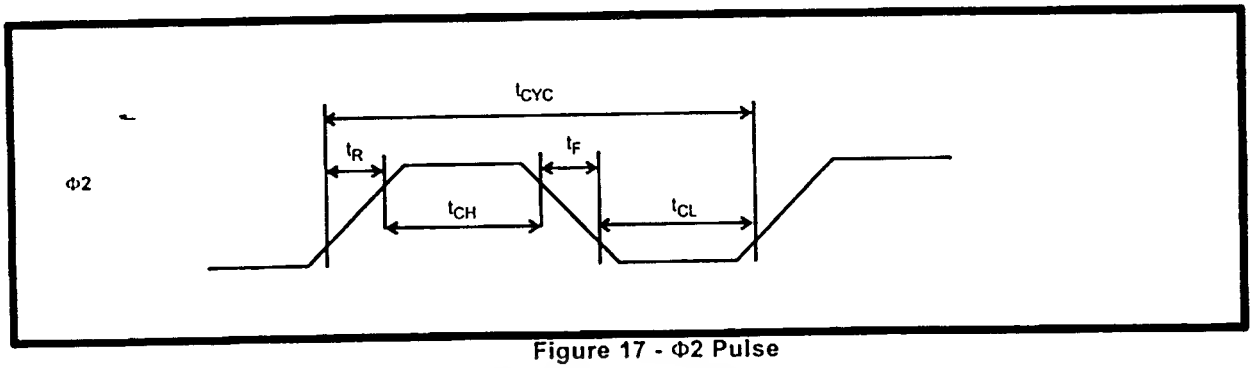


Figure 17 - Φ2 Pulse

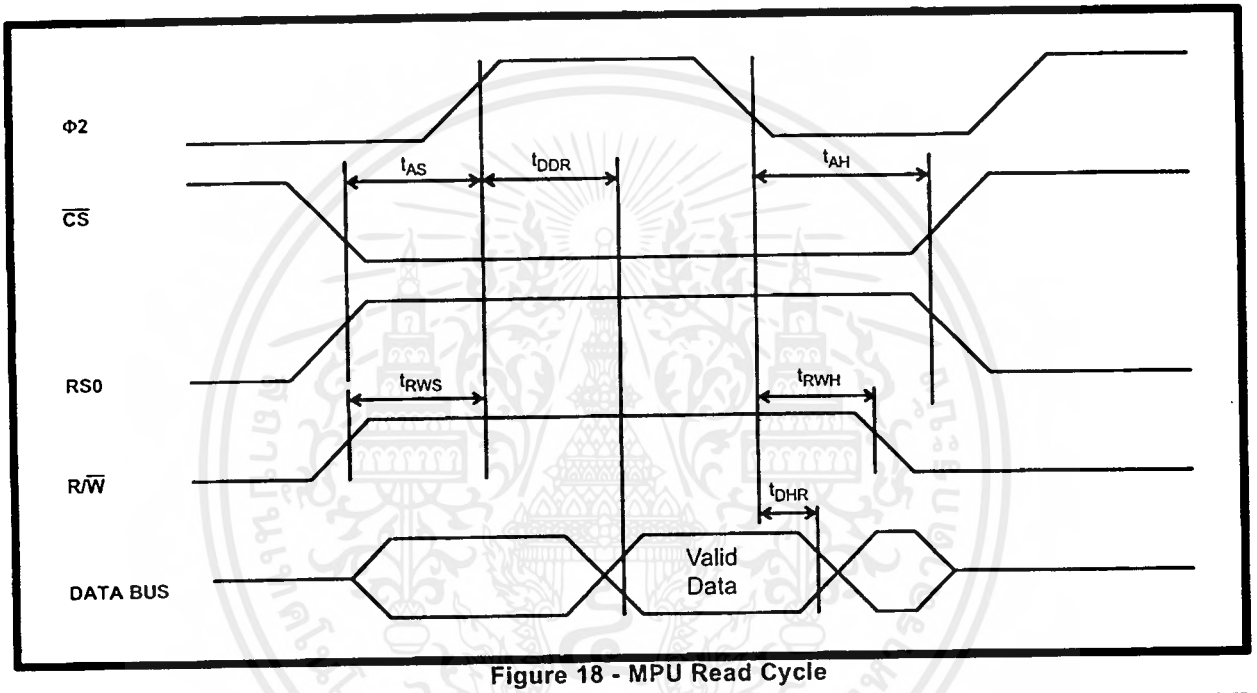


Figure 18 - MPU Read Cycle

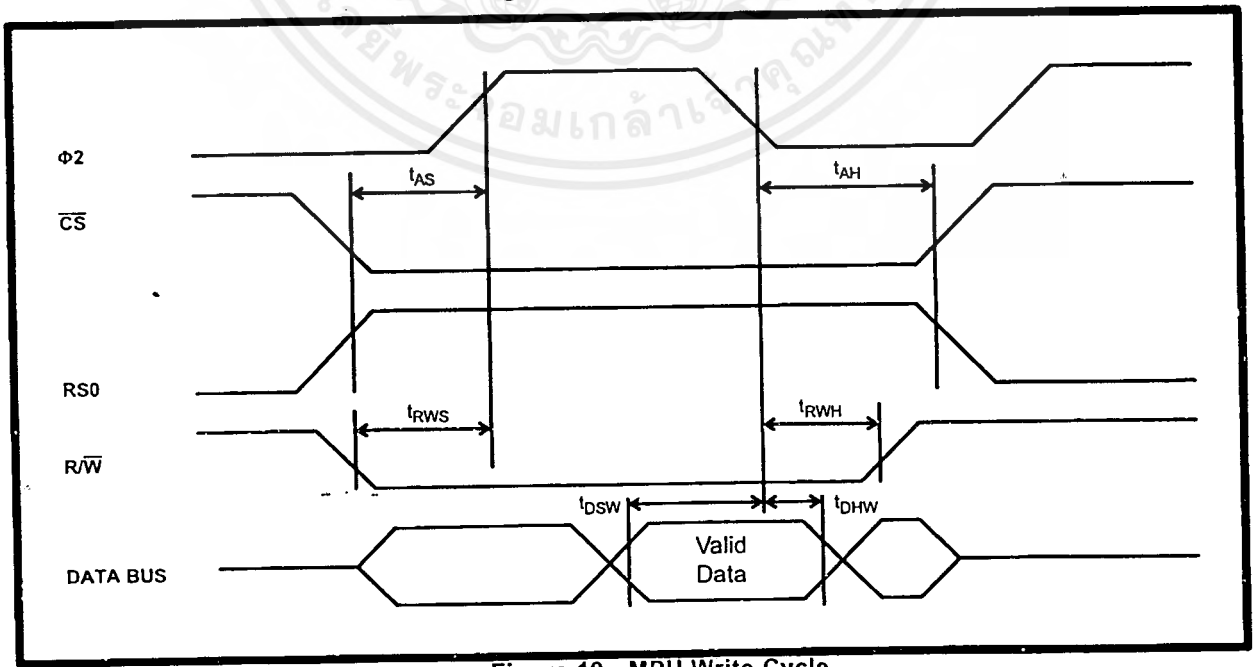


Figure 19 - MPU Write Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้