สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# เครื่องป้องกันการดักฟังเสียงแบบดิจิตอล

# DIGITAL VOICE SCRAMBLER

T037160

โดย

นายวรครินทร์ สุทธิพันธ์

นายวัลลภ ครบถ้วน

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน.....37160
วัน, เดือน, ปี.....- 4 ก.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เครื่องป้องกันการดักฟังเสียงแบบดิจิตอล

# DIGITAL VOICE SCRAMBLER


โดย

นายวรครินทร์ สุทธิพันธ์ 40013018

นายวัลลภ ครบถ้วน 40013021

อาจารย์ที่ปรึกษา

ดร.สุทธิชัย นพนาคีพงศ์


ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

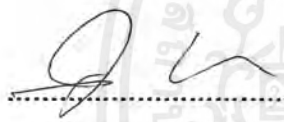
เรื่อง **เครื่องป้องกันการดักฟังเสียงแบบดิจิตอล**

**DIGITAL VOICE SCRAMBLER**


ผู้จัดทำ

**1.นายวรครินทร์ สุทธิพันธ์ 40013018**

**2.นายวัลลภ ครบถ้วน 40013021**

..... อาจารย์ที่ปรึกษา

**(ดร.สุทธิชัย นพนาคีพงศ์)**


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เครื่องป้องกันดักฟังเสียงแบบดิจิตอล

# DIGITAL VOICE SCRAMBLER

โดย นายวรครินทร์ สุทธิพันธ์ 40013018
นายวัลลภ ครบถ้วน 40013021
อาจารย์ที่ปรึกษา ดร.สุทธิชัย นพนาคีพงศ์

บทคัดย่อ

โครงงานเครื่องป้องกันการดักฟังเสียงแบบดิจิตอล ถูกออกแบบมาเพื่อใช้ในการป้องกันการดักฟังข่าวสารในการสนทนา หลักการทำงานจะทำการแปลงสัญญาณเสียงที่เป็นสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล แล้วนำไปทำการเข้ารหัส(scramble) จากนั้นจะนำสัญญาณดิจิตอลไปมอดดูเลตให้เป็นสัญญาณอนาลอกตัวใหม่ เพื่อให้สามารถส่งผ่านสายส่งมายังด้านรับได้ ทางด้านรับก็จะดีมอดดูเลตสัญญาณให้เป็นดิจิตอล แล้วจึงส่งผ่านไปยังวงจรถอดรหัส(descramble)ที่ด้านรับ แล้วนำสัญญาณดิจิตอลที่ได้แปลงกลับเป็นสัญญาณเสียงอนาลอกดังเดิม

**ABSTRACT**

The object of this project is designed for digital voice scrambling. The process of this project is to convert analog voice signal to digital signal and send it to a scrambler circuit. The digital signal will be modulated and converted to analog signal. And send this signal to a receiver. Then, receiver will be demodulated and converted to digital signal. After that signal to a receiver will be demodulated and converted to digital signal. After that send this signal to a descrambler. Finally this signal will be converted to the analog voice signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ


| บทที่ | หน้า |
|---|---|
| 1. บทนำ | 1 |
| 2. ทฤษฎีและหลักการ | 2 |
| 2.1 หลักการทำงานโดยทั่วไป | 2 |
| 2.2 เดลต้ามอดูเลชั่น (Delta Modulation) | 4 |
| 2.3 Variable Slope Delta Modulation (VSDM) | 8 |
| 2.4 Continuously Variable Slope Delta Modulation (CVSD) | 10 |
| 2.5 เอฟเอสเค มอดูเลชั่น ( FSK Modulation) | 11 |
| 2.6 เอฟเอสเค ดีมอดูเลชั่น (FSK Demodulation) | 15 |
| 2.7 เฟสล็อกลูป (Phase Lock Loop : PLL) | 16 |
| 2.8 วงจรกรองสัญญาณ (Filter) | 21 |
| 2.9 การเข้ารหัสและการถอดรหัส (Scramble and Descramble) | 24 |
| 2.10 เซล์ฟซิงโครนัสซแครมเบิล (Self Synchronous Scrambling : SSS) | 27 |
| 3. การสร้างและการออกแบบ | 38 |
| 3.1 วงจรกรองสัญญาณ | 38 |
| 3.2 การออกแบบ FSK Modulator | 41 |
| 3.3 การออกแบบ FSK Demodulator | 43 |
| 3.4 การออกแบบตัวเข้ารหัส(Scrambler) และตัวถอดรหัส(Descrambler) | 45 |
| 3.5 การออกแบบวงจรแปลงสัญญาณอนาลอกและดิจิตอล | 47 |
| 3.6 วงจรคูณและหารความถี่ 8 เท่า | 51 |
| 3.7 วงจรรวมสัญญาณ | 53 |
| 3.8 วงจรสร้างสัญญาณนาฬิกา | 54 |
| 4. การทดลองและผลการทดลอง | 55 |
| 5. บทวิจารณ์ผลการทดลอง | 65 |
| ภาคผนวก | |
| กิตติกรรมประกาศ | |
| หนังสืออ้างอิง | |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป


| รูปที่ | | หน้า |
|---|---|---|
| 2.1 | Block Diagram ของวงจรป้องกันการดักฟังแบบดิจิตอล | 3 |
| 2.2 | ตัวอย่างของเดลต้ามอดูเลชั่น (DM) | 4 |
| 2.3 | ขบวนการของเดลต้ามอดูเลชั่น | 5 |
| 2.4 | การทำงานของเดลต้ามอดูเลชั่น | 6 |
| 2.5 | บล็อกไดอะแกรมแสดงการทำงานของ VSDM | 9 |
| 2.6 | การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลของ CVSD | 10 |
| 2.7 | การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกของ CVSD | 10 |
| 2.8 | โครงสร้างภายในของ CVSD | 11 |
| 2.9 | FSK Modulator | 12 |
| 2.10 | การเบี่ยงเบนความถี่ | 13 |
| 2.11 | PLL-FSK demodulator | 15 |
| 2.12 | วงจรพื้นฐานของเฟสล็อกลูป | 16 |
| 2.13 | แบบจำลองของเฟสล็อกลูป | 17 |
| 2.14 | คุณสมบัติโอนย้ายอนาล็อกเฟสดีเทคเตอร์ | 18 |
| 2.15 | แสดงโครงสร้างเฟสล็อกลูปสำหรับการสังเคราะห์ความถี่ | 18 |
| 2.16 | แสดงวงจรแบบพาสซีฟ | 21 |
| 2.17 | แสดงวงจรกรองแบบแอคทีฟ | 22 |
| 2.18 | วงจรกรองความถี่ต่ำผ่าน | 22 |
| 2.19 | วงจรกรองความถี่สูงผ่าน | 23 |
| 2.20 | วงจรกรองแถบความถี่ผ่าน | 23 |
| 2.21 | วงจรกรองแบบตัดแถบความถี่ | 24 |
| 2.22 | ตัวเข้ารหัส | 24 |
| 2.23 | ตัวถอดรหัส | 25 |
| 2.24 | ตัวเข้ารหัสโปรแกรมได้ | 25 |
| 2.25 | ตัวถอดรหัสโปรแกรมได้ | 26 |
| 2.26 | การเกิดกระจกเงา | 27 |
| 2.27 | Block Diagram พื้นฐานของระบบ SSS | 28 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.28 SSS scrambler characteristic polynomial $\psi(x) = x^7 + x + 1$ 30
2.29 SSS descrambler characteristic polynomial $\psi(x) = x^7 + x + 1$ 34
3.1 วงจร กรองความถี่ต่ำผ่านอันดับสี่แบบบัตเตอร์เวิร์ธ 39
3.2 วงจร Second – Order Positive-Feedback Band-Pass Filter 41
3.3 วงจร FSK Modulator 43
3.4 วงจร FSK demoulator 45
3.5 บล็อคไดอะแกรม การเข้ารหัสและ การถอดรหัสที่ใช้ 46
3.6 แสดงวงจรภาคเข้ารหัส 47
3.7 แสดงวงจรภาคถอดรหัส 47
3.8 วงจรเข้ารหัสสัญญาณเสียง 48
3.9 วงจรเดลต้ามอดดูเลเตอร์ 50
3.10 วงจรเดลต้าดีมอดดูเลเตอร์ 51
3.11 วงจรคูณความถี่ 8 เท่า 52
3.12 วงจรหารความถี่ 8 เท่า 52
3.13 วงจรรวมสัญญาณ 53
3.14 วงจรสร้างสัญญาณนาฬิกา 54
4.1 สัญญาณนาฬิกา 55
4.2 การเข้ารหัส sine 1 kHz. 55
4.3 การเข้ารหัส (scrambling) data 01011010... 56
4.4 การเข้ารหัส (scrambling) data 01110011... 56
4.5 การเข้ารหัส (scrambling) data 11010011... 57
4.6 FSK signal mark frequency 57
4.7 FSK signal space frequency 58
4.8 เอาท์พุท FSK ดีมอดูเลเตอร์ 58
4.9 เอาท์พุท FSK ดีมอดูเลเตอร์ 59
4.10 เอาท์พุท FSK ดีมอดูเลเตอร์ 59
4.11 การถอดรหัส (descrambling) data 01011010... 60
4.12 การถอดรหัส (descrambling) data 01110011... 60
4.13 การถอดรหัส (descrambling) data 11010011... 61
4.14 การ decode data จาก อินพุท sine 500 Hz. 61
4.15 การ decode data จาก อินพุท sine 1 kHz. 62
4.16 ผลตอบสนองความถี่วงจรกรองความถี่ต่ำผ่าน คัทออฟ 3.5 kHz. 62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.17 ผลตอบสนองความถี่วงจรกรองความถี่ต่ำผ่านคัทออฟ 40 kHz. 63
4.18 ผลตอบสนองความถี่วงจรกรองความถี่แถบผ่านคัทออฟ 128 kHz. 63
4.19 การสร้างสัญญาณไพลอท 128 kHz. 64
4.20 สัญญาณเอาท์พุทวงจรรวม 64
4.21 การกู้สัญญาณนาฬิกาที่ภาครับ 65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง


| ตารางที่ | | หน้า |
|---|---|---|
| 2.1 | Bassel Function Table | 14 |
| 2.2 | state vector $d_k$ และ scrambled signal $\{\widetilde{b}_k\}$ของระบบ เข้ารหัส | 32 |
| 2.3 | state vector $\hat{d}_k$ และ descrambled signal $\{\hat{b}_k\}$ | 35 |




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่1
# บทนำ

ยุคในปัจจุบันนี้ถือว่าเป็นยุคแห่งการสื่อสาร การติดต่อสื่อสารเป็นสิ่งจำเป็นมากสำหรับทุกวงการ ทั้งในราชการ วงการธุรกิจ และประชาชนทั่วไป จึงได้มีการพัฒนาระบบการสื่อสารขึ้นมามากมายหลายประเภทเพื่อเพิ่มความสะดวกรวดเร็วประหยัดค่าใช้จ่ายและเวลา เช่น โทรศัพท์แบบต่างๆระบบวิทยุกระจายเสียง ระบบโทรทัศน์เป็นต้น ข้อมูลที่ส่งผ่านระบบดังกล่าวส่วนใหญ่จะเป็นข้อมูลที่ใช้ติดต่อกันทั่วไป ข้อมูลวิชาการหรือข้อมูลบันเทิงต่างๆที่ไม่เป็นความลับแต่อย่างใดแต่การติดต่อระหว่างหน่วยงานที่สำคัญ บางครั้งต้องคำนึงถึงความปลอดภัยในการกระจายข่าวสาร เช่น การสื่อสารผ่านระบบวิทยุมือถือหรือผ่านคู่สายโทรศัพท์ซึ่งถูกลักลอบดักฟังได้ง่ายอาจจะนำมาซึ่งความเสียหายจากการแพร่กระจายของข่าวนั้นได้

ดังนั้นการป้องกันการดักฟังจึงเป็นสิ่งสำคัญ ซึ่งวิธีการป้องกันการดักฟังสามารถทำได้หลายวิธีทั้งทางอนาลอกและทางดิจิตอล กล่าวคืออาจทำการเลื่อนหรือสลับสเปคตรัม (Spectrum) ของสัญญาณก่อนทำการส่งสัญญาณนั้นออกทางช่องทางการสื่อสาร หรือทำการดัดแปลงให้รูปสัญญาณผิดเพี้ยนไปจากเดิม หรือทำการกำเนิดสัญญาณรบกวนเทียมขึ้นในระบบส่ง เพื่อให้เครื่องรับโดยทั่วไปประสบปัญหาในการแยกสัญญาณรบกวนออกจากสัญญาณจริง

ในโครงงานนี้ จึงได้เลือกที่จะศึกษา ออกแบบและทดลองวงจรป้องกันการดักฟังสัญญาณเสียงแบบดิจิตอล โดยนำเอาสัญญาณเสียงแปลงเป็นสัญญาณดิจิตอล แล้วทำการเข้ารหัส(Scramble)โดยอาศัยหลักการเข้ารหัสแบบ SSS.(Self Synchronous Scrambling) ทำให้รูปแบบของสัญญาณเปลี่ยนไป ส่วนทางรับจำเป็นต้องทำการถอดรหัส(Descramble)โดยอาศัยหลักการเดียวกัน เพื่อให้สัญญาณดิจิตอลกลับมา เป็นการป้องกันไม่ให้ผู้รับที่อยู่นอกระบบรับรู้หรือเข้าใจข้อมูลที่เราทำการรับส่งกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

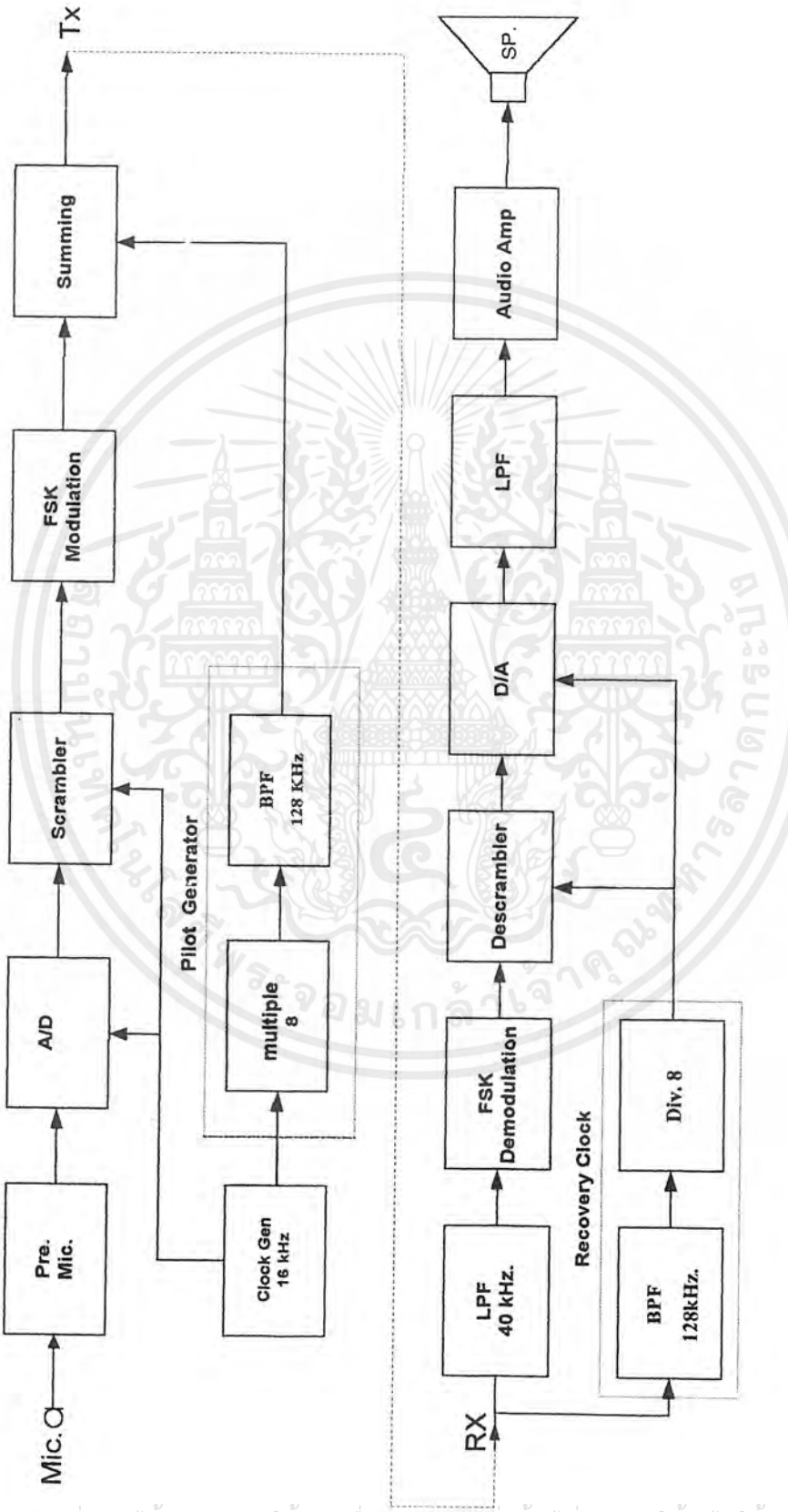
# บทที่2
# ทฤษฎีและหลักการ

## 2.1 หลักการทำงานโดยทั่วไป

ทางภาคส่งสัญญาณเสียงอินพุทที่เข้ามาจะถูกขยาย จากนั้นนำไปเข้ารหัสที่ส่วนของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล(A/D Converter) โดยส่วนนี้จะใช้การเข้ารหัสแบบเดลต้ามอดูเลชั่น โดยใช้สัญญาณนาฬิกา(Clock)จากวงจรสร้างสัญญาณนาฬิกา ในที่นี้จะใช้สัญญาณนาฬิกาความถี่ 16 kHz. ทำให้ได้สัญญาณดิจิตอลความเร็ว 16 kbps. ออกมา จากนั้นส่งต่อไปยังส่วนของการเข้ารหัสซึ่งจะใช้การเข้ารหัสแบบ SSS. โดยใช้ดีฟลิบฟลอบต่อร่วมกับเอกซ์คลูซีฟออร์เกท และใช้สัญญาณนาฬิกา 16 kHz. ซึ่งข้อดีของการเข้ารหัสแบบนี้คือ จะไม่คำนึงถึงสถานะเริ่มต้นของชิฟรีจิสเตอร์(ใช้ดีฟลิปฟลอปเป็นตัวชิฟข้อมูล)ที่ใช้ เนื่องจากสถานะจะซิงโครไนซ์(Synchronized) กันเองโดยอัตโนมัติ แต่ถ้าเป็นการเข้ารหัสแบบอื่นจะต้องมีการเซ็ทสถานะเริ่มต้นให้ตรงกันก่อนซึ่งมีความยุ่งยาก และเมื่อผ่านการเข้ารหัสเรียบร้อยแล้วจะนำไปมอดูเลทแบบ FSK (Frequency Shift Keying )เพื่อให้ได้เป็นสัญญาณอนาลอกออกมาแล้วนำสัญญาณ FSK ที่ได้มารวมกับสัญญาณไพลอท(Pilot) 128 kHz. ที่ได้จากการคูณสัญญาณนาฬิกา 16 kHz. แล้วใช้วงจรกรองความถี่แถบผ่าน (Band Pass Filter) กรองเอาสัญญาณชายน์ 128 kHz ออกมา เพื่อใช้ในการกู้สัญญาณนาฬิกาที่ภาครับ แล้วนำสัญญาณจากการรวมสัญญาณ FSK และ สัญญาณไพลอท (Pilot) 128 kHz. นี้ส่งออกไป

ส่วนทางภาครับสัญญาณที่เข้ามาจะถูกแยกเป็น 2 ทาง โดยส่วนแรกจะนำไปผ่านวงจรกรองความถี่ต่ำผ่าน(Low Pass Filter) เพื่อกรองเอาสัญญาณ FSK ออกมาและส่วนที่ 2 ก็จะนำมาผ่านวงจรกรองความถี่แถบผ่าน เพื่อกรองเอาสัญญาณไพลอท 128 kHz. ออกมาเพื่อนำมาทำการหารความถี่ให้ได้สัญญาณนาฬิกา 16 kHz. นำไปใช้ในส่วนของการถอดรหัสและวงจรแปลงสัญญาณดิจิตอลเป็น อนาลอก (D/A Converter) จากนั้นสัญญาณ FSK จะถูกเปลี่ยนเป็นสัญญาณดิจิตอลในส่วนของ FSK ดีมอทดูเลชั่นส่งต่อไปยังวงจรถอดรหัส เพื่อให้ได้สัญญาณข้อมูลจริงออกมาแล้วต่อส่งไปยังวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกและวงจรกรองความต่ำผ่าน เพื่อเปลี่ยนกลับเป็นสัญญาณเสียงตามเดิมจากนั้นนำมาผ่านวงจรขยายเสียงออกสู่ลำโพงต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 2.1 Block Diagram ของวงจรป้องกันการคัดฟังแบบดิจิตอล**

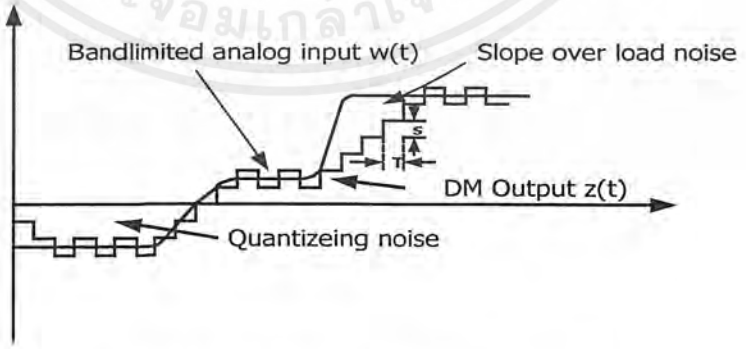
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.2 เดลต้ามอดูเลชั่น (Delta Modulation)**

วิธีการของเดลต้ามอดูเลชั่น ข้อมูลอนาลอกจะถูกประมาณค่าด้วยฟังก์ชันขั้นบันได (Staircase) ที่มีการเปลี่ยนแปลงขึ้นลงด้วยการจัดระดับที่แต่ละเวลาการสุ่มยกตัวอย่างดังรูป 2.2 (ค) จะเห็นฟังก์ชัน ขั้น-บันไดทาบทับอยู่บนรูปคลื่นอนาลอกของสัญญาณเดิม ลักษณะที่สำคัญของฟังก์ชันขั้นบันไดก็คือเป็นไบนารีโดยที่ในแต่ละเวลาการสุ่มฟังก์ชันจะมีการเลื่อนขึ้นลงเป็นจำนวนคงที่ซึ่งทำให้ได้เอาท์พุท ของเดลต้ามอดูเลชั่นเป็นเลขฐานสอง 1 ตัว สำหรับการสุ่มตัวอย่างการสุ่มสัญญาณ 1 ตัว นั่นคือ ขบวนของบิทข้อมูลจะถูกสร้างโดยการประมาณค่าของอนุพันธ์หรือการเปลี่ยนแปลงของสัญญาณ แทนที่จะเป็นการประมาณค่าของขนาดสัญญาณ

(ก) สัญญาณเดิม

(ข) เอาท์พุทของเดลต้ามอดูเลชั่น

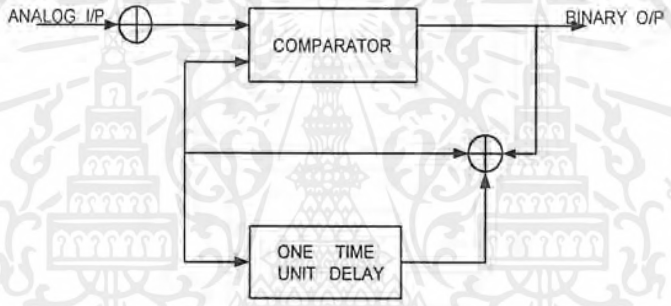



(ค) ฟังก์ชันขั้นบันไดเรียบเทียบสัญญาณเดิม

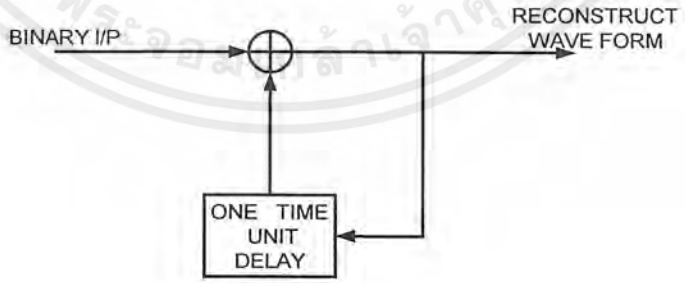
รูปที่ 2.2 ตัวอย่างของเดลต้ามอดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ "1" จะถูกสร้างขึ้นมาถ้าฟังก์ชันกำลังเพิ่มขึ้น และในทางตรงกันข้ามจะสร้าง "0" การเปลี่ยนแปลงขึ้นหรือลงที่เกิดขึ้นในแต่ละการสุ่มที่ขณะใดๆ ถูกเลือกเพื่อให้ฟังก์ชันขั้นบันไดติดตามรูปคลื่นสัญญาณอนาลอกได้อย่างใกล้ชิดเท่าที่จะเป็นไปได้ รูปที่ 2.3 แสดงกระบวนการของเดลต้ามอดูเลชั่น ซึ่งมีส่วนของกระบวนการป้อนกลับเป็นสำคัญ สำหรับแต่ละการส่งผ่านจะมีเหตุการณ์เกิดขึ้นดังนี้ ที่แต่ละตัวอย่างการสุ่ม การสุ่มที่ขณะใดๆสัญญาณอินพุทใดๆ สัญญาณอินพุทจะถูกเปรียบเทียบกับค่าการประมาณฟังก์ชันขั้นบันไดในเวลานั้น ถ้าค่าของรูปคลื่นที่ทำการสุ่มเกินค่าของฟังก์ชันขั้นบันได เลข "1" ก็จะถูกสร้างขึ้นมาและในทางกลับกัน "0" ก็จะถูกสร้างขึ้น ค่าไบนารีเหล่านี้จะถูกส่งเป็นเอาท์พุทออกไป ซึ่งจะนำไปใช้ประมาณค่าต่อไปของรูปคลื่นที่สร้างขึ้นใหม่ ค่าคงที่ $\delta$ จะถูกเพิ่มเข้าไปกับฟังก์ชันสำหรับค่าเอาท์พุท "1" และค่าคงที่ $\delta$ จะถูกหักลบออกไปสำหรับค่า "0" รูปที่ 2.3 แสดงให้เห็นถึงขบวนการในการสร้างขบวนของเลขฐานสองโดยใช้เดลต้ามอดูเลชั่น และในการรับเพื่อสร้างการประมาณฟังก์ชั่นขั้นบันได




(ก) ด้านส่ง



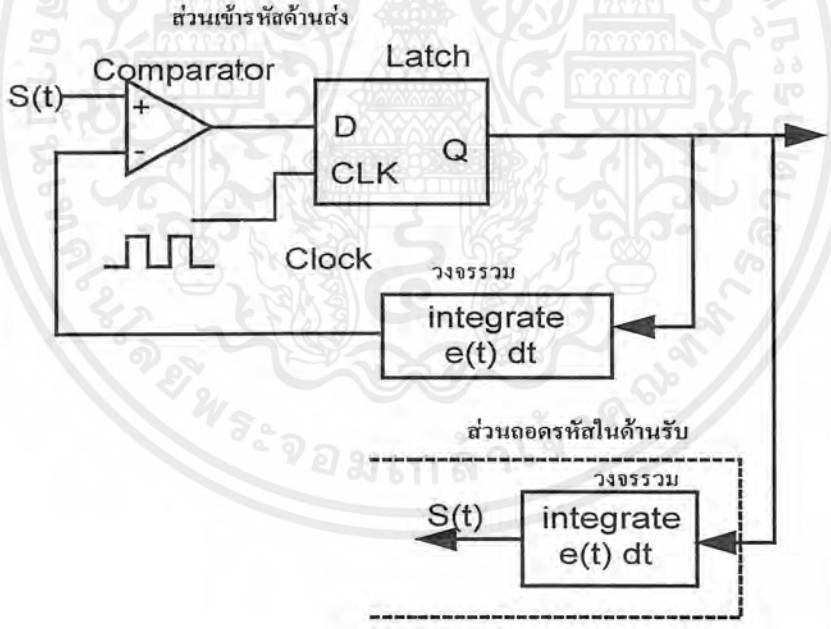

(ข) ด้านรับ

รูปที่ 2.3 ขบวนการของเดลต้ามอดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรเดลต้ามอดูเลชั่น แสดงได้ดังรูปที่ 2.4 ซึ่งประกอบด้วย 3 ส่วน คือวงจรเปรียบเทียบ ( comparator ) วงจรแลตช์ ( latch ) และ วงจรอินทิเกรเตอร์ ( Integrator )

ในการส่งสัญญาณในรูปของสัญญาณดิจิตอลมีการส่งได้หลายรูปแบบดังที่กล่าวมาแล้ว โดยแต่ละรูปแบบมีการมอดูเลตสัญญาณที่แตกต่างกันออกไปตามแต่ละวิธี และการมอดูเลตแบบเดลต้ามอดูเลชั่นได้มีการนำไปใช้งานในสัญญาณช่วงความถี่ที่ไม่สูงมากนัก เช่นสัญญาณเสียงหรือสัญญาณภาพ โดยขั้นตอนการทำงานของเดลต้ามอดูเลชั่นจะทำการเปรียบเทียบสัญญาณอินพุท [S(t)] ที่เข้ามามีค่ามากกว่าสัญญาณที่ป้อนกลับ [S'(t)] โดยผ่านวงจรอินทิเกรเตอร์โดยผลการเปรียบเทียบของสัญญาณอินพุท [S'(t)] จะได้สัญญาณลอจิกที่เอาท์พุท [e(t)] มีค่าเป็น 1 และทำการเพิ่มระดับสัญญาณที่ป้อนกลับ [S'(t)] ที่จะนำไปเปรียบเทียบอีกหนึ่งระดับ (h) และรอทำการเปรียบเทียบตามจังหวะสัญญาณนาฬิกาลูกต่อไป และในทางกลับกันเมื่อผลการเปรียบเทียบของสัญญาณอินพุท [S(t)] ที่เข้ามามีค่าน้อยกว่าสัญญาณที่ป้อนกลับ [S'(t)] จะได้สัญญาณลอจิกที่เอาท์พุท [e(t)] มีค่าเป็น 0 และทำการลดระดับสัญญาณที่ป้อนกลับ [S'(t)] ที่จะไปใช้เปรียบเทียบอีกระดับหนึ่งระดับ (h) และรอทำการเปรียบเทียบตามจังหวะนาฬิกาลูกต่อไปโดยจะเห็นดังรูปที่ 2.4




รูปที่ 2.4 การทำงานของเดลต้ามอดูเลชั่น encoder/decoder

และจากรูปที่ 2.4 จะเห็นว่ามีไอซีเปรียบเทียบ ที่จะทำการเปรียบเทียบสัญญาณอินพุท [S'(t)] ที่เข้ามากับสัญญาณที่ป้อนกลับ [S'(t)] ที่ผ่านวงจรอินทิเกรเตอร์และมีดีฟลิปฟลอป ซึ่งจะทำหน้าที่ตามจังหวะสัญญาณนาฬิกาทำให้ได้เอาท์พุทเป็นสัญญาณดิจิตอลออกมาและสัญญาณส่านหนึ่งจะส่งไปยังวงจรอินทิเกรเตอร์ ซึ่งประกอบด้วยวงจรไบนารี่ Up-Down และวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรอินทิเกรเตอร์ จะทำให้สัญญาณป้อนกลับ [S'(t)] ที่จะแปรเปลี่ยนค่าไปยังไอซีเปรียบเทียบ และในการปฏิบัติจะมีผลที่เกิดขึ้นซึ่งทำให้เกิดความผิดเพี้ยนของสัญญาณลอจิกที่เอาท์พุท [e(t)] กับสัญญาณอินพุท [S'(t)] ที่เข้ามาอันเนื่องมาจากสัญญาณอินพุท [S(t)] ที่เข้ามามีการลดลงอย่างรวดเร็ว ซึ่งเรียกว่าการเกิด สโลปโอเวอร์โหลด ดังที่เห็นดังรูป 2.4

รูปที่ 2.4 จะเห็นว่าสัญญาณอินพุท [S(t)] ที่เข้ามามีการเปลี่ยนแปลงอย่างรวดเร็วจนสัญญาณป้อนกลับ [S'(t)] ที่จะนำมาเปรียบเทียบลดลงไม่ทัน ทำให้เกิดความผิดพลาดของสัญญาณลอจิกที่เอาท์พุท [e(t)] มีค่าผิดพลาดจากความเป็นจริง ในการใช้งานของระบบเดลต้ามอดูเลชั่น จะต้องประกอบไปด้วยสัญญาณนาฬิกาที่เหมาะสม และมีระดับในการเพิ่มหรือลดค่าสัญญาณที่ป้อนกลับ [S'(t)] ที่เหมาะสมกับขนาดและความถี่ของสัญญาณอินพุท [S'(t)] ที่เข้ามา ถ้าค่าดังที่กล่าวมานี้มีค่าใดค่าหนึ่งไม่เหมาะสมกับสภาวะที่ใช้งานจะทำให้สัญญาณที่ได้รับผิดเพี้ยนไปได้

ในปรากฏการที่เกิดขึ้นของสโลปโอเวอร์โหลด (Slope-overload) ที่ทำให้สัญญาณดิจิตอลที่เอาท์พุทมีความผิดพลาดจากความเป็นจริง จึงมีการแก้ไขการเพิ่มค่าของ (h) ในการเพิ่มหรือลดลงโดยลักษณะการทำงานของวงจร จะทำการเพิ่มค่าเมื่อสัญญาณลอจิก 1 มาเกินสองครั้งติดต่อกันซึ่งแสดงถึงการเพิ่มขึ้นของสัญญาณอินพุท [S(t)] ที่เข้ามาอย่างรวดเร็ว ซึ่งมีผลทำให้ระดับการเพิ่มของ (h) มีค่ามากขึ้น และในทำนองเดียวกันเมื่อสัญญาณลอจิก 0 มาเกินสองครั้งติดต่อกันซึ่งแสดงถึงการลดลงของสัญญาณอินพุท [S(t)] ที่เข้ามาอย่างรวดเร็ว ซึ่งมีผลทำให้ระดับการลดลงของ (h) มีค่าเพิ่มมากขึ้น เพื่อชดเชยค่าของสัญญาณอินพุท [S(t)] ที่เปลี่ยนแปลงอย่างรวดเร็ว โดยการกระทำเช่นนี้จะทำให้สัญญาณดิจิตอลที่เอาท์พุท มีความผิดพลาดจากความเป็นจริงลดลง ซึ่งเรียกวิธีนี้ว่า Variable-Slope delta Modulator ( VSDM ) หรือ Continuously Variable-Slope Delta Modulation ( CVSD )

จากรูปที่ 2.4 จะเห็นว่ามีการใช้วงจรเข้ารหัสแบบเปรียบเทียบความแตกต่าง(differential encoder) ใช้วิธีการเปรียบเทียบสัญญาณสุ่มตัวอย่างใหม่กับขนาดของการสุ่มตัวอย่างก่อนหน้านี้ และแสดงระดับสัญญาณที่แตกต่างกับให้ด้านรับ ในด้านรับก็ทำการรวบรวมระดับสัญญาณที่แตกต่างเข้าด้วยกัน เพื่อสร้างรูปสัญญาณที่สมบูรณ์ แต่อาจจะพบปัญหาสัญญาณรบกวนหรือสัญญาณผิดพลาดในระบบที่เกิดขึ้นทางด้านรับ มีผลทำให้ผลลัพธ์ของสัญญาณทางด้านรับมีค่าแตกต่างจากทางด้านส่งได้ ปัญหาที่เกิดขึ้นมาเรียกว่า ลูปเปิด ( Open-loop ) หมายความถึงระดับสัญญาณที่แตกต่าง (difference signal ) แทนการเปลี่ยนแปลงของสัญญาณอินพุท แต่ไม่ใช่การเปลี่ยนแปลงของสัญญาณเอาท์พุทด้านรับ

การแก้ปัญหานี้ต้องกระทำโดยให้ด้านส่งรับรู้ (หรือคาดเดา) รูปสัญญาณเอาท์พุททางด้านรับได้ตลอดเวลา มีผลทำให้ระดับสัญญาณแตกต่างที่มีค่าถูกต้องกับการเปลี่ยนสัญญาณเอาท์พุททางด้านรับ

ส่วนถอดรหัสทางด้านส่ง มีการเพิ่มส่วนวงจร ทำหน้าที่คาดเดาสัญญารเอาท์พุทของด้านรับและใช้งานรวมกับวงจรเปรียบเทียบการสร้างระดับสัญญาณที่แตกต่าง คือ e(t) กำหนดให้สถานะของสัญญาณ e(t) มีสองสถานะดังนี้

1. ระดับบวก ( positive level ) หมายถึงค่าสัญญาณใหม่ คือ s(t) มีค่ามากกว่าสัญญาณเอาท์พุทก่อนหน้า แทนด้วน s'(t)
2. ระดับลบ ( negative level ) หมายถึง ค่า s(t) น้อยกว่า s'(t)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนวงจรแลตช์ ( Latch = D flip flop ) ทำหน้าที่หน่วงสัญญาณไปที่ช่วงเวลา 1 ช่วง ของการสุ่มตัวอย่าง เพื่อให้สัญญาณ s(t) สามารถเปรียบเทียบกับค่าสัญญาณเอาท์พุทก่อนหน้า s'(t) ได้เสมอ

อาจพอสรุปข้อดีของการมอดูเลทแบบ DM เมื่อเปรียบเทียบกับแบบ PCM ได้ดังนี้

1. มีความจุต่อข้อมูลของช่วงสัญญาณสูงกว่าในค่าอัตราของบิทที่เท่ากัน ช่วยลดค่าใช้จ่ายเกี่ยวกับช่องสัญญาณได้มาก
2. ไม่ต้องมีการซิงโครนัสของข้อมูล
3. มีโอกาสในการรบกวนของสัญญาณภายนอกระบบน้อยมาก

**2.3 VSDM ( Variable Slope Delta Modulation )**

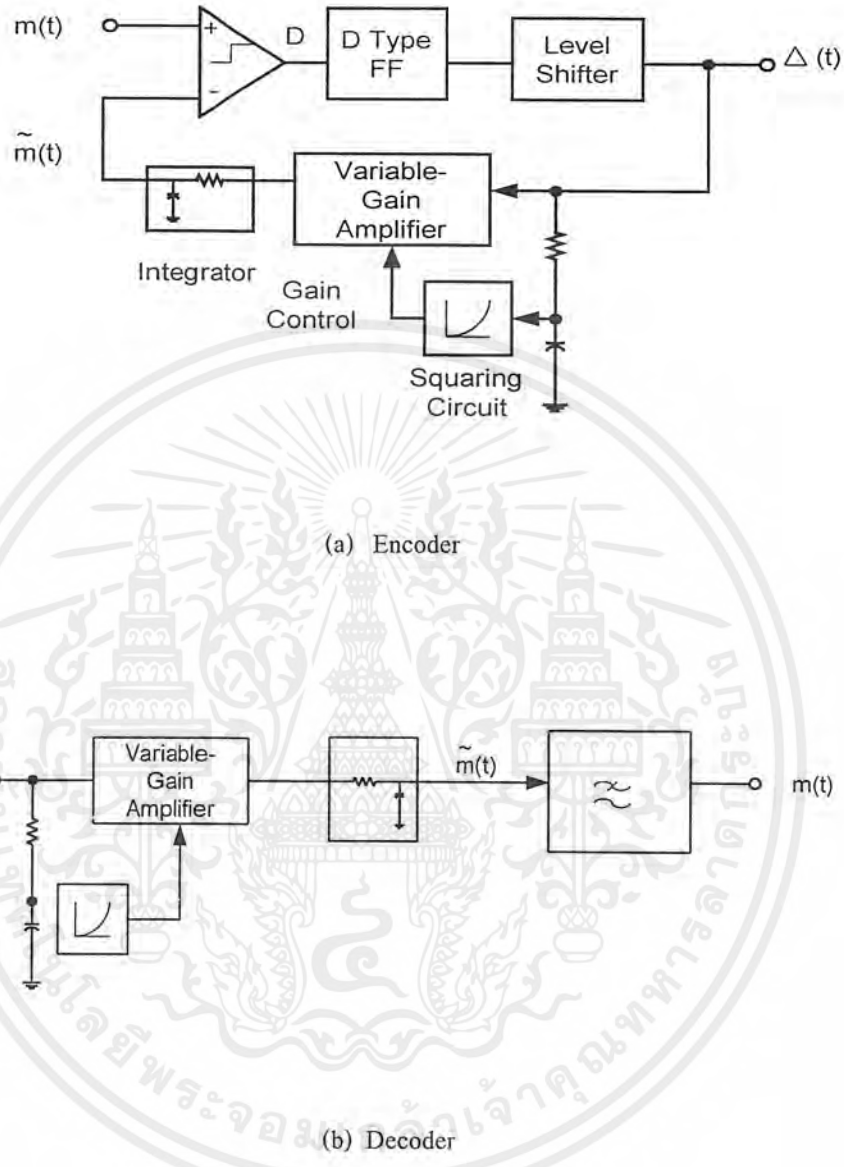
เมื่อเกิด Slope over load จะทำให้เกิดการผิดเพี้ยน (Distortion) ขึ้นซึ่งเป็นขีดจำกัดของเดลต้ามอดูเลชั่น เมื่อเกิด สโลปโอเวอร์โหลด ขึ้น ผลต่างของ m(t) และ m'(t) คือ m(t) m'(t) เราจะเรียกว่า สโลปโอเวอร์โหลดนอยส์ (slop over load noise )

เพื่อหาทางการแก้ไขการเกิดสโลปโอเวอร์โหลด จึงได้มีการพัฒนาระบบ VSDM ขึ้นมา VSDM ( Variable Slope Delta Modulation ) ซึ่งมีคุณสมบัติคือ สามารถเปลี่ยนแปลงค่าของสเต็ปไซด์ ได้ตามสัญญาณอินพุท เมื่ออินพุทมีขนาดเล็กสเต็ปไซด์จะถูกปรับให้มีขนาดเล็ก เมื่อสัญญาณอินพุทมีขนาดใหญ่ สเต็ปไซด์จะก็ถูกปรับให้มีขนาดใหญ่ด้วย ซึ่งการทำงานในลักษณะเช่นนี้จะทำให้เกิดสัญญาณรบกวน (Noise) ที่เกิดจากสโลปโอเวอร์โหลด ลดลงได้ ทำให้มีอัตราส่วนสัญญาณต่อสัญญาณรบกวน (singnal to noise ratio ) ดีขึ้น

การลดสัญญาณรบกวนควอนไตซ์ซิ่งในเดลต้ามอดูเลชั่น สามารถทำได้โดยการเพิ่มจำนวนบิทต่อค่าตัวอย่างการสุ่ม ( Sample ) ซึ่งจะเรียกว่า Variable Slope Delta Modulation (VSDM) ใน VSDM นั้น สโลปของเอาท์พุทของวงจรอินทิเกรเตอร์ จะเพิ่มขึ้นหรือลดลงจะขึ้นอยู่กับการเปลี่ยนแปลงของสัญญาณอินพุท ทำให้เกิดความต่อเนื่องของสัญญาณดีขึ้นและช่วยลดสโลปโอเวอร์โหลดในเครื่องรับส่งผลให้สัญญาณรบกวนควอนไตซ์ซิ่งลดลง

การเปลี่ยนแปลงของสโลปของเอาท์พุทของวงจรอิททิเกรเตอร์ อาจทำได้โดยการเปลี่ยนแปลงสเต็ปไซด์นั่นคือ สเต็ปไซด์จะมีขนาดใหญ่ เมื่อสัญญาณมีการเปลี่ยนแปลงระดับเร็ว และจะมีขนาดเล็กเมื่อมีการเปลี่ยนแปลงระดับสัญญาณอินพุทน้อยลงดังบล็อกไดอะแกรมแสดงการทำงานรูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.5 บล็อคไดอะแกรมแสดงการทำงานของ VSDM

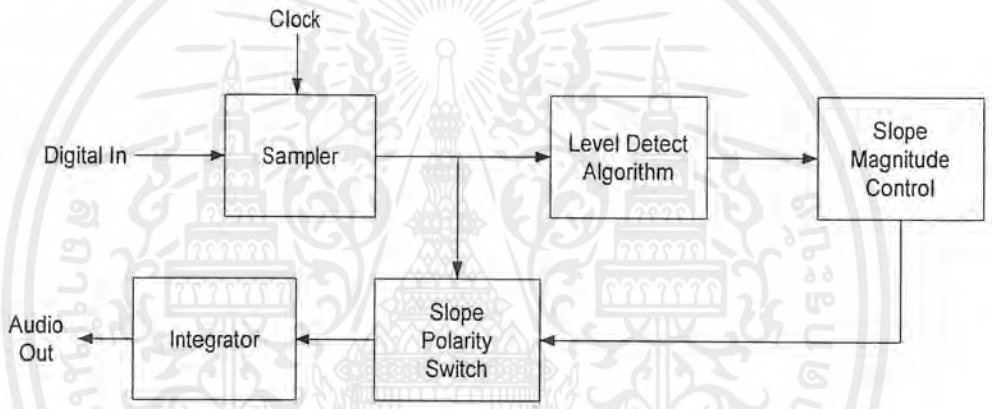
จากรูป 2.5 จะเห็นว่ามี square circuit เข้ามาช่วยทำให้ gain feed ของ back Amplifier สามารถเปลี่ยนแปลงได้โดยที่ gain feedback Amplifier จะมีค่าน้อย ๆ เมื่ออินพุทมีขนาดเล็ก และอัตราขยายจะมาก เมื่ออินพุทมีขนาดใหญ่ เมื่อเราสามารถเปลี่ยนแปลงอัตราขยายของแอมปลิไฟเออร์ ได้นั่นก็หมายความว่าเราสามารถที่จะปรับขนาดของสเต็ปไซด์ได้นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

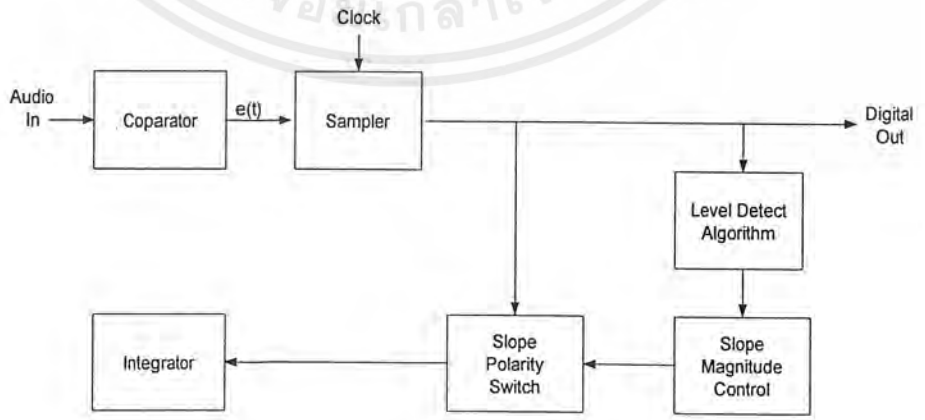
**2.4 CVSD ( Continuously Variable Slope Delta Modulation )**

ข้อจำกัดของเดลต้ามอดูเลชั่น ก็คือความกว้างของแถบความถี่ใช้งาน ซึ่งถูกกำจัดความถี่ด้วยสัญญาณนาฬิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุทมากกว่าสองเท่าขึ้นไป นอกจากนั้นความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ หรือไดนามิคเรนจ์ (Dynamic range) ในระบบเดลต้ามอดูเลชั่นทั่วไปมีค่าแคบ จำเป็นต้องมีส่วนเพิ่มเติมเพื่อทำหน้าที่ขยายไดนามิกเรนจ์ให้กว้างขึ้น โดยการควบคุมอัตราขยายของอินทิเกรเตอร์ (Gain control integrator ) เพื่อตอบสนองสัญญาณที่มีความชันมากได้ทัน ระบบใหม่ที่พัฒนาขึ้นมานี้เรียกว่า ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันอย่างต่อเนื่อง หรือ CVSD

แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงสัญญาณเสียงอนาลอกเป็นข้อมูลดิจิตอล และ ส่วนของการแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง แสดงดังรูป 2.6 และ 2.7 ตามลำดับ



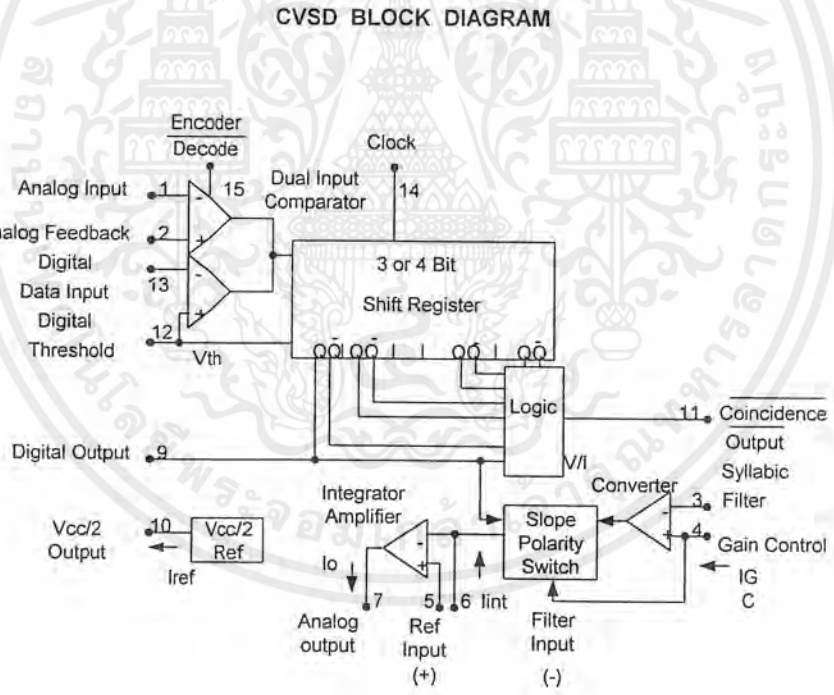

รูปที่ 2.6 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลของ CVSD




รูปที่ 2.7 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกของ CVSD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบภายในวงจรเดลต้ามอดดูเลชั่นประกอบด้วยวงจรเปรียบเทียบในส่วนของการแปลงอนาลอกเป็นดิจิตอล ( Forward path ) และวงจรอินทิเกรเตอร์ ในส่วนการแปลงกลับดิจิตอลเป็นอนาลอก ( Feedback path ) เพื่อใช้ในการควบคุมอัตราการควบคุมการขยายโดยที่อินพุทของวงจรเปรียบเทียบคือสัญญาณอนาลอกที่ต้องการแปลงเอาท์พุทที่ได้จากการอินทิเกรต เอาท์พุทที่ได้จากวงจรเปรียบเทียบ s(t) แสดงเครื่องหมายความแตกต่างระหว่างอินพุท (Input Voltage) กับเอาท์พุทของอินทิเกรเตอร์ซึ่งเป็นดิจิตอล แล้วใช้รีจิสเตอร์ภายในเก็บข้อมูลดิจิตอลที่เข้ามาล่าสุดนั้น ( ขนาด 3 หรือ 4 บิท ขึ้นกับเบอร์ไอซี ) แล้วทำการตรวจดูว่าเป็น " 0 " ทั้งหมดหรือ " 1 " ทั้งหมดหรือไม่ ถ้าเป็นเช่นนั้นแสดงว่าอัตราการขยายของอินทิเกรเตอร์ต่ำเกินไป ตอบสนองต่อความชันของสัญญาณไม่ทันต้องทำการเพิ่มอัตราขยายให้สูงขึ้นเฉพาะช่วงนั้น ในส่วนของการแปลงกลับจากดิจิตอลเป็นสัญญาณอนาลอก ก็มีการทำงานในลักษณะเดียวกัน คือ ดิจิตอลอินพุทที่เข้ามา จะถูกนำไปเปรียบเทียบกับระดับอ้างอิงดิจิตอล ( Digital threshold ) เมื่อได้เอาท์พุทออกมาเก็บไว้ในรีจิสเตอร์เช่นกัน ตรวจดูว่าข้อมูลเป็น " 0 " ทั้งหมด หรือ " 1 " ทั้งหมดหรือไม่ แล้วจัดการการควบคุมอัตราการขยายของอินทิเกรเตอร์ให้สอดคล้องกัน




รูปที่ 2.8 โครงสร้างภายในของ CVSD

**2.5 FSK Modulation**

ตัวกำเนิดสัญญาณ FSK ก็คือ ตัวส่งสัญญาณ FSK (FSK Transmitter) ซึ่งมีหลักการที่ว่ามีลักษณะเป็นข้อมูลที่เป็นสัญญาณดิจิตอลที่มีลักษณะเป็นข้อมูลไบนารีจะทำให้ความถี่เลื่อนหรือเบี่ยงเบนไปตามการเปลี่ยนแปลงของข้อมูลไบนารีที่เข้ามา ดังนั้นสัญญาณทางเอาท์พุทของตัวกำเนิด FSK จะอยู่

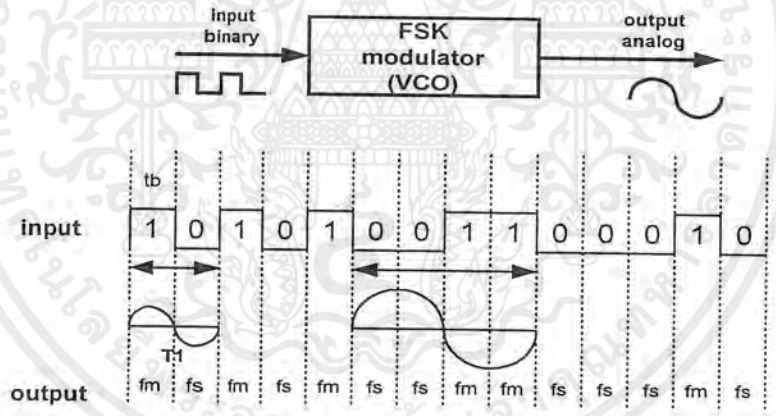
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปของความถี่ที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง (Frequency Continuous) เมื่อข้อมูลไบนารีด้านอินพุท เปลี่ยนแปลงจากสถานะลอจิก "1" เป็นลอจิก "0" (หรือในทางกลับกันคือลอจิก "0" เป็นลอจิก "1") สัญญาณเอาท์พุทจาก FSK ก็จะเลื่อนความถี่ระหว่าง 2 ความถี่ด้วยกันคือ ความถี่ที่ลอจิก "1" หรือ Mark Frequency (fm) และความถี่ที่ลอจิก "0" หรือ Space Frequency (fs)

การเปลี่ยนแปลง(หรือการเลื่อน) ของความถี่แต่ละครั้งจะเกิดขึ้นเมื่อสถานะของลอจิกด้านสัญญาณเข้าเปลี่ยนแปลงนั่นคือ อัตราการเปลี่ยนแปลงของสัญญาณออกจะเท่ากับอัตราการเปลี่ยนแปลงสัญญาณเข้าซึ่งในดิจิตอลมอดูเลชั่นนั้นอัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุทของFSK Generator จะเรียกว่า "อัตราบิท" หรือ บิทเรต (Bit Rate) มีหน่วยเป็นบิทต่อวินาที (bps) ส่วนอัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุทของ FSK Generator เรียกว่า "อัตราบอร์ด" หรือ บอร์ดเรต(Baud Rate) ดังนั้นในการส่งข้อมูลด้วยเทคนิค FSK อัตราบิทจะเท่ากับอัตราบอร์ดเสมอ

**2.5.1 FSK Bandwidth**

ในระบบการสื่อสารข้อมูลด้วยสัญญาณอนาล็อกหรือสัญญาณความถี่นั้นแบนด์วิท (Bandwidth) เป็นสิ่งที่ต้องพิจารณาเป็นอันดับแรก เนื่องจากวิธีการของ FSK อยู่บนพื้นฐานเดียวกันกับวิธีการของ FM ดังนั้นการอธิบายถึงสูตรต่างๆ ก็ใช้หลักการของ FM ทุกอย่าง




รูปที่ 2.9 FSK Modulator

จากรูปที่ 2.9 แสดงถึงตัว FSK มอดูเลเตอร์ ซึ่งใช้หลักการเดียวกับเอฟเอ็มมอดูเลเตอร์ คือ ใช้หลักการของ VCO (Voltage Control Oscillator) จะเห็นว่าอัตราการเปลี่ยนแปลงที่เร็วที่สุดของสัญญาณอินพุทจะเกิดขึ้นเมื่อข้อมูลไบนารีมีลักษณะเป็น 1 และ 0 สลับกัน ซึ่งก็คือสัญญาณสี่เหลี่ยมนั่นเอง (Square Wave) ตามตัวอย่างในรูปที่ 2.9 เป็นสัญญาณในช่วง T1

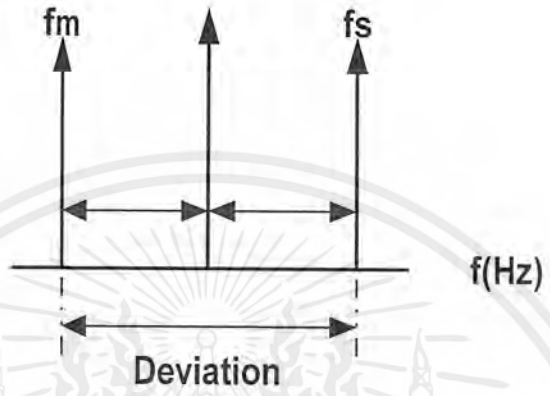
ความถี่หลักของคลื่นสี่เหลี่ยมจะมีค่าเท่ากับครึ่งหนึ่งของบิทเรต ดังนั้นถ้าพิจารณาเฉพาะความถี่หลักเพียงอย่างเดียวแล้ว ความถี่สูงสุดของสัญญาณดิจิตอลที่ต้องการนำมามอดูเลทแบบ FSK จะเท่ากับครึ่งหนึ่งของบิทเรต คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fa max = Bit Rate/2

เมื่อ Fa max = ความถี่สูงสุดของสัญญาณดิจิตอลที่จะนำมามอดูเลท

ความถี่กลาง (Center Frequency = fo) ของ VCO จะอยู่ในตำแหน่งกลาง ระหว่าง Mark Frequency (fm) กับ Space Frequency (fs) ดังรูปที่ 2.10




รูปที่ 2.10 การเบี่ยงเบนความถี่

ลอจิก 1 ด้านอินพุทจะเลื่อนความถี่ของ VCO จาก fo ไปเป็น fs จะเห็นว่าการเปลี่ยนแปลงของข้อมูลไบนารีด้านอินพุทจาก "1" ไป "0" หรือ "0" ไป "1" จะทำให้ความถี่เอาท์พุทของ VCO เลื่อนหรือเบี่ยงเบนกลับไป-มา ระหว่าง fm กับ fs เนื่องจากได้กล่าวมาแล้วว่า FSK นั้นก็คือการมอดูเลทแบบ FM ดังนั้น ดัชนีการมอดูเลท (Modulate Index = MI) ใน FSK ก็ทำได้จาก FM คือ

$$MI = \Delta F/Fa$$

เมื่อ MI = ดัชนีการมอดูเลท

$\Delta F$ = การเบี่ยงเบนของความถี่ใดๆ จากความถี่กลาง (Hz)

Fa = ความถี่ของสัญญาณที่นำมามอดูเลท (Hz)

ค่า MI ที่ยอมให้มีได้สูงสุดคือ ค่า MI ที่ทำให้แบนด์วิทกว้างที่สุด ซึ่งจะเกิดขึ้นเมื่อ การเบี่ยงเบนของความถี่ถูกมอดูเลทแล้วและความถี่ของสัญญาณที่นำมามอดูเลทมีค่าสูงสุด

ใน FSK มอดูเลท ค่า $\Delta F$ เป็นการเบี่ยงเบนของความถี่สูงสุด (Peak Frequency Deviation) ของสัญญาณที่ถูกมอดูเลทแล้วซึ่งมีค่าเท่ากับความแตกต่างระหว่าง fo กับ fm หรือ fs ซึ่งก็คือ ครึ่งหนึ่งของความแตกต่างระหว่าง fm กับ fs นั่นคือ

$$\Delta F = (fs-fm)/2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเบี่ยงเบนของความถี่สูงสุดขึ้นอยู่กับขนาดหรือแอมปลิจูดของสัญญาณที่นำมามอดูเลท (สัญญาณดิจิตอล) เมื่อสถานะทางลอจิกเป็น "1" ก็จะให้แรงดันออกมาค่าหนึ่งคงที่ตามสถานะ (เช่น 5 V) หรือถ้าเป็นลอจิก "0" ก็จะให้แรงดันออกมาคงที่ในระดับลอจิก "0" เช่นกัน ( เช่น 0 V )

ดังนั้นความถี่ที่เบี่ยงเบนของ FSK มอดูเลทจะเบี่ยงเบนคงที่และอยู่ในระดับการเบี่ยงเบนของความถี่สูงสุดเสมอ

Fa เป็นความถี่หลักของข้อมูลไบนารีด้านอินพุท ซึ่งจะทำให้แบนด์วิท กว้างที่สุด เมื่อ Fa = Bit Rate/2 เท่านั้นเพราะฉะนั้นเราสามารถหาค่า MI ได้จาก

$$MI = [(fs-fm)/2] / (Fb/2)$$

$$MI = (fs-fm)/Fb$$

เมื่อ fs-fm = ความถี่เบี่ยงเบนสูงสุด

Fb = อัตราบิทของไบนารีอินพุท

ในการส่งสัญญาณ FM โดยทั่วๆ ไป ความกว้างของแบนด์วิทจะแปรผันตรงกับค่า MI ซึ่งเช่นเดียวกับ FSK ที่ค่า MI โดยทั่วไปจะต้องมีค่าต่ำกว่า 1.0 เพื่อให้เป็นเอฟเอ็มแบบแคบ (Narrow band FM) ค่าแบนด์วิทแคบที่สุดเรียกว่า Minimum Nyquist Bandwidth (Fn) ตัวอย่างเช่น การส่งข้อมูลแบบ FSK มีความถี่กลาง (fo) = 7 kHz , ความถี่สเปส (fs) = 6 kHz และความถี่มาร์ค (fm) = 8 kHz ข้อมูลไบนารีอินพุทมี bit Rate = 2 kHz สามารถหา Fn ได้ดังนี้

$$MI = (fs-fm)/Fb$$

$$MI = (6\ kHz - 8\ kHz) / 2\ kHz$$

$$MI = 2\ kHz / 2kHz$$

$$MI = 1.0$$

จากตารางเบสเซลฟังก์ชั่น ในตารางที่ 2.1 เมื่อ MI = 1.0 จะได้แถบความถี่ข้าง (Sideband Frequency) ออกมาข้างละ 3 ความถี่ โดยแต่ละความถี่จะห่างจากความถี่กลาง (fo) ช่วงละ 1 kHz ( ซึ่งก็คือ FB/2 เมื่อ Fb คือ Bit Rate = 2 kHz ) สามารถเขียนเป็นสเปคตรัมความถี่ได้ดังรูปที่ 2.10

มีข้อน่าสังเกตคือ MI ที่มีค่าอยู่ระหว่าง 0.5 ถึง 1.0 จะทำให้แบนด์วิท มีค่าประมาณ 2-3 เท่าของบิทเรตเสมอ

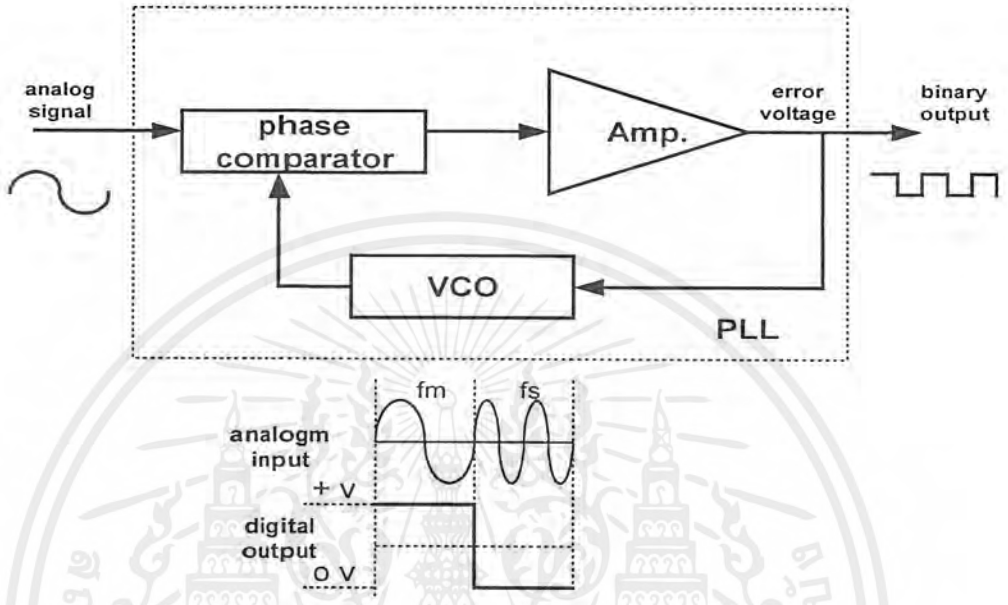
| MI | J0 | J1 | J2 | J3 | J4 |
|---|---|---|---|---|---|
| 0.0 | 1.0 | | | | |
| 0.25 | 0.98 | 0.12 | | | |
| 0.5 | 0.94 | 0.24 | 0.03 | | |
| 1.0 | 0.77 | 0.44 | 0.11 | 0.02 | |
| 1.5 | 0.51 | 0.56 | 0.23 | 0.06 | 0.01 |
| 2.0 | 0.22 | 0.58 | 0.35 | 0.13 | 0.03 |

ตารางที่ 2.1 ตารางเบสเซลฟังก์ชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.6 FSK Demodulator**

FSK Demodulator คือตัวรับสัญญาณ FSK ( FSK receiver ) จะเป็นตัวแยกสัญญาณไบนารี่ออกจากสัญญาณ FSK โดยส่วนมากจะใช้วงจร PLL ( Phase lock Loop ) ดังรูปที่ 2.11



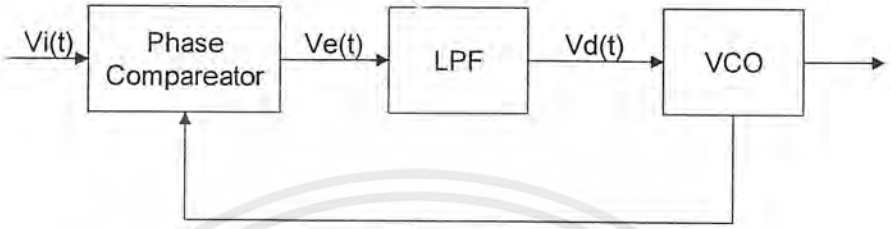

รูปที่ 2.11 PLL-FSK demodulator

PLL ใน FSK Demodulator มีหลักการทำงานเหมือนกับเอฟเอ็มดีเทคเตอร์ทุกอย่าง คือจะมีความถี่ฟรีรันนิ่งเท่ากับ ความถี่กลาง (fo) และในขณะที่ความถี่อินพุทของ PLL เลื่อนไป-มา ระหว่าง fm กับ fs จะทำให้เกิดแรงดันคลาดเคลื่อนไฟตรง ( DC Error voltage ) ซึ่งเป็นผลมาจากการเปรียบเทียบทางเฟส (Phase Comparator) ของสัญญาณอินพุทที่เข้ามายัง PLL มีเพียง 2 ความถี่คือ fm และ fs ดังนั้น ค่าแรงดันดังกล่าวจึงมีเพียง 2 ระดับเท่านั้น ซึ่งสามารถแทนด้วยลอจิก "1" และลอจิก "0" เมื่อความถี่อินพุทเป็น fm และ fs ตามลำดับ เราจึงได้สัญญาณเอาท์พุทจาก PLL กลับมาเป็นข้อมูลไบนารีเหมือนกับตอนแรกที่ส่งมาทุกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.7 ทฤษฎีเฟสล็อกลูป ( Phase Lock Loop ; PLL)**

วงจรเฟสล็อกลูปประกอบด้วย วงจรเปรียบเทียบเฟส วงจรผ่านต่ำ วงจรขยาย และ วงจรผลิตความถี่ควบคุมโดยแรงดัน ( Voltage Control Oscillator ; VCO ) ต่อเป็นวงรอบ ( LOOP ) อย่างเช่น วงจรป้อนกลับทั่วๆไป ( ดูรูปที่ 2.12 )




รูปที่ 2.12 วงจรพื้นฐานของเฟสล็อกลูป

วงจรเปรียบเทียบเฟส คือ วงจรที่ให้แรงดันออกเป็นปฏิภาคกับผลต่างระหว่างเฟสสัญญาณเข้าสองสัญญาณ วงจรนี้อาจเป็นวงจรคูณถ้าสัญญาณเข้า $V_i(t)$ มีความถี่ $\omega_i$ และเฟส $\theta_i$

$$V_i = V_i \sin(\omega_i t + \theta_i) \tag{2.1}$$

และสัญญาณออกจาก VCO มีความถี่ $\omega_i$ และเฟส $\theta_0$

$$V_0 = V_0 \sin(\omega_i t + \theta_0) \tag{2.2}$$

ถ้าป้อน $V_i$ และ $V_0$ เข้าที่วงจรเปรียบเทียบเฟส จะได้สัญญาณคือ

$$V_e(t) = K_m V_I V_0 \tag{2.3}$$

ถ้าเราไม่สนใจเทอมความถี่ $2\omega_i$ ซึ่งถูกจำกัดโดยวงจรผ่านต่ำ จะได้

$$V_e = K_m V_I V_0 \, 2 \sin(\theta_i - \theta_0) \tag{2.4}$$

หากผลต่าง $\theta_i - \theta_0$ มีค่าน้อยๆ จะได้

$$V_e = K_d(\theta_i - \theta_0) \tag{2.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



โดย $K_d$ เป็นค่าแกนของเฟสดีเทคเตอร์มีขนาดเป็น V / rad และในกรณีที่ให้ระบบเป็นเชิงเส้นเราจะได้ความถี่ด้านออกจากวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลางคือ

$$\Delta\omega = K_o V_c \tag{2.6}$$

โดย $V_o$ เป็นแรงดันด้านเข้าของวงจร

$K_d$ เป็นแกนของ VCO มีขนาดเป็น rad / v

ดังนั้นความถี่ด้านออกของ VCO คือ

$$f_0 = \omega_c + \Delta\omega = \omega_c + K_o V_c \tag{2.7}$$

โดยที่ c เป็นความถี่อิสระ ( Free Rning ) ของ VCO และจากความถี่อนุพันธ์ของเฟสเทียบกับเวลาหรือเขียนได้เป็น

$$\Delta\omega = d\theta_0 / dt = K_o V_c \tag{2.8}$$

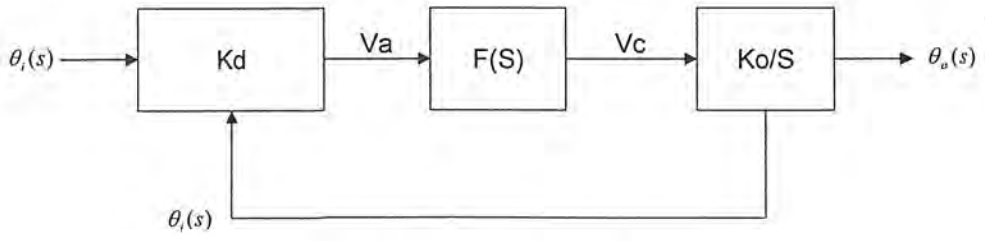
หรือเขียนเฟสด้านออกลูปได้ว่า

$$\theta_0(S) = \int_0 \Delta\omega \, dt \tag{2.9}$$

กรณีระบบเฟสล็อกลูป ถ้าทำการวิเคราะห์ด้วยลาปลาซทรานส์ฟอร์ม สามารถแสดงเฟสด้านออกได้ว่า

$$\theta_0(S) = K_o V_c / S \tag{2.10}$$

ดังนั้น ระบบเฟสล็อกลูปสามารถแสดงแบบจำลองได้ดังรูป




รูปที่ 2.13 แบบจำลองของเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

37160

ซึ่งจากแบบจำลองเราสามารถเขียนทรานส์เฟอร์ฟังก์ชั่นได้คือ

$$\theta_o(S)/\theta_i(S) = \frac{K_d K_o (F(s)/S)}{1 + K_o K_d F(s)/S} \tag{2.11}$$

แรงดัน $V_c$ นี้จะได้รับการขยายและใช้เป็นแรงดันควบคุมความถี่ VCO ซึ่งในการทำงานปกติการควบคุมนี้จะมีผลให้สัญญาณ $V_o$ จาก VCO มีความถี่ตรงกับสัญญาณด้านเข้า $V_i$ และถ้าอัตราการขยายมีของลูปมีขนาดสูง $V_c$ จะมีค่าต่ำเฟส $\omega_0$ กับ $\omega_i$ จะมีค่าใกล้เคียงกัน

การทำงานของวงจรเฟสล็อกลูปสามารถอธิบายได้อย่างคร่าว ๆ คือ เมื่อไม่มีสัญญาณเข้า ( $v_i$ ) แรงดัน $v_c$ และ $v_d$ ( ที่ใช้ควบคุม VCO ) จะเป็นศูนย์ VCO จะกำเนิดสัญญาณความถี่หนึ่งเรียกว่าความถี่อิสระ $f_{00}$ เมื่อสัญญาณเข้า $v_i$ ที่ความถี่ $f_i$ ถ้า $f_i$ ต่างจาก $f_{oo}$ มากสัญญาณ $v_c$ ซึ่งมีความถี่เท่ากับ $f_{00}$- $f_i$ จะไม่สามารถผ่านวงจรผ่านต่ำ แรงดัน $v_d$ ที่ใช้ควบคุม VCO จะยังคงเป็นศูนย์ และ VCO ยังคงทำงานที่ความถี่ $f_{00}$ และถ้าหากว่า $f_i$ มีค่าไม่ต่างจาก $f_{00}$ มาก นั่นคือ $|f_i - f_{00}| < \Delta f_p (2\Delta f_p)$ มีชื่อว่าสัญญาณดึงเข้า หรือ pull – in range สัญญาณ $v_c$ จะมีลักษณะไม่สมมาตร กล่าวคือมีองค์ประกอบไฟตรงไม่เท่ากับศูนย์ $v_d$ จะค่อย ๆ เพิ่มค่าขึ้น และหลังจากช่วงนั้นเรียกว่า เวลาดึงเข้า ( pull – in time ) ความถี่ $f_0$ ซึ่งค่อย ๆ แปรค่าไปยังค่า $f_i$ จะแตกต่างเพียง $|f_i - f_0| = \Delta f_c (2\Delta f_c)$ มีชื่อว่าเวลาจับ หรือ capture range ถึงตอนนี้ $f_0$ จะแปรเข้าสู่ $f_i$ อย่างรวดเร็ว เรียกว่าเกิดการล็อก ( lock ) $v_d$ ก็จะเปลี่ยนแปลงอย่างฉับพลันเช่นกัน ทั้งนี้สำหรับ VCO โดยทั่วไปความถี่ $f_0$ เป็นปฏิภาคกับการบ่ายแบนจากความถี่อิสระ นั่นคือ

$$\omega_0 - \omega_\infty = K_o v_d \tag{2.12}$$

โดยที่ $k_0$ เรียกว่าความไวของ VCO มีหน่วยเป็น ( rad / rec ) / V

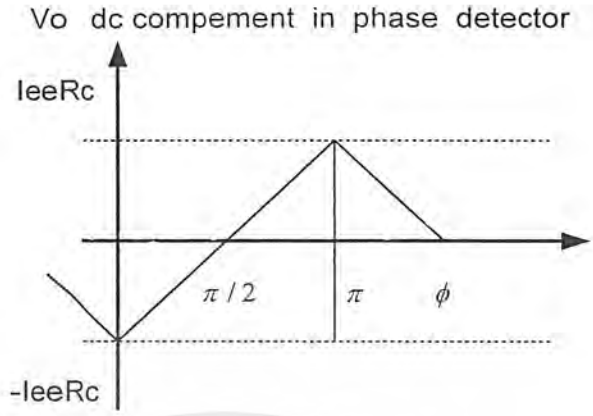
การได้มา ( acquisition ) ซึ่งการล็อกอาจจะได้วิธีการดังนี้

( ก ) ณ. ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่เข้า $f_i$ น้อยกว่า $\Delta f_c$ จะเกิดการล็อกอย่างฉับพลัน เรียกว่า " เกิดการจับ ( capture )"

( ข ) ณ. ขณะหนึ่ง ความถี่ของ VCO ต่างจากความถี่เข้า $f_i$ มากว่า $\Delta f_c$ แต่น้อยกว่า $\Delta f_p$ ความถี่ของ VCO จะค่อย ๆ เลื่อนเข้าหาความถี่ $f_i$ เรียกว่า " เกิดการดึงเข้า ( pull – in )"

( ค ) ณ. นอกช่วงเวลาดึงเข้าหรือกรณีดึงเข้าใช้เวลานานเกินไปอาจจะเพิ่มวงจรเพื่อควบคุมให้ความถี่ของ VCO กวาด ( sweep ) ของลูป ซึ่งจะเพิ่มการจับและการดึงเข้า หรืออาจเพิ่มเติมวงจรจำแนกความถี่ ( Frequency discriminator ) ซึ่งจะปรับ VCO เข้าสู่วงจรการจับได้อย่างรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



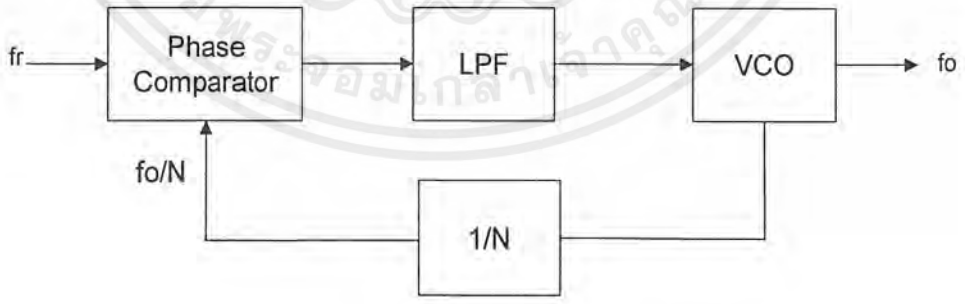

รูปที่ 2.14 คุณสมบัติโอนย้ายอนาลอกเฟสดีเทคเตอร์

เมื่อเกิดการล็อกแล้วความถี่ของสัญญาณแปรไปความถี่ของ VCO จะแปรตามไปด้วยเรียกว่า การเกิดตามรอย ( tracking ) ความถี่ของ VCO จะสามารถตามรอยความถี่ $f_i$ ได้ตราบใดที่ $|f_i - f_{00}| = \Delta f_H$ ( $2\Delta f_H$ มีชื่อว่าช่วงคงที่ไว้ หรือ hold – in range บางทีเรียกว่าช่วงตามรอยช่วงล็อก )

สรุปแล้วถ้าเพิ่มหรือลดความถี่ $f_i$ จะได้ช่วงการเปลี่ยนแปลงของ $v_d$ ( ซึ่งควบคุม VCO และเป็นปฏิภาคกับ ( $f_0 - f_{00}$ ) ) ดังแสดงในรูป 2.14

**2.7.1 การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป**

การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปเป็นการร้างความถี่ขึ้นใหม่ ด้วยสัญญาณความถี่อ้างอิงมาตราฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงดังรูป 2.15




รูปที่ 2.15 แสดงโครงสร้างเฟสล็อกลูปสำหรับการสังเคราะห์ความถี่

จากรูป ส่วนที่เพิ่มเข้าไปจากโครงสร้างของเฟสล็อกลูปที่ได้กล่าวมาแล้วคือ วงจรหาร N(1/N) โดยถ้า $f_r$ เป็นสัญญาณอ้างอิงที่มีความถี่ที่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับขนาดของความถี่อ้างอิง ( Frequency reference : $f_r$ ) คูณกับจำนวนหาร N หรือเขียนได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_0 = f_r * N \tag{2.13}$$

หรือกล่าวได้ว่าความถี่เอาท์พุท ( $f_0$ จะเป็นจำนวนเท่าของความถี่อ้างอิง ) ความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ ( PD ) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง สำหรับการทรานเฟอร์ฟังก์ชั่นของPLLที่มีวงจรหารในส่วนป้อนกลับเขียนทรานเฟอร์ฟังก์ชั่นได้คือ

$$\frac{\theta_o(S)}{\theta_r(S)} = \frac{K_o K_d (F(s)/S)}{1 + K_o K_d (F(s)/NS)} \tag{2.14}$$

สำหรับทรานเฟอร์ฟังก์ชั่นของลูปใดๆ เขียนได้

$$f_o = \frac{G(s)}{1 + G(s)H(s)} \tag{2.15}$$

G(s) = ฟอร์เวิร์ดเกน ( forword gain )

H(s) = เกนป้อนกลับ ( feedback gain )

G(s) H(s)= เกนลูปปิด ( open loop gain )

จากสมการ 2.15 เราได้ฟอร์เวิร์ดเกนคือ

$$G(s) = \frac{K_o K_d F(s)}{S} \tag{2.16}$$

และเกนของลูปเปิดของเฟสล็อกลูปคือ

$$G(s)H(s) = \frac{K_o K_d F(s)}{S * N} \tag{2.17}$$

สำหรับการสังเคราะห์ความถี่วงจรกรองความถี่ต่ำ ( LPF ) ในลูปจะเลือกใช้วงจรกรองความถี่แบบแอคทีฟ เนื่องจากดึงกระแสอินพุทน้อย ทำให้ค่าความผิดพลาดในสภาวะสงบของเฟสดีเทคเตอร์เอาท์พุทมีค่าน้อยแทนลงในสมการที่ 2.4 จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\theta_0}{\theta_0} = \frac{K_0 K_d (ST_2 + 1) \ / 1}{S^2 + \frac{SK_0 K_d T_2}{NT_1} + \frac{K_0 K_d}{NT_1}} \tag{2.18}$$

จะได้ความถี่ธรรมชาติของลูปและค่าแดมป์ปิ้งแฟคเตอร์คือ

$$fn = \frac{\sqrt{(K_0 K_d)}}{NT1} = \frac{T_2}{T_2}\omega_n \tag{2.19}$$

ค่าความถี่ธรรมชาติ, อัตราแดมปิ้งของลูปจะเป็นพารามิเตอร์ที่เราสามารถกำหนดได้โดยกำหนดค่าพารามิเตอร์ดังกล่าว เราจะกำหนดโดยพิจารณาจากความต้องการต่อการตอบสนองของลูปในสภาวะทรานส์เซี้ยน ความสามารถมอดดูเลทความถี่ที่ต้องการในกรณีลูปถูกมอดดูเลทด้วยสัญญาณเบสแบนด์และเสถียรภาพของลูป

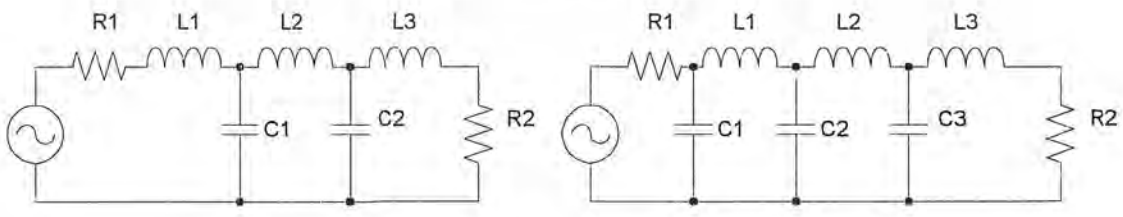
**2.8 วงจรกรองสัญญาณ (Filter)**

วงจรการกรองสัญญาณความถี่ หรือวงจรฟิลเตอร์ที่เรารู้จักกันนี้มีหน้าที่สำคัญคือยอมให้สัญญาณความถี่ที่ต้องการผ่านไปได้ ในขณะเดียวกันก็จะกำจัดหรือลดทอนความถี่อื่นใดที่นอกเหนือจากความถี่ที่ต้องการ

เราสามารถแบ่งวงจรกรองขั้นพื้นฐานตามอุปกรณ์ที่นำมาประกอบเป็นวงจรกรองได้ 2 แบบด้วยกันคือ

1.) วงจรกรองแบบพาสซีฟ (Passive Filter )

วงรกรองความถี่ในลักษณะนี้จะประกอบด้วยขดลวดเหนี่ยวนำ ( Inductor ) ตัวเก็บประจุ ( Capacitor ) และอาจจะมีตัวต้านทานประกอบร่วมอยู่ด้วย ดังแสดงดังรูปที่ 2.16



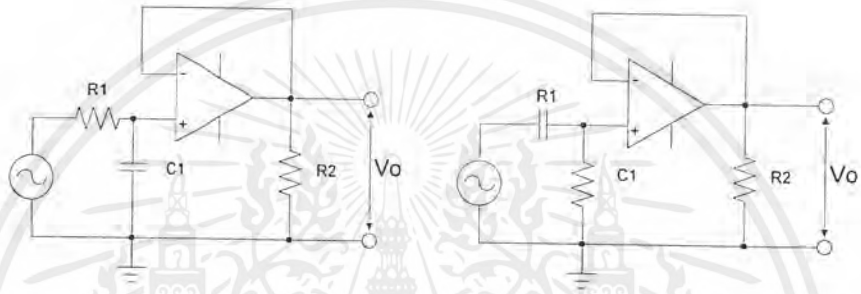

รูปที่ 2.16 แสดงวงจรแบบพาสซีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่แบบพาสซีฟนี้บางความถี่มักประสบปัญหาในเรื่องขนาดของอุปกรณ์ คือไม่สามารถหาขดลวดเหนี่ยวนำได้ตามขนาดที่ต้องการจากการคำณวนออกแบบวงจร ทำให้มีข้อจำกัดในเรื่องความสามารถหรือประสิทธิภาพของวงจร แต่สามารถตอบสนองความถี่สูงได้ดี และสามารถใช้งานได้โดยไม่ต้องมีแหล่งจ่ายใด ๆ ทั้งสิ้น

2.) วงจรกรองความถี่แบบแอคทีฟ ( Active Filter )

วงจรกรองความถี่ประเภทนี้จะใช้อุปกรณ์ประเภทแอคทีฟ เช่น ออปแอมป์ ทรานซิสเตอร์ มาต่อร่วมกันกับตัวเก็บประจุและตัวต้านทาน ซึ่งจะช่วยให้ประสิทธิภาพของวงจรกรองดีขึ้น แสดงในรูปที่ 2.17

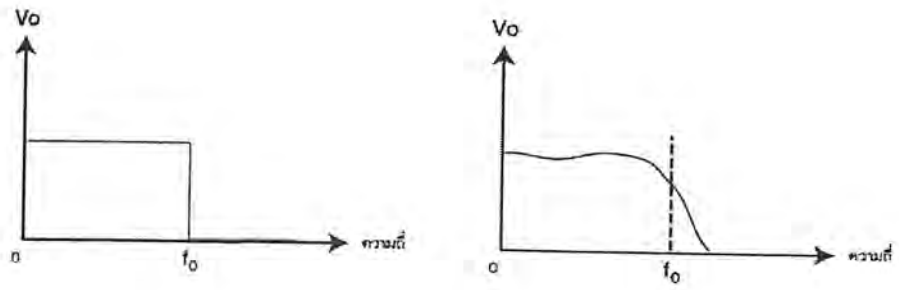



รูปที่ 2.17 แสดงวงจรกรองแบบแอคทีฟ

วงจรกรองประเภทนี้มีข้อดีกว่าวงจรแบบพาสซีฟ คือการออกแบบและการปรับแต่งง่าย ขนาดเล็ก มีราคาถูก และมีเสถียรภาพในการทำงานสูง ดังนั้นจึงนิยมใช้วงจรกรองชนิดนี้มากกว่า เมื่อพิจารณาในด้านการใช้งานแล้ววงจรกรองจะถูกใช้งาน 4 ลักษณะ ดังจะกล่าวต่อไปนี้

**2.8.1 วงจรกรองความถี่ต่ำผ่าน ( Low pass filter )**

วงจรกรองความถี่ชนิดนี้จะยอมให้สัญญาณที่มีความถี่ตั้งแต่ 0 เฮิร์ตไปจนถึงความถี่ที่กำหนด ($f_0$) ผ่านวงจรความถี่ไปได้ ส่วนความถี่ตั้งแต่ความถี่ที่กำหนดขึ้นไปจนถึงความถี่อนันต์จะไม่สามารถผ่านไปได้ ดังรูปที่ 2.18

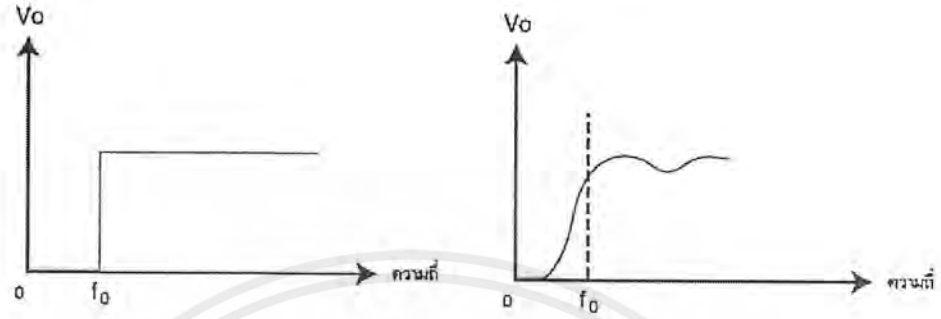



รูปที่ 2.18 วงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.8.2 วงจรกรองความถี่สูงผ่าน ( Hight pass filter )**

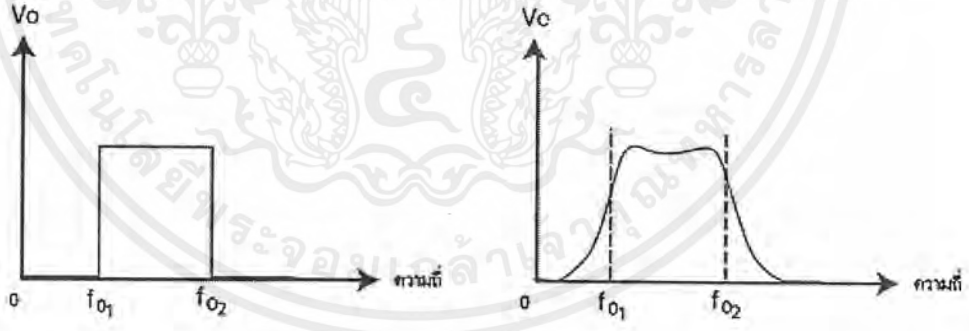
วงจรกรองความถี่ชนิดนี้จะยอมให้สัญญาณที่มีความถี่ตั้งแต่ ($f_0$) ไปจนถึงความถี่อนันต์ผ่านไปได้ ส่วนความถี่ที่ต่ำกว่าความถี่ที่กำหนดจะไม่สามารถผ่านไปได้ดังรูปที่ 2.19




รูปที่ 2.19 วงจรกรองความถี่สูงผ่าน

**2.8.3 วงจรกรองความถี่แถบความถี่ผ่าน (Band Pass Filter)**

วงจรกรองความถี่ชนิดนี้จะยอมให้ความถี่ผ่านไปได้เป็นย่านความถี่ โดยความถี่ที่ผ่านไปได้นั้นจะอยู่ในย่านความถี่ โดยความถี่ที่ผ่านไปได้นั้นจะอยู่ในความถี่ที่เรากำหนด 2 จุด คือ $fo_1$ และ $fo_2$ คือความถี่ที่ต่ำกว่า $fo_1$ และสูงกว่าความถี่ $fo_2$จะไม่สามารถผ่านไปได้ ดังรูปที่ 2.20

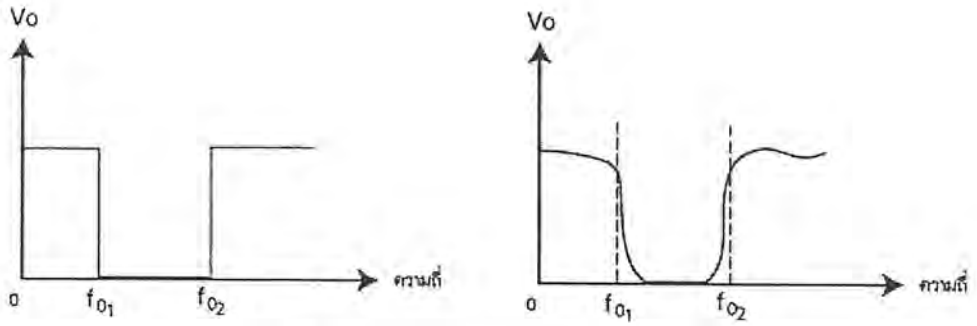



รูปที่ 2.20 วงจรกรองแถบความถี่ผ่าน

**2.8.4 วงจรกรองตัดแถบความถี่ ( Band stop filter )**

วงจรกรองความถี่ชนิดนี้บางครั้งเรียกว่า Band – Reject Filter หรือ Band Elimination หรือ Notch ( น็อตช์ ) Filter วงจรนี้ตรงข้ามกับการใช้งานลักษณะแถบความถี่ผ่าน ความถี่ในช่วงที่สูงกว่า $fo_1$ และต่ำกว่า $fo_2$ จะถูกตัดทิ้งไป แต่ความถี่ที่ต่ำกว่า $fo_1$ และสูงกว่า $fo_2$จะสามารถผ่านไปได้ ดังรูปที่ 2.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

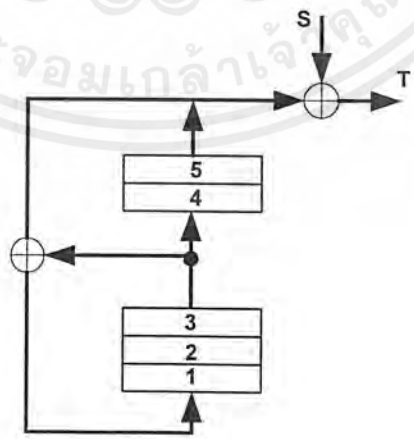



รูปที่ 2.21 วงจรกรองแบบตัดแถบความถี่

**2.9 การเข้ารหัสและการถอดรหัส**

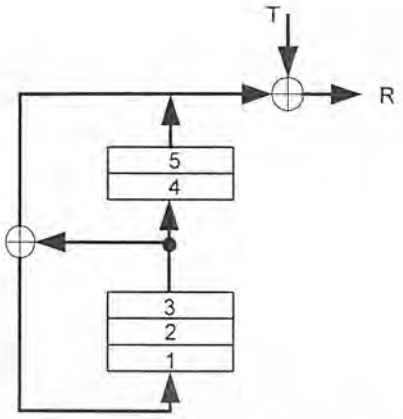
จากหลักการทำงานของข้อมูลลำดับกึ่งสุ่ม (pseudorandom sequences) ซึ่งจะสามารถสร้างได้โดยใช้ชิฟรีจิสเตอร์ ( shift register ) ต่อให้มีการป้อนกลับ ( feed back ) แบบมอดูโลทูแอดเดอร์ (modulo 2 adders) ชิฟรีจิสเตอร์นี้ประกอบขึ้นจากฟลิบฟลอบต่ออนุกรมกันเมื่อรีจิสเตอร์ได้รับสัญญาณนาฬิกา สภาวะของฟลิบฟลอบแต่ละตัวจะถูกส่งไปที่ฟลิบฟลอบตัวถัดไป สัญญาณที่ถูกแท็ปออกมาจะผ่านมอดูเลเตอร์ และป้อนกลับที่ฟลิบฟลอบตัวแรก

ลำดับที่ผลิตได้จะมีความยาวค่าหนึ่ง ( ซึ่งขึ้นกับจำนวนของชิฟรีจิสเตอร์ และจุดรวมสัญญาณ ) แล้ว จะวนซ้ำ เป็นเช่นนี้ไปเรื่อยๆ ไม่ว่าสภาวะเริ่มต้นของรีจิสเตอร์จะเป็นอย่างไร ยกเว้นกรณีศูนย์หมด เราจะนำลำดับกึ่งสุ่มที่ได้มาเข้ารหัสข้อมูล โดยใช้เอ็กซคลูซีฟออร์เกททำการรวมข้อมูลกับลำดับกึ่งสุ่ม จากรูปที่ 2.22 และ รูปที่ 2.23 เป็นบล็อกไดอะแกรมของตัวเข้ารหัสและตัวถอดรหัส โดยที่วงจรกำเนิดลำดับกึ่งสุ่มที่ใช้จะเหมือนกันทั้งตัวเข้ารหัสและตัวถอดรหัส



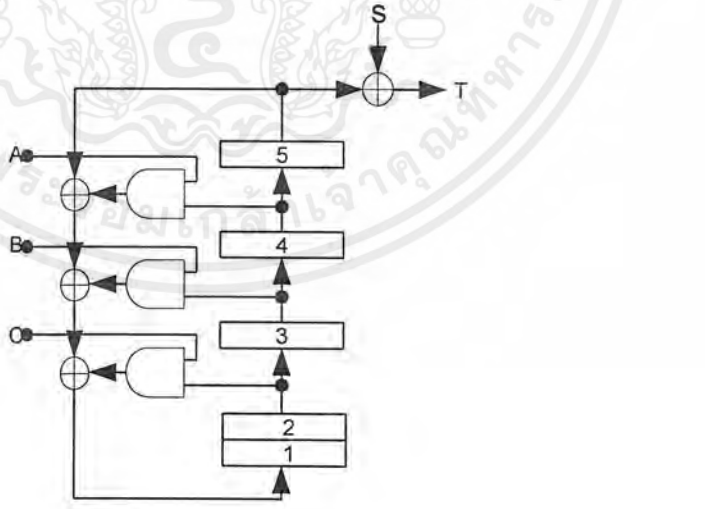

รูปที่ 2.22 ตัวเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



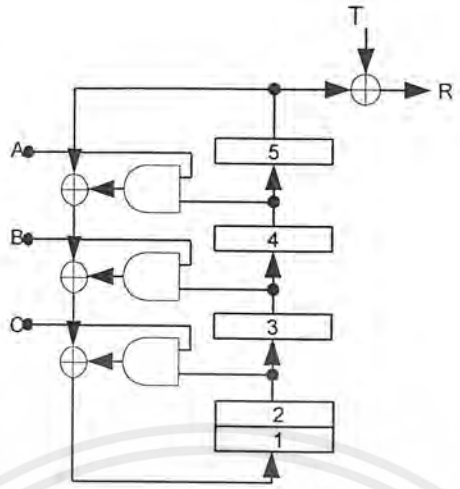

รูปที่ 2.23 ตัวถอดรหัส

จะเห็นได้ว่า สัญญาณอินพุท S ที่เข้าตัวเข้ารหัส เมื่อผ่านเข้าที่ตัวถอดรหัส จะได้สัญญาณเอาท์พุท R ที่เหมือนกับ S นอกจากนี้ เราสามารถเพิ่มจุด feed 1 สัญญาณให้มากขึ้นและจะทำให้จำนวนลำดับมากขึ้นโดยใช้แนนด์เกทและเอ็กคลูซีพออร์เกทมาช่วยในการรวมสัญญาณอินพุทกำลำดับกึ่งสุ่มที่สร้างขึ้น โดยอาศัยหลักการนี้จะทำให้สามารถเข้ารหัสข้อมูลได้มากยิ่งขึ้นเพราะฉะนั้นตัวเข้ารหัสและตัวถอดรหัสจะต้องมีรหัสควบคุม (control code) A,B,C ตรงกันซึ่งจะทำให้ข้อมูลที่อินพุทของตัวเข้ารหัสและข้อมูลทางเอาท์พุทของตัวถอดรหัสเหมือนกัน




รูปที่ 2.24 ตัวเข้ารหัสโปรแกรมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.25 ตัวถอดรหัสโปรแกรมได้

**2.9.1 จำนวนของบิท "0" และ "1" ที่ได้จากลำดับแบบกึ่งสุ่ม**

จำนวนของบิท "0" และ "1" ที่ได้จากลำดับแบบกึ่งสุ่มจะขึ้นอยู่กับลำดับที่ผลิตได้ เช่น ถ้าใช้ชิฟรีจิสเตอร์ 3 ตัว จะได้ความยาวของลำดับเท่ากับ $2^3-1 = 7$ บิทซึ่งเป็นจำนวนคี่จะให้จำนวน "1" มากกว่า "0" อยู่ 1 หรือจำนวน "0" จะมากกว่า "1" อยู่ 1 ก็เป็นไปได้ทั้งสองอย่าง แต่ถ้าลำดับที่ผลิตได้เป็นจำนวนคู่ และจะไม่คิดในกรณีที่สภาวะเริ่มต้นเป็น 0 หมดจำนวนของ "0" และ "1" จะมีค่าเท่ากันแต่อย่างไรก็ตามจะเห็นว่าเป็นไปไม่ได้ที่ลำดับจะเป็นจำนวนคู่ต่อเนื่องจากสูตร $L = 2^m - 1$ มันจะได้เป็นจำนวนคี่ตลอด

**2.9.2 ลำดับอิสระ**

ในรายละเอียดการออกแบบ Parity Generator เราสามารถเลือกจุดแท็ป หรือจุดป้อนกลับได้หลายจุด อาจจะไม่เป็นไปตามตารางก็ได้ โดยจำนวนลำดับที่ได้ ในแต่ละวิธีของการเลือกจุดป้อนกลับจะมีค่าเท่ากับ

$$S = (L-1)/m$$

$$L = 2^m - 1$$

ซึ่ง S เราจะเรียกว่าเป็นลำดับอิสระ ถ้าเรานำลำดับอิสระมาหารสองก็จะได้ครึ่งหนึ่งของลำดับอิสระและอีกครึ่งหนึ่งที่เหลือนั้นจะเป็นกระจกเงาของมันเอง

ตัวอย่าง

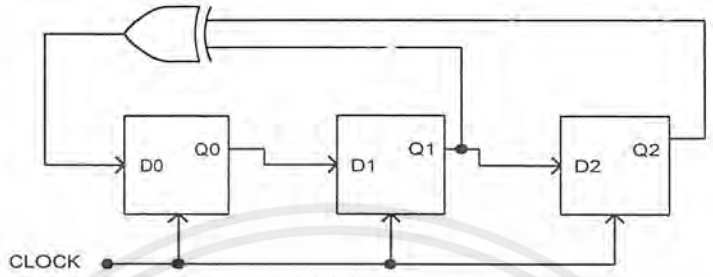
$$m = 3$$

$$L = 2^3 - 1 = 7$$

$$S = ( 7-1 )/3 = 2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราใช้ชิฟรีจิสเตอร์ 3 ตัว จะสามารถสร้างลำดับอิสระที่ไม่ซ้ำกัน 2 ลำดับ และจะมีกระจกเงาของมันเองเท่ากับ S/2 =1 แสดงในรูปที่ 2.26




รูปที่ 2.26 การเกิดกระจกเงา

**2.9.3 กลุ่มของบิท "0" หรือ "1" ที่ได้จากลำดับแบบกึ่งสุ่ม**

เอาท์พุทที่ได้จากลำดับแบบกึ่งสุ่ม ซึ่งมีความยาว $L = 2^m-1$ เอาท์พุทที่ได้สามารถแยกออกเป็นกลุ่มๆของบิทที่ต่อเรียงกันไป สมมุติว่าเรามีลำดับกึ่งสุ่มเป็นดังนี้ 1 1 1 0 0 1 0 ในที่นี้ M = 3 ดังนั้นลำดับจะเป็นกลุ่มๆคือ 1 กลุ่มของ M (=3) คือบิท "1" และ 1 กลุ่มของ M-1(=2) คือบิท "0" และ 1 กลุ่มของ M-1 (=1) คือบิท "1" และ 1 กลุ่มของ M-2 (=1) ของบิท "0"

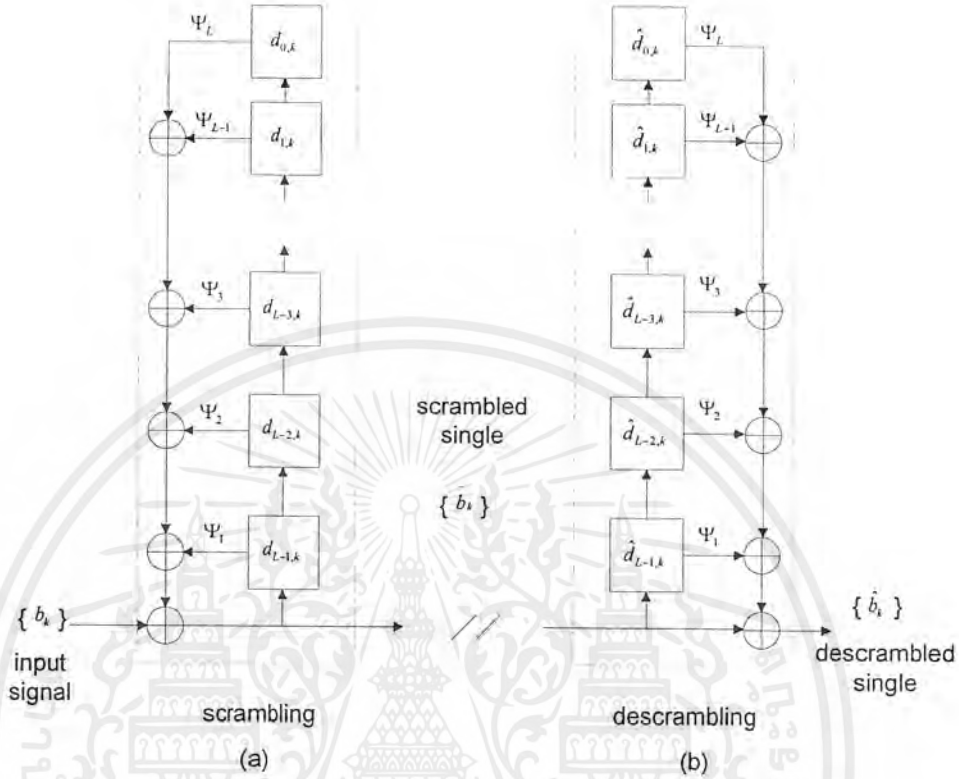
**2.10 Self Synchronous Scrambling ( SSS )**

Self synchronous scrambling เป็นเทคนิคการเข้ารหัสแบบหนึ่งที่ใช้ชิฟรีจิสเตอร์ สำหรับการเข้ารหัสรวมทั้งการถอดรหัส สัญญาณข้อมูลโดยข้อมูลที่เข้ามาจะถูกเข้ารหัส โดยผ่านตรงไปยัง ชิฟรีจิสเตอร์ (ในที่นี้ใช้ดีฟลิปฟลอป) และเอ็กคลูซีฟออร์เกท โดยที่ขบวนการในการเข้ารหัสและการถอดรหัสจะเป็นลักษณะเดียวกันแต่อินพุทและเอาท์พุทจะกลับกัน

ในระบบ SSS. สถานะของชิฟรีจิสเตอร์ ที่ใช้ในการเข้ารหัสและการถอดรหัสจะซิงโครไนซ์ กันโดยอัตโนมัติโดยที่ไม่ต้องเพิ่มขบวนการในการ ซิงโครไนซ์ อีกเลย

บล็อคไดอะแกรมตามรูปที่ 2.27 นี้เป็นโครงสร้างของการเข้ารหัสและการถอดรหัส ซึ่งกำหนดโดย characteristic polynomial ซึ่งจากบล็อคนี้จะใช้ characteristic polynomial $\sum_{i=0}^{L} \varphi_i x^i$ เมื่อ $\varphi_0 = 1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.27 บล็อคไดอะแกรมพื้นฐานของระบบ SSS

ในระบบ SSS. ลำดับสัญญาณอินพุท $\{b_k\}$ จะเป็นตัวควบคุมสถานะของชิฟรีจิสเตอร์ในการเข้ารหัสและลำดับของสัญญาณที่ผ่านการเข้ารหัส $\{\widetilde{b}_k\}$ จะควบคุมสถานะของชิฟรีจิสเตอร์ในขบวนการถอดรหัส ลำดับสัญญาณอินพุท $\{b_k\}$ ในขบวนการเข้ารหัสจะมีข้อมูลสถานะของชิฟรีจิสเตอร์ และสัญญาณ $\{\widetilde{b}_k\}$ ก็จะส่งข้อมูลเหล่านั้นมายังภาคถอดรหัส เพื่อใช้ในการซิงโครไนซ์ โดยการซิงโครไนซ์จะเกิดขึ้นเมื่อจำนวนของข้อมูลที่รับเข้ามาเต็มใน ชิฟรีจิสเตอร์ ดังนั้นระบบ SSS. จึงแตกต่างจากระบบอื่นที่ต้องมีขบวนการพิเศษในการซิงโครไนซ์ แต่เมื่อเกิดบิทผิดพลาดขึ้นในสัญญาณเข้ารหัส $\{\widetilde{b}_k\}$ ระหว่างการส่งข้อมูล bit error เหล่านี้จะอยู่ใน register ของขบวนการถอดรหัสด้วย เรียกการเกิดความผิดพลาดของข้อมูลเหล่านี้ว่า error - multiplication phenomenon

ในระบบ SSS. ข้อมูลที่เข้ามาจะควบคุมสถานะของ ชิฟรีจิสเตอร์ในการเข้ารหัส และสัญญาณที่ถูกเข้ารหัสเรียบร้อยแล้วจะไปควบคุมสถานะของชิฟรีจิสเตอร์ในขบวนการถอดรหัส อีกครั้งหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.10.1 การเข้ารหัส (Scramble)**

พิจารณาระบบ SSS. ในรูปที่ 2.27(a) ซึ่งมี characteristic polynomial $\psi(x)=\sum_{i=0}^{L}\varphi_i x^i$ สถานะของชิฟรีจิสเตอร์ตัวที่ jth ที่เวลา k คือ $d_{j,k}, j=0,1,\ldots,L-1$ ซึ่งเราจะใช้สถานะก่อนหน้า $d_{j,k-1}, j=0,1,\ldots,L-1$ มาพิจารณา ซึ่งเป็นไปตามความสัมพันธ์

$$d_{j,k}=\begin{cases} d_{j+1,k-1}; j=0,1,\ldots,L-2 \\ \sum_{i=0}^{L-1}\varphi_{L-1}d_{j,k-1}+b_{k-1}; j=L-1 \end{cases} \tag{2.20}$$

ในรูปแบบ kth state vertor $d_k$ , k = 1, 2,..., ซึ่งแสดงได้โดย (k-1)th state vector $d_{k-1}$ และ kth input signal $b_k$ ดังนี้

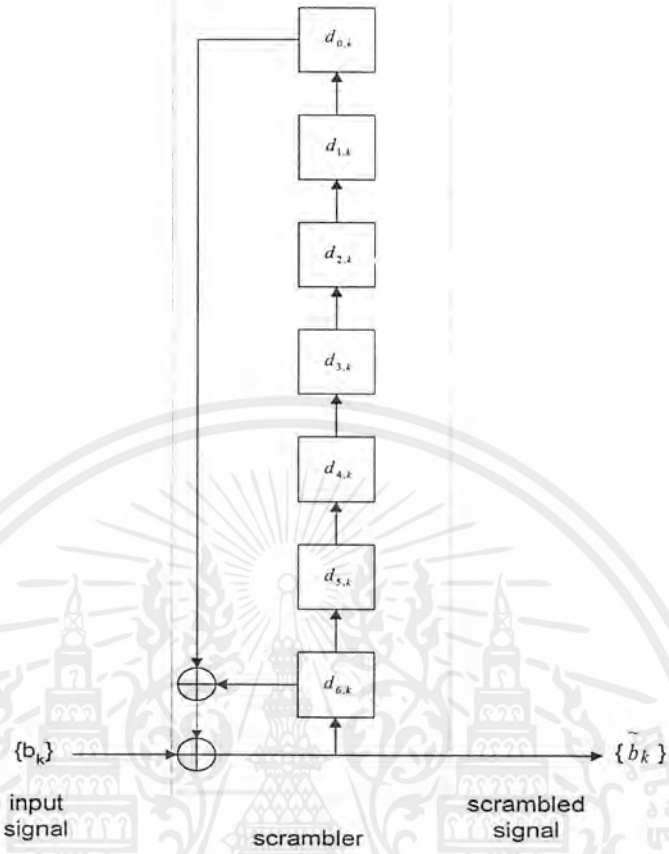
$$d_k = A^t_{\psi_r(x)}\cdot d_{k-1}+b_{k-1}e_{L-1} \tag{2.21}$$

เมื่อ $$A_{\psi_r(x)}=\begin{bmatrix} 0 & 0 & \cdots & 0 & \varphi_L \\ 1 & 0 & \cdots & 0 & \varphi_{L-1} \\ 0 & 1 & \cdots & 0 & \varphi_{L-2} \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & \cdots & 1 & \varphi_1 \end{bmatrix} \tag{2.22}$$

สังเกตสัญญาณ scrambled signal $\tilde{b}_k$ ที่เข้าไปที่ shift register ตัวสุดท้ายของภาคเข้ารหัส เพื่อเปลี่ยนไปเป็นสถานะถัดไป $d_{L-1,k+1}$ หรือ $\tilde{b}_k = e^t_{L-1}\cdot d_{k+1}$ , เราสามารถสร้างสมการจากเงื่อนไขดังกล่าวได้ดังนี้

$$\tilde{b}_k = e^t_{L-1}\cdot A^t_{\psi_r(x)}\cdot d_k + b_k \tag{2.23}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.28 SSS scrambler characteristic polynomial $\psi(x) = x^7 + x + 1$

ตัวอย่างที่ 2.10.1 เราพิจารณาภาคเข้ารหัส ดังรูปที่ 2.28 ซึ่งมี characteristic polynomial $\psi(x) = x^7 + x + 1$ ซึ่งจะได้

$$A\psi_r(x) = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 1 \end{bmatrix} \quad (2.24)$$

ถ้าสถานะเริ่มต้น state vector $d_0$ คือ $[1000101]^t$ และสัญญาณอินพุท $\{b_k\}$ คือ

$$\{b_k\}=\{1,0,1,1,1,0,1,0,1,1,1,0,1,0,0,0,0,0,1,1,\ldots\} \quad (2.25)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นด้วยสมการ(2.21) state vector $d_k$ จะแสดงได้ดังตารางที่ 2.27 ดังนั้นด้วยสมการ(2.23)จะได้สัญญาณ scrambled signal $\{\tilde{b}_k\}$ ดังนี้

$$\{\tilde{b}_k\}=\{1,1,0,1,1,1,1,0,0,1,1,0,0,1,1,1,1,0,1,0,1,\ldots\} \tag{2.26}$$

และถ้าจำนวนตัวเลขของสัญญาณอินพุท $b_k$ แต่ละ elements ที่เข้ามามีจำนวนเพียงพอ state vector $d_k$ ในขบวนการเข้ารหัสจะสามารถแสดงในเทอมของ $b_k$ ได้ซึ่งอธิบายได้ด้วย 2 ทฤษฎีคือ

ทฤษฎีที่ 2.10.1 สำหรับการเข้ารหัส ที่มี characteristic polynomial เป็น $\psi(x)=\sum_{i=0}^{L}\varphi_i x^i$ สถานะของ state vector $d_k$ ,k= L,L+1,..., แสดงได้โดย

$$d_k=\left[\tilde{b}_{k-L}\ \tilde{b}_{k-L+1}\ \cdots\ \tilde{b}_{k-1}\right]^t \tag{2.27}$$

ทฤษฎีที่ 2.10.2 สำหรับการเข้ารหัสที่มี characteristic polynomial เป็น $\psi(x)=\sum_{i=0}^{L}\varphi_i x^i$ และมี scrambled signal $\tilde{b}_k$ ,k=L,L+1,...,แสดงได้โดย

$$\tilde{b}_k=b_k+\sum_{i=1}^{L}\varphi_i\tilde{b}_{k-i} \tag{2.28}$$

ตัวอย่างที่ 2.10.2 สำหรับการเข้ารหัส ดังรูป 2.28 characteristic polynomial $\psi(x)=x^7+x+1$ เราสามารถบอกสถานะของ state vector $d_k$ เมื่อ k = 7,8,..., ได้ดังตาราง 2.2 โดยใช้สมการ(2.27) และสามารถบอกค่า scrambled signal $\tilde{b}_k$ ได้จากสมการ(2.28) เมื่อ k= 7,8,..., ซึ่งถ้าใช้ $\psi(x)=x^7+x+1$ พิจารณาค่า $\tilde{b}_k$ จากสมการ(2.28) จะได้ $\tilde{b}_k=b_k+\tilde{b}_{k-1}+\tilde{b}_{k-7}$ เช่น initial state vector $d_0=[1000101]^t$ และสัญญาณ input $\{b_k\}$ตามสมการ(6) จะได้ 7 ค่าแรกของ scrambled signal $\{\tilde{b}_k\}$ ดังนี้ $\tilde{b}_0=1,\tilde{b}_1=1,\tilde{b}_2=0,\tilde{b}_3=1,\tilde{b}_4=1,\tilde{b}_5=1,\tilde{b}_6=1$ ถ้าเราแทนค่า k = 7 ตามสมการ $\tilde{b}_k$ ข้างต้นจะได้ $\tilde{b}_7=b_7+\tilde{b}_6+\tilde{b}_0=0$ และเช่นเดียวกันสำหรับค่า k = 8,9,..., ก็จะได้ scrambled signal $\{\tilde{b}_k\}$ ดังสมการ (2.26)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 state vector $d_k$ และ scrambled signal $\{\widetilde{b}_k\}$ของระบบ การเข้ารหัส ในรูปที่ 2.27 (a) สำหรับสัญญาณอินพุท $\{b_k\}$ จากสมการ(2.25)

| k | $d_0$ | $\{b_k\}$ | $\{\widetilde{b}_k\}$ |
|---|---|---|---|
| 0 | t [1000101] | 1 | 1 |
| 1 | t [0001011] | 0 | 1 |
| 2 | t [0010111] | 1 | 0 |
| 3 | t [0101110] | 1 | 1 |
| 4 | t [1011101] | 1 | 1 |
| 5 | t [0111011] | 0 | 1 |
| 6 | t [1110111] | 1 | 1 |
| 7 | t [1101111] | 0 | 0 |
| 8 | t [1011110] | 1 | 0 |
| 9 | t [0111100] | 1 | 1 |
| 10 | t [1111001] | 1 | 1 |
| 11 | t [1110011] | 0 | 0 |
| 12 | t [1100110] | 1 | 0 |
| 13 | t [1001100] | 0 | 1 |
| 14 | t [0011001] | 0 | 1 |
| 15 | t [0110011] | 0 | 1 |
| 16 | t [1100111] | 0 | 0 |
| 17 | t [1001110] | 0 | 1 |
| 18 | t [0011101] | 1 | 0 |
| 19 | t [0111010] | 1 | 1 |
| ⋮ | ⋮ | ⋮ | ⋮ |

ตารางที่ 2.2 _state vector $d_k$ และ scrambled signal $\{\widetilde{b}_k\}$ของระบบเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.10.2 การถอดรหัส (Descramble)**

เช่นกัน เราพิจารณา self synchronous descrambler ตามรูปที่ 2.27 (b) ที่มี characteristic polynomial เป็น $\psi(x)=\sum_{i=0}^{L}\varphi_i x^i$ เมื่อสถานะของ jth shift register ที่เวลา k , $\hat{d}_{j,k}$ , j=0,1,…,L-1 ซึ่งจะพิจารณาจากสถานะก่อนหน้า $\hat{d}_{j,k-1}$ ,j=0,1,…, L-1 ดังสมการ

$$\hat{d}_{j,k}=\begin{cases}\hat{d}_{j+1,k-1}; j=0,1,\ldots,L-2\\ \hat{b}_{k-1}; j=L-1\end{cases} \tag{2.29}$$

เราจะได้ vector

$$\hat{d}_k=\widetilde{O}_L\cdot\hat{d}_{k-1}+\hat{b}_{k-1}e_{L-1} \tag{2.30}$$

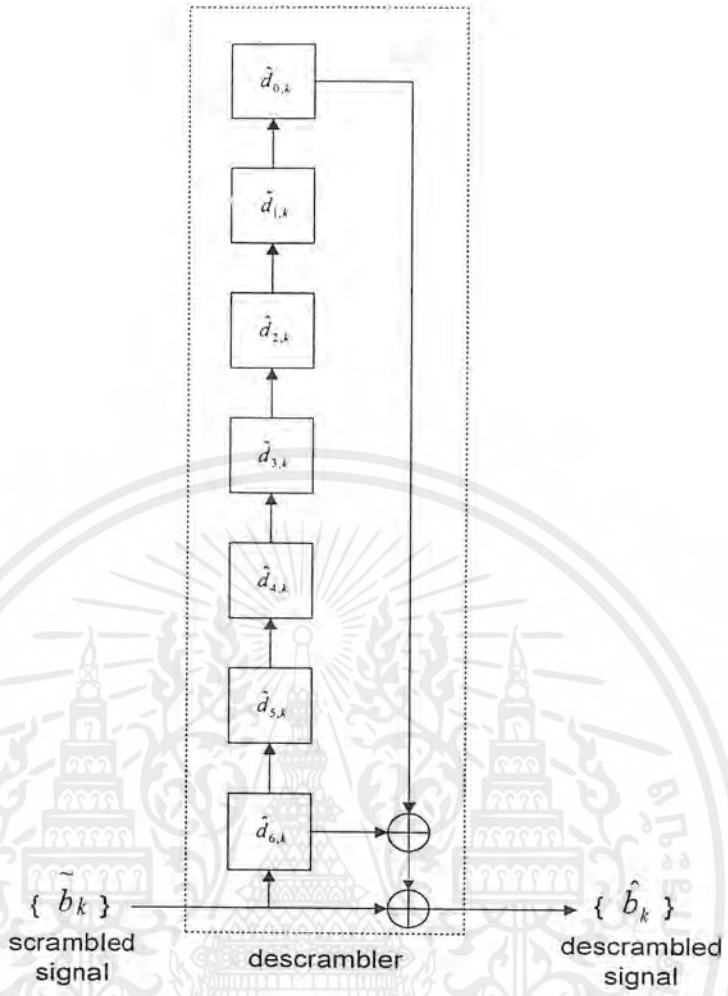
สำหรับสถานะของ state vector $\hat{d}_k$ , ซึ่ง $\widetilde{O}$ เป็น Upper – diagonal matrix กำหนดโดย

$$\widetilde{O}_L=\begin{bmatrix}O_{(L-1)\times 1} & I_{(L-1)(L-1)}\\ 0 & O_{1\times(L-1)}\end{bmatrix} \tag{2.31}$$

สัญญาณ $\hat{b}_k$ จะได้รับข้อมูลจริงที่มากับสัญญาณ $\widetilde{b}_k$ ซึ่งมาจากภาคเข้ารหัส ดังนั้นเราจะได้

$$\hat{b}_k=e_{L-1}^t\cdot A_{\psi,r(x)}^t\cdot\hat{d}_k+\widetilde{b}_k \tag{2.32}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.29 SSS descrambler characteristic polynomial $\psi(x) = x^7 + x + 1$

ตัวอย่างที่ 2.10.3 เราพิจารณาการถอดรหัส ดังรูปด้านบน ซึ่งมี characteristic polynomial $\psi(x) = x^7 + x + 1$ ถ้า initial state vector $\hat{d}_0$ =[0110010]$^t$ จากนั้นด้วยสมการ(2.29) สถานะของ $\hat{d}_k$ สำหรับสัญญาณ $\tilde{b}_k$ ในสมการ(2.26) จะเป็นดังตาราง 2.2 ดังนั้นด้วยสมการ(2.31) จะได้สัญญาณ descrambled $\{\hat{b}_k\}$ ดังนี้

$$\{\hat{b}_k\}=\{1,1,0,1,0,1,0,0,1,1,1,0,1,0,0,0,0,0,1,1,\ldots.\} \tag{2.33}$$

โดยที่ state vector $\hat{d}_k$ ทางด้านตัวถอดรหัส และ descrambled signal $\hat{b}_k$ สามารถแสดงในเทอมของ scrambled signal $\tilde{b}_k$ ถ้าจำนวนของสัญญาณ $\tilde{b}_k$ ที่เข้ามามีเพียงพอ ซึ่งอธิบายได้ด้วย 2 ทฤษฎี

ทฤษฎีที่ 2.10.3 สำหรับการถอดรหัส ที่มี characteristic polynomial เป็น $\psi(x) = \sum_{i=0}^{L} \varphi_i x^i$, kth state vector $\hat{d}_k$, k= L,L+1,...., แสดงได้โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\hat{d}_k = \left[\tilde{b}_{k-L} \quad \tilde{b}_{k-L+1} \quad \cdots \quad \tilde{b}_{k-1}\right]^t \tag{2.34}$$

*ไม่คำนึงถึง initial state vector* $\hat{d}_0$

ตาราง 2.3 state vector $\hat{d}_k$ และ descrambled signal $\{\hat{b}_k\}$ ในสมการ(2.26) ( เครื่องหมาย * แสดงสถานะเริ่มต้น 7 สถานะ ซึ่ง $\hat{d}_k \neq d_k$ และ $\hat{b}_k \neq b_k$ เพื่อให้สอดคล้องกับค่า $d_k$ และ $b_k$ ในตาราง 2.2 )

| k | $\hat{d}_0$ | $\{\tilde{b}_k\}$ | $\{\hat{b}_k\}$ |
|---|---|---|---|
| *0 | t [0110010] | 1 | 1 |
| *1 | t [1100101] | 1 | 1 |
| *2 | t [1001011] | 0 | 0 |
| *3 | t [0010110] | 1 | 1 |
| *4 | t [0101101] | 1 | 0 |
| *5 | t [1011011] | 1 | 1 |
| *6 | t [0110111] | 1 | 0 |
| 7 | t [1101111] | 0 | 0 |
| 8 | t [1011110] | 0 | 1 |
| 9 | t [0111100] | 1 | 1 |
| 10 | t [1111001] | 1 | 1 |
| 11 | t [1110011] | 0 | 0 |
| 12 | t [1100110] | 0 | 1 |
| 13 | t [1001100] | 1 | 0 |
| 14 | t [0011001] | 1 | 0 |
| 15 | t [0110011] | 1 | 0 |
| 16 | t [1100111] | 0 | 0 |
| 17 | t [1001110] | 1 | 0 |
| 18 | t [0011101] | 0 | 1 |
| 19 | t [0111010] | 1 | 1 |
| ⋮ | ⋮ | ⋮ | ⋮ |

ตาราง 2.3 state vector $\hat{d}_k$ และ descrambled signal $\{\hat{b}_k\}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎี 2.10.4 สำหรับการถอดรหัส ซึ่งมี characteristic polynomial เป็น $\psi(x)=\sum_{i=0}^{L}\varphi_i x^i$ ,kth descrambled signal $\hat{b}_k$ ,k=L,L+1,..., แสดงได้โดย

$$\hat{b}_k=\sum_{i=0}^{L}\varphi_i\tilde{b}_{k-i} \tag{2.35}$$

*ไม่คำนึงถึง initial state vector* $\hat{d}_0$

ตัวอย่างที่2.10.4 การถอดรหัส ในรูปที่ 2.10.2 ที่มี characteristic polynomial เป็น $\psi(x)=x^7+x+1$ เราสามารถบอกสถานะของ state vector $\hat{d}_k$ เมื่อ k = 7,8,..., ได้ดังตาราง 2.10.2 โดยใช้สมการ(2.34) และโดยสมการ(2.16) kth descrambled signal $\hat{b}_k$ ,k = 7,8,..., จะเป็น $\tilde{b}_k+\tilde{b}_{k-1}+\tilde{b}_{k-7}$ เมื่อ k=7 จะได้ $\hat{b}_7=\tilde{b}_7+\tilde{b}_6+\tilde{b}_0$ ซึ่งจะได้ค่า 0 (เมื่อใช้ค่า $\tilde{b}_k$ ในสมการ(2.26)) และลักษณะเดียวกันนำมาประยุกต์ใช้ที่ k=8,9,..., เราก็จะได้ descrambled signal $\{\tilde{b}_k\}$ดังสมการ (2.32)

**2.10.2 Self-Synchronization**

ในการตรวจสอบว่าระบบ SSS. มีการซิงโครไนส์เซชั่นได้อย่างไร เราเปรียบเทียบทฤษฎี 2.10.1 และ 2.10.2 กับทฤษฎี 2.10.3 และ 2.10.4 ตามลำดับ เราสามารถหาข้อสรุปได้ด้วย 2 ทฤษฎี ตามคุณสมบัติของ self-synchronization คือ

ทฤษฎี2.10.5 คู่การเข้ารหัสและถอดรหัสที่มี characteristic polynomial เป็น $\psi(x)=\sum_{i=0}^{L}\varphi_i x^i$ ,kth state vector $\hat{d}_k$ ,k=L,L+1,..., ของภาคถอดรหัสจะเหมือนกันกับ kth state vector $d_k$ ของภาคเข้ารหัสโดยไม่คำนึงถึง initial state vector $d_0$ ของภาคเข้ารหัส และ initial state vector $\hat{d}_0$ ของภาคถอดรหัส

ทฤษฎี2.10.6 คู่การเข้ารหัสและถอดรหัสที่มี characteristic polynomial เป็น $\psi(x)=\sum_{i=0}^{L}\varphi_i x^i$ ,kth descrambler signal $\hat{b}_k$ ,k=L,L+1,..., จะเหมือนกันกับ kth input signal $b_k$ โดยไม่คำนึงถึง initial state vector ของภาคเข้ารหัสและ initial state vector $\hat{d}_0$ ของภาคถอดรหัส

ความหมายของทฤษฎีคือ ถ้าจำนวนของข้อมูล (scrambled data) ที่รับได้เท่ากับความยาวของตัวเข้ารหัสและตัวถอดรหัส (จำนวนชิฟรีจิสเตอร์) จะทำให้ descrambler state vector เกิดการ ซิงโครไนซ์ กับ scrambler state vector โดยอัตโนมัติ เป็นผลทำให้สัญญาณเอาท์พุทของภาคถอดรหัส ตรงกันกับสัญญาณอินพุทที่ภาคเข้ารหัสซึ่งการซิงโครไนส์เซชั่น นี้เกิดขึ้นโดยไม่ต้องมีกระบวนการพิเศษใดๆ หรือเรียกว่าเกิดการซิงโครไนซ์ด้วยตัวเองในระบบ SSS.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.10.3 Error-multiplication**

พิจารณาคุณสมบัติ error-multiplication ของระบบ SSS. ซึ่งจะทำการตรวจสอบจำนวน error ที่เกิดขึ้นใน descrambled signal $\{\hat{b}_k\}$ เนื่องจาก bit error ในสัญญาณ scrambled signal $\{\tilde{b}_k\}$ ซึ่งเกิดขึ้นระหว่างการส่ง เราจะอธิบายในเทอมของ weight of the characteristic polynomial $\psi(x)$ ดังนี้

Definition 2.10.7 (weight of characteristic polynomial) ถ้า characteristic polynomial เป็น $\psi(x)=\sum_{i=0}^{L}\varphi_i x^i$ เรากำหนด weight $W[\psi(x)]$ คือจำนวนสัมประสิทธิ์ของ $\varphi_i$ ที่เป็น 1

ตัวอย่าง 2.10.5 ค่า characteristic polynomial $\psi(x)=x^7+x+1$ ซึ่งมีสัมประสิทธิ์ 3 ตัวที่เป็น 1 $\varphi_0,\varphi_1,\varphi_7$ ดังนั้น weight ของมัน $W[x^7+x+1]$ ก็จะเท่ากับ 3

ทฤษฎี 2.10.8 คู่การเข้ารหัสและถอดรหัส ที่มี characteristic polynomial $\psi(x)=\sum_{i=0}^{L}\varphi_i x^i$ ถ้า weight $W[\psi(x)]$ เป็น $\omega$ เช่น $\varphi_{ij}=1$ สำหรับ j=0,1,...,$\omega$-1 แต่ถ้า kth scambled signal $\tilde{b}_k$ เมื่อ k=L,L+1,..., เกิด error ขึ้น descrambled signal elements $\hat{b}_{k+i_j}$, j=0,1,...,$\omega$-1 จะ error ทั้งหมด

จากทฤษฎีแสดงว่า จำนวน error ใน descrambled signal เกิดขึ้นจากบิต error บิตเดียวในภาคเข้ารหัส จะเท่ากับ weight of the characteristic polynomial

ตัวอย่าง 2.10.6 คู่การเข้ารหัสและถอดรหัส ในรูป 2.28 ,2.29 weight ของ characteristic polynomial $\psi(x)=x^7+x+1$ คือ 3 ดังนั้น ในระบบ SSS. error-multiplication factor ก็คือ 3 ถ้า $\tilde{b}_8=0$ ใน scrambled signal $\{\tilde{b}_k\}$ ในสมการ(2.26) ถ้าเกิด error จะกลายเป็น 1 ทำให้ $\hat{b}_8,\hat{b}_9$ ที่ด้านตัวถอดรหัส เป็น 0 และ $\hat{b}_{15}$ เป็น 1 ซึ่งสามารถตรวจสอบได้ด้วยสมการ (2.35)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
# การสร้างและการออกแบบ

## 3.1 วงจรกรองสัญญาณ

โดยทั่วไปในระบบการเข้ารหัส ไม่ว่าจะเป็น PCM หรือ DM เฉพาะส่วนแปลงจากอนาลอกเป็นดิจิตอล ต้องมีวงจรกรองความถี่ หรือ ฟิลเตอร์ ในการจำกัดความถี่เข้ามามากที่สุด ให้น้อยกว่าครึ่งหนึ่งของอัตราการสุ่ม ดังนั้นวงจรกรองความถี่ที่ใช้กับสัญญาณในย่านความถี่เสียง จะต้องใช่วงจรกรองความถี่ต่ำ ส่วนในการออกแบบนั่นได้ใช้รูปกราฟในการหาค่าต่างๆซึ่งอยู่ในภาคผนวกตัววงจรเป็นแบบแอคทีฟ ก็คือใช้อุปกรณ์พวกไอซีและต้องนำมาต่อร่วมกับตัวต้านและตัวเก็บประจุวงจรกรองความถี่ทางด้านส่งและด้านรับ ในโครงงานนี้จะใช้วงจรกรองความถี่ต่ำผ่านที่เหมือนกัน ก็คือจะอยู่ในช่วงของความถี่ในย่านความถี่เสียงคือประมาณ 0-4 kHz. ในการออกแบได้เลือกใช้วงจรกรองความถี่ต่ำอันดับที่สี่ แบบบัตเตอร์เวิร์ธเนื่องจากวงจรกรองความถี่แบบบัตเตอร์เวิร์ธ มีข้อดีคือสามารถให้ตอบสนองเชิงขนาดของสัญญาณได้เท่าเทียมกันตลอดย่านความถี่ที่ต้องการ ส่วนวงจรกรองความถี่อีกแบบคือ เชบีเชฟ ที่ไม่ได้ใช้เพราะมีข้อเสียคือมีการกระเพื่อมเกิดขึ้นในช่วงความถี่ที่ยอมให้ผ่าน แต่ข้อดีของมันคือการส่งผ่านแต่ข้อดีของมันคือการส่งผ่านของแถบความถี่มีความชันมากจากการทรานเฟอร์ ฟังก์ชั่นของวงจรกรองความถี่ต่ำผ่านอันดับสองแบบบัตเตอร์เวิร์ธซึ่งมีสมการดังนี้

$$H(s) = \frac{V_2(s)}{V_1(s)} = \frac{K}{s^2 + as + b}$$

โดยที่ a,b เป็นค่าคงที่ในการออกแบบ

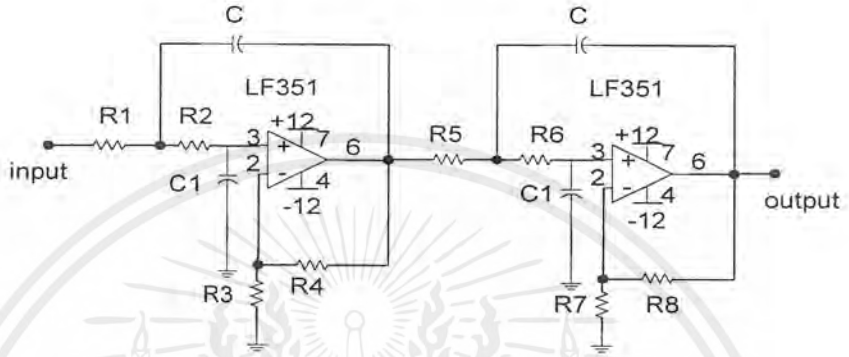
K เป็นค่าคงที่

ในกรณีของสมการการทรานเฟอร์ฟังก์ชั่นที่มีอันดับสูงกว่านี้ก็สามารถหาได้โดยสมการ โพลิโนเมียลอันดับสองเช่นกัน เพียงแต่ตัวหารเป็นนิพจน์ที่มีกำลังสูงสุดตามลำดับนั้นๆและสามารถหาอัตราการขยายวงจรกรองความถี่อันดับที่สี่ เนื่องจากว่าอันดับที่สูงๆจะให้ประสิทธิภาพในการกรองความถี่ที่ดียิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**3.1.1 การออกแบบวงจรกรองความถี่ต่ำผ่าน**

ทางภาครับจะต้องใช้วงจรกรองความถี่ต่ำผ่านนี้ในการกรองเอาสัญญาณ FSK เพื่อนำไปดีมอดูเลทสัญญาณข้อมูลออกมา และอีกส่วนที่ต้องใช้วงจรกรองความถีต่ำผ่านนี้คือ ใช้ในการกรองสัญญาณเสียงที่ออกจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก




รูปที่ 3.1 วงจรกรองความถี่ต่ำผ่านอันดับสี่แบบบัตเตอร์เวิร์ธ

- การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับที่สี่แบบบัตเตอร์เวิร์ธ ความถี่คัทออฟที่ 3.5 kHz. (ใช้กรองความถี่เสียง) ดูกราฟในภาคผนวก เลือกค่า C=6800 pF ได้ค่า K = 5 จากค่า K ที่ได้หาค่า R จากตารางได้ดังนี้

  C,C1 = 6800 pF

  R1 = 10 kΩ

  R2 = 6.8 kΩ

  R3 ,R4 = 33 kΩ

  R5 = 4.7 kΩ

  R6 = 15 kΩ

  R7,R8 = 39 kΩ

- การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับที่สี่แบบบัตเตอร์เวิร์ธ ความถี่คัทออฟที่ 40 kHz. (ใช้กรองสัญญาณ FSK ) ดูกราฟในภาคผนวก เลือกค่า C=150 pF ได้ค่า K = 17 จากค่า K ที่ได้หาค่า R จากตารางได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C,C1 = 150 pF

R1 = 35 k$\Omega$

R2 = 13 k$\Omega$

R3 ,R4 = 110 k$\Omega$

R5 = 15 k$\Omega$

R6 = 50 k$\Omega$

R7,R8 = 130 k$\Omega$

จากนั้นนำค่าอุปกรณ์ต่างๆ ต่อวงจรตามรูปที่ 3.1 ส่วนไอซีที่ใช้นั้นจะต้องมีเสถียรภาพในการทำงานที่ดี จะต้องทำการชดเชยความถี่ให้กับตัวไอซี นอกจากนั้นแล้วต้องมีคุณสมบัติทางด้านอัตราขยายและตอบสนองเชิงความถี่ ครอบคลุมย่านความถี่ที่ต้องการทั้งหมด ดังนั้นในโครงงานนี้ได้เลือกใช้ไอซีเบอร์ LF 351 นอกจากนั้นชนิดของตัวเก็บประจุก็ต้องเลือกใช้ชนิดที่มีความเที่ยงตรงสูงซึ่งได้ใช้แบบไมล่าร์ก็มีความเที่ยงตรงสูง

**3.1.2 วงจรกรองความถี่แถบผ่าน**

วงจรกรองช่วงความถี่ แบ่งออกเป็น 2 อย่าง คือ narrow band filter และ wide band fillter โดย วงจร narrow band filter จะมีค่าแบนด์วิธมากกว่า 0.1 เท่า ของความถี่รีโซแนนซ์ ( $B < 0.1\ W_r$ ) และวงจร wide band filter จะมีค่าแบนด์วิธน้อยกว่า 0.1 เท่า ของความถี่รีโซแนนซ์ อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิธเราเรียกว่า quality factor : Q

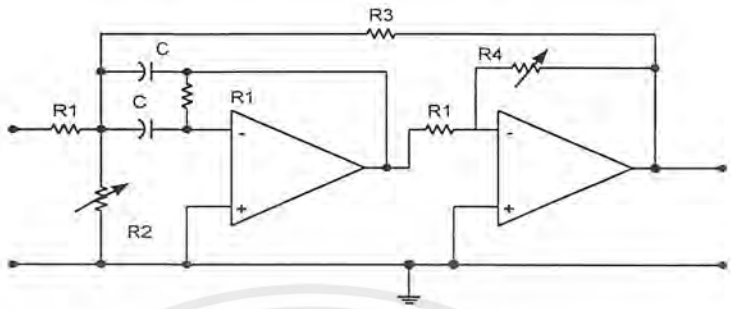
$$B = \frac{Wr}{Q}$$

$$Q = \frac{Wr}{B}$$

หรือนั่นคือค่า Q ของวงจร narrow band filter จะมีค่ามากกว่า 10 และค่า Q ของวงจร wide band fillter จะมีค่าน้อยกว่า 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรกรองความถี่ย่านผ่านเราใช้วงจร Second-Order Positive-Feedback Band-Pass Filter แสดงดังรูป 3.2




รูป 3.2 วงจร Second-Order Positive-Feedback Band-Pass Filter

การออกแบบเราจะกำหนดความถี่ที่ต้องการ กำหนดค่า Q หรือ BW และอัตราขยายที่ต้องการ ขั้นตอนในการออกแบบมีดังนี้

1) เลือกค่าคาปาซิเตอร์ และหาค่า K parameter จากกราฟในภาคผนวก

2) ใช้ค่า K ที่หาได้จากข้อ 1) มาหาค่าความต้านทานจากกราฟเช่นกัน ซึ่งค่าความต้านทานนี้ จะขึ้นอยู่กับค่า Q , BW และอัตราขยายที่เรากำหนด

3) เลือกค่าความต้านทานให้ตรงตามกราฟที่ได้และทำการสร้างวงจรจากการออกแบบ

- ที่ความถี่ 128 kHz (.ใช้กรองสัญญาณไพลอท) กำหนดค่า Q=30, G=10 เลือกค่า C= 30 pF ดังนั้นจะได้ค่า K=25 จะได้ค่า $R_1$= 220 k$\Omega$ , $R_2$= 8 k$\Omega$ , $R_3$= 280 k$\Omega$ , $R_4$= 400 k$\Omega$

**3.2 การออกแบบ FSK Modulator**

ในการออกแบบได้นำเอาไอซีเบอร์ XR-2206 ซึ่งเป็น monolithic function generator กำเนิดรูปคลื่นเอาท์พุทได้ทั้งคลื่นซายน์ คลื่นสามเหลี่ยม คลื่นสี่เหลี่ยม หรือแรมป์(Ramp) โดยมีย่านความถี่ตั้งแต่ 0.01 Hz ถึง MHzในกรณีนี้เราจะใช้ XR-2206 ในการกำเนิดคลื่นรูปซายน์ ในลักษณะ FSK Generator โดยใช้ไทม์มิ่ง รีซีสเตอร์ R1 และ R2 ที่ต่อระหว่าง ขา 7 และ ขา 8 กับกราวด์ตามลำดับ โดยที่สัญญาณดิจิตอล (หรือ keying Signal) ที่ป้อนเขามายัง ขา9 ของ ไอซี เป็นตัวกำเนิดสัญญาณทางเอาท์พุท (ขา2) ถ้าขา 9 อยู่ในสภาวะวงจรเปิดหรือมี Vin มากกว่าหรือเท่ากับ 2 V แล้ว R1 จะเป็นตัวกำหนดไทม์มิ่งร่วมกับตัวเก็บประจุที่ต่อคร่อมระหว่างขา 5 และขา 6 (หรือในทำนองเดียวกลับกัน ถ้า ขา9 มี Vin น้อยกว่าหรือเท่ากับ 1V แล้ว R2 จะเป็นตัวกำหนดไทม์มิ่งร่วมกับตัวเก็บประจุระหว่างขา 5 และขา 6 เช่นเดียวกัน) จึงทำให้ความถี่ output จะอยู่ในช่วงระหว่าง fm และ fs โดยทั้ง fm และ fs จะอิสระต่อกันและสามารถเปลี่ยนแปลงความถี่ได้โดยการเลือกค่า R1 และ R2 ตามสมการข้างล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

fm=1/R1C

fs =1/R2C

ตัวเก็บประจุระหว่างขา 5 และขา 6 จะอยู่ในช่วง 1,000pF-100uF ตัวต้านทาน R1 และR2 จะอยู่ในช่วง 4k -200k

(mark- space frequency difference)/(maximum data rate) ≥ 83%

ในที่นี้ให้ $(f_H - f_L)/(\text{data rate}) = 90\%$

$$\therefore f_H - f_L = 16000 \times 0.9$$

$$= 14.4 kHz.$$

โดยที่ ความถี่ต่ำจะต้องมีค่าน้อยกว่า 55% ของความถี่สูง

ในที่นี้ให้ $f_L = 0.5 f_H$

$$f_H = \frac{14.4 kHz.}{0.5} = 28.8 kHz.$$

$$f_L = 0.5 \times 28.8 kHz. = 14.4 kHz.$$

ที่ความเร็วของการรับ-ส่ง 1600 Baud fm = 14.4 kHz, fs = 28.8 kHz เมื่อทราบค่า fm และ fs ก็สามารถหาค่าความต้านทาน R1 และ R2 ได้ โดยกำหนดให้ตัวเก็บประจุระหว่างขา 4 กับขา 5 เป็น 1800 pF (ยังอยู่ในช่วงที่กำหนด)

จากสมการ $fm = 1/R_1C$

ดังนั้น $R1 = 1/fmC$

$R1 = 1/(14400*1800*10^{-12})$

$R1 = 38.58\ k\Omega$

เนื่องจากเราต้องสามารถปรับความถี่ได้อิสระ ดังนั้นจึงใช้โพเท็นชิโอมิเตอร์ 50 kΩ และสามารถหา R2 ได้จากสมการเดียวกัน

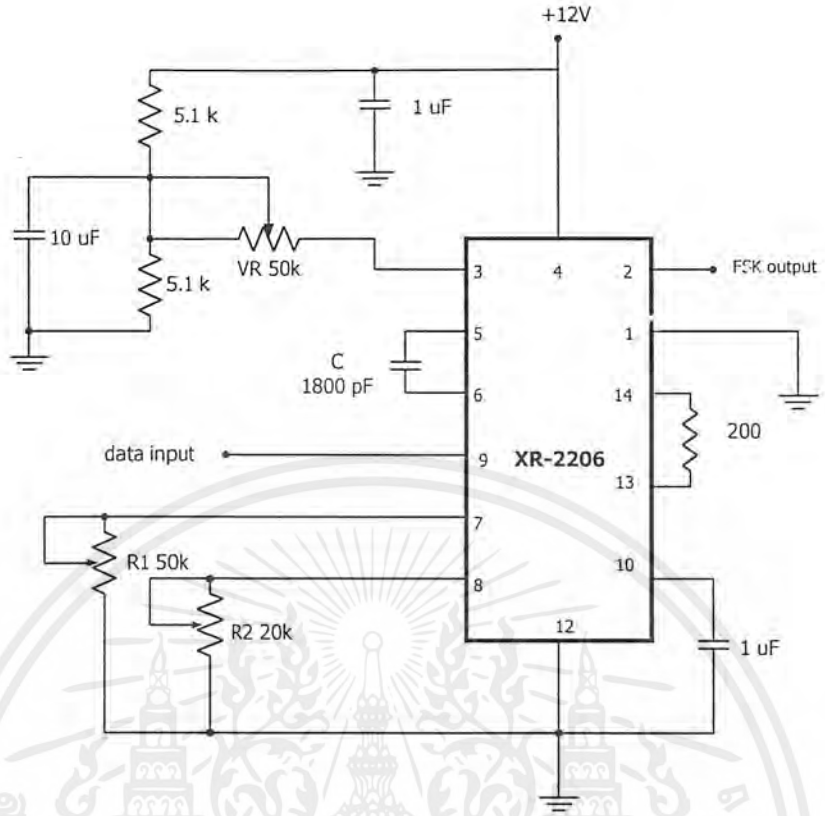
$R2 = 1/fsC$

$R2 = 1/(28800*1800*10^{-12})$

$R2 = 19.29\ k\Omega$

ใช้โพเท็นชิโอมิเตอร์ 20 kΩ ต่อระหว่างขา 8 กับกราวด์ วงจรจะเป็นดังรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.3 วงจร FSK Modulator

- การปรับแต่งระดับเอาท์พุทไฟตรง

ระดับแรงดันไฟตรงที่ขาเอาท์พุท (ขา 2) จะมีค่าโดยประมาณเท่ากับแรงดันไบอัสที่ขา 3 จากวงจรจะเห็นว่าแรงดันที่ขา 3 จะได้จากการแบ่งแรงดันระหว่างค่าความต้านทาน 5.1 kΩ สองตัวกับแรงดันไฟเลี้ยงประมาณ 6 V เมื่อแรงดันไฟเลี้ยงในวงจรเป็น +12 โวลท์ และสามารถปรับโดยโพเท็นชิโอมิเตอร์ 50 kΩ ที่อนุกรมกับขา 3 ดังนั้นการปรับที่ขา 3 ก็เป็นการปรับระดับของสัญญาณเอาท์พุทขา 2 ให้อยู่ในระดับที่ต้องการส่ง

- การปรับการผิดเพี้ยนรูปคลื่นของสัญญาณเอาท์พุท

ขา 13 และ 14 มีไว้สำหรับปรับแต่งรูปคลื่นเพื่อปรับการผิดเพี้ยน (distortion) ของรูปร่างสัญญาณ อันเนื่องมาจากความผิดเพี้ยนฮาร์โมนิค โดยการต่อค่าความต้านทานเข้าไประหว่างขา 13 และ 14 แต่ในคู่มือ XR-2206 แนะนำให้ใช้ค่า 200 Ω โดยไม่มีการปรับแต่งแต่อย่างใด

### 3.3 การออกแบบ FSK Demodulator

จากรูปอุปกรณ์ภายนอกคือ $R_0C_0$ จะ set free running frequency หรือ center frequency(fo) ของ PLL , $R_1$ จะเซ็ท bandwith , $C_1$ เซ็ท Damping factor หรือ filter time constant , $C_f$ และ $R_f$ สำหรับเซ็ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data FSK output ค่าความต้านทาน $R_B$(510k) ระหว่างขา 7 และ ขา 8 เป็นตัวป้อนกลับทางบวกเพื่อให้ Transision Time ของ FSK output เร็วขึ้น การหาค่าอุปกรณ์ต่างๆสามารถหาได้ดังนี้

1. การหาค่า center frequency (fo) ของ PLL ได้จากสมาการ

$$fo = \frac{fm + fs}{2} = \frac{14.4kHz + 28.8kHz}{2} = 21.6 \text{ kHz.}$$

2. หาค่า $R_0$ จากสูตร

$$R_0 = \frac{1}{foCo}$$ เลือกค่า $C_0$ = 1000 pF ดังนั้น

$$R_0 = \frac{1}{21.6kHz * 1000pF} = 46.296 \text{ k}\Omega \text{ (ใช้ VR 50k}\Omega\text{)}$$

3. หาค่า R1 เพื่อตั้ง bandwidth จาก

$$R1 = \frac{Ro * fo}{\Delta f}$$

$$\Delta f = |fs - fm| = |14.4 - 28.8| = 14.4 \text{ kHz}$$

$$R1 = \frac{(46.296k) * (21.6kHz)}{14.4kHz} = 69.45 \text{ k}\Omega \text{ (ใช้ VR 100k}\Omega\text{)}$$

4. หาค่า C1 เพื่อตั้งค่า damping factor

$$\text{damping factor} = 0.25\sqrt{Co / C1}$$

โดยทั่วไปจะให้ damping factor เท่ากับ 0.5 ดังนั้น

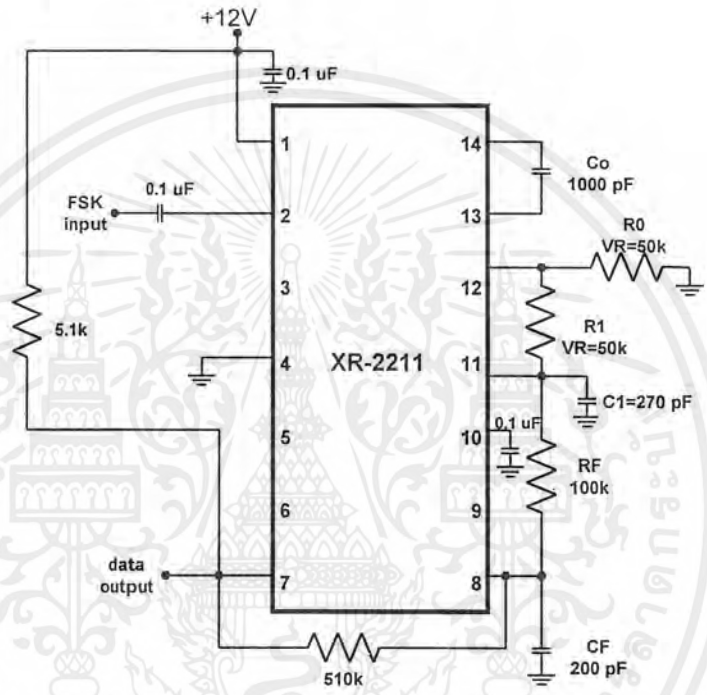
$$C1 = \frac{Co}{4} = \frac{1000pF}{4} = 250 \text{ pF(ใช้ค่า 270 pF)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. หาค่า Cf เมื่อค่า Rf =100k$\Omega$ และ Rb = 510 k$\Omega$ จะหาค่า Cf ได้จาก

$$Cf = \frac{3}{baudrate}(uF) = \frac{3}{16kbps} = 187.5 \text{ pF(ใช้ค่า 200 pF)}$$

จะได้วงจร FSK demodulator 32 kbps. โดยใช้ค่าจากการคำนวณ ดังรูปต่อไปนี้

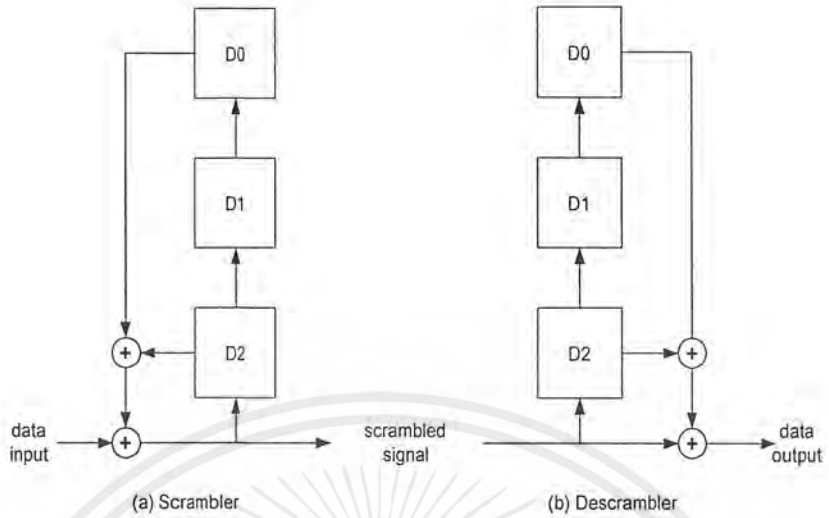



รูปที่ 3.4 แสดงวงจร FSK demoulator

**3.4 การออกแบบตัวเข้ารหัส และตัวถอดรหัส**

ในโครงงานนี้จะใช้การเข้ารหัสแบบ self synchronous scrambling (SSS.) ซึ่งมีคือไม่ต้องมีกระบวนการในการเซ็ทสถานะเริ่มต้นของชิฟรีจิสเตอร์ให้ซิงโครไนซ์กันเนื่องจากสถานะของชิฟรีจิสเตอร์จะซิงโครไนซ์ กันโดยอัตโนมัติ จากทฤษฎีในการออกแบบจะต้องกำหนด characteristic polynomial ของระบบก่อนตามสมการ $\sum_{i=0}^{L} \varphi_i x^i$ เมื่อ $\varphi_0 = 1$ ในที่นี้เรากำหนด characteristic polynomial เป็น $x^3 + x + 1$ จากนั้นนำมาออกแบบได้ดังนี้

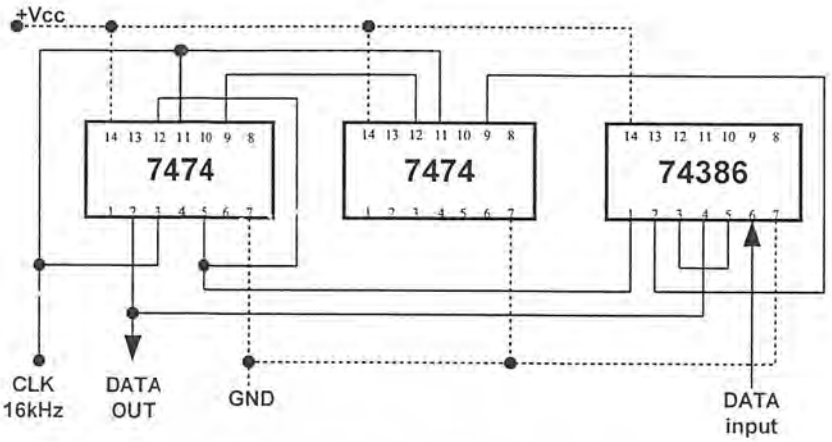
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



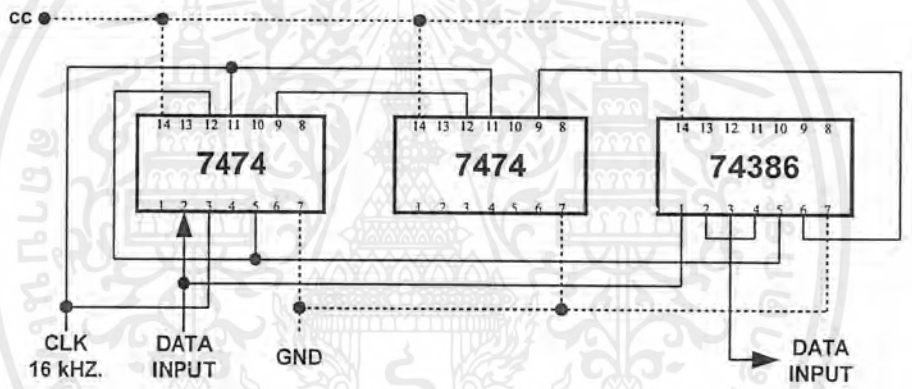

รูปที่ 3.5 แสดงบล็อคไดอะแกรม การเข้ารหัสและถอดรหัสที่ใช้

โดยเราจะใช้ดีฟลิปฟลอป ทำหน้าที่เป็นชิฟรีจิสเตอร์และในการชิฟ ข้อมูลจะใช้สัญญาณนาฬิกา 16 kHz. ดังนั้นสัญญาณข้อมูลอินพุทและสัญญาณ scrambled signal จะมีความเร็วเท่าเดิมคือ 16 kbps. แต่รหัสข้อมูลจะเปลี่ยนไป ซึ่งในการใช้งานจริงจะใช้ ไอซี 7474 ซึ่งเป็นดีฟลิปฟลลอป และ ไอซี 74386 ซึ่งเป็นเอ็กคลูซีฟออร์เกต ต่อวงจรดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.6 แสดงวงจรภาคเข้ารหัส

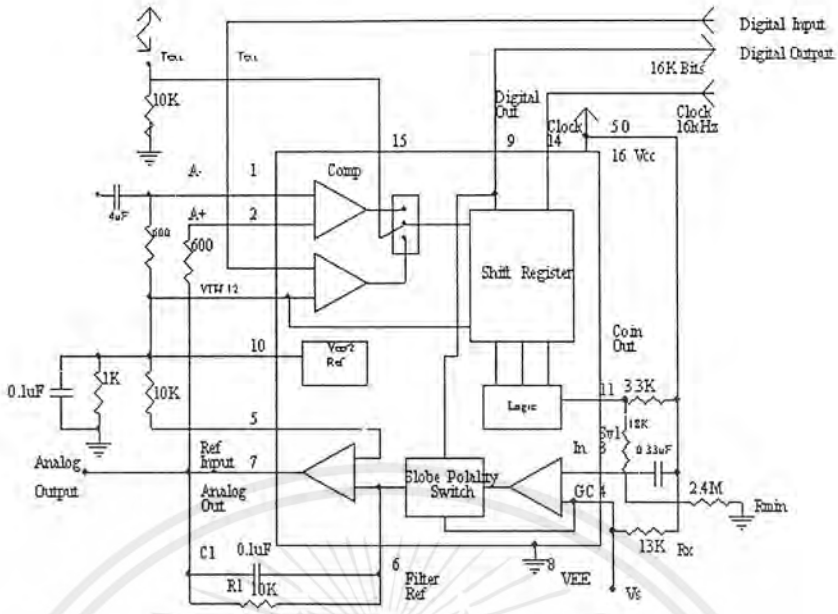



รูปที่ 3.7 แสดงวงจรภาคถอดรหัส

**3.5 การออกแบบวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและดิจดตอลเป็นอนาลอก**

ในโครงการนี้ใช้ไอซี MC34115 ซึ่งเป็นส่วนสำคัญของโครงงานมีชื่อเรียกเต็มๆว่า Continuously Variable Slope Delta Modulator / demodulator เป็นไอซีที่ทำหน้าที่แปลงสัญญาณอนาลอกเป็นดิจิตอล และแปลงจากข้อมูลดิจิตอลให้เป็นข้อมูลอนาลอกเหมือนเดิม แต่ไอซี MC34115 จะใช้งานเป็นแบบ Simplex ดังนั้นถ้าจะใช้แบบ Full duplex จึงต้องใช้สองตัว ในปัจจุบันวิธีเดลต้ามอดูเลชั่น นำมาประยุกต์ใช้กับการสื่อสารหลายรูปแบบ เช่น การสื่อสารโดยใช้ดาวเทียม โทรทัศน์เป็นต้น ปกติแล้วอัตราเร็วของข้อมูลที่ได้จากวิธีเดลต้าอดูเลชั่นมีค่าเท่ากับความถี่ของสัญญาณนาฬิกา หรือจะเรียกได้ว่าทำการเข้ารหัสข้อมูล 1 บิทต่อสัญญาณนาฬิกา 1 ลูก และเหตุผลที่เลือกใช้ไอซี MC34115 เป็นตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลซึ่งจริงๆแล้วจะมีวงจรมากมายที่สามารถแปลงจากอนาลอกเป็นดิจิตอลหรือจากดิจิตอลเป็นอนาลอก เนื่องจากว่ามีข้อดีคือโครงสร้างของวงจรมีความซับซ้อนน้อยไม่จำเป็นต้องมีการซิงโครไนซ์กันระหว่างข้อมูลของเครื่องรับและเครื่องส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.8 วงจรเข้ารหัสสัญญาณเสียงสัญญาณเสียง

**3.5.1 การออกแบบวงจรเดลต้ามอดูเลเตอร์**

มีลักษณะวงจรพื้นฐานดังในรูปที่ 3.8 ซึ่งวงจรนี้สามารถเลือกการทำงานให้เป็นได้ทั้งการมอดูเลชั่นและดีมอดูเลชั่นโดยการต่อขา encode/decode เข้ากับไฟเลี้ยงหรือกราวด์ตามลำดับ ในการออกแบบเราจะใช้วงจรในรูปที่ 3.8 เป็นหลัก ซึ่งมีขั้นตอนต่างๆดังนี้

- กำหนดความถี่สัญญาณนาฬิกา
- เลือกจำนวนบิทของชิฟรีจิสเตอร์
- เลือกอัตราขยายลูป(loop gain)
- กำหนดขนาดของสเต็ปที่เล็กที่สุด
- ออกแบบทรานส์เฟอร์ฟังชั่นของซิลาบิคฟิลเตอร์(syllabic filter)
- ออกแบบวงจรกรองความถี่ต่ำ

**สัญญาณนาฬิกาและจำนวนบิทของชิฟรีจิสเตอร์**

ในโครงงานนี้เราต้องการความเร็วในการรับส่งข้อมูล 16 kbps.เพื่อให้สามารถรับส่งกันได้ เราจึงเลือกใช้ความถี่ในการแซมปลิ้ง 16 kHz. ซึ่งจะได้รับอัตราข้อมูลประมาณ 16 kbps. ส่วนจำนวนบิทของชิฟรีจิสเตอร์ควรจะเป็น 3 บิทจึงจะเหมาะสม นั่นก็คือเราจะใช้ไอซีเบอร์ MC 34115

**เลือกอัตราขยายลูป(loop gain)**

อัตราการขยายของวงจรป้อนกลับถูกกำหนดด้วยค่าของ Rx ซึ่ง Rx นี้เราจะต้องเลือกค่าที่เหมาะสมเพื่อควบคุมขนาดสเต็ปของวงจรอินทิเกรเตอร์ให้มีค่าที่พอเหมาะ สำหรับกรณีที่สัญญาณอินพุทมีขนาดใหญ่เกินไป และอัตราส่วนการขยาย (companding ratio) ต้องไม่เกิน 25% อัตราส่วนการขยายจะทำงานในช่วงที่ขา Coin ค่าเป็น "0" ดังนั้นอัตราการขยายของระบบจึงขึ้นอยู่กับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ระดับสูงสุดและความถี่สูงสุดของสัญญาณอินพุท
2. ทรานเฟอร์ฟังก์ชั่นของอินทิเกรเตอร์ฟิลเตอร์

**ขนาดของสเต็ปที่เล็กที่สุด**

เมื่อไม่มีสัญญาณอินพุท สัญญาณดิจิตอลเอาท์พุทจะมีลักษณะเป็นพัลซ์บวกลบสลับกันและสัญญาณอนาลอกเอาท์พุทก็จะกลายเป็นสัญญาณรูปคลื่นสามเหลี่ยมเล็กๆ ความไม่พอดีกันระหว่างกระแสภายในและค่าของขนาดของสเต็ปที่เล็กที่สุดที่จำกัดเอาไว้ จะเป็นตัวสร้าง ไอเดิลแชนแนลแพทเทิลที่สมบูรณ์ซึ่งก็ได้มีการทดสอบ MC34115 แล้วว่าเมื่อขนาดสเต็ปที่เล็กที่สุดมีค่า 20 mVp-p ที่ความถี่ 16 kHz มันจะสร้างไอเดิลแชนแนลจะต้องมีค่าเป็น 2 เท่าของ loop offset ทั้งหมด ถ้าหากเราต้องการไอเดิลแชนแนลแพทเทิร์นที่มีหนึ่งกับศูนย์สลับกัน

การตั้งค่าขนาดของไอเดิลแชนแนลสเต็ป ขึ้นอยู่กับการเลือกค่าของRmin เมื่อไม่มีสัญญาณอินพุทส่วนควบคุมอัตราการขยายจะไม่ทำงาน พัลซ์บวกลบที่ติดกันยาวๆจะไม่เกิดขึ้น ดังนั้นแรงดันค่อมตัวเก็บประจุ Syllabic Filter จะค่อยๆหมดไปจนกลายเป็นศูนย์แต่อย่างไรก็ตามยังมีแรงดันที่ได้จากการแบ่งกันระหว่าง Rs และ Rmin ค่าน้อยๆตกคร่อมตัวเก็บประจุ ซึ่งค่าแรงดันนี้จะเป็นตัวกำเนิดสัญญาณลาดเอียง (Ramp) ขึ้นที่อนาลอกเอาท์พุทตามต้องการ จากสมการของกระแสอินพุทของฟิลเตอร์

**การออกแบบอินทิเกรเตอร์ฟิลเตอร์**

จากวงจรในรูปที่ 3.8 ใช้อินทิเกรเตอร์ฟิลเตอร์แบบโพลเดี่ยวซึ่งมีค่า R = 10 k$\Omega$ และ C = 0.1uF ดังนั้นวงจรในรูปที่ 3.9 และรูปที่ 3.10 จึงใช้อินทิเกรเตอร์ฟิลเตอร์เดียวกัน

### 3.5.2 การออกแบบ Syllabic Filter

ส่วน Syllablic Filter ในวงจรรูปที่ 3.8 ใช้แบบโพลเดียวซึ่งมีค่า Rs = 18 k$\Omega$ และ Cs = 0.33 uF ซึ่งมีค่าเวลาคงที่ ( Time Constant ) เท่ากับ 6 ms สำหรับสร้างค่าเฉลี่ยของสัญญาณจากขา Coincidence ทำให้มีแรงดันตกคร่อมตัวเก็บประจุ ที่จะนำไปใช้ในการควบคุมอัตราการขยายของอินทิเกรเตอร์หรือควบคุมขนาดของสเต็ป

**วงจรเดลต้ามอดูเลเตอร์และเดลต้าดีมอดูเลเตอร์**

วงจรในรูปที่ 3.9 เป็นวงจรเดลต้ามอดูเลเตอร์ และในรูปที่ 3.10 เป็นวงจรเดลต้าดีมอดูเลเตอร์ซึ่งลักษณะวงจรจะเหมือนกันเพียงแต่การต่อขาอินพุทและเอาท์พุทจะต่างกัน

การทำงานของวงจรเดลต้ามอดดูเลเตอร์ เริ่มต้นด้วยการป้อนสัญญาณอนาลอกให้กับขาอนาลอกอินพุทซึ่งต่อกับแรงดันอ้างอิงทำให้แรงดันขาอินพุทนี้ถูกยกขึ้นเท่ากับแรงดันอ้างอิง ขาอินพุทนี้จะเป็นค่าหนึ่งของตัวเปรียบเทียบภายใน ซึ่งจะเปรียบเทียบกับสัญญาณอีกขาหนึ่ง ที่ป้อนกลับผ่านวงจรอินทิเกรเตอร์จากตัวเปรียบเทียบ จะเป็นเอาท์พุทของวงจรมอดดูเลเตอร์และสัญญาณเอาท์พุทนี้จะนำไปเก็บไว้ในรีจิสเตอร์ภายใน เพื่อใช้ควบคุมอัตราการขยายของวงจรป้อนกลับถ้าหากว่าสัญญาณเอาท์พุทเป็น “0” หรือ “1” ติดต่อกัน 3 บิทขึ้นไป แสดงว่าอัตราการขยายมีค่าน้อยเกินไป ดังนั้นเอาท์พุท “0” ที่ขา Coin ทำให้แรงดันตกคร่อมตัวเก็บประจุมีค่าเพิ่มขึ้น อัตราการขยายของวงจรอินทิเกรเตอร์จึงเพิ่มขึ้นด้วย ถ้าหากค่า

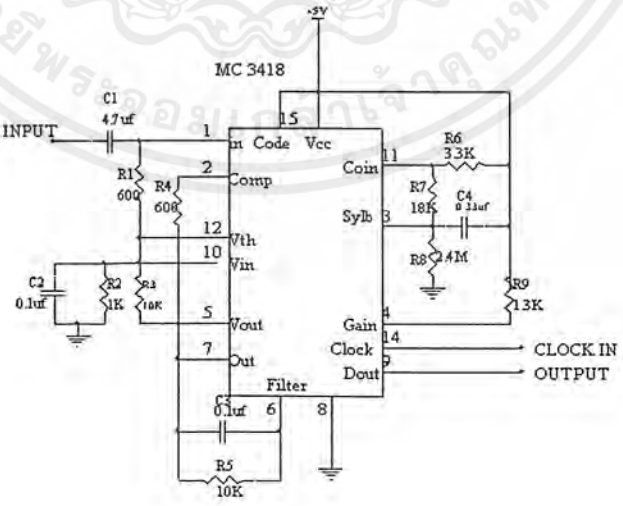
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภายในรีจิสเตอร์ไม่ได้เป็น “0” หรือ “1” หมด ขา Coin นี้จะเป็น “1” ซึ่งจะทำให้แรงดันตกคร่อมตัวเก็บประจุลดลงเป็น “0” อัตราการขยายจึงลดลง

สัญญาณอินทิเกรเตอร์ที่นำไปเปรียบเทียบกับสัญญาณอนาลอกอินพุทนั้น มีลักษณะเป็นสัญญาณลาดเอียง (Ramp) ซึ่งค่าความชันเป็นบวกหรือลบขึ้นอยู่กับเอาท์พุทของตัวเปรียบเทียบ ถ้าเอาท์พุทของตัวเปรียบเทียบเป็น “1” ความชันจะเป็นบวก ถ้าเป็น “0” ความชันจะเป็นลบ

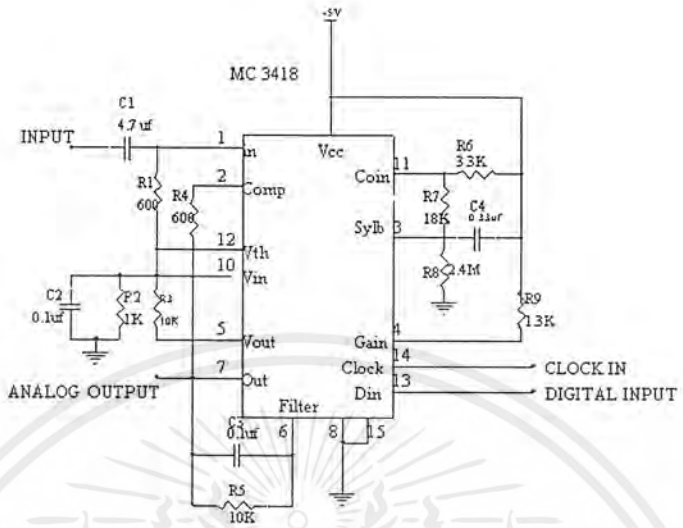
ส่วนการทำงานของวงจรเดลต้ามอดดูเลเตอร์จะคล้ายกับวงจรเดลต้ามอดดูเลเตอร์ นอกจากเอาท์พุทของตัวเปรียบเทียบจะได้จากการเปรียบเทียบสัญญาณดิจิตอลอินพุทกับแรงดันอ้างอิง และสัญญาณเอาท์พุทอนาลอกจะได้จากเอาท์พุทของวงจรอินทิเกรเตอร์ ถ้าให้สัญญาณดิจิตอลอินพุทเป็น “1” เอาท์พุทของตัวเปรียบเทียบจะเป็น “1” ทำให้เอาท์พุทของวงจรอินทิเกรเตอร์ มีค่าเพิ่มขึ้น ถ้าหากสัญญาณดิจิตอลอินพุทเป็น “0” เอาท์พุทของวงจรอินทิเกรเตอร์ มีค่าลดลงส่วนในกรณีที่สัญญาณดิจิตอลอินพุทเป็น “1” หรือ “0” ติดต่อกันเท่ากับหรือมากกว่า 3 บิท อัตราการขยายจะมีค่าเพิ่มขึ้น ดังนั้นจะเห็นได้ว่า สัญญาณเอาท์พุทของเดลต้ามอดดูเลเตอร์จะมีลักษณะคล้ายกับสัญญาณอนาลอกอินพุทที่ป้อนให้กับวงจรเดลต้ามอดดูเลเตอร์ ถ้าหากนำมาผ่านวงจรกรองความถี่ต่ำ

นอกจากนั้นไอซีเบอร์ MC 34115 จะมีอัตราเร็วข้อมูลมีค่าเท่ากับความถี่ของสัญญาณนาฬิกา ทำให้ข้อมูลมีประสิทธิภาพ ทั้งยังมีอัตราเร็วข้อมูลต่ำเพื่อให้สามารถส่งผ่านสายโทรศัพท์ซึ่งมีความกว้างของความถี่ไม่เกิน 4 kHz.ได้ ไอซีเบอร์นี้ใช้สัญญาณนาฬิกา 16 kHz. ดังนั้นข้อมูลดิจิตอลที่ได้จะมี บิทเรท 16 kbps. แต่อย่างไรก็ตาม ไอซีเบอร์ MC 345115 ยังมีข้อเสียอยู่ที่ว่าจะสื่อสารแบบ Simplex ทั้งๆที่ตัวมันเองมีโครงสร้างภายในเป็นโคเดค(codec) ดังนั้นในการใช้งานเราต้องเลือกว่าจะใช้เป็น A/Dหรือ D/A อย่างใดอย่างหนึ่งเท่านั้นโดยสามารถควบคุมได้ที่ขา 15




รูปที่ 3.9 วงจรเดลต้ามอดดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

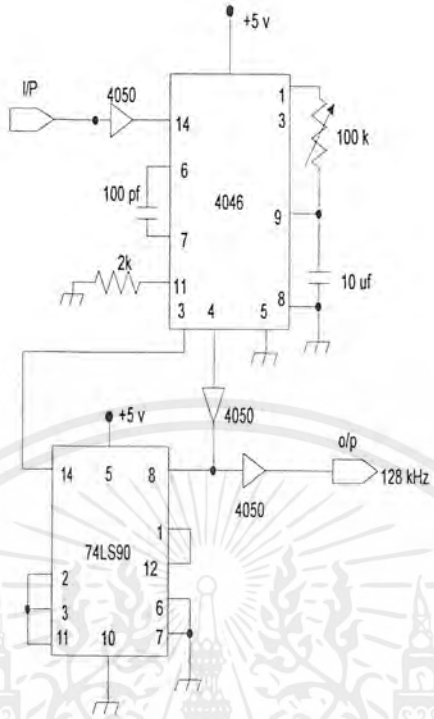



รูปที่ 3.10 วงจรเดลต้าดีมอดดูเลเตอร์

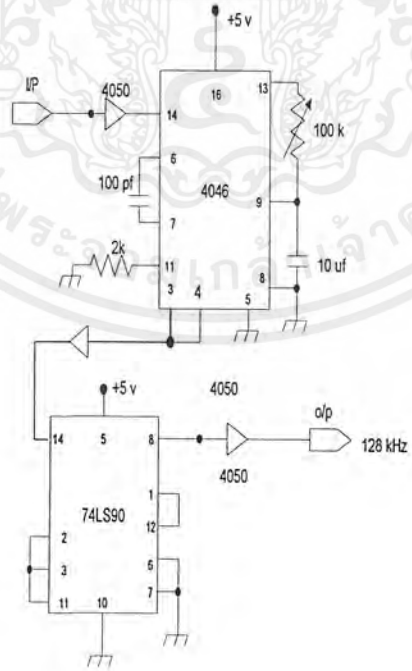
**3.6 วงจรคูณและหารความถี่ 8 เท่า**

ในโครงงานนี้ทางภาครับและภาคส่งจะซิงค์สัญญาณนาฬิกาโดยใช้การส่งสัญญาณไพลอท เราอาศัยสัญญาณคูณความถี่ขึ้นมา โดยในโครงงานนี้จะเลือกกำเนิดที่ความถี่ 128 kHz ที่ได้จากการคูณความถี่สัญญาณนาฬิกา 8 เท่า ( 16kHz.*8=128 kHz.) ส่วนทางด้านรับจะใช้วงจรหารความถี่ 8 เท่า ซึ่งทั้งวงจรคูณและวงจรหารนี้จะใช้ไอซี 4046 และ 7490 ต่อร่วมกันซึ่งจะใช้หลักการของเฟสล็อกลูปในการคูณและหารเพื่อกู้สัญญาณนาฬิกากลับมา สาเหตุที่ใช้ความถี่ 128 kHz. เป็นสัญญาณไพลอทเนื่องจากเราต้องนำสัญญาณไพลอทนี้ไปทำการชัมมิ่งกับสัญญาณ FSK ซึ่งมีแบนด์วิทประมาณ 50 kHz. ซึ่งจะเห็นว่าระยะห่างของความถี่กว้างพอสมควร ซึ่งทางภาครับสามารถที่จะกรองเอาสัญญาณไพลอทและสัญญาณ FSK ออกมาได้โดยไม่การผิดเพี้ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.11 วงจรคูณความถี่ 8 เท่า



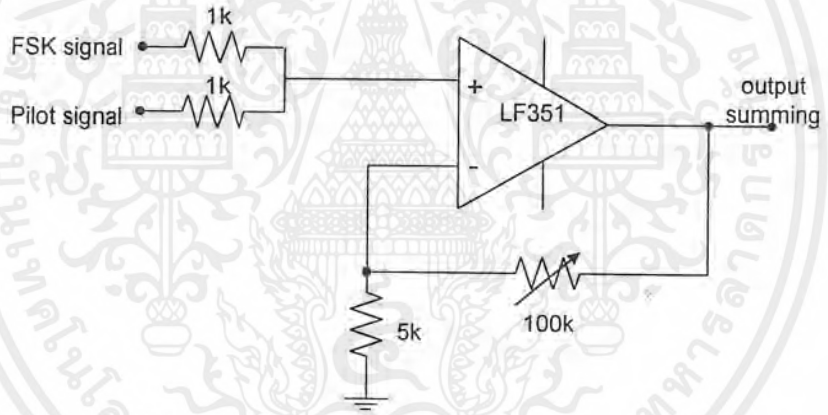

ปที่ 3.12 วงจรหารความถี่ 8 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของวงจรคูณความถี่ 8 เท่า แสดงได้ดังรูป 3.11 ซึ่งเมื่อผ่านวงจรตามรูปที่ 3.11 จะได้สัญญาณนาฬิกาความถี่ 128 kHz.ออกมา จากนั้นนำไปผ่านวงจรกรองความถี่แถบผ่าน 128 kHz.(ที่ด้านส่ง)อีกครั้งก็จะได้สัญญาณไพลอทซายน์ความถี่ 128 kHz. ส่วนรูปที่ 3.12 แสดงวงจรหารความถี่ 8 เท่าซึ่งจะรับอินพุทจากวงจรกรองความถี่แถบผ่าน 128 kHz.(ที่ด้านรับ) เป็นซายน์ นำมาหารความถี่ 8 เท่าตามวงจรในรูปที่ 3.12 โดยจะได้ผลลัพธ์จากการหารออกมาเป็นสัญญาณนาฬิกา 16 kHz.ซึ่งตรงกับภาคส่งทันที

### 3.7 วงจรรวมสัญญาณ

วงจรรวมสัญญาณทำหน้าที่ในการรวมสัญญาณ FSK และสัญญาณไพลอท 128 kHz.ทางภาคส่งเพื่อส่งไปยังภาครับ โดยสามารถปรับอัตราการขยายได้ด้วยความต้านทานฟีดแบ็คดังรูป

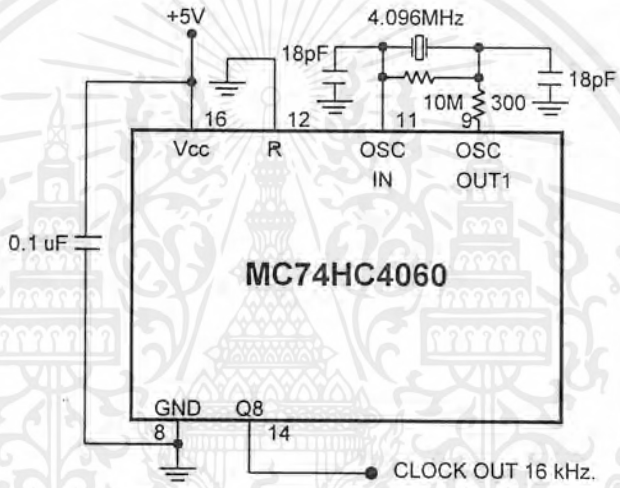



รูปที่ 3.13 วงจรรวมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**3.8 วงจรสร้างสัญญาณนาฬิกา**

เนื่องจากในโครงงานนี้ต้องการสัญญาณนาฬิกาความถี่ 16 kHz. ในการแปลงสัญญาณอนาลอกเป็นดิจิตอลและการเข้ารหัส ซึ่งในการสร้างสัญญาณนาฬิกานี้จะใช้คริสตอลเป็นตัวกำเนิดความถี่และจะใช้ไอซี 74HC4060 เป็นตัวหารความถี่จากคริสตอล 4.096 MHz. เพื่อให้ได้สัญญาณนาฬิกาออกมา 16 kHz. ต้องหารด้วย $2^8$ จึงนำเอาท์พุทที่ขา 14 ออกมาใช้ วงจรใช้งานจะเป็นดังรูป



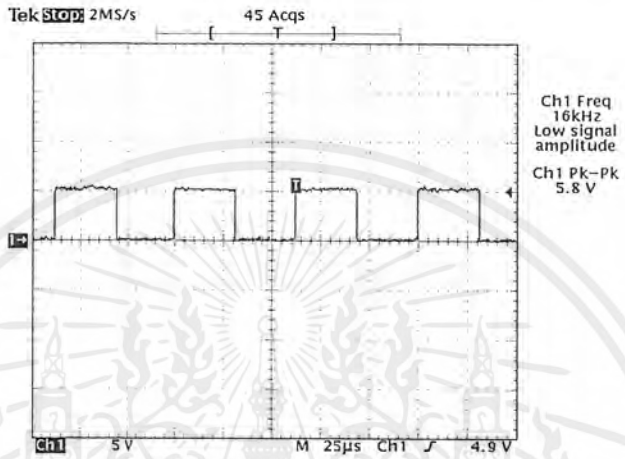

รูปที่ 3.14 วงจรสร้างสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4
# การทดลองและผลการทดลอง

## 4.1 วงจรสร้างสัญญาณนาฬิกา

ใช้คริสตอลออสซิลเลเตอร์ ( X-TAL Oscillator) 4.096 MHz. หารด้วย $2^8$ (เพื่อให้ได้ 16 kHz.)

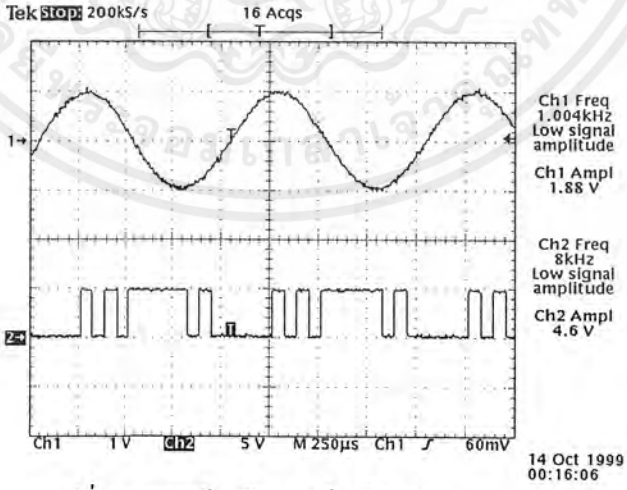



รูปที่ 4.1 สัญญาณ นาฬิกา

Ch1. สัญญาณนาฬิกา 16 kHz.

## 4.2 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

ป้อนสัญญาณอินพุท เป็นสัญญาณซายน์ 1 kHz. โดยใช้ สัญญาณนาฬิกา 16 kHz. ทำการวัดสัญญาณดิจิตอลเอาท์พุท




รูปที่ 4.2 การเข้ารหัสซายน์เวฟ 1 kHz.

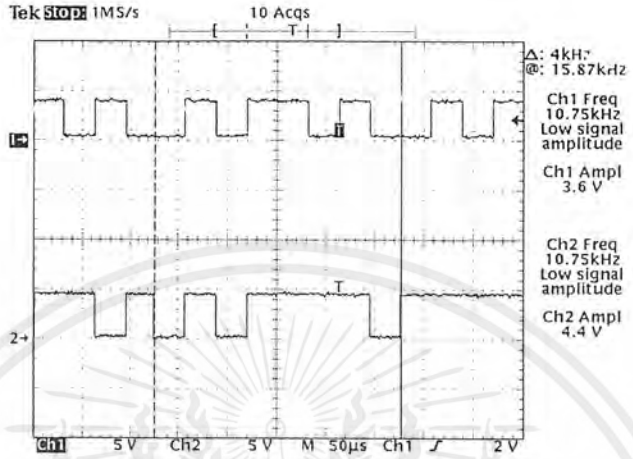
Ch1. อินพุทซายน์เวฟ 1 kHz.

Ch2. ดิจิตอลเอาท์พุท 16 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.3 วงจรภาคเข้ารหัส**

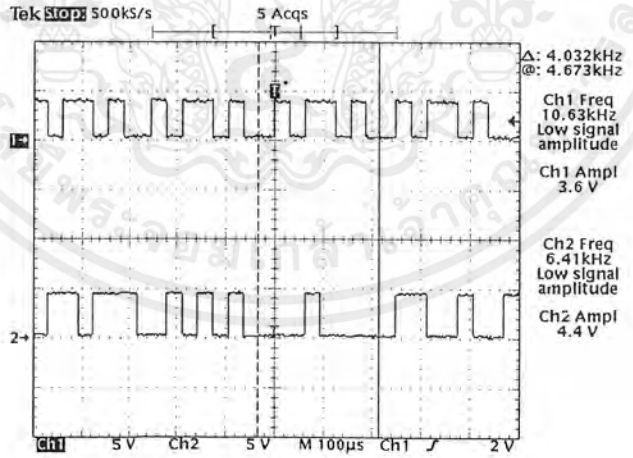
ทำการป้อยสัญญาณ data 01011010...,01110011... และ 11010011...ตามลำดับ ด้วยความเร็ว 16 kbps ป้อน นาฬิกา 16 kHz. แล้วทำการวัดสัญญาณข้อมูลเอาท์พุท ที่ได้จากการป้อนค่ารหัส Data แต่ละค่า




รูปที่ 4.3 การเข้ารหัส data 01011010...

Ch1. Data อินพุท 01011010...

Ch2. Scrambled signal

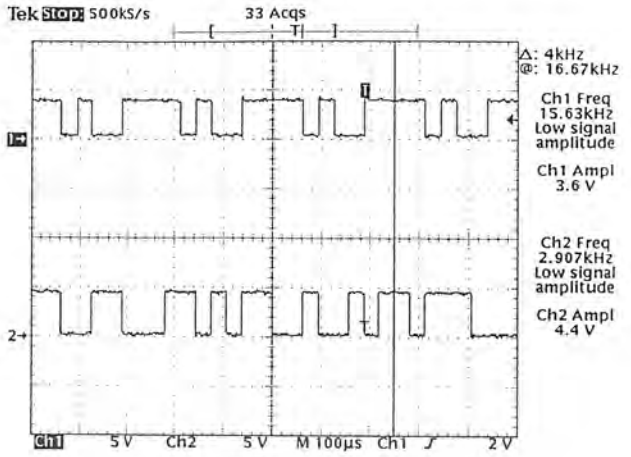



รูปที่ 4.4 การเข้ารหัส data 01110011...

Ch1. Data อินพุท 01110011...

Ch2. Scrambled signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



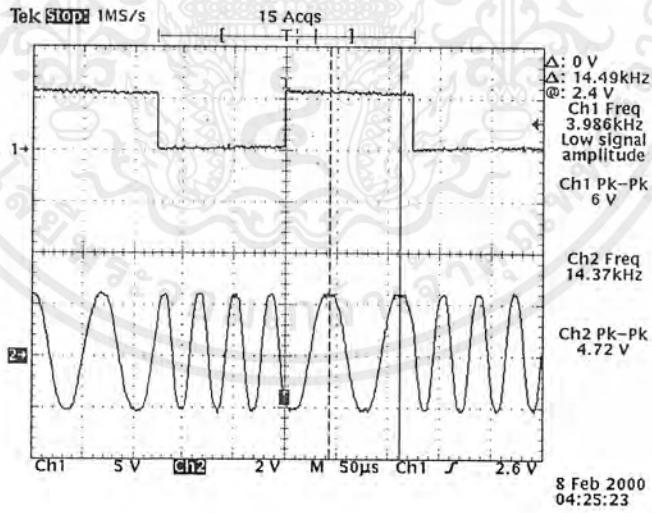

รูปที่ 4.5 การเข้ารหัส data 11010011...

Ch1. Data อินพุท 11010011...

Ch2. Scrambled signal

**4.4 วงจร FSK มอดูเลเตอร์**

ป้อนสัญญาณนาฬิกา 4 kHz. แล้วทำการปรับ VR เพื่อให้ได้ความถี่ mark= 14.4 kHz. และความถี่ space= 28.8 kHz.

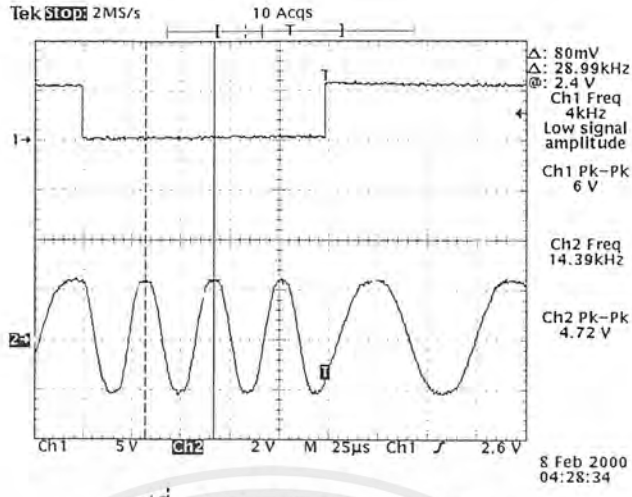



รูปที่ 4.6 FSK signal mark frequency

Ch1. Data อินพุท 4 kHz.

Ch2. FSK signal mark frequency 14.4 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



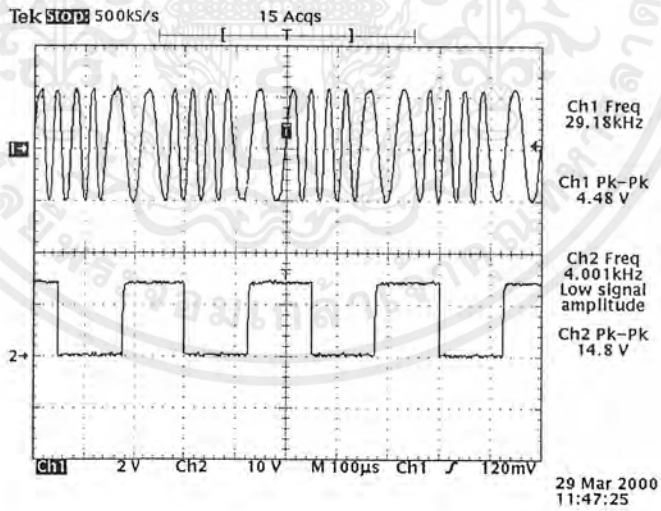

รูปที่ 4.7 FSK signal space frequency

Ch1. Data อินพุท 4 kHz.

Ch2. FSK-signal space frequency 28.8 kHz.

**4.5 วงจร FSK ดีมอดูเลเตอร์**

ป้อนสัญญาณ FSK ที่ได้จากสัญญาณนาฬิกา 4 kHz.(8 kbps.)และ 8 kHz.(16 kbps.) แล้วทำการวัดสัญญาณ เอาท์พุท ที่ได้

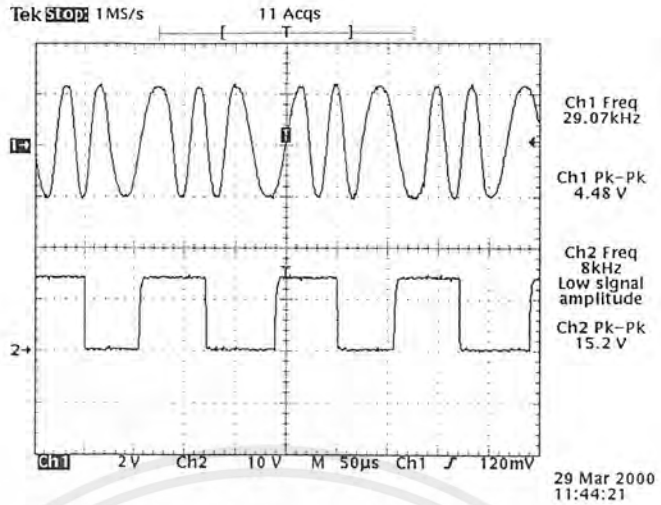



รูปที่ 4.8 เอาท์พุท FSK ดีมอดูเลเตอร์

Ch1. FSK เอาท์พุท (จากข้อมูล 4 kHz.)

Ch2. เอาท์พุท ของ FSK demod.

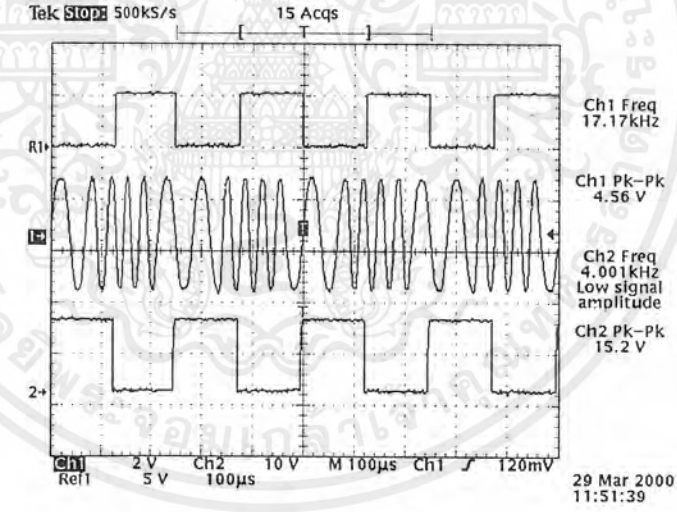
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.9 เอาท์พุท FSK ดีมอดูเลเตอร์

Ch1. FSK เอาท์พุท (จากข้อมูล 8 kHz.)

Ch2. เอาท์พุท ของ FSK demod.




รูปที่ 4.10 เอาท์พุท FSK ดีมอดูเลเตอร์

R1. สัญญาณนาฬิกาอินพุท 4 kHz.

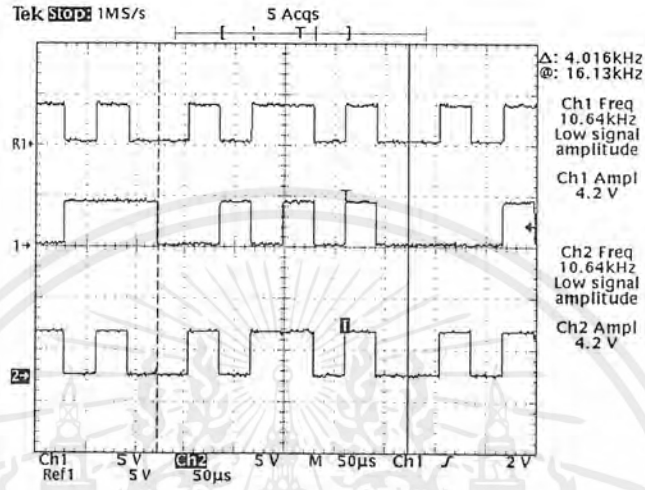
Ch1. FSK signal

Ch2. เอาท์พุท ของ FSK demod.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.6 วงจรภาคถอดรหัส**

ป้อนสัญญาณที่ผ่านการเข้ารหัส (ความเร็ว 16 kbps.) จากสัญญาณ data อินพุท 01011010... , 01110011... และ 11010011... ตามลำดับ ป้อนสัญญาณ นาฬิกา 16 kHz. แล้วทำการวัดสัญญาณ เอาท์พุท

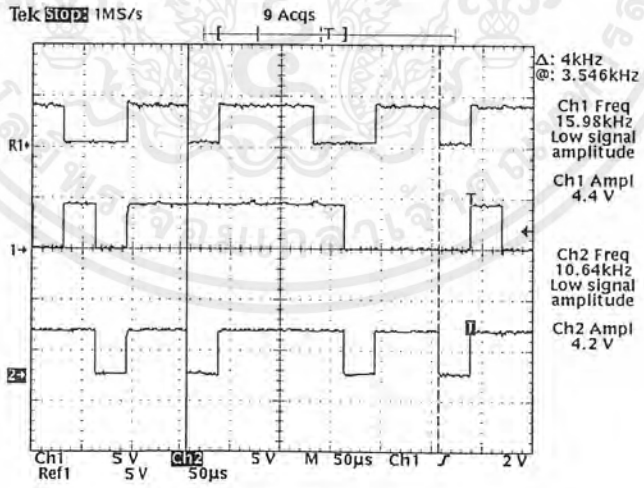



รูปที่ 4.11การถอดรหัส data 01011010...

R1. Data อินพุท 01011010... ของภาคเข้ารหัส

Ch1. Scrambled signal

Ch2. Data เอาท์พุท



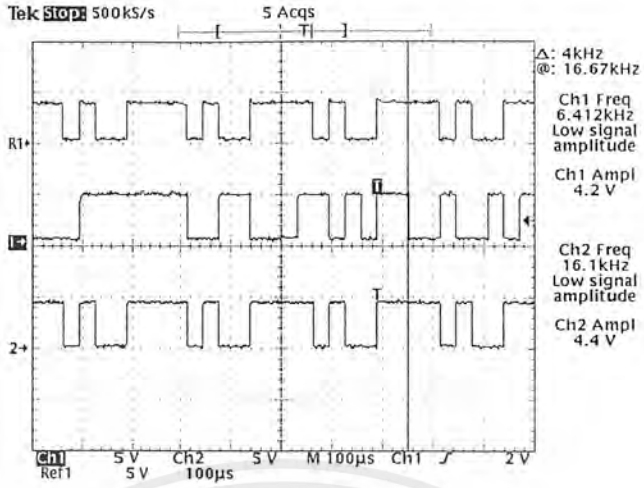

รูปที่ 4.12 การถอดรหัส data 01110011...

R1. Data อินพุท 01110011... ของภาคเข้ารหัส

Ch1. Scrambled signal

Ch2. Data เอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.13 การถอดรหัส data 11010011...

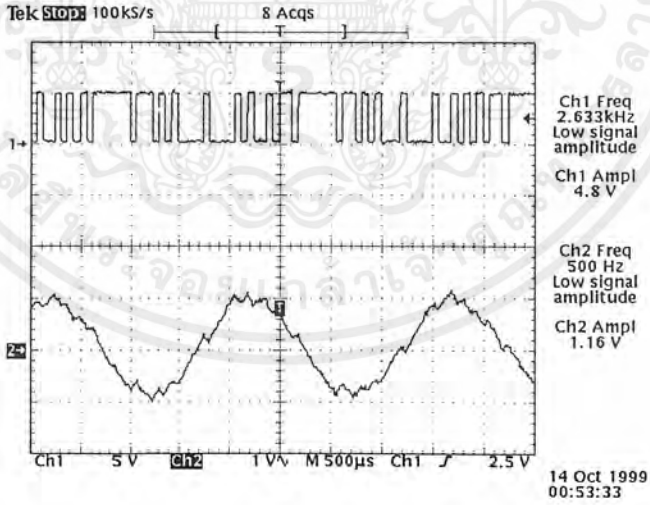
R1. Data อินพุท 11010011... ของภาคเข้ารหัส

Ch1. Scrambled signal

Ch2. Data เอาท์พุท

**4.7 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก**

ป้อนสัญญาณ ดิจิตอล ที่ได้จากภาค A/D โดยการป้อน สัญญาณ sine wave 500 Hz. และ 1 kHz. โดยใช้สัญญาณ นาฬิกา 16 kHz. ตัวเดียวกันกับภาค A/D แล้วทำการวัดสัญญาณ เอาท์พุท

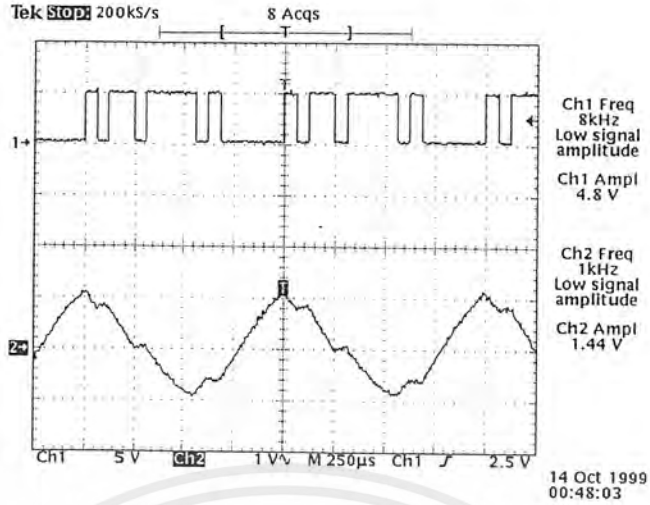



รูปที่ 4.14 การ decode data จาก อินพุท sine 500 Hz.

Ch1. สัญญาณ ดิจิตอล (จาก sine 500 Hz.)

Ch2. สัญญาณ เอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



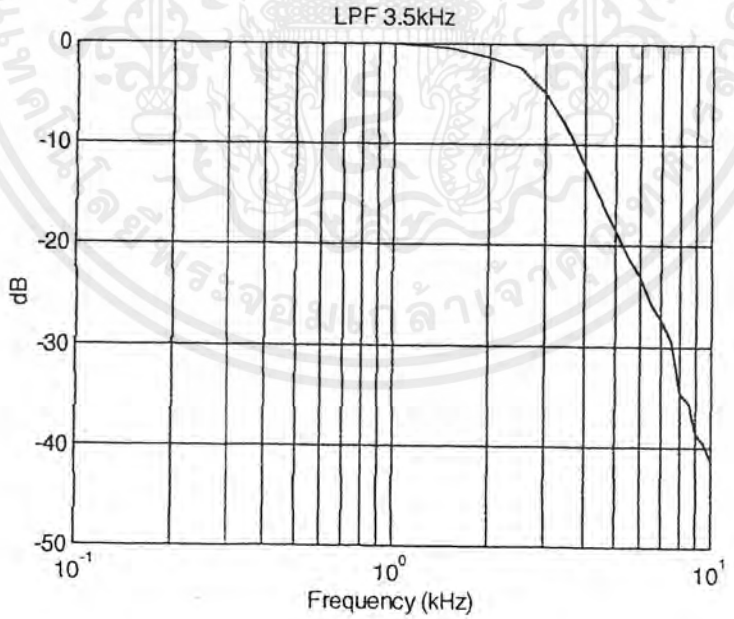

รูปที่ 4.15 การ decode data จาก อินพุท sine 1 kHz.

Ch1. สัญญาณ ดิจิตอล (จาก sine 1 kHz.)

Ch2. สัญญาณ เอาท์พุท

**4.8 วงจรกรองความถี่ต่ำผ่านคัทออฟ 3.5 kHz.**

ป้อนสัญญาณซายน์ แอมปลิจูด 2 โวล์ท ปรับความถี่ 0.5-7.0 kHz. ทำการวัดแอมปลิจูดสัญญาณเอาท์พุทที่ได้ จากนั้นนำค่าที่ได้มาพล็อตผลตอบสนองความถี่ได้ดังรูป

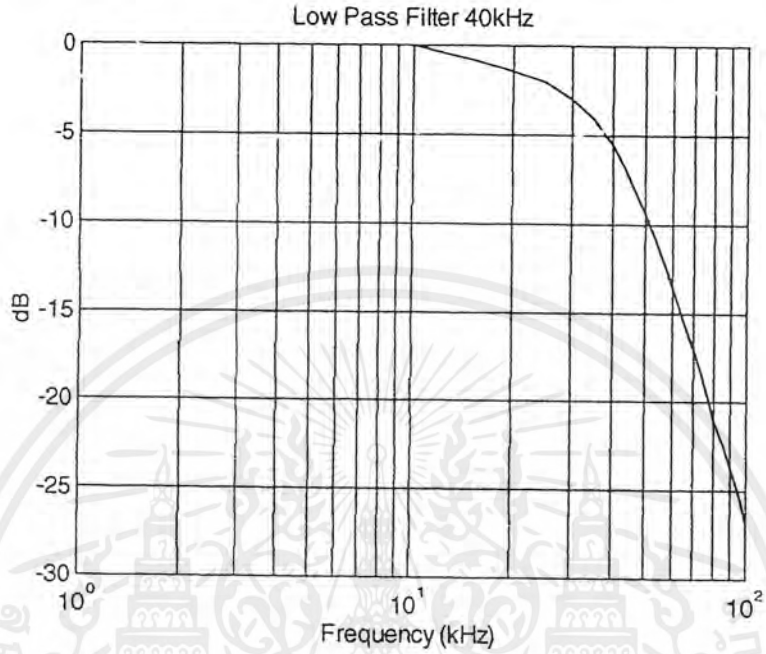



รูปที่ 4.16 ผลตอบสนองความถี่วงจรกรองความถี่ต่ำผ่าน คัทออฟ 3.5 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.9 วงจรกรองความถี่ต่ำผ่านคัทออฟ 40 kHz.**

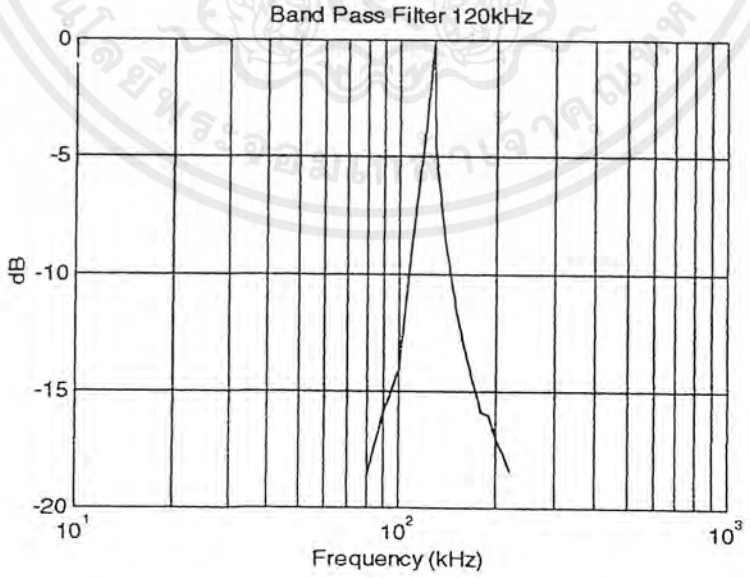
ป้อนสัญญาณซายน์ แอมปลิจูด 2 โวล์ท ปรับความถี่ 5-100 kHz. ทำการวัดแอมปลิจูดสัญญาณเอาท์พุทที่ได้ จากนั้นนำค่าที่ได้มาพล็อตผลตอบสนองความถี่ได้ดังรูป




รูปที่ 4.17 ผลตอบสนองความถี่วงจรกรองความถี่ต่ำผ่าน คัทออฟ 40 kHz.

**4.10 วงจรกรองความถี่แถบผ่านคัทออฟ 128 kHz.**

ป้อนสัญญาณซายน์ แอมปลิจูด 2 โวล์ท ปรับความถี่ 15-130 kHz. ทำการวัดแอมปลิจูดสัญญาณเอาท์พุทที่ได้ จากนั้นนำค่าที่ได้มาพล็อตผลตอบสนองความถี่ได้ดังรูป

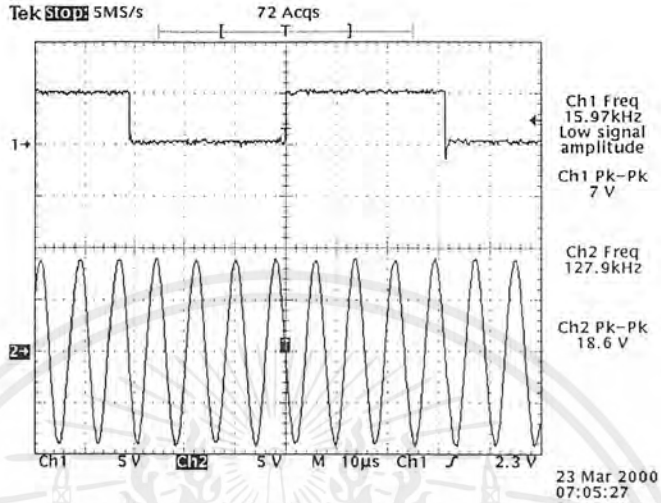



รูปที่ 4.18 ผลตอบสนองความถี่วงจรกรองความถี่แถบผ่าน คัทออฟ 128 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.11 การสร้างสัญญาณไพลอท 128 kHz.**

ป้อนสัญญาณนาฬิกา 16 kHz. เข้าวงจรคูณความถี่ 8 เท่าจากนั้นส่งต่อไปยังวงจรกรองความถี่แถบผ่าน 128 kHz. วัดสัญญาณที่เอาท์พุท



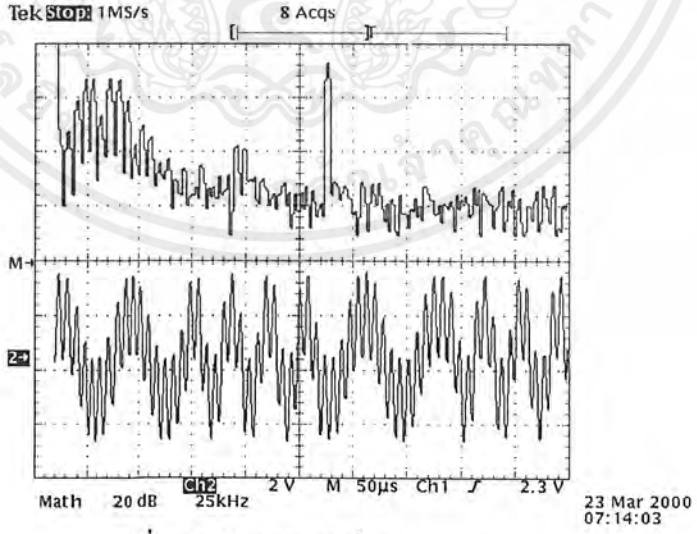

รูปที่ 4.19 การสร้างสัญญาณไพลอท 128 kHz.

Ch1. สัญญาณนาฬิกา 15 kHz.

Ch2. สัญญาณไพลอทเอาท์พุท 128 kHz.

**4.12 วงจรรวมสัญญาณ**

ป้อนสัญญาณ FSK ที่อินพุท 1 และป้อนสัญญาณไพลอท 128 kHz.ที่อินพุท 2 วัดสัญญาณเอาท์พุทและสเป็คตรัม




รูปที่ 4.20 สัญญาณเอาท์พุทวงจรรวม

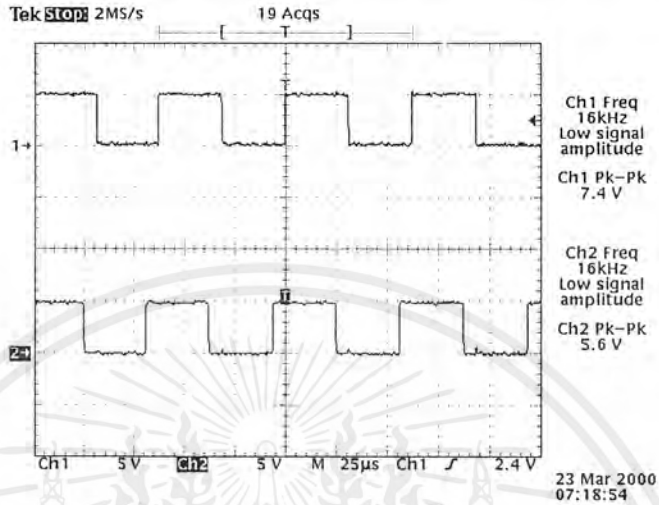
Ch1. สเป็คตรัมสัญญาณจากวงจรรวม

Ch2. สัญญาณเอาท์พุทวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.13 การกู้สัญญาณนาฬิกาที่ภาครับ**

ที่ภาครับสัญญาณที่รับเข้ามาจะผ่านวงจรกรองความถี่แถบผ่านเพื่อใช้กู้สัญญาณนาฬิกา ทำการวัดสัญญาณนาฬิกาที่ภาคส่ง และสัญญาณนาฬิกาที่กู้ได้ที่ภาครับ (เอาท์พุทของวงจรหารความถี่)




รูปที่ 4.21 การกู้สัญญาณนาฬิกาที่ภาครับ

Ch1. สัญญาณนาฬิกาที่ภาคส่ง

Ch2. สัญญาณนาฬิกาที่ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# บทวิจารณ์ผลการทดลอง

## 5.1 วงจรสร้างสัญญาณนาฬิกา

จากผลการทดลอง วัดสัญญาณนาฬิกาที่ขา 14 ของ IC 74HC4060 ได้สัญญาณนาฬิกาความถี่ 16 kHz. ถูกต้อง โดยความถี่ของสัญญาณค่อนข้างคงที่

## 5.2 A/D และ D/A Converter

จากการออกแบบ ใช้ MC34115 ซึ่งทำหน้าที่เป็นได้ทั้ง A/D และ D/A โดยในการทดสอบป้อนสัญญาณ sine wave เข้าไปที่ภาค A/D วัดสัญญาณ output ได้สัญญาณดิจิตอลออกมา ซึ่งในการทดสอบต้องนำสัญญาณดิจิตอลนี้ป้อนเข้าไปยังภาค D/A แล้วทำการวัดสัญญาณเอาท์พุทของ D/A ในการทดสอบเราป้อนสัญญาณซายน์ ความถี่ 500 Hz. , 1 kHz. แล้ววัดสัญญาณตามที่กล่าวข้างต้น ซึ่งผลการทดลองที่ 2 ความถี่นี้สามารถยอมรับได้ แต่เมื่อทดสอบที่ความถี่สูงกว่า 2.5 kHz. แอมปลิจูดก็จะลดลงเรื่อยๆ จนกระทั่งไม่มีสัญญาณเอาท์พุทออกจากภาค D/A เลย จากการทดสอบความถี่สูงสุดที่ยังสามารถวัดสัญญาณ อนาลอกเอาท์พุทได้ อยู่ที่ 2.5 kHz. ซึ่งในย่านความถี่เสียงมีความถี่ที่สูงกว่าอยู่ด้วย จากการวิเคราะห์พบว่าเนื่องจากที่ความถี่อินพุทที่สูงขึ้นในหนึ่งลูกคลื่นจะมีจำนวนบิทข้อมูลลดลง ดังนั้นถ้าเพิ่มความถี่ในการสุ่มให้มากขึ้นก็จะมีจำนวนบิทข้อมูลเพิ่มมากขึ้นในหนึ่งลูกคลื่นทำให้ความผิดพลาดลดลงได้

## 5.3 การกู้สัญญาณนาฬิกา

ในการกู้สัญญาณนาฬิกาใช้การส่งสัญญาณไพลอทรวมไปกับสัญญาณข้อมูลที่มอดูเลทแบบ FSK สำหรับการทดสอบจริงพบปัญหาคือ ที่ภาครับสามารถกู้สัญญาณนาฬิกากลับมาได้ แต่เมื่อนำมาเปรียบเทียบกับสัญญาณข้อมูลที่ได้จากวงจร FSK ดีมอดูเลเตอร์ปรากฏว่ามีการชิฟเฟสระหว่างสัญญาณข้อมูลกับสัญญาณนาฬิกาทำให้การถอดรหัสที่ภาครับผิดพลาด จึงแก้ปัญหาโดยนำสัญญาณข้อมูลจาก FSK ดีมอดูเลเตอร์มาผ่านดีฟลิปฟลอปโดยใช้สัญญาณนาฬิกาที่กู้ได้มาทำการเลื่อนข้อมูล ก็จะได้จะได้ข้อมูลออกมาตรงกับสัญญาณนาฬิกา

## 5.4 การเข้ารหัส และการถอดรหัส

จากการทดลองที่วงจรเข้ารหัสเมื่อวัดข้อมูลที่ออกจากวงจรภาค A/D กับข้อมูลที่ผ่านการเข้ารหัส ปรากฏว่าความเร็วของข้อมูลที่ได้ไม่เท่ากันจึงเกิดปัญหาขึ้น ลองตรวจสอบดูพบว่าวงจรภาค A/D โดยใช้ไอซี MC 34115 นี้จะให้ข้อมูลที่เปลี่ยนแปลงตามขอบขาลงของสัญญาณนาฬิกาที่ใช้ แต่เนื่องจากฟลิปฟลอปที่ใช้ในการเข้ารหัสจะให้สัญญาณข้อมูลที่เปลี่ยนแปลงตามขอบขาขึ้นของสัญญาณนาฬิกาซึ่งไม่ตรงกัน จึงแก้ปัญหาโดยนำสัญญาณข้อมูลที่ได้จาก A/D มาผ่านดีฟลิปฟลอปและใช้สัญญาณนาฬิกามาเลื่อนข้อมูลก่อนครั้งหนึ่ง แล้วนำสัญญาณที่ได้นี้ไปทำการเข้ารหัสก็จะได้สัญญาณข้อมูลออกมามีความเร็วเท่ากับอินพุท ( 16 kbps.) แต่รหัสข้อมูลเปลี่ยนแปลงไปซึ่งถูกต้องตามหลักการของการเข้ารหัส ส่วนการถอดรหัสที่ภาครับเมื่อทำการแก้ไขปัญหาในส่วนของข้อ 53 เรียบร้อยแล้วก็จะสามารถกู้เอาสัญญาณข้อมูลเดิม (เอาท์พุทของ A/D ที่ภาคส่ง) กลับมาได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**5.5 FSK Modulator และ FSK Demodulator**

จากการออกแบบใช้ความเร็ว 16000 baud ซึ่งมีความถี่ mark เป็น 14.4 kHz. และความถี่ space เป็น 28.8 kHz. ($f_s$ สูงกว่า $f_m$) เนื่องจากที่ภาค FSK ดีมอดูเลเตอร์ จะดีเทคให้ความถี่สูงเป็น space (data 0) และความถี่ต่ำเป็น mark (data 1) จากผลการทดลองสามารถเปลี่ยนข้อมูลเป็นสัญญาณ FSK ได้โดยปรับ VR ให้ได้ความถี่ใกล้เคียงกับค่าที่คำนวณ ส่วนภาค FSK ดีมอดูเลเตอร์ สามารถดีเทคข้อมูลเดิมกลับมาได้ ซึ่งจะมีการเลื่อนเฟสของข้อมูลเกิดขึ้น ถ้าอัตราความเร็วของข้อมูลสูงขึ้นการเลื่อนเฟสก็จะเพิ่มขึ้นด้วย

สรุปโดยรวม วงจรในส่วนต่างๆ สามารถทำงานได้อย่างถูกต้องหลังจากได้รับการแก้ไขตามที่กล่าวมาแล้วข้างต้น เมื่อทดสอบรวมทั้งระบบโดยทดลองป้อนสัญญาณเสียงที่ภาคส่ง จากนั้นทดลองฟังเสียงที่ภาครับปรากฏว่าสามารถฟังได้รู้เรื่อง แต่มีสัญญาณรบกวนอยู่ ซึ่งคาดว่าสาเหตุมาจากวงจร A/D และ D/A ที่ใช้เพราะจะให้สัญญาณเอาท์พุทที่ถูกต้องไม่ตลอดย่านความถี่เสียง ในการพัฒนาจึงควรปรับปรุงในส่วนนี้ให้มีประสิทธิภาพดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

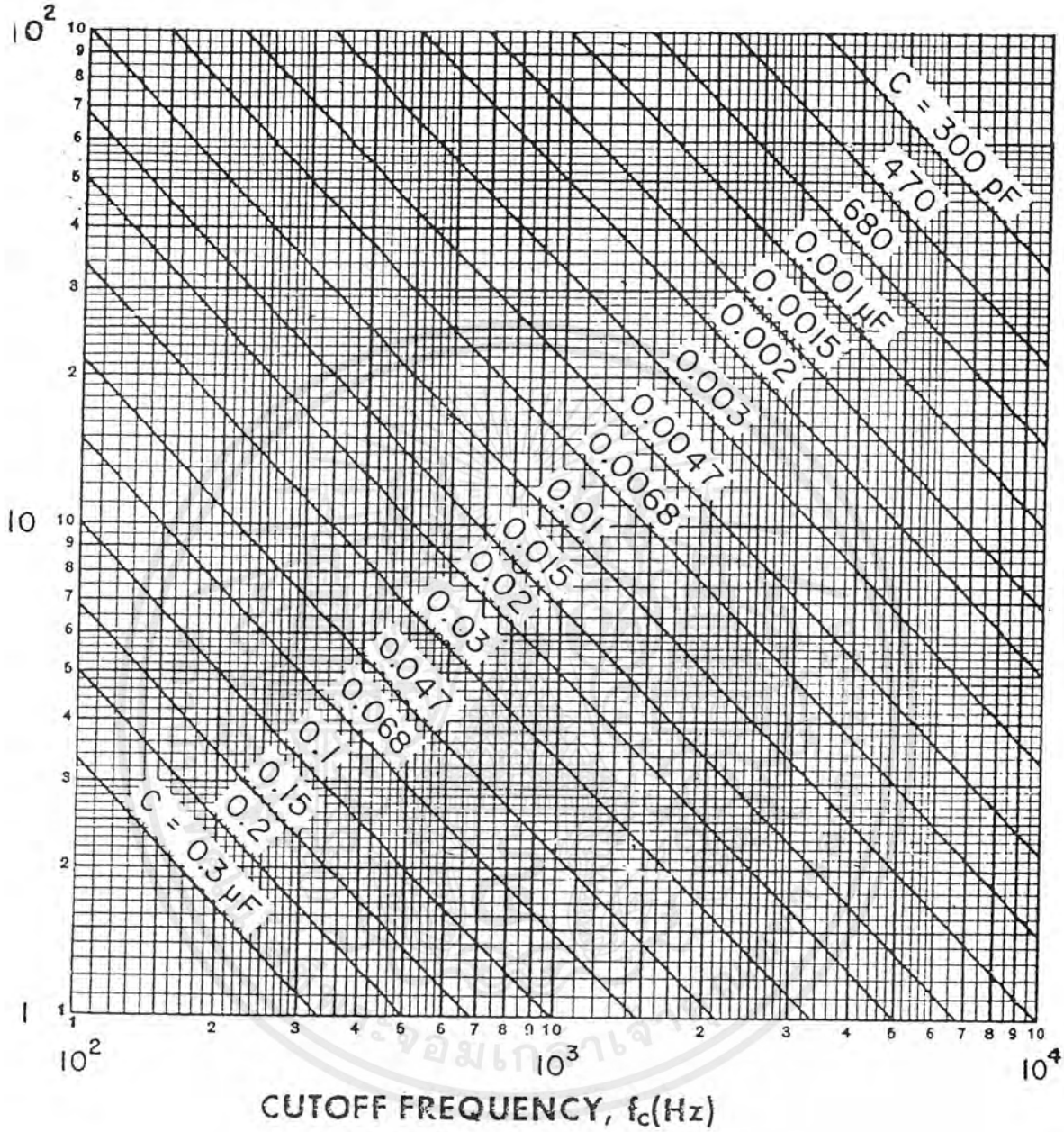



Fig. 2.10. (*b*) *K* parameter versus frequency.

ตารางที่ใช้ในการหาค่า C และค่า K สำหรับการออกแบบวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

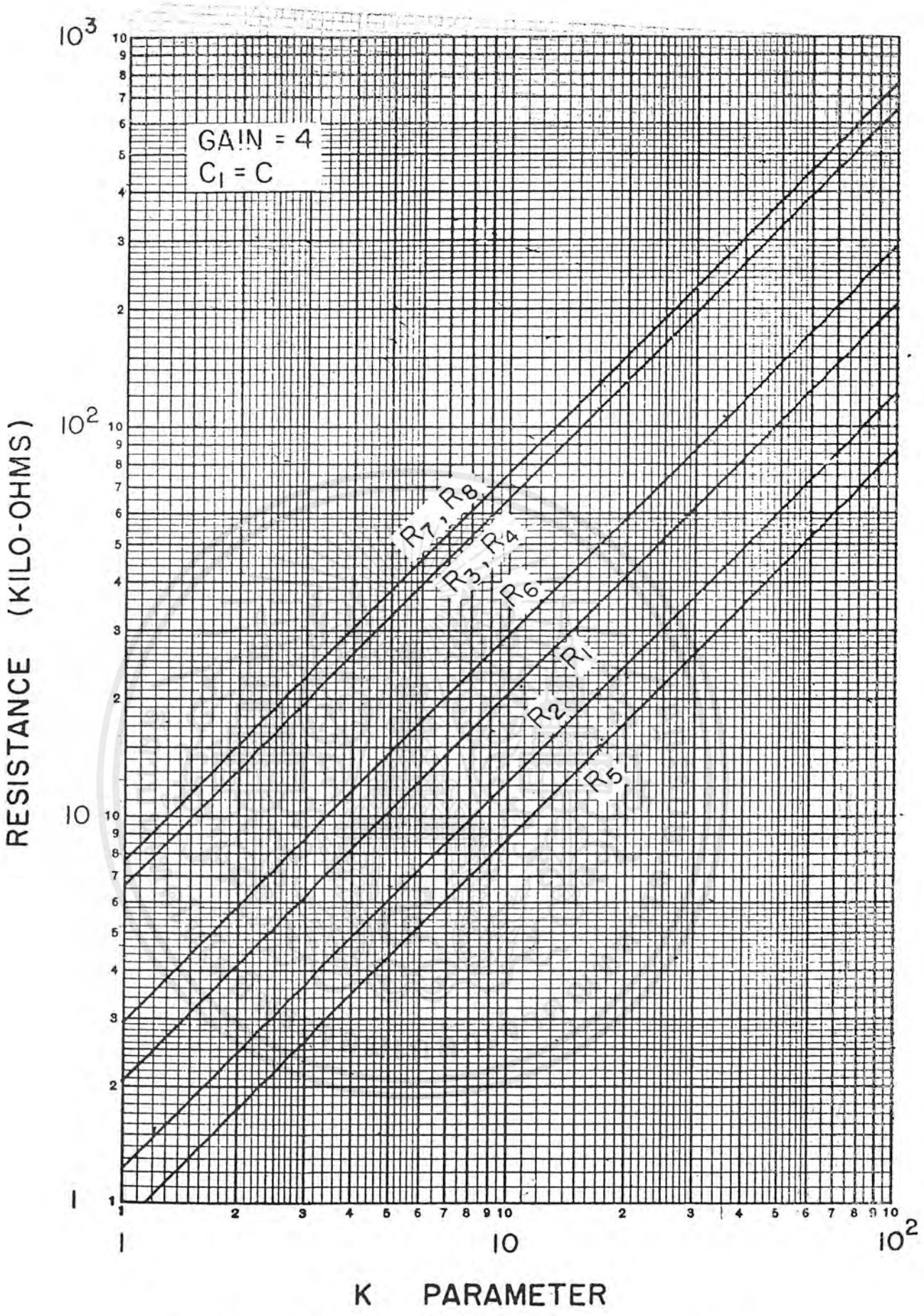



Fig. 2.28. Fourth-order low-pass Butterworth filter.

ตารางที่ใช้ในการหาค่าของอุปกรณ์ต่างๆ สำหรับการออกแบบวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

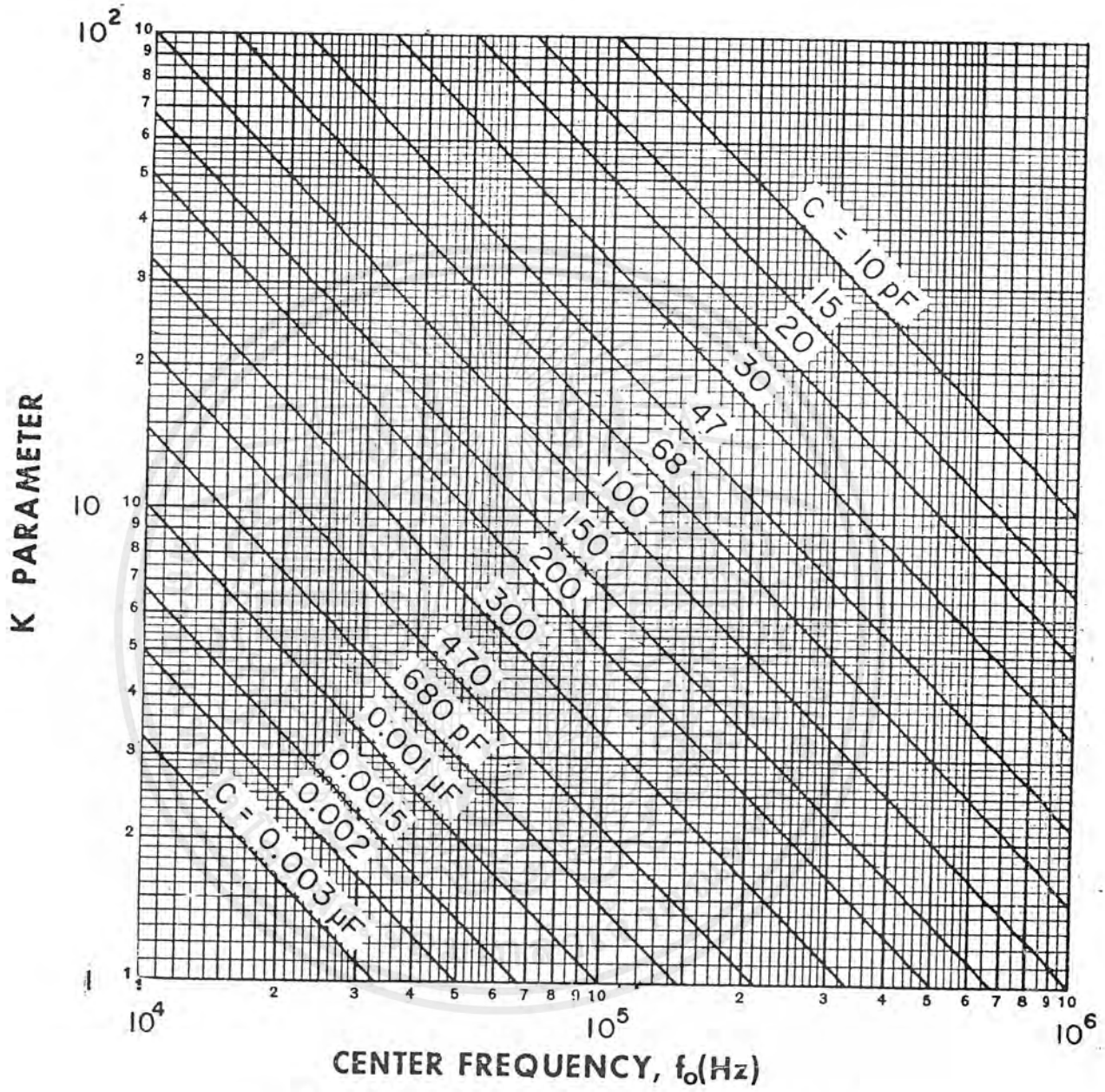



Fig. 4.11. (*c*) *K* parameter versus frequency.

ตารางที่ใช้ในการหาค่า C และค่า K สำหรับการออกแบบวงจรกรองความถี่แถบผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

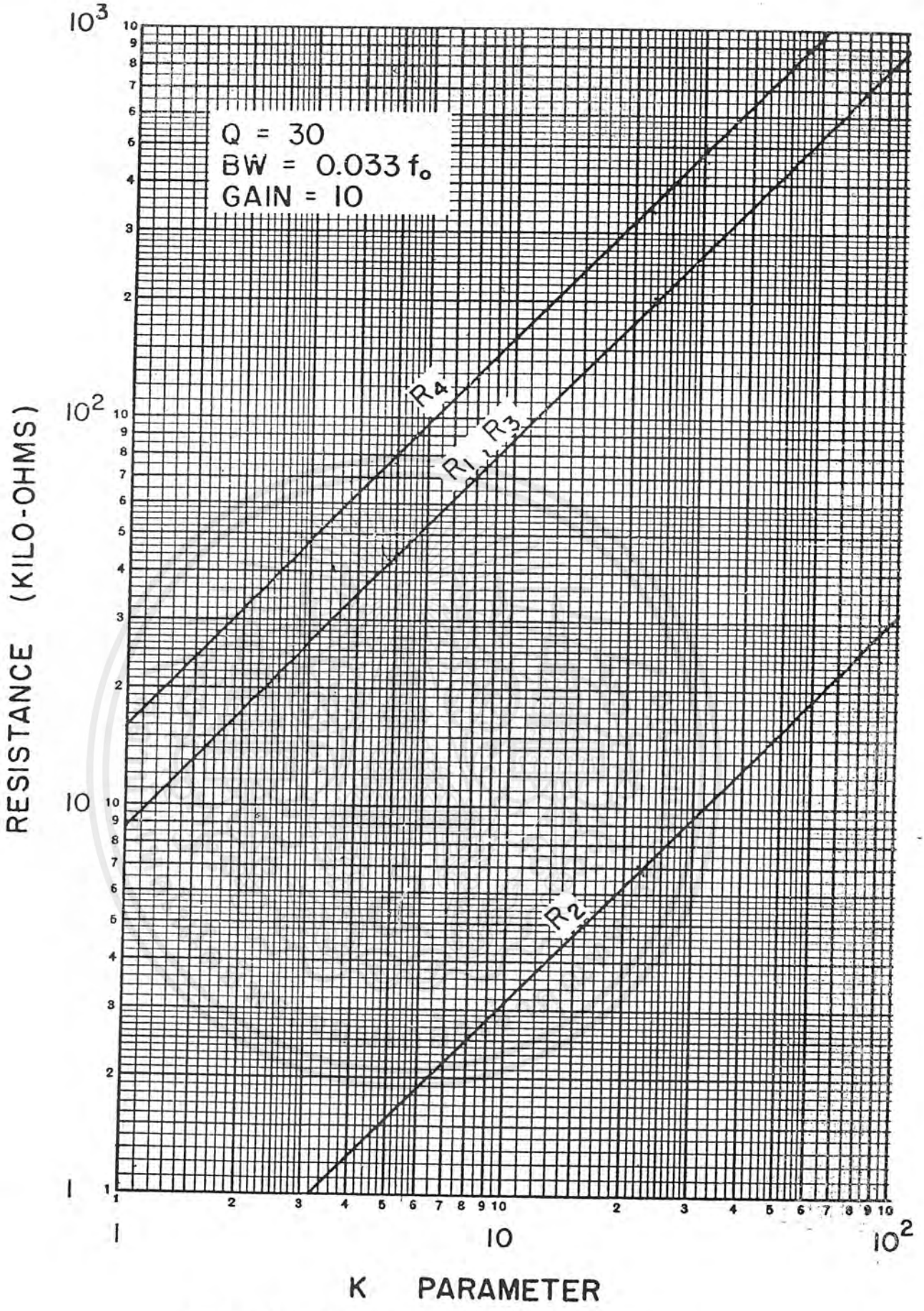



Fig. 4.38. Positive-feedback band-pass filter.

ตารางที่ใช้ในการหาค่าของอุปกรณ์ต่างๆ สำหรับการออกแบบวงจรกรองความถี่แถบผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

## FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

## APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

## GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

## ORDERING INFORMATION

| Part No. | Package | Operating Temperature Range |
|---|---|---|
| XR-2206M | 16 Lead 300 Mil CDIP | -55°C to +125°C |
| XR-2206P | 16 Lead 300 Mil PDIP | –40°C to +85°C |
| XR-2206CP | 16 Lead 300 Mil PDIP | 0°C to +70°C |
| XR-2206D | 16 Lead 300 Mil JEDEC SOIC | 0°C to +70°C |



©1972

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* **Vcc = 12V, $T_A$ = 25°C, C = 0.01µF, $R_1$ = 100kΩ, $R_2$ = 10kΩ, $R_3$ = 25kΩ**
Unless Otherwise Specified. $S_1$ open for triangle, closed for sine wave.

| Parameters | XR-2206M/P | | | XR-2206CP/D | | | Units | Conditions |
|---|---|---|---|---|---|---|---|---|
| | Min. | Typ. | Max. | Min. | Typ. | Max. | | |
| **General Characteristics** | | | | | | | | |
| Single Supply Voltage | **10** | | **26** | 10 | | 26 | V | |
| Split-Supply Voltage | **±5** | | **±13** | ±5 | | ±13 | V | |
| Supply Current | | 12 | **17** | | 14 | 20 | mA | $R_1 \geq 10k\Omega$ |
| **Oscillator Section** | | | | | | | | |
| Max. Operating Frequency | **0.5** | 1 | | 0.5 | 1 | | MHz | C = 1000pF, $R_1$ = 1kΩ |
| Lowest Practical Frequency | | 0.01 | | | 0.01 | | Hz | C = 50µF, $R_1$ = 2MΩ |
| Frequency Accuracy | | ±1 | **±4** | | ±2 | | % of $f_o$ | $f_o = 1/R_1C$ |
| Temperature Stability Frequency | | ±10 | **±50** | | ±20 | | ppm/°C | 0°C ≤ $T_A$ ≤ 70°C<br>$R_1 = R_2$ = 20kΩ |
| Sine Wave Amplitude Stability[2] | | 4800 | | | 4800 | | ppm/°C | |
| Supply Sensitivity | | 0.01 | **0.1** | | 0.01 | | %/V | $V_{LOW}$ = 10V, $V_{HIGH}$ = 20V,<br>$R_1 = R_2$ = 20kΩ |
| Sweep Range | 1000:1 | 2000:1 | | | 2000:1 | | $f_H = f_L$ | $f_H$ @ $R_1$ = 1kΩ<br>$f_L$ @ $R_1$ = 2MΩ |
| **Sweep Linearity** | | | | | | | | |
| 10:1 Sweep | | 2 | | | 2 | | % | $f_L$ = 1kHz, $f_H$ = 10kHz |
| 1000:1 Sweep | | 8 | | | 8 | | % | $f_L$ = 100Hz, $f_H$ = 100kHz |
| FM Distortion | | 0.1 | | | 0.1 | | % | ±10% Deviation |
| **Recommended Timing Components** | | | | | | | | |
| Timing Capacitor: C | **0.001** | | 100 | 0.001 | | 100 | µF | *Figure 5* |
| Timing Resistors: $R_1$ & $R_2$ | 1 | | 2000 | 1 | | 2000 | kΩ | |
| **Triangle Sine Wave Output[1]** | | | | | | | | *Figure 3* |
| Triangle Amplitude | | 160 | | | 160 | | mV/kΩ | *Figure 2*, $S_1$ Open |
| Sine Wave Amplitude | **40** | 60 | 80 | | 60 | | mV/kΩ | *Figure 2*, $S_1$ Closed |
| Max. Output Swing | | 6 | | | 6 | | Vp-p | |
| Output Impedance | | 600 | | | 600 | | Ω | |
| Triangle Linearity | | 1 | | | 1 | | % | |
| Amplitude Stability | | 0.5 | | | 0.5 | | dB | For 1000:1 Sweep |
| **Sine Wave Distortion** | | | | | | | | |
| Without Adjustment | | 2.5 | | | 2.5 | | % | $R_1$ = 30kΩ |
| With Adjustment | | 0.4 | **1.0** | | 0.5 | 1.5 | % | See *Figure 7* and *Figure 8* |

***Notes***
*[1] Output amplitude is directly proportional to the resistance, $R_3$, on Pin 3. See Figure 3.*
*[2] For maximum amplitude stability, $R_3$ should be a positive temperature coefficient resistor.*
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

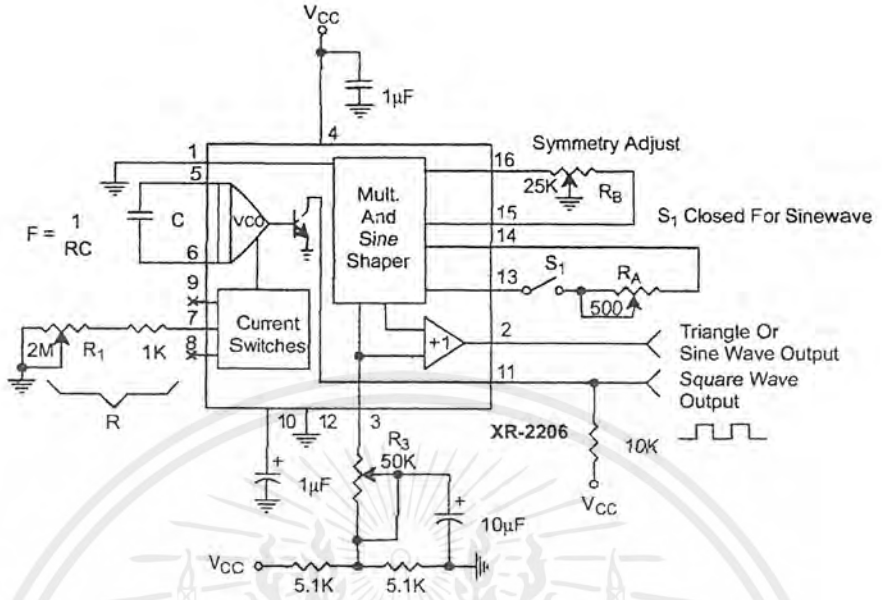



**Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. ($R_3$ Determines Output Swing - See *Figure 3*)**

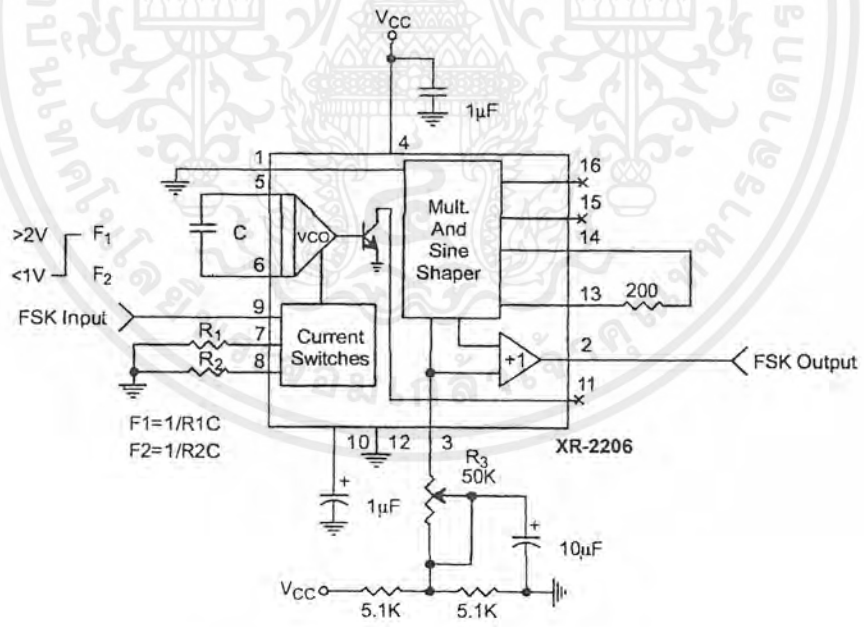



**Figure 13. Sinusoidal FSK Generator**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**With External Adjustment:**

The harmonic content of sinusoidal output can be reduced to ~0.5% by additional adjustments as shown in *Figure 12*. The potentiometer, $R_A$, adjusts the sine-shaping resistor, and $R_B$ provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set $R_B$ at midpoint and adjust $R_A$ for minimum distortion.
2. With $R_A$ set as above, adjust $R_B$ to further reduce distortion.

**Triangle Wave Generation**

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., $S_1$ open). Amplitude of the triangle is approximately twice the sine wave output.

**FSK Generation**

*Figure 13* shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, $R_1$ and $R_2$; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V-.

**Pulse and Ramp Generation**

*Figure 14* shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of $R_1$ and $R_2$. The values of $R_1$ and $R_2$ should be in the range of 1kΩ to 2MΩ.

## PRINCIPLES OF OPERATION

**Description of Controls**

**Frequency of Operation:**

The frequency of oscillation, $f_o$, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_0 = \frac{1}{RC}\ Hz$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in *Figure 5*. Temperature stability is optimum for $4k\Omega < R < 200k\Omega$. Recommended values of C are from 1000pF to 100μF.

**Frequency Sweep and Modulation:**

Frequency of oscillation is proportional to the total timing current, $I_T$, drawn from Pin 7 or 8:

$$f = \frac{320 I_T(mA)}{C(\mu F)}\ Hz$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with IT, over a wide range of current values, from 1μA to 3mA. The frequency can be controlled by applying a control voltage, $V_C$, to the activated timing pin as shown in *Figure 10*. The frequency of oscillation is related to VC as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right) Hz$$

where $V_C$ is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C}\ \ Hz/V$$

***CAUTION:*** *For safety operation of the circuit, $I_T$ should be limited to $\leq$ 3mA.*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# XR-2211

## FSK Demodulator/ Tone Decoder

...the analog plus company™

June 1997-3

### FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range, ±1% to 80%
- Excellent Temp. Stability, ±50ppm/°C, max.

### APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

### GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

### ORDERING INFORMATION

| Part No. | Package | Operating Temperature Range |
|---|---|---|
| XR-2211M | 14 Pin CDIP (0.300") | -55°C to +125°C |
| XR-2211N | 14 Pin CDIP (0.300") | -40°C to +85°C |
| XR-2211P | 14 Pin PDIP (0.300") | -40°C to +85°C |
| XR-2211ID | 14 Lead SOIC (Jedec, 0.150") | -40°C to +85°C |



©1992

TQM™

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ FAX (510) 668-7017



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## BLOCK DIAGRAM

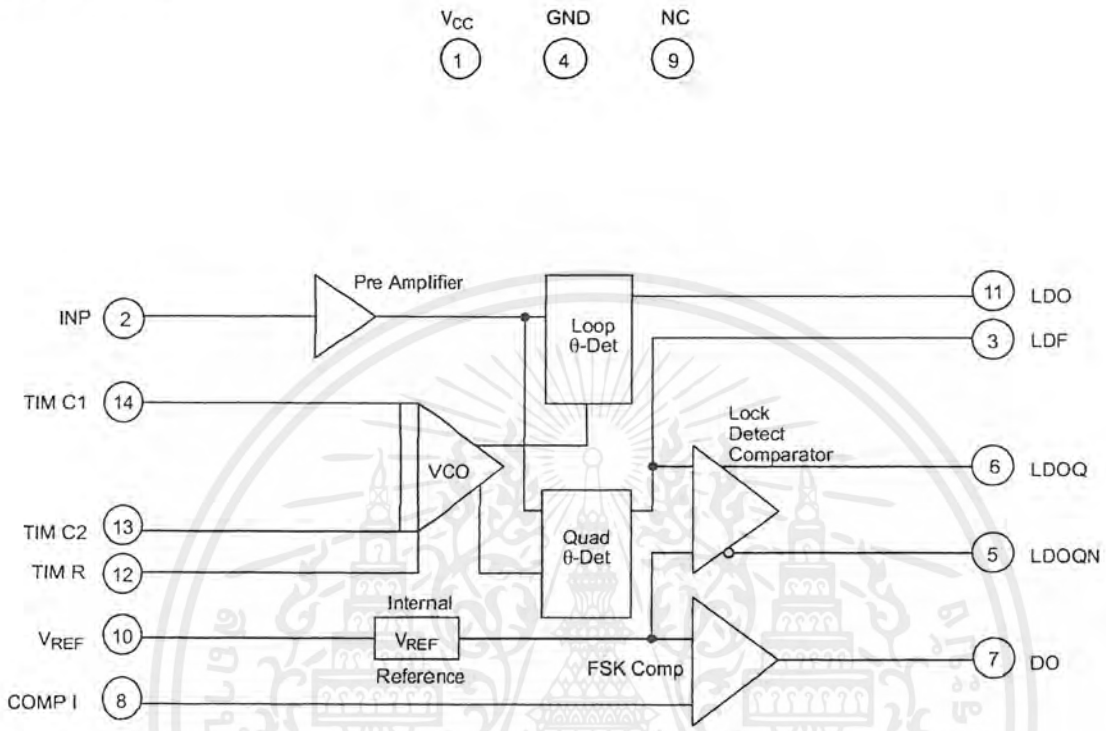



**Figure 1. XR-2211 Block Diagram**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ELECTRICAL CHARACTERISTICS

**Test Conditions: $V_{CC}$ = 12V, $T_A$ = +25°C, $R_O$ = 30KΩ, $C_O$ = 0.033μF, unless otherwise specified.**

| Parameter | Min. | Typ. | Max. | Unit | Conditions |
|---|---|---|---|---|---|
| **General** | | | | | |
| Supply Voltage | **4.5** | | **20** | V | |
| Supply Current | | 4 | **7** | mA | $R_0 \geq$ 10KΩ. See *Figure 4.* |
| **Oscillator Section** | | | | | |
| Frequency Accuracy | | ±1 | ±3 | % | Deviation from $f_O = 1/R_0 C_0$ |
| Frequency Stability | | | | | |
| Temperature | | ±20 | ±50 | ppm/°C | See *Figure 8.* |
| Power Supply | | 0.05 | **0.5** | %/V | $V_{CC}$ = 12 ±1V. See *Figure 7.* |
| | | 0.2 | | %/V | $V_{CC}$ = ± 5V. See *Figure 7.* |
| Upper Frequency Limit | **100** | 300 | | kHz | $R_0$ = 8.2KΩ, $C_0$ = 400pF |
| Lowest Practical Operating Frequency | | | 0.01 | Hz | $R_0$ = 2MΩ, $C_0$ = 50μF |
| Timing Resistor, $R_0$ - See *Figure 5* | | | | | |
| Operating Range | 5 | | 2000 | KΩ | |
| Recommended Range | 5 | | | KΩ | See *Figure 7* and *Figure 8.* |
| **Loop Phase Dectector Section** | | | | | |
| Peak Output Current | **±150** | ±200 | **±300** | μA | Measured at Pin 11 |
| Output Offset Current | | 1 | | μA | |
| Output Impedance | | 1 | | MΩ | |
| Maximum Swing | **±4** | ± 5 | | V | Referenced to Pin 10 |
| **Quadrature Phase Detector** | | | | | Measured at Pin 3 |
| Peak Output Current | **100** | 300 | | μA | |
| Output Impedance | | 1 | | MΩ | |
| Maximum Swing | | 11 | | $V_{PP}$ | |
| **Input Preampt Section** | | | | | Measured at Pin 2 |
| Input Impedance | | 20 | | KΩ | |
| Input Signal | | | | | |
| Voltage Required to Cause Limiting | | 2 | 10 | mV rms | |

***Notes***

*Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.*

***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PRINCIPLES OF OPERATION

**Signal Input (Pin 2):** Signal is AC coupled to this terminal. The internal impedance at pin 2 is 20KΩ. Recommended input signal level is in the range of 10mV rms to 3V rms.

**Quadrature Phase Detector Output (Pin 3):** This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, pin 3 is connected to ground through a parallel combination of $R_D$ and $C_D$ (see *Figure 3*) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, pin 3 can be left open.

**Lock Detect Output, Q (Pin 6):** The output at pin 6 is at "low" state when the PLL is out of lock and goes to "high" state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, $R_L$, to $V_{CC}$ for proper operation. At "low" state, it can sink up to 5mA of load current.

**Lock Detect Complement, (Pin 5):** The output at pin 5 is the logic complement of the lock detect output at pin 6. This output is also an open collector type stage which can sink 5mA of load current at low or "on" state.

**FSK Data Output (Pin 7):** This output is an open collector logic stage which requires a pull-up resistor, $R_L$, to $V_{CC}$ for proper operation. It can sink 5mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at pin 7 is indeterminate.

**FSK Comparator Input (Pin 8):** This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (pin 11). This data filter is formed by $R_F$ and $C_F$ (see *Figure 3.*) The threshold voltage of the comparator is set by the internal reference voltage, $V_{REF}$, available at pin 10.

**Reference Voltage, $V_{REF}$ (Pin 10):** This pin is internally biased at the reference voltage level, $V_{REF}$: $V_{REF} = V_{CC}/2 - 650mV$. The DC voltage level at this pin forms an internal reference for the voltage levels at pins 5, 8, 11 and 12. Pin 10 must be bypassed to ground with a 0.1μF capacitor for proper operation of the circuit.

**Loop Phase Detector Output (Pin 11):** This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by $R_1$ and $C_1$ connected to pin 11 (see *Figure 3.*) With no input signal, or with no phase error within the PLL, the DC level at pin 11 is very nearly equal to $V_{REF}$. The peak to peak voltage swing available at the phase detector output is equal to $2 \times V_{REF}$.

**VCO Control Input (Pin 12):** VCO free-running frequency is determined by external timing resistor, $R_0$, connected from this terminal to ground. The VCO free-running frequency, $f_O$, is:

$$f_O = \frac{1}{R_0 \cdot C_0} \; Hz$$

where $C_0$ is the timing capacitor across pins 13 and 14. For optimum temperature stability, $R_0$ must be in the range of 10KΩ to 100KΩ (see *Figure 9.*)

This terminal is a low impedance point, and is internally biased at a DC level equal to $V_{REF}$. The maximum timing current drawn from pin 12 must be limited to ≤ 3mA for proper operation of the circuit.

**VCO Timing Capacitor (Pins 13 and 14):** VCO frequency is inversely proportional to the external timing capacitor, $C_0$, connected across these terminals (see *Figure 6.*) $C_0$ must be non-polar, and in the range of 200pF to 10μF.

**VCO Frequency Adjustment:** VCO can be fine-tuned by connecting a potentiometer, $R_X$, in series with $R_0$ at pin 12 (see *Figure 10.*)

**VCO Free-Running Frequency, $f_O$:** XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. For set-up or adjustment purposes, the VCO free-running frequency can be tuned by using the generalized circuit in *Figure 3*, and applying an alternating bit pattern of 0's and 1's at the known mark and space frequencies. By adjusting $R_0$, the VCO can then be tuned to obtain a 50% duty cycle on the FSK output (pin 7). This will ensure that the VCO $f_O$ value is accurately referenced to the mark and space frequencies.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

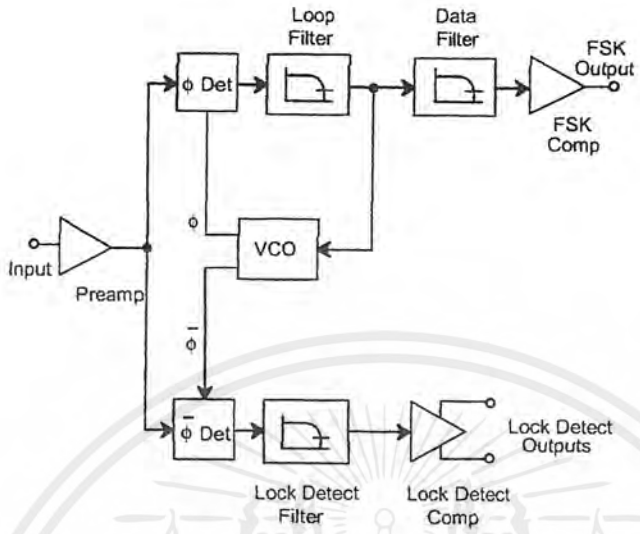



**Figure 2. Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211**

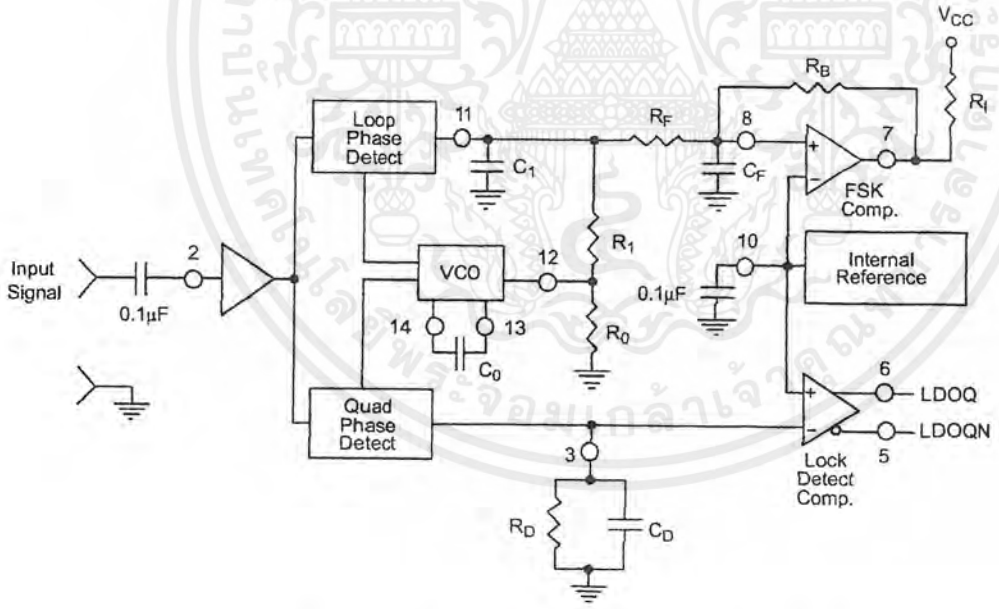



**Figure 3. Generalized Circuit Connection for FSK and Tone Detection**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## APPLICATIONS INFORMATION

### FSK Decoding

*Figure 10* shows the basic circuit connection for FSK decoding. With reference to *Figure 3* and *Figure 10*, the functions of external components are defined as follows: $R_0$ and $C_0$ set the PLL center frequency, $R_1$ sets the system bandwidth, and $C_1$ sets the loop filter time constant and the loop damping factor. $C_F$ and $R_F$ form a one-pole post-detection filter for the FSK data output. The resistor $R_B$ from pin 7 to pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

### Design Instructions:

The circuit of *Figure 10* can be tailored for any FSK decoding application by the choice of five key circuit components: $R_0$, $R_1$, $C_0$, $C_1$ and $C_F$. For a given set of FSK mark and space frequencies, $f_O$ and $f_1$, these parameters can be calculated as follows:

(All resistance in Ω's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

a) Calculate PLL center frequency, $f_O$:

$$f_o = \sqrt{F_1 \cdot F_2}$$

b) Choose value of timing resistor $R_0$, to be in the range of 10KΩ to 100KΩ. This choice is arbitrary. The recommended value is $R_0$ = 20KΩ. The final value of $R_0$ is normally fine-tuned with the series potentiometer, $R_X$.

$$R_O = R_o + \frac{R_x}{2}$$

c) Calculate value of C0 from design equation (1) or from *Figure 7*:

$$C_o = \frac{1}{R_0 \cdot f_0}$$

d) Calculate R1 to give the desired tracking bandwidth (See design equation 5).

$$R_1 = \frac{R_0 \cdot f_0}{(f_1 - f_2)} \cdot 2$$

e) Calculate C1 to set loop damping. (See design equation 4):
Normally, $\varsigma = 0.5$ is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \varsigma^2}$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC34115/D

MOTOROLA

# MC34115

## Continuously Variable Slope Delta Modulator/Demodulator

Providing a simplified approach to digital speech encoding/decoding, the MC34115 CVSD is designed for speech synthesis and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions Selectable with a Digital Input
- Utilization of Compatible $I^2L$ – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ Reference Provided On–Chip)
- 3–Bit Algorithm

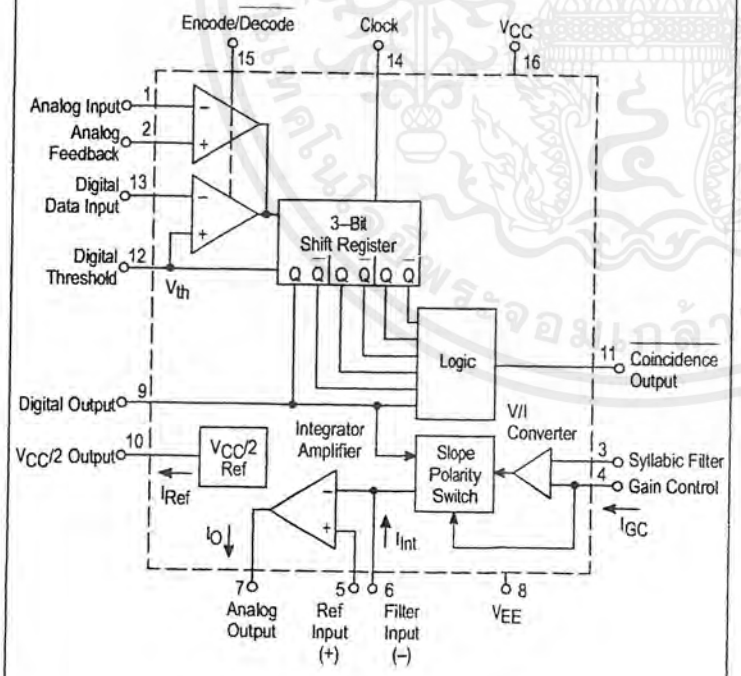
**CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR**

**SEMICONDUCTOR TECHNICAL DATA**

**P SUFFIX**
PLASTIC PACKAGE
CASE 648

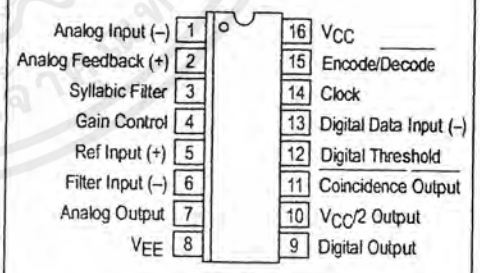
**DW SUFFIX**
PLASTIC PACKAGE
CASE 751G
(SO–16L)

**CVSD Block Diagram**




This device contains 144 active transistors.

**PIN CONNECTIONS**




(Top View)

**ORDERING INFORMATION**

| Device | Operating Temperature Range | Package |
|---|---|---|
| MC34115P | $T_A$ = 0° to +70°C | Plastic DIP |
| MC34115DW | | SO–16L |

© Motorola, Inc. 1996

Rev 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**MAXIMUM RATINGS** (All voltages referenced to $V_{EE}$, $T_A$ = 25°C, unless otherwise noted.) (Note 2)

| Rating | Symbol | Value | Unit |
|---|---|---|---|
| Power Supply Voltage | $V_{CC}$ | –0.4 to +18 | Vdc |
| Differential Analog Input Voltage | $V_{ID}$ | ±5.0 | Vdc |
| Digital Threshold Voltage | $V_{th}$ | –0.4 to $V_{CC}$ | Vdc |
| Logic Input Voltage (Clock, Digital Data, Encode/Decode) | $V_{Logic}$ | –0.4 to +18 | Vdc |
| Coincidence Output Voltage | $V_{O(Con)}$ | –0.4 to +18 | Vdc |
| Syllabic Filter Input Voltage | $V_{I(Syl)}$ | –0.4 to $V_{CC}$ | Vdc |
| Gain Control Input Voltage | $V_{I(GC)}$ | –0.4 to $V_{CC}$ | Vdc |
| Reference Input Voltage | $V_{I(ref)}$ | $V_{CC}$/2 – 1.0 to $V_{CC}$ | Vdc |
| $V_{CC}$/2 Output Current | $I_{ref}$ | –25 | mA |
| Operating Ambient Temperature Range | $T_A$ | 0 to +70 | °C |
| Operating Junction Temperature | $T_J$ | +150 | °C |
| Storage Temperature Range | $T_{stg}$ | –55 to +125 | °C |

**NOTE:** ESD data available upon request.

**ELECTRICAL CHARACTERISTICS** ($V_{CC}$ = 12 V, $V_{EE}$ = Gnd, $T_A$ = 0° to 70°C, unless otherwise noted.)

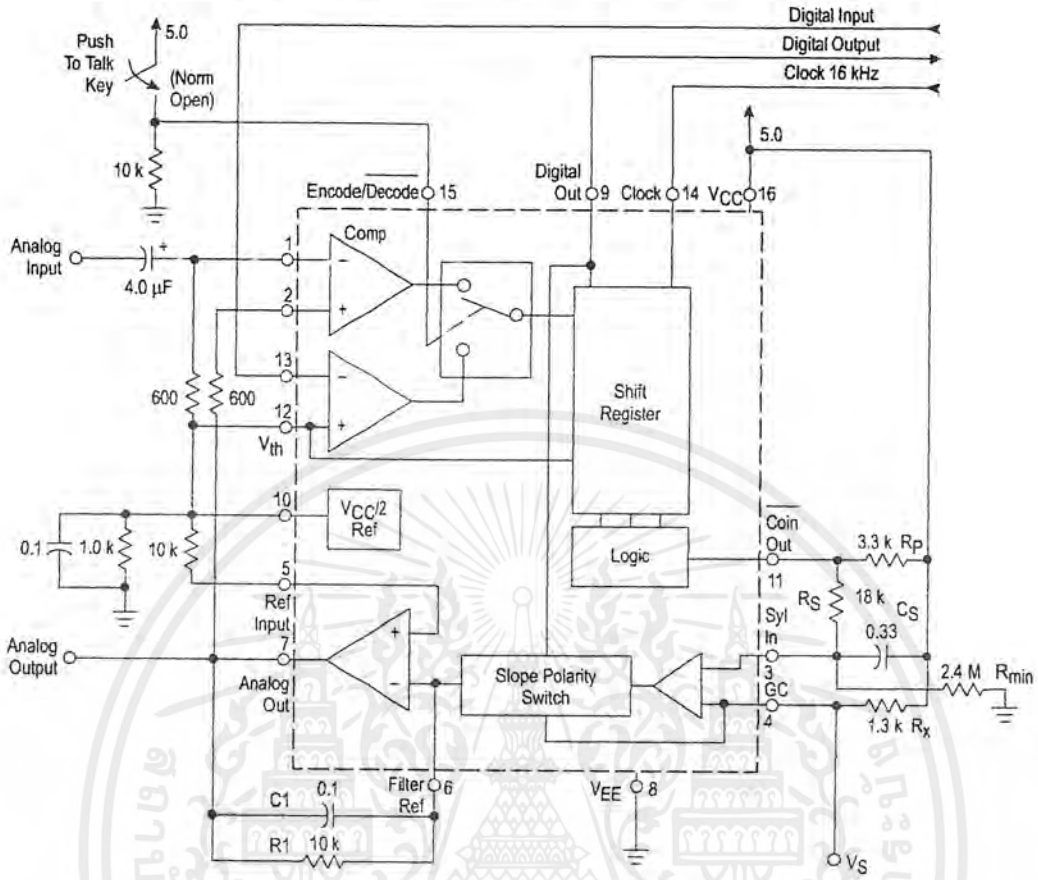
| Characteristic | Symbol | Min | Typ | Max | Unit |
|---|---|---|---|---|---|
| Power Supply Voltage Range (Figure 1) | $V_{CC}$ | 4.75 | 12 | 16.5 | Vdc |
| Power Supply Current (Figure 1) (Idle Channel) | $I_{CC}$ | | | | mA |
| $V_{CC}$ = 5.0 V | | – | 4.6 | 7.5 | |
| $V_{CC}$ = 15 V | | – | 7.0 | 12 | |
| Clock Rate | SR | – | 16 k | – | Samples/s |
| Gain Control Current Range (Figure 2) | $I_{GCR}$ | 0.002 | – | 3.0 | mA |
| Analog Comparator Input Range (Pins 1 and 2) 4.75 V ≤ $V_{CC}$ ≤ 16.5 V | $V_I$ | 1.3 | – | $V_{CC}$ – 1.3 | Vdc |
| Analog Output Range (Pin 7) 4.75 V ≤ $V_{CC}$ ≤ 16.5 V, $I_O$ = ±5.0 mA | $V_O$ | 1.3 | – | $V_{CC}$ – 1.3 | Vdc |
| Input Bias Currents (Figure 3) | $I_{IB}$ | | | | µA |
| Comparator in Active Region | | | | | |
| Analog Input (I1) | | – | 0.5 | 2.5 | |
| Analog Feedback (I2) | | – | 0.5 | 2.5 | |
| Syllabic Filter Input (I3) | | – | 0.06 | 0.5 | |
| Reference Input (I5) | | – | –0.06 | –0.5 | |
| Input Offset Current | $I_{IO}$ | | | | µA |
| Comparator in Active Region | | | | | |
| Analog Input/Analog Feedback \|I1 – I2\| (Figure 3) | | – | 0.15 | 0.8 | |
| Integrator Amplifier \|I5 – I6\| (Figure 4) | | – | 0.02 | 0.2 | |
| Input Offset Voltage V/I Converter (Pins 3 and 4) (Figure 5) | $V_{IO}$ | – | 2.0 | 10 | mV |
| Transconductance | gm | | | | mA/mV |
| V/I Converter, 0 to 3.0 mA | | 0.1 | 0.3 | – | |
| Integrator Amplifier, 0 to +5.0 mA Load | | 1.0 | 10 | – | |

**NOTES:** 1. All propagation delay times measured 50% to 50% from the negative going (from $V_{CC}$ to +0.4 V) edge of the clock.
2. Devices should not be operated at these values. The "Electrical Characteristics" provide conditions for actual device operation.
3. Dynamic total loop offset ($\Sigma V_{offset}$) equals $V_{IO}$ (comparator) (Figure 3) minus $V_{IOX}$ (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 16 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size).



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Figure 15. 16 kHz Simplex Voice Codec**
**(Using MC34115, Single–Pole Companding and Single Integration)**




## APPLICATIONS INFORMATION

### CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC34115 is shown in Figure 15. This IC is a general purpose CVSD building block which allows the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC34115. There are six design considerations involved in designing these basic CVSD building blocks into a specific codec application.

These are listed below:

1. Selection of clock rate
2. Selection of loop gain
3. Selection of minimum step size
4. Design of integration filter transfer function
5. Design of syllabic filter transfer function
6. Design of low pass filter at the receiver

The circuit in Figure 15 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 4 and 5 are reduced to their simplest form. The syllabic and integration filters are both single–pole networks. The selection of items 1 through 3 govern the codec performance.

#### Layout Considerations

Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13 and 14) from analog signal paths (Pins 1 to 7 and 10) in order to achieve proper idle channel performance.

#### Clock Rate

With minor modifications, the circuit in Figure 15 may be operated anywhere from 9.6 to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 15 typically produces the S/N performance shown in Figure 16. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4–wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32 k bits and above.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by LF347/D

MOTOROLA

# LF347, B
# LF351
# LF353

## JFET Input Operational Amplifiers

These low cost JFET input operational amplifiers combine two state–of–the–art analog technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input devices for low input offset voltage. The JFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents.

These devices are available in single, dual and quad operational amplifiers which are pin–compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar devices.

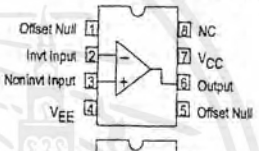
- Input Offset Voltage of 5.0 mV Max (LF347B)
- Low Input Bias Current: 50 pA
- Low Input Noise Voltage: 16 nV/$\sqrt{Hz}$
- Wide Gain Bandwidth: 4.0 MHz
- High Slew Rate: 13V/μs
- Low Supply Current: 1.8 mA per Amplifier
- High Input Impedance: $10^{12}\ \Omega$
- High Common Mode and Supply Voltage Rejection Ratios: 100 dB

### FAMILY OF JFET OPERATIONAL AMPLIFIERS

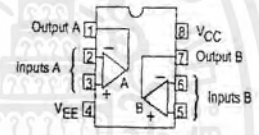
**N SUFFIX**
PLASTIC PACKAGE
CASE 626

**D SUFFIX**
PLASTIC PACKAGE
CASE 751
(SO–8)

**PIN CONNECTIONS**



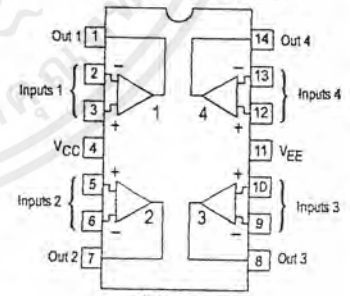

LF351
(Top View)




LF353
(Top View)

**N SUFFIX**
PLASTIC PACKAGE
CASE 646

**PIN CONNECTIONS**




(Top View)

### MAXIMUM RATINGS

| Rating | Symbol | Value | Unit |
|---|---|---|---|
| Supply Voltage | $V_{CC}$<br>$V_{EE}$ | +18<br>−18 | V |
| Differential Input Voltage | $V_{ID}$ | ±30 | V |
| Input Voltage Range (Note 1) | $V_{IDR}$ | ±15 | V |
| Output Short Circuit Duration (Note 2) | $t_{SC}$ | Continuous | |
| Power Dissipation at $T_A$ = +25°C<br>Derate above $T_A$ =+25°C | $P_D$<br>$1/\theta JA$ | 900<br>10 | mW<br>mW/°C |
| Operating Ambient Temperature Range | $T_A$ | 0 to +70 | °C |
| Operating Junction Temperature Range | $T_J$ | 115 | °C |
| Storage Temperature Range | $T_{stg}$ | − 65 to +150 | °C |

**NOTES:** 1. Unless otherwise specified, the absolute maximum negative input voltage is limited to the negative power supply.
2. Any amplifier output can be shorted to ground indefinitely. However, if more than one amplifier output is shorted simultaneously, maximum junction temperature rating may be exceeded.

### ORDERING INFORMATION

| Device | Function | Operating Temperature Range | Package |
|---|---|---|---|
| LF351D | Single | $T_A$ = 0° to +70°C | SO–8 |
| LF351N | Single | | Plastic DIP |
| LF353D | Dual | | SO–8 |
| LF353N | Dual | | Plastic DIP |
| LF347BN | Quad | | Plastic DIP |
| LF347N | Quad | | Plastic DIP |

© Motorola, Inc. 1996

Rev 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ELECTRICAL CHARACTERISTICS** ($V_{CC}$ = +15 $V_{EE}$ = –15 V, $T_A$ = 25°C, unless otherwise noted.)

| Characteristic | Symbol | LF347B | | | LF347, LF351, LF353 | | | Unit |
|---|---|---|---|---|---|---|---|---|
| | | Min | Typ | Max | Min | Typ | Max | |
| Input Offset Voltage ($R_S \le 10$ k, $V_{CM}$ = 0)<br>$T_A$ = +25°C<br>0°C ≤ $T_A$ ≤ +70°C | $V_{IO}$ | <br>–<br>– | <br>1.0<br>– | <br>5.0<br>8.0 | <br>–<br>– | <br>5.0<br>– | <br>10<br>13 | mV |
| Avg. Temperature Coefficient of Input Offset Voltage<br>$R_S \le 10$ k, 0°C ≤ $T_A$ ≤ +70°C | $\Delta V_{IO}/\Delta T$ | – | 10 | – | – | 10 | – | µV/°C |
| Input Offset Current ($V_{CM}$ = 0, Note 3)<br>$T_A$ = +25°C<br>0°C ≤ $T_A$ ≤ +70°C | $I_{IO}$ | <br>–<br>– | <br>25<br>– | <br>100<br>4.0 | <br>–<br>– | <br>25<br>– | <br>100<br>4.0 | <br>pA<br>nA |
| Input Bias Current ($V_{CM}$ = 0, Note 3)<br>$T_A$ = +25°C<br>0°C ≤ $T_A$ ≤ +70°C | $I_{IB}$ | <br>–<br>– | <br>50<br>– | <br>200<br>8.0 | <br>–<br>– | <br>50<br>– | <br>200<br>8.0 | <br>pA<br>nA |
| Input Resistance | $r_i$ | – | $10^{12}$ | – | – | $10^{12}$ | – | Ω |
| Common Mode Input Voltage Range | $V_{ICR}$ | ±11 | +15<br>–12 | – | ±11 | +15<br>–12 | – | V |
| Large–Signal Voltage Gain ($V_O$ = ±10 V, $R_L$ = 2.0 k)<br>$T_A$ = +25°C<br>0°C ≤ $T_A$ ≤ +70°C | $A_{VOL}$ | <br>50<br>25 | <br>100<br>– | <br>–<br>– | <br>25<br>15 | <br>100<br>– | <br>–<br>– | V/mV |
| Output Voltage Swing ($R_L$ = 10 k) | $V_O$ | ±12 | ±14 | – | ±12 | ±14 | – | V |
| Common Mode Rejection ($R_S \le 10$ k) | CMR | 80 | 100 | – | 70 | 100 | – | dB |
| Supply Voltage Rejection ($R_S \le 10$ k) | PSRR | 80 | 100 | – | 70 | 100 | – | dB |
| Supply Current<br>LF347<br>LF351<br>LF353 | $I_D$ | <br>–<br>–<br>– | <br>7.2<br>–<br>– | <br>11<br>–<br>– | <br>–<br>–<br>– | <br>7.2<br>1.8<br>3.6 | <br>11<br>3.4<br>6.5 | mA |
| Short Circuit Current | $I_{SC}$ | – | 25 | – | – | 25 | – | mA |
| Slew Rate ($A_V$ = +1) | SR | – | 13 | – | – | 13 | – | V/µs |
| Gain–Bandwidth Product | BWp | – | 4.0 | – | – | 4.0 | – | MHz |
| Equivalent Input Noise Voltage<br>($R_S$ = 100 Ω, f = 1000 Hz) | $e_n$ | – | 24 | – | – | 24 | – | $nV/\sqrt{Hz}$ |
| Equivalent Input Noise Current (f = 1000 Hz) | $i_n$ | – | 0.01 | – | – | 0.01 | – | $pA/\sqrt{Hz}$ |
| Channel Separation (LF347, LF353)<br>1.0 Hz ≤ f ≤ 20 kHz (Input Referred) | – | – | –120 | – | – | –120 | – | dB |

For Typical Characteristic Performance Curves, refer to MC34001, 34002, 34004 data sheet.

**NOTE:** 3. Input bias currents of JFET input op amps approximately double for every 10°C rise in junction temperature. To maintain junction temperatures as close to ambient as is possible, pulse techniques are utilized during test.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC54/74HC4060A

# 14-Stage Binary Ripple Counter With Oscillator

## High–Performance Silicon–Gate CMOS

The MC54/74C4060A is identical in pinout to the standard CMOS MC14060B. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of 14 master–slave flip–flops and an oscillator with a frequency that is controlled either by a crystal or by an RC circuit connected externally. The output of each flip–flop feeds the next and the frequency at each output is half of that of the preceding one. The state of the counter advances on the negative–going edge of the Osc In. The active–high Reset is asynchronous and disables the oscillator to allow very low power consumption during stand–by operation.

State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and may have to be gated with Osc Out 2 of the HC4060A.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance With JEDEC Standard No. 7A Requirements
- Chip Complexity: 390 FETs or 97.5 Equivalent Gates

**J SUFFIX**
CERAMIC PACKAGE
CASE 620–10

**N SUFFIX**
PLASTIC PACKAGE
CASE 648–08

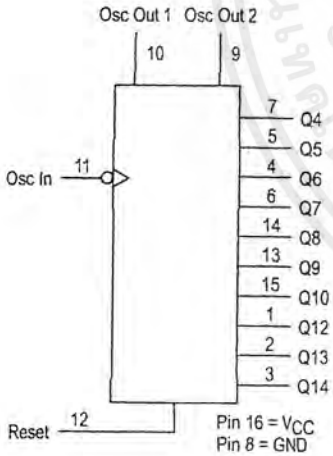
**D SUFFIX**
SOIC PACKAGE
CASE 751B–05

**DT SUFFIX**
TSSOP PACKAGE
CASE 748C–03

**ORDERING INFORMATION**

| | |
|---|---|
| MC54HCXXXXAJ | Ceramic |
| MC74HCXXXXAN | Plastic |
| MC74HCXXXXAD | SOIC |
| MC74HCXXXXADT | TSSOP |

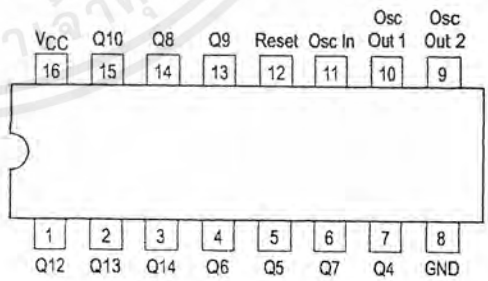
**LOGIC DIAGRAM**




**FUNCTION TABLE**

| Clock | Reset | Output State |
|---|---|---|
| ⌐ | L | No Charge |
| ¬ | L | Advance to Next State |
| X | H | All Outputs Are Low |

**Pinout: 16–Lead Plastic Package** (Top View)






© Motorola, Inc. 1996



MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MAXIMUM RATINGS*

| Symbol | Parameter | Value | Unit |
|---|---|---|---|
| $V_{CC}$ | DC Supply Voltage (Referenced to GND) | – 0.5 to + 7.0 | V |
| $V_{in}$ | DC Input Voltage (Referenced to GND) | – 0.5 to $V_{CC}$ + 0.5 | V |
| $V_{out}$ | DC Output Voltage (Referenced to GND) | – 0.5 to $V_{CC}$ + 0.5 | V |
| $I_{in}$ | DC Input Current, per Pin | ± 20 | mA |
| $I_{out}$ | DC Output Current, per Pin | ± 25 | mA |
| $I_{CC}$ | DC Supply Current, $V_{CC}$ and GND Pins | ± 50 | mA |
| $P_D$ | Power Dissipation in Still Air, Plastic or Ceramic DIP†<br>SOIC Package†<br>TSSOP Package† | 750<br>500<br>450 | mW |
| $T_{stg}$ | Storage Temperature Range | – 65 to + 150 | °C |
| $T_L$ | Lead Temperature, 1 mm from Case for 10 Seconds<br>Plastic DIP, SOIC or TSSOP Package<br>Ceramic DIP | <br>260<br>300 | °C |

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, $V_{in}$ and $V_{out}$ should be constrained to the range GND ≤ ($V_{in}$ or $V_{out}$) ≤ $V_{CC}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or $V_{CC}$). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: – 10 mW/°C from 65° to 125°C
Ceramic DIP: – 10 mW/°C from 100° to 125°C
SOIC Package: – 7 mW/°C from 65° to 125°C
TSSOP Package: – 6.1 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 2 of the Motorola High–Speed CMOS Data Book (DL129/D).

## RECOMMENDED OPERATING CONDITIONS

| Symbol | Parameter | | Min | Max | Unit |
|---|---|---|---|---|---|
| $V_{CC}$ | DC Supply Voltage (Referenced to GND) | | 2.5* | 6.0 | V |
| $V_{in}$, $V_{out}$ | DC Input Voltage, Output Voltage (Referenced to GND) | | 0 | $V_{CC}$ | V |
| $T_A$ | Operating Temperature Range, All Package Types | | – 55 | + 125 | °C |
| $t_r$, $t_f$ | Input Rise/Fall Time (Figure 1) | $V_{CC}$ = 2.0 V | 0 | 1000 | ns |
| | | $V_{CC}$ = 4.5 V | 0 | 500 | |
| | | $V_{CC}$ = 6.0 V | 0 | 400 | |

* The oscillator is guaranteed to function at 2.5 V minimum. However, parametrics are tested at 2.0 V by driving Pin 11 with an external clock source.

## DC CHARACTERISTICS (Voltages Referenced to GND)

| Symbol | Parameter | Condition | $V_{CC}$ V | Guaranteed Limit | | | Unit |
|---|---|---|---|---|---|---|---|
| | | | | –55 to 25°C | ≤85°C | ≤125°C | |
| $V_{IH}$ | Minimum High–Level Input Voltage | $V_{out}$ = 0.1V or $V_{CC}$ –0.1V<br>$\|I_{out}\|$ ≤ 20μA | 2.0 | 1.50 | 1.50 | 1.50 | V |
| | | | 3.0 | 2.10 | 2.10 | 2.10 | |
| | | | 4.5 | 3.15 | 3.15 | 3.15 | |
| | | | 6.0 | 4.20 | 4.20 | 4.20 | |
| $V_{IL}$ | Maximum Low–Level Input Voltage | $V_{out}$ = 0.1V or $V_{CC}$ – 0.1V<br>$\|I_{out}\|$ ≤ 20μA | 2.0 | 0.50 | 0.50 | 0.50 | V |
| | | | 3.0 | 0.90 | 0.90 | 0.90 | |
| | | | 4.5 | 1.35 | 1.35 | 1.35 | |
| | | | 6.0 | 1.80 | 1.80 | 1.80 | |
| $V_{OH}$ | Minimum High–Level Output Voltage (Q4–Q10, Q12–Q14) | $V_{in}$ = $V_{IH}$ or $V_{IL}$<br>$\|I_{out}\|$ ≤ 20μA | 2.0 | 1.9 | 1.9 | 1.9 | V |
| | | | 4.5 | 4.4 | 4.4 | 4.4 | |
| | | | 6.0 | 5.9 | 5.9 | 5.9 | |
| | | $V_{in}$ = $V_{IH}$ or $V_{IL}$ $\|I_{out}\|$ ≤ 2.4mA | 3.0 | 2.48 | 2.34 | 2.20 | |
| | | $\|I_{out}\|$ ≤ 4.0mA | 4.5 | 3.98 | 3.84 | 3.70 | |
| | | $\|I_{out}\|$ ≤ 5.2mA | 6.0 | 5.48 | 5.34 | 5.20 | |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิตติกรรมประกาศ

โครงงานนี้ประสบความสำเร็จได้ด้วยดี โดยได้รับความช่วยเหลือจากหลายฝ่าย ไม่ว่าจะเป็น ดร. สุทธิชัย นพนาคีพงศ์ อาจารย์ที่ปรึกษาโครงงาน รุ่นพี่ปริญญาโทคุณเศรษฐกร กาเมือง ตลอดจนเพื่อนๆทุกๆคนที่ให้คำแนะนำ ทางผู้จัดทำโครงงานขอขอบคุณไว้ ณ โอกาสนี้ด้วยที่ทำให้โครงงานนี้สำเร็จลุล่วงไปด้วยดี



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# หนังสืออ้างอิง


[1] Byeong Gilee and Seak. Chanf Kim , "Scrambling Techniques for Digital Transmission " Springer – Verlag London Berlin Heidelberg New York Paris Tokyo. Hong Kong Barcelone Budapest , 1996

[2] John L. Hilburn , "Manual of active design" , McGRAW-HILL , New York ,1973

[3] ชูชัย ธนสารตั้งเจริญ , " การสื่อสารข้อมูล " , สำนักพิมพ์ฟิสิกส์เซ็นเตอร์

[4] นรินทร์ เนาวประทีป , "ออมแอมป์" , สำนักพิมพ์ฟิสิกส์เซ็นเตอร์

[5] ปราโมทย์ วาดเขียน , วิวัฒน์ กิรานนท์ , "พื้นฐานการสื่อสารข้อมูล", สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้