ระบบชุมสายโทรศัพท์สาขาอัตโนมัติแบบไร้สาย

(ส่วนซอร์ฟแวร์ และ เชื่อมโยง)

WIRELESS PRIVATE AUTOMATIC BRANCH EXCHANGE SYSTEM

(SOFTWARE AND INTERFACE)

โดย

นาย ปริญญา อธินิรมิต 35104258

นางสาว สุวรรณา จิตตินรเศรษฐ์ 35104501

อาจารย์ที่ปรึกษา

อาจารย์ ประภากร สุวรรณะ

วัน เดือน ปี 1 ก.ค. 2540

เลขทะเบียน 037142

เลขเรียกหนังสือ T 38235 ป.458 ร

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

037142

ปริญญานิพนธ์ปีการศึกษา 2538

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบชุมสายโทรศัพท์สาขาอัตโนมัติแบบไร้สาย (ส่วนซอร์ฟแวร์ และ เชื่อมโยง)

ผู้จัดทำ นาย ปริญญา อธินิรมิต 35104258

นางสาว สุวรรณา จิตตินรเศรษฐ์ 35104501

อาจารย์ที่ปรึกษา

(อ. ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบชุมสายโทรศัพท์สาขาอัตโนมัติแบบไร้สาย
(ส่วนซอร์ฟแวร์ และ เชื่อมโยง)

ปริญญา อธินิรมิต
สุวรรณา จิตตินรเศรษฐ์
อ. ประภากร สุวรรณะ อาจารย์ที่ปรึกษา
ปีการศึกษา 2538

บทคัดย่อ

โครงงานนี้เป็นเครื่องชุมสายโทรศัพท์อัตโนมัติแบบไร้สาย มี 4 สายนอก 16 สายในแบ่งส่วนประกอบของเครื่องออกเป็น 2 ส่วนคือ ตู้ชุมสายโทรศัพท์หลัก และเครื่องโทรศัพท์ตัวลูก ใช้ Z80180 ควบคุมการทำงานของตู้ชุมสายโทรศัพท์หลัก และใช้ 8751 ควบคุมการทำงานของเครื่องโทรศัพท์ตัวลูก การรับส่งสัญญาณจะใช้การส่งผ่านทางคลื่นวิทยุ โดยตู้ชุมสายโทรศัพท์หลักมีช่องความถี่ที่ใช้รับ-ส่งทั้งหมด 5 คู่ความถี่ และมีอีกหนึ่งช่องใช้ส่งสัญญาณข้อมูล ส่วนที่เครื่องโทรศัพท์ตัวลูกแต่ละเครื่องจะมีช่องความถี่รับ-ส่งหนึ่งคู่ ซึ่งโครงงานชิ้นนี้เป็นส่วนของซอร์ฟแวร์และอินเตอร์เฟสเท่านั้น ไม่ได้รวมถึงส่วนวิทยุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WIRELESS PRIVATE AUTOMATIC BRANCH EXCHANGE SYSTEM

(SOFTWARE AND INTERFACE)

Prinya Atiniramit

Suwanna Jittinorasett

Prapakorn Suwanna Advisor

1995

ABSTRACT

This thesis presents the design of the wireless PABX for 4 external lines and 16 internal lines . This system has 2 parts , main unit and remote unit . Main unit control by Z80180 and remote unit control by MCS-51 . Transmission data between main unit and remote unit use radio frequency . There are 5 frequency chennels in main unit and 1 frequency chennel in remote unit . This thesis is only software and interface part .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีเบื้องต้นเกี่ยวกับโทรศัพท์	2
2.1 องค์ประกอบของโทรศัพท์	2
2.2 สัญญาณพื้นฐานขององค์การโทรศัพท์	3
2.3 ระบบการต่อเครื่องชุมสายโทรศัพท์ และสัญญาณที่คู่สาย	4
ทที่ 3 ไมโครโปรเซสเซอร์ Z80180	5
3.1 โหมดการทำงาน	6
3.2 รีจิสเตอร์ ไอ/โอ ภายใน	8
3.3 ส่วนจัดการหน่วยความจำ (เอ็มเอ็มยู)	10
3.4 อินเตอร์รัปต์	16
3.5 ส่วนอินเตอร์เฟสการสื่อสารอนุกรมแบบอะซิงค์โครนัส	28
3.6 โปรแกรมเอเบิล รีโหลด ทาร์มเมอร์	38
บทที่ 4 ไมโครคอนโทรลเลอร์ตระกูล 51	42
4.1 สถาปัตยกรรมของไมโครคอนโทรลเลอร์ 51	42
4.2 การจัดขาของไมโครคอนโทรลเลอร์ 51	43
4.3 การจัดโครงสร้างภายในของไมโครคอนโทรลเลอร์ 51	45
4.4 การจัดหน่วยความจำ	46
4.5 รีจิสเตอร์ภายในไมโครคอนโทรลเลอร์ 51	46
4.6 อินเตอร์รัปต์ของไมโครคอนโทรลเลอร์ 51	48
บทที่ 5 โครงสร้างของเครื่อง	49
บทที่ 6 หลักการทำงานและรายละเอียดฮาร์ดแวร์ในแต่ละส่วน	55
6.1 หลักการทำงานและรายละเอียดฮาร์ดแวร์ของ ตู้ชุมสายโทรศัพท์หลัก	55
6.2 หลักการทำงานและรายละเอียดฮาร์ดแวร์ของ เครื่องโทรศัพท์ตัวลูก	80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 7 รายละเอียดทางซอร์ฟแวร์ 83

7.1 การทำงานเริ่มต้นของตู้ชุมสายโทรศัพท์หลัก 83

7.2 การทำงานเริ่มต้นของเครื่องโทรศัพท์ตัวลูก 83

7.3 การส่งเวิร์คบอกช่องสัญญาณจากตัวแม่ไปยังตัวลูก 83

7.4 ลำดับขั้นการทำงานของเครื่อง 84

7.5 ลำดับขั้นการทำงานของเครื่อง 84

7.6 เวิร์คติดต่อระหว่างตัวแม่และตัวลูก 89

7.7 อัลกอลิทึมของเครื่องตัวแม่ 94

7.8 อัลกอลิทึมของเครื่องโทรศัพท์ตัวลูก 103

7.9 การทำงานของโปรแกรมหลัก 112

7.10 การใช้งาน 113

บทที่ 8 บทสรุปและวิจารณ์ 115

8.1 ผลการทดลอง 115

8.2 ปัญหาและแนวทางแก้ไข 118

8.3 สรุปและวิจารณ์ 119

8.4 แนวทางการพัฒนา 120

ภาคผนวก ก โปรแกรมสั่งงานตู้ชุมสายโทรศัพท์หลัก

ภาคผนวก ข โปรแกรมสั่งงานเครื่องโทรศัพท์ตัวลูก

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 การจัดปุ่มและระบบสัญญาณของโทรศัพท์ 3
รูปที่ 3.1 รีจิสเตอร์ไอเอ็มซีอาร์ 6
รูปที่ 3.2 เอ็ม1 เท็มโพลารี่ เอ็นนาเบิล ทาร์มมิ่ง 7
รูปที่ 3.3 เวลาอ่าน และเขียนไอ/โอ เมื่อไอโอซี/ = 1 7
รูปที่ 3.4 เวลาอ่าน และเขียนไอ/โอ เมื่อไอโอซี/ = 0 8
รูปที่ 3.5 รีจิสเตอร์ไอ/โอภายใน 8
รูปที่ 3.6 การจัดตำแหน่งไอโอเอ 9
รูปที่ 3.7 ตัวอย่างตำแหน่งทางตรรก 11
รูปที่ 3.8 การแปลงเป็นตำแหน่งทางกายภาพ 11
รูปที่ 3.9 บล็อกไดอะแกรมของเอ็มเอ็มยู 12
รูปที่ 3.10 การแปลงตำแหน่งไอ/โอ 12
รูปที่ 3.11 ระบบหน่วยความจำลอจิก 13
รูปที่ 3.12 ตัวอย่างลักษณะลอจิคอล สเปส 13
รูปที่ 3.13 รีจิสเตอร์ซีบีเออาร์ 14
รูปที่ 3.14 รีจิสเตอร์ซีบีอาร์ 14
รูปที่ 3.15 รีจิสเตอร์บีบีอาร์ 14
รูปที่ 3.16 การสร้างแอดเดรสทางกายภาพ 15
รูปที่ 3.17 แหล่งกำเนิดการอินเตอร์รัปต์ 16
รูปที่ 3.18 อินเตอร์รัปต์ เวคเตอร์ โล รีจิสเตอร์ 17
รูปที่ 3.19 รีจิสเตอร์ไอทีซี 18
รูปที่ 3.20 แทร็ป ทาร์มมิ่งลำดับสอง อ๊อปโค้ด อันดีไฟด์ 19
รูปที่ 3.21 แทร็ป ทาร์มมิ่งลำดับสาม อ๊อปโค้ด อันดีไฟด์ 20
รูปที่ 3.22 การใช้เอ็นเอ็มไอ/ 21
รูปที่ 3.23 เอ็นเอ็มไอ/ ทาร์มมิ่ง 21
รูปที่ 3.24 ทาร์มมิ่งของไอเอ็นที0/ โหมด0 22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.25 ลำดับการอินเตอร์รัปต์ของไอเอ็นที0/ โหมด1 23
รูปที่ 3.26 ทาร์มมิ่งของไอเอ็นที0/ โหมด1 23
รูปที่ 3.27 ไอเอ็นที0/ โหมด2 เวคเตอร์ อะควิซิชั่น 24
รูปที่ 3.28 ทาร์มมิ่งของไอเอ็นที0/ โหมด2 24
รูปที่ 3.29 ไอเอ็นที1/ ไอเอ็นที2/ เวคเตอร์ อะควิซิชั่น 25
รูปที่ 3.30 ลำดับคำสั่งรีเทิร์นอินเตอร์รัปต์ 27
รูปที่ 3.31 ทาร์มมิ่งของไอเอ็นที1/ ไอเอ็นที2/ และอินเตอร์รัปต์ภายใน 27
รูปที่ 3.32 บล็อกไดอะแกรมของเอซีเอสไอ 28
รูปที่ 3.33 รีจิสเตอร์สถานะเอซีเอสไอ 30
รูปที่ 3.34 รีจิสเตอร์เอ็นทีแอลเอ 32
รูปที่ 3.35 รีจิสเตอร์ซีเอ็นทีเอสบี 34
รูปที่ 3.36 การหารสัญญาณนาฬิกาภายนอก 37
รูปที่ 3.37 บล็อกไดอะแกรมของพีอาร์ที 38
รูปที่ 3.38 รีจิสเตอร์ทีซีอาร์ 39
รูปที่ 4.1 การจัดขาของไมโครคอรโทรลเลอร์ 51 43
รูปที่ 4.2 บล็อกไดอะแกรมของไมโครคอนโทรลเลอร์ 51 45
รูปที่ 5.1 บล็อกไดอะแกรมของตู้โทรศัพท์หลัก 52
รูปที่ 5.2 บล็อกไดอะแกรมของเครื่องโทรศัพท์ตัวลูก 53
รูปที่ 5.3 การใช้ช่องความถี่ในการรับส่งสัญญาณ 54
รูปที่ 6.1 วงจรส่วนประมวลผลกลาง 56
รูปที่ 6.2 วงจรส่วนต่อเชื่อมคู่สายโทรศัพท์ และส่วนจำลองการยกหู 58
รูปที่ 6.3 บล็อกไดอะแกรมภายในไอซีเบอร์ 34012 57
รูปที่ 6.4 วงจรส่วนต่อเชื่อมคู่สายโทรศัพท์ 59
รูปที่ 6.5 วงจรส่วนจำลองการยกหูโทรศัพท์ 60
รูปที่ 6.6 วงจรถอดรหัสสัญญาณผสมสองความถี่ 61
รูปที่ 6.7 บล็อกไดอะแกรมของ เอ็มที 8870 63
รูปที่ 6.8 ค่าที่ได้จากการถอดรหัส 64
รูปที่ 6.9 วงจรตรวจสัญญาณอย่างง่าย 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.11 ทาร์มมิ่งไดอะแกมการทำงานของ เอ็มที 8870 66
รูปที่ 6.12 วงจรสร้างสัญญาณผสมสองความถี่ 69
รูปที่ 6.13 วงจรบันทึกเสียง 71
รูปที่ 6.14 บล็อกไดอะแกรมของไอเอสดี 1200/1400 72
รูปที่ 6.15 ลายละเอียดขาไอเอสดี 1200/1400 76
รูปที่ 6.16 วงจรครอส พอยต์ สวิทช์ 79
รูปที่ 6.17 วงจรสร้างเครื่องโทรศัพท์ตัวลูก 82
รูปที่ 6.18 ลักษณะคีย์บอร์ด 81
รูปที่ 8.1 สัญญาณอินพุทของส่วนเชื่อมต่อคู่สาย 115
รูปที่ 8.2 สัญญาณเอาท์พุทที่ส่วนส่ง 116
รูปที่ 8.3 สัญญาณเอาท์พุทที่วัดได้ที่สายนอก 116

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 3.1	ตำแหน่งรีจิสเตอร์ ไอ/โอ ภายใน	10
ตารางที่ 3.2	สถานะของไออีเอฟ1 และไออีเอฟ2	29
ตารางที่ 3.3	ตารางเวคเตอร์	26
ตารางที่ 3.4	รูปแบบข้อมูล	34
ตารางที่ 3.5	อัตราส่วนการหาร	36
ตารางที่ 3.6	บิทที่โอซี	40
ตารางที่ 4.1	ไมโครคอนโทรลเลอร์ตระกูล 51	42
ตารางที่ 6.1	การกำหนดค่าอินพุทของ ทีซีเอ็ม 5087	68
ตารางที่ 6.2	ความถี่ของแถว และคอลัมป์แต่ละตำแหน่ง	70
ตารางที่ 6.3	สรุปไอซีตระกูล ไอเอสดี 1200/1400	73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์

V_{rms}	=	แรงดันรากที่สองของกำลังสองเฉลี่ย
Vac	=	แรงดันไฟสลับ
Vdc	=	แรงดันไฟตรง
V_{SS}	=	กราวด์ (GROUND)
V_{SSD}	=	กราวด์วงจรดิจิตอล
V_{SSA}	=	กราวด์วงจรอนาลอก
V_{CC}	=	ไฟเลี้ยง
V_{CCD}	=	ไฟเลี้ยงวงจรดิจิตอล
V_{CCA}	=	ไฟเลี้ยงวงจรอนาลอก
R	=	ความต้านทาน
C	=	ตัวเก็บประจุ
fo	=	ความถี่เริ่มต้น
/	=	แอคทีฟ โล (ACTIVE LOW)
A	=	ขาแอดเดรสบัส
P	=	ขาพอร์ท
H	=	เลขฐาน 16
L	=	แรงดันต่ำ (LOW)
H	=	แรงดันสูง (HIGH)
Z	=	ไฮอิมพีแดนซ์ (HIGH IMPEDANCE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 บทนำ

ระบบชุมสายโทรศัพท์สาขาอัตโนมัติ (PRIVATE AUTOMATIC BRANCH EXCHANGE) เป็นระบบซึ่งนำมาใช้ในการขยายการใช้ประโยชน์ของคู่สายโทรศัพท์ให้กว้างขึ้น โดยทำหน้าที่เป็นชุมสายท้องถิ่นขนาดเล็ก ติดต่อระหว่างคู่สายโทรศัพท์ขององค์การโทรศัพท์ กับคู่สายภายในตัวอาคาร ซึ่งอาจมีเป็นจำนวนมากหรือน้อยขึ้นอยู่กับขนาดของเครื่องและการออกแบบตามความต้องการในการใช้งาน

ในปัจจุบันได้มีการนำระบบชุมสายโทรศัพท์สาขาอัตโนมัติ มาใช้อย่างกว้างขวาง ตั้งแต่ระบบใหญ่มากๆที่ใช้ตามโรงงาน โรงแรม ซึ่งมีคู่สายภายในหลายร้อยคู่ และระบบเล็กที่ใช้ตามบ้านพัก หรือสำนักงาน ซึ่งมีคู่สายภายในเพียงไม่กี่คู่สาย ในระบบขนาดเล็กที่มีการทำและพัฒนาขึ้นมานั้นก็จะมีทั้งระบบที่มีการตัดต่อแบบใช้รีเลย์ , ระบบครอสพอยต์สวิทช์ (CROSSPOINT SWITCH) , และระบบดิจิตอล

สำหรับโครงงานนี้ได้นำเสนอเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติแบบไร้สายที่มีการควบคุมด้วยไมโครโปรเซสเซอร์ และมีการออกแบบระบบการทำงานของเครื่องขึ้นเอง ในการออกแบบได้ทำการออกแบบเป็นระบบขนาด 4 คู่สายนอก 16 คู่สายใน โดยแบ่งส่วนประกอบของเครื่องออกเป็น 2 ส่วน คือ ตู้ชุมสายโทรศัพท์หลัก หรือตัวแม่(MAIN UNIT) และ เครื่องโทรศัพท์ตัวลูก(REMOTE UNIT) นอกจากนี้ยังได้มีการออกแบบโดยใช้เทคนิคการเลือกช่องความถี่ที่ว่าง โดยใช้หลักการเลือกช่องความถี่ใช้งานที่ว่าง เพื่อประโยชน์ในการประหยัดช่องความถี่วิทยุ มีผลทำให้ความกว้างแถบ (BANDWIDTH) ของระบบลดลง ซึ่งเป็นประโยชน์ต่อการติดต่อสื่อสารโทรคมนาคมทางคลื่นความถี่วิทยุ

ข้อดีของเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติแบบไร้สายคือ สะดวกในการติดตั้งเพื่อใช้งาน โดยเฉพาะในระบบใหญ่ๆ เพราะสามารถติดตั้งใช้งานภายในอาคารโดยไม่ต้องเดินสายระหว่างตู้ชุมสายโทรศัพท์หลัก และเครื่องโทรศัพท์ตัวลูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 ทฤษฎีเบื้องต้นเกี่ยวกับโทรศัพท์

2.1 องค์ประกอบของโทรศัพท์

เครื่องโทรศัพท์จะประกอบด้วยองค์ประกอบหลักใหญ่ๆ 7 องค์ประกอบด้วยกัน คือ

1. ส่วนรับ (RECEIVER)
2. ส่วนส่ง (TRANSMITTER)
3. สปีช เนทเวิร์ค (SPEECH NETWORK)
4. ฮุค สวิทช์ (HOOK SWITCH)
5. กระดิ่ง (RINGING)
6. ไดอัลเลอร์ (DIALER)
7. วงจรแปลงสัญญาณไฟตรง (BRIDGE RECTIFIER)

ส่วนส่งและส่วนรับปกติจะติดอยู่ที่ส่วนปากพูด หูฟัง (HANDSET) ของเครื่องโทรศัพท์ โดยส่วนส่งจะมีหน้าที่เปลี่ยนสัญญาณเสียงให้เป็นสัญญาณไฟฟ้า ซึ่งสัญญาณนี้จะถูกส่งไปที่สวิทช์ชิ่งเซ็นเตอร์ (SWITCHING CENTER) ส่วนรับมีหน้าที่เปลี่ยนสัญญาณไฟฟ้าให้เป็นสัญญาณเสียง สัญญาณที่ส่วนรับนั้นจะประกอบด้วย สัญญาณแถบความถี่เสียง (VOICEBAND SIGNAL) จากสวิทช์ชิ่งเซ็นเตอร์ และจะคอยลดทอนการป้อนกลับจากส่วนส่ง

สำหรับสปีช เนทเวิร์ค มีหน้าที่แยกสัญญาณส่งและรับภายในเครื่องโทรศัพท์ ดังนั้น สัญญาณทั้งหมดระหว่างสวิทช์ชิ่งเซ็นเตอร์ และเครื่องรับโทรศัพท์อาจส่งไปในคู่สายเดียวกันได้

ฮุค สวิทช์ มีอยู่ 2 สถานะ คือ ออนฮุค (ON-HOOK) หรือ ออฟฮุค (OFF-HOOK) ปกติโทรศัพท์จะอยู่ในสภาวะออนฮุคคือวางหูโทรศัพท์ ต่อเมื่อเรายกหูจึงจะเข้าสู่สภาวะออฟฮุค โดยเมื่อเรายกหูจะมีการดึงกระแส กระแสที่ส่งจะทำให้สวิทช์ชิ่งเซ็นเตอร์ รับรู้ว่าอยู่ในสภาวะออฟฮุค สวิทช์ชิ่งเซ็นเตอร์ก็จะปิดกั้นสัญญาณกระดิ่ง(RINGING SIGNAL) และเตรียมรับสัญญาณไดอัล (DIAL SIGNAL) ฮุคสวิทช์จะต่อสายโทรศัพท์เข้ากับกระดิ่งเมื่ออยู่ในสภาวะออนฮุค และต่อสายโทรศัพท์เข้ากับสปีช เนทเวิร์ค ในสภาวะออฟฮุค

ในสภาวะออฟฮุควงจรโทรศัพท์จะรับไบอัสตรง (DC BIAS) จากสวิทช์ชิ่งเซ็นเตอร์ ส่วนสภาวะออนฮุค จะปรากฏสัญญาณกระดิ่งเมื่อมีผู้เรียกมาเป็นสัญญาณทางไฟฟ้าประมาณ 80 แรงดันรากที่สองของกำลังสองเฉลี่ย(Vrms) ความถี่ 20-30 เฮิร์ท ซึ่งปรกติจะถูกสร้างสัญญาณขึ้นที่สวิทช์ชิ่งเซ็นเตอร์ และถูกส่งมาทำให้กระดิ่งในเครื่องโทรศัพท์ทำงาน

สำหรับส่วนไดอัลเลอร์ จะมีอยู่ 2 วิธีที่ใช้ส่งไดอัลไปที่สวิทช์ชิ่งเซ็นเตอร์ คือ

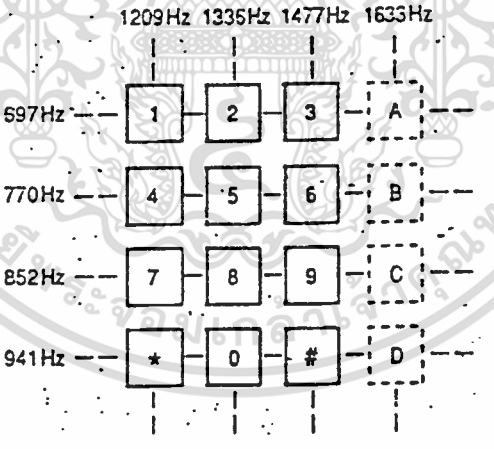
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. โดยการสร้างพัลซ์ (PULSE GENERATOR)
2. โดยการสร้างโทน (TONE GENERATOR)

การสร้างพัลซ์จะใช้กับโทรศัพท์ที่มีหน้าปัดแบบหมุน (ROTARY DIALER) โดยจะสร้างพัลซ์เป็นจำนวนเท่ากับหมายเลขที่หมุนส่งไปตามสายและพัลซ์จะถูกส่งไปและนับที่สวิทซ์ ชิ่ง เซ็นเตอร์

การสร้างโทนจะใช้กับโทรศัพท์ที่มีหน้าปัดแบบกดปุ่ม (TONE DIALER) โดยจะใช้การผสมความถี่ในการส่งหมายเลขโทรศัพท์ ด้วยวิธีของสัญญาณผสมสองความถี่ (DIAL TONE MULTIFREQUENCY , DTMF) ในการส่งหมายเลขโทรศัพท์ โดยทั่วไปหน้าปัดจะมี 12 ปุ่ม แบ่งเป็น 4 แถว (ROW) และ 3 คอลัมป์(COLUMN) และในเครื่องโทรศัพท์บางแบบอาจจะมีปุ่มถึง 16 ปุ่ม โดยเพิ่มคอลัมป์ ที่ 4 ขึ้นมาอีก ดังแสดงในรูปที่ 2.1

ความถี่ที่ใช้ในแต่ละแถว และคอลัมป์ จะมีความถี่ต่างกัน ความถี่ของทั้ง 4 แถว เรียกว่าเป็นกลุ่มความถี่ต่ำ ความถี่ของทั้ง 4 คอลัมป์ จะเป็นกลุ่มความถี่สูง เมื่อกดปุ่มหมายเลขใดๆจะทำให้วงจรอิเลคทรอนิคส์ภายในเครื่องโทรศัพท์ผลิตความถี่ออกมา 2 ความถี่ เช่น เมื่อกดเลข 5 ความถี่ที่ผลิตออกมาคือ 770 เฮิร์ท และ 1336 เฮิร์ท เป็นต้น



รูปที่ 2.1 แสดงการจัดปุ่มและระบบสัญญาณ

2.2 สัญญาณพื้นฐานขององค์การโทรศัพท์แห่งประเทศไทย

สัญญาณต่างๆที่ใช้ในระบบโทรศัพท์ ประกอบด้วย

2.2.1 สัญญาณให้หมุน (DIAL TONE) ใช้เพื่อแสดงให้สมาชิกรู้ว่าให้กดปุ่มหมายเลขผู้รับได้เป็นสัญญาณต่อเนื่อง 400 เฮิร์ท มอดดูเลท (MODULATE)ด้วยความถี่ประมาณ 50 เฮิร์ท แบบเอเอ็ม (AM)

เอกสารนี้จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 สัญญาณไม่ว่าง (BUSY TONE) ใช้บอกผู้เรียกว่าขณะนี้คู่สายปลายทางที่ต้องการติดต่อด้วยกำลังใช้งานอยู่จึงไม่สามารถตัดต่อคู่สายให้ได้ โดยจะเป็นสัญญาณ 400 เฮิร์ท ช่วงเวลาของการส่งประมาณ 0.5 วินาที เงียบ 0.5 วินาที

2.2.3 สัญญาณเรียกกลับ (RINGBACK TONE) เป็นการแจ้งให้ผู้เรียกทราบว่าสามารถติดต่อกับคู่สายปลายทางได้ และรอให้ผู้ที่อยู่ปลายทางทำการตอบรับสัญญาณเรียกอยู่ โดยจะเป็นสัญญาณ 400 เฮิร์ท ช่วงเวลาการส่งประมาณ 1 วินาที เงียบประมาณ 4 วินาที

2.2.4 สัญญาณเรียก (RINGING TONE) เป็นสัญญาณที่ใช้ในการบอกแก่ผู้ที่อยู่ปลายทางว่าขณะนี้มีผู้ต้องการจะติดต่อด้วยทำการเรียกเข้ามายังโทรศัพท์เครื่องนั้น โดยจะเป็นสัญญาณขนาดประมาณ 75 - 100 โวลต์ ความถี่ 25 เฮิร์ท ช่วงเวลาในการส่งประมาณ 1 วินาที เงียบประมาณ 4 วินาที

2.3 ระบบการต่อของเครื่องชุมสายโทรศัพท์และสัญญาณที่คู่สายโทรศัพท์

2.3.1 ระบบต่อด้านผู้เรียก

เมื่อผู้เรียกยกหูขึ้นเพื่อจะทำการเรียกจะทำให้แรงดันไฟตรง (DC VOLTAGE) ที่คู่สายโทรศัพท์เปลี่ยนจาก 48 โวลท์ เป็น 10 โวลท์ เครื่องชุมสายโทรศัพท์จะรู้ว่าเป็นการเริ่มต้นการเรียกก็จะส่งสัญญาณให้หมุนไปยังผู้เรียก (ถ้าไม่ว่าง ก็จะส่งสัญญาณไม่ว่างไปยังผู้เรียกให้ผู้เรียกวางหูและเริ่มทำการเรียกใหม่) เมื่อผู้เรียกได้ยินสัญญาณให้หมุน ก็จะทำการกดหมายเลขของผู้รับปลายทางเป็นสัญญาณผสมสองความถี่ วงจรคู่สายของเครื่องชุมสายโทรศัพท์จะทำการแปลรหัสและปฏิบัติการ พร้อมกันนั้นเครื่องชุมสายโทรศัพท์จะตัดสัญญาณให้หมุนทันทีที่กดหมายเลขตัวแรก

เมื่อเครื่องชุมสายโทรศัพท์รับหมายเลขของผู้รับ ก็จะทำการแปลตัวเลขระบุจากปลายทางที่กดมา เมื่อรู้ตำแหน่งของผู้รับแล้ว เครื่องชุมสายโทรศัพท์จะต่อผ่านระหว่างผู้เรียกและผู้รับ แล้วส่งสัญญาณเรียกกลับไปยังผู้เรียก ในขณะเดียวกันก็จะส่งสัญญาณเรียกไปยังผู้รับ

เมื่อผู้รับตอบการเรียกโดยการยกหู สัญญาณตอบรับจะถูกส่งไปยังเครื่องชุมสายโทรศัพท์ เครื่องชุมสายโทรศัพท์จะทำการตัดสัญญาณกริ่งเรียกด้านผู้รับ และตัดสัญญาณเรียกกลับด้านผู้เรียก หลังจากนั้นการสนทนาจึงเริ่มขึ้นได้

2.3.2 ระบบต่อด้านผู้รับ

เมื่อผู้รับถูกเรียกจากผู้เรียก เครื่องชุมสายโทรศัพท์จะส่งสัญญาณกริ่งเรียก ขนาด 100 โวลท์แรงดันไฟสลับ (Vac) ไปยังผู้รับเพื่อทำการเรียกผู้รับ เมื่อผู้รับตอบการเรียกโดยการยกหูจะทำให้แรงดันไฟตรง เปลี่ยนจาก 48 โวลท์ เป็น 10 โวลท์ ทำให้วงจรคู่สายตัดสัญญาณกริ่งเรียกกับผู้รับ การสนทนาจึงสามารถเริ่มได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 ไมโครโปรเซสเซอร์ Z80180

Z80180 เป็น หน่วยประมวลผลกลาง (CPU) ที่มีประสิทธิภาพสูง โดยมีส่วนประกอบหลัก 5 ส่วน คือ

1. ส่วนสร้างสัญญาณนาฬิกา (CLOCK GENERATER)
2. ส่วนควบคุมสถานะบัส (BUS STATE CONTROLLER)
3. ส่วนควบคุมการอินเตอร์รัปต์ (INTERRUPT CONTROLLER)
4. ส่วนจัดการหน่วยความจำ (MEMORY MANAGMENT UNIT : MMU)
5. ส่วนประมวลผลกลาง (CENTRAL PROCESSING UNIT : CPU)

และยังคงมีส่วนจัดการอินพุท / เอาท์พุท อีกต่างหาก โดยประกอบไปด้วย

- ส่วนควบคุมการเข้าถึงหน่วยความจำโดยตรง (DIRECT MEMORY ACCESS (DMA) CONTROLLER)
- ส่วนอินเตอร์เฟสการสื่อสารอนุกรมแบบอะซิงค์โครนัส (ASYNCHRONOUS SERIAL COMMUNICATIONS INTERFACE , ACSI)
- โปรแกรมเอเบิล รีโหลด ทามเมอร์ (PROGRAMABLE RELOAD TIMER , PRT)
- ช่องคล็อก ซีเรียล ไอ/โอ (CLOCK SERIAL I/O (CSIO) CHANNEL)

<u>ส่วนสร้างสัญญาณนาฬิกา</u> ส่วนนี้จะทำการผลิตฐานเวลาของระบบ (SYSTEM CLOCK) จากผลึกหรือจากสัญญาณฐานเวลาที่ได้มาจากภายนอก (CLOCK INPUT). ค่าฐานเวลานี้จะถูกหาร 2. ค่าที่ได้จะเป็นฐานเวลาของทั้งระบบ.

<u>ส่วนควบคุมสถานะบัส</u> ส่วนนี้จะทำการควบคุมบัส และจัดการสถานะต่าง ๆ ที่เกี่ยวกับทั้งส่วนควบคุม และอุปกรณ์รอบข้างบางตัว และยังรวมไปถึงจัดการสัญญาณรอ (WAIT STATE TIMING) , สัญญาณรีเซ็ต (RESET CYCLE) , สัญญาณรีเฟรชดีแรม (DRAM) , สัญญาณแลกเปลี่ยนดีเอ็มเอ (DMA EXCHANGE)

<u>ส่วนควบคุมการอินเตอร์รัปต์</u> ส่วนนี้จะทำหน้าที่ตรวจตราและจัดลำดับการอินเตอร์รัปต์จากทั้งภายในและภายนอกและจากวงจรตรวจสอบการทำงานของส่วนควบคุม มีโหมดในการอินเตอร์รัปต์ได้ 3 แบบเช่นเดิม.

<u>ส่วนจัดการหน่วยความจำ</u> เป็นส่วนที่ทำให้สามารถขยายหน่วยความจำได้ จาก 64 กิโลไบท์ ไปเป็น 1 เมกกะไบท์ โดยที่ยังคงใช้ความยาวของตำแหน่งเท่าเดิมแต่อ้างหน่วยความจำได้ถึง 1 เมกกะไบท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประมวลผลกลาง ยังคงใช้อ๊อปเจ็คโคด (OBJECT CODE) เดิมเดียวกับ Z80 ได้ และยังคำมีสั่งพิเศษเพิ่มอีกด้วยคือ คูณหรือหาญขนาด 8 บิท และลักษณะพิเศษอีกอย่างคือเวลาคำเนินงาน (EXECUTE TIME) น้อยลง

ส่วนควบคุมการเข้าถึงหน่วยความจำโดยตรง ส่วนนี้จะทำให้เวลาในการย้ายข้อมูลระหว่างหน่วยความจำกับ อุปกรณ์ภายนอกเร็วขึ้น

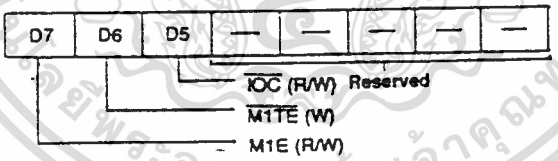
ส่วนอินเตอร์เฟสการสื่อสารอนุกรมแบบอะซิงค์โครนัส ส่วนนี้ประกอบไปด้วยยูอาร์ท (UART) 2 ช่อง

โปรแกรมเอเบิล รีโหลด ทามเมอร์ มี 2 ช่องแต่ละช่องมีตัวนับขนาด 16 บิท และฐานเวลาที่ตัวนับจะใช้มีค่าเท่ากับ ฐานเวลาของระบบหาร 20 และ ช่องที่ 1 มีขาเอาท์พุทด้วย

ช่องคล็อก ซีเรียล ไอ/โอ มีส่วนรับ-ส่งข้อมูลอนุกรมแบบฮาร์ฟ ดูเพล็กซ์ (HALF DUPLEX)

3.1 โหมดการทำงาน (OPERATION MODES)

เราสามารถควบคุมการทำงานของสัญญาณเอ็ม1(M1) ,สัญญาณนาฬิกาของขา ไอโออาร์คิว (IORQ) , อ่าน (RD) , เขียน (WR) , และการทำงานของคำสั่งรีเทิร์นอินเตอร์รัปต์ (RETI) โดยใช้รีจิสเตอร์โอเอ็มซีอาร์ (OMCR : OPERATION MODE CONTROL REGISTER)

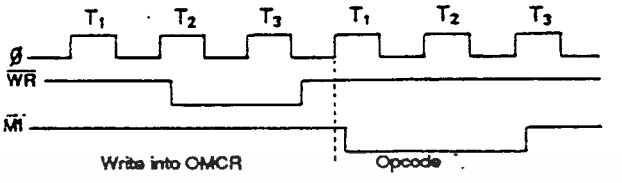


รูปที่ 3.1 แสดงโอเอ็มซีอาร์

บิทเอ็ม 1 อี (M1E : M1/ ENABLE) บิทนี้ทำการควบคุมเอ็ม1 เอาท์พุท และเซ็ทเป็น 1 ระหว่างการรีเซต ถ้าเอ็ม 1 อี นี้ถูกเซ็ทให้เท่ากับ 1 เอ็ม1/ เอาท์พุท จะเป็นลอจิก 0 ก็ต่อเมื่อสภาวะ อ๊อปโคด เฟ็ทไซเคิล (OPCODE FETCH CYCLE) และยังทำให้ เอ็ม1/ เอาท์พุทระหว่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้ง 2 ช่วง เฟ็ทไซเคิลของคำสั่งรีเทิร์นอินเตอร์รัปต์ ซึ่งอาจจะทำให้การจัดการของอินเทอร์รัปต์ภายนอกจะเสียไป ดังนั้นบิทนี้ควรจะเซ็ทเป็น 0

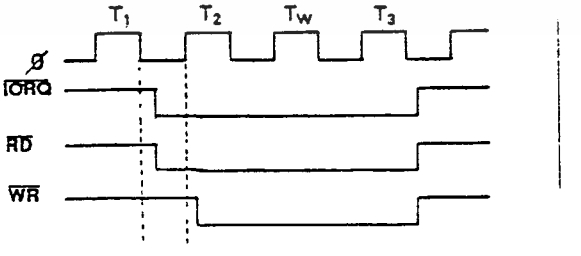


รูปที่ 3.2 เอ็ม1 เท็มโพลารี่ เอ็นนาเบิล ทาร์มมิ่ง

<u>เอ็ม 1 ทีอี/ (M1TE/ : M1 TEMPORARY ENABLE)</u> บิทนี้ควบคุมการทำงานของ เอ็ม1/ บิทนี้จะให้ค่าหนึ่งกลับมาเมื่อทำการอ่านเสมอและถูกเซ็ทเป็น 1 ระหว่างการรีเซท ซึ่งในโครงงานนี้ควรจะมีค่าเป็นหนึ่งเพราะเราไม่ใช้พีไอโอ (PIO) (ลักษณะการทำงานคือ ถ้า เอ็ม 1 ทีอี/ =1 สถานะของขา เอ็ม1/ เอาท์พุท จะตามค่าของ เอ็ม1อี ซึ่งจะทำให้การสั่งให้อินเทอร์รัปต์ได้ของพีไอโอ ไม่ได้ผล เพราะว่าไม่มีสัญญาณ เอ็ม1/ ตามมา เราต้องเซทให้เอ็ม 1ทีอี/ = 0 เพื่อให้มีสัญญาณ เอ็ม1/ จึงจะทำให้การสั่งให้อินเทอร์รัปต์ได้เป็รผล และ เอ็ม 1 ทีอี/ จะมีค่ากลับมาเท่ากับ 1 โดยอัตโนมัติ)

<u>ไอโอซี/ (IOC/)</u> บิทนี้ควบคุมสัญญาณนาฬิกาของขา ไอโออาร์คิว/ และ อาร์ดี/ มันจะถูกเซ็ทเป็น 1 เมื่อรีเซท

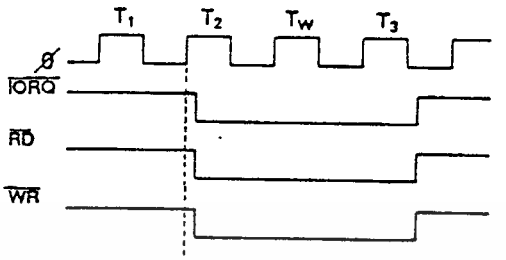
เมื่อค่า ไอโอซี/ เป็น 1 สัญญาณนาฬิกาของ ไอโออาร์คิว/ และ อาร์ดี/ จะเหมือนกับ Z64180



รูปที่ 3.3 เวลาอ่าน และเขียนไอ/โอ เมื่อ ไอโอซี/ = 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ ไอโอซี/ = 0 สัญญาณนาฬิกาของ ไอโออาร์คิว/ และ อาร์ดี/ จะเหมือน Z80



รูปที่ 3.4 เวลาอ่าน และเขียนไอ/โอ เมื่อ ไอโอซี/ = 0

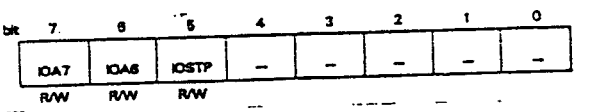
เราควรจะเซ็ทให้เท่ากับ 0

3.2 <u>รีจิสเตอร์ ไอ/โอ ภายใน (INTERNAL I/O REGISTERS)</u>

รีจิสเตอร์ไอ/โอ ภายใน Z80180 ใช้เนื้อที่ภายในไป 64 ตำแหน่ง ค่านี้รวมตำแหน่งสงวน (RESERVED ADDRESS) แล้ว รีจิสเตอร์เหล่านี้ควบคุมการทำงานของอุปกรณ์ ไอ / โอ เช่น เอ เอสซีไอ , ซีเอสไอโอ , พีอาร์ที และ รีจิสเตอร์สถานะ

เพื่อไม่ให้สับสนกับ ตำแหน่งไอ/โอภายนอก ตำแหน่งไอ/โอเหล่านี้จะอยู่ในกรอบ 64 ซึ่งจำกัดให้อยู่ภายใน 256 ไบท์ล่าง

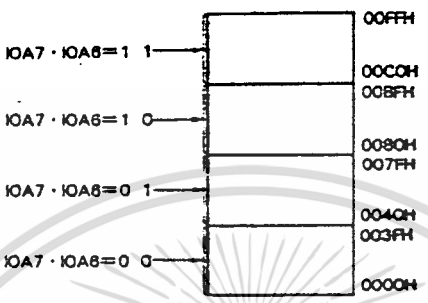
<u>ไอซีอาร์ (ICR : I/O CONTROL REGISTER)</u> จัดการเกี่ยวกับการวางตำแหน่งของรีจิสเตอร์ไอ/โอภายใน และยังจัดการควบคุมการอนุญาติ/ไม่อนุญาติ ของไอ/โอ สต๊อป โหมด (I/O STOP MODE) อีกด้วย



รูปที่ 3.5 รีจิสเตอร์ไอ/โอ ภายใน (ไอซีอาร์ : ไอ/โอตำแหน่ง=3FH)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ไอโอเอ 7 , ไอโอเอ 6 (IOA7,6 : I/O ADDRESS RELOCATION) บิท 7, 6 ไอโอเอ7 และ ไอโอเอ6 จะจัดให้ตำแหน่งเป็นไปตามรูปที่ 3.6



รูปที่ 3.6 แสดงการจัดตำแหน่งไอโอเอ

- ไอโอเอสทีพี (IOSTP: ไอโอเอสทีโอพี โหมด (IOSTOP MODE)) บิท 5 ไอโอเอสทีโอพี โหมด จะถูกสั่งให้ทำงานได้เมื่อ ไอโอเอสทีพี = 1. และการทำงานของไอ/โอ จะกระทำต่อเมื่อ ไอโอเอสทีพี = 0 . และ ไอโอเอสทีพี = 0 เมื่อทำการรีเซ็ท

3.2.1 ตำแหน่งรีจิสเตอร์ไอ/โอภายใน

ตำแหน่งของรีจิสเตอร์ต่าง ๆ แสดงดังตารางที่ 3.1

3.2.2 การอ้างตำแหน่งของรีจิสเตอร์ภายใน

เพราะว่าตำแหน่งของรีจิสเตอร์ภายในเหล่านี้จะอยู่ในช่วง 0000H 00FFH ดังนั้นเวลาจะอ้างถึงค่า 8 บิท บนจาก 16 บิท จะต้องเป็น 0 เพราะว่าคำสั่งเกี่ยวไอ/โอนั้นจะเอาค่าของรีจิสเตอร์มาใส่เป็นค่าที่ค่าแอดเดรส 8 เส้นบน ดังนั้นเป็นการยากที่จะอ้างถึงไอ/โอภายใน

เพื่อให้การเข้าถึงรีจิสเตอร์ภายในทำได้ง่าย Z80180 จึงมีคำสั่งเพิ่มขึ้นมาซึ่งจะทำให้ ค่าของตำแหน่ง 8 บิทบนเป็น 0 คำสั่งเหล่านี้คือ ไอเอ็น0, เอ็าท์0 , โอทีไอเอ็ม, โอทีดีเอ็ม ,โอทีดีเอ็มอาร์ และ ทีเอสทีไอโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	Register	Mnemonic	Address	
			Binary	Hexadecimal
ASCI	ASCI Control Register A Ch 0	CNTLA0	XX000000	00H
	ASCI Control Register A Ch 1	CNTLA1	XX000001	01H
	ASCI Control Register B Ch 0	CNTLB0	XX000010	02H
	ASCI Control Register B Ch 1	CNTLB1	XX000011	03H
	ASCI Status Register Ch 0	STAT0	XX000100	04H
	ASCI Status Register Ch 1	STAT1	XX000101	05H
	ASCI Transmit Data Register Ch 0	TDR0	XX000110	06H
	ASCI Transmit Data Register Ch 1	TDR1	XX000111	07H
	ASCI Receive Data Register Ch 0	RDR0	XX001000	08H
	ASCI Receive Data Register Ch 1	RDR1	XX001001	09H
CSI/O	CSI/O Control Register	CNTR	XX001010	0AH
	CSI/O Transmit/Receive Data Register	TRDR	XX001011	0BH
Timer	Timer Data Register Ch 0L	TMDR0L	XX001100	0CH
	Timer Data Register Ch 0H	TMDR0H	XX001101	0DH
	Reload Register Ch 0L	RLDR0L	XX001110	0EH
	Reload Register Ch 0H	RLDR0H	XX001111	0FH
	Timer Control Register	TCR	XX010000	10H
	Reserved		XX010001 ⟩ XX010011	11H ⟩ 13H
	Timer Data Register Ch 1L	TMDR1L	XX010100	14H
	Timer Data Register Ch 1H	TMDR1H	XX010101	15H
	Reload Register Ch 1L	RLDR1L	XX010110	16H
	Reload Register Ch 1H	RLDR1H	XX010111	17H
Others	Free Running Counter	FRC	XX011000	18H
	Reserved		XX011001 ⟩ XX011111	19H ⟩ 1FH

ตารางที่ 3.1 แสดงตำแหน่งรีจิสเตอร์ไอ/โอภายใน

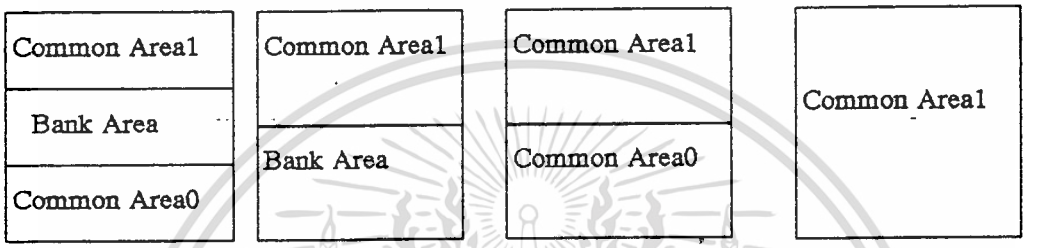
3.3 ส่วนจัดการหน่วยความจำ (เอ็มเอ็มยู)

เป็นหน่วยที่ทำการแปลงค่าตำแหน่งทางตรรกขนาด 64 กิโลไบท์ ไปเป็นตำแหน่งทางกายภาพขนาด 1 เมกกะไบท์ การแปลงนี้จะเกิดภายในและทำงานขนานไปกับการทำงานอื่นๆ ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 ตำแหน่งทางตรรก (LOGICAL ADDRESS SPACE)

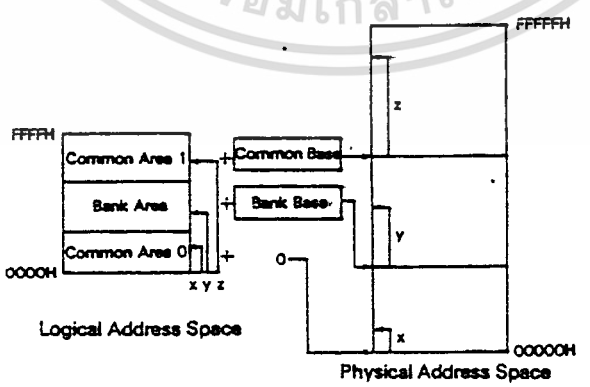
ตำแหน่งทางตรรกนี้จะถูกตีความโดยเอ็มเอ็มยู เสมือนว่าประกอบไปด้วย 1 ถึง 3 เนื้อที่แยกจากกัน คือ คอมมอน แอเรีย(COMM0N AREA) 0, แบงค์ แอเรีย(Bank Area), และคอมมอน แอเรีย 1. ดังแสดงดังรูปที่ 3.7 ซึ่งแสดงถึงลักษณะที่เป็นไปได้ของตำแหน่งภายใน ขอบเขตของ คอมมอน แอเรีย , แบงค์ แอเรีย สามารถเลื่อนได้ ทีละ 4 กิโลไบท์



รูปที่ 3.7 ตัวอย่างตำแหน่งทางตรรก

3.3.2 การแปลงตำแหน่งทางตรรกเป็นตำแหน่งทางกายภาพ

รูปที่ 3.8 แสดงถึงวิธีที่ตำแหน่งทางตรรกแปลงไปเป็นค่าตำแหน่งขนาด 1 เมกกะไบท์ สิ่งที่สำคัญก็คือ คอมมอน แอเรีย กับ แบงค์ แอเรีย สามารถทับกันได้ และ คอมมอน แอเรีย 1 และ แบงค์ แอเรีย สามารถวางตรงที่ใดก็ได้ โดยเลื่อนไปทีละ 4 กิโลไบท์ คอมมอน แอเรีย 0 ถ้ามีก็จะอยู่ที่ 00000H ทางกายภาพ



รูปที่ 3.8 การแปลงเป็นตำแหน่งทางกายภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

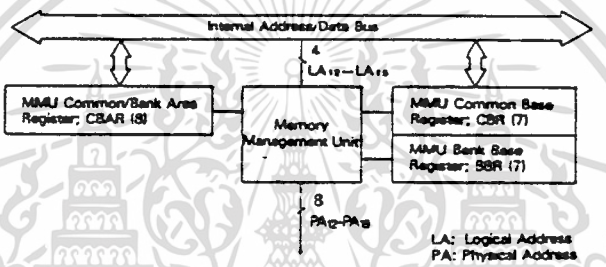
3.3.3 บล็อกไดอะแกรมของเอ็มเอ็มยู

แสดงดังรูปที่ 3.9 ซึ่งจะเป็นการแปลงแบบใดนั้นขึ้นอยู่กับชนิดของซีพียู ไซเคิล ดังนี้

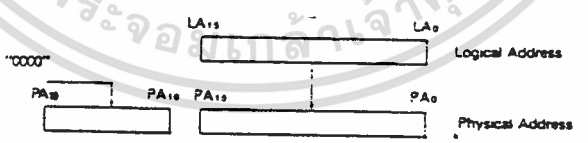
- เม็มโมรี ไซเคิล การแปลงจะเกิดขึ้นตลอดเวลาที่ต้องการใช้หน่วยความจำ

- ไอ/โอ ไซเคิล เอ็มเอ็มยูจะไม่ทำการแปลงใด ๆ ทั้งสิ้น ก็คือ 16 บิทตำแหน่งทางด้านลอจิกจะผ่านเอ็มเอ็มยูไปยังขาแอดเดรสต่าง ๆ ส่วนขา เอ16 ถึง เอ19 (A16-A19) จะเป็น 0 ในช่วงนี้

- ดีเอ็มเอ ไซเคิล เมื่อจะใช้บัสภายนอก เอ็มเอ็มยูจะผ่านค่าตำแหน่งทั้ง 20 ขา ออกไปยังขาแอดเดรสโดยตรง เอ0 - เอ19



รูปที่ 3.9 บล็อกไดอะแกรมของเอ็มเอ็มยู



รูปที่ 3.10 การแปลงตำแหน่งไอ/โอ (I/O ADDRESS TRANSLATION)

3.3.4 รีจิสเตอร์ของเอ็มเอ็มยู

มีรีจิสเตอร์ทั้งหมด 3 ตัวที่จะใช้จัด หน่วยความจำทั้งทางตรรก และทางกายภาพ คือ

1. ซีบีเออาร์ (CBAR : MMU COMMON/BANK AREA REGISTER)
2. ซีบีอาร์ (CBR : MMU COMMON BASE REGISTER)

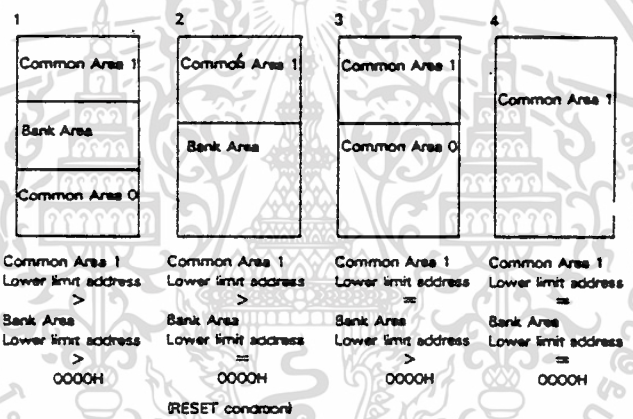
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. บีบีอาร์ (BBR : MMU BANK BASE REGISTER)

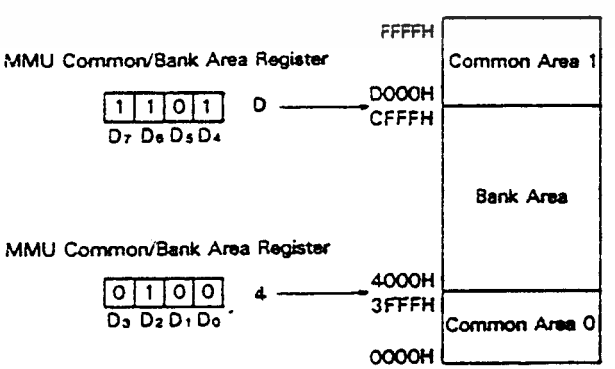
ซีบีเออาร์ใช้ในการกำหนดหน่วยความจำทางตรรก ส่วนซีบีอาร์ และบีบีอาร์จะใช้ในการวางตำแหน่งแอดเดรสทางตรรก ในพื้นที่ 1024 กิโลไบท์ ของตำแหน่งทางตรรก และมีค่าช่วงเท่ากับ 4 กิโลไบท์

กลุ่มซีเออาร์ ในซีบีเออาร์จะทำการกำหนดตำแหน่งเริ่มต้นของคอมมอน แอเรีย1 ซึ่งเป็นตำแหน่งสุดท้ายของแบงค์ แอเรีย และกลุ่มบีเออาร์จะกำหนดตำแหน่งเริ่มต้นของแบงค์ แอเรีย ซึ่งเป็นตำแหน่งสุดท้ายของคอมมอน แอเรีย 0 ด้วย

ค่าของซีเอ และ บีเอ สามารถโปรแกรมได้อย่างอิสระโดยมีข้อจำกัดว่าซีเอ ห้ามน้อยกว่าบีเอ รูปที่ 3.11 และ 3.12 แสดงถึงตัวอย่าง



รูปที่ 3.11 ระบบหน่วยความจำลอจิก



รูปที่ 3.12 ตัวอย่างลักษณะลอจิคอล สเปส (LOGICAL SPACE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดรีจิสเตอร์ของเอ็มเอ็มยู

<u>รีจิสเตอร์ซีบีเออาร์</u> จะทำการกำหนดขอบเขตของพื้นที่ต่างๆ คือ คอมมอน แอเรีย0, แบงค์ แอเรีย และ คอมมอน แอเรีย 1

MMU Common/Bank Area Register (CBAR : I/O Address = 3AH)

bit	7	6	5	4	3	2	1	0
	CA3	CA2	CA1	CA0	BA3	BA2	BA1	BA0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

รูปที่ 3.13 รีจิสเตอร์ซีบีเออาร์ (ซีบีเออาร์ : ตำแหน่งไอ/โอ = 3AH)

ซีเอ3 - ซีเอ0 : ซีเอ (บิท 7-4) จะทำการกำหนดค่าตำแหน่งเริ่มต้นของ คอมมอน แอเรีย 1 ในระหว่างรีเซ็ทค่าของซีเอ จะเท่ากับ 1

บีเอ - บีเอโอ : บีเอ (บิท 3-0) จะทำการกำหนดตำแหน่งเริ่มต้นของแบงค์ แอเรีย ในระหว่างการรีเซ็ทค่าของบีเอ จะเท่ากับ 1

<u>รีจิสเตอร์ซีบีอาร์</u> จะใช้ในการกำหนดค่าตำแหน่งที่จะใช้ในการทำตำแหน่งทางกายภาพ ขนาด 20 ขาสำหรับการเข้าถึงคอมมอน แอเรีย 1 ทุกบิทจะเป็น 0 ในระหว่างการรีเซ็ท

bit	7	6	5	4	3	2	1	0
	CB7	CB6	CB5	CB4	CB3	CB2	CB1	CB0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

รูปที่ 3.14 รีจิสเตอร์ซีบีอาร์ (ซีบีอาร์ : ตำแหน่งไอ/โอ = 38H)

<u>รีจิสเตอร์บีบีอาร์</u> จะกำหนดตำแหน่งที่จะใช้ในการผลิตแอดเดรสทั้ง 20 เส้น ของแบงค์ แอเรีย บิทเหล่านี้จะมีค่าเป็น 0 ในระหว่างการรีเซ็ท

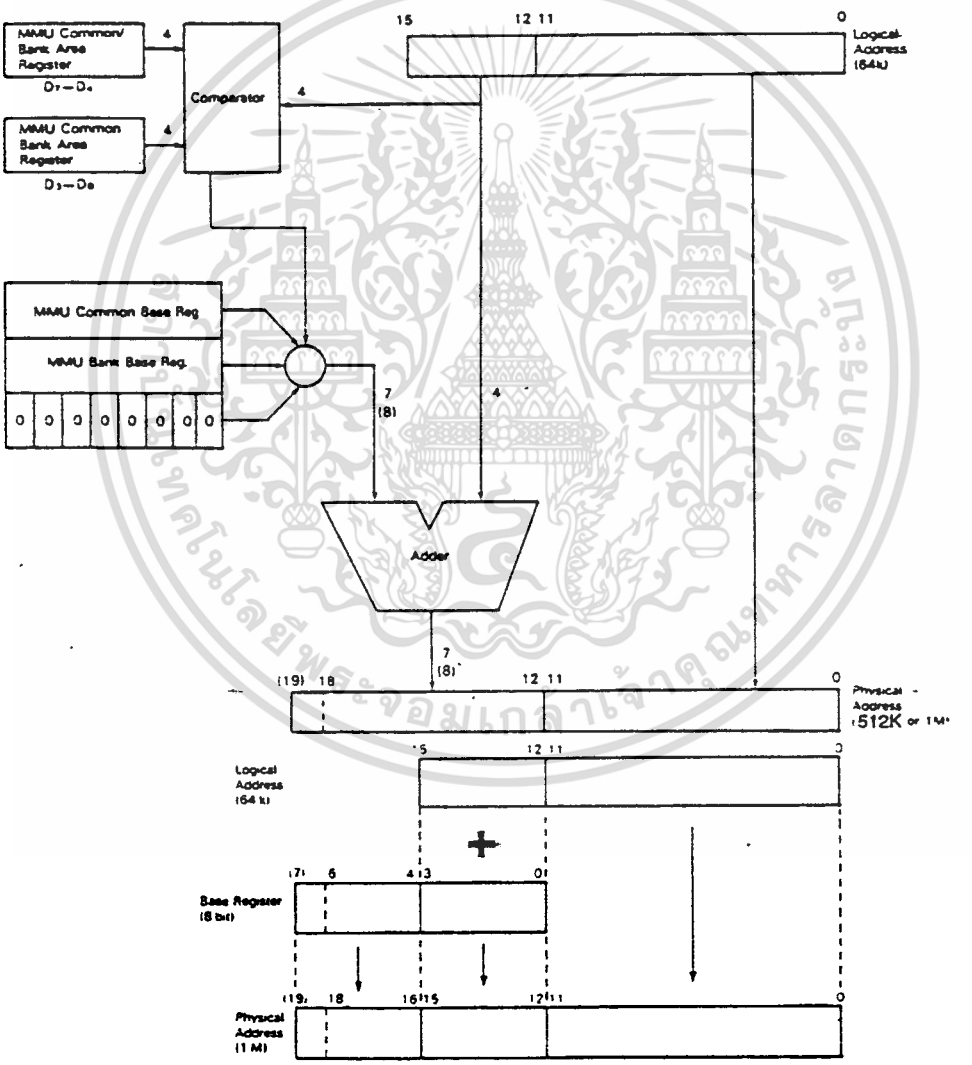
bit	7	6	5	4	3	2	1	0
	BB7	BB6	BB5	BB4	BB3	BB2	BB1	BB0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

รูปที่ 3.15 รีจิสเตอร์บีบีอาร์ (บีบีอาร์ : ตำแหน่งไอ/โอ = 39H)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.5 หลักการในการแปลงค่าแอดเดรส

หลักการในการแปลงค่าแอดเดรส จะทำการผลิตค่าตำแหน่งทางกายภาพโดยใช้ค่าของซีบีเออาร์ ,ซีบีอาร์ ,และ บีบีอาร์ โดยตัวเปรียบเทียบของเอ็มเอ็มยู จะทำการแยกพื้นที่โดยดูค่าในซีบีเออาร์ ซึ่งขึ้นอยู่กับว่าจะทำการเข้าถึงพื้นที่ชนิดใด โดยค่าในรีจิสเตอร์ ซีบีอาร์ (หรือ อาจจะเป็นบีบีอาร์) ซึ่งมีขนาด 8 บิทจะถูกบวกกับ 4 บิทสูงของตำแหน่งทางตรรก ทำให้ได้ตำแหน่งขนาด 20 บิท



รูปที่ 3.16 การสร้างแอดเดรสทางกายภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

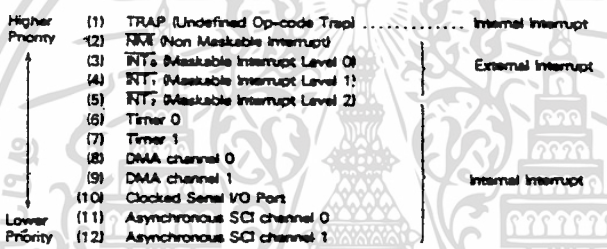
3.3.6 เอ็มเอ็มยู และ รีเซ็ท

หลังการรีเซ็ทค่าในรีจิสเตอร์ต่าง ๆ เป็นดังนี้ซีเอ บีเอ ทุกบิทมีค่า 1 ในขณะที่ซีบีอาร์และบีบีอาร์มีค่าเป็น 0 ดังนั้นแอดเดรสทางตรรกขนาด 64 กิโลไบท์ จะเทียบได้กับแอดเดรส 64 กิโลไบท์ แรกของตำแหน่งทางกายภาพ

เมื่อเขียนค่าลงในรีจิสเตอร์ 3 ตัวนี้ค่าเหล่านี้จะมีผลทันทีหลังจาก ไอ/โอ ไรท์ ไซเคิล (I/O WRITE CYCLE) ที่ทำการเปลี่ยนค่าข้อมูลนั้น

3.4 อินเตอร์รัปต์

Z80180 มีแหล่งกำเนิดการอินเตอร์รัปต์ 12 แหล่ง (4 จากภายนอก 8 จากภายใน) ดังแสดงในรูปที่ 3.17



รูปที่ 3.17 แหล่งกำเนิดการอินเตอร์รัปต์

ในบทนี้จะอธิบายถึงรีจิสเตอร์ที่เกี่ยวข้องกับการอินเตอร์รัปต์ , แทร็ปอินเตอร์รัปต์(TRAP INTERRUPT) , โหมดการตอบสนองการอินเตอร์รัปต์ (INTERRUPT RESPONSE MODES) และอินเตอร์รัปต์ภายนอก (EXTERNAL INTERRUPT)

3.4.1 รีจิสเตอร์ควบคุมการอินเตอร์รัปต์ และ แฟล็ก (FLAG)

Z80180 มีรีจิสเตอร์ที่เกี่ยวข้องกับการอินเตอร์รัปต์ 3 ตัว และมีแฟล็กอยู่ 2 ตัว

หน้าที่	ชื่อ	วิธีการเข้าถึง (ACCESS METHOD)
1. อินเตอร์รัปต์ เวคเตอร์ ไฮ (INTERRUPT VECTOR HIGH)	ไอ (I)	โหลด เอ,ไอ และ โหลด ไอ,เอ (LD A,I AND LD I,A)
2. อินเตอร์รัปต์ เวคเตอร์ โล (INTERRUPT VECTOR LOW)	ไอแอล (IL)	คำสั่งของไอ/โอ (ตำแหน่ง = 33H)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่	ชื่อ	วิธีการเข้าถึง
3. อินเตอร์รัปต์/แทร็ป คอนโทรล	ไอทีซี	คำสั่งของไอ/โอ
(INTERRUPT/TRAP CONTROL)	(ITC)	(ตำแหน่ง = 34H)
4. อินเตอร์รัปต์ เอ็นนาเบิล แฟล็ก	ไออีเอฟ1,2	อีไอ และ ดีไอ
(INTERRUPT ENABLE FLAG)	(IEF1,IEF2)	(EI AND DI)

อินเตอร์รัปต์เวคเตอร์ ไฮ รีจิสเตอร์ (I : INTERRUPT VECTER HIGH REGISTER)

โหมด 2 ของ อินเตอร์รัปต์ภายนอกไอเอ็นที0 , อินเตอร์รัปต์ภายนอกไอเอ็นที1/ และ ไอเอ็นที2 ทุกตัว ยกเว้นแทร็ปจะใช้วิธี เวคเตอร์ในการกำหนดตำแหน่งของโปรแกรมบริการการอินเตอร์รัปต์ (INTERRUPT SERVICE ROUTINE) ในการตอบสนองต่อการอินเตอร์รัปต์นี้ ค่าตำแหน่งขนาด 16 บิทจะถูกผลิตขึ้น ซึ่งจะเป็นค่าของตำแหน่งที่เก็บค่าของตำแหน่งเริ่มของโปรแกรมบริการ

ด้านวิธีการผลิตค่าในไบท์ต่ำของเวคเตอร์ต่างกัน แต่ค่าไบท์สูงนั้นได้มาจากรีจิสเตอร์ เช่นเดียวกัน โดยวิธีการ อ่านและเขียนรีจิสเตอร์ไอ นั้นทำโดยคำสั่ง โหลด เอ,ไอ และ โหลด ไอ,เอ โดยค่าเริ่มต้นจะเป็น 0 เมื่อทำการรีเซ็ท

รูปที่ 3.18 อินเตอร์รัปต์ เวคเตอร์ โล รีจิสเตอร์ (ไอเอล : ตำแหน่งไอ/โอ = 33H)

อินเตอร์รัปต์เวคเตอร์ โล รีจิสเตอร์ (INTERRUPT VECTOR LOW REGISTER)

รีจิสเตอร์ตัวนี้จะทำการกำหนด 3 บิทสูงของค่าแอดเดรสอินเตอร์รัปต์ เวคเตอร์ ไบท์ต่ำ สำหรับการอินเตอร์รัปต์ภายนอกภายนอก ไอเอ็นที1 ไอเอ็นที2 และอินเตอร์รัปต์ภานในทั้งหมด (ยกเว้นแทร็ป) ส่วน 5 บิทล่างจะเป็นค่าของแต่ละแหล่งกำเนิดอินเตอร์รัปต์โดยการโปรแกรมไอแอล ตารางเวคเตอร์สามารถจะมีขอบเขตขนาด 32 ไบท์ ค่าของ 3 บิทนี้จะเท่ากับ 0 เมื่อ รีเซ็ท

ไอเอ็นที/แทร็ป คอนโทรล รีจิสเตอร์ (ITC : INT/TRAP CONTROL REGISTER)

ไอทีซีนี้ใช้ในการจัดการแทร็ป อินเตอร์รัปต์ และใช้ในการอณุญาติ ไม่อนุญาติอินเตอร์รัปต์ภายนอกแบบมาร์คเอเบิล (MARKABLE) ไอเอ็นที0 , ไอเอ็นที1 , ไอเอ็นที2

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- แทร็ป (บิท 7)

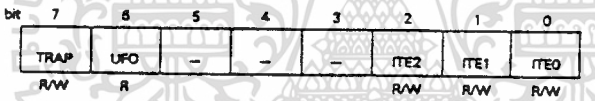
บิทนี้จะเป็น 1 เมื่อคำสั่งที่ยังไม่ได้กำหนดถูกเฟ็ท บิทนี้จะกลับเป็น 0 ได้ก็ต่อเมื่อทำการเขียนค่า 0 ลงไป บิทนี้จะมีค่าเท่ากับ 0 เมื่อทำการรีเซ็ท

- ยูอาร์โอ (URO : UNDEFINED FETCH OBJECT) (บิท 6)

เมื่อเกิดแทร็ปอินเตอร์รัปต์ขึ้น ค่าในบิทนี้จะเป็นตัวแสดงตำแหน่งเริ่มต้นของคำสั่งที่ผิด สิ่งนี้เป็นสิ่งจำเป็นเพราะว่าการผิดอาจจะเกิดที่ไบท์ที่ 2 หรือ 3 ก็ได้ ถ้ายูเอ็ฟโอ = 0 ไบท์แรกของคำสั่งที่ผิดจะเท่ากับ ค่าพีซี (PC: PROGRAM COUNTER) -1 แต่ถ้า ยูเอฟโอ = 1ไบท์แรกจะเท่ากับ พีซี - 2. บิทนี้เป็นบิทที่อ่านได้อย่างเดียว

- ไอทีอี2,1,0 (ITE2,1,0 : INTERRUPT ENNABLE 2,1,0) (บิท 2 - 0)

ไอทีอี2,1,0 จะทำการอนุญาติ หรือ ไม่อนุญาติอินเตอรีรัปต์ภายนอกแบบมาร์คเอเบิล ไอเอ็นที2,1,0 ถ้าค่านี้เท่ากับ 0 การอินเตอร์รัปต์จะถูกห้าม เมื่อรีเซ็ท ไอทีอี0 = 1
ไอทีอี1 = 0 Iไอทีอี = 0



รูปที่ 3.19 รีจิสเตอร์ไอทีซี (ไอทีซี : ตำแหน่งไอ/โอ = 34H)

<u>อินเตอร์ เอ็นนาเบิล แฟล็ก (IEF1,IEF2 : INTERRUPT ENABLE FLAG 1,2)</u>

ไออีเอ็ฟ1 เป็นตัวควบคุมการอนุญาติ และ ไม่อนุญาติ ของการอินเตอร์รัปต์ภายในทั้งหมด และ อินเตอร์รัปต์ภายนอกเฉพาะที่มาร์คได้ (นั้นคือ อินเทอร์รัปต์ทั้งหมดยกเว้น เอ็นเอ็มไอ/ (NMI/) และ แทร็ป)

ถ้า ไออีเอ็ฟ =0 จะเป็นการห้าม และบิทนี้จะเป็น 0 ได้ก็ด้วยคำสั่ง ดีไอ และเป็น 1 ด้วยคำสั่ง อีไอ

ไออีเอฟ2 ใช้ในเวลาเกิด เอ็นเอ็มไอ/ ในระหว่างเอ็นเอ็มไอ/ นี้การอินเตอร์รัปต์ที่เกิดขึ้นก่อนหน้านี้จะถูกเก็บไว้ก่อนและ อินเตอร์รัปต์แบบมาร์คเอเบิลทุกตัวจะถูกห้าม และเมื่อทำงานตามคำสั่งรีเทิร์น (RETN) จะทำให้เกิดการคืนสถานะของการรับการอินเตอร์รัปต์

และค่าของไออีเอฟ 2 สามารถจะแสดงได้ด้วยคำสั่ง โหลอ เอ,ไอ หรือ โหลด เอ,อาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CPU Operation	IEF_1	IEF_2	REMARKS
RESET	0	0	Inhibits the interrupt except $\overline{NMI}$ and TRAP.
$\overline{NMI}$	0	IEF_1	Copies the contents of IEF_1 to IEF_2.
RETN	IEF_2	not affected	Returns from the $\overline{NMI}$ service routine.
Interrupt except $\overline{NMI}$ and TRAP	0	0	Inhibits the interrupt except $\overline{NMI}$ and TRAP.
RETI	not affected	not affected	
TRAP	not affected	not affected	
EI	1	1	
DI	0	0	
LD A, I	not affected	not affected	Transfers the contents of IEF_2 to P/V flag.
LD A, R	not affected	not affected	Transfers the contents of IEF_2 to P/V flag.

ตารางที่ 3.2 สถานะของ ไออีเอฟ1 และไออีเอฟ2

3.4.2 แทร็ป อินเตอร์รัปต์

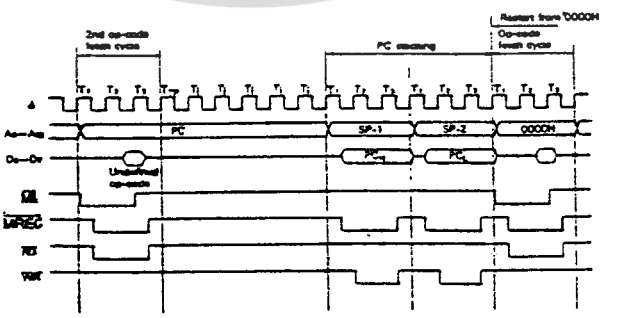
Z80180 จะทำการอินเทอร์รัปต์เมื่อคำสั่งที่ไม่ได้กำหนดก่อนถูกเรียกใช้งาน การอินเทอร์รัปนี้เป็นแบบที่ห้ามไม่ได้เรียกว่า " แทร็ป " ซึ่งอาจจะเกิดในระหว่างอ๊อปโค้ด เฟ็ท ไซเคิล หรือในระหว่างอินเตอร์รัปต์ แอ็คโนเล็จ (ACKNOWLEDGE) ไซเคิล ของไอเอ็นที0 เมื่อใช้ในโหมด 0

ลำดับการทำงานเมื่อเกิดแทร็ป

1. บิทแทร็ปใน ไอทีซี เท่ากับ 1
2. ค่าพีซีปัจจุบันถูกเก็บลงในสแต็ค (STACK)
3. ค่าตำแหน่งทางตรรกจะเท่ากับ 0000H

ค่าของบิทยูเอฟโอทำให้สามารถรู้ได้ว่าตำแหน่งเริ่มต้นของคำสั่งที่ผิดนั้นอยู่ที่ใด ถ้า ยูเอฟโอ = 0 ค่าตำแหน่งเริ่มต้นของคำสั่งที่ผิดเท่ากับพีซพที่เก็บอยู่ใน สแต็ค - 1 ถ้า ยูเอฟโอ = 1 จะเท่ากับพีซี - 2

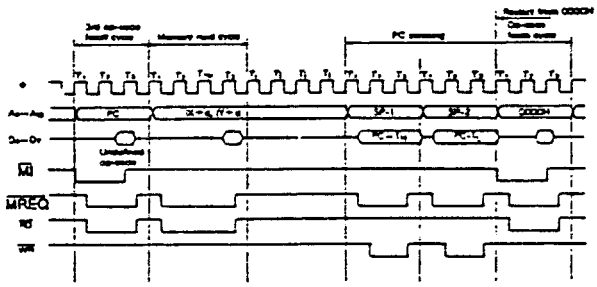
รูปที่ 3.20 และ 3.21 แสดงถึงทาร์มมิ่งของแทร็ป



รูปที่ 3.20 แทร็ป ทาร์มมิ่งลำดับสอง อ๊อปโค้ด อันดีไฟด์

(TRAP TIMING-2ND OP-CODE UNDEFINED)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
037142



รูปที่ 3.21 แทร็ป ทาร์มมิ่งสำคับสาม อ๊อปโค้ด อันดีไฟด์

(TRAP TIMING-3ND OP-CODE UNDEFINED)

3.4.3 อินเตอร์รัปต์ภายนอก

Z80180 มี ขาอินเตอร์รัปทั้งหมด 4 ขา

1. เอ็นเอ็มไอ/ (NMI/ : NON-MASKABLE INTERRUPT)
2. ไอเอ็นที0/ (INT0/ : MASKABLE INTERRUPT LEVEL 0)
3. ไอเอ็นที1/ (INT1/ : MASKABLE INTERRUPT LEVEL 1)
4. ไอเอ็นที2/ (INT2/ : MASKABLE INTERRUPT LEVEL 2)

เอ็นเอ็มไอ/ , ไอเอ็นที1/ และ ไอเอ็นที2/ มีการตอบสนองต่อการอินเตอร์รัปที่ขานี้เพียง 1 อย่าง แต่ไอเอ็นที0/ มีโหมดการตอบสนอง 3 โหมด โหมด 0,1,2

<u>เอ็นเอ็มไอ/</u>

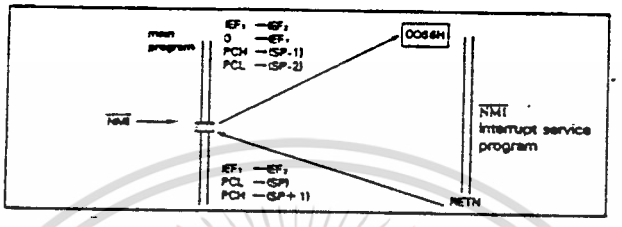
ขานี้จะมีการตอบสนองต่อ ขอบของสัญญาณ ลักษณะการตอบสนองคือ

1. การทำงานของ ดีเอ็มเอซี (DMAC) จะถูกห้ามชั่วคราวโดยการเคลียร์บิทดีเอ็มอี (DME : DMA MAIN ENABLE) ในรีจิสเตอร์ดีซีเอ็นทีแอล (DCNTL)
2. ค่าพีซีถูกเก็บลงในสแต็ค
3. ไออีเอฟ2 = ไออีเอฟ1
4. ไออีเอฟ1 = 0
5. ปฏิบัติคำสั่งที่ตำแหน่งทางตรรกเท่ากับ 0066H

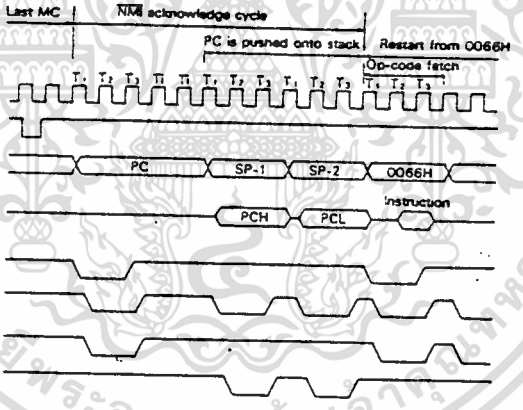
คำสั่งสุดท้ายของโปรแกรมบริการควรจะเป็นรีเทิร์นซึ่งจะทำการคืนค่าเดิมให้กับพีซี ,ทำให้โปรแกรมที่ค้างอยู่ทำงานต่อ ,ทำให้ไออีเอฟ2 = ไออีเอฟ1 และเพราะว่าการอินเตอร์รัปที่ขานี้จะมีจำนวนเท่าไรก็ได้ ถ้าเรามีคำสั่งรีเทิร์นไม่พอจะทำให้เกิดสแต็ค โอเวอร์โฟวล์ (STACK OVERFLOW) ได้

เอกสารนี้จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.22 แสดงถึงการใช้เอ็นเอ็มไอ/ และคำสั่งรีเทิร์น ส่วนรูปที่ 3.23 แสดงถึงทาร์มมิ่ง การอินเทอร์รัปที่ขานี้จะมีลักษณะเป็นแบบทำงานที่ขอบ (EDGE SENSITIVE) และจะแล็ทไว้จนกระทั่งมีการมาตรวจ โดยจะมีการตรวจที่แม็ชชีน ไซเคิล (MACHINE CYCLE) สุดท้าย



รูปที่ 3.22 การใช้ เอ็นเอ็มไอ/



รูปที่ 3.23 เอ็นเอ็มไอ/ ทาร์มิ่ง

ไอเอ็นที0

เป็นขาอินเตอร์รัปที่มีลำดับความสำคัญ (PRIORITY) ต่ำกว่าเอ็นเอ็มไอ/ ที่ขานี้จะมีการสุ่มที่ทุก ๆแม็ชชีน สุดท้าย ซึ่งถ้าขานี้มีสถานะเป็น 0 ในระหว่างการสุ่มนี้จะทำให้เกิดการรับการอินเตอร์รัปต์ขึ้น และการอินเตอร์รัปที่ขานี้จะถูกห้ามเมื่อ ไออีเอฟ หรือ ไอทีอี0 เท่ากับ 0 (ซึ่งค่าหลังการรีเซ็ทจะได้ว่า ไออีเอฟ =0 และ ไอทีอี0 = 1 ดังนั้น ไอเอ็นที0 จะเอ็นนาเบิลก็ต่อเมื่อทำคำสั่งอีไอ) การอินเตอร์รัปที่ขานี้มี 3 โหมด โหมด 0, 1, 2 โดยการใช้คำสั่ง ไอเอ็ม0, 1 ,2 เมื่อทำการรีเซ็ทจะได้โหมดเป็นโหมด 0 ซึ่งทั้ง 3 โหมดคือ

1. โหมด 0 เป็นการเฟ็ท คำสั่งจากบัสข้อมูล
2. โหมด 1 จะทำการเริ่มต้นปฏิบัติใหม่ที่บรรทัด 0038H

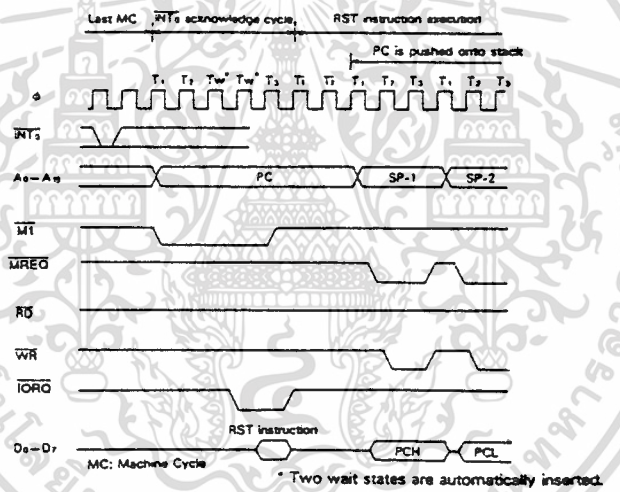
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. โหมด 2 ค่าตำแหน่ง 5 บิทต่ำของตาราง เวคเตอร์ นำมาจากบัสข้อมูล

<u>ไอเอ็นที0 โหมด0</u>

ในระหว่างการตอบสนองต่อการอินเตอร์รัป จะมีคำสั่งหนึ่งถูกเฟ็ทมาจากบัสข้อมูล โดยที่คำสั่งนี้จะเป็นคำสั่งในกลุ่มรีสตาร์ท (RST : RESTART) มี 8 แบบ ซึ่งจะทำการเก็บค่าพีซี ลงในสแต็ค และเริ่มทำงานที่บรรทัดใหม่ ซึ่งจะเป็นบรรทัดใด ก็แล้วแต่คำสั่งที่เฟ็ทได้

ข้อสังเกตุ การเก็บค่าลงในสแต็คนั้นทำโดยคำสั่งรีสตาร์ทไม่ได้เป็นการเก็บอัตโนมัติ และอาจจะเกิดแทร็ป อินเตอร์รัปต์ ได้ถ้าคำสั่งที่เฟ็ทได้มานั้นเป็นคำสั่งที่ผิด

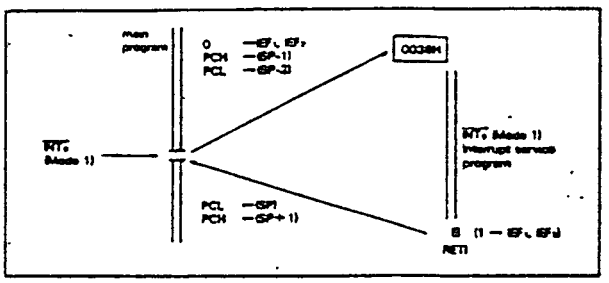


รูปที่ 3.24 ทาร์มมิ่ง ไอเอ็นที0/ โหมด0

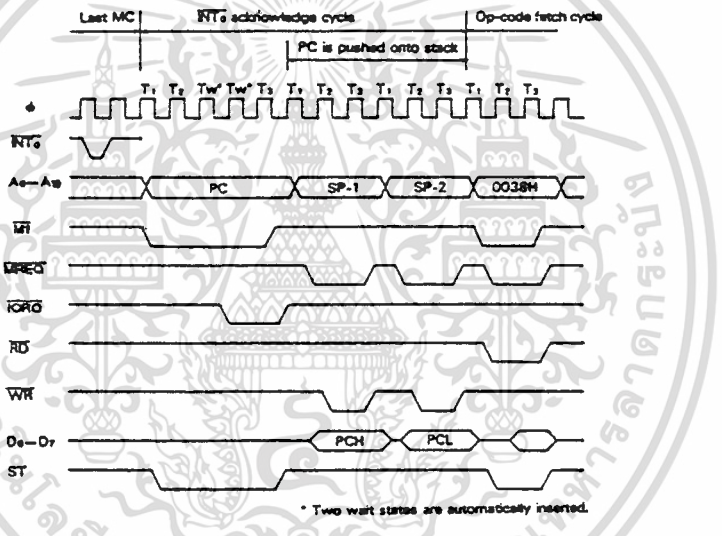
<u>ไอเอ็นที0/ โหมด1</u>

เมื่อเกิดการอินเทอร์รัปขึ้นจะทำให้ค่าในพีซีถูกเก็บลงในสแต็ค และกระโดดไปทำคำสั่งที่บรรทัด 0038H และทั้งไออีเอฟ1 และ ไออีเอฟ2 ถูกรีเซทเป็น 0 (ห้ามการอินเทอร์รัป ดังนั้นในตอนท้ายของโปรแกรมบริการการอินเตอร์รัปต์ ควรจะจบด้วยคำสั่งอีไอ แล้วตามด้วยคำสั่งรีเทร์นอินเตอร์รัปต์ เพื่อทำการเลิกห้ามการอินเทอร์รัปต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 ลำดับการอินเตอร์รัปต์ของ ไอเอ็นที0/ โหมด1



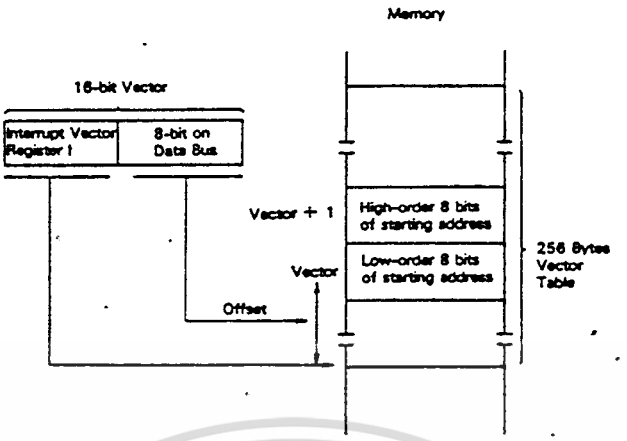
รูปที่ 3.26 ทาร์มมิ่งของไอเอ็นที0/ โหมด1

<u>ไอเอ็นที0 โหมด2</u>

โหมดนี้จะทำการกำหนดบรรทัดเริ่มต้นใหม่จากการไปดูค่าที่ตารางที่บรรจุอยู่ใน หน่วยความจำ ซึ่งตารางนี้จะมีขนาด 356 ไบท์ ซึ่งหมายถึงสามารถเก็บค่าแอดเดรสได้ทั้งหมด 128 ค่า โดยเรียงจาก ค่าไบท์ต่ำก่อน แล้วค่อยไบท์สูง

รูปที่ 3.27 แสดงถึงวิธีการหาค่าแอดเดรส

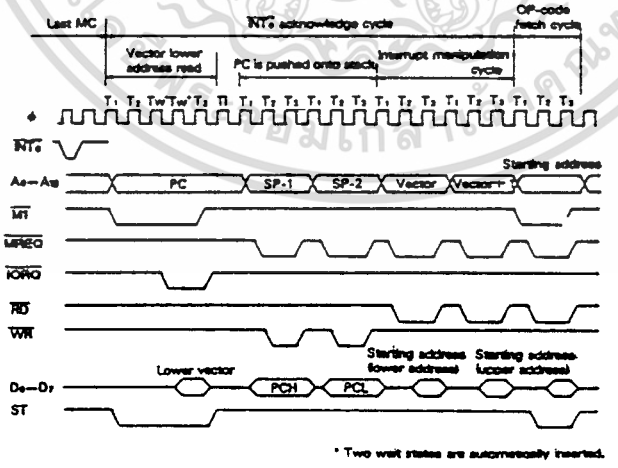
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.27 ไอเอ็นที0/ โหมด 2 เวคเตอร์ อะควิซิชั่น

(INT0/ MODE2 VECTOR AQUISITION)

ในระหว่างการ ตอบรับการอินเทอร์รัปต์ไอเอ็นที0/ โหมด2 นี้ ค่า ไบท์ต่ำของเว็คเตอร์ที่จะชี้ไปยังตารางได้มาจาก บัสข้อมูล ต่อจากนั้นค่าในพีซพถูกเก็บลงในสแต็คและค่า แอดเดรสใหม่จะถูกเอามาจากตาราง ให้สังเกตว่าค่าเว็คเตอร์ไบท์ต่ำจะได้มาตอนที่ เอ็ม1/ และ ไอโออาร์คิว/ เป็นค่าต่ำ รูปที่ 3.28 แสดงทาร์มิ่งของไอเอ็นที0/ โหมด 2



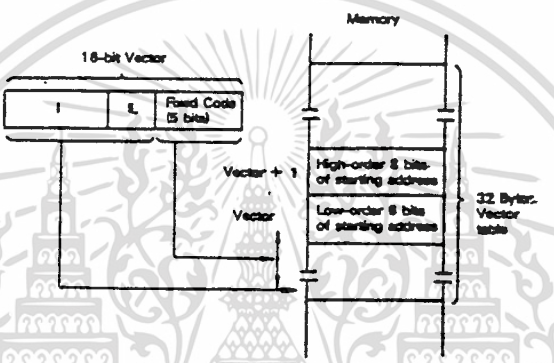
รูปที่ 3.28 ทาร์มิ่งของไอเอ็นที0/ โหมด 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอเอ็นที1/ , ไอเอ็นที2/

การทำงานจะคล้าย ๆ กับ ไอเอ็นที0/ โหมด 2 แต่ต่างกันแค่เพียงไบท์ต่ำของค่าเว็คเตอร์จะได้มาจากรีจิสเตอร์ไอแอล และนี้ก็เป็นรูปแบบการตอบสนองเช่นเดียวกับที่เกิดจากการอินเทอร์รัปภายในทุกอันยกเว้นแทร็ป

ดังแสดงในรูปที่ 3.29 ค่าไบท์ต่ำของเว็คเตอร์ 3บิทบนได้มาจากรีจิสเตอร์ ไอแอล และ 5 บิทล่างเป็นค่าคงที่ของแต่ละการอินเตอร์รัปต์



รูปที่ 3.29 ไอเอ็นที1/ ไอเอ็นที2/ เวคเตอร์ อะควิซิชั่น

(INT1/ , INT2/ VECTOR AQUISITION)

ทั้ง ไอเอ็นที1/ และ ไอเอ็นที2/ จะถูกห้ามการอินเตอร์รัปต์เมื่อ ไออีเอฟ1 = 0 และแต่ละตัวการจะถูกห้ามแยกกันก็ได้ โดยการเซ็ทค่าที่ไอทีอี1 หรือ ไอทีอี2 ตามลำดับเป็น 0 หลังการรีเซ็ท ไออีเอฟ1, ไอทีอี1, ไอทีอี2 = 0

3.4.4 อินเตอร์รัปต์ภายใน

การอินเทอร์รัปต์ภายในนี้จะถูกห้ามทั้งหมดโดยการเซ็ท ไออีเอฟ1 = 0 และแต่ละตัวสามารถจะสั่งแยกจากกันได้โดยการสั่งที่ รีจิสเตอร์ควบคุมของตัวนั้น ๆ ค่าไบท์ต่ำของเว็คเตอร์แสดงดังตารางที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Interrupt Source	Priority	IL			Fixed Code				
		b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0
$\overline{INT_1}$	Highest	*	*	*	0	0	0	0	0
$\overline{INT_2}$		*	*	*	0	0	0	1	0
PRT channel 0		*	*	*	0	0	1	0	0
PRT channel 1		*	*	*	0	0	1	1	0
DMA channel 0		*	*	*	0	1	0	0	0
DMA channel 1		*	*	*	0	1	0	1	0
CSI/O		*	*	*	0	1	1	0	0
ASCI channel 0		*	*	*	0	1	1	1	0
ASCI channel 1	Lowest	*	*	*	1	0	0	0	0

* Programmable

ตารางที่ 3.3 ตารางเวคเตอร์

รูปที่ 3.31 แสดงถึงอินเตอร์รัปต์ แอ็คโนว์เลจ ทาร์มมิ่ง (INTERRUPT ACKNOWLEDGE CYCLE TIMING) ทาร์มมิ่งของ ไอเอ็นที1, ไอเอ็นที2 และอินเทอร์รัปต์ภาย ใน ไอเอ็นที1 และ ไอเอ็นที2 จะถูกตรวจที่ทุก ๆ แม็ชชีน ไซเคิลสุดท้าย ถ้าในช่วงนี้ที่ขา ไอเอ็นที 1 และ ไอเอ็นที2 เป็นค่าลอจิกต่ำแล้วก็จะเกิดการอินเทอร์รัปต์ขึ้น

3.4.5 แหล่งกำเนิดอินเตอร์รัปต์ระหว่างรีเซ็ท

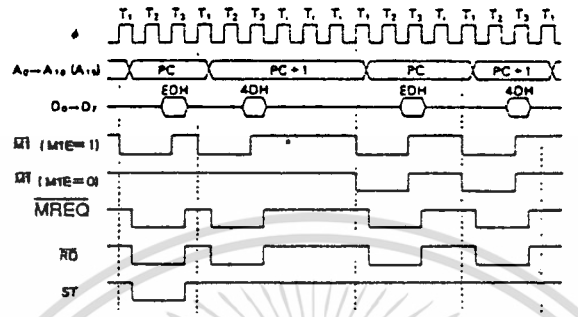
- รีจิสเตอร์ไอ ทุกบิทถูกรีเซ็ทเป็น 0
- รีจิสเตอร์ไอแอล บิทที่ 7-5 เป็น 0
- ไออีเอฟ1 , ไออีเอฟ2 แฟล็ก เป็น 0 นั้นคือทุกอินเทอร์รัปต์ ยกเว้นเอ็นเอ็มไอ/ และแทร็ป จะถูกห้ามการ อินเทอร์รัปต์
- รีจิสเตอร์ไอทีซี ไอทีอี0 จะเซ็ทเป็น 1 ส่วน ไอทีอี1 และ ไอทีอี2 จะเป็น 0 ซึ่งทำให้ถ้าจะ เอ็นนาเบิล ไอเอ็นที0 ทำได้โดยคำสั่งอีไอ ซึ่งทำให้ ไออีเอฟ1 = 1 แต่สำหรับ ไอเอ็นที1, ไอเอ็นที 2 จะเอ็นนาเบิล ได้ก็ต่อเมื่อ ไอทีอี1, ไอทีอี2 เป็น 1 ด้วยการเขียนค่าลงในรีจิสเตอร์ไอทีซี
- รีจิสเตอร์ควบคุม ไอ/โอ บิทที่ควบคุมการอินเทอร์รัปต์ถูกรีเซ็ทเป็น 0 ซึ่งทำให้ไม่สามารถ อินเทอร์รัปได้

3.4.6 ลำดับคำสั่งรีเทิร์นอินเตอร์รัปต์

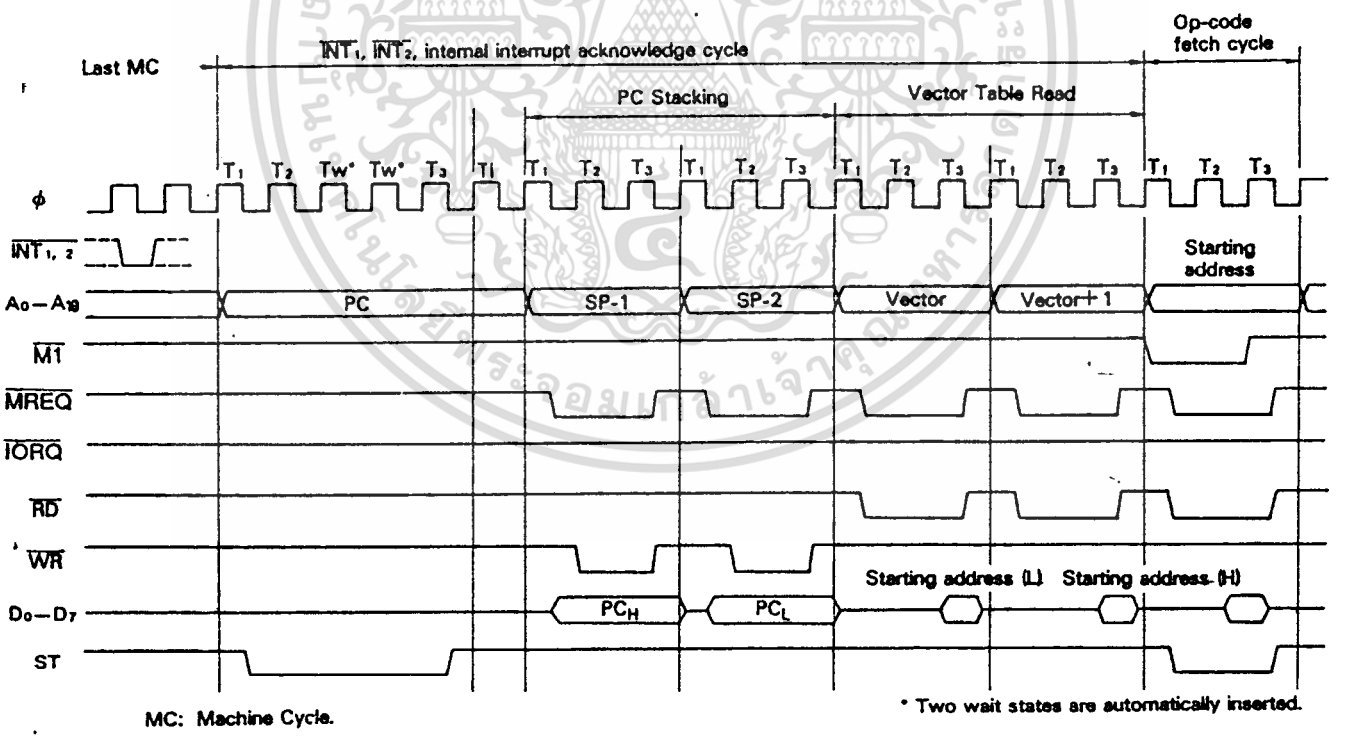
คำสั่งนี้ประกอบด้วย 2 ไบท์ (EDH/4DH) เมื่อ Z80180 เฟ็ทคำสั่งนี้ขึ้นมามันจะทำการ เฟ็ทคำสั่งนี้อีกครั้งหนึ่ง เพื่อให้ อุปกรณ์รอบข้างที่นำมาต่อเข้ากับZ80180 ทำงานได้ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าบิทเอ็ม 1 อี ในรีจิสเตอร์ไอเอ็มซีอาร์ ควรจะเท่ากับ 0 เพื่อให้ สัญญาณเอ็ม1/ ทำงานในช่วงการเฟ็ท คำสั่งรีเทิร์นอินเตอร์รัปต์ครั้งที่ 2 เท่านั้น ซึ่งจะทำให้การทำงานของอุปกรณ์รอบข้างถูกต้อง



รูปที่ 3.30 ลำดับคำสั่งรีเทิร์นอินเตอร์รัปต์



รูปที่ 3.31 ทาร์มมิ่งของ ไอเอ็นที1/, ไอเอ็นที2/ และอินเตอร์รัปต์ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

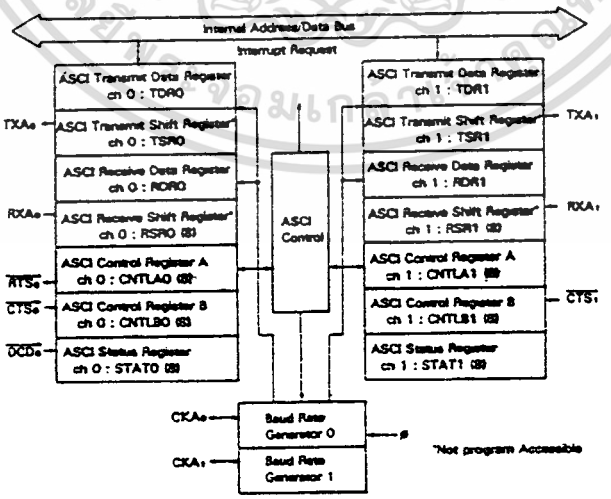
3.5 ส่วนอินเตอร์เฟสการสื่อสารอนุกรมแบบอะซิงค์โครนัส (ACSI)

Z80180 เอเอสซีไอ มี 2 ช่องซึ่งเป็นแบบฟุลดูเพล็กซ์ (FULL-DUPLEX) ซึ่งสามารถโปรแกรมฟังก์ชันต่าง ๆ ที่จะกล่าวดังต่อไปนี้ได้ ทำให้มันสามารถติดต่อโดยตรงกับยูอาร์ท (UART) มาตราฐาน รวมทั้ง Z8440 เอสไอโอ (SIO) และ Z8530 เอสซีซี (SCC)

ฟังก์ชันที่กล่าวถึงนี้คือ

- การสื่อสารแบบ ฟุลดูเพล็กซ์
- ความยาวข้อมูล7 - 8 .
- บิทที่ 9 สามารถโปรแกรมได้ ใช้สำหรับ การติดต่อแบบ หลายหน่วยประมวลผล
- บิทสต็อป 1 หรือ 2 บิท
- พาร์ริตี้คี่, คู่ หรือไม่ใช้ (ODD, EVEN OR NO PARITY)
- ตรวจสอบความผิดพลาดแบบพาริตี้ , โอเวอร์รัน(OVERRUN) , เฟรมมิ่ง(FRAMING)
- ตัวสร้างอัตราบอด (BAUD RATE) ซึ่งสามารถโปรแกรมได้
- ความเร็วถึง 38.4 กิโลบิท/วินาที
- สัญญาณควบคุมโมเด็ม (MODEM)
- สามารถโปรแกรมควบคุมการอินเทอร์รัปได้

รูปที่ 3.32 แสดงถึงบล็อกไดอะแกรมของเอเอสซีไอ



รูปที่ 3.32 บล็อกไดอะแกรมของเอซีเอสไอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.1 ลายละเอียดรีจิสเตอร์ เอซีเอสไอ

ต่อไปนี้จะอธิบายถึงหน้ามีต่าง ๆ ของ เอเอสซีไอรีจิสเตอร์

<u>รีจิสเตอร์ทีเอสอาร์ 0 , 1 (TSR0,1 : ASCI TRANSMIT SHIFT REGISTER 0,1)</u>

เมื่อรีจิสเตอร์ตัวนี้ได้รับข้อมูลจากรีจิสเตอร์ทีดีอาร์ (TDR) ค่าข้อมูลนั้นจะถูกเลื่อนออกไปทางขาทีเอ็กซ์เอ (TXA) เมื่อการส่งจบลง (เลื่อนบิทสุดท้ายออกไปแล้ว) ไบท์ต่อไป (ถ้ามี) จะถูกโหลดโดยอัตโนมัติจากทีดีอาร์ มายัง ทีเอสอาร์ และการส่งครั้งถัดมาก็จะเริ่มขึ้น แต่ถ้าไม่มีข้อมูลที่จะส่ง ทีเอสอาร์ จะอยู่ในสภาวะไม่ทำอะไร (สถานะว่าง (IDLE)) โดยการส่งค่าไฮ (HIGH) ตลอด รีจิสเตอร์ตัวนี้ไม่สามารถจะเข้าไปยุ่งได้

<u>รีจิสเตอร์ทีดีอาร์0,1 (TDR0,1 : ACSI TRANSMIT DATA REGISTER 0,1)</u>

ทีดีอาร์ : ตำแหน่งไอ/โอ = 06 , 07H

ข้อมูลที่เขียนลงใน ดีทีอาร์ นี้จะถูกย้ายไปยัง ทีเอสอาร์ ทันทีเมื่อ ทีเอสอาร์ ว่างลง ค่าข้อมูลสามารถจะเขียนในขณะที่ ทีเอสอาร์ กำลังเลื่อนข้อมูลอันหนึ่งอยู่ ดังนั้นตัวส่งนี้ถือว่ามีลักษณะดับเบิล บัฟเฟอร์ (DOUBLE BUFFERED)

ข้อมูลที่สามารถทำได้ทั้งเขียนและอ่านที่ ทีดีอาร์ นี้โดยไม่มีผลกระทบต่อการส่งข้อมูล

<u>รีจิสเตอร์อาร์เอสอาร์0,1 (RSR 0,1 : ASCI RECEIVE SHIFT REGISTER 0,1)</u>

รีจิสเตอร์นี้จะทำการรับข้อมูลที่เลื่อนเข้ามาทางขา อาร์เอ็กซ์เอ (RXA) เมื่อเต็มแล้วข้อมูลจะถูกโหลดโดยอัตโนมัติไปยังอาร์ดีอาร์ ถ้าอาร์ดีอาร์ว่าง ถ้าอาร์เอสอาร์ไม่ว่างในขณะที่ข้อมูลไบท์ต่อไปกำลังเลื่อนเข้ามาจะเกิด ความผิดพลาดแบบโอเวอร์รัน รีจิสเตอร์นี้ควบคุมไม่ได้

<u>รีจิสเตอร์ดีอาร์ดี 0,1 (RDR 0,1 : ASCI RECEIVE DATA REGISTER 0,1)</u>

อาร์ดีอาร์ 0,1 : ตำแหน่งไอ/โอ = 08H , 09H

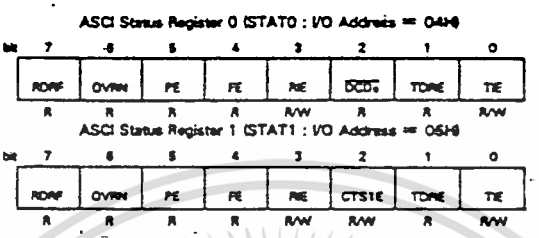
เมื่อข้อมูลถูกเลื่อนเข้ามารวมกันในอาร์เอสอาร์จนครบแล้ว มันจะถูกโหลดโดยอัตโนมัติไปยัง อาร์ดีอาร์ ถ้า อาร์ดีอาร์ ว่าง และไบท์ต่อไปยังคงเลื่อนเข้ามาได้อีก ดังนั้นตัวรับนี้มีลักษณะดับเบิล บัฟเฟอร์

อาร์ดีอาร์ นี้เป็นแบบ อ่านได้อย่างเดียว แต่ถ้า อาร์ดีอาร์เอฟ (RDRF) = 0 ข้อมูลก็จะถูกเขียนลงได้และอ่านได้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>รีจิสเตอร์เอสทีเอที 0.1 (STAT 0.1 : ACSI REGISTER 0.1)</u>

ซึ่งทำให้เกิดการตรวจสอบสภาวะการติดต่อ,ตรวจสอบสัญญาณผิดพลาดและสัญญาณควบคุมโมเด็มได้ รวมทั้งการอนุญาติ และ ไม่อนุญาติ เอซีเอสไอ อินเตอร์รัปต์



รูปที่ 3.33 รีจิสเตอร์สถานะ เอซีเอสไอ (ASCI STATUS REGISTER)

- บิทอาร์ดีอาร์เอฟ (RDRF : RECEIVE DATA REGISTER FULL) (บิท 7)

อาร์ดีอาร์เอฟ นี้จะถูกเซ็ทเป็น 1 เมื่อข้อมูลที่เลื่อนเข้ามาครบแล้วถูกโหลดไปเก็บยัง อาร์ดีอาร์ ขอให้สังเกตว่า ถ้าเกิดการผิดพลาดแบบเฟรมมิ่ง หรือ แบบพาริตี้ อาร์ดีอาร์เอฟ ก็ยังคงเซ็ทเป็น 1 และข้อมูลที่ผิดนี้ก็ยังคงถูกโหลดเก็บใน อาร์ดีอาร์ อยู่เช่นกัน (นั้นคือ ถ้าข้อมูลที่เข้ามามีความผิดพลาดแบบเฟรมมิ่ง หรือ แบบพาริตี้ ก็จริงแต่ อาร์ดีเอฟอาร์ ก็ยังคงถูกเซ็ทเป็น 1 และข้อมูลนั้นยังคงถูกโหลดเก็บใน อาร์ดีอาร์ อยู่ดี) อาร์ดีเอฟอาร์ จะเป็น 0 ได้เมื่อทำการอ่าน อาร์ดีอาร์ , หรือเมื่อ ขาอินพุท ดีซีดี0 (DCD0) เป็นไฮ หรือในโหมดไอโอเอสทีโอพี (IOSTOP MODE) หรือเมื่อทำการรีเซ็ท

- บิทโอวีอาร์เอ็น (OVRN : OVERRUN ERROR) (บิท 6)

จะเซ็ทเป็น 1 เมื่อ ดีอาร์ดี เก็บข้อมูลอยู่และ อาร์เอสอาร์ เกิดเลื่อนข้อมูลเข้ามาจนครบ โอวีอาร์เอ็น จะเคลียร์เป็น 0 เมื่อบิทอีเอฟอาร์ (EFR : ERROR FLAG RESET) ในรีจิสเตอร์ ซีเอ็นทีแอลเอ (CNTLA) ถูกเขียนให้เท่ากับ 0 หรือเมื่อขาอินพุทดีซีดี เป็นไฮ หรือในโหมด ไอโอเอสทีโอพี หรือเมื่อรีเซ็ท

- บิทพีอี (PE : PARITY ERROR) (บิท 5).

พีอี จะเซ็ทเป็น 1 เมื่อเกิดความผิดพลาดแบบพาริตี้ ขึ้นกับข้อมูลที่กำลังเข้ามา แต่ว่าขณะนั้นต้องเอ็นนาเบิลการตรวจจับความผิดพลาดแบบพาริตี้อยู่ (คือค่าของบิทเอ็มโอดี1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(MOD1) ใน ซีเอ็นทีแอลเอ เซ็ทเป็น 1) พีอี จะถูกเคลียร์เป็น 0 เมื่อบิทอีเอฟอาร์ (EFR)ใน รีจิสเตอร์ซีเอ็นทีแอลเอ ถูกเขียนเป็น 0 หรือเมื่อ ขาอินพุทดีซีดี0 เป็นไฮ หรือในโหมดไอโอเอส ทีโอพี หรือหลังจากการรีเซ็ท

- บิทเอฟอี (FE : FRAMING ERROR) (บิท 4).

ถ้าข้อมูลที่รับเข้ามาไม่มีของเขตคือไม่มีบิทสต๊อป เอฟอี จะถูกเซ็ทให้เป็น 1 เอฟอี จะเคลียร์เป็น 0 เมื่อบิทอีเอฟอาร์ ถูกรีเซ็ท หรือเมื่อ ขาดีซีดี0 เป็นไฮ หรือในโหมดไอโอเอสทีโอพี หรือหลังการ รีเซ็ท

- บิทอาร์ไออี (RIE : RECEIVE INTERRUPT ENABLE) (บิท 3)

เมื่อ อาร์ไออี ถูกเซ็ทเป็น 1 ในกรณีที่อันหนึ่งอันใดของ อาร์ดีอาร์เอฟ ,โอวีอาร์อีเอ็น , พีอี หรือ เอฟอี เซ็ทเป็น 1 จะเกิดการอินเทอร์รัปขึ้น สำหรับ เอเอสซีไอ ช่อง 0 การอินเทอร์รัปจะเกิดขึ้นด้วยเมื่อขาอินพุท ดีซีดี0 เปลี่ยนสภาวะจากโล เป็นไฮ อาร์ไออี มีค่าเป็น 0 เมื่อรีเซ็ท

- บิทดีซีดี0 (DCD0/ : DATA CARRIER DETECT) (เอสทีเอที 0 บิท 2)

เอเอสซีไอ ช่อง 0 มีขาอินพุธดีซีดี0/ ด้วย บิทอีซีดี0/ จะเป็น 1 เมื่อขาอินพุทดีซีดี0/ เป็นไฮ และถูกเคลียร์เป็น 0 เมื่อทำการอ่าน เอสทีเอที0 ครั้งแรกหลังจากขาดีซีดี0/ เปลี่ยนจากไฮ เป็นโล หรือเมื่อรีเซ็ท เมื่อบิทดีซีดี0/ = 1 หน่วยการรับจะถูกรีเซ็ทและการทำงานของตัวรับจะถูกห้าม

- บิทซีทีเอส 1 อี (CTS1E : CHANNEL 1 CTS/ ENABLE) (เอสทีเอที 1 บิท 2)

เอเอสซีไอ ช่อง 1 มีขาอินพุทซีทีเอส1/ ซึ่งใช้ร่วมกับขา อาร์เอกซ์เอส (RXS : RECEIVE DATA PIN ของ CSI/O) การเซ็ทซีทีเอส 1 อี = 1 จะเป็นการเลือก ซีทีเอส1/ และถ้า ซีทีเอส 1อี = 0 จะเป็นการเลือกอาร์เอกซ์เอส

- บิททีดีอาร์อี (TDRE : TRANSMIT DATA REGISTER EMPTY) (บิท 1)

ทีดีอาร์อี = 1 เป็นการบอกว่า ทีดีอาร์ว่าง ทำให้สามารถเขียนข้อมูลลงใน ทีดีอาร์ ได้ จนกระทั่งมีการเขียนลงไป ทีดีอาร์อี ถึงจะเป็น 0 และเมื่อข้อมูลใน ทีดีอาร์ ถูกโหลดไปยัง ดีเอสอาร์แล้ว ทีดีอาร์อี จะเป็น 1 อีกครั้ง ทีดีอาร์อี = 1 ในโหมดไอโอเอสทีโอพี และเมื่อรีเซ็ท,เมื่อขา อินพุทซีทีเอส/ เป็นไฮ ค่าบิททีดีอาร์อี จะเป็น 0

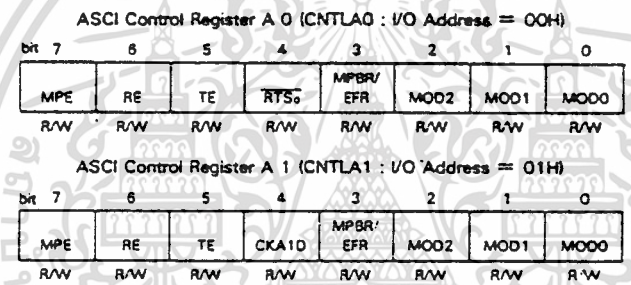
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- บิทที่ไออี (TIE : TRANSMIT INTERRUPT ENABLE) (บิท 0)

ทีไออี ควรจะเซ็ทเป็น 1 เพื่อเอ็นนาเบิล เอเอสซีไอ ทรานสมิท อินเตอร์รัปต์ (ASCI TRANSMIT INTERRUPT) ถ้า ทีไออี =1 จะเกิดการอินเทอร์รัปต์เมื่อ ทีดีอาร์อี = 1 ค่าบิทนี้เป็น 0 เมื่อ รีเซ็ท

<u>รีจิสเตอร์ซีเอ็นทีแอลเอ 0,1 (CNTLA 0,1 : ASCI CONTROL REGISTER A 0,1)</u>

รีจิสเตอร์ตัวนี้ทำหน้าที่ควบคุมเอเอสซีไอ โดยจะควบคุมงานใหญ่ ๆ เช่น การอนุญาติ และ ไม่อนุญาติ ตัวรับหรือตัวส่ง จัดการเกี่ยวกับรูปแบบข้อมูล (DATA FORMAT) และจัดการเกี่ยวกับโหมดการติดต่อที่ใช้ในกรณีมีตัวประมวลผลมากกว่า 1 ตัว (MULTIPROCESSOR COMMUNICATION MODE)



รูปที่ 3.34 รีจิสเตอร์ซีเอ็นทีแอลเอ

- บิทเอ็มพีอี (MPE : MULTI - PROCESSOR MODE ENABLE) (บิท 7)

เอเอสซีไอมีโหมดหลายตัวประมวลผล ซึ่งจะใช้บิทพิเศษเพื่อการติดต่อที่สามารถเลือกได้ว่าจะติดต่อกับใคร ไว้ใช้ในกรณีทีมี ตัวประมวลผลมากกว่า 1 ตัวที่ต่อกับบัสอนุกรม (SERIAL BUS) เดียวกัน

แบบของข้อมูลจะเป็นแบบที่ใช้สำหรับโหมดหลายตัวประมวลผลก็ต่อเมื่อบิทเอ็มพี (MP) ใน ซีเอ็นทีแอลบี (CNTLB) = 1 ถ้าบิทเอ็มพีใน ซีเอ็นทีแอลบี = 0 (นั้นคือไม่เลือกโหมดหลายตัวประมวลผล) แล้วค่าในบิทเอ็มพีอีจะไม่มีผลอะไรเลย ส่วนในกรณีที่บิทเอ็มพี ใน ซีเอ็นทีแอลบี = 1 ถ้า บิทเอ็มพีอี = 1 ไบท์ที่รับได้ที่มีค่าบิทเอ็มพีบี (MPB: MULTIPROCESSOR BIT) = 1 เท่านั้นที่จะมีผลต่อ อาร์คีอาร์เอฟ และ เออร์เลอร์ แฟล็ก โดยที่ไบท์ที่มี เอ็มพีบี = 0 จะถูกมองข้ามไป. แต่ถ้า เอ็มพีบี = 0 ทุกไบท์ที่รับเข้ามาจะมีผลต่อ อาร์คีอาร์เอฟ และ เออร์เลอร์ แฟล็ก

เอ็มพีอี = 0 เมื่อทำการรีเซ็ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- บิทอาร์อี (RE : RECEIVE ENABLE) (บิท 6)

เมื่อ อาร์อี = 1 ตัวรับจะทำงานได้ แต่เมื่อ RE = 0 ตัวรับจะทำงานไม่ได้และการทำงานที่ค้างคาอยู่จะถูกยกเลิก แต่ค่า บิทอาร์คีอาร์เอฟ และ เออร์เลอร์ แฟล็ก ยังคงเหมือนเดิม

อาร์อี = 0 ใน ไอโอเอสทีโอพี และเมื่อรีเซ็ท

- บิททีอี (TE : TRANSMITTER ENABLE) (บิท 5)

เมื่อ ทีอี = 1 ตัวส่งก็จะทำงานได้ เมื่อ ทีอี = 0 ตัวส่งจะถูกห้าม และงานที่ตัวส่งกำลังทำอยู่จะถูกยกเลิก แต่ค่าใน บิททีคีอาร์อี ยังไม่เปลี่ยน และถูกคงไว้

ทีอี = 0 ใน โหมดไอโอเอสทีโอพี และเมื่อทำการรีเซ็ท

- บิทอาร์ทีเอส0/ (RST0/ : REQUEST TO SEND CHANNEL 0)
(บิท 4 ในซีเอ็นทีแอลเอ 0)

เมื่อบิทอาร์เอสที0/ ถูกรีเซ็ทเป็น 0 ขาอาร์ทีเอส0/ จะเป็นค่าโล และเมื่อ บิทอาร์ทีเอส0/ ถูกเซ็ทเป็น 1 ขา อาร์ทีเอส0/ จะเป็นไฮทันที

บิทอาร์ทีเอส0/ จะเป็น 1 เมื่อทำการรีเซ็ท

- บิทซีเคเอ 1 ดี (CKA1D : CKA1 CLOCK DISABLE) (บิท 4 ใน ซีเอ็นทีแอลเอ 1)

เมื่อ ซีเคเอ 1 ดี = 1 ขา ซีเคเอ1/ ทีอีเอ็นดี0 (CKA1/TEND0) จะทำงานเป็นขา ทีอีเอ็นดี0/ เมื่อ ซีเคเอ 1 ดี = 0 ขานี้จะใช้เป็นซีเคเอ 1 (ซึ่งเป็นขาสัญญาณนาฬิกา อินพุท/เอาท์พุท สำหรับ พีทีอาร์ ช่องที่ 1)

ซีเคเอ 1 ดี = 0 เมื่อทำการรีเซ็ท

- บิทเอ็มพีบีอาร์/ อีเอฟอาร์ (MPBR/EFR : MULTIPROCESSOR BIT RECEIVE/ERROR FLAG RESET) (บิท 3)

เมื่อเลือกใช้โหมดตัวประมวลผลหลายตัว (บิทเอ็มพี ในซีเอ็นทีแอลบี = 1) เมื่อทำการอ่าน บิทนี้จะแสดงถึงค่าเอ็มพีบีของข้อมูลที่รับเข้ามาตัวล่าสุด และเมื่อเขียน 0 ลงไปที่บิทนี้ จะเป็นการ รีเซ็ทเออร์เลอร์ แฟล็กทุกตัว (โอวีอาร์เอ็น, เอฟอี, พีอี)

- บิทเอ็มโอดี 2,1,0 (MOD 2,1,0 : ASCI DATA FORMAT Mode 2,1,0) (บิท 2 - 0)

ซึ่งมีรูปแบบดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอ็มโอดี 2

= 0 เป็นแบบข้อมูล 7 บิท

= 1 เป็นแบบข้อมูล 8 บิท

เอ็มโอดี 1

= 0 เป็นแบบไม่มีพาริตี้ Noparity

= 1 เป็นแบบมีพาริตี้

เอ็มโอดี 0

= 0 เป็นแบบบิทสต็อป 1 บิท

= 1 เป็นแบบบิทสต็อป 2 บิท

และรูปแบบของข้อมูลที่จะสามารถมีได้ แสดงดังตารางที่ 3.4

MOD2	MOD1	MOD0	Data Format
0	0	0	Start + 7 bit data + 1 stop
0	0	1	Start + 7 bit data + 2 stop
0	1	0	Start + 7 bit data + parity + 1 stop
0	1	1	Start + 7 bit data + parity + 2 stop
1	0	0	Start + 8 bit data + 1 stop
1	0	1	Start + 8 bit data + 2 stop
1	1	0	Start + 8 bit data + parity + 1 stop
1	1	1	Start + 8 bit data + parity + 2 stop

ตารางที่ 3.4 รูปแบบข้อมูล

<u>รีจิสเตอร์ซีเอ็นทีแอลบี 0,1 (CNTLB 0,1 : ASCI CONTROL REGISTER B 0,1)</u>

เป็นรีจิสเตอร์ที่จัดการเลือกว่าจะใช้โหมดตัวประมวลผลหลายตัวหรือไม่, เลือกพาริตี้ และเลือกอัตราบอด

ASCI Control Register B 0 (CNTLB0 : I/O Address = 02H)
ASCI Control Register B 1 (CNTLB1 : I/O Address = 03H)

bit 7	6	5	4	3	2	1	0
MPBT	MP	$\overline{\text{CTS}}$/PS	PEO	DR	SS2	SS1	SS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

รูปที่ 3.35 รีจิสเตอร์ซีเอ็นทีแอลบี

- บิทเอ็มพีบีที (MPBT : MULTIPROCESSOR BIT TRANSMIT) (บิท 7)

เมื่อเราเลือกโหมดตัวประมวลผลหลายตัวแล้ว (บิทเอ็มพี = 1) บิทเอ็มพีบีที จะถูกใช้ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนดค่าของบิทเอ็มพีบี เมื่อจะทำการส่ง ถ้า เอ็มพีบีที = 1 จะได้ว่าบิท เอ็มพีบี ที่ส่งออกไปจะเท่ากับ 1 ถ้า เอ็มพีบีที = 0 จะได้ว่าบิท เอ็มพีบี = 0 จะถูกส่งออกไป

บิทนี้ไม่มีค่าเริ่มต้น

- บิทเอ็มพี (MP : MULTIPROCESSOR MODE) (บิท 6)

เมื่อ เอ็มพี = 1 รูปแบบของข้อมูลจะเป็นไปเพื่อการติดต่อในโหมดตัวประมวลผลหลายตัว ซึ่งจะพบว่ามีรูปแบบดังนี้

บิทเริ่มต้น + บิทข้อมูล 7 หรือ 8 + บิทเอ็มพีบี + บิทสต็อป 1 หรือ 2 บิท

แต่ถ้า เอ็มพี = 0 รูปแบบจะยังคงเป็นแบบที่แสดงดังตารางที่ 3.4

เมื่อรีเซ็ท เอ็มพี = 0

- บิทซีทีเอส/พีเอส (CTS/PS : CLEAR TO SEND / PRESCALE) (บิท 5)

เมื่ออ่าน ซีทีเอส/พีเอสจะแสดงถึงสถานะของขาอินพุท ซีทีเอส/ ถ้าซีทีเอส/ เป็นไฮ บิทซีทีเอส/พีเอสนี้จะอ่านได้เป็น 1 อย่าลืมว่าถ้าขาอินพุตท์ซีทีเอส/ เป็นไฮ จะทำให้บิทที่ดีอาร์อี = 0 ซึ่งเป็นการห้ามการส่ง

สำหรับช่อง 1 ของเอเอสซีไอ ขาซีทีเอส1 ใช้ร่วมกับอาร์เอ็กซ์เอส (RXS : CLOCKED SERIAL RECEIVE DATA) ดังนั้นบิทซีทีเอส1/พีเอสนี้จะอ่านได้ก็ต่อเมื่อ บิทซีทีเอส 1 อี = 1

และเมื่อบิทซีทีเอส1/พีเอส ถูกเขียน จะเป็นการกำหนดอัตราบอด โดยถ้าถูกเขียนเป็น 1 สัญญาณนาฬิกาของระบบจะถูกหารด้วย 30 แต่ถ้าบิทซีทีเอส1/พีเอส ถูกเขียนด้วย 0 สัญญาณนาฬิกาจะถูกหารด้วย 10

ซีทีเอส/พีเอส = 0 เมื่อทำการรีเซ็ท

- บิทพีอีโอ (PEO : PARITY EVEN ODD) (บิท 4)

พีอีโอจะทำการเลือกพาริตี้ ว่าจะให้เป็นคี่หรือคู่ พีอีโอจะไม่มีผลต่อบิทเอ็มโอดี1 ใน ซีเอ็นทีแอลเอ ถ้าพีอีโอ = 0 จะเป็นการเลือกพาริตี้คู่ แต่ถ้าพีอีโอ = 1 จะเป็นการเลือกพาริตี้คี่

พีอีโอ = 0 ตอนรีเซ็ท

- บิทดีอาร์ (DR : DIVIDE RATIO) (บิท 3)

ดีอาร์จะเป็นตัวกำหนดตัวหารที่จะใช้เพื่อกำหนดค่าอัตราการบอด จากดาต้า แซมปิ้ง คล็อก (DATA SAMPLING CLOCK) ถ้าดีอาร์ = 0 จะหาร 16 แต่ถ้าดีอาร์ = 1 จะหาร 64

ดีอาร์ = 0 เมื่อรีเซ็ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- บิทเอสเอส 2,1,0 (SS2,1,0 : SOURCE/SPEED SELECT 2,1,0) (บิท 2-0).

กำหนดแหล่งของสัญญาณนาฬิกาว่าเป็นภายในหรือภายนอก และกำหนดค่าแฟคเตอร์ที่จะใช้หาร ทั้ง 3 บิทนี้จะเท่ากับ 1 เมื่อรีเซ็ท ตารางที่ 3.5 แสดงถึงอัตราหารตามค่าเอสเอส 2,1,0 ต่าง ๆ

เนื่องจากขาซีเคเอ 0,1 เป็นขาที่ใช้ร่วมกับขาดีอาร์อีคิว/ และ ทีอีเอ็นดี0/ ตามลำดับ ดังนั้นในตอนเริ่มต้น (คือ เมื่อทำการรีเซ็ท) ค่าบิทเอสเอส2,1,0 เป็น 1 หมดดังนั้น ขานี้จะเป็นขาสัญญาณนาฬิกาอินพุท แต่ถ้าค่าของบิทเอสเอสเปลี่ยนไป ขานี้จะเป็นสัญญาณนาฬิกาเอาท์พุท แต่ถ้าขานี้ถูกเลือกใช้ในงานสำหรับวงจรดีเอ็มเอซีช่อง 0 ขานี้จะเป็นขาดีเอ็ม และถ้าบิทซีเคเอ 1 ดีในซีเอ็นทีแอลเอ = 1 ขาซีเคเอ/ทีอีเอ็นดี0 จะเป็นขาทีอีเอ็นดี0/ ซึ่งใช้ในงานดีเอ็มเอ

SS2	SS1	SS0	Divide Ratio
0	0	0	÷1
0	0	1	÷2
0	1	0	÷4
0	1	1	÷8
1	0	0	÷16
1	0	1	÷32
1	1	0	÷64
1	1	1	external clock

ตารางที่ 3.5 แสดงอัตราส่วนการหาร (DIVIDE RATIO)

3.5.2 สัญญาณควบคุมโมเด็ม (MODEM CONTROL SIGNALS)

เอซีเอสไอ ช่อง 0 มีขาซีทีเอส0 , ดีซีดี0 และ อาร์ทีเอส0 ซึ่งเป็นขาสัญญาณควบคุมโมเด็ม สำหรับช่อง 1 มีขาซีทีเอส1 ซึ่งใช้ขาร่วมกับอาร์เอกซ์เอส

- ขาซีทีเอส0/ (CTS0/ : CLEAR TO SEND 0) (อินพุท)

ขานี้เป็นขาควบคุมการส่งของช่อง 0 จากภายนอก เมื่อขาเป็นไฮ ค่าบิทที่ดีอาร์อี ของช่อง 0 จะเป็น 0 ไม่ว่าทีดีอาร์0 (TDR0 : TRANSMIT DATA REGISTER) จะเต็มหรือไม่ก็ตาม แต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อขาซีทีเอส0/ นี้เป็นโล ทีดีอาร์อีจะมีค่าเป็นไปตามสถานะของรีจิสเตอร์ทีดีอาร์0 สังเกตว่าการส่งไม่ได้ถูกห้ามเมื่อขาซีทีเอส0/ เป็นไฮ แต่ตัวที่ถูกห้ามคือบิททีดีอาร์อี

- ขาดีซีดี0/ (DCD0/ : DATA CARRIER DETECT 0) (อินพุท)

ขานี้ทำให้สามารถควบคุมตัวรับของช่อง 0 ได้จากภายนอก เมื่อขาดีซีดี0/ เป็นไฮ ค่าบิทอาร์คีอาร์เอฟของช่อง 0 จะเป็น 0 ตลอด ไม่ว่าอาร์คีอาร์0 (RDR0 : RECEIVE DATA REGISTER) จะว่างหรือเต็มก็ตาม และเออร์เลอร์ แฟล็ก(บิทพีอี , เอฟอี และ โอวีอาร์เอ็น) จะเป็น 0 ตลอด และถ้าขาดีซีดี0/ เป็นโล ตัวรับก็จะยังไม่ทำงานทันที จะต้องอ่านค่าในรีจิสเตอร์เอสทีเอที0 ก่อนตัวรับจึงทำงานได้ สังเกตว่าในการอ่านเอสทีเอที0 ครั้งแรกนี้ค่าบิทดีซีดี0 จะเป็น 1 (ซึ่งหมายถึงขาดีซีดี0/ เป็นไฮ) ทั้ง ๆที่ขาดีซีดี0/ เป็นโลแล้วก็ตาม ดังนั้นเอสทีเอที0 ควรถูกอ่าน 2 ครั้งเพื่อให้แน่ใจว่าบิทดีซีดี0/ เป็น 0

- ขาอาร์ทีเอส0/ (RTS0/ : REQUEST TO SEND 0) (เอาท์พุท)

ขานี้ใช้ควบคุมอุปกรณ์รับส่งตัวอื่น ๆ (เช่น ต่อเข้ากับขาซีทีเอสของอุปกรณ์ตัวอื่น)

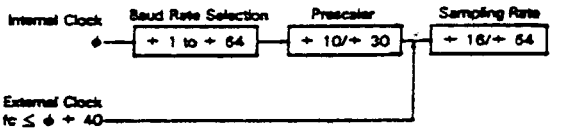
- ขาซีทีเอส1/ (CTS1/ : CLEAR1 TO SEND 1) (อินพุท)

ขาซีทีเอส1/ นี้ใช้ร่วมกับ อาร์เอ็กซ์เอส (RXS : CLOCKED SERIAL RECEIVE DATA) โดยจะเลือกให้ทำหน้าที่ซีทีเอส1/ เมื่อซีทีเอส 1 อีในเอสทีเอที1 = 1 เมื่อเลือกแล้วจะทำงานเหมือนขาซีทีเอส0/

เอเอสซีไอกับการรีเซ็ท

เมื่อรีเซ็ทและการรับการส่งจะหยุดแต่ค่าของ ทีดีอาร์ และ อาร์คีอาร์ ยังคงไม่เปลี่ยน สัญญาณนาฬิกาในเอซีไอเอส

ในโหมดสัญญาณนาฬิการภายนอก สัญญาณนาฬิกาจะถูกหารแค่ 16 หรือ 64 เท่านั้น ดังแสดงในรูปที่ 3.36



รูปที่ 3.36 การหารสัญญาณนาฬิกาภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทีเอ็มดีอาร์จะถูกลดลงทีละ 1 ทุก ๆ 20 สัญญาณนาฬิการะบบ เมื่อทีเอ็มดีอาร์ นับลงจนเป็น 0 มันจะโหลดค่าจากรีโหลดรีจิสเตอร์ (RLDR)

ทีเอ็มดีอาร์จะถูกอ่านหรือเขียนโดยใช้วิธีดังนี้ การอ่านจะไม่ทำให้การนับลงต้องหยุดลง ส่วนการเขียนจะต้องทำให้การนับลงหยุดลง สำหรับการอ่านโดยไม่ต้องหยุดการนับลง ทีเอ็มดีอาร์จะต้องถูกอ่านในลำดับไบท์ล่างก่อนแล้วค่อยอ่านไบท์บนต่อไป ในการอ่านไบท์ล่างจะทำให้เกิดการเก็บไบท์บนไว้ในรีจิสเตอร์ภายในตัวหนึ่ง และเมื่อทำการอ่านไบท์บน จะเป็นการอ่านจากรีจิสเตอร์ตัวนี้ ซึ่งทำให้ค่าที่อ่านได้ถูกต้อง ข้อสังเกต การอ่านในลำดับไบท์บนก่อนแล้วค่อยอ่านไบท์ล่างจะทำให้ได้ข้อมูลที่ผิด

ส่วนการเขียนตัวนับลงจะต้องถูกหยุดก่อน โดยการควบคุมจากบิทที่ดีอี (TDE : TIMER COUNT ENABLE) แล้วค่อยเขียนลงไป

<u>รีจิสเตอร์อาร์แอลดีอาร์ (RLDR : TIMER RELOAD REGISTER)</u>

(ตำแหน่งไอ/โอ = CH0: 0EH , 0FH ; CH1: 16H , 17H)

พีอาร์ที0 และ พีอาร์ที1 แต่ละตัวมี 16 บิท โดยแต่ละตัวเข้าถึงแบบไบท์ต่ำและ ไบท์สูง ระหว่างรีเซ็ท อาร์แอลดีอาร์0,1 = FFFFH

เมื่อทีเอ็มดีอาร์นับถึง 0 มันจะโหลดค่าในรีจิสเตอร์อาร์แอลดีอาร์ลงมาโดยอัตโนมัติ

<u>รีจิสเตอร์ทีซีอาร์ (TCR : TIMER CONTROL REGISTER)</u>

(ตำแหน่งไอ/โอ = 10H)

ทีซีอาร์ใช้ตรวจดูสภาวะของทีเอ็มดีอาร์ทั้ง 2 ช่อง และใช้ควบคุมการเอ็นนาเบิล และ ดิสเอเบิล ของการนับลงและควบคุมการอินเทอร์รัป พร้อมทั้งควบคุมขาอินพุท เอ18/ทีเอ้าท์ (A18/TOUT) ของพีทีอาร์1

bit	7	6	5	4	3	2	1	0
	TIF1	TIF0	TIE1	TIE0	TOC1	TOC0	TDE1	TDE0
	R	R	R/W	R/W	R/W	R/W	R/W	R/W

รูปที่ 3.38 รีจิสเตอร์ทีซีอาร์

- บิทที่ไดเอฟ1 (TIF1 : TIMER INTERRUPT FLAG 1) (บิท 7)

เมื่อทีเอ็มดีอาร์1 ลดลงเป็น 0 ทีไอเอฟ1 จะเซ็ทเป็น 1 และจะทำให้เกิดการอินเทอร์รัปต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขึ้น ถ้าได้รับการเอ็นนาเบิลโดยเซ็ทบิทที่ไคอี = 1 ที่ไอเอฟ1 จะเท่ากับ 0 เมื่อที่ซีอาร์ถูกอ่าน , เมื่อไบท์สูงหรือไบท์ต่ำของที่เอ็มดีอาร์1 ถูกอ่าน และเมื่อรีเซ็ท

- บิทที่ไอเอฟ0 (TIF0 : TIMER INTERRUPT FLAG 0) (บิท 6)

เมื่อที่เอ็มดีอาร์0 ลดลงเป็น 0 ที่ไอเอฟ0 จะเท่ากับ 1 ซึ่งทำให้เกิดการอินเทอร์รัปต์ ถ้าที่ไออี0 = 1 ที่ไอเอฟ0 จะเป็น 0 เมื่อที่ซีอาร์ถูกอ่าน หรือเมื่อที่เอ็มดีอาร์0 ไม่ว่าจะเป็นไบท์บนหรือไบท์ล่างถูกอ่าน หรือเมื่อรีเซ็ท

- บิทที่ไออี1 (TIE1 : TIMER INTERRUPT ENABLE 1) (บิท 5)

เมื่อที่ไคอี1 = 1 แล้ว ที่ไอเอฟ1 = 1 จะทำให้เกิดการอินเทอร์รัปต์ แต่เมื่อที่ไออี = 0 จะไม่มีการอินเทอร์รัปต์ ที่ไออี1 = 0 เมื่อทำการรีเซ็ท

- บิทที่ไออี0 (TIE0 : TIMER INTERRUPT ENABLE 0) (บิท 4)

เมื่อที่ไออี0 = 1 แล้ว ที่ไอเอฟ0 = 1 จะทำให้เกิดการอินเทอร์รัปต์ แต่เมื่อที่ไออี0 = 0 จะไม่เกิดการอินเทอร์รัปต์ ที่ไออี0 = 0 เมื่อทำการรีเซ็ท

- บิทที่โอซี1,0 (TOC1,0 : TIMER OUTPUT CONTROL) (บิท 3,2)

ที่โอซี1 และ ที่โอซี0 ทำหน้าที่ควบคุมเอาท์พุทของพีอาร์ที่1 ซึ่งใช้ขาเดียวกับเอ18 (คือ ที่เอ๊าท์ กับเอ18 ใช้ขาเดียวกัน) โดยการควบคุมเป็นไปตามตารางที่ 3.6 ระหว่างการรีเซ็ท ที่โอซี 1,0 = 0 โดยการโปรแกรมค่าที่โอซี1 และ ที่โอซี0 ขานี้จะเป็นไฮ หรือโล หรือท็อกเกิล เมื่อที่เอ็มดีอาร์1 ลดลงเป็น 0

TOC1	TOC0	OUTPUT	
0	0	Inhibited	(A18/TOUT pin is selected as an address output function.)
0	1	toggled	(A18/TOUT pin is selected as a PRT1 output function.)
1	0	0	
1	1	1	

ตารางที่ 3.6 แสดงบิทที่โอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- บิททีดีอี1,0 (TDE1,0 : TIMER DOWN COUNT ENABLE) (บิท 1,0)

ทีดีอี1 และ ทีดีอี0 จะทำการเอ็นนาเบิล และ ดิสเอเบิลการนับลงของทีเอ็มดีอาร์1 และ ทีเอ็มดีอาร์0 ตามลำดับ เมื่อทีดีอี = 1 จะเกิดการนับลง

เมื่อ ทีดีอี = 0 การนับลงจะหยุดลง แล้วจะทำการอ่านหรือเขียนทีเอ็มดีอาร์ก็ได้

ทีดีอี1 และ ทีดีอี0 = 0 เมื่อทำการรีเซ็ท และทีเอ็มดีอาร์จะไม่นับลงจนกว่าทีดีอีจะเป็น 1

3.6.3 พีอาร์ทีกับการรีเซ็ท

ในระหว่างการรีเซ็ทการนับลงจะหยุดลง และทีเอ็มดีอาร์และอาร์แอลดีอาร์จะมีค่าเท่ากับ FFFFH และ ทีเอ๊าท์จะกลับเป็นเอ18

ข้อสังเกตสำหรับพีอาร์ที

1) การอ่านทีเอ็มดีอาร์ควรอ่านโดยอ่านไบท์ต่ำก่อนแล้วค่อยอ่านไบท์สูง

2) อย่าให้เกิดการโหลดค่าจากอาร์แอลดีอาร์ไปยังทีเอ็มดีอาร์ ในขณะทำการเขียนอาร์แอลดีอาร์ ซึ่งทำโดยการหยุดการนับลงในระหว่างการเขียนอาร์แอลดีอาร์ และควรจะเขียน อาร์แอลดีอาร์ให้เรียบร้อยก่อนที่ทีเอ็มดีอาร์จะนับลงถึง 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 ไมโครคอนโทรลเลอร์ตระกูล 51

ไมโครคอนโทรลเลอร์ตระกูล 51 มีอยู่หลายรุ่นซึ่งมีสถาปัตยกรรมพื้นฐานที่เหมือนกัน เพียงแต่มีขนาดหรือจำนวนของหน่วยทำงานภายในที่แตกต่างกันออกไป เพื่อความเหมาะสมในงานประยุกต์ต่างๆ ดังแสดงในตารางที่ 4.1

EMBEDDED CONTROLLERS										
Feature	8051AH	8031AH	8751H	80C51BH	80C31BH	87C51	8052AH	8032AH	8752	8044H
Program Memory (Bytes)	4K	-	4K	4K	-	4K	8K	-	8K	4K
RAM Memory (Bytes)	128	128	128	128	128	128	256	256	256	192
Program Memory Expansion (Off Chip) (Bytes)	64K	64K	64K	64K	64K	64K	64K	64K	64K	64K
Data Memory Expansion (Off Chip) (Bytes)	64K	64K	64K	64K	64K	64K	64K	64K	64K	64K
Max Clock Frequency (MHz)	12	12	12	16	16	16	16	12	12	12
Typical instruction Time (uS)	1	1	1	0.75	0.75	0.75	1	1	1	1
16-Bit Timer / Counters	2	2	2	2	2	2	3	3	3	2
Serial Communications	Synchronous Mode, Asynchronous Mode, 9 or 10 - Bit Programmable									HDLC/SDLC
No. of I/O Lines	32	16	32	32	16	32	32	16	32	32
Interrupt Sources (Two Priority Levels)	5	5	5	5	5	5	6	6	6	5
Power Requirements 125 (ICC Max. mA)	125	250	24	24	29	175	175	175	200	
Programmable Power Modes	-	-	-	4.0 mA	4.0 mA	4.0 mA	-	-	-	-
Idle Power Down				50 uA	51 uA	52 uA				30 mA

ตารางที่ 4.1 แสดงไมโครคอนโทรลเลอร์ตระกูล 51

4.1 สถาปัตยกรรมของไมโครคอนโทรลเลอร์ 51

ไมโครคอนโทรลเลอร์ตระกูล 51 ได้รับการออกแบบให้ตัวมันมี พอร์ตอินพุท-เอาท์พุท หน่วยความจำ สายควบคุมต่างๆ และมีชุดคำสั่งมากเป็นพิเศษเพื่อจัดการข้อมูลถึงระดับบิท นอกจากนี้ยังมีวงจรตั้งเวลา และวงจรนับอยู่ครบครันทำให้สามารถใช้งานได้อย่างครบครัน ทำให้สามารถใช้งานได้อย่างสะดวกมาก ลักษณะทั่วไปของ 51 มีดังนี้

1. สร้างโดยใช้เทคโนโลยีไฮสปีดซีมอส (CHMOS) ใช้แรงดันไฟเลี้ยง 5 โวลท์
2. มีหน่วยประมวลผลกลาง 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. มีวงจรออสซิลเลเตอร์ และวงจรนาฬิกาบนชิฟ (CHIP)

4. มีชุดรีจิสเตอร์แบงค์ 4 ชุด

5. มีวงจรตั้งเวลา/วงจรนับขนาด 16 บิท 2 ชุด สำหรับเบอร์ 8032 และ8052 จะมี 3 ชุด

6. มีพอร์ตอินพุท-เอาท์พุท 2 ทิศทางแบบขนานจำนวน 4 พอร์ท พอร์ทละ 8 บิท

7. มีพอร์ตแบบอนุกรมที่สามารถจะรับส่งโปรแกรมแบบฟุลดูเพล็กซ์ความเร็วสูง

8. เพิ่มหน่วยความจำข้อมูลภายนอกได้ 64 กิโลไบท์

9. เพิ่มหน่วยความจำโปรแกรมภายนอกได้ 64 กิโลไบท์

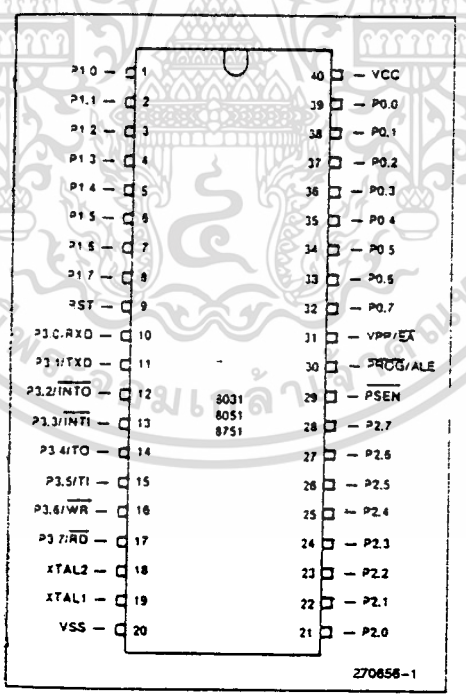
10. สามารถกำหนดตำแหน่งขนาดไบท์ หรือบิทได้โดยตรง

11. สามารถรับการอินเตอร์ได้ 5 ตำแหน่ง

12. มีการใช้พื้นที่สแตกสำหรับโปรแกรมย่อยต่างๆ

4.2 การจัดขาของไมโครคอนโทรล 51

รูปที่ 4.1 แสดงการจัดขาของไมโครคอนโทรลเลอร์ 51 ซึ่งมีรายละเอียดดังนี้



รูปที่ 4.1 แสดงการจัดขาของไมโครคอนโทรลเลอร์ 51

- ขากราวด์ (Vss) เป็นขาสำหรับต่อลงกราวด์

- ขาไฟเลี้ยง (Vcc) เป็นขาสำหรับต่อไฟเลี้ยงขนาด 5 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขาพอร์ท 0.0 - 0.7 (P0.0 - P0.7) ใช้เป็นพอร์ตอินพุท-เอาท์พุท และทำหน้าที่มัลติเพล็กซ์

ระหว่างบัสแอดเดรสไบท์ต่ำและบัสข้อมูล

- ขาพอร์ท 1.0 - 1.7 (P1.0 - P1.7) ใช้เป็นพอร์ทอินพุท - เอาท์พุท

- ขาพอร์ท 2.0 - 2.7 (P2.0 - P2.7) ใช้เป็นพอร์ทอินพุท - เอาท์พุท และเป็นบัสแอดเดรสไบท์สูง

- ขาพอร์ท 3.0- 3.7 (P3.0 - P3.7)ใช้เป็นพอร์ทอินพุท - เอาท์พุท และใช้เป็นขาสัญญาณอินเตอร์รัปต์ ซึ่งมีรายละเอียดดังนี้

ขาพอร์ท	ชื่อ	หน้าที่
P3.0	อาร์เอ็กซ์ดี (RXD)	อินพุทพอร์ทอนุกรม
P3.1	ทีเอ็กซ์ดี (TXD)	เอาท์พุทพอร์ทอนุกรม
P3.2	ไอเอ็นที0 (INT0)	อินเตอร์รัพภายนอก 0
P3.3	ไอเอ็นที1 (INT1)	อินเตอร์รัพภายนอก 1
P3.4	ที0 (T0)	อินพุทจากภายนอกสำหรับวงจรนับ 0
P3.5	ที1 (T1)	อินพุทจากภายนอกสำหรับวงจรนับ 1
P3.6	ดับบลิวอาร์ (WR)	สโตรปสำหรับการเขียนหน่วยความจำข้อมูลภายนอก
P3.7	อาร์ดี (RD)	สโตรปสำหรับการอ่านหน่วยความจำข้อมูลภายนอก

- ขา อาร์เอสที (RST) เป็นขาสำหรับทำการรีเซ็ท

- ขา เอแอลอี/ (ALE/ : ADDRESS LATCH ENABLE) เมื่อส่งพัลซ์ออกมา จะใช้ในการแลทช์ค่าชี้ตำแหน่งไบท์ต่ำจากพอร์ท 0 ในระหว่างการเข้าถึงข้อมูลจากภายใน

- ขา พีเอสอีเอ็น (PSEN : PROGRAM STORAGE ENABLE) เป็นสโตรปให้อ่านข้อมูลจากหน่วยความจำภายนอก

- ขา อีเอ/ (EA/ : EXTERNAL MEMORY ACCESS) เมื่อขานี้มีสถานะไฮ ชิพก็จะทำงานตามโปรแกรมที่มีอยู่ในหน่วยความจำภายใน หากขานี้มีสถานะโล จะเป็นการควบคุมให้ทำงานตามโปรแกรมในหน่วยความจำโปรแกรมภายนอก

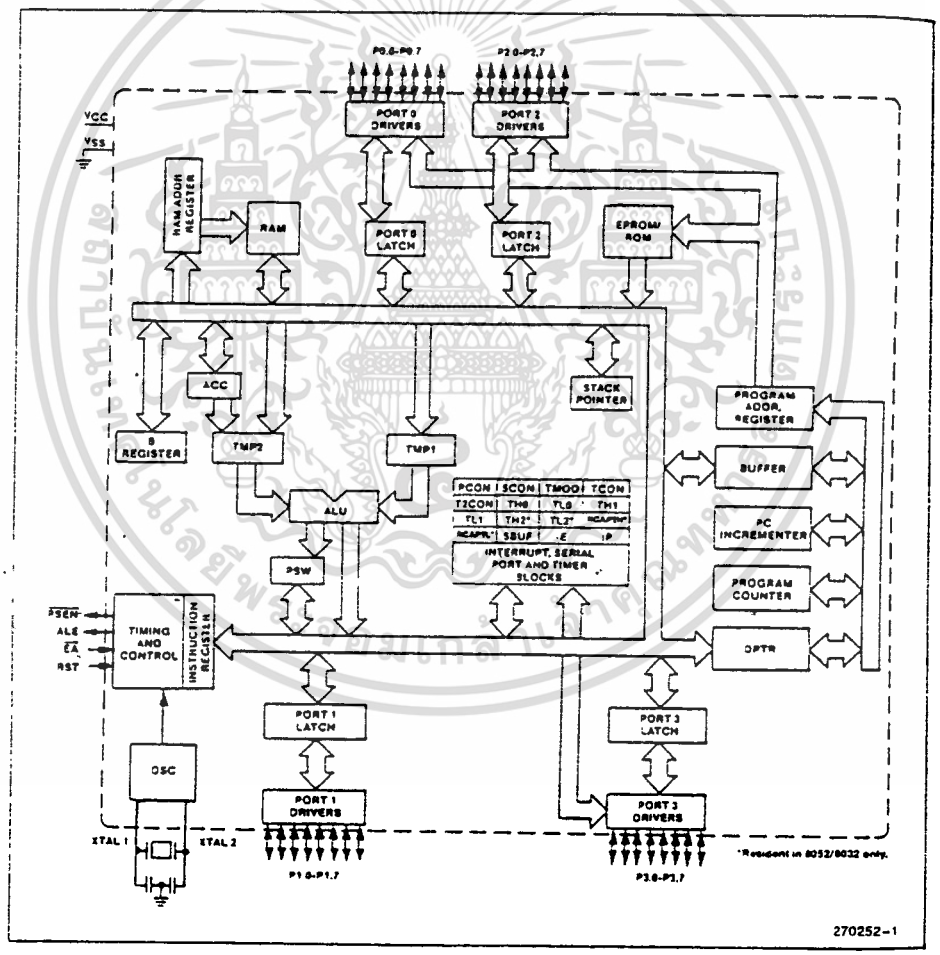
- ขาเอ็กซ์ทอล (XTAL 1) ใช้เป็นวงจรอินพุทเข้าสู่วงจรออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขาเอ็กซ์ทอล (XTAL 2) ใช้เป็นเอาท์พุทออกจากออสซิลเลเตอร์

4.3 การจัดโครงสร้างภายในของไมโครคอนโทรลเลอร์ 51

รูปที่ 4.2 แสดงบล็อกไดอะแกรมโครงสร้างภายในของไมโครคอนโทรลเลอร์ 51 ซึ่งประกอบด้วยหน่วยประมวลผลกลาง หน่วยความจำทั้งแบบแรม (RAM) และ รอม (ROM) พอร์ทอินพุท พอร์ทเอาท์พุท รีจิสเตอร์สถานะ แต่ละส่วนจะติดต่อกันด้วยบัสข้อมูลขนาด 8 บิท และจะมีบัฟเฟอร์สำหรับการติดต่อข้อมูลภายนอกผ่านพอร์ทอินพุท - เอาท์พุทเมื่อต้องการขยายหน่วยความจำและพอร์ท



รูปที่ 4.2 บล็อกไดอะแกรมของไมโครคอนโทรลเลอร์ 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การจัดหน่วยความจำ

ไมโครคอนโทรลเลอร์ 51 มีหน่วยความจำสองประเภท คือ

1. หน่วยความจำโปรแกรม
2. หน่วยความจำข้อมูล

หน่วยความจำโปรแกรมมีได้ทั้งภายในและภายนอก 8051มีรอมภายในขนาด 4 กิโลไบท์ , 8052มีรอมภายในขนาด 8 กิโลไบท์ , 8751มีอีพรอม (EPROM) ภายใน 4 กิโลไบท์ นอกจากนี้ยังสามารถเพิ่มหน่วยความจำโปรแกรมภายนอกได้สูงสุด 64 กิโลไบท์ การทำงานจะขึ้นกัสถานะที่ขาอีเอ/ ถ้าอีเอ/ มีสถานะเป็น 1 จะบริการหน่วยความจำภายในซึ่งต้องมีความยาวไม่เกิน 4 กิโลไบท์ สำหรับ 8051 , 8751 และไม่เกิน 8 กิโลไบท์ สำหรับ 8052 หากที่ขาอีเอ/ มีสถานะเป็น 0 จะบริการหน่วยความจำโปรแกรมภายนอก

หน่วยความจำข้อมูลก็แบ่งเป็นภายในและภายนอก หน่วยความจำข้อมูลภายในจะแบ่งเป็น 128 ไบท์ล่างของเนื้อที่แรมภายในเป็นพื้นที่ใช้งานทั่วไป ส่วน 128 ไบท์บนของเนื้อที่แรมภายในเป็นรีจิสเตอร์หน้าที่พิเศษ สำหรับ 8052 จะใช้ 128 ไบท์บนเป็นพื้นที่ใช้งานทั่วไปด้วย สำหรับหน่วยความจำโปรแกรมภายนอกสามารถเพิ่มได้สูงสุด 64 กิโลไบท์

4.5 รีจิสเตอร์ในไมโครคอนโทรลเลอร์ 51

แอคคิวมิวเลเตอร์ (ACC : ACCUMULATOR)

เป็นรีจิสเตอร์ขนาด 8 บิท ทำหน้าที่เก็บข้อมูลและส่งให้กับหน่วยทำงานภายในหน่วยประมวลผล และเก็บผลลัพท์ที่ได้จากการทำงานนั้น

รีจิสเตอร์บี (B)

เป็นรีจิสเตอร์ที่ใช้สำหรับทำคำสั่งคูณและหาร ในกรณีที่ไม่ใช้ในการคำนวณก็สามารถนำไปใช้งานเช่นเดียวกับรีจิสเตอร์ทั่วไปได้

รีจิสเตอร์พีเอสดับบลิว (PSW ; PROGRAM STATUS WORD)

เป็นรีจิสเตอร์ที่ใช้แสดงผลที่ได้หลังจากการใช้คำสั่งต่างๆ และเป็นตัวเลือกการทำงานของกลุ่มรีจิสเตอร์ต่างๆ

รีจิสเตอร์ควบคุม (CONTROL REGISTER)

ประกอบด้วยรีจิสเตอร์ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. รีจิสเตอร์ควบคุมโหมดการตั้งเวลาและวงจรนับ (TMOD : TIMER/COUNTER MODE CONTROL)

2. รีจิสเตอร์ควบคุมวงจรตั้งเวลาและวงจรนับ (TCON : TIMER/COUNTER CONTROL)

3. รีจิสเตอร์ควบคุมวงจรตั้งเวลาและวงจรนับ2 (TCON2 : TIMER/COUNTER CONTROL2)

4. รีจิสเตอร์ควบคุมพอร์ตอนุกรม (SCON : SERIAL PORT CONTROL REGISTER)

5. รีจิสเตอร์อินเตอร์รัปต์อีนาเบิล (IE : INTERRUPT ENABLE)

6. รีจิสเตอร์ควบคุมลำดับความสำคัญของการอินเตอร์รัปต์ (IP : INTERRUPT PRIORITY)

7. รีจิสเตอร์ควบคุมพลังงาน (PCON : POWER CONTROL REGISTER)

ตัวชี้ข้อมูล (DPTR : DATA POINTER)

เป็นรีจิสเตอร์ขนาด 16 บิท สามารถเลือกแบ่งเป็นรีจิสเตอร์ 8 บิท 2 ตัวใช้งานอิสระต่อกันได้ ใช้เป็นฐานของตำแหน่งในรีจิสเตอร์ เมื่อมีการกระโดดโดยทางอ้อม อันเป็นผลมาจากการใช้คำสั่งเกี่ยวกับตารางข้อมูล และชี้ตำแหน่งของหน่วยความจำภายนอก

สแต็กพอยเตอร์ (SP : STACK POINTER)

เป็นรีจิสเตอร์ขนาด 8 บิทที่ใช้เก็บข้อมูลชั่วคราว หรือเก็บสถานะระหว่างบริการอินเตอร์รัปต์ และจะเพิ่มค่าขึ้นโดยอัตโนมัติก่อนที่ข้อมูลจะถูกนำมาเก็บในหน่วยความจำระหว่างการใช้คำสั่งพุช (PUSH) และคอล (CALL) และจะลดค่าลงหลังจากที่สแตกถ่ายเทข้อมูลออกไปแล้วด้วยคำสั่งป๊อบ (POP) และ รีเทิร์น (RET)

ในไมโครคอนโทรลเลอร์ 51 สแตกมีเนื้อที่ 128 ไบท์ เริ่มต้นที่ตำแหน่ง 07H ดังนั้นสแตกจะเริ่มบรรจุข้อมูลเข้าที่ตำแหน่ง 08H นอกจากนี้ยังสามารถเปลี่ยนแปลงค่าในตัวรีจิสเตอร์ได้ ซึ่งจะเป็นการเปลี่ยนแปลงตำแหน่งของสแตกไปยังที่ใดๆของแรมภายในชิพ

บัฟเฟอร์ข้อมูลอนุกรม (SBUF : SERIAL DATA BUFFER)

แบ่งเป็นรีจิสเตอร์ 2 ตัว ตัวหนึ่งเป็นบัฟเฟอร์การส่งอีกตัวเป็นบัฟเฟอร์การรับ ในการส่งข้อมูลอนุกรม เมื่อข้อมูลถ่ายเข้าเอสบียูเอฟจะเข้าไปยังบัฟเฟอร์ตัวส่ง ซึ่งถูกจัดเตรียมไว้สำหรับการส่งข้อมูลอนุกรม ส่วนบัฟเฟอร์รับจะใช้ในการรับข้อมูลอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 อินเตอร์รัปต์ของไมโครคอนโทรลเลอร์ 51

มีอินเตอร์รัปต์ที่เกิดขึ้นได้ 5 ลักษณะ คือ

1. อินเตอร์รัปต์ภายนอก 0 (ไอเอ็นที 0) เป็นสัญญาณอินเตอร์รัปต์จากภายนอกทางขาสัญญาณพอร์ท3.2 โดยจะทำการสุ่มตัวอย่างเมื่อสิ้นสุดทุกแมชชีนไซเคิล ตำแหน่งอินเตอร์รัปต์เวคเตอร์ อยู่ที่ 0003H

2. อินเตอร์รัปต์ภายนอก 1 (ไอเอ็นที 1) เป็นสัญญาณอินเตอร์รัปต์จากภายนอกทางขาสัญญาณพอร์ท3.3 โดยจะทำการสุ่มตัวอย่างเมื่อสิ้นสุดมุกแมชชีนไซเคิล ตำแหน่งอินเตอร์รัปต์เวคเตอร์ อยู่ที่ 0013H

3. อินเตอร์รัปต์ตัวจับเวลา0 (ที0) เกิดการอินเตอร์รัปต์เมื่อเกิดการโอเวอร์โฟลว์ (OVERFLOW) ของตัวจับเวลาO และ ตำแหน่งอินเตอร์รัปต์เวคเตอร์ อยู่ที่ 000BH

4. อินเตอร์รัปต์ตัวจับเวลา1 (ที1) เกิดการอินเตอร์รัปต์เมื่อเกิดการโอเวอร์โฟลว์ ของตัวจับเวลา1 และตำแหน่งอินเตอร์รัปต์เวคเตอร์ อยู่ที่ 001BH

5. อินเตอร์รัปต์พอร์ตอนุกรม เป็นอินเตอร์รัปต์ที่เกิดขึ้นจากการรับ/ส่งข้อมูลอนุกรม ตำแหน่งอินเตอร์รัปต์เวคเตอร์ อยู่ที่ 0023H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 โครงสร้างของเครื่อง

โครงงานชิ้นนี้เป็นระบบชุมสายสาขาอัตโนมัติแบบไร้สาย คือไม่มีคู่สายเชื่อมต่อระหว่างตู้ชุมสายโทรศัพท์หลัก หรือตัวแม่ และ เครื่องโทรศัพท์ตัวลูก การส่งสัญญาณเสียงและข้อมูลต่างๆ จะส่งผ่านทางคลื่นวิทยุ เครื่องนี้มีขนาด 4 คู่สายนอก 16 คู่สายใน ตู้ชุมสายโทรศัพท์หลักมีช่องความถี่ที่ใช้รับ-ส่งสัญญาณทั้งหมด 5 คู่ความถี่ และมีอีกหนึ่งช่องความถี่ที่ใช้ส่งสัญญาณข้อมูลไปยังเครื่องโทรศัพท์ตัวลูก (เรียกช่องความถี่นี้ว่าช่องส่งสัญญาณ (TX SIGNAL)) โดยแต่ละช่องจะมีความถี่แน่นอน เครื่องโทรศัพท์ตัวลูกแต่ละตัวมีช่องความถี่รับ-ส่งสัญญาณ 1 คู่ ซึ่งสามารถปรับค่าความถี่ของช่องสัญญาณได้

รูปที่ 5.1 แสดงบล็อกไดอะแกรมของตู้ชุมสายโทรศัพท์หลัก และรูปที่ 5.2 แสดงบล็อกไดอะแกรมของเครื่องโทรศัพท์ตัวลูก

<u>ส่วนประกอบของตู้ชุมสายโทรศัพท์หลัก</u>

ตู้ชุมสายโทรศัพท์หลักมีประกอบด้วยส่วนต่างๆดังแสดงในบล็อกไดอะแกรม และแต่ละส่วนมีหน้าที่ดังนี้

ส่วนประมวลผลกลาง (CPU)

ใช้ไมโครโปรเซสเซอร์ Z80180 ทำหน้าที่ควบคุมการทำงานทั้งหมดของตู้ชุมสายโทรศัพท์หลัก

ส่วนตรวจสอบสัญญาณเรียก (DETECT RINGING)

ทำหน้าที่เช็คสัญญาณเรียกจากสายองค์การโทรศัพท์แล้วส่งสัญญาณแสดงสถานะให้ไมโครโปรเซสเซอร์ทราบ ส่วนนี้จะใช้ไอซีสร้างสัญญาณเรียก เบอร์เอ็มซี 34012 (MC 34012)

ส่วนเชื่อมต่อคู่สายโทรศัพท์ (TELEPHONE INTERFACE) และ

ส่วนจำลองการยกหูโทรศัพท์ (HOOK SWITCH)

ส่วนเชื่อมต่อคู่สายโทรศัพท์ ทำหน้าที่เชื่อมต่อคู่สายนอกในกรณีที่มีการติดต่อกับโทรศัพท์สายนอก โดยจะทำการแปลงสัญญาณจากสายนอกให้เป็นสัญญาณรับส่งที่แยกจากกัน (2 สาย เป็น 4 สาย)

ส่วนจำลองการยกหูโทรศัพท์ ทำหน้าที่เหมือนการยกหูโทรศั พท์ โดยเมื่อไมโครโปรเซสเซอร์สั่งให้ทำการยกหู ก็จะมีการดึงกระแสที่สายนอกทำให้ชุมสายขององค์การโทรศัพท์เข้าใจว่ามีการยกหูโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนถอดรหัสสัญญาณผสมสองความถี่ (DTMF DETECTOR)

ทำหน้าที่แปลงสัญญาณผสมสองความถี่ (DTMF : DUAL TONE MULTI FREQUENCY) จากสายองค์การให้เป็นดิจิตอล 4 บิทแล้วส่งให้ไมโครโปรเซสเซอร์ประมวลผลต่อไป ส่วนนี้ใช้ไอซี เบอร์ เอ็มที 8870 (MT 8870)

ส่วนสร้างสัญญาณผสม 2 ความถี่ (DTMF GENERATOR)

ทำหน้าที่รับข้อมูลจากไมโครโปรเซสเซอร์แล้วทำการสร้างสัญญาณผสมสองความถี่ เพื่อส่งออกไปยังสายองค์การ ส่วนนี้ใช้ไอซี เบอร์ทีซีเอ็ม 5087 (TCM5087) .

ส่วนบันทึกเสียง

ส่วนนี้จะทำหน้าที่คล้ายเทปบันทึกเสียง ซึ่งจะบันทึกคำพูดที่เราอัด (RECORD) เข้าไปไว้แล้วจะทำการ เล่นซ้ำ (PLAYBACK) คำพูดที่อัดไว้เมื่อไมโครโปรเซสเซอร์มีคำสั่งมา ส่วนนี้ใช้ไอซี เบอร์ ไอเอสดี 1200/1400 (ISD1200/1400) ซึ่งใช้สำหรับบันทึก และเล่นซ้ำ ข้อความสั้นๆ

ส่วนครอส พอยต์ สวิทช์ (CROSS POINT SWITCH)

ทำหน้าที่ตัดต่อช่องสัญญาณภายใน ทั้งการติดต่อระหว่างโทรศัพท์ตัวลูก และการติดต่อระหว่างสายนอกกับตัวลูก

ส่วนภาครับภาคส่ง

ทำหน้าที่เป็นช่องสัญญาณที่ใช้ในการรับ-ส่งสัญญาณระหว่างตู้ชุมสายโทรศัพท์หลัก และเครื่องโทรศัพท์ตัวลูก

<u>ส่วนประกอบของเครื่องโทรศัพท์ตัวลูก</u>

เครื่องโทรศัพท์ตัวลูกประกอบด้วยส่วนต่างดังที่แสดงในบล็อกไดอะแกรมา และแต่ละส่วนมีหน้าที่ดังนี้

ส่วนประมวลผลกลาง (CPU)

ใช้ไมโครคอนโทรลเลอร์ 8751 ทำหน้าที่ควบคุมการทำงานทั้งหมดของเครื่องโทรศัพท์ตัวลูก

ส่วนปากพูด-หูฟัง

ส่วนปากพูด-หูฟังเป็นส่วนส่งส่วนรับของโทรศัพท์ ส่วนปากพูดคือไมโครโฟน ทำหน้าที่เปลี่ยนสัญญาณเสียงให้เป็นสัญญาณไฟฟ้า ส่วนหูฟังคือลำโพง ทำหน้าที่เปลี่ยนสัญญาณไฟฟ้าให้เป็นสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้