



เครื่องชั่งน้ำหนักอิเล็กทรอนิกส์

electronics weight

โดย  
นายสมานต์ รักก่อ

วัน เดือน ปี 1 ก.ค. 2560  
เลขทะเบียน 037129-  
เลขเรียกหนังสือ T 38 ๖๖๖ ถึง ๖๗๗ ด

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไป 037129 การค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**เครื่องชั่งน้ำหนักอิเล็กทรอนิกส์**  
**ELECTRONICS WEIGHT**

โดย  
นายชานนท์ รักเกื้อ 35104466

อาจารย์ที่ปรึกษา

อาจารย์ พลศาสตร์ เดิศจประเสริฐ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต  
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์  
คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เครื่องชั่งน้ำหนักอิเล็กทรอนิกส์

สถานศรัทธา รักเกียรติ

อ. พลศาสตร์ เต็มประเสริฐ อาจารย์ที่ปรึกษา  
ปีการศึกษา 2538

บทคัดย่อ

ในปริญญาโทฉบับนี้เป็นการศึกษาการออกแบบวงจรของเครื่องชั่งน้ำหนัก ซึ่งประกอบด้วยส่วนที่เป็น เซนเซอร์ โดยใช้ทรานสดิวเซอร์ ส่วนที่เป็นวงจรขยาย ชนิดอินตกรวม มนธ์แอมป์ไฟร์เออร์ และใช้วงจรแปลงสัญญาณจากอนาลอกเป็นสัญญาณดิจิทัลโดยใช้ไอซีสำเร็จรูปเบอร์ ICL7109 และส่วนประมวลผลโดยไมโครโปรเซสเซอร์และแสดงผลโดยจะแสดงผลชนิดแอลซีดี รวมทั้งการเขียนโปรแกรมภาษา แอสเซมบลีควบคุมการทำงานของไมโครโปรเซสเซอร์ด้วย นอกจากนี้ยังนำความรู้ที่ได้ไปประยุกต์ใช้ในการออกแบบวงจรเครื่องมือวัดอื่นๆอีกด้วย

## electronics weight

Sanon Rukkue

Palasart Lertprasert Advisor

1995

### ABSTRACT

This thesis is study about the circuit designed of electronics weight. It composes of sensor that we use strain gauge, the amplifier part we use the instrument amplifier, analog to digital part we use the package IC number ICL7109 and we process the data by microprocessor. Another knowledge of this thesis is how to write assembly language of microcontroller. We can take the knowledge of this thesis to design another measurement circuit.

## สารบัญ

บทนำ	ก
บทที่ 2 ทฤษฎี	1
สเตรนเทนจ์	1
อินสตรูเมนต์แอมปริไฟเออร์	7
ส่วนแปลงอนาลอกเป็นดิจิตอล	9
ส่วนแสดงผลโดยใช้ไมโครโปรเซสเซอร์	13
บทที่ 3 การออกแบบ	17
บทที่ 4 การเขียนโปรแกรมควบคุมการทำงานของไมโครคอนโทรลเลอร์	20
บทที่ 5 ผลการทดลอง	32
บทที่ 6 สรุปผลการทดลอง	34
กิตติกรรมประกาศ	



(ก)

บทนำ

ปริญญาบัตรฉบับนี้เป็นการศึกษาเกี่ยวกับเรื่องของการงานทั้งหมดของเครื่องซังน้ำหนักอิเล็กทรอนิกส์แบบดิจิทัลที่เราเห็นโดยทั่วไป เป็นการศึกษาถึงส่วนต่างๆ เช่น ตัวเซนเซอร์ ซึ่งทำหน้าที่เปลี่ยนแรงดันให้กลายเป็นสัญญาณทางไฟฟ้า แต่เนื่องจากสัญญาณดังกล่าวประกอบด้วยสัญญาณรบกวนเป็นจำนวนมากและมีขนาดเล็กเราจำเป็นต้องใช้วงจรขยายสัญญาณชนิดพิเศษที่สามารถขยายสัญญาณได้มากและมีคุณสมบัติในการลดสัญญาณรบกวนได้ ดังนั้นวงจรขยายที่เราเลือกใช้คือ อินสทรูเมนต์แอมป์ไฟเออร์ เมื่อได้สัญญาณมาแล้วเราจำเป็นต้องทำการกรองสัญญาณรบกวนที่เหลือโดยใช้วงจรกรองสัญญาณที่ความถี่ 50 เฮิร์ต แล้วนำสัญญาณที่ได้ไปแปลงเป็นสัญญาณดิจิทัลโดยใช้การแปลงโดยไอซีสำเร็จรูป เบอร์ 7109 ซึ่งมีการทำงานภายในแบบสโตนคูล์ เมื่อสัญญาณผ่านการแปลงแล้วนำไปประมวลผลโดยไมโครโปรเซสเซอร์แล้วทำการเขียนโปรแกรมเพื่อควบคุมการทำงานทั้งหมด

ประโยชน์ที่คาดว่าจะได้รับจากการทำปริญญาบัตรครั้งนี้คือความรู้ความเข้าใจในวงจรอิเล็กทรอนิกส์ต่างๆ และรวมทั้งการทำงานของไมโครคอนโทรลเลอร์ด้วย

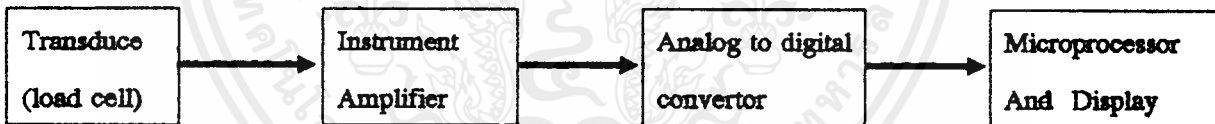
## บทที่ 2

### ทฤษฎี

เพื่อให้่ายต่อการทำความเข้าใจต่อเครื่องซึ่งที่ได้ประดิษฐ์ขึ้นนี้ สามารถแบ่งหัวข้อไว้ดังนี้

1. ส่วนตรวจรับและแปลงสัญญาณ (Transducer)
2. ส่วนขยายสัญญาณ ( Instrumentation Amplifeir). ในหัวข้อนี้จะทำการกล่าวถึงทฤษฎีต่างๆ ที่เป็นพื้นฐานสำหรับการทำการศึกษาศาสตร์และส่วนกรองความถี่ของสัญญาณ (Filter)
3. ส่วนแปลงสัญญาณที่ต่อเนื่องเป็นสัญญาณที่ไม่ต่อเนื่อง ( Analog To. Digital Converter)
- 4.. ส่วนไมโครโปรเซสเซอร์และแสดงผล

ซึ่งมี Block Diagram แสดงการทำงานดังนี้



รูปที่ 2.1 แสดงขั้นตอนการทำงานของเครื่องซึ่งนำหนักอิเล็กทรอนิกส์

จากรูปที่ 1 จะขออธิบายการทำงานของวงจรหรืออุปกรณ์ต่างๆเป็นส่วนๆดังนี้

#### 1. ตัวแปลงสัญญาณ

ตัวแปลงสัญญาณเสตรนเกอน์เป็นตัวแปลงสัญญาณที่มีการนำไปใช้อย่างกว้างขวางตั้งแต่ในรถยนต์จนถึงโรงงานอุตสาหกรรม นอกจากนี้มีการนำไปใช้ภายในบ้านจุเปอรมาเกิด โรงงานอุตสาหกรรม ตลอดจนในโรงพยาบาล ถูกนำไปใช้เกือบทุกสาขาของวิทยาศาสตร์ ตัวแปลงสัญญาณเสตรนเกอน์ สามารถใช้วัดคุณสมบัติทางกายภาพที่เกี่ยวข้องกับแรง ได้ทุกรูปแบบเช่น

น้ำหนัก อัตราเร่ง ความดัน ปริมาตร ระดับของเหลว อัตราการไหลและความเร็ว นอกจากนี้ยังมีคุณสมบัติที่เที่ยงตรง ทนทาน ราคาไม่แพง มีความเป็นเชิงเส้น และสะดวกในการใช้งาน ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวแปลงสัญญาณสเตรนเกจนี้สามารถแบ่งโครงสร้างออกเป็นส่วนใหญ่ๆ  
ได้ 3 ส่วน คือ

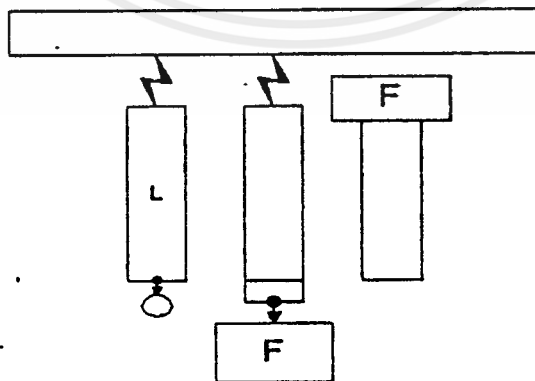
1.1) ชั้นส่วนที่เป็นสปริง

1.2) ตัวสเตรนเกจ

1.3) วงจรบริดจ์

1.1 ชั้นส่วนที่เป็นสปริง

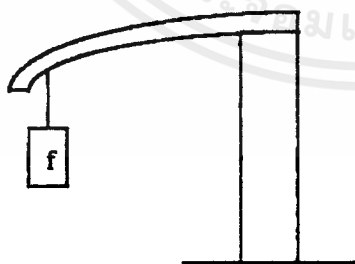
จากหลักการของการยืดหยุ่นอันเป็นแนวโน้มที่ของแข็งจะเปลี่ยนสภาพ  
หรือเปลี่ยนขนาด เมื่อได้รับแรงกระทำจากภายนอกโดยไม่สนใจว่าแรงนั้นมาจากน้ำหนัก  
ความกดดันของ ของเหลว หรือแม้แต่ความเค้นทางกลศาสตร์ ผลลัพธ์ที่ได้จะเหมือนกัน  
ยกตัวอย่างเช่น ในรูปที่ 2.1 ซึ่งแสดงให้เห็นถึงแท่งเหล็กที่ได้รับแรงกระทำและมีความยาวเท่ากับ  
L ในรูปที่ 2.1 ข แท่งเหล็กถูกแขวนไว้ที่ด้านบน และน้ำหนักถูกถ่วงไว้ทางด้านล่าง ในกรณีนี้  
การเปลี่ยนสภาพปรากฏในรูปของความยาวเพิ่มขึ้นในรูปที่ 2.1 ค น้ำหนักถูกวางที่ด้านบนของ  
แท่งเหล็กซึ่งมีผลทำให้ความยาวลดลง เป็นที่น่าสังเกตว่าไม่ว่าแท่งเหล็กถูกน้ำหนักกระทำด้าน  
ใดมันจะกลับมามีความยาวเท่าเดิมเมื่อนำเอาน้ำหนักออกไปแล้ว โดยมีข้อยกเว้นว่าแรงที่มาก  
กระทำต้องไม่มากเกินไปจนทำให้แท่งเหล็กยึดอย่างถาวรหรือขาดไป



เอกสารนี้เป็นเอกสารที่สงวนรูปที่ 2.2 แสดงแท่งเหล็กที่แรงมากกระทำในรูปของน้ำหนัก ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปลี่ยนแปลงของความยาวที่เป็นผลมาจากแรงที่มากกระทำร่วมกัน ในนามของความเครียดสำหรับของแข็งที่เป็นโลหะ เช่น เหล็ก หรืออลูมิเนียม ค่าความเค้นสูงสุดที่ยอมได้ก่อนที่จะเกิดเปลี่ยนแปลงสภาพ อยู่ในช่วงเศษส่วนพันของนิ้ว ชิ้นส่วนที่เป็นสปริงนั้นเป็นส่วนประกอบพื้นฐานที่สำคัญที่สุดของตัวแปลงสัญญาณสเตรนเกจน์ โดยการใช้ของแข็งที่มีความยืดหยุ่นที่ออกแบบเพื่อแปลงแรงที่มากกระทำให้เป็นความเครียดที่สมมูลย์แบบเชิงเส้น -ขนาดและรูปร่างของมันขึ้นอยู่กับความรุนแรงและชนิดของแรงที่ตัวแปลงสัญญาณนี้ควรจรับ

ในรูปที่ 2.3 แสดงให้เห็นวิธีการหนึ่งซึ่งสามารถทำได้ โดยแท่งเหล็กที่เหล็กมดถูกยึดได้ที่ปลายด้านหนึ่งในลักษณะของคานยาว แรงถูกป้อนให้ที่ปลายด้านอิสระของแท่งเหล็กในลักษณะตั้งฉากกับแกน ผลลัพธ์ที่ได้คือ ผิวหน้าทางด้านบนจะยืดยาว ส่วนทางด้านล่างจะหดตัวลง ความเครียดบนผิวหน้าที่ลักษณะแปรเปลี่ยนไปตลอดความยาวของแท่งเหล็ก จากค่าสูงสุดบริเวณใกล้ที่ยึดไว้ และลดลงไปเป็นศูนย์ที่ปลายอีกด้านหนึ่ง ที่ตำแหน่งใดๆบนแท่งเหล็ก ความเครียดทางด้านบนและด้านล่างของผิวหน้าจะมีขนาดเท่ากัน แต่มีทิศทางตรงกันข้ามกันซึ่งภายหลังจะพบว่าความเครียดที่เกิดขึ้นตรงข้ามนั้นสามารถช่วยตัวแปลงสัญญาณมีเสถียรภาพต่อการเปลี่ยนแปลงของสภาวะแวดล้อมที่อาจเกิดขึ้นได้

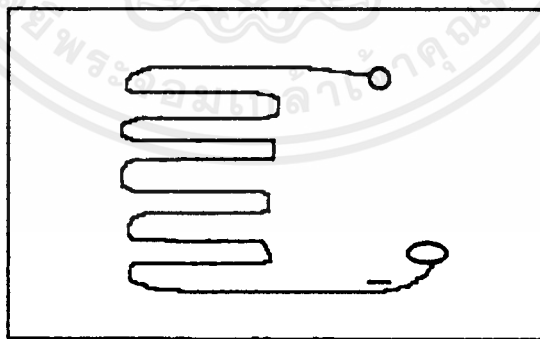


รูปที่ 2.3 แสดงการกระทำของแรงอีกประเภทหนึ่ง

## 1.2 ตัวสเตอร์นเกอน์

จุดมุ่งหมายของสเตอร์นเกอน์ก็เพื่อใช้แปลงความเครียดของชิ้นส่วนที่เป็นสปริงมาเป็นการเปลี่ยนแปลงความต้านทานแทน การยืดและการหดของตัวนำเป็นไปตามการยืดหดของชิ้นส่วนที่เป็นสปริง จากหลักฐานพื้นฐานทางไฟฟ้า ความต้านทานของตัวนำมีค่าแปรไปตามความยาว ถ้าให้แรงดึงกับชิ้นส่วนนี้ค่าความยาวของมันจะเพิ่มขึ้นเช่นเดียวกับแท่งเหล็กในรูปที่ 2.1 เนื่องจากค่าความต้านทานเป็นสัดส่วนโดยตรงกับความยาว การยืดตัวจึงมีผลทำให้ค่าความต้านทานเพิ่มขึ้น และในทางกลับกันถ้าให้ตัวนำเกิดการบีบอัด ค่าความต้านทานของมันก็จะลดลง

ในรูปที่ 2.3 แสดงให้เห็นถึงสเตอร์นเกอน์ในทางการค้าโดยทั่วไปประกอบด้วยแถบตัวนำบางๆยึดติดกับชิ้นส่วนพลาสติกกรองไว้ ชิ้นส่วนที่กรองไว้ทำหน้าที่เป็นตัวรองรับแถบโลหะเล็กๆนี้ และทำหน้าที่เป็นฉนวนจากชิ้นส่วนที่เป็นสปริง ซึ่งต้องอ่อนตัวเพื่อที่จะเคลื่อนไปตามชิ้นส่วนที่เป็นสปริงและเหนียวพอที่จะส่งผ่านความเครียดมายังแถบโลหะ แถบโลหะตัวนำโดยมากแล้วมักทำมาจากโลหะผสมที่มีค่าสัมประสิทธิ์ต่ออุณหภูมิต่ำ และเพื่อให้สเตอร์นเกอน์ค่อนข้างสั้น แถบโลหะนี้จึงถูกวางในรูปแบบไขว้ไปมาตลอดผิวหน้าของชิ้นส่วนที่กรองไว้ที่ปลายด้านหนึ่งแถบโลหะถูกขยายให้ใหญ่ขึ้นเพื่อเป็นจุดบัพกรีสำหรับลวดตัวนำที่มาต่อกับสเตอร์นเกอน์



รูปที่ 2. 4 แสดงลักษณะในทางการค้าโดยทั่วไป

การเปลี่ยนแปลงความต้านทานของสเตรนเกจน์สัมพันธ์กับความเครียดที่เกิดขึ้น โดยตัวประกอบเกนน์ ซึ่งกำหนดเป็นอัตราส่วนของหน่วยที่เปลี่ยนแปลงค่าความต้านทานต่อความเครียดที่เกิดขึ้น หรือ

$$G = (r/R)/s$$

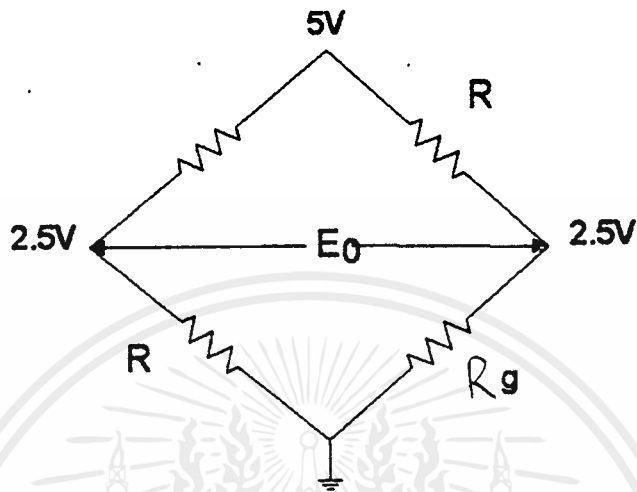
เมื่อ  $G$  เป็นตัวประกอบเกนน์  $R$  เป็นค่าความต้านทานเริ่มแรกของเกนน์  $s$  เป็นค่าความเครียด และ  $r$  เป็นการเปลี่ยนแปลงของความต้านทานที่เป็นผลจากการเปลี่ยนแปลงความยาวสเตรนเกจน์ส่วนมากแล้วจะมีค่าความต้านทานเริ่มแรกเท่ากับ 120 หรือ 350 โอห์ม สำหรับสเตรนเกจน์แบบแถบโลหะส่วนมากแล้ว ค่าตัวประกอบเกนน์ส่วนใหญ่อยู่ระหว่าง 2 - 3 สมการข้างต้นสามารถเขียนในรูปใหม่ได้เป็น

$$r = GRS$$

ซึ่งแสดงให้เห็นว่า ทั้ง  $R$  และ  $G$  เป็นค่าคงที่ของสเตรนเกจน์ การเปลี่ยนแปลงของค่าความต้านทานเป็นสัดส่วนโดยตรงกับค่าความเครียดที่เกิดขึ้น

### 1.3 วงจรบริดจ์

เราจะเห็นว่า การเปลี่ยนแปลงของค่าความต้านทานของสเตรนเกจน์เป็นสัดส่วนโดยตรงกับการเปลี่ยนแปลงความยาวของชิ้นส่วนที่เป็นสปริง และการเปลี่ยนแปลงความยาวของชิ้นส่วนที่สปริงเป็นสัดส่วนโดยตรงกับแรงที่มากระทำ เนื่องจากความสัมพันธ์ทั้งสองแบบเป็นแบบเชิงเส้นจึงกล่าวได้ว่าการเปลี่ยนแปลงของค่าความต้านทานเป็นสัดส่วนโดยตรงกับแรงที่มากระทำ แต่การเปลี่ยนแปลงของค่าความต้านทานเองไม่เป็นตัวแปรที่สะดวกในการวัดเนื่องจากตัวตรวจจับข้อมูลคอมพิวเตอร์ และตัวควบคุมขบวนการมักจะต้องการสัญญาณในรูปของแรงดันหรือกระแส เราสามารถที่จะเปลี่ยนค่าการเปลี่ยนแปลงความต้านทานให้อยู่ในรูปของการเปลี่ยนแปลงแรงดันได้ โดยการต่อสเตรนเกจน์ ซึ่งจะก่อให้เกิดการเปลี่ยนแปลงของแรงดันที่ตกคร่อมวงจรบริดจ์ เราสามารถใช้การเปลี่ยนแปลงนี้เป็นตัวแสดงการเปลี่ยนของความต้านทานของสเตรนเกจน์ได้



รูปที่ 2.5 แสดงลักษณะวงจรวจรบริดจ์

เราสามารถแสดงให้เห็นถึง ความสัมพันธ์ระหว่างความแตกต่างของแรงดันที่ตกคร่อมวงจรวจรบริดจ์ และการเปลี่ยนแปลงของความต้านทานเป็นเชิงเส้นขั้นตอนแรกได้แก่การหาสมการสำหรับแรงดันที่จุด A ( $e_a$ ) ของวงจรวจรบริดจ์ ( ดังแสดงในรูปที่ 2.4 ) ในรูปของการเปลี่ยนแปลงของความต้านทาน ถ้าหากเราพิจารณาจรวจรบริดจ์เป็นการผสมกันของความต้านทานอนุกรมกันสองชุดที่นำมาขนานกัน จะเห็นว่าแรงดันที่จุด A สามารถหาได้จาก  $e_a = I(R+r)$  เมื่อ  $I$  เป็นค่ากระแสในขาค้านซ้ายของวงจรวจรบริดจ์ แต่  $I$  สามารถเขียนอยู่ในรูปสมการของ

$$E/[(R-r)+(R+r)] = E/(2R)$$

เมื่อ  $E$  เป็นแรงดันแหล่งจ่ายไฟของวงจรวจรบริดจ์ โดยการรวมสมการทั้งสองนี้จะได้

$$e_a = E(R+r)/(2r)$$

เราสามารถหาสมการสำหรับแรงดันที่จุด B ของวงจรวจรบริดจ์โดยวิธีเดียวกันได้

$$e_b = E(R-r)/(2R)$$

เนื่องจากทั้ง  $e_a$  และ  $e_b$  นั้นอ้างอิงกับกราวด์ทั้งคู่ ความต่างศักย์  $e_o$  ระหว่าง A

และ B จะเป็นความแตกต่างระหว่าง  $e_a$  และ  $e_b$  หรือ  $e_o = e_a - e_b$

$$= E[(R+r)/(2R)] - E[(R-r)/(2R)]$$

ซึ่งสามารถลดรูปลงได้เป็น

$$e_o = Er/R$$

สมการสุดท้ายนี้แสดงให้เห็นถึงแรงดันเอาต์พุตของวงจรบริจอินเป็นสัดส่วนโดยตรงกับการเปลี่ยนแปลงค่าความต้านทานของสเตรนเกจ์

2. ส่วนขยายสัญญาณ ในหัวข้อนี้จะแบ่งเป็นหัวข้อย่อยคือ

คุณสมบัติของส่วนขยายสัญญาณที่ต้องการในที่นี้หมายถึงความค่อนทานรวมและผลการตอบสนองของการเปลี่ยนแปลงอุณหภูมิ ในการพิจารณาค่าความต้านทานรวมโดยทั่วไปจะพิจารณาประเภทของสัญญาณทางจุดเข้าและจุดออก คือ

ถ้าจุดเข้าเป็น แรงดันไฟฟ้า ค่าความต้านทานจะต้องมีค่า สูง

จุดเข้าเป็นกระแส ค่าความต้านทานจะต้อง มีค่า ต่ำ

ถ้าจุดออกเป็น แรงดันไฟฟ้า ค่าความต้านทานจะต้องมีค่า ต่ำ

ถ้าจุดออกเป็นกระแส ค่าความต้านทานจะต้องมีค่า สูง

ในการพิจารณาความเป็นเส้นตรงนั้น ส่วนขยายสัญญาณนั้นควรมีคุณสมบัติดังนี้

หากป้อน  $x_1$  ที่จุดเข้า ได้  $y_1$  ที่จุดออก และ

หากป้อน  $x_2$  ที่จุดเข้า ได้  $y_2$  ที่จุดออก แล้ว

หากป้อน  $x_1+x_2$  ที่จุดเข้า จะต้องได้  $y_1 + y_2$  ที่จุดออกด้วย

นั่นคือ ลักษณะของสัญญาณหลังจากการทำการขยายจะต้องมีรูปร่างเหมือนเดิมเปลี่ยนที่ขนาดของสัญญาณเท่านั้น

ในการพิจารณาผลตอบสนองต่อการเปลี่ยนแปลงของอุณหภูมิส่วนขยายสัญญาณที่คิดต้องมีคุณสมบัติที่กล่าวมาแล้วข้างต้นโดยไม่ขึ้นกับการเปลี่ยนแปลงอุณหภูมิ ส่วนขยายสัญญาณที่ใช้งานนี้สร้างจาก ออปแอม ทั้งหมด เนื่องจากง่ายต่อการออกแบบและทำความเข้าใจ

### อินสทรูเมนต์แอมป์ริไฟเออร์

โดยทั่วไปแล้วเรามักจะใช้วงจร คิฟเฟอร์เรนเซียลแอมป์ริไฟเออร์ เป็น อินสทรูเมนต์แอมป์ริไฟเออร์ เพื่อที่จะขยายความแตกต่างของสัญญาณที่เข้ามา เช่น เอาท์พุท ของ เซนเซอร์ ความดัน วงจรขยายความแตกต่างนี้ เหมาะสมกับการประยุกต์ใช้งานอย่างนี้เพราะว่าสามารถที่จะจัดสัญญาณรบกวนได้ดีกว่า และมีค่า อินพุทอิมพีแดนซ์ ที่เท่ากัน เราแบ่งชนิดของวงจร คิฟเฟอร์เรนเซียล นี้ ออกตามจำนวน ออปแอม คือ

1. ชนิดที่มี 1 ตัว

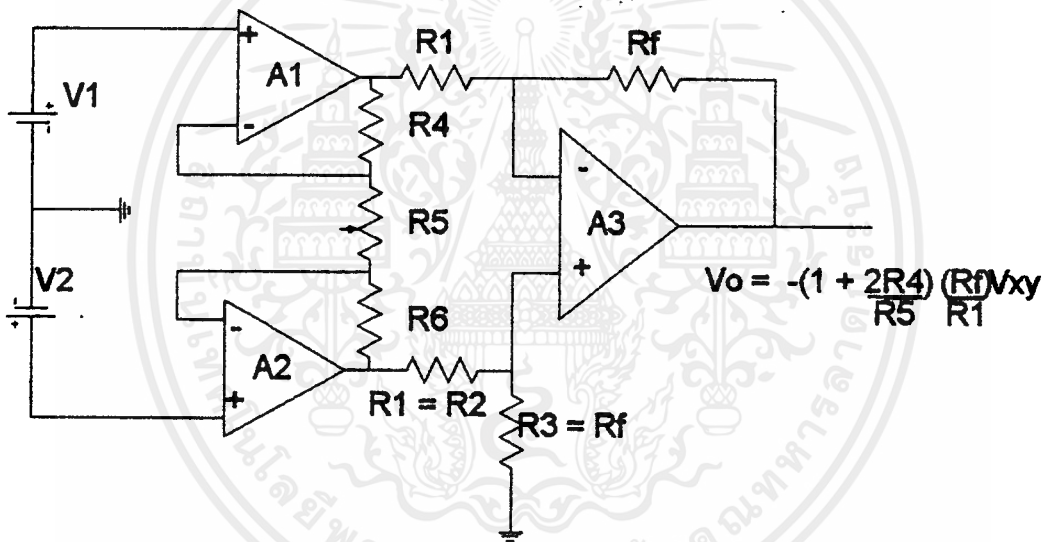
2. ชนิดที่มี 2 ตัว

เอกสารฉบับนี้จัดทำขึ้นเพื่อใช้ในการเรียนการสอนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3. ชนิดที่มี 3 ตัว

ในที่นี้เราจะกล่าวถึงเฉพาะ แบบที่ 3 เท่านั้น

วงจรเฟอ์เรนเชิลชนิดที่มี ออปแอม 3 ตัว



รูปที่ 2.6 วงจรเฟอ์เรนเชิลชนิดที่มีออปแอม 3 ตัว

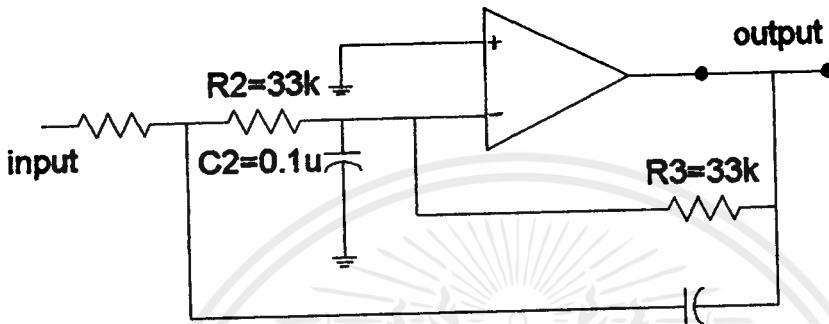
วงจรในรูปประกอบด้วย 2 ส่วน คือ ส่วนแรกมี ออปแอม A1 และ A2 ส่วนที่สองมี ออปแอม A3 ในการหาค่าเกน เราจะพิจารณาแยกคย ในส่วนแรก จะแยกเป็นวงจรรเฟอ์เรนเชิล 2 วงจร คังรูป ค่า เอาร์ทพุทโวลเตจ ของวงจรรขยายความแตกต่างนี้ หากจากหลักชั้นเพอ์โทซิชัน (superposition)

#### 3. วงจรกรองความถี่ (Filter)

ส่วนของการกรองความถี่แบบความถี่ต่ำผ่าน (Low pass filter) นี้เป็นส่วนที่ไม่มีควมยุ่งยากนัก เนื่องจากสัญญาณที่ใช้งานค่อนข้างจะเป็นกระแสดตรง และวงจรก่อนหน้านี้ (instrumentation amp) ก็ช่วยกำจัดสัญญาณรบกวนไปส่วนหนึ่งด้วย คังนั้นการกรองความถี่ของสัญญาณรบกวนสามารถใช้งานได้คังรูปข้างล่างนี้ โดยที่ค่าความถี่คัทออฟ หาได้จากสูตร

$$f_c = \frac{1}{2\pi} \sqrt{\frac{R_1 R_2 C_1 C_2}{R_1 R_2 C_1 C_2}}$$

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อผู้อื่นและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงวงจร Low pass filter

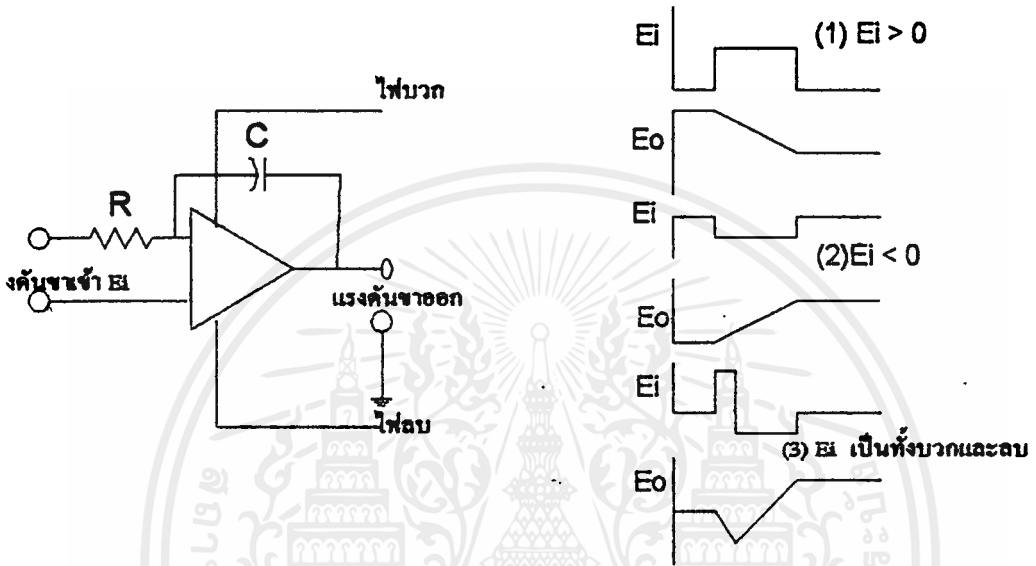
โดย  $C_2$  จะทำหน้าที่ลดกระแสที่ อินพุต ลงกราวด์ ที่ความถี่สูงกว่า  $f_c$   $x_c$  ของ  $C_1$  จะมีค่าต่ำ ที่ความถี่  $f_c$  และทำหน้าที่ เนื่กกระตุ้นที่คแบค(negative feedback) กลับมาที่ อินพุต ด้วยคั้งนั้นค่า เกน ก็จะมีค่าลดลงอย่างคงที่ด้วย

#### 4. ส่วนแปลงสัญญาณอนาลอกเป็นดิจิทัล

วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิทัลที่ใช้กันอยู่ทั่วไปมีหลายแบบ พอจะแบ่งได้ 4 วิธีคือ

1. ซักเซตทีบแอบพรอกซิเมชัน(Successive Approximation)
2. อินทิเกรชัน (Integration ( Single, Dual and Quad Slope ))
3. เคาร์เตอร์คอมพารเตอร์และ เซอโว(Counter Comparator and Servo )
4. แบนขนาน(Parallel)

แต่ในโครงการนี้จะใช้การแปลงแบบ สโตบคู่เท่านั้น(dual slope



รูปที่ 2.8 การทำงานของวงจรมินทิเกรเตอร์

**วงจรมินทิเกรเตอร์**

วงจรมินทิเกรเตอร์ (analog to digital converter) จะทำหน้าที่แปลงแรงดันหรือกระแสที่เป็นสัญญาณอะนาล็อกไปเป็นตัวเลขหรือสัญญาณดิจิทัล วงจรมินทิเกรเตอร์ A/D มีด้วยกันหลายแบบ แต่ที่นิยมใช้กันแพร่หลายมี 3 แบบ คือ แบบสโลปคู่ (Dual slope) แบบแปลงแรงดันเป็นความถี่ (V to F converter) และแบบประมาณทีละบิต (successive approximation) วงจรมินทิเกรเตอร์แบบสโลปคู่เป็นแบบที่ง่ายที่สุด ไม่จำเป็นต้องใช้อุปกรณ์ที่คุณภาพดีมากนักก็สามารถแปลงสัญญาณได้อย่างแม่นยำ แต่ก็มีข้อเสียคือใช้เวลาในการแปลงสัญญาณมากไปหน่อย จึงไม่เหมาะสมในการใช้วัดแรงดันในช่วงเวลาสั้นๆ เช่น การวัดแรงดันของรูปคลื่น ณ จุดเวลาใดเวลาหนึ่งแบบสโลปคู่นี้เหมาะสำหรับใช้วัดค่าเฉลี่ยของแรงดันและกระแสจึงนิยมใช้มากในมัลติมิเตอร์แบบดิจิทัลและเครื่องมือวัดแบบแสดงผลเป็นตัวเลขโดยทั่วไป วงจรมินทิเกรเตอร์แบบสโลปคู่ที่เป็น ไอซีสำเร็จรูปมีด้วยกันหลายเบอร์ ราคาไม่แพงมากนักส่วนมากจะให้ความแม่นยำในการแปลงกว่า 0.1 % มีทั้งแบบแปลงตัวเลขขนาด 3 1/2 หลัก (แสดงผลสูงสุดเป็น 1999) และแบบ 4 1/2 หลักแสดงผลสูงสุดเป็น 19999 หลักสุดท้ายจะแสดงผลเป็น 0 หรือ 1 เท่านั้น จึงเรียกง่าย ๆ ว่า 1/2 หลัก

**วงจรมินทิเกรเตอร์แบบสโลปคู่**

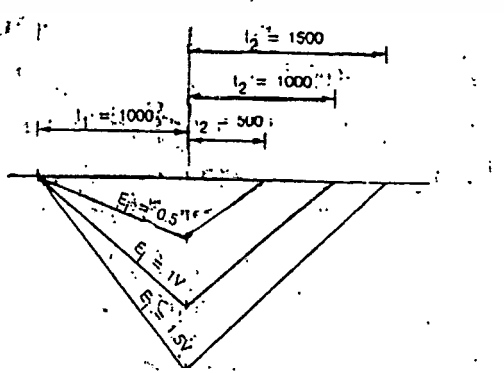
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้วงจรในรูปที่ 2.8(ก) ซึ่งเป็นวงจรอินทิเกรเตอร์ (integrator circuit) แบบพื้นฐาน โดยมีออปแอมป์ทำหน้าที่เป็นวงจรถยายสัญญาณแตกต่าง R และ C ในวงจรเป็นอุปกรณ์สำคัญที่ทำให้เกิดการชาร์จประจุเข้าไปใน C ทำให้ได้รูปคลื่นแรงดันขาออกซึ่งเท่ากับเป็นการอินทิเกรตสัญญาณอินพุต

สมมติว่ามีแรงดัน  $E_i$  ป้อนเข้าทางอินพุต จะเกิดมีกระแส  $I$  ซึ่งมีค่า  $E_i/R$  ไหลผ่าน R เข้าไปในวงจร กระแสนี้จะไม่ไหลเข้าออปแอมป์ เพราะออปแอมป์มีความต้านทานขาเข้าสูง แต่จะไหลผ่านไปชาร์จตัวเก็บประจุทั้งหมดเพื่อให้แรงดันคร่อม C สูงขึ้นเรื่อยๆ ขั้วลบของออปแอมป์จะมีศักย์ไฟฟ้าเป็น 0 โวลต์ เท่ากับขั้วบวกซึ่งต่อลงกราวด์ ดังนั้นแรงดันคร่อม C จึงเป็นแรงดันลบเมื่อเทียบกับกราวด์แรงดันขาออก  $E_o$  ซึ่งเท่ากับแรงดันคร่อม C จึงเป็นลบแรงดันนี้ก็จะค่อยๆ เพิ่มขึ้นเรื่อยๆ เป็นเส้นตรงแรงดันขาออกของวงจรจึงเหมือนกับเป็นการอินทิเกรตแรงดันขาเข้า เพราะเมื่อเราอินทิเกรตค่าคงที่ก็จะได้เส้นตรงที่เปลี่ยนแปลงตามเวลา

รูปที่ 2.8 (ข) แสดงรูปคลื่นขาออกของวงจรอินทิเกรเตอร์เมื่อป้อนแรงดันอินพุตค่าต่างๆ เช่น กรณีอินพุตเป็นบวก กรณีอินพุตเป็นลบ และกรณีสัญอินพุตเป็นทั้งบวกและลบโดยเป็นบวกนาน ๕ วินาที และเป็นลบนาน ๕ วินาที จะเห็นว่าถ้าอินพุตเป็นบวกเอาท์พุตจะเป็นเส้นตรงที่มีโลบลบ และถ้าอินพุตเป็นลบจะได้เอาท์พุตโลบเป็นบวกการให้วงจรอินทิเกรเตอร์ทำการอินทิเกรตขึ้นและลงแบบนี้จะได้เส้นตรงสโลบคู่

รูปที่ 2.96 เป็นรูปแสดงกลไกการทำงานของวงจร A/D แบบสโลบคู่ อินพุตของวงจรอินทิเกรเตอร์เป็นแรงดันไฟที่จะวัด  $E_i$  และมีอีกอินพุตหนึ่งเป็นแรงดันไฟมาตรฐาน  $E_{ref}$  อิน



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ๒๕๖๓ โดยสถาบันวิจัยและพัฒนาเทคโนโลยีสารสนเทศและการสื่อสาร มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี  
รูปที่ 2.96 หลักการทำงานของวงจร A/D แบบสโลบคู่ ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทุกทั้งสองนี้จะมีขั้วสลับกันเสมอและจะผลัดกันต่อเข้ากับวงจรอินทิเกรเตอร์ ทำให้มีการอินทิเกรตขึ้นและลงเป็นจังหวะอยู่ตลอดเวลา เออร์ทพุท  $E_o$  ของวงจรอินทิเกรเตอร์จะต่อเข้ากับวงจรเปรียบเทียบ ซึ่งจะทำหน้าที่ตรวจจับว่าแรงดัน  $E_o$  เมื่อใดเป็น 0 โวลต์

วงจรควบคุมในวงจร AAD นี้เป็นวงจรดิจิตอลทำหน้าที่ควบคุมการทำงานของวงจรทั้งหมดที่สำคัญจะควบคุมสวิทช์ S1 และ S2 เพื่อต่ออินพุทให้กับวงจรอินทิเกรเตอร์

การทำงานของวงจรเริ่มจาก เมื่อแรงดัน  $E_o = 0$  โวลต์ วงจรควบคุมจะเปิดสวิทช์เพื่อให้แรงดันที่จะวัด  $E_i$  ต่อเข้ากับวงจรอินทิเกรเตอร์วงจรควบคุมจะปล่อยให้วงจรอินทิเกรเตอร์ทำการอินทิเกรตสัญญาณ  $E_i$  เป็นระยะเวลา  $t_1$  วินาที การจับเวลา  $t_1$  นี้ทำได้ไม่ยากนักโดยทั่วไปมักจะใช้วงจรมับ นับพัลส์ที่มีความถี่ที่จนได้ค่ากำหนดไว้ เช่น นับพัลส์ความถี่ 10 กิโลเฮิรตซ์ ให้ได้ 1000 ลูก ก็ใช้เวลา 0.1 วินาที เป็นต้น

เมื่อครบเวลา  $t_1$  วงจรควบคุมจะเปิดสวิทช์ S1 ในขณะนั้นแรงดันเออร์ทพุทของอินทิเกรเตอร์  $E_o$  จะมีค่าแปรผันกับแรงดัน  $E_i$  เช่น ถ้า  $E_i = 1$  โวลต์ให้  $E_o = -1.5$  โวลต์ ถ้า  $E_i = 2$  โวลต์ ก็จะได้  $E_o = -3.0$  โวลต์ เป็นต้น จากนั้นวงจรควบคุมจะเปิดสวิทช์ S2 เพื่อต่อแรงไฟมาตรฐาน  $E_{ref}$  เข้ากับวงจรอินทิเกรเตอร์และรีเซตวงจรมับแรงดัน  $E_{ref}$  จะมีขั้วตรงข้ามกับ  $E_i$  สมมุติให้  $E_{ref}$  เป็นแรงดันลบ คราวนี้วงจรอินทิเกรตจะอินทิเกรตสัญญาณทำให้เกิดเส้นตรงที่มีสโลปตรงข้าม แรงดัน  $E_o$  จะเพิ่มขึ้นเรื่อยๆ จนในที่สุด  $E_o = 0$  โวลต์ ในช่วงเวลานี้สมมุติว่าใช้เวลา  $t_2$  ขณะเดียวกันวงจรมับจะนับพัลส์ไปเรื่อยๆเมื่อ  $E_o = 0$  โวลต์วงจรเปรียบเทียบจะตรวจจับเหตุการณ์นี้แล้วส่งสัญญาณไปยังวงจรควบคุม วงจรควบคุมจะเปิดสวิทช์ S2 และให้วงจรมับหยุดพัลส์ ค่าที่นับได้ในวงจรมับขณะนั้นจะเท่ากับค่าแรงดันที่ต้องการวัดพอดี

ที่เป็นเช่นนี้เพราะแรงดัน  $E_{ref}$  มีค่าคงที่ ช่วงเวลา  $t_2$  ในการอินทิเกรตสัญญาณจนแรงดันเป็น ศูนย์จะแปรผันกับแรงดันขาเข้า  $E_i$  ถ้า  $E_i$  มีค่ามาก ค่า  $E_o$  หลังจากการอินทิเกรตครั้งแรกจะมาก จึงใช้เวลา  $t_2$  ในการอินทิเกรตครั้งที่สองมากตามไปด้วย สมมุติให้  $E_i = 1$  โวลต์ และ  $E_{ref} = -1$  โวลต์ได้  $t_1 = t_2$  เท่ากับการนับพัลส์ 1000 ลูก ถ้าให้  $E_i = 1.5$  โวลต์ จะได้  $t_2 = 1.5t_1$  หรือเท่ากับการนับพัลส์ 1500 ลูก จะสังเกตเห็นว่าค่านับพัลส์ตรงกับค่าแรงดัน  $E_i$  ซึ่งเป็นค่าที่ต้องการวัด เช่น  $E_i = 1.00$  โวลต์ ได้ค่านับ 1000 และ  $E_i = 1.5$  โวลต์ ได้ค่านับ 1500 เป็นต้น

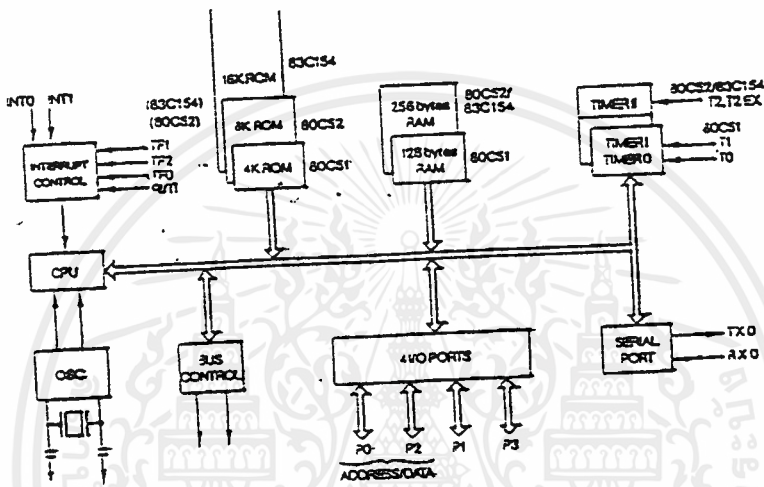
## 5. ส่วนแสดงผลโคโยใช้ ไมโครโปรเซสเซอร์และจอแสดงผล

ทฤษฎีและคุณสมบัติของไมโครคอนโทรลเลอร์ตระกูล 51 ไมโครคอนโทรลเลอร์แบบชิปเดี่ยว (single chip microcontroller) คือไมโครคอมพิวเตอร์แบบที่มีขนาดเล็กโดยบรรจุไว้ในแผงวงจรรวม (integrated circuit) เพียงชิปเดี่ยวเหมาะสำหรับงานควบคุมอุปกรณ์แบบอัตโนมัติ เพราะผู้ใช้สามารถเขียนโปรแกรมควบคุมการทำงานได้ตามต้องการ ไมโครคอนโทรลเลอร์แบบชิปเดี่ยวตระกูล 51 อันได้แก่ เบอร์ 8051 และ 8052 ซึ่งมีโครงสร้างและชุดคำสั่งแตกต่างกันเพียงเล็กน้อย

MCS-51 มีข้อดีดังนี้

- สามารถนำเอาข้อมูลเข้ามา แอนหรือออร์ (AND, OR) หรือ ทำคอมพลiment (Complement) ทั้งแบบทีละ 8 บิต และ 1 บิต
- สามารถใช้หน่วยความจำสำหรับโปรแกรม (program memory) ซึ่งเป็นหน่วยความจำที่ใช้สำหรับเก็บชุดคำสั่งที่จะให้ MCS-51 ทำงานได้สูงสุด 64 กิโลไบต์ (kilobyte) ทำให้เขียนโปรแกรมควบคุมการทำงานได้มาก
- สามารถต่อกับหน่วยความจำสำหรับข้อมูล (data memory) ซึ่งเป็นหน่วยความจำสำหรับเก็บข้อมูลในระหว่างการทำงานของโปรแกรมได้สูงสุด 64 กิโลไบต์
- ใน 8051 และ 8751 มีหน่วยความจำสำหรับโปรแกรมจำนวน 4 กิโลไบต์ (ใน 8052 และ 8752 มีหน่วยความจำสำหรับโปรแกรมอยู่จำนวน 8 กิโลไบต์) อยู่ในวงจรรวมทำให้ไม่ต้องต่อหน่วยความจำสำหรับโปรแกรมอยู่ภายนอก ระบบรวมทั้งหมดจึงมีขนาดเล็กแต่สัญญาณรบกวนจากภายนอกจะทำให้ MCS 51 ทำงานผิดพลาดได้ยาก
- มีพอร์ทขนาน (parallel port) สำหรับข้อมูลเข้าและออกจำนวน 32 บิต ที่ข้อมูลแต่ละบิตเป็นอิสระต่อกัน
- มี Universal Asynchronous Receiver Transmitter (UART) สำหรับรับส่งข้อมูลอนุกรม (serial) แบบ Full Duplex ที่สามารถเลือกรูปแบบการรับส่งข้อมูลได้ 4 แบบ
- มีแหล่งกำเนิดสัญญาณการขัดจังหวะการทำงานของโปรแกรม (Interrupt Request Signal) 6 แหล่ง ซึ่งสามารถทำกระโดดไปทำงานตอบสนองการขัดจังหวะ (Interrupt service Routine) ได้ต่างกัน 5 ตำแหน่ง
- สามารถเลือกการทำงานให้อยู่ในโหมดของ Idle และ Power Down ซึ่งประหยัดการใช้กำลังไฟในการทำงานโครงสร้างของ 8051 ภายใน 8051 จะประกอบด้วย GATE ต่างๆ เช่น

AND, OR, NOT ซึ่ง GATE ต่างๆเหล่านี้จะถูกนำออกมาออกแบบให้มีหน้าที่การทำงานต่างๆ เช่น วงจรถอดรหัสคำสั่ง (Instruction Decoder) โครงสร้างภายในของ 8051 จะประกอบด้วยส่วนย่อยๆ ดังโคอะแกรม



รูปที่ 9 โคอะแกรมโครงสร้าง 8051

เนื่องจาก 8051 เป็นคอมพิวเตอร์จึงประกอบด้วย 3 ส่วนหลักๆคือ

- ส่วนที่ 1 คือ cpu (central Processing unit) หรือตัวประมวลผล ส่วนนี้จะมีวงจรที่มีหน้าที่สร้างสัญญาณควบคุมในการติดต่อกับส่วนอื่นๆเรียกว่าวงจรควบคุม (control unit) การสร้างสัญญาณควบคุมจากส่วน cpu นี้จะทำการสร้างสัญญาณโดยการถอดรหัสจากคำสั่ง (Instruction)ตามที่มีการกำหนดไว้ และสัญญาณที่สร้างขึ้นมาจะอ้างอิงกับสัญญาณนาฬิกาที่สร้างจากวงจรถอดรหัสสัญญาณนาฬิกาเพื่อให้ทุกๆส่วนทำงานประสานกัน (Synchronize) อย่างถูกต้อง

ใน CPU นี้ยังประกอบด้วยส่วนย่อยเรียกว่าส่วนประมวลผล (Arithmetic Logic Unit) ส่วนนี้จะทำหน้าที่ประมวลผลข้อมูล เช่น การบวก ลบ คูณ หาร แล้วนำผลลัพธ์ไปเก็บไว้ในรีจิสเตอร์ หรือหน่วยความจำที่ต้องการ

- ส่วนที่ 2 คือ หน่วยความจำ(memory)การติดต่อกับหน่วยความจำจะมีสัญญาณ 3 กลุ่มคือ
  1. แอสแตรหรือคำสั่งตำแหน่งที่ต้องการติดต่อกับหน่วยความจำ การอ้างอิงแต่ละตำแหน่งของหน่วยความจำจะต้องใช้เส้นแสดงตำแหน่งในเลขฐาน 2 ทั้งหมด 16 เส้น
  2. ข้อมูลที่จะอ่านหรือเขียนกับหน่วยความจำที่ตำแหน่งในข้อ 1

### 3. สัญญาณควบคุมที่จะส่งไปยังหน่วยความจำ

- ส่วนที่ 3 อุปกรณ์อินพุตและเอาต์พุต (Input/Output Device) เป็นส่วนที่จะใช้ส่งข้อมูลเข้าหรือออกและ เอาต์พุต ได้แก่ 4 I/O Port , Timer 1, Serial port 8051 ไมโครคอนโทรลเลอร์ที่บรรจุอยู่ในวงจรรวมแบบ Dual Inline Package (DIP) ซึ่งแต่ละข้างของ 8051 มีขาอยู่ข้างละ 20 ขา รวมทั้งหมด 40 ขานั้นจะมีการทำงานต่างๆกันดังนี้

-V cc ขา40 เป็นขาที่ต้องป้อนไฟเลี้ยง +5 โวลต์

-Vss ขา 20 เป็นขาที่ต้องต่อกับกราวด์ (Ground) ของแหล่งจ่ายไฟ

-Port 0 เป็นพอร์ตนาน 8 บิต อยู่ที่ขา 39 ถึง 32 เริ่มจากบิต 0 ถึงบิต 7 ตามลำดับแต่ละขาจะเรียกว่า P0.0,P0.1,...,P0.7 พอร์ต 0 นี้ใช้ได้ทั้งการรับ- ส่งตำแหน่งข้อมูลกับหน่วยความจำหรือใช้พอร์ตรับ-ส่งข้อมูลก็ได้

1. ใช้สำหรับส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อด้วย ตำแหน่งความจำสูงสุดที่จะติดต่อได้ก็คือ 64 กิโลไบต์ จึงมีค่าตำแหน่งหน่วยความจำ 16บิตของเลขฐาน 2 ค่าตำแหน่งหน่วยความจำ 8 บิตล่างจะถูกส่งออกไปทาง พอร์ต 0 และ 8 บิตบนจะถูกส่งออกไปทาง พอร์ต 2

2. ใช้รับส่งข้อมูลกับ Data Memory หรือใช้รับข้อมูลจาก Program Memory

3. ใช้รับส่งข้อมูลผ่านทางพอร์ตโดยตรง ในกรณีที่ไม่มีการใช้หน่วยความจำของโปรแกรมหรือหน่วยความจำข้อมูลภายนอก

-port 1 เป็นพอร์ตขนาด 8 บิต คือขา P1.0 ถึง P1.7 (ขา 1-8) พอร์ต 1 ใช้ทำหน้าที่เป็นตัวรับส่งข้อมูลเท่านั้น ข้อมูลที่ส่งออกมาทางพอร์ต 1 จะถูก Latch ไว้แล้วส่งออกไปทางแต่ละขา ก่อนที่จะอ่านข้อมูลเข้าไปทางพอร์ต 1 จะต้องเขียน 1 ไปยังอินพุตของพอร์ต 1 ก่อนเพื่อให้ FET อยู่ในสถานะ OFF ก่อน

-Port 2 พอร์ตขนาดขนาด 8 บิต คือขา P2.0-P2.7 (บิต 0-7 ของพอร์ต 2) ลักษณะโครงสร้างจะเหมือนกับพอร์ต 0 แตกต่างกันที่พอร์ต 2 นั้นภาค Driver จะใช้เพียง 2 ลักษณะคือ

1. ใช้ส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อ ค่าตำแหน่งนี้เป็น บิตบนของค่าตำแหน่ง

2. ใช้เป็นพอร์ตรับและส่งข้อมูลกับภายนอก

-Port3 คือขา P3.0-P3.7 หรือขา 10-17 ตามลำดับในรูปแบบ

ส่วนที่ 1 ในรูปเป็นส่วน Latch ข้อมูลที่เขียนมาทางพอร์ท 3 ทาง Internal Bus เหมือนกับพอร์ทอื่นๆและพอร์ท 3 จะมี Internal pull up อยู่ทุกบิต แต่พอร์ท3นี้แต่ละบิตจะใช้ในการทำงานอื่นได้โดยใช้คำสั่งควบคุมการทำงาน ในส่วนที่ 2 จะมีสัญญาณ Alternative Output Function ที่สร้างมาจากส่วน Timing and Control

- RST ขารี่เส้นนี้จะใช้ทำการรีเซ็ตการทำงานของ 8051

- ALE Address Latch Enable ขานี้จะส่งสัญญาณที่มีความถี่ 1/6 เท่าของสัญญาณนาฬิกาจากออสซิลเลเตอร์ สัญญาณนี้จะใช้บอกกับอุปกรณ์ภายนอกของ 8051 ว่าขณะนี้สัญญาณนี้ Active (เป็น ลอจิก 1) จะมีการส่งข้อมูลที่เป็น 8 บิตล่างของตำแหน่งหน่วยความจำภายนอก 8051 ที่ต้องการติดต่อออกไปทางพอร์ท 0

-PSEN Program Store Enable ขานี้ปกติจะให้ลอจิก 1 แต่จะส่งลอจิก 0 เมื่อต้องการอ่านคำสั่ง

-EA ถ้าสัญญาณป้อนให้ขา EA เป็น 1 หมายความว่าโปรแกรมในตำแหน่ง 0000H ถึง 0FFFH ถูกเก็บไว้ใน 8051 การทำงานในตำแหน่งหน่วยความจำช่วงนี้จะอ่านคำสั่งต่างๆจาก ROMภายใน 8051

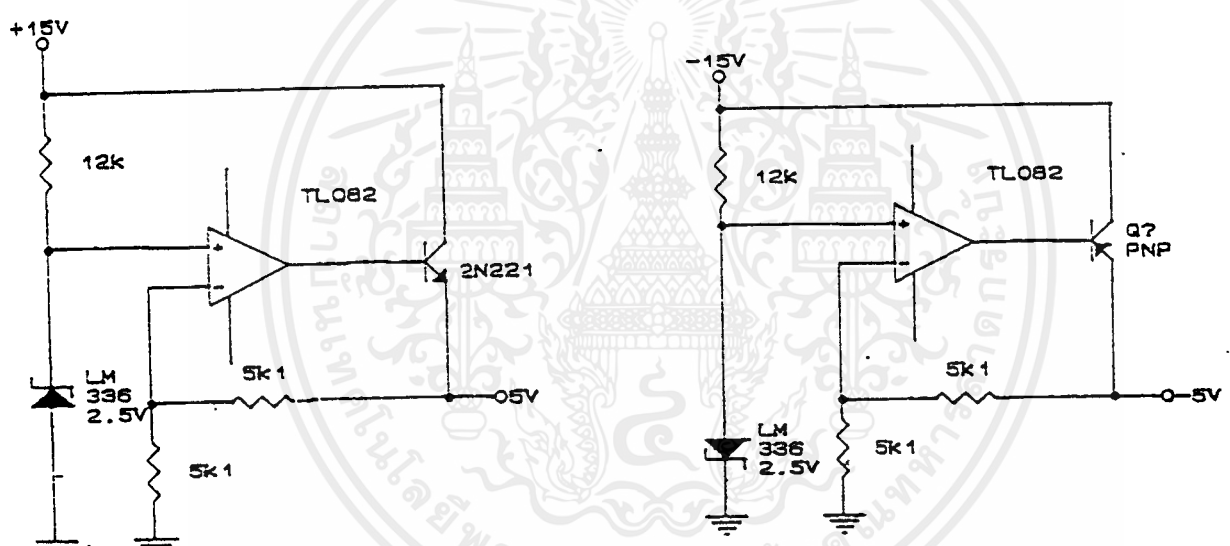
- XTAL1 ขาที่ 19 ขานี้จะต่อเข้ากับขาของ Inverting Amplifier ที่ประกอบเป็นวงจรออสซิลเลเตอร์

-XTAL2 ขาที่ 18 ขานี้เป็นจุดเอาต์พุตของวงจรขยายแบบกลับเฟสที่ประกอบเป็นวงจรออสซิลเลเตอร์ (อินพุตคือขา XTAL1 )

การออกแบบ

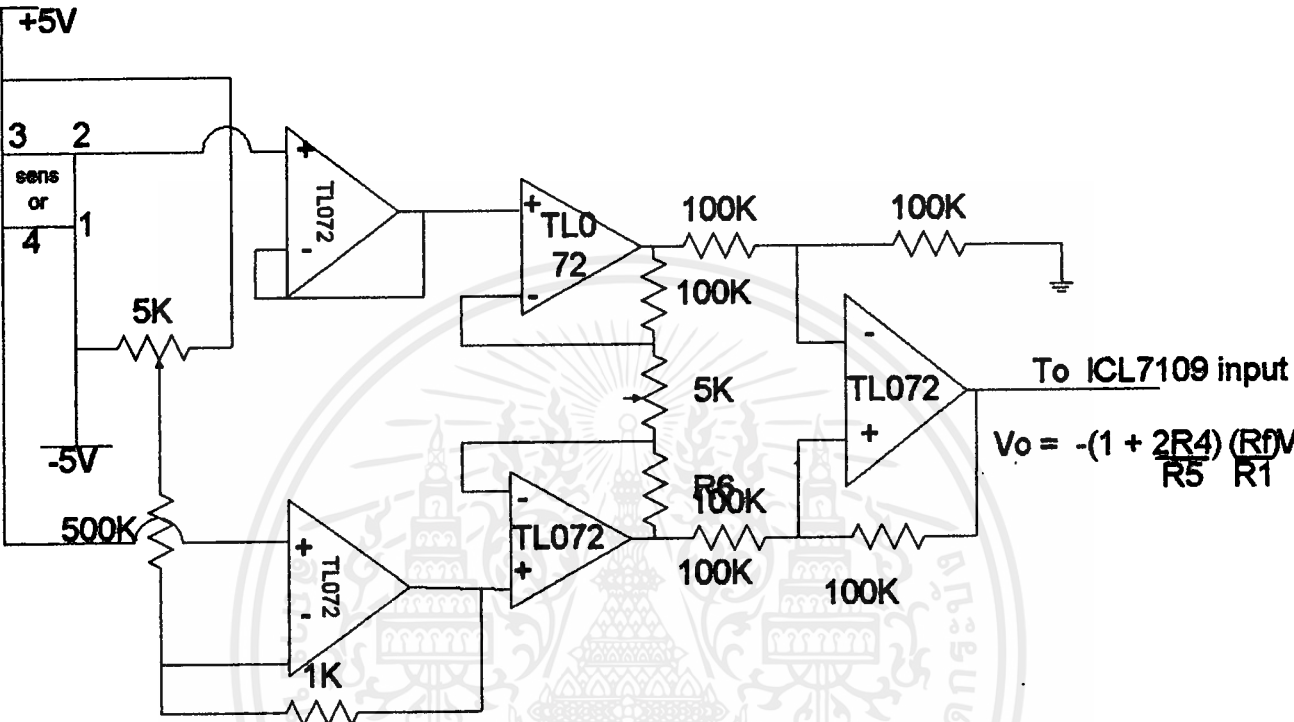
ภาคจ่ายไฟเลี้ยง +/- 5 โวลต์ จะแปลงมาจากไฟตรง +/- 15 โวลต์(ไฟเลี้ยงของ OP AMP) แล้วนำไปจ่ายให้กับ Load Cell หรือ Strain Guage

การคำนวณมีดังนี้ Voltage ที่ขา Non inverting ของ Op amp มีค่า 2.5 โวลต์ ดังนั้น Voltage ตกคร่อมที่ขา inverting ก็จะมีค่า 2.5 โวลต์ด้วย เนื่องจากใช้ค่า R เท่ากัน ดังนั้น Voltage ที่ตกคร่อม R แต่ละตัวก็จะมีค่าเท่ากัน Output Voltage จึงมีค่าเป็น 5 โวลต์ กรณี -5 ก็เช่นเดียวกัน แสดงคังรูป



รูปที่ 3.1 แสดงวงจรจ่ายไฟ + 5 โวลต์

ไฟบวก ลบ 5 โวลต์นี้จะป้อนให้กับ Load cell ซึ่งแทนด้วย วงจร Bridge แล้วเข้าวงจร Instrument Amplifier คังรูป



รูปที่ 14 แสดงวงจร Instrument Amplifier

จะมีอัตราขยาย เท่ากับ

$$-(1+2R4) \frac{Rf}{R5}$$

$$= -(1+2(100k)(100k) \frac{Vxy}{R5}$$

$$R5 \text{ vary } 100k$$

ซึ่งเราสามารถปรับค่า gain ของวงจรได้โดยการปรับค่า R5

ส่วนนี้จะไปเข้าวงจร Low pass filter ที่มีค่า fc ดังนี้

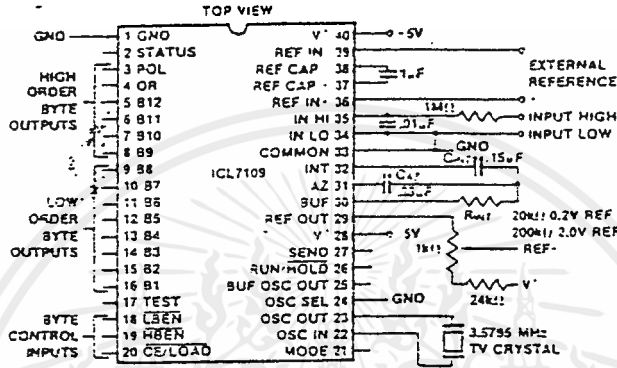
$$f_c = \frac{1}{2\pi\sqrt{(R1R2C1C2)}}$$

$$= 50 \text{ Hz}$$

สัญญาณที่ออกจาก Low pass filter นี้ จะเข้าวงจร Analog to digital ใน โครงการนี้ใช้ A/D



### เมออร์ ICL7109 ซึ่งต่อคังรูป



รูปที่ 3.3 รูปแสดงวงจร Analog To Digital Converter

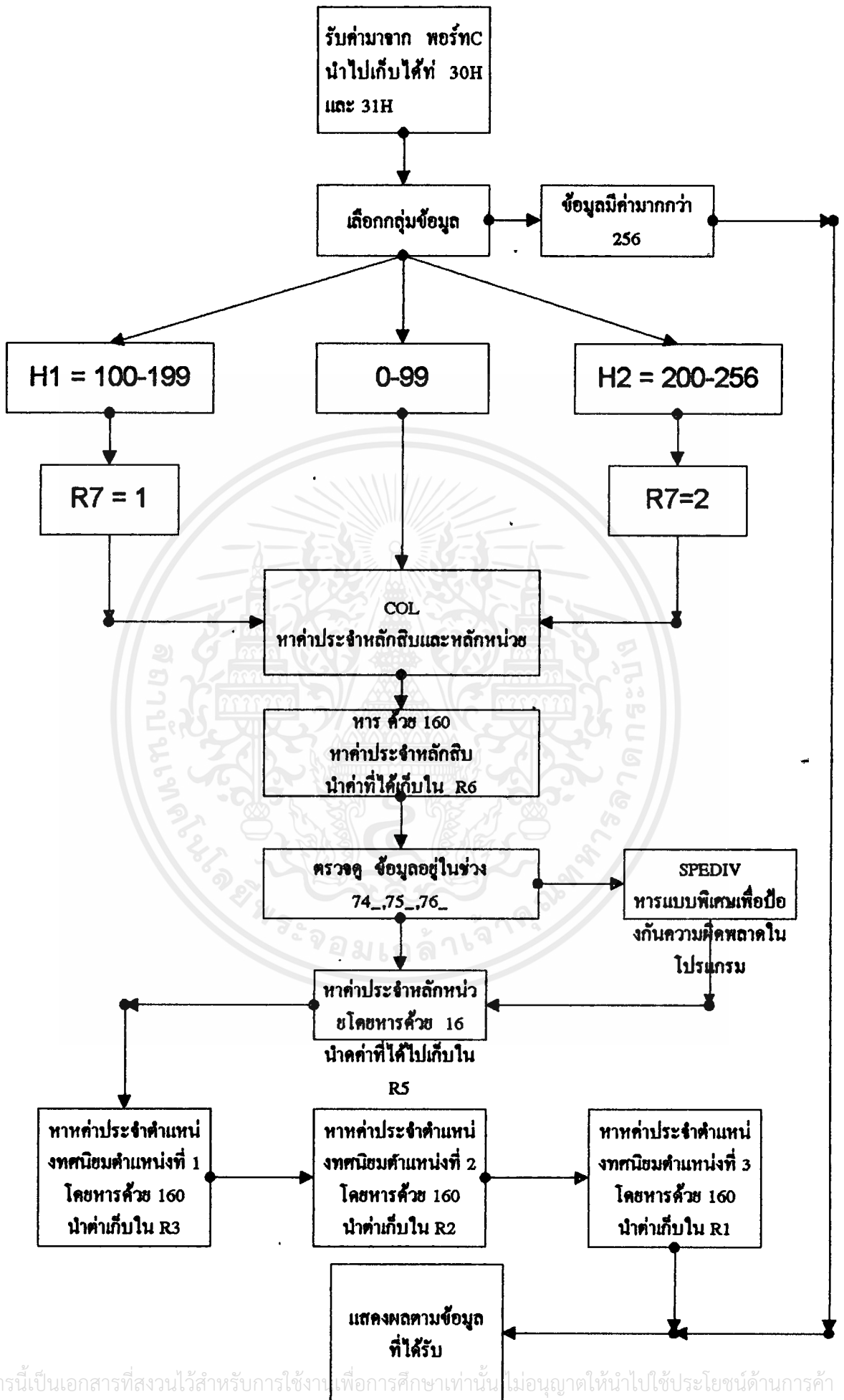
#### บทที่ 4

##### การเขียนโปรแกรมควบคุมการทำงานของไมโครคอนโทรลเลอร์

เพื่อให้ง่ายต่อความเข้าใจจะขออธิบายการทำงานของโปรแกรมดังนี้

การทำงานเริ่มจากรับค่ามาเก็บ ไว้ที่ตำแหน่ง 30h และ 31h ในตำแหน่งหน่วยความจำ หลังจากนั้นทำการเลือกว่าข้อมูลอยู่ในช่วงไหนที่ทำเช่นนี้เพื่อให้่ายในการเขียนโปรแกรมควบคุมเมื่อทำการเลือกช่วงของข้อมูลเสร็จแล้วทำแปลงข้อมูลโดยหาค่าประจำตำแหน่งในเลขฐานสิบแล้วนำค่าแต่ละค่าไปเก็บไว้ในรีจิสเตอร์ ในกระบวนการที่ผ่านมาในการเขียนโปรแกรมจริงค่อนข้างซับซ้อนเพื่อความง่ายได้ทำการแบ่งส่วนต่างๆเป็นโปรแกรมน้อยและได้เขียนคอมเมนต์ไว้แล้วปัญหาอีกอย่างที่พบคือมีบางข้อมูลที่เกิดความผิดพลาดขึ้นดังนั้นจึงทำการเพิ่มบาง โปรแกรมย่อยขึ้นมา





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างถึงถึงเจ้าของเอกสารต้นฉบับที่ปรากฏนำไปใช้  
รูปที่ 4.1 แสดงการทำงานของโปรแกรมการทำงานของเครื่องซึ่งนำหนักอิเล็กทรอนิกส์

```

;-----
;-----
;-----
;-----DISPLAY PART-----
;-----
;-----
;-----
;.....SET LCD MODULE.....
        ORG    0000H
PORTA   EQU    0000H    ;LCD DATA (PA0-PA7)
PORTB   EQU    0001H    ;LCD CONTROL (PB0-PB7)
PORTC   EQU    0002H    ;LCD CONTROL (PC0-PC7)
PORTP   EQU    0003H    ;8255 CONTROL PORT
;*****MAIN*****
BEGIN:  LCALL  SET8255I
        MOV   DPTR,#PORTC    ;POINT TO PORT C
        MOVX  A,@DPTR        ;MOV THE UPPER 8 BIT TO A
        MOV   30H,A          ;MOV THE UPPER 8 BIT TO 30H
        MOV   DPTR,#PORTB    ;POINT TO PORT B
        MOVX  A,@DPTR        ;MOV THE LOWER 4 BIT TO A
        MOV   31H,A          ;MOV THE LOWER 4 BIT TO 31H
        JB   ACC.3,OVER      ;THE DATA IS OVER RANGE
        MOV   A,30H
        LCALL SELLECT
        LCALL SET8255O
        LCALL SHOW
        LJMPL BEGIN
SET8255I: MOV   DPTR,#PORTP    ;SET 8255 CONTROL PORT

```

```

MOVX  @DPTR,A
MOV   PSW,#17H
MOV   R2,#2           ;FIRST   DELAY
LCALL DELAY
RET
SET8255O:  MOV   DPTR,#PORTP           ;SET 8255 CONTROL PORT
MOV   A,#80H
MOVX  @DPTR,A
MOV   PSW,#17H
MOV   R2,#2           ;FIRST   DELAY
LCALL DELAY
RET
OVER:     LCALL SET8255O
MOV   R7,#4FH        ; 'O'
MOV   R6,#56H        ; 'V'
MOV   R5,#45H        ; 'E'
MOV   R4,#52H        ; 'R'
MOV   R3,#41H        ; 'A'
MOV   R2,#4EH        ; 'N'
MOV   R1,#47H        ; 'G'
MOV   R0,#45H        ; 'E'
LCALL OVERSHOW
LJMP  BEGIN

```

\*\*\*\*\*LCD SHOW FOR OVERANE DATA\*\*\*\*\*

```

OVERSHOW:  MOV   A,#00111000B ;FUNCTION SET
LCALL LCDWI
MOV   A,#00001110B ;DISPLAY ON/OFF
LCALL LCDWI
MOV   A,#01H       ;CLEAR
LCALL LCDWI

```

```

MOV    A,#80H                ;SET DRAM ADDRESS
LCALL  LCDWI
MOV    A,R7
LCALL  LCDWD
MOV    A,R6
LCALL  LCDWD
MOV    A,R5
LCALL  LCDWD
MOV    A,R4
LCALL  LCDWD
MOV    A,R3
LCALL  LCDWD
MOV    A,R2
LCALL  LCDWD
MOV    A,R1
LCALL  LCDWD
MOV    A,R0
LCALL  LCDWD
RET

```

\*\*\*\*\*LCD SHOW THE DATA \*\*\*\*\*

```

SHOW:  MOV    A,#00111000B    ;FUNCTION SET
LCALL  LCDWI
MOV    A,#00001110B        ;DISPLAY ON/OFF
LCALL  LCDWI
MOV    A,#01H              ;CLEAR
LCALL  LCDWI
MOV    A,#80H              ;SET DRAM ADDRESS
LCALL  LCDWI
MOV    A,#1CH              ;SHIFT DATA

```

```

LCALL LCDWI
MOV A,R7
LCALL SETUPPER
LCALL LCDWD
MOV A,R6
LCALL SETUPPER
LCALL LCDWD
MOV A,R5
LCALL SETUPPER
LCALL LCDWD
MOV A,#2EH
LCALL LCDWD
MOV A,R3
LCALL SETUPPER
LCALL LCDWD
MOV A,R2
LCALL SETUPPER
LCALL LCDWD
MOV A,R1
LCALL SETUPPER
LCALL LCDWD
MOV A,#0C0H ;SET DRAM ADDRESS GROUP 2
LCALL LCDWI
MOV A,#14H ;SHIFT CURCEL
LCALL LCDWI
MOV A,#00001100B ;DISPLAY ON/OFF
LCALL LCDWI
MOV -A,#47H ;SET UNIT TO GRUM (G)
LCALL LCDWD
MOV A,#72H ;SET UNIT TO GRUM (r)

```

```

LCALL LCDWD
MOV A,#61H ;SET UNIT TO GRUM (u)
LCALL LCDWD
MOV A,#6DH ;SET UNIT TO GRUM (m)
LCALL LCDWD
MOV A,#73H
LCALL LCDWD
RET

```

```

;*****SET UPPER OF RN TO 3

```

```

SETUPPER: CLR ACC.7
CLR ACC.6
SETB ACC.5
SETB ACC.4
RET

```

```

;*****SELECT GROUP OF DATA*****

```

```

SELLECT: MOV R7,#00H ;CLEAR REGISTER FOR NO HAVE H1,H2
JB ACC.7,A1
JB ACC.6,A2
LJMP COL ;SECCON GROUP(CAN DEVIDE BY 8 BIT
A1: JNB ACC.6,H1 ;THE VALUE OF THE COLLUM IS ONE
JB ACC.5,H2 ;THE VALUE OF THE COLLUM IS TWO
JB ACC.4,H2
JB ACC.3,H2
SJMP H1
A2: JNB ACC.5,COL
JB ACC.4,H1
JB ACC.3,H1
JB ACC.2,H1
SJMP COL

```

```

H1:      MOV    R7,#01H
          LJMP   G11
H2:      MOV    R7,#02H
          LJMP   G12

```

\*\*\*\*\*GROUP ONE WHICH CAN NOT DEVIDE BY 8 BIT\*\*

```

G11:     MOV    A,30H
          SUBB   A,#64H      ;DEVIDE 12 BIT BY 640H
          MOV    30H,A
          SJMP   COL

```

```

G12:     MOV    A,30H
          SUBB   A,#0C8H
          MOV    30H,A
          SJMP   COL

```

\*\*\*\*\*FIND THE VALUE OF COL\*\*\*\*\*

```

COL:     MOV    R6,#00H
          MOV    R0,#04H
          MOV    A,30H
COL23:   MOV    B,#0A0H      ;THE DEVIDER (160)
          DIV   AB
          ADD   A,R6        ;THE DATA OF TENCOL
          RL   A
          MOV   R6,A        ;THE DATA OF
          MOV   A,31H       ;MOV THE LOWER 4 BIT TOO A
          CLR  C
          RLC  A            ;ROTATE FOR PUT MSB TO CARRY
          MOV  31H,A        ;FEEDBACK AFTER ROTATE
          MOV  A,B          ;THE NUMERATER TO A
          RLC  A            ;ROTATE 4 BIT TO 8 BIT
          DJNZ R0,COL23

```

```

JC    SPEDIV    ;FOR DATA 74_H 75_H 76_H
DIV   AB
NORMAL: ADD    A,R6    ;THE DATA OF CONTROL
MOV   R6,A     ;THE DATA OF CONTROL
MOV   A,B     ;MOV UNIT DATA TO A
MOV   B,#10H  ;THE DEVIDER (16)
DIV   AB
MOV   R5,A    ;MOV THE UNIT DATA TO R5
;*****FAOTING POINT *****
MOV   A,B     ;MOV FAOT TO A
MOV   B,#0AH  ;MOV 10 TO B (DEVIDER)
MUL   AB     ;MULTIPLY BY 10
MOV   B,#10H ;FOR FIRST FAOT
DIV   AB     ;FOR FIRST FAOT
MOV   R3,A   ;FOR DATA 1ST FAOT
MOV   A,B   ;THE SECON FAOT
MOV   B,#0AH
MUL   AB
MOV   B,#10H ;THE SECCON FAOT
DIV   AB
MOV   R2,A   ;MOV DATA TO R2(2ST)FAOT
MOV   A,B   ;3RD FAOT
MOV   B,#0AH
MUL   AB
MOV   B,#10H
DIV   AB
MOV   R1,A
RET

```

```

;***** SPECIAL ROUTINE FOR THREE DATAS*****

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 SPEDIV: RRC A  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

RRC  A
RRC  A
RRC  A
MOV  B,#0AH ;MOV THE DEVIDER TO A
SUBB A,B    ;SAME AS DEVIDE BY 0A
RLC  A      ;ROTATE BACK THE DATA FOUR TIME
RLC  A
RLC  A
RLC  A
MOV  B,A    ;MOV MOV THE NUMERATOR TO B
MOV  A,#01H ;SET THE RESULT TO A
LJMP NORMAL

```

```

; *****DELAY SUB *****

```

```

; DELAY SUBROUTINE

```

```

; IN = R2

```

```

; REG = R2,R3,R4

```

```

DELAY:  MOV  R3,#0

```

```

DELAY1: MOV  R4,#0

```

```

DJNZ  R4,$

```

```

DJNZ  R3,DELAY1

```

```

DJNZ  R2,DELAY

```

```

MOV  PSW,#07H

```

```

RET

```

```

; *****LCDWI *****

```

เอกสาร LCD WRITE INSTRUCTION (RS=0) เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่า; IN = A ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
; REG = A,DPTR
```

```
LCDWI:  MOV  DPTR,#PORTA  ;DATA TO PORTA
        MOVX @DPTR,A
        MOV  DPTR,#PORTB  ;PORTB READ MODIFY WRITE
        MOVX A,@DPTR
        CLR  ACC.0         ;RS=0
        CLR  ACC.1         ;R/W=0
        CLR  ACC.2         ;ENABLE=0
        MOVX @DPTR,A
        SETB ACC.2         ;ENABLE=1
        MOVX @DPTR,A
        CLR  ACC.2         ;ENABLE=0
        MOVX @DPTR,A
        MOV  A,#0          ;DELAY
LCDWI1: DEC  A
        JNZ  LCDWI1
        RET
```

```
; *****LCDWD *****
```

```
; LCD WRITE DATA (RS=1)
```

```
; IN = A
```

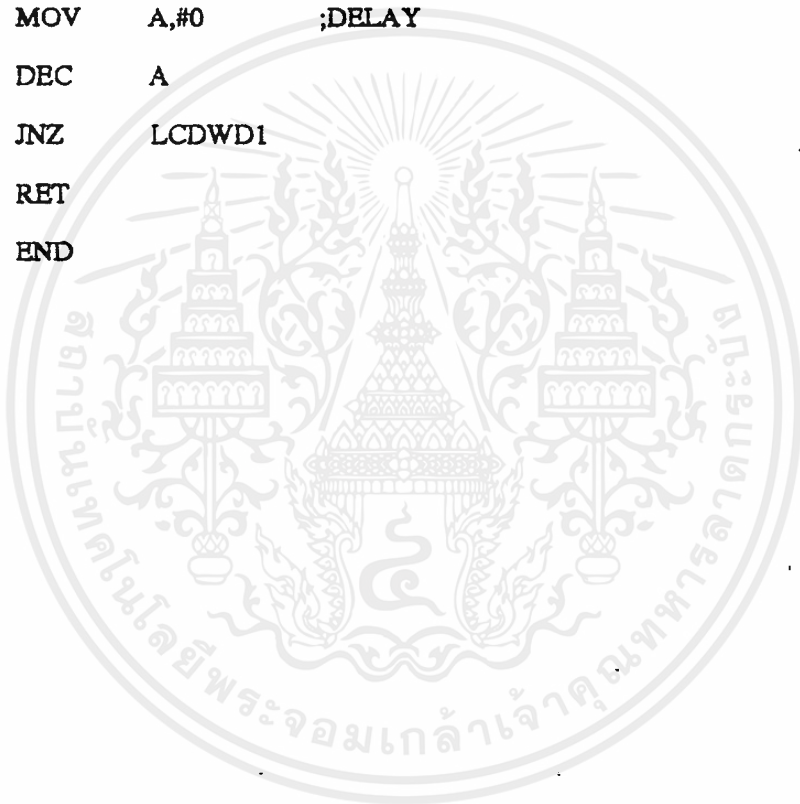
```
; REG = A,DPTR
```

```
LCDWD:  MOV  DPTR,#PORTA  ;DATA TO PORTA
        MOVX @DPTR,A
        MOV  DPTR,#PORTB  ;PORTB READ MODIFY WRITE
        MOVX A,@DPTR
        SETB ACC.0         ;RS=1
        CLR  ACC.1         ;R/W=0
```

```

CLR    ACC.2      ;ENABLE=0
MOVX   @DPTR,A
SETB   ACC.2      ;ENABLE=1
MOVX   @DPTR,A
CLR    ACC.2      ;ENABLE=0
MOVX   @DPTR,A
MOV    A,#0       ;DELAY
LCDWD1: DEC    A
JNZ    LCDWD1
RET
END

```

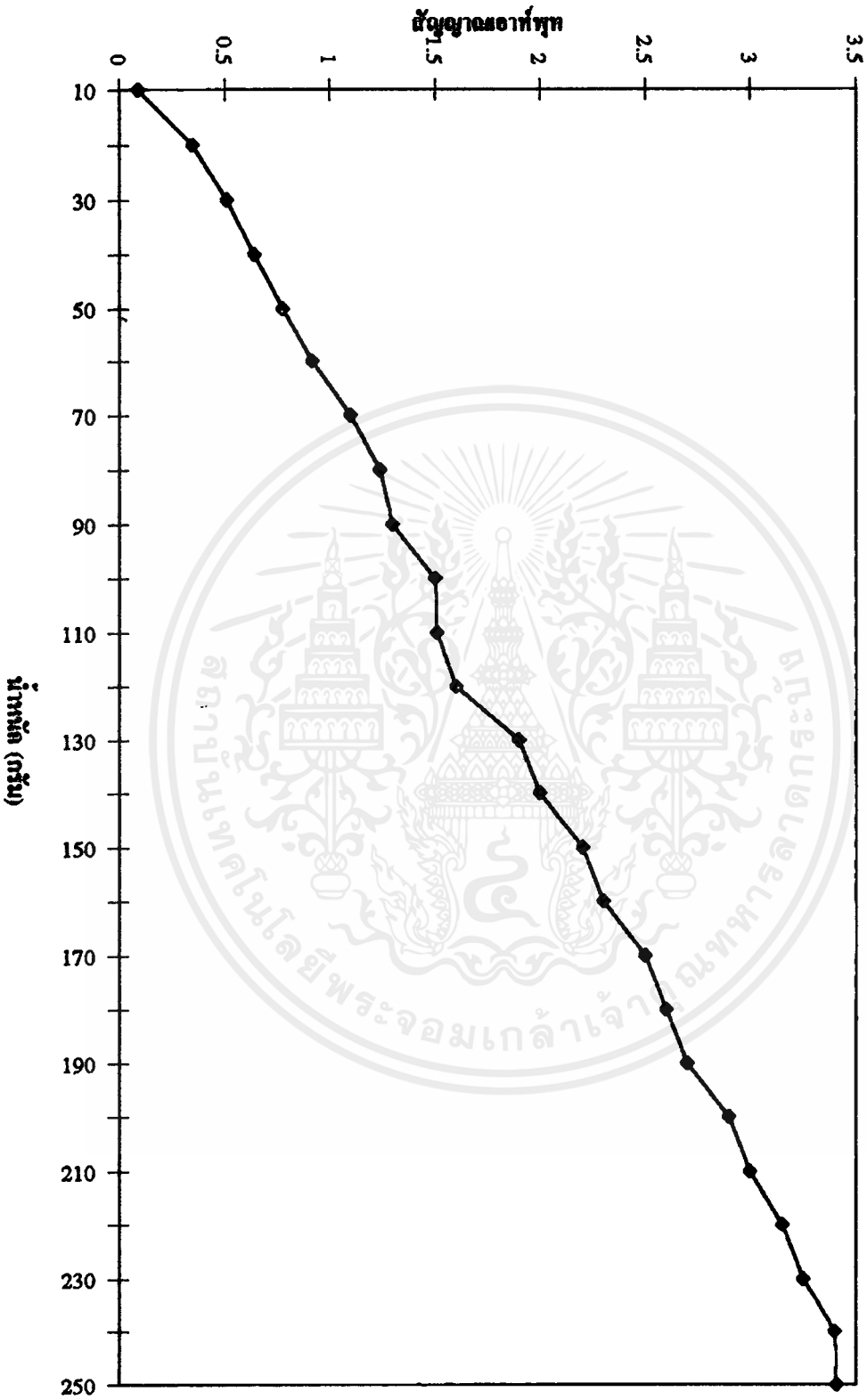


ผลการทดลอง

ผลการทดลองเมื่อวัดสัญญาณที่เอาท์พุทของ อินสตรูเมนต์แอมป์รีไฟเออร์ตามค่าน้ำหนัก  
ต่างๆตามรูปที่ 5.1



รูปที่ 5.1กราฟแสดงความสัมพันธ์ของสัญญาณและค่าน้ำหนักที่ใช้ในงานชอร์ม่อนผ่านวงจรขยายแล้ว



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

## สรุปผลการทดลอง

จากผลการทดลองเราสามารถสรุปได้ว่าประสิทธิภาพของเครื่องชั่งน้ำหนักขึ้นอยู่กับส่วนที่ทำหน้าที่เป็นเซนเซอร์ของวงจรถ้าส่วนที่ทำหน้าที่เป็นเซนเซอร์ดีเนี่ยเราก็จะได้เครื่องชั่งที่มีคุณภาพดี แต่ทั้งนี้ขึ้นอยู่กับส่วนที่ทำหน้าที่เป็นวงจรมอดูลอกทูดิจิตอลต้องเป็นไปตามทฤษฎีด้วยสียบเนื่องจากการทดลองนี้ส่วนที่ทำหน้าที่เป็นวงจรมอดูลอกทูดิจิตอลไม่มีประสิทธิภาพมากเพียงพอจึงทำให้ผลการทดลองไม่เป็นไปตามต้องการเท่าที่ควร

หากมีท่านใดประสงค์ที่จะทำการทดลองหรือพัฒนาต่อไปข้าพเจ้าขอแนะนำให้พัฒนาทางด้านวงจรให้มีประสิทธิภาพมากกว่านี้โดยเฉพาะส่วนที่เป็นวงจรมอดูลอกทูดิจิตอลและวงจรมอนิเตอร์ให้มีเสถียรภาพ ส่วนทางด้านโปรแกรมนั้นสมบูรณ์อยู่แล้ว



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิติกรรมประกาศ

ข้าพเจ้าขอกราบขอบพระคุณ อาจารย์ พลศาสตร์ เลิศประเสริฐ อาจารย์ที่ปรึกษา ที่ได้ให้คำแนะนำตลอดจนการแก้ปัญหาต่างๆที่เกิดขึ้นตลอดการทดลอง รวมทั้งขอบคุณนายชดชาช โทธารศ นายสยาม กันเกตุ นาย เอกสิทธิ์ ที่ให้ความอนุเคราะห์คอมพิวเตอร์ให้การทดลอง โปรแกรมการทำงานของเครื่องชั่งน้ำหนัก รวมทั้งเพื่อนๆ น้องทุกคนที่คอยเป็นกำลังใจในการทดลองครั้งนี้

ท้ายนี้ขอกราบของพระคุณมารดาของข้าพเจ้าที่คอยห่วงใยข้าเจ้าเรื่อยมา  
सानนค์ รักเกื้อ  
13 มีนาคม 2539



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ICL7109 12 Bit Binary A/D Converter for Microprocessor Interfaces

## FEATURES

- 12 bit binary (plus polarity and overrange) dual slope integrating analog-to-digital converter.
- Byte-organized TTL-compatible three-state outputs and UART handshake mode for simple parallel or serial interfacing to microprocessor systems.
- RUN/HOLD input and STATUS output can be used to monitor and control conversion timing.
- True differential input and differential reference.
- Low noise-typically 15µV peak-to-peak.
- 1pA typical input current.
- Operates at up to 30 conversions per second.
- On-chip oscillator operates with inexpensive 3.58MHz TV crystal giving 7.5 conversions per second for 60Hz rejection, or may be operated as an RC oscillator for other clock frequencies.
- Fabricated using MAX-CMOS™ technology combining analog and digital functions on a single low power LSI CMOS chip.
- All inputs fully protected against static discharge; no special handling precautions necessary.

## GENERAL DESCRIPTION

The ICL7109 is a high performance, low power integrating A/D converter designed to easily interface to microprocessors.

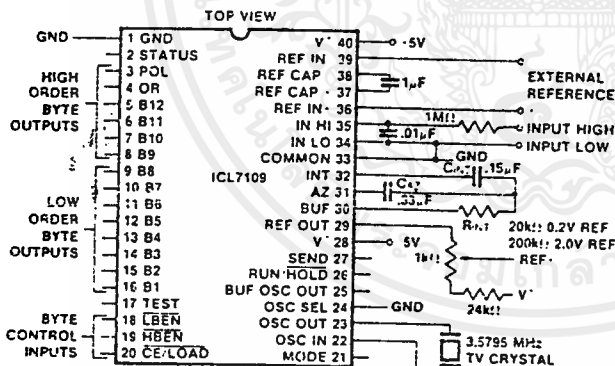
The output data (12 bits, polarity and overrange) may be directly accessed under control of two byte enable inputs and a chip select input for a simple parallel bus interface. A UART handshake mode is provided which allows the ICL7109 to work with industry-standard UARTs to provide serial data transmission, ideal for remote data logging applications. The RUN/HOLD input and STATUS output allow monitoring and control of conversion timing.

The ICL7109 provides the user the high accuracy, low noise, low drift, versatility and economy of the dual-slope integrating A/D converter. Features like true differential input and reference, zero drift of less than 1µV/°C max., input bias current of 10pA max., and typical power consumption of 20mW make the ICL7109 an attractive per-channel alternative to analog multiplexing for many data acquisition applications.

Note: A MIL-STD (863 processing) version of the ICL7109 will be available July 1979.

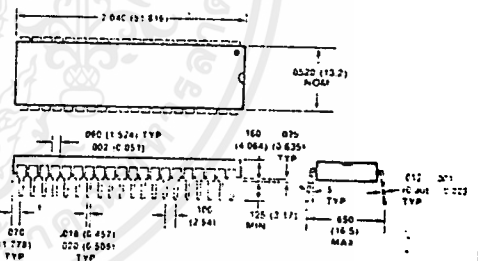
## PIN CONFIGURATION AND TEST CIRCUIT:

See Figure 1 for typical connection to a UART or Microcomputer

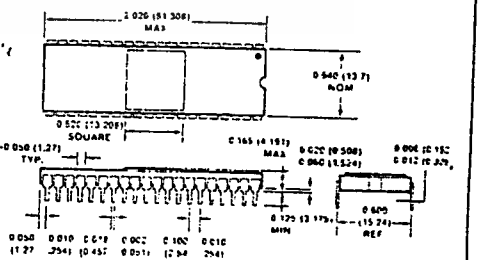


## PACKAGE DIMENSIONS

### 40 Pin Plastic Dual-in-Line Package



### 40 Pin Ceramic Dual-in-Line Package



## ORDERING INFORMATION

Part	Package	Temp. Range	Order Part #
7109	40 pin ceramic DIP	25° C to -85° C	ICL7109IDL
7109	40 pin plastic DIP	0° C to -70° C	ICL7109CPL

ABSOLUTE MAXIMUM RATINGS

Positive Supply Voltage (GND to V <sup>+</sup> )	-6.2V
Negative Supply Voltage (GND to V <sup>-</sup> )	-9V
Analog Input Voltage (Lo or Hi) (Note 1)	V <sup>-</sup> to V <sup>+</sup>
Reference Input Voltage (Lo or Hi) (Note 1)	V <sup>-</sup> to V <sup>+</sup>
Digital Input Voltage (Pins 2-27) (Note 2)	V <sup>+</sup> + 0.3V GND - 0.3V
Power Dissipation (Note 3)	
Ceramic or Cerdip Package	1W @ 85°C
Plastic Package	500mW @ 70°C
Operating Temperature	
Ceramic or Cerdip Package	25°C ≤ T <sub>A</sub> ≤ 85°C
Plastic Package	0°C ≤ T <sub>A</sub> ≤ 70°C
Storage Temperature	55°C ≤ T <sub>A</sub> ≤ 125°C
Lead Temperature (soldering, 60 sec)	300°C

Absolute maximum ratings define stress limitations which if exceeded may permanently damage the device. These ratings are not continuous duty ratings. For continuous operation these devices must be operated under the conditions defined under "Operating Characteristics."

TABLE I OPERATING CHARACTERISTICS

All parameters with V<sup>+</sup> = +5V, V<sup>-</sup> = 5V GND, 0V T<sub>A</sub> = 25°C, unless otherwise indicated.  
Test circuit as shown on page 1.

ANALOG SECTION

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Zero Input Reading		V <sub>IN</sub> = 0.0V Full scale = 409.6mV	0000 <sub>8</sub>	±0000 <sub>8</sub>	+0000 <sub>8</sub>	Octal Reading
Ratiometric Reading		V <sub>IN</sub> = V <sub>REF</sub> V <sub>REF</sub> = 204.8mV	3777 <sub>8</sub>	3777 <sub>8</sub> 4000 <sub>8</sub>	4000 <sub>8</sub>	Octal Reading
Non-Linearity (Max deviation from best straight line fit)		Full scale = 409.6mV or 4.096V	-1	±.2	+1	Counts
Roll-over Error (difference in reading for equal pos. and neg. inputs near full scale.			-1	±.2	-1	Counts
Common Mode Rejection Ratio		V <sub>CM</sub> = 1V V <sub>IN</sub> = 0V Full Scale = 409.6mV		50		μV/V
Noise (p-p value not exceeded 95% of time)		V <sub>IN</sub> = 0V Full Scale = 409.6mV		15		μV
Leakage Current at Input		V <sub>IN</sub> = 0V		1	10	pA
Zero Reading Drift		V <sub>IN</sub> = 0V		0.2	1	μV/°C
Scale Factor Temperature Coefficient		V <sub>IN</sub> = 408.9mV => 7770 <sub>8</sub> reading Ext. Ref. 0 ppm/°C		1	5	ppm/°C
Supply Current V <sup>+</sup> to GND	I <sub>DL</sub>	V <sub>IN</sub> = 0, Crystal Osc. 3.58MHz test circuit		700	1500	μA
Supply Current V <sup>+</sup> to V <sup>-</sup>	I <sub>DA</sub>	Pins 2-21, 25, 26, 27, 29, open		700	1500	μA
Ref Out Voltage		Referred to V <sup>+</sup> , 25kΩ between V <sup>+</sup> and REF OUT	-2.4	-2.8	-3.2	V
Ref Out Temp. Coefficient		25kΩ between V <sup>+</sup> and REF OUT		80		ppm/°C

4

ICL7109

DIGITAL SECTION

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output High Voltage	V <sub>OH</sub>	I <sub>OUT</sub> = 100µA Pins 2-16, 18, 19, 20	3.5	4.3		V
Output Low Voltage	V <sub>OL</sub>	I <sub>OUT</sub> = 1.6mA		0.2	0.4	V
Output Leakage Current		Pins 3-16 high impedance		±0.01	±1	µA
Control I/O Pullup Current		Pins 18, 19, 20 V <sub>OUT</sub> = V <sub>+</sub> -3V MODE input at GND		5		µA
Control I/O Loading		HBEN Pin 19 LBEN Pin 18			50	pF
Input High Voltage	V <sub>IH</sub>	Pins 18-21, 26, 27 referred to GND	2.5			V
Input Low Voltage	V <sub>IL</sub>	Pins 18-21, 26, 27 referred to GND			1	V
Input Pull-up Current		Pins 26, 27 V <sub>OUT</sub> = V <sub>+</sub> -3V		5		µA
Input Pull-up Current		Pins 17, 24 V <sub>OUT</sub> = V <sub>+</sub> -3V		25		µA
Input Pull-down Current		Pin 21 V <sub>OUT</sub> = GND +3V		5		µA
Oscillator Output Current	High	O <sub>OH</sub> V <sub>OUT</sub> = 2.5V		1		mA
	Low	O <sub>OL</sub> V <sub>OUT</sub> = 2.5V		1.5		mA
Buffered Oscillator Output Current	High	B <sub>OH</sub> V <sub>OUT</sub> = 2.5V		2		mA
	Low	B <sub>OL</sub> V <sub>OUT</sub> = 2.5V		5		mA
MODE Input Pulse Width			50			ns

Note 1: Input voltages may exceed the supply voltages provided the input current is limited to ±100µA

Note 2: Due to the SCR structure inherent in the process used to fabricate these devices, connecting any digital inputs or outputs to voltages greater than V<sub>+</sub> or less than GND may cause destructive device latchup. For this reason it is recommended that no inputs from sources not on the same power supply be applied to the ICL7109 before its power supply is established, and that in multiple supply systems the supply to the ICL7109 be activated first.

Note 3: This limit refers to that of the package and will not be obtained during normal operation.

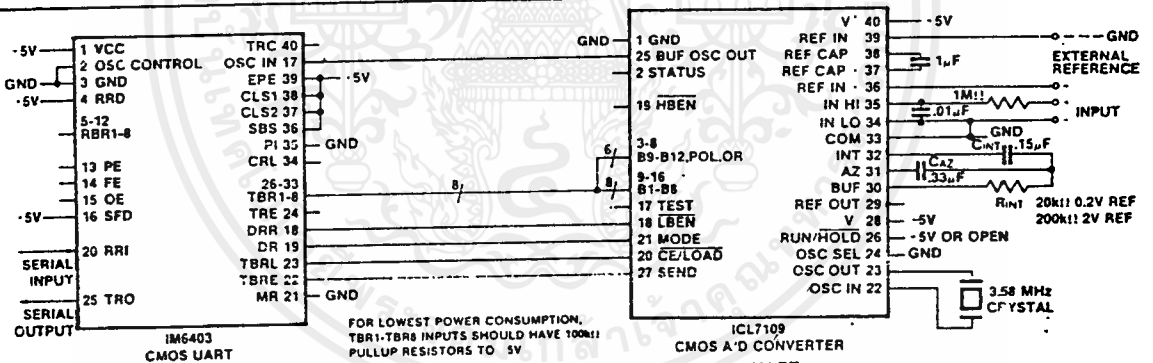


Figure 1A. To transmit latest result, send any word to UART.

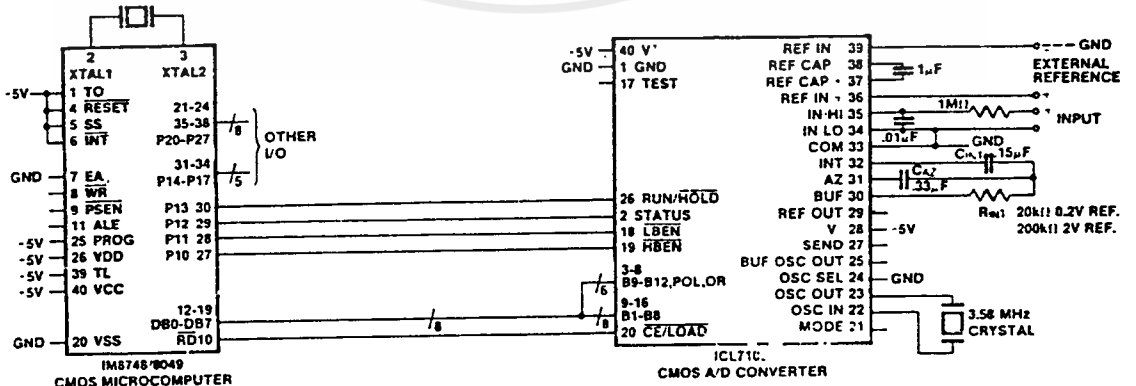


Figure 1B. Typical Connection Diagram Parallel Interface With 8748/8048 Microcomputer

TABLE 2 - Pin Assignment and Function Description

PIN	SYMBOL	DESCRIPTION
	GND	Digital Ground, 0V Ground return for all digital logic
	STATUS	Output - High during integrate and deintegrate until data is latched. - Low when analog section is in Auto-Zero configuration
	POL	Polarity, Three-State Output
	OR	Over-range, Three-State Output
	B12	Bit 12 (Most Significant Bit)
	B11	Bit 11
	B10	Bit 10
	B9	Bit 9
	B8	Bit 8
	B7	Bit 7
	B6	Bit 6
	B5	Bit 5
	B4	Bit 4
	B3	Bit 3
	B2	Bit 2
	B1	Bit 1 (Least Significant Bit)
	TEST	Input High - Normal Operation Input Low - Forces all bit outputs high Note: This input is used for test purposes only.
	LBEN	Low Byte Enable - With Mode (Pin 21) low, and CE LOAD (Pin 20) low, taking this pin low activates low order byte outputs B1-B5.  - With Mode (Pin 21) high, this pin serves as a low byte flag output used in handshake mode. See Figures 7, 8, 9.
	HBEN	High Byte Enable - With Mode (Pin 21) low, and CE LOAD (Pin 20) low, taking this pin low activates high order byte outputs B6-B12, POL, OR.  - With Mode (Pin 21) high, this pin serves as a high byte flag output used in handshake mode. See Figures 7, 8, 9.
	CE LOAD	Chip Enable Load - With Mode (Pin 21) low, CE LOAD serves as a master output enable. When high, B1-B12, POL, OR outputs are disabled.  - With Mode (Pin 21) high, this pin serves as a load strobe used in handshake mode. See Figures 7, 8, 9.

PIN	SYMBOL	DESCRIPTION
21	MODE	Input Low - Direct output mode where CE LOAD (Pin 20), HBEN (Pin 19), and LBEN (Pin 18) act as inputs directly controlling byte outputs. Input Pulsed High - Causes immediate entry into handshake mode and output of data as in Figure 9. Input High - Enables CE LOAD (Pin 20), HBEN (Pin 19), and LBEN (Pin 18) as outputs, handshake mode will be entered and data output as in Figures 7 and 8 at conversion completion
22	OSC IN	Oscillator Input
23	OSC OUT	Oscillator Output
24	OSC SEL	Oscillator Select - Input high configures OSC IN, OSC OUT, BUF OSC OUT as RC oscillator - clock will be same phase and duty cycle as BUF OSC OUT. - Input low configures OSC IN, OSC OUT for crystal oscillator - clock frequency will be 1.58 of frequency at BUF OSC OUT
25	BUF OSC OUT	Buffered Oscillator Output
26	RUN HOLD	Input High - Conversions continuously performed every 8192 clock pulses Input Low - Conversion in progress completed, converter will stop in Auto-Zero 7 counts before integrate.
27	SEND	Input - Used in handshake mode to indicate ability of an external device to accept data
28	V	Analog Negative Supply - Nominally -5V with respect to GND (Pin 1)
29	REF OUT	Reference Voltage Output - Nominally 2.5V down from V <sup>+</sup> (Pin 40)
30	BUFFER	Buffer Amplifier Output
31	AUTO-ZERO	Auto-Zero Node - Inside loop of CAZ
32	INTEGRATOR	Integrator Output - Outside loop of CAZ
33	COMMON	Analog Common - System is Auto-Zeroed to COMMON
34	INPUT LO	Differential Input Low Side
35	INPUT HI	Differential Input High Side
36	REF IN	Differential Reference Input Positive
37	REF CAP	Reference Capacitor Positive
38	REF CAP	Reference Capacitor Negative
39	REF IN	Differential Reference Input Negative
40	V	Positive Supply Voltage - Nominally +5V with respect to GND (Pin 1)

DETAILED DESCRIPTION

Analog Section

Figure 2 shows the equivalent circuit of the Analog Section of the ICL7109. When the RUN/HOLD input is left open or connected to V<sup>+</sup>, the circuit will perform conversions at a rate determined by the clock frequency (8192 clock periods per cycle). Each measurement cycle is divided into three phases as shown in Figure 3. They are (1) Auto-Zero (AZ), (2) Signal Integrate (INT) and (3) Deintegrate (DE).

1. Auto-Zero Phase

During auto-zero three things happen. First, input high and low are disconnected from their pins and internally shorted to analog common. Second, the reference capacitor is charged to the reference voltage. Third, a feedback loop is closed around the system to charge the auto-

zero capacitor CAZ to compensate for offset voltages in the buffer amplifier, integrator, and comparator. Since the comparator is included in the loop, the AZ accuracy is limited only by the noise of the system. In any case, the offset referred to the input is less than 10µV.

2. Signal Integrate Phase

During signal integrate the auto-zero loop is opened, the internal short is removed and the internal input high and low are connected to the external pins. The converter then integrates the differential voltage between input high and input low for a fixed time of 2048 clock periods. At the end of this phase, the polarity of the integrated signal is determined.

200 → 600 100

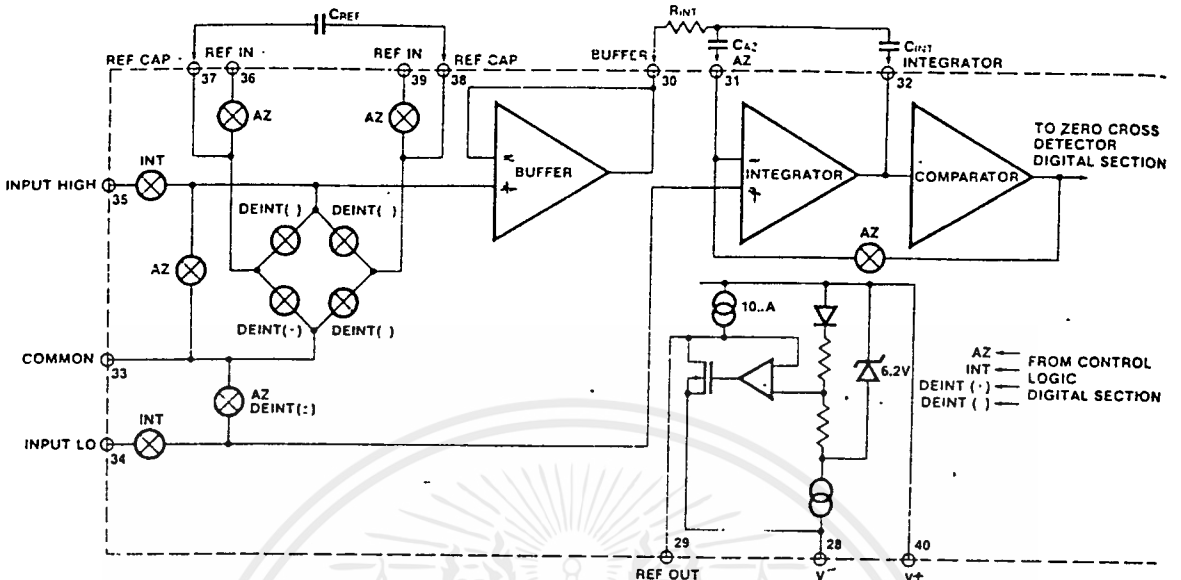


Figure 2: Analog Section

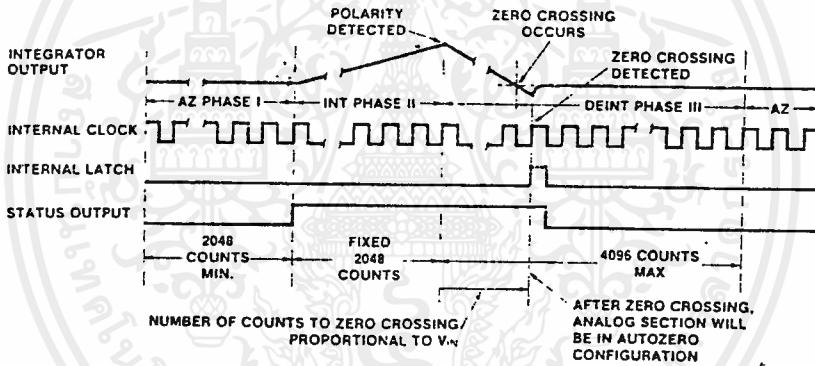


Figure 3: Conversion Timing

3. Deintegrate Phase

The final phase is deintegrate, or reference integrate. Input low is internally connected to analog common and input high is connected across the previously charged (during auto-zero) reference capacitor. Circuitry within the chip ensures that the capacitor will be connected with the correct polarity to cause the integrator output to return to the zero crossing (established in Auto Zero) with a fixed slope. Thus the time for the output to return to zero (represented by the number of clock periods counted) is proportional to the input signal.

Differential Input

The input can accept differential voltages anywhere within the common mode range of the input amplifier; or specifically from 0.5 volts below the positive supply to 1.0 volt above the negative supply. In this range the system has a CMRR of 86dB typical. However, since the integrator also swings with the common mode voltage, care must be exercised to assure the integrator output does not saturate. A worst case condition would be a large positive common mode voltage with a near full-scale negative differential input voltage. The negative input signal drives the integrator

positive when most of its swing has been used up by the positive common mode voltage. For these critical applications the integrator swing can be reduced to less than the recommended 4V full scale with some loss of accuracy. The integrator output can swing within 0.3 volts of either supply without loss of linearity.

The ICL7109 has, however, been optimized for operation with analog common near digital ground. With power supplies of +5V and -5V, this allows a 4V full scale integrator swing positive or negative maximizing the performance of the analog section.

Differential Reference

The reference voltage can be generated anywhere within the power supply voltage of the converter. The main source of common mode error is a roll-over voltage caused by the reference capacitor losing or gaining charge to stray capacity on its nodes. If there is a large common mode voltage, the reference capacitor can gain charge (increase voltage) when called up to deintegrate a positive signal but lose charge (decrease voltage) when called up to deintegrate a negative input signal. This difference in reference for (+) or (-) input voltage will give a roll-over error. However, by

# ICL7109

selecting the reference capacitor large enough in comparison to the stray capacitance, this error can be held to less than 0.5 count for the worst case condition (see Component Values Selection below).

The roll-over error from these sources is minimized by having the reference common mode voltage near or at analog common.

## Component Value Selection

For optimum performance of the analog section, care must be taken in the selection of values for the integrator capacitor and resistor, auto-zero capacitor, reference voltage, and conversion rate. These values must be chosen to suit the particular application.

The most important consideration is that the integrator output swing (for full-scale input) be as large as possible. For example, with  $\pm 5V$  supplies and COMMON connected to GND, the nominal integrator output swing at full scale is  $\pm 4V$ . Since the integrator output can go to 0.3V from either supply without significantly affecting linearity, a 4V integrator output swing allows 0.7V for variations in output swing due to component value and oscillator tolerances. With  $\pm 5V$  supplies and a common mode range of  $\pm 1V$  required, the component values should be selected to provide  $\pm 3V$  integrator output swing. Noise and rollover errors will be slightly worse than in the  $\pm 4V$  case. For larger common mode voltage ranges, the integrator output swing must be reduced further. This will increase both noise and rollover errors. To improve the performance, supplies of  $\pm 6V$  may be used.

### 1. Integrating Resistor

Both the buffer amplifier and the integrator have a class A output stage with  $100\mu A$  of quiescent current. They supply  $20\mu A$  of drive current with negligible non-linearity. The integrating resistor should be large enough to remain in this very linear region over the input voltage range, but small enough that undue leakage requirements are not placed on the PC board. For 4.096 volt full scale,  $200k\Omega$  is near optimum and similarly a  $20k\Omega$  for a 409.6mV scale. For other values of full scale voltage,  $R_{INT}$  should be chosen by the relation  $R_{INT} = \frac{\text{full scale voltage}}{20\mu A}$

### 2. Integrating Capacitor

The integrating capacitor  $C_{INT}$  should be selected to give the maximum integrator output voltage swing without saturating the integrator (approximately 0.3 volt from either supply). For the ICL7109 with  $\pm 5$  volt supplies and analog common connected to GND, a  $\pm 3.5$  to  $\pm 4$  volt integrator output swing is nominal. For 7-1/2 conversions per second (61.72KHz clock frequency) as provided by the crystal oscillator, nominal values for  $C_{INT}$  and  $C_{AZ}$  are  $0.15\mu F$  and  $0.33\mu F$ , respectively. If different clock frequencies are used, these values should be changed to maintain the integrator output voltage swing. In general, the value of  $C_{INT}$  is given by

$$C_{INT} = \frac{(2048 \times \text{clock period}) (20\mu A)}{\text{integrator output voltage swing}}$$

An additional requirement of the integrating capacitor is that it have low dielectric absorption to prevent roll-over errors. While other types of capacitors are adequate for this application, polypropylene capacitors give undetectable errors at reasonable cost.

### 3. Auto-Zero Capacitor

The size of the auto-zero capacitor has some influence on the noise of the system; a big capacitor, giving less noise. However, it cannot be increased without limits since it, in parallel with the integrating capacitor forms an R-C time constant that determines the speed of recovery from overloads and more important the error that exists at the end of an auto-zero cycle. For 409.6mV full scale where noise is very important and the integrating resistor small, a value of  $C_{AZ}$  twice  $C_{INT}$  is optimum. Similarly for 4.096V full scale where recovery is more important than noise, a value of  $C_{AZ}$  equal to half of  $C_{INT}$  is recommended.

For optimal rejection of stray pickup, the outer foil of  $C_{AZ}$  should be connected to the R-C summing junction and the inner foil to pin 31. Similarly the outer foil of  $C_{INT}$  should be connected to pin 32 and the inner foil to the R-C summing junction.

### 4. Reference Capacitor

A  $1\mu F$  capacitor gives good results in most applications. However, where a large common mode voltage exists (i.e. the reference low is not at analog common) and a 409.6mV scale is used, a larger value is required to prevent roll-over error. Generally  $10\mu F$  will hold the roll-over error to 0.5 count in this instance.

### 5. Reference Voltage

The analog input required to generate a full scale output of 4096 counts is  $V_{IN} = 2V_{REF}$ . Thus for a normalized scale, a reference of 2.048V should be used for a 4.096V full scale, and 204.8mV should be used for a 0.4096V full scale. However, in many applications where the A/D is sensing the output of a transducer, there will exist a scale factor other than unity between the absolute output voltage to be measured and a desired digital output. For instance, in a weighing system, the designer might like to have a full scale reading when the voltage from the transducer is 0.682V. Instead of dividing the input down to 409.6mV, the input voltage should be measured directly and a reference voltage of 0.341V should be used. Suitable values for integrating resistor and capacitor are  $34k\Omega$  and  $0.15\mu F$ . This avoids a divider on the input. Another advantage of this system occurs when a zero reading is desired for non-zero input. Temperature and weight measurements with an offset or tare are examples. The offset may be introduced by connecting the voltage output of the transducer between common and analog high, and the offset voltage between common and analog low, observing polarities carefully. However, in processor-based systems using the ICL7109, it may be more efficient to perform this type of scaling or tare subtraction digitally using software.

### 6. Reference Sources

The stability of the reference voltage is a major factor in the overall absolute accuracy of the converter. The resolution of the ICL7109 at 12 bits is one part in 4096, or 244ppm. Thus if the reference has a temperature coefficient of 80ppm/ $^{\circ}C$  (onboard reference) a temperature difference of  $3^{\circ}C$  will introduce a one-bit absolute error. For this reason, it is recommended that an external high-ohmic reference be used where the ambient temperature is not controlled or where high-accuracy absolute measurements are being made.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The ICL7109 provides a Reference Output (pin 29) which may be used with a resistive divider to generate a suitable reference voltage. This output will sink up to about 20mA without significant variation in output voltage, and is provided with a pullup bias device which sources about 10µA. The output voltage is nominally 2.8V below V<sup>-</sup>, and has a temperature coefficient of ±80ppm/°C typ. When using the onboard reference, Ref Out (Pin 29) should be connected to Ref - (pin 39), and Ref+ should be connected to the wiper of a precision potentiometer between Ref Out and V<sup>-</sup>. The circuit for a 2.048mV reference is shown in the test circuit. For a 2.048V reference, the fixed resistor should be removed, and a 25k(±) precision potentiometer between Ref Out and V<sup>-</sup> should be used.

**DETAILED DESCRIPTION**

**Digital Section**

The digital section includes the clock oscillator and scaling circuit, a 12-bit binary counter with output latches and TTL-compatible three-state output drivers, polarity-over-range and control logic, and UART handshake logic, as shown in the Block Diagram Figure 4.

Throughout this description, logic levels will be referred to as "low" or "high". The actual logic levels are defined in Table 1 "Operating Characteristics". For minimum power consumption, all inputs should swing from GND (low) to V<sup>+</sup> (high). Inputs driven from TTL gates should have 3-5k(±) pullup resistors added for maximum noise immunity.

**MODE Input**

The MODE input is used to control the output mode of the converter. When the MODE pin is connected to GND or left open (this input is provided with a pulldown resistor to ensure a low level when the pin is left open), the converter is in its "Direct" output mode, where the output data is directly accessible under the control of the chip and byte enable

inputs. When the MODE input is pulsed high, the converter enters the UART handshake mode and outputs the data in two bytes, then returns to "direct" mode. When the MODE input is left high, the converter will output data in the handshake mode at the end of every conversion cycle. (See section entitled "Handshake Mode" for further details).

**STATUS Output**

During a conversion cycle, the STATUS output goes high at the beginning of Signal Integrate (Phase II), and goes low one-half clock period after new data from the conversion has been stored in the output latches. See Figure 3 for details of this timing. This signal may be used as a "data valid" flag (data never changes while STATUS is low) to drive interrupts, or for monitoring the status of the converter.

**RUN/HOLD Input**

When the RUN/HOLD input is connected to V<sup>+</sup> or left open (this input has a pullup resistor to ensure a high level when the pin is left open), the circuit will continuously perform conversion cycles, updating the output latches at the end of every Deintegrate (Phase III) portion of the conversion cycle (See Figure 3). In this mode of operation, the conversion cycle will be performed in 8192 clock periods, regardless of the resulting value.

If the RUN/HOLD input goes low (and stays there) during Integrate (Phase II) or Deintegrate (Phase III) before the zero crossing is detected, the converter will complete the conversion in progress, update the output latches, and then terminate Phase III, jumping to Auto-Zero (Phase I). If RUN/HOLD stays low, the converter will ensure a minimum Auto-Zero time, and wait in Auto-Zero until the RUN/HOLD input goes high. The converter will begin the Integrate (Phase II) portion of the next conversion (and the STATUS output will go high) seven clock periods after the high level is detected at RUN/HOLD. See Figure 5 for details.

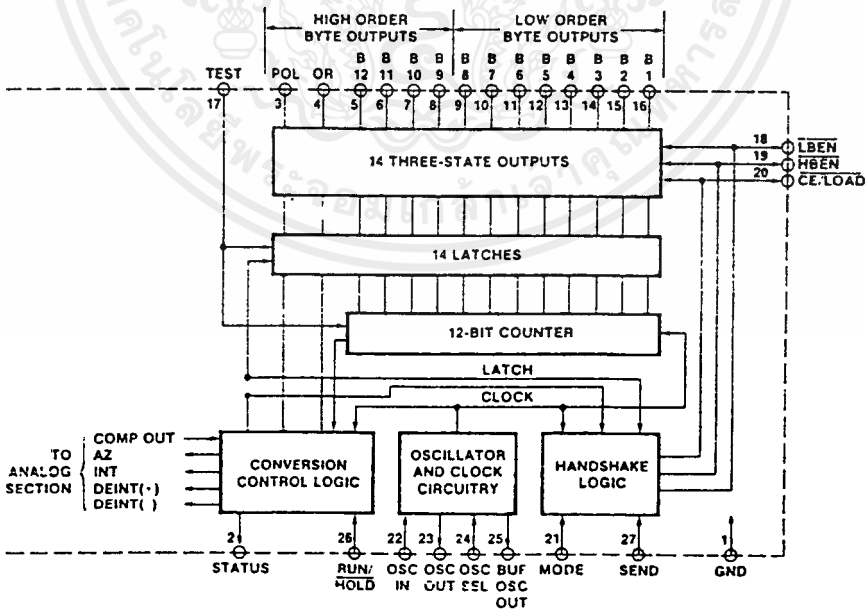


Figure 4: Digital Section

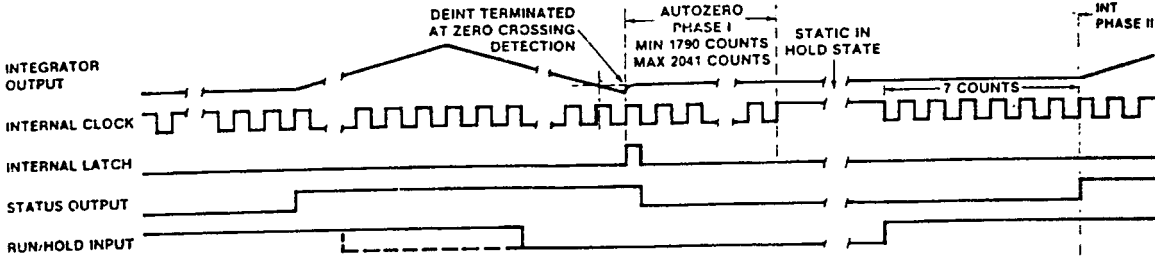


Figure 5: Run/Hold Operation

Using the RUN/HOLD input in this manner allows an easy "convert on demand" interface to be used. The converter may be held at idle in auto-zero with RUN/HOLD low. When RUN/HOLD goes high the conversion is started, and when the STATUS output goes low the new data is valid (or transferred to the UART - see Handshake Mode). RUN/HOLD may now go low terminating Deintegrate and ensuring a minimum Auto-Zero time before stopping to wait for the next conversion. If RUN/HOLD goes low at any time during Deintegrate (Phase III) after the zero crossing has occurred, the circuit will immediately terminate Deintegrate and jump to Auto-Zero. This feature can be used to "short-cycle" the converter by eliminating the time spent in Deintegrate after the zero crossing. The required activity on the RUN/HOLD input can be provided by connecting it to the Buffered Oscillator Output. In this mode the conversion time is dependent on the input value measured. Also refer to Intersil Application Bulletin A030 for a discussion of the effects this will have on Auto-Zero performance.

If the RUN/HOLD input goes low and stays low during Auto-Zero (Phase I), the converter will simply stop at the end of Auto-Zero and wait for RUN/HOLD to go high. As above, Integrate (Phase II) begins seven clock periods after the high level is detected.

**Direct Mode**

When the MODE pin is left at a low level, the data outputs (bits 1 through 8 low order byte, bits 9 through 12, polarity and over-range high order byte) are accessible under control of the byte and chip enable terminals as inputs. These three inputs are all active low, and are provided with pullup resistors to ensure an inactive high level when left open. When the chip enable input is low, taking a byte enable input low will allow the outputs of that byte to become active (three-stated on). This allows a variety of parallel data accessing techniques to be used, as shown in the section entitled "Interfacing." The timing requirements for these outputs are shown in Figure 6 and Table 3.

Table 3 - Direct Mode Timing Requirements

SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
tBEA	Byte Enable Width	200	500		ns
tOAB	Data Access Time from Byte Enable		150	300	ns
tOHB	Data Hold Time from Byte Enable		150	300	ns
tCEA	Chip Enable Width	300	500		ns
tDAC	Data Access Time from Chip Enable		200	400	ns
tDHC	Data Hold Time from Chip Enable		200	400	ns

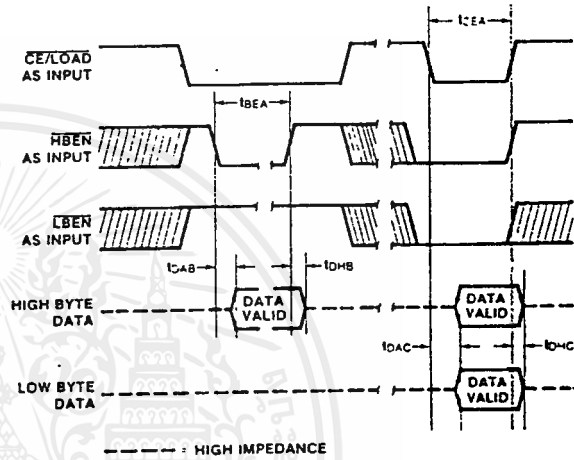


Figure 6: Direct Mode Output Timing

It should be noted that these control inputs are asynchronous with respect to the converter clock - the data may be accessed at any time. Thus it is possible to access the data while it is being updated, which could lead to scrambled data. Synchronizing the access of data with the conversion cycle by monitoring the STATUS output will prevent this. Data is never updated while STATUS is low.

**Handshake Mode**

The handshake output mode is provided as an alternative means of interfacing the ICL7109 to digital systems, where the A/D converter becomes active in controlling the flow of data instead of passively responding to chip and byte enable inputs. This mode is specifically designed to allow a direct interface between the ICL7109 and industry-standard UARTs (such as the Intersil CMOS UARTs, IM6402/3) with no external logic required. When triggered into the handshake mode, the ICL7109 provides all the control and flag signals necessary to sequence the two bytes of data into the UART and initiate their transmission in serial form. This greatly eases the task and reduces the cost of designing remote data acquisition stations using serial data transmission to minimize the number of lines to the central controlling processor.

Entry into the handshake mode is controlled by the MODE pin. When the MODE terminal is held high, the ICL7109 will enter the handshake mode after new data has been stored in the output latches at the end of every conversion performed (See Figures 7 and 8). The MODE terminal may also be used to trigger entry into the handshake mode on demand. At any time during the conversion cycle, the low to high transition of a short pulse at the MODE input will cause immediate entry

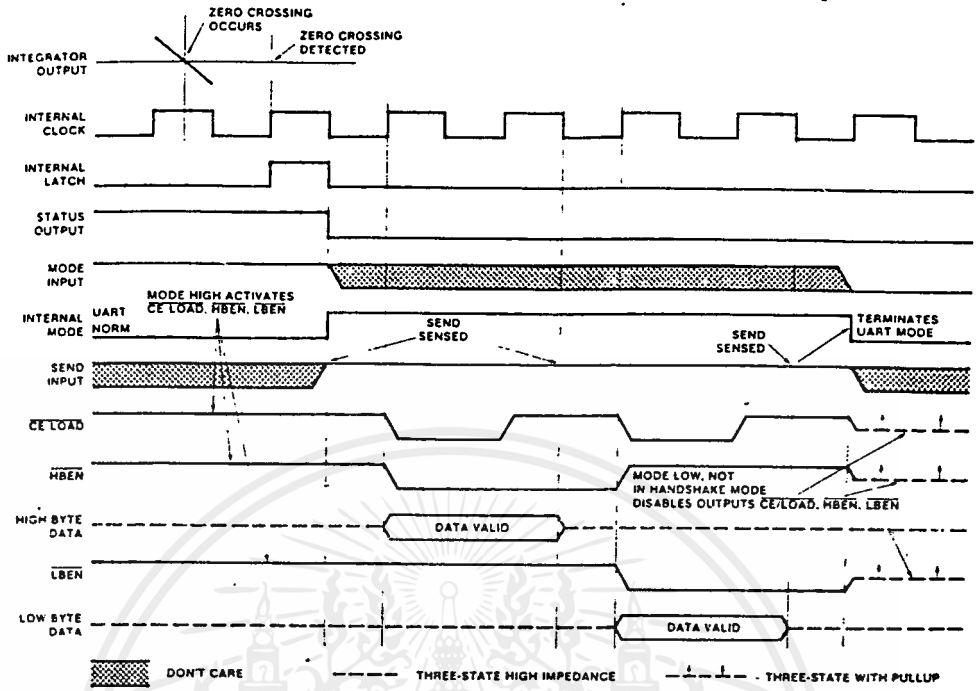


Figure 7: Handshake With Send Held Positive

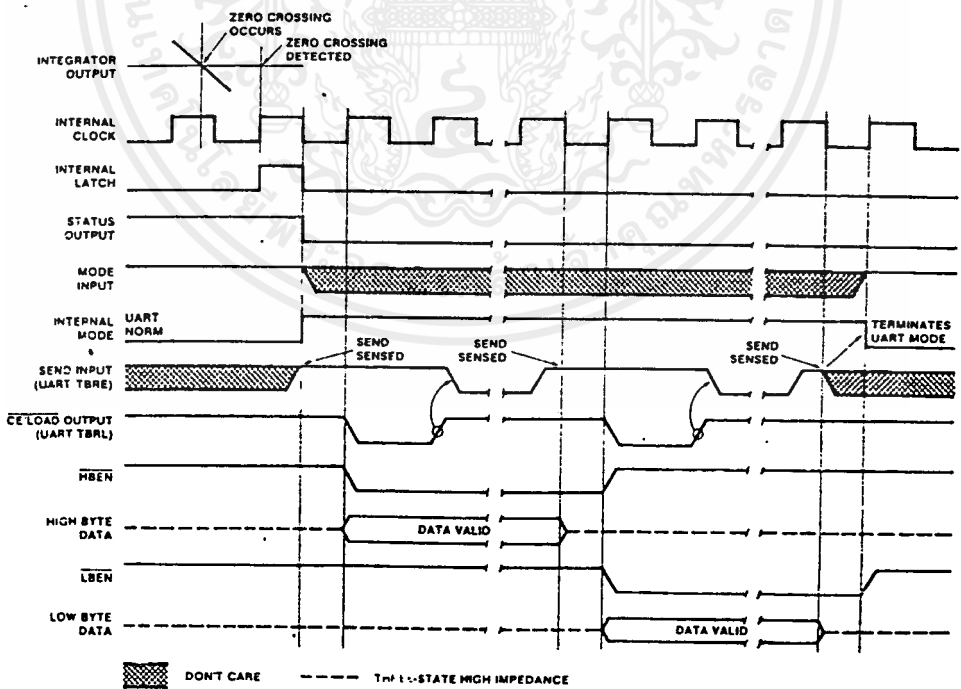


Figure 8: Handshake - Typical UART Interface Timing

into the handshake mode. If this pulse occurs while new data is being stored, the entry into handshake mode is delayed until the data is stable. While the converter is in the handshake mode, the MODE input is ignored, and although conversions will still be performed, data updating will be inhibited (See Figure 9) until the converter completes the output cycle and clears the handshake mode.

When the converter enters the handshake mode, or when the MODE input is high, the chip and byte enable terminals become TTL-compatible outputs which provide the control signals for the output cycle (See Figures 7, 8, and 9).

In handshake mode, the SEND input is used by the converter as an indication of the ability of the receiving device (such as a UART) to accept data.

Figure 7 shows the sequence of the output cycle with SEND held high. The handshake mode (Internal MODE high) is entered after the data latch pulse (since MODE remains high the CE/LOAD, LBEN and HBEN terminals are active as outputs). The high level at the SEND input is sensed on the same high to low internal clock edge. On the next low to high internal clock edge, the CE/LOAD and the HBEN outputs assume a low level, and the high-order byte (bits 9 through 12, POL, and OR) outputs are enabled. The CE/LOAD output remains low for one full internal clock period only, the data outputs remain active for 1-1/2 internal clock periods, and the high byte enable remains low for two clock periods. Thus the CE/LOAD output low level or low to high edge may be used as a synchronizing signal to ensure valid data, and the

byte enable as an output may be used as a byte identification flag. With SEND remaining high the converter completes the output cycle using CE/LOAD and LBEN while the low order byte outputs (bits 1 through 8) are activated. The handshake mode is terminated when both bytes are sent.

Figure 8 shows an output sequence where the SEND input is used to delay portions of the sequence, or handshake to ensure correct data transfer. This timing diagram shows the relationships that occur using an industry-standard IM6402/3 CMOS UART to interface to serial data channels. In this interface, the SEND input to the ICL7109 is driven by the TBRE (Transmitter Buffer Register Empty) output of the UART, and the CE/LOAD terminal of the ICL7109 drives the TBRL (Transmitter Buffer Register Load) input to the UART. The data outputs are paralleled into the eight Transmitter Buffer Register inputs.

Assuming the UART Transmitter Buffer Register is empty, the SEND input will be high when the handshake mode is entered after new data is stored. The CE/LOAD and HBEN terminals will go low after SEND is sensed, and the high order byte outputs become active. When CE/LOAD goes high at the end of one clock period, the high order byte data is clocked into the UART Transmitter Buffer Register. The UART TBRE output will now go low, which halts the output cycle with the HBEN output low, and the high order byte outputs active. When the UART has transferred the data to the Transmitter Register and cleared the Transmitter Buffer Register, the TBRE returns high. On the next ICL7109

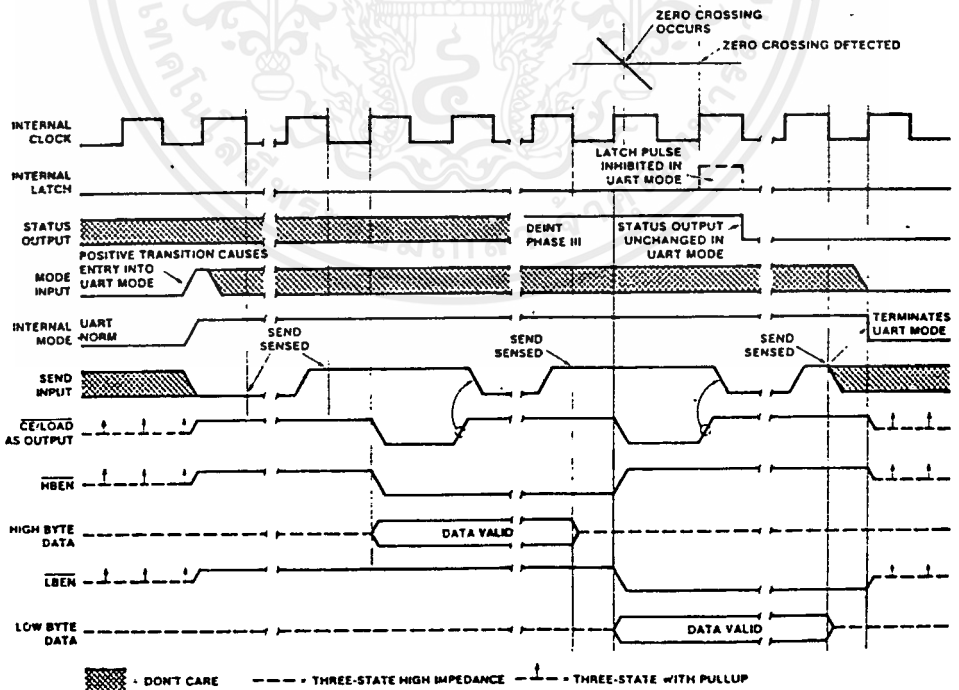


Figure 9: Handshake Triggered By Mode

# ICL7109

internal clock high to low edge, the high order byte outputs are disabled, and one-half internal clock later, the  $\overline{\text{HBEN}}$  output returns high. At the same time, the  $\overline{\text{CE/LOAD}}$  and  $\overline{\text{LBEN}}$  outputs go low, and the low order byte outputs become active. Similarly, when the  $\overline{\text{CE/LOAD}}$  returns high at the end of one clock period, the low order data is clocked into the UART Transmitter Buffer Register, and  $\overline{\text{TBRE}}$  again goes low. When  $\overline{\text{TBRE}}$  returns to a high it will be sensed on the next ICL7109 internal clock high to low edge, disabling the data outputs. One-half internal clock later, the handshake mode will be cleared, and the  $\overline{\text{CE/LOAD}}$ ,  $\overline{\text{HBEN}}$ , and  $\overline{\text{LBEN}}$  terminals return high and stay active as long as  $\overline{\text{MODE}}$  stays high.

With the  $\overline{\text{MODE}}$  input remaining high as in these examples, the converter will output the results of every conversion except those completed during a handshake operation. By triggering the converter into handshake mode with a low to high edge on the  $\overline{\text{MODE}}$  input, handshake output sequences may be performed on demand. Figure 9 shows a handshake output sequence triggered by such an edge. In addition, the  $\overline{\text{SEND}}$  input is shown as being low when the converter enters handshake mode. In this case, the whole output sequence is controlled by the  $\overline{\text{SEND}}$  input, and the sequence for the first 'high order' byte is similar to the sequence for the second byte. This diagram also shows the output sequence taking longer than a conversion cycle. Note that the converter still makes conversions, with the  $\overline{\text{STATUS}}$  output and  $\overline{\text{RUN/HOLD}}$  input functioning normally. The only difference is that new data will not be latched when in handshake mode, and is therefore lost.

### Oscillator

The ICL7109 is provided with a versatile three terminal oscillator to generate the internal clock. The oscillator may be overdriven, or may be operated as an RC or crystal oscillator. The  $\overline{\text{OSCILLATOR SELECT}}$  input changes the internal configuration of the oscillator to optimize it for RC or crystal operation.

When the  $\overline{\text{OSCILLATOR SELECT}}$  input is high or left open (the input is provided with a pullup resistor), the oscillator is configured for RC operation, and the internal clock will be of the same frequency and phase as the signal at the  $\overline{\text{BUFFERED OSCILLATOR OUTPUT}}$ . The resistor and capacitor should be connected as in Figure 10. The circuit will oscillate at a frequency given by  $f = .45/RC$ . A 100k $\Omega$  resistor is recommended for useful ranges of frequency. For optimum 60Hz line rejection, the capacitor value should be chosen such that 2048 clock periods is close to an integral multiple of the 60Hz period.

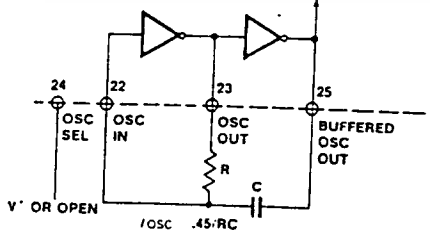


Figure 10: RC Oscillator

When the  $\overline{\text{OSCILLATOR SELECT}}$  input is low a feedback device and output and input capacitors are added to the oscillator. In this configuration, as shown in Figure 11, the

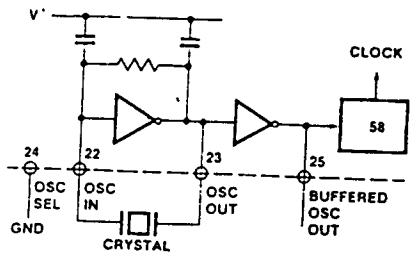


Figure 11: Crystal Oscillator

oscillator will operate with most crystals in the 1 to 5MHz range with no external components. Taking the  $\overline{\text{OSCILLATOR SELECT}}$  input low also inserts a fixed +58 divider circuit between the  $\overline{\text{BUFFERED OSCILLATOR OUTPUT}}$  and the internal clock. Using an inexpensive 3.58MHz TV crystal, this division ratio provides an integration time given by:

$$T = 12048 \text{ clock periods} \times \left( \frac{58}{3.58\text{MHz}} \right) = 33.18\text{ms}$$

This time is very close to two 60Hz periods or 33.33ms. The error is less than one percent, which will give better than 40dB 60Hz rejection. The converter will operate reliably at conversion rates of up to 30 per second, which corresponds to a clock frequency of 245.8kHz.

If at any time the oscillator is to be overdriven, the overdriving signal should be applied at the  $\overline{\text{OSCILLATOR INPUT}}$ , and the  $\overline{\text{OSCILLATOR OUTPUT}}$  should be left open. The internal clock will be of the same frequency, duty cycle, and phase as the input signal when  $\overline{\text{OSCILLATOR SELECT}}$  is left open. When  $\overline{\text{OSCILLATOR SELECT}}$  is at GND, the clock will be a factor of 58 below the input frequency.

When using the ICL7109 with the IM6403 UART, it is possible to use one 3.58MHz crystal for both devices. The  $\overline{\text{BUFFERED OSCILLATOR OUTPUT}}$  of the ICL7109 may be used to drive the  $\overline{\text{OSCILLATOR INPUT}}$  of the UART, saving the need for a second crystal. However, the  $\overline{\text{BUFFERED OSCILLATOR OUTPUT}}$  does not have a great deal of drive, and when driving more than one slave device, external buffering should be used.

### Test Input

When the  $\overline{\text{TEST}}$  input is taken to a level halfway between  $V^+$  and GND, the counter output latches are enabled, allowing the counter contents to be examined anytime.

When the  $\overline{\text{TEST}}$  input is connected to GND, the counter outputs are all forced into the high state, and the internal clock is disabled. When the input returns to the  $1/2(V^+ - \text{GND})$  voltage or to  $V^+$  and one clock is input, the counter outputs will all be clocked to the negative state. This allows easy testing of the counter and its outputs.

### INTERFACING

#### Direct Mode

Figure 12 shows some of the combinations of chip enable and byte enable control signals which may be used when interfacing the ICL7109 to parallel data lines. The  $\overline{\text{CE/LOAD}}$  input may be tied low, allowing either byte to be controlled by its own enable as in Figure 12A. Figure 12B shows a configuration where the two byte enables are connected together. In this configuration, the  $\overline{\text{CE/LOAD}}$  serves as a chip enable, and the  $\overline{\text{HBEN}}$  and  $\overline{\text{LBEN}}$  may be connected to GND or serve as a second chip enable. The 14 data outputs will all be enabled simultaneously. Figure 12C shows the  $\overline{\text{HBEN}}$  and  $\overline{\text{LBEN}}$  as flag inputs, and  $\overline{\text{CE/LOAD}}$  as a master enable, which could be the  $\overline{\text{READ}}$  strobe available from most microprocessors.

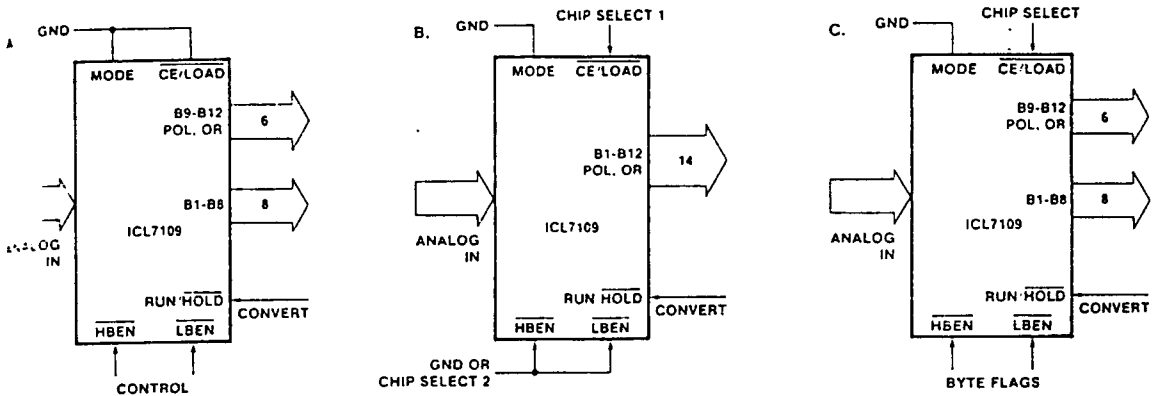


Figure 12: Direct Mode Chip and Byte Enable Combinations

Figure 13 shows an approach to interfacing several ICL7109s to a bus, ganging the HBEN and LBEN signals to several converters together, and using the CE/LOAD inputs (perhaps decoded from an address) to select the desired converter.

Some practical circuits utilizing the parallel three-state output capabilities of the ICL7109 are shown in Figures 14 through 19. Figure 14 shows a straightforward application to the Intel MCS-48, -80 and -85 systems via an 8255PPI, where the ICL7109 data outputs are active at all times. The I/O ports of an 8155 may be used in the same way. This interface can be used in a read-anytime mode, although a read performed while the data latches are being updated will lead to scrambled data. This will occur very rarely, in the proportion of setup-skew times to conversion time. One way to overcome this is to read the STATUS output as well, and if it is high, read the data again after a delay of more than 1.2 converter clock period. If STATUS is now low, the second reading is correct, and if it is still high, the first reading is correct. Alternatively, this timing problem is completely avoided by using a read-after-update sequence, as shown in Figure 15. Here the high to low transition of the STATUS output drives an interrupt to the microprocessor causing it to

access the data. This application also shows the RUN/HOLD input being used to initiate conversions under software control.

A similar interface to Motorola MC6800 or MOS Technology MCS650X systems is shown in Figure 16. The high to low transition of the STATUS output generates an interrupt via the Control Register B CB1 line. Note that CB2 controls the RUN/HOLD pin through Control Register B allowing software-controlled initiation of conversions in this system also.

Figure 17 shows an interface to the Intersil IM6100 CMOS microprocessor family using the IM6101 PIE to control the data transfers. Here the data is read by the microprocessor in an 8-bit and a 6-bit word, directly from the ICL7109 to the microprocessor data bus. Again, the high to low transition of the STATUS output generates an interrupt leading to a software routine controlling the two read operations. As before, the RUN/HOLD input to the ICL7109 is shown as being under software control.

The three-state output capability of the ICL7109 allows direct interfacing to most microprocessor busses. Examples of this are shown in the Typical Connection Diagram on

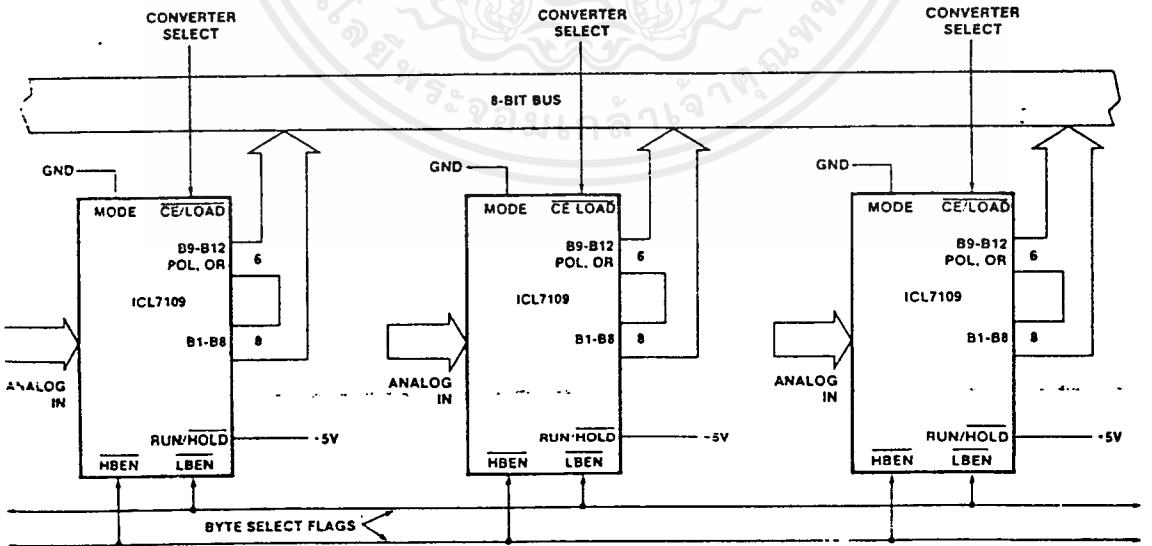


Figure 13: Three-stating Several 7109's to a Small Bus

# ICL7109

INTERSE

Page 3 and in Figures 18 and 19. It is necessary to carefully consider the system timing in this type of interface, to be sure that requirements for setup and hold times, and minimum pulse widths are met. Note also the drive limitations on long busses. Generally this type of interface is only favored if the

memory peripheral address density is low so that simple address decoding can be used. Interrupt handling can also require many additional components, and using an interface device will usually simplify the system in this case:

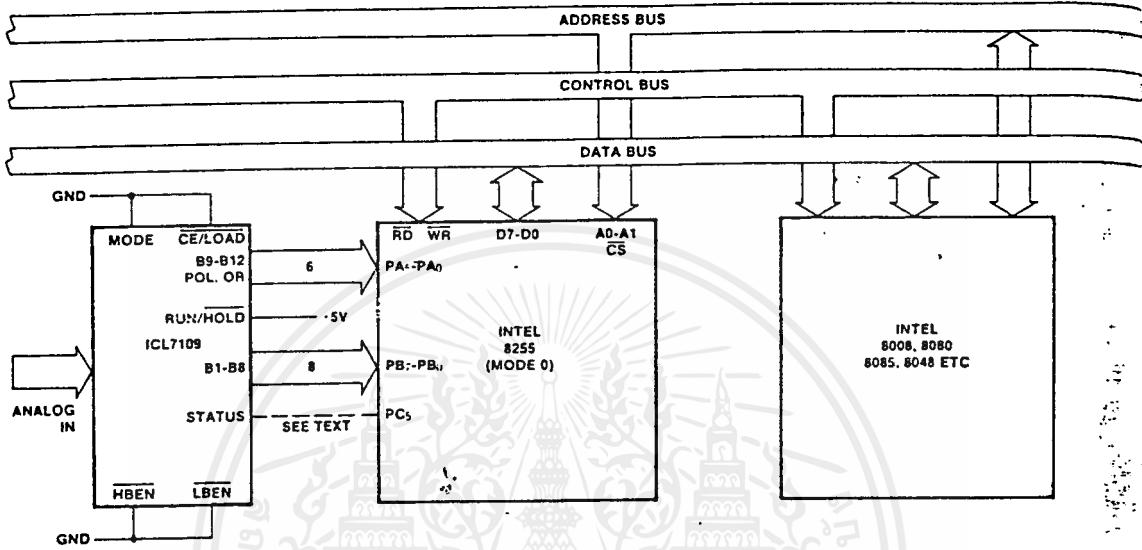


Figure 14: Full-time Parallel Interface to INTEL Microcomputer Systems

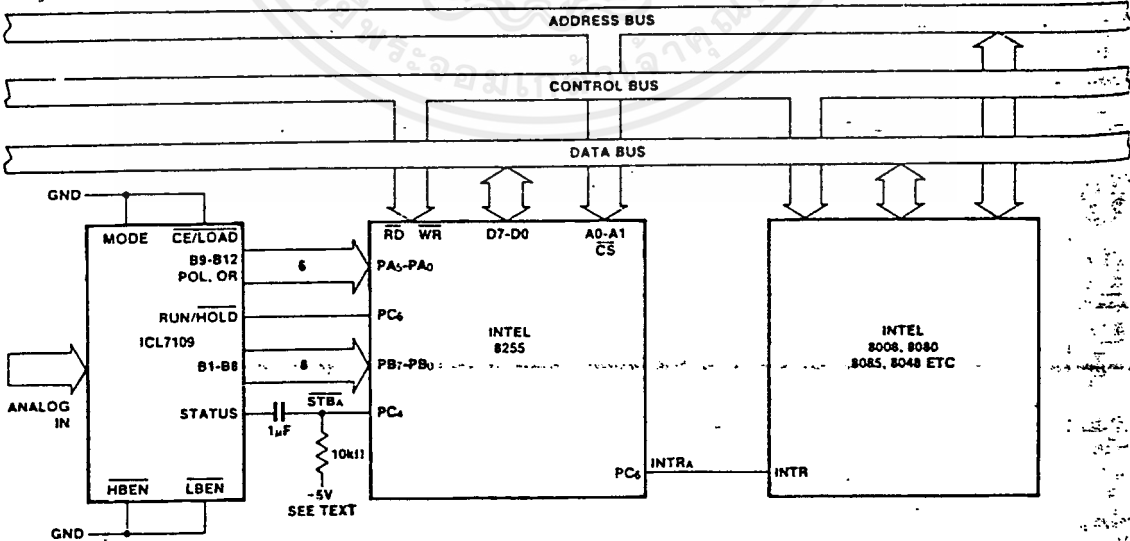


Figure 15: Full-time Parallel Interface to INTEL Microcomputers With Interrupt

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ  
 ทั่วกว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีโอกาส

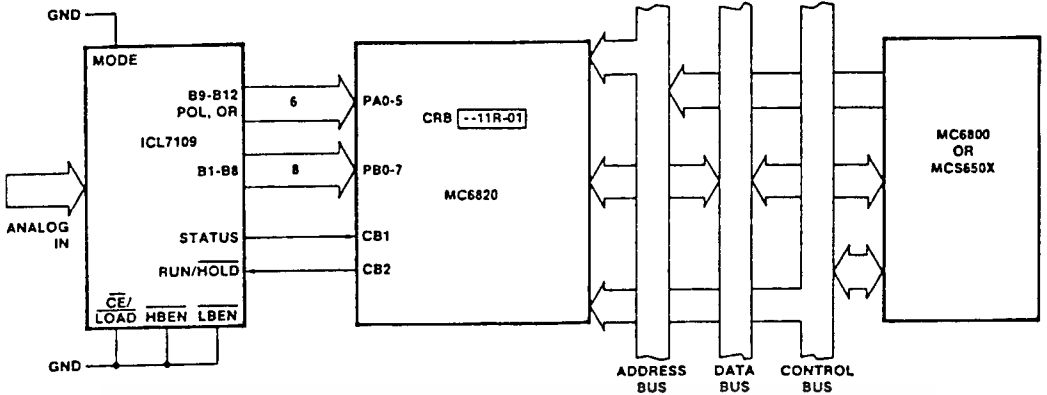


Figure 16: Full-time Parallel Interface to MC6800 or MCS650X Microprocessors

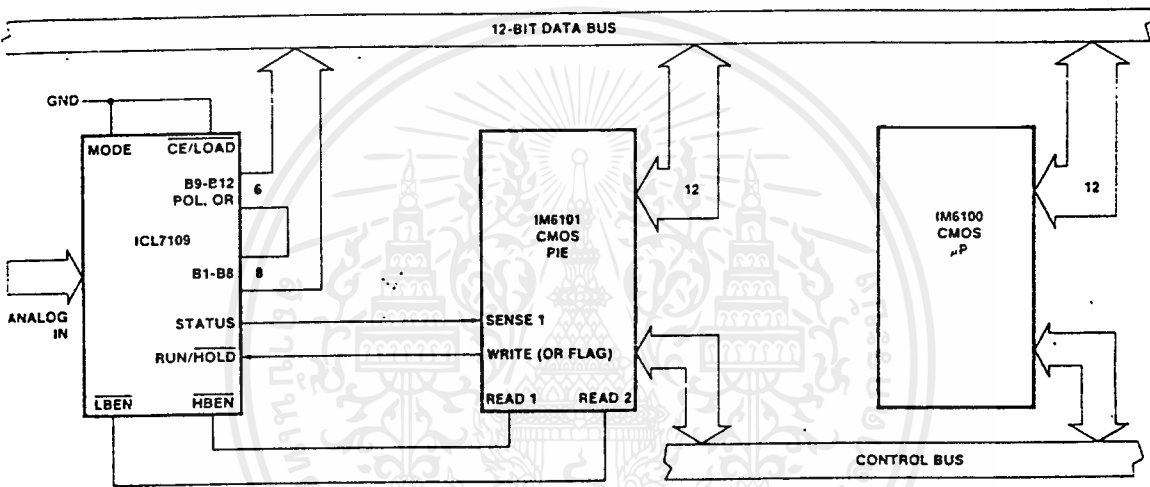


Figure 17: ICL7109-IM6100 Interface Using IM6101 PIE

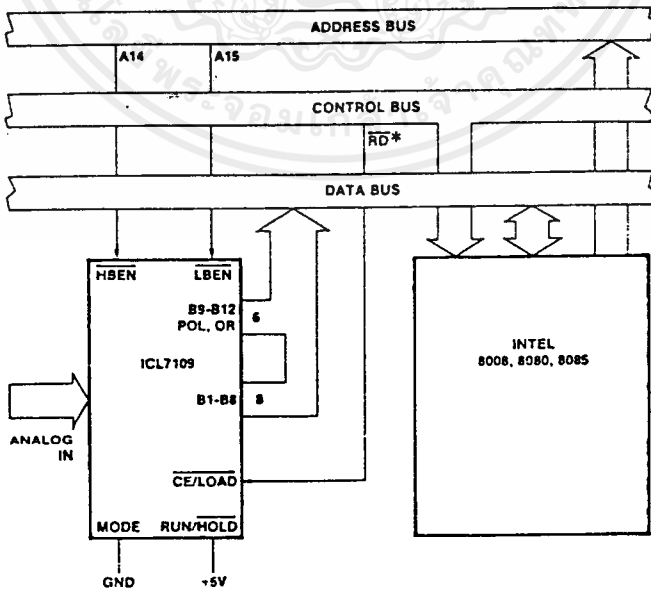


Figure 18: Direct ICL7109 - INTEL 8080/8085 Interface

\*MEMR or IOR for 8080/8228 System

ICL7109

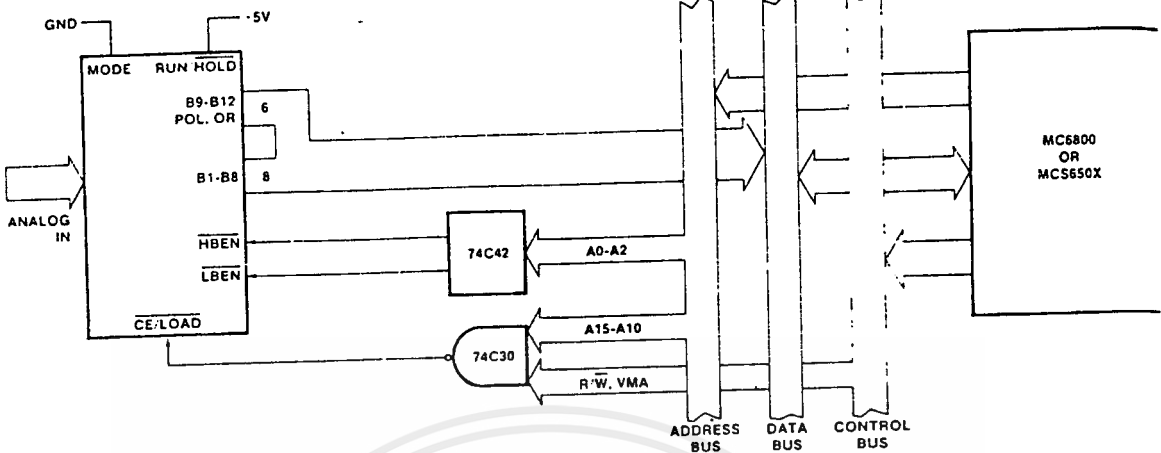


Figure 19: Direct ICL7109 - MC6800 Bus Interface

Handshake Mode

The handshake mode allows ready interface with a wide variety of external devices. For instance, external latches may be clocked by the rising edge of CE/LOAD, and the byte enables may be used as byte identification flags or as load enables.

Figure 20 shows a handshake interface to Intel microprocessors again using an 8255PPI. The handshake operation with the 8255 is controlled by inverting its Input Buffer Full (IBF) flag to drive the SEND input to the ICL7109, and using the CE/LOAD to drive the 8255 strobe. The internal control register of the PPI should be set in MODE 1 for the port used. If the 7109 is in handshake mode and the 8255 IBF flag is low, the next word will be strobed into the port. The strobe will cause IBF to go high (SEND goes low), which will keep the enabled byte outputs active. The PPI will generate an interrupt which when executed will result in the data being read. When the byte is read, the IBF will be reset low, which causes the ICL7109 to sequence into the next byte. This figure shows the MODE input to the ICL7109 connected to a control line on the PPI. If this output is left high, or tied high

separately, the data from every conversion (provided the data access takes less time than a conversion) will be sequenced in two bytes into the system.

If this output is made to go from low to high, the output sequence can be obtained on demand, and the interrupt may be used to reset the MODE bit. Note that the RUN/HOLD input to the ICL7109 may also be driven by a bit of the 8255 so that conversions may be obtained on command under software control. Note that one port of the 8255 is not used and can service another peripheral device. The same arrangement can also be used with the 8155.

Figure 21 shows a similar arrangement with the MC6800 or MCS650X microprocessors, except that both MODE and RUN/HOLD are tied high to save port outputs.

The handshake mode is particularly convenient for direct interfacing to industry standard UARTs (such as the Intersil IM6402/6403 or Western Digital TR1602) providing minimum component count means of serially transmitting converted data. A typical UART connection is shown on page 3. In this circuit, any word received by the UART cause

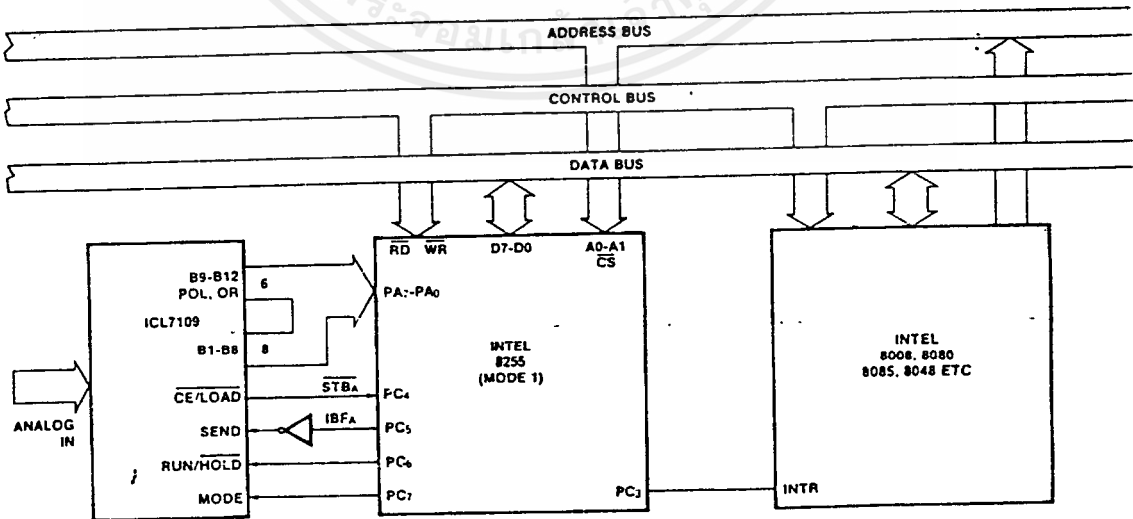


Figure 20: Handshake Interface - ICL7109 to INTEL MCS-48, -80, 85

ICL7109

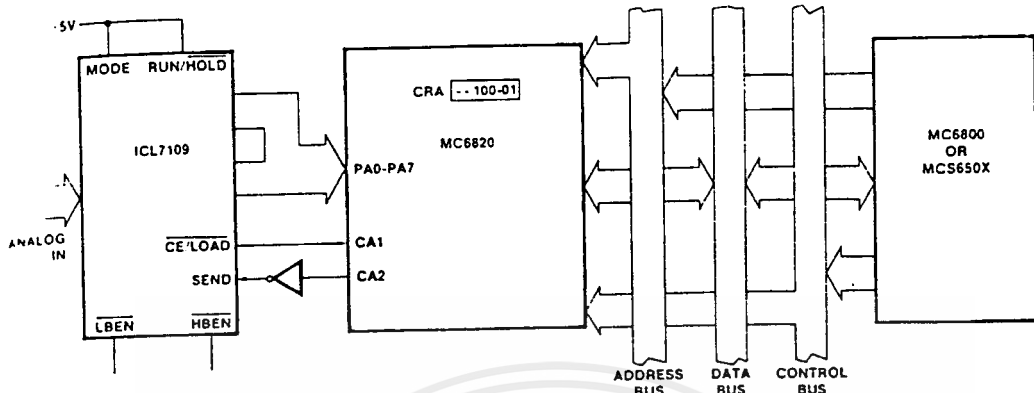


Figure 21: Handshake Interface - ICL7109 to MC6800, MCS650X

UART DR (Data Ready) output to go high. This drives the input to the ICL7109 high, triggering the ICL7109 into handshake mode. The high order byte is output to the UART and when the UART has transferred the data to the Transmitter Register, TBRE (SEND) goes high and the low order byte is output. When TBRE (SEND) goes high again, HBEN will go high, driving the UART DRR (Data Ready Reset) which will signal the end of the transfer of data from the ICL7109 to the UART.

is used to select which converter will handshake with the UART. With no external components, this scheme will allow up to eight ICL7109s to interface with one UART. Using a few more components to decode the received word will allow up to 256 converters to be accessed on one serial line.

The applications of the ICL7109 are not limited to those shown here. The purpose of these examples is to provide a starting point for users to develop useful systems, and to show some of the variety of interfaces and uses of the ICL7109. Many of the ideas suggested here may be used in combination; in particular the uses of the STATUS, RUN/HOLD, and MODE signals may be mixed.

Figure 22 shows an extension of the one converter - one UART scheme of the Typical Connection to several ICL7109s with one UART. In this circuit, the word received at the UART available at the RBR outputs when DR is high

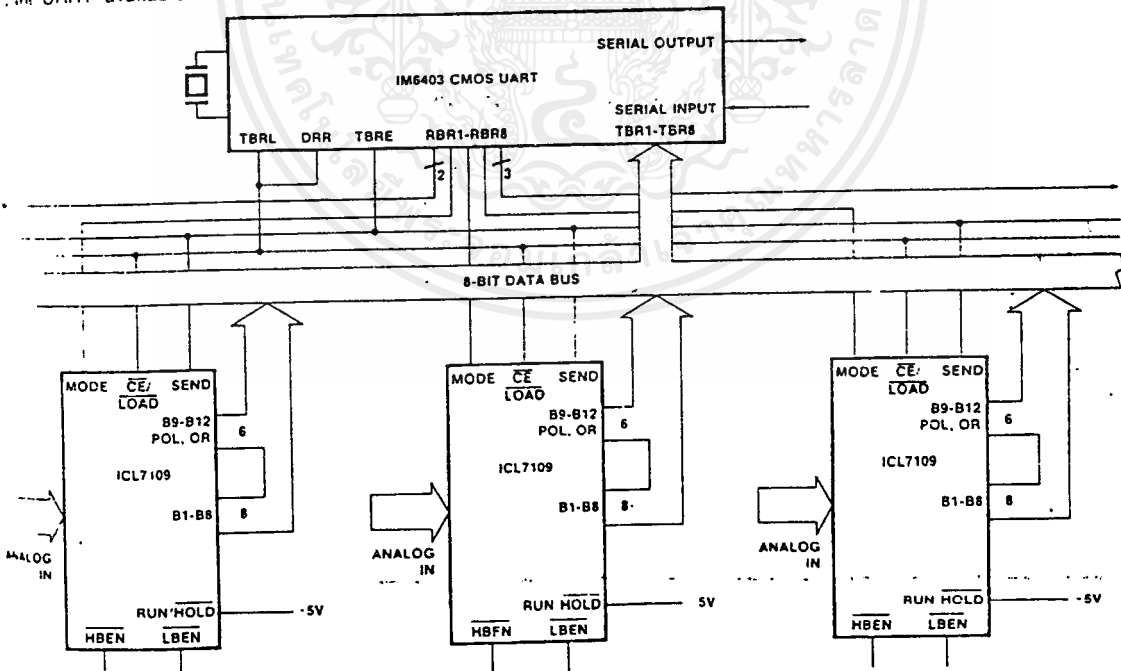


Figure 22: Multiplexing Converters with Mode Input