ดาต้าสแครมเบิ้ล(เครื่องป้องกันการดักฟัง)

DATA SCRAMBLE

โดย

นาย พิน ลิ้มวงษ์สกุล 36013114

นาย เดชชาติ ภวภูตานนท์ 36013109

อาจารย์ที่ปรึกษา

รศ.ดร. มนัส สังวรศิลป์

วัน เดือน ปี 1 ส.ค. 2540

เลขทะเบียน 037409

เลขเรียกหนังสือ T58203 ส พ681 ด

ปริญญานิพนธ์สำหรับสาขาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

037109

ปริญญานิพนธ์ ปีการศึกษา 2538

ภาควิชา วิศวกรรมศาสตร์อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ดาต้าสแครมเบิ้ล (เครื่องป้องกันการดักฟัง)

ผู้จัดทำ

1. นาย พิน ลิ้มวงษ์สกุล 36013114 3R
2. นาย เดชชาติ ภวภูตานนท์ 36013109 3R

.....อาจารย์ที่ปรึกษา

(รศ.ดร. มนัส สังวรศิลป์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อโครงงาน(ภาษาไทย) ดาต้าสแครมเบิ้ล(เครื่องป้องกันการดักฟัง)

ชื่อโครงงาน(ภาษาอังกฤษ) DATA SCRAMBLE

นายพิน ลิ้มวงษ์สกุล 36013114

นายเดชชาติ ภวภูตานนท์ 36013109

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(รศ.ดร. มนัส สังวรศิลป์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดาต้าสแครมเบิ้ล(เครื่องป้องกันการดักฟัง)

นาย พิน ลิ้มวงษ์สกุล
นาย เดชชาติ ภวภูตานนท์
รศ.ดร.มนัส สังวรศิลป์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2538

บทคัดย่อ

โครงงานเครื่องป้องกันการดักฟัง(Data Scramble) จะมีฮาร์ดแวร์(Hard ware) ประกอบด้วย เครื่องส่ง(Scramble) และ เครื่องรับ (Descramble)

ทั้งเครื่องรับ และเครื่องส่ง จะประกอบด้วยส่วนที่สำคัญที่เหมือนกัน 4 ส่วนดังนี้ Micro processor unit , Analog to Digital Converters(ADC) , Digital to Analog Converters (DAC) and Power supply

วงจรที่แตกต่างกันมีเฉพาะในภาคเครื่องรับ คือ Sync detecters

การทำงานของเครื่องป้องกันการดักฟัง เสียงซึ่งเป็นสัญญาณอนาลอก(Analog) จะถูกไมโครโปรเซสเซอร์ (Micro processor) ทำการสุ่ม (Sampling) แล้วเปลี่ยนข้อมูลเป็นเลขไบนารี่ (Binary number) การสุ่ม 1 ครั้งจะเปลี่ยนเป็นเลขฐาน 2 (Binary number) 1คำ เก็บไว้ในหน่วยความจำ (Memory) เมื่อทำการสุ่มจะได้คำเรียงเป็น 1 กลุ่ม เรียงตามลำดับที่ 1,2,3,.... โดยที่ 2 กลุ่ม เรียกเป็น 1 เฟรม ในข้อมูลที่เก็บไว้นี้ จะถูกเปลี่ยนเป็นสัญญาณอนาลอก แล้วส่งทางสายโทรศัพท์ไปยังเครื่องรับ ในการส่งจะส่งแบบสลับกลุ่ม เช่น ส่งกลุ่มหมายเลข (Block number) 3,1,2,..... ซึ่งถ้ามีการดักฟังที่สายโทรศัพท์ โดยไม่มีการถอดรหัส จะไม่สามารถเข้าใจข้อความได้ ทางภาครับ จะรับข้อมูลอนาลอกโดยเปลี่ยนเป็นสัญญาณดิจิตอล(Digital) แล้วเก็บในหน่วยความจำแต่ละกลุ่มที่เรียงเข้ามา จากนั้นจะเอาข้อมูลที่สลับหมายเลขกลุ่มอยู่ มาจัดเรียงใหม่ ให้เป็นไปตามลำดับ แล้วส่งไปยังส่วนแปลงดิจิตอลเป็นอนาลอก แล้วผ่านเครื่องขยาย(Amplifier)เพื่อการรับฟัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Scramble

PIN LIMVONGSAKUL

DETCHART PAWAPOOTANOND

Asst. Prof. Dr. MANUS SUNGVORASILP Advisor

1995

ABSTRACT

Data scramble project have Hard ware . which is divided into 2 parts such as Scramble and Descramble

Scramble and Descramble consist same 4 part such as Micro processor Unit , Digital to Analog Converters (DAC) , Analog to Digital Converters (ADC) and Power supply . But Sync detecters will be have in only Descramble .

Concept of work for Data scramble . Micro processor will be sampling Analog signal (voice signal) . Then Micro processor will be change data to Binary number . In sampling 1 time will be change into 1 word of Binary number to storage in memory . When micro processor sampling will be occur 1 group of arrange word respectively 1,2,3,.... we call 2 group is 1 frame .

In storage data will be change to Analog signal . then Transmission data goto receiver . This transmission used alternate block such as telephone transmission block number 3,1,2,..... If occur to pick up data on telephone line which no decode will be not understand data . In receiver will be receive data (in analog form) . then change analog signal to digital signal . then storage in memory of each respectively data . then will be rearrangement to correct data to understand receive .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1	บทนำ	1
บทที่ 2	ประเภทของการเข้ารหัสเสียงพูด	2
	2.1 การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอล	2
	2.2 การเข้ารหัสเสียงพูดด้วยวิธีทางอนาลอก	4
	2.3 การสุ่มตัวอย่าง และการสร้างสัญญาณกลับคืนมา	13
	2.4 การแปลงสัญญาณอนาลอกเป็นดิจิตอล	21
	2.5 การแปลงสัญญาณดิจิตอลเป็นอนาลอก	24
	2.6 การเปลี่ยนกระแสเป็นแรงดัน	26
	2.7 การกรองสัญญาณ	28
บทที่ 3	การออกแบบ และการสร้าง เครื่องป้องกันการดักฟัง (DATA SCRAMBLE)	
	3.1 MICRO PROCESSOR UNIT	32
	3.2 ANALOG TO DIGITAL CONVERTERS (ADC)	34
	3.3 DIGITAL TO ANALOG CONVERTERS (DAC)	36
	3.4 POWER SUPPLY	38
	3.5 SYNC DETECTERS	40
	3.6 FILTER	42
บทที่ 4	การทดลอง และผลการทดลอง	50
บทที่ 5	สรุป และวิจารณ์ผลการทดลอง	51
บทที่ 6	บทวิจารณ์ และข้อเสนอแนะ	53
ภาคผนวก		
บรรณานุกรม		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูป 2.1 Digital cipher system 3

รูป 2.2 Modify digital cipher system 3

รูป 2.3 A Speech signal band - limited to 200 - 3200Hz 4

รูป 2.4 Power density spectrum of inverted speech signal 5

รูป 2.5 หลักการของ Band - shift inversion 5

รูป 2.6 Band Scrambling technique 7

รูป 2.7 Time element scrambler 8

รูป 2.8 Timming diagram ของ T.E.S. process 9

รูป 2.9 ตัวอย่างของระบบ T.E.S. 12

รูป 2.10 สัญญาณอนาลอก กับการสุ่มตัวอย่าง 13

รูป 2.11 บล็อกไดอะแกรมแสดงการสุ่มตัวอย่าง และการสร้างสัญญาณเดิมกลับคืนมาแบบอุดมคติ 15

รูป 2.12 สเป็กตรัมของสัญญาณเบสแบนด์ และสเป็กตรัมของสัญญาณสุ่มตัวอย่างที่มีอัตราสุ่มต่างๆกัน 17

รูป 2.13 การซ้อนกันของสเป็กตรัม เมื่อ $f_s < 2w$ 18

รูป 2.14 การเติมสเป็กตรัมปลอมจาก 5.5KHz เป็น 2.5 KHz เมื่ออัตราการสุ่มตัวอย่างเป็น 8 KHz 19

รูป 2.15 การกระจายของสเป็กตรัม กรณีที่สัญญาณสุ่มตัวอย่าง เป็นพัลส์สี่เหลี่ยม 20

รูป 2.16 สัญญาณอนาลอก จะถูกสุ่มที่ช่วงคลื่นเป็นระยะๆ 21

รูป 2.17 แสดงไอซีแปลงสัญญาณอนาลอกเป็นดิจิตอลเบอร์ ADC0804 22

รูป 2.18 การสุ่มสัญญาณอนาลอกเร็วขึ้น ทำให้เอาท์พุทที่ถูกสร้างขึ้นใหม่ โดยตัวแปลงสัญญาณดิจิตอลเป็นอนาลอกสมบูรณ์มากขึ้น 23

รูป 2.19 การต่อ ADC0804 ให้ใช้งานอย่างต่อเนื่อง 24

รูป 2.20 การส่งสัญญาณแบบดิจิตอลช่วยขจัดสัญญาณรบกวนได้ดี 24

รูป 2.21 ข่ายวงจรความต้านทานแบบดิจิตอลเป็นอนาลอก 25

รูป 2.22 การแบ่งกระแสในไบนารี่แลดเดอร์ 25

รูป 2.23 DAC using current - to - voltage converters 26

รูป 2.24 วงจรกรองความถี่ไฮพาสที่ใช้ 28

รูป 2.25 วงจรกรองความถี่โลว์พาสที่ใช้ 29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.1 Block diagram of DATA SCRAMBLE 31
รูป 3.2 วงจร Micro processor unit 33
รูป 3.3 วงจร Analog to digital converters 35
รูป 3.4 วงจร Digital to analog converters 37
รูป 3.5 วงจร Power supply 39
รูป 3.6 วงจร Sync detecters 41
รูป 3.7 วงจรกรองความถี่ไฮพาส และโลว์พาสฟิลเตอร์ 43
รูป 3.8 วงจร Data scramble (เครื่องส่ง) 44
รูป 3.9 วงจร Data scramble (เครื่องรับ) 45
รูป 3.10 Flow chart of Transmission program 46
รูป 3.11 Flow chart of Interupt subroutine 47
รูป 3.12 Flow chart of Add sync to memory subroutine or (SETHD SUBROUTINE) 48
รูป 3.13 Flow chart of Receiver program 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในปัจจุบันการติดต่อสื่อสารเป็นสิ่งที่มีความจำเป็นมากทั้ง ทางราชการ พลเรือน ทางทหาร และวงการธุรกิจ เพื่อเพิ่มความสะดวก รวดเร็ว ประหยัดค่าใช้จ่าย และเวลา ระบบการสื่อสารมีด้วยกันหลายทาง เช่น ทางคู่สายโทรศัพท์ วิทยุ โทรทัศน์ ซึ่งเป็นข้อมูล วิชาการ หรือความบันเทิงต่างๆที่ไม่เป็นความลับใดๆ แต่ในการติดต่อระหว่างหน่วยงานที่สำคัญ บางครั้งต้องคำนึงถึงความปลอดภัยในการแพร่ข่าวสารผ่านวิทยุมือถือ หรือ คู่สายโทรศัพท์ ซึ่งถูกลักลอบดักฟังได้ง่ายจากผู้ที่หวังผลประโยชน์ ยังผลให้เกิดความเสียหายจากการแพร่ของข่าวนั้น ในวิทยานิพนธ์ฉบับนี้ จึงได้ออกแบบ และพัฒนาเครื่องมือที่ใช้ป้องกันการดักฟังทางช่องสื่อสารต่างๆ โดยทางผู้ส่งจะมีเครื่องมือที่ใช้แปลงสัญญาณ หรือ ข้อมูล ข่าวสาร ก่อนส่งออกทางช่องสื่อสาร และทางผู้รับก็จะมีเครื่องมือที่ใช้แปลงสัญญาณกลับ เพื่อให้สามารถเข้าใจข่าวสารต่างๆ ที่ทางผู้ส่ง ส่งมาให้ สำหรับบุคคลที่ลักลอบฟังจะไม่สามารถเข้าใจในข่าวสารต่างๆ เป็นการรักษาความลับในการส่งข่าวสารได้อย่างมีประสิทธิภาพในระดับหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ประเภทของการเข้ารหัสเสียงพูด

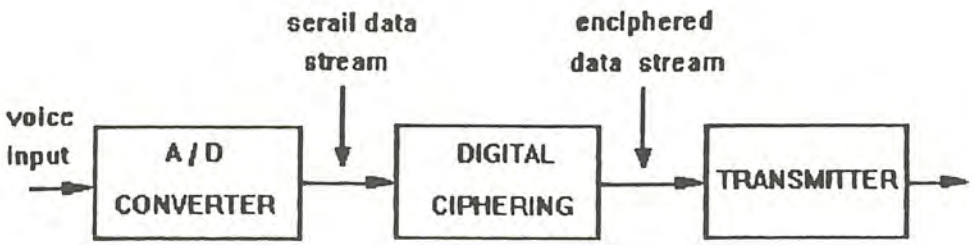
ในการติดต่อสื่อสาร ในสื่อต่างๆที่มีอยู่นั้นมีจุดประสงค์เพียงเพื่อที่จะสื่อข่าวสารให้ถูกต้อง รวดเร็ว ลดค่าใช้จ่ายในการเดินทาง แต่ในการติดต่อบางครั้งก็จำเป็นที่จะต้องรักษาข่าว เพื่อป้องกันการรั่วไหล ปัญหาหลักอันหนึ่งที่ผู้ออกแบบเครื่องมือป้องกันต้องคำนึงถึงคือ ความก้าวหน้าและทันสมัยในการนำเอาเทคนิคใหม่มาใช้ในระบบสื่อสาร หลายเทคนิคต่างๆจำเป็นที่ต้องมีขีดจำกัด และกฎข้อบังคับสำหรับการสื่อสารประเภทนั้น ตัวอย่างเช่น การกำหนดย่านความถี่ (band width) ของระบบโทรศัพท์ และวิทยุ และอีกสิ่งหนึ่งที่ต้องคำนึงถึง คือ คุณภาพของเสียงที่ใช้ในระบบสื่อสารประเภทนั้น ว่ามีความชัดเจนเพียงใด ความชัดเจนของเสียงจะไม่มีทางเพิ่มขึ้น ถ้าระบบการเชื่อมโยงส่งผ่าน (transmission link) ไม่ดีพอ การย้ำข่าวสารเพื่อความถูกต้องเนื่องจากผลดังกล่าว เป็นการไม่ปลอดภัยสำหรับข่าวสารนั้นจึงควรที่จะพิจารณาถึงความเหมาะสมกับการนำไปใช้งานในแต่ละชนิดของเครื่องป้องกัน และ ชนิดของระบบเชื่อมโยงการส่งผ่านที่ใช้อยู่

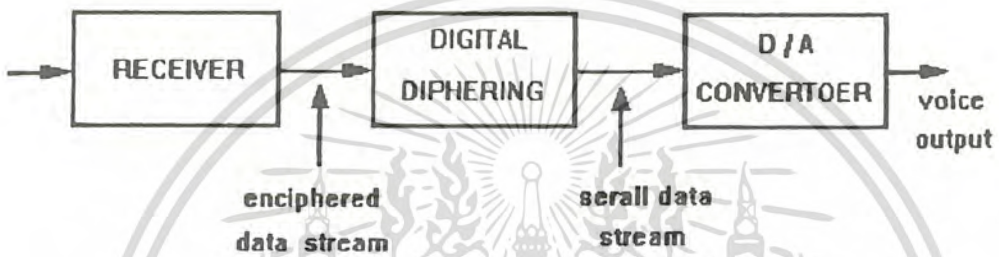
การเข้ารหัสเสียงพูด (Encrypting Speech) แบ่งตามเทคนิคได้ 2 วิธี คือ ทางด้านดิจิตอล (Digital) และ อนาลอก(Analog)

2.1 การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอล(Digital encrypting speech)

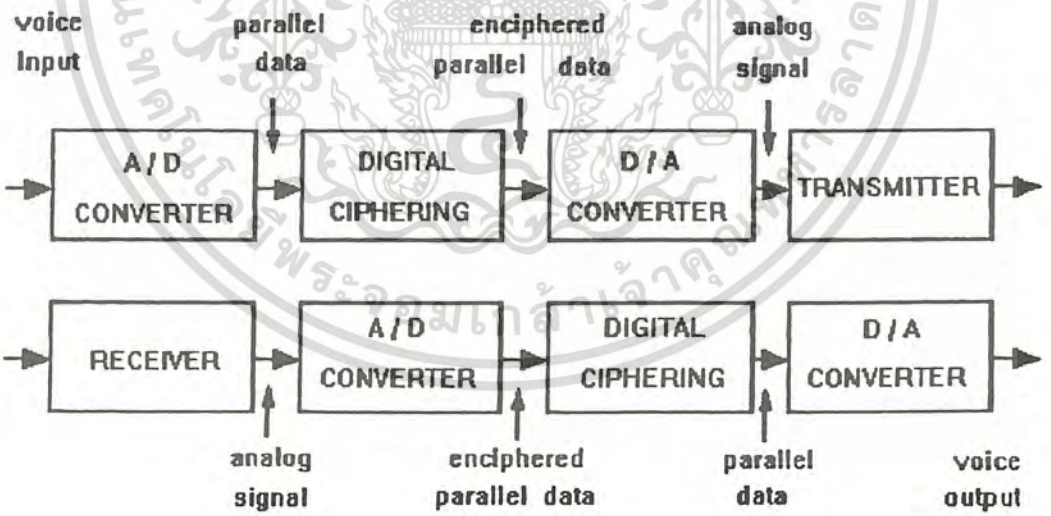
จากรูป 2.1 เสียงที่ถูกเปลี่ยน(convert) เป็นสัญญาณดิจิตอล จะอยู่ในรูปของ serail data stream ซึ่งอาจเป็น 64 k bit / s , 32 k bit / s , 16 k bit / s , 9.6 k bit / s , 4.8 k bit / s หรือ 2.4 k bit / s แต่ถ้าอัตราความเร็วของบิท(bitrate) ขนาด 9.6 k bit / s และที่สูงกว่าจะเป็นการเพิ่มแบนด์วิทของสัญญาณทำให้เพิ่มความยุ่งยากในการนำไปใช้งาน โดยจะต้องพิจารณาระบบเชื่อมโยงของการส่งผ่าน(transmission link)ที่สามารถตอบสนองต่อสัญญาณที่ใช้ได้สำหรับอัตราความเร็วของบิทที่ต่ำกว่า9.6 k bit / s สามารถที่จะนำมาใช้งานได้ก็จริง แต่ทั้งนี้ประสิทธิภาพสัมพันธ์กับการลดรูปของการจำรูปแบบของเสียง(Reduction in voice recongnition)ซึ่งมีขบวนการที่ยุ่งยาก และ ซับซ้อนต้องใช้อุปกรณ์จำนวนมาก และ ราคาแพง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูป 2.1 Digital Cipher System



รูป 2.2 Modify digital cipher system

จากรูป 2.2 เป็นการดัดแปลงโดยเสียงที่ถูกเปลี่ยนเป็นสัญญาณดิจิตอลแล้วผ่านการเข้ารหัสทางดิจิตอล (Digital ciphering) จากนั้นเปลี่ยนสัญญาณดิจิตอล กลับมาเป็นสัญญาณอนาลอกโดยผ่าน D/A และจึงส่งผ่านให้กับตัวส่ง(Transmitter) ส่วนทางด้านรับก็เพิ่ม A/D เข้าไปจะเห็นแบนด์วิทของสัญญาณไม่ถูกเปลี่ยนแปลงไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การเข้ารหัสเสียงพูดด้วยวิธีทางอนาลอก(Analogue encryting speech)
มีด้วยกันหลายแบบ เช่น

2.2.1. Speech Inversion

2.2.2. Band - shift Inversion

2.2.3. Bandscrambler or Bandsplitter

2.2.4. Time Element Scrambler

ในแต่ละแบบสามารถอธิบายโดยสังเขปได้ดังนี้

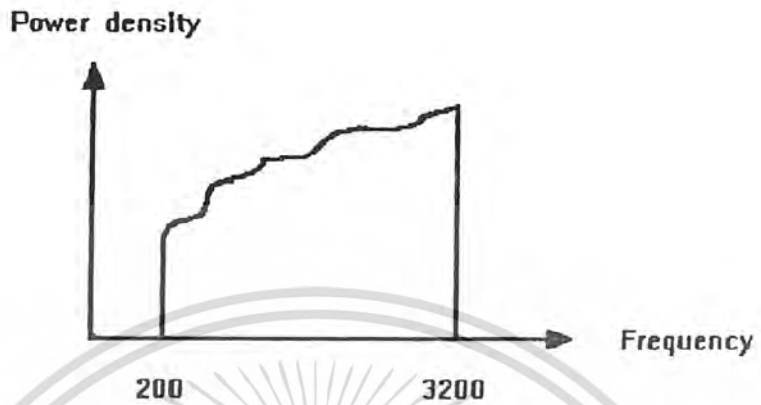
2.2.1 Speech Inversion

Speech Inversion เป็นสแครมบลิ้ง(scrambling)ความถี่แบบหนึ่งที่รู้จักกันดี สมมุติว่าเรามีสัญญาณเสียงที่มีแบนด์วิทจำกัดอยู่ในช่วง 200-3200Hz ดังในรูป

รูป 2.3 A speech signal band - limited to 200 - 3200 Hz

ความคิดพื้นฐานของวิธีดังกล่าว เพื่อที่จะเปลี่ยนจากความถี่สูงให้เป็นความถี่ต่ำ และ จากความถี่ต่ำเป็นความถี่สูง ความสัมพันธ์นี้ค่อนข้างที่จะเข้าใจได้ง่าย ผลของการเปลี่ยนแปลงสัญญาณดังกล่าวดังแสดงในรูป 2.4 ระบบดังกล่าวเป็นระบบที่ไม่ซับซ้อนมากนัก การสแครมบลิ้งด้วยวิธีดังกล่าวจะไม่ปลอดภัย เพราะสามารถที่จะดีสแครมบลิ้ง(Descrambling)ได้โดย รีอินเวิร์ท(Reinvert)แบบลองผิดลองถูก (trail and error) ก็สามารถที่จะได้สัญญาณเดิมกลับมา

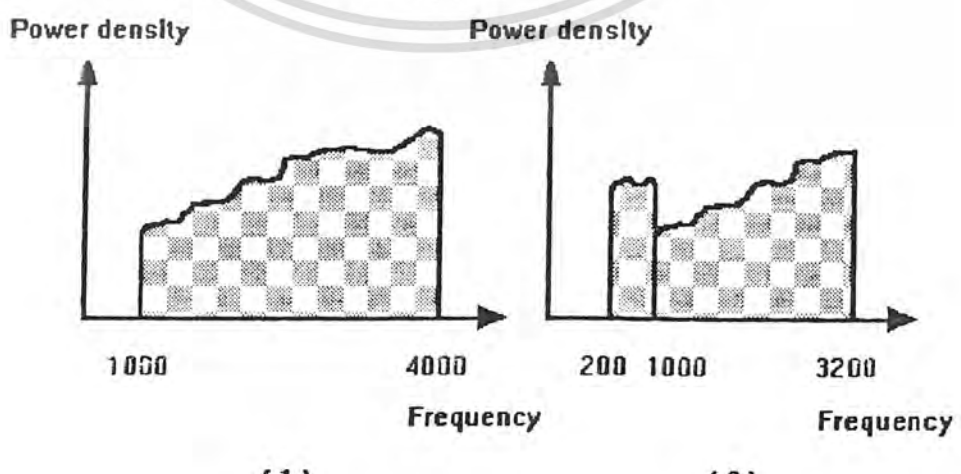
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.4 Power density spectrum of inverted speech signal

2.2.2 Band - shift Inversion

เป็นการปรับปรุงSpeech Inversionโดยที่สัญญาณที่อยู่ในช่วง 200-3200Hz จะถูกอินเวิร์ท (Invert) และ เลื่อน (Shift) แบนด์วิท (1000-4000Hz) สเปคตรัม (Spectrum) ของสัญญาณดังกล่าว แสดงไว้ในรูป2.5(1) สัญญาณนี้อยู่นอกแบนด์แตกต่างจากสัญญาณตัวแรก แต่เราสามารถที่จัดการเอาส่วนที่เกิน 3200 Hz ย้ายมาอยู่ทางด้านปลายความถี่ต่ำ (สังเกตุดูว่า ถึงแม้สัญญาณในรูป 2.5 จะมีขอบเขต (range) ของความถี่ที่แตกต่างกัน แต่ก็มีแบนด์วิทเท่ากับสัญญาณตัวแรก) หลักการของ band - shift Inverting ได้แสดงไว้ในรูป 2.5(2)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.5 หลักการของ Band - shift inversion

ตัวอย่างของBand-shift Inversion อันหนึ่งมีการอินเวิร์ทสัญญาณด้วยความถี่พาหะ(carrier frequency)ที่แตกต่างกัน โดยมีการเลื่อน(Shift)แบนด์แบบคงที่ ทำให้คอมบิเนชั่นที่เป็นไปได้ (Possible Combination) มีจำนวนจำกัด วิธีที่จะเพิ่มคอมบิเนชั่น อาจใช้ pseudo random genetator เป็นตัวเลือกในการเลื่อน(shift)ที่แตกต่างกัน และแต่ละแบบให้มีช่วงเวลา(time interval) ประมาณ 10 ถึง 20 mS แล้วจัดลำดับให้สลับเปลี่ยนกันไป เป็นลักษณะไซคลิก (cyclic) หลักการอันนี้เรียกว่า Cyclical Band - shift Inversion ทำให้คอมบิเนชั่นที่เป็นไปได้มากขึ้น

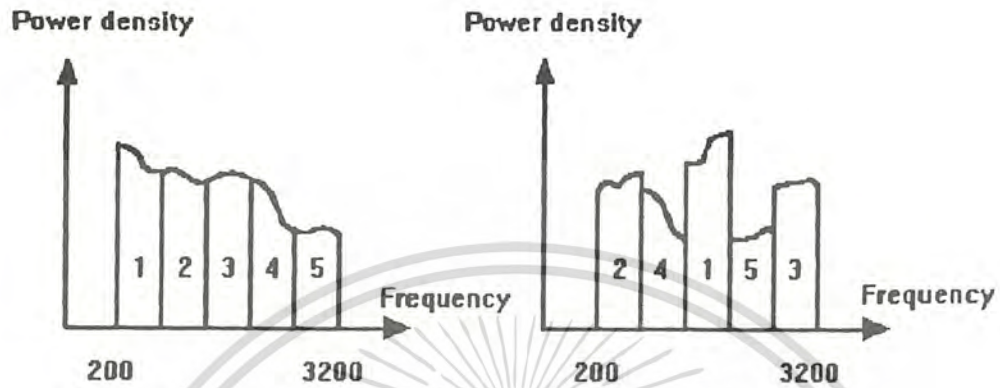
ข้อเสียของ Band - shift Inversion ที่เด่นชัดมีอยู่ 2 ข้อ

- ข้อแรก เนื่องจากคอมบิเนชั่นที่เป็นไปได้ยังไม่มากพอ ทำให้การดีสแครมบลิ้งทำได้โดยการลองผิดลองถูก (trail and error)
- ข้อที่สอง ความสามารถ ความชำนาญ และคุ้นเคยที่จะเข้าใจเสียงที่ถูกสแครมบลิ้งแล้ว แต่คงมีบางส่วนที่การสแครมบลิ้งเปลี่ยนแปลงสัญญาณไปไม่มากนัก ทำให้สามารถที่จะเดาจากบางส่วนที่เหลืออยู่ได้ ค่อนข้างสูง และจะยิ่งสูงขึ้น เมื่อข่าวสารที่ได้ถูกรีอินเวิร์ท (Reinvert)ด้วยแล้ว

2.2.3 Band scrambler

ในกรณีของBand scrambler หรือ Bandsplitter แบนด์วิทของเสียงพูด(Speech Bandwidth) จะแบ่งออกเท่าๆกันเป็นหลายๆส่วน ซึ่งแต่ละส่วนเรียกว่า แบนด์ย่อย (sub - band) แต่ละแบนด์ย่อยจะถูกสแครมบลิ้งโดยการสลับลำดับ (Permutation) แบนด์ย่อยเสียใหม่ ในบางระบบอาจมีการอินเวิร์ทในแต่ละแบนด์ย่อยด้วย รูป 2.6 แสดงตัวอย่างของ Band scrambler แบบง่ายโดยแบ่งออกเป็น5แบนด์ย่อย จากรูปแบนด์ที่ 1,2 และ5 จะถูกอินเวิร์ทและถูกสลับตำแหน่ง สำหรับตัวอย่างดังกล่าวมีการจัดลำดับที่เป็นไปได้ (Possible reorderings)เท่ากับ 5! และมีคอมบิเนชั่นสำหรับการอินเวิร์ททั้ง 5 ตำแหน่งเท่ากับ 2^5 นั่นหมายถึงว่า สามารถที่จะมีคอมบิเนชั่นได้ถึง $5! * 2^5$ เท่ากับ 3840 แบบ แต่ไม่ใช่ทั้งหมดที่สามารถนำไปใช้งานได้ มีบางส่วนที่ส่งจากสัญญาณถูกสแครมบลิ้งแล้ว มีการเปลี่ยนแปลงสมบูรณ์ (คือ ไม่สามารถที่จะเข้าใจรายเอียดได้) ส่วนที่เหลือซึ่งเป็นส่วนใหญ่ ไม่สามรถนำมาใช้สแครมบลิ้ง เพราะยังพอที่จะเข้าใจความหมายได้แบบคลุมเครือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.6 Band scrambling technique

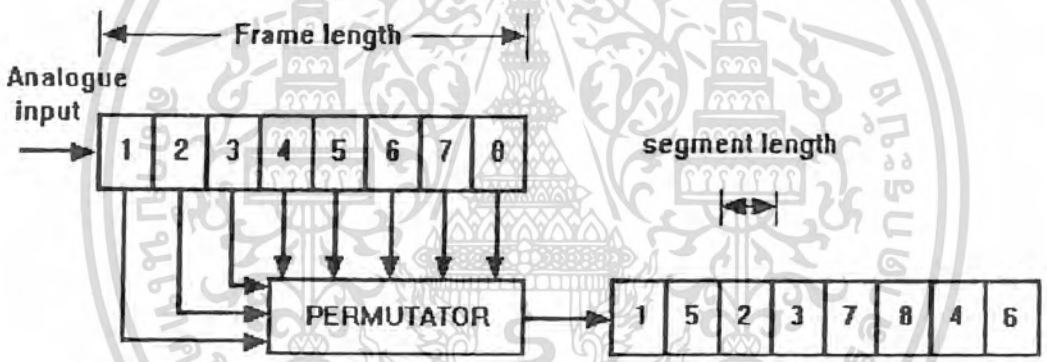
สำหรับการจัดลำดับใหม่ (Reordering) เพียงอย่างเดียว โดยไม่ได้อินเวอร์มีเพียง 10% เท่านั้นที่สแครมบลิ้งมาใช้ได้ มีการหาเหตุผลว่าทำไมถึงเป็นเช่นนี้ ได้มีการทดลองเอาแบนด์ย่อย (sub-band) บางอันออก แล้วจัดลำดับใหม่พบว่าก็ยังมีส่วนที่ยังพอเข้าใจความหมายได้ จากการวิเคราะห์ 40% ของPower spectrum energy ของเสียงที่อยู่สองแบนด์ย่อยแรก (200-1700Hz) นั่นหมายความว่ามีเพียงสองแบนด์ย่อยแรก ก็สามารถที่จะเข้าใจความหมายได้ เพราะฉะนั้นไม่เป็นการยากสำหรับผู้เชี่ยวชาญที่หาตำแหน่งของสองแบนด์นั้น มาจัดเรียงใหม่ทำให้มีโอกาสเข้าใจข่าวสารนั้นได้

วิธีแก้ก็คือ - ต้องแบ่งสองแบนด์ย่อยให้มากขึ้น แล้วใช้ pseudo random generator เป็นตัวกำหนดการจัดลำดับที่แตกต่างกันทุกๆ 100-200 mS โดยเรียกใช้จากการแอดเดรชชิ่ง(Addressing)ตำแหน่งใดตำแหน่งหนึ่ง ตัวอย่างที่ได้แสดงไว้อธิบายการทำงานได้ดังนี้ สำหรับ 5แบนด์ย่อยสามารถจัดลำดับได้ 32แบบ คอมบิเนชั่นของการอินเวิร์ทแบนด์ย่อยเท่ากับ 2แบบ 1024แบบ สำหรับการจัดเรียง(Rearrengement) 10บิท แอดเดรสของหน่วยความจำจะเห็นว่าคอมบิเนชั่นเป็นไปได้(Possible combination) มีมากขึ้น ถ้าเราพิจารณาถึงการเพิ่มจำนวนแบนด์ย่อยของBand scrambler ดูเหมือนว่า จะเป็นการเพิ่มจำนวนการจัดลำดับ และความปลอดภัยของข่าวสาร แต่ถ้ามากเกินไปจะทำให้ยุ่งยากในทางปฏิบัติ เพราะการเพิ่มจำนวนการแบ่งแบนด์ย่อยจะต้องใช้ฟิลเตอร์ และส่วนประกอบอื่นๆเพิ่มตามทำให้สัญญาณในระบบมีมากขึ้น ดูเหมือนว่าการปรับปรุงแก้ไข (Modification) การสแครมบลิ้งมากเกินไปไม่ได้ทำให้คุณภาพของเสียงดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 Time element scrambling (T.E.S.)

การทำงานของTime Element Scrambler (T.E.S.) อาศัยหลักการพื้นฐานโดยขั้นแรก แบ่งสัญญาณอนาลอกเป็นคาบเวลา (Time period) เท่าๆกัน โดยแต่ละส่วนเรียกว่า เฟรม (Frame) แล้วแต่ละเฟรมจะถูกแบ่งย่อยออกเป็น คาบเวลาเล็กๆเรียกว่า เซกเมนท์ (Segment) และในทุกๆเฟรมของอินพุท จะสแครมบลิ้งเซกเม้นท์เหล่านั้นด้วยวิธีการสลับลำดับ(Permutation) วิธีดังกล่าวอธิบายด้วยแผนภาพการทำงาน(Block diagram) ดังแสดงในรูป 2.7 ซึ่งในที่นี้แต่ละเฟรมจะถูกแบ่งออกเป็น 8 เซกเมนท์

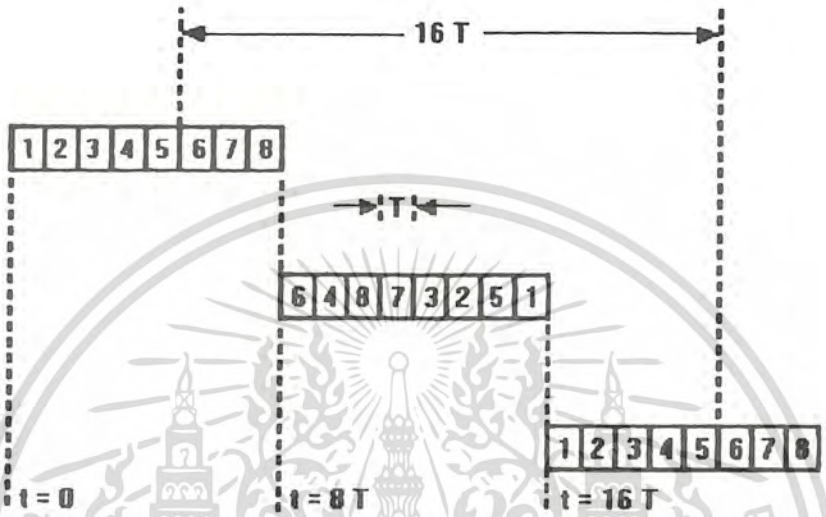


รูป 2.7 Time Element Scrambler

เมื่อเราจะออกแบบระบบ จำเป็นต้องหาค่าความยาวของเฟรม(Frame lenght) และความยาวของเซกเมนท์(Segment lenght) ที่เหมาะสม จุดสำคัญอยู่ที่สัญญาณภายในหนึ่งเซกเมนท์จะต้องชัดเจนไม่ผิดเพี้ยน(Distroted) และจะต้องทำการกำหนดว่าแต่ละเซกเมนท์ควรครอบคลุมข่าวสาร(Message)เท่าไหร่ ซึ่งเป็นการยากที่จะให้ความเหมาะสมได้ ถ้าสมมติว่าเราทำให้ทุกเซกเมนท์มีคาบเวลาแคบพอที่จะเป็นไปได้ โดยที่คาบเวลาดังกล่าวจะต้องไม่ครอบคลุมทั้งคำพูด แต่ทั้งนี้เราก็ควรที่จะให้คาบเวลาของเซกเมนท์ยืดหยุ่นได้ โดยขึ้นอยู่กับคุณภาพของสัญญาณที่ถูกส่งออกไป คุณภาพจะลดลง ถ้าคาบเวลาของเซกเมนท์น้อยเกินไป ในการเลือกขนาดของเฟรมเราต้องคำนึงถึงผลเนื่องจาก การหน่วงเวลา(Time delay) ที่เกิดขึ้นระหว่างการสแครมบลิ้งของตัวรับ และการดีสแครมบลิ้งของตัวส่งด้วย เพื่อที่จะให้เข้าใจถึงการหน่วงเวลาของระบบ เรามาพิจารณารูปจากตัวอย่างให้ความยาวเซกเมนท์เท่ากับ Tวินาที ดังนั้นจะต้องกินเวลาไป 8Tวินาที สำหรับ 8เซกเมนท์ของเสียงพูด เพื่อที่จะสแครมบลิ้งโดยการสลับลำดับ และอีก 8Tวินาที สำหรับตัวรับในการดีสแครมบลิ้ง โดยไม่ถือว่ามีการหน่วงเวลาของระบบเท่ากับ 16T วินาทีต่อเซกเมนท์ ในรูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูป 2.8 แสดงให้เห็นว่าเซกเมนท์ไหนถูกโปรเซส (Process)



รูป 2.8 Timing diagram ของ T.E.S. process

ลักษณะของการหน่วงในระบบนี้ ก็คล้ายกับการหน่วงสัญญาณในการใช้โทรศัพท์ทางไกลข้ามประเทศโดยผ่านดาวเทียม ทำให้ผู้ใช้มักเกิดความไม่คุ้นเคย กับเสียงที่ถูกหน่วงไปดังกล่าว ซึ่งในกรณีนี้อาจแก้ไขโดยลดขนาดของเฟรมลงอีกต่อจากการทดลองขนาดของเฟรม (frame length) น้อยเกินไป ประสิทธิภาพของการสแครมบลิ้งก็จะลดลง เหตุผลที่เป็นเช่นนี้สามารถอธิบายได้ดังนี้ คือ สมมติว่าเรามีเฟรมหนึ่งซึ่งแคบจนกระทั่งประกอบไปด้วยเสียงเพียงโทนเดียว (single tone) ทำให้การสแครมบลิ้งด้วยการสลับลำดับไม่ดีเท่าที่ควร เพราะหลังจากสแครมบลิ้งแล้ว ก็ยังคงได้เสียงโทนเดียวเช่นเดิม และเฟรมที่แคบจนเกินไปการกระจายเซกเมนท์จะทำได้ยาก ด้วยเหตุผลดังกล่าวทำให้เข้าใจเนื้อหาบางส่วน หรือทั้งหมดของข่าวสารได้ โดยที่ยังไม่มีการสแครมบลิ้ง จากที่กล่าวไว้ข้างต้น สรุปได้ว่า หลักการของ T.E.S จะต้องคำนึงถึงขนาดของเฟรม และเซกเมนท์ แต่ก็เป็นการยากที่จะหาหลักการ และวิเคราะห์ด้วยวิธีใดที่จะเลือกขนาดของเฟรม และเซกเมนท์ที่เหมาะสมได้ ในทางปฏิบัติจำเป็นต้องออกแบบทดสอบเพื่อหาข้อมูลที่จะกำหนดขนาดระบบ T.E.S ที่สร้างขึ้นมาใช้งาน เท่าที่พบหนึ่งเฟรมประกอบไปด้วย 8 ถึง 16 เซกเมนท์ และ แต่ละเซกเมนท์มีขนาดระหว่าง20 ถึง60mS การจัดเซกเมนท์ และเฟรมเป็นส่วนประกอบที่สำคัญอันหนึ่งของระบบ ส่วนประกอบอีกอันหนึ่งของระบบ ก็คือการสลับลำดับกัน (Permutation) การสลับลำดับสำหรับจำนวน จะเท่ากับ n! (1 × 2 × 3 . . Xn) จากทั้งหมดที่เพียงบางส่วนเท่านั้นที่นำเอามาใช้ในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

สแครมบลิ้ง ในการสลับลำดับที่ใช้ในการสแครมบลิ้ง ในการสลับลำดับที่ใช้ในลักษณะของ Band - shift Invertor หรือ Band Scrambler ก็เช่นเดียวกัน เราสามารถใช้รหัส (Key code) ให้เลือกเฉพาะการสลับลำดับอันใดอันหนึ่งที่ระบุแน่ชัด แล้วใช้การสลับลำดับที่กำหนดนั้นสำหรับทุกเฟรม หรืออีกวิธีหนึ่ง โดยการใช้ซีเควนเจนเนเรเตอร์ (Sequence generator) ในการเลือกการสลับลำดับที่แตกต่างกันสำหรับแต่ละเฟรม สำหรับ 8 เซกเมนท์ ในหนึ่งเฟรมจำนวนของการสลับลำดับได้ 8! เท่ากับ 40320 แบบ ซึ่งถ้าแต่ละเซกเมนท์มีคาบเวลา(time period) เท่ากับ 40 mS ต้องใช้เวลาอย่างน้อย 3.6 ชั่วโมง ต่อเนื่องถึงจะหมด ถึงแม้ว่ามีการสลับลำดับได้สูงสุด 40320 แบบ แต่ดังที่กล่าวแล้วในตอนต้น ว่าเราไม่สามารถนำมาใช้สแครมบลิ้งได้หมด ซึ่งพอที่จะอธิบายได้ด้วยตัวอย่างของการสลับลำดับ 2 ตัวอย่างข้างล่างนี้ จากตัวอย่างบรรทัดแรกแทนลำดับเซกเมนท์ของสัญญาณหลัก (Original signal) และบรรทัดที่สอง แทนลำดับหลังจากการสลับลำดับแล้ว

ตัวอย่างที่ 1

1 2 3 4 5 6 7 8

1 3 2 4 5 6 7 8

ตัวอย่างที่ 2

1 2 3 4 5 6 7 8

3 6 2 5 8 4 7 1

ถ้าเราสามารถที่จะฟังผลของการสลับลำดับแต่ละอันได้ เราจะพบว่าในตัวอย่างแรก ความสามารถในการเข้าใจจากรายละเอียดที่เหลืออยู่ค่อนข้างสูง (high residual intengibility) โดยถ้าเราฟังสักสอง สาม ครั้งบางทีเราอาจเริ่มที่จะเข้าใจข่าวสารบ้าง ส่วนในตัวอย่างที่ 2 ความสามรถในการเข้าใจรายละเอียดที่ยังเหลืออยู่ค่อนข้างต่ำ(low residual intengibility) และถ้าพยายามฟังหลายๆครั้ง อาจจะทำให้ยิ่งสับสนขึ้นไปอีก ถ้าเราพิจารณาให้ละเอียดกับตัวอย่างทั้งสอง เราจะพบว่า ในตัวอย่างมี 4 เซกเมนท์ที่ไม่ได้ถูกเคลื่อนย้าย ส่วนที่เหลือเคลื่อนย้ายไปจากตำแหน่งเดิม มีเพียง1 เซกเมนท์เท่านั้น ส่วนในตัวอย่างที่สอง เกือบจะทุกเซกเมนท์ที่ถูกสลับลำดับไปจากเดิม ถ้าเราให้การสลับลำดับใดๆเป็น $\alpha(I)$ แทนตำแหน่งที่เซกเมนท์ใดๆย้ายไป และมีดีสเพลสเมนท์ (displacement) ของ i เท่ากับ $|i - \alpha(i)|$ (จากตัวอย่างที่ 2 ,$\alpha(2) = 3$ และดีสเพลสเมนท์ของ 2 เท่ากับ abs (2-3) = 1) เราสามารถจะหาดีสเพลสเมนท์โดยเฉลี่ยสำหรับการสลับลำดับแต่ละแบบได้เท่ากับ

$$1/8 \sum_{j=1}^{8} |i-\alpha(i)|$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับตัวอย่างที่ 1 ค่าเฉลี่ยของดีสเพลซเมนท์เท่ากับ 1/2 ขณะที่ตัวอย่างที่ ค่าดิสเพลซเมนท์เท่ากับ 3/2 ซึ่งค่าเฉลี่ยของดีสเพลซเมนท์เรียกว่า ตัวประกอบของการเลื่อน (shift factor) ของการสลับลำดับ ถ้าตัวประกอบดังกล่าวยิ่งมีค่ามากขึ้น นั่นหมายถึงว่า มีการสลับลำดับที่ดี จะมีผลทำให้ความสามารถในการเข้าใจจากรายละเอียดส่วนที่เหลือต่ำ ในการสแครมบลิ้งสัญญาณเราอาจเอาเฉพาะการจัดลำดับที่มีตัวประกอบของการที่อยู่ในเกณฑ์เท่านั้น โดยมีการพิจารณา2วิธี

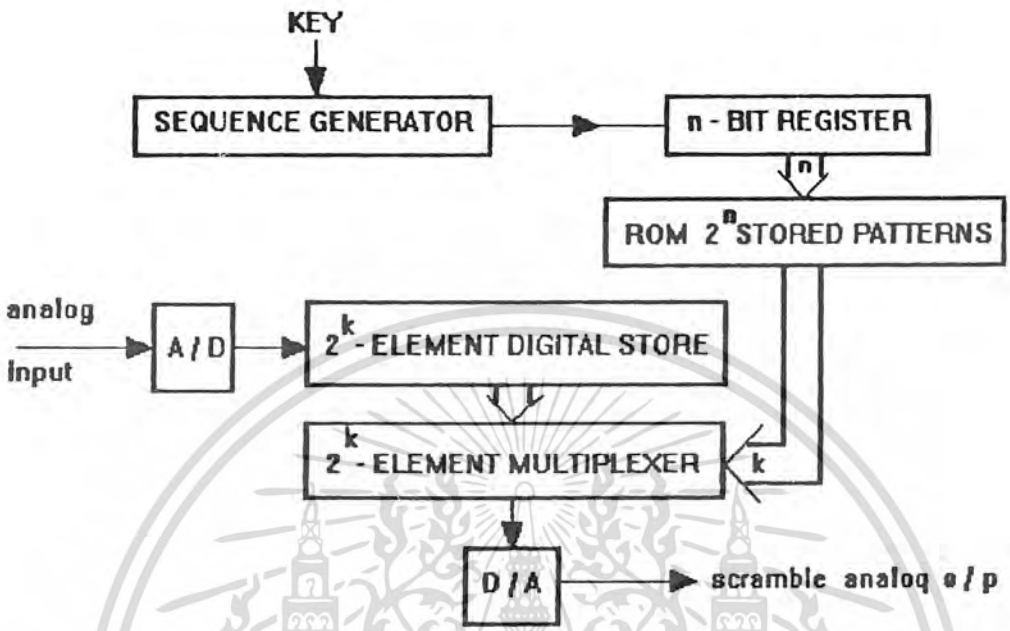
วิธีแรก - ใช้ซีเควนเจนเนเรเตอร์ เป็นตัวเลือกการสลับลำดับในลักษณะที่ไม่มีการเลือกเฉพาะการสลับลำดับที่ดี แต่จะใช้วิธีกั้น(screen) การสลับลำดับที่ไม่ต้องการ โดยพิจารณาจากการฟัง

วิธีที่สอง - โดยการเลือกเอาการสลับลำดับที่มีตัวประกอบของการเลื่อนอยู่ในเกณฑ์ที่ใช้ได้เก็บ (store) ไว้ในหน่วยความจำ(ROM) แล้วใช้ซีเควนเจนเนเรเตอร์เป็นตัวกำหนดในลักษณะของ แรนดอมเทียม (pseudo random) โดยแอดเดรสซิ่ง(addressing) การสลับลำดับจากหน่วยความจำข้อบกพร่องของวิธีแรกตรงที่มี ตัวประกอบเวลา(time factor) ถ้าสมมติว่าเฟรมหนึ่งๆสิ้นสุดลงเราจะต้องเลือกเอาการสลับลำดับที่ดีเป็นตัวจัดเฟรมถัดไป แต่ถ้าซีเควนเจนเนเรเตอร์กำหนดแล้วไม่สามารถที่จะรู้ได้ว่า การสลับลำดับถัดไปจะดีหรือไม่ ในกรณีนี้ต้องทำการกั้น(screen) โดยพิจารณาจากการฟัง ซึ่งในทางปฏิบัติทำได้ยาก ส่วนวิธีการที่สอง เราสามารถจัดลำดับ (sequence) และมีขั้นตอนการทำงาน(algorithm) ในการกำหนดการสลับลำดับแล้วโปรแกรมเก็บไว้ในหน่วยความจำ การจะเรียกใช้ต้องแอดเดรสซิ่งหน่วยความจำเท่านั้น สำหรับการสลับลำดับเพียง 8 เซกเมนท์แล้ว การสลับลำดับต้องมีจำนวนมากขึ้น ต้องขยายหน่วยความจำมากขึ้นไปอีก และสิ้นเปลืองค่าใช่จ่ายกว่าวิธีแรก

ในรูปที่ 2.9 แสดงแผนภาพการทำงาน (block diagram) ของระบบT.E.S ถ้าซีเควนเจนเนเรเตอร์ที่ใช้กำหนดรูปแบบ (pattern) ของการสลับลำดับเป็นรีจิสเตอร์ (register) ขนาด n bit และหน่วยความจำต้องควบคุมด้วยโปรเซสเซอร์ (หรือ ด้วยวงจรย่อย)

จะเปลี่ยนอนาลอกอินพุท เป็นดิจิตอล เพื่อที่จะให้ง่ายสำหรับการโปรเซส(process)เมื่อถูกเปลี่ยนเป็นดิจิตอลแล้ว สัญญาณจะถูกส่งไปยังหน่วยความจำที่มีขนาดเท่ากับ 2 อีลีเมนท์ (element ในที่นี้ อาจจะเป็นไบท์ซึ่ง 1 ไบท์ประกอบไปด้วย 8 บิท หรือมากกว่าขึ้นอยู่กับ A/D) ซึ่งเท่ากับจำนวนเซกเมนท์ในหนึ่งเฟรม (ตัวอย่างดังกล่าวมาแล้วมีขนาด 8 เซกเมนท์ , K เท่ากับ3) แต่ละอีลีเมนท์จะถูกสลับโดยมัลติเพล็กเซอร์(multiplexer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 ตัวอย่างของระบบ T.E.S.

ที่แอดเดรสซึ่ง จากหน่วยความจำที่เป็นตัวกำหนดสลับสำดับให้ จากนั้นสัญญาณก็จะถูกเปลี่ยนกลับเป็นอนาลอก เพื่อพร้อมที่จะทำการส่ง จากวิธีการที่กล่าวมาข้างต้น เราสามารถที่จะปรับปรุงให้มีความสามารถในการเข้าใจจากรายละเอียดที่ยังเหลืออยู่เพิ่มขึ้นอีกด้วยเทคนิค 3 วิธี

วิธีที่หนึ่ง -โดยอินเวิร์ท(invert) บิทบางบิท ในแต่ละอีลีเมนท์ ได้จากการเปลี่ยนด้วย A/D ผลของการทดสอบ พบว่าทำให้ความาสมารถในการเข้าใจจากรายละเอียดส่วนที่เหลืออยู่ลดลงไปอีก 10%

วิธีที่สอง - เปลี่ยนแปร(vary) อัตราความเร็วของสัญญาณนาฬิกา(clock rate) ของA/D และ D/A วิธีนี้เป็นลักษณะของการมอดูเลชั่นด้วยความถี่ (frequency modulation) ซึ่ง เท่ากับเป็นการสแครมบลิ้ง 2 แบบพร้อมกัน (two - dimensional scrambling) คือ ทั้งเวลา และความถี่(time and frequency) ในกรณีของการเปลี่ยนความเร็ว ในการคอนเวิร์ท (convert) จะมีผลต่อสัญญาณใน ฟรีเควนซี่โดเมน(frequency domain) จากการทดสอบประสิทธิภาพในการสแครมบลิ้งเพิ่มขึ้นอีก 15%

วิธีที่สาม - โดยใช้เทคนิคของBandscrambler และT.E.Sในพร้อมกันในลักษณะสแครมบลิ้งทั้งสองแบบ ถึงแม้ว่าจากการทดสอบจะได้ผลเพิ่มขึ้นอีก 20% แต่ก็มีข้อเสียอยู่ 2 ข้อ

ข้อแรก - เรื่องราคา เพราะต้องใช้อุปกรณ์มากกว่า

ข้อสอง - ระบบจะทำงานได้ดีต้องมีเสถียรภาพที่ดีทางด้านความถี่(frequency stable) และส่งผ่านระบบสัญญาณจะต้องมีสัญญาณรบกวนน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือแสวงหาประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ลบข้อความนี้ออก และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

(noise - free transmission path) เพื่อให้ได้คุณภาพเสียงที่ดี

เราจะสังเกตุได้ว่า การปรับปรุงแก้ไข (modification) ทุกแบบ ถึงแม้ช่วยเพิ่มประสิทธิภาพในการสแครมบลิ้ง แต่ก็ไปลดคุณภาพของเสียง ทำให้เกิดความผิดเพี้ยนทางด้านความถี่ เป็นผลกระทบให้ระบบส่งสัญญาณไม่เป็นเชิงเส้น (non - linearity)

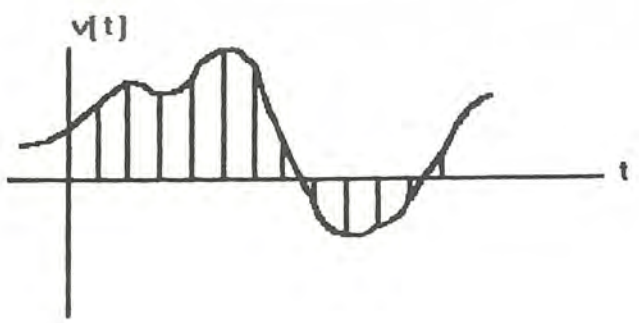
2.3 การสุ่มตัวอย่างและการสร้างสัญญาณกลับคืนมา

2.3.1 ทฤษฎีสุ่มตัวอย่างของไนควิสต์ (Nyquist's sampling theorem)

ไนควิสต์ได้เสนอทฤษฎีบทไว้ว่า ถ้าเรามีสัญญาณอนาลอกที่มีสเป็กตรัมสูงสุดจำกัดที่ค่าหนึ่ง เราสามารถสร้างสัญญาณพัลส์ที่มีข่าวสารของสัญญาณอนาลอก นั้นอยู่อย่างครบถ้วน โดยทำการสุ่มตัวอย่างจากสัญญาณอนาลอกนั้น ด้วยอัตราสุ่มที่เหมาะสม การที่กล่าวว่าสัญญาณพัลส์ที่สร้างขึ้นมีข่าวสารของสัญญาณอนาลอกอยู่อย่างครบถ้วนก็เพราะว่า เราสามารถสร้างสัญญาณอนาลอกกลับมาใหม่ได้โดยการจัดการกับสัญญาณพัลส์อย่างเหมาะสม ทฤษฎีบทของไนควิสต์นี้สามารถพิสูจน์ให้เห็นจริงได้โดยใช้หลักการของการกระจายอนุกรมฟูเรียร์และฟูเรียร์ทรานสฟอร์มดังต่อไปนี้ ก่อนอื่นพิจารณารูป 2.10 ถ้าให้สัญญาณอนาลอกที่พิจารณาอยู่นี้มีสเป็กสูงสุดเป็นW และฟูเรียร์ทรานสฟอร์มของสัญญาณนี้เขียนได้เป็น V(t) สัญญาณอนาลอกนี้จะเขียนได้เป็น

$$V(t) = \int_{-\infty}^{\infty} V(t)\, e^{j2\pi ft}\, df$$

$$= \int_{-W}^{W} V(t)\, e^{j2\pi ft}\, df \qquad (2.1)$$



รูป 2.10 สัญญาณอนาลอกกับการสุ่มตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราทำการสุ่มตัวอย่างสัญญาณนี้ด้วยอัตราการสุ่ม f_s โดยให้ $f_s = 2W$ และให้คาบเวลาของการสุ่มเป็น $T_s = 1/f_s$ ที่เวลาสุ่มตัวอย่างที่ n คือ t_n ซึ่งเท่ากับ nT_s เราจะเขียนสัญญาณจาก สมการ(2.1) ได้เป็น

$$V(nT_s) = \int_{-W}^{W} V(t)\, e^{j2\pi f(nT_s)}\, df \qquad (2.2)$$

เนื่องจาก V(t) มีสเปกตรัมอยู่ในช่วง -W ถึง W เท่านั้น ดังนั้นเราจะสามารถกระจาย V(t) ให้อยู่ในรูปของอนุกรมฟูเรียร์ และแสดง V(t) ในรูปต่อไปนี้

$$V(t) = \begin{cases} \sum_{n=-\infty}^{\infty} C_n\, e^{-j2\pi f(nT_s)} & |f| \le W \\ 0 & |f| > W \end{cases} \qquad (2.3)$$

เมื่อหาค่า จากสมการ(2.3) จะได้ผลดังนี้

$$C_n = \frac{1}{2W} \int_{-W}^{W} V(t)\, e^{j2\pi f(nT_s)}\, df$$

$$C_n = T_s \int_{-W}^{W} V(t)\, e^{j2\pi f(nT_s)}\, df \qquad (2.4)$$

เมื่อเปรียบเทียบสมการ(2.4)กับสมการ(2.2)จะได้ความสัมพันธ์ระหว่าง C_n และ $V(nT_s)$ ในรูปต่อไปนี้

$$V(nT_s) = \frac{C_n}{T_s} \qquad (3.5)$$

ผลที่ได้ตามสมการ (2.5) นี้เป็นการบ่งบอกว่า ค่าสุ่มตัวอย่างของสัญญาณอนาลอกที่ตำแหน่ง nT_s นั้นจะเกี่ยวข้องกับสัมประสิทธิ์ฟูเรียร์ของ V(t) อย่างใกล้ชิด ซึ่งหมายความว่าเราจะสามารถสร้าง V(t) กลับมาได้ โดยใช้ $V(nT_s)$ ตามขั้นตอนต่อไปนี้ ก่อนอื่นแทนสมการ(2.5) ลงในสมการ(2.3) จะได้

$$V(t) = T_s \sum_{n=-\infty}^{\infty} V(nT_s)\, e^{-j2\pi f(nT_s)} \qquad (2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

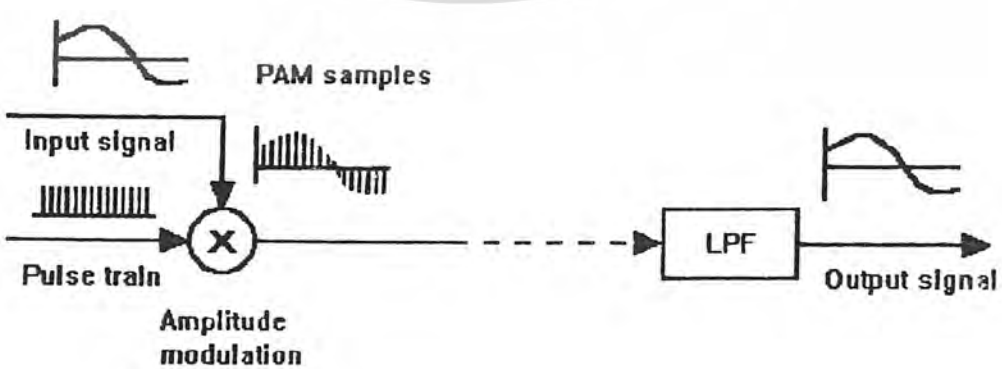
เมื่อนำสมการ (2.6) แทนค่าเข้าไปในสมการ (2.1) จะได้ผลดังนี้

$$V(t) = \int_{-W}^{W} T_s \sum_{n=-\infty}^{\infty} V(nT_s)\, e^{-j2\pi f(nT_s)}\, e^{j2\pi f}\, df$$

$$= \sum_{n=-\infty}^{\infty} V(nT_s)\, \frac{\sin 2\pi W(t-nT_s)}{2\pi W(t-nT_s)}$$

$$= \sum_{n=-\infty}^{\infty} V(nT_s)\, \sin[2\pi W(t-nT_s)] \qquad (2.7)$$

ผลที่ได้ตามสมการ (2.7) นี้ ที่ตำแหน่ง $t = m T_s$ $\text{sinc}\left[2\pi W(t-mT_s)\right]$ จะเท่ากับ 1 ส่วน $\text{sinc}\left[2\pi W(t-nT_s)\right] = \text{sinc}\left[2\pi WT_s(m-n)\right] = \text{sinc}\left[\pi(m-n)\right] = 0$ นั่นคือ ถ้าเราดูสัญญาณที่เวลา mT_s เนื่องจากสัญญาณสุ่มตัวอย่าง $v(nT_s)$ ที่ $n \neq m$ จะไม่มาส่งผลกระทบมาที่เวลา mT_s เพราะว่า $V(nT_s)\ \text{sinc}\left[\pi(m-n)\right] = 0$ เราจะได้ว่า ที่เวลา mT_s สัญญาณ $v(t)$ ที่ได้กลับมาก็คือ $v(mT_s)$ ซึ่งตรงกับสัญญาณเดิม



รูป 2.11 บล็อกไดอะแกรมแสดงการสุ่มตัวอย่างและการสร้างสัญญาณเดิมกลับคืนมาแบบอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนที่กล่าวมาแล้วทั้งหมดตั้งแต่ต้นนั้น เมื่อเขียนเป็นบล็อคไดอะแกรมแสดงการทำงานแบบอุดมคติในภาคปฏิบัติก็จะเป็นอย่างที่แสดงไว้ในรูป 2.11 กล่าวคือ การสุ่มตัวอย่างที่ได้ออกมาก็จะเป็นสัญญาณอิมพัลส์ที่มีขนาด$V(nT_s)$ เมื่อขบวนของสัญญาณสุ่มตัวอย่างนี้ผ่านเข้าสู่วงจรฟิลเตอร์ผ่านความถี่ต่ำแบบอุดมคติที่มีแบนด์วิดท์เป็นWสัญญาณขาออกจากฟิลเตอร์ก็จะมีรูปร่างเหมือนข้างขวามือของสมการ(2.7) ทุกประการ ดังนั้นกรณีที่ระบบเป็นอุดมคติตามที่กล่าวมานี้ สัญญาณที่สร้างคืนมาก็จะเหมือนกับสัญญาณเดิมทุกประการ อย่างไรก็ตามในทางปฏิบัติจริงๆนั้น ระบบที่สร้างขึ้นได้จะไม่เป็นแบบอุดมคติตามที่กล่าวมานี้ เพราะสัญญาณอิมพัลส์จะสร้างไม่ได้ จะสร้างได้เป็นพัลส์ที่แคบระดับหนึ่งเท่านั้น และฟิลเตอร์แบบอุดมคติก็สร้างไม่ได้ ดังนั้นผลที่ได้จริงๆในทางปฏิบัติจะแตกต่างไปเล็กน้อยซึ่งผลกระทบในส่วนนี้จะกล่าวในหัวข้อ 2.3.2 และ2.3.3 ต่อไป

2.3.2 ผลกระทบที่เกิดขึ้นในกรณีที่อัตราสุ่มตัวอย่างสูงไม่เพียงพอ

ในหัวข้อก่อนได้กล่าวถึงการสุ่มตัวอย่างสัญญาณอนาลอกโดยใช้ความถี่ของสัญญาณการสุ่มคือ $f_s = 2W$ อันที่จริงในระบบทั่วไปที่ไม่ใช่อุดมคตินั้น ความถี่ของการสุ่มจะต้องสูงกว่า 2W เสมอ ในหัวข้อนี้จะกล่าวถึงความจำเป็นที่ f_s จะต้องสูงกว่า 2W ดังกล่าวนี้ และผลกระทบที่จะเกิดขึ้นในกรณีที่ $f_s < 2W$

เพื่อความสะดวกในการพิจารณา ก่อนอื่นเราจะหาฟูเรียร์สเปกตรัมของสัญญาณสุ่มตัวอย่างอีกครั้งหนึ่งโดยใช้ระบบอุดมคติในรูป ตามรูปสัญญาณที่ออกจากวงจรคูณจะเขียนได้ดังนี้

$$V_s(t) = V(t) \sum_{n=-\infty}^{\infty} \delta(t-nT_s) \qquad (2.8)$$

เมื่อทำการหาฟูเรียร์ทรานสฟอร์มของสมการ (2.8) นี้ จะได้

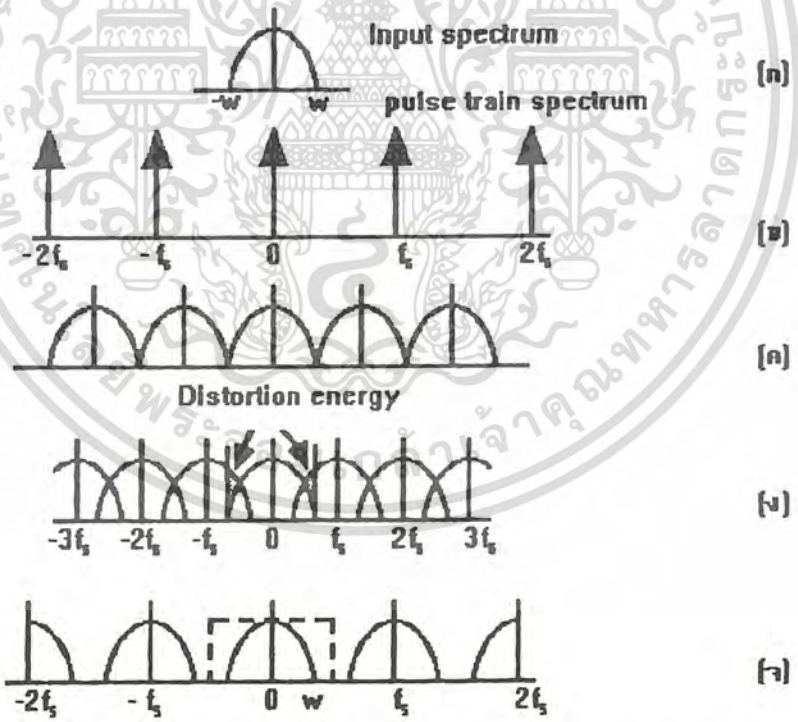
$$V_s(t) = V(t) * \sum_{n=-\infty}^{\infty} f_s\delta(f-nf_s)$$

$$= \sum_{n=-\infty}^{\infty} f_s V(f-nf_s) \qquad (2.9)$$

เมื่อนำสเปกตรัมที่ได้ตามสมการ (2.9) นี้ไปเขียนเป็นรูปก็จะได้ดังรูป 2.12 โดยที่รูป(ก)

เอกสารนี้ ... ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงสเปกตรัมของสัญญาณอนาลอกเบสแบนด์คือ V(t) รูป(ข) แสดงสเปกตรัมของขบวนอิมพัลส์ที่มีความถี่เป็น nf_s รูป (ค) แสดงการกระจายของสเปกตรัมกรณีที่ทำการสุ่มตัวอย่างด้วย $f_s = 2W$ รูป (ง) และรูป (จ) นั้นแสดงกรณีที่ $f_s < 2W$ และ $f_s > 2W$ ตามลำดับ สเปกตรัมของสัญญาณที่แสดงไว้ในรูป (ค) ถึงรูป (จ) นี้อันที่จริงคือสเปกตรัมของสัญญาณที่ถูกมอดูเลตแล้วนั่นเอง ลักษณะการมอดูเลตแบบนี้เรียกว่าพัลส์แอมปลิจูดมอดูเลชั่น (Pluse amplitude modulation ย่อว่า PAM) เมื่อสัญญาณที่ถูกมอดูเลตแล้วมีสเปกตรัมตามที่แสดงไว้ในรูป(ค)ถึงรูป(จ) การทำดีมอดูเลชั่นซึ่งก็คือการดึงเอาเฉพาะสเปกตรัมของสัญญาณเบสแบนด์ออกมาก็อาจจะทำได้โดยใช้ฟิลเตอร์ผ่านความถี่ต่ำ

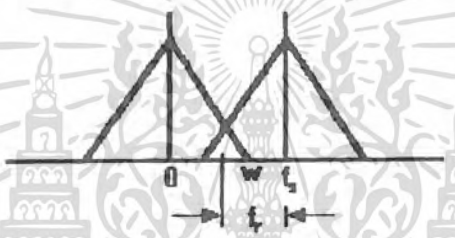


รูป 2.12 สเปกตรัมของสัญญาณเบสแบนด์และสเปกตรัมของสัญญาณสุ่มตัวอย่างที่มีอัตราสุ่มต่างๆกัน

อย่างไรก็ตาม ตามรูป(ค)นั้นจะต้องใช้ฟิลเตอร์ผ่านความถี่ต่ำแบบอุดมคติจึงจะสามารถสกัดสเปกตรัมของความถี่ที่อยู่ติดกันได้ แต่เนื่องจากฟิลเตอร์แบบอุดมคตินั้นสร้างไม่ได้เพราะฉะนั้นไม่อาจป้องกันการรบกวนจากสเปกตรัมที่มีความถี่สูงกว่าดังกล่าวได้ สำหรับกรณีของรูป(ง)ซึ่ง $f_s < 2W$ นั้นลักษณะจะเหมือนกับการใช้ความถี่คลื่นพาห์ที่สูงไม่เพียงพอในการมอดูเลต ซึ่งทำให้สเปกตรัม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

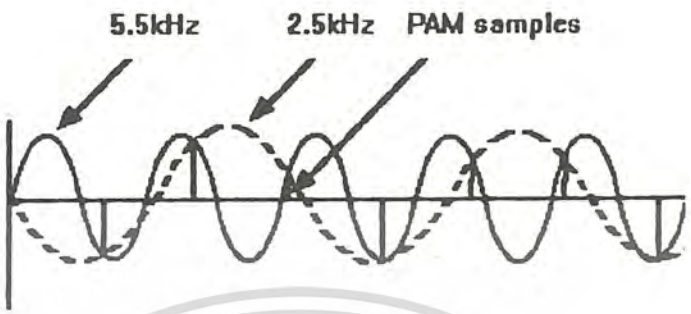
ของสัญญาณไซค์แบนด์ซ้อนกันอยู่ ในสภาพเช่นนี้ถึงแม้จะใช้ฟิลเตอร์ผ่านความถี่ต่ำแบบอุดมคติก็ไม่สามารถสกัดการรบกวนระหว่างไซค์แบนด์ได้ สำหรับกรณีที่ $f_s > 2W$ ตามรูป (จ) นั้น จะลดความยุ่งยากในการใช้ฟิลเตอร์ลงโดยเฉพาะถ้าช่วงการ์ดแบนด์ (guard band) คือ $f_s - 2W$ มีขนาดกว้างขึ้น ดังนั้นในกรณีทั่วไปจะเป็นไปตามเงื่อนไขในรูป (จ) นี้ ตัวอย่างของการสุ่มตัวอย่างสัญญาณเสียงที่มีสเปกตรัมสูงสุดอยู่ที่ 3.4 kHz ก็จะใช้อัตราการสุ่มคือ f_s เท่ากับ 8 kHz ซึ่งทำให้เกิดการ์ดแบนด์ 1.2 kHz ทำให้การสร้างฟิลเตอร์ทำได้ง่ายขึ้น ในระบบ PCMกล่าวถึงในหัวข้อก็จะใช้อัตราการสุ่มดังกล่าวนี้สำหรับอัตราสุ่มตัวอย่างขั้นต่ำที่จำเป็นคือ $f_s=2W$ นั้นโดยทั่วไปเรียกว่าอัตราสุ่มตัวอย่างของไนควิสต์ (Nyquist sampling rate)



รูป 2.13 การซ้อนกันของสเกตรัมเมื่อ $f_s < 2W$

ในลำดับต่อไปจะพิจารณาผลกระทบของกรณีที่ $f_s<2W$ ซึ่งทำให้ไซค์แบนด์ขอสเปกตรัมมาซ้อนกันอยู่ดังรูป 2.12(ง) เพื่อให้เห็นภาพที่ชัดเจนขึ้นจะขอใช้รูป ในการอธิบาย ในการดีมอดูเลตนั้นเมื่อเราใช้ฟิลเตอร์ผ่านความถี่ต่ำที่มีแบนด์วิดท์เป็น $f_s / 2$ มาใช้ในการดีมอดูเลตสัญญาณเราจะพบว่าสัญญาณที่ดีมอดูเลตมาได้นั้น จะเกิดการผิดเพี้ยนขึ้นเพราะสเปกตรัมในช่วง $f_s / 2$ ถึง W ผ่านฟิลเตอร์ไม่ได้ นอกจากนั้นสเปกตรัมที่เกิดอยู่ในช่วง f_s - Wถึง$f_s / 2$ ก็อาจจะเป็นของปลอมได้กล่าวคือ ในช่วงของสเปกตรัมที่ไซค์แบนด์ซ้อนกันอยู่นี้ f_sซึ่งเป็นสเปกตรัมของความถี่เบสแบนด์จะทำให้เกิดสเปกตรัม $f_s - f_r$ ในความถี่เบสแบนด์เพิ่มขึ้นมา ได้ดังที่แสดงในรูป นั่นหมายความว่าถึงแม้ว่าสัญญาณเดิมจะไม่มีสเปกตรัม $f_s - f_r$ อยู่ สเปกตรัม f_r ก็จะทำให้เกิดสเปกตรัม $f_s - f_r$ ขึ้นมา สเปกตรัม $f_s - f_r$ จึงเป็นของปลอมที่ไม่ได้มีตั้งแต่ต้น ลักษณะเช่นนี้เรียกว่าการเกิดสเปกตรัมปลอม (aliasing) ซึ่งเป็นสิ่งที่ต้องระวังอย่างมากในการออกแบบระบบจริง รูป แสดงการเกิดสเปกตรัมปลอมในกรณีที่ทำการสุ่มตัวอย่างสัญญาณไซน์ความถี่ 5.5 kHz ด้วยอัตราการสุ่ม 8 kHz แล้วทำการดีมอดูเลตด้วยฟิลเตอร์ผ่านความถี่ต่ำที่มีแบนด์วิดท์เป็น 4 kHz สเปกตรัมปลอมที่เกิดขึ้นจะมีความถี่เป็น 8 kHz - 5.5 kHz = 2.5 kHz ซึ่งแสดงเป็นเส้นประไว้ในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.14 การเกิดสเปกตรัมปลอมจาก 5.5kHz เป็น 2.5kHz เมื่ออัตราการสุ่มตัวอย่างเป็น 8kHz

2.3.3 การกระจายของสเปกตรัมกรณีสัญญาณสุ่มตัวอย่างมีความกว้างจำกัด

สัญญาณพัลส์ที่นำไปคูณกับสัญญาณจริงเพื่อทำการสุ่มตัวอย่างนั้น ในทางปฏิบัติมักจะไม่สามารถสร้างให้แคบมากจนเป็นอิมพัลส์ได้ จึงมักจะต้องมีความกว้างของพัลส์จำกัดอยู่ที่ค่าๆหนึ่ง ถ้าให้ความกว้างของพัลส์เป็น τ สมการ (2.8) จะเขียนได้เป็น

$$V_s(t) = V(t) \sum_{n=-\infty}^{\infty} p(t-nT_s) \qquad (2.10)$$

โดยที่

$$p(t) = \begin{cases} 1 & |t| \leq \tau/2 \\ 0 & |t| \geq \tau/2 \end{cases} \qquad (2.11)$$

เมื่อทำฟูเรียร์ทรานสฟอร์มสมการที่ (2.10) จะได้

$$V_s(f) = V(t) * \sum_{n=-\infty}^{\infty} f_s P(f)\,(f-nf_s) \qquad (2.12)$$

โดยที่ P(f) เป็นฟูเรียร์ทรานสฟอร์มของ p(t) และเขียนได้เป็น

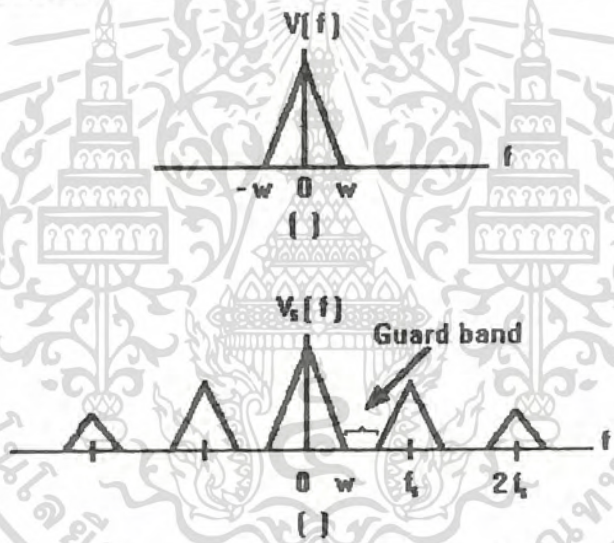
$$P(f) = \tau\ \mathrm{sinc}(\pi t\tau) \qquad (2.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
037109

เมื่อแทนค่าสมการ (2.13) ลงในสมการ (2.14) พร้อมทั้งหาคอนโวลูชั่นของสมการ(2.12)จะได้ผลดังนี้

$$V_s(f) = \sum_{n=-\infty}^{\infty} \tau f_s \, \mathrm{sinc}(\pi \tau n f_s) \, V(f - n f_s) \qquad (2.14)$$

เมื่อพิจารณาผลที่ได้ในสมการ (2.13) นี้ จะเห็นได้ว่า สเปกตรัมของความถี่ฮาร์โมนิกส์จะมีขนาดต่ำลง โดยมี $\tau f_s \, \mathrm{sinc}(\pi \tau n f_s)$ เป็นเอนเวลโลปอยู่ รูป แสดงการกระจายของสเปกตรัม ตามสมการ (2.14) นี้ ดังนั้นในกรณีนี้เราก็จะสามารถใช้วงจรฟิลเตอร์ผ่านความถี่ต่ำในการดีมอดูเลตสัญญาณเบสแบนด์ออกมาได้เช่นเดียวกัน



รูป 2.15 การกระจายของสเปกตรัมกรณีที่สัญญาณสุ่มตัวอย่างเป็นพัลส์สี่เหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล(ADC)

การแปลงสัญญาณอะนาลอกเป็นดิจิตอล สัญญาณจะถูกแปลงเป็นจำนวนทางดิจิตอลโดยการสุ่ม หรือการแซมปลิ้ง(SAMPLING) ดังจะเห็นได้ดังรูป ถ้าสมมุติว่ามีเอาต์พุท8เส้น โดยเอาต์พุทแต่ละเส้นแสดงสถานะเป็นลอจิก 1 หรือ 0 จะมีความแตกต่างทางรหัสไบนารีทั้งหมด หรือ 256 รหัส

รูป 2.16 สัญญาณอนาลอกจะถูกสุ่มที่ช่วงคลื่นเป็นระยะๆ

2.4.1 ค่าความละเอียดและความเที่ยงตรง

ค่าความละเอียดของตัวแปลงสัญญาณอะนาลอกเป็นดิจิตอลถูกอธิบายเป็นระยะห่างที่น้อยที่สุดของค่าแรงดันทางอินพุทที่เพิ่มขึ้น ซึ่งถูกกำหนดโดยตัวแปลงสัญญาณนั้น ระยะยิ่งห่างน้อยเท่าไหร่ ค่าความละเอียดยิ่งสูงขึ้น โดยค่าความละเอียดแปรผันตรงกับจำนวนของบิตเอาต์พุท ยกตัวอย่างเช่น ถ้าตัวแปลงสัญญาณมีความแตกต่างทางรหัสเอาต์พุท 256 ระดับสัญญาณอินพุท ถูกแทนเป็นไบนารี่ จาก 00000000 ถึง 11111111 ถ้าย่านอินพุตเริ่มจาก 0-5 V ดังนั้น ค่าความละเอียดเท่ากับ

$$5V/\ 256 = 0.0195\ V$$

ถ้าเอาต์พุทไบนารี่ เป็น 00000001 จะแทน 0.0195 V ในทำนองเดียวกัน ถ้าเอาต์พุตไบนารี่เป็น 00000010 จะแทน 0.039 V และค่าอื่นๆตามลำดับ ถ้าต้องการทราบค่าไบนารี่ของ 3.042 V จะมีค่าเท่ากับ

$$3.042\ V\ /\ 0.0195 = 156$$

เมื่อทำการแปลงเป็นรหัสไบนารี่ มีค่าเท่ากับ 10011100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 ไอซีแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ADC0804

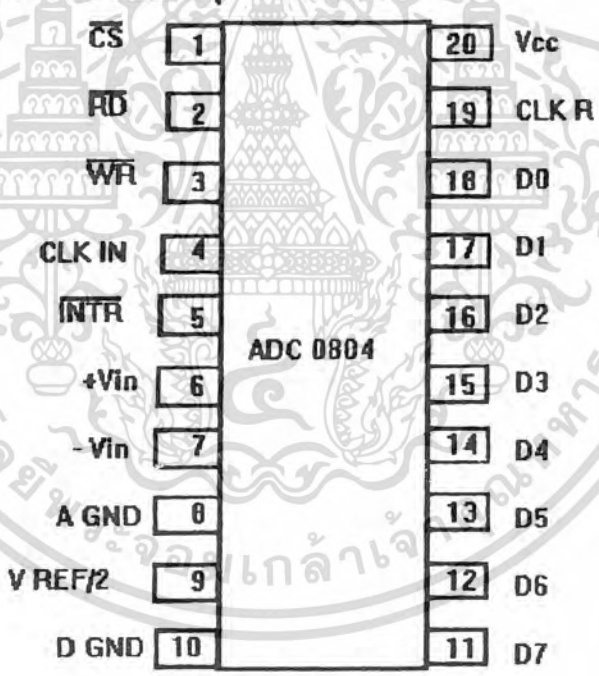
ADC0804 เป็นไอซีแปลงสัญญาณอะนาลอก เป็นดิจิตอลขนาด 8 บิต ซึ่งตำแหน่งขาต่างๆ ของ ADC0804 แสดงดังรูป สัญญาณนาฬิกาที่ใช้กับวงจรนี้ทำได้ 2 ทาง คือใช้สัญญาณนาฬิกาจากภายนอก ค่า 100 ถึง 800 กิโลเฮิรตซ์ ป้อนเข้าขา4(CLKIN)อีกวิธีหนึ่ง คือใช้สัญญาณนาฬิกาจากภายในจากขา19 โดยสามารถกำหนดค่าของสัญญาณนาฬิกาได้จาก RC ภายนอก โดยค่าความถี่หาได้จากสมการที่

$$f = 1 / 1.1\,RC \qquad (2.15)$$

f = ความถี่เอาต์พุทที่ได้ หน่วยเป็น เฮิรตซ์

R = ค่าความต้านทาน หน่วยเป็น โอห์ม

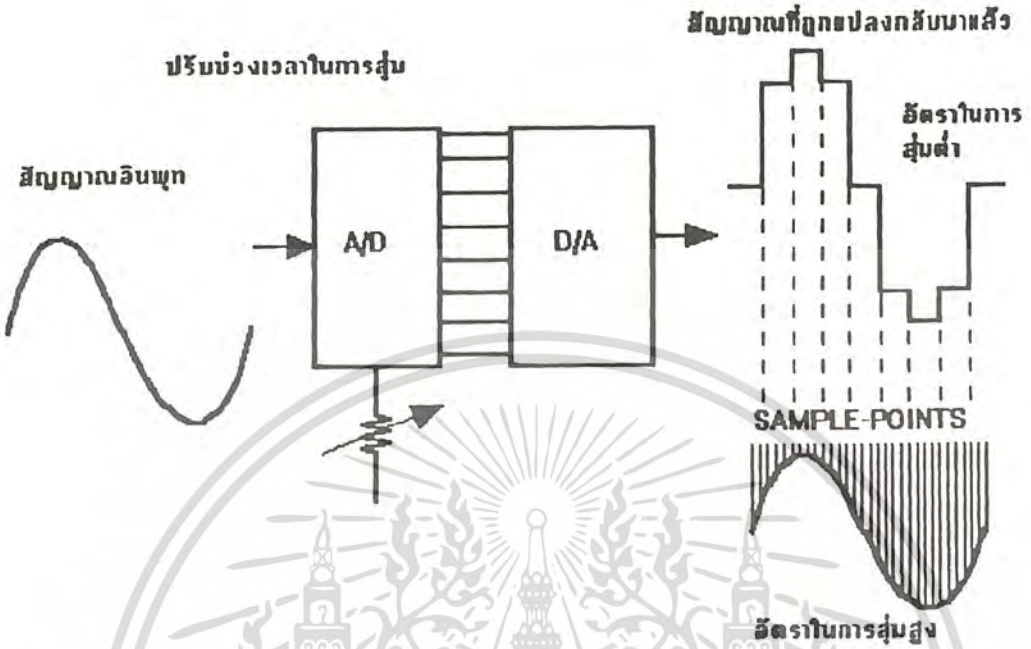
C = ค่าตัวเก็บประจุ หน่วยเป็น ฟารัด



รูป 2.17 แสดงไอซีแปลงสัญญาณอนาลอกเป็นดิจิตอลเบอร์ ADC0804

ความถี่สัญญาณนาฬิกามีค่ามาก ก็มีผลทำให้สัญญาณดิจิตอลทางเอาต์พุท ใกล้เคียงกับสัญญาณอะนาลอกทางอินพุตมากขึ้นด้วยดังแสดงในรูป 2.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

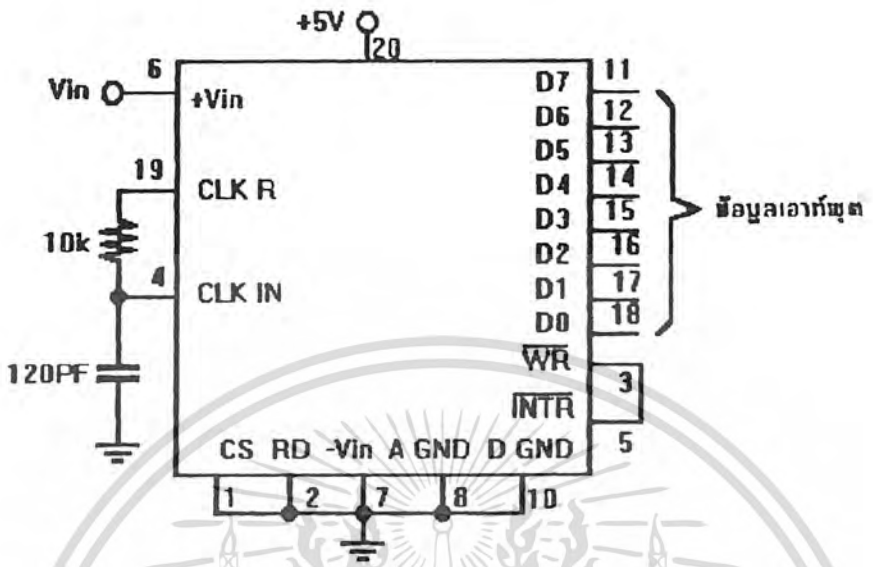


รูป 2.18 การสุ่มสัญญาณอนาลอกเร็วขึ้น ทำให้เอาท์พุทที่ถูกสร้างขึ้นใหม่โดยตัวแปลงสัญญาณดิจิตอลเป็นอนาลอกสมบูรณ์มากขึ้น

ขา 5 ของไอซี ADC0804 เป็นขา $\overline{\text{INTR}}$ หรือบางทีเรียกว่าขา EOC(end of conversion) จะให้เอาต์พุท เป็นLOW เมื่อการแปลงเสร็จสิ้นสมบูรณ์ การกำหนดแรงดันอ้างอิงสามารถกำหนดได้ที่ขา 9 (Vref / 2) ถ้าต้องการแรงดันอ้างอิงเท่ากับ3โวลต์ จะต้องป้อนแรงดันค่า1.5โวลต์ เข้าทางขา 9

การทำให้ ไอซี สามารถทำงานอย่างต่อเนื่องนั้น ขา $\overline{\text{CS}}$ ขา $\overline{\text{RD}}$ จะต้องต่อลงกราวนด์ ส่วนขา $\overline{\text{WR}}$ จะต้องต่อเข้ากับขา $\overline{\text{INTR}}$ ดังแสดงในรูป 2.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

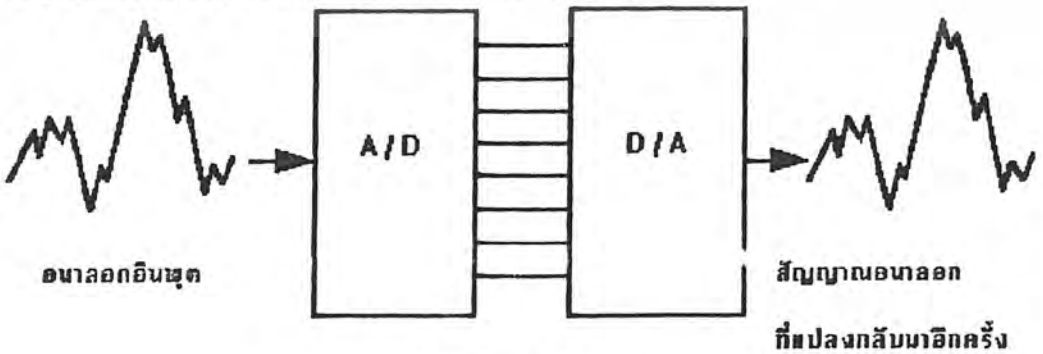


รูป 2.19 การต่อ ADC0804ให้ใช้งานอย่างต่อเนื่อง

การต่อแบบนี้ ทำให้เมื่อ $\overline{INTR}$ อยู่ในสภาวะ LOW ขา $\overline{WR}$ ก็เป็นLOWด้วยทำให้ไอซีถูกรีเซ็ต และขา $\overline{INTR}$ กลับมาอยู่ในสภาวะ HIGH อีกครั้ง ขา $\overline{WR}$ ก็จะเป็น HIGH ไปด้วย การแปลงสัญญาณก็จะเริ่มต้นอีกครั้งบางครั้งขบวนการแปลงสัญญาณอาจจะไม่ทำงานเมื่อเริ่มก็ได้ จึงต้องป้อนพัลซ์ลบ เข้าทางขา $\overline{WR}$ เพื่อให้ไอซีเริ่มทำงาน

2.5 การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก(DAC)

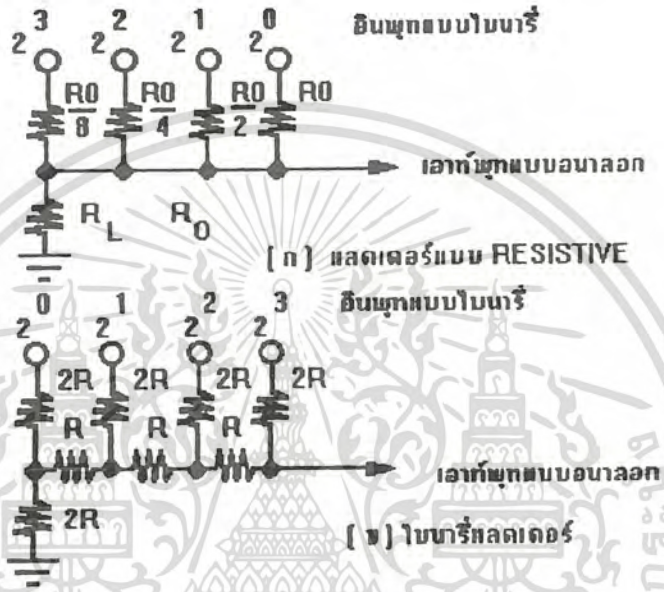
ทุกวันนี้คอมพิวเตอร์เข้ามามีบทบาทกับมนุษย์มากขึ้น อุปกรณ์ประเภทวงจรแปลงสัญญาณอะนาลอกก็เริ่มมีบทบาทเพิ่มขึ้น จะพบว่า เสียงดนตรี เสียงพูด ที่เป็นลักษณะดิจิตอล จะสามารถกำจัดเสียงรบกวน และส่งสัญญาณในรูปกระแสไฟฟ้าได้ง่ายและเมื่อต้องการใช้งานจริงทางเครื่องรับจะถูกเปลี่ยนกลับ เป็นสัญญาณอะนาลอกอีกครั้ง ดังรูป 2.20



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.20 การส่งสัญญาณแบบดิจิตอลช่วยขจัดสัญญาณรบกวนได้ดี

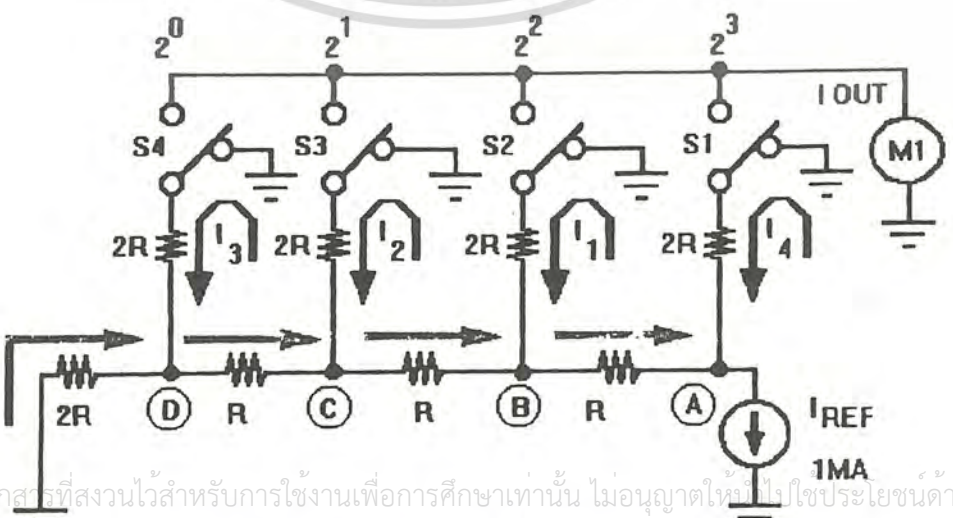
การแปลงสัญญาณดิจิตอลเป็นอะนาลอก ง่ายกว่าการแปลงสัญญาณอะนาลอกเป็นดิจิตอล โดยวงจรอย่างง่ายประกอบขึ้น ด้วยข่ายวงจรของความต้านทานดังในรูป ซึ่งวงจรที่เป็นที่นิยม จะเรียกว่าวงจร ไบนารี่แลดเดอร์ ดังในรูป (2.21)



รูป 2.21 ข่ายวงจรความต้านทาน แบบดิจิตอลไปเป็นอนาลอก

ไบนารี่แลดเดอร์ คือ ข่ายวงจรของความต้านทาน ซึ่งทำการแปลงสัญญาณดิจิตอล เป็นแรงดันหรือกระแสค่าหนึ่ง ซึ่งมีค่าเท่ากับผลรวมของหลักไบนารี่ทางอินพุต

รูป 2.21(ข) แสดงวงจร ไบนารี่แลดเดอร์ ที่ใช้เป็นวงจรแบ่งกระแสความต้านทาน R และ 2Rจะต้องสูงพอที่จะไม่เป็นโหลดให้กับภาคจ่ายไฟ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.22 การแบ่งกระแสในไบนารี่แลดเดอร์

2.6 การเปลี่ยนกระแสเป็นแรงดัน (CURRENT - TO - VOLTAGE CONVERTERS)

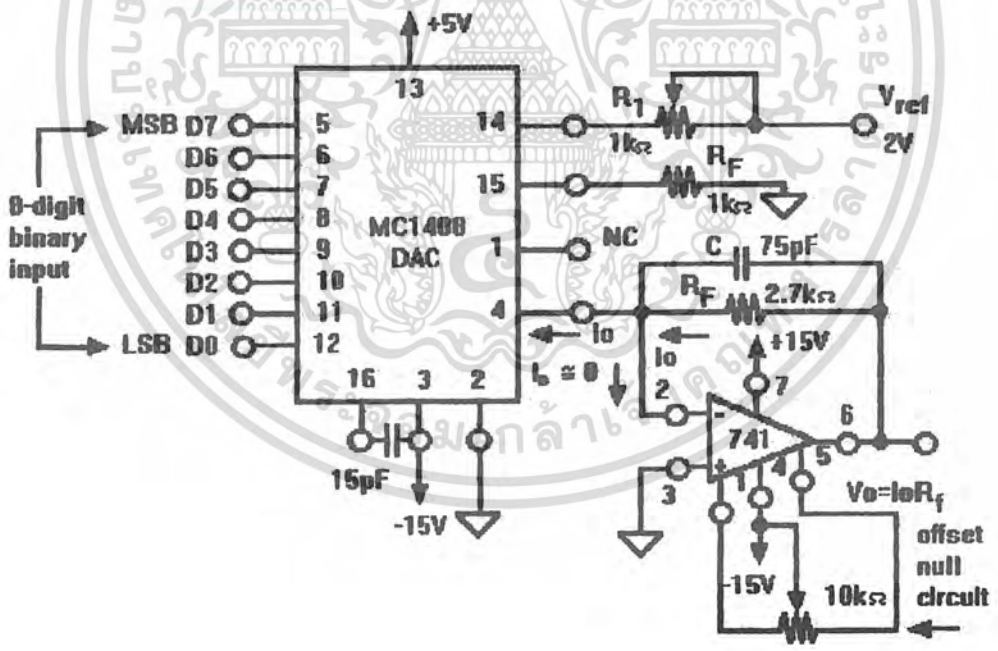
การใช้ DAC เปลี่ยนกระแสเป็นแรงดัน

จากรูป แสดงวงจรการเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกและเปลี่ยกระแสเป็นแรงดัน โดยมีสัญญาณดิจิตอลD0-D7ป้อนให้กับไอซีเบอร์ MC 1408 DAC ค่าของ Vo นี้ จะสอดคล้องกับสัญญาณอนาลอก เอาท์พุทของการเปลี่ยนกระแสเป็นแรงดัน โดยที่เอาท์พุทของไอซี MC 1408 เป็นกระแส(Io) ค่าของกระแสนี้จะขึ้นอยู่กับสภาวะโลจิก(0หรือ1)ของไบนารี่เอาท์พุท(D0-D7)ที่แสดงโดยสมการ

$$Io = \frac{Vref}{R1}\left[\frac{D7}{2} + \frac{D6}{4} + \frac{D5}{8} + \frac{D4}{16} + \frac{D3}{32} + \frac{D2}{64} + \frac{D1}{128} + \frac{D0}{256}\right]$$

โดย Io = กระแสเอาท์พุทของ DAC (mA)

R1 = ค่าความต้านทาน (kΩ)



$$Io = \frac{Vref}{R1}\left[\frac{D7}{2} + \frac{D6}{4} + \frac{D5}{8} + \frac{D4}{16} + \frac{D3}{32} + \frac{D2}{64} + \frac{D1}{128} + \frac{D0}{256}\right] \qquad (2.16)$$

รูป 2.23 DAC using current - to - voltage converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vref = reference voltage (volts)

D0-D7 = อินพุทไบนารี่ 8 หลัก

กระแส Io จะมีค่าเป็นศูนย์ เมื่อค่าโลจิกเป็น 0 ทั้งหมด และ ค่ากระแส Io จะมีค่ามากที่สุด เมื่ออินพุทไบนารี่ทั้งหมดเป็น1 ดังนั้นค่าของกระแสจะเป็นฟังก์ชั่นของอินพุทโลจิกD0-D7 ค่ากระแส Io ที่เปลี่ยนแปลงนี้ จะถูกเปลี่ยนเป็นแรงดันอีกที ค่าของแรงดันจะขึ้นอยู่กับการเลือกค่า R_F ดังสมการ

$$Vo = Io\ R_F \qquad (2.17)$$

ตัวอย่าง จากวงจรรูปที่ กำหนดให้ Vref = 2V,R1 = 1 kΩ และR_F = 2.7 kΩให้หาค่าสูงสุดของ Vo

วิธีทำ เมื่ออินพุทไบนารี่ D0-D7 เป็นศูนย์ ค่ากระแส Io จะเป็นศูนย์ จะให้ค่า Vo ต่ำสุด อย่างไรก็ตาม เมื่ออินพุท D0-D7 เป็น 1 ทั้งหมด ค่าของ Voเป็นค่าสูงสุดค่าของกระแสIoหาได้จากสมการ

$$Io = \frac{2}{1k}\left[\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256}\right]$$

$$= 1.992\ mA$$

ค่าโวลท์เตจสูงสุด คือ

$$Vo = Io\ R_F = (\ 1.992\ mA\ )\ (\ 2.7\ k\Omega\ )$$

$$= 5.38\ V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 การกรองสัญญาณ

วงจรกรองสัญญาณเป็นส่วนหนึ่งของเครื่องเข้ารหัสเสียงพูด นับได้ว่ามีความสำคัญในการขจัดปัญหาสิ่งรบกวนที่สอดแทรกมากับสัญญาณ หรือสัญญาณรบกวนที่เกิดจากตัวอุปกรณ์เอง การออกแบบวงจรกรองสัญญาณต้องคำนึงถึงขีดความสามารถในการทอนสัญญาณส่วนที่ไม่ต้องการ ให้มีผลต่อการรับฟังของเครื่องเข้ารหัสเสียงพูดชนิดนี้ให้น้อยที่สุด ในโครงงานนี้จะใช้วงจรกรองความถี่ทั้งชนิดที่กรองความถี่ต่ำผ่าน และกรองความถี่สูงผ่าน ซึ่งในการสื่อสารด้านเสียงจะใช้ความถี่อยู่ในช่วง 50-3300Hz จึงต้องสร้างวงจรกรองความถี่ต่ำผ่าน ที่มีความถี่คัทออฟ (cut off frequency) ที่ 3300Hz และวงจรกรองความถี่สูงผ่านที่ความถี่ 200Hz โดยจะใช้วงจร Active filter เนื่องจากมีข้อดีหลายประการ

2.7.1 วงจรส่วนไฮพาส (HI-PASS FILTER)

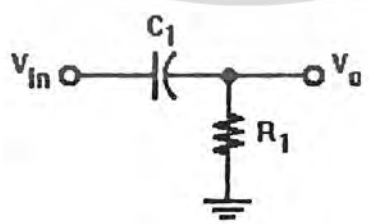
เป็นวงจรกรองความถี่แบบพาสซีฟ(Passive)อันดับที่1 ประกอบด้วยตัวเก็บประจุไฟฟ้าC_1 และตัวต้านทานR_1 ซึ่งต่อขนานอยู่กับค่าความต้านทานทางด้านอินพุทของวงจรในส่วนที่2 ซึ่งมีค่ามากกว่าR_1 มากจึงไม่นำมาคิด ดังนั้นจะได้ว่า

สมการโนด(Node Equetion)

$$V_0(sC_1+(1/R_1)) - V_m(sC_1) = 0$$

ทรานเฟอร์ฟังก์ชั่น(Transfer Function)

$$V_0 = sC_1 = s \qquad (2.18)$$



รูป 2.24 วงจรกรองความถี่ไฮพาสที่ใช้

$$V_m = (sC_1+(1/R_1))/C_1 = s+(1/C_1R_1) \qquad (2.19)$$

ซึ่งจะได้ความถี่คัทออฟที่

$$f_H = 1/2\pi(\sqrt{C_1R_1}) \qquad (2.20)$$

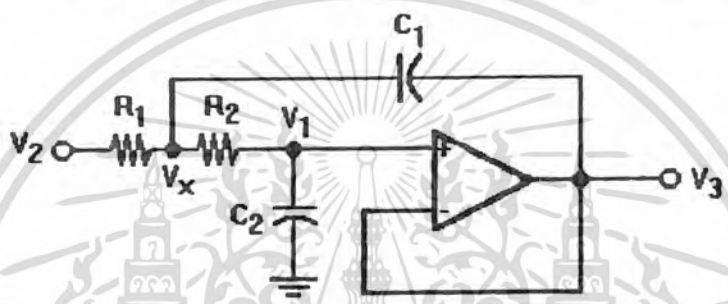
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่า $= 1/2\pi(\sqrt{2.2\times10^{-6}})\,(4.6)$

$= 49.98 = 50$ Hz

2.7.2 วงจรโลว์พาส(Low - Pass Filter)

เป็นวงจรกรองความถี่สัญญาณแบบอันดับที่2 ประกอบด้วยออปแอมป์ และวงจรRCดังรูป



รูป 2.25 วงจรกรองความถี่โลว์พาสที่ใช้

พิจารณาโดยใช้การวิเคราะห์แบบโนด (Node Analysis) จะได้สมการดังนี้

$$\begin{bmatrix} \frac{1}{R_1}+\frac{1}{R_2}+sC_1 & -\frac{1}{R_2} \\ \frac{1}{R_2} & -\frac{1}{R_2}+sC_1 \end{bmatrix} \begin{bmatrix} V_x \\ V_1 \end{bmatrix} = \begin{bmatrix} sC_1 & \frac{1}{R_1} \\ 0 & 0 \end{bmatrix} \begin{bmatrix} V_3 \\ V_2 \end{bmatrix}$$

จะได้ทรานเฟอร์ฟังก์ชั่นฟีดแบค(Feedback Transfer Function)

$$T_{FB} = \left.\frac{V_1}{V_3}\right|_{V_2=0} = \frac{s/R_2C_2}{s^2+s(1/R_1C_1)+(1/R_2C_1)+(1/R_2C_2)+(1/R_1R_2C_1C_2)} \qquad (2.21)$$

ทรานเฟอร์ฟังก์ชั่นฟอร์เวอร์ด(Feedforward Transfer Function)

$$T_{FB} = \left.\frac{V_1}{V_2}\right|_{V_3=0} = \frac{1/R_1R_2C_1C_2}{s^2+s(1/R_1C_1)+(1/R_2C_1)+(1/R_2C_2)+(1/R_1R_2C_1C_2)} \qquad (2.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะได้ทรานเฟอร์ฟังก์ชั่นของวงจรดังสมการ

$$T_{FB} = \frac{kN_{FF}}{D-KN_{FB}} \qquad (2.23)$$

เมื่อ N_{FB} ,N_{FF} คือ เศษ(Numerator)ของ T_{FB} ,T_{FF} ตามลำดับ

D คือ ส่วน(Denomenator)ของทั้ง T_{FB} และT_{FF}

k คือ อัตราการขยาย มีค่าประมาณ $1+(r_2/r_1)$ในที่นี้มีค่าเท่ากับ 1

ดังนั้นจะได้ว่า

$$T_V = \frac{k/R_1R_2C_1C_2}{s^2+s(1/R_1C_1)+(1/R_2C_1)+((1-k)/R_2C_2)+(1/R_1R_2C_1C_2)} \qquad (2.24)$$

จากฟังก์ชั่นของอัตราการขยายแรงดันอันดับ2 ของวงจรกรองความถี่แบบโลว์พาส

$$\frac{V_O}{V_{in}} = \frac{W_P^2}{s^2+(W_P/Q_P)s+W_P^2}$$

ซึ่งความถี่คัทออฟมีค่าเท่ากับความถี่โพล

$$W_L = W_P = 1/\sqrt{R_1R_2C_1C_2}$$

$$f_L = 1/2\pi(\sqrt{R_1R_2C_1C_2})$$

แทนค่า $= 1/2\pi \sqrt{(72\times10^3)(72\times10^3)(837\times10^{-12})(536\times10^{-12})}$

$= 3.3$ kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

DATA SCRAMBLE

สำหรับ Project ที่จัดทำขึ้นนี้ เครื่อง Data scramble จะมี Hard ware ประกอบด้วย เครื่อง 2 เครื่อง คือ

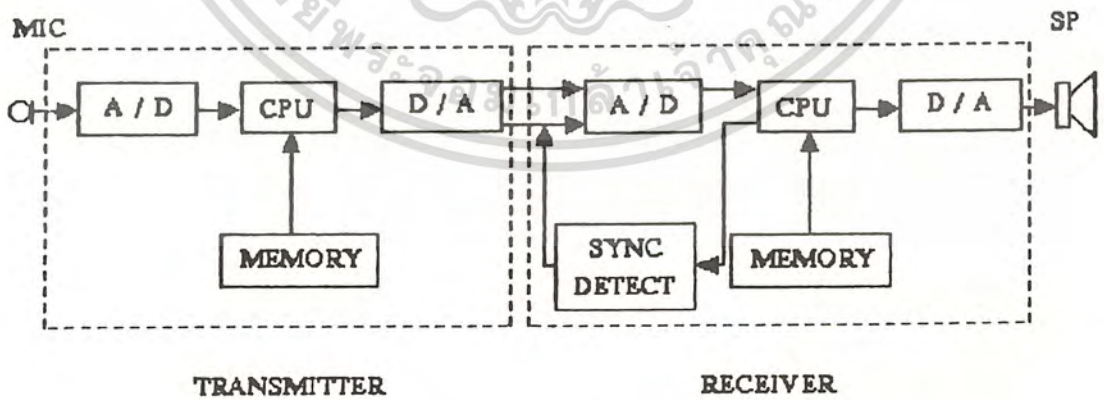
1. เครื่องส่ง (Scramble)
2. เครื่องรับ (Descramble)

ทั้งเครื่องส่ง และเครื่องรับจะประกอบด้วยส่วนที่สำคัญที่เหมือนกัน 4ส่วน ประกอบดังรูป โดยประกอบด้วย

1. Micro Processor Unit
2. Analog to Digital Conversion (ADC)
3. Digital to Analog Conversion (DAC)
4. Power supply

วงจรส่วนที่แตกต่างกัน มีเฉพาะในเครื่องรับ คือ

5. Sync DETECTERS



รูป 3.1 BLOCK DIAGRAM OF DATA SCRAMBLE

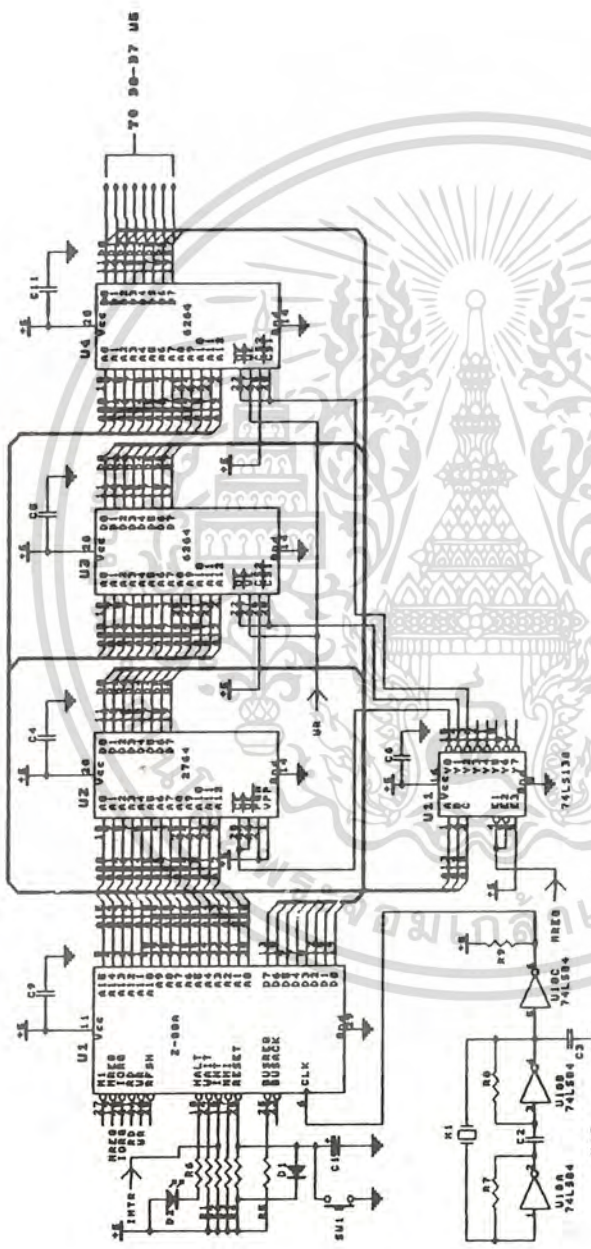
ทุกส่วนที่เหมือนกันทั้งเครื่องรับ และเครื่องส่งจะถูกประกอบอยู่บน Board เดียวกัน สำหรับเครื่องรับจะเพิ่มเติมวงจร Sync DETECTERS เพื่อทำการตรวจสอบสัญญาณSync ที่ส่งมาจากเครื่องส่ง และนำไปทำการ Interupt Z-80A ซึ่งต่อไปจะได้กล่าวถึงรายละเอียดของแต่ละส่วนดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 MICRO PROCESSOR UNIT

หัวใจในการทำงานของระบบไมโครโปรเซสสเซอร์ใช้ CPU เบอร์ Z-80A หน่วยความจำ ROM และRAM โดยมีวงจรกำเนิด Clock ซึ่งทำการผลิตความถี่ 3.579MHz ส่งให้กับ Z-80A โดยโปรแกรมควบคุมการทำงานของเครื่องส่ง และเครื่องรับจะถูกบรรจุอยู่ในหน่วยความจำ ROM ใช้ไอซีเบอร์ 2764(U-2) มี Address ตั้งแต่ 0000H-1FFFH และหน่วยความจำ RAM ใช้เบอร์ 6264 (U-3) อยู่ที่ Address 2000-3FFFH และ 6264 (U-4) อยู่ที่ Address 4000H-5FFFH ดังในวงจรรูป 3.2 การอ้างถึงหน่วยความจำทั้งสาม กระทำโดยการถอดรหัส Address ของหน่วยความจำด้วย IC 74LS138 (U-11) สำหรับสัญญาณ Reset ก็ได้จาก R_1,C_2 ซึ่งจะReset CPU ขณะเปิดเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.2 วงจรของ MICRO PROCESSOR UNIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ANALOG TO DIGITAL CONVERSION (ADC)

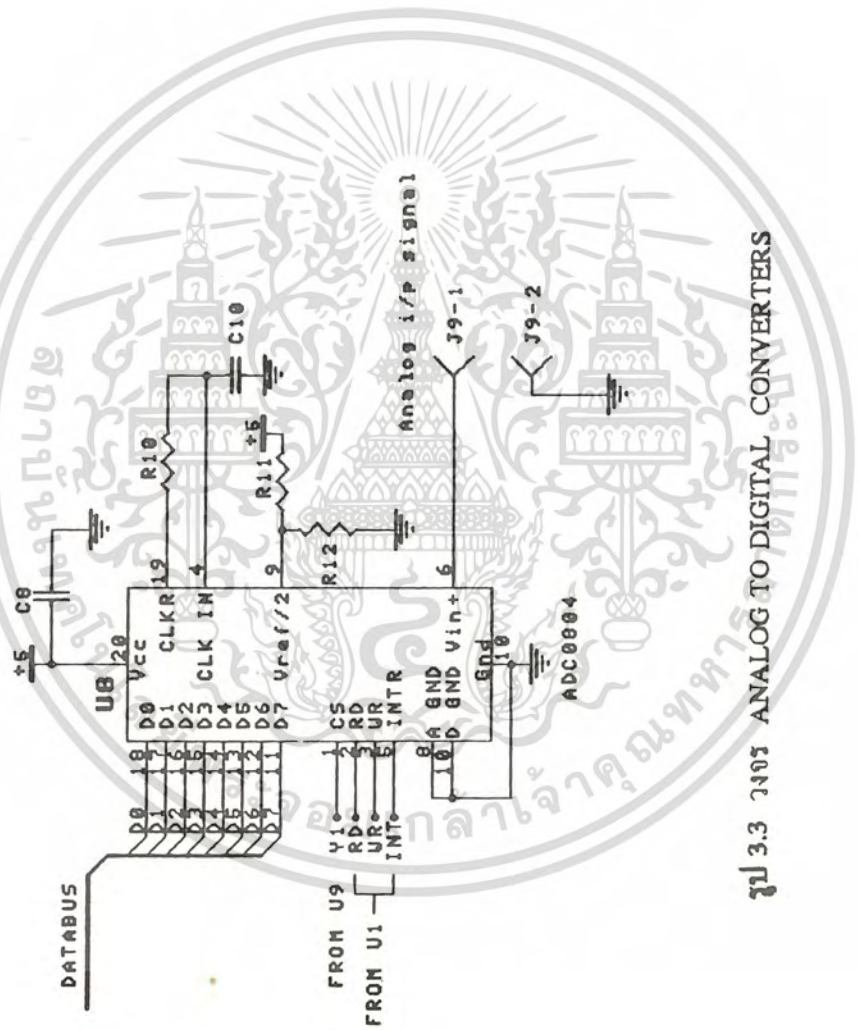
วงจร ADC ที่ใช้ในโครงงานนี้ ถูกบรรจุอยู่ใน IC เบอร์ ADC0804 ซึ่งเป็น CMOS 8 BIT SUCCESSIVE APPROXIMATE ADC สามารถอินเตอร์เฟสเข้ากับ Z-80A ได้โดยตรงสัญญาณ Analog ที่ทำการแปลงเป็นสัญญาณDigital จะถูกป้อนเข้าที่ขา6 ของ IC ถ้าสัญญาณมีความแรงมากเกินไป วงจรภายในไอซีจะทำการ Clip สัญญาณเอง ADC0804 ใช้สัญญาณนาฬิกาจากภายนอกวงจร ตามรูป ใช้รีซีสเตอร์ค่า 10KΩ และคอนเดนเซอร์ 150pF ต่อเข้าที่ขา19 และ 4 ซึ่งความถี่สัญญาณนาฬิกาคำนวณได้จากสูตร

$$F_{CLK} = \frac{1}{1.1\,RC} \qquad (3.1)$$

จากวงจรจะได้สัญญาณ Clock ให้กับ IC มีความถี่ประมาณ 606 KHz การเปลี่ยนสัญญาณ Analog เป็น Digital ทำได้โดยการ Start of Conversion คือทำให้ขา WR และ CS ของ ADC0804 เป็น Low พร้อมกัน โดยการดีโค้ดของไอซี 74LS138 (U-11) ด้วยคำสั่ง Out (80H),A เมื่อเริ่มการแปลงแล้ว ADC0804 จะใช้เวลาในการแปลงประมาณ100 μSec แล้วส่งสัญญาณที่ขา INTR ไปยังขา INT ของ Z-80A และ Z-80A จะรู้ว่าข้อมูล Digital ที่ได้จากการแปลงมีค่าเท่าไหร่โดยการดีโค้ดของไอซี 74LS138(U-11) เช่นกัน ด้วยคำสั่ง IN A,(80H) ซึ่งทำให้สัญญาณที่ขา RD และ CS ของ ADC0804เป็น Low พร้อมกันก็จะได้ข้อมูลอยู่ในRegisterและ Z-80Aก็จะทำการอ่านข้อมูลDigitalไปเก็บไว้ใน Memoryเมื่อต้องการให้ADC0804เริ่มทำงานใหม่ก็ใช้คำสั่ง OUT(80H),A ใหม่อีกครั้ง เราจะให้มีการทำงานกี่ครั้งก็สามารถกำหนดได้

ส่วน Voltage reference ที่ขา $V_{REF}/2$ (ขา 9) ได้ใช้วงจร Voltage divider ทำการแบ่งแรงเคลื่อนจาก 5 Volts ให้เหลือเพียง 2.5 Volts ป้อนให้กับ ADC0804

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



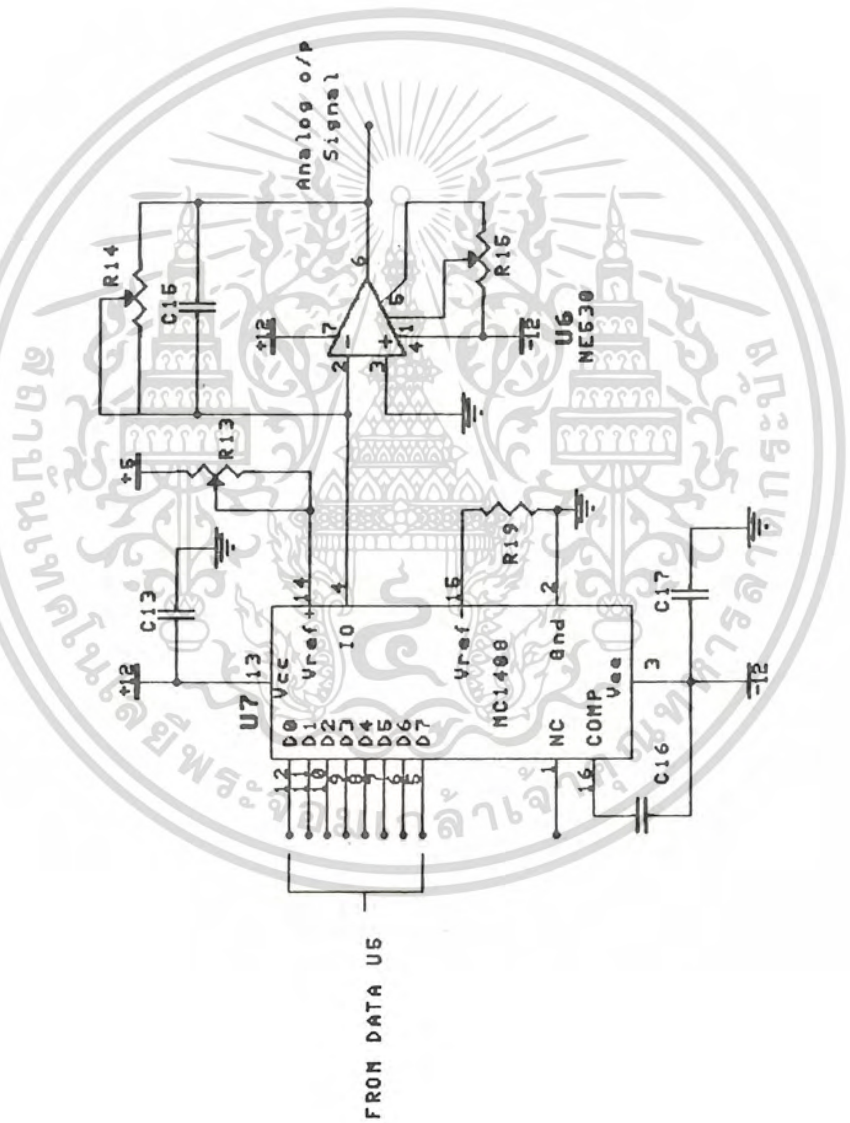
รูป 3.3 วงจร ANALOG TO DIGITAL CONVERTERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 DIGITAL TO ANALOG CONVERSION (DAC)

ส่วนของวงจรแปลงสัญญาณDigitalเป็นAnalog ใช้ไอซีADC0804 การแปลงสัญญาณ จะควบคุมการแปลงโดยมีIC 74LS373ต่อเป็นวงจรLatch สัญญาณต่อร่วมด้วย การควบคุมการแปลงสัญญาณDigitalเป็นAnalog จะกระทำได้โดยที่ Z-80A ทำการส่งข้อมูลDigital ออกที่ Port 81H ด้วยคำสั่ง OUT(81H),A ก็จะได้สัญญาณดิจิตอลปรากฏที่OUTPUTของIC 74LS373 ซึ่งต่ออยู่กับไอซี DAC0804สัญญาณที่ออกจากขา4ของDAC0804 เป็นกระแส ทำการเปลี่ยนกระแสเป็นแรงดันโดยมีอัตราการขยายประมาณ5เท่า โดยใช้Amplifier ICเบอร์LM358 และได้สัญญาณAnalogออกที่ Output ของวงจร จะเห็นว่าIC 74LS373 เป็นวงจรซึ่ง Latch ข้อมูล ดังนั้น ถ้า Z-80A ไม่สั่งให้วงจรDAC ทำการแปลงสัญญาณDigital เป็นAnalogอีก ข้อมูลในรูปสัญญาณAnalog ก็จะสามารถค้างอยู่ได้ในรูปของVoltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



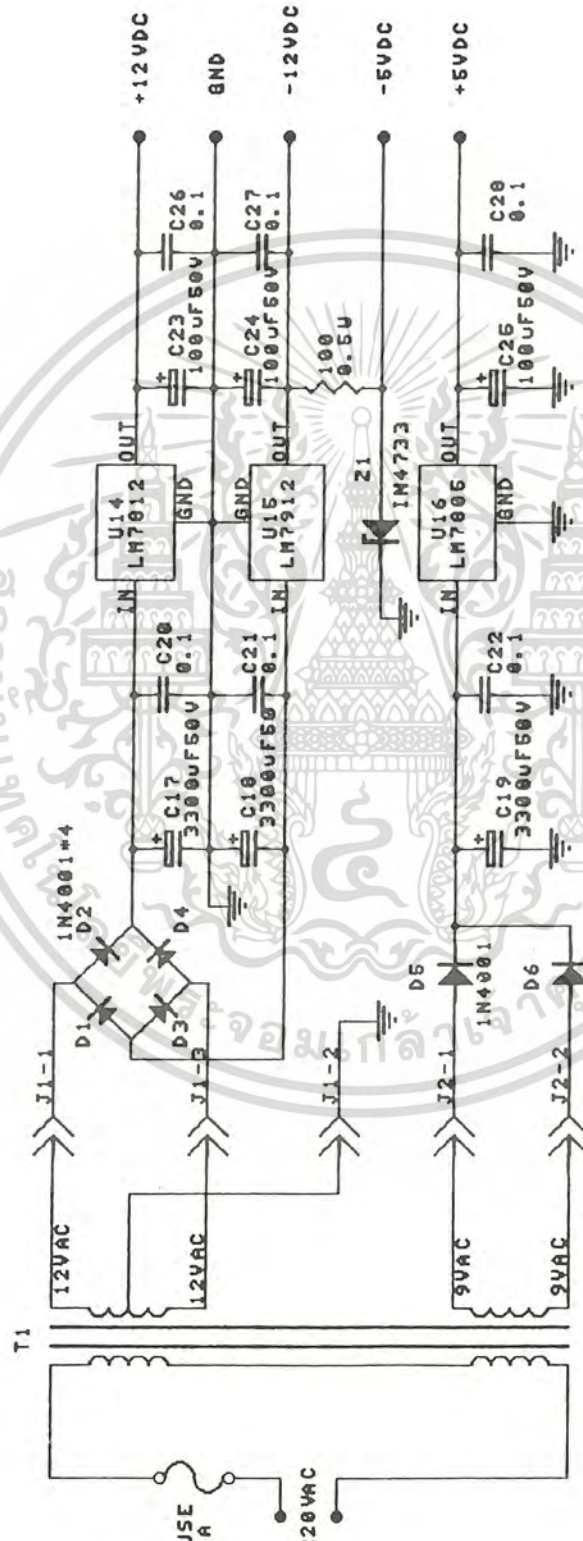
รูป 3.4 วงจร DIGITAL TO ANALOG CONVERTERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 POWER SUPPLY

วงจร Power supply จะประกอบด้วยRegulator 3ขา เบอร์ 7805 , 7815 และ7915 ซึ่งจะทำหน้าที่เป็นตัวRegulatedทั้งไฟบวก,ลบโดยจากวงจรจะได้ Voltage +15V,-15V 500mA สำหรับจ่ายไฟเลี้ยงวงจรทั้งหมด โดยไฟเลี้ยงที่ป้อนเข้าให้กับไอซี Regulator นี้ ได้จากชุดAdaptor ภายนอก เพื่อให้ตัวเครื่องData scramble มีขนาดเล็ก ซึ่งวิธีนี้เป็นที่นิยมใช้ในอุปกรณ์อิเล็คทรอนิกส์ปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.5 วงจร POWER SUPPLY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

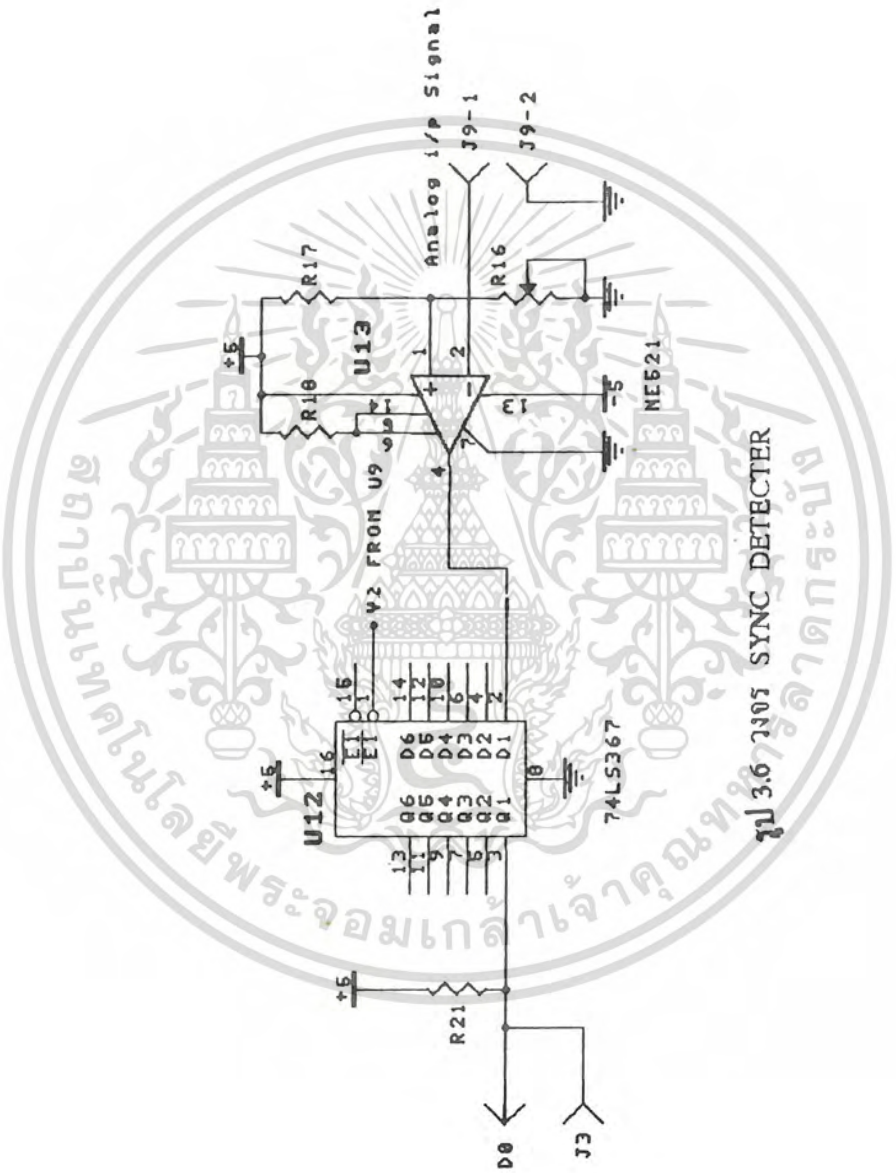
3.5 SYNC DETECTERS

วงจรเครื่องรับจะมีวงจรSync detector เพื่อคอยตรวจสอบสัญญาณSync ที่ส่งมาจากเครื่องส่ง สัญญาณSyncนี้จะทำให้เครื่องรับสามารถทำการDescramble หรือแปลงเป็นสัญญาณเดิม(ที่ส่งมาจากเครื่องส่ง)ได้อย่างถูกต้อง

จากวงจร สัญญาณSync ที่ส่งมาจากเครื่องส่ง มีค่าแรงเคลื่อนประมาณ3.4V จึงอาศัยหลักการของวงจรตรวจสอบสัญญาณSync เป็นวงจรVoltage comparator คือ ถ้าสัญญาณที่ได้รับจากเครื่องส่งมีระดับแรงเคลื่อนเท่ากับสัญญาณอ้างอิงที่ใช้คือ3.4V Outputของวงจรจะเป็นLowแต่ถ้าสัญญาณไม่เท่ากับ3.4V Outputของวงจรก็จะเป็นHigh สัญญาณที่ได้จากวงจร Voltge comparator จะถูกส่งไปยังไอซีBufferเบอร์74LS367 และส่งต่อไปยังData ของZ-80A คือขาD_0

Z-80AจะตรวจสอบสัญญาณSyncด้วยการควบคุมตามSoft wareด้วยคำสั่งIN A,(82H) และทำการตรวจเช็คที่บิท0ของDATA ว่าเป็น0หรือ1 ถ้าเป็น0ก็จะทราบว่า สัญญาณที่ส่งมาจากเครื่องส่งอยู่ในระดับที่เป็นสัญญาณSync

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



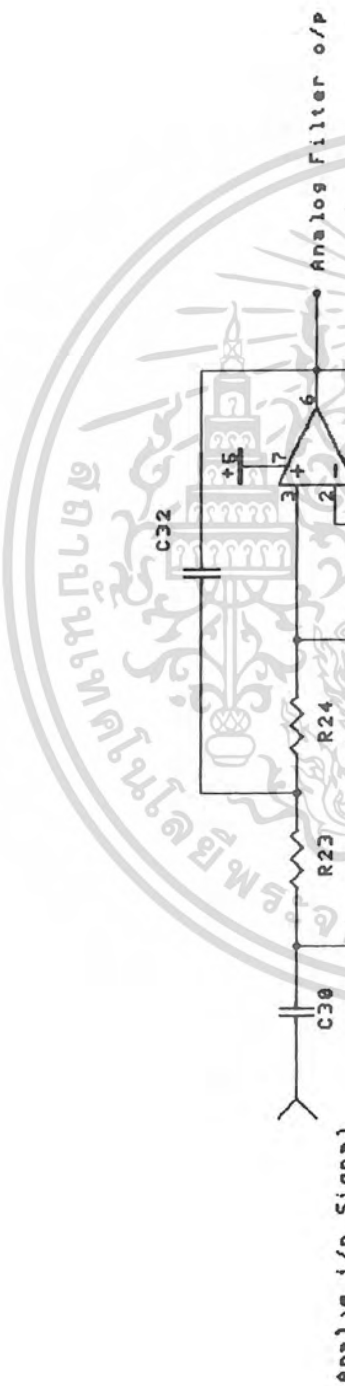
รูป 3.6 วงจร SYNC DETECTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรกรองสัญญาณ

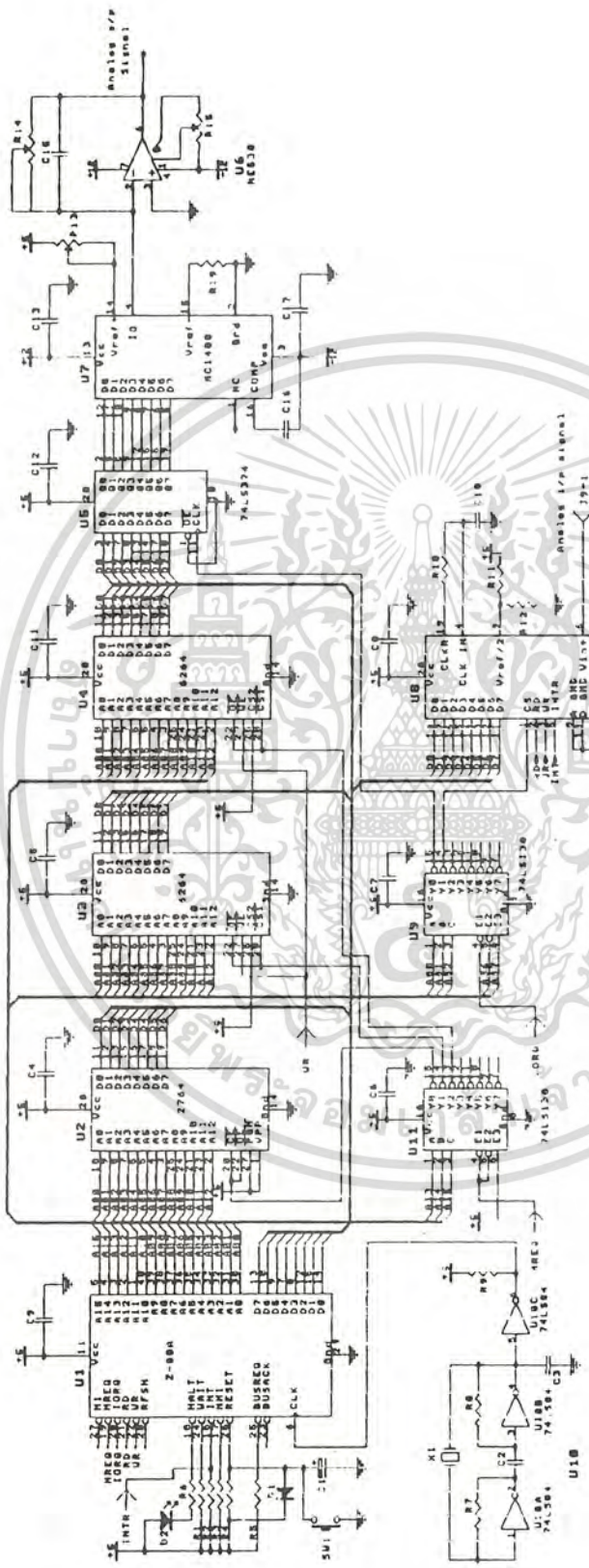
วงจรกรองสัญญาณเป็นส่วนหนึ่งของเครื่องเข้ารหัสเสียงพูด นับได้ว่ามีความสำคัญในการขจัดปัญหาสิ่งรบกวนที่สอดแทรกมากับสัญญาณ หรือสัญญาณรบกวนที่เกิดจากตัวอุปกรณ์เอง การออกแบบวงจรกรองสัญญาณต้องคำนึงถึงขีดความสามารถในการทอนสัญญาณส่วนที่ไม่ต้องการ ให้มีผลต่อการรับฟังของเครื่องเข้ารหัสเสียงพูดชนิดนี้ให้น้อยที่สุด ในโครงงานนี้จะใช้วงจรกรองความถี่ทั้งชนิดที่กรองความถี่ต่ำผ่าน และกรองความถี่สูงผ่าน ซึ่งในการสื่อสารด้านเสียงจะใช้ความถี่อยู่ในช่วง 50-3300Hz จึงต้องสร้างวงจรกรองความถี่ต่ำผ่าน ที่มีความถี่คัทออฟ (cut off frequency) ที่ 3300Hz และวงจรกรองความถี่สูงผ่านที่ความถี่ 200Hz โดยจะใช้วงจร Active filter เนื่องจากมีข้อดีหลายประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



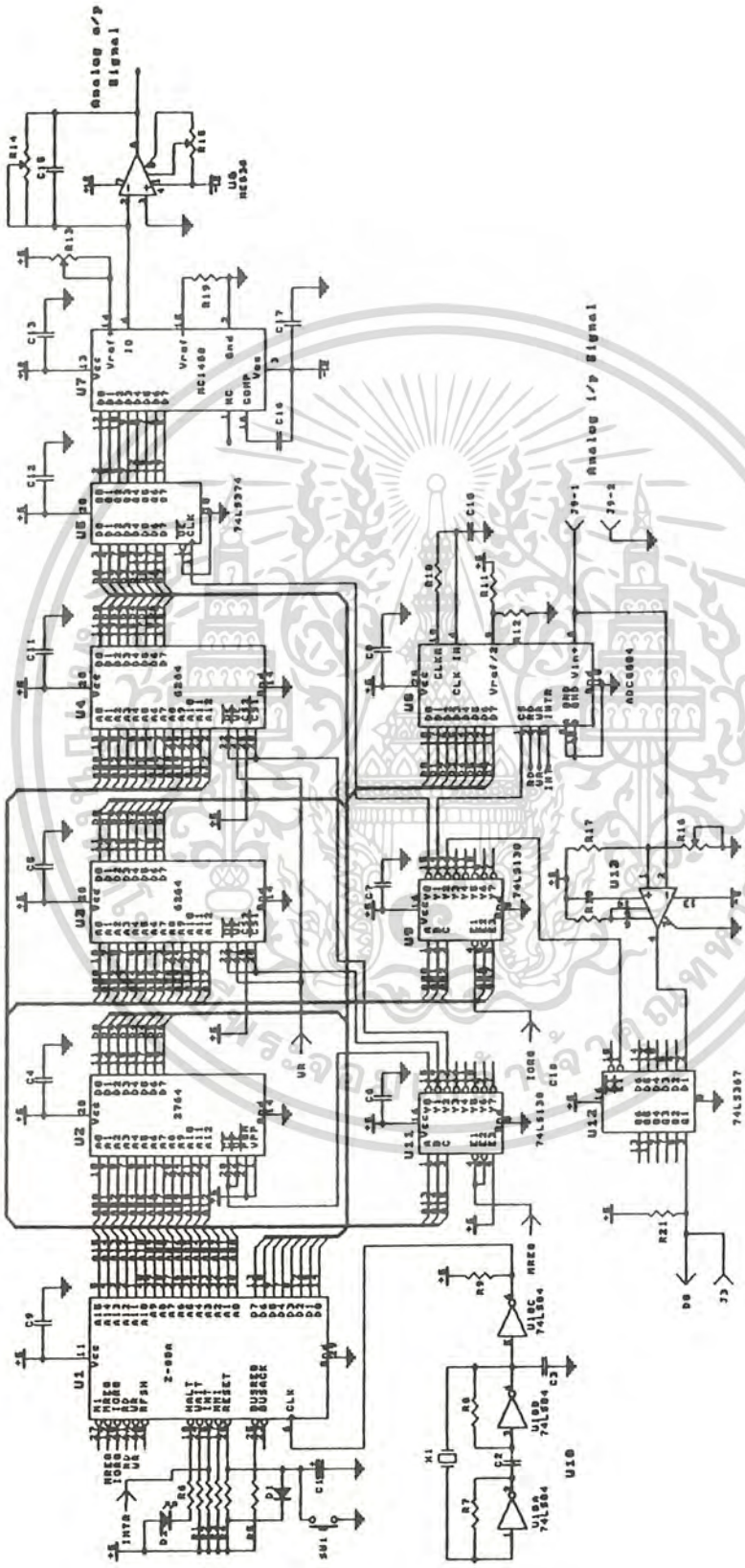
รูป 3.7 วงจรกรองความถี่ใช้พาส และไล่ผ่านฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



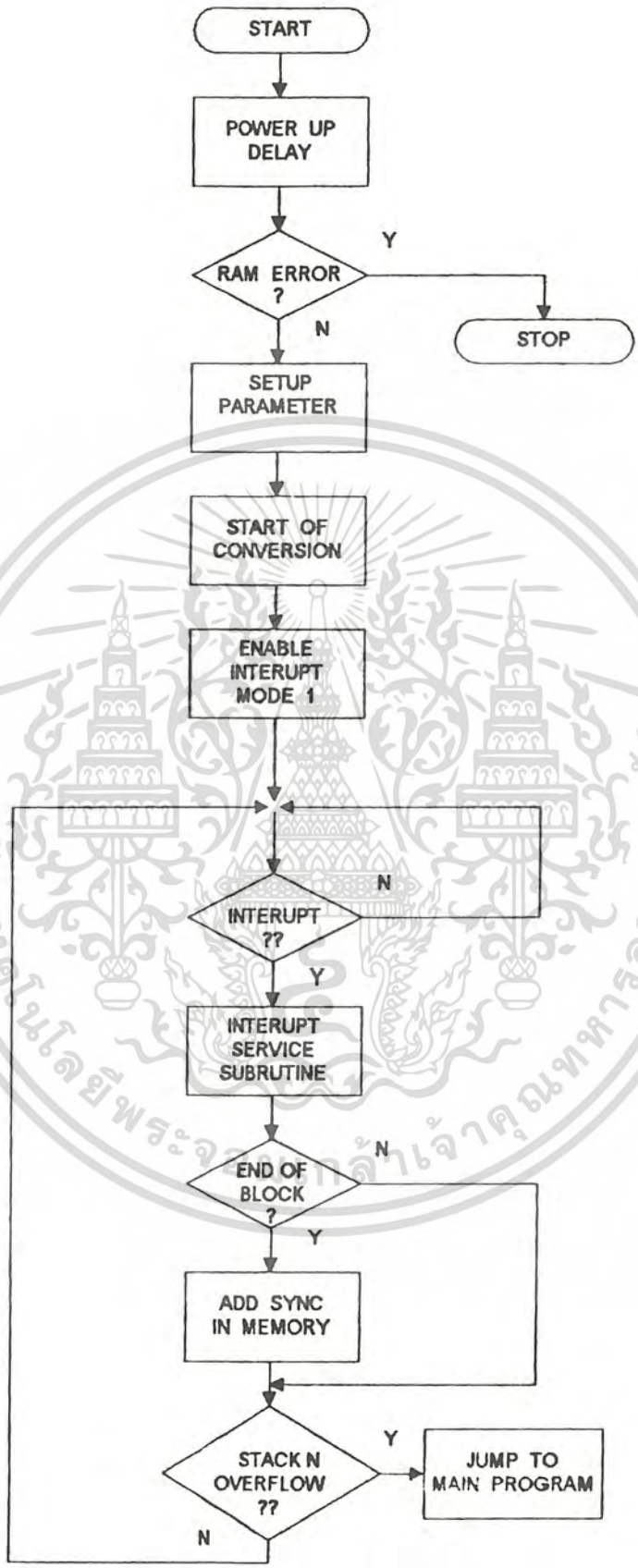
รูป 3.8 วงจร DATA SCRAMBLE (เครื่องส่ง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



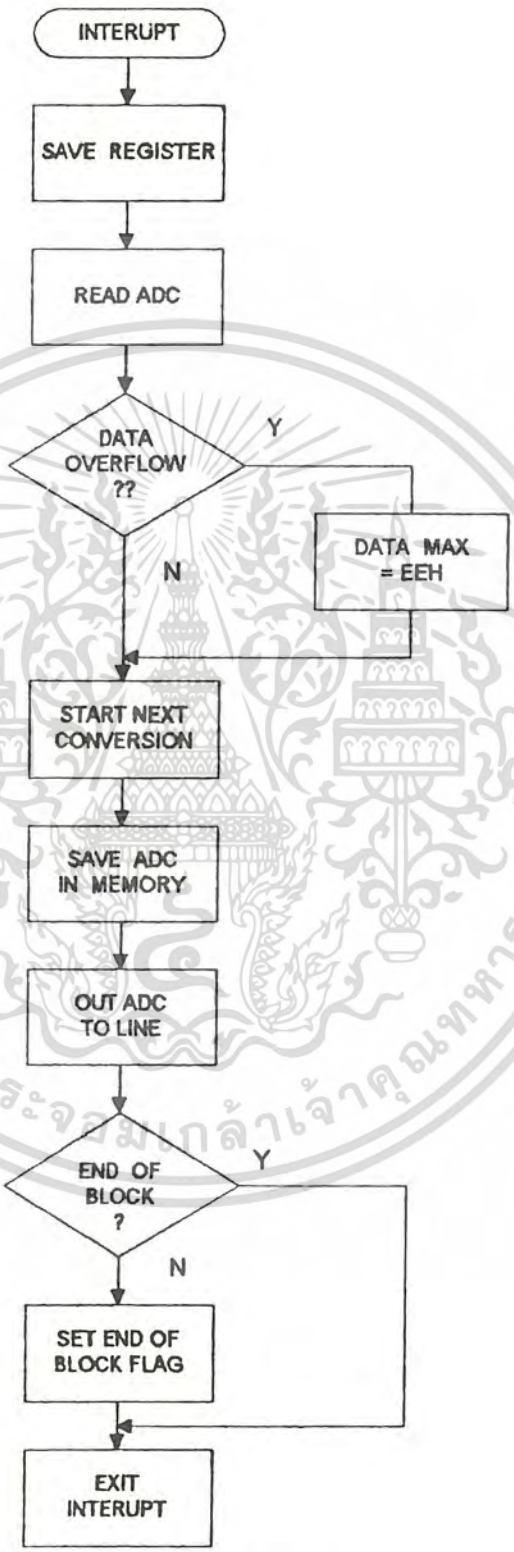
รูป 3.9 วงจร DATA SCRAMBLE (เครื่องรับ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



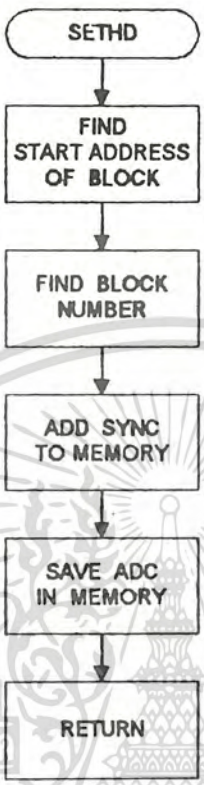
รูป 3.10 FLOW CHART OF TRANSMISSION PROGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



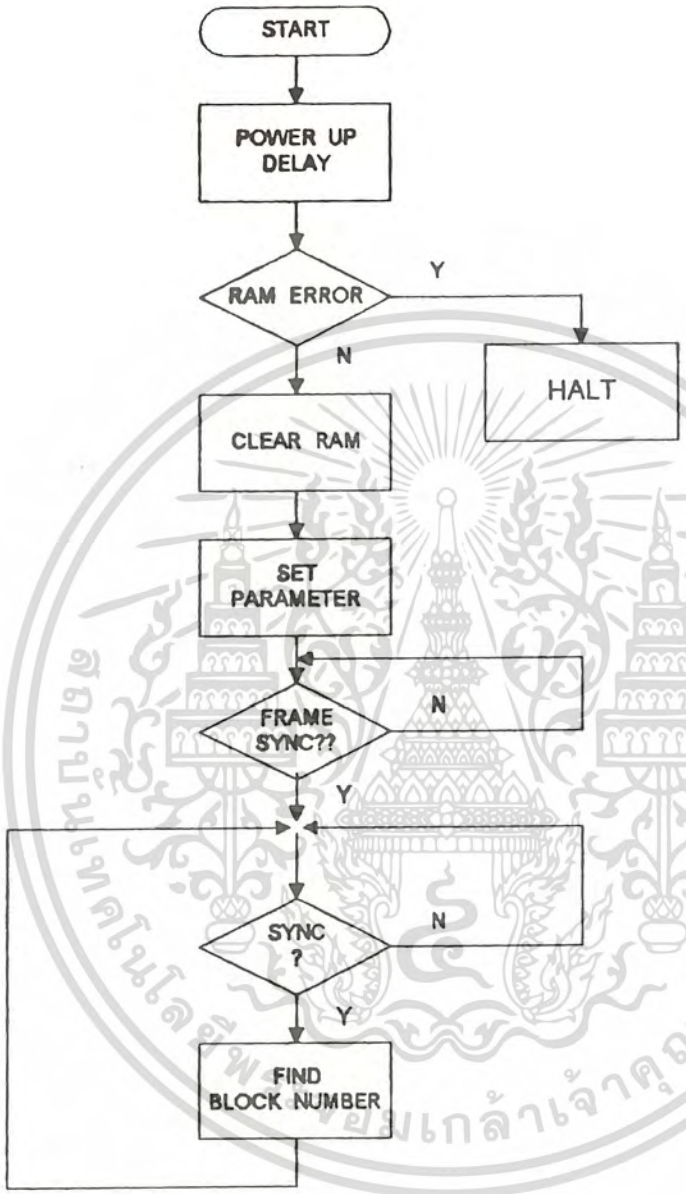
รูป 3.11 INTERUPT SERVICE SUBRUTINE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.12 ADD SYNC TO MEMORY SUBRUTINE
OR (SETHD SUBRUTINE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.13 FLOW CHART OF RECEIVER PROGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลอง และผลการทดลอง.

จากผลการทดสอบเครื่อง การใช้งานกระทำดังนี้

1. ต่อสายสัญญาณจาก เอาท์พุท ของเครื่องส่ง (SCRAMBLE) ไปยังอินพุทของเครื่องรับ (DESCRAMBLE) โดย เอาท์พุท ของเครื่องรับต่อกับลำโพง

2. ป้อนไฟให้กับ เครื่องรับ และเครื่องส่ง

3. ป้อนสัญญาณเสียงเข้าที่ อินพุท ของเครื่องส่ง ข้อควรระวังคือไม่ควรป้อนสัญญาณเสียงเข้ามาให้มีระดับความแรงของสัญญาณ (AMPLITUDE)สูงเกินไป ซึ่งจะทำให้เสียงเพี้ยนได้ เพราะวงจร ADC จะทำการ CLIP สัญญาณสูงเกินไป

4. ทางภาครับจะได้สัญญาณเสียง ซึ่งสามารถรับฟังแล้วได้ความหมาย ซึ่งเข้าใจได้ แต่จะมีบางส่วนที่ขาดหายไป เช่น ความถี่ต่ำมากๆ และความถี่สูงมากๆ

5. เมื่อนำลำโพงมาต่อที่ LINE (ระหว่างทางของเครื่องรับ และ เครื่องส่ง) จะเป็นดังนี้

5.1 ถ้าเป็นสัญญาณเสียงพูดโดยทั่วไป ซึ่งเราไม่เคยจดจำ เช่น จากรายการข่าว หรือจากเทปคณะตลก จะไม่สามารถเข้าใจความหมายได้ อาจจะมีเฉพาะ บางคำที่สามารถเข้าใจความหมายได้

5.2 ถ้าเป็นสัญญาณเสียงเพลง ซึ่งมีความถี่สูงกว่าความถี่เสียงพูด เช่น จาก รายการเพลง ที่เราเคยรับฟังอยู่เป็นประจำ ได้ยินคุ้นหู รู้ช่วงจังหวะ และ ทำนองดนตรี ของเพลงนั้น จะสามารถเข้าใจความหมายได้โดยธรรมชาติ ซึ่งกรณีนี้ถือเป็นความเคยชินของหูเราในการรับฟัง รวมกับสัญชาตญาณในการแปลความหมายของเสียง จึงทำให้สามารถเข้าใจในความหมายของเสียงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุป และวิจารณ์ผลการทดลอง

จากผลการทดลองทำ Project เครื่อง Data scramble ซึ่งควบคุมการทำงานด้วยไมโครโปรเซสเซอร์ เบอร์ Z-80A เป็นธรรมดาในการทำงาน ย่อมต้องมีอุปสรรค และปัญหาต่างๆ ที่ผู้ทำ Project จะต้องเป็นผู้แก้ไขปัญหาที่เกิดขึ้นให้สำเร็จลุล่วงไป และปัญหาต่างๆที่ผู้ทำ Project พอสรุปได้เป็นข้อๆ ดังนี้

1. ปัญหาเกี่ยวกับทุนในการจัดทำ Project
2. ปัญหาเกี่ยวกับ Hard ware
3. ปัญหาเกี่ยวกับ Soft ware

1. ปัญหาเกี่ยวกับทุนในการจัดทำ Project

เนื่องจากผู้จัดทำ ต้องพึ่งพาทุนจากทางบ้าน กับการทำงาน Part Time เมื่อมีการจัดทำ Project ก็ต้องหยุดการทำงาน จึงทำให้ขาดทุนทรัพย์ ในการจัดทำ Project ซึ่งมีผลให้โครงงานล่าช้า

2. ปัญหาเกี่ยวกับ Hard ware

2.1 ปัญหาเกี่ยวกับ Memory เนื่องจาก Project ใช้หน่วยความจำเพียง 16K ฉะนั้นการจัด Area เกี่ยวกับ Block ทำได้น้อย คือใช้เพียง 2Block ซึ่งถ้ามีหน่วยความจำมากกว่านี้ จะทำให้มีจำนวน Block มากขึ้น และการสลับ Block ข้อมูลก็จะสามารถทำได้มาก

2.2 ปัญหาเกี่ยวกับ ADC เนื่องจาก ADC ที่ใช้ Speed ในการ Sampling สัญญาณต่ำ คือ Conversion time เพียง 100 μS ถ้าสามารถ ไอซีที่มี Speed สูงๆได้ ก็จะทำให้ได้รายละเอียดของข้อมูลมากขึ้น และเมื่อมีการแปลงสัญญาณกลับโดยผ่าน DAC ก็จะทำให้ได้ Bandwidth ของเสียงกว้างขึ้น (ความถี่สูงขึ้น)

2.3 ปัญหาเกี่ยวกับวงจร Sync detecters จากวงจร ใช้หลักการ Voltage comparater โดยใช้ IC OP AMP ถ้า OP AMP มีค่า Slow rate ต่ำ สัญญาณ Sync ที่ตรวจสอบได้ จะมีค่า Delay time มาก และ Pulse width ที่วงจร จะแคบกว่าสัญญาณ Sync ที่ Input ของวงจรนี้

3. ปัญหาเกี่ยวกับ Soft ware

เนื่องจาก Project นี้ ประกอบด้วย เครื่องส่ง และเครื่องรับ ในการเขียน Soft ware ให้เครื่องสามารถทำงานได้ ทั้งเครื่องส่ง และเครื่องรับ ถ้าเขียน Soft ware ในภาคส่งผิด Soft ware ที่เขียนให้กับเครื่องรับทำงานก็ย่อมไม่สามารถใช้งานได้ คือ จะต้องตรวจสอบ Soft ware ที่เขียนให้เครื่องส่งว่าทำงานถูกต้องตามหลักการ ทั้งในทางทฤษฎี และปฏิบัติ จากนั้นจึงจะทำการเขียน Program ของภาครับ และแก้ปัญหาที่เกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อีกประการหนึ่ง Soft ware คือ ที่เขียนใน Project นี้ ต้องทำให้เสียเวลาน้อยที่สุด เช่น คำสั่ง JP CC,NN ใช้ JR CC,NN เพื่อการทำงานที่ได้งานเท่ากัน แต่ใช้เวลาในการทำงานน้อยกว่า จะได้ทันกับการที่ ADC จะได้ทำการแปลงสัญญาณทุกๆ 100μS ซึ่งถ้า Program ใช้เวลามากกว่าการทำงานต่างๆ เมื่อถึงช่วงเวลาที่ ADC ทำการ Sampling สัญญาณแล้ว Z-80A ไม่สามารถ นำข้อมูลไปเก็บยังหน่วยความจำได้ทัน ข้อมูลนั้นก็จะสูญเสียไปได้ ซึ่งทำให้รายละเอียดของข้อมูลซึ่งเป็นข่าวสารจากต้นกำเนิดเสียไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทวิจารณ์ และข้อเสนอแนะ

ในการจัดทำ Project นี้ นักศึกษาทุกคนได้นำความรู้ ความสามารถ และประสบการณ์ที่ผ่านมา ใช้ในการทำงานนี้อย่างเต็มที่ การจัดทำ Project นี้ จะเป็นการทดสอบความสามารถของนักศึกษา ว่ามีความพยายามที่จะจัดทำโครงงานให้บรรลุจุดประสงค์เพียงใด โดยเห็นได้จากผลงานที่ได้จัดทำออกมา

อย่างไรก็ตาม ถ้าผลงานที่ออกมานั้นไม่ประสบความสำเร็จเท่าที่ควร ก็ไม่ได้หมายความว่านักศึกษาผู้นั้นมีความสามารถน้อยกว่าผู้อื่น ความบกพร่องนี้อาจมาจากสาเหตุภายนอก เช่น ความยากง่ายของ Project ที่ทำ วัสดุอุปกรณ์ต่างๆมีไม่เพียงพอ

ดังนั้นจึงพอสรุปได้ว่าการจัดทำ Project นี้ จะต้องมีความพร้อมในหลายๆด้าน งานที่ทำจึงจะสามารถทำให้ประสบความสำเร็จได้สมบูรณ์ยิ่งขึ้น

อนึ่ง ในการทำ Project นี้ ทำให้เรามีประสบการณ์ในการวางแผนการดำเนินงานให้เหมาะสม และสามารถทำงานร่วมกับคนอื่นได้เป็นอย่างดี โดยเฉพาะงานที่ทำเป็นกลุ่ม จึงต้องมีการแบ่งงานกันทำอย่างเหมาะสม

ข้อเสนอแนะเกี่ยวกับเครื่อง Data scramble

1. การสลับ Block ของเครื่องควรเป็นแบบ Random คือ ไม่สลับ Block ตายตัว เพื่อป้องกันการดักฟังที่มีประสิทธิภาพสำหรับข่าวสารที่สำคัญ
2. วงจร ADC ควรจะมี Conversion time ซึ่งเร็วกว่านี้ และ วงจร ADC ก็ควรจะมีความเร็วในการแปลงสัญญาณเท่ากับวงจร DAC ด้วย
3. เครื่อง Data scramble ควรจะสามารถทำหน้าที่ รับ และส่งได้ในเครื่องเดียวกัน

สำหรับข้อเสนอแนะที่กล่าวมาแล้วนี้ เป็นเพียงแนวทางในการพัฒนาเครื่องให้มีประสิทธิภาพสูงขึ้น ก็ขึ้นอยู่กับความสามารถของผู้ที่จะพัฒนาเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1;*******************************************************************************
2;*************** TRANSMISSION PROGRAM FOR DATA SCRAMBLE ******************
3;*******************************************************************************
4               2000            RAM_SIZE        EQU     8*1024
5               07FF            LENGTH          EQU     07FFH
6               0080            DAC             EQU     0080H
7               0081            ADC             EQU     0081H
8               0200            MBLOCK_SIZE     EQU     512
9
10;*******************************************************************************
11      0000                                    ORG     0000
12      0000                    ROM :
13
14      0000    06 00           START :         LD      B,00
15      0002    10 FE                           DJNZ    $
16      0004    00                              NOP
17      0005    21 00 20                        LD      HL,RAM
18      0008    01 FF 07                        LD      BC,LENGTH
19      000B    77              CHKRAM :        LD      (HL),A
20      000C    BE                              CP      (HL)
21      000D    20 0D                           JR      NZ,ERROR
22      000F    2F                              CPL
23      0010    77                              LD      (HL),A
24      0011    BE                              CP      (HL)
25      0012    20 08                           JR      NZ,ERROR
26      0014    ED A1                           CPI
27      0016    78                              LD      A,B
28      0017    B1                              OR      C
29      0018    20 F1                           JR      NZ,CHKRAM
30      001A    28 74                           JR      Z,MAIN
31      001C    76                              ERROR :  HALT
32
33;*******************************************************************************
34      0038                                    ORG     0038H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
35   0038   08          INTR :   EX     AF,AF'
36   0039   D9                   EXX
37   003A                        IN     A,(ADC)
38   003C   FE F0               CP     0F0H
39   003E   D3 80               OUT    (ADC),A
40   0040   38 02               JR     C,LTFO
41   0042   3E EF               LD     A,0EFH
42   0044   77          LTF :    LD     (HL),A
43   0045   1A                   LD     A,(DE)
44   0046   D3 81               OUT    (DAC),A
45   0048   ED AO               LDI
46   004A   EA 76 00             JP     PE,EXITIR
47   004D   DD 7E 00             LD     A,(IX+0)
48   0050   3C                   INC    A
49   0051   FE 05               CP     05H
50   0053   38 02               JR     C,CONT1
51   0055   3E 01               LD     A,1
52   0057   DD 77 00    CONT1 :  LD     (IX+0),A
53   005A   07                   RLCA
54   005B   07                   RLCA
55   005C   21 04 01             LD     HL,B_TABLE-1
56   005F   85                   ADD    A,L
57   0060   6F                   LD     L,A
58   0061   3E 00               LD     A,0
59   0063   8C                   ADC    A,H
60   0064   67                   LD     H,A
61   0065   56                   LD     D,(HL)
62   0066   2B                   DEC    HL
63   0067   5E                   LD     E,(HL)
64   0068   2B                   DEC    HL
65   0069   7E                   LD     A,(HL)
66   006A   2B                   DEC    HL
67   006B   6E                   LD     L,(HL)
68   006C   67                   LD     H,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 69    006D   D5                          PUSH    DE
 70    006E   FD E1                       POP     IY
 71    0070   DD 34 02                    INC     (IX+2)
 72    0073   01 00 02                    LD      BC,MBLOCK_SIZE
 73    0076   08              EXITIR :    EX      AF,AF'
 74    0077   D9                          EXX
 75                                       EI
 76    0078   ED 4D                       RETI
 77
 78;*****************************************************************************
 79    0090                               ORG     0090H
 80    0090   31 FF 3F        MAIN :      LD      SP,SYS_STACK
 81    0093   D9                          EXX
 82    0094   21 00 22                    LD      HL,MBLOCK2
 83    0097   11 00 20                    LD      DE,MBOLCK1
 84    009A   01 00 20                    LD      BC,MBLOCK_SIZE
 85    009D   DD 21 10 26                 LD      IX,LOOP_COUNT
 86    00A1   DD 36 00 01                 LD      (IX+0),1
 87    00A5   DD 36 01 02                 LD      (IX+1),2
 88    00A9   DD 36 02 00                 LD      (IX+2),0
 89    00AD   D5                          PUSH    DE
 90    00AE   FD E1                       POP     IY
 91    00B0   D9                          EXX
 92    00B1   CD D8 00                    CALL    SETHD
 93    00B4   3E 00                       LD      A,00
 94    00B6   D3 80                       OUT     (ADC),A
 95    00B8   ED 56                       IM      1
 96    00BA   FB                          EI
 97                           MAINLP :    HALT
 98    00BB   DD 7E 02                    LD      A,(IX+2)
 99    00BE   B7                          OR      A
100    00BF   28 03                       JR      Z,OLDBLK
101    00C1   CD D8 00                    CALL    SETHD
102    00C4   ED 73 18 26      OLDBLK :   LD      (SYS_STACK_END)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
103   00C8   F3                    DI
104   00C9   2A 18 26              LD      HL,(SYS_STACK_END),SP
105   00CC   01 18 26              LD      BC,SYS_STACK_END
106   00CF   B7                    OR      A
107   00D0   ED 42                 SBC     HL,BC
108   00D2   DA 90 00              JP      C,MAIN
109   00D5   FB                    EI
110   00D6   18 E3                 JR      MAINLP
111   00D8   11 00 02     SETHD :  LD      DE,MBLOCK_SIZE
112   00DB   FD 19                 ADD     IY,DE
113   00DD   DD 7E 01              LD      A,(IX+1)
114   00E0   FE 01                 CP      1
115   00E2   3E 02                 LD      A,2
116   00E4   06 10                 LD      B,16
117   00E6   11 F0 FF              LD      DE,-16
118   00E9   28 07                 JR      Z,BLOCK1
119   00EB   3E 01                 LD      A,1
120   00ED   06 08                 LD      B,8
121   00EF   11 F8 FF              LD      DE,-8
122   00F2   DD 77 01   BLOCK1 :   LD      (IX+1),A
123   00F5   FD 19                 ADD     IY,DE
124   00F7   3E F8                 LD      A,0F8H
125   00F9   FD 77 00   A_SYNC :   LD      (IY+0),A
126   00FC   FD 23                 INC     IY
127   00FE   10 F9                 DJNZ    A_SYNC
128   0100   DD 36 02 00          LD      (IX+2),0
129   0104   C9                    RET
130
131   0105   0022       B_TABLE :  DW      MBLOCK2
132   0107   0020                  DW      MBLOCK1
133
134   0109   0020                  DW      MBLOCK1
135   010B   0024                  DW      MBLOCK3
136
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
137   010D   0024                              DW      MBLOCK3
138   010F   0020                              DW      MBLOCK1
139
140   0111   0020                              DW      MBLOCK1
141   0113   0022                              DW      MBLOCK2
142
143;*******************************************************************************
144   2000                                     ORG     2000H ; START RAM AREA
145   2000                RAM :
146
147   2000                MBLOCK1 :            DS      MBLOCK_SIZE
148   2200                MBLOCK2 :            DS      MBLOCK_SIZE
149   2400                MBLOCK3 :            DS      MBLOCK_SIZE
150   2600                                     DS      16
151   2610                LOOP_COUNT :         DS      1
152   2611                FIRST_BL :           DS      1
153   2612                BLOCK_FL :           DS      1
154   2613                SYNC_CONT :          DS      1
155
156   2614                                     DS      4
157
158   2618                SYS_STACK_END :      DS      RAM+RAM_SIZE-$-1
159   3FFF                SYS_STACK :
160
161   3FFF                                     END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1;*******************************************************************************
2;****************** RECEIVER PROGRAM FOR DATA SCRAMBLE ******************
3;*******************************************************************************
4;
5          2000          RAM_SIZE        EQU     8*1024
6          0200          MBLOCK_SIZE     EQU     512
7          0104          F_SYNC          EQU     0104H
8          0078          B_SYNC          EQU     0078H
9          0080          DAC             EQU     0080H
10         0081          ADC             EQU     0081H
11         0082          SYNC            EQU     0082H
12         0001          MASK_SYNC       EQU     0001H
13         07FF          LENGTH          EQU     07FFH
14
15;*******************************************************************************
16    0000
17    0000                ROM :           ORG     0000H
18    0000    06 00       START :         LD      B,00
19    0002    10 FE                       DJNZ    $
20    0004    00                          NOP
21    0005    21 00 20                    LD      HL,RAM
22    0008    01 FF 07                    LD      BC,LENGTH
23    000B    77          CHK_RAM :       LD      (HL),A
24    000C    BE                          CP      (HL),ERROR
25    000D    20 0D                       JR      NZ,ERROR
26    000F    2F                          CPL
27    0010    77                          LD      (HL),A
28    0011    BE                          CP      (HL)
29    0012    20 08                       JR      NZ,ERROR
30    0014    ED A1                       CPI
31    0016    78                          LD      A,B
32    0017    B1                          OR      C
33    0018    20 F1                       JR      NZ,CHK_RAM
34    001A                                JR      Z,SET_UP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
35   001C   76              ERROR :    HALT
36
37;*****************************************************************************
38   0038                               ORG     0038H
39   0038   08              INTR :     EX      AF,AF'
40   0039   D9                         EXX
41   003A   78                         LD      A,B
42   003B   B1                         OR      C
43   003C   DB 81                      IN      A,(ADC)
44   003E   28 0F                      JR      Z,EXIT_INT
45   0040   77                         LD      (HL),A
46   0041   D3 81                      OUT     (ADC),A
47   0043   1A                         LD      A,(DE)
48   0044   FE 06                      CP      6
49   0046   38 02                      JR      C,QUIET
50   0048   D6 05                      SUB     5
51   004A   D3 80            QUIET :    OUT     (DAC),A
52   004C   13                         INC     DE
53   004D   ED A1                      CPI
54   004F   08              EXIT_INT : EX      AF,AF'
55   0050   D9                         EXX
56   0051   FB                         EI
57   0052   ED 4D                      RETI
58   00
59;*****************************************************************************
60   0090                               ORG     0090H
61   0090   21 00 20        SET_UP     LD      HL,RAM
62   0093   11 01 20                   LD      DE,RAM+1
63   0096   01 FF 07                   LD      BC,LENGTH
64   0099   AF                         XOR     A
65   009A   77                         LD      (HL),A
66   009B   ED B0                      LDIR
67   009D   31 FF 3F                   LD      SP,SYS_STACK
68   00A0   D9                         EXX
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
69   00A1   21 00 22          LD      HL,MBLOCK2
70   00A4   11 00 20          LD      DE,MBLOCK1
71   00A7   01 F0 01          LD      BC,MBLOCK_SIZE-16
72   00AA   DD 21 10 26       LD      IX,LOOP_COUNT
73   00AE   DD 36 00 01       LD      (IX+0),1
74   00B2   DD 36 01 02       LD      (IX+1),2
75   00B6   DD 36 02 00       LD      (IX+2),0
76   00BA   DD 36 03 00       LD      (IX+3),0
77   00BE   D9                EXX
78   00BF   ED 56             IM      1
79   00C1   DB 82   NO_SYNC : IN      A,(SYNC)
80   00C3   E6 01             AND     MASK_SYNC
81   00C5   20 FA             JR      NZ,NO_SYNC
82   00C7   CD 80 01          CALL    SYNC_W
83   00CA   01 F0 00          LD      BC,F_SYNC-14H
84   00CD   ED 42             SBC     HL,BC
85   00CF   38 F0             JR      C,NO_SYNC
86   00
87   00D1   DB 81   MAIN1 :   IN      A,(ADC)
88   00D3   3E 00             LD      A,0
89   00D5   D3 81             OUT     (ADC),A
90   00D7   FB      RETRY :   EI
91   00D8   DB 82   MAIN2 :   IN      A,(SYNC)
92   00DA   E6 01             AND     MASK_SYNC
93   00DC   20 FA             JR      NZ,MAIN2
94   00DE   F3                DI
95   00DF   CD 80 01          CALL    SYNC_W
96   00E2   01 60 00          LD      BC,B_SYNC-18H
97   00E5   ED 42             SBC     HL,BC
98   00E7   38 EE             JR      C,RETRY
99   00E9   DD 7E 00          LD      A,(IX+0)
100  00EC   3C                INC     A
101  00ED   FE 05             CP      05
102  00EF   38 02             JR      C,RETRY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
103   00F1    3E 01                          LD      A,(IX+0)
104   00F3    DD 77 00     CONTINUE :        LD      (IX+0),A
105   00F6    CD 00 02                       CALL    SET_HD
106   00F9    06 80                          LD      B,80H
107   00FB    10 FE                          DJNZ    $
108   00FD    18 D2                          JR      MAIN1
109
110;*******************************************************************************
111    0180                                  ORG     180H
112   0180    21 00 00     SYNC_W :          LD      HL,0
113   0183    DB 82        H_SYNC :          IN      A,(SYNC)
114   0185    E6 01                          AND     MASK_SYNC
115   0187    20 FA                          JR      NZ,H_SYNC
116   0189    06 05                          LD      B,5
117   018B    10 FE                          DJNZ    $
118   018D    DB 82                          IN      A,(SYNC)
119   018F    E6 01                          AND     MASK_SYNC
120   0191    20 F0                          JR      Z,L_SYNC
121   0193    DB 82        L_SYNC :          IN      A,(SYNC)
122   0195    23                             INC     HL
123   0196    E6 01                          AND     MASK_SYNC
124   0198    28 F9                          JR      Z,L_SYNC
125   019A    06 02                          LD      B,02
126   019C    10 FE                          DJNZ    $
127   019E    DB 82                          IN      A,(SYNC)
128   01A0    E6 01                          AND     MASK_SYNC
129   01A2    28 EF                          JR      Z,L_SYNC
130   01A4    C9                             RET
131
132;*******************************************************************************
133   0200                                  ORG     0200H
134   0200                    SET_HD :
135   0200    F3                             DI
136   0201    F5                             PUSH    AF
```

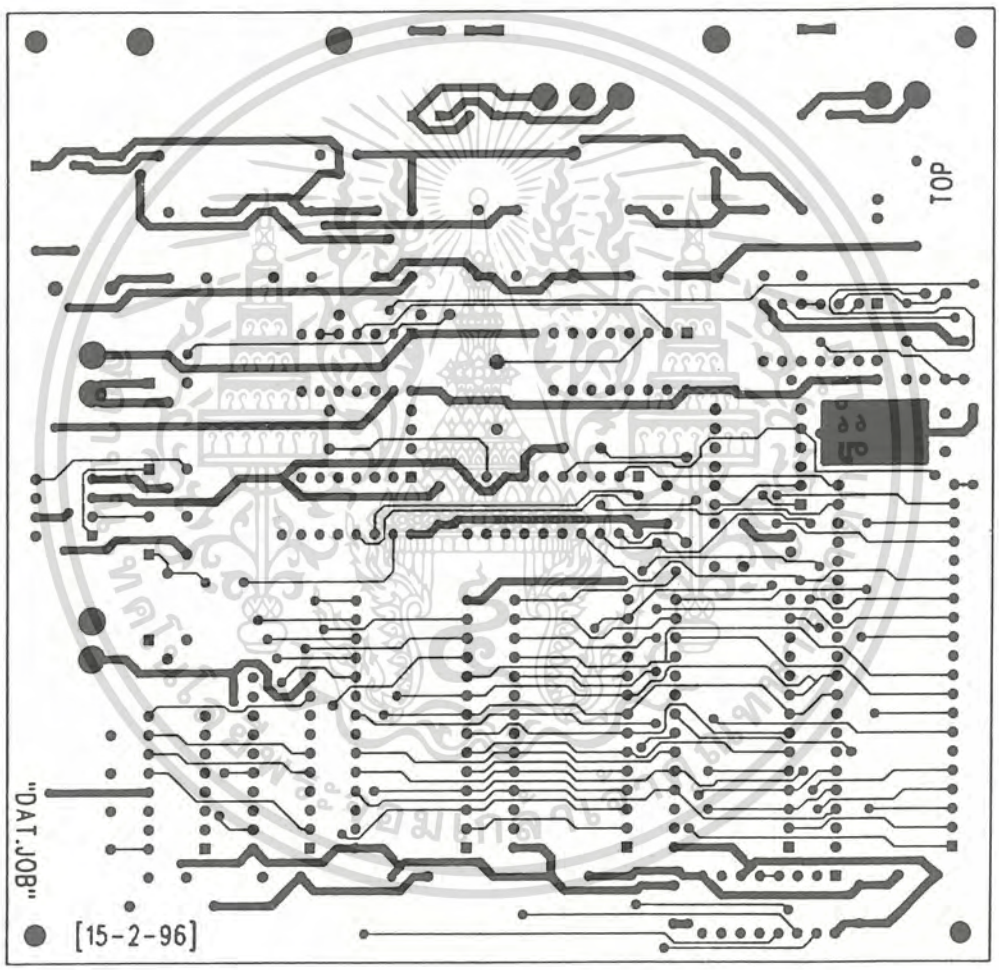
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
137  0202  AF                    XOR   A
138  0203  D3 80                 OUT   (DAC),A
139  0205  F1                    POP   AF
140  0206  07                    RLCA
141  0207  07                    RLCA
142  0208  D9                    EXX
143  0209  21 24 02              LD    HL,B_TABLE-1
144  020C  85                    ADD   A,L
145  020D  6F                    LD    L,A
146  020E  3E 00                 LD    A,0
147  0210  8C                    ADC   A,H
148  0211  67                    LD    H,A
149  0212  56                    LD    D,(HL)
150  0213  2B                    DEC   HL
151  0214  5E                    LD    E,(HL)
152  0215  2B                    DEC   HL
153  0216  7E                    LD    A,(HL)
154  0217  2B                    DEC   HL
155  0218  6E                    LD    L,(HL)
156  0219  67                    LD    H,A
157  021A  D5                    PUSH  DE
158  021B  FD E1                 POP   IY
159  021D  DD 34 02              INC   (IX+2)
160  0220  01 F0 01              LD    BC,MBLOCK_SIZE-16
161  0223  D9                    EXX
162  0224  C9                    RET
163
164  0225  0022     B_TABLE :    DW    MBLOCK2
165  0227  0020                  DW    MBLOCK1
166  0229
167  0229  0020                  DW    MBLOCK1
168  022B  0024                  DW    MBLOCK3
169  022D
170  022D  0024                  DW    MBLOCK3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

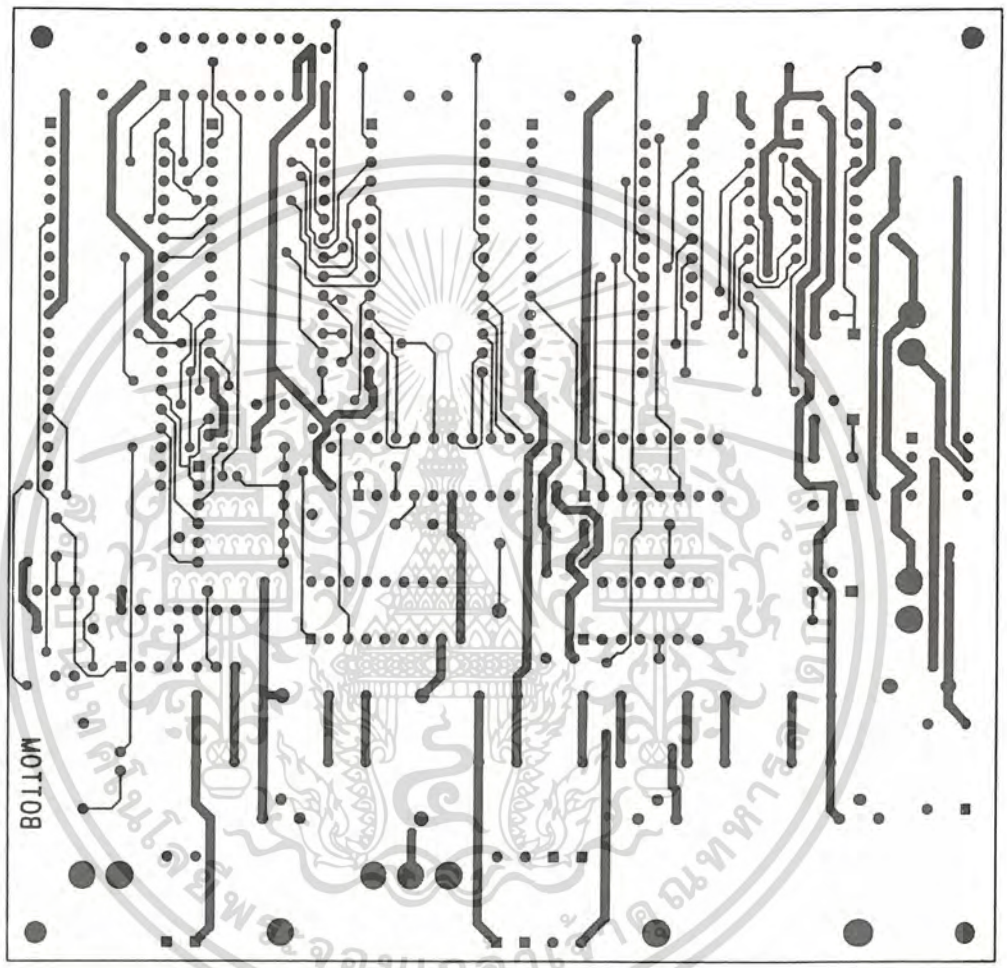
```
171   022F   0020                    DW      MBLOCK1
172
173   0231   0020                    DW      MBLOCK1
174   0233   0022                    DW      MBLOCK2
175
176;*******************************************************************************
177   2000                           ORG     2000H
178   2000   RAM :
179   2000   MBLOCK1 :               DS      MBLOCK_SIZE
180   2200   MBLOCK2 :               DS      MBLOCK_SIZE
181   2400   MBLOCK3 :               DS      MBLOCK_SIZE
182   2600                           DS      16
183   2610   LOOP_COUNT :            DS      1
184   2611   FIRST_BL :              DS      1
185   2612   BLOCK_FL :              DS      1
186   2613   SYNC_COUNT :            DS      1
187   2614                           DS      4
188   2618   SYS_STACK_END :         DS      RAM+RAM_SIZE-$-1
189   3FFF   SYS_STACK :
190   3FFF
191   3FFF                           END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



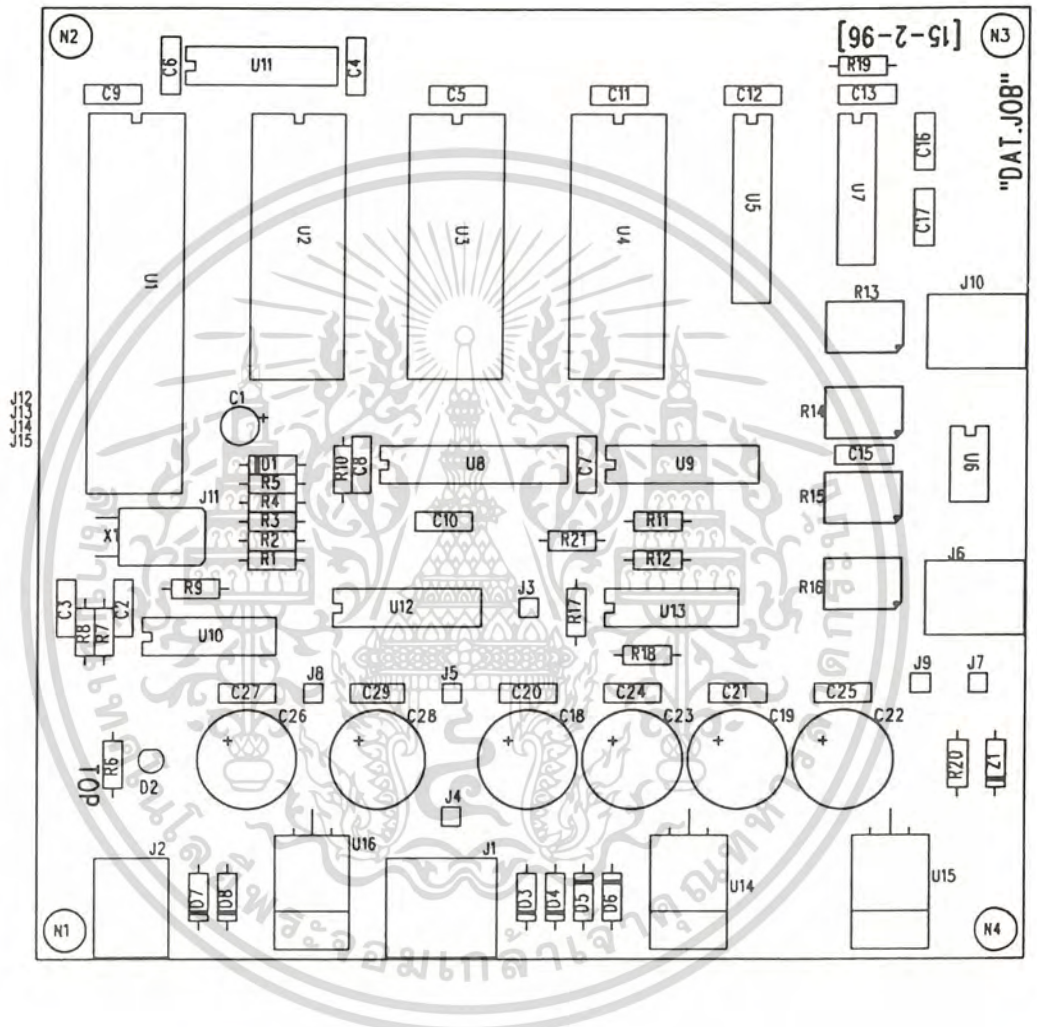
ลายวงจรพิมพ์เครื่อง DATA SCRAMBLE (ด้านบน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรพิมพ์เครื่อง DATA SCRAMBLE (ด้านล่าง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การวางตำแหน่งตัวอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์

ตัวต้านทาน ขนาด 1 / 4 วัตต์ ± 5 %

R1 , R2 , R3 , R4 , R5 , R10 , R18 , R21	10 KΩ	18 ตัว
R6	600 Ω	2 ตัว
R7 , R8 , R17 , R19	1 KΩ	8 ตัว
R9	330 Ω	2 ตัว
R11 , R12	4.7 KΩ	4 ตัว
R13 , R14 , R16	POT 5KΩ	2 ตัว
R15	POT 10KΩ	2 ตัว
R20	100 Ω (1 วัตต์)	2 ตัว
R22	965 Ω	2 ตัว
R23 , R24	72 KΩ	4 ตัว

ตัวเก็บประจุ

C1 แทนทาลั่ม	22 μF 50V	2 ตัว
C2 เซรามิค	0.01 μF 50V	2 ตัว
C3 เซรามิค	10 pF 50 V	2 ตัว
C4 , C5 , C6 , C7 , C8 , C9 , C17		
C20 , C21 , C24 , C25 , C27 , C29	0.1 μF 50V	26 ตัว
C10 เซรามิค	150 pF 50V	2 ตัว
C14	0.1 μF 50V	2 ตัว
C15	75 pF 50V	2 ตัว
C16	15 pF 50V	2 ตัว
C18 , C19 , C26 , C28 อิเล็กโทรไลท์	3300 pF 50V	8 ตัว
C22 , C23 อิเล็กโทรไลท์	10 μF 50V	4 ตัว
C30 อิเล็กโทรไลท์	2.2 pF 50V	2 ตัว
C31 เซอรามิค	536 μF 50V	2 ตัว
C32 เซอรามิค	837 pF 50V	2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์สารกึ่งตัวนำ

D1 , D3 , D4 , D5 , D6 , D7 , D8	1N4001	14 ตัว
D2	LED สีเขียว	2 ตัว
Z1 (ZENER 5.1 V)	1N4733	2 ตัว
U1	CPU Z-80	2 ตัว
U2	R0M 2764	2 ตัว
U3 , U-4	RAM 6264	4 ตัว
U5	74LS374	2 ตัว
U6	NE530	2 ตัว
U7	MC1408	2 ตัว
U8	ADC0804	2 ตัว
U9 , U11	74LS138	4 ตัว
U10	74LS04	2 ตัว
U12	74LS367	2 ตัว
U13	NE521	2 ตัว
U14	LM7812	2 ตัว
U15	LM7912	2 ตัว
U16	LM7805	2 ตัว
U17	UA741	2 ตัว

อื่นๆ

SW1 - สวิทช์รีเซ็ต กดติด ปล่อยดับ	2 ตัว
SW2 - สวิทช์โยก 2 ทาง	2 ตัว
FUSE ขนาด 1 แอมป์	2 ตัว
กระบอกฟิวส์	2 ตัว
T1 - หม้อแปลงไฟฟ้า 220 โวลท์ ไฟออก 12V - 0 - 12 V , 9V - 9V 2 แอมป์	2 ตัว
ฮีทซิ้งค์ตัวเล็ก	2 อัน
สายเอซี	2 เส้น
กล่องเอนกประสงค์	2 กล่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ

อุปกรณ์ภาคส่ง และภาครับ จะเหมือนกัน แตกต่างกันที่ภาค SYNC DETECT จะจัดซื้อ 2 ชุด เหมือนๆกัน จำนวนอุปกรณ์ติดไว้ 2 ชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LINEAR INTEGRATED CIRCUITS

SERIES uA7800 POSITIVE-VOLTAGE REGULATORS

BULLETIN NO. DL-S 7612386, MAY 1976

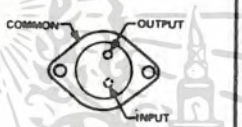
- 3-Terminal Regulators
- Output Current up to 1.5 A
- No External Components
- Internal Thermal Overload Protection
- Direct Replacements for Fairchild μA7800 Series and National LM340 Series
- High Power Dissipation Capability
- Internal Short-Circuit Current Limiting
- Output Transistor Safe-Area Compensation

NOMINAL OUTPUT VOLTAGE	−55°C TO 150°C OPERATING TEMPERATURE RANGE	0°C TO 125°C OPERATING TEMPERATURE RANGE
5 V	uA7805M	uA7805C
6 V	uA7806M	uA7806C
8 V	uA7808M	uA7808C
8.5 V	uA7885M	uA7885C
12 V	uA7812M	uA7812C
15 V	uA7815M	uA7815C
18 V	uA7818M	uA7818C
24 V	uA7824M	uA7824C
packages	KA	KA and KC

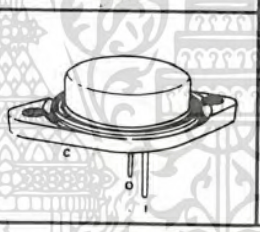
description

This series of fixed-voltage monolithic integrated-circuit voltage regulators is designed for a wide range of applications. These applications include on-card regulation for elimination of noise and distribution problems associated with single-point regulation. One of these regulators can deliver up to 1.5 amperes of output current. The internal current limiting and thermal shutdown features of these regulators make them essentially immune to overload. In addition to use as fixed-voltage regulators, these devices can be used with external components to obtain adjustable output voltages and currents and also as the power-pass element in precision regulators.

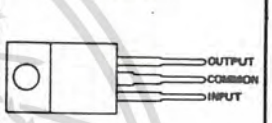
KA PACKAGE (TOP VEIW)



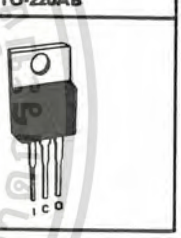
TO-3



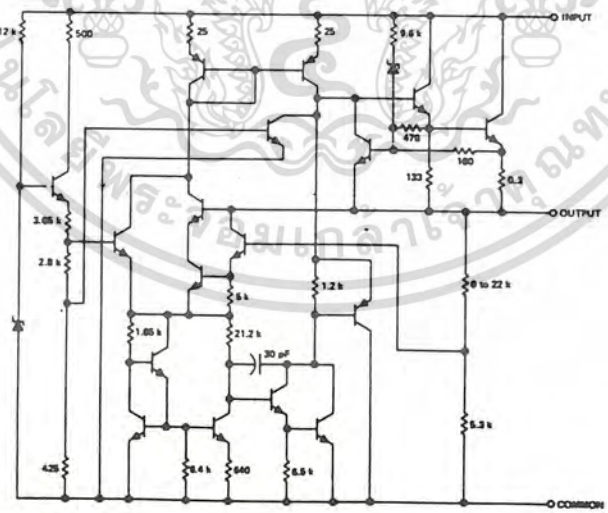
KC PACKAGE (TOP VIEW)



TO-220AB



schematic



Resistor values shown are nominal and in ohms.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating temperature range (unless otherwise noted)

		uA78__M	uA78__C	UNIT
Input voltage	uA7824M, uA7824C	40	40	V
	All others	35	35	
Continuous total dissipation at 25°C free-air temperature (see Note 1)	KA (TO-3) package	3.5	3.5	W
	KC (TO-220AB) package		2	
Continuous total dissipation at (or below) 25°C case temperature (see Note 1)		15	15	W
Operating free-air, case, or virtual junction temperature range		−55 to 150	0 to 150	°C
Storage temperature range		−65 to 150	−65 to 150	°C
Lead temperature 1/16 inch from case for 60 seconds	KA (TO-3) package	300	300	°C
Lead temperature 1/16 inch from case for 10 seconds	KC (TO-220AB) package		260	°C

NOTE 1: For operation above 25°C free-air or case temperature, refer to Dissipation Derating Curves, Figure 1 and Figure 2.

TO-3 AND TO-220AB FREE-AIR TEMPERATURE DISSIPATION DERATING CURVES

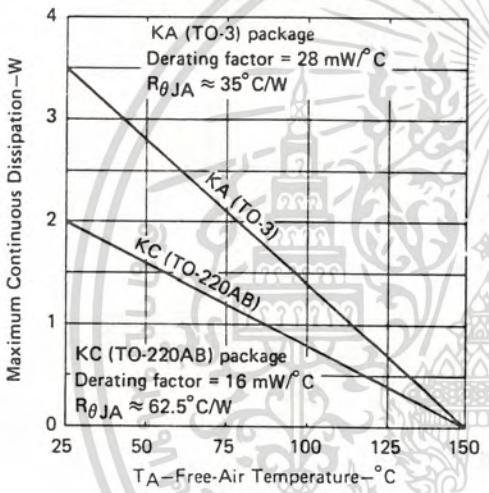


FIGURE 1

TO-3 AND TO-220AB CASE TEMPERATURE DISSIPATION DERATING CURVE

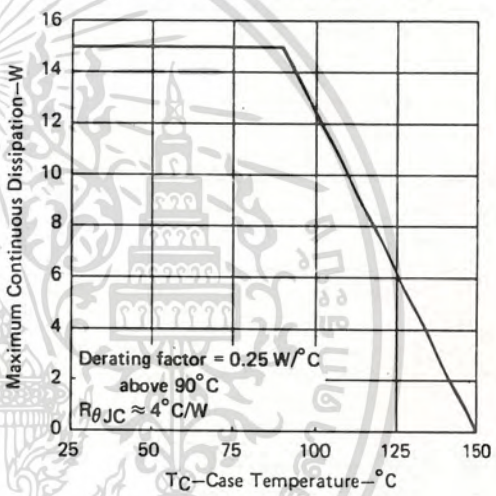


FIGURE 2

recommended operating conditions

		MIN	MAX	UNIT
Input voltage, V_I	uA7805M, uA7805C	7	25	V
	uA7806M, uA7806C	8	25	
	uA7808M, uA7808C	10.5	25	
	uA7885M, uA7885C	10.5	25	
	uA7812M, uA7812C	14.5	30	
	uA7815M, uA7815C	17.5	30	
	uA7818M, uA7818C	21	33	
	uA7824M, uA7824C	27	38	
Output current, I_O			1.5	A
Operating virtual junction temperature, T_J	uA7805M thru uA7824M	−55	150	°C
	uA7805C thru uA7824C	0	125	

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

uA7805M, uA7805C electrical characteristics at specified virtual junction temperature, V_I = 10 V, I_O = 500 mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS†			uA7805M			uA7805C			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
Output voltage			25°C	4.8	5	5.2	4.8	5	5.2	V
	I_O = 5 mA to 1 A, P < 15 W	V_I = 8 V to 20 V	–55°C to 150°C	4.65		5.35				
		V_I = 7 V to 20 V	0°C to 125°C				4.75		5.25	
Input regulation	V_I = 7 V to 25 V		25°C		3	50		3	100	mV
	V_I = 8 V to 12 V				1	25		1	50	
Ripple rejection	V_I = 8 V to 18 V, f = 120 Hz		–55°C to 150°C	68	78					dB
			0°C to 125°C				62	78		
Output regulation	I_O = 5 mA to 1.5 A		25°C		15	50		15	100	mV
	I_O = 250 mA to 750 mA				5	25		5	50	
Output resistance	f = 1 kHz		–55°C to 150°C		0.017					Ω
			0°C to 125°C					0.017		
Temperature coefficient of output voltage	I_O = 5 mA		0°C to 150°C		–1.1					mV/°C
			0°C to 125°C					–1.1		
Output noise voltage	f = 10 Hz to 100 kHz		25°C		40			40		μV
Dropout voltage	I_O = 1 A		25°C		2.0			2.0		V
Bias current			26°C		4.2	6		4.2	8	mA
Bias current change	V_I = 8 V to 25 V		–55°C to 150°C			0.8				mA
	V_I = 7 V to 25 V		0°C to 125°C						1.3	
	I_O = 5 mA to 1 A		–55°C to 150°C			0.5				
			0°C to 125°C						0.5	
Short-circuit output current			25°C		750			750		mA
Peak output current			25°C		2.2			2.2		A

†All characteristics are measured with a capacitor across the input of 0.33 μF and a capacitor across the output of 0.1 μF and all characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques (t_w ≤ 10 ms, duty cycles ≤ 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

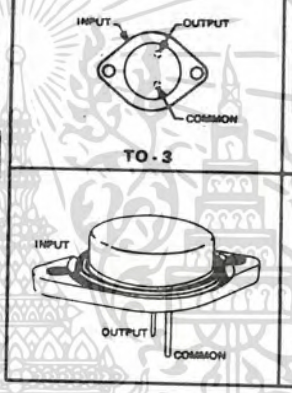
SERIES uA7900
NEGATIVE-VOLTAGE REGULATORS

BULLETIN NO. DL-S 7612404, JUNE 1976

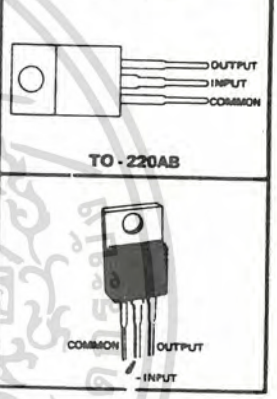
- 3-Terminal Regulators
- Output Current up to 1.5 A
- No External Components
- Internal Thermal Overload Protection
- Direct Replacements for Fairchild μA7900 Series
- Essentially Equivalent to National LM 320 Series
- High Power Dissipation Capability
- Internal Short-Circuit Current Limiting
- Output Transistor Safe-Area Compensation

NOMINAL OUTPUT VOLTAGE	−55°C TO 150°C OPERATING TEMPERATURE RANGE	0°C TO 125°C OPERATING TEMPERATURE RANGE
−5 V	uA7905M	uA7905C
−6 V	uA7906M	uA7906C
−8 V	uA7908M	uA7908C
−12 V	uA7912M	uA7912C
−15 V	uA7915M	uA7915C
−18 V	uA7918M	uA7918C
−24 V	uA7924M	uA7924C
PACKAGES	KA	KA and KC

KA PACKAGE
(TOP VIEW)



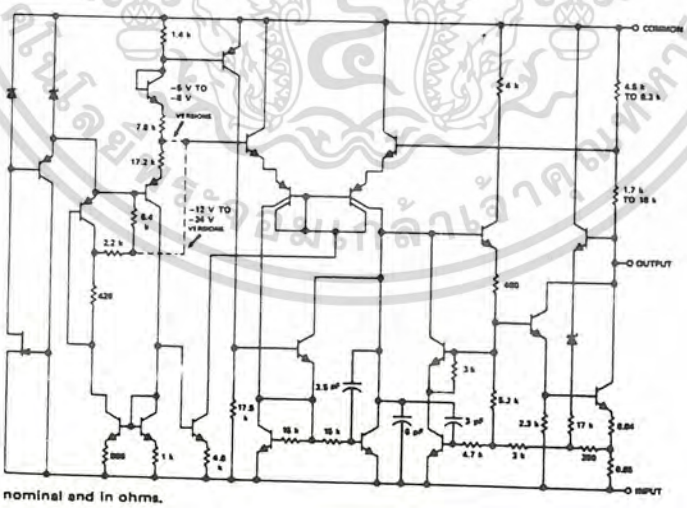
KC PACKAGE
(TOP VIEW)



description

This series of fixed-negative-voltage monolithic integrated-circuit voltage regulators is designed to complement Series uA7800 in a wide range of applications. These applications include on-card regulation for elimination of noise and distribution problems associated with single-point regulation. One of these regulators can deliver up to 1.5 amperes of output current. The internal current limiting and thermal shutdown features of these regulators make them essentially immune to overload. In addition to use as fixed-voltage regulators, these devices can be used with external components to obtain adjustable output voltages and currents and also as the power pass element in precision regulators.

schematic



Resistor values shown are nominal and in ohms.

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating temperature range (unless otherwise noted)

		uA7905M THRU uA7924M	uA7905C THRU uA7924C	UNIT
Input voltage	uA7924M, uA7924C	−40	−40	V
	All others	−35	−35	
Continuous total dissipation at 25°C free-air temperature (see Note 1)	KA (TO-3) package	3.5	3.5	W
	KC (TO-220AB) package		2	
Continuous total dissipation at (or below) 25°C case temperature (see Note 1)		15	15	W
Operating free-air, case, or virtual junction temperature range		−55 to 150	0 to 150	°C
Storage temperature range		−65 to 150	−65 to 150	°C
Lead temperature 1/8 inch from case for 60 seconds	KA (TO-3) package	300	300	°C
Lead temperature 1/8 inch from case for 10 seconds	KC (TO-220AB) package		260	°C

NOTE 1: For operation above 25°C free-air or case temperature, refer to ipation Derating Curves, Figure 1 and Figure 2.

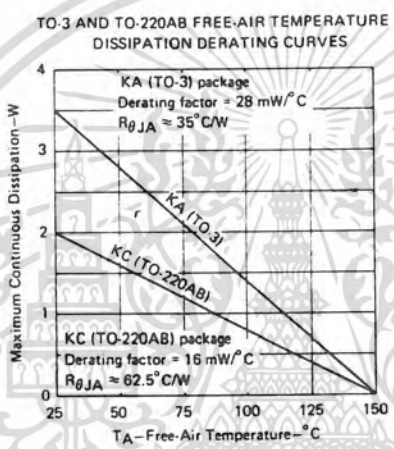


FIGURE 1

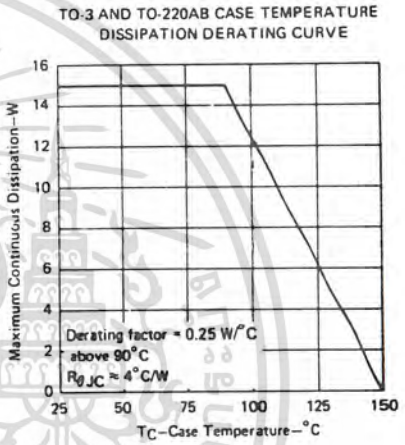


FIGURE 2

recommended operating conditions

		MIN	MAX	UNIT
Input voltage, V_I	uA7905M, uA7905C	−7	−25	V
	uA7906M, uA7906C	−8	−25	
	uA7908M, uA7908C	−10.5	−25	
	uA7912M, uA7912C	−14.5	−30	
	uA7915M, uA7915C	−17.5	−30	
	uA7918M, uA7918C	−21	−33	
	uA7924M, uA7924C	−27	−38	
Output current, I_O			1.5	A
Operating virtual junction temperature, T_J	uA7905M thru uA7924M	−55	150	°C
	uA7905C thru uA7924C	0	125	

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

uA7905M, uA7905C electrical characteristics at specified virtual junction temperature, $V_I = -10$ V, $I_O = 500$ mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS†			uA7905M			uA7905C			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
Output voltage	I_O = 5 mA to 1 A, P < 15 W	V_I = −8 V to −20 V	25°C	−4.8	−5	−5.2	−4.8	−5	−5.2	V
			−55°C to 150°C	−4.7		−5.3				
		V_I = −7 V to −20 V	0°C to 125°C				−4.75		−5.25	
Input regulation	V_I = −7 V to −25 V		25°C		3	50		3	100	mV
	V_I = −8 V to −12 V				1	25		1	50	
Ripple rejection	V_I = −8 V to −18 V, f = 120 Hz		−55°C to 150°C	54	60					dB
			0°C to 125°C				54	60		
Output regulation	I_O = 5 mA to 1.5 A		25°C		15	50		15	100	mV
	I_O = 250 mA to 750 mA				5	25		5	50	
Temperature coefficient of output voltage	I_O = 5 mA		0°C to 150°C		−0.4					mV/°C
			0°C to 125°C					−0.4		
Output noise voltage	f = 10 Hz to 100 kHz		25°C		125			125		μV
Dropout voltage	I_O = 1 A		25°C		1.1			1.1		V
Bias current			25°C		1	2		1	2	mA
Bias current change	V_I = −8 V to −25 V		−55°C to 150°C			1.3				mA
	V_I = −7 V to −25 V		0°C to 125°C						1.3	
	I_O = 5 mA to 1 A		−55°C to 150°C			0.5				
			0°C to 125°C						0.5	
Peak output current			25°C		2.1			2.1		A

† All characteristics are measured with a capacitor across the input of 0.33 μF and a capacitor across the output of 0.1 μF. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques (t_w < 10 ms, duty cycle ≤ 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.

6

uA7906M, uA7906C electrical characteristics at specified virtual junction temperature, V_I = −11 V, I_O = 500 mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS†			uA7906M			uA7906C			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
Output voltage	I_O = 5 mA to 1 A, $P \leq 15$ W	V_I = −9 V to −21 V	25°C	−5.75	−6	−6.25	−5.75	−6	−6.25	V
			−55°C to 150°C	−5.65		−6.35				
		V_I = −8 V to −21 V	0°C to 125°C							
Input regulation	V_I = −8 V to −25 V		25°C		5	60		5	120	mV
	V_I = −9 V to −13 V				1.5	30		1.5	60	
Ripple rejection	V_I = −9 V to −19 V, f = 120 Hz		−55°C to 150°C	54	60					dB
			0°C to 125°C				54	60		
Output regulation	I_O = 5 mA to 1.5 A		25°C		14	60		14	120	mV
	I_O = 250 mA to 750 mA				4	30		4	60	
Temperature coefficient of output voltage	I_O = 5 mA		0°C to 150°C		−0.4			−0.4		mV/°C
Output noise voltage	f = 10 Hz to 100 kHz		0°C to 125°C							
Dropout voltage	I_O = 1 A		25°C		150			150		μV
Bias current			25°C		1.1			1.1		V
Bias current change	V_I = −9 V to −25 V		25°C		1	2		1	2	mA
	V_I = −8 V to −25 V		−55°C to 150°C			1.3				
	I_O = 5 mA to 1 A		0°C to 125°C						1.3	mA
			−55°C to 150°C			0.5				
			0°C to 125°C						0.5	
Peak output current			25°C		2.1			2.1		A

†All characteristics are measured with a capacitor across the input of 0.33 μF and a capacitor across the output of 0.1 μF. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques ($t_w \leq 10$ ms, duty cycle ≤ 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

uA7908M, uA7908C electrical characteristics at specified virtual junction temperature, V_I = −14 V, I_O = 500 mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS†			uA7908M			uA7908C			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
Output voltage	I_O = 5 mA to 1 A, P < 15 W	V_I = −11.5 V to −23 V	25°C	−7.7	−8	−8.3	−7.7	−8	−8.3	V
			−55°C to 150°C	−7.6		−8.4				
		V_I = −10.5 V to −23 V	0°C to 125°C				−7.6		−8.4	
Input regulation	V_I = −10.5 V to −25 V V_I = −11 V to −17 V		25°C		6 2	80 40		6 2	160 80	mV
Ripple rejection	V_I = −11.5 V to −21.5 V, f = 120 Hz		−55°C to 150°C	54	60					dB
			0°C to 125°C				54	60		
Output regulation	I_O = 5 mA to 1.5 A		25°C		12	80		12	160	mV
	I_O = 250 mA to 750 mA				4	40		4	80	
Temperature coefficient of output voltage	I_O = 5 mA		0°C to 150°C		−0.6					mV/°C
			0°C to 125°C					−0.6		
Output noise voltage	f = 10 Hz to 100 kHz		25°C		200			200		μV
Dropout voltage	I_O = 1 A		25°C		1.1			1.1		V
Bias current			25°C		1	2		1	2	mA
Bias current change	V_I = −11.5 V to −25 V		−55°C to 150°C			1				mA
	V_I = −10.5 V to −25 V		0°C to 125°C						1	
	I_O = 5 mA to 1 A		−55°C to 150°C			0.5				
			0°C to 125°C						0.5	
Peak output current			25°C		2.1			2.1		A

† All characteristics are measured with a capacitor across the input of 0.33 μF and a capacitor across the output of 0.1 μF. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques (t_w < 10 ms, duty cycle < 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

uA7912M, uA7912C electrical characteristics at specified virtual junction temperature, $V_I = -19$ V, $I_O = 500$ mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS†			uA7912M			uA7912C			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
Output voltage			25°C	−11.5	−12	−12.5	−11.5	−12	−12.5	V
	I_O = 5 mA to 1 A, P < 15 W	V_I = −15.5 V to −27 V	−55°C to 150°C	−11.4		−12.6				
		V_I = −14.5 V to −27 V	0°C to 125°C				−11.4		−12.6	
Input regulation	V_I = −14.5 V to −30 V		25°C		10	120		10	240	mV
	V_I = −16 V to −22 V				3	60		3	120	
Ripple rejection	V_I = −15 V to −25 V, f = 120 Hz		−55°C to 150°C	54	60					dB
			0°C to 125°C				54	60		
Output regulation	I_O = 5 mA to 1.5 A		25°C		12	120		12	240	mV
	I_O = 250 mA to 750 mA				4	60		4	120	
Temperature coefficient of output voltage	I_O = 5 mA		0°C to 150°C		−0.8					mV/°C
			0°C to 125°C					−0.8		
Output noise voltage	f = 10 Hz to 100 kHz		25°C		300			300		μV
Dropout voltage	I_O = 1 A		25°C		1.1			1.1		V
Bias current			25°C		1.5	3		1.5	3	mA
Bias current change	V_I = −15 V to −30 V		−55°C to 150°C			1				mA
	V_I = −14.5 V to − 30 V		0°C to 125°C						1	
	I_O = 5 mA to 1 A		−55°C to 150°C			0.5				
			0°C to 125°C						0.5	
Peak output current			25°C		2.1			2.1		A

† All characteristics are measured with a capacitor across the input of 0.33 μF and a capacitor across the output of 0.1 μF. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques (t_w < 10 ms, duty cycle < 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

uA7915M, uA7915C electrical characteristics at specified virtual junction temperature, V_I = −23 V, I_O = 500 mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS†			uA7915M			uA7915C			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
Output voltage			25°C	−14.4	−15	−15.6	−14.4	−15	−15.6	V
	I_O = 5 mA to 1 A, P < 15 W	V_I = −18.5 V to −30 V	−55°C to 150°C	−14.25		−15.75				
		V_I = −17.5 V to −30 V	0°C to 125°C				−14.25		−15.75	
Input regulation	V_I = −17.5 V to −30 V		25°C		11	150		11	300	mV
	V_I = −20 V to −26 V				3	75		3	150	
Ripple rejection	V_I = −18.5 V to −28.5 V, f = 120 Hz		−55°C to 150°C	54	60					dB
			0°C to 125°C				54	60		
Output regulation	I_O = 5 mA to 1.5 A		25°C		12	150		12	300	mV
	I_O = 250 mA to 750 mA				4	75		4	150	
Temperature coefficient of output voltage	I_O = 5 mA		0°C to 150°C		−1					mV/°C
			0°C to 125°C					−1		
Output noise voltage	f = 10 Hz to 100 kHz		25°C		375			375		μV
Dropout voltage	I_O = 1 A		25°C		1.1			1.1		V
Bias current			25°C		1.5	3		1.5	3	mA
Bias current change	V_I = −18.5 V to − 30 V		−55°C to 150°C			1				mA
	V_I = −17.5 V to −30 V		0°C to 125°C						1	
	I_O = 5 mA to 1 A		−55°C to 150°C			0.5				
			0°C to 125°C						0.5	
Peak output current			25°C		2.1			2.1		A

†All characteristics are measured with a capacitor across the input of 0.33 μF and a capacitor across the output of 0.1 μF. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques (t_w < 10 ms, duty cycle < 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.

Hex Inverter

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (Total)
7404	10ns	12mA
74LS04	9.5ns	2.4mA
74S04	3ns	22mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGES V_{CC} = 5V ± 5%; T_A = 0°C to +70°C	MILITARY RANGES V_{CC} = 5V ± 10%; T_A = −55°C to +125°C
Plastic DIP	N7404N • N74LS04N N74S04N	
Ceramic DIP	N7404F • N74LS04F N74S04F	S5404F • S54LS04F S54S04F
Flatpack		S5404W • S54LS04W S54S04W

FUNCTION TABLE

INPUT	OUTPUT
A	Y
L	H
H	L

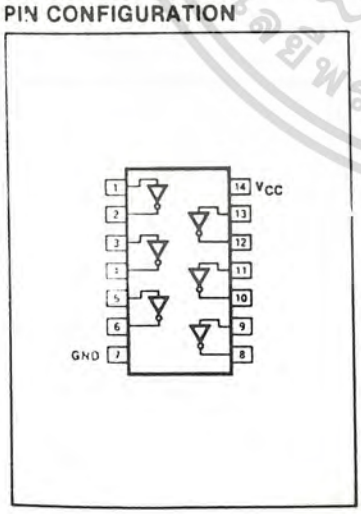
H = HIGH voltage level
L = LOW voltage level

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

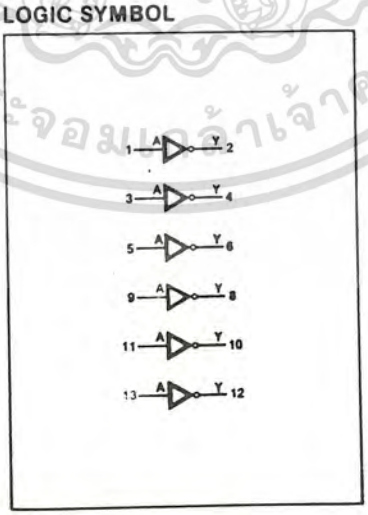
PINS	DESCRIPTION	54/74	54/74S	54/74LS
A	Input	1ul	1Sul	1LSul
Y	Output	10ul	10Sul	10LSul

NOTE
Where a 54/74 unit load (ul) is understood to be 40μA I_{IH} and −1.6mA I_{IL}, a 54/74S unit load (Sul) is 50μA I_{IH} and −2.0mA I_{IL}, and 54/74LS unit load (LSul) is 20μA I_{IH} and −0.4mA I_{IL}.

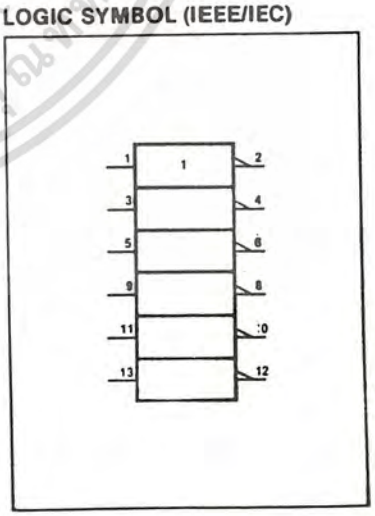
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

PARAMETER		54	54LS	54S	74	74LS	74S	UNIT
V_{CC}	Supply voltage	7.0	7.0	7.0	7.0	7.0	7.0	V
V_{IN}	Input voltage	−0.5 to +5.5	−0.5 to +7.0	−0.5 to +5.5	−0.5 to +5.5	−0.5 to +7.0	−0.5 to +5.5	V
I_{IN}	Input current	−30 to +5	−30 to +1	−30 to +5	−30 to +5	−30 to +1	−30 to +5	mA
V_{OUT}	Voltage applied to output in HIGH output state	−0.5 to +V_{CC}	−0.5 to +V_{CC}	−0.5 to +V_{CC}	−0.5 to +V_{CC}	−0.5 to +V_{CC}	−0.5 to +V_{CC}	V
T_A	Operating free-air temperature range	−55 to +125			0 to 70			°C

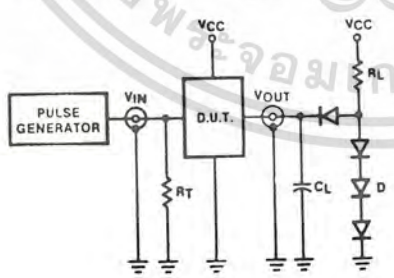
RECOMMENDED OPERATING CONDITIONS

PARAMETER			54/74			54/74LS			54/74S			UNIT
			Min	Nom	Max	Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply voltage	Mil	4.5	5.0	5.5	4.5	5.0	5.5	4.5	5.0	5.5	V
		Com'l	4.75	5.0	5.25	4.75	5.0	5.25	4.75	5.0	5.25	V
V_{IH}	HIGH-level input voltage		2.0			2.0			2.0			V
V_{IL}	LOW-level input voltage	Mil			+0.8			+0.7			+0.8	V
		Com'l			+0.8			+0.8			+0.8	V
I_{IK}	Input clamp current				−12			−18			−18	mA
I_{OH}	HIGH-level output current				−400			−400			−1000	µA
I_{OL}	LOW-level output current	Mil			16			4			20	mA
		Com'l			16			8			20	mA
T_A	Operating free-air temperature	Mil	−55		+125	−55		+125	−55		+125	°C
		Com'l	0		70	0		70	0		70	°C

NOTE
V_{IL} = +0.7V MAX for 54S at T_A = +125°C only.

TEST CIRCUITS AND WAVEFORMS

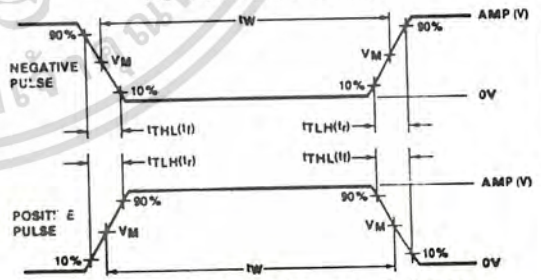
TEST CIRCUIT FOR 54/74 TOTEM-POLE OUTPUTS



DEFINITIONS

R_L = Load resistor to V_{CC}; see AC CHARACTERISTICS for value.
C_L = Load capacitance includes jig and probe capacitance; see AC CHARACTERISTICS for value.
R_T = Termination resistance should be equal to Z_{OUT} of Pulse Generators.
D = Diodes are 1N916, 1N3064, or equivalent.
t_{TLH}, t_{THL} Values should be less than or equal to the table entries.

INPUT PULSE DEFINITIONS



V_M = 1.3V for 54LS/74LS; V_M = 1.5V for all other TTL families.

FAMILY	INPUT PULSE REQUIREMENTS				
	Amplitude	Rep. Rate	Pulse Width	t_{TLH}	t_{THL}
54/74	3.0V	1MHz	500ns	7ns	7ns
54LS/74LS	3.0V	1MHz	500ns	15ns	6ns
54S/74S	3.0V	1MHz	500ns	2.5ns	2.5ns

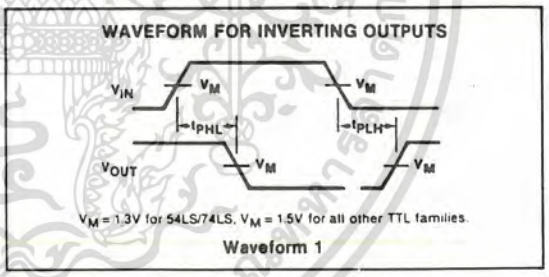
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Over recommended operating free-air temperature range unless otherwise noted.)

PARAMETER	TEST CONDITIONS[1]			54/7404			54/74LS04			54/74S04			UNIT
				Min	Typ[2]	Max	Min	Typ[2]	Max	Min	Typ[2]	Max	
V_{OH} HIGH-level output voltage	V_{CC} = MIN, V_{IL} = MAX, I_{OH} = MAX		Mil	2.4	3.4		2.5	3.4		2.5	3.4		V
			Com'l	2.4	3.4		2.7	3.4		2.7	3.4		V
V_{OL} LOW-level output voltage	V_{CC} = MIN, V_{IH} = MIN	I_{OL} = MAX	Mil		0.2	0.4		0.25	0.4			0.5[4]	V
			Com'l		0.2	0.4		0.35	0.5			0.5	V
		I_{OL} = 4mA	74LS					0.25	0.4				V
V_{IK} Input clamp voltage	V_{CC} = MIN, I_I = I_{IK}					− 1.5			− 1.5			− 1.2	V
I_I Input current at maximum input voltage	V_{CC} = MAX	V_I = 5.5V				1.0						1.0	mA
		V_I = 7.0V							0.1				mA
I_{IH} HIGH-level input current	V_{CC} = MAX	V_I = 2.4V				40							µA
		V_I = 2.7V							20			50	µA
I_{IL} LOW-level input current	V_{CC} = MAX	V_I = 0.4V				− 1.6			− 0.4				mA
		V_I = 0.5V										− 2.0	mA
I_{OS} Short-circuit output current[3]	V_{CC} = MAX		Mil	− 20		− 55	− 20		− 100	− 40		− 100	mA
			Com'l	− 18		− 55	− 20		− 100	− 40		− 100	mA
I_{CC} Supply current (total)	V_{CC} = MAX	I_{CCH} Outputs HIGH			6	12		1.2	2.4		15	24	mA
		I_{CCL} Outputs LOW			18	33		3.6	6.6		30	54	mA

NOTES
1. For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
2. All typical values are at V_{CC} = 5V, T_A = 25°C.
3. I_{OS} is tested with V_{OUT} = + 0.5V and V_{CC} = V_{CC} MAX + 0.5V. Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.
4. V_{OL} = + 0.45V MAX for 54S at T_A = + 125°C only.

AC WAVEFORM



AC CHARACTERISTICS T_A = 25°C, V_{CC} = 5.0V

PARAMETER	TEST CONDITIONS	54/74		54/74LS		54/74S		UNIT
		C_L = 15pF, R_L = 400Ω		C_L = 15pF, R_L = 2kΩ		C_L = 15pF, R_L = 280Ω		
		Min	Max	Min	Max	Min	Max	
t_{PLH} Propagation delay	Waveform 1		22		15		4.5	ns
t_{PHL} Propagation delay	Waveform 1		15		15		5.0	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DECODERS/DEMULTIPLEXERS

54/74LS138, S138

1-Of-8 Decoder/Demultiplexer

- Demultiplexing capability
- Multiple input enable for easy expansion
- Ideal for memory chip select decoding
- Direct replacement for Intel 3205

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (Total)
74LS138	20ns	6.3mA
74S138	7ns	49mA

3

DESCRIPTION

The '138 decoder accepts three binary weighted inputs (A_0, A_1, A_2) and when enabled, provides eight mutually exclusive, active LOW outputs ($\overline{0}$–$\overline{7}$). The device features three Enable inputs: two active LOW ($\overline{E}_1$, $\overline{E}_2$) and one active HIGH (E_3). Every output will be HIGH unless $\overline{E}_1$ and $\overline{E}_2$ are LOW and E_3 is HIGH. This multiple enable function allows easy parallel expansion of the device to a 1-of-32 (5 lines to 32 lines) decoder with just four '138s and one inverter.

The device can be used as an eight output demultiplexer by using one of the active LOW Enable inputs as the Data input and the remaining Enable inputs as strobes. Enable inputs not used must be permanently tied to their appropriate active HIGH or active LOW state.

ORDERING CODE

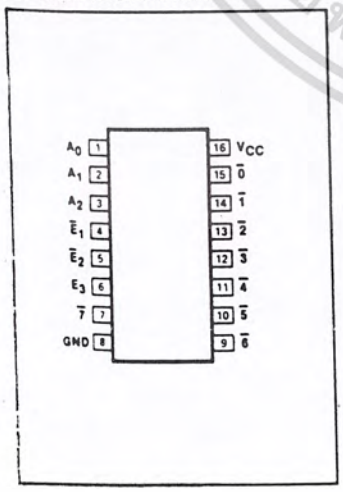
PACKAGES	COMMERCIAL RANGES V_{CC} = 5V ±5%; T_A = 0°C to +70°C	MILITARY RANGES V_{CC} = 5V ±10%; T_A = −55°C to +125°C
Plastic DIP	N74S138N • N74LS138N	
Ceramic DIP	N74S138F • N74LS138F	S54S138F • S54LS138F
Flatpack		S54S138W • S54LS138W

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

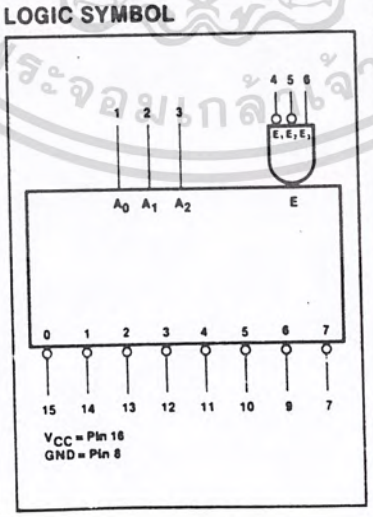
PINS	DESCRIPTION	54/74S	54/74LS
All	Inputs	1Sul	1LSul
All	Outputs	10Sul	10LSul

NOTE
Where a 54/74S unit load (Sul) is 50μA I_{IH} and −2.0mA I_{IL}, and a 54/74LS unit load (LSul) is 20μA I_{IH} and −0.4mA I_{IL}.

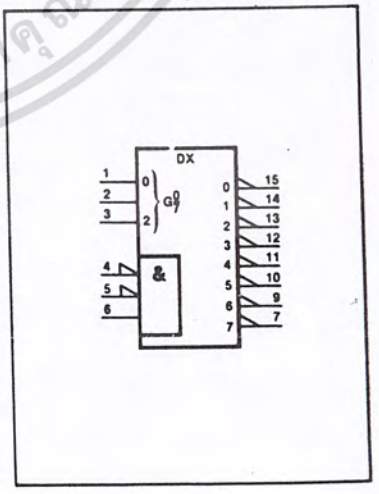
PIN CONFIGURATION



LOGIC SYMBOL



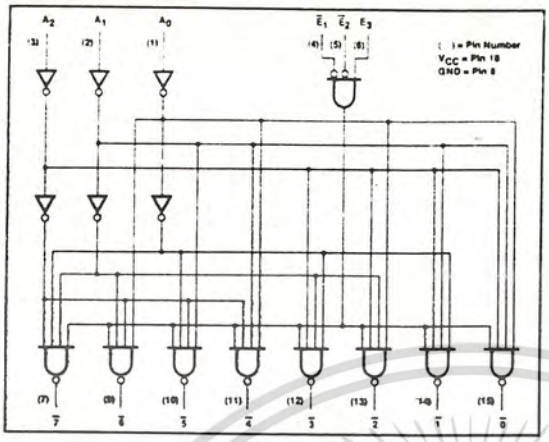
LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DECODERS/DEMULTIPLEXERS 54/74LS138, S138

LOGIC DIAGRAM



FUNCTION TABLE

INPUTS						OUTPUTS							
$\bar{E}_1$	$\bar{E}_2$	E_3	A_0	A_1	A_2	$\bar{0}$	$\bar{1}$	$\bar{2}$	$\bar{3}$	$\bar{4}$	$\bar{5}$	$\bar{6}$	$\bar{7}$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

NOTES
H = HIGH voltage level
L = LOW voltage level
X = Don't care

ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

	PARAMETER	54LS	54S	74LS	74S	UNIT
V_{CC}	Supply voltage	7.0	7.0	7 0	7.0	V
V_{IN}	Input voltage	− 0.5 to + 7.0	− 0.5 to + 5.5	− 0.5 to + 7.0	− 0.5 to + 5.5	V
I_{IN}	Input current	− 30 to + 1	− 30 to + 5	− 30 to + 1	− 30 to + 5	mA
V_{OUT}	Voltage applied to output in HIGH output state	− 0.5 to + V_{CC}	− 0.5 to + V_{CC}	− 0.5 to + V_{CC}	− 0.5 to + V_{CC}	V
T_A	Operating free-air temperature range	− 55 to + 125		0 to 70		°C

RECOMMENDED OPERATING CONDITIONS

PARAMETER			54/74LS			54/74S			UNIT
			Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply voltage	Mil	4.5	5.0	5.5	4.5	5.0	5.5	V
		Com'l	4.75	5.0	5.25	4.75	5.0	5.25	V
V_{IH}	HIGH-level input voltage		2.0			2.0			V
V_{IL}	LOW-level input voltage	Mil			+ 0.7			+ 0.8	V
		Com'l			+ 0.8			+ 0.8	V
I_{IK}	Input clamp current				− 18			− 18	mA
I_{OH}	HIGH-level output current				− 400			− 1000	µA
I_{OL}	LOW-level output current	Mil			4			20	mA
		Com'l			8			20	mA
T_A	Operating free-air temperature	Mil	− 55		+ 125	− 55		+ 125	°C
		Com'l	0		70	0		70	°C

NOTE
V_{IL} = + 0.7V MAX for 54S at T_A = + 125°C only.

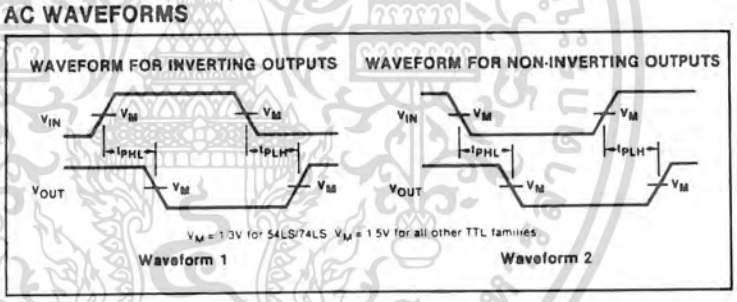
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Over recommended operating free-air temperature range unless otherwise noted.)

PARAMETER		TEST CONDITIONS[1]			54/74LS138			54/74S138			UNIT
					Min	Typ[2]	Max	Min	Typ[2]	Max	
V_{OH}	HIGH-level output voltage	V_{CC} = MIN, V_{IH} = MIN, V_{IL} = MAX, I_{OH} = MAX		Mil	2.5	3.4		2.5	3.4		V
				Com'l	2.7	3.4		2.7	3.4		V
V_{OL}	LOW-level output voltage	V_{CC} = MIN, V_{IH} = MIN, V_{IL} = MAX	I_{OL} = MAX	Mil		0.25	0.4			0.5[5]	V
				Com'l		0.35	0.5			0.5	V
			I_{OL} = 4mA	74LS		0.25	0.4				V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = I_{IK}					– 1.5			– 1.2	V
I_I	Input current at maximum input voltage	V_{CC} = MAX	V_I = 5.5V							1.0	mA
			V_I = 7.0V				0.1				mA
I_{IH}	HIGH-level input current	V_{CC} = MAX, V_I = 2.7V					20			50	µA
I_{IL}	LOW-level input current	V_{CC} = MAX	V_I = 0.4V				– 0.4				mA
			V_I = 0.5V							– 2	mA
I_{OS}	Short-circuit output current[3]	V_{CC} = MAX			– 20		– 100	– 40		– 100	mA
I_{CC}	Supply current[4] (total)	V_{CC} = MAX				6.3	10		49	74	mA

NOTES
1. For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
2. All typical values are at V_{CC} = 5V, T_A = 25°C.
3. I_{OS} is tested with V_{OUT} = + 0.5V and V_{CC} = V_{CC} MAX + 0.5V. Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.
4. To measure I_{CC}, outputs must be enabled and open.
5. V_{OL} = + 0.45V MAX for 54S at T_A = + 125°C only.

AC WAVEFORMS



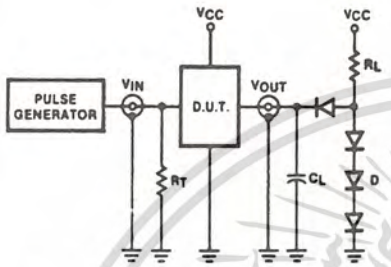
AC CHARACTERISTICS T_A = 25°C, V_{CC} = 5.0V

PARAMETER		TEST CONDITIONS	54/74LS		54/74S		UNIT
			C_L = 15pF, R_L = 2kΩ		C_L = 15pF, R_L = 280Ω		
			Min	Max	Min	Max	
t_{PLH}	Propagation delay	Waveform 2		20		7	ns
t_{PHL}	Address to output	2 logic levels		41		10.5	
t_{PLH}	Propagation delay	Waveform 1		27		12	ns
t_{PHL}	Address to output	3 logic levels		39		12	
t_{PLH}	Propagation delay	Waveform 2		18		8	ns
t_{PHL}	Enable to output	2 logic levels		32		11	
t_{PLH}	Propagation delay	Waveform 1		26		11	ns
t_{PHL}	Enable to output	3 logic levels		38		11	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS AND WAVEFORMS

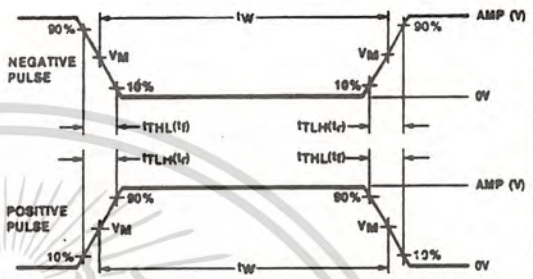
TEST CIRCUIT FOR 54/74 TOTEM-POLE OUTPUTS



DEFINITIONS

R_L = Load resistor to V_{CC}; see AC CHARACTERISTICS for value.
C_L = Load capacitance includes jig and probe capacitance; see AC CHARACTERISTICS for value.
R_T = Termination resistance should be equal to Z_{OUT} of Pulse Generators.
D = Diodes are 1N916, 1N3064, or equivalent.
t_{TLH}, t_{THL} Values should be less than or equal to the table entries.

INPUT PULSE DEFINITIONS

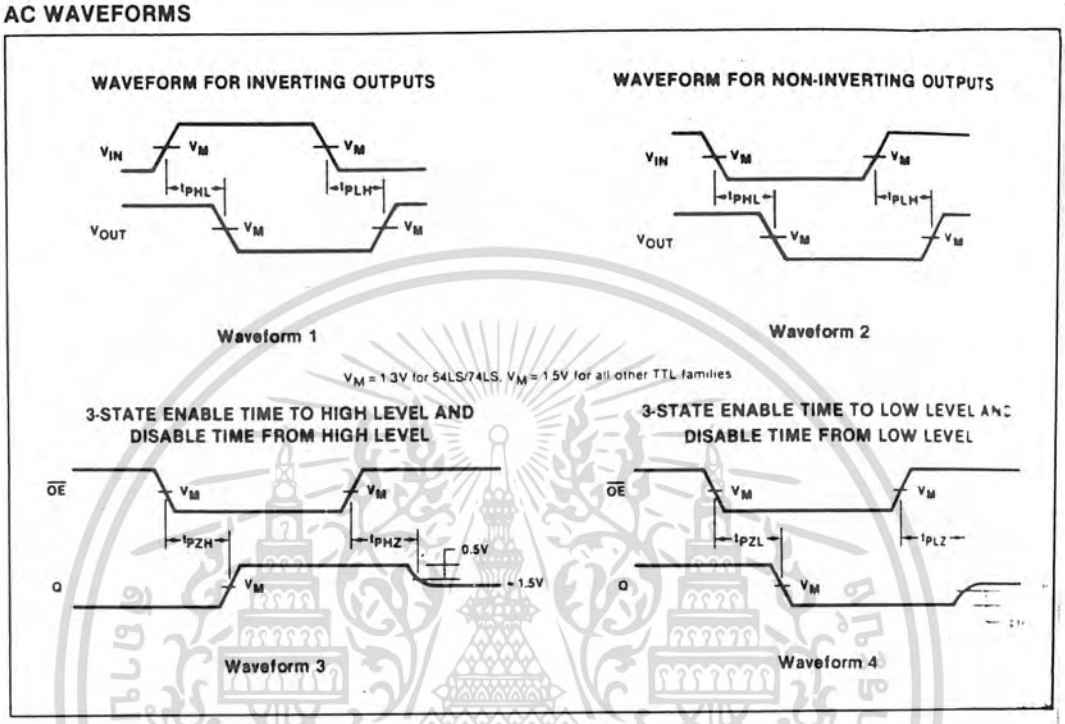


V_M = 1.3V for 54LS/74LS; V_M = 1.5V for all other TTL families.

FAMILY	INPUT PULSE REQUIREMENTS				
	Amplitude	Rep. Rate	Pulse Width	t_{TLH}	t_{THL}
54/74	3.0V	1MHz	500ns	7ns	7ns
54LS/74LS	3.0V	1MHz	500ns	15ns	6ns
54S/74S	3.0V	1MHz	500ns	2.5ns	2.5ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Octal Buffers (3-State)

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (Total)
74LS244	12ns	25mA
74S244	6ns	112mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGES V_{CC} = 5V ±5%; T_A = 0°C to +70°C	MILITARY RANGES V_{CC} = 5V ±10%; T_A = −55°C to +125°C
Plastic DIP	N74LS244N • N74S244N	
Ceramic DIP	74LS244F • N74S244F	S54LS244F • S54S244F

FUNCTION TABLE

INPUTS				OUTPUTS	
$\overline{OE}_a$	I_a	$\overline{OE}_b$	I_b	Y_a	Y_b
L	L	L	L	L	L
L	H	L	H	H	H
H	X	H	X	(Z)	(Z)

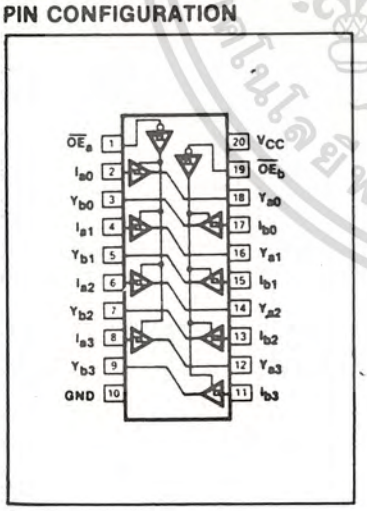
= HIGH voltage level
= LOW voltage level
= Don't care
= HIGH impedance (off) state

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

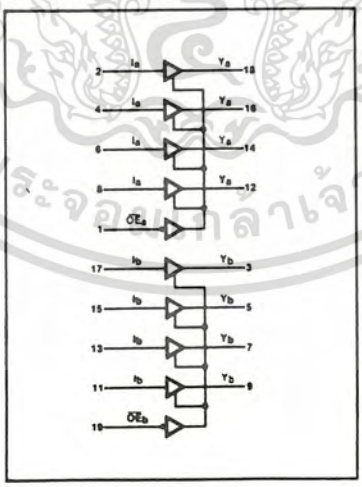
PINS	DESCRIPTION	54/74S	54/74LS
All	Inputs	1Sul	1LSul
All	Outputs	24Sul	30LSul

NOTE
A 54/74S unit load (Sul) is 50μA I_{IH} and −2.0mA I_{IL}, and a 54/74LS unit load (LSul) is 20μA I_{IH} and −0.4mA I_{IL}.

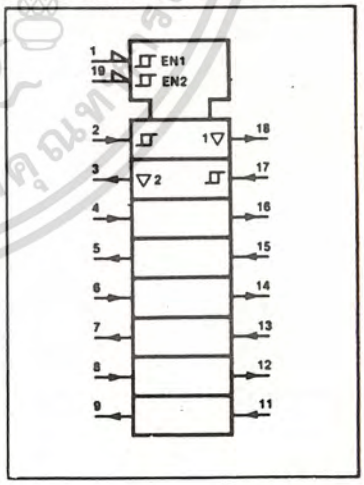
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BUFFERS 54/74LS244, S244

ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

PARAMETER		54LS	54S	74LS	74S	UNIT
V_{CC}	Supply voltage	7.0	7.0	7.0	7.0	V
V_{IN}	Input voltage	−0.5 to +7.0	−0.5 to +5.5	−0.5 to +7.0	−0.5 to +5.5	V
I_{IN}	Input current	−30 to +1	−30 to +5	−30 to +1	−30 to +5	mA
V_{OUT}	Voltage applied to output in HIGH output state	−0.5 to +V_{CC}	−0.5 to +V_{CC}	−0.5 to +V_{CC}	−0.5 to +V_{CC}	V
T_A	Operating free-air temperature range	−55 to +125		0 to 70		°C

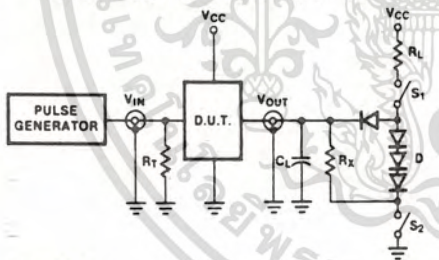
RECOMMENDED OPERATING CONDITIONS

PARAMETER			54/74LS			54/74S			UNIT
			Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply voltage	Mil	4.5	5.0	5.5	4.5	5.0	5.5	V
		Com'l	4.75	5.0	5.25	4.75	5.0	5.25	V
V_{IH}	HIGH-level input voltage		2.0			2.0			V
V_{IL}	LOW-level input voltage	Mil			+0.7			+0.8	V
		Com'l			+0.8			+0.8	V
I_{IK}	Input clamp current				−18			−18	mA
I_{OH}	HIGH-level output current	Mil			−12			−12	mA
		Com'l			−15			−15	mA
I_{OL}	LOW-level output current	Mil			12			48	mA
		Com'l			24			64	mA
T_A	Operating free-air temperature	Mil	−55		+125	−55		+125	°C
		Com'l	0		70	0		70	°C

NOTE
V_{IL} = +0.7V MAX for 54S at T_A = +125°C only.

TEST CIRCUITS AND WAVEFORMS

TEST CIRCUIT FOR 3-STATE OUTPUTS

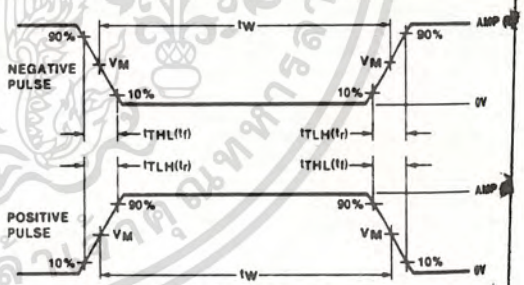


SWITCH POSITION

Test	Switch 1	Switch 2
t_{PZH}	Open	Closed
t_{PZL}	Closed	Open
t_{PHZ}	Closed	Closed
t_{PLZ}	Closed	Closed

DEFINITIONS
R_L = Load resistor to V_{CC}, see AC CHARACTERISTICS for value.
C_L = Load capacitance includes jig and probe capacitance, see AC CHARACTERISTICS for value.
R_T = Termination resistance should be equal to Z_{OUT} of Pulse Generators.
D = Diodes are 1N916, 1N3064, or equivalent.
R_X = 1kΩ for 54/74, 54S/74S R_X = 5kΩ for 54LS/74LS
t_{TLH} t_{THL} Values should be less than or equal to the table entries

INPUT PULSE DEFINITIONS



V_M = 1.3V for 54LS/74LS. V_M = 1.5V for all other TTL families

FAMILY	INPUT PULSE REQUIREMENTS				
	Amplitude	Rep. Rate	Pulse Width	t_{TLH}	
54/74	3.0V	1MHz	500ns	7ns	
54LS/74LS	3.0V	1MHz	500ns	15ns	
54S/74S	3.0V	1MHz	500ns	2.5ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Over recommended operating free-air temperature range unless otherwise noted.)

PARAMETER	TEST CONDITIONS[1]			54/74LS244			54/74S244			UNIT
				Min	Typ[2]	Max	Min	Typ[2]	Max	
Hysteresis ($V_{T+}-V_{T-}$)	V_{CC} = MIN			0.2	0.4		0.2	0.4		V
HIGH-level output voltage	V_{CC} = MIN, V_{IH} = MIN, V_{IL} = 0.5V, I_{OH} = MAX			2.0			2.0			V
	V_{CC} = MIN, V_{IH} = MIN, V_{IL} = MAX, I_{OH} = −3mA			2.4	3.4		2.4			V
LOW-level output voltage	V_{CC} = MIN, V_{IH} = MIN, V_{IL} = MAX	I_{OL} = MAX	Mil			0.4			0.55	V
			Com'l			0.5			0.55	V
		I_{OL} = 12mA	74LS			0.4				V
Input clamp voltage	V_{CC} = MIN, I_I = I_{IK}					−1.5			−1.2	V
Off-state output current, HIGH-level voltage applied	V_{CC} = MAX, V_{IH} = MIN, V_{IL} = MAX	V_O = 2.7V				20				μA
		V_O = 2.4V							50	μA
Off-state output current, LOW-level voltage applied	V_{CC} = MAX, V_{IH} = MIN, V_{IL} = MAX	V_O = 0.4V				−20				μA
		V_O = 0.5V							−50	μA
Input current at maximum input voltage	V_{CC} = MAX	V_I = 5.5V							1.0	mA
		V_I = 7.0V				0.1				mA
HIGH-level input current	V_{CC} = MAX, V_I = 2.7V					20			50	μA
LOW-level input current	V_{CC} = MAX	V_I = 0.4V				−0.2				mA
		V_I = 0.5V	$\overline{OE}$ inputs						−2.0	mA
			Other inputs						−0.4	mA
Short-circuit output current[3]	V_{CC} = MAX			−40		−130	−50		−130	mA
Supply current[4] (total)	V_{CC} = MAX	I_{CCH} Outputs HIGH	Mil		17	27		5	147	mA
			Com'l		17	27		95	160	mA
		I_{CCL} Outputs LOW	Mil		27	46		120	170	mA
			Com'l		27	46		120	180	mA
		I_{CCZ} Outputs OFF	Mil		32	54		120	170	mA
			Com'l		32	54		120	180	mA

[1] For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
[2] All typical values are at V_{CC} = 5V, T_A = 25°C.
[3] Not more than one output should be tested at a time, and the duration of the test should not exceed one second.
[4] I_{CC} is measured with outputs open.

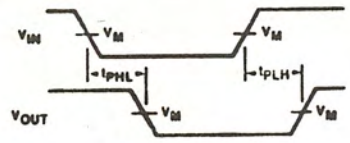
AC CHARACTERISTICS T_A = 25°C, V_{CC} = 5.0V

PARAMETER	TEST CONDITIONS	54LS/74LS		54S/74S		UNIT
		C_L = 45pF, R_L = 667Ω		C_L = 50pF, R_L = 90Ω		
		Min	Max	Min	Max	
Propagation delay	Waveform 1		18		9	ns
Propagation delay	Waveform 1		18		9	ns
Enable to HIGH	Waveform 2		23		12	ns
Enable to LOW	Waveform 3		30		15	ns
Disable from HIGH	Waveform 2, C_L = 5pF		18		9	ns
Disable from LOW	Waveform 3, C_L = 5pF		25		15	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

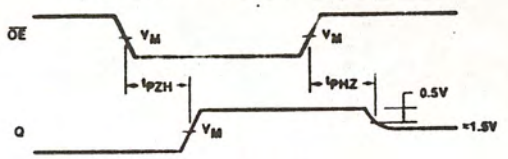
AC WAVEFORMS

WAVEFORM FOR NON-INVERTING OUTPUTS



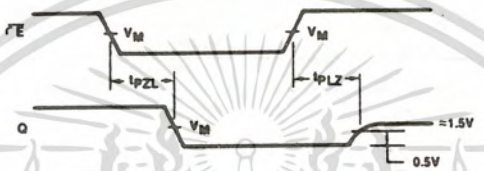
Waveform 1

3-STATE ENABLE TIME TO HIGH LEVEL AND DISABLE TIME FROM HIGH LEVEL



Waveform 2

3-STATE ENABLE TIME TO LOW LEVEL AND DISABLE TIME FROM LOW LEVEL



Waveform 3

V_M = 1.3V for 54LS/74LS, V_M = 1.5V for all other TTL families

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'365A, '367A Hex Buffer/Driver (3-State)
'366A, '368A Hex Inverter Buffer (3-State)

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (Total)
74365A, 367A	10ns	65mA
74LS365A, 367A	10ns	14mA
74366A, 368A	9ns	59mA
74LS366A, 368A	10ns	12mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGES V_{CC} = 5V ± 5%; T_A = 0°C to +70°C	MILITARY RANGES V_{CC} = 5V ± 10%; T_A = −55°C to +125°C
Plastic DIP	N74365AN • N74LS365AN N74366AN • N74LS366AN N74367AN • N74LS367AN N74368AN • N74LS368AN	
Ceramic DIP	N74365AF • N74LS365AF N74366AF • N74LS366AF N74367AF • N74LS367AF N74368AF • N74LS368AF	S54365AF • S54LS365AF S54366AF • S54LS366AF S54367AF • S54LS367AF S54368AF • S54LS368AF
Flatpack		S54365AW • S54LS365AW S54366AW • S54LS366AW S54367AW • S54LS367AW S54368AW • S54LS368AW

FUNCTION TABLE, '365A, '366A

INPUTS			OUTPUTS	
$\overline{OE}_1$	$\overline{OE}_2$	I	Y	$\overline{Y}$
L	L	L	L	H
L	L	H	H	L
X	H	X	(Z)	(Z)
H	X	X	(Z)	(Z)

FUNCTION TABLE, '367A, '368A

INPUTS		OUTPUTS	
$\overline{OE}$	I	Y	$\overline{Y}$
L	L	L	H
L	H	H	L
H	X	(Z)	(Z)

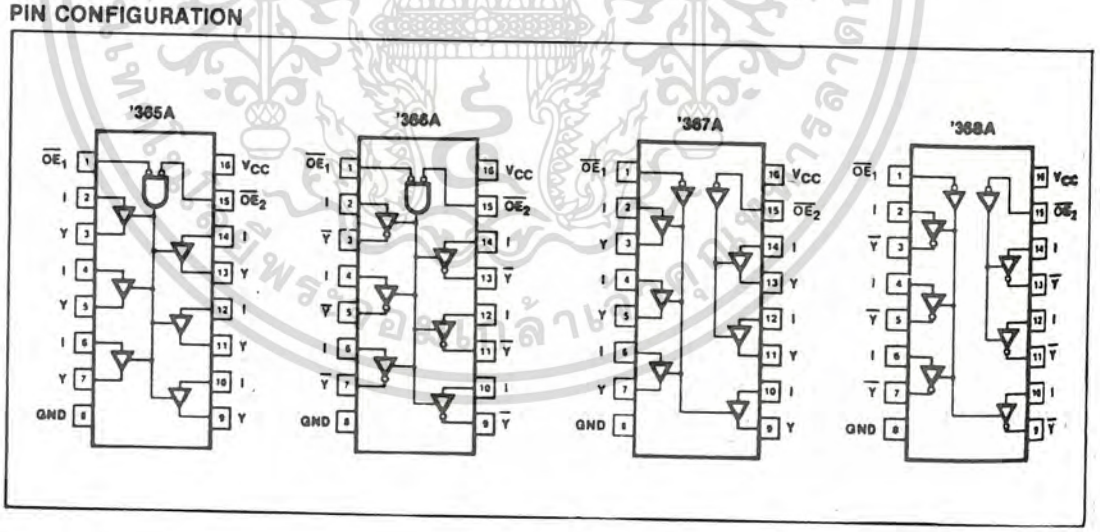
L = LOW voltage level
H = HIGH voltage level
X = Don't care
(Z) = HIGH impedance (off) state

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

PINS	DESCRIPTION	54/74	54/74LS
All	Inputs	1ul	1LSul
All	Outputs	20ul	30LSul

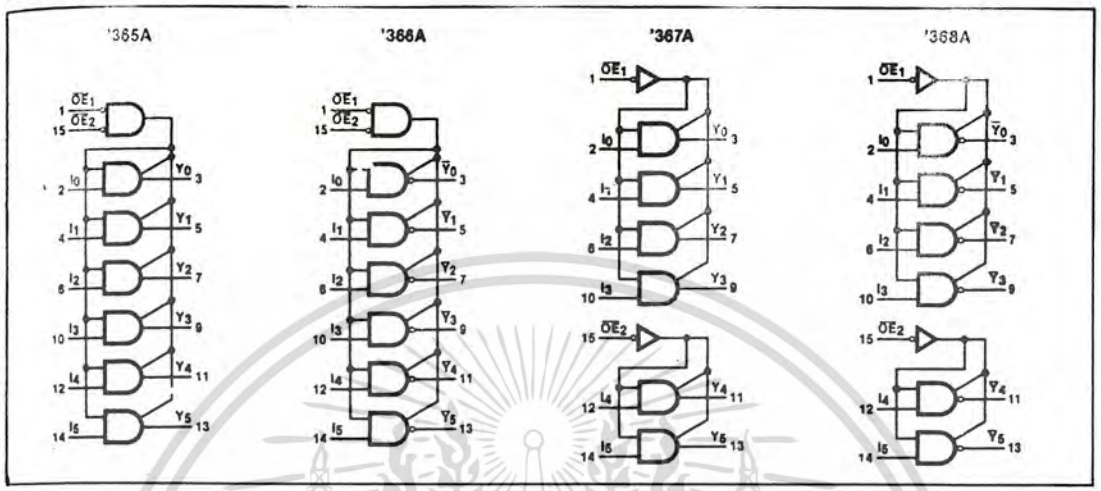
NOTE
Where a 54/74 unit load (ul) is understood to be 40μA I_{IH} and −1.6mA I_{IL} and a 54/74LS unit load (LSul) is 20μA I_{IH} and −0.4mA I_{IL}.

PIN CONFIGURATION

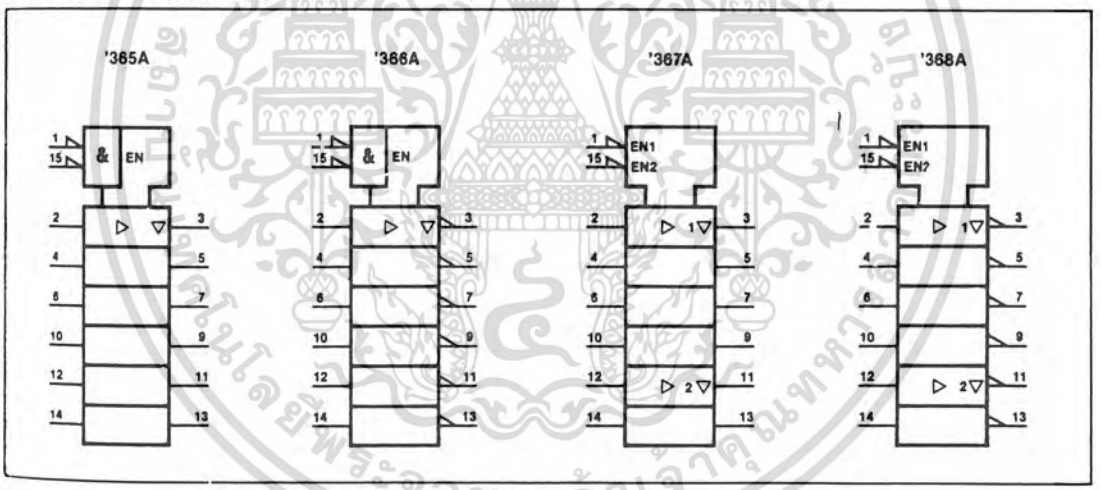


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

	PARAMETER	54	54LS	74	74LS	UNIT
V_{CC}	Supply voltage	7.0	7.0	7.0	7.0	V
V_{IN}	Input voltage	−0.5 to +5.5	−0.5 to +7.0	−0.5 to +5.5	−0.5 to +7.0	V
I_{IN}	Input current	−30 to +5	−30 to +1	−30 to +5	−30 to +1	mA
V_{OUT}	Voltage applied to output in HIGH output state	−0.5 to +V_{CC}	−0.5 to +V_{CC}	−0.5 to +V_{CC}	−0.5 to +V_{CC}	V
T_A	Operating free-air temperature range	−55 to +125		0 to 70		°C

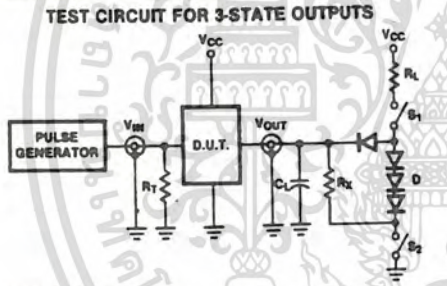
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED OPERATING CONDITIONS

PARAMETER			54/74			54/74LS			UNIT
			Min	Nom	Max	Min	Nom	Max	
V_{CC}	Supply voltage	Mil	4.5	5.0	5.5	4.5	5.0	5.5	V
		Com'l	4.75	5.0	5.25	4.75	5.0	5.25	V
V_{IH}	HIGH-level input voltage		2.0			2.0			V
V_{IL}	LOW-level input voltage	Mil			+ 0.8			+ 0.7	V
		Com'l			+ 0.8			+ 0.8	V
I_{IK}	Input clamp current				– 12			– 18	mA
I_{OH}	HIGH-level output current	Mil			– 2.0			– 1.0	mA
		Com'l			– 5.2			– 2.6	mA
I_{OL}	LOW-level output current	Mil			32			12	mA
		Com'l			32			24	mA
T_A	Operating free-air temperature	Mil	– 55		+ 125	– 55		+ 125	°C
		Com'l	0		70	0		70	°C

TEST CIRCUITS AND WAVEFORMS

TEST CIRCUIT FOR 3-STATE OUTPUTS



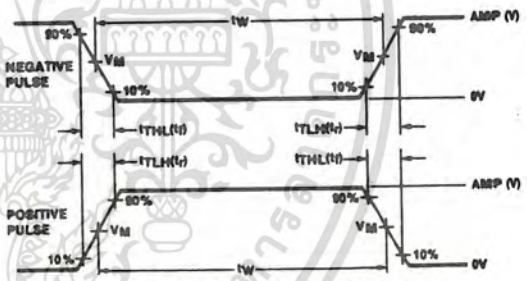
SWITCH POSITION

Test	Switch 1	Switch 2
t_{PZH}	Open	Closed
t_{PZL}	Closed	Open
t_{PHZ}	Closed	Closed
t_{PLZ}	Closed	Closed

DEFINITIONS

R_L = Load resistor to V_{CC}; see AC CHARACTERISTICS for value.
C_L = Load capacitance includes jig and probe capacitance; see AC CHARACTERISTICS for value.
R_T = Termination resistance should be equal to Z_{OUT} of Pulse Generators.
D = Diodes are 1N916, 1N3064, or equivalent.
R_X = 1kΩ for 54/74, 54S/74S. R_X = 5kΩ for 54LS/74LS.
t_{TLH}, t_{THL} Values should be less than or equal to the table entries.

INPUT PULSE DEFINITIONS



V_M = 1.3V for 54LS/74LS; V_M = 1.5V for all other TTL families.

FAMILY	INPUT PULSE REQUIREMENTS				
	Amplitude	Rep. Rate	Pulse Width	t_{TLH}	t_{THL}
54/74	3.0V	1MHz	500ns	7ns	7ns
54LS/74LS	3.0V	1MHz	500ns	15ns	6ns
54S/74S	3.0V	1MHz	500ns	2.5ns	2.5ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Over recommended operating free-air temperature range unless otherwise noted.)

PARAMETER		TEST CONDITIONS[1]			54/74365A, '366A, '367A, '368A			54/74LS365A, '366A, '367A, '368A			UNIT
					Min	Typ[2]	Max	Min	Typ[2]	Max	
V_{OH}	HIGH-level output voltage	V_{CC} = MIN, V_{IH} = MIN, V_{IL} = MAX, I_{OH} = MAX		Mil	2.4	3.3		2.4	3.3		V
				Com'l	2.4	3.1		2.4	3.1		V
V_{OL}	LOW-level output voltage	V_{CC} = MIN, V_{IH} = MIN, V_{IL} = MAX	I_{OL} = MAX	Mil			0.4		0.25	0.4	V
				Com'l			0.4		0.35	0.5	V
			I_{OL} = 12mA	74LS					0.25	0.4	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = I_{IK}					-1.5			-1.5	V
I_{OZH}	Off-state output current, HIGH-level voltage applied	V_{CC} = MAX, V_{IH} = MIN, V_{IL} = MAX, V_O = 2.4V					40			20	µA
I_{OZL}	Off-state output current, LOW-level voltage applied	V_{CC} = MAX, V_{IH} = MIN, V_{IL} = MAX, V_O = 0.4V					-40			-20	µA
	Input current at maximum input voltage	V_{CC} = MAX	V_I = 5.5V				1.0				mA
			V_I = 7.0V							0.1	mA
I_{IH}	HIGH-level input current	V_{CC} = MAX	V_I = 2.4V				40				µA
			V_I = 2.7V							20	µA
I_{IL}	LOW-level input current	V_{CC} = MAX	I inputs, V_I = 0.5V Either $\overline{OE}$ input at 2.0V Does not apply to 'LS365A or 'LS367A				-40			-20	µA
			I inputs V_I = 0.4V Both $\overline{OE}$ inputs at 0.4V				-1.6			-0.4	mA
			$\overline{OE}$ inputs V_I = 0.4V				-1.6			-0.4	mA
I_{OS}	Short-circuit output current[3]	V_{CC} = MAX			-40		-130	-30		-130	mA
I_{CC}	Supply current[4] (total)	V_{CC} = MAX	'365A, '367A			65	85		14	24	mA
			'366A, '368A			59	77		12	21	mA

NOTES
1. For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
2. Typical values are at V_{CC} = 5V, T_A = 25°C.
3. I_{OS} is tested with V_{OUT} = +0.5V and V_{CC} = V_{CC} MAX + 0.5V. Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.
4. Measure I_{CC} with Data inputs grounded and Output Enable inputs at 4.5V.

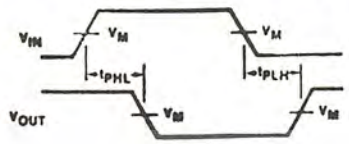
AC CHARACTERISTICS T_A = 25°C, V_{CC} = 5.0V

PARAMETER		TEST CONDITIONS		54/74 C_L = 50pF, R_L = 400Ω		54LS/74LS C_L = 45pF, R_L = 667Ω		UNIT
				Min	Max	Min	Max	
t_{PLH} t_{PHL}	Propagation delay	Waveform 1, '366A, '368A			17 16		15 18	ns
t_{PLH} t_{PHL}	Propagation delay	Waveform 2, '365A, '367A			16 22		16 22	ns
t_{PZH}	Enable to HIGH	Waveform 3			35		35	ns
t_{PZL}	Enable to LOW	Waveform 4	'365A, '367A		37		40	ns
			'366A, '368A		37		45	ns
t_{PHZ}	Disable from HIGH	Waveform 3, C_L = 5pF	'365A, '367A		11		30	ns
			'366A, '368A		11		32	ns
t_{PLZ}	Disable from LOW	Waveform 4, C_L = 5pF			27		35	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

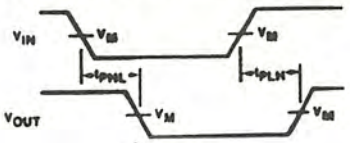
AC WAVEFORMS

WAVEFORM FOR INVERTING OUTPUTS



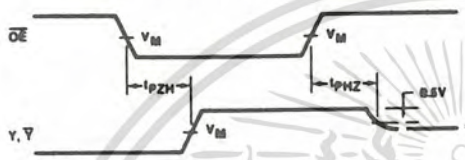
Waveform 1

WAVEFORM FOR NON-INVERTING OUTPUTS



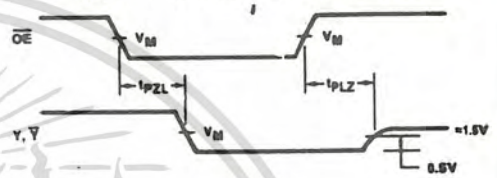
Waveform 2

3-STATE ENABLE TIME TO HIGH LEVEL AND DISABLE TIME FROM HIGH LEVEL



Waveform 3

3-STATE ENABLE TIME TO LOW LEVEL AND DISABLE TIME FROM LOW LEVEL



Waveform 4

V_M = 1.3V for 54LS/74LS, V_M = 1.5V for all other TTL families.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'373 Octal Transparent Latch With 3-State Outputs
'374 Octal D Flip-Flop With 3-State Outputs

- 8-bit transparent latch — '373
- 8-bit positive, edge-triggered register — '374
- 3-State output buffers
- Common 3-State Output Enable
- Independent register and 3-State buffer operation

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (Total)
74LS373	19ns	24mA
74S373	10ns	105mA
74LS374	19ns	27mA
74S374	8ns	116mA

3

ORDERING CODE

PACKAGES	COMMERCIAL RANGES V_{CC} = 5V ±5%; T_A = 0°C to +70°C	MILITARY RANGES V_{CC} = 5V ±10%; T_A = −55°C to +125°C
Plastic	N74LS373N • N74S373N N74LS374N • N74S374N	
Ceramic DIP	N74LS373F • N74S373F N74LS374F • N74S374F	S54LS373F • S54S373F S54LS374F • S54S374F

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

PINS	DESCRIPTION	54/74S	54/74LS
All	Inputs	1Sul	1LSul
All	Outputs	10Sul	30LSul

NOTE
Where a 54/74S unit load (Sul) is 50μA I_{IH} and −2.0mA I_{IL}, and a 54/74LS unit load (LSul) is 20μA I_{IH} and −0.4mA I_{IL}.

DESCRIPTION

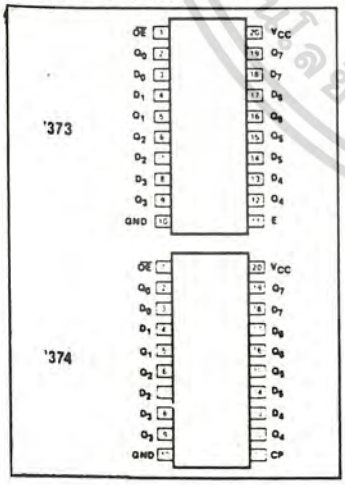
The '373 is an octal transparent latch coupled to eight 3-State output buffers. The two sections of the device are controlled independently by Latch Enable (E) and Output Enable ($\overline{OE}$) control gates.

The data on the D inputs are transferred to the latch outputs when the Latch Enable (E) input is HIGH. The latch remains transparent to the data inputs while E is HIGH, and stores the data present one setup time before the HIGH-to-LOW enable transition. The enable gate has about 400mV of hysteresis built in to help minimize problems that signal and ground noise can cause on the latching operation.

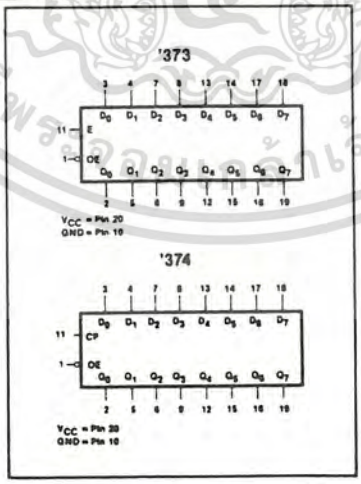
The 3-State output buffers are designed to drive heavily loaded 3-State buses, MOS memories, or MOS microprocessors. The active LOW Output Enable ($\overline{OE}$) controls the eight 3-State buffers independent of the latch operation. When $\overline{OE}$ is LOW, the latched or transparent data appears at the outputs. When $\overline{OE}$ is HIGH, the outputs are in the HIGH impedance "off" state, which means they will neither drive nor load the bus.

The '374 is an 8-bit, edge-triggered register coupled to eight 3-State output buffers. The two sections of the device are controlled independently by the Clock (CP) and Output Enable ($\overline{OE}$) control gates. The register is fully edge triggered. The state of each D input, one setup time before the LOW-to-HIGH clock transition, is transferred to the corresponding flip-flop's Q output. The clock buffer has about 400mV of hysteresis built in to help minimize problems that signal and ground noise can cause on the clocking operation.

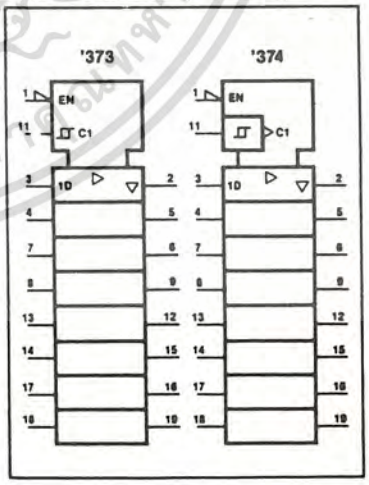
PIN CONFIGURATION



LOGIC SYMBOL



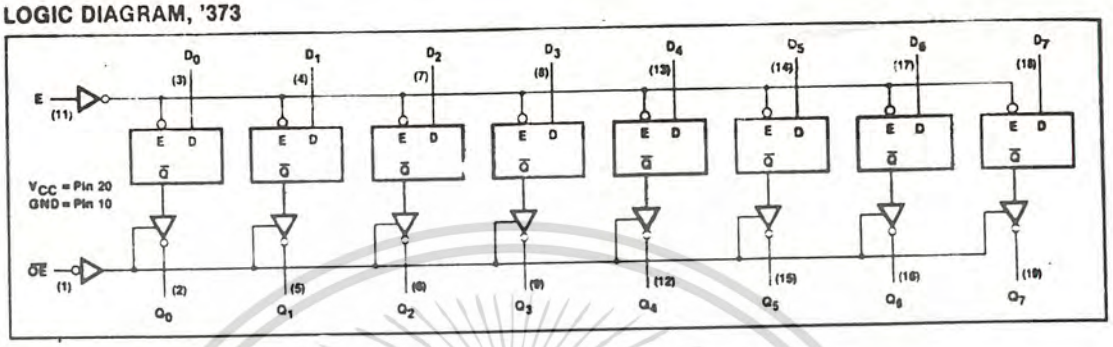
LOGIC SYMBOL (IEEE/IEC)



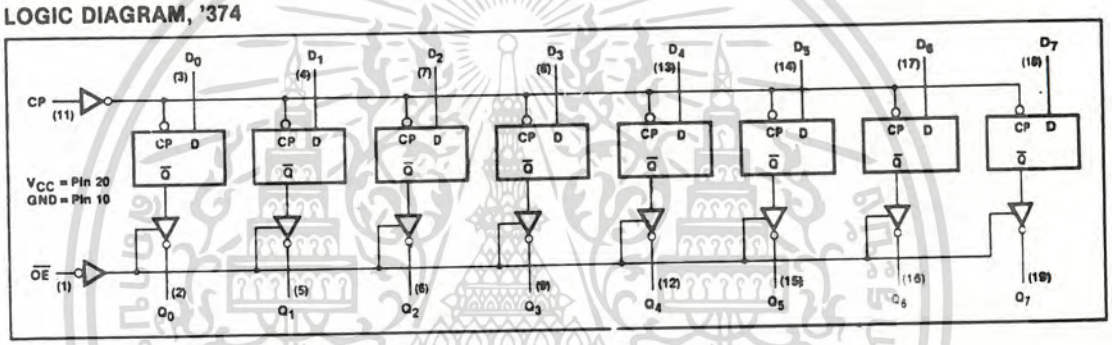
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The 3-S[illegible] output buffers are designed to drive he[illegible]ily loaded 3-State buses, MOS memories, or MOS microprocessors. The active LOW Output Enable ($\overline{OE}$) controls all eight 3-State buffers independent of the register operation. When $\overline{OE}$ is LOW, the data in the register appears at the outputs. When $\overline{OE}$ is HIGH, the outputs are in the HIGH impedance "off" state, which means they will neither drive nor load the bus.

LOGIC DIAGRAM, '373



LOGIC DIAGRAM, '374



MODE SELECT—FUNCTION TABLE, '373

OPERATING MODES	INPUTS			INTERNAL REGISTER	OUTPUTS
	$\overline{OE}$	E	D_n		Q_0-Q_7
Enable and read register	L	H	L	L	L
	L	H	H	H	H
Latch and read register	L	L	l	L	L
	L	L	h	H	H
Latch register and disable outputs	H	L	l	L	(Z)
	H	L	h	H	(Z)

MODE SELECT—FUNCTION TABLE, '374

OPERATING MODES	INPUTS			INTERNAL REGISTER	OUTPUTS
	$\overline{OE}$	CP	D_n		Q_0-Q_7
Load and read register	L	↑	l	L	L
	L	↑	h	H	H
Load register and disable outputs	H	↑	l	L	(Z)
	H	↑	h	H	(Z)

H = HIGH voltage level
h = HIGH voltage level one setup time prior to the LOW-to-HIGH clock transition or HIGH-to-LOW $\overline{OE}$ transition
L = LOW voltage level
l = LOW voltage level one setup time prior to the LOW-to-HIGH clock transition or HIGH-to-LOW $\overline{OE}$ transition
(Z) = HIGH impedance "off" state
↑ = LOW-to-HIGH clock transition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

	PARAMETER	54LS	54S	74LS	74S	UNIT
V_{CC}	Supply voltage	7.0	7.0	7.0	7.0	V
V_I	Input voltage	−0.5 to +7.0	−0.5 to +5.5	−0.5 to +7.0	−0.5 to +5.5	V
I_I	Input current	−30 to +1	−30 to +5	−30 to +1	−30 to +5	mA
V_{OUT}	Voltage applied to output in HIGH output state.	−0.5 to +V_{CC}	−0.5 to +V_{CC}	−0.5 to +V_{CC}	−0.5 to +V_{CC}	V
T_A	Operating free-air temperature range	−55 to +125		0 to 70		°C

3

RECOMMENDED OPERATING CONDITIONS

PARAMETER		54/74LS			54/74S			UNIT
		Min	Nom	Max	Min	Nom	Max	
V_{CC} Supply voltage	Mil	4.5	5.0	5.5	4.5	5.0	5.5	V
	Com'l	4.75	5.0	5.25	4.75	5.0	5.25	V
V_{IH} HIGH-level input voltage		2.0			2.0			V
V_{IL} LOW-level input voltage	Mil			+0.7			+0.8	V
	Com'l			+0.8			+0.8	V
I_{IK} Input clamp current				−18			−18	mA
I_{OH} HIGH-level output current	Mil			−1.0			−2.0	mA
	Com'l			−2.6			−6.5	mA
I_{OL} LOW-level output current	Mil			12			20	mA
	Com'l			24			20	mA
T_A Operating free-air temperature	Mil	−55		+125	−55		+125	°C
	Com'l	0		70	0		70	°C

* 0.7V MAX for 54S at T_A = +125°C only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Over recommended operating free-air temperature range unless otherwise noted.)

PARAMETER		TEST CONDITIONS[1]			54/74LS373, 374			54/74S373, 374			UNIT
					Min	Typ[2]	Max	Min	Typ[2]	Max	
V_{OH}	HIGH-level output voltage	V_{CC} = MIN, V_{IH} = MIN, V_{IL} = MAX, I_{OH} = MAX		Mil	2.4	3.4		2.4	3.0		V
				Com'l	2.4	3.1		2.4	3.1		V
V_{OL}	LOW-level output voltage	V_{CC} = MIN, V_{IH} = MIN, V_{IL} = MAX	I_{OL} = MAX	Mil		0.25	0.4			0.5[4]	V
				Com'l		0.35	0.5			0.5	V
			I_{OL} = 12mA	74LS		0.25	0.4				V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = I_{IK}					– 1.5			– 1.2	V
I_{OZH}	Off-state output current, HIGH-level voltage applied	V_{CC} = MAX, V_{IH} = MIN	V_O = 2.7V				20				μA
			V_O = 2.4V							50	μA
I_{OZL}	Off-state output current, LOW-level voltage applied	V_{CC} = MAX, V_{IH} = MIN	V_O = 0.4V				– 20				μA
			V_O = 0.5V							– 50	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX	V_I = 7.0V				0.1				mA
			V_I = 5.5V							1.0	mA
I_{IH}	HIGH-level input current	V_{CC} = MAX, V_I = 2.7V					20			50	μA
I_{IL}	LOW-level input current	V_{CC} = MAX	V_I = 0.4V				– 0.4				mA
			V_I = 0.5V							– 0.25	mA
I_{OS}	Short-circuit output current[3]	V_{CC} = MAX			– 30		– 130	– 40		– 100	mA
I_{CC}	Supply current (total)	V_{CC} = MAX	I_{CCZ}	$\overline{OE}$ = 4.5V 'LS373		24	40				mA
			I_{CCL}	$\overline{OE}$ = 0V 'S373					105	160	mA
			I_{CCZ}	$\overline{OE}$ = 4.5V 'LS374		27	40				mA
			I_{CCL}	All inputs grounded 'S374					102	140	mA
			I_{CCZ}	CP, $\overline{OE}$ = 4.5V, D inputs = GND 'S374					131	180	mA

NOTES
1. For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
2. All typical values are at V_{CC} = 5V, T_A = 25°C.
3. I_{OS} is tested with V_{OUT} = + 0.5V and V_{CC} = V_{CC} MAX + 0.5V. Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.
4. V_{OL} = + 0.45V MAX for 54S at T_A = + 125°C only.

AC CHARACTERISTICS T_A = 25°C, V_{CC} = 5.0V

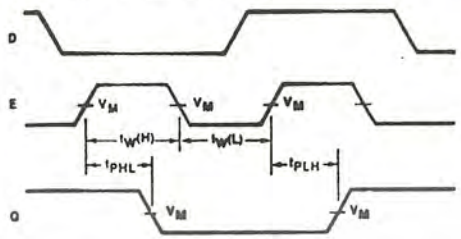
PARAMETER		TEST CONDITIONS	54/74LS C_L = 45pF, R_L = 667Ω		54/74S C_L = 15pF, R_L = 280Ω		UNIT
			Min	Max	Min	Max	
f_{MAX}	Maximum clock frequency	Waveform 6, '374	35		75		MHz
t_{PLH}	Propagation delay Latch Enable to output	Waveform 1, '373		30		14	ns
t_{PHL}				30		18	
t_{PLH}	Propagation delay Data to output	Waveform 4, '373		18		12	ns
t_{PHL}				18		12	
t_{PLH}	Propagation delay Clock to output	Waveform 6, '374		28		15	ns
t_{PHL}				28		17	
t_{PZH}	Enable time to HIGH level	Waveform 2		28		15	ns
t_{PZL}	Enable time to LOW level	Waveform 3, '373		36		18	ns
		'374		28		18	
t_{PHZ}	Disable time from HIGH level	Waveform 2, C_L = 5pF		20		9	ns
t_{PLZ}	Disable time from LOW level	Waveform 3, C_L = 5pF		25		12	ns

NOTE
Per industry convention, f_{MAX} is the worst case value of the maximum device operating frequency with no constraints on t_r, t_f, pulse width or duty cycle.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

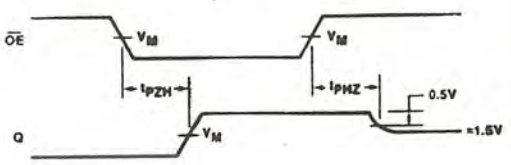
AC WAVEFORMS

LATCH ENABLE TO OUTPUT DELAYS AND LATCH ENABLE PULSE WIDTH



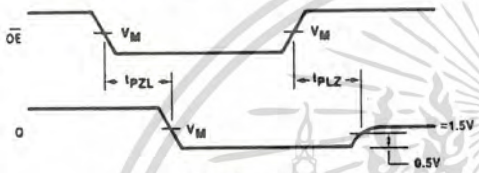
Waveform 1

3-STATE ENABLE TIME TO HIGH LEVEL AND DISABLE TIME FROM HIGH LEVEL



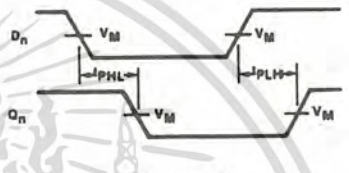
Waveform 2

3-STATE ENABLE TIME TO LOW LEVEL AND DISABLE TIME FROM LOW LEVEL



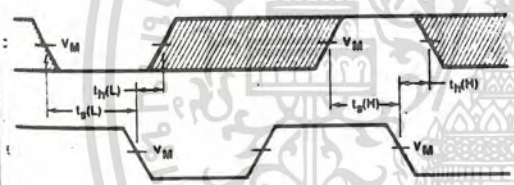
Waveform 3

PROPAGATION DELAY DATA TO Q OUTPUTS



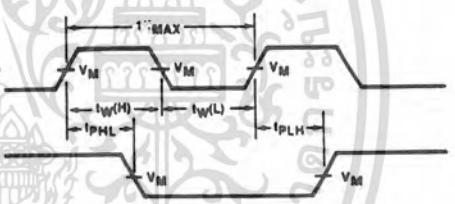
Waveform 4

DATA SETUP AND HOLD TIMES



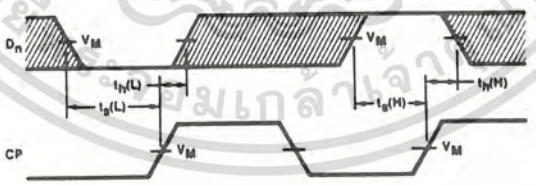
Waveform 5

CLOCK TO OUTPUT DELAYS AND CLOCK PULSE WIDTH



Waveform 6

DATA SETUP AND HOLD TIMES



Waveform 7

V_M = 1.5V for 54/74 and 54S/74S, V_M = 1.3V for 54LS/74LS.
The shaded areas indicate when the input is permitted to change for predictable output performance

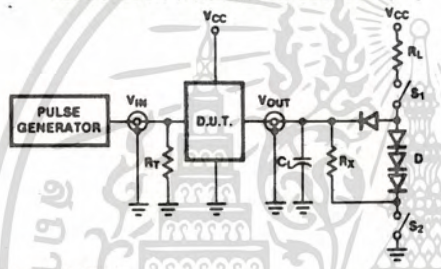
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC SETUP REQUIREMENTS $T_A = 25°C$, $V_{CC} = 5.0V$

PARAMETER		TEST CONDITIONS	54/74LS		54/74S		UNIT
			Min	Max	Min	Max	
$t_{W(H)}$ $t_{W(L)}$	Latch Enable pulse width	Waveform 1, '373	15 15		6 7.3		ns
t_s	Setup time, Data to Latch Enable	Waveform 5, '373	5		0		ns
t_h	Hold time, Data to Latch Enable	Waveform 5, '373	20		10		ns
$t_{W(H)}$ $t_{W(L)}$	Clock pulse width	Waveform 6, '374	15 15		6 7.3		ns
t_s	Setup time, Data to Clock	Waveform 7, '374	20		5		ns
t_h	Hold time, Data to Clock	Waveform 7, '374	0		2		ns

TEST CIRCUITS AND WAVEFORMS

TEST CIRCUIT FOR 3-STATE OUTPUTS



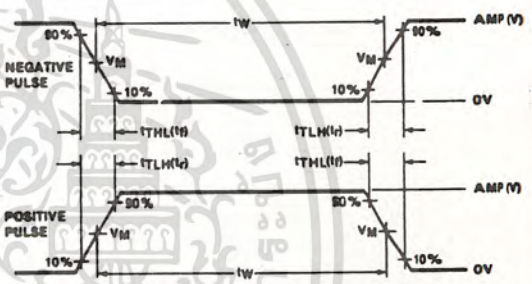
SWITCH POSITION

Test	Switch 1	Switch 2
t_{PZH}	Open	Closed
t_{PZL}	Closed	Open
t_{PHZ}	Closed	Closed
t_{PLZ}	Closed	Closed

DEFINITIONS

R_L = Load resistor to V_{CC}, see AC CHARACTERISTICS for value.
C_L = Load capacitance includes jig and probe capacitance, see AC CHARACTERISTICS for value.
R_T = Termination resistance should be equal to Z_{OUT} of Pulse Generators.
D = Diodes are 1N916, 1N3064, or equivalent.
R_X = 1kΩ for 54/74, 54S/74S, R_X = 5kΩ for 54LS/74LS.
t_{TLH}, t_{THL} Values should be less than or equal to the table entries.

INPUT PULSE DEFINITIONS



V_M = 1.3V for 54LS/74LS; V_M = 1.5V for all other TTL families.

FAMILY	INPUT PULSE REQUIREMENTS				
	Amplitude	Rep. Rate	Pulse Width	t_{TLH}	t_{THL}
54/74	3.0V	1MHz	500ns	7ns	7ns
54LS/74LS	3.0V	1MHz	500ns	15ns	6ns
54S/74S	3.0V	1MHz	500ns	2.5ns	2.5ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signetics

NE/SE530
High Slew Rate Operational Amplifier

Product Specification

Linear Products

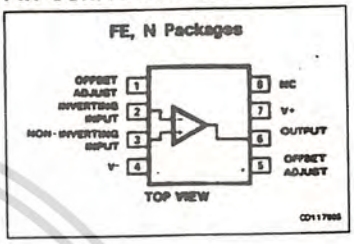
DESCRIPTION

The 530 is a new generation operational amplifier featuring a high slew rate combined with improved input characteristics. Internally compensated, the SE530 guarantees slew rates of 25V/μs with 2mV typical offset voltage. Industry standard pinout and internal compensation allow the user to upgrade system performance by directly replacing general purpose amplifiers such as the 741 and LF356 types.

FEATURES

- Gain bandwidth product — 3MHz
- 35V/μs slew rate (gain = −1)
- Internal frequency compensation
- Low input offset voltage 2mV max.
- Low input bias current — 60nA max.
- Short-circuit protection
- Offset null capability
- Large common-mode and differential voltage ranges

PIN CONFIGURATION

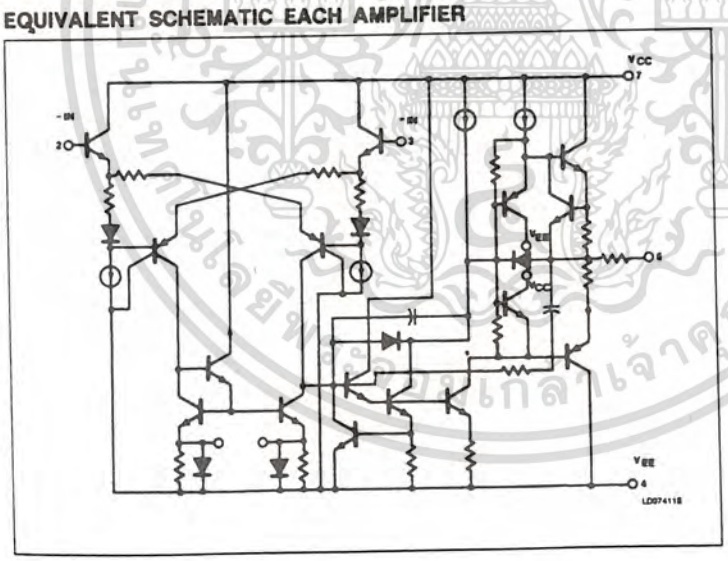


4

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
8-Pin Plastic DIP	0 to +70°C	NE530N
8-Pin Ceramic DIP	0 to +70°C	NE530FE
8-Pin Plastic DIP	−55°C to +125°C	SE530N
8-Pin Ceramic DIP	−55°C to +125°C	SE530FE

EQUIVALENT SCHEMATIC EACH AMPLIFIER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Slew Rate Operational Amplifier — NE/SE530

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V_{CC}	Supply voltage SE530 NE530	 ±22 ±18	 V V
P_D	Maximum power dissipation T_A = 25°C (still air)[1] F package N package	 780 1160	 mW mW
V_{DIFF}	Differential input voltage	±30	V
V_{IN}	Input voltage	±15	V
T_A	Operating temperature range SE530 NE530	 −55 to +125 0 to +70	 °C °C
T_{STG}	Storage temperature range	−65 to +150	°C
T_{SOLD}	Lead soldering temperature (10sec max)	300	°C
I_{SC}	Output short circuit	Indefinite	

NOTE:
1. Derate above 25°C, at the following rates:
   F package at 6.2mW/°C
   N package at 9.3mW/°C

DC ELECTRICAL CHARACTERISTICS T_A = 25°C, V_{CC} = ±15V, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	SE530			NE530			UNIT
			Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input offset voltage	$R_S \leq 10k\Omega$ Over temperature		0.7	4.0 5.0		2.0	6.0 7.0	mV mV
ΔV_{OS}	Temperature coefficient of input offset voltage	Over temperature		3	15		6		µV/°C
I_{OS}	Input offset current	 Over temperature		5	20 40		15	40 80	nA nA
ΔI_{OS}	Input offset current	Over temperature		25			40		pA/°C
I_{BIAS}	Input bias current	 Over temperature		45	80 200		65	150 200	nA nA
ΔI_{BIAS}	Input current	Over temperature		50			80		pA/°C
R_{IN}	Input resistance		3	10			6		MΩ
V_{CM}	Input common mode voltage range		±12	±13		±12	±13		V
A_{VOL}	Large signal voltage gain	$R_L \geq 2k\Omega$, V_O = ±10V Over temperature	50 25	200		50 25	200		V/mV V/mV
V_{OUT}	Output voltage swing	$R_L \geq 10k\Omega$ $R_L \geq 2k\Omega$	±12 ±10	±14 ±13		±12 ±10	±14 ±13		V V
I_{SC}	Output short-circuit current		10	25	50	10	25	50	mA
R_{OUT}	Output resistance			100			100		Ω
I_{CC}	Supply current	Each amplifier Over temperature		2.0 2.2	3.0 3.6		2.0 2.2	3.0	mA mA
CMRR	Common-mode rejection ratio	$R_S \leq 10k\Omega$ Over temperature	70	90		70	90		dB
PSRR	Power supply rejection ratio	$R_S \leq 10k\Omega$ Over temperature		30	150		30	150	µV/V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

High Slew Rate Operational Amplifier — NE/SE530

AC ELECTRICAL CHARACTERISTICS $T_A = 25°C$, $V_{CC} = \pm 15V$, unless otherwise specified.

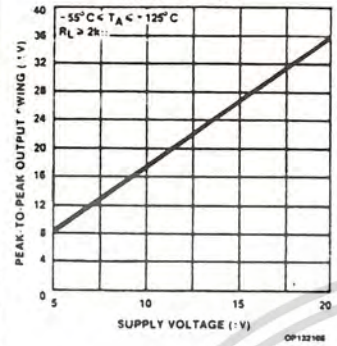
SYMBOL	PARAMETER	TEST CONDITIONS	SE530			NE530			UNIT
			Min	Typ	Max	Min	Typ	Max	
	Transient Response								
t_R	Small-signal rise time			0.06			0.06		µs
	Small-signal overshoot			13			13		%
t_S	Settling time	To 0.1% (10V step)		0.9			0.9		µs
SR	Slew rate	±15V supply, $V_O = \pm 10V$, $R_L \geq 2k\Omega$							
	Unity gain inverting		25	35		20	35		V/µs
	Unity gain non-inverting		18	25		12	25		V/µs
BW	Power bandwidth	5% THD, $V_O = \pm 10V$, $R_L \geq 2k\Omega$	360	500		280	500		kHz
	Small-signal bandwidth	Open-loop		3			3		MHz
V_{NOISE}	Input noise voltage	f = 1kHz		30			30		$nV/\sqrt{Hz}$

4

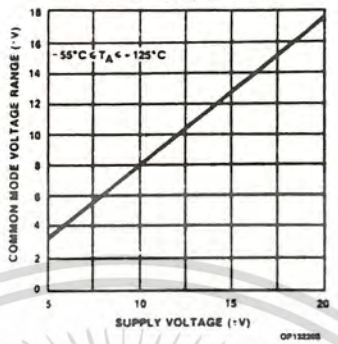
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS

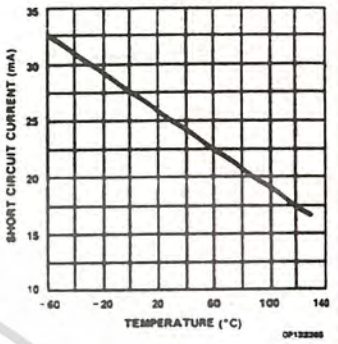
Output Voltage Swing as a Function of Supply Voltage



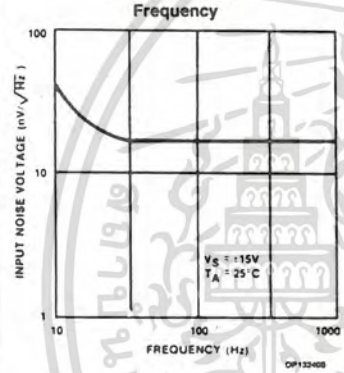
Input Common-Mode Voltage Range as a Function of Supply Voltage



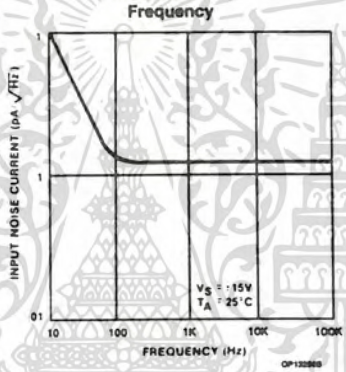
Output Short-Circuit Current as a Function of Ambient Temperature



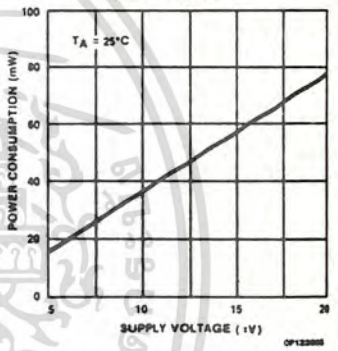
Input Noise Voltage as a Function of Frequency



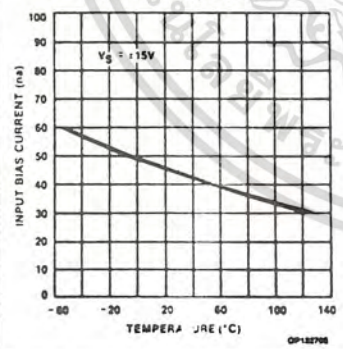
Input Noise Current as a Function of Frequency



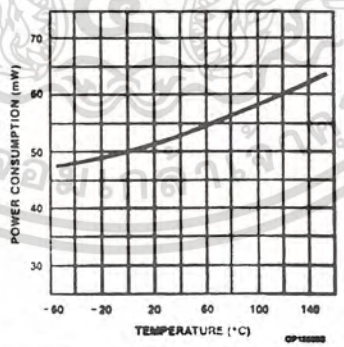
Power Consumption as a Function of Supply Voltage (Each Amplifier)



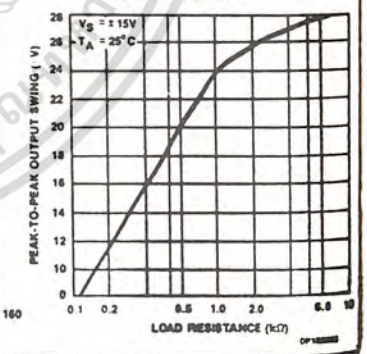
Input Bias Current as a Function of Ambient Temperature



Power Consumption as a Function of Ambient Temperature (Each Amplifier)



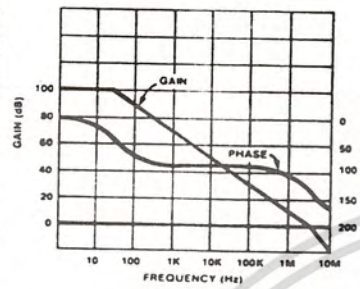
Output Voltage Swing as a Function of Load Resistance



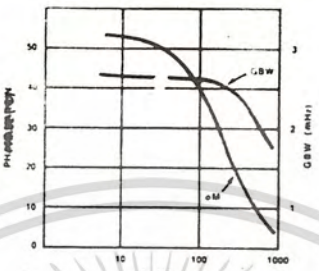
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS (Continued)

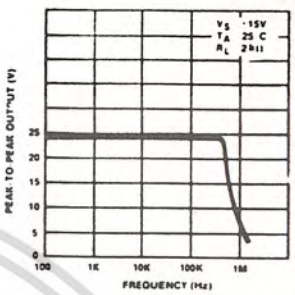
NE530 Open-Loop Gain and Phase vs Frequency



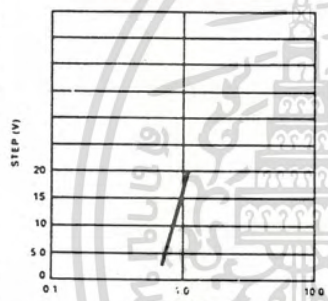
Gain Bandwidth Product and Phase Margin vs Load Capacity



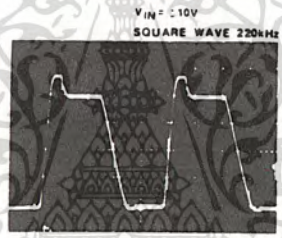
Power Bandwidth



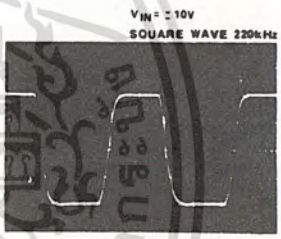
Input Voltage Step vs Settling Time to 10mV



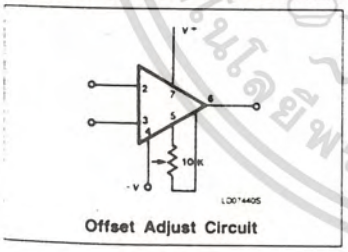
Slew Rate — Voltage-Follower



Slew Rate (−1 Amplifier)



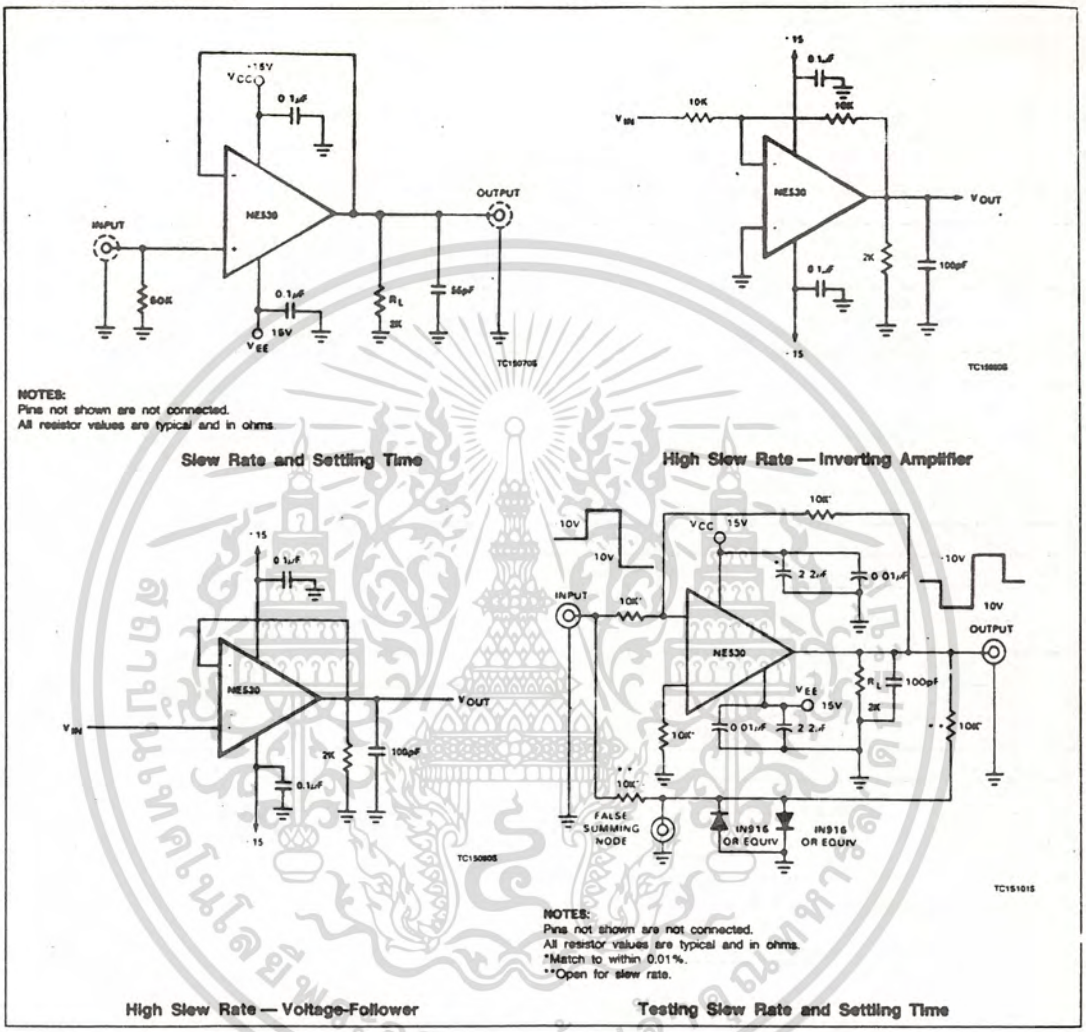
TYPICAL CIRCUIT CONNECTION



Offset Adjust Circuit

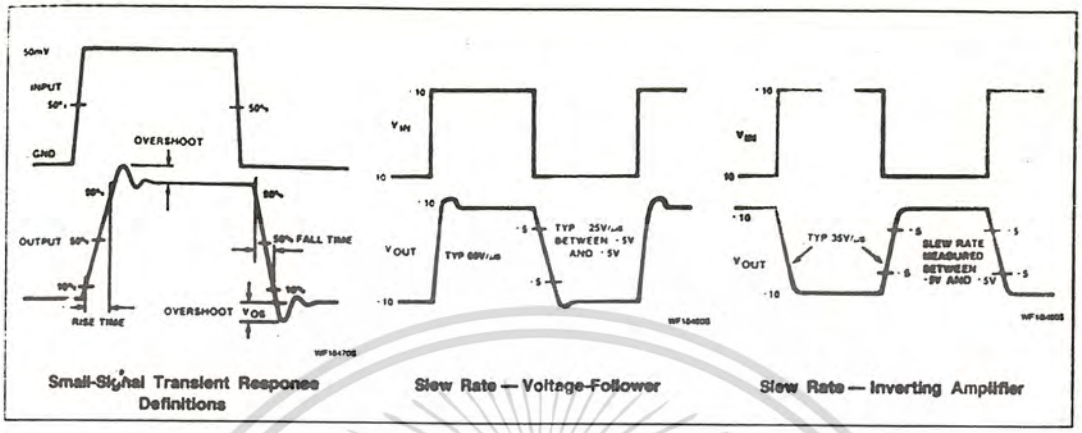
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST LOAD CIRCUITS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VOLTAGE WAVEFORMS



Small-Signal Transient Response Definitions

Slew Rate — Voltage-Follower

Slew Rate — Inverting Amplifier

4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signetics

ADC0801/2/3/4/5-1
CMOS 8-Bit A/D Converters

Product Specification

Linear Products

DESCRIPTION

The ADC0801 family is a series of five CMOS 8-bit successive approximation A/D converters using a resistive ladder and capacitive array together with an auto-zero comparator. These converters are designed to operate with microprocessor-controlled buses using a minimum of external circuitry. The 3-state output data lines can be connected directly to the data bus.

The differential analog voltage input allows for increased common-mode rejection and provides a means to adjust the zero-scale offset. Additionally, the voltage reference input provides a means of encoding small analog voltages to the full 8 bits of resolution.

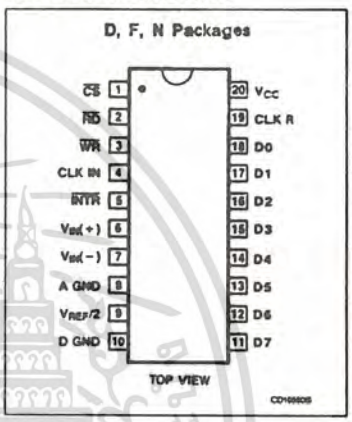
FEATURES

- Compatible with most microprocessors
- Differential inputs
- 3-State outputs
- Logic levels TTL and MOS compatible
- Can be used with internal or external clock
- Analog input range 0V to V_{CC}
- Single 5V supply
- Guaranteed specification with 1MHz clock

APPLICATIONS

- Transducer-to-microprocessor interface
- Digital thermometer
- Digitally-controlled thermostat
- Microprocessor-based monitoring and control systems

PIN CONFIGURATION



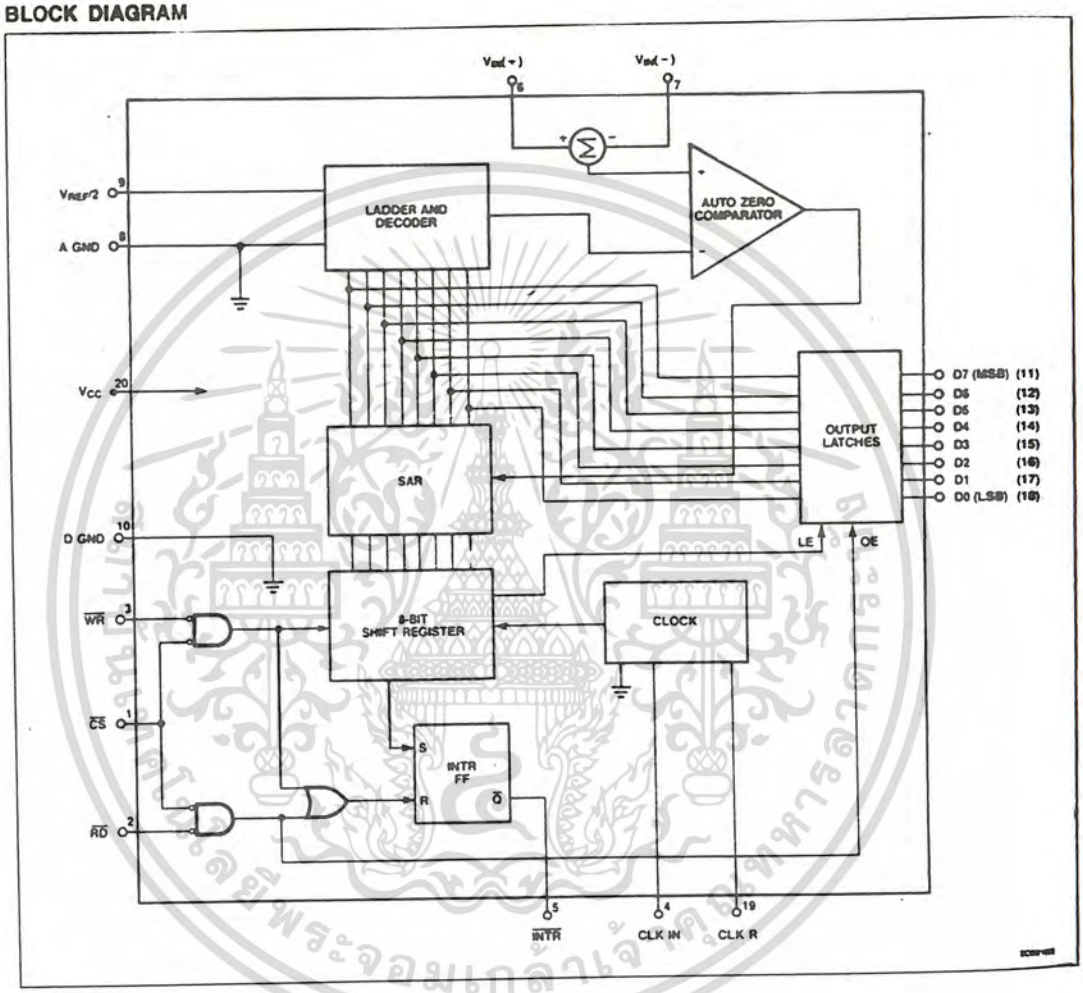
ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
20-Pin Cerdip	−55°C to +125°C	ADC0801/02-1F
20-Pin Cerdip	−40°C to +85°C	ADC0801/02/03-1 LCF
20-Pin Plastic DIP	−40°C to +85°C	ADC0801/02/03/04/05-1 LCN
20-Pin Plastic DIP	0 to 70°C	ADC0804-1 CN
20-Pin Plastic SO	0 to 70°C	ADC0803/04-1 CD
20-Pin Plastic SO	−40°C to 85°C	ADC0803/04-1 LCD

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V_{CC}	Supply voltage	6.5	V
	Logic control input voltages	−0.3 to +16	V
	All other input voltages	−0.3 to (V_{CC} +0.3)	V
T_A	Operating temperature range		
	ADC0801/02-1 F	−55 to +125	°C
	ADC0803/04-1 LCD	−40 to +85	°C
	ADC0801/02/03-1 LCF	−40 to +85	°C
	ADC0801/02/03/04/05-1 LCN	−40 to +85	°C
	ADC0803/04-1 CD	0 to +70	°C
	ADC0804-1 CN	0 to +70	°C
T_{STG}	Storage temperature	−65 to +150	°C
T_{SOLD}	Lead soldering temperature (10 seconds)	300	°C
P_D	Maximum power dissipation T_A = 25°C (still air)[1]		
	F package	1560	mW
	N package	1690	mW
	D package	1390	mW

NOTE:
Derate above 25°C, at the following rates:
F package at 12.5mW/°C
N package at 13.5mW/°C
D package at 11.1mW/°C

DC ELECTRICAL CHARACTERISTICS V_{CC} = 5.0V, f_{CLK} = 1MHz, $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	ADC0801/2/3/4/5			UNIT
			Min	Typ	Max	
	ADC0801 Relative accuracy error (adjusted)	Full-Scale adjusted			0.25	LSB
	ADC0802 Relative accuracy error (unadjusted)	$\frac{V_{REF}}{2}$ = 2.500V_{DC}			0.50	LSB
	ADC0803 Relative accuracy error (adjusted)	Full-Scale adjusted			0.50	LSB
	ADC0804 Relative accuracy error (unadjusted)	$\frac{V_{REF}}{2}$ = 2.500V_{DC}			1	LSB
	ADC0805 Relative accuracy error (unadjusted)	$\frac{V_{REF}}{2}$ = has no connection			1	LSB
R_{IN}	$\frac{V_{REF}}{2}$ Input resistance	V_{CC} = 0V[2]	400	680		Ω
	Analog input voltage range		−0.05		V_{CC} +0.05	V
	DC common-mode error	Over analog input voltage range		1/16	1/8	LSB
	Power supply sensitivity	V_{CC} = 5V ± 10%[1]		1/16		LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Continued) V_{CC} = 5.0V, f_{CLK} = 1MHz, $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise specified.

SYMBOL	PARAMETER	TEST CONDITIONS	ADC0801/2/3/4/5			UNIT
			Min	Typ	Max	
Control inputs						
V_{IH}	Logical "1" input voltage	V_{CC} = 5.25V_{DC}	2.0		15	V_{DC}
V_{IL}	Logical "0" input voltage	V_{CC} = 4.75V_{DC}			0.8	V_{DC}
I_{IH}	Logical "1" input current	V_{IN} = 5V_{DC}		0.005	1	μA_{DC}
I_{IL}	Logical "0" input current	V_{IN} = 0V_{DC}	−1	−0.005		μA_{DC}
Clock in and clock R						
V_{T+}	Clock in positive-going threshold voltage		2.7	3.1	3.5	V_{DC}
V_{T-}	Clock in negative-going threshold voltage		1.15	1.8	2.1	V_{DC}
V_H	Clock in hysteresis (V_{T+}) − (V_{T-})		0.6	1.3	2.0	V_{DC}
V_{OL}	Logical "0" clock R output voltage	I_{OL} = 360μA, V_{CC} = 4.75V_{DC}			0.4	V_{DC}
V_{OH}	Logical "1" clock R output voltage	I_{OH} = −360μA, V_{CC} = 4.75V_{DC}	2.4			V_{DC}
Data output and $\overline{INTR}$						
V_{OL}	Logical "0" output voltage					
	Data outputs	I_{OL} = 1.6mA, V_{CC} = 4.75V_{DC}			0.4	V_{DC}
	$\overline{INTR}$ outputs	I_{OL} = 1.0mA, V_{CC} = 4.75V_{DC}			0.4	V_{DC}
V_{OH}	Logical "1" output voltage	I_{OH} = −360μA, V_{CC} = 4.75V_{DC}	2.4			V_{DC}
		I_{OH} = −10μA, V_{CC} = 4.75V_{DC}	4.5			V_{DC}
I_{OZL}	3-State output leakage	V_{OUT} = 0V_{DC}, $\overline{CS}$ = Logical "1"	−3			μA_{DC}
I_{OZH}	3-State output leakage	V_{OUT} = 5V_{DC}, $\overline{CS}$ = Logical "1"			3	μA_{DC}
I_{SC}	+ Output short-circuit current	V_{OUT} = 0V, T_A = 25°C	4.5	12		mA_{DC}
I_{SC}	− Output short-circuit current	V_{OUT} = V_{CC}, T_A = 25°C	9.0	30		mA_{DC}
I_{CC}	Power supply current	f_{CLK} = 1MHz, $V_{REF/2}$ = Open, $\overline{CS}$ = Logical "1", T_A = 25°C		3.0	3.5	mA

NOTES:
1. Analog inputs must remain within the range: $-0.05 \leq V_{IN} \leq V_{CC} + 0.05V$.
2. See typical performace characteristics for input resistance at V_{CC} = 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS

SYMBOL	PARAMETER	TO	FROM	TEST CONDITIONS	ADC0801/2/3/4/5			UNIT
					Min	Typ	Max	
	Conversion time			f_{CLK} = 1MHz[1]	66		73	μs
f_{CLK}	Clock frequency[1]				0.1	1.0	3.0	MHz
	Clock duty cycle[1]				40		60	%
CR	Free-running conversion rate			$\overline{CS}$ = 0, f_{CLK} = 1MHz $\overline{INTR}$ tied to $\overline{WR}$			13690	conv/s
$t_{W(\overline{WR})L}$	Start pulse width			$\overline{CS}$ = 0	30			ns
t_{ACC}	Access time	Output	$\overline{RD}$	$\overline{CS}$ = 0, C_L = 100pF		75	100	ns
t_{1H}, t_{0H}	Three-State control	Output	$\overline{RD}$	CL = 10pF, R_L = 10kΩ See 3-State test circuit		70	100	ns
t_{W1}, t_{R1}	$\overline{INTR}$ delay	$\overline{INTR}$	$\overline{WD}$ or $\overline{RD}$			100	150	ns
C_{IN}	Logic input = capacitance					5	7.5	pF
C_{OUT}	3-State output capacitance					5	7.5	pF

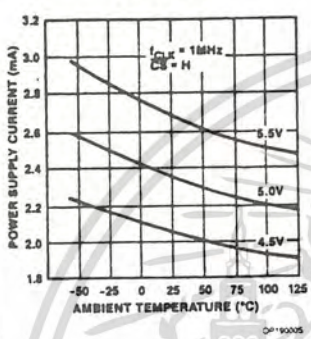
NOTE:
[1] Accuracy is guaranteed at f_{CLK} = 1MHz. Accuracy may degrade at higher clock frequencies.

5

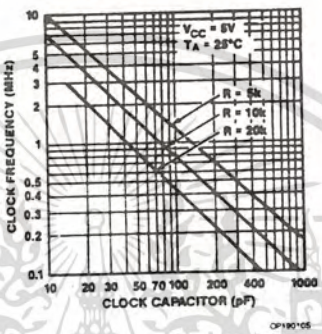
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS

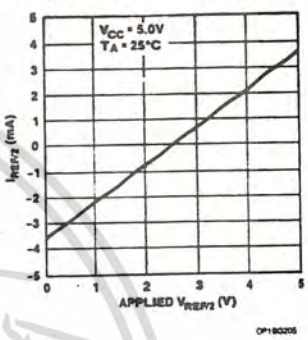
Power Supply Current vs Temperature



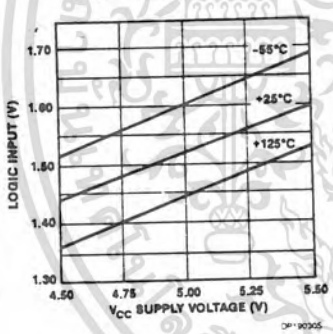
Clock Frequency vs Clock Capacitor



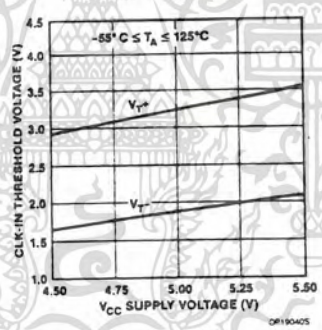
Input Current vs Applied Voltage at $V_{REF/2}$ Pin



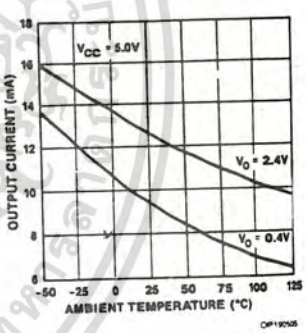
Logic Input Threshold Voltage vs Supply Voltage



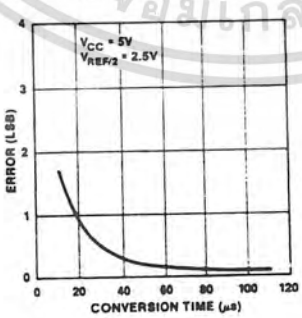
CLK-IN Threshold Voltage vs Supply Voltage



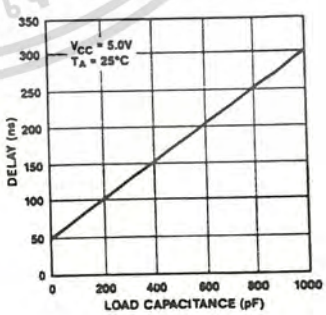
Output Current vs Temperature



Full Scale Error vs Conversion Time

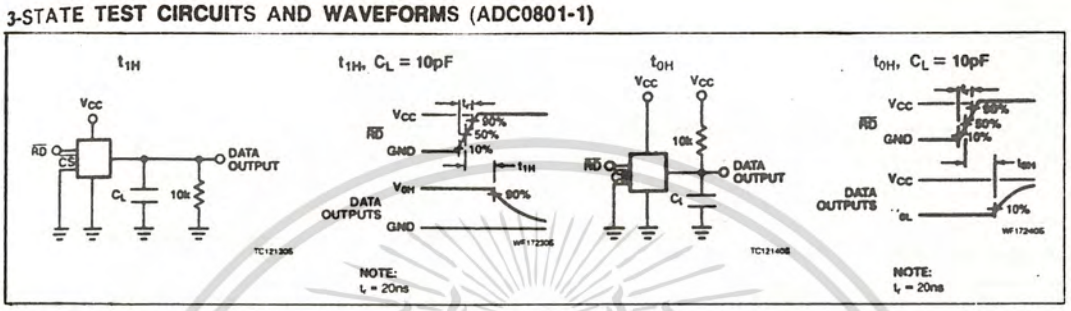


Delay From $\overline{RD}$ Falling Edge to Data Valid vs Load Capacitance

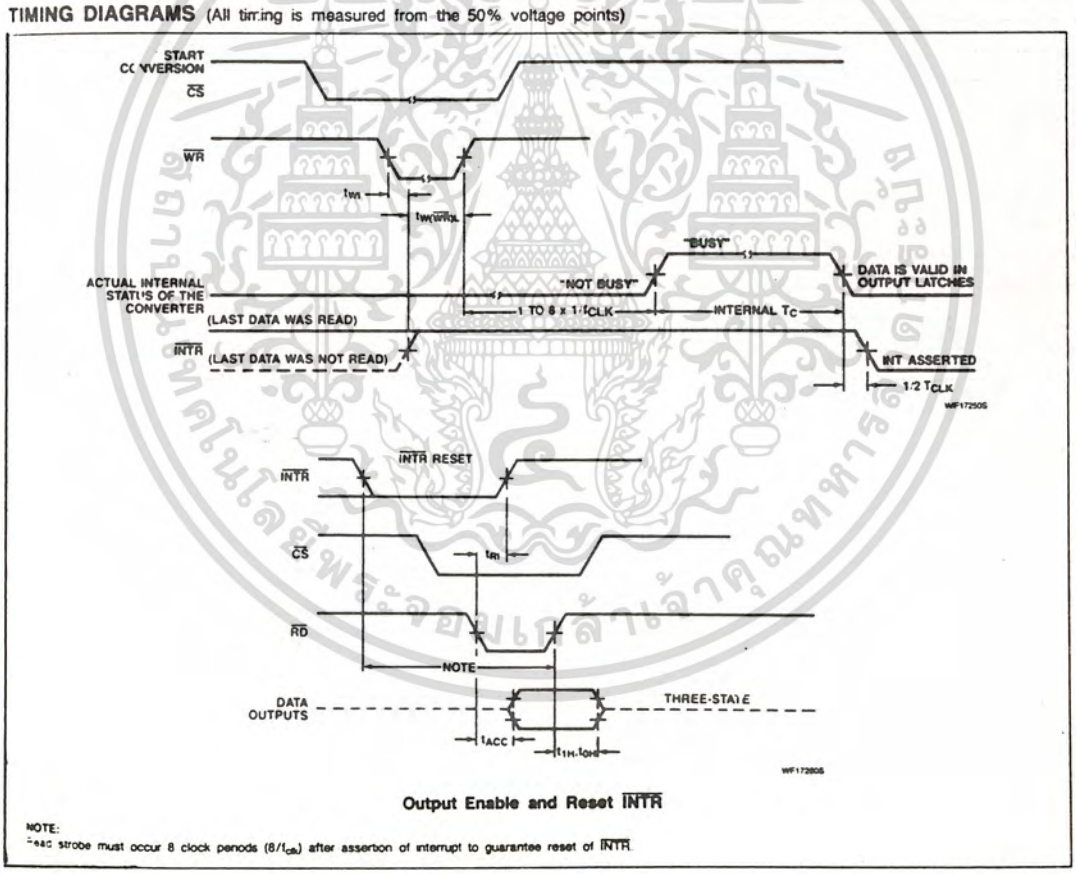


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3-STATE TEST CIRCUITS AND WAVEFORMS (ADC0801-1)



TIMING DIAGRAMS (All timing is measured from the 50% voltage points)



Output Enable and Reset INTR

NOTE:
Read strobe must occur 8 clock periods ($8/f_{CLK}$) after assertion of interrupt to guarantee reset of INTR.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signetics

MC1508-8/1408-8/1408-7
8-Bit Multiplying D/A Converte

Product Specification

Linear Products

DESCRIPTION

The MC1508/MC1408 series of 8-bit monolithic digital-to-analog converters provide high-speed performance with low cost. They are designed for use where the output current is a linear product of an 8-bit digital word and an analog reference voltage.

FEATURES

- Fast sett..ng time — 70ns (typ)
- Relative accuracy ±0.19% (max error)
- Non-inverting digital inputs are TTL and CMOS compatible
- High-speed multiplying rate 4.0mA/μs (input slew)
- Output voltage swing +0.5V to −5.0V
- Standard supply voltages +5.0V and −5.0V to −15V
- Military qualifications pending

APPLICATIONS

- Tracking A-to-D converters
- 2½-digit panel meters and DVMs
- Waveform synthesis
- Sample-and-hold
- Peak detector
- Programmable gain and attenuation
- CRT character generation
- Audio digitizing and decoding
- Programmable power supplies
- Analog – digital multiplication
- Digital – digital multiplication
- Analog – digital division
- Digital addition and subtraction
- Speech compression and expansion
- Stepping motor drive
- Modems
- Servo motor and pen drivers

CIRCUIT DESCRIPTION

The MC1508/MC1408 consists of a reference current amplifier, an R-2R ladder, and 8 high-speed current switches. For many applications, only a reference resistor and reference voltage need be added.

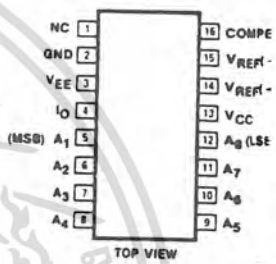
The switches are non-inverting in operation; therefore, a high state on the input turns on the specified output current component.

The switch uses current steering for high speed, and a termination amplifier consisting of an active load gain stage with unity gain feedback. The termination amplifier holds the parasitic capacitance of the ladder at a constant voltage during switching, and provides a low impedance termination of equal voltage for all legs of the ladder.

The R-2R ladder divides the reference amplifier current into binarily-related components, which are fed to the switches. Note that there is always a remainder current which is equal to the least significant bit. This current is shunted to ground, and the maximum output current is 255/256 of the reference amplifier current, or 1.992mA for a 2.0mA reference amplifier current if the NPN current source pair is perfectly matched.

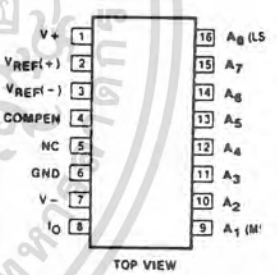
PIN CONFIGURATIONS

F, N Packages



TOP VIEW

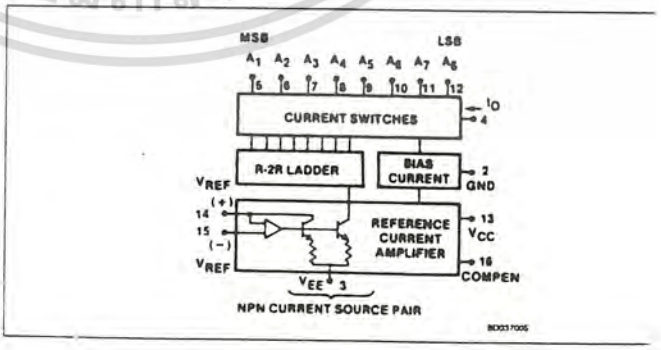
D Package[1]



TOP VIEW

NOTE:
1. SO and non-standard pinouts.

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
16-Pin Cerdip	−55°C to +125°C	MC1508-8F
16-Pin Plastic DIP	0 to +70°C	MC1408-7N
16-Pin Cerdip	0 to +70°C	MC1408-7F
16-Pin SO package	0 to +70°C	MC1408-8D

ABSOLUTE MAXIMUM RATINGS T_A = +25°C, unless otherwise specified.

SYMBOL	PARAMETER	RATING	UNIT
V_{CC}	Positive power supply voltage	+5.5	V
V_{EE}	Negative power supply voltage	−16.5	V
$V_5 - V_{12}$	Digital input voltage	0 to V_{CC}	V
V_O	Applied output voltage	−5.2 to +18	V
I_{14}	Reference current	5.0	mA
V_{14}, V_{15}	Reference amplifier inputs	V_{EE} to V_{CC}	
P_D	Maximum power dissipation, T_A = 25°C (still-air)[1]		
	F package	1190	mW
	N package	1450	mW
	D package	1080	mW
T_{SOLD}	Lead soldering temperature (10sec)	300	°C
T_A	Operating temperature range		
	MC1508	−55 to +125	°C
	MC1408	0 to +75	°C
T_{STG}	Storage temperature range	−65 to +150	°C

NOTE:
1. Derate above 25°C, at the following rates:
   F package at 9.5mW/°C
   N package at 11.6mW/°C
   D package at 8.6mW/°C

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC AND AC ELECTRICAL CHARACTERISTICS[1]

Pin 3 must be 3V more negative than the potential to which R_{15} is returned.

$V_{CC} = +5.0V_{DC}$, $V_{EE} = -15V_{DC}$, $\frac{V_{REF}}{R_{14}} = 2.0mA$ unless otherwise specified.

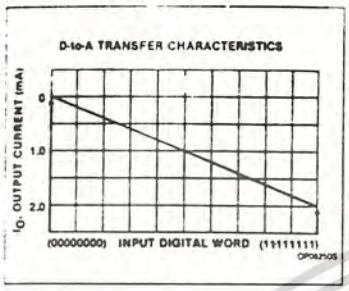
MC1508: $T_A = -55°C$ to 125°C. MC1408: $T_A = 0°C$ to 75°C, unless otherwise noted.

SYMBOL	PARAMETER	TEST CONDITIONS	MC1508-8			MC1408-8			MC1408-7			UNIT
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
E_r	Relative accuracy	Error relative to full-scale I_O, Figure 3			±0.19			±0.19			±0.39	%
t_S	Settling time[1]	To within ½ LSB, includes t_{PLH}, $T_A = +25°C$, Figure 4		70			70			70		ns
t_{PLH} t_{PHL}	Propagation delay time Low-to-High High-to-Low	$T_A = +25°C$, Figure 4		35	100		35	100		35	100	ns
TCI_O	Output full-scale current drift			-20			-20			-20		ppm/°C
V_{IH} V_{IL}	Digital input logic level (MSB) High Low	Figure 5	2.0		0.8	2.0		0.8	2.0		0.8	V_{DC}
I_{IH} I_{IL}	Digital input current (MSB) High Low	Figure 5 $V_{IH} = 5.0V$ $V_{IL} = 0.8V$		0 -0.4	0.04 -0.8		0 -0.4	0.04 -0.8		0 -0.4	0.04 -0.8	mA
I_{15}	Reference input bias current	Pin 15, Figure 5		-1.0	-5.0		-1.0	-5.0		-1.0	-5.0	μA
I_{OR}	Output current range	Figure 5 $V_{EE} = -5.0V$ $V_{EE} = -7.0V$ to $-15V$	0 0	2.0 2.0	2.1 4.2	0 0	2.0 2.0	2.1 4.2	0 0	2.0 2.0	2.1 4.2	mA
I_O	Output current	Figure 5 $V_{REF} = 2.000V$, $R14 = 100Ω$	1.9	1.99	2.1	1.9	1.99	2.1	1.9	1.99	2.1	mA
$I_{O(min)}$	Off-state	All bits low		0	4.0		0	4.0		0	4.0	μA
V_O	Output voltage compliance	$E_r \leq 0.19\%$ at $T_A = +25°C$, Figure 5 $V_{EE} = -5V$ V_{EE} below $-10V$		-0.6, +10 -5.5, +10	-0.55, +0.5 -5.0, +0.5		-0.6, +10 -5.5, +10	-0.55, +0.5 -5.0, +0.5		-0.6, +10 -5.5, +10	-0.55, +0.5 -5.0, +0.5	V_{DC}
SRI_{REF}	Reference current slew rate	Figure 6		8.0			8.0			8.0		mA/μs
PSRR(-)	Output current power supply sensitivity	$I_{REF} = 1mA$		0.5	2.7		0.5	2.7		0.5	2.7	μA/V
I_{CC} I_{EE}	Power supply current Positive Negative	All bits low, Figure 5		+2.5 -6.5	+22 -13		+2.5 -6.5	+22 -13		+2.5 -6.5	+22 -13	mA
V_{CCR} V_{EER}	Power supply voltage range Positive Negative	$T_A = +25°C$, Figure 5	+4.5 -4.5	+5.0 -15	+5.5 -16.5	+4.5 -4.5	+5.0 -15	+5.5 -16.5	+4.5 -4.5	+5.0 -15	+5.5 -16.5	V_{DC}
P_D	Power Dissipation	All bits low, Figure 5 $V_{EE} = -5.0V_{DC}$ $V_{EE} = -15V_{DC}$		34 110	170 305		34 110	170 305		34 110	170 305	mW

NOTE:
1. All bits switched.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS



FUNCTIONAL DESCRIPTION

Reference Amplifier Drive and Compensation

The reference amplifier input current must always flow into Pin 14 regardless of the setup method or reference supply voltage polarity.

Connections for a positive reference voltage are shown in Figure 1. The reference voltage source supplies the full reference current. For bipolar reference signals, as in the multiplying mode, R_{15} can be tied to a negative voltage corresponding to the minimum input level. R_{15} may be eliminated and Pin 15 grounded, with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increasing values of R_{14} to maintain proper phase margin. For R_{14} values of 1.0, 2.5, and 5.0kΩ, minimum capacitor values are 15, 37, and 75pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection. (Fluctuations in the negative supply have more effect on accuracy than do any changes in the positive supply).

A negative reference voltage may be used if R_{14} is grounded and the reference voltage is applied to R_{15}, as shown in Figure 2. A high input impedance is the main advantage of this method. The negative reference voltage must be at least 3.0V above the V_{EE} supply. Bipolar input signals may be handled by connecting R_{14} to a positive reference voltage equal to the peak positive input level at Pin 15.

Capacitive bypass to ground is recommended when a DC reference voltage is used. The 5.0V logic supply is not recommended as a reference voltage, but if a well regulated 5.0V supply which drives logic is to be used as the reference, R_{14} should be formed of two series resistors and the junction of the two resistors bypassed with 0.1μF to ground. For reference voltages greater than 5.0V, a clamp diode is recommended between Pin 14 and ground.

If Pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

Output Voltage Range

The voltage at Pin 4 must always be at least 4.5V more positive than the voltage of the negative supply (Pin 3) when the reference current is 2mA or less, and at least 8V more positive than the negative supply when the reference current is between 2mA and 4mA. This is necessary to avoid saturation of the output transistors, which would cause serious degradation of accuracy.

Signetics' MC1508/MC1408 does not need a range control because the design extends the compliance range down to 4.5V (or 8V — see above) above the negative supply voltage without significant degradation of accuracy. Signetics' MC1508/MC1408 can be used in sockets designed for other manufacturers' MC1508/MC1408 without circuit modification.

Output Current Range

Any time the full-scale current exceeds 2mA, the negative supply must be at least 8V more negative than the output voltage. This is due to the increased internal voltage drops between the negative supply and the outputs with higher reference currents.

Accuracy

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy, full-scale accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current after zero-scale current has been nulled out. The relative accuracy of the MC1508/MC1408 is essentially constant over the operating temperature range because of the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current; however, the MC1508/MC1408 has a very low full-scale current drift over the operating temperature range.

The MC1508/MC1408 series is guaranteed accurate to within ± ½ LSB at + 25°C at a full-scale output current of 1.99mA. The relative accuracy test circuit is shown in Figure 3. The 12-bit converter is calibrated to a full-scale output current of 1.99219mA; then the MC1508/MC1408's full-scale current is trimmed to the same value with R_{14} so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on the oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accurate D-to-A converter. 16-bit accuracy implies a total of ± ½ part in 65,536, or ±0.00076%, which is much more accurate than the ± 0.19% specification of the MC1508/MC1408.

Monotonicity

A monotonic converter is one which always provides an analog output greater than or equal to the preceding value for a corresponding increment in the digital input code. The MC1508/MC1408 is monotonic for all values of reference current above 0.5mA. The recommended range for operation is a DC reference current between 0.5mA and 4.0mA.

Settling Time

The worst case switching condition occurs when all bits are switched on, which corresponds to a low-to-high transition for all input bits. This time is typically 70ns for settling to within ½ LSB for 8-bit accuracy. This time applies when $R_L < 500\Omega$ and $C_O < 25pF$. The slowest single switch is the least significant bit, which typically turns on and settles in 65ns. In applications where the D-to-A converter functions in a positive going ramp mode, the worst-case condition does not occur and settling times less than 70ns may be realized.

Extra care must be taken in board layout since this usually is the dominant factor in satisfactory test results when measuring settling time. Short leads, 100μF supply bypassing for low frequencies, minimum scope lead length, good ground planes, and avoidance of ground loops are all mandatory.

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

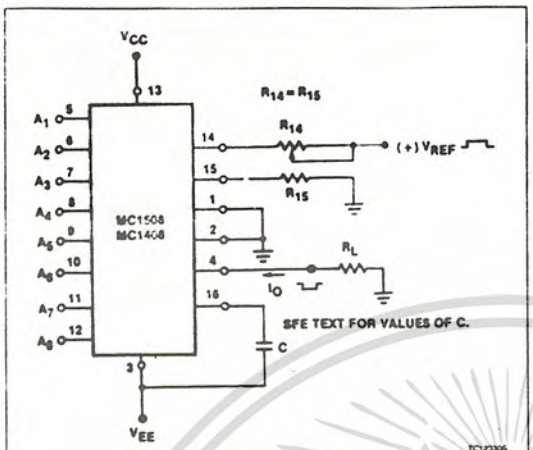


Figure 1. Positive V_{REF}

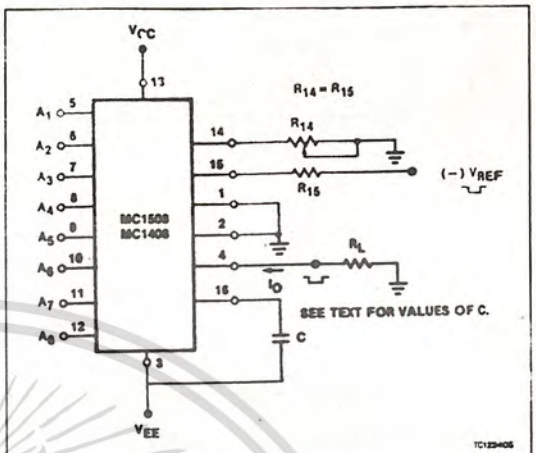


Figure 2. Negative V_{REF}

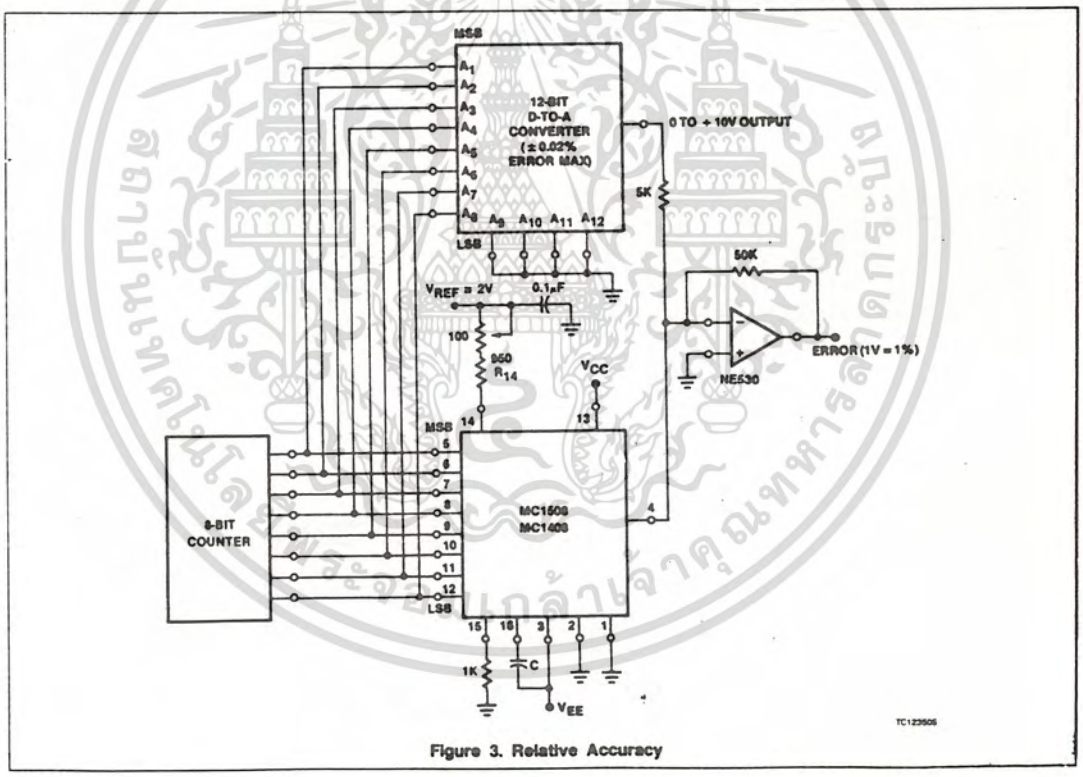


Figure 3. Relative Accuracy

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

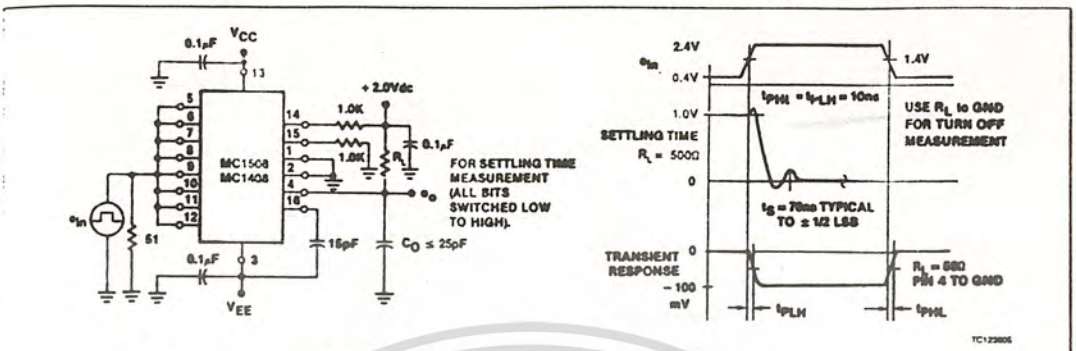


Figure 4. Transient Response and Settling Time

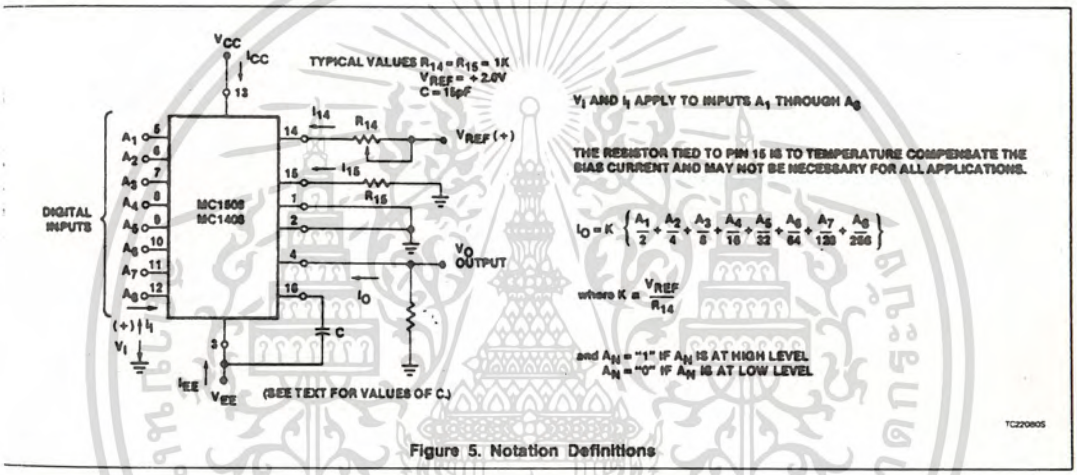


Figure 5. Notation Definitions

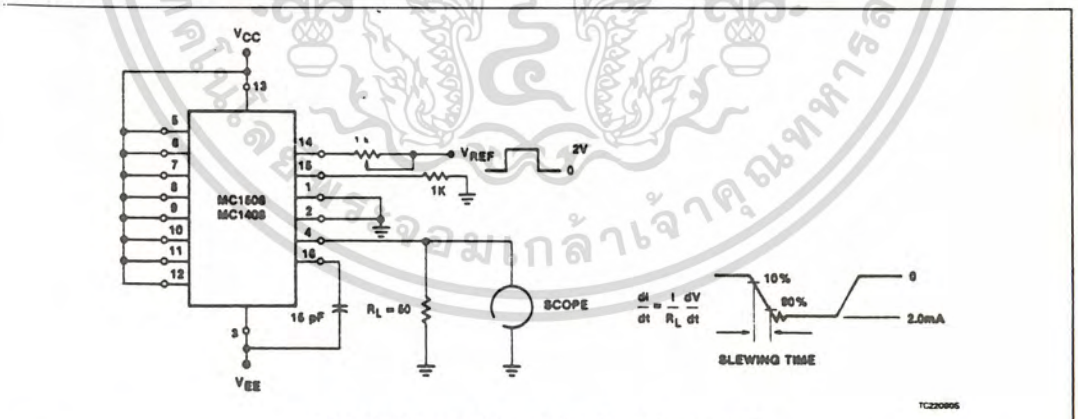


Figure 6. Reference Current Slew Rate Measurement

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signetics

LM111/211/311
Voltage Comparator

Product Specification

Linear **Products**

DESCRIPTION

The LM111 series are voltage comparators that have input currents approximately a hundred times lower than devices like the μA710. They are designed to operate over a wider range of supply voltages; from standard ± 15V op amp supplies down to the single 5V supply used for IC logic. Their output is compatible with RTL, DTL, and TTL as well as MOS circuits. Further, they can drive lamps or relays, switching voltages up to 50V at currents as high as 50mA.

Both the inputs and the outputs of the LM111 series can be isolated from system ground, and the output can drive loads referred to ground, the positive supply, or the negative supply. Offset balancing and strobe capability are provided and outputs can be wire-ORed.

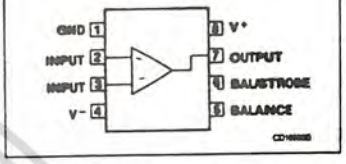
Although slower than the μA710 (200ns response time vs 40ns), the devices are also much less prone to spurious oscillations. The LM111 series has the same pin configuration as the μA710 series.

FEATURES

- **Operates from single 5V supply**
- **Maximum input bias current: 150nA (LM311 — 250nA)**
- **Maximum offset current: 20nA (LM311 — 50nA)**
- **Differential input voltage range: ± 30V**
- **Power consumption: 135mW at ± 15V**
- **High sensitivity — 200V/mV**

PIN CONFIGURATION

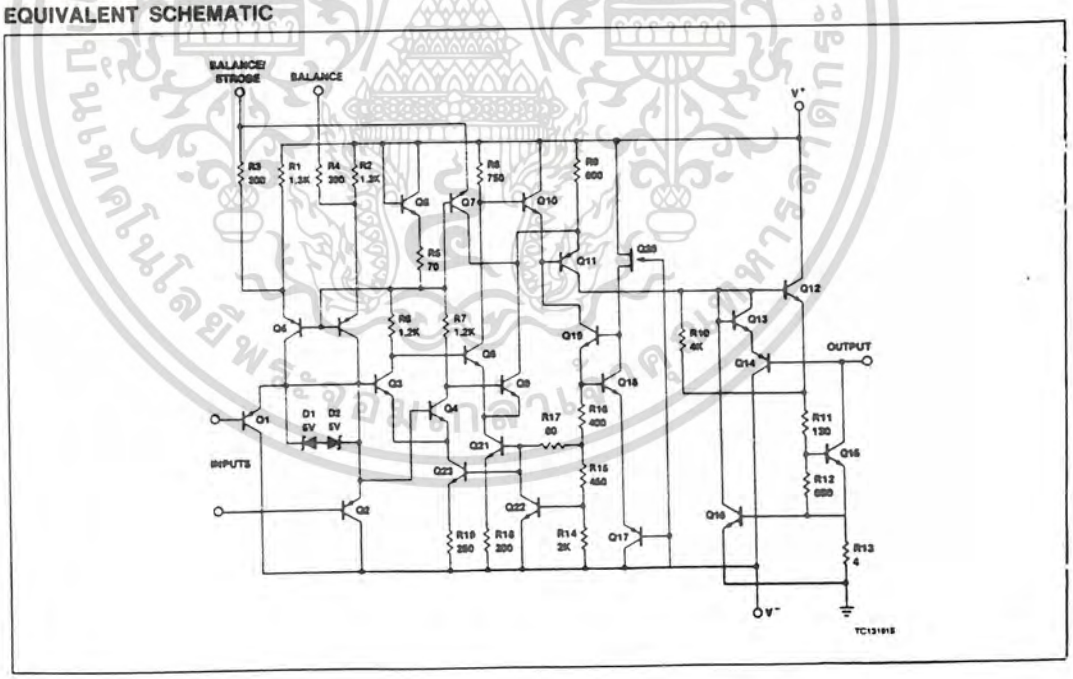
D, FE, N Packages



APPLICATIONS

- **Zero crossing detector**
- **Precision squarer**
- **Positive/negative peak detector**
- **Low voltage adjustable reference supply**
- **Switching power amplifier**

EQUIVALENT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE
8-Pin Cerdip	0 to +70°C	LM111FE
8-Pin Cerdip	0 to +70°C	LM211FE
8-Pin Plastic DIP	0 to +70°C	LM211N
8-Pin Plastic SO	0 to +70°C	LM311D
8-Pin Cerdip	0 to +70°C	LM311FE
8-Pin Plastic DIP	0 to +70°C	LM311N
8-Pin Plastic SO	0 to +70°C	LM211D

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V_S	Total supply voltage	36	V
	Output to negative supply voltage: LM111/LM211 LM311	 50 40	 V V
	Ground to negative supply voltage	30	V
	Differential input voltage	±30	V
V_{IN}	Input voltage[1]	±15	V
P_D	Maximum power dissipation, T_A = 25°C (still-air)[1] F package N package D package	 780 1160 780	 mW mW mW
	Output short-circuit duration	10	sec
T_A	Operating ambient temperature range LM111 LM211 LM311	 -55 to +125 -25 to +85 0 to +70	 °C °C °C
T_{STG}	Storage temperature range	-65 to +150	°C
T_{SOLD}	Lead soldering temperature (10sec max)	300	°C

NOTE

1. Derate above 25°C, at the following rates:
   F package at 6.2mW/°C
   N package at 9.3mW/°C
   D package at 6.2m/W°C

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

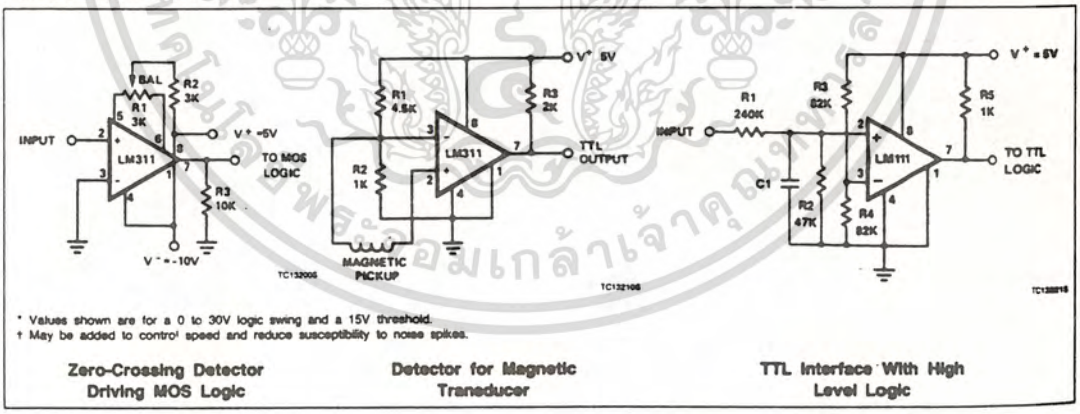
DC ELECTRICAL CHARACTERISTICS [1, 2, 3]

SYMBOL	PARAMETER	TEST CONDITIONS	LM111/LM211			LM311			UNIT
			Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input offset voltage[3]	$T_A = 25°C$, $R_S \leq 50k\Omega$		0.7	3.0		2.0	7.5	mV
I_{OS}	Input offset current[3]	$T_A = 25°C$		4.0	10		6.0	50	nA
I_{BIAS}	Input bias current	$T_A = 25°C$		60	100		100	250	nA
A_V	Voltage gain	$T_A = 25°C$		200			200		V/mV
	Response time[4]	$T_A = 25°C$		200			200		ns
	Saturation voltage	$V_{IN} \leq -5mV$, $I_{OUT} = 50mA$, $T_A = 25°C$		0.75	1.5		0.75	1.5	V
	Strobe on current	$T_A = 25°C$		3.0			3.0		mA
	Output leakage current	$V_{IN} \geq 5mV$, $V_{OUT} = 35V$, $T_A = 25°C$, $I_{STROBE} = 3mA$		0.2	10		0.2	50	nA
V_{OS}	Input offset voltage[3]	$R_S \leq 50k\Omega$			4.0			10	mV
I_{OS}	Input offset current[3]				20			70	nA
I_{BIAS}	Input bias current				150			300	nA
V_{IN}	Input voltage range	$V = \pm 15V$ (Pin 7 may go to 5V)	−14.5	13.8 −14.7	13.0	−14.5	13.8 −14.7	13.0	V
	Saturation voltage	$V_{pos} \geq 4.5V$, $V_{neg} = 0$							
V_{OL}		$V_{IN} \leq -6mV$, $I_{SINK} \leq 8mA$		0.23	0.4		0.23	0.4	V
I_{OH}	Output leakage current	$V_{IN} \geq 5mV$, $V_{OUT} = 35V$		0.1	0.5				μA
I_{SC}	Positive supply current	$T_A = 25°C$		5.1	6.0		5.1	7.5	mA
	Negative supply voltage	$T_A = 25°C$		4.1	5.0		4.1	5.0	mA

NOTES:

1. This rating applies for ±15V supplies. The positive input voltage limit is 30V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30V below the positive supply, whichever is less.
2. These specifications apply for $V_S = \pm 15V$ and $0°C < T_A < 70°C$ unless otherwise specified. With the LM211, however, all temperature specifications are limited to $-25°C \leq T_A \leq 85°C$ and for the LM111 is limited to $-55°C < T_A < 125°C$. The offset voltage, offset current, and bias current specifications apply for any supply voltage from a single 5V supply up to ±15V supplies.
3. The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with 1mA load. Thus, these parameters define an error band and take into account the worst case effects of voltage gain and input impedance.
4. The response time specified is for a 100mV input step with 5mV overdrive.
5. Do not short the strobe pin to ground; it should be current driven at 3mA to 5mA.

TYPICAL APPLICATIONS



* Values shown are for a 0 to 30V logic swing and a 15V threshold.
† May be added to control speed and reduce susceptibility to noise spikes.

Zero-Crossing Detector Driving MOS Logic | **Detector for Magnetic Tranaducer** | **TTL Interface With High Level Logic**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ความสำเร็จของโครงงานนี้ ต้องขอขอบคุณ รศ.ดร. มนัส สังวรศิลป์ , บริษัท ฟิลลิปส์ เซมิ คอนดัคเตอร์ (ที่ให้คำสนับสนุนด้านเครื่องมือ , อุปกรณ์ รวมทั้งคำปรึกษาในการทำวิจัย) , เพื่อนๆในห้องเรียน , เพื่อนๆที่ทำงาน (บริษัท ฟิลลิปส์ เซมิคอนดัคเตอร์) ที่ให้คำแนะนำในการเขียน Soft ware และการออกแบบ Hard ware บางส่วน

โครงงานนี้ คงจะมีประโยชน์ แก่ผู้นำไปพัฒนาบ้าง ถ้ามีข้อผิดพลาดใดๆ ต้องขออภัยไว้ ณ ที่นี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. วิบูลย์ ชื่นแขก , "ไมโครโปรเซสเซอร์" , สำนักพิมพ์สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ , พ.ศ.2532
2. ยืน ภู่วรวรรณ . วัฒนา เขียวกุล , "ไมโครโปรเซสเซอร์ ไมโครคอมพิวเตอร์",บริษัท ซีเอ็ด ยูนิเคชั่น จำกัด , พ.ศ.2521
3. ดร.บุญวัฒน์ อัตชู , "ทฤษฎี และการใช้งานไมโครโปรเซสเซอร์ Z-80" , สถาบันเทคโนโลยีพระจอมเกล้าลาดกระบัง
4. ศูนย์ภาษาคอมพิวเตอร์ , "การใช้งาน Z-80" , ฟิสิกส์เซ็นเตอร์
5. ชิติ หนูแก้ว , " ไมโครโปรเซสเซอร์ และการออกแบบเบื้องต้น" , บริษัท ซีเอ็ด ยูนิเคชั่น จำกัด , พ.ศ. 2521
6. บริษัท , "ไมโครโปรเซสเซอร์ ทฤษฎีเบื้องต้น และการใช้งาน Z-80" , บริษัท อีทีที จำกัด , หน้า 12-96.
7. บัณฑิต โรจน์อารยานนท์ , "หลักการไฟฟ้าสื่อสาร" , สำนักพิมพ์ จุฬาลงกรณ์มหาวิทยาลัย , พ.ศ. 2537 , หน้า 240-260.
8. Signetics , " LINEAR DATA MANUAL" , Signetics Coperation , p.4-53 to 4-59 , 5-11 to 5-17 , 5-130 to 5-135 , 5-254 to 5-256 , 1987
9. Signetics , "TTL Logic Data Manual 1982" , Signetics Corperation , p.3-13 to 3-15 , 3-207 to 3-210 , 3-379 to 3-382 , 3-470 to 3-480 , 1982
10. TAXAS INSTRUMENTS , " The Linear Control Circuits Data Book" ,Taxas Instruments Incorperation , p.245-277 , 1982

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้