



ภาควิชาครุศาสตร์วิศวกรรม
 คณะครุศาสตร์อุตสาหกรรม
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 ใบรับรองปริญญาโท

ชื่อหัวข้อ เครื่องวัดและวิเคราะห์สัญญาณดิจิทัล
 Logic Analyzer

ชื่อนักศึกษา 1. นายณัฐกร ชาติประทีป รหัสประจำตัว 42035336
 2. นายนิคม ก่องวงศ์ รหัสประจำตัว 42035338
 3. นางสาวรัตนา สุขขันทอด รหัสประจำตัว 42035346
 4. นายอุดมวิทย์ นักคนตรี รหัสประจำตัว 42035363

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชา อิเล็กทรอนิกส์และคอมพิวเตอร์

อาจารย์ที่ปรึกษา อาจารย์สุระชัย พิมพ์สาลี

อาจารย์ที่ปรึกษาร่วม อาจารย์สุชิน อาจหาญ

| คณะกรรมการสอบปริญญาโท | ลายมือชื่อ |
|---------------------------------|------------|
| 1. อาจารย์สุระชัย พิมพ์สาลี | |
| 2. อาจารย์สุชิน อาจหาญ | |
| 3. อาจารย์ปิยะ จิตธรรมมาภิรมย์ | |
| 4. อาจารย์อำพล ทองระอา | |
| 5. อาจารย์ไพบุลย์ พวงวงศ์ตระกูล | |

วัน/เดือน/ปีที่สอบ วันเสาร์ที่ 9 ธันวาคม พ.ศ. 2543 เวลา 12.30 น.

สถานที่สอบ ห้อง ค.311 คณะครุศาสตร์อุตสาหกรรม สจล.

ภาควิชารับรองแล้ว
 ลงนาม.....
 (ผศ.วิสุทธ์ อธิพรธรรม)
 หัวหน้าภาควิชาครุศาสตร์วิศวกรรม
 วันที่ 26 เดือน ธันวาคม พ.ศ. 2543



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ปริญญาบัตร

เครื่องวัดและวิเคราะห์สัญญาณดิจิทัล

LOGIC ANALYZER



| | |
|--------------|------------|
| นายรัฐกร | ชาติประทีป |
| นายนิคม | ก่องวงศ์ |
| นางสาวรัตนา | สุขขุนทด |
| นายอุดมวิทย์ | นักดนตรี |



A025609

เลขที่.....
 025609
 ปี เดือน ปี ๑๖ มิย ๕๕

ปริญญาบัตรฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตรบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์
 ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง เครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิก

Logic Analyzer

วัตถุประสงค์

1. เพื่อศึกษาทฤษฎี การทำงานของเครื่องลอจิกอนาไลเซอร์, การออกแบบวงจรดิจิทัลลอจิก และการติดต่อระหว่างเครื่องรับโทรทัศน์กับอุปกรณ์ภายนอก
2. เพื่อออกแบบวงจรวัดและวิเคราะห์สัญญาณดิจิทัลลอจิกโดยใช้เครื่องรับโทรทัศน์
3. เพื่อสร้างเครื่องต้นแบบ “ เครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิก ” โดยใช้เครื่องรับโทรทัศน์
4. เพื่อทดลอง และทดสอบการทำงานของเครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิกโดยใช้เครื่องรับโทรทัศน์
5. เพื่อนำเครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิกไปใช้งานจริง โดยใช้เครื่องรับโทรทัศน์

ประโยชน์ที่คาดว่าจะได้รับ

1. มีความรู้เกี่ยวกับทฤษฎีและการทำงานของเครื่องลอจิกอนาไลเซอร์ และการติดต่อระหว่างเครื่องรับโทรทัศน์กับอุปกรณ์ภายนอก
2. ได้วงจรต้นแบบของเครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิก โดยใช้เครื่องรับโทรทัศน์แสดงผล
3. ได้เครื่องต้นแบบของเครื่องวัด และวิเคราะห์สัญญาณดิจิทัลลอจิกโดยใช้เครื่องรับโทรทัศน์แสดงผล
4. ได้ผลการทดลอง ทดสอบ และตัดแปลงเครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิกโดยใช้เครื่องรับโทรทัศน์แสดงผล
5. ได้เครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิกไปใช้งาน โดยใช้เครื่องรับโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อหัวข้อ
นักศึกษา

เครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิก

นายรัฐกร ชาติประทีป

นายนิคม ก่องวงศ์

นางสาวรัตนา สุขขุนทด

นายอุดมวิทย์ นักดนตรี

อาจารย์ปรึกษา

อาจารย์สุระชัย พิมพ์สาดี

อาจารย์ที่ปรึกษาร่วม

อาจารย์สุชิน อางหาญ

หลักสูตร

ครุศาสตร์อุตสาหกรรมบัณฑิต

สาขาวิชา

อิเล็กทรอนิกส์และคอมพิวเตอร์

ปีการศึกษา

2543

บทคัดย่อ

ปฏิญานิพนธ์ฉบับนี้ เสนอเครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิก (Logic Analyzer) ที่สามารถใช้ในการตรวจสอบค่าของลอจิกในคอมพิวเตอร์หรืออุปกรณ์อิเล็กทรอนิกส์

เครื่องวัดและวิเคราะห์สัญญาณมีอัตราการสุ่มสัญญาณ 10 เมกะเฮิรตซ์ 16 ช่องสัญญาณการแสดงผลอาศัยจอโทรทัศน์

| | |
|----------------------|---|
| Thesis Title | Logic Analyzer |
| Students | Mr.Nattakorn Chatprateep Mr.Nikhom Gongwong MissRatana Sumkhuntod Mr.Udomwit Nukdontri |
| Advisor | Mr.Surachai Pimsalee |
| Co-Advisor | Mr.Suchin Adhan |
| Education | Bachelor of Science in Industrial Education |
| Program in | Electronics and Computer |
| Academic Year | 2000 |

ABSTRACT

This thesis presents the Logic Analyzer. The Logic Analyzer is frequency used for detection, trouble shoot solving in microcomputer system and electronics equipment.

The Logic Analyzer can detect 16 datas, select sampling rate from 10 Mhz, displays results bye using television.

กิตติกรรมประกาศ

ปริญญาานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงไปได้ด้วยดีนั้น คณะผู้จัดทำขอขอบคุณอาจารย์ที่ปรึกษา และคณาจารย์ในภาควิชาครุศาสตร์วิศวกรรมทุกท่าน ที่ได้ให้คำปรึกษา ข้อเสนอแนะ และแนวทางแก้ไขปัญหาต่างๆ และที่สำคัญที่สุดขอขอบพระคุณบิดา-มารดา ที่ให้การส่งเสริมทางด้านการศึกษาเป็นอย่างดีตลอดมา คณะผู้จัดทำขอระลึกถึงไว้ ณ ที่นี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

| เรื่อง | หน้า |
|--|------|
| บทคัดย่อภาษาไทย | I |
| บทคัดย่อภาษาอังกฤษ | II |
| กิตติกรรมประกาศ | III |
| สารบัญ | IV |
| สารบัญตาราง | VI |
| สารบัญรูป | VII |
| บทที่ 1 บทนำ | 1 |
| 1.1 กล่าวนำ | 1 |
| 1.2 ซีดความสามารถของปริญญาานิพนธ์ | 1 |
| 1.3 เนื้อหาโดยสังเขป | 1 |
| บทที่ 2 ทฤษฎีและหลักการ | 3 |
| 2.1 ไมโคร โปรเซสเซอร์ Z80180 | 3 |
| 2.1.1 ขาและการใช้งาน | 3 |
| 2.1.2 Operation Mode | 6 |
| 2.1.3 เกี่ยวกับ ไทม์มิ่ง | 10 |
| 2.1.4 การจัดการหน่วยความจำ | 10 |
| 2.1.5 การอินเตอร์รัพท์ | 17 |
| 2.1.6 คำสั่งเพิ่มเติม 12 คำสั่ง | 19 |
| 2.2 คุณสมบัติ 8255 | 20 |
| 2.3 ทฤษฎีของโทรทัศน์เบื้องต้น | 24 |
| 2.3.1 ส่วนประกอบของภาพ | 24 |
| 2.3.2 วิธีการสุแกนและหักเหของลำอิเล็กตรอน | 24 |
| 2.3.3 เครื่องส่งและเครื่องรับโทรทัศน์ | 25 |
| 2.3.4 สัญญาณต่างๆ ที่ส่ง | 26 |
| 2.4 ทฤษฎีและหลักการทำงานของเครื่องลจิกอนาไลเซอร์ | 30 |
| 2.4.1 ลักษณะการทำงานทั่วไปของลจิกอนาไลเซอร์ | 30 |
| 2.4.2 หลักการสุ่มข้อมูล | 30 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

| เรื่อง | หน้า |
|--|------|
| 2.4.3 การสุ่มข้อมูลเข้าเก็บไปในหน่วยความจำ | 32 |
| 2.5 วงจรโมโนสเตเบิล | 32 |
| 2.6 มาตรฐานโทรทัศน์ขาวดำ | 34 |
| บทที่ 3 การออกแบบ การสร้าง และการทำงาน | 37 |
| 3.1 การออกแบบ | 37 |
| 3.2 การทำงานของวงจรต่างๆ | 38 |
| 3.2.1 วงจรมัลติเพล็กซ์สัญญาณ | 38 |
| 3.2.2 วงจรการสุ่มข้อมูล | 39 |
| 3.2.3 วงจรนับตำแหน่ง | 41 |
| 3.2.4 วงจร MPU Port Control | 44 |
| 3.2.5 วงจรสร้างความถี่และหารความถี่ | 45 |
| 3.2.6 วงจรซีดีเคเตอร์ | 46 |
| 3.2.7 วงจรผลิตสัญญาณซิงค์ | 49 |
| 3.2.8 วงจรผสมสัญญาณ | 50 |
| 3.3 การออกแบบโปรแกรม | 51 |
| 3.3.1 การจัดเก็บหน่วยความจำของเครื่องวัดและวิเคราะห์สัญญาณดิจิทัล | 51 |
| 3.3.2 การคำนวณหา Physical และ Logical Address | 52 |
| 3.3.3 การออกแบบพอร์ต 8255 สำหรับรับและส่งข้อมูล ระหว่างผู้ใช้กับ ไมโครโปรเซสเซอร์ | 52 |
| 3.3.4 การออกแบบและวิธีวาดภาพบนหน่วยความจำเพื่อแสดงต่อจอโทรทัศน์ | 55 |
| 3.3.5 อัลกอริทึมของการอ่านข้อมูลจากหน่วยความจำแรมพลิง | 56 |
| บทที่ 4 การทดลองและผลการทดลอง | 58 |
| 4.1 การทดลองผลิตรวมวงจรความถี่ | 58 |
| 4.1.1 ผลิตความถี่การสุ่มสัญญาณ | 58 |
| 4.1.2 การผลิตความถี่สัญญาณ โทรทัศน์ | 59 |
| 4.2 วงจรสร้างแอดเดรส (Address Counter) | 64 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

| เรื่อง | หน้า |
|--|------|
| 4.3 วงจรมัลติเพล็กซ์ | 65 |
| บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไขและพัฒนา | 71 |
| 5.1 บทสรุป | 71 |
| 5.2 ปัญหาและวิธีการแก้ไข | 71 |
| 5.3 แนวทางแก้ไขและพัฒนา | 72 |
| ภาคผนวก ก เครื่องต้นแบบ | 74 |
| ภาคผนวก ข ลายแผ่นวงจรพิมพ์ | 76 |
| ภาคผนวก ค ผังการทำงานและ โปรแกรม | 85 |
| ภาคผนวก ง รายการอุปกรณ์ | 101 |
| ภาคผนวก จ รายละเอียดของอุปกรณ์ | 105 |
| บรรณานุกรม | 125 |
| ประวัติผู้แต่ง | 126 |

สารบัญตาราง

| ตาราง | หน้า |
|---|------|
| ตารางที่ 2.1 สถานะการทำงานของขา ST, HALT และ MI | 6 |
| ตารางที่ 2.2 Internal I/O | 7 |
| ตารางที่ 2.2 Internal I/O (ต่อ) | 8 |
| ตารางที่ 2.3 สถานะการอินเตอร์รัพท์ | 17 |
| ตารางที่ 3.1 การทำแผนผังหน่วยความจำ | 51 |



สารบัญรูป

| รูป | หน้า |
|---|------|
| รูปที่ 2.1 โครงสร้างของ Z80180 | 4 |
| รูปที่ 2.2 การเซต M1 E | 9 |
| รูปที่ 2.3 แผนผังเวลาสถานะของ M1 E | 9 |
| รูปที่ 2.4 แผนผังเวลาของ I/O | 10 |
| รูปที่ 2.5 การจัดหน่วยความจำ | 11 |
| รูปที่ 2.6 การ Map Logical ปรกติ | 12 |
| รูปที่ 2.7 รีจิสเตอร์คอนโทรล | 13 |
| รูปที่ 2.8 ค่าภายในรีจิสเตอร์ CBR | 13 |
| รูปที่ 2.9 การโปรแกรม CBR | 14 |
| รูปที่ 2.10 การจัด Logical | 15 |
| รูปที่ 2.11 การ Map ใน Logical | 15 |
| รูปที่ 2.12 เมื่อ BBR = 10H | 16 |
| รูปที่ 2.13 Int/Trap Control Register | 18 |
| รูปที่ 2.14 การต่อพอร์ต 8255 | 20 |
| รูปที่ 2.15 การ Decode พอร์ต 8255 ที่ว่าง | 21 |
| รูปที่ 2.16 ขาต่างๆ ของ 8255 | 22 |
| รูปที่ 2.17 ความหมายของบิตต่างๆ ของรหัสควบคุม | 23 |
| รูปที่ 2.18 ภาพบนจอโทรทัศน์ ประกอบขึ้นด้วยเส้นสแกนตามแนวนอนเป็นจำนวนมาก | 24 |
| รูปที่ 2.19 การเคลื่อนที่หักเหของลำอิเล็กตรอน ในจังหวะที่ถูกดึง | 25 |
| รูปที่ 2.20 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กไฟฟ้าช่วยเหลือ | 25 |
| รูปที่ 2.21 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่งหนึ่งเฟรมออกเป็นฟิลด์ | 27 |
| รูปที่ 2.22 ความถี่ของกระแสรูปพื้นเลื่อยในวงจรหักเหทางแนวนอน และวงจรหักเหทางแนวตั้ง ทางด้านเครื่องส่งและเครื่องรับโทรทัศน์ | 28 |
| รูปที่ 2.23 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบๆ | 29 |
| รูปที่ 2.24 หลักการทำงานของลอจิกอนาไลเซอร์ | 30 |
| รูปที่ 2.25 การสุ่มสัญญาณ | 31 |
| รูปที่ 2.26 การสุ่มที่มีขนาดสัญญาณสุ่มน้อยกว่า 2 เท่าของสัญญาณอินพุท | 31 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

| รูป | หน้า |
|---|------|
| รูปที่ 2.27 การสุ่มข้อมูลเข้าไปเก็บในหน่วยความจำ | 32 |
| รูปที่ 2.28 การทำงานของ ไอซีเบอร์ 74LS123 | 33 |
| รูปที่ 2.29 การต่ออุปกรณ์ภายนอกไอซีเบอร์ 74LS123 | 33 |
| รูปที่ 2.30 การทำงานของวงจร โมโนสเตเบิล | 34 |
| รูปที่ 3.1 ฟังก์ชันการทำงานของเครื่องลอจิกอนาไลเซอร์ | 37 |
| รูปที่ 3.2 วงจรมัลติเพิล็กซ์สัญญาณ, สุ่มข้อมูล, เก็บข้อมูล | 38 |
| รูปที่ 3.3 วงจรสุ่มข้อมูลและเก็บข้อมูล | 40 |
| รูปที่ 3.4 วงจรนับแอดแควส | 41 |
| รูปที่ 3.5 วงจรนับสำหรับวีดีโอแรม | 42 |
| รูปที่ 3.6 วงจรนับสำหรับ Sampling RAM | 43 |
| รูปที่ 3.7 วงจร MMU | 44 |
| รูปที่ 3.8 วงจรผลิตความถี่ 30 MHz และวงจรหารความถี่ | 45 |
| รูปที่ 3.9 จังหวะการเขียนอ่านวีดีโอแรม | 46 |
| รูปที่ 3.10 ฟังก์ชันการทำงานของวงจรถีเล็กเตอร์ | 47 |
| รูปที่ 3.11 วงจรบัฟเฟอร์ Z180 และวงจรมับตำแหน่งแชนเปลิ่งแรม | 48 |
| รูปที่ 3.12 วงจรผลิตสัญญาณซิงค์ | 49 |
| รูปที่ 3.13 วงจรผสมสัญญาณ | 51 |
| รูปที่ 3.14 การกำหนด Control Word | 52 |
| รูปที่ 3.15 การออกแบบพอร์ต A ของ 8255 | 53 |
| รูปที่ 3.16 การออกแบบพอร์ต B ของ 8255 | 53 |
| รูปที่ 3.17 การออกแบบพอร์ต C ของ 8255 | 54 |
| รูปที่ 3.18 การวาดภาพบนหน่วยความจำเพื่อแสดงออกโทรทซ์น์ | 55 |
| รูปที่ 3.19 อัลกอริทึมของการอ่านข้อมูลจากหน่วยความจำแชนเปลิ่ง | 56 |
| รูปที่ 3.20 การวาดรูปในวีดีโอแรม | 57 |
| รูปที่ 4.1 ผลการวัดสัญญาณผลิตความถี่ 30 MHz | 58 |
| รูปที่ 4.2 ผลการวัดวงจรหาร 2, 4, 8 และ 16 จากวงจรผลิตความถี่ | 59 |
| รูปที่ 4.3 ผลการวัดวงจรหาร 32, 64, 128 และ 256 จากวงจรผลิตความถี่ | 59 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

| รูป | หน้า |
|--|------|
| รูปที่ 4.4 ผลการวัดสัญญาณผลิตความถี่ 6 MHz | 60 |
| รูปที่ 4.5 ผลการวัดสัญญาณ H-Gen | 61 |
| รูปที่ 4.6 ผลการวัด V-Gen | 61 |
| รูปที่ 4.7 ผลการวัด T-Sync (1) | 62 |
| รูปที่ 4.8 ผลการวัด T-Sync (2) | 62 |
| รูปที่ 4.9 ผลการวัดสัญญาณ T-Bank | 63 |
| รูปที่ 4.10 ผลการวัดสัญญาณ V-Gen | 63 |
| รูปที่ 4.11 ผลการวัดสัญญาณเอาต์พุตของวงจร MCD | 64 |
| รูปที่ 4.12 ผลการวัดสัญญาณมัลติเพล็กซ์ 8 ช่องสัญญาณที่ 400 MHz | 65 |
| รูปที่ 4.13 ผลการวัดสัญญาณมัลติเพล็กซ์ 8 ช่องสัญญาณที่ 1 MHz | 66 |
| รูปที่ 4.14 ผลการวัดสัญญาณมัลติเพล็กซ์ 8 ช่องสัญญาณที่ 10 MHz | 66 |
| รูปที่ 4.15 ผลการวัดสัญญาณมัลติเพล็กซ์ 8 ช่องสัญญาณที่ 400 MHz | 67 |
| รูปที่ 4.16 ผลการวัดสัญญาณมัลติเพล็กซ์ ที่ 400 KHz แต่มีข้อมูลเปลี่ยนแปลง | 67 |
| รูปที่ 4.17 ผลการวัดสัญญาณมัลติเพล็กซ์ ความถี่สวิตช์ 400 KHz ความถี่ข้อมูล 1 MHz | 68 |
| รูปที่ 4.18 ผลการวัดสัญญาณมัลติเพล็กซ์ ความถี่สวิตช์ 1 MHz ความถี่ข้อมูล 1 MHz | 68 |
| รูปที่ 4.19 ผลการวัดสัญญาณมัลติเพล็กซ์ ความถี่สวิตช์ 1 MHz ความถี่ข้อมูล 10 MHz | 69 |
| รูปที่ 4.20 ผลการวัดสัญญาณมัลติเพล็กซ์ ความถี่สวิตช์ 5 MHz ความถี่ข้อมูล 10 MHz | 69 |
| รูปที่ 4.21 ผลการวัดสัญญาณวงจรหารความถี่ | 70 |
| รูปที่ ก.1 เครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิก | 75 |
| รูปที่ ข.1 วงจรมอดูเลต | 77 |
| รูปที่ ข.2 วงจรซีเล็กเตอร์ | 78 |
| รูปที่ ข.3 ลายวงจรพิมพ์ด้านบนของวงจรมัลติเพล็กซ์สำหรับ Sampling RAM | 79 |
| รูปที่ ข.4 ลายวงจรพิมพ์ด้านล่างของวงจรมัลติเพล็กซ์สำหรับ Sampling RAM | 79 |
| รูปที่ ข.5 ลายวงจรพิมพ์ด้านบนของวงจรมัลติเพล็กซ์ | 80 |
| รูปที่ ข.6 ลายวงจรพิมพ์ด้านล่างของวงจรมัลติเพล็กซ์ | 80 |
| รูปที่ ข.7 ลายวงจรพิมพ์ด้านบนของวงจรมัลติเพล็กซ์สำหรับวีดีโอแรม | 81 |
| รูปที่ ข.8 ลายวงจรพิมพ์ด้านล่างของวงจรมัลติเพล็กซ์สำหรับวีดีโอแรม | 81 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

| รูป | หน้า |
|--|------|
| รูปที่ ข.9 ลายวงจรมพิมพ์ด้านบนของวงจรมุมสัญญาณ | 82 |
| รูปที่ ข.10 ลายวงจรมพิมพ์ด้านล่างของวงจรมุมสัญญาณ | 82 |
| รูปที่ ข.11 ลายวงจรมพิมพ์ด้านบนของวงจรมผลิตสัญญาณซิงค์ | 83 |
| รูปที่ ข.12 ลายวงจรมพิมพ์ด้านล่างของวงจรมผลิตสัญญาณซิงค์ | 83 |
| รูปที่ ข.13 ลายวงจรมพิมพ์ด้านบนของวงจรมซีเล็กเตอร์ระหว่าง Z80180 กับวงจรมนับสำหรับวีดีโอแรม | 84 |
| รูปที่ ข.14 ลายวงจรมพิมพ์ด้านบนของวงจรมซีเล็กเตอร์ระหว่าง Z80180 กับวงจรมนับสำหรับวีดีโอแรม | 84 |
| รูปที่ ค.1 แผนผังขั้นตอนการทำงาน | 86 |
| รูปที่ ค.2 โปรแกรมทดสอบการแสดงผลทางจอโทรทัศน์ | 90 |

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์

ในปัจจุบันเทคโนโลยีทางด้านอิเล็กทรอนิกส์และคอมพิวเตอร์ได้พัฒนาไปอย่างรวดเร็ว ซึ่งการทำงานทางด้านอิเล็กทรอนิกส์และคอมพิวเตอร์นี้ มักเกิดปัญหาจากการทำงานซึ่งในปัญหาเหล่านั้น ก็มีปัญหาทางด้านดิจิทัลรวมอยู่ด้วย ซึ่งปัญหานี้อาจเกิดขึ้นได้ทั้งทางฮาร์ดแวร์และซอฟต์แวร์ ซึ่งในการตรวจสอบความผิดพลาดนี้เป็นการกระทำที่ค่อนข้างยุ่งยากและมีความซับซ้อน จึงจำเป็นต้องอาศัยเครื่องวัดและวิเคราะห์สัญญาณ ดังนั้นจึงได้พัฒนาเครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิกขึ้นมาใช้งานเพื่ออำนวยความสะดวก ลดขั้นตอนที่ยุ่งยากในการทำงาน

1.2 ขีดความสามารถของโครงการ

โครงการนี้มีขีดความสามารถดังนี้

1. สามารถรับสัญญาณทางอินพุตได้ 16 ช่องสัญญาณ
2. สามารถวัดและวิเคราะห์สัญญาณที่มีอัตราการสุ่ม 10 เมกกะเฮิร์ตซ์
3. สามารถควบคุมการทำงาน โดยใช้ไมโครโปรเซสเซอร์
4. สามารถแสดงผลการวัดออกทางจอโทรทัศน์

1.3 เนื้อหาโดยสังเขป

เนื้อหาภายในปริญญานิพนธ์ฉบับนี้แบ่งออกเป็นบทต่างๆ เพื่อสะดวกต่อการศึกษา และทำความเข้าใจ ในแต่ละบทจะประกอบด้วยเนื้อหาดังต่อไปนี้

บทที่ 2 ทฤษฎีและหลักการ ประกอบด้วยเนื้อหาดังนี้ คือ ไมโครโปรเซสเซอร์ Z80180, คุณสมบัตินี้ 8255, ทฤษฎีของโทรทัศน์เบื้องต้น, ทฤษฎีและหลักการการทำงานของเครื่องลอจิกอนาล็อกเซอร์, วงจรโมโนสเตเบิล

บทที่ 3 การออกแบบ การสร้าง และการทำงาน กลางถึงเนื้อหาเกี่ยวกับ วงจรต่างๆ ที่ใช้ในโครงการ ได้แก่ วงจรมัลติเพล็กซ์สัญญาณ, วงจรการสุ่มข้อมูล, วงจรนับตำแหน่ง, วงจร MPU Port

Control, วงจรสร้างความถี่และหารความถี่, วงจรซีเล็กเตอร์, วงจรผลิตสัญญาณซิงค์, วงจรผสมสัญญาณ

บทที่ 4 การทดลองและผลการทดลอง ประกอบด้วย การทดลองและผลการทดลองของวงจรผลิตความถี่, วงจรสร้างแอดเดรส, วงจรมัลติเพล็กซ์

บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไขและพัฒนา ขั้นการสรุป ในการจัดทำโครงงาน ปัญหาที่เกิดขึ้น และได้เสนอแนวทางในการแก้ไขปัญหา รวมทั้งแนวทางการพัฒนาให้มีประสิทธิภาพมากยิ่งขึ้น

ภาคผนวก ก เครื่องต้นแบบ

ภาคผนวก ข วงจรและแผ่นวงจรพิมพ์

ภาคผนวก ค ผังการทำงานและ โปรแกรม

ภาคผนวก ง รายการอุปกรณ์

ภาคผนวก จ รายละเอียดของอุปกรณ์

บทที่ 2

ทฤษฎีและหลักการ

2.1 ไมโครโปรเซสเซอร์ Z80180

Z80180 เป็น CPU ที่มีความสามารถสูงที่ได้รวมชิพสำคัญอื่น ๆ ไว้ใน CPU เดียวกันจึงทำให้มีลักษณะคล้ายกับ CPU ที่ใช้ในงานควบคุมในจำพวก “ชิพเดี่ยว” แต่เนื่องจากชิพเดี่ยวมีข้อดี คือ เป็นระบบเล็กราคาถูก แต่ข้อเสีย คือ การโปรแกรมควบคุมค่อนข้างยากในตอนเริ่มต้นและกับระบบงานที่ใหญ่ขึ้น แต่ Z80180 ทางด้านโปรแกรมจะสะดวกอย่างมากเพราะคำสั่งที่ใช้มีมาก และตรงไปตรงมาทั้งคู่มือภาษาไทยและตัวอย่างการใช้งานอย่างมากเพราะ CPU Z80180 นี้เป็น Super Compat Z80 คือ คำสั่งทั้งหมดยังเป็น Z80 และได้เพิ่มชุดคำสั่งเพื่อความสะดวกในการใช้งานอีก

เมื่อมองดูระบบไมโครคอนโทรลเลอร์ชิพเดี่ยวแล้ว Z80180 จะดีกว่าตรงที่ไม่มี ROM, RAM และพอร์ตแต่ถ้าเป็นในระดับงานอุตสาหกรรมแล้วระบบของ Z80180 กับไมโครชิพคอนโทรลเลอร์แล้วจะไม่แตกต่างกันเลยเพราะความต้องการเนื้อที่ในการเก็บข้อมูลมาก พอร์ต มากตามจึงทำให้ต้องต่อเพิ่มภายนอกขึ้นจึงทำให้ Z80180 ในระดับงานคอนโทรลอุตสาหกรรมคล่องตัวมากกว่าเพราะภายใน Z80180 ประกอบด้วย เป็น CMOS, Oscillator ในตัวที่ใช้งานที่ 10 MHz, MMU ชิพ อ้าหน่วยความจำได้ ได้ 1 Mbyte, DMA 2 Channel Clock Serial I/O, 16 บิต ไทม์เมอร์ เคาร์เตอร์ และเกี่ยวกับพอร์ตสื่อสารสามารถทำมัลติโปรเซสเซอร์คอมมูนิเคชัน ซึ่งโครงสร้างของชิพนี้จะเป็นดังรูปที่ 2.1

2.1.1 ขาและการใช้งาน

A0-A19 Address Bus ระหว่างรีเซตจะเป็น High Impedance

BUSAK Bus Acknowledge เป็นขา Output Active Low ทำงานก็ต่อเมื่อ Z80180 ตอบสนองต่อการขอรับของ BusRQ และจะทำให้บัสข้อมูลบัสแอดเดรสและสัญญาณคอนโทรลบางเส้นเป็น High Impedance

BUSRQ Bus Request เป็นขา Input Active Low ซึ่งจะมีความสำคัญสูงสุดกว่า NMI โดยจะมีการตรวจสอบสัญญาณนี้ทุก ๆ การสิ้นสุดของ Machine Cycle

CXA0, CXA1 Asynchronous Clock 0 และ 1 เป็นขาสัญญาณ Clock แบบ 2 ทิศทาง คือจะใช้เป็นขาอินพุตหรือเอาต์พุตก็ได้

Clock เป็นขาเอาต์พุตจะเป็นครึ่งหนึ่งของคริสตอลหรือ Clock Out เช่น คริสตอล 12 MHz Z80180 จะทำงานที่ 6 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CTSO-CTS1 Clear To Send 0 และ 1 เป็นขา Input Active Low ใช้ควบคุมในการติดต่อกับโมเด็มของ ASI Channel 0

DREQ0-DREQ1 DMA Request 0 และ 1 เป็นขา Input Active Low ซึ่งใช้ซิงค์การทำงานกับอุปกรณ์ภายนอกระหว่างการทำงานเกี่ยวกับบัสและใช้เชื่อมต่อกับอุปกรณ์ภายในตระกูล 66XX และ 80XX

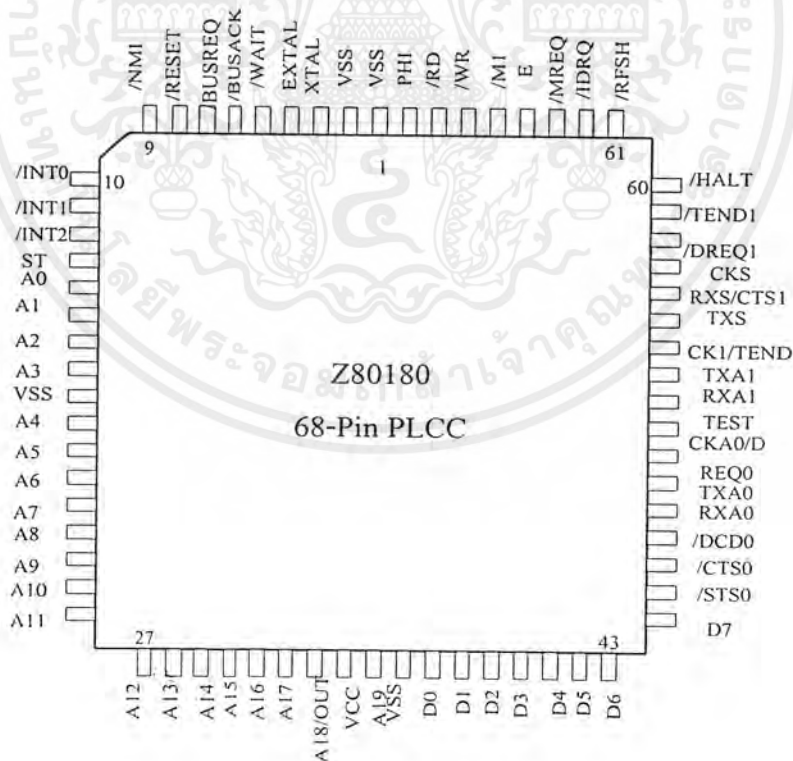
HALT เป็นขา Output Active Low จะทำงานเมื่อคำสั่ง Halt หรือ SLP

INT0 Maskable Interrupt 0 เป็นขา Input Active Low สัญญาณที่ขานี้จะถูกตรวจสอบทุก ๆ การสิ้นสุดของคำสั่ง

INT1, INT2 เช่นเดียวกับ INTO แต่มีความลำดับความสำคัญรองลงมาตามลำดับ

IORQ เป็นขาเอาต์พุตที่บอกว่าการกำลังติดต่อกับ I/O หรือขา IOE ใน 64180

M1 Machine Cycle 1 เป็นขา Output Active Low จะทำงานเมื่อ Fetch Op-Code หรือเป็นขา LIR ของ 64180



รูปที่ 2.1 โครงสร้างของ Z80180

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NM1 Non Maskable Interrupt เป็นขา Input Active Low ขานี้จะตอบรับการอินเทอร์รัพท์เสมอโดยไม่สามารถหยุดด้วยซอฟต์แวร์

RD เป็นขาที่ให้ Address Low (A0-A7) ไป Refresh Active Low หรือ ขา REF ของ 64180

RTS0 Request To Send เป็นขา Output Active Low ขานี้ใช้โปรแกรมสัญญาณควบคุมโมเด็มของ ASCII Channel 0

RXA0, RXA1 Receive Data 0 และ 1 เป็นขารับสัญญาณจากพอร์ตอนุกรมของ ASCII

RXS Clock Receive Data เป็นขารับสัญญาณซีเรียลของ CSI

ST Status เป็นขา Output Active High ใช้แสดงสถานะการทำงานของ CPU โดยร่วมกับ M1 และ Halt ดังตารางที่ 2.1

TEND0-TEND1 Transfer End 0 และ 1 เป็นขา Output Active Low ใช้แสดงถึง ว่าทำไม DMA สิ้นสุดลงแล้ว

TOUT Timer Out ใช้กำเนิดพัลส์จาก PRT Channel 1

TXA0, TXA1 Transfer Data 0 และ 1 เป็นขาส่งข้อมูลซีเรียลของ ASCII

TXS Clock Serial Transfer Data เป็นขาส่งข้อมูล Serial ของ CSIO

WAIT ขา Input Active Low จะถูกตรวจสอบที่ขอบล่างของ Clock ลูกที่ 2 ของทุก ๆ MACHINE เพื่อเป็นการรอให้อุปกรณ์ภายนอกทำงานให้ทันกับการทำงานของ CPU

WR ใช้สำหรับการส่งข้อมูลไปยังอุปกรณ์อินพุต/เอาต์พุตหรือหน่วยความจำ

XTAL เป็นขาที่ใช่ต่อกับคริสตอล

A18/TOUT ระหว่างรีเซตจะเป็น A18 แต่ถ้ามีการเลือกเซตบิต Toc1 หรือ Toc0 ใน Timer Control Register (TCR) จะทำหน้าที่เป็น TOUT

CKA0/DREQ0 ระหว่างรีเซตขานี้จะเป็น CKA1 แต่ถ้า Bit Ck1D ใน ASCII จะถูกรีเซตเป็น ขา TEND0

RXS/CTS1 ระหว่างรีเซตขานี้จะเป็นขา RXS ถ้าบิต CTIS1E ใน ASCII ถูกเซตจะเป็นขา CTS1

ตารางที่ 2.1 สภาวะการทำงานโดยขา ST, Halt และ M1

| ST | HALT | M1 | Operation |
|----|------|----|--|
| 0 | 1 | 0 | CPU operation (1 st op-code fetch) |
| 1 | 1 | 0 | CPU operation (2 nd op-code and 3 rd op-code fetch) |
| 1 | 1 | 1 | CPU operation (MC except of op-code fetch) |
| 0 | X | 1 | DMA operation |
| 0 | 0 | 0 | HALT mode |
| 1 | 0 | 1 | SLEEP mode (including STSTEM STOP mode) |

NOTE X: Don't care

MC: Machine cycle

2.1.2. Operation Mode

Z80180 สามารถกำหนดการทำงานให้เหมือน 64180 ได้เซตบิตคอนโทรลโหดคอนโทรล รีจิสเตอร์ (OMCR I/O Address 3EH)

M1E (M1 Enable): ระหว่างรีเซตบิตนี้จะเป็น 1 เอาต์พุตจะเป็น LOW เมื่อ Fetch Opcode และเนื่องจากการทำคำสั่ง RETI ของ Z80180 จะถูกกระทำ 2 ครั้งใน 1 คำสั่งจึงทำให้เกิด M1 ขึ้น 2 ครั้งอันอาจทำให้เกิดอินเตอร์รัพท์เข้ามาได้เมื่อยังทำไม่หมดคำสั่ง

ตารางที่ 2.2 Internal I/O Register

| | Register | Mnemonic | Address | |
|--------|--------------------------------------|----------|----------|-------------|
| | | | Binary | Hexadecimal |
| ASCI | ASCI control Register A Ch 0 | CNTLA0 | xx000000 | 00H |
| | ASCI control Register A Ch 1 | CNTLA1 | xx000001 | 01H |
| | ASCI control Register B Ch 0 | CNTLB0 | xx000010 | 02H |
| | ASCI control Register B Ch 1 | CNTLB1 | xx000011 | 03H |
| | ASCI Status Register Ch 0 | STAT0 | xx000100 | 04H |
| | ASCI Status Register Ch 1 | STAT1 | xx000101 | 05H |
| | ASCI Transmit Data Register Ch 0 | TDR0 | xx000110 | 06H |
| | ASCI Transmit Data Register Ch 1 | TDR1 | xx000111 | 07H |
| | ASCI Receive Data Register Ch 0 | RDR0 | xx001000 | 08H |
| | ASCI Receive Data Register Ch 1 | RDR1 | xx001001 | 09H |
| CSI/O | CSI/O Control Register | CNTR | xx001010 | 0AH |
| | CSI/O Transmit/Receive Data Register | TRDR | xx001011 | 0BH |
| Timer | Timer Data Register Ch 0L | TMDR0L | xx001100 | 0CH |
| | Timer Data Register Ch 0H | TMDR0H | xx001101 | 0DH |
| | Reload Register Ch 0L | RLDR0L | xx001110 | 0EH |
| | Reload Register Ch 0H | RLDR0H | xx001111 | 0FH |
| | Timer Control Register | TCR | xx010000 | 10H |
| | Reserved | | xx010001 | 11H |
| | | | xx010011 | 13H |
| | Timer Data Register Ch 1L | TMDR1L | xx010100 | 14H |
| | Timer Data Register Ch 1H | TMDR1H | xx010101 | 15H |
| | Reload Register Ch 1L | RLDR1L | xx010110 | 16H |
| | Reload Register Ch 1H | RLDR1H | xx010111 | 17H |
| Others | Free Running Counter | FRC | xx011000 | 18H |
| | Reversed | | xx011001 | 19H |
| | | | xx011111 | 1FH |

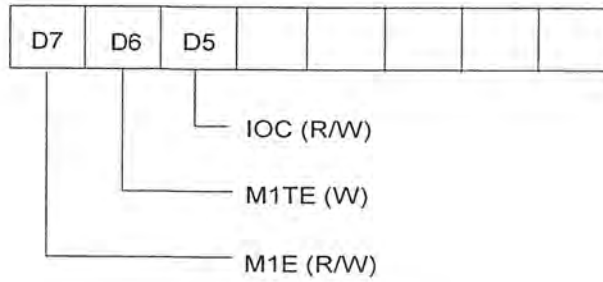
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 Internal I/O Register (ต่อ)

| | | | | |
|---------------------------|--|---|----------|----------|
| DMA | DMA Source Address Register Ch 0L | SAR0L | xx100000 | 20H |
| | DMA Source Address Register Ch 0H | SAR0H | xx100001 | 21H |
| | DMA Source Address Register Ch 0B | SAR0B | xx100010 | 22H |
| | DMA Destination Address Register Ch 0L | DAR0L | xx100011 | 23H |
| | DMA Destination Address Register Ch 0H | DAR0H | xx100100 | 24H |
| | DMA Destination Address Register Ch 0B | DAR0B | xx100101 | 25H |
| | DMA Byte Count Register Ch 0L | BCR0L | xx101110 | 26H |
| | DMA Byte Count Register Ch 0H | BCR0H | xx101111 | 27H |
| | DMA Memory Address Register Ch 1L | MAR1L | xx110000 | 28H |
| | DMA Memory Address Register Ch 1H | MAR1H | xx101001 | 29H |
| | DMA Memory Address Register Ch 1B | MAR1B | xx101010 | 2AH |
| | DMA I/O Address Register Ch 1L | IAR1L | xx101011 | 2BH |
| | DMA I/O Address Register Ch 1H | IAR1H | xx101100 | 2CH |
| | Reversed | | xx101101 | 2DH |
| | DMA Byte Count Register CH 1L | BCR1L | xx101010 | 2EH |
| | DMA Byte Count Register CH 1H | BCR1H | xx101111 | 2FH |
| | DMA Status Register | DSTAT | xx110000 | 30H |
| | DMA Mode Register | DMODE | xx111101 | 31H |
| | DMA/WAIT Control Register | DCNTL | xx111010 | 32H |
| | INT | IL Register (Interrupt Vector Low Register) | IL | xx110011 |
| INT/TRAP Control Register | | ITC | xx110100 | 34H |
| Reversed | | | xx110101 | 35H |
| Refresh | Refresh Control Register | RCR | xx110110 | 36H |
| | Reversed | | xx101111 | 37H |
| MMU | MMU Common Base Register | CBR | xx111000 | 38H |
| | MMU Bank Base Register | BBR | xx111001 | 39H |
| | MMU Common Bank Area Register | CBAR | xx111010 | 3AH |
| I/O | Reversed | | zx111011 | 3BH |
| | Operation Mode Control Register | | xx111110 | 3EH |
| | I/O Control Register | | xx111111 | 3FH |

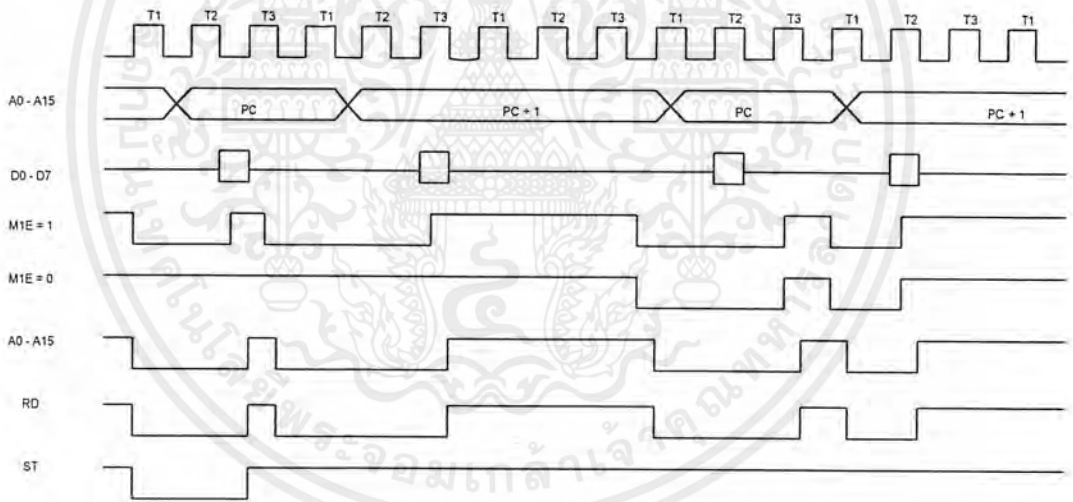
ตารางที่ 2.2 เป็นการแสดงรีจิสเตอร์ภายในของไมโครโปรเซสเซอร์เบอร์ Z80180 ซึ่งแสดงแอดเดรสของรีจิสเตอร์ทั้งในแบบของเลขฐานสองและเลขฐานแปด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 การเซต M1E

ด้วยเหตุนี้บิต M1E จะถูกเซตเป็น 0 สำหรับ Z80180 เพื่อให้ M1 ถูกทำงานปรกติคือเมื่อทำคำสั่ง RETI จะมี M1 เพียงครั้งเดียวดังรูปที่ 2.2



รูปที่ 2.3 แผนผังเวลาสถานะของ M1E

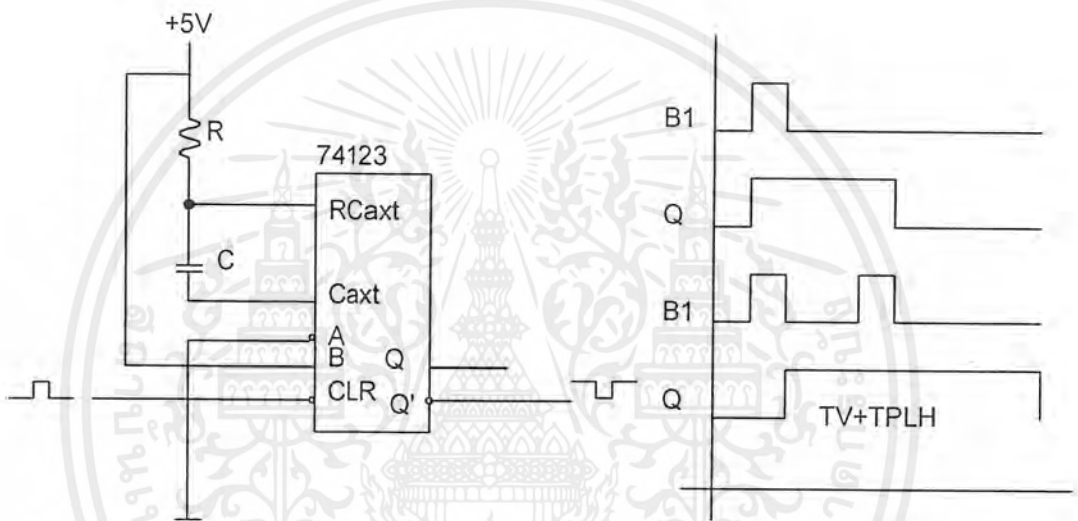
M1TE (M1 Temporary Enable): ใช้กับการต่ออินเตอร์เฟสกับ Z80 PIO แสดงแผนผังเวลาดังรูปที่ 2.3

IOC: เป็นบิตใช้ควบคุมไทม์มิ่งของ IORQ และ RD ให้เหมือน Z80 หรือ 64180 โดยถ้าบิตนี้ถูกเซตเป็น 1 ไทม์มิ่งจะเป็นของ 64180 คือ IORQ และ RD จะ Active ที่ขอบขาลงของ T1 แต่ถ้าบิตนี้เป็น 0 ไทม์มิ่งจะเป็นของ Z80 คือจะแอกทีฟที่ขอบขาขึ้นของ T2 เพื่อให้ใช้อุปกรณ์สนับสนุนของ Z80 ได้ ระหว่างรีเซ็ตบิตนี้จะเป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3. เกี่ยวกับไทม์มิ่ง

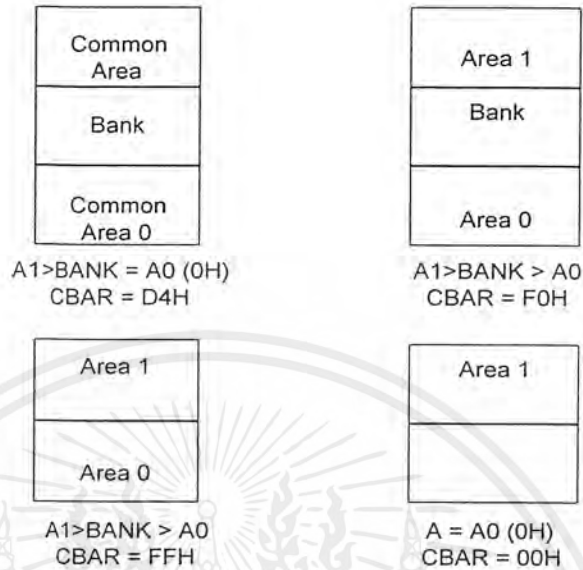
Z80180 ใช้เวลาในการกระทำ 1 คำสั่งใน 1 แมกซ์ซีไนซ์เกิดจะน้อยกว่า Z80 อยู่ 1 State คือ ใช้เวลาใน 1 แมกซ์ซีไนซ์เกิดเพียง 3 T State ในขณะที่ Z80 ใช้ 4 T State จะเห็นได้ว่าขณะที่ให้ Z80180 ทำงานความถี่เดียวกันกับ Z80 CPU Z80180 ก็ยังให้ความเร็วกว่า Z80 ถึงอีก 25% แต่ในขณะเดียวกัน Z80180 ยังสามารถต่อ Clock สูงกว่า Z80 จึงทำให้ความเร็วในการทำงาน Z80180 ดีมากกว่า ดูรูปที่ 2.4



รูปที่ 2.4 แผนผังเวลาของ I/O

2.1.4 การจัดการหน่วยความจำ (Memory Management Unit : MMU)

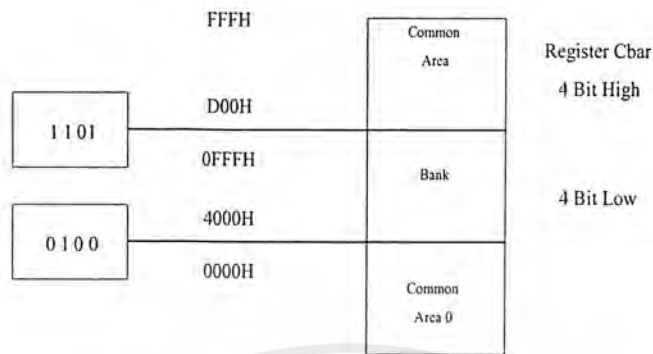
ใช้เป็นตัวยกความจำจาก 64 K (คือ แอสเซมบลีที่ใช้เช่นเดียวกับ Z80) เป็น 3 ส่วน ในการใช้งานด้วยกัน คือ Common Area 0, Bank Area และ Common Area 1 โดยการกำหนด โปรแกรมจัด Map Logical ในรีจิสเตอร์ I/O CRAR (แอดเดรส 3AH) ซึ่งใน รีจิสเตอร์นี้จะถูกแบ่ง เป็น 2 นิบเบิล คือ 4 บิตสูงและ 4 บิตต่ำ โดย 4 บิตสูงใช้โปรแกรมพื้นที่ของ Common Area 1 และ 4 บิตต่ำใช้โปรแกรมส่วน Bank Area ดังการ โปรแกรมรีจิสเตอร์ CBAR นี้ก็จะจัด Map ได้เป็น 2 คือ 4 รูปแบบ ดังรูปที่ 2.5



รูปที่ 2.5 การจัดหน่วยความจำ

จากรูปที่ 2.5 เป็นการโปรแกรมรีจิสเตอร์ CBAR ให้ MAP Logical เป็น Common Area 0 ตั้งแต่ แอดเดรส 0000H-3FFFH, Bank Area ตั้งแต่ 4000H-CFFFH และ Common Area ตั้งแต่ D000H-FFFFH ทั้งนี้เป็นไปตามค่าใน CBAR ทั้ง 2 นิบเบิล เพราะนิบเบิลสูงเป็นของ Area 1 ซึ่งคือ 0DH ก็คือ Area 1 เริ่มตั้งแต่ D000H-FFFFH และนิบเบิลต่ำจะเป็นจุดสิ้นสุดของ Bank Area ซึ่ง 04 ก็คือถัดจาก Area 1 เป็นต้นไปจนถึง 4000H เป็น Bank ที่เหลือจึงเป็น Area 0 นิ่งเอง

จากค่าที่โปรแกรมใน CBAR จึงทำให้โปรแกรม Common Area ทั้ง 2 และ Bank ได้ ตั้งแต่ 4 KByte ขึ้นไปเช่น ให้นิบเบิลสูงของ CBAR = 0FH ก็คือ Area 1 มีค่าตั้งแต่ F000-FFFFH (คือ 4 K อย่างต่ำนั่นเอง และจุดที่น่าสังเกตจากการจัด MAP ทั้ง 4 รูปแบบนั่นคือ Common 0 และ Bank ดังรูปที่ 2.6 สามารถมีตำแหน่งที่ทับซ้อนกันได้ (ตำแหน่งเดียวกัน) และ Common Area 1 กับ Bank ก็ สามารถโปรแกรมให้อยู่ที่ใดก็ได้ อย่างอิสระตั้งแต่ 4 KByte ขึ้นไปของส่วน Physical Address (1 MByte โดยใช้ร่วมกับรีจิสเตอร์อีก 2 ตัว) แต่ส่วน Common Area 0 แล้วจะเป็น Based หรือ มอนิเตอร์ของระบบนั่นเอง



รูปที่ 2.6 การ Map Logical ปรกติ

จากที่กล่าวมาเรายังไม่พูดถึงการขยายหน่วยความจำออกไปมากกว่า 64 K เพราะว่าการจะย้ายหน่วยความจำเกินกว่า 64 K นั้นจะต้องอ้างอิงส่วนของ Logical ด้วย เนื่องด้วยคำสั่งของ Z80 ไม่สามารถอ้างหน่วยความจำเกินนี้ได้ ดังนั้นอ้างอิงถึงหน่วยความจำทั้งหมดจึงเป็นส่วนของ Logical แต่ข้อมูลที่ถูกระทำจริงจะเป็นส่วนของ Physical เช่น ในคำสั่งอาจเป็นดังนี้

LD A, (8000H)

ซึ่งดูจากคำสั่งนี่จะเป็นการทำกับตำแหน่ง 8000 (สมมุติในส่วน Bank Area) แต่เราเขต Physical Area ไว้ที่ 1000H นั่นก็หมายความว่าการทำงานคำสั่งข้างบนนี้ข้อมูลจะถูกกระทำที่ แอดเดรส 1000H นั่นเอง

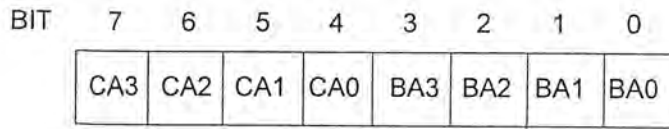
การคิด Physical Address

- 1) การจะกระทำในส่วนของ Bank และ Common Area 1 โดยผ่านทางรีจิสเตอร์ I/O CBR และ BBR คุณด้วย 100H แล้วนำค่าที่ได้บวกกับ Logical Address ของส่วนนั้นๆ (Bank หรือ Common Area)
- 2) การกระทำทั้งหมดเกิดขึ้นภายในซีพียูเอง ดังนั้นการอ้าง แอดเดรสใน โปรแกรมก็ยังเป็น 64 K คือตาม Logical ที่กำหนดใน CBar นั่นเอง

Register Control

รีจิสเตอร์คอนโทรลมีทั้งหมด 8 บิต แสดงดังรูปที่ 2.7

CBAR : Common Bank Area Register (I/O Address 3AH) ใช้กำหนดพื้นที่ของ Logical ที่เป็น Common Area 0 , Bank Area และ Common Area 1



รูปที่ 2.7 รีจิสเตอร์คอนโทรล

CA3-CA0 : เป็นตัวกำหนด แอดเดรส เริ่มต้นของ Common Area 1

BA3-BA0 : เป็นตัวกำหนดจุด แอดเดรส สุดท้ายของพื้นที่ Bank Area ที่ต่อมาจากจุดเริ่มต้นของ Common Area 1

CBR : Common Base Register (I/O Address 38H) เป็น Register I/O 8 บิตเพื่อใช้กำหนด Physical Common Area 1

BBR : Bank Base Register (I/O Address 39H) ใช้กำหนด Physical Bank Area

ตัวอย่าง กำหนดให้แอมอนิเตอร์ที่ 0000H-7FFFH และ RAM ใช้งานที่ 10000H โดยมีพื้นที่ Stack มีเนื้อที่ 4 K นอกนั้นเป็น Bank จากนั้นก็หาค่าให้กับ Bank และ Area 1 เช่น Map Logical กำหนดให้ดังนี้

หาค่าใส่กับ BBR และ CBR Stack ที่ 1800H (Physical) ที่ Logical เป็น F000 H ดังนั้นค่าที่ให้กับ CBR แสดงดังรูปที่ 2.8

| | |
|-------|---------|
| FFFFH | STACK |
| F000H | RAM |
| 8000H | USER |
| 7FFFH | MONITOR |
| 0000H | |

รูปที่ 2.8 ค่าภายในรีจิสเตอร์ CBR

จากที่เราทราบแล้วว่า ค่าใน CBR จะคูณด้วย 1000H ดังนั้นทางกลับกันเมื่อจะนำค่ามาให้กับ CBR ก็ต้องทำการหาค่าผลต่างนั้นด้วย 1000H ก็จะได้ค่า CBR =09 H ส่วน Ram User (Bank) ก็เช่นเดียวกัน ซึ่งการ โปรแกรมแสดงได้ดังรูปที่ 2.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10000

-8000

8000

ที่ BBR =08H

ดังนั้นจากโปรแกรมจากโจทย์ตัวอย่างก็จะเป็น

CBR= 0F8H, BBR =08H และ CBR =09H

เมื่อคำนวณกลับก็จะได้ CBR นิบเบิลต่ำ แอดเดรส สุดท้ายของ Bank เป็น

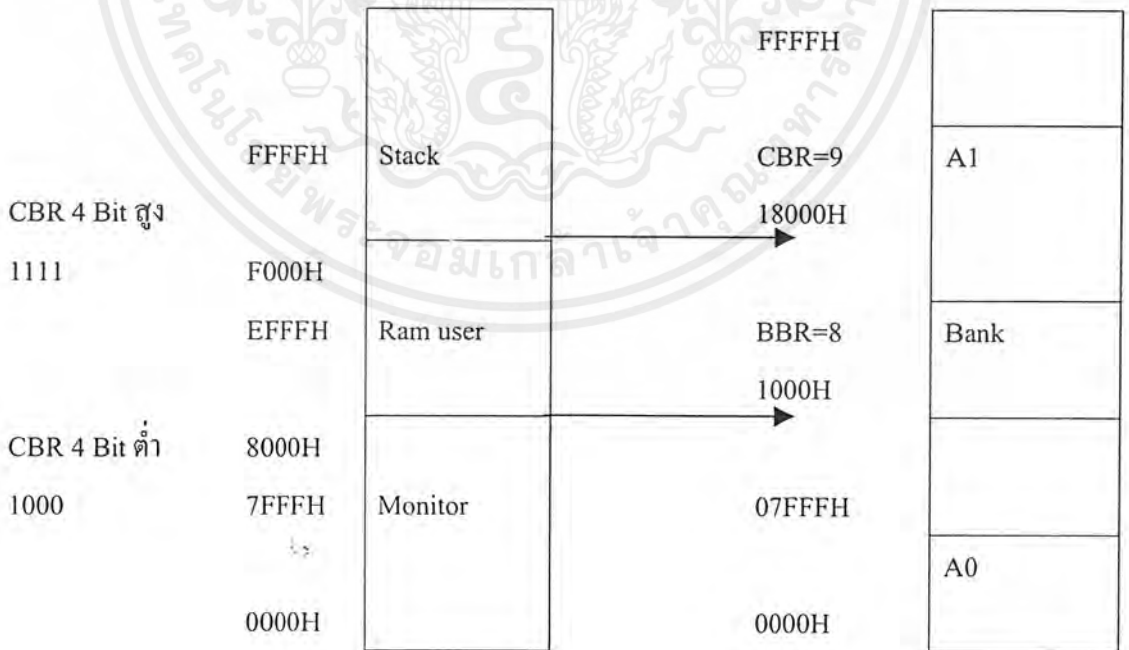
$$800+(BBR=(8)*100H) =10000H$$

CBR นิบเบิลสูง แอดเดรส เริ่มต้นของ Area 1 เป็น

$$0F000+(CBR=(9)*1000H) =18000H$$

```

การโปรแกรม LD A,0F8H
            OUTO (CBAR),A
            LD A,8
            OUTO (BBR ),A
            LD A,9
            OUTO (CBR),A
    
```



รูปที่ 2.9 การโปรแกรม CBR

2/4
4 3870
2543
9-1

ดังนั้นเราจากกล่าวได้ว่า Logical Address ส่วนมากจะถูกจัดตามที่แสดงในรูปที่ 2.10

| |
|-----------------|
| Common Area 1 |
| Stack |
| Bank Area |
| User Program |
| Common Area 0 |
| Monitor Program |

รูปที่ 2.10 การจัด Logical Address

โดยให้ส่วนของ Area 1 และมอนิเตอร์คั่งที่ส่วนของ Band ให้ย้ายไปที่ใดๆ ก็ได้ใน 1 Mbyte จะเห็นการขยายพื้นที่การใช้งาน โดยใช้เนื้อที่ของสแตคเป็นการกระทำกับตัวแปรหรือ ข้อมูลใน 64K อื่นๆ เมื่อเรามอง Logical 64K ออกเป็น Page ใน 1 Mbyte

แต่ข้อเสียในการจัดแบบนี้จะทำให้ Bank Area ได้ไม่เต็มที่ เช่น เราต้องการใช้แรมถึง 32 K เต็ม เช่น ให้ ROM Monitor อยู่ที่ 0000H-7FFFH และ RAM เริ่มตั้งแต่ 8000H-FFFFH ซึ่งจะเห็นว่า RAM ในส่วนนี้จะต้องเป็นสแตค ด้วยเมื่อเราชิด Bank ออกไปที่ Physical อื่นก็จะไม่สามารถใช้ได้ถึง 32K เช่นมี RAM ที่ตำแหน่ง 1800H-1FFFH อีกเราจะใช้ได้แค่ 24K เพราะเราจะอ้างที่ 0F000 แทนที่ข้อมูลจะถูกกระทำที่ 1F000H ก็จะมากกระทำที่ 0F000H แทนตามที่กำหนด Area 1 ไว้ใน Logical เราจึงแบ่ง Map เป็นลักษณะกว้างๆ ดังรูปที่ 2.11

| |
|--------------------------|
| User Program (Area 1) |
| System (Area 0) |

CBAR = 80H

รูปที่ 2.11 การ Map ใน Logical Address

โดยกำหนดให้ Area1 เป็นส่วน User Program ส่วนระบบเป็นของ Common Area 0 ดังนั้นเมื่อเราให้ Area 1 เริ่มที่ 8000H ก็จะใช้ RAM ได้ถึง 32K เต็ม ส่วน System ก็คือ ของ Area 0 ซึ่งจะเป็นส่วนมอนิเตอร์แต่ในส่วนนี้เราได้กำหนดไว้ถึง 32K คือ จาก 7FFFH ลงไปถึง 0000H ซึ่งในระบบเราอาจจะใส่ RAM ไว้ใน แอดเดรส ช่วงนี้เพื่อเป็นที่ของสแตคก็จะทำให้เราย้ายเนื้อที่ของการใช้งานได้เต็ม

สรุป

- 1) ระหว่างรีเซต Logical ใน CBAR จะถูกกำหนดด้วยค่า 0F0H
- 2) ให้กำหนด Map Address ของ Logical ก่อนที่ CBAR (3AH)
- 3) BBR และ CBR จะเป็นตัวกำหนดตำแหน่งของข้อมูลในการใช้งานจริงในพื้นที่ 1 Mbyte (Physical Address)
- 4) การคิดค่า Physical Address คือ นำค่าใน BBR หรือ CBR คูณด้วย 1000H แล้วบวกด้วย Logical ของพื้นที่นั้นๆ

ข้อสังเกต ในการจัดรูปแบบการ Set Map ทั้ง 4 อย่าง ที่กล่าวมาในตอนต้น เช่น ตอนรีเซต CBAR = F0 จึงเป็นดังรูป

ถ้าระบบของเรามีมอนิเตอร์ที่ 0-7FFFH RAM ที่ 8000-FFFFH โดยมี Stack ที่ FE00H ถ้าไม่มีการเข้าไป คอนโทรล รีจิสเตอร์ ของ MMU ทั้ง 3 ตัวนี้ระบบของเราก็ยังทำงานได้อยู่ แต่ถ้าเกิดเราโปรแกรมให้ BBR = 10H ตอนนี้ระบบจะทำงานไม่ได้ทำไมจึงเป็นเช่นนั้น คำตอบแสดงดังรูปที่

2.12

| | |
|-------|--------|
| FFFFH | Area 1 |
| F000H | BANK |
| 0000H | |

รูปที่ 2.12 เมื่อ BBR = 10H

เราไม่ได้โปรแกรม Logical ให้มี Area 0 แต่ที่ตอนแรกใช้งานได้เพราะ Bank Area ทับซ้อน Common area 0 อยู่ แต่เมื่อโปรแกรม BBR = 10H แล้ว Bank Area เลยกลายเป็น 10000H จึงทำให้ Common Area 0 ไม่มีจึงทำให้ระบบทำงานไม่ได้

2.1.5. การอินเทอร์รัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีด้วยกัน 12 อินเทอร์รัพต์แบ่งเป็น อินเทอร์รัพต์ภายนอก และ 8 อินเทอร์รัพต์ภายใน โดยมีลำดับความสำคัญจากมากไปหาน้อย ดังนี้ Trap (ภายใน) Timer 0, Timer 1, DMA Channel 0, DMA Channel 1, Clock Serial, ASCI Channel 0 และ ASCI Channel 1

รีจิสเตอร์และ Flag ที่ใช้ควบคุมการอินเทอร์รัพต์

อินเทอร์รัพต์ Vector Low (IL), อินเทอร์รัพต์ Vector High (I), อินเทอร์รัพต์ Trap Control (ITC) และ Flag IEF1, IEF2 โดยที่ Flag IEF1 จะใช้ในการ Enable อินเทอร์รัพต์ภายในทั้งหมด ยกเว้น Trap

อินเทอร์รัพต์ Vector Low Register (IL I/O Address 33H)

ใช้เป็น Vector Table Byte ค่าของอินเทอร์รัพต์ภายนอก INT1, INT2 และอินเทอร์รัพต์ภายในทั้งหมดยกเว้น "Trap" โดย 3 บิตสูงของ IL สามารถโปรแกรมได้ แต่ 5 Bit หลังจะถูก FIX ดังตารางที่ 2.3

ดังนั้นการอินเทอร์รัพต์ส่วนใหญ่จะเป็น Mode 2 คือนำค่าใน I และ IL หรือจากอุปกรณ์ที่ขออินเทอร์รัพต์ในกรณี INTO มาประกอบกันเป็น แอดเดรส ที่จะเก็บข้อมูลที่จะกระโดดไปเช่น I = 10H และ IL = 40H และในแอดเดรส 1040H มีข้อมูล 00H, 60H ตามลำดับ

ตารางที่ 2.3 สภาวะการอินเทอร์รัพต์

| Interrupt | Priority | IL | | | Fixed Code | | | | |
|----------------|------------------------|----|----|----|------------|----|----|----|----|
| | | b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 |
| INT 1 | Highest ↓ Lowest | * | * | * | 0 | 0 | 0 | 0 | 0 |
| INT 2 | | * | * | * | 0 | 0 | 0 | 1 | 0 |
| PRT channel 0 | | * | * | * | 0 | 0 | 1 | 0 | 0 |
| PRT channel 1 | | * | * | * | 0 | 0 | 1 | 1 | 0 |
| DMA channel 0 | | * | * | * | 0 | 1 | 0 | 0 | 0 |
| DMA channel 1 | | * | * | * | 0 | 1 | 0 | 1 | 0 |
| CSI/O | | * | * | * | 0 | 1 | 1 | 0 | 0 |
| ASCI channel 0 | | * | * | * | 0 | 1 | 1 | 1 | 0 |
| ASCI channel 1 | | * | * | * | 1 | 0 | 0 | 0 | 0 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INT/TRAP Control Register (ITC Address I/O 34H)

| BIT | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|------|-----|---|---|---|------|------|------|
| | TRAP | UFO | | | | ITE2 | ITE1 | ITE0 |

รูปที่ 2.13 INT/TRAP Control Register

คอนโทรลเลอร์มีรีจิสเตอร์ในผังแสดงรูปที่ 2.13

ITE2, 1, 0: อินเตอร์รัพท์ Enable 2, 1, 0 ใช้ Enable และ Disable อินเตอร์รัพท์ภายนอก ถ้าเป็น 0 จะ Disable แต่บิตนี้จะไม่ทำให้เกิดอินเตอร์รัพท์ขึ้นทันทีจนกว่าจะทำคำสั่ง EI ดังนั้น INTO จะต่างกับ Z80 ตรงที่มีส่วนนี้ แต่เมื่อเกิดรีเซต ITE0 จะถูกรีเซตเป็น 1 โดยอัตโนมัติเพื่อให้ขึ้นกับคำสั่ง EI หรือ DI อย่างเดียว เช่น Z80 แต่ ITE1 และ ITE2 จะเป็น 0

TRAP: จะเป็น 1 เมื่อทำคำสั่งที่ไม่มีใน Z80180 TRAP สามารถรีเซตภายใต้โปรแกรมควบคุมได้ แต่ไม่สามารถเขียน 1 เข้าไปไคระหว่างรีเซตจะถูกเคลียร์

UFO: Unfind Fetch Object เมื่อ TRAP เกิดขึ้น UFO จะให้ค่าของ ตำแหน่งที่ผิดในคำสั่งนั้นไว้ในสแตคเนื่องจาก TRAP อาจเกิดขึ้นจาก Opcode 2 หรือ 3 Byte UFO จะปรับค่า PC ให้ คือ ถ้าเป็นคำสั่ง Opcode 2 Byte UFO จะเป็น 0 และจะทำให้ PC ของคำสั่งถัดไป จากคำสั่งที่ไม่ใช่ของ Z80180 ถูกลดลง 1 แต่ถ้า UFO = 1 คำสั่งที่ผิดจะมี Opcode 3 Byte และ PC จะถูกลดลง 2 ตำแหน่ง และค่า PC นี้จะถูกกักเก็บไว้ในสแตค เช่น

2000H ED 99

2000H PC ที่คำสั่งถัดไป

เมื่อ CPU ทำงานมาพบข้อมูลที่ตำแหน่ง 2000H ก็จะเกิดอินเตอร์รัพท์ TRAP ขึ้น และรู้ด้วยว่าเป็นคำสั่ง 2 Byte และ PC ก็ชี้คำสั่งถัดไปคือ แอดเดรส 2002H แต่แฟล็ก UFO จะถูกทำให้เป็น 0 เพื่อปรับค่า PC นั้นด้วยการลดลง 1 เช่น แอดเดรส 2001H ซึ่งก็คือตำแหน่งข้อมูลที่ผิดนั่นเอง

TRAP Interrupt: เป็นเหมือน NMI คือ ไม่สามารถหยุดได้เมื่อเกิดกระทำคำสั่งผิดขึ้นซึ่งเป็นตัวช่วยให้เกิดความน่าเชื่อถือทางด้านซอฟต์แวร์และอาจใช้เพิ่มคำสั่งได้อีกด้วยบิต TRAP ใน ITC จะถูกเซตเป็น 1 และ UFO จะเซตหรือไม่เซตขึ้นอยู่กับว่าเป็นคำสั่ง 2 หรือ 3 ไบท์ และ Flag UFO นี้ก็จะไปปรับ PC ให้ถูกต้อง และเก็บไว้ในสแตคแล้วกระโดดไป RUN ที่ แอดเดรส 0000H

2.1.6 คำสั่งเพิ่มเติม 12 คำสั่ง

SLP : เมื่อใช้คำสั่งนี้ CPU จะหยุดทำงานบางอย่างทำให้ใช้กำลังงานต่ำ

MLT : Multiply ใช้สำหรับคูณเลข 8 บิต 2 จำนวน โดยผลลัพธ์จะเป็น 16 บิต โดยรีจิสเตอร์ที่ใช้ในการคูณอาจเป็น BC, DE, HL หรือ SP โดยผลลัพธ์จะได้ที่รีจิสเตอร์คู่หนึ่ง OTIM, OTIMR, OTDM – BLOCK I/O : เป็นคำสั่ง Out พอร์ตเป็นบล็อกของพอร์ตแอดเดรสค่า A0-A7 เท่านั้น คือ จะทำการเอาต์ข้อมูลเป็นบล็อกโดยที่พอร์ตเพิ่มหรือลดตามจำนวนข้อมูล โดยใช้ HL ที่ชี้ขึ้นเป็นหนึ่งหรือลดลง 1 ตามด้วยพอร์ตเพิ่มขึ้นหรือลดลงด้วยค่า B จะลดลง 1 ซึ่ง B จะเป็น เคาร์เตอร์ ในการส่งข้อมูล ส่วน OTIMR และ OTDMR จะเป็นลักษณะเช่นเดียวกับ OTIM และ OTDM เพียงแต่จะทำการส่งข้อมูลเพิ่มขึ้นหรือลงและพอร์ตนับเบอร์เพิ่มขึ้นหรือลดลงตามค่า B จนกระทั่ง B = 0

TSTIO m ใช้สำหรับ Test I/O พอร์ต คือจะทำการอ่านพอร์ตที่กำหนดโดยรีจิสเตอร์ C เข้ามาแล้วทำการ End กับข้อมูล 8 บิตที่ต้องการ โดยที่ค่าข้อมูลอื่นเข้ามานั้นไม่เปลี่ยนแปลง แต่จะให้ผลที่แฟล็กและพอร์ตที่ In เข้ามาจะเป็นเฉพาะแอดเดรส ค่า A0-A7 เท่านั้นสามารถเปรียบเทียบกับโปรแกรมได้ดังนี้ :

| | |
|---------------|----------------------|
| XOR A | LD C, นับเบอร์ พอร์ต |
| IN A, (พอร์ต) | TSTIO 70H |
| LD B, A | JP Z, OK |
| LD A, 70H | |
| AND B | |
| JP Z, OK | |

TST g – Test Register โดยค่าที่กำหนดในรีจิสเตอร์จะ AND กับ Accumulator ซึ่งจะทำให้มีผลต่อแฟล็กตามคำสั่ง AND แต่ค่าใน Accumulator และรีจิสเตอร์ ไม่เปลี่ยนแปลง ดังตัวอย่าง

| | |
|----------|----------|
| LD A, 7 | LD A, 7 |
| LD C, A | TST B |
| AND B | JR Z, OK |
| LD A, C | |
| JP Z, OK | |

TST m – Test Immediate เช่นเดียวกับรีจิสเตอร์เพียงแต่ข้อมูลเป็น Data โดยตรงที่ AND กับ Accumulator

TST (HL) – Test Memory คือ จะนำค่าใน หน่วยความจำ ที่ถูกชี้โดย HL AND กับ Accumulator โดยค่าทั้ง 2 ไม่เปลี่ยนแปลงแต่ให้ผลการกระทำที่ Flag

OUTO (m), g – Output, Immediate I/O Out ค่าจากรีจิสเตอร์ใดๆ ไปยังพอร์ต 8 บิต (A0-A7) รีจิสเตอร์ ก็มี A, BC, DE, HL

2.2 คุณสมบัติ 8255

คุณสมบัติของ พอร์ต

เมื่อเป็น เอาต์พุต ข้อมูลในตัวมันจะต้องรักษาอยู่ได้ (Latch ถึงแม้ข้อมูลบนคาตาบัสจะเปลี่ยนแปลงไปจะเปลี่ยนก็ต่อเมื่อซีพียูส่งข้อมูลมาให้)

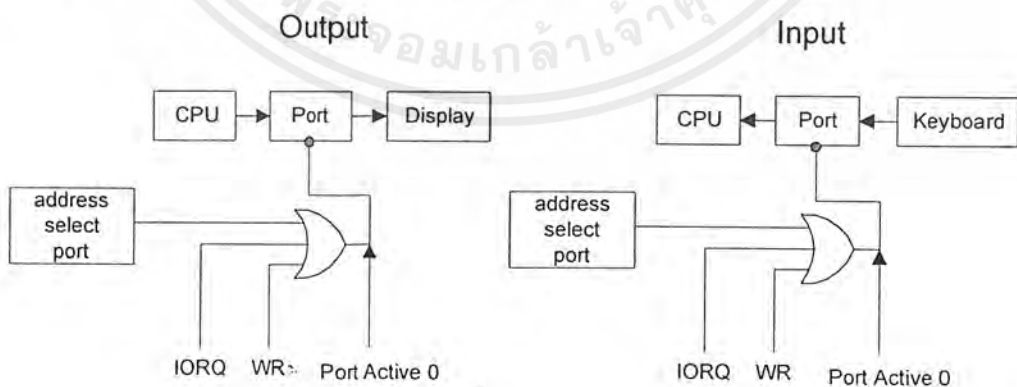
เมื่อเป็น อินพุต จะรับข้อมูลจากอุปกรณ์ภายนอกโดยตัวมันจะต่อกับคาตาบัสและซีพียู และจะเป็น TRI-State คือ จะไม่ส่งสัญญาณหรือข้อมูลใดๆ เข้าไปยังคาตาบัสจนกว่าซีพียูมีความต้องการจะติดต่อด้วย

การต่อพอร์ตสัญญาณ

โดยคาตาบัสจะเป็นการติดต่อข้อมูลระหว่างซีพียูกับอุปกรณ์ภายนอก

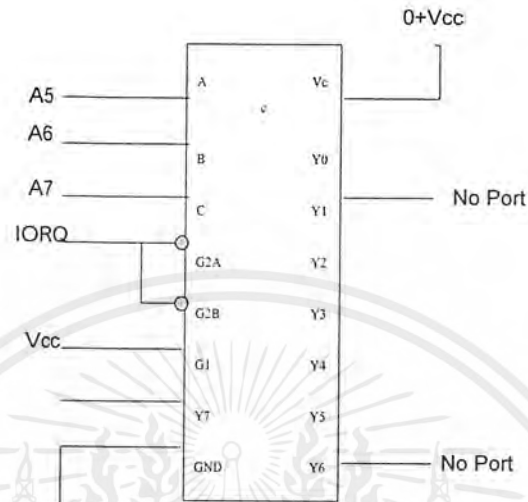
แอดเดรสบััสจะใช้กำหนดตำแหน่งของพอร์ตซึ่งบน Z80 จะใช้สายแอดเดรสได้จาก A0-A7 ในการติดต่อพอร์ตจึงทำให้มีพอร์ตได้ถึง 256 พอร์ต

คอนโทรลบััส ใช้ในการแยกว่าตอนนี้ทำการติดต่อพอร์ตหรือเมมโมรี่จะให้อ่านหรือเขียนพอร์ต นั่นก็คือ IORQ, RD และ WR แสดงดังรูปที่ 2.14



รูปที่ 2.14 การต่อ พอร์ต 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 การ Decode พอร์ต 8255 ที่ว่าง

ใช้สาย แอดเดรส ที่ต่อ Decode มีค่าต่ำสุดก่อนคือ ให้เป็น 0 ทุก Bit จากนั้นที่ไม่ได้ต่อ A4-A0 ก็ให้มีค่าต่ำสุดเช่นเดียวกันทำให้รู้ว่าจุดแรกที่ Decode คือพอร์ตเบอร์อะไรในที่นี้คือ 00 จากนั้นได้ Bit ที่ไม่ได้ต่อเป็น 1 ทุกบิตก็ทำให้รู้ว่า 1 จุด Decode อย่างไรพอร์ตครอบคลุมถึงไหน ดังนั้นที่จุดแรก Y0 เป็นเบอร์ 00-1F จากนั้นถ้า A5 เปลี่ยนจาก 0 เป็น 1 ก็คิดเช่นเดียวกันคือ เริ่มสายแรกแอดเดรสที่ไม่ได้ต่อเป็น 0 หมด จากนั้นก็ให้เป็น 1 หมด ก็จะได้ว่า Y1 มีเบอร์พอร์ต เป็น 20-3FH

8255 เป็นไอซีพอร์ตที่สามารถโปรแกรมการทำงานได้ซึ่งถูกสร้างขึ้นมาใช้กับ 8080 แต่ก็สามารถนำมาใช้กับ Z-80 ได้อย่างง่ายดาย จะเห็นว่า IC มีอยู่ 3 พอร์ตที่ใช้งานคือ พอร์ต A, พอร์ต B, และพอร์ต C โดยที่ พอร์ต C นั้นสามารถแบ่งกลุ่มออกเป็น พอร์ต ละ 4 บิตจึงทำให้มี พอร์ต C บน และ พอร์ต C ล่าง การต่อใช้งานจะมีขาที่เป็น อินพุต ให้กับตัวไอซีก็มี

D0-D7 ต่อเข้ากับขาต่าบัสของซีพียูเพื่อใช้สำหรับส่งข้อมูลระหว่างพอร์ตกับซีพียู ซึ่งแสดงการ Decode ได้ดังรูปที่ 2.15

| | | | |
|-----|----|----|-------|
| PA3 | 1 | 40 | PA4 |
| PA2 | 2 | 39 | PA5 |
| PA1 | 3 | 38 | PA6 |
| PA0 | 4 | 37 | PA7 |
| RD | 5 | 36 | WR |
| Cs | 6 | 35 | RESET |
| GND | 7 | 34 | D0 |
| A1 | 8 | 33 | D1 |
| A0 | 9 | 32 | D2 |
| PC7 | 10 | 31 | D3 |
| PC6 | 11 | 30 | D4 |
| PC5 | 12 | 29 | D5 |
| PC4 | 13 | 28 | D6 |
| PC0 | 14 | 27 | D7 |
| PC1 | 15 | 26 | Vcc |
| PC2 | 16 | 25 | PB7 |
| PC3 | 17 | 24 | PB6 |
| PB0 | 18 | 23 | PB5 |
| PB1 | 19 | 22 | PB4 |
| PB2 | 20 | 21 | PB3 |

รูปที่ 2.16 ขาต่างๆ ของ 8255

ไอซีเบอร์ 8255 มีขาทั้งหมด 40 ขา ซึ่งมีหน้าที่การทำงานต่างกัน ดังรูปที่ 2.16

A0-A1 ขา แอดเดรส ซึ่งเป็นตัวสำคัญในการกำหนดพอร์ต ว่าเรียกพอร์ตอะไรเป็น พอร์ต A B และ C จากที่กล่าวมาแล้วสถานะที่เราคิดมีเพียงออนกับออฟดั่งนั้น IC ตัวนี้จึงมีเบอร์พอร์ตในตัวมัน 4 พอร์ต เพราะมีสามแอดเดรส 2 เส้น $= 2^2$ และเราได้กล่าวมาแล้ว 3 พอร์ต ดั่งนั้นจึงเหลืออีกพอร์ต หนึ่งซึ่ง พอร์ตตัวนี้จะเป็นตัวที่สำคัญที่สุดในการทำงานของไอซีตัวนี้ ซึ่งก่อนจะให้ไอซีตัวนี้มีหน้าที่อะไรนั้นจะต้องทำการส่งหน้าที่ของไอซีให้กับพอร์ตนี้เสียก่อนเรียก พอร์ตนี้ว่าคอนโทรลพอร์ต ซึ่งจะมีการเรียงลำดับดังนี้

ดั่งนั้นเวลาเรียกเรียกพอร์ตซึ่งใน 1 คำสั่งนั้นจะต้องเรียกเบอร์พอร์ตเป็น 8 บิต คือ เลข Hex 2 หลัก แต่ไอซีจะให้พอร์ตไหนทำงานจะมีความสำคัญแค่หลักหลัง คือ A1 กับ A0 ว่ามีค่าเป็นอะไร

CS- เป็นขาที่เลือกไอซีพอร์ต ให้ทำงานนี้จะต่อเข้ากับ IC ที่ Decode เบอร์พอร์ตไว้โดยการเรียกเบอร์พอร์ตนี้จะรวมเข้ากับแอดเดรส 2 เส้น ที่ต่อเข้ากับพอร์ตด้วยคือ A0 กับ A1 เพราะเวลาเรียกเบอร์พอร์ต ต้องใช้คำสั่งซึ่งเป็น 8 Bit ตาม CPU ดั่งนั้น 1 คำสั่งจึงรวมสายแอดเดรสค่า

RD- ใช้ขบวนการ อินพุต เมื่อ CS- และ RD- Active เป็น 0

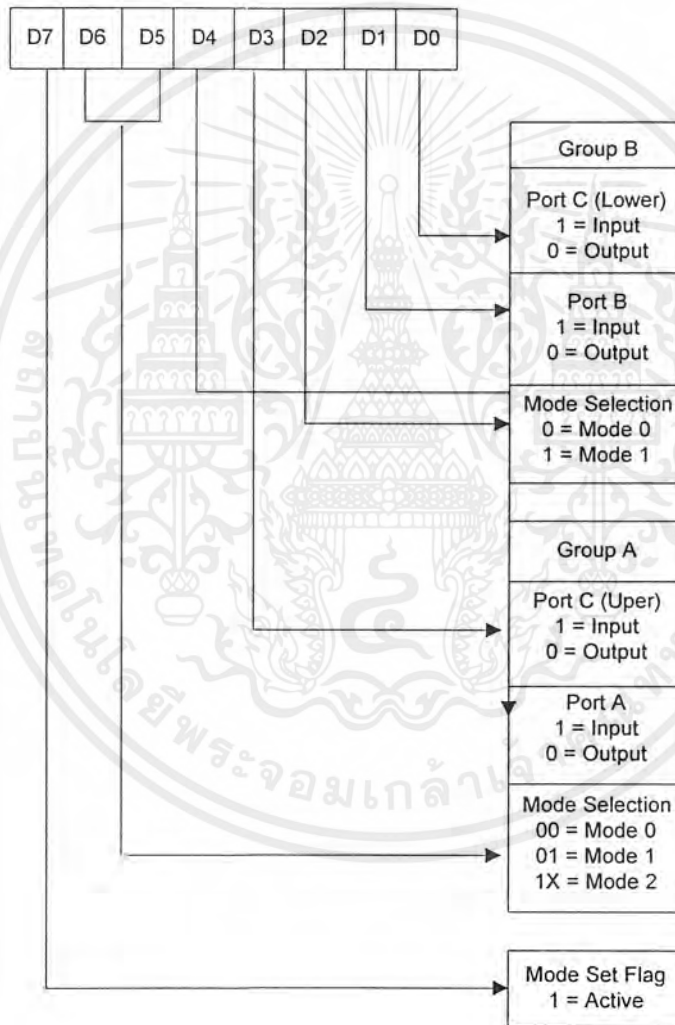
WR- ใช้ขบวนการ เอาต์พุตเมื่อ CS- และ WR- เป็น 0

RESET เป็น 1 ใช้ Clear สถานะต่างๆ ของ 8255

พอร์ต ที่ใช้สำหรับ Control

การใช้ 8255 จะต้องส่งรหัสควบคุม (Control Byte) เข้าไปยังพอร์ตข้อมูลควบคุม เพื่อควบคุมการทำงานของ 8255 ว่าจะให้ทำงานในโหมดไหนและให้แต่ละพอร์ตเป็นอินพุตหรือเอาต์พุตพอร์ต

ความหมายของบิตต่างๆ ของรหัสควบคุม (Control Byte) หรือรหัสสั่งงาน 8255 ในตอนเริ่มแรก ดังรูปที่ 2.17

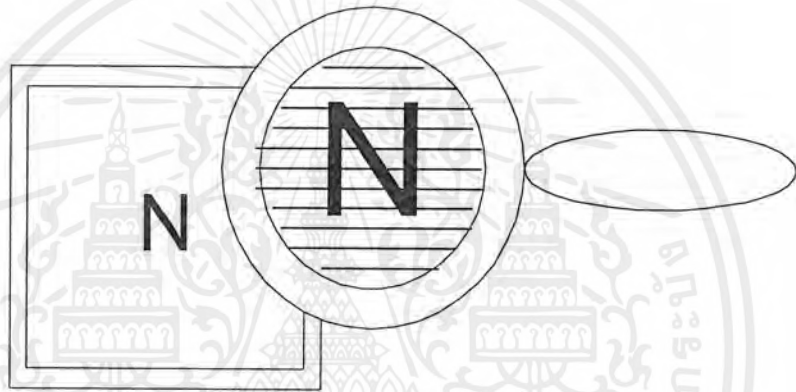


รูปที่ 2.17 ความหมายของบิตต่างๆ ของรหัสควบคุม

2.3. ทฤษฎีของโทรทัศน์เบื้องต้น

2.3.1 ส่วนประกอบของภาพ

ภาพที่ปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์นั้นประกอบด้วยเส้นขวางเล็กๆ จำนวนมาก ซึ่งแต่ละเส้นนี้มีหน้าที่คำสนธิ, ส่วนที่คำจาง และส่วนที่คำมารวมกันอยู่ เส้นขวางเล็กๆ ตามแนวนอนนี้เรียกว่า เส้นสแกน (line) ซึ่งประกอบส่วนที่เป็นจุดเล็กๆ ที่มีทั้งมืด และสว่างปะปนกันตามรูปที่ 2.18

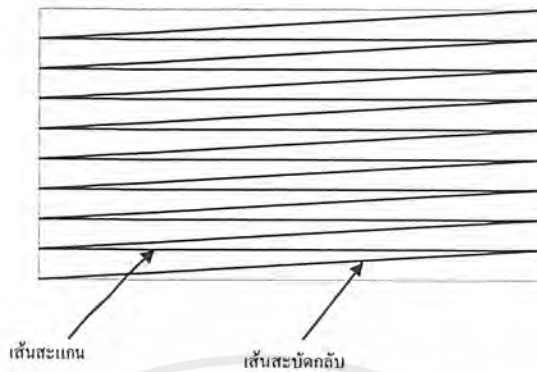


รูปที่ 2.18 ภาพบนจอเครื่องรับโทรทัศน์ ประกอบขึ้นด้วยเส้นสแกนตามแนวนอนเป็นจำนวนมาก

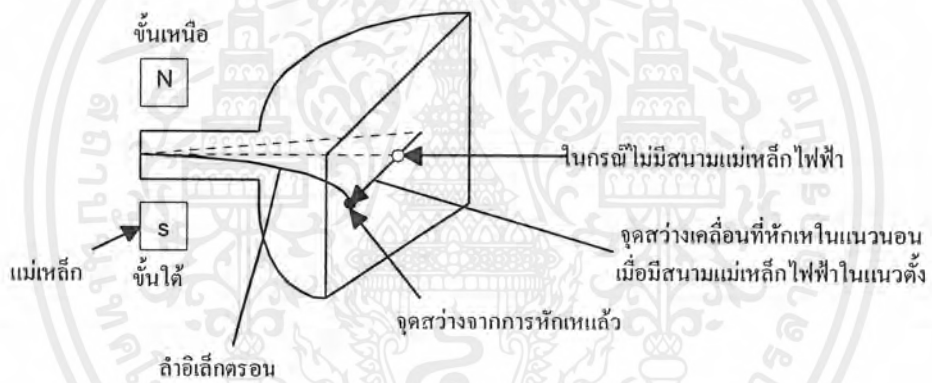
ดังนั้น ภาพที่ปรากฏบนจอภาพจึงประกอบขึ้นด้วยจุดเล็กๆ ที่มีระดับของความสว่างแตกต่างกันเป็นจำนวนมากมาย จุดเล็กๆ เหล่านี้เรียกว่า ส่วนประกอบของภาพ (Picture elements) ซึ่งมีความสัมพันธ์กับความละเอียดของภาพมาก หากจำนวนจุดเล็กๆ หรือจำนวนเส้นสแกนในแนวนอนมีมากยิ่งขึ้นเพียงไร ภาพที่เห็นบนจอภาพจะมีความละเอียดมากขึ้นเท่านั้น

2.3.2 วิธีการสแกน และหักเหของลำอิเล็กตรอน

ภายในหลอดภาพของเครื่องรับโทรทัศน์ อิเล็กตรอนที่หลุดออกจากขั้วแคโทดจะถูกดึงดูดให้วิ่งเป็นลำไปกระทบขั้วแอโนด หรือจอหลอดภาพที่ฉาบวัสดุเรืองแสงบางชนิดเอาไว้ทำให้เห็นเป็นจุดสว่างขึ้นที่จอภาพ คือทำให้จุดสว่างเคลื่อนในจุดที่ถูกต้อง ทั้งในแนวนอน และแนวตั้งของจอหลอดภาพ โดยอาศัยความเข้มของสนามแม่เหล็กไฟฟ้าเข้าช่วยเหลือ ดังแสดงในรูปที่ 2.19 และรูปที่ 2.20



รูปที่ 2.19 การเคลื่อนที่หักเหของลำอิเล็กตรอนในจังหวะที่ถูกต้อง



รูปที่ 2.20 การหักเหของลำอิเล็กตรอน โดยอาศัยสนามแม่เหล็กไฟฟ้าช่วยเหลือ

ดังนั้นการสแกนภาพนิ่ง จะประกอบด้วย การสแกนภาพนิ่งด้วยฟิลด์เส้นคี่และการสแกนภาพนิ่งด้วยเส้นฟิลด์คู่ ความถี่ของกระแสสำหรับหักเหทางแนวอน และการหักเหทางแนวตั้งทั้งสอง

2.3.3 เครื่องส่งและเครื่องรับโทรทัศน์

เครื่องส่งและเครื่องรับโทรทัศน์ต้องมีการสแกนทั้งทางแนวอนและแนวตั้งพร้อมกัน จึงจะมีภาพเกิดขึ้นที่เครื่องรับโทรทัศน์ แสดงลักษณะการสแกนดังรูปที่ 2.21 และรูปที่ 2.22 ดังนั้นความถี่ของวงจรของการหักเหทางแนวอน และแนวตั้งที่ใช้ในเครื่องส่งโทรทัศน์ และในเครื่องรับโทรทัศน์จะต้องเท่ากันตลอดเวลาจึงทำให้เกิดภาพที่เครื่องรับโทรทัศน์ ด้วยเหตุนี้ ต้องมีวิธีทำให้ความถี่ของวงจรดังกล่าวทางเครื่องส่งและเครื่องรับเท่ากันตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 สัญญาณต่าง ๆ ที่ส่ง

เพื่อให้เกิดผลตามความมุ่งหมาย สถานีโทรทัศน์ที่ส่งภาพขาวดำจำเป็นต้องส่งสัญญาณหลายอย่างคือ

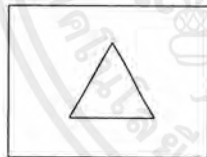
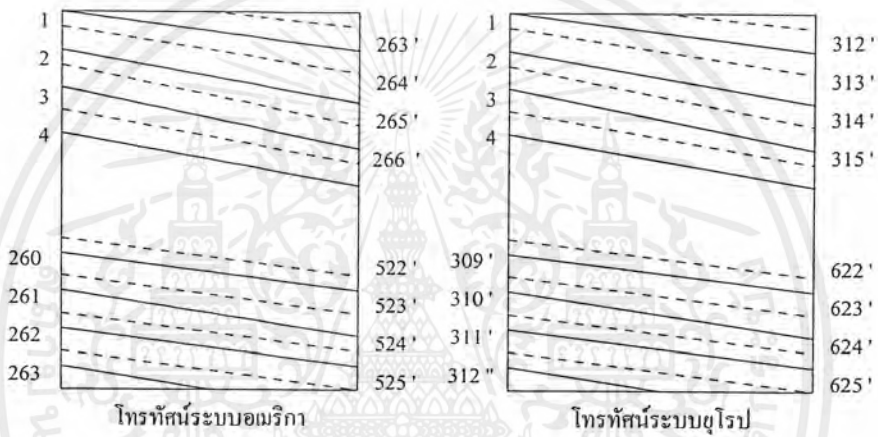
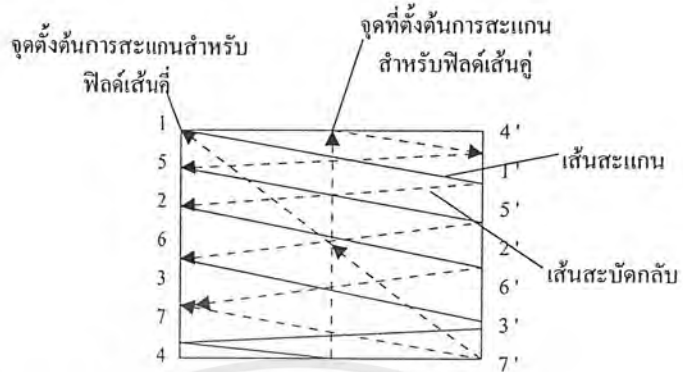
- สัญญาณเสียง
- สัญญาณภาพ
- สัญญาณแบล็งค์กิ้ง
- สัญญาณซิงค์
- สัญญาณอิควอไลซิง

สัญญาณเสียงมีคลื่นพาห้ (carrier wave) ของตัวเองโดยเฉพาะ ส่วนสัญญาณภาพและสัญญาณอื่น ๆ นั้นจะรวมเป็นรูปร่างอันเดียวกัน เรียกว่าสัญญาณภาพรวม (composite video signal) แล้วใช้คลื่นพาห้เป็นตัวพาออกอากาศรวมกับคลื่นพาห้ของเสียงส่งไปยังเครื่องรับโทรทัศน์ เหตุผลและความจำเป็นในการใช้สัญญาณต่างๆ ดังนี้

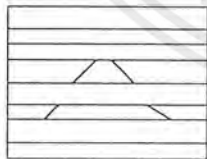
ก) สัญญาณภาพ และสัญญาณเสียง เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพและเสียงทางเครื่องรับโทรทัศน์ตามความต้องการ

ข) สัญญาณแบล็งค์กิ้ง เป็นสัญญาณที่ใช้เพื่อลบเส้นสแกนสะบัดกลับทั้งในแนวนอนและแนวตั้ง เพื่อมิให้สังเกตเห็นได้ชัดทางจอหลอดภาพ

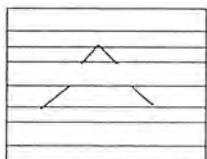
ค) สัญญาณซิงค์ เป็นสัญญาณที่ใช้เพื่อทำให้วงจรการหักเหทางแนวนอนและวงจรการหักเหทางแนวตั้งในเครื่องส่งและเครื่องรับโทรทัศน์มีความถี่ตรงกันตลอดเวลาสัญญาณซิงค์ทางแนวนอนมีความถี่ 15,750 Hz เท่ากับความถี่ของวงจรหักเหทางแนวนอนและสัญญาณซิงค์ทางแนวตั้งมีความถี่ประมาณ 50Hz ซึ่งเท่ากับความถี่ของวงจรหักเหทางแนวตั้งเช่นกัน เนื่องจากความถี่ของสัญญาณซิงค์มีค่าเท่ากับความถี่ของสัญญาณแบล็งค์กิ้งพอดี จึงจำเป็นต้องป้องกันการรบกวนที่เกิดขึ้น โดยจำเป็นต้องกำหนดขนาดของซิงค์พัลส์ ให้น้อยกว่าขนาดของแบล็งค์กิ้งพัลส์ คือทำให้ซิงค์พัลส์ทางด้านแนวนอนมีขนาดเพียง 5 μ S และซิงค์พัลส์ทางด้านแนวตั้งมีขนาดเพียง 190 μ S เท่านั้น นอกจากนี้ ยังวิธีส่งพัลส์เหล่านี้ปนกับแบล็งค์กิ้งพัลส์อีกด้วย โดยให้ฐานของซิงค์พัลส์ทับอยู่ขอบบนของแบล็งค์กิ้งพัลส์อีกชั้นหนึ่ง ดังนั้นเมื่อจัดเขตความต่างศักย์ให้ระดับสูงสุดของแบล็งค์กิ้งพัลส์ที่อยู่บนยอดสุดของแบล็งค์กิ้งพัลส์ก็จะเป็นระดับดำมืดสนิท และไม่ทำให้เกิดการรบกวนภาพที่จอภาพแต่อย่างใด



รูปหรือภาพที่มองเห็นในหนึ่งเฟรม



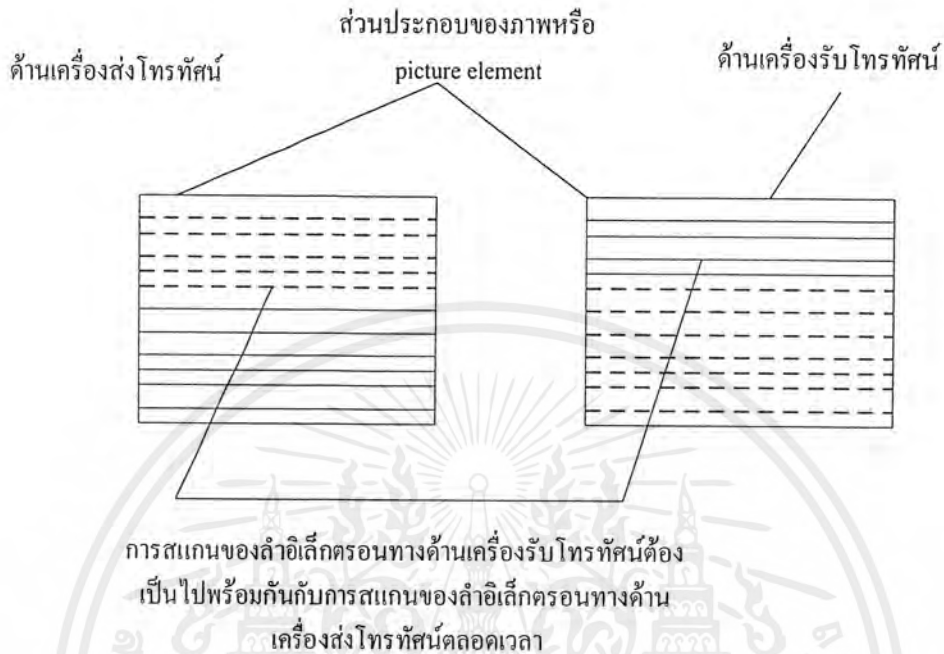
การสะแกนครั้งที่หนึ่งเห็นการสะแกนสำหรับฟิวด์คู่



การสะแกนครั้งที่สองเห็นการสะแกนสำหรับฟิวด์คู่

รูปที่ 2.21 การสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่งหนึ่งเฟรมออกเป็นสองฟิวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

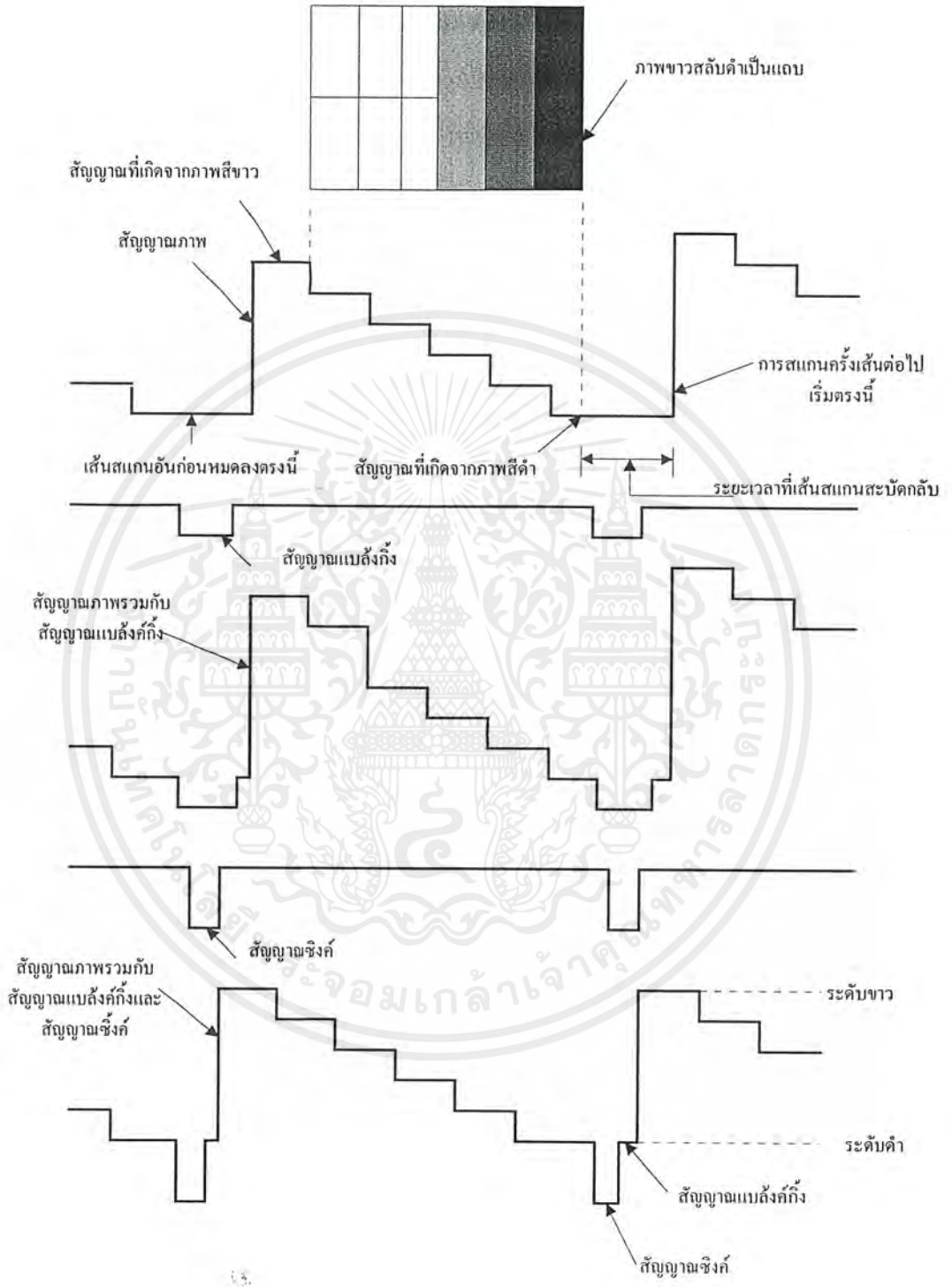


รูปที่ 2.22 ความถี่ของกระแสรูปพื้นเลื่อยในวงจรการหักเหทางแนวนอน และวงจรการหักเหทางแนวตั้งทางด้านเครื่องส่งและเครื่องรับ โทรทัศน์

ง) สัญญาณอ็ควอลไลซิง เป็นสัญญาณที่ใช้เพื่อช่วยให้สัญญาณซิงค์ทางแนวตั้งยังคงมีรูปร่างดีเหมือนเดิม หลังจากแยกออกจากสัญญาณซิงค์ทางแนวนอนแล้ว นอกจากนี้ยังช่วยทำให้การสแกนแบบไขว้กันเป็นไปด้วยความเรียบร้อยสม่ำเสมอ รวมทั้งสัญญาณซิงค์ทางแนวนอนก็ไม่ขาดหายไปในช่วงเวลาของสัญญาณซิงค์ทางแนวตั้งอีกด้วย ขนาดของพัลส์ที่กล่าวถึงนี้ จะเท่ากับสัญญาณซิงค์ทางแนวตั้ง หรือ $190 \mu\text{s}$ หรือประมาณ 3 เท่าของขนาดสัญญาณซิงค์ทางแนวนอน และยังมีนิยามแบ่งพัลส์นี้ออกเป็น 6 พัลส์

ซึ่งลักษณะของรูปสัญญาณต่างๆ แสดงดังรูปที่ 2.23

๕๖



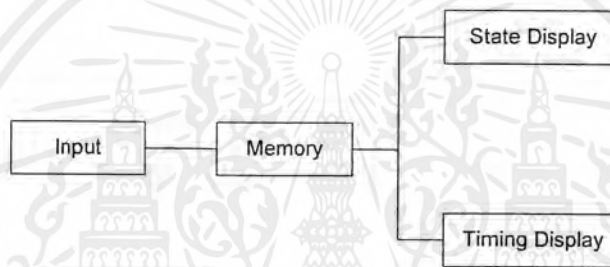
รูปที่ 2.23 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ทฤษฎีและหลักการการทำงานของเครื่องลอจิกอนาลายเซอร์

2.4.1. ลักษณะการทำงานทั่วไปของลอจิกอนาลายเซอร์

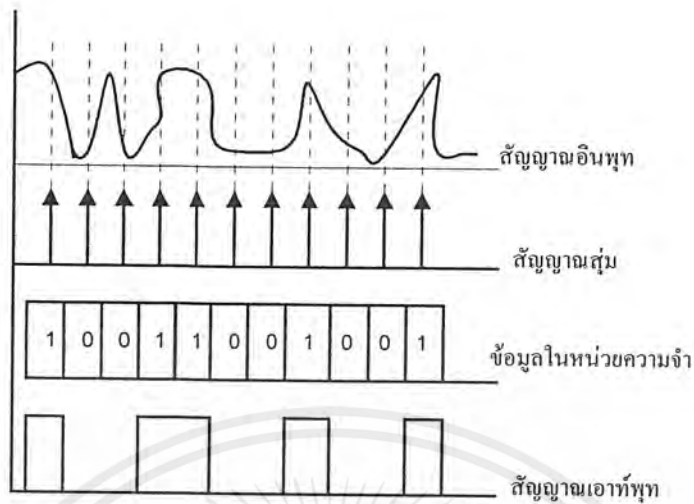
จากรูปที่ 2.24 แสดงให้เห็นถึงการทำงานของลอจิกอนาลายเซอร์ โดยสัญญาณอินพุตที่สุ่มเอาจากคัลล็อกภายในหรือภายนอกแล้วนำเอาข้อมูลไปเก็บไว้ในหน่วยความจำ จากนั้นนำข้อมูลในหน่วยความจำไปแสดงที่เอาต์พุต เช่น จอมอนิเตอร์ โดยอาจแสดงในรูปของ สเตตคิสเพลย์ หรือ ไทม์มิง คิสเพลย์ ซึ่งเครื่องนี้มีประโยชน์มากในการแก้ไข (Debug) ของ ไมโคร โปรเซสเซอร์



รูปที่ 2.24 หลักการทำงานของลอจิกอนาลายเซอร์

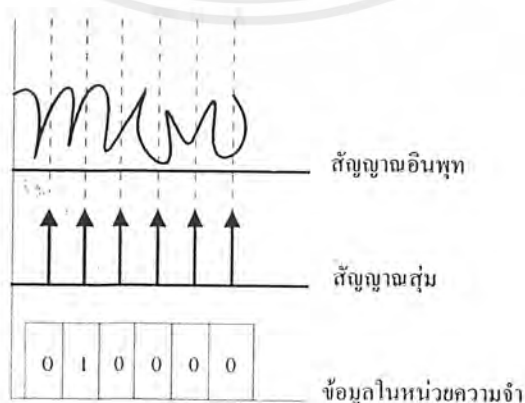
2.4.2. หลักการสุ่มสัญญาณ

การสุ่มสัญญาณหมายถึง การสุ่มสัญญาณเป็นช่วง (มีสัญญาณเป็นช่วงๆ มาทำการสุ่ม) จากรูปที่ 2.2 จะเห็นว่าสัญญาณการสุ่มจะเป็นพัลส์แคบ ๆ สัญญาณการสุ่มข้อมูลจะต้องเป็นสัญญาณคัลล็อก ที่มีความถี่มากกว่าสัญญาณที่เข้ามาทำการสุ่มอย่างน้อยสองเท่าหรือมากกว่า เพื่อจะทำให้สัญญาณการสุ่มมีประสิทธิภาพและมีความถูกต้องสูงสุด โดยในที่นี้เราจะทำการสุ่มสัญญาณไปไว้ในหน่วยความจำ โดยนำสัญญาณที่ได้เป็นช่วงๆ ไปเก็บไว้ในหน่วยความจำ จากนั้นจะนำข้อมูลจากหน่วยความจำไปทำการประมวลบนเครื่องคอมพิวเตอร์ จากนั้นจะแสดงผลออกมาในรูปไทม์มิง หรือเลขไบนารี ลักษณะการทำงานแสดงดังรูปที่ 2.25



รูปที่ 2.25 การสุ่มสัญญาณ

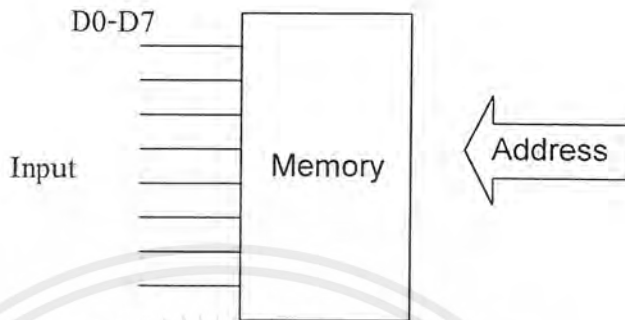
จากรูปที่ 2.14 ถ้าสัญญาณการสุ่มตรงกับสัญญาณอินพุตที่มีค่าแรงดัน 2-5 โวลต์ (TTL) จะมีสถานะเป็นลอจิก 1 ก็จะนำค่าลอจิก 1 ที่ได้ไปเก็บไว้ในหน่วยความจำและถ้าการสุ่มสัญญาณตรงกับสัญญาณอินพุตที่มีค่าแรงดัน 0-0.8 โวลต์ เป็นลอจิก 0 ก็จะนำค่าลอจิก 0 ที่ได้ไปเก็บไว้ในหน่วยความจำและทำการสุ่มไปเรื่อยๆ จนข้อมูลเต็มหน่วยความจำจากนั้นจะนำข้อมูลที่ได้ไปแสดงผลออกมาในรูปแบบของไทม์มิง หรือไบนารีก็ได้ จากรูปที่ 2.2 จะเห็นว่าสัญญาณเอาต์พุตที่ได้จะมีค่าความถูกต้องใกล้เคียงกับสัญญาณอินพุตมาก ก็คือสัญญาณในการสุ่มจะต้องมีค่ามากกว่าสัญญาณอินพุตที่เข้ามาอย่างน้อย 2 เท่าหรือมากกว่า ถ้าสัญญาณสุ่มมีค่าน้อยกว่า 2 เท่า ของความถี่อินพุตข้อมูลที่ได้จะมีความผิดพลาดสูงเห็นได้จากรูปที่ 2.26



รูปที่ 2.26 การสุ่มที่มีขนาดสัญญาณสุ่มน้อยกว่า 2 เท่าของสัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3. การสุ่มข้อมูลเข้าไปเก็บในหน่วยความจำ



รูปที่ 2.27 การสุ่มข้อมูลเข้าไปเก็บในหน่วยความจำ

ขั้นตอนในการสุ่มข้อมูล

1. จะต้องกำหนดแอดเดรสของหน่วยความจำ
2. เลือกขา CE ให้ทำงานตามลอจิกที่ระบุ CE เป็นสัญญาณบังคับให้หน่วยความจำอันนี้รับรู้สัญญาณควบคุมอื่นๆ ทั้งหมด หมายความว่าหน่วยความจำอันนี้ได้ถูกเลือกให้ทำงานและขาของ CE นี้ จะต้องต่อกับสัญญาณสุ่มเพื่อเลือกขิปให้เก็บข้อมูลเป็นช่วงๆ ไปจนกว่าข้อมูลจะเต็มหน่วยความจำแล้วทำการหยุดสุ่ม

3. เลือกขา R/W ให้ทำการเขียนข้อมูล

เมื่อกระทำการขั้นตอนทั้ง 3 ขั้นตอนข้อมูลจะถูกเข้าไปเก็บไว้ในหน่วยความจำตามแอดเดรส ที่เรากำหนดไว้ ถ้าต้องการอ่านข้อมูลก็จะมีลักษณะขั้นตอนเหมือนการเขียนข้อมูลเข้าไปเก็บในหน่วยความจำแต่เวลาอ่านจะเรียกว่า Read ลักษณะของการสุ่มข้อมูลดูรูปที่ 2.27

2.5 วงจรโมนอสเตเบิล

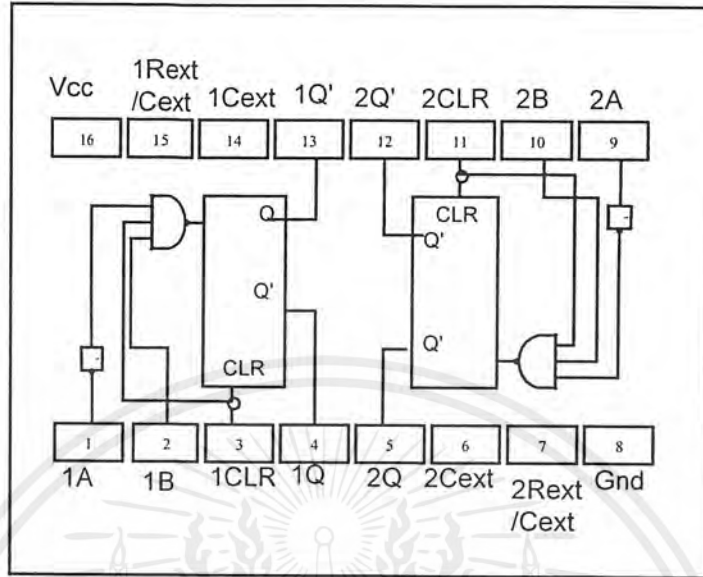
เนื่องจากการอ่านข้อมูลจากแรมไม่ซิงค์กันกับจอมอนิเตอร์ จึงจำเป็นต้องสร้างวงจรโมนอสเตเบิลขึ้นมาเพื่อจะทำให้ระบบซิงค์ จึงจะทำการอ่านข้อมูลจากแรมได้

การออกแบบจะใช้ ไอซีเบอร์ 74LS123 ซึ่งเป็นวงจรโมนอสเตเบิลที่สามารถจุดชนวนซ้ำได้ คือหลังจากจุดชนวนซ้ำเอาต์พุตของพัลส์จะเริ่มประวิงเวลาใหม่ โดยไม่สนใจว่าเอาต์พุตเดิมเวลาจะผ่านไปเท่าใด

จากตารางการทำงานของไอซี 74LS123 การจุดชนวนจะเกิดขึ้นเมื่ออินพุต A เป็นลอจิก 0

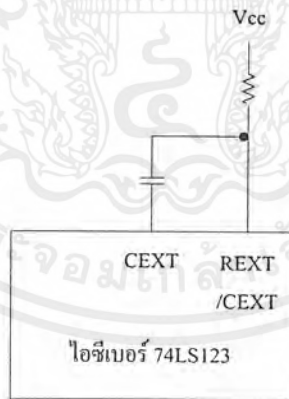
B, CLR เป็นลอจิก 1 แสดงลักษณะโครงสร้างของไอซีเบอร์ 74LS123 ดังรูปที่ 2.28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 โครงสร้างของไอซีเบอร์ 74LS123

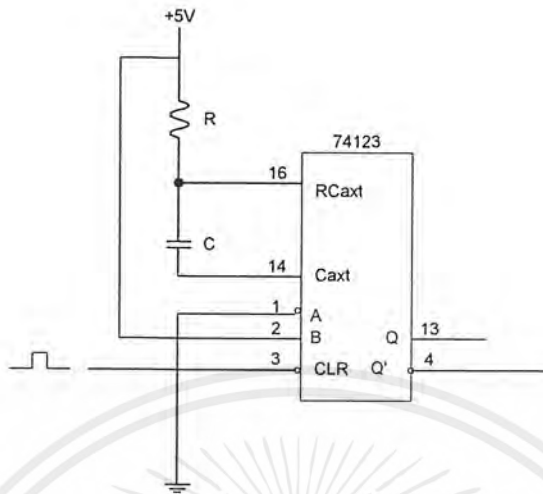
2.5.1 การออกแบบวงจรโมโนสเตเบิลโดยใช้ไอซีเบอร์ 74LS123



รูปที่ 2.29 การต่ออุปกรณ์ภายนอกของไอซี เบอร์ 74LS123

การออกแบบวงจรโมโนสเตเบิลโดยใช้ไอซีเบอร์ 74LS123 แสดงดังรูป 2.29 และการทำงานของวงจрдังรูปที่ 2.30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.30 การทำงานของวงจรโมโนสเตเบิล

2.6 มาตรฐานโทรทัศน์ขาวดำ

คณะกรรมการที่ปรึกษาทางวิทยุระหว่างประเทศ (CCIR หรือ International consultative Radio Committee) ได้จัดตั้งคณะกรรมการขึ้นเพื่อศึกษาเรื่องราวด้านเทคนิคของโทรทัศน์ขาวดำที่มีใช้กันอยู่ในประเทศต่างๆ คณะกรรมการชุดนี้ ได้เสนอรายงานความละเอียดใน CCIR รายงาน 308-1, Characteristics of Monochrome Television System ซึ่งเป็นเอกสารที่ใช้ในการประชุม CCIR Plenary Assembly ที่เมืองออสโล ในปี ค.ศ. 1966 เอกสารนี้ ได้รวบรวมมาตรฐานทางเทคนิคของโทรทัศน์ขาวดำที่ใช้ในประเทศต่างๆ ซึ่งมีอยู่หลายแบบหลายระบบ คือ แบบ 405 เส้น System A (ระบบของประเทศอังกฤษ ขณะนี้เลิกใช้แล้ว), แบบ 525 เส้น system M, แบบ 819 เส้น system E, แบบ 819 เส้น system F, แบบ 625 เส้น system N, B, C, G, H, I, D, K, KI, L สาเหตุที่โทรทัศน์ 625 เส้น มีอยู่หลายแบบหลายระบบ ก็เพราะความต้องการในเรื่องความกว้างของช่องโทรทัศน์ (nominal RF bandwidth) แตกต่างกัน ซึ่งมีความต้องการตั้งแต่ 6 เมกะเฮิร์ตซ์ ขึ้นไปจนถึง 8.5 เมกะเฮิร์ตซ์ โทรทัศน์ขาวดำ 625 เส้น ที่ใช้ในประเทศไทยปัจจุบันนี้ เป็นโทรทัศน์แบบ 625 เส้น system B ซึ่งมีความกว้างของช่องโทรทัศน์ 7 เมกะเฮิร์ตซ์ เช่นเดียวกับโทรทัศน์แบบ 625 เส้น ในประเทศส่วนใหญ่ของทวีปยุโรปเพื่อให้ความรู้เกี่ยวกับโทรทัศน์ในประเทศไทย ซึ่งครั้งหนึ่งเคยใช้โทรทัศน์ระบบอเมริกัน 525 เส้น system M และในปัจจุบันนี้ ได้เปลี่ยนมาใช้โทรทัศน์ระบบ ยุโรป 625 เส้น system B ต่อไปนี้จะพูดถึงแต่เฉพาะ โทรทัศน์ของสองระบบดังกล่าวแล้วเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| รายการด้านเทคนิค | มาตรฐานของโทรทัศน์ขาวดำ | |
|---|-------------------------|--------------|
| | 525 เส้น | 625 เส้น |
| | system M | system B |
| 1. จำนวนเส้นต่อภาพ (frame) | 525 | 625 |
| 2. ความถี่ของฟิลด์ (fields/second) | 60 | 50 |
| 3. ความถี่ของเฟรม (pictures/second) | 30 | 25 |
| 4. Interlace | 2 : 1 | 2 : 1 |
| 5. Line frequency (lines/second) | 15,750 | 15,625 +0.1% |
| 6. Aspect ratio (width/height) | 4 : 3 | 4 : 3 |
| 7. การสแกนที่ใช้งาน (เส้นสแกน) จากซ้ายไปขวา จากซ้ายไปขวา | | |
| 8. ขอบเขตความถี่สัญญาณภาพ (เมกะเฮิร์ตซ์) | 4.2 | 5 |
| 9. ขอบเขตความกว้างของช่องโทรทัศน์ (เมกะเฮิร์ตซ์) | 6 | 7 |
| 10. ระยะห่างระหว่างคลื่นพาห้ของเสียงกับคลื่นพาห้ของภาพ (เมกะเฮิร์ตซ์) | +4.5 | +5.5 |
| 11. ระยะห่างระหว่างคลื่นพาห้ของเสียง กับขอบริมใกล้สุดของช่องโทรทัศน์ (เมกะเฮิร์ตซ์) | -0.25 | -0.25 |
| 12. ความกว้างของ upper sideband (เมกะเฮิร์ตซ์) | 4. | 5 |
| 13. ความกว้างของ vertigal sideband (เมกะเฮิร์ตซ์) | 0.75 | 0.75 |
| 14. Type of vision modulation | A5C | A5C |
| Polarity of vision modulation | negative | negative |
| 15. ระดับสัญญาณซิงค์ เมื่อคิดเป็นร้อยละของระดับคลื่นยอดพาห้ (peak carrier) | 100 | 100 |
| 16. ระดับสัญญาณแบล็กคิง เมื่อคิดเป็นร้อยละของระดับยอดคลื่นพาห้ | 72.5-77.5 | 72.5-77.5 |
| 17. ความแตกต่างของระดับดำมืดกับระดับแบล็กคิงเมื่อคิดเป็นร้อยละของระดับยอดคลื่นพาห้ | 2.875-6.75 | 0-7 |
| 18. ระดับขาวสุดยอดเมื่อคิดเป็นร้อยละของระดับยอดคลื่นพาห้ | 10-15 | 10-12.5 |
| 19. Type of sound modulation | F3,+25 kHz | F3,+50 kHz |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อเป็นความรู้รอบตัว ประเทศที่ใช้โทรศัพท์มือถือระบบต่างๆ ตามรายงานของคณะทำงานชุดนี้มีดังนี้

โทรศัพท์มือถือ 405 เส้น system A มีประเทศอังกฤษ และ ไอร์แลนด์ ซึ่งขณะนี้ได้เลิกใช้แล้ว โดยหันมาใช้ระบบ 625 เส้น system B แทน

โทรศัพท์มือถือ 525 เส้น system M มีประเทศสหรัฐอเมริกา Saudi Arabia แคนาดา เกาหลีฟิลิปปินส์ ใต้หวัน ญี่ปุ่น เม็กซิโก ปานามา เวเนซุเอลา และอิหร่าน (ซึ่งเดี๋ยวนี้เลิกใช้แล้ว โดยหันมาใช้ระบบ 625 เส้น system B แทน)

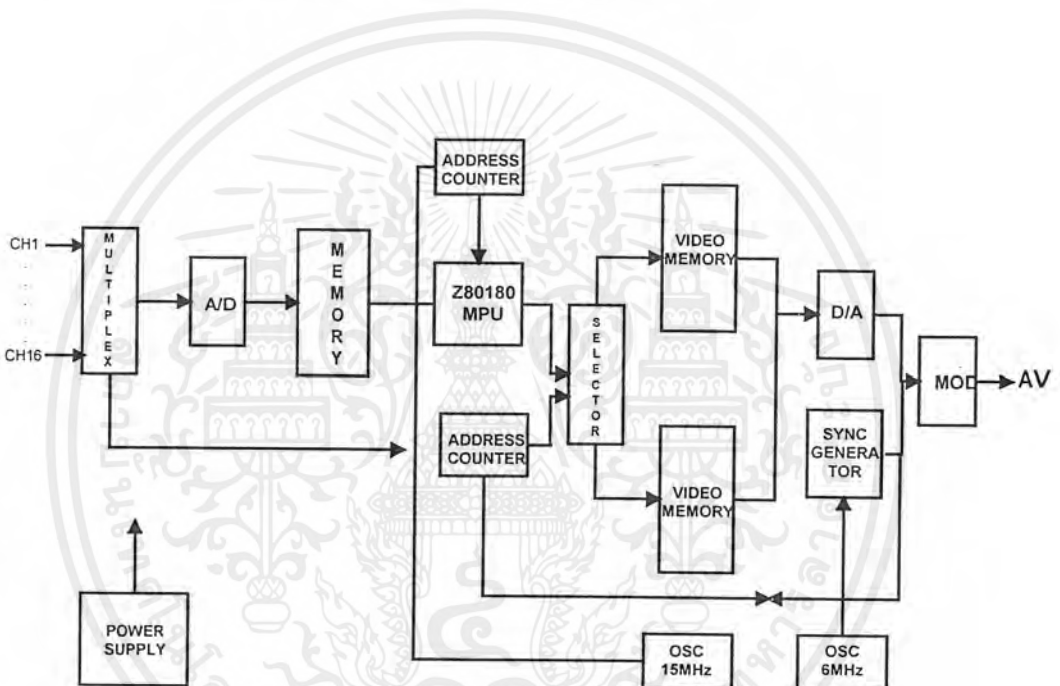
โทรศัพท์มือถือ 625 เส้น system N (bandwidth 6 Mhz) มีประเทศอาเณตินา อูรุกวัย

โทรศัพท์มือถือ 625 เส้น system B (bandwidth 7 Mhz) มีประเทศอังกฤษ ฟินแลนด์ กรีซ เดนมาร์ก สเปน ออสเตรีย เยอรมันตะวันตก สวีเดน

บทที่ 3

การออกแบบ การทำงาน และการสร้าง

ในบทที่ 2 หลังจากศึกษาทฤษฎีและหลักการ ที่จำเป็นในเครื่องลอจิกอนาไลเซอร์ แล้ว สามารถออกแบบผังการทำงานของเครื่องลอจิกอนาไลเซอร์ ดังรูปที่ 3.1



รูป 3.1 ผังการทำงานของเครื่องลอจิกอนาไลเซอร์

3.1 การออกแบบวงจร

จากรูป 3.1 แสดงผังการทำงานของเครื่องลอจิกอนาไลเซอร์ ได้แยกออกเป็นโครงสร้างในแต่ละส่วน แล้วนำไปประกอบเป็นวงจรได้ดังนี้

1. วงจรมัลติมิเพล็กซ์สัญญาณ
2. วงจรสุ่มสัญญาณและเก็บข้อมูล
3. วงจรสร้างแอดเดรสสำหรับเก็บข้อมูลแซมปลิง
4. วงจรสร้างแอดเดรสสำหรับเก็บข้อมูลวีดีโอแรม
5. วงจร MPU port control

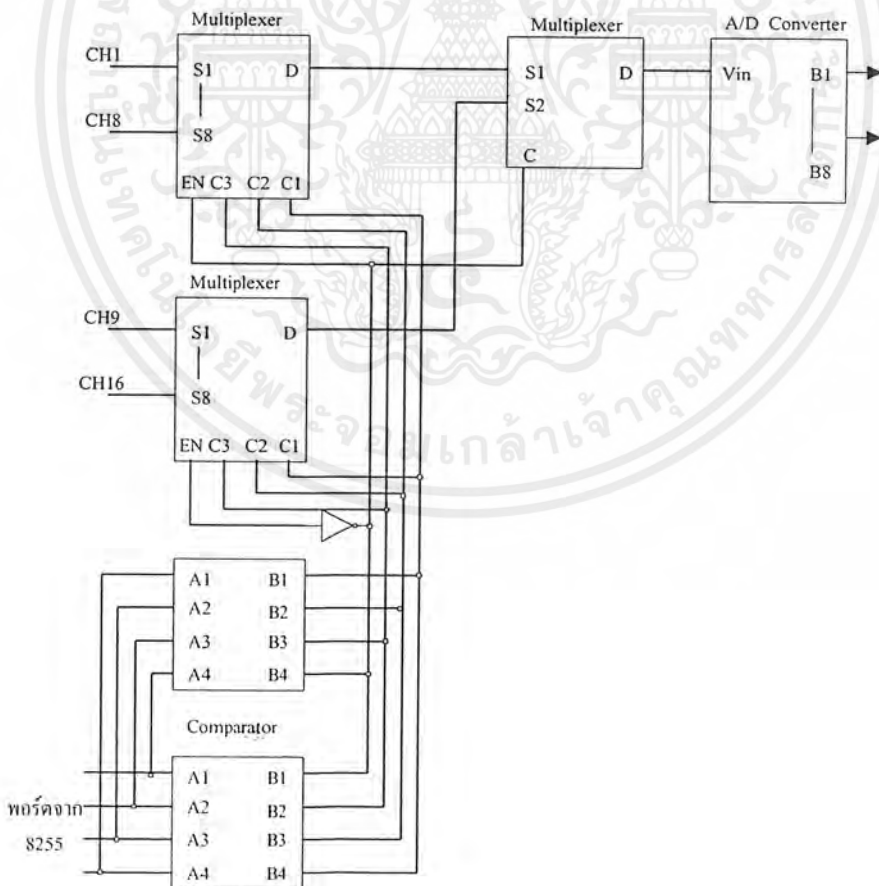
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. วงจรออสซิลเลเตอร์
7. วงจรซีเล็กเตอร์
8. วงจรผลิตสัญญาณซิงค์
9. วงจรผสมสัญญาณ

3.2 การทำงานของวงจรต่างๆ

3.2.1 วงจรมัลติเพล็กซ์สัญญาณ

เป็นวงจรที่ทำหน้าที่เลือกจำนวนของช่องสัญญาณที่จะใช้งาน โดยแอนะลอกมัลติเพล็กซ์ (Analog Multiplex) เบอร์ MC4051B เป็นมัลติเพล็กซ์ 8 ช่องสัญญาณ โดยจะใช้ 2 ตัวเพื่อให้ได้ 16 ช่องสัญญาณ โดยมีตัวนับใช้ไอซีเบอร์ 74LS191 ซึ่งการนับจะใช้พอร์ตจาก 8255 ซึ่งมาจาก Z80180 โดยทำการเขียนโปรแกรม มาควบคุม การเลือกช่องสัญญาณมาใช้งาน (ดูรูปที่ 3.2 ประกอบ)



รูปที่ 3.2 วงจรมัลติเพล็กซ์สัญญาณ, สุ่มข้อมูล, เก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจรสุ่มสัญญาณ

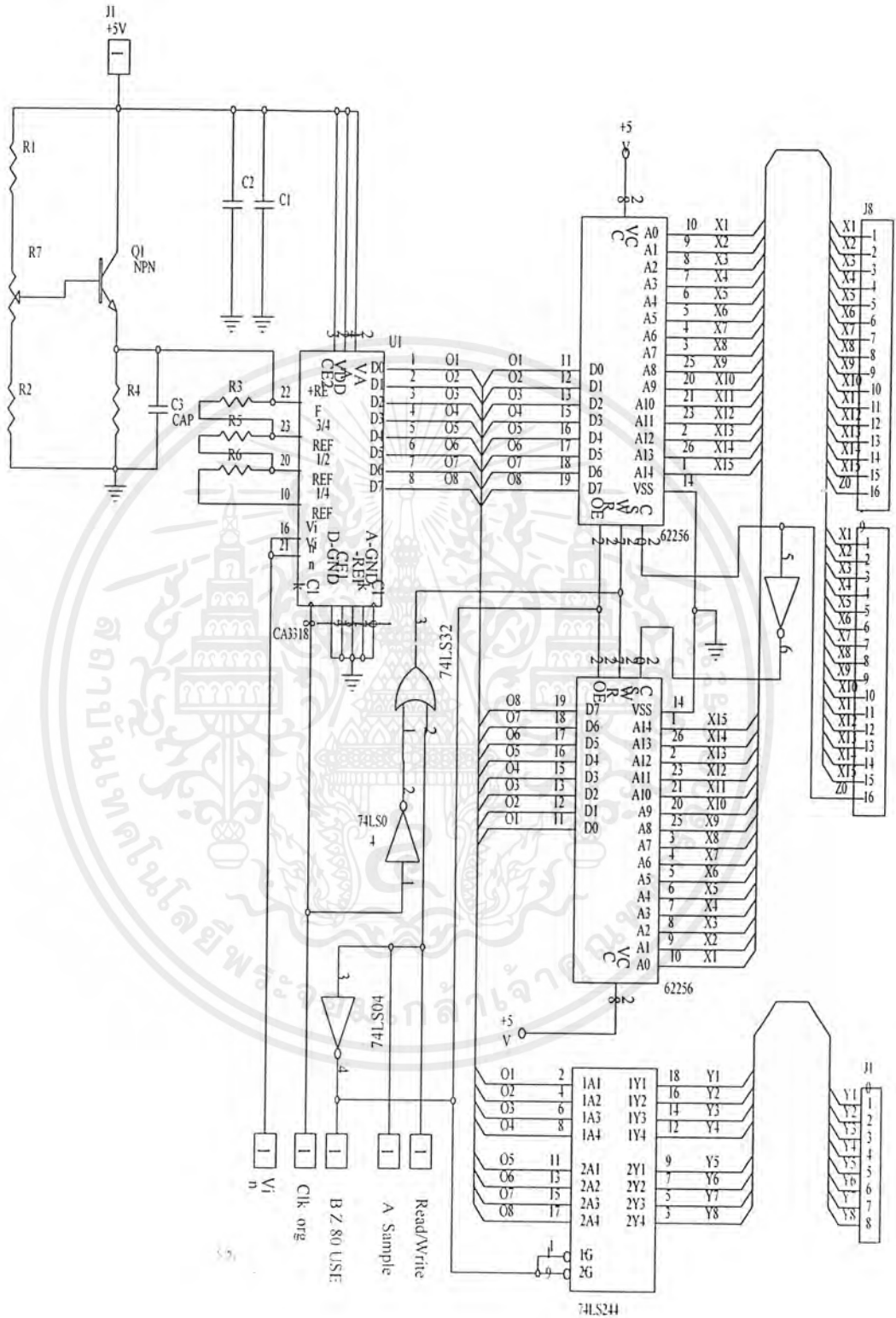
จากรูปที่ 3.2 ในส่วนของการสุ่มสัญญาณจะใช้ไอซี A/D Converter เบอร์ CA3318 ซึ่งเป็นตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัล ทำหน้าที่นำข้อมูลเข้ามาในแต่ละช่องสัญญาณมาทำการแปลงให้เป็นข้อมูลดิจิทัล เพื่อจัดเก็บลงในหน่วยความจำ

คุณสมบัติของไอซี CA 3318

1. ใช้เทคโนโลยี CMOS/SOS
2. ใช้เทคนิคการแปลงข้อมูลแบบขนาน
3. อัตราการแปลงข้อมูล 15MSPS ที่ 5 V
4. ให้สัญญาณเอาต์พุตขนาด 8 บิต
5. ใช้แหล่งจ่ายไฟชุดเดียว 4-6.5 V
6. แยกระบบกราวด์ของสัญญาณแอนะล็อกกับดิจิทัลออกจากกันเด็ดขาด
7. กำลังสูญเสีย 200 mW.
8. แรงดันอินพุตอยู่ในช่วง 0 ถึง 6.4 V
9. สัญญาณนาฬิกา 20 MHz

การทำงานของวงจร

สัญญาณแต่ละช่องสัญญาณที่เข้ามานั้นจะถูกวงจรมัลติเพล็กซ์เลือกเข้ามาที่ช่องสัญญาณป้อนเข้ามาที่ขา 21 และขา 16 ที่ขา 22 ปรับอยู่ในช่วง 5 V โดยใช้วงจรควบคุมแรงดันที่ขา 1/4REF, 1/2REF และ 3/4REF จะถูกต่อโดยชุดแบ่งแรงดัน เพื่อเป็นแรงดันอ้างอิงใช้ชุดสวิตช์อิเล็กทรอนิกส์ภายในตัวไอซีทั้งด้านบนและด้านล่างอยู่ 256 ชุด ได้ข้อมูลเป็น “0” และ “1” ส่งไปยัง D-FF ทั้ง 256 ชุด ทำหน้าที่เป็นชิปรีจิสเตอร์ แล้วทำการแลตซ์ข้อมูลไว้ชั่วขณะจนกว่าจะมีข้อมูลใหม่เข้ามาแล้วแปลงข้อมูลให้ครบทั้ง 256 ค่าแล้วแปลงออกมาเป็นข้อมูลดิจิทัล 9 บิต (รวมบิตส่วนเกิน) ส่งต่อไปยังเอาต์พุต วงจรสุ่มสัญญาณแสดงด้วยรูปที่ 3.3

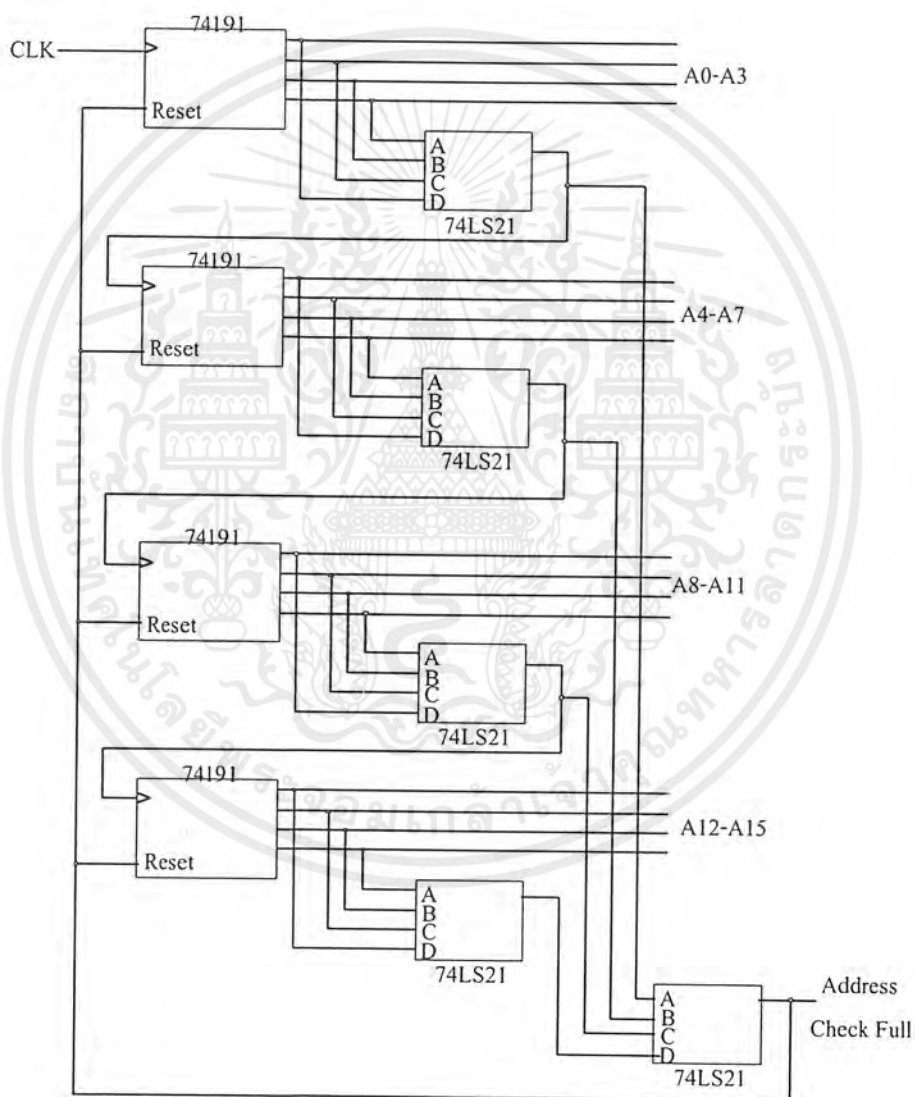


รูปที่ 3.3 วงจรกลุ่มข้อมูลและเก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 วงจรนับตำแหน่ง

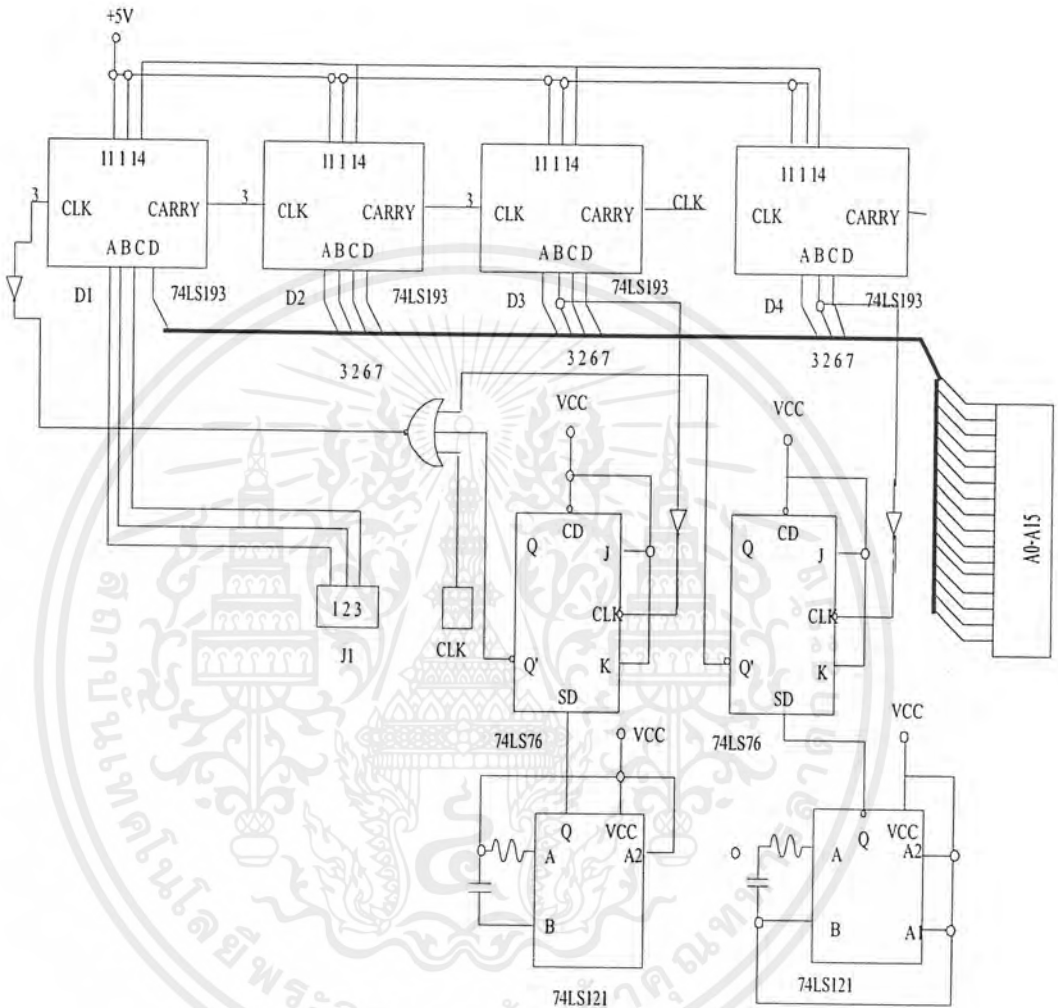
วงจรมีทั้งหมด 3 วงจรดังนี้คือ วงจรนับแอดเดรส แสดงวงจร ดังรูปที่ 3.4 วงจรนับตำแหน่ง วิดีโอแรม แสดงวงจรดังรูปที่ 3.5 และวงจรนับสำหรับ Sampling RAM แสดงวงจรดังรูปที่ 3.6



รูปที่ 3.4 วงจรนับแอดเดรส

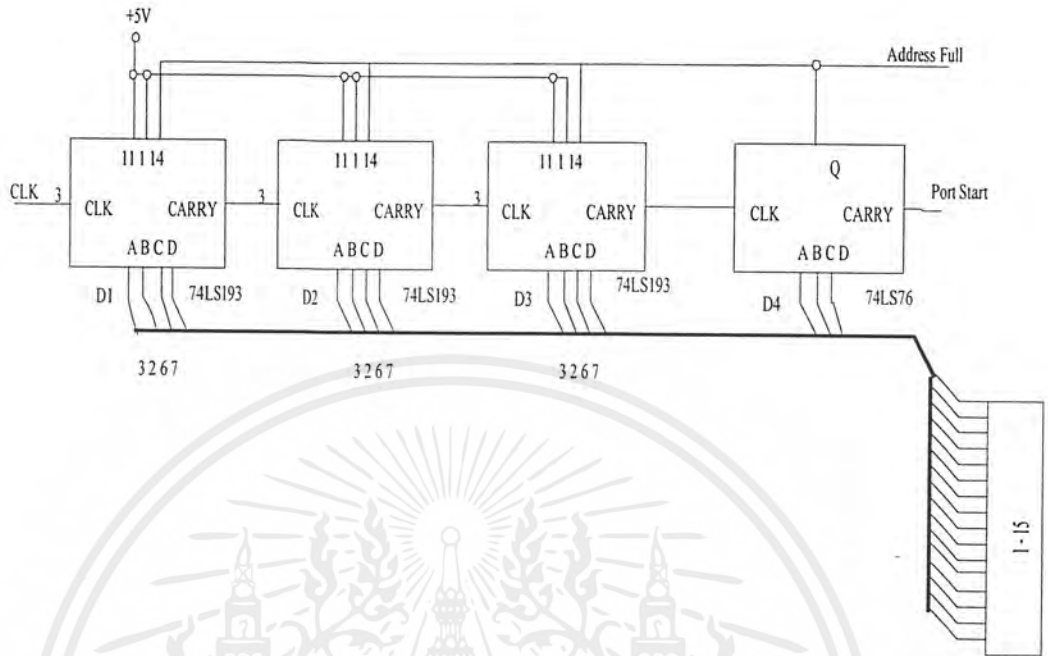
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรมับตำแหน่งวีดีโอแรม



รูปที่ 3.5 วงจรมับสำหรับวีดีโอแรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



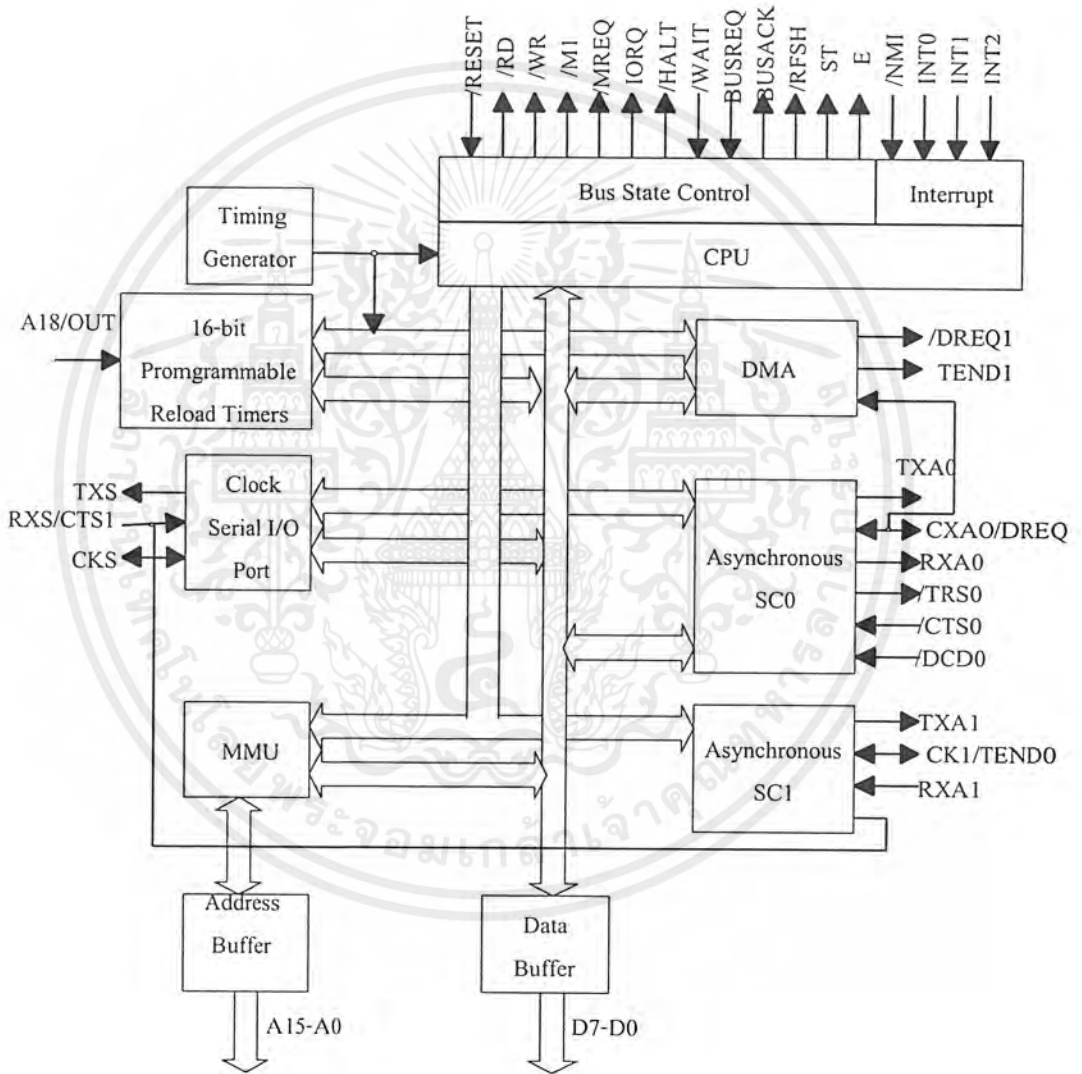
รูปที่ 3.6 วงจรนับสำหรับ Sampling RAM

3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 วงจร MPU port control

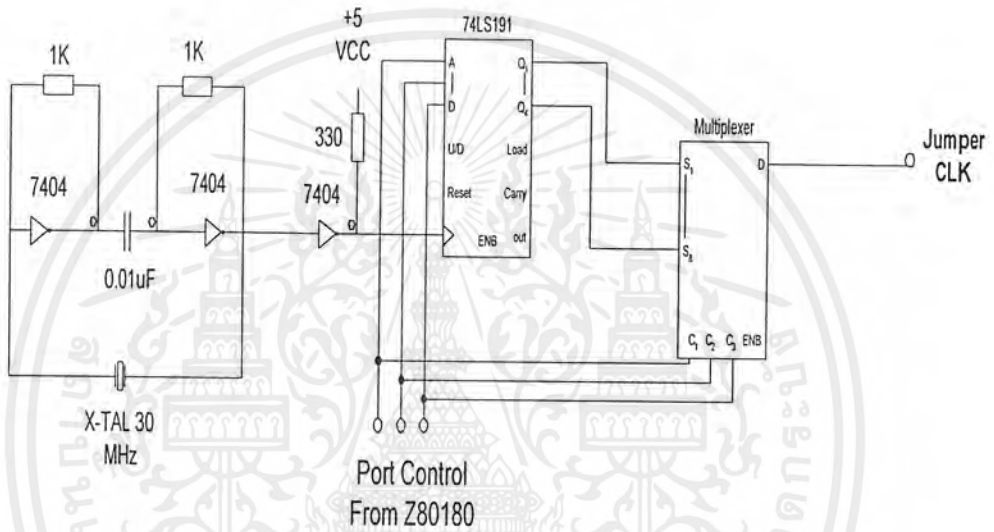
เป็นวงจรที่ใช้ควบคุมการทำงานทั้งหมดของเครื่องลอจิกอนาไลเซอร์ โดยจะมีการเขียนโปรแกรมมาควบคุม ส่งและรับค่าจากพอร์ตมาทำการประมวลผล โดยมีรายละเอียดดังรูปที่ 3.7



รูปที่ 3.7 วงจร MPU

3.2.5 วงจรสร้างความถี่และหารความถี่

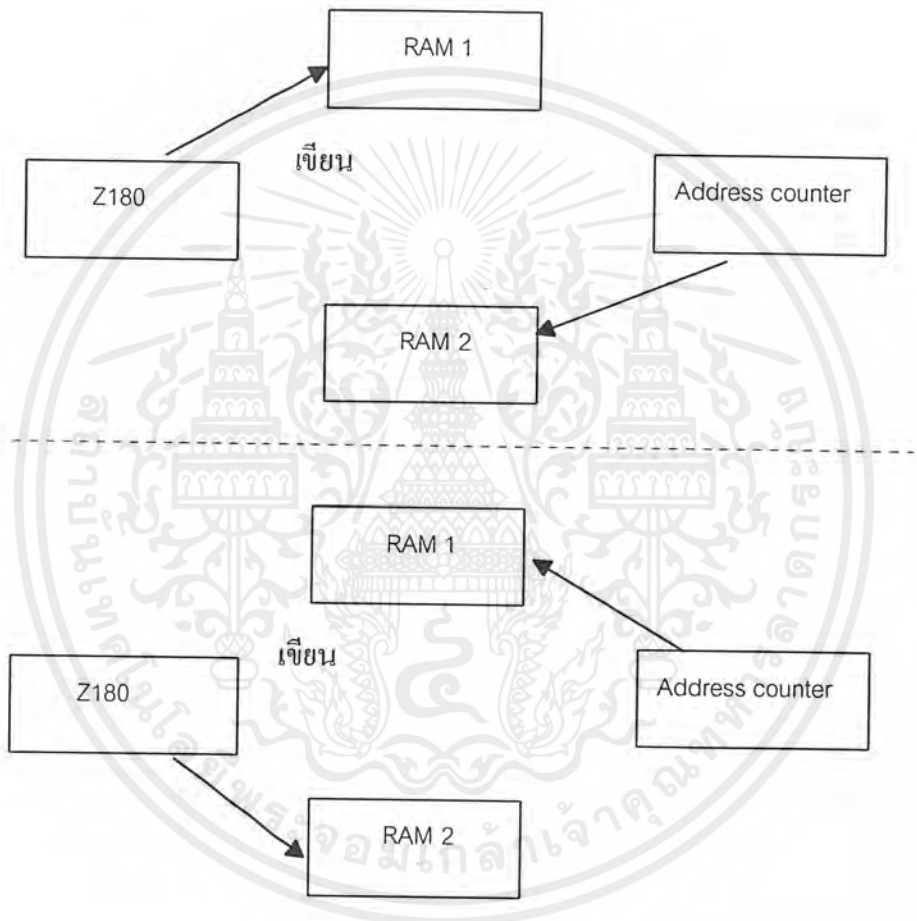
เป็นวงจรผลิตความถี่เพื่อใช้ในวงจร ดังรูปที่ 3.8 เป็นวงจรผลิตความถี่ 30 MHz โดยใช้ไอซี 74LS04 , คาปาซิเตอร์ 0.01 μ f, 10 pf มาใช้งานและใช้คริสตอล 30 MHz ผลิตความถี่จากนั้นใช้ไอซี 74LS191 มาใช้ในการหารความถี่ หาร 2 หาร 4 และหาร 8 เพื่อใช้ประโยชน์ในการเป็นความถี่ที่ใช้ สุ่มสัญญาณ ซึ่งจะพอร์ต 8255 ของ MPU มาควบคุมโดยใช้โปรแกรมเช่นกัน



รูปที่ 3.8 วงจรผลิตความถี่ 30 MHz และวงจรหารความถี่

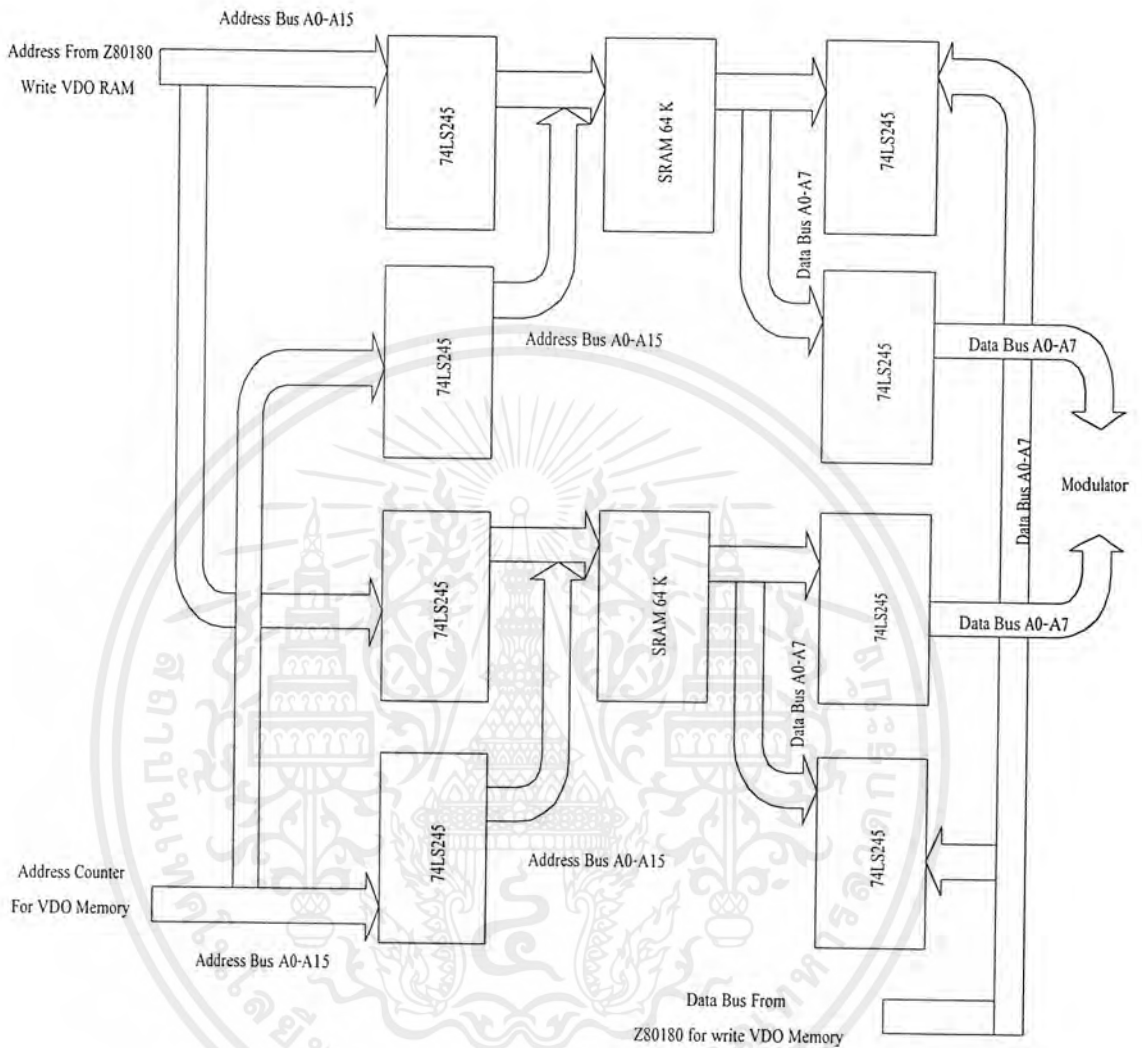
2.2.6 วงจรซีเล็กเตอร์

เป็นวงจรเลือกการทำงานระหว่าง MPU Z80180 และ Address Counter ในการอ่านและการเขียนวีดีโอแรม เนื่องจากหน่วยความจำไม่สามารถอ่านและเขียนในเวลาเดียวกันได้ จึงใช้หน่วยความจำ 2 ตัวสลับการทำงาน โดยมีจังหวะการทำงานดังรูปที่ 3.9



รูปที่ 3.9 จังหวะการเขียนอ่านวีดีโอแรม

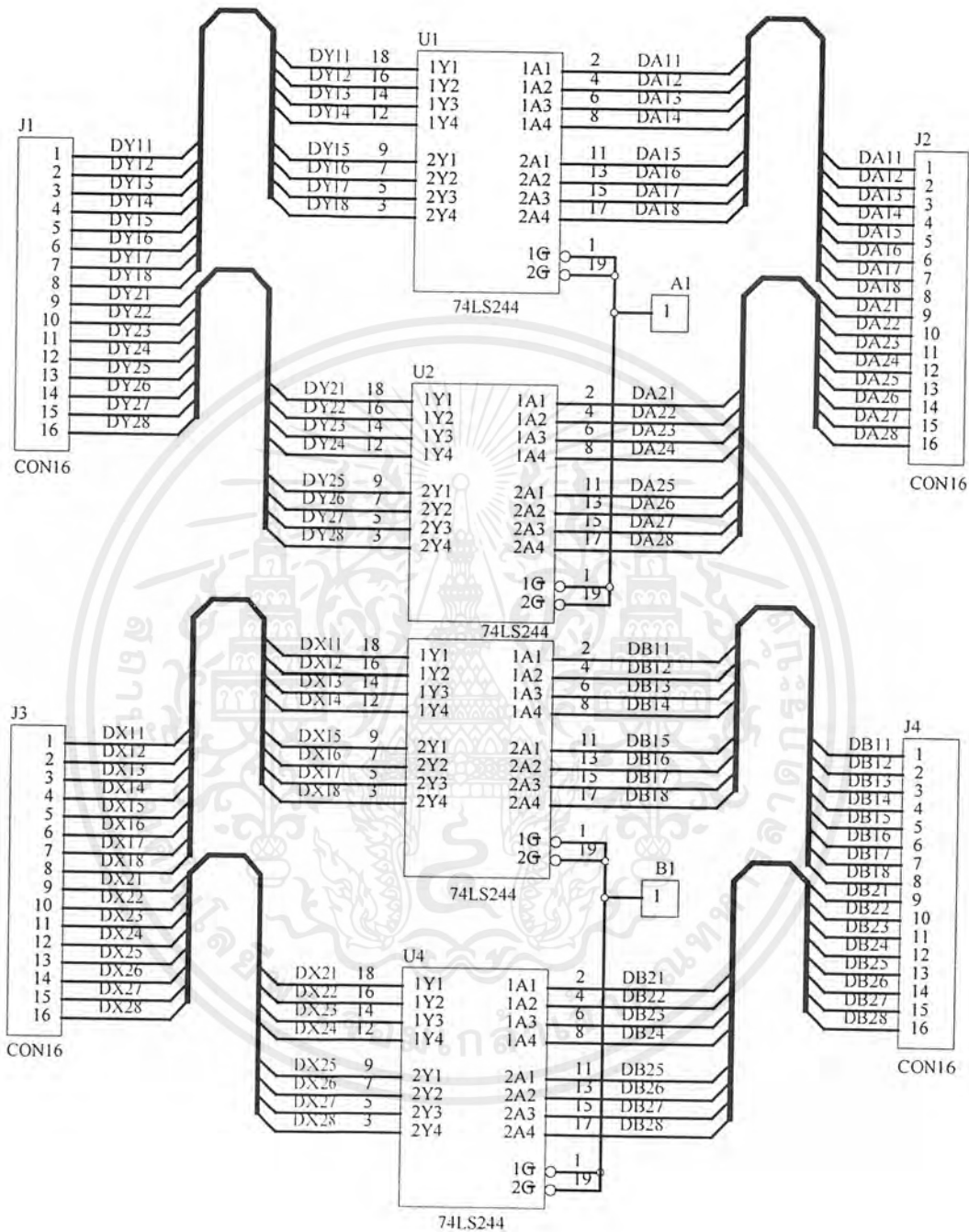
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 ผังการทำงานของวงจรถีเล็กเตอร์

ผังการทำงานของวงจรถีเล็กเตอร์ ในรูปที่ 3.10 เป็นการใช้อิซีบัฟเฟอร์ เบอร์ 74LS244 และ อิซี 74LS245 ซึ่งเป็นบัฟเฟอร์ 8 บิตและ 16 บิต และจะทำให้คุณสมบัติ High Impedance ของขา G1 และ G2 ของแต่ละตัวเป็น Enable และ High Impedance เพื่อเลือกและตัดการทำงาน โดยการเลือกและตัดการทำงานจะใช้ port 8255 ของ MPU มาควบคุมโดยใช้โปรแกรมอีกเช่นกัน

ส่วนรูปที่ 3.11 เป็นการแสดงวงจรวจรบัฟเฟอร์ Z180 และวงจรมับตำแหน่งแชนเปลิ่งแรม



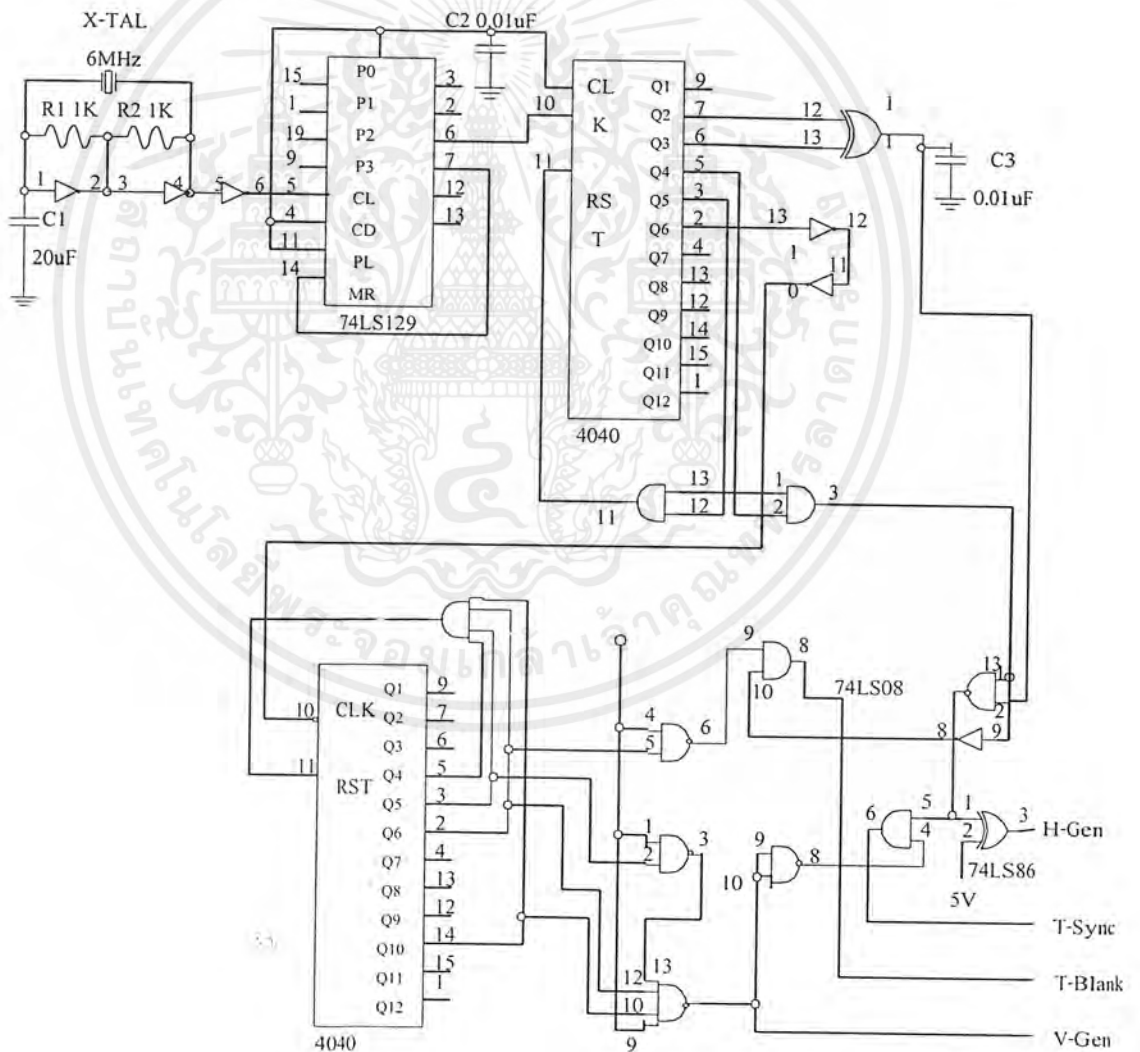
รูปที่ 3.11 วงจรบัฟเฟอร์ Z180 และวงจรนับตำแหน่งแชนเปลิ่งแรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.7 วงจรผลิตสัญญาณซิงค์

การทำงานของวงจรผลิตสัญญาณซิงค์รูปที่ 3.12

สัญญาณนาฬิกา 6 MHz ที่ผลิตเกิดจากคริสตอล 6 MHz และนอตเกตป้อนเข้าไอซี 74193 โดยจัดให้เป็นวงจรหาร 8 คือจะปรับแต่งใหม่ทุกขาให้เป็น 0 หมดทุกๆ 8 ลูกของสัญญาณนาฬิกา 6 MHz ดังนั้นที่ขา Qc (ขา 6) จะได้ความถี่ $6 \text{ MHz} / 8 = 750 \text{ KHz}$ ออกมา นำความถี่ 750 KHz นี้ไปป้อนขาคล็อกของไอซี 4040 ซึ่งถูกจัดให้เป็นวงจรหาร 48 โดยนำขา Q5 มาแอนดกับ Q6 เพื่อนำไปเป็นตัวปรับตั้งค่าใหม่ๆ ทุกๆ 48 ลูกคลื่น จะได้ความถี่เอาต์พุตเป็น 15625 Hz ความถี่นี้จะถูกสร้างเป็นสัญญาณลบเส้นและสะบัดกลับทางด้านแนวนอน และสร้างเป็นสัญญาณซิงค์ทางด้านแนวนอน



รูปที่ 3.12 วงจรผลิตสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

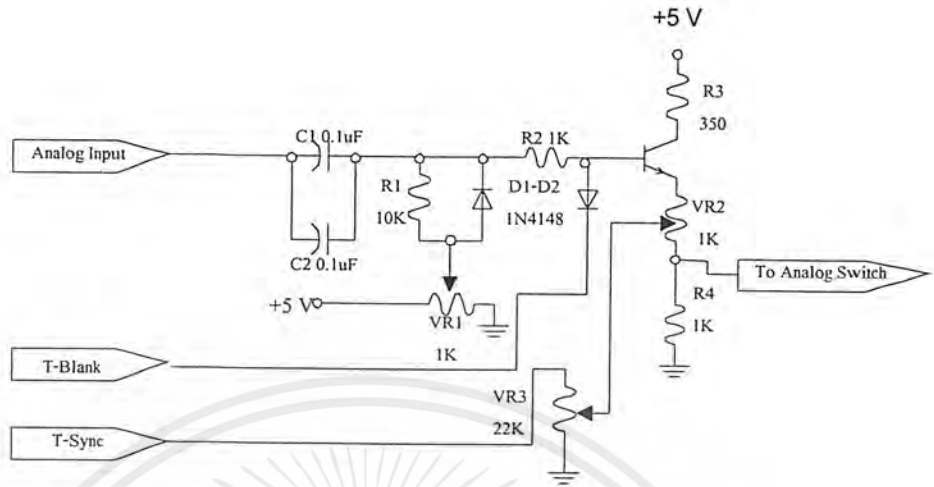
สัญญาณลบเส้นสับคลับทางด้านแนวนอน เกิดจากการนำขา Q4 และ Q6 ของไอซี 4040 มาแอนค้กันจะได้สัญญาณลบเส้นสับคลับทางด้านแนวนอน ซึ่งมีช่วงเวลาทำงานประมาณ 10 μ S ส่วนสัญญาณซิงค์ทางด้านแนวนอนเกิดจากการนำขา Q2 มาเอ็ช้คลุชี่พอร์ กับ Q3 นำมาแอนค้กับสัญญาณลบเส้นสับคลับทางด้านแนวนอน แล้วกลับสัญญาณอีกทีหนึ่งได้เป็นความถี่ 15625 Hz มีช่วงเวลาทำงานประมาณ 5 μ S จากนั้นนำความถี่ 15625 Hz มาผ่านวงจรหาร 312 ได้ความถี่ออกมาประมาณ 50 Hz เพื่อสร้างสัญญาณลบเส้นสับคลับแนวตั้ง และสร้างเป็นสัญญาณซิงค์ทางด้านแนวตั้ง

สัญญาณลบเส้นสับคลับแนวตั้ง ได้มาจากเอาต์พุตที่ขา Q9 ซึ่งมีช่วงเวลาเป็นสภาวะ 1 ประมาณ 3.584 mS สัญญาณลบเส้นสับคลับแนวตั้งได้มาจากผลของเอาต์พุตที่ขา Q5,Q6 และ Q9 ซึ่งมีช่วงเวลาเป็นสภาวะ 1 ประมาณ 1 mS

นำสัญญาณเส้นลบสับคลับแนวตั้งมาแอนค้กับสัญญาณลบเส้นสับคลับทางด้านแนวนอนจะได้สัญญาณลบเส้นสับคลับรวม และนำสัญญาณซิงค์แนวตั้งมาแอนค้กับสัญญาณซิงค์ทางด้านแนวนอนได้เป็นสัญญาณควบคุมตำแหน่งภาพรวม ซึ่งสัญญาณลบเส้นสับคลับภาพรวม และสัญญาณควบคุมตำแหน่งภาพรวม จะถูกส่งไปยังวงจรรวมสัญญาณ ส่วนสัญญาณซิงค์ทางด้านแนวตั้งและสัญญาณซิงค์ทางด้านแนวนอนจะถูกส่งไปใช้ในวงจรอครหัส เพื่อใช้ในการควบคุมหน่วยความจำต่อไป

3.2.8 วงจรผสมสัญญาณ

สัญญาณแอนะลอกที่ได้จากการแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกนั้นจะมีเพียงแต่สัญญาณภาพเท่านั้น ยังไม่สามารถนำไปแสดงผลทางจอโทรทัศน์ได้ จึงต้องนำสัญญาณภาพมารวมกับสัญญาณควบคุมตำแหน่งภาพรวม และสัญญาณลบเส้นสับคลับรวมเพื่อให้ได้เป็นสัญญาณภาพรวมที่มีระดับสัญญาณประมาณ 2 V p-p



รูปที่ 3.13 วงจรผสมสัญญาณ

จากวงจรสัญญาณควบคุมตำแหน่งภาพรวม และสัญญาณลบเส้นสลับกลับรวมจะถูกรวมเป็นสัญญาณซิงค์รวม และถูกกลับเฟสสัญญาณ ก่อนที่จะรวมกับสัญญาณภาพที่ขาของทรานซิสเตอร์ เพื่อทำการขยายแบบคอมมอนอิมิตเตอร์ เอาต์พุตออกทางขา อิมิตเตอร์จะได้สัญญาณภาพรวมประมาณ 2 Vp-p สามารถส่งเข้าโทรทัศน์ได้ทางช่องสัญญาณ AV ดังรูปที่ 3.13

3.3 การออกแบบโปรแกรม

3.3.1 การจัดการกับหน่วยความจำของเครื่องวัดและวิเคราะห์สัญญาณดิจิทัล

การจัดแผนผังหน่วยความจำสามารถแสดงได้ดังตารางที่ 3.1

ตารางที่ 3.1 การจัดแผนผังหน่วยความจำ

| | | |
|-------------|---------|-------|
| Common base | 16K RAM | FFFFH |
| | | C000H |
| Bank base | 32K RAM | BFFFH |
| | | 4000H |
| | 16K ROM | 3FFFH |
| | | 0000H |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 การคำนวณหา Physical Address และ Logic Address ของเครื่องวัดและวิเคราะห์สัญญาณดิจิทัล

$$\text{Bank base (BBR)} \Rightarrow 4000\text{H} + X = 1000\text{H}$$

$$X = 1000\text{H} - 4000\text{H}$$

$$X = \text{C000H}$$

| |
|-----|
| 0CH |
|-----|

$$\text{Common base (CBR)} \Rightarrow \text{C000H} + X = 2000\text{H}$$

$$X = 2000\text{H} - \text{C000H}$$

$$X = 1400\text{H}$$

| |
|-----|
| 14H |
|-----|

JR 180 RAM เริ่มที่ 4000H , stack กำหนดที่ 4100H

SRAM, VDO RAM ของเครื่องวัดและวิเคราะห์สัญญาณเริ่มต้นที่ C000H

3.3.3 การออกแบบพอร์ต 8255 สำหรับรับและส่งข้อมูล ระหว่างผู้ใช้กับไมโครโปรเซสเซอร์

การกำหนดรีจิสเตอร์ Control Word กับ 8255 สามารถแสดงค่าภายในดังรูปที่ 3.14 การออกแบบพอร์ต 8255 มีทั้งหมด 3 แบบขึ้นอยู่กับความต้องการใช้งานซึ่งมีดังนี้คือ การออกแบบพอร์ต A ดังรูปที่ 3.15 การออกแบบพอร์ต B ดังรูปที่ 3.16 และการออกแบบพอร์ต C ดังรูปที่ 3.17

1) ตำแหน่งของพอร์ตต่างๆ

$$\text{PA} = 80\text{H}$$

$$\text{PB} = 81\text{H}$$

$$\text{PC} = 82\text{H}$$

$$\text{PCC} = 83\text{H}$$

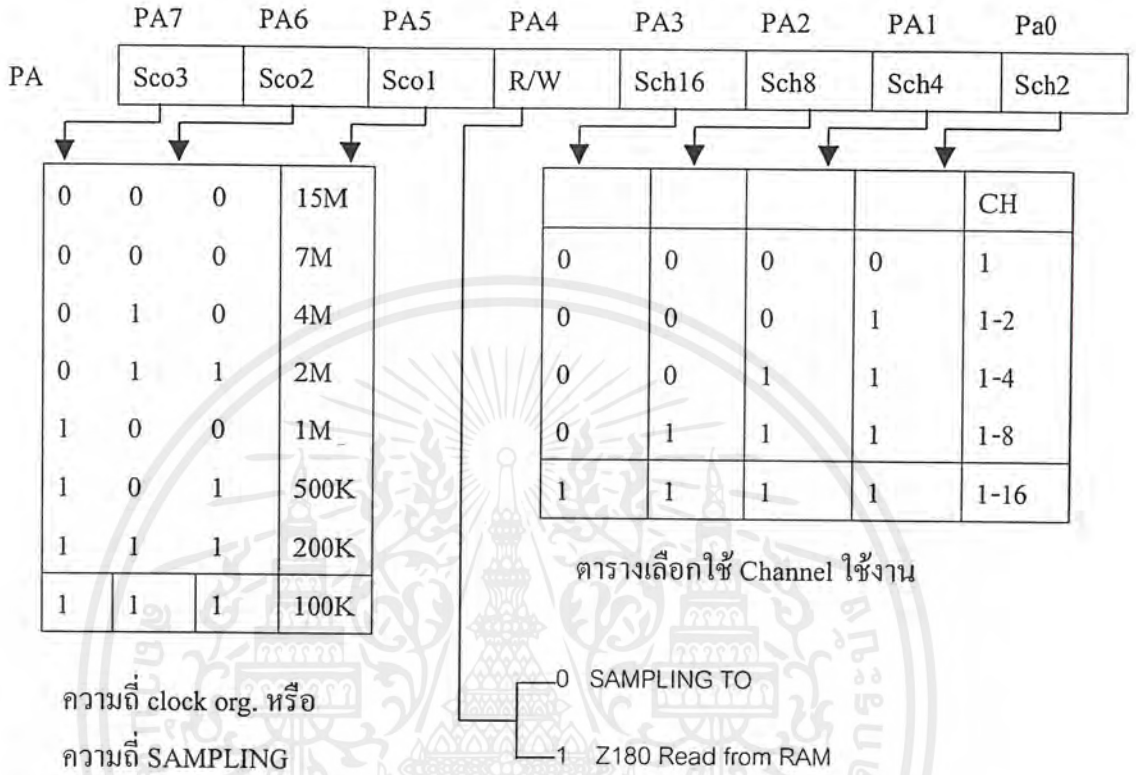
2) การกำหนด Control Word ให้กับ 8255

การกำหนดรีจิสเตอร์ Control Word กับ 8255 สามารถแสดงค่าภายในดังรูปที่ 3.14

| | | | | | | | | | |
|--------------|---|---|---|---|---|---|---|---|------|
| Control Word | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | =8AH |
|--------------|---|---|---|---|---|---|---|---|------|

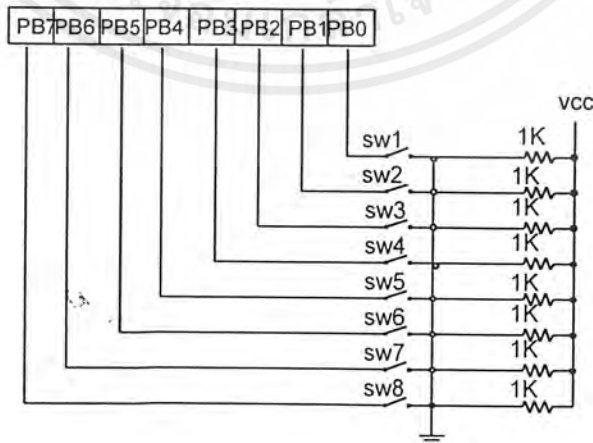
รูปที่ 3.14 การกำหนด Control Word

3) การออกแบบพอร์ต A ของ 8255



รูปที่ 3.15 การออกแบบพอร์ต A ของ 8255

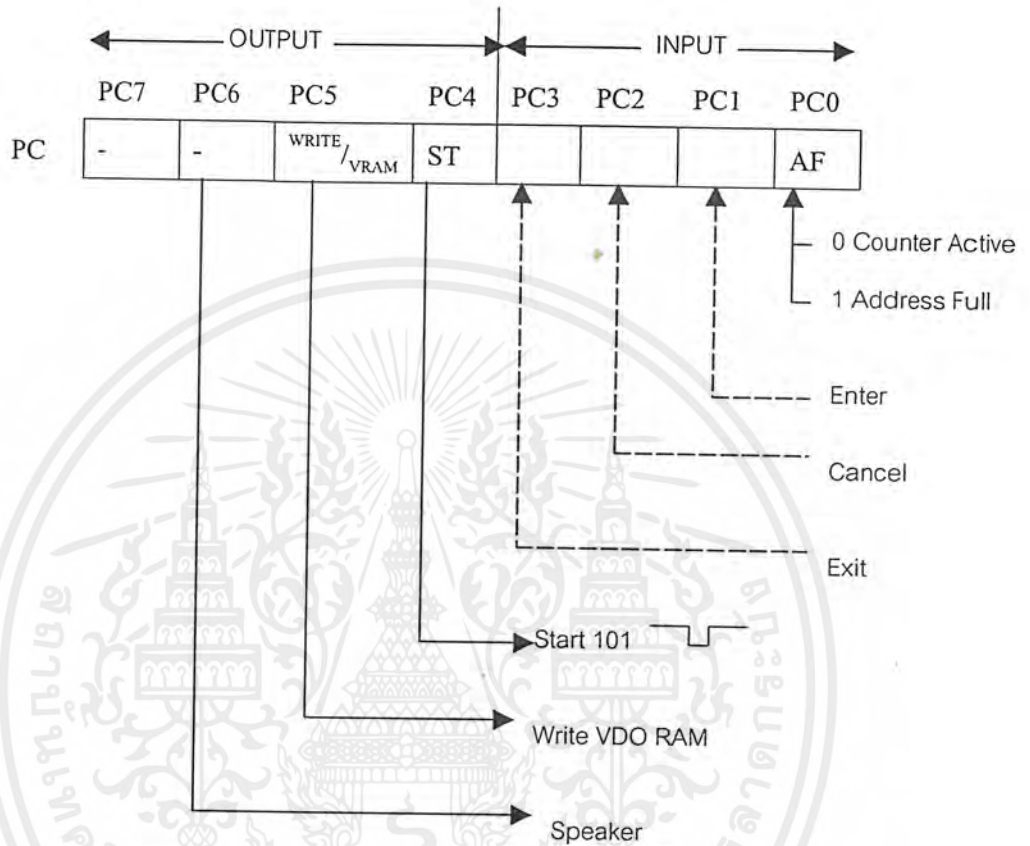
4) การออกแบบพอร์ต B ของ 8255



รูปที่ 3.16 การออกแบบพอร์ต B ของ 8255

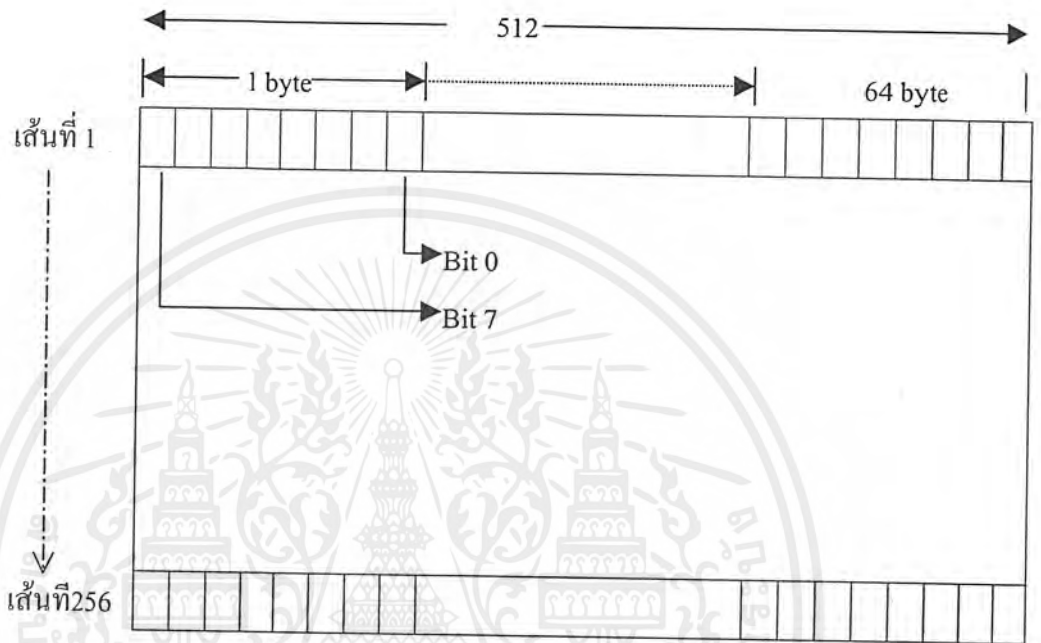
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) การออกแบบพอร์ต C ของ 8255



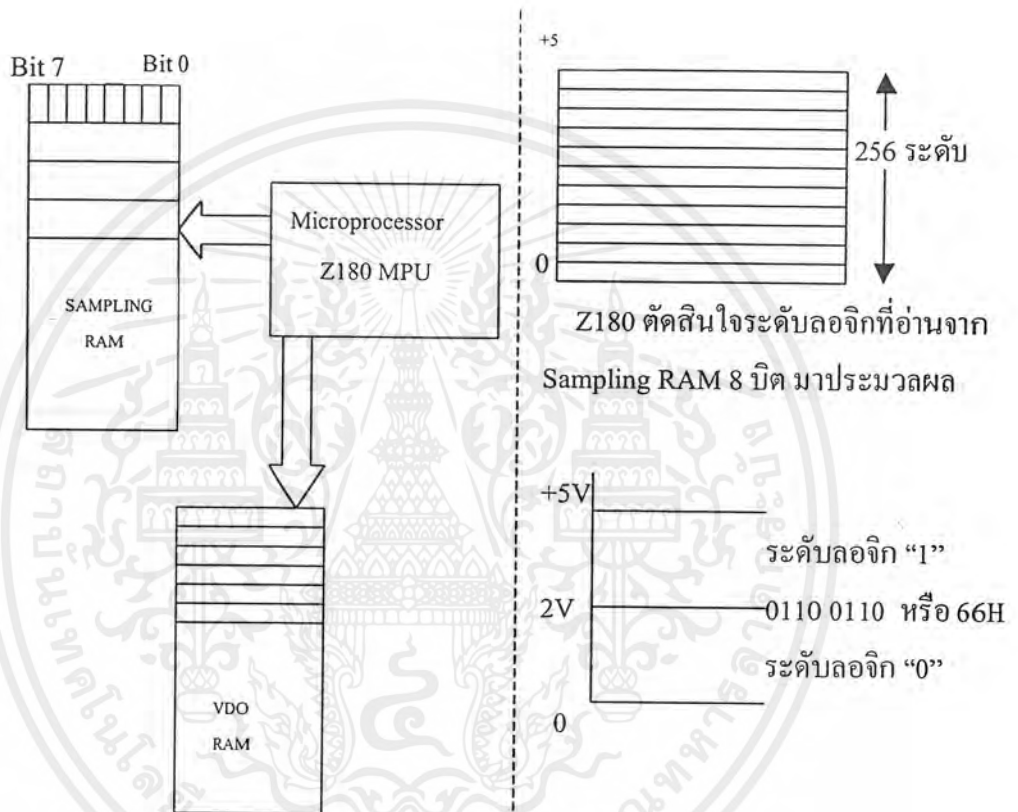
รูปที่ 3.17 การออกแบบพอร์ต C ของ 8255

3.3.4 การออกแบบและวิธีการวาดภาพบนหน่วยความจำเพื่อแสดงออกจอโทรทัศน์
ลักษณะการวาดภาพบนหน่วยความจำเพื่อแสดงออกทางจอ โทรทัศน์แสดงได้ดังรูปที่ 3.18



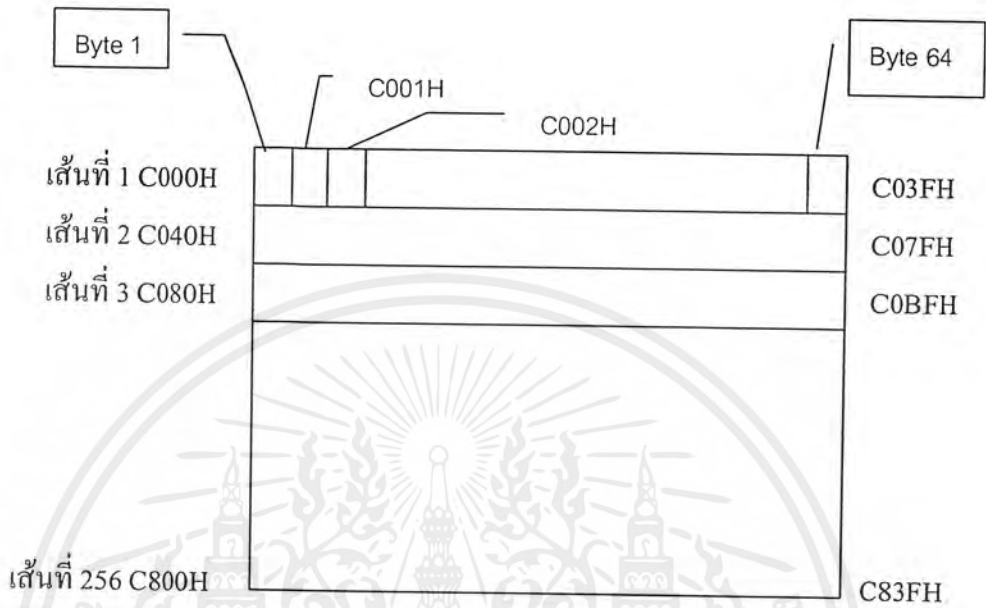
รูปที่ 3.18 การวาดภาพบนหน่วยความจำเพื่อแสดงออกจอโทรทัศน์

3.3.5 อัลกอริทึมของการอ่านข้อมูลจากหน่วยความจำแซมปลิง (Sampling RAM) ใช้ไมโครโปรเซสเซอร์ Z80180 ประมวลผล แล้วทำการวาดลงหน่วยความจำวีดีโอแรม (VDO RAM)



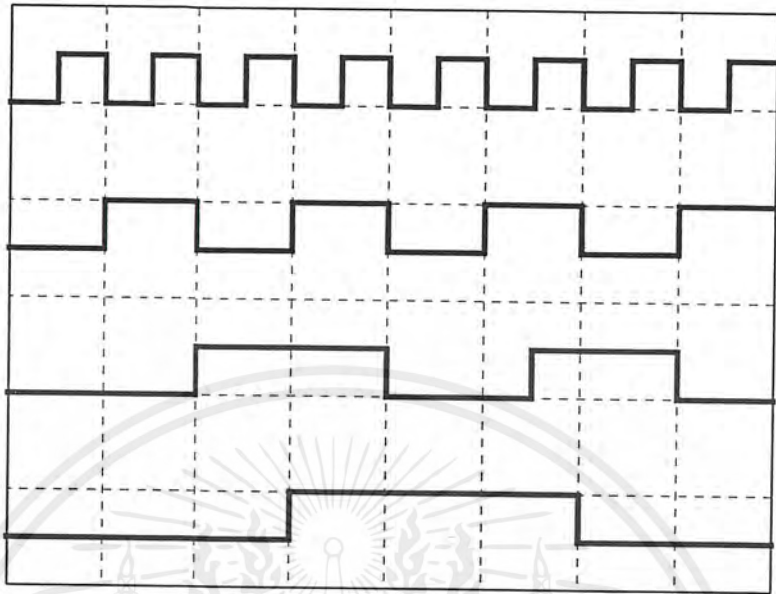
รูปที่ 3.19 อัลกอริทึมของการอ่านข้อมูลจากหน่วยความจำแซมปลิง

แนวคิดการทำงานไมโครโปรเซสเซอร์อ่านข้อมูลจาก Sampling RAM ทีละ 8 บิต แล้วนำมาประมวลผลตัดสินใจว่า เป็นลอจิก “0” หรือ “1” แล้วในนำข้อมูลที่ได้อ่านไปเก็บในวีดีโอแรม การเขียนลงในวีดีโอแรมจะต้องคำนวณว่าจะเขียนที่ตำแหน่งใดโดยต้องนำมาประมวลผลรวมกับการออกแบบภาพหน้าจอโทรทัศน์ ซึ่งต้องสัมพันธ์กับตำแหน่งในแอดเดรส ของวีดีโอแรมแสดงดังรูปที่ 3.19 และการวาดรูปในวีดีโอแรมแสดงดังรูปที่ 3.20

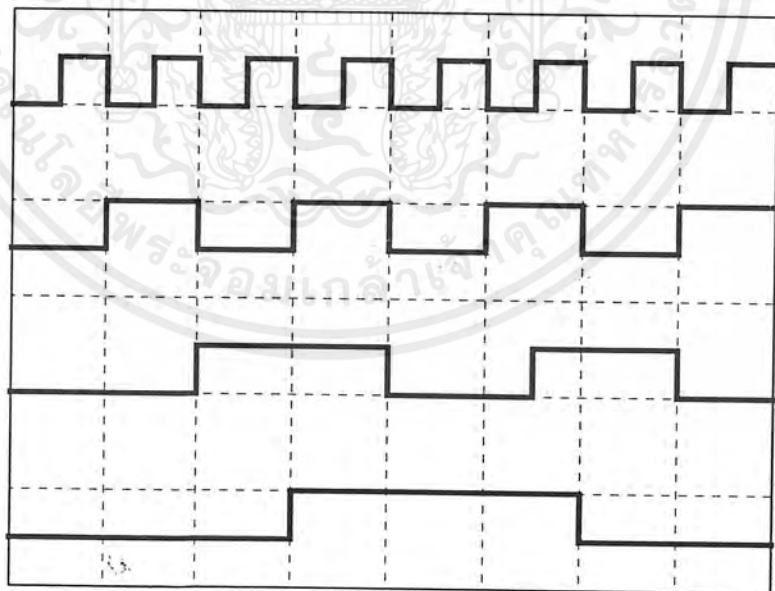


รูปที่ 3.20 การวาดรูปในวีดีโอแรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 ผลการวัดวงจรหาร 2,4,8 และ 16 จากวงจรผลิตความถี่



รูปที่ 4.3 ผลการวัดวงจรหาร 32, 64, 128 และ 256 จากวงจรผลิตความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 การผลิตความถี่สัญญาณโทรทัศน์

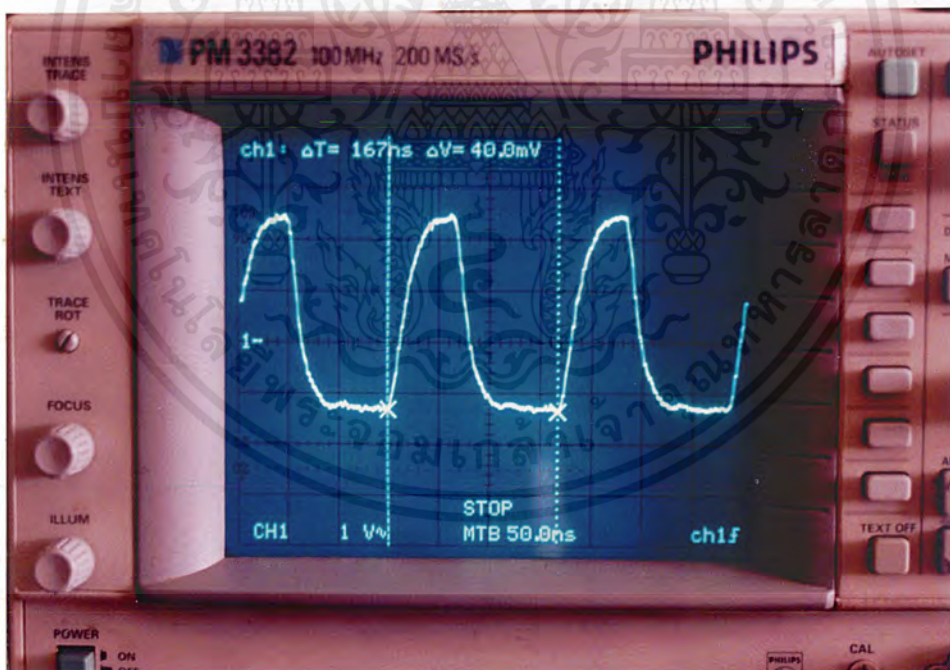
ขั้นตอนการทดลอง

- 1) ประกอบวงจรผลิตสัญญาณซิงค์ตามบทที่ 3
- 2) ตรวจสอบความเรียบร้อย
- 3) จ่ายแรงดัน 5 โวลต์ให้กับวงจร
- 4) วัดสัญญาณ

ผลการทดลอง

จากการทดลองจะได้สัญญาณ Horizontal-Generator (H-Gen), Vertical-Generator (V-Gen), T-Blank และ T-Sync ที่ความถี่ต่างๆ ได้ผลการทดลองแสดงดังรูป 4.4-4.10

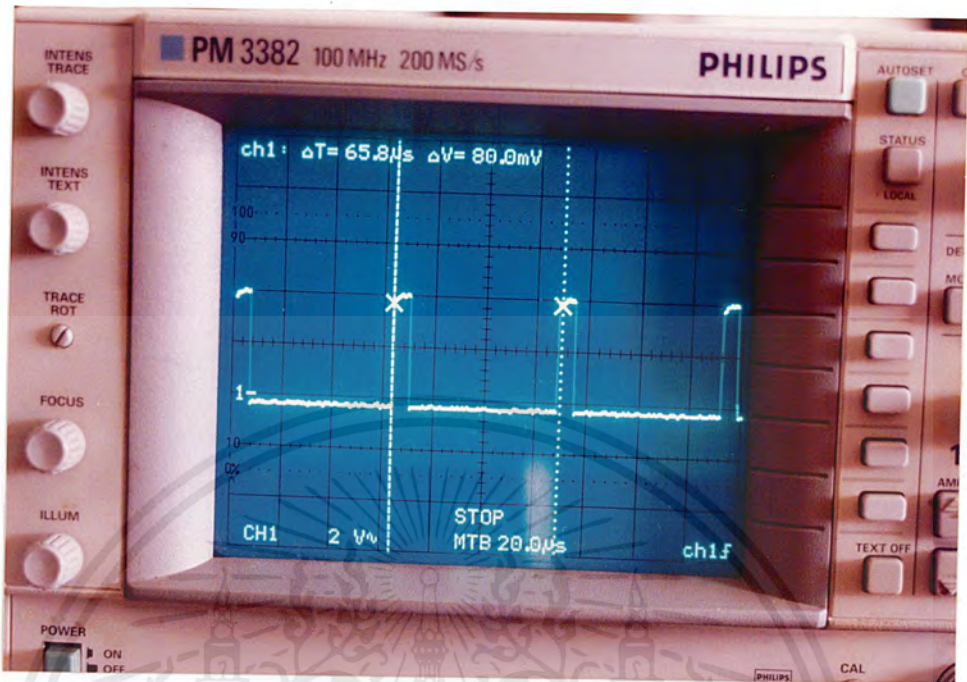
$$\Delta T = 167 \text{ nS}, \Delta V = 40 \text{ mS}, f = 1/\Delta T = 1/167 \text{ nS} = 5.98 \text{ MHz}$$



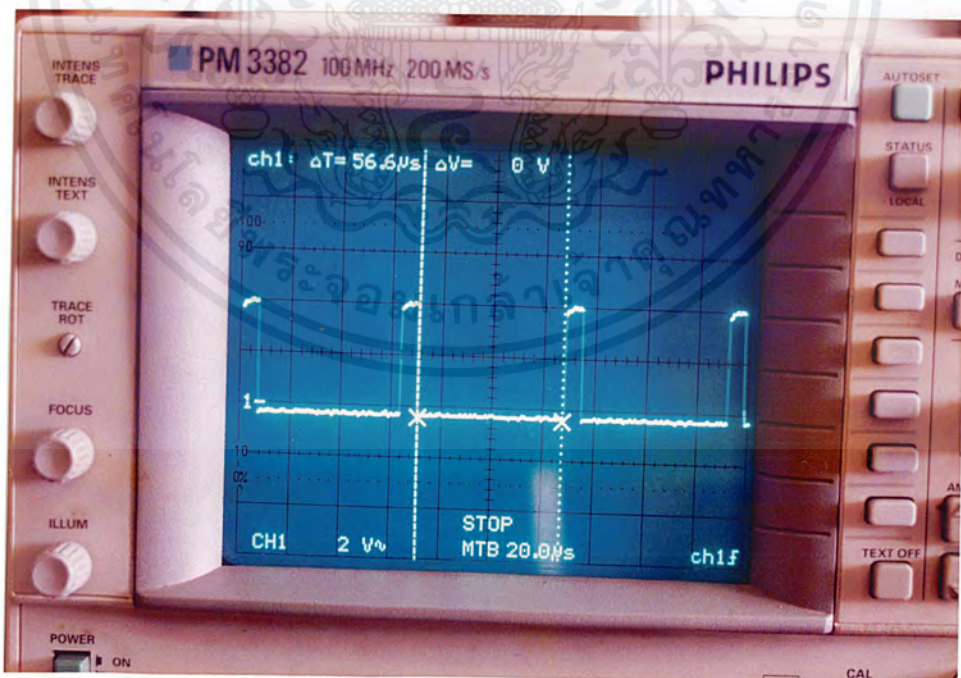
รูปที่ 4.4 ผลการวัดสัญญาณผลิตความถี่ 6 MHz

$$\Delta T = 64.4 \mu\text{S}, \Delta V = 120 \text{ mV}, f = 1/\Delta T = 1/64.4 \mu\text{S} = 15577 \text{ Hz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

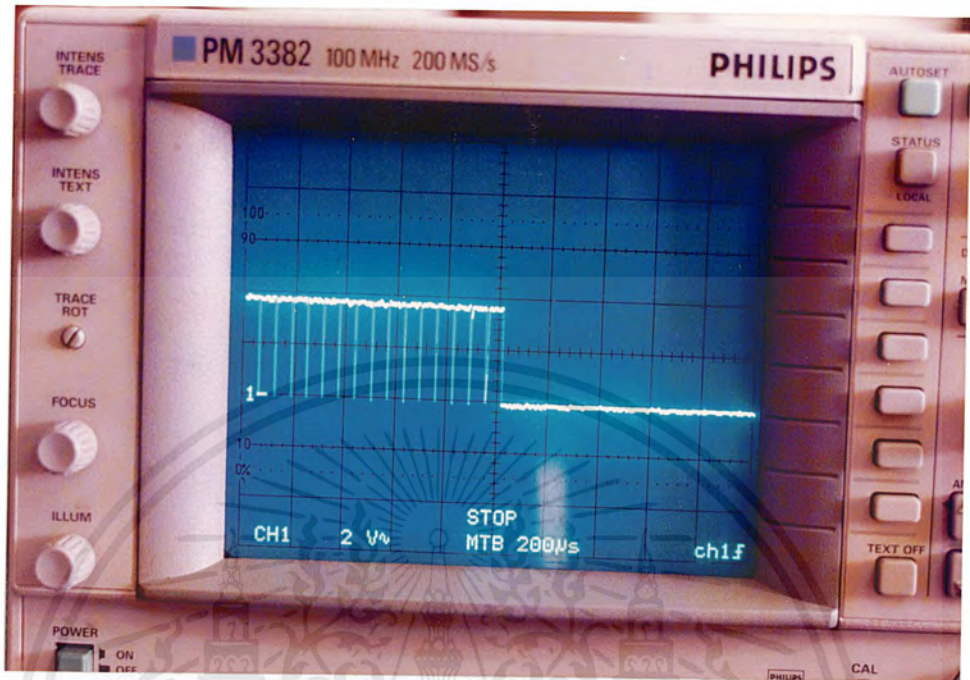


รูปที่ 4.5 ผลการวัดสัญญาณ H-Gen

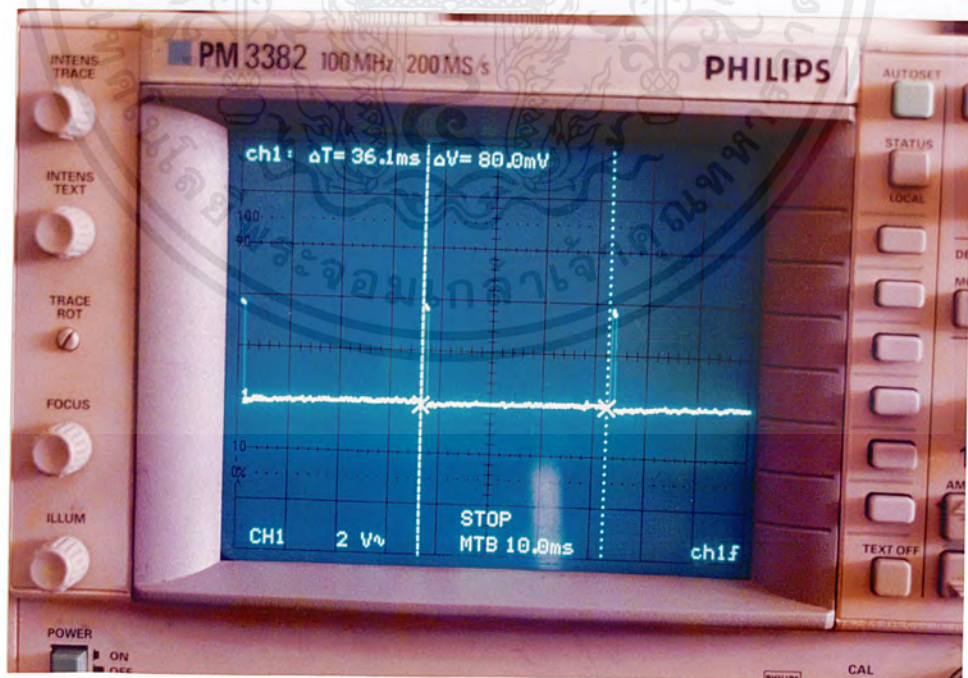


รูปที่ 4.6 ผลการวัด V-Gen

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

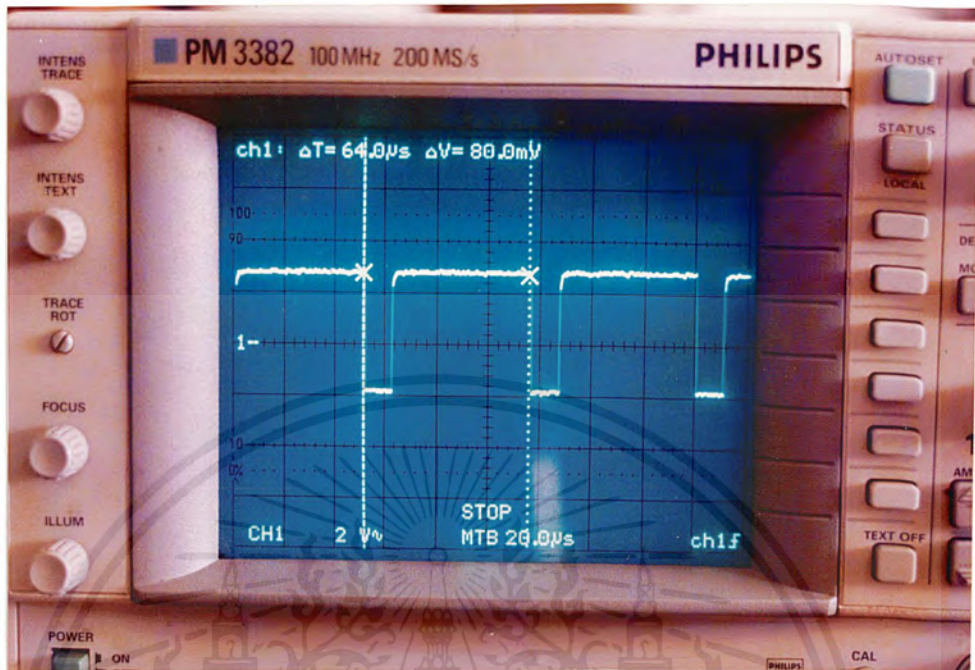


รูปที่ 4.7 ผลการวัด T-Sync (1)

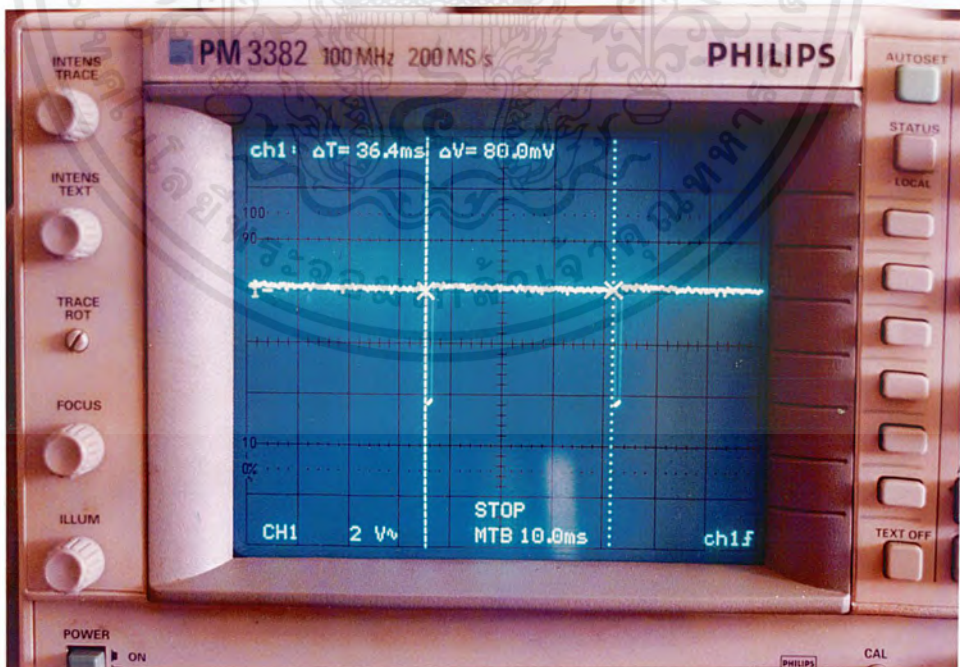


รูปที่ 4.8 ผลการวัด T-Sync (2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 ผลการวัดสัญญาณ T-Bank



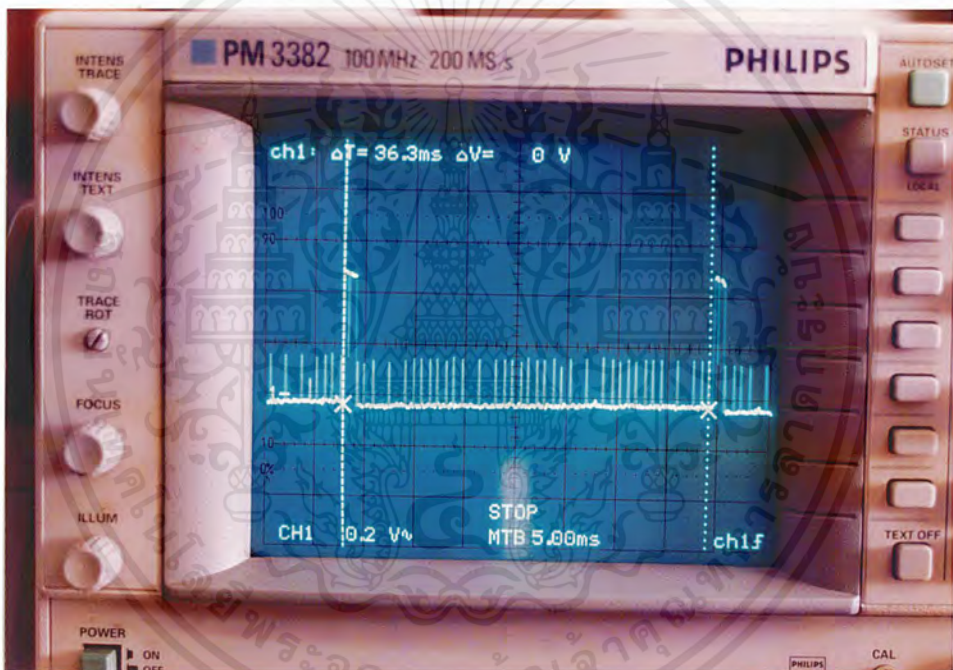
รูปที่ 4.10 ผลการวัดสัญญาณ V-Gen

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรสร้างแอดเดรส (Address Counter)

ขั้นตอนการทดลอง

1. ประกอบวงจรแอดเดรส ในบทที่ 3 และต่อ LED ที่เอาต์พุตของวงจรเพิ่ม
 2. ตรวจสอบความเรียบร้อย
 3. จ่ายแรงดัน 5 โวลต์ ให้กับวงจร
 4. ป้อนความถี่อินพุตของฟังก์ชันเจนเนอเรเตอร์จากความถี่ 1 Hz จนถึง 15 MHz
- จากการทดสอบวัดสัญญาณเอาต์พุตของวงจร MCD แสดงผลการทดสอบดังรูป 4.11



รูปที่ 4.11 ผลการวัดสัญญาณเอาต์พุตของวงจร MCD

ผลการทดลองจากการป้อนความถี่ของฟังก์ชันเจนเนอเรเตอร์สังเกตการติดของ แอลอีดี ถูกต้อง และเพื่อเพิ่มความถี่ขึ้นก็ตรวจสอบโดยใช้ออสซิลโลสโคปวัดที่เอาต์พุต ก็ได้ผลการทดลอง ที่ถูกต้อง

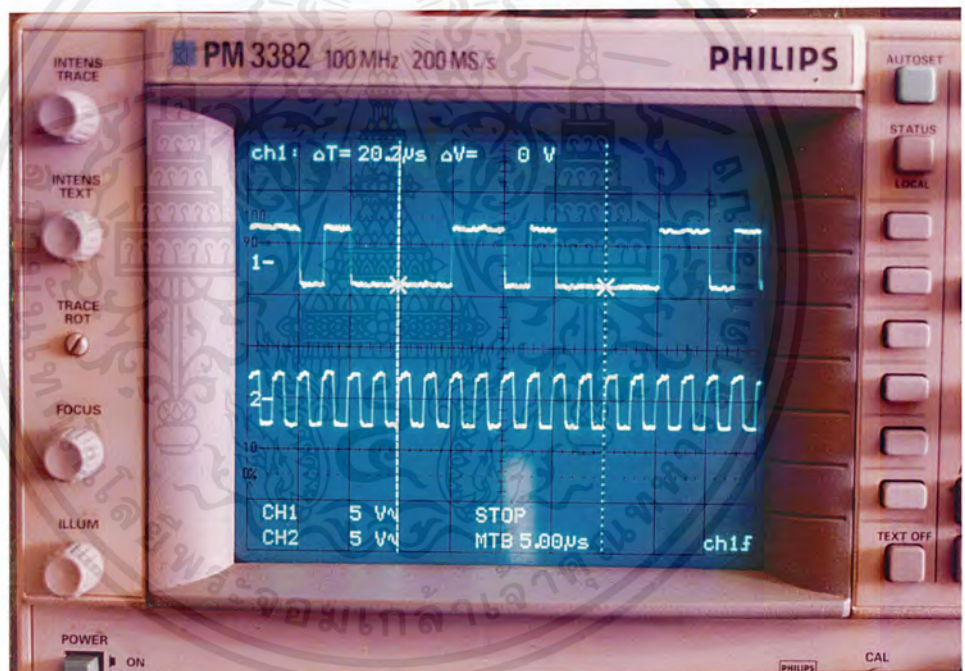
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรมัลติเพล็กซ์

ขั้นตอนการทดลอง

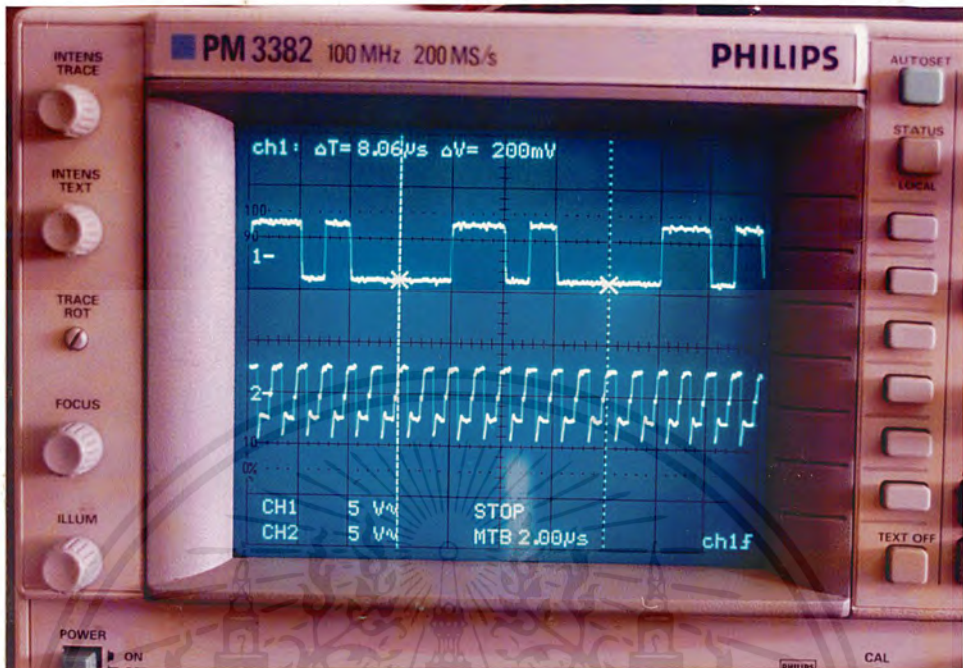
1. ประกอบวงจรมัลติเพล็กซ์ตามวงจรในบทที่ 3
2. ตรวจสอบความเรียบร้อย
3. จ่ายแรงดัน 5 โวลต์ ให้กับวงจร
4. วัดสัญญาณ

จากการทดลองวัดสัญญาณของวงจรมัลติเพล็กซ์ที่ความถี่ต่างๆ สามารถแสดงผลการทดลองได้ดังรูปที่ 4.12-4.21

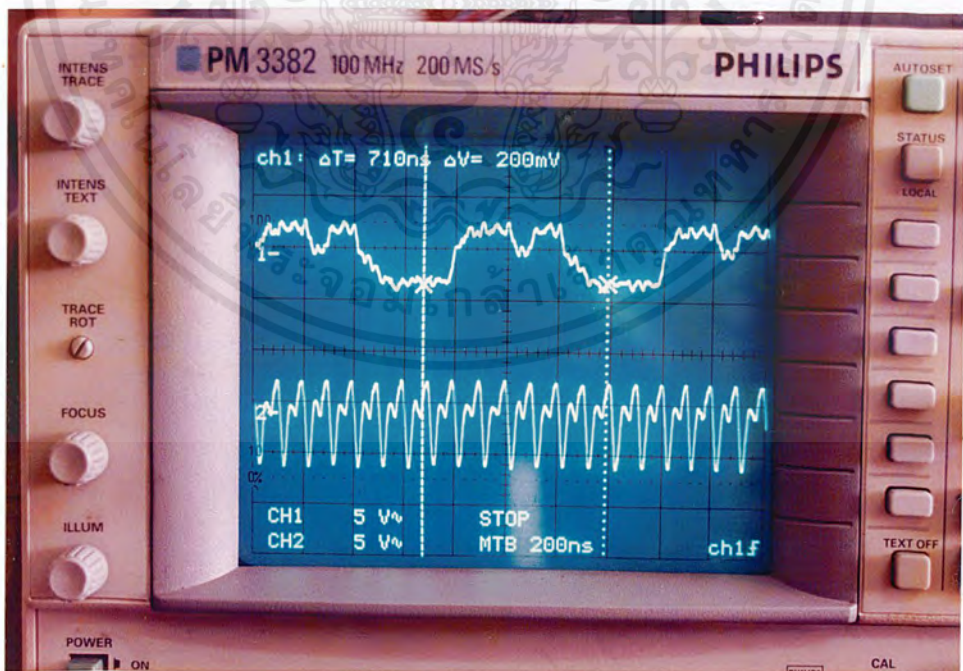


รูปที่ 4.12 ผลการวัดสัญญาณมัลติเพล็กซ์ 8 ช่องสัญญาณที่ 400 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

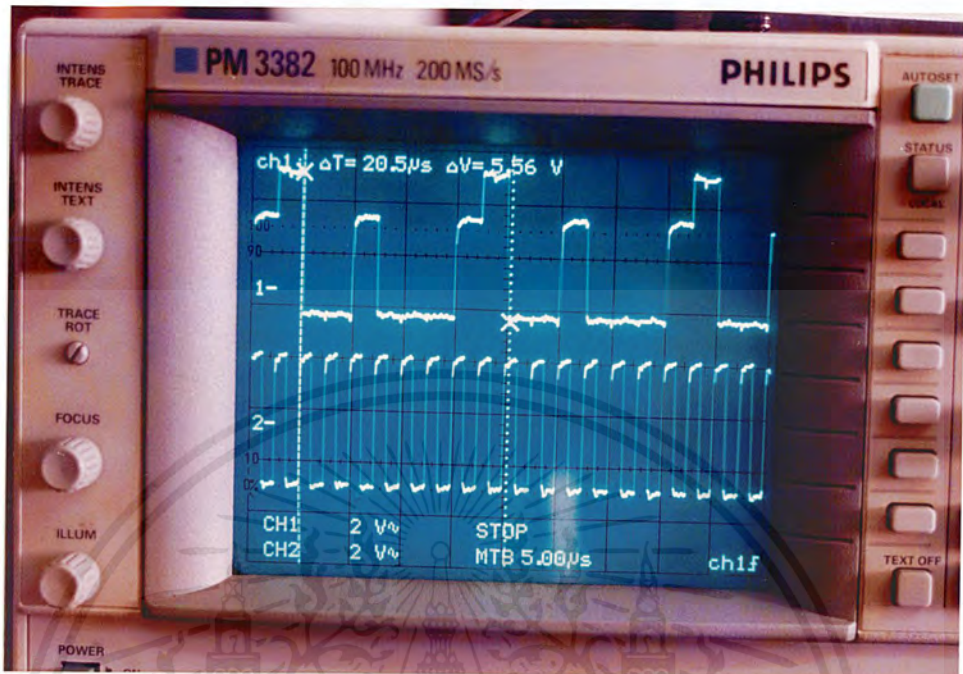


รูปที่ 4.13 ผลการวัดสัญญาณมัลติเพิล็กซ์ 8 ช่องสัญญาณที่ 1 MHz

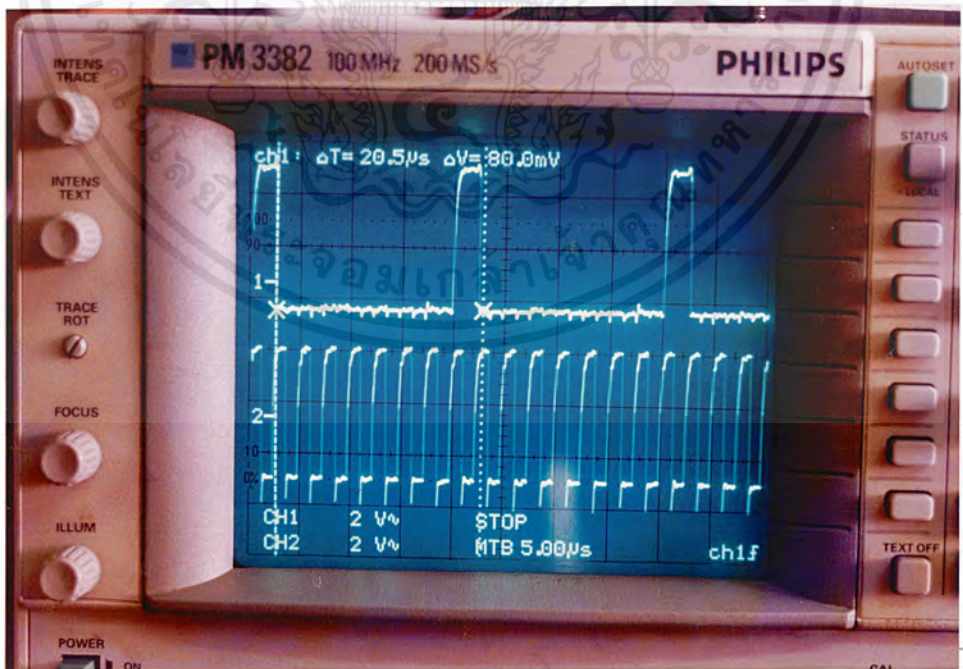


รูปที่ 4.14 ผลการวัดสัญญาณสัญญาณมัลติเพิล็กซ์ 8 ช่องสัญญาณที่ 10 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

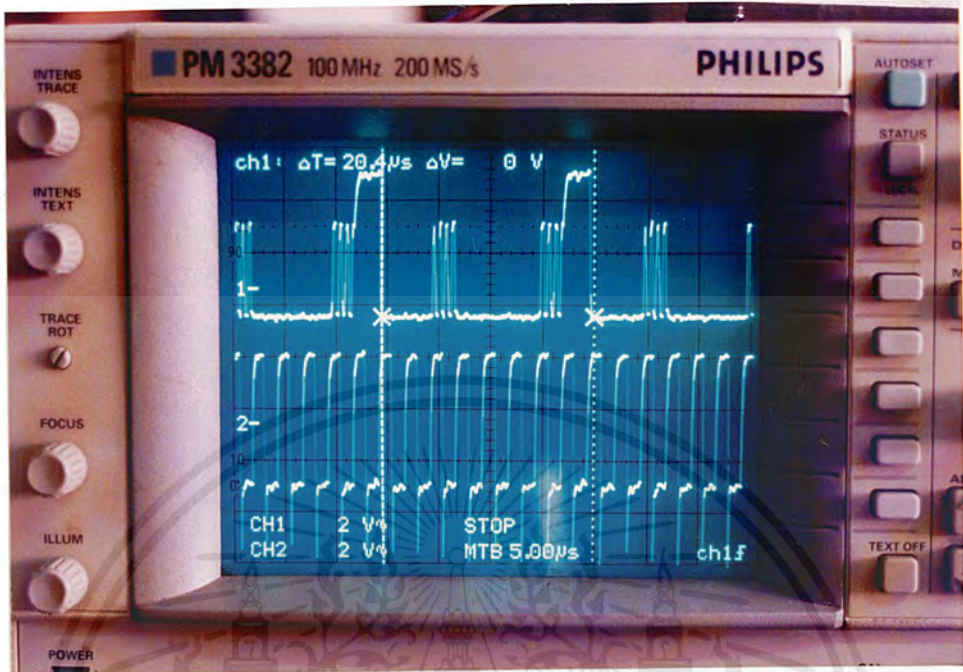


รูปที่ 4.15 ผลการวัดสัญญาณมัลติเพิลซ์ที่ 400 MHz

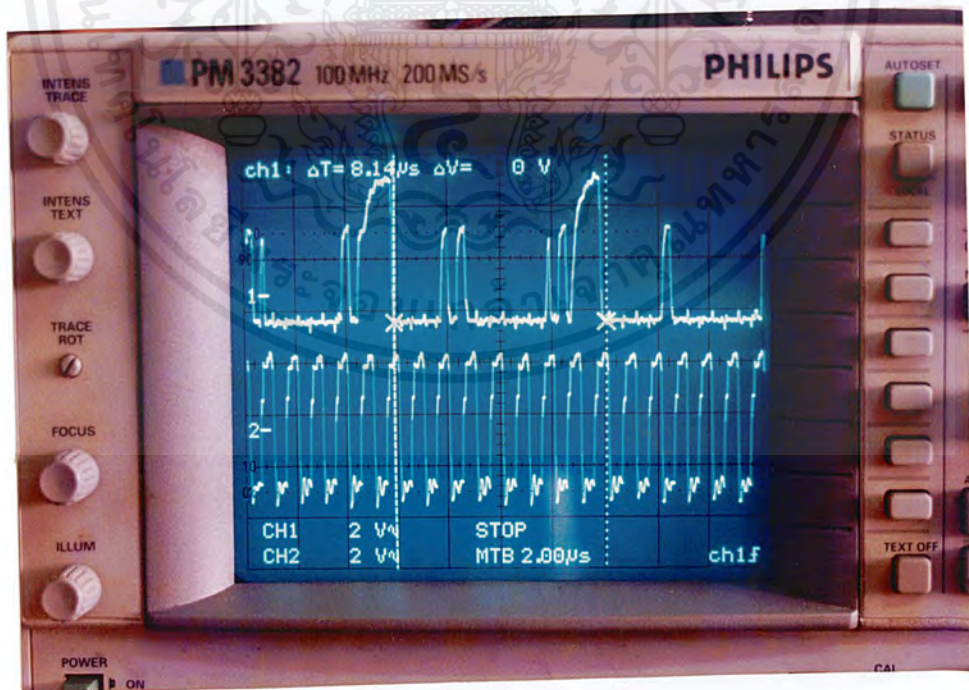


รูปที่ 4.16 ผลการวัดสัญญาณมัลติเพิลซ์ที่ 400 KHz แต่มีข้อมูลเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

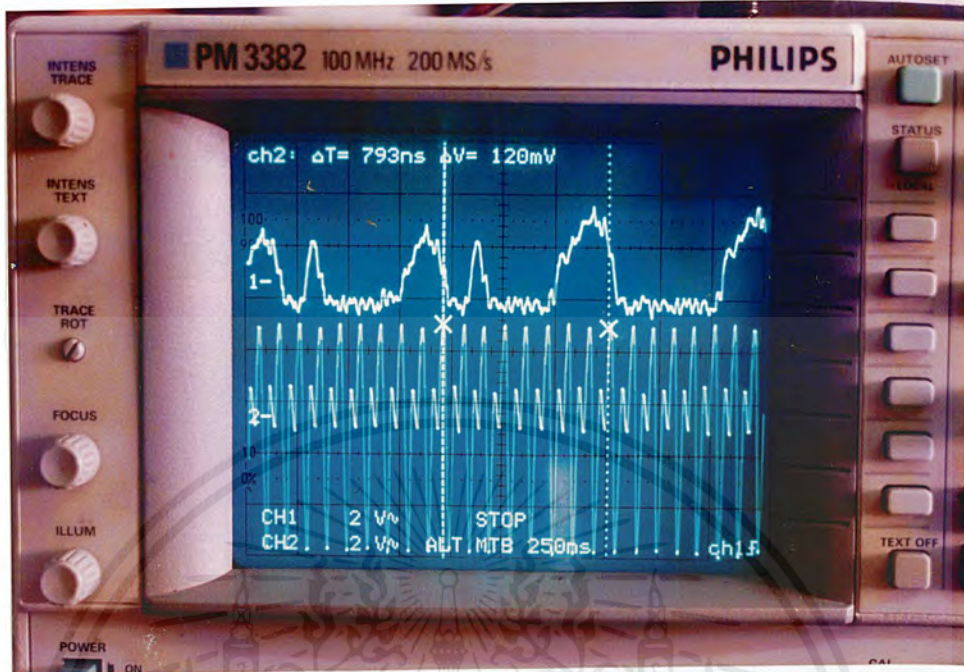


รูปที่ 4.17 ผลการวัดสัญญาณมัลติเพล็กซ์ความถี่สวิตซ์ 400 KHz ความถี่ข้อมูล 1 MHz

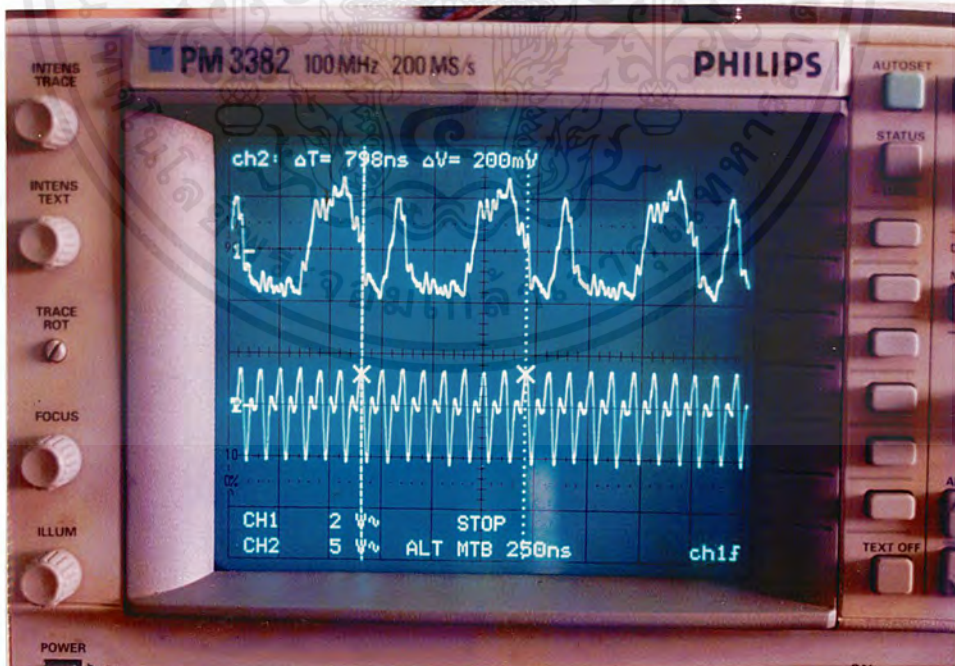


รูปที่ 4.18 ผลการวัดสัญญาณมัลติเพล็กซ์ที่ความถี่ข้อมูล 1 MHz ความถี่สวิตซ์ 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

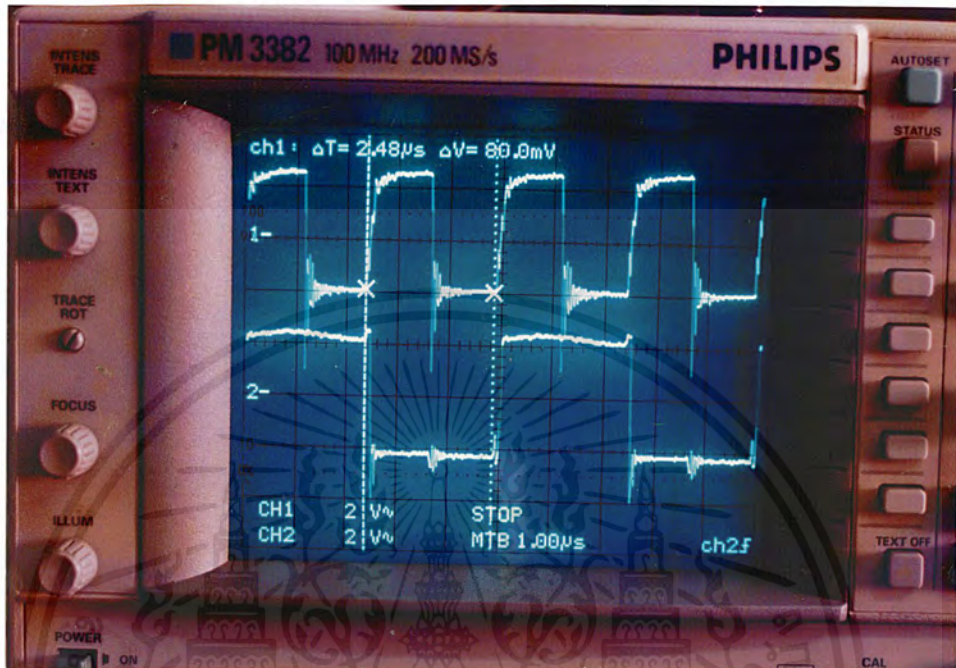


รูปที่ 4.19 ผลการวัดสัญญาณมัลติเพิล็กซ์ที่ความถี่ข้อมูล 1 MHz ความถี่สวิตซ์ 10 MHz



รูปที่ 4.20 ผลการวัดสัญญาณมัลติเพิล็กซ์ที่ความถี่ข้อมูล 5 MHz ความถี่สวิตซ์ 10 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 ผลการวัดสัญญาณวงจรหารความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา

5.1 บทสรุป

เครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิก (Logic Analyzer) ได้ทำขึ้นเพื่อใช้เป็นเครื่องมือวัดสัญญาณดิจิทัล นำเอาหลักการสุ่มสัญญาณข้อมูลเก็บลงหน่วยความจำแล้วใช้ไมโครโปรเซสเซอร์ ประมวลผลข้อมูลแล้วแสดงผลทางจอโทรทัศน์

จากการศึกษาและทดลองสร้างเครื่องวัดและวิเคราะห์สัญญาณดิจิทัลลอจิก (Logic Analyzer) ผลการทดลองไม่ตรงตามที่คาดหวัง

5.2 ปัญหาที่เกิดขึ้นในการจัดทำโครงการ

1) การเลือกและการจัดหาอุปกรณ์ A/D (Analog to Digital) ไม่ตรงตามเป้าหมาย การจัดตัวอุปกรณ์ A/D และคู่มือของอุปกรณ์ A/D เนื่องจากอุปกรณ์ที่ได้กำหนดไว้ตามเป้าหมายหาได้ยาก ไม่มีขายในท้องตลาด ทำให้การออกแบบวงจรและทดลองล่าช้า

2) วงจรผลิตสัญญาณซิงค์มีสัญญาณรบกวนทำให้ภาพที่ออกทางหน้าจอผิดเพี้ยน เนื่องจาก ภายในอุปกรณ์มีเป็นอุปกรณ์จำพวก CMOS และ TTL ต่อรวมกันอยู่ จึงทำให้เกิดสัญญาณรบกวนเกิดขึ้นได้ง่าย

3) วงจรนับแอดเดรส (Address Counter) สำหรับหน่วยความจำเก็บข้อมูลจากการสุ่มสัญญาณ และหน่วยความจำเก็บข้อมูลวิดีโอ มีลำดับการนับไม่ถูกต้อง

4) สัญญาณวิดีโอ (AV) ที่ส่งให้โทรทัศน์มีสัญญาณรบกวนอันเนื่องมาจากวงจรผลิตสัญญาณซิงค์และส่วนของวงจรมอดคูเลเตอร์มีการลดทอนของสัญญาณเป็นผลให้สัญญาณวิดีโอ (AV) มีสัญญาณรบกวนและถูกลดสัญญาณ

5) เครื่องรับโทรทัศน์ที่ใช้แสดงผลการทดลองไม่มีช่องต่อสัญญาณวิดีโอ (AV) ทำให้ไม่สามารถทดลองได้

6) วงจรมัลติเพล็กซ์สัญญาณ มีขีดจำกัดในการทำงานคือ ความเร็วในการควบคุมการเลือกสัญญาณในคู่มืออุปกรณ์อยู่ในช่วง 10 เมกะเฮิร์ตซ์ แต่ผลการทดลองได้ประมาณ 10-15 เมกะเฮิร์ตซ์ ในการสวิตช์

7) การเขียนโปรแกรมติดต่อระหว่างคอมพิวเตอร์กับไมโครโปรเซสเซอร์ Z80180 (บอร์ด JR180 version 2) ทาง parallel port ผิดพลาด แนวทางการแก้ไขคือ ทำการเซตไบออสของคอมพิวเตอร์โดยตั้ง intergral pheriperel ของการติดต่อ parallel port จาก EPP เป็น ECP เพื่อ กำหนดความเร็วในการติดต่อให้สามารถติดต่อกันได้

5.3 แนวทางการแก้ไข และพัฒนา

มีแนวทางการแก้ไขในการจัดทำ มีดังนี้

1) ลดเป้าหมายขีดความสามารถที่กำหนดไว้ที่ 20 เมกะเฮิร์ตซ์ เหลือเพียง 15 เมกะเฮิร์ตซ์ เพราะมีอุปกรณ์และคู่มือทั่วไปตามท้องตลาด จึงเลือกใช้อุปกรณ์ A/D เบอร์ CA3318

2) การแก้ไขปัญหาจากสัญญาณรบกวนมีแนวทางแก้ไขโดยใช้ บัฟเฟอร์ (Buffer) กัน ระหว่าง CMOS และ TTL ที่ต่อร่วมกันอยู่และบางส่วนต้องใส่ตัวต้านทานพูลอัพ (Pull Up) เข้าไป ทำให้สัญญาณรบกวนลดลงไปบ้าง

3) แนวทางการแก้ไขของการนับผิดพลาด ของการสุ่มข้อมูล คือ ในตำแหน่งขาของไอซี เคาท์เตอร์ที่ไม่ถูกใช้งานต้องทำการติสเอเบิล และสัญญาณออสซิลเลตต้องป้อนความถี่ที่มีความ สมบูรณ์ตั้งแต่ 400 กิโลเฮิร์ตซ์ ขึ้นไป และแอปพลิเคชันต้องอยู่ระหว่าง 2.3-4.8 โวลต์ จึงจะทำให้การนับ สมบูรณ์และถูกต้องมากที่สุด

4) แนวการแก้ไขปัญหาของเนื่องจาก การลดสัญญาณของวงจรมอดคูเลททำได้โดยการ ปรับปรุงวงจรมอดคูเลเตอร์ให้มีคุณภาพสูงและทดลองใช้ไอซีสำเร็จรูปสำหรับการผลิตสัญญาณ ซิงค์ เพื่อให้สัญญาณออกมาถูกต้องและตรงกับมาตรฐานของสัญญาณโทรทัศน์

5) แนวทางการแก้ไขปัญหาจากข้อจำกัดของวงจรมัลติเพล็กซ์ทำได้โดยการใช้ความถี่ ที่ใช้ในวงจรมัลติเพล็กซ์และนับตำแหน่งให้มีความถี่ น้อยกว่า 15 เมกะเฮิร์ตซ์ เพื่อให้มัลติเพล็กซ์ ทำงานได้

ในการพัฒนาให้เครื่องวัดและวิเคราะห์สัญญาณดิจิทัลตลอดจน เพื่อให้ใช้งานได้สมบูรณ์ ต้องพัฒนาส่วนต่างๆ ดังนี้

- 1) พัฒนาด้านหน่วยความจำให้สามารถเก็บข้อมูลได้มากขึ้น
- 2) พัฒนาด้านภาพ ให้ภาพที่ปรากฏบนจอมีสัญญาณรบกวนน้อยที่สุด
- 3) พัฒนาด้านโปรแกรม ให้สามารถ

- 3.1) ทำงานได้เต็มรูปแบบเหมือนเครื่องลจิกอนาไลเซอร์
- 3.2) วัดสัญญาณแอนาลอกได้เพื่อพัฒนาเป็นออสซิลโลสโคปได้
- 3.3) แสดงผลบนเครื่องคอมพิวเตอร์และสามารถบันทึกข้อมูลได้





ภาคผนวก ก
เครื่องต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



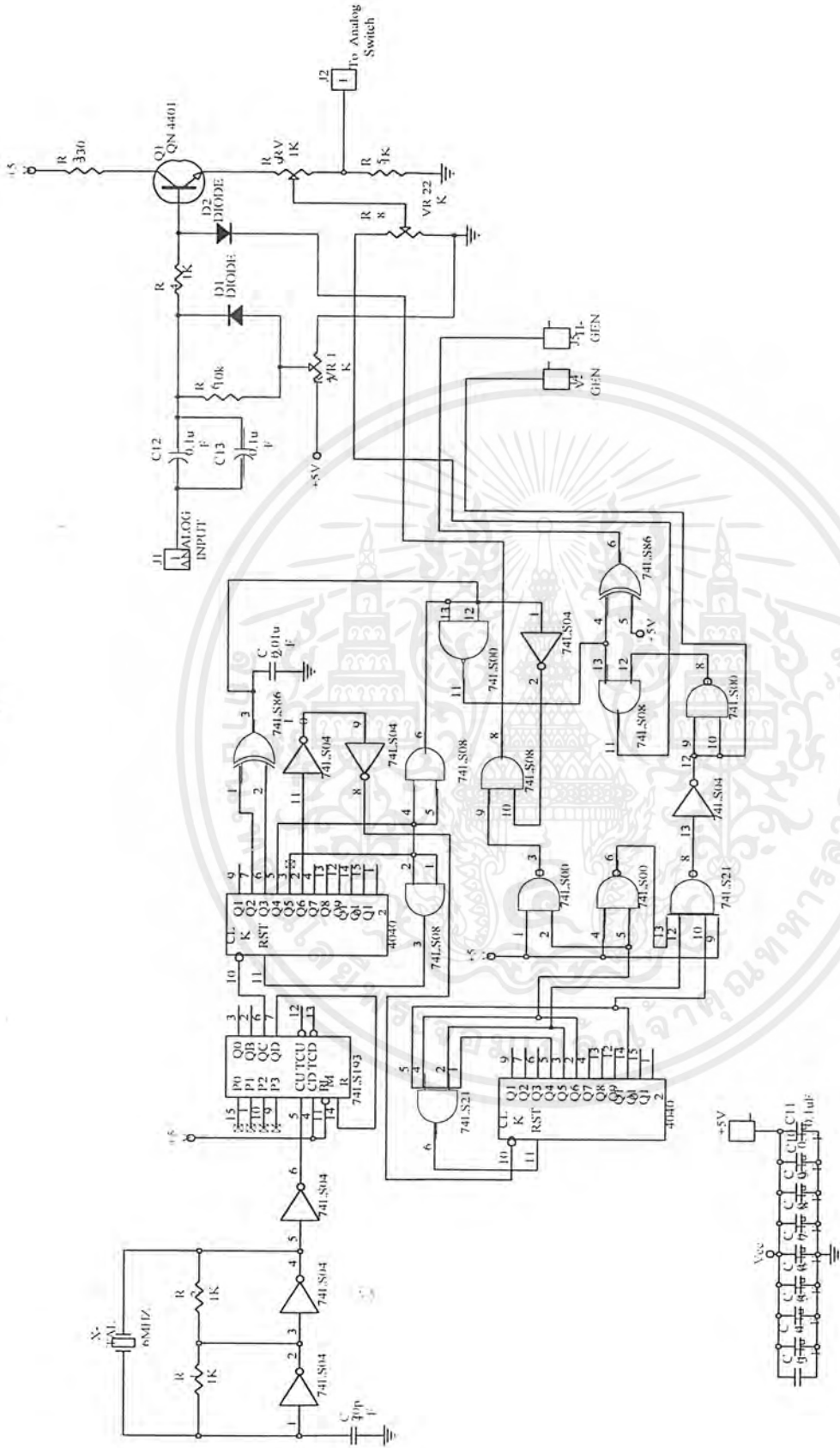
รูปที่ ก.1 เครื่องวัดและวิเคราะห์สัญญาณดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



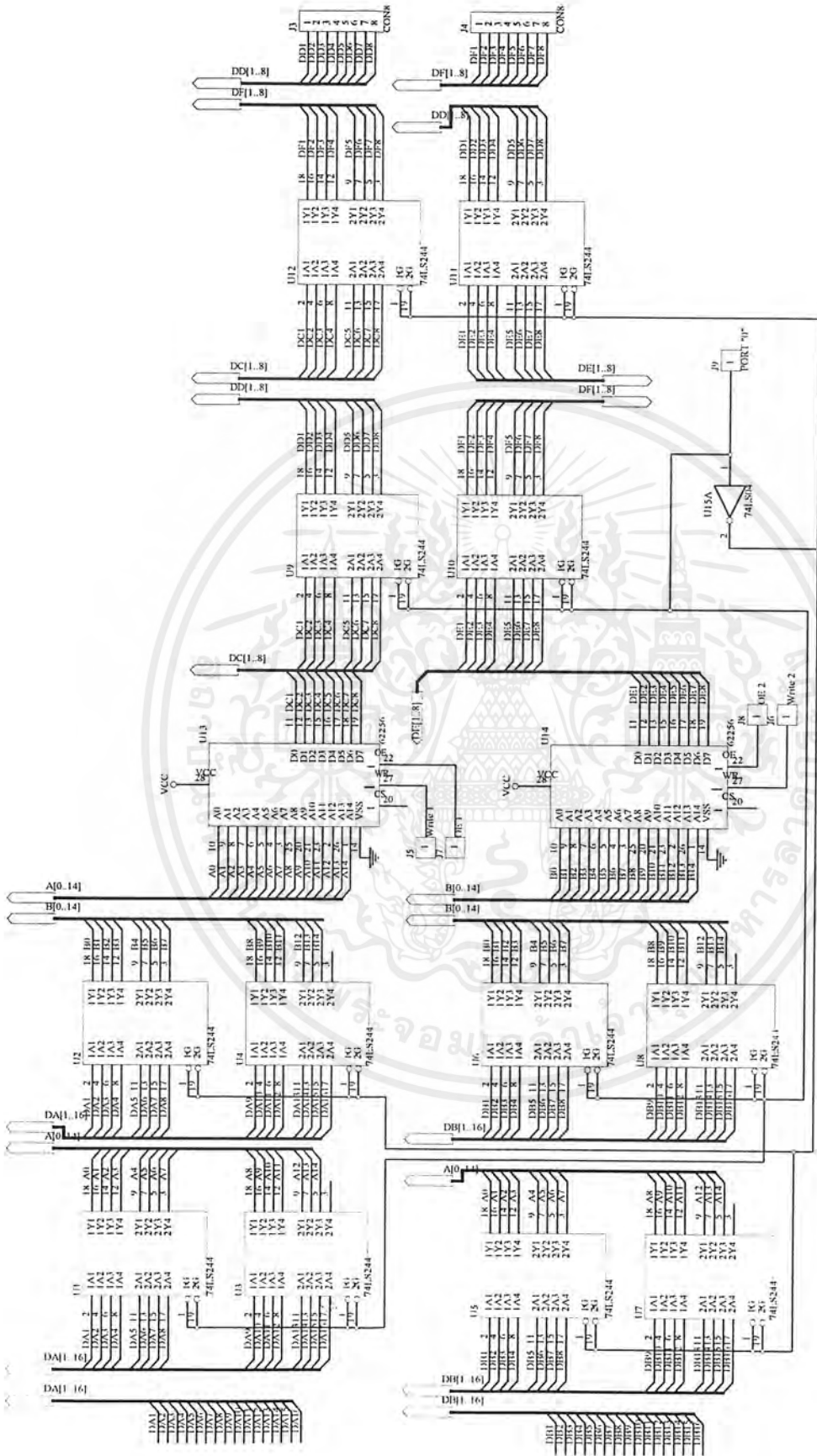
ภาคผนวก ข
วงจรและแผ่นวงจรพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.1 วงจรมอดูเลต

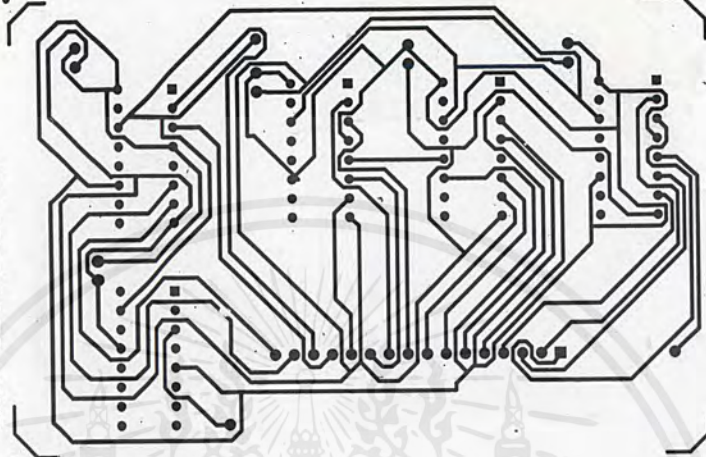
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



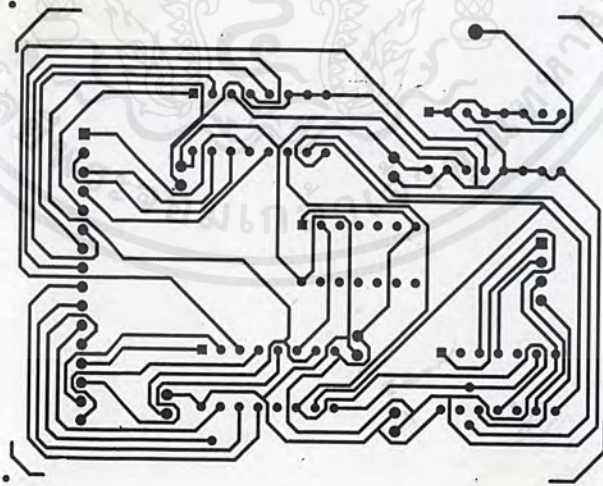
รูปที่ ข.2 วงจรสี่เลกเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UN1.PCB(15/11/43)

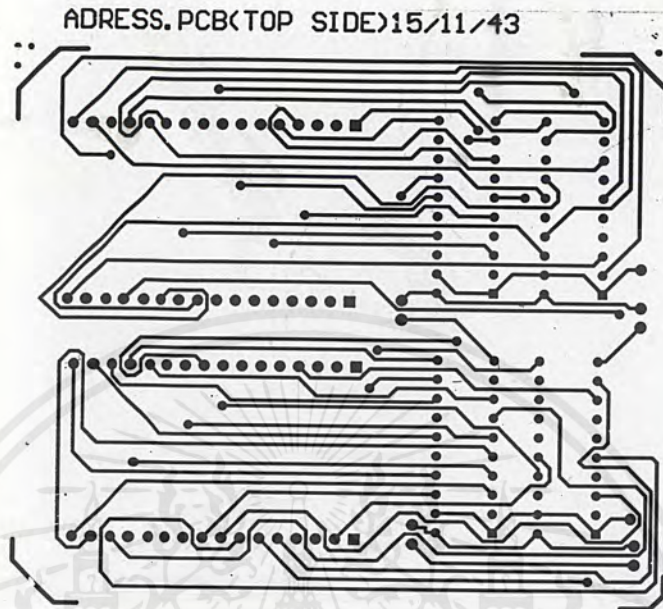


รูปที่ ข.3 ลายวงจรพิมพ์ด้านบนของวงจรมับแอดเดรสสำหรับ Sampling RAM

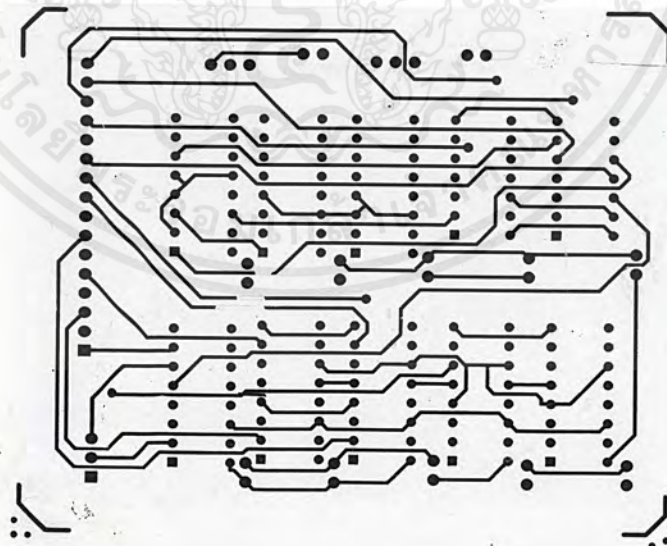


รูปที่ ข.4 ลายวงจรพิมพ์ด้านล่างของวงจรมับแอดเดรสสำหรับ Sampling RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

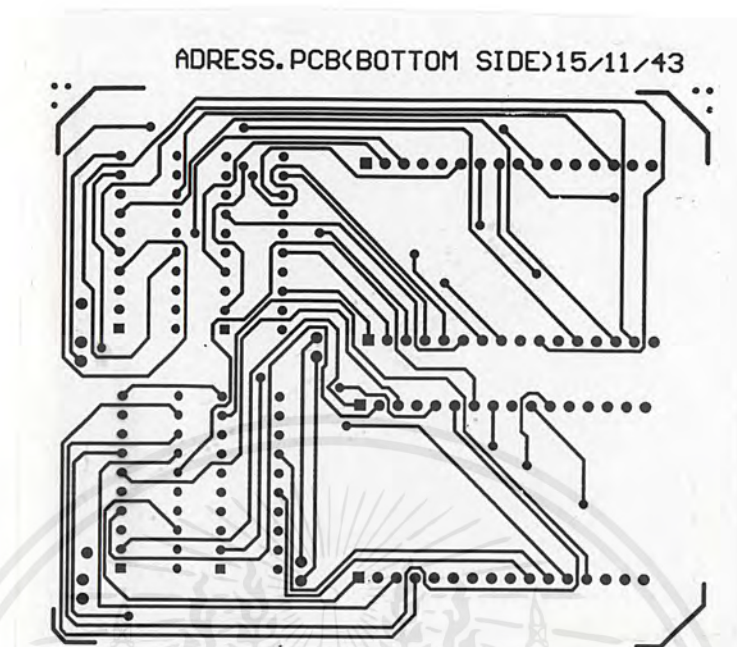


รูปที่ ข.5 ลายวงจรพิมพ์ด้านบนของวงจรถีเล็กเตอร์

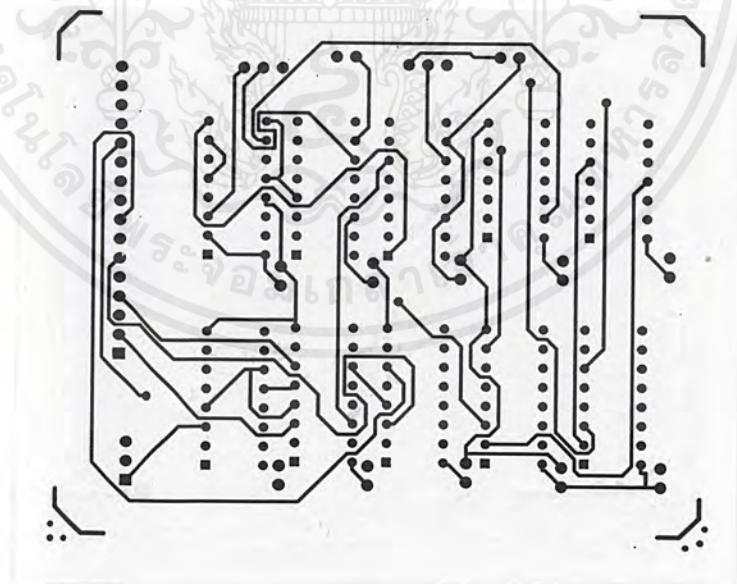


รูปที่ ข.6 ลายวงจรพิมพ์ด้านล่างของวงจรถีเล็กเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

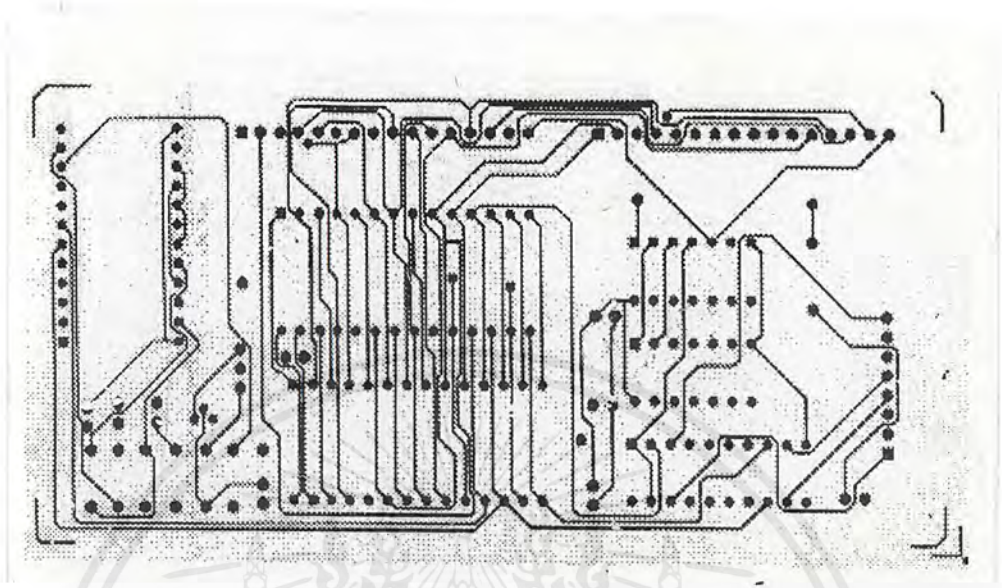


รูปที่ ข.7 ลายวงจรพิมพ์ด้านบนของวงจรมับสำหรับวีดีโอแรม

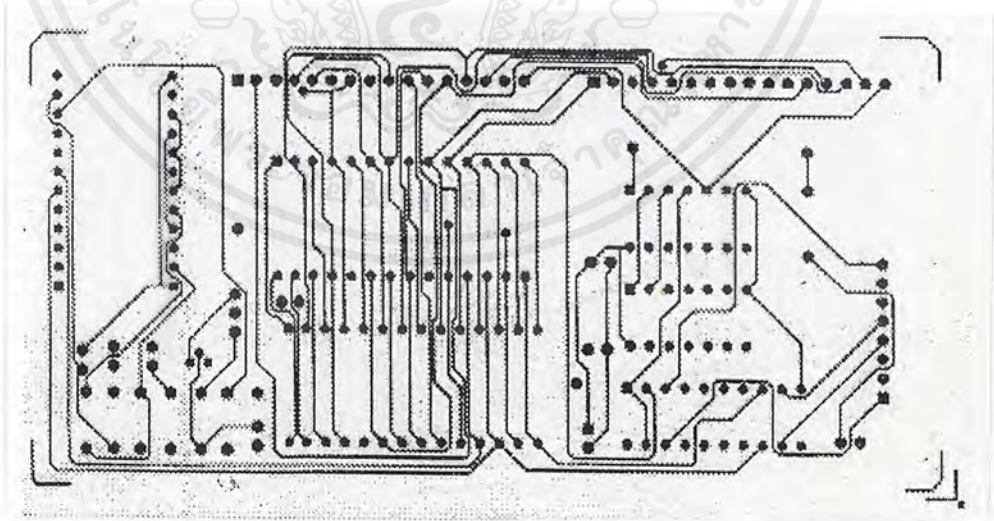


รูปที่ ข.8 ลายวงจรพิมพ์ด้านบนของวงจรมับสำหรับวีดีโอแรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

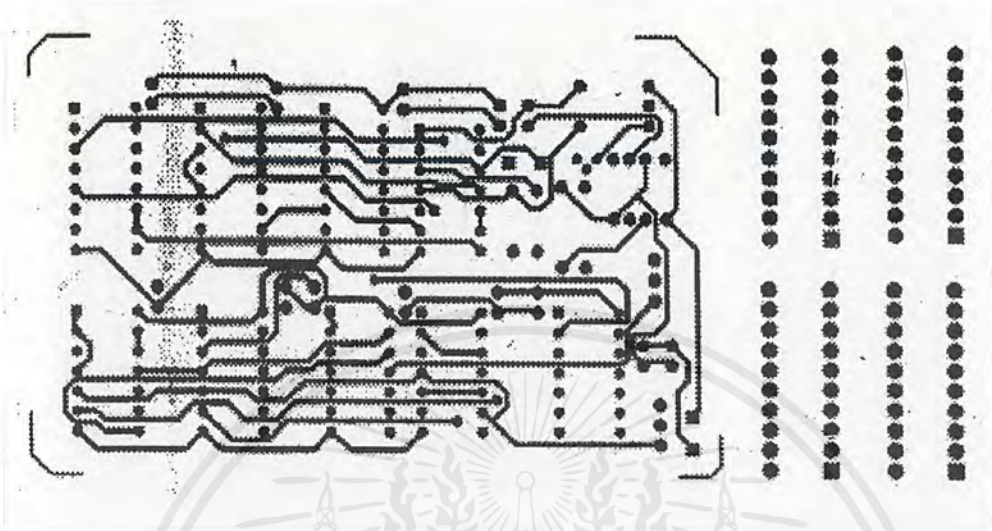


รูปที่ ข.9 ลายวงจรพิมพ์ด้านบนของวงจรสุ่มสัญญาณ

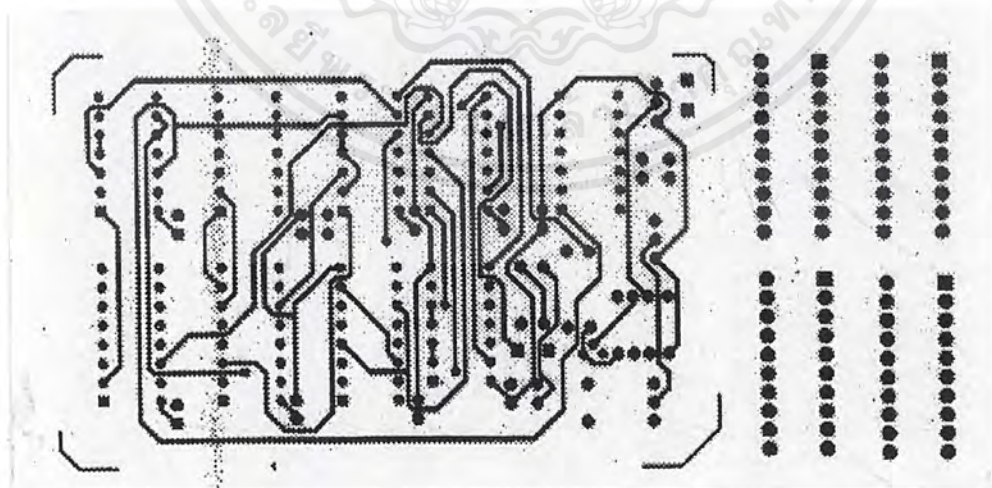


รูปที่ ข.10 ลายวงจรพิมพ์ด้านล่างของวงจรสุ่มสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

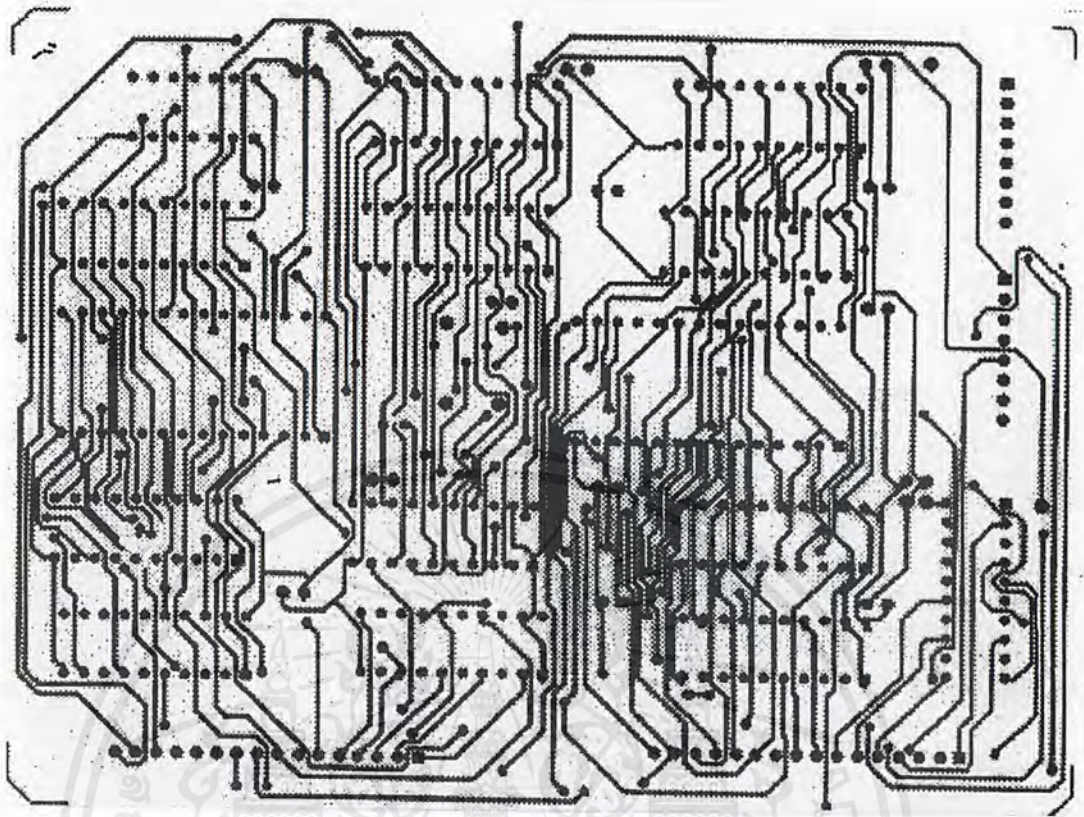


รูปที่ ข.11 ลายวงจรพิมพ์ด้านบนของวงจรผลิตสัญญาณซิงค์

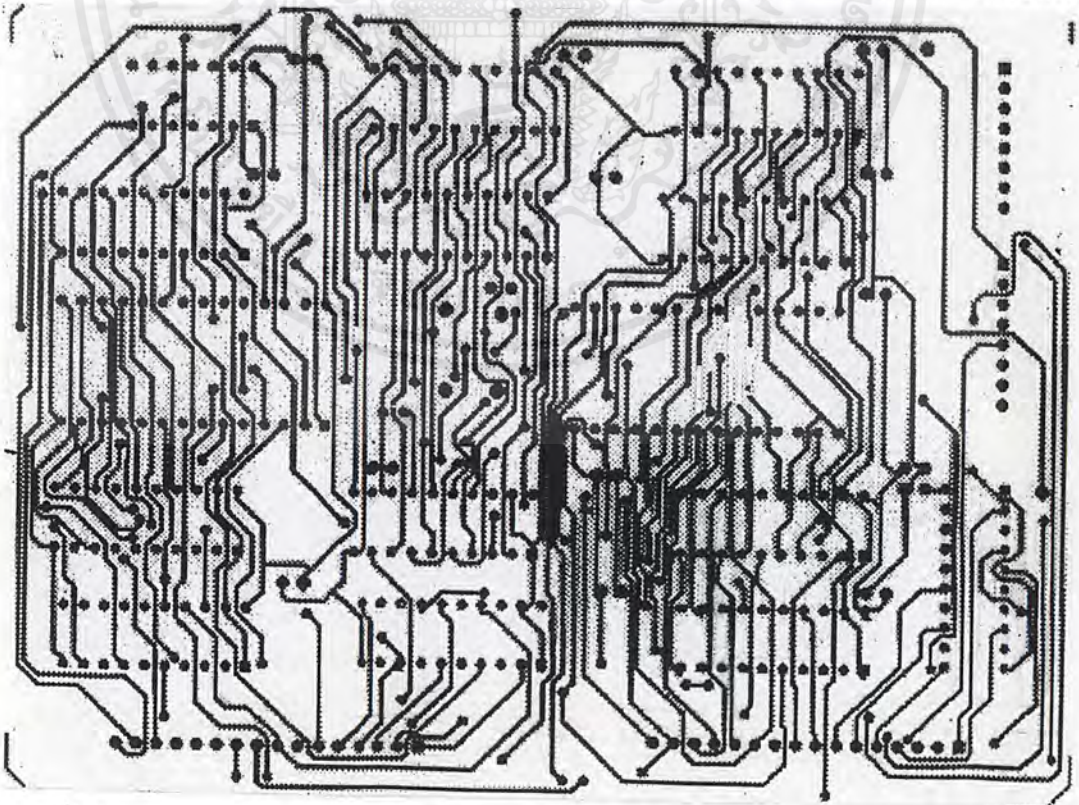


รูปที่ ข.12 ลายวงจรพิมพ์ด้านล่างของวงจรผลิตสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.13 ลายวงจรด้านบนของวงจรถีเล็กเตอร์ระหว่าง Z80180 กับวงจรมับสำหรับวีดีโอแรม

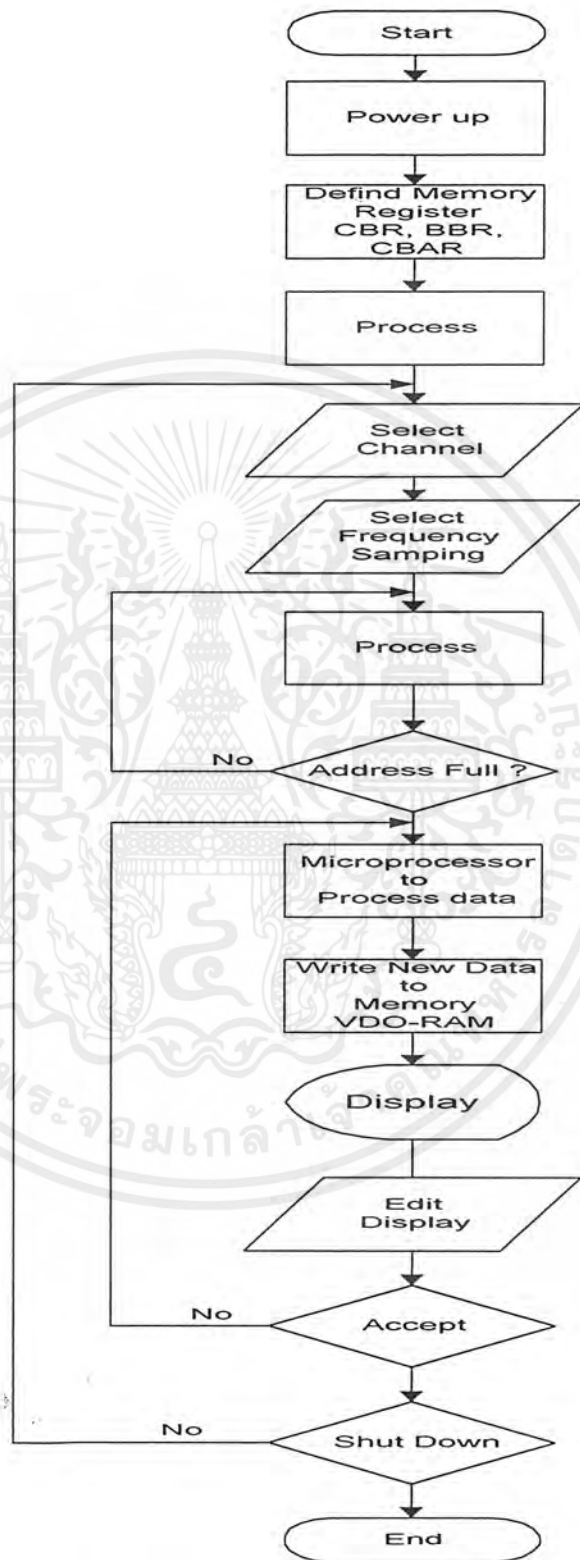


รูปที่ ข.14 ลายวงจรด้านล่างของวงจรถีเล็กเตอร์ระหว่าง Z80180 กับวงจรมับสำหรับวีดีโอแรม
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมอนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก
ผังการทำงานและโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ค.1 แผนผังขั้นตอนการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

.equ CBR, 38h
.equ BBR, 39h
.equ CBAR, 3Ah
.equ OMCR, 3Eh
.equ CNTR, 0Ah
.equ CNTLA0, 0
.equ CNTLB0, 2
.equ STAT0, 4
.equ TDR0, 6
.equ RDR0, 8
.equ CNTLA1, 1
.equ CNTLB1, 3
.equ STAT1, 5
.equ TDR1, 7
.equ RDR1, 9
.equ PORTA, 80H
.equ PORTB, 81H
.equ PORTC, 82H
.equ CTPORT, 83H
.equ LCDINS, 0C0H
.equ LCDATA, 0C2H
.equ LCDBSY, 0C4H
.equ LF, 0AH ; linefeed
.equ CR, 0DH ; return
.equ ERROR1, 1 ; packet error
.equ ERROR2, 2 ; alarm
.equ ERROR3, 3
.equ ERROR4, 4
.org 0
; POWER UP
    di
start:  ld hl, 0 ; delay for BOOTUP SYSTEM
start1: nop ;
        di
        dec hl ;
        ld a, h ;
        or l ;
        jr nz, start1 ;
init:
    ld a, 0
    out0 (OMCR), a
    ld a, 0c4H
    out0 (CBAR), a ;
    ld a, 014h
    out0 (CBR), a ;set common & bank base
registers
    ld a, 0ch
    out0 (BBR), a ;point to 10000H
    ld sp, 8100h ; 83FFh ; set stack to RAM
    ld C, CTPORT ; 8255 #1
    ld a, 80h ; set all port as output
    out (c), a
    ld a, 4
    out0 (CNTLB0), a ; 2400 BAUD at 12.288 MHz
    out0 (CNTLB1), a

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        ld a,64H
        out0 (CNTLA0),a ; enable tx,rx,start
        out0 (CNTLA1),a ; 8 bit data
                                ; 1 stop bit

        ld a,0
        out0 (CNTR),a
        out0 (STAT0),a
        out0 (STAT1),a
        ld a,10
        ld (time),a

;*****

main:
        ;ld c,10 ;
        ;call fullline
;
        ld c,20
        ;call fullline
        ;ld c,21
        ;call fullline
        ;ld c,30
        ;call fullline
        ;ld c,31
        ;call fullline
        ;ld c,32
        ;call fullline
        ;ld c,40
        ;call fullline
        ;ld c,41
        ;call fullline
        ld c,42
        call fullline
        ld c,43
        call fullline
        halt

;*****

;FULL LINE write a line 64 bytes long
;INPUT      C = the number of line from 0 to 256
;CALL      LINE

;*****

fullline:
        ld b,64

;*****
*****
;LINE      write a line
;INPUT      B = long of line max at 64
;           C = the number of line from 0 to 256
;CALL      NO

```

```

;*****
line:
    ld l,c
    ld h,64
    mlt hl
    ld a,0ffh
    ld de,0C000H
    add hl,de
loopline:
    ld (hl),a
    inc hl
    djnz loopline
    ret

;*****
dd:
    ld bc,05000h
lp:
    cpd
    jp pe,lp
    ret
blink:
    ld a,0h
    out (PORTC),a
    call dd
    ;ld bc,0
lp1:
    ;cpd
    ;jp pe,lp1
    ld a,0ffh
    out (PORTC),a
    call dd
    ;ld bc,0
lp2:
    ;cpd
    ;jp pe,lp2
    jr blink
dmax:
    push af
    ld a,2
dmax1:
    push af
    call dmax2
    pop af
    dec a
    jr nz,dmax1
    pop af
    ret
dmax2:
    ld a,0ffh
    jr delay1
delay:

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        ld b,10;(time)
delay1:
        call dela
        dec b
        jr nz,delay1
        ret
dela:
        push af
        push hl
        ld hl,1000
delal:  nop
        dec hl
        ld a,h
        or l
        jr nz,delal
        pop hl
        pop af
        ret
comm:   .db  LF,'d',CR
gets:   .db  LF,"d0000",CR
.org 8500h
buffer: .rs  10
time1:  .db  50
time2:  .db  10
time:   .db  10
STAT:   .db  5
TDR:    .db  7
RDR:    .db  9
light:  .db  0
nalarm: .dw  0
Lalarm: .dw  0
buff:   .rs  30

```

รูปที่ ค.2 โปรแกรมทดสอบการแสดงผลทางจอโทรทัศน์



ภาคผนวก ง

รายการอุปกรณ์เครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรผลิตและหารความถี่

| อุปกรณ์ | ค่า/เบอร์ | จำนวน |
|---------|-----------|-------|
| IC1 | 74LS04 | 1 ตัว |
| IC2 | 74LS193 | 2 ตัว |
| IC3 | MC4051 | 1 ตัว |
| X-TAL | 30MHz | 1 ตัว |
| R | 1KΩ 1/4 W | 2 ตัว |
| C1 | 0.1 uF | 4 ตัว |
| C2 | 22 pF | 1 ตัว |

วงจร SAMPLING และเก็บข้อมูล

| อุปกรณ์ | ค่า/เบอร์ | จำนวน |
|-------------|--------------|-------|
| IC1 | CA3318 | 1 ตัว |
| SRAM | 62256 (32 K) | 2 ตัว |
| IC2 | 74LS244 | 1 ตัว |
| IC3 | 74LS04 | 1 ตัว |
| IC4 | 74LS32 | 1 ตัว |
| C (เซรามิก) | 0.2 uF | 3 ตัว |
| | 0.1 UF | 2 ตัว |
| | 0.01 uF | 1 ตัว |
| TRANSISTOR | 2N4401 | 1 ตัว |
| JUMPER | 8,16 | 1 ตัว |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Address Counter for Sampling RAM

| อุปกรณ์ | ค่า/เบอร์ | จำนวน |
|---------|-----------|-------|
| IC1 | 74LS76 | 1 ตัว |
| IC2 | 74LS193 | 4 ตัว |
| C | 0.1 uF | 5 ตัว |

วงจรผลิตสัญญาณซิงค์

| อุปกรณ์ | ค่า/เบอร์ | จำนวน |
|---------|--------------|-------|
| X-TAL | 6 MHz | 1 ตัว |
| R | 1 K Ω | 2 ตัว |
| C | 22 pF | 1 ตัว |
| | 0.1 uF | 6 ตัว |
| IC1 | 4040 | 2 ตัว |
| IC2 | 74LS00 | 1 ตัว |
| IC3 | 74LS04 | 2 ตัว |
| IC4 | 74LS08 | 1 ตัว |
| IC5 | 74LS21 | 1 ตัว |
| IC6 | 74LS86 | 1 ตัว |

วงจรเลือก Address from counter/Z80180

| อุปกรณ์ | ค่า/เบอร์ | จำนวน |
|---------|-----------|-------|
| IC1 | 74LS244 | 4 ตัว |
| C | 0.1uF | 4 ตัว |
| JUMPER | 16 จุด | 4 ตัว |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรผสมสัญญาณ

| อุปกรณ์ | ค่า/เบอร์ | จำนวน |
|------------|---------------|-------|
| TRANSISTOR | 2N4401 | 1 ตัว |
| DIODE | 1N4148 | 2 ตัว |
| R | 330 Ω | 1 ตัว |
| | 10 K Ω | 1 ตัว |
| | 1 K Ω | 2 ตัว |
| VR | 1K Ω | 2 ตัว |
| | 22 K Ω | 2 ตัว |
| C | 0.1 μ F | 2 ตัว |

วงจร MULTIPLEXER

| อุปกรณ์ | ค่า/เบอร์ | จำนวน |
|---------|-------------|-------|
| IC1 | 74LS04 | 1 ตัว |
| IC2 | 74LS08 | 1 ตัว |
| IC3 | MC14051B | 3 ตัว |
| C | 0.1 μ F | 4 ตัว |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก จ
รายละเอียดของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



CA3318C

CMOS Video Speed 8-Bit Flash A/D Converter

December 1993

Features

- CMOS Low Power with SOS Speed (150mW Typ.)
- Parallel Conversion Technique
- 15MHz Sampling Rate (67ns Conversion Time)
- 8-Bit Latched Tri-State Output with Overflow Bit
- ± 1 LSB Accuracy (Typ.)
- Single Supply Voltage (4V to 7.5V)
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High-Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- High Speed Oscilloscope Storage/Display
- General Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- μ P Data Acquisition Systems

Description

The CA3318C is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

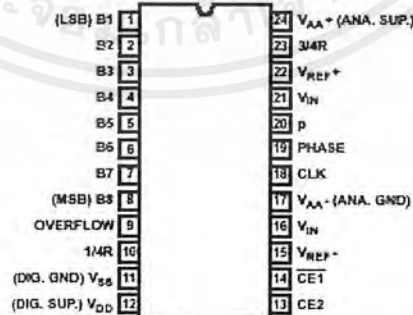
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

| PART NUMBER | LINEARITY (INL) | SAMPLING RATE | TEMPERATURE RANGE | PACKAGE |
|-------------|-----------------|---------------|-------------------|----------------------|
| CA3318CE | ± 1.5 LSB | 15MHz (67ns) | -40°C to +85°C | 24 Lead Plastic DIP |
| CA3318CM | ± 1.5 LSB | 15MHz (67ns) | -40°C to +85°C | 24 Lead Plastic SOIC |
| CA3318CD | ± 1.5 LSB | 15MHz (67ns) | -40°C to +85°C | 24 Lead Ceramic DIP |

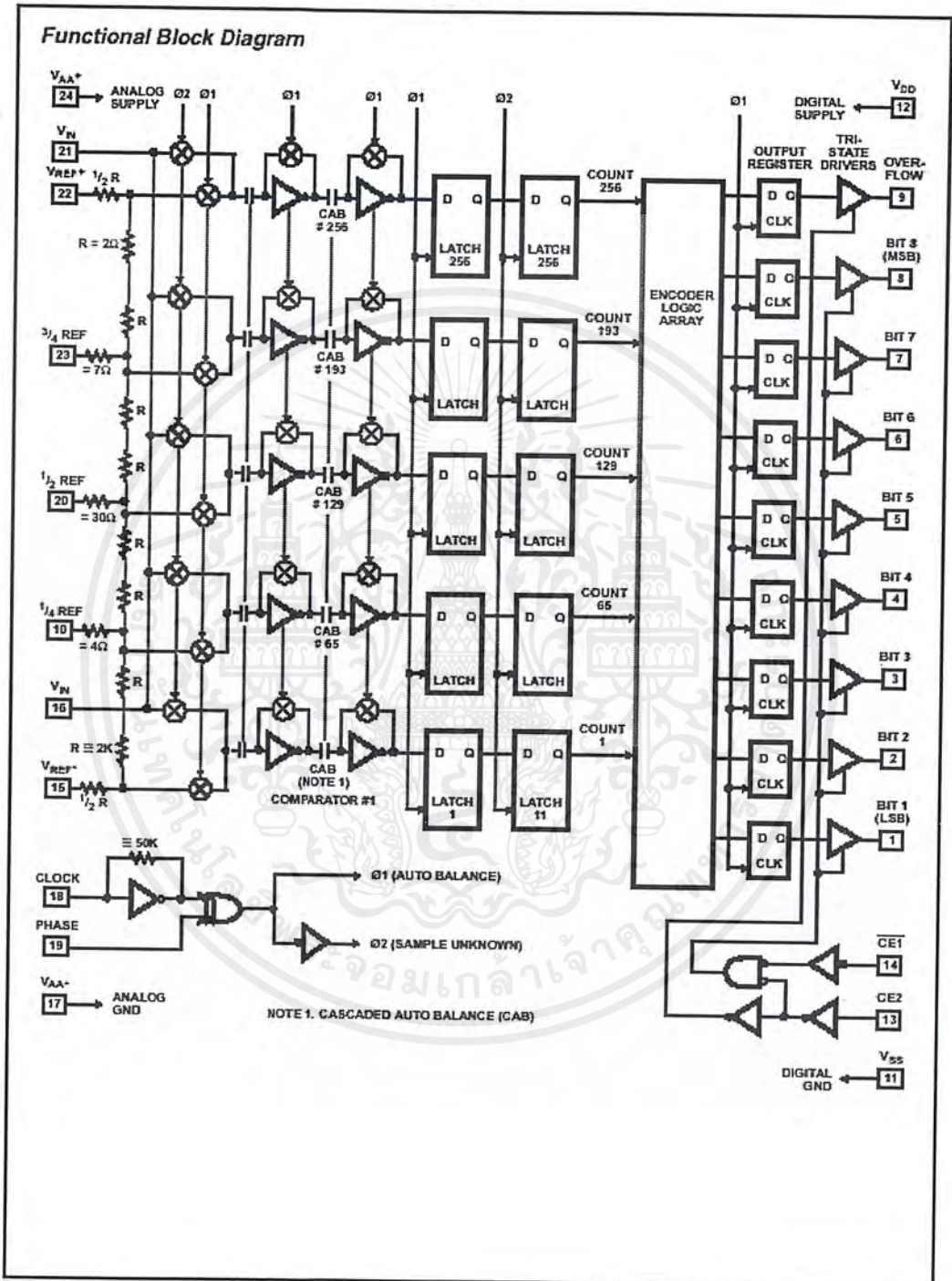
Pinout

CA3318C (PDIP, CDIP, SOIC)
TOP VIEW



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3318C



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Specifications CA3318C

Absolute Maximum Ratings

| | |
|--|--------------------------------------|
| DC Supply Voltage Range (V_{DD} or V_{AA+}) | -0.5V to +8V |
| (Referenced to V_{SS} or V_{AA-} Terminal, Whichever is More Negative) | |
| Input Voltage Range | |
| CE2 and CET | $V_{AA-} - 0.5V$ to $V_{DD} + 0.5V$ |
| Clock, Phase, V_{REF-} , V_i Ref. | $V_{AA+} - 0.5V$ to $V_{AA+} + 0.5V$ |
| Clock, Phase, V_{REF+} , V_i Ref. | $V_{SS} - 0.5V$ to $V_{DD} + 0.5V$ |
| V_{IN} , 3/4 REF, V_{REF+} | $V_{AA-} - 0.5V$ to $V_{AA+} + 7.5V$ |
| Output Voltage Range, Bits 1-8, Overflow (Outputs Off) | $V_{SS} - 0.5V$ to $V_{DD} + 0.5V$ |
| DC Input Current | $\pm 20mA$ |
| Clock, Phase, CET, CE2, V_{IN} , Bits 1-8, Overflow | |
| Operating Voltage Range (V_{DD} or V_{AA+}) | .4V Min to 7.5V Max |
| Recommended V_{AA+} Operating Range | $V_{DD} \pm 1V$ |
| Recommended V_{AA-} Operating Range | $V_{SS} \pm 1V$ |
| Storage Temperature Range | -65°C to +150°C |
| Lead Temperature (Soldering 10s) | +265°C |

Thermal Information

| | | |
|---------------------------------------|----------------|---------------|
| Thermal Resistance | θ_{JA} | θ_{JC} |
| Ceramic DIP Package | 58°C/W | 11°C/W |
| Plastic DIP Package | 60°C/W | * |
| Plastic SOIC Package | 75°C/W | * |
| Maximum Power Dissipation | 0.67W | |
| Operating Temperature Range (T_A) | -40°C to +85°C | |
| Junction Temperature | | |
| Ceramic Package | +175°C | |
| Plastic Package | +150°C | |

CAUTION: Stresses above those listed in 'Absolute Maximum Ratings' may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Specifications At +25°C, $V_{AA+} = V_{DD} = 5V$, $V_{REF+} = 8.4V$, $V_{REF-} = V_{AA-} = V_{SS}$, CLK = 15MHz.
All Reference Points Adjusted, Unless Otherwise Specified.

| PARAMETER | TEST CONDITIONS | MIN | TYP | MAX | UNITS |
|--|-------------------------------------|------|-----|-----------|----------|
| SYSTEM PERFORMANCE | | | | | |
| Resolution | | 8 | - | - | Bits |
| Integral Linearity Error | | * | - | ± 1.5 | LSB |
| Differential Linearity Error | | * | - | +1, -0.8 | LSB |
| Offset Error, Unadjusted | $V_{IN} = V_{REF+} + 1/2$ LSB | -0.5 | 4.5 | 8.4 | LSB |
| Gain Error Unadjusted | $V_{IN} = V_{REF+} - 1/2$ LSB | -1.5 | 0 | 1.5 | LSB |
| DYNAMIC CHARACTERISTICS | | | | | |
| Maximum Input Bandwidth | (Note 1) CA3318C | 2.5 | 5.0 | - | MHz |
| Maximum Conversion Speed | CLK = Square Wave | 15 | 17 | - | MSPS |
| Signal to Noise Ratio (SNR) | $F_S = 15MHz$, $f_{IN} = 100kHz$ | * | 47 | - | dB |
| $\frac{RMS\ Signal}{RMS\ Noise}$ | $F_S = 15MHz$, $f_{IN} = 4MHz$ | * | 43 | - | dB |
| Signal to Noise Ratio (SINAD) | $F_S = 15MHz$, $f_{IN} = 100kHz$ | * | 45 | - | dB |
| $\frac{RMS\ Signal}{RMS\ Noise + Distortion}$ | $F_S = 15MHz$, $f_{IN} = 4MHz$ | * | 35 | - | dB |
| Total Harmonic Distortion, THD | $F_S = 15MHz$, $f_{IN} = 100kHz$ | * | -48 | - | dBc |
| | $F_S = 15MHz$, $f_{IN} = 4MHz$ | * | -36 | - | dBc |
| Effective Number of Bits (ENOB) | $F_S = 15MHz$, $f_{IN} = 100kHz$ | * | 7.2 | - | Bits |
| | $F_S = 15MHz$, $f_{IN} = 4MHz$ | * | 5.5 | - | Bits |
| Differential Gain Error | Unadjusted | - | 2 | - | % |
| Differential Phase Error | Unadjusted | - | 1 | - | % |
| ANALOG INPUTS | | | | | |
| Full Scale Range, V_{IN} and $(V_{REF+}) - (V_{REF-})$ | Notes 2, 4 | 4 | - | 7 | V |
| Input Capacitance, V_{IN} | | - | 30 | - | pF |
| Input Current, V_{IN} , (See Text) | $V_{IN} = 5.0V$, $V_{REF+} = 5.0V$ | - | - | 3.5 | mA |
| REFERENCE INPUTS | | | | | |
| Ladder Impedance | | 270 | 500 | 800 | Ω |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Specifications CA3318C

Electrical Specifications At +25°C, $V_{AA+} = V_{DD} = 5V$, $V_{REF+} = 6.4V$, $V_{REF-} = V_{AA-} = V_{SS}$, CLK = 15MHz,
All Reference Points Adjusted, Unless Otherwise Specified. (Continued)

| PARAMETER | TEST CONDITIONS | MIN | TYP | MAX | UNITS |
|---|--------------------------------|-------------|-----------|-------------|---------|
| DIGITAL INPUTS | | | | | |
| Low Level Input Voltage, V_{CL} CE1, CE2 | Note 4 | - | - | $0.2V_{DD}$ | V |
| Phase, CLK | Note 4 | - | - | $0.2V_{AA}$ | V |
| High Level Input Voltage, V_{IH} CE1, CE2 | Note 4 | $0.7V_{DD}$ | - | - | V |
| Phase, CLK | Note 4 | $0.7V_{AA}$ | - | - | V |
| Input Leakage Current, I_I (Except CLK Input) | Note 3 | - | ± 0.2 | ± 5 | μA |
| Input Capacitance, C_I | | - | 3 | - | pF |
| DIGITAL OUTPUTS | | | | | |
| Output Low (Sink) Current | $V_O = 0.4V$ | 4 | 10 | - | mA |
| Output High (Source) Current | $V_O = 4.5V$ | -4 | -6 | - | mA |
| Tri-State Output Off-State Leakage Current, I_{OZ} | | - | ± 0.2 | ± 5 | μA |
| Output Capacitance, C_O | | - | 4 | - | pF |
| TIMING CHARACTERISTICS | | | | | |
| Auto Balance Time ($\phi 1$) | | 33 | - | ∞ | ns |
| Sample Time ($\phi 2$) | Note 4 | 25 | - | 500 | ns |
| Aperture Delay | | - | 15 | - | ns |
| Aperture Jitter | | - | 100 | - | ps |
| Data Valid Time, T_{DV} | Note 4 | - | 50 | 65 | ns |
| Data Hold Time, T_{DH} | Note 4 | 25 | 40 | - | ns |
| Output Enable Time, T_{EN} | | - | 18 | - | ns |
| Output Disable Time, T_{DIS} | | - | 18 | - | ns |
| POWER SUPPLY CHARACTERISTICS | | | | | |
| Device Current ($I_{DD} + I_A$) (Excludes I_{REF}) | Continuous Conversion (Note 4) | - | 30 | 60 | mA |
| | Auto Balance ($\phi 1$) | - | 30 | 60 | mA |

NOTES:

1. A full scale sine wave input of greater than $F_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or V_{REF+} should not exceed $V_{AA+} + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50k Ω feedback resistor and may be AC coupled with 1V $_{p-p}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

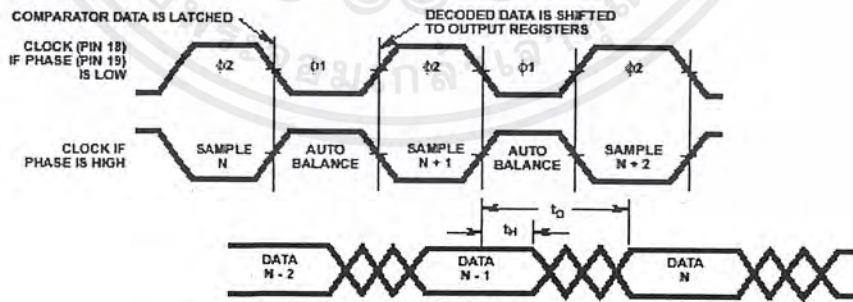


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3318C

Timing Waveforms (Continued)

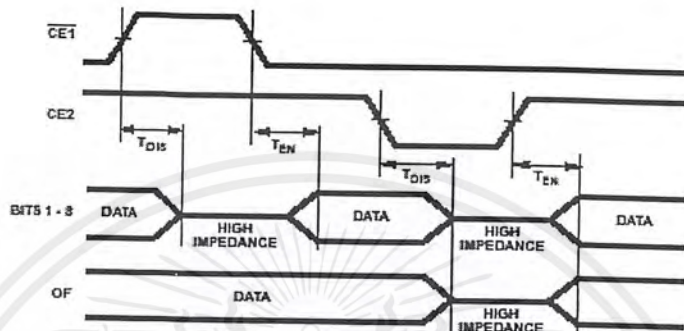


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

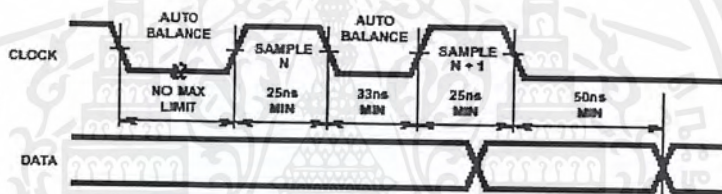


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

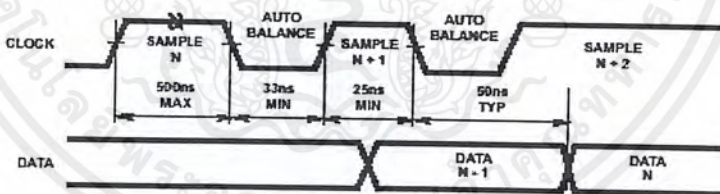


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

CA3318C

Typical Performance Curves

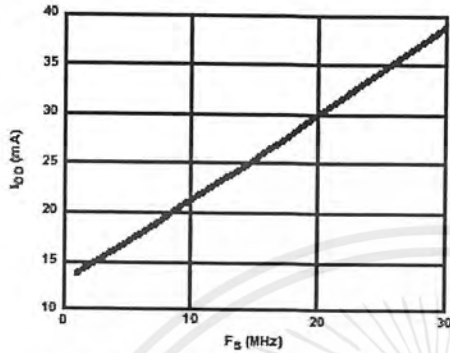


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

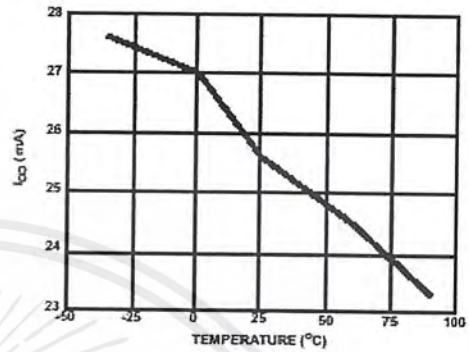


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

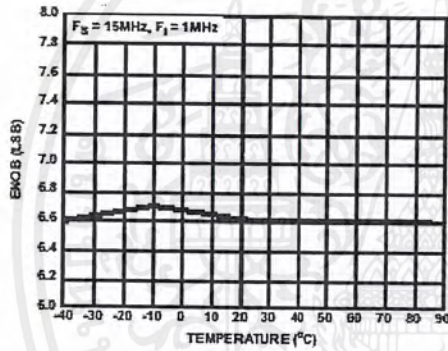


FIGURE 6. ENOB vs TEMPERATURE

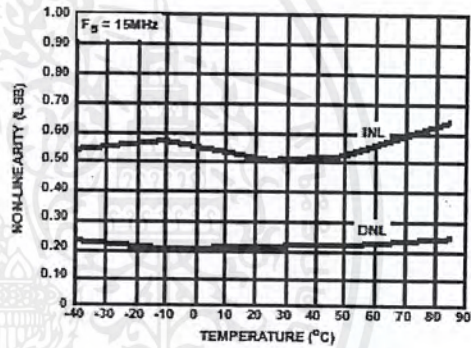


FIGURE 7. NON-LINEARITY vs TEMPERATURE

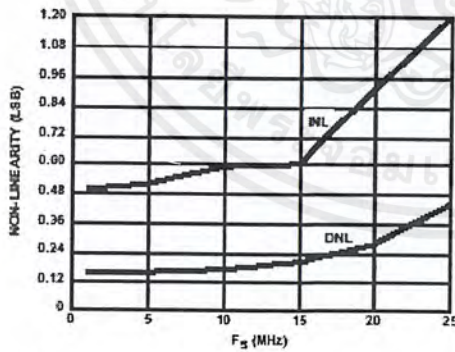


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

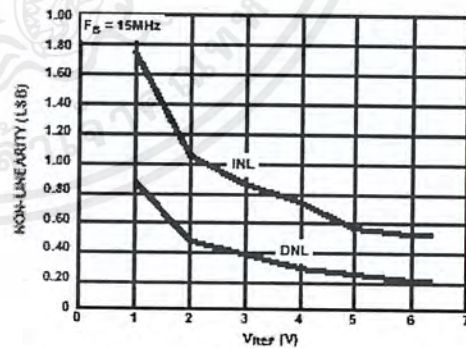


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3318C

Typical Performance Curves (Continued)

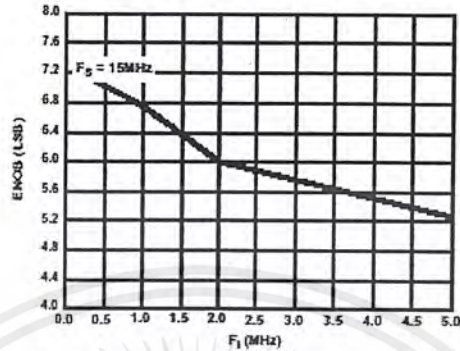


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

| PIN | NAME | DESCRIPTION |
|-----|-------------------|---|
| 1 | B1 | Bit 1 (LSB) |
| 2 | B2 | Bit 2 |
| 3 | B3 | Bit 3 |
| 4 | B4 | Bit 4 |
| 5 | B5 | Bit 5 |
| 6 | B6 | Bit 6 |
| 7 | B7 | Bit 7 |
| 8 | B8 | Bit 8 (MSB) |
| 9 | OF | Overflow |
| 10 | 1/4 R | Reference Ladder 1/4 Point |
| 11 | V _{SS} | Digital Ground |
| 12 | V _{DD} | Digital Power Supply, +5V |
| 13 | CE2 | Tri-State Output Enable Input, Active Low. See Truth Table. |
| 14 | CE1 | Tri-State Output Enable Input Active High. See Truth Table. |
| 15 | V _{REF-} | Reference Voltage Negative Input |
| 16 | V _{IN} | Analog Signal Input |
| 17 | V _{AA-} | Analog Ground |
| 18 | CLK | Clock Input |
| 19 | PHASE | Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text). |
| 20 | 1/2 R | Reference Ladder Midpoint |
| 21 | V _{IN+} | Analog Signal Input |
| 22 | V _{REF+} | Reference Voltage Positive Input |
| 23 | 3/4 R | Reference Ladder 3/4 Point |
| 24 | V _{AA+} | Analog Power Supply, +5V |

CHIP ENABLE TRUTH TABLE

| CE1 | CE2 | B1 - B8 | OF |
|-----|-----|-----------|-----------|
| 0 | 1 | Valid | Valid |
| 1 | 1 | Tri-State | Valid |
| X | 0 | Tri-State | Tri-State |

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, φ1, and the "Sample Unknown" phase, φ2. (Refer to the circuit diagram.) Each conversion takes one clock cycle. With the phase control (pin 19) high, the "Auto-Balance" (φ1) occurs during the high period of the clock cycle, and the "Sample Unknown" (φ2) occurs during the low period of the clock cycle.

* The device requires only a single phase clock. The terminology of φ1 and φ2 refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256) V_{REF-}] - (1/512) V_{REF-}$$

$$= [(2N - 1)/512] V_{REF-}$$

Where:

V_{TAP}(n) = reference ladder tap voltage at point n.

V_{REF-} = voltage across V_{REF-} to V_{REF+}

N = tap number (1 through 256)

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately (V_{AA+} - V_{AA-})/2. The first set of capacitors now charges to their associated tap voltages.

CA3318C

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase (ϕ_2) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of ϕ_1 . This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9-bit decoder array, and the results are clocked into a storage register at the end of the next ϕ_2 .

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. CE1 will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B6 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto-balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the tri-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle: If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy. I.e., offset trim; gain trim; and $1/4$, $1/2$ and $3/4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a dc shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF-} input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $1/2$ LSB. The equation is as follows:

$$V_{IN} (0 \text{ to } 1 \text{ transition}) = \frac{1}{2} \text{ LSB} = \frac{1}{2} (V_{REF}/256) = V_{REF}/512$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50 Ω pot connected between V_{REF-} and ground will accomplish the adjustment. Set V_{IN} to $1/2$ LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50 Ω pot should be connected between V_{REF-} and a negative voltage of about 2 LSB's. The trim procedure is as stated previously.

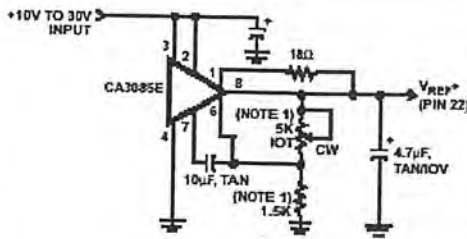
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $1/3$ LSB less than V_{REF+} and is calculated as follows:

$$V_{IN} (255 \text{ to } 256 \text{ transition}) = V_{REF} - V_{REF}/512 = V_{REF}(511/512)$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF} until that transition occurs on the outputs.

CA3318C

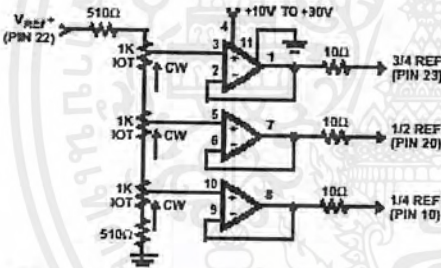


NOTE: Bypass V_{REF+} to analog GND near A/D with 0.1µF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING V_{REF+} INPUT

$1/4$ Point Trims

The $1/4$, $1/2$ and $3/4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $1/4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between V_{REF+} and V_{REF-} . The $1/2$ (mid-) point should be set first by applying an input of $257/512 \times (V_{REF})$ and adjusting for an output changing from 126 to 129. Similarly the $1/4$ and $3/4$ points can be set with inputs of $129/512$ and $385/512 \times (V_{REF})$ and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $1/4$, $1/2$ and $3/4$ of full scale +1 LSB.)



- NOTES:
1. All Op Amps = $3/4$ CA324E
 2. Bypass all reference points to analog ground near A/D with 0.1µF ceramic caps.
 3. Adjust V_{REF+} , first, then $1/2$, $3/4$ and $1/4$ points.

FIGURE 12. TYPICAL $1/4$ POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9-bit resolution, two CA3318's can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, tri-state outputs, and chip-enable controls—all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the CE1 control of the lower A/D converter and the CE2 control of the upper A/D converter. The tri-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9-bit A/D converter is shown in Figure 14.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1µF ceramics and should be mounted as close to the A/D as possible. If V_{AA} is derived from V_{DD} , a small (10Ω resistor or inductor and additional filtering (4.7µF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local CMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

CA3318C

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02$$

where: $V_{CORR} = 0.5dB$

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

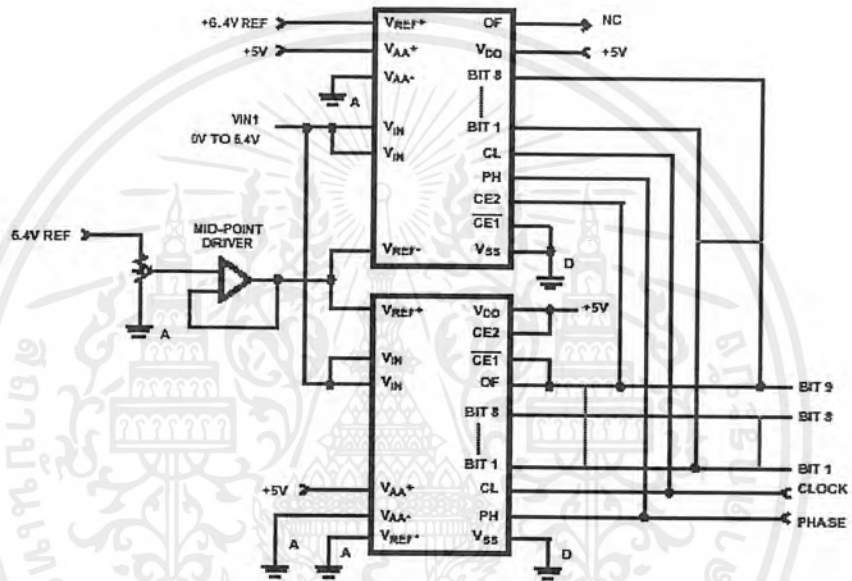


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3318C

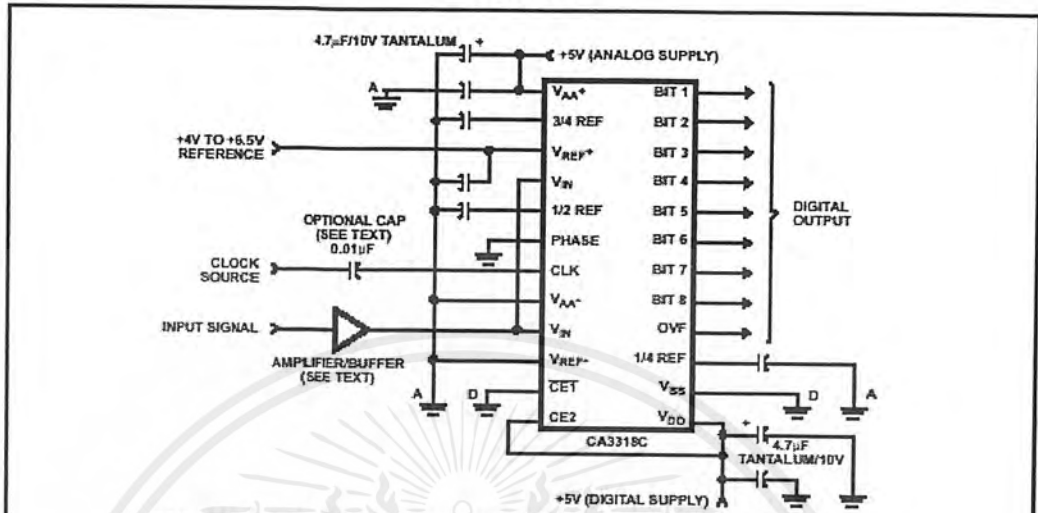


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

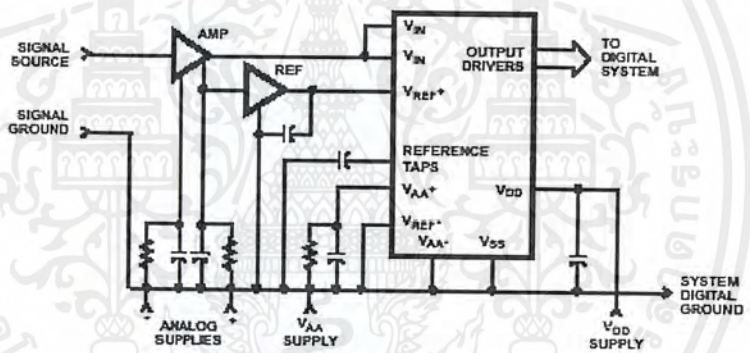
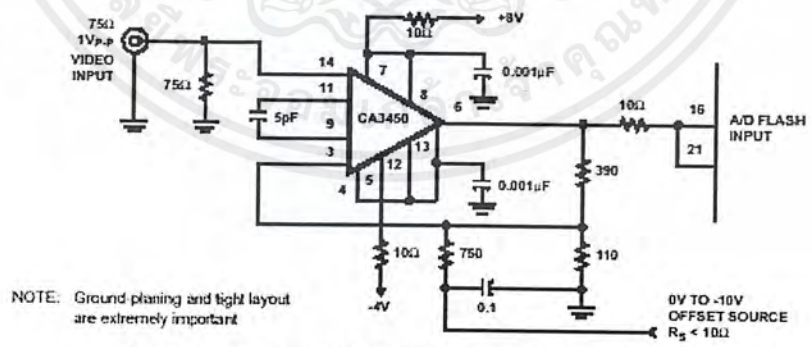


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground planing and tight layout are extremely important

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3318C

TABLE 1. OUTPUT CODE TABLE

| CODE DESCRIPTION | INPUT VOLTAGE (NOTE 1) | | BINARY OUTPUT CODE | | | | | | | | | DECIMAL COUNT |
|------------------------|---------------------------|---------------------------|--------------------|-----------|----|----|----|----|----|----|-----------|---------------|
| | V_{ref} 6.40V (V) | V_{ref} 5.12V (V) | OF | MSB B8 | B7 | B6 | B5 | B4 | B3 | B2 | LSB B1 | |
| Zero | 0.00 | 0.00 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 LSB | 0.025 | 0.02 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 2 LSB | 0.05 | 0.04 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 2 |
| * | * | * | | | | | | | | | | * |
| * | * | * | | | | | | | | | | * |
| * | * | * | | | | | | | | | | * |
| 1/4 Full Scale | 1.60 | 1.28 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 64 |
| * | * | * | | | | | | | | | | * |
| * | * | * | | | | | | | | | | * |
| * | * | * | | | | | | | | | | * |
| 1/2 Full Scale - 1 LSB | 3.175 | 2.54 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 127 |
| 1/2 Full Scale | 3.20 | 2.56 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 128 |
| 1/2 Full Scale + 1 LSB | 3.225 | 2.58 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 129 |
| * | * | * | | | | | | | | | | * |
| * | * | * | | | | | | | | | | * |
| * | * | * | | | | | | | | | | * |
| 3/4 Full Scale | 4.80 | 3.84 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 192 |
| * | * | * | | | | | | | | | | * |
| * | * | * | | | | | | | | | | * |
| * | * | * | | | | | | | | | | * |
| Full Scale - 1 LSB | 6.35 | 5.08 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 254 |
| Full Scale | 6.375 | 5.10 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 255 |
| Over Flow | 6.40 | 5.12 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 511 |

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample (t_2) time. The constraints are a minimum balance time (t_1) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to V_{AA+} and V_{AA-} . Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 \times ($V_{AA+} - V_{AA-}$). The clock may also be AC coupled with at least a 1 V_{PP} swing. This allows TTL drive levels or 5V QMOS levels when V_{AA+} is greater than 5V.

MC14051B, MC14052B, MC14053B

Analog Multiplexers/Demultiplexers

The MC14051B, MC14052B, and MC14053B analog multiplexers are digitally-controlled analog switches. The MC14051B effectively implements an SP8T solid state switch, the MC14052B a DP4T, and the MC14053B a Triple SPDT. All three devices feature low ON impedance and very low OFF leakage current. Control of analog signals up to the complete supply voltage range can be achieved.

- Triple Diode Protection on Control Inputs
- Switch Function is Break Before Make
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Analog Voltage Range ($V_{DD} - V_{EE}$) = 3.0 to 18 V
Note: V_{EE} must be $\leq V_{SS}$
- Linearized Transfer Characteristics
- Low-noise – 12 nV/ $\sqrt{\text{Cycle}}$, $f \geq 1.0$ kHz Typical
- Pin-for-Pin Replacement for CD4051, CD4052, and CD4053
- For 4PDT Switch, See MC14551B
- For Lower R_{ON} , Use the HC4051, HC4052, or HC4053 High-Speed CMOS Devices

MAXIMUM RATINGS (Note 1.)

| Symbol | Parameter | Value | Unit |
|----------------------|---|------------------------|--------------------|
| V_{DD} | DC Supply Voltage (Referenced to V_{EE} , $V_{SS} \geq V_{EE}$) | -0.5 to +18.0 | V |
| V_{in} , V_{out} | Input or Output Voltage Range (DC or Transient) (Referenced to V_{SS} for Control Inputs and V_{EE} for Switch I/O) | -0.5 to $V_{DD} + 0.5$ | V |
| I_{in} | Input Current (DC or Transient) per Control Pin | ± 10 | mA |
| I_{SW} | Switch Through Current | ± 25 | mA |
| P_D | Power Dissipation, per Package (Note 2.) | 500 | mW |
| T_A | Ambient Temperature Range | -55 to +125 | $^{\circ}\text{C}$ |
| T_{stg} | Storage Temperature Range | -65 to +150 | $^{\circ}\text{C}$ |
| T_L | Lead Temperature (8-Second Soldering) | 260 | $^{\circ}\text{C}$ |

1. Maximum Ratings are those values beyond which damage to the device may occur.
2. Temperature Derating:
Plastic "P and D/DW" Packages: -7.0 mW/ $^{\circ}\text{C}$ From 65 $^{\circ}\text{C}$ To 125 $^{\circ}\text{C}$

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} , V_{EE} or V_{DD}). Unused outputs must be left open.



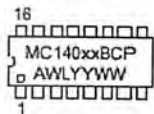
ON Semiconductor

<http://onsemi.com>

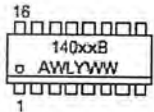
MARKING DIAGRAMS



PDIP-16
P SUFFIX
CASE 648



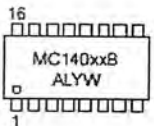
SOIC-16
D SUFFIX
CASE 751B



TSSOP-16
DT SUFFIX
CASE 948F



SOEIAJ-16
F SUFFIX
CASE 966

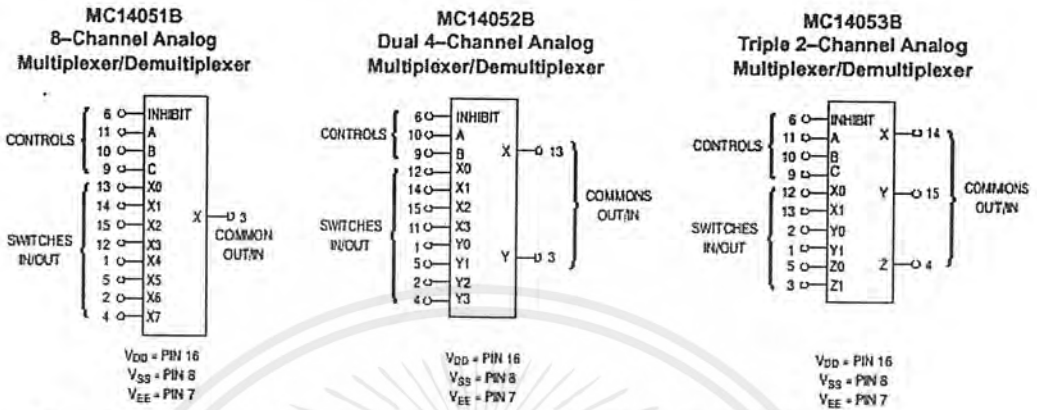


xx = Specific Device Code
A = Assembly Location
WL, L = Wafer Lot
YY, Y = Year
WW, W = Work Week

ORDERING INFORMATION

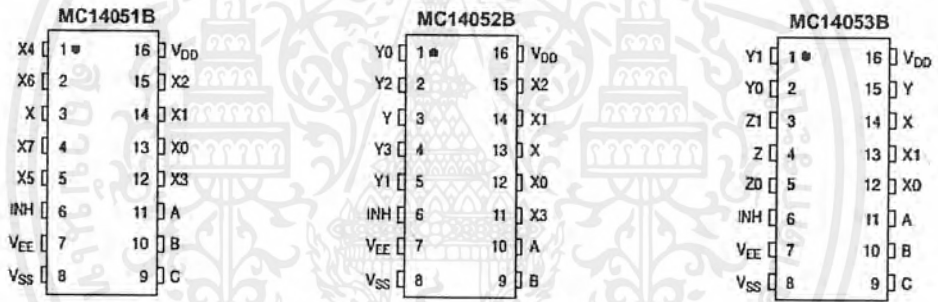
See detailed ordering and shipping information in the package dimensions section on page 12 of this data sheet.

MC14051B, MC14052B, MC14053B



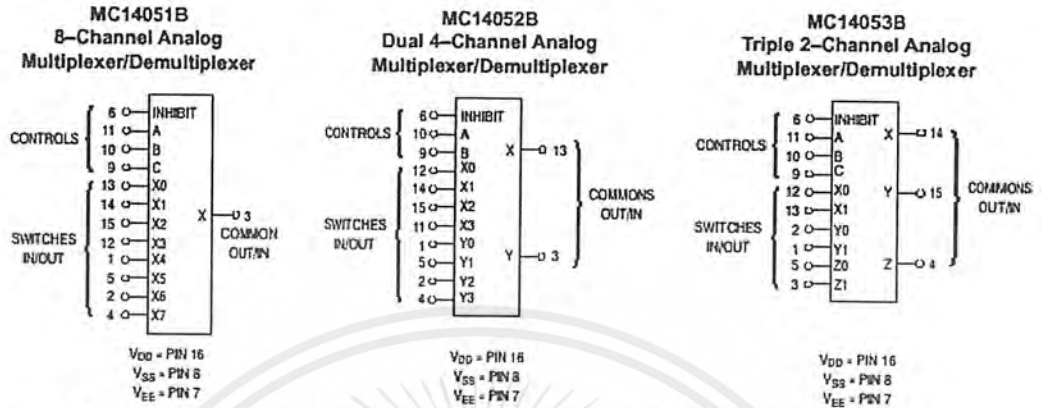
Note: Control Inputs referenced to V_{SS} , Analog Inputs and Outputs reference to V_{EE} . V_{EE} must be $\leq V_{SS}$.

PIN ASSIGNMENT

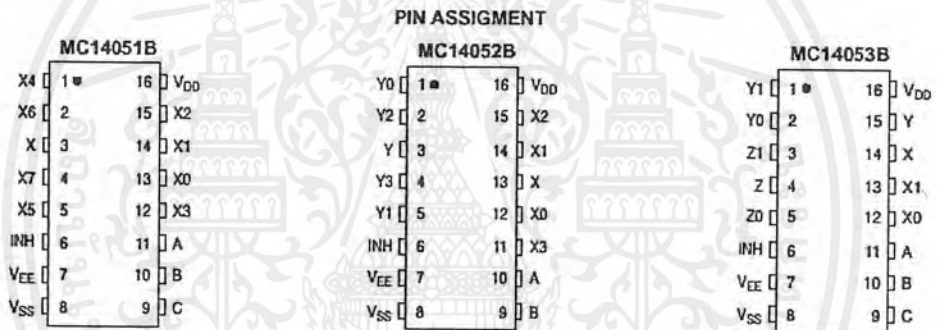


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14051B, MC14052B, MC14053B



Note: Control Inputs referenced to V_{SS} , Analog Inputs and Outputs reference to V_{EE} . V_{EE} must be $\leq V_{SS}$.



MC14051B, MC14052B, MC14053B

ELECTRICAL CHARACTERISTICS

| Characteristic | Symbol | V _{DD} | Test Conditions | -55_C | | 25_C | | | 125_C | | Unit |
|---|----------------------|-----------------|---|------------------|-------------------|------------------|--|--------------------|------------------|--------------------|-----------------|
| | | | | Min | Max | Min | Typ ⁽³⁾ | Max | Min | Max | |
| SUPPLY REQUIREMENTS (Voltages Referenced to V_{EE}) | | | | | | | | | | | |
| Power Supply Voltage Range | V _{DD} | — | V _{DD} - 3.0 ≥ V _{SS} ≥ V _{EE} | 3.0 | 18 | 3.0 | — | 18 | 3.0 | 18 | V |
| Quiescent Current Per Package | I _{DD} | 5.0 10 15 | Control Inputs: V _{in} = V _{SS} or V _{DD} . Switch I/O: V _{EE} = V _{IO} — V _{DD} and ΔV _{switch} = 500 mV ⁽⁴⁾ | — | 5.0 10 20 | — | 0.005 0.010 0.015 | 5.0 10 20 | — | 150 300 600 | μA |
| Total Supply Current (Dynamic Plus Quiescent, Per Package) | I _{DD(AV)} | 5.0 10 15 | T _A = 25_C only (The channel component, (V _{in} - V _{out})/R _{on} , is not included.) | Typical | | | {(0.07 μA/kHz) f + I _{DD} {(0.20 μA/kHz) f + I _{DD} {(0.36 μA/kHz) f + I _{DD} | | | μA | |
| CONTROL INPUTS — INHIBIT, A, B, C (Voltages Referenced to V_{SS}) | | | | | | | | | | | |
| Low-Level Input Voltage | V _{IL} | 5.0 10 15 | R _{on} = per spec. I _{off} = per spec | — | 1.5 3.0 4.0 | — | 2.25 4.50 6.75 | 1.5 3.0 4.0 | — | 1.5 3.0 4.0 | V |
| High-Level Input Voltage | V _{IH} | 5.0 10 15 | R _{on} = per spec. I _{off} = per spec | 3.5 7.0 11 | — | 3.5 7.0 11 | 2.75 5.50 8.25 | — | 3.5 7.0 11 | — | V |
| Input Leakage Current | I _{in} | 15 | V _{in} = 0 or V _{DD} | — | ± 0.1 | — | ± 0.00001 | ± 0.1 | — | 1.0 | μA |
| Input Capacitance | C _{in} | — | | — | — | — | 5.0 | 7.5 | — | — | pF |
| SWITCHES IN/OUT AND COMMONS OUT/IN — X, Y, Z (Voltages Referenced to V_{EE}) | | | | | | | | | | | |
| Recommended Peak-to-Peak Voltage Into or Out of the Switch | V _{IO} | — | Channel On or Off | 0 | V _{DD} | 0 | — | V _{DD} | 0 | V _{DD} | V _{PP} |
| Recommended Static or Dynamic Voltage Across the Switch ⁽⁴⁾ (Figure 5) | ΔV _{switch} | — | Channel On | 0 | 600 | 0 | — | 600 | 0 | 300 | mV |
| Output Offset Voltage | V _{OO} | — | V _{in} = 0 V, No Load | — | — | — | 10 | — | — | — | μV |
| ON Resistance | R _{on} | 5.0 10 15 | ΔV _{switch} = 500 mV ⁽⁴⁾ V _{in} = V _{IL} or V _{IH} (Control), and V _{in} = 0 to V _{DD} (Switch) | — | 800 400 220 | — | 250 120 80 | 1050 500 280 | — | 1200 520 300 | Ω |
| ΔON Resistance Between Any Two Channels in the Same Package | ΔR _{on} | 5.0 10 15 | | — | 70 50 45 | — | 25 10 10 | 70 50 45 | — | 135 95 65 | Ω |
| Off-Channel Leakage Current (Figure 10) | I _{off} | 15 | V _{in} = V _{IL} or V _{IH} (Control) Channel to Channel or Any One Channel | — | ± 100 | — | ± 0.05 | ± 100 | — | ± 1000 | nA |
| Capacitance, Switch I/O | C _{IO} | — | Inhibit = V _{DD} | — | — | — | 10 | — | — | — | pF |
| Capacitance, Common O/I | C _{OI} | — | Inhibit = V _{DD} (MC14051B) (MC14052B) (MC14053B) | — | — | — | 60 32 17 | — | — | — | pF |
| Capacitance, Feedthrough (Channel Off) | C _{IO} | — | Pins Not Adjacent Pins Adjacent | — | — | — | 0.15 0.47 | — | — | — | pF |

3. Data labeled "Typ" is not to be used for design purposes, but is intended as an indication of the IC's potential performance.
4. For voltage drops across the switch (ΔV_{switch}) > 600 mV (> 300 mV at high temperature), excessive V_{DD} current may be drawn, i.e. the current out of the switch may contain both V_{DD} and switch input components. The reliability of the device will be unaffected unless the Maximum Ratings are exceeded. (See first page of this data sheet.)

MC14051B, MC14052B, MC14053B

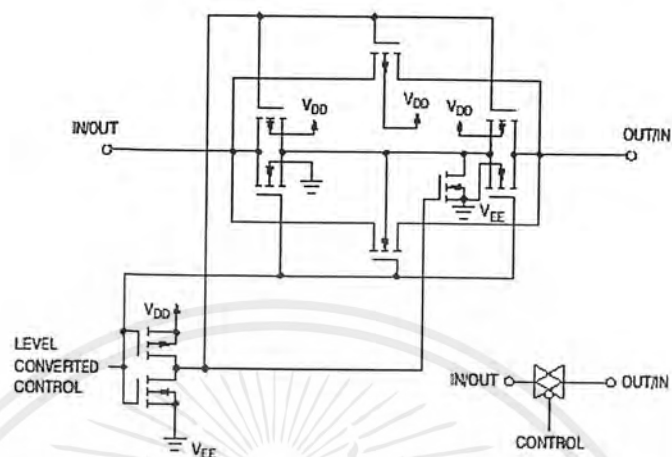


Figure 1. Switch Circuit Schematic

TRUTH TABLE

| Control Inputs | | | | ON Switches | | | | | |
|----------------|--------|---|---|-------------|------|----------|----|----------|----|
| Inhibit | Select | | | MC14051B | | MC14052B | | MC14053B | |
| | C* | B | A | X0 | Y0 | X0 | Z0 | Y0 | X0 |
| 0 | 0 | 0 | 0 | X0 | Y0 | X0 | Z0 | Y0 | X0 |
| 0 | 0 | 0 | 1 | X1 | Y1 | X1 | Z0 | Y0 | X1 |
| 0 | 0 | 1 | 0 | X2 | Y2 | X2 | Z0 | Y1 | X0 |
| 0 | 0 | 1 | 1 | X3 | Y3 | X3 | Z0 | Y1 | X1 |
| 0 | 1 | 0 | 0 | X4 | | | Z1 | Y0 | X0 |
| 0 | 1 | 0 | 1 | X5 | | | Z1 | Y0 | X1 |
| 0 | 1 | 1 | 0 | X6 | | | Z1 | Y1 | X0 |
| 0 | 1 | 1 | 1 | X7 | | | Z1 | Y1 | X1 |
| 1 | x | x | x | None | None | None | | | |

*Not applicable for MC14052
x = Don't Care

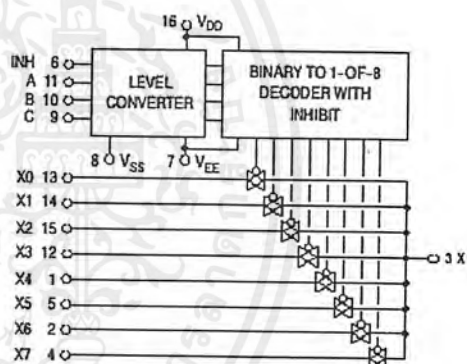


Figure 2. MC14051B Functional Diagram

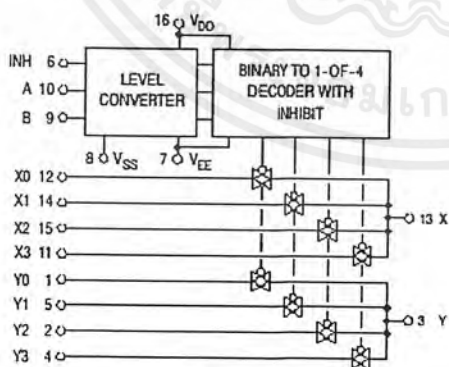


Figure 3. MC14052B Functional Diagram

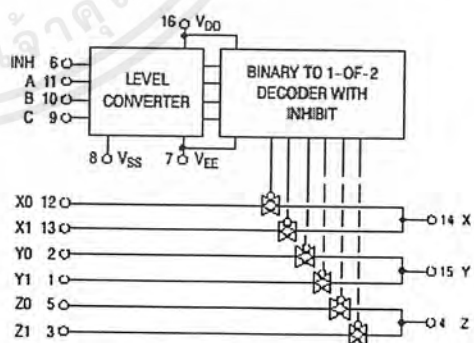


Figure 4. MC14053B Functional Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14051B, MC14052B, MC14053B

TEST CIRCUITS

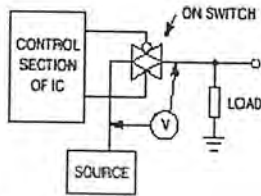


Figure 5. ΔV Across Switch

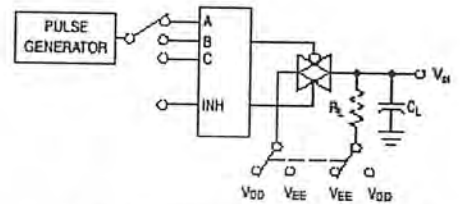


Figure 6. Propagation Delay Times, Control and Inhibit to Output

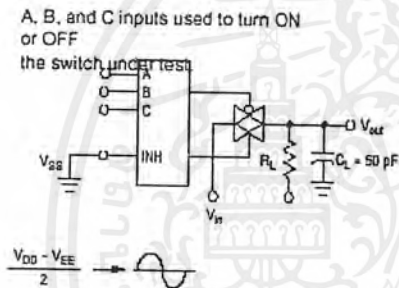


Figure 7. Bandwidth and Off-Channel Feedthrough Attenuation

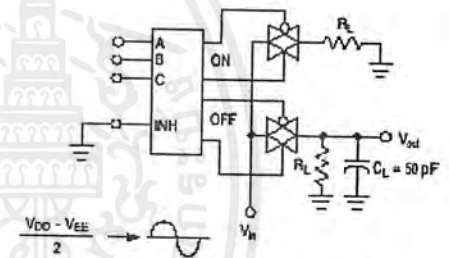


Figure 8. Channel Separation (Adjacent Channels Used For Setup)

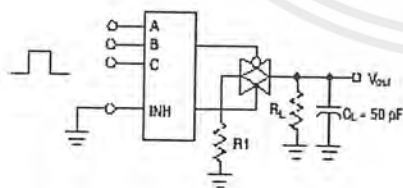


Figure 9. Crosstalk, Control Input to Common O/I

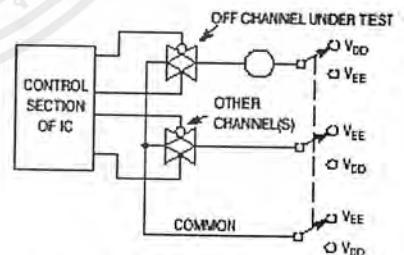


Figure 10. Off Channel Leakage

NOTE: See also Figures 7 and 8 in the MC14016B data sheet.

MC14051B, MC14052B, MC14053B

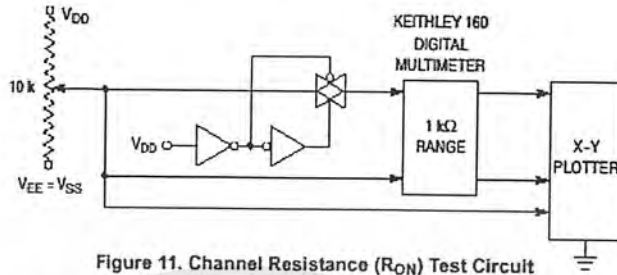


Figure 11. Channel Resistance (R_{ON}) Test Circuit

TYPICAL RESISTANCE CHARACTERISTICS

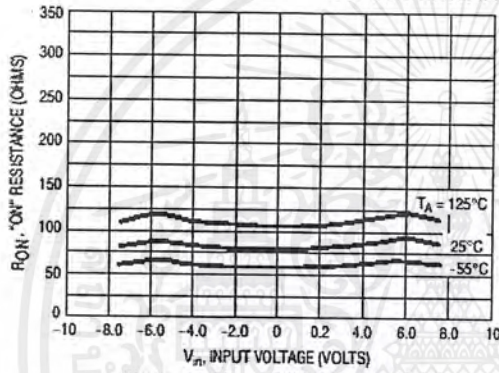


Figure 12. $V_{DD} = 7.5 \text{ V}$, $V_{EE} = -7.5 \text{ V}$

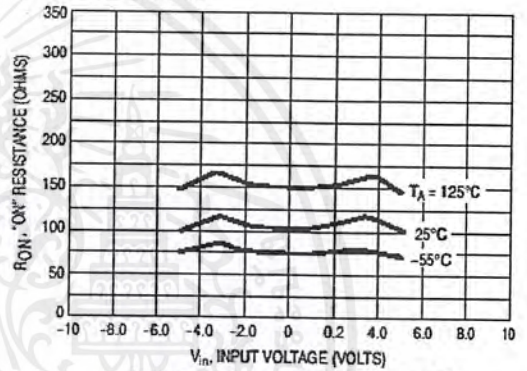


Figure 13. $V_{DD} = 5.0 \text{ V}$, $V_{EE} = -5.0 \text{ V}$

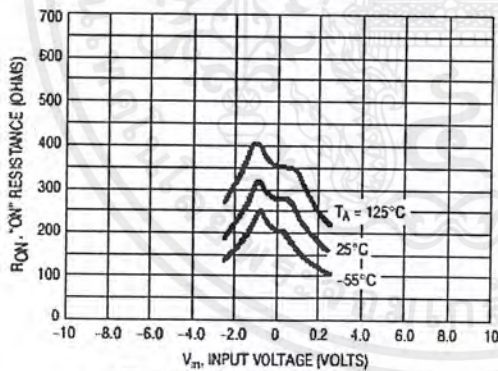


Figure 14. $V_{DD} = 2.5 \text{ V}$, $V_{EE} = -2.5 \text{ V}$

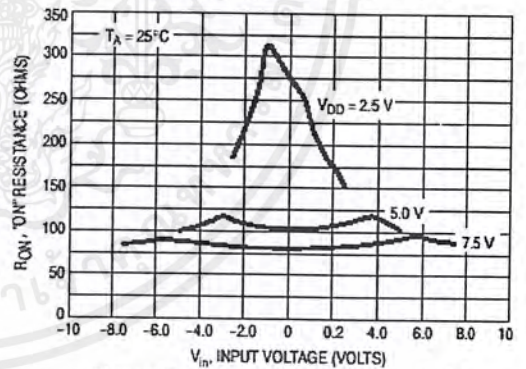


Figure 15. Comparison at 25°C , $V_{DD} = -V_{EE}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เมธิน บุญประสม และคณะ. “เครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้.”

ปริญญาานิพนธ์ครุศาสตรบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์,
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2539

ภูวดล ศิริวิวัฒนากุล และคณะ. “เครื่องระบบการประชุมทางโทรภาพแบบ 4 ผู้ใช้.”

ปริญญาานิพนธ์ครุศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม,
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2538

ธราดล ไกรวิเศษฐ์ และคณะ. “ชุดฝึกและพัฒนาไมโครโปรเซสเซอร์ Z80180.”

ปริญญาานิพนธ์ครุศาสตรบัณฑิต สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์,
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2537

ประทีป บัญญัติสินพรัตน์. “การเขียนโปรแกรม ภาษาแอสเซมบลี Z-80” ภาควิชาวิศวกรรม
คอมพิวเตอร์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระเจ้าเกล้าเจ้าคุณทหารลาดกระบัง.
กรุงเทพฯ. 2532.

บริษัท ETT จำกัด. คู่มือการทดลอง ET-HARDWARE LAB. กรุงเทพฯ

บริษัท ETT จำกัด. ET-DEBUGGER jr180 ETT CO.,LTD. กรุงเทพฯ

บริษัท ETT จำกัด. CP-JR180 V2.0 . กรุงเทพฯ

บริษัท ETT จำกัด. คู่มือไอซีไมโครโปรเซสเซอร์ Z80180, Z180 MPU. กรุงเทพฯ

ประวัติผู้แต่ง



| | |
|-----------------------------------|--|
| ชื่อผู้ทำปฏิญาณนิพนธ์ | นายณัฐกร ชาติประทีป |
| วันเดือนปีเกิด | 2 มกราคม 2522 |
| สถานที่เกิด | จังหวัดประจวบคีรีขันธ์ |
| ภูมิลำเนาเดิม | 194 ถ.สละชีพ อ.เมือง จ.ประจวบคีรีขันธ์ |
| ที่อยู่ปัจจุบัน | 300/108 หมู่บ้านรุ่งอรุณ 1 ถ.ฉลองกรุง แขวงลำประทิว เขตลาดกระบัง กรุงเทพฯ 10520 |
| โทรศัพท์ | 02-7373897 |
| ประวัติการศึกษา | |
| ประถมศึกษา | โรงเรียนสละชีพ |
| มัธยมศึกษาตอนต้น | โรงเรียนสละชีพ |
| ประกาศนียบัตรวิชาชีพ (ปวช.) | วิทยาลัยเทคนิคประจวบคีรีขันธ์ |
| ประกาศนียบัตรวิชาชีพชั้นสูง(ปวส.) | วิทยาลัยเทคนิคประจวบคีรีขันธ์ |
| ปริญญาตรี | สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม |
| คติพจน์ | ความกล้า คือ การทำสิ่งที่เรากลัว ถ้าเราไม่กลัว ความกล้าก็จะไม่เกิด |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง

| | |
|------------------------------------|--|
| ชื่อผู้ทำปริญญานิพนธ์ | นายนิคม ก่องวงศ์ |
| วันเดือนปีเกิด | 21 เมษายน 2521 |
| สถานที่เกิด | จังหวัดลำปาง |
| ภูมิลำเนาเดิม | 206/2 ม.6 บ้านสันกำแพง ต. เมืองยาว อ.ห้างฉัตร จ.ลำปาง 52190 |
| ที่อยู่ปัจจุบัน | 259/11 ถ.หลวงแพ่ง ซ.ดับเพลิง แขวงทับยาว เขตลาดกระบัง กรุงเทพฯ 10520 |
| โทรศัพท์ | 01-3418508, 02-7380046 |
| ประวัติการศึกษา | |
| ประถมศึกษา | โรงเรียนชุมชนบ้านสันกำแพง |
| มัธยมศึกษาตอนต้น | โรงเรียนเขลางค์นคร |
| ประกาศนียบัตรวิชาชีพ (ปวช.) | วิทยาลัยเทคนิคลำปาง |
| ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.) | วิทยาลัยเทคนิคลำปาง |
| ปริญญาตรี | สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม |
| คติพจน์ | กตัญญู รู้คุณคน |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



| | |
|------------------------------------|--|
| ชื่อผู้ทำปฏิญานិพนธ์ | นางสาวรัตนา สุขขุนทด |
| วันเดือนปีเกิด | 12 เมษายน 2521 |
| สถานที่เกิด | จังหวัดนครราชสีมา |
| ภูมิลำเนาเดิม | 22 ม.7 ต. สระจรเข้ อ.ด่านขุนทด จ.นครราชสีมา 30210 |
| ที่อยู่ปัจจุบัน | 300/20 หมู่บ้านรุ่งอรุณ 1 ถ.ฉลองกรุง แขวงลำประทิว เขตลาดกระบัง กรุงเทพฯ 10520 |
| โทรศัพท์ | 02-3270076 |
| ประวัติการศึกษา | |
| ประถมศึกษา | โรงเรียนบ้านใหม่บูรพาคม |
| มัธยมศึกษาตอนต้น | โรงเรียนพงษ์ศิริวิทยา |
| ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.) | สถาบันเทคโนโลยีราชมงคล วิทยาเขตนครราชสีมา |
| ปริญญาตรี | สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม |
| คตินพจน์ | ไม่มีสิ่งใดทำไม่ได้ถ้าไม่พยายาม |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



| | |
|-----------------------------------|--|
| ชื่อผู้ทำปฏิญานិพนธ์ | นายอุดมวิทย์ นักดนตรี |
| วันเดือนปีเกิด | 11 มิถุนายน 2521 |
| สถานที่เกิด | จังหวัดเชียงราย |
| ภูมิลำเนาเดิม | 2/4 ต.ทุ่งก่อ กิ่งอำเภอ เวียงเชียงรุ้ง จ.เชียงราย 57210 |
| ที่อยู่ปัจจุบัน | |
| โทรศัพท์ | 01-4727043 |
| ประวัติการศึกษา | |
| ประถมศึกษา | โรงเรียนทุ่งก่อ(ใจประชานุเคราะห์) |
| มัธยมศึกษาตอนต้น | โรงเรียนทุ่งก่อวิทยาคม |
| ประกาศนียบัตรวิชาชีพ (ปวช.) | วิทยาลัยเทคนิคเชียงราย |
| ประกาศนียบัตรวิชาชีพชั้นสูง(ปวส.) | สถาบันเทคโนโลยีราชมงคล วิทยาเขตภาคพายัพ เชียงใหม่ |
| ปริญญาตรี | สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม |
| คติพจน์ | สิ่งที่ผิดพลาด คือวิชาที่มีค่า |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้