



เครื่องควบคุมไฟฟ้าภายในอาคาร

**DISTRIBUTED CONTROL SYSTEM**

โดย

1. นายนิธินาด คำพา
2. นายพงษ์ศักดิ์ ปานอินทร์
3. นายพิชิต สหายรักษ์
4. นายวัชรชัย ไชยเจริญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาคตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต  
สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์  
คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ปีการศึกษา 2537

วัน เดือน ปี..... ๓๑ ก.ย. 25๓๗ .....
เลขทะเบียน..... ๐๙๖๙๐๖ .....
เลขเรียกหนังสือ..... ๓๓๖๓๔๔ ๖: ๕๑๕ ค. ....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

036906

หัวข้อปริญญานิพนธ์

เครื่องควบคุมไฟฟ้าในอาคาร

DISTRIBUTED CONTROL SYSTEM

ชื่อนักศึกษา

นายนิติชาติ คำพา

นายพงษ์ศักดิ์ ปานอินทร์

นายพิชิต สหายรักษ์

นายวัชรชัย ไชยเจริญ

อาจารย์ที่ปรึกษา

อาจารย์ไพศาล สิทธิโยภาสกุล

ภาควิชา

เทคนิคอุตสาหกรรม

ปีการศึกษา

2537

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
อนุมัติให้นำปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษา ตามหลักสูตรอุตสาหกรรม  
ศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ  
( )  
.....กรรมการ  
( )  
.....กรรมการ  
( )  
.....กรรมการ  
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เครื่องควบคุมไฟฟ้าภายในอาคาร

ชื่อนักศึกษา	นายนิธินาถ คำพา	รหัส 36012014
	นายพงษ์ศักดิ์ ปานอินทร์	รหัส 36012018
	นายพิชิต สหายรักษ์	รหัส 36012020
	นายวัชรชัย ไชยเจริญ	รหัส 36012031
อาจารย์ที่ปรึกษา	อาจารย์ไพศาล สิทธิโยภาสกุล	
ภาควิชา	เทคนิคอุตสาหกรรม	
ปีการศึกษา	2537	

### บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ กล่าวถึงการออกแบบเครื่องควบคุมอุปกรณ์ไฟฟ้าภายในอาคาร ซึ่งสามารถควบคุมได้ 65536 ชั้น และ 65536 ห้องต่อชั้น โดยแต่ละห้องจะมีอุปกรณ์ไฟฟ้าได้ 16 ชั้น และมีตัวตรวจจับพร้อมทั้งอุปกรณ์ฉุกเฉิน 8 ชุด ต่อห้อง การควบคุมทั้งหมด สามารถสั่งได้ทาง pc และสามารถแสดงสถานะของอุปกรณ์ทุกตัวได้ทาง monitor ของ pc ได้เช่นกัน โดยใช้ z80180 control board จะแบ่งเป็น master กับ slave โดย master จะเป็นตัวเชื่อมระหว่าง pc กับ slave รวมทั้งอุปกรณ์ปลายทางตัวนี้ สามารถทำงานได้อย่างอิสระ ทำให้เราสามารถปิดเครื่องหรือนำไปใช้งานอย่างอื่นได้โดยไม่กระทบกระเทือนต่อการทำงานของระบบ

# DISTRIBUTED DONTROL SYSTEM

BY Mr. NITINART KUMPHA No. 36012014  
Mr. PHONGSAK PANIN No. 36012018  
Mr. PICHIT SAHAIROK No. 36012020  
Mr. WATCHARACHAI CHAICHAROEN No. 36012031

ADVISOR Mr. PHAISARN SITHIYOPAKUL

YEAR 1995

---

## ABSTRACT

This thesis is the mention of control for the electrical appliance in the section. By each room can control for 16 unit for one room. for the all control building which cancontrol the equipment up to 65536 room per section, and up to 65536 unit can be record and show all status on PC. This is a Z80180 control board which divide for two part ; the master and slave. Master is can connect between master ,slave,driver and PC. It can work by independented which we can control by master only.

## กิติกรรมประกาศ

ปริญญาบัตรฉบับนี้ได้สำเร็จลุล่วงไปได้ก็ด้วยความช่วยเหลือของ  
อาจารย์ ไพศาล สิริโยภาสกุล ที่เป็นอาจารย์ที่ปรึกษาปริญญาบัตรและให้  
ความช่วยเหลือทางด้านเครื่องมือที่ใช้ในการทดสอบและขอขอบคุณ อาจารย์  
กฤษดากร กล่อมการ ที่ให้คำปรึกษาเกี่ยวกับหลักการทำงานของการสื่อสาร  
ข้อมูลนุกรมรวมทั้งเพื่อนๆในกลุ่มที่ให้ความร่วมมือด้วยดีมาโดยตลอด

ท้ายที่สุดนี้ใคร่ขอกราบขอบพระคุณ บิดา มารดา และ พี่น้อง ที่ให้  
ความสนับสนุนในทุกๆเรื่องเริ่มตั้งแต่เข้ามาศึกษาในสถาบันเทคโนโลยีพระ  
จอมเกล้าเจ้าคุณทหารลาดกระบังแห่งนี้

นาย นิตินาถ คำพา

นาย พงษ์ศักดิ์ ปานอินทร์

นาย พิเชิต สหายรักษ์

นาย วัชรชัย ไชยเจริญ

# สารบัญ

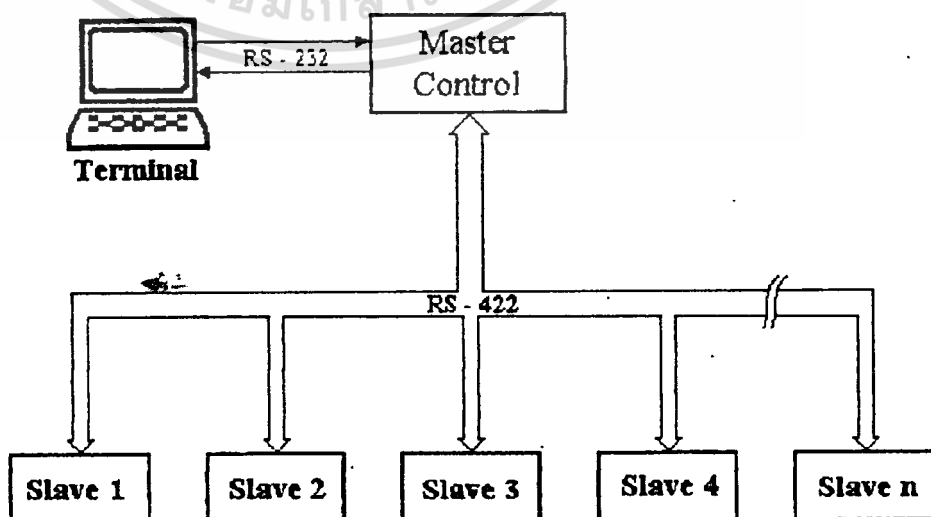
	หน้า
<b>บทคัดย่อ</b>	ก
<b>Abstract</b>	ข
<b>กิตติกรรมประกาศ</b>	ค
<b>บทที่ 1 บทนำ</b>	
หลักการโดยสังเขป	1
<b>บทที่ 2 ทฤษฎีและหลักการ</b>	
2.1 หลักการทำงานของระบบ	3
2.2 หน้าที่การทำงานของ Z80180 CPU และ 8255 PPI	5
<b>บทที่ 3 การออกแบบ Hardware และ Software</b>	
3.1 การออกแบบ Master Board	41
3.2 การออกแบบ Slave Board	47
3.3 Board Driver	50
3.4 การออกแบบขั้นสุดท้าย	54
<b>บทที่ 4 การใช้งาน</b>	
4.1 การใช้งานเครื่องควบคุมส่วนกลาง(Master Board)	72
4.2 การใช้งาน Software Security System	80
<b>ภาคผนวก</b>	
ก. โปรแกรม Monitor ของ Board Master	
ข. โปรแกรม Monitor ของ Board Slave	
ค. โปรแกรม Security System v1.1	
ง. เอกสารอ้างอิง	

## บทที่ 1 บทนำ

### หลักการโดยสังเขป

เครื่องควบคุมระบบไฟฟ้าและตรวจจับป้องกันภัยภายในห้องพัก ระบบนี้เป็น การประยุกต์ใช้งานของไอ.ซี.ไมโครโพรเซสซิ่งยูนิต (MPU) ของบริษัทไซลอก เบอร์ Z80180 ไอ.ซี.ตัวนี้ จะทำหน้าที่ควบคุมการเปิด-ปิดระบบไฟฟ้าภายในห้อง พร้อมทั้งมี ระบบเซ็นเซอร์ตรวจจับป้องกันภัย โดยมีเข้าที่พุดที่สามารถควบคุมได้ 16 เข้าที่พุด และ เซ็นเซอร์อินพุตอีก 8 อินพุต จะใช้ได้กับเซ็นเซอร์ที่ให้เข้าที่พุดเป็นหน้าคอนแท็ค การ ควบคุมอุปกรณ์ไฟฟ้าภายในห้องพักสามารถกระทำได้โดยสั่งเปิด-ปิดอุปกรณ์ไฟฟ้าจาก ห้องพักโดยตรงหรือสั่งควบคุมจากส่วนควบคุมหลัก (Master Control) และยังสามารถ ควบคุมได้จากเครื่องคอมพิวเตอร์ PC (XT/AT) หรือเครื่องคอมพิวเตอร์ชนิดอื่นๆ โดย คิดต่อผ่านทางพอร์ตอนุกรม RS-232 เข้าไปที่ตัว Master และการติดต่อระหว่าง Master กับตัวควบคุมอุปกรณ์ไฟฟ้าภายในห้องพัก (Slave) นั้นทำได้โดยใช้พอร์ตอนุกรมมาตรฐาน RS-422 การทำงานของระบบนี้แบ่ง ออกเป็น 3 ส่วน คือ

1. ส่วนแสดงผลและป้อนข้อมูล (Terminal) ใช้คอมพิวเตอร์ PC (XT/AT)
2. ส่วนควบคุมหลัก (Master Control) ใช้บอร์ด CPU ที่ออกแบบมาโดยเฉพาะ
3. ส่วนควบคุมย่อย (Slave Control) ใช้บอร์ดควบคุมซึ่งได้ออกแบบมาใช้สำหรับ งานนี้โดยเฉพาะ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาต  
รูปที่ 1.1 ระบบควบคุมไฟฟ้าและตรวจจับป้องกันภัยภายในห้องพัก  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบแบบนี้ตัวควบคุมย่อย (Slave Control) สามารถทำงานได้อย่างอิสระและสะดวกในการเดินสายสัญญาณ จะคล้ายๆกับระบบ LAN (Local Area Network) เพียงแต่ส่วนควบคุมย่อย (Slave Control) ไม่สามารถติดต่อกันเองได้ การติดต่อจะเป็นในลักษณะส่วนควบคุมหลัก (Master Control) จะทำการติดต่อไปหาส่วนควบคุมย่อย (Slave Control) แต่เมื่อมีเหตุการณ์ฉุกเฉินเกิดขึ้นจากการตรวจจับของอุปกรณ์ Sensor ตัวบอร์ดควบคุมย่อยก็จะติดต่อกลับไปยังส่วนควบคุมหลักได้เช่นกัน โดยส่งหมายเลขประจำบอร์ดไปบอก Master แล้ว Master ก็มาอ่านเหตุการณ์ของห้องนั้นกลับไปที่ส่วนควบคุมย่อย (Slave Control) นี้จะมีหมายเลขประจำบอร์ด ซึ่งกำหนดได้จาก DIP Switch บนตัวบอร์ด เหตุการณ์ต่างๆที่เกิดขึ้นในแต่ละห้องจะมีการบันทึกเก็บไว้อย่างต่อเนื่องต่อวัน เพื่อรอให้เครื่องคอมพิวเตอร์มาอ่านเอาไปบันทึกเก็บไว้ในแผ่น Disk อีกทีหนึ่ง ในส่วนนี้เครื่องคอมพิวเตอร์จะจัดการให้เอง โดยจะกระทำเพียงวันละครั้ง

## บทที่ 2 ทฤษฎีและหลักการ

### 2.1 หลักทำงานของระบบ

โครงการระบบควบคุมไฟฟ้าภายในอาคารนี้ ใช้หลักการของ Multiprocessor Communication โดยใช้ Microprocessor เบอร์ Z 80180 ทำหน้าที่เป็นตัวควบคุมระบบ ไฟฟ้าภายในห้องแต่ละห้องซึ่ง Microprocessor ที่ควบคุมระบบไฟฟ้าแต่ละห้องนี้เรา จะเรียกว่า Slave และจะมี Z80180 MPU 1 ตัว ต่อเชื่อมกับ Computer Z80180 MPU ตัวนี้เราจะเรียกว่า Master ซึ่งจะทำหน้าที่รับส่งข้อมูลระหว่างตัว Computer กับ Slave เหตุผลที่ต้องใช้ตัว Master เป็นตัวเชื่อมระหว่างตัว Computer กับ Slave ก็ เพราะว่าใน หลักการของ Multiprocessor Communication ของ Z80180 นั้น จะใช้รูปแบบการส่ง ข้อมูลอนุกรมดังนี้

***Start bit + 7 or 8 Data bit + MP bit + 1 or 2 stop bits.***

โดยที่จะมี MPB bit ซึ่งเป็น bit ที่ 9 ของ Data ใช้เป็นตัวแยกข้อมูลอนุกรมที่เข้ามาบอกให้ตัว Slave รู้ว่าข้อมูลที่เข้ามาเป็น Address หรือ Data โดยที่ Data bit ที่ 9 ที่เข้ามามีสถานะเป็น 1 ตัว Slave จะรู้ทันทีว่าเป็น Address เพราะว่าใน ASCII Control Register A,B จะคอยเช็คสถานะของ MP bit ว่า เป็น 1 หรือไม่ ถ้า MP bit มีค่าเป็น 1 ก็ จะทำการส่งสัญญาณ Interrupt ไปให้ CPU รับ Data เข้าไปเปรียบเทียบว่าเป็น Address ของตัวมันใช่หรือไม่ ถ้าใช่ จะทำการ Clear MP bit ให้เป็น 0 เพื่อจะรอรับ Data ของตัวมัน และ Slave ตัวอื่น ที่รับ Address เข้าไปเปรียบเทียบ ถ้าไม่ใช่ของตัวมันก็จะ ไม่ทำการ Clear MP bit เพราะฉะนั้น Slave ตัวอื่น จะไม่ถูก Interrupt ด้วย Data ของตัว อื่น เพราะว่า bit ที่ 9 ของ Data จะไม่ถูก set ให้เป็น 1 ดังนั้น ในการที่จะส่งข้อมูลจาก Computer ไปเข้า Slave โดยตรงนั้น ไม่สามารถที่จะทำได้ เพราะว่า Programmable Communication Interface (8251) ไม่สามารถ Control ให้ทำงานใน mode Multiprocessor Communication ได้ ดังนั้นจึงต้องมีตัว Master ทำหน้าที่เป็นตัวรับส่ง ข้อมูลระหว่าง Slave กับ Computer แทน

## รายละเอียดทางด้านฮาร์ดแวร์

1. ส่วนควบคุมหลัก (Master Control) สำหรับการควบคุมแบบ Manual และ แสดงผลของการทำงานซึ่งควบคุมโดยส่วนควบคุมย่อย (Sub Control) โดยใช้เครื่องคอมพิวเตอร์ PC (XT/AT) หรือเครื่องคอมพิวเตอร์เปิดทั่วไป ดังนั้นในส่วนนี้จึงไม่ขอกล่าวถึงรายละเอียดทางด้านฮาร์ดแวร์

2. ส่วนควบคุมย่อย (Sub Control) ส่วนนี้จะติดตั้งประจำอยู่ที่ห้องพักสำหรับควบคุมอุปกรณ์ไฟฟ้าและตัวตรวจจับ (Sensor) สามารถติดต่อกับส่วนควบคุมหลักเพื่อรับการสั่งงานหรือส่งข้อมูลออกไป เพื่อรายงานถึงสถานะของอุปกรณ์ต่างๆภายใน ห้องพัก ส่วนนี้ประกอบด้วยบอร์ดควบคุม 2 บอร์ด

-CPU Control Board ประกอบด้วย MPU Z80180 , ROM (2716) , RAM (6116) , I/O Port (8255) , Timer chip (MM58167BN-T) เป็นบอร์ดที่ติดต่อกับตัวควบคุมหลักผ่านทางพอร์ต RS-422 รับส่งข้อมูล เพื่อควบคุมอุปกรณ์ต่างๆผ่านทาง I/P Port 8255 และรายงานสถานะของอุปกรณ์ต่างๆไปแสดงผลที่ตัวควบคุมหลัก

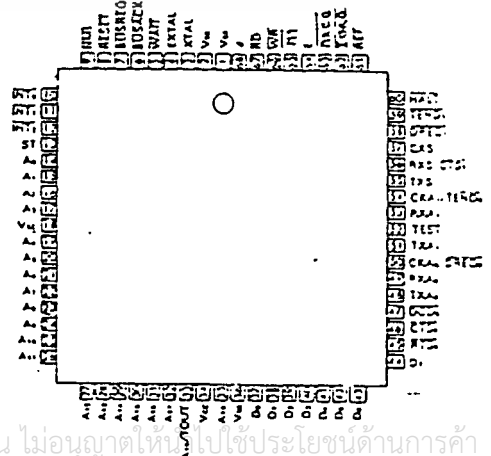
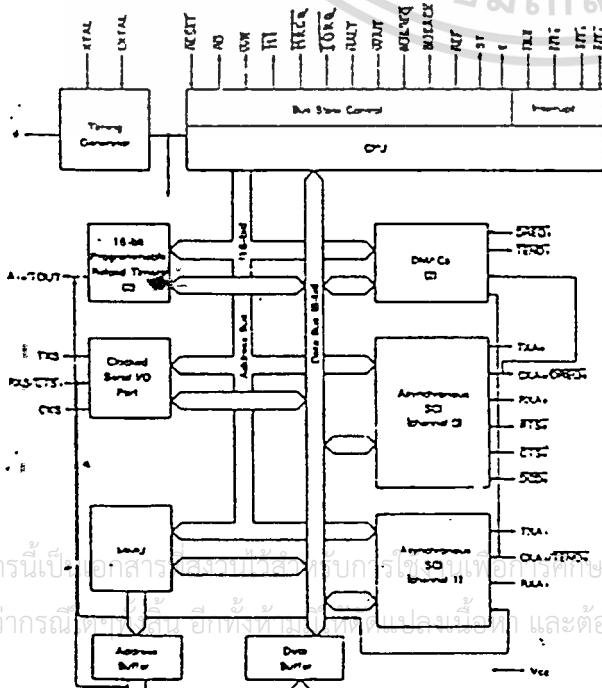
-AC Switch Board เป็นบอร์ดเชื่อมระบบไมโครโปรเซสเซอร์เข้ากับระบบไฟ AC 220 V ผ่านทาง I/P Port 8255 ทำให้สามารถสั่งงานควบคุมไฟ 220 VAC ได้ มีให้เลือกใช้ได้ 2 แบบ คือ แบบที่ใช้ Relay และแบบที่ใช้ Triac แต่ละบอร์ดมี 16 Output 6 Amp. 220 VAC

## 2.2 หน้าที่และการทำงานของ Z80180 CPU และ 8255 PPI

### 2.2.1 Z80180

Z80180 เป็น CPU ที่มีความสามารถสูงที่ได้รวม SHIP สำคัญอื่นๆ ใน CPU SHIP เดียว จึงทำให้มีลักษณะคล้ายกับ CPU ที่ใช้ในงาน CONTROL ในจำพวก "SINGLE CHIP" แต่เนื่องจาก SINGLE SHIP มีข้อดี คือ เป็นระบบเดี่ยวราคาถูก แต่ข้อเสีย คือ การโปรแกรม CONTROL ก่อนข้างยากในตอนเริ่มต้นและกับระบบงานที่ใหญ่ขึ้น แต่ Z80180 ทางด้านโปรแกรมจะสะดวกอย่างมากเพราะคำสั่งที่ใช้มีมากและตรงไปตรงมาทั้งคู่มือภาษาไทยและตัวอย่างการใช้งานอย่างมากมาย

เมื่อมองดูระบบ MICRO CONTROLLER "SINGLE CHIP" แล้ว Z80180 จะดีกว่าตรงที่ไม่มี ROM, RAM และ PORT แต่ถ้าเป็นงานในระดับโรงงานอุตสาหกรรมแล้วระบบของ Z80180 กับ CHIP MICRO CONTROLLER แล้วจะไม่ต่างกันเลย เพราะความต้องการพื้นที่ในการเก็บข้อมูลมากและ PORT มากตามจึงทำให้ต้องต่อเพิ่มภายนอกขึ้น จึงทำให้ Z80180 ในระดับงาน CONTROL อุตสาหกรรมคล่องตัวมากกว่า เพราะภายใน Z80180 ประกอบด้วยเป็น CMOS, OSCILATOR ในตัว RUN ที่ 10 MHz, MMU SHIP ย้ำ MEMORY ได้ 1 MBYTE, DMA 2 CHANEL, PORT สื่อสาร UART 2 CHANEL, CLOCK SERIAL I/O, 16 BIT TIMER COUNTER และเกี่ยวกับ PORT สื่อสาร สามารถทำ MULTI PROCESSOR COMMUNICATION ซึ่งโครงสร้างของ CHIP นี้จะเป็นดังรูป



## ขบวนการใช้งาน

A0-A19	ADDRESS BUS ระหว่าง RESET จะเป็น HIGH IMPEDANCE
$\overline{\text{BUSAK}}$	BUS ACKNOWLEDGE เป็นขา OUTPUT ACTIVE LOW ทำ งานก็ต่อเมื่อ Z80180 ตอบสนองต่อการขอ BUS ของ $\overline{\text{BUSRQ}}$ และจะทำให้ BUS ข้อมูล BUS ADDRESS และ สัญญาณ CONTROL บางเส้นเป็น HIGH IMPEDANCE
$\overline{\text{BUSRQ}}$	BUS REQUEST เป็นขา INPUT ACTIVE LOW ซึ่งจะมีความ สำคัญสูงกว่า NMI โดยจะมีการตรวจสอบสัญญาณนี้ทุก ๆ การสิ้น ยุคของ MACHINECYCLE
CKA0,CKA1	ASYNCHRONOUS CLOCK 0 และ 1 เป็นขาสัญญาณ CLOCK แบบ 2 ทิศทาง คือ จะใช้เป็นขา INPUT หรือ OUTPUT ก็ได้
CKS	SERIAL CLOCK เป็นขา CLOCK 2 ทิศทางของ CSI/0
CLOCK	เป็นขา OUTPUT โดยจะเป็นครึ่งหนึ่งของ XTAL หรือ CLOCK OUT เช่น XTAL 12 MHZ Z80180 จะ RUN ที่ 6 MHZ
$\overline{\text{CTSO}}-\overline{\text{CTSI}}$	CLEAR TO SEND 0 และ 1 เป็นขา INPUT ACTIVE LOW ใช้ใน การควบคุม MODEM
D0-D7	DATA BUS เป็นแบบ 2 ทิศทาง
DCDO	DATA CARRIER DETECT 0 เป็นขา INPUT ACTIVE LOW ใช้ ควบคุมในการติดต่อกับ MODEM ของ ASCII CHANEL 0
$\overline{\text{DREQ0}}-\overline{\text{DREQ1}}$	DMA REQUEST 0 และ 1 เป็นขา INPUT ACTIVE LOW ใช้ใน การขอ DMA และขานี้จะ โปรแกรมได้ว่าให้ตรวจสัญญาณที่ขอบหรือ ระดับได้
E	ENABLE CLOCK เป็นขา OUTPUT ACTIVE HIGH ซึ่งใช้บังคับการ ทำงานกับอุปกรณ์ ภายนอกระหว่างการทำงานเกี่ยวกับ BUS และ ใช้เชื่อมต่ออุปกรณ์ในตระกูล 68XX และ 80XX
$\overline{\text{HALT}}$	เป็นขา OUTPUT ACTIVE LOW จะทำงานเมื่อทำคำสั่ง HALT หรือ SLP

$\overline{INT0}$	MASKABLE INTERRUPT 0 เป็นขา INPUT ACTIVE LOW สัญญาณที่ขานี้จะถูกตรวจทุก ๆ การสิ้นสุดของคำสั่ง
$\overline{INT1}, \overline{INT2}$	เช่นเดียวกับ INT0 แต่มีระดับความสำคัญรองลงมาตามลำดับ
$\overline{IORQ}$	เป็นขา OUTPUT เพื่อบอกว่ากำลังติดต่อกับ I/O หรือขา IOE ใน 64180
$\overline{M1}$	MACHINE CYCLE 1 เป็นขา OUTPUT ACTIVE LOW จะทำงานเมื่อ FETCH OP-CODE หรือเป็นขา LIR ของ 64180
$\overline{NMT}$	NON MASKABLE INTERRUPT เป็นขา INPUT ACTIVE LOW นี้จะตอบรับการ INTERRUPT เสมอ โดยไม่สามารถหยุดด้วย SOFTWARE
$\overline{RD}$	เป็นขาที่ใช้ทำการอ่านข้อมูลจาก MEMORY หรือ I/O
$\overline{RFSH}$	เป็นขาที่ให้ ADDRESS LOW (A0-A7) ไป REFRESH DYNAMIC RAM หรือ ขา $\overline{REF}$ ของ 64180
$\overline{RTS0}$	REQUEST TO SEND เป็นขา OUTPUT ACTIVE LOW ขานี้ใช้โปรแกรมสัญญาณควบคุมโมเด็มของ ASCII CANCEL O
$RXA0, RXA1$	RECEIVE DATA 0 และ 1 เป็นขารับสัญญาณจาก SERIAL PORT ของ ASCII
$RXS$	CLOCK SERIAL RECEIVE DATA เป็นขารับสัญญาณ SERIAL ของ CSIO
$ST$	STATUS เป็นขา OUTPUT ACTIVE HIGH ใช้แสดงสถานะการทำงานของ CPU โดยร่วมกับ $\overline{M1}$ และ $\overline{HALT}$ ดังตาราง

ST	$\overline{HALT}$	$\overline{M1}$	Operation
0	1	0	CPU operation (1st op-code fetch)
1	1	0	CPU operation (2nd op-code and 3rd op-code fetch)
1	1	1	CPU operation (MC except for op-code fetch)
0	X	1	DMA operation
0	0	0	HALT mode
1	0	1	SLEEP mode (including SYSTEM STOP mode)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ  
 NOTE X: Don't care  
 MC: Machine cycle

$\overline{TENDO-TENDI}$	TRANSFER END 0 และ 1 เป็นขา OUTPUT ACTIVE LOW ใช้แสดงถึงว่าทำ DMA สิ้นสุดลงแล้ว
TOUT	TIMER OUT ใช้กำหนดพัลส์จาก PRT CHANEL 1
TXAO, TXAI	TRANSMIT DATA 0 และ 1 เป็นขาส่งข้อมูล SERIAL ของ ASCII
TXS	CLOCK SERIAL TRANSMIT DATA เป็นขาส่งข้อมูล SERIAL ของ CSIO
$\overline{WAIT}$	ขา INPUT ACTIVE LOW จะถูกตรวจที่ขอบขาตลง CLOCK ลูกที่ 2 ของทุกๆ MACHINE เพื่อเป็นการรอให้อุปกรณ์ภายนอกทำงานให้ทันกับการทำงานของ CPU
WR	ใช้สำหรับการส่งข้อมูลไปยัง I/O หรือ MEMORY
XTAL	เป็นขาที่ใช้ต่อกับ XTAL
<b>ขาที่ MULTIPLEX</b>	
A18/ $\overline{TOUT}$	ระหว่าง RESET จะเป็น A18 แต่ถ้ามีการเลือก SET BIT TOC1 หรือ TOC0 ใน TIMER CONTROL REGISTOR (TCR) ก็จะทำให้หน้าที่ TOUT
CKAO/ $\overline{DREQ0}$	ระหว่าง RESET ขานี้จะเป็น CKAO แต่ถ้า DM1 หรือ SM1 ใน DMA MODE REGISTOR (DMODE) ถูก SET เป็น 1 จะเป็นขา DREQ0.
CKA1/ $\overline{TENDO}$	ระหว่าง RESET จะเป็นขา CKA1 แต่ถ้า BIT CKA1D ใน ASCII ถูก SET จะเป็นขา $\overline{TENDO}$
RXS/ $\overline{CTS1}$	ระหว่าง RESET ขานี้จะเป็นขา RXS ถ้า BIT CTS1E ใน ASCII ถูก SET จะเป็นขา $\overline{CTS1}$

# INTERNAL I/O REGISTER

ซึ่งมีด้วยกัน 64 I/O ADDRESS ดังแสดงในรูป

	Register	Mnemonic	Address	
			Binary	Hexadecimal
ASCII	ASCII Control Register A Ch 0	CNTL A0	XX000000	00H
	ASCII Control Register A Ch 1	CNTL A1	XX000001	01H
	ASCII Control Register B Ch 0	CNTL B0	XX000010	02H
	ASCII Control Register B Ch 1	CNTL B1	XX000011	03H
	ASCII Status Register Ch 0	STAT0	XX000100	04H
	ASCII Status Register Ch 1	STAT1	XX000101	05H
	ASCII Transmit Data Register Ch 0	TDR0	XX000110	06H
	ASCII Transmit Data Register Ch 1	TDR1	XX000111	07H
	ASCII Receive Data Register Ch 0	RDR0	XX001000	08H
	ASCII Receive Data Register Ch 1	RDR1	XX001001	09H
CS/O	CS/O Control Register	CNTR	XX001010	0AH
	CS/O Transmit/Receive Data Register	TRDR	XX001011	0BH
Timer	Timer Data Register Ch 0L	TMDR0L	XX001100	0CH
	Timer Data Register Ch 0H	TMDR0H	XX001101	0DH
	Reload Register Ch 0L	RLDR0L	XX001110	0EH
	Reload Register Ch 0H	RLDR0H	XX001111	0FH
	Timer Control Register	TCR	XX010000	10H
	Reserved		XX010001	11H
			XX010011	13H
	Timer Data Register Ch 1L	TMDR1L	XX010100	14H
	Timer Data Register Ch 1H	TMDR1H	XX010101	15H
	Reload Register Ch 1L	RLDR1L	XX010110	16H
Reload Register Ch 1H	RLDR1H	XX010111	17H	
Others	Free Running Counter	FRC	XX010000	18H
	Reserved		XX011001	19H
			XX011111	1FH
DMA	DMA Source Address Register Ch 0L	SAR0L	XX100000	20H
	DMA Source Address Register Ch 0H	SAR0H	XX100001	21H
	DMA Source Address Register Ch 0B	SAR0B	XX100010	22H
	DMA Destination Address Register Ch 0L	DAR0L	XX100011	23H
	DMA Destination Address Register Ch 0H	DAR0H	XX100100	24H
	DMA Destination Address Register Ch 0B	DAR0B	XX100101	25H
	DMA Byte Count Register Ch 0L	BCR0L	XX100110	26H
	DMA Byte Count Register Ch 0H	BCR0H	XX100111	27H
	DMA Memory Address Register Ch 1L	MAR1L	XX101000	28H
	DMA Memory Address Register Ch 1H	MAR1H	XX101001	29H
	DMA Memory Address Register Ch 1B	MAR1B	XX101010	2AH
	DMA VO Address Register Ch 1L	VAR1L	XX101011	2BH
	DMA VO Address Register Ch 1H	VAR1H	XX101100	2CH
	Reserved		XX101101	2DH
	DMA Byte Count Register Ch 1L	BCR1L	XX101110	2EH
	DMA Byte Count Register Ch 1H	BCR1H	XX101111	2FH
	DMA Status Register	DSTAT	XX110000	30H
DMA Mode Register	DMODE	XX110001	31H	
DMA/WAIT Control Register	DCNTL	XX110010	32H	
INT	IL Register Interrupt Vector Low Register	IL	XX110011	33H
	INT/TRAP Control Register	ITC	XX110100	34H
	Reserved		XX110101	35H
Refresh	Refresh Control Register	RCR	XX110110	36H
	Reserved		XX110111	37H
MMU	MMU Common Base Register	CBR	XX111000	38H
	MMU Bank Base Register	EBR	XX111001	39H
	MMU Common/Bank Area Register	CSAR	XX111010	3AH
VO	Reserved		XX111011	3BH
			XX111101	3DH
	Operation Mode Control Register	OMCR	XX111110	3EH

จาก MAP I/O ภายในจะเห็นว่าโปรแกรม Z80 ถ้าที่เราที่อยู่อาจจะมีการส่ง PORT  
 ซ้ำกับ I/O ภายใน ทำให้โปรแกรมเดิมทำงานไม่ได้ สามารถแก้ไขได้โดยการ  
 โปรแกรมย้าย MAP I/O ภายใน โดยการ CONTROL BIT ใน REGISTOR I/O ICR  
 ADDRESS 3FH ซึ่งสามารถย้ายไปที่ใดก็ได้ภายใน 256 ตำแหน่ง ดังนี้

BIT 7 6 5 4 3 2 1 0

IOA7	IOA6	IOSTP					
------	------	-------	--	--	--	--	--

และการโปรแกรมจะเป็นดังนี้

IOA7	IOA6	ช่วง ADDRESS I/O
0	0	0000 - 003FH
0	1	0040 - 007FH
1	0	0080 - 00BFH
1	1	00C0 - 00FFH

เช่น ต้องการย้าย I/O ภายใน ไป I/O ADDRESS 80H เป็นต้นไป จะโปรแกรมได้เป็น

```
LD A, 80H
```

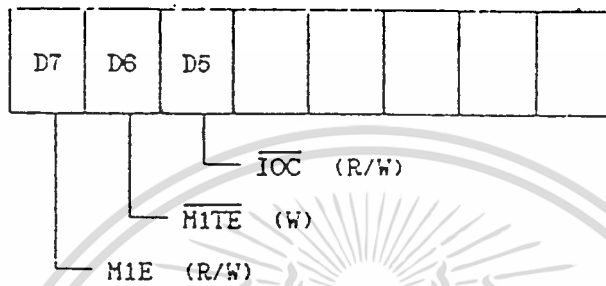
```
OUTO (3FK), A
```

ส่วน IOSTP : IOSTOP MODE BIT 5 เป็น 1 จะทำให้ I/O ภายในหยุดทำงาน

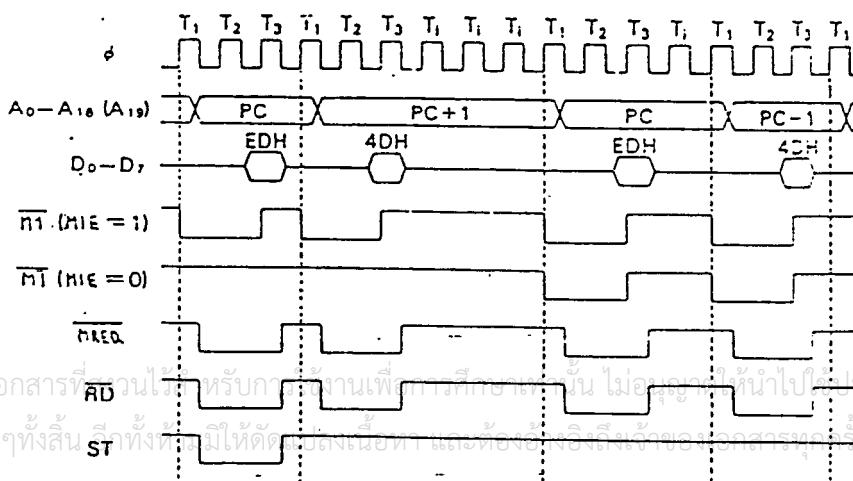
เมื่อ RESET BIT นี้จะเป็น 0

## OPERATION MODE

Z80180 สามารถกำหนดการทำงานให้เหมือน 64180 ได้ โดยการ SET BIT CONTROL MODE CONTROL REGISTOR (OMCR I/O ADDRESS 3FH)



M1E (M1 ENABLE) ระหว่าง RESET BIT นี้จะเป็น 1  $\overline{M1}$  OUTPUT จะเป็น LOW เมื่อ FETCH OP CODE และเนื่องจากการทำคำสั่ง RETI ของ Z80180 จะถูกกระทำ 2 ครั้งใน 1 คำสั่ง จึงทำให้เกิด  $\overline{M1}$  ขึ้น 2 ครั้งด้วยอันอาจทำให้เกิด INTERRUPT เข้ามาได้เมื่อยังทำไม่หมดคำสั่ง ด้วยเหตุนี้ BIT M1E จะถูก SET เป็น 0 สำหรับ Z80180 เพื่อให้  $\overline{M1}$  ถูกทำงานปกติ คือ เมื่อทำคำสั่ง RETI จะมี  $\overline{M1}$  เพียงครั้งเดียว ดังรูป



$\overline{MITE}$  (M1 TEMPORARY ENABLE) ใช้กับการต่อ INTERFACE กับ Z80 PIO  
 $\overline{IOC}$  เป็น BIT ใช้ควบคุม TIMING ของ  $\overline{IORQ}$  และ  $\overline{RD}$  ให้เหมือน Z80 หรือ 64180 โดยถ้า BIT นี้ถูก SET เป็น 1 TIMING จะเป็นของ 64180 คือ  $\overline{IORQ}$  และ  $\overline{RD}$  จะ ACTIVE ที่ขอบขาลงของ T1 แต่ถ้า BIT นี้เป็น 0 TIMING จะเป็นของ Z80 คือ จะ ACTIVE ที่ขอบขาขึ้นของ T2 เพื่อให้ใช้อุปกรณ์สนับสนุนของ Z80 ได้ระหว่าง RESET BIT นี้จะเป็น 1 ดังรูป

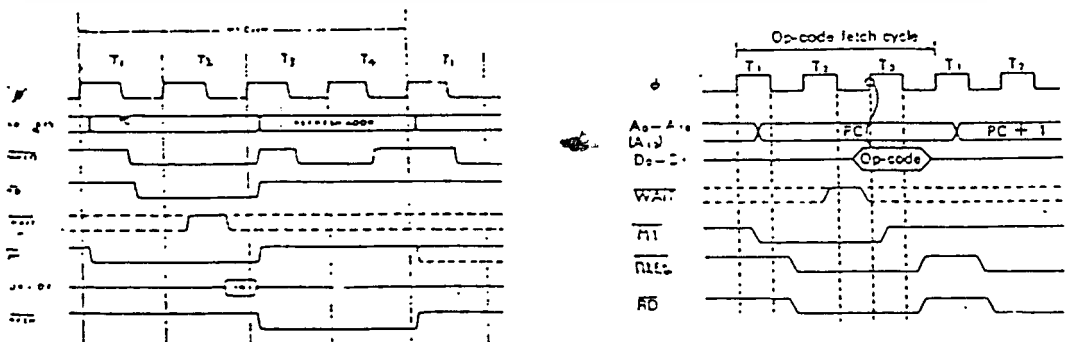


I/O Read Write Cycle When  $\overline{IOC}=0$

I/O Read Write Cycle When  $\overline{IOC}=1$

**เกี่ยวกับ TIMING**

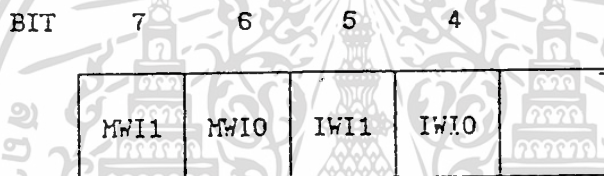
ให้ดูรายละเอียดในคู่มือฉบับภาษาอังกฤษ แต่กล่าวสรุปได้ว่า Z80180 ใช้เวลาในการทำคำสั่งใน 1 MACHINE CYCLE น้อยกว่า Z80 อยู่ 1 T STATE คือใช้เวลาใน 1 MACHINE CYCLE เพียง 3 T STATE ในขณะที่ Z80 ใช้ 4 T STATE จะเห็นได้ว่าในขณะที่ให้ Z80180 RUN ความถี่เดียวกันกับ Z80 CPU Z80180 ก็ยังให้ความเร็วกว่า Z80 ถึงอีก 25% แต่ในขณะเดียวกัน Z80180 ยังสามารถต่อ CLOCK สูงกว่า Z80 ได้มากกว่า 1 เท่า จึงทำให้ความเร็วในการทำงานของ Z80180 ดีกว่ามาก ดูรูปเปรียบเทียบ T STATE ของ Z80 กับ Z80180



## WAIT STATE GENERATOR

Z80180 ทำงานด้วยความถี่ที่สูงขึ้นจึงอาจทำให้ MEMORY หรือ I/O ทำงานไม่ทันจึงต้องมีสัญญาณเป็นตัวช่วยกำหนดความพร้อมระหว่าง CPU กับอุปกรณ์ภายนอกนั่นก็คือ สัญญาณ WAIT ซึ่ง Z80 นั้นจะต้องให้อุปกรณ์ภายนอกส่งสัญญาณนี้มาให้แต่ Z80180 ยังสามารถให้โปรแกรมจำนวน WAIT STATE เพื่อเพิ่มเข้าไปในขณะที่ CPU ปฏิบัติคำสั่งหรือทำ DMA ด้วย

การโปรแกรมจะใช้ 4 BIT ของ DMA/WAIT CONTROL REGISTOR (DCNTL I/O ADDRESS 32H)



BIT 7 , 6 MWI1 , MWIO (MEMORY WAIT INSERTION)

จะทำการเพิ่มจาก 0-3 WAIT STATE ของการเข้าถึง MEMORY โดยการโปรแกรม

MWI1	MWIO	จำนวน WAIT STATE
0	0	0
0	1	1
1	0	2
1	1	3

BIT 5 , 4 IWI1 , IWIO (I/O WAIT INSERTION)

จะทำการเพิ่ม WAIT STATE ให้กับ I/O ภายนอก 1-6 ดังตาราง

IWI1	IWIO	I/O ภายนอก	INTO
0	0	1	2
0	1	2	4
1	0	3	5
1	1	4	6

จะเห็นว่า WAIT STATE ของ I/O มากกว่า MEMORY อยู่หนึ่ง T STATE เพราะขณะเข้าถึง I/O ปกติ WAIT STATE จะถูกเพิ่มขึ้น 1 อยู่แล้ว ดังนั้นเมื่อเพิ่ม WAIT STATE เข้าไปก็จะรวมกับที่มีอยู่ปกติและส่วน  $\overline{INTO}$  ก็เช่นเดียวกัน ขณะเกิด  $\overline{INTO}$  ปกติ จะมี WAIT STATE อยู่ 2 WAIT STATE อยู่แล้ว และขณะที่ RESET BIT CONTROL WAIT STATE ทั้ง 4 จะเป็น 1 ทั้งหมด คืออยู่ใน MODE ของ MAX WAIT STATE

ตัวอย่างเช่น เราต้องการเพิ่ม WAIT STATE ในการเข้าถึง MEMORY 2 WAIT STATE จะโปรแกรม ดังนี้

INO A,(32) ; IN ค่าใน REGISTOR DMA/WAIT  
 AND OBFH ; FILL เฉพาะ BIT 7 และ 6 เท่านั้น  
 OUTO (32H),A ; ที่ใช้ IN แล้ว AND ก็เพราะว่า REGISTOR นี้  
 ; มีการกำหนดเกี่ยวกับ DMA ดังนั้นเราจึง FILL  
 ; เฉพาะ BIT ที่ต้องการโปรแกรม

## รูปแบบ WAIT STATE ปกติ

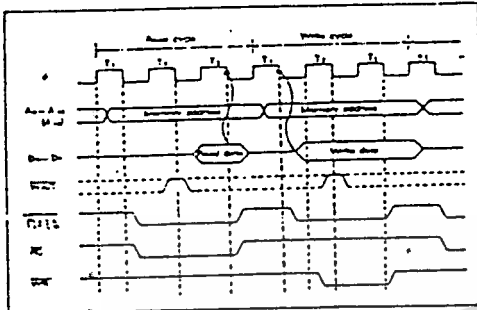


Figure 2.2.3 Memory Read/Write Timing (without wait state)

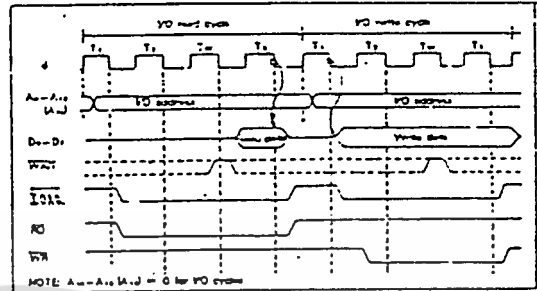


Figure 2.2.8 I/O Read/Write Timing

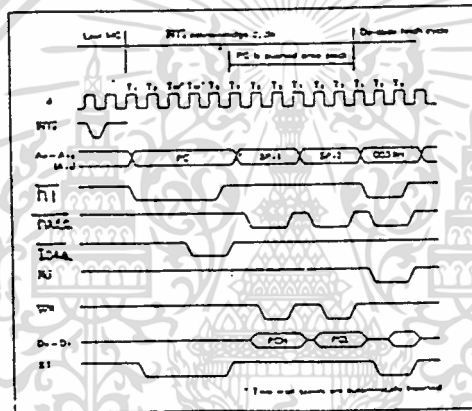


Figure 2.7.7 IRTG Mode 1 Timing

## HALT และ LOW POWER MODE

มีด้วยกัน 4 MODE คือ

**HALT MODE**      โดยทำคำสั่ง 76H จะทำให้ CPU หยุดทำคำสั่งแต่การทำงานต่างๆ ของ CPU ยังทำปกติการออกจาก HALT โดย RESET หรือ INTERRUPT

**SLEEP MODE**    โดยการทำคำสั่ง SLP ซึ่ง CPU จะหยุด CLOCK ภายในทำให้ ADDRESS เป็น HIGH , DATABUS เป็น TRISTATE , DRAM REFRESH , INTERNAL DMAC หยุดทำงานการออกจาก SLEEP MODE โดยการ RESET หรือ INTERRUPT

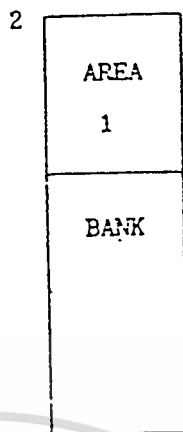
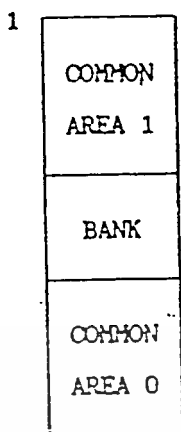
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IOSTOP MODE ใช้หยุดการทำงานของ CHIP ภายในคือ ASCII CSI/O และ PRT โดยการ SET BIT ใน I/O CONTROL REGISTOR(ICR I/O ADDRESS 3FH) เป็น 1 และ จะทำงานต่อก็ RESET หรือ โปรแกรมใน ICR เป็น 0

SYSTEM STOP MODE เป็นการรวมกันของ IOSTOP กับ SLEEP MODE โดยการ SET BIT ใน ICR แล้วตามด้วยคำสั่ง SLP จะทำให้ IO ภายในหยุดทำงานและ CPU หยุดทำงานและ CPU หยุดทำงานเพื่อเป็นการประหยัดพลังงาน ซึ่งใน MODE นี้ CPU จะกินกระแสเพียง 7.5 MA ในขณะที่ปกติจะกินกระแสประมาณ 35 MA เมื่อจะออกจาก SYSTEM STOP MODE ก็โดยการ RESET หรือ INTERRUPT จากภายนอก

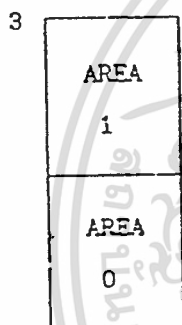
### MEMORY MANAGEMENT UNIT (MMU)

ใช้เป็นตัวขยาย MEMORY จาก 64 K (LOGICAL) เป็น 1 M BYT (PHYSTCAL) โดยการแบ่ง 64 K BYTE LOGICAL ( คือ ADDRESS ปกติที่ใช้เช่นเดียวกับ Z80) เป็น 3 ส่วนในการใช้งานด้วยกัน คือ COMMON AREA 0 , BANK AREA และ COMMON AREA 1 โดยการกำหนดโปรแกรมจัด MAP LOGICAL ใน REGISTOR I/O CBAR (ADDRESS 3AH) ซึ่งใน REGISTOR นี้จะถูกแบ่งเป็น 2 นิบเบิล คือ 4 BIT สูง และ 4 BIT ต่ำ โดย 4 BIT สูงใช้โปรแกรมพื้นที่ของ COMMON AREA 1 และ 4 BIT ต่ำใช้โปรแกรมส่วน BANK AREA ดังนั้นการโปรแกรม REGISTOR CBAR นี้ก็จะจัด MAP ได้เป็น 2 คือ 4 รูปแบบ ดังรูป



A1 > BANK > A0  
CBAR = D4H

A1 > BANK = A0 (OH)  
CBAR = F0 (RESET เป็นเช่นนี้)

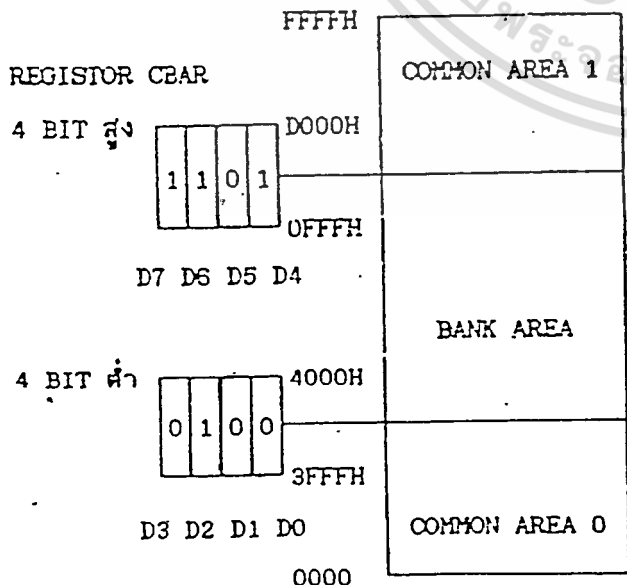


A1 = BANK > A0  
CBAR = FFH

A1 = BANK = A0 (OH)  
CBAR = 00H

MAP LOGICAL ๒๕๓

จากรูปเป็นการโปรแกรม REGISTER CBAR ให้ MAP LOGICAL เป็น COMMON AREA0 ตั้งแต่ ADDRESS 0000-3FFFH ,BANK AREA ตั้งแต่ 4000H-CFFFH และ COMMON AREA 1 ตั้งแต่ D000-FFFF ทั้งนี้เป็นไปตามค่าใน CBAR ทั้ง 2 นิบเบิล เพราะนิบเบิลสูงเป็นของ AREA 1 ซึ่งคือ 0DH ก็คือ AREA1 เริ่มแต่ D000H-FFFFH และ นิบเบิลต่ำจะเป็นจุดสิ้นสุดของ BANKAREA ซึ่ง 04H ก็คือ ถัดจาก ARE1 เป็นต้นไป จนถึง 4000H เป็น BANK ที่เหลือจึงเป็น AREA 0 นั่นเอง



## REGISTOR CONTROL

CBAR : COMMON/BANK AREA REGISTOR (I/O ADDRESS 3AH)

ใช้กำหนด พื้นที่ของ LOGICAL ที่เป็น COMMON AREA 0 , BANK AREA และ COMMON AREA1

BIT	7	6	5	4	3	2	1	0
	CA 3	CA 2	CA 1	CA 0	BA 3	BA 2	BA 1	BA 0

CA3 - CA0 เป็นตัวกำหนด ADDRESS เริ่มต้นของ COMMON AREA 1

BA - BA0 เป็นตัวกำหนดจุด ADDRESS สุดท้ายของพื้นที่ BANK AREA ที่ต่อจากจุดเริ่มต้นของ COMMON AREA 1

CBR : COMMON BASE REGISTOR (I/O ADDRESS 38H) เป็น REGISTOR I/O 8 BIT เพื่อใช้กำหนด PHYSICAL COMMON AREA 1

BBR : BANK BASE REGISTOR (I/O ADDRESS 39H) ใช้กำหนด PHYSICAL BANK AREA

**ตัวอย่าง** กำหนดให้ MONITOR ที่ 0000H-7FFFH และ RAM ใช้งานที่ 10000H โดยมีพื้นที่ STACK ที่ 18000H จากนั้นก็ต้องกำหนด MAP ใน LOGICAL โดยสมมุติให้ STACK มีเนื้อที่ 4 K นอกนั้นเป็น BANK จากนั้นก็หาค่าให้กับ BANK และ AREA 1 เช่น MAP LOGICAL กำหนดได้เป็นดังนี้



จากค่าที่โปรแกรมใน CBAR จึงทำให้โปรแกรม COMMON AREA ทั้ง 2 และ BANK ได้ตั้งแต่ 4 K BYTE ขึ้นไป เช่น ให้นิบบีต์สูงของ CBAR = OFH ก็คือ AREA 1 มี ค่าตั้งแต่ F000-FFFFH (คือ 4 K อย่างดำนั่นเอง) และจุดที่น่าสังเกตจากการจัด MAP ทั้ง 4 รูปแบบนั้นก็คือ COMMON 0 และ BANK สามารถมีตำแหน่งที่ทับซ้อนได้ (ตำแหน่งเดียวกัน) และ COMMON AREA 1 กับ BANK ก็สามารถโปรแกรมให้อยู่ที่ได้ก็ได้โดยอิสระตั้งแต่ 4 K BYTE ขึ้นไปของส่วน PHYSICAL ADDRESS (1 MBYTE โดยใช้ร่วมกับ REGISTOR อีก 2 ตัว) แต่ส่วน COMMON AREA 0 แล้วจะเป็น BASED หรือ MONITOR ของระบบนั่นเอง

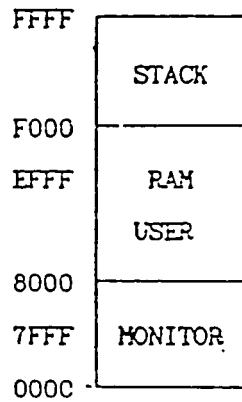
จากที่กล่าวมาเรายังไม่พูดถึงการขยาย MEMORY ออกไปมากกว่า 64 K เพราะว่าการที่จะย้าย MEMORY เกินกว่า 64 K นั้น จะต้องอิงส่วนของ LOGICAL ด้วย เนื่องด้วยคำสั่งของ Z80 ไม่สามารถอ้าง MEMORY เกินนี้ได้ ดังนั้นการอ้างถึง MEMORY ทั้งหมดจึงยังเป็นส่วนของ LOGICAL แต่ข้อมูลที่ถูกกระทำจริงจะเป็นส่วนของ PHYSICAL เช่น ในคำสั่งอาจเป็นดังนี้

LD A , (8000H)

ซึ่งดูจากคำสั่งนี่จะเป็นการทำกับตำแหน่ง 8000H (สมมุติในส่วน BANK AREA) แต่เรา SET PHYSICAL AREA ไว้ที่ 10000H นั่นก็หมายความว่า การทำคำสั่งข้างบนนี้ ข้อมูลจะถูกกระทำที่ ADDRESS 10000H นั่นเอง

### การคิด PHYSICAL ADDRESS

- 1) จะกระทำในส่วนของ BANK และ COMMON AREA 1 โดยผ่านทาง REGISTOR I/O CBR และ BBR คูณด้วย 1000H แล้วนำค่าที่ได้บวกกับ LOGICAL ADDRESS ของส่วนนั้นๆ (BANK หรือ COMMON AREA 1)
- 2) การกระทำทั้งหมดเกิดขึ้นภายใน CPU เอง ดังนั้นการอ้าง ADDRESS ในโปรแกรมก็ยังเป็น 64 K คือตาม LOGICAL ที่กำหนดใน CBAR นั่นเอง



หาค่าใส่ให้กับ BBR และ CBR STACK ที่ 18000H (PHYSICAL) ที่ LOGICAL เป็น F000H ดังนั้นค่าที่ให้กับ CBR เป็น 18000

$$- F000$$

$$\underline{09000}$$

จากที่ทราบแล้วว่า ค่าใน CBR จะคูณด้วย 1000 H ดังนั้นในทางกลับกันเมื่อจะนำค่ามาให้กับ CBR ก็ต้องทำการหารค่าผลต่างนั้นด้วย 1000 H ก็จะได้ค่าใน CBR = 09H ส่วน RAMUSER (BANK) ก็เช่นเดียวกัน

$$10000$$

$$- 8000$$

$$\underline{08000}$$

ที่ BBR = 08 H

ดังนั้นการโปรแกรมจากโจทย์ตัวอย่างก็จะเป็น

$$CBAR = 0F8H, BBR = 08 H \text{ และ } CBR = 09H$$

เมื่อคำนวณกลับจะได้ CBAR นิบเบิ้ลค่า ADDRESS สุดท้ายของ BANK เป็น

$$8000 + (BBR = 8) \times 1000 H = 10000 H$$

CBAR นิบเบิ้ลสูง ADDRESS เริ่มต้นของ AREA 1 เป็น

$$0F000 + (CBR = 9) \times 1000 H = 18000H$$

**การโปรแกรม** LD A , 0F8H

OUTO (CBAR) , A

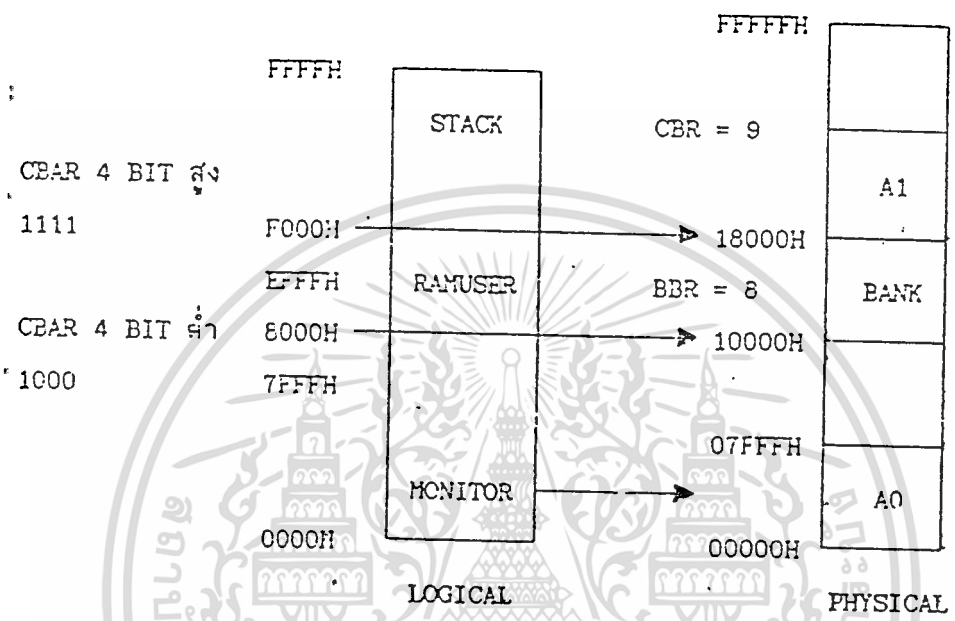
LD A , 8

OUTO (BBR) , A

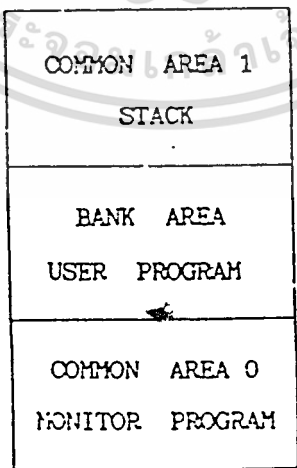
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

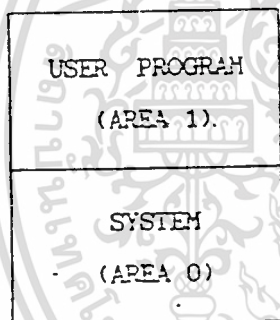
LD A , 9  
OUTO (CBR) , A



ดังนั้นเราอาจกล่าวได้ว่าใน LOGICAL ส่วนมากจะถูกจัดเป็น



โดยให้ส่วนของ AREA 1 และ MONITOR คงที่ส่วนของ BANK ให้ย้ายไปที่ใดๆ ก็ได้ใน 1 MBYTE จะเป็นการขยายพื้นที่ของการใช้งานโดยใช้เนื้อที่ของ STACK เป็นการกระทำกับตัวแปรหรือ DATA อื่นๆ ใน 64K อื่นๆ เมื่อเรามอง LOGICAL 64K ออกเป็น PAGE Q ใน 1 MBYTE แต่ข้อเสียในการจัดแบบนี้จะทำให้ใช้ BANK AREA ได้ไม่เต็มที่ เช่น เราต้องการใช้ RAM ถึง 32K เต็ม เช่น ROM MONITOR อยู่ที่ 0000-7FFFH และ RAM เริ่มตั้งแต่ 8000-FFFFH ซึ่งจะเห็นว่า RAM ในส่วนนี้จะต้องเป็น STACK ด้วยเมื่อเราขีด BANK ออกไปที่ PHYSICAL อื่นก็จะไม่สามารถใช้ได้ถึง 32K เช่นมี RAM ที่ตำแหน่ง 18000-1FFFFH อีกเราจะใช้ได้แค่ 24K เพราะพอเราอ้างที่ 0F000 แทนที่ข้อมูลจะถูกกระทำที่ 1F000H แทนตามที่กำหนด AREA 1 ไว้ใน LOGICAL เราจึงอาจแบ่ง MAP เป็นลักษณะกว้างๆดังนี้



โดยกำหนดให้ AREA 1 เป็นส่วน USER PROGRAM ส่วน SYSTEM เป็นของ COMMON AREA 0 ดังนี้เมื่อเราให้ AREA 1 เริ่มที่ 8000H ก็จะใช้ RAM ได้ถึง 32M K เต็ม ส่วน SYSTEM ก็คือ ของ AREA 0 ซึ่งเป็นส่วน MONITOR แต่ในส่วนนี้เราได้กำหนดไว้ถึง 32 K คือ จาก 7FFF ลงไปถึง 0000H ซึ่งใน SYSTEM เราอาจจะใส่ RAM ไว้ใน ADDRESS ช่วงนี้เพื่อเป็นเนื้อที่ของ STACK ก็จะทำให้เราย้ายเนื้อที่ของการใช้งานได้เต็ม

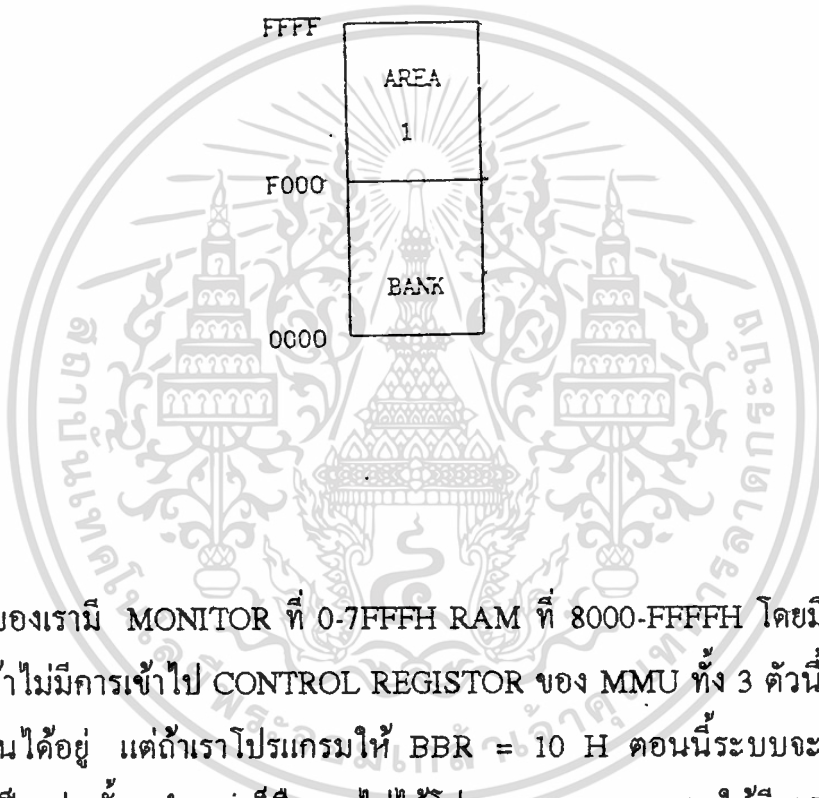
### สรุป

- 1) ระหว่าง RESET LOGICAL ใน CBAR จะถูกกำหนดด้วยค่า OFOH
- 2) ให้กำหนด MAP ADDRESS ของ LOGICAL ก่อนที่ CBAR (3AH)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 3) BBR และ CBR จะเป็นตัวกำหนดตำแหน่งของข้อมูลในการใช้งานจริงในพื้นที่ 1 MBYTE (PHYSICAL ADDRESS)
- 4) การคิดค่า PHYSICAL ADDRESS คือ นำค่าใน BBR หรือ CBR คูณด้วย 1000H แล้วบวกด้วย LOGICAL ของพื้นที่นั้นๆ

**ข้อสังเกต** ในการจัดรูปแบบการ SET MAP ทั้ง 4 อย่าง ที่กล่าวในตอนต้น เช่น  
ตอน RESET CBAR = F0 จึงเป็นดังรูป :-



ถ้าระบบของเรามี MONITOR ที่ 0-7FFFH RAM ที่ 8000-FFFFH โดยมี STACK ที่ FE00H ถ้าไม่มีการเข้าไป CONTROL REGISTOR ของ MMU ทั้ง 3 ตัวนี้ระบบของเราก็ยังทำงานได้อยู่ แต่ถ้าเราโปรแกรมให้ BBR = 10 H ตอนนี้ระบบจะทำงานไม่ได้ทำไมถึงเป็นเช่นนั้น คำตอบก็คือ เราไม่ได้โปรแกรม LOGICAL ให้มี AREA 0 แต่ที่ตอนแรกใช้งานได้เพราะ BANK AREA ทับซ้อน COMAREA 0 อยู่ แต่เมื่อโปรแกรม BBR = 10 H แล้ว BANK AREA เลขกลายเป็น 10000H จึงทำให้ COMMON AREA 0 ไม่มีจึงทำให้ระบบทำงานไม่ได้

# INTERRUPT

มีด้วยกัน 12 INTERRUPT แบ่งเป็น 4 INTERRUPT ภายนอก และ 8 INTERRUPT ภายในโดยมีลำดับความสำคัญจากมากไปหาน้อย ดังนี้ TRAP(ภายใน) (ภายนอก) NMI ,  $\overline{INT0}$  ,  $\overline{INT1}$  ,  $\overline{INT2}$  ,(ภายใน) TIMER 0 , TIMER 1DMA CHANEL 0 , DMA CHANEL 1 CLOCK SERIAL , ASCI CHANEL 0 และ ASCI CHANEL 1

## REGISTOR และ FLAG ที่ใช้ควบคุมการ INTERRUPT

INTERRUPT VECTOR LOW (IL) , INTERRUPT VECTOR HIGH (I) TRAP CONTROL (ITC) และ FLAG IEF1 , IEF2 โดยที่ FLAG IEF1 จะใช้ในการ ENABLE INTERRUPT ภายในทั้งหมดยกเว้น TRAP INTERRUPT VECTOR LOW REGISTOR (IL I/O ADDRESS 33H)

ใช้เป็น VECTOR TABLE BYTE ค่า ของ INTERRUPT ภายนอก  $\overline{INT1}$ ,  $\overline{INT2}$  และ INTERRUPT ภายในทั้งหมดยกเว้น " TRAP " โดย 3 BIT สูงของ IL สามารถ โปรแกรมได้ แต่ 5 BIT หลังจะถูก FIX ดังรูป :-

Interrupt Source	Priority	IL		Fixed Code					
		b7	b6	b5	b4	b3	b2	b1	b0
$\overline{INT1}$	Highest	.	.	.	0	0	0	0	0
$\overline{INT2}$		.	.	.	0	0	0	1	0
PRT channel 0		.	.	.	0	0	1	0	0
FRT channel 1		.	.	.	0	0	1	1	0
DMA channel 0		.	.	.	0	1	0	0	0
DMA channel 1		.	.	.	0	1	0	1	0
CS/O		.	.	.	0	1	1	0	0
ASCI channel 0		.	.	.	0	1	1	1	0
ASCI channel 1		Lowest	.	.	.	1	0	0	0

\* Programmable

ดังนั้นการ INTERRUPT ส่วนใหญ่จะเป็น MODE 2 คือนำค่าใน I และ IL หรือ จากอุปกรณ์ที่ขอ INTERRUPT ในกรณี INTO มาประกอบกันเป็น ADDRESS ที่จะเก็บข้อมูลที่จะกระโดดไป เช่น I = 10 H และ IL = 40 H และใน ADDRESS 1040H มีข้อมูล 00H , 60H ตามลำดับ เมื่อเกิด INTERRUPT ขึ้น ก็จะกระโดดไปทำโปรแกรมที่ตำแหน่ง 6000H นั่นเอง

#### INT/TRAP CONTROL REGISTOR (ITC ADDRESS I/O 34H)

BIT	7	6	5	4	3	2	1	0
	TRAP	UFO				ITE2	ITE1	ITE0

ITE 2 , 1 , 0 INTERRUPT ENABLE 2 , 1 , 0 ใช้ ENABLE และ DISABLE INTERRUPT ภายนอก ถ้าเป็น 0 จะ DISABLE แต่ BIT นี้ จะไม่ทำให้เกิด INTERRUPT ขึ้นทันทีจนกว่าจะทำคำสั่ง EI ดังนั้น  $\overline{INTO}$  จะต่างกับ Z80 ตรงที่มีส่วนนี้ แต่เมื่อเกิด RESET ITE0 จะถูก SET เป็น 1 โดยอัตโนมัติเพื่อให้อัปกับคำสั่ง EI หรือ DI อย่างเดียว เช่น Z80 แต่ ITE1 และ ITE2 จะเป็น 0

TRAP จะเป็น 1 เมื่อทำคำสั่งที่ไม่มีใน Z80180 TRAP สามารถ RESET ภายใต้อุปกรณ์ควบคุมได้ แต่ไม่สามารถเขียน 1 เข้าไประหว่าง RESET จะถูก CLEAR

UFO UNDEFIND FETCH OBJECT เมื่อ TRAP เกิดขึ้น UFO จะให้ค่าของตำแหน่งที่ผิดในคำสั่งนั้นไว้ใน STACK เนื่องจาก TRAP อาจเกิดขึ้นจาก OPCODE 2 หรือ 3 BYTE UFO จะปรับค่า PC ให้ คือ

ถ้าเป็นคำสั่ง OPCODE 2 BYTE UFO จะเป็น 0 และ จะทำให้ PC ของคำสั่งถัดไปจากคำสั่งที่ไม่ใช่ของ Z80180 ถูกลดลง 1 แต่ถ้า UFO = 1 คำสั่งที่ผิดจะมี OPCODE 3 BYTE และ PC จะถูกลดลง 2 ตำแหน่ง และ ค่า PC นี้จะถูกเก็บไว้ใน STACK เช่น

2000 ED 99

2002 PC ซี่คำสั่งถัดไป

เมื่อ CPU RUN มาพบข้อมูลที่ตำแหน่ง 2000 ก็จะเกิด INTERRUPT TRAP ขึ้น และ รู้ด้วยว่าเป็นคำสั่ง 2 BYTE และ PC ก็ซี่คำสั่งถัดไปคือ ADDRESS 2002 แต่ FLAG UFO จะถูกทำให้ เป็น 0 เพื่อปรับค่า PC นั้นด้วยการลดลง 1 เช่น ADDRESS 2001 ซี่งก็คือ ตำแหน่งข้อมูลที่ผิดนั่นเอง

**TRAP INTERRUPT**

เป็นเหมือน NMI คือ ไม่สามารถหยุดได้เมื่อเกิดกระทำคำสั่งผิดขึ้นซึ่ง เป็นตัวช่วยให้เกิดความน่าเชื่อถือทางด้าน SOFTWARE และอาจใช้ เพิ่มคำสั่งได้อีกด้วย BIT TRAP ใน ITC จะถูก SET เป็น 1 และ UFO จะ SET หรือไม่ SET ขึ้นอยู่กับว่าเป็นคำสั่ง 2 หรือ 3 BYTE และ FLAG UFO นี้ก็จะไปปรับ PC ให้ถูกต้อง และเก็บไว้ใน STACK แล้วกระโดดไป RUN ที่ ADDRESS 0000 H

**DYNAMIC RAM REFRESH CONTROL**

Z80180 ให้ ADDRESS A0-A7 สำหรับ DYNAMIC RAM และยังสามารถ โปรแกรมเวลาในการ REFRESH โดยการโปรแกรมที่ RCR

REFRESH CONTROL REGISTER (RCR ADDRESS I/O 36 H)

BIT	7	6	5	4	3	2	1	0
	REFE	REFW	-	-	-	-	CYC1	CYC0

## REFRESH CONTROL REGISTER (RCR ADDRESS I/O 36 H)

BIT    7            6            5            4            3            2            1            0

REFE	REFW	-	-	-	-	CYC1	CYC0
------	------	---	---	---	---	------	------

REFE : REFRESH ENABLE เมื่อเป็น 0 จะ DISABLE แต่ถ้าเป็น 1 จะให้สัญญาณ REFRESH ระหว่าง RESET จะเป็น 1

REFW : REFRESH WAIT เป็น 0 จะให้สัญญาณ REFRESH ทุกๆ 2 CLOCK ถ้าเป็น 1 จะเพิ่ม REFRESH WAIT เข้าอีก 1 ระหว่าง RESET จะเป็น 1

CYC1 , CYC0 : CYCLE INTERVAL ใช้กำหนดช่วงเวลาในการ REFRESH เช่นกรณี DYNAMIC RAM จะต้อง REFRESH 128 ครั้ง ทุกๆ 2 ms (หรือ 256 ครั้ง ทุกๆ 4 ms) เพราะฉะนั้นสัญญาณ REFRESH แต่ละครั้งไม่น้อยกว่าหรือเท่ากับ 15.625 us จากตาราง ค่าที่ขีดเส้นใต้เป็นค่าโปรแกรมที่เหมาะสมกับ CLOCK ที่ใช้ในระบบ

CYC1	CYC0	Insertion interval	Time interval			
			$\phi$ : 8 MHz	6 MHz	4 MHz	2.5 MHz
0	0	10 states	1.25 $\mu$ s	1.66 $\mu$ s	2.5 $\mu$ s	4.0 $\mu$ s
0	1	20 states	2.5 $\mu$ s	3.3 $\mu$ s	5.0 $\mu$ s	8.0 $\mu$ s
1	0	40 states	5.0 $\mu$ s	6.6 $\mu$ s	10.0 $\mu$ s	16.0 $\mu$ s
1	1	80 states	<u>10.0 <math>\mu</math>s</u>	<u>13.3 <math>\mu</math>s</u>	<u>20.0 <math>\mu</math>s</u>	<u>32.0 <math>\mu</math>s</u>

**DMA CONTROLLER (DMAC)**

มีด้วยกัน 2 CHANEL เพื่อเป็นการเพิ่มความเร็วในการ TRANSFER ข้อมูล โดยการกระทำไม่ต้องผ่าน CPU โดยมีความสามารถดังนี้

MEMORY ADDRESS SPACE	โดยสามารถกำหนดตำแหน่ง SOURCE และ DESTINATION ที่ใดก็ได้ใน 1024 K BYTE
I/O ADDRESS SPACE	กำหนดที่ใดก็ได้ใน 64 K BYTE ทั้ง SOURCE และ DESTINATION
TRANSFER LENGTH	ใช้เป็น COUNTER ในการ TRANSFER ได้เป็น BLOCK ใดๆ 64 K BYTE
$\overline{DREQ}$	เป็นขา INPUT จะตรวจจับที่ระดับหรือขอบของสัญญาณ
$\overline{TEND}$	เป็นขา OUTPUT เพื่อบอกกับอุปกรณ์ภายนอกว่าทำ DMA หมด BLOCK แล้ว
TRANSFER RATE	การ TRANSFER แต่ละครั้งจะเกิดทุกๆ 6 CLOCK และ WAIT STATE สามารถเพิ่มเข้าไปใน DMA ได้ สำหรับ MEMORY หรือ I/O ที่ทำงานช้าที่ระบบ SYSTEM CLOCK (Q) = 6 MHz อัตราการ TRANSFER จะสูงถึง 1 M BYTE ใน 1 วินาที (ไม่มี WASTE STATE)

**ความสามารถของแต่ละ CHANEL**

CHANEL 0	สามารถ TRANSFER MEMORY MEMORY, MEMORY I/O, MEMORY MEMORY I/O MAP และสามารถให้ ADDRESS ในการ TRANSFER เพิ่ม, ลด หรือให้คงที่ได้ การ TRANSFER จะให้เป็นแบบ CYCLE STEAL (ขโมยเวลาเป็นช่วง) คือ เมื่อ TRANSFER
----------	--

ครบ 1 หรือ 2 BYTE ก็จะคืน BUS ให้ UP  
 จนอุปกรณ์พร้อมก็จะ TRANSFER ข้อมูลต่อ ทำ  
 อย่างนี้สลับกันไปจนหมด BLOCK ใช้สำหรับ-  
 อุปกรณ์ที่ทำงานช้า และ BURST (TRANSFER  
 แบบต่อเนื่อง) คือ ทำจนจบ BLOCK จึงจะคืน  
 BUS ให้ UP

CHANEL 1

จะใช้กับ MEMORY I/O โดย MEMORY  
 ADDRSS เพิ่มหรือลดได้

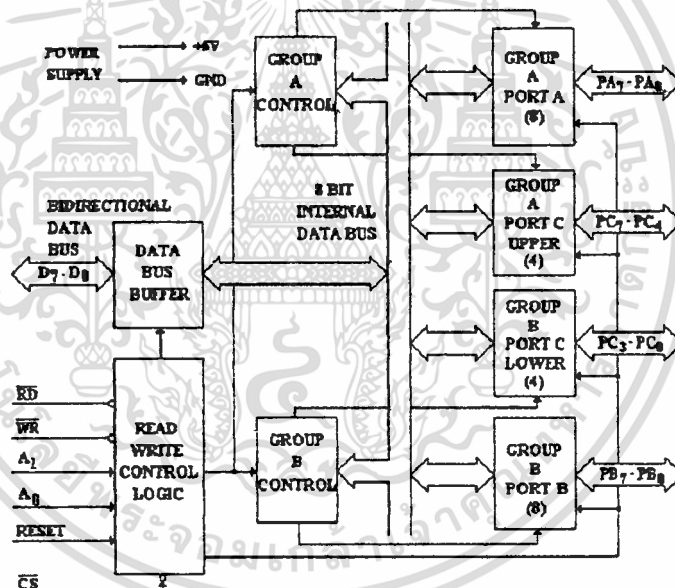


## 2.2.2 8255PPI

### ข้อมูลเกี่ยวกับ 8255 port

ไอซี 8255 PPI (Programable Peripheral Interface) เป็นอุปกรณ์ประเภท LSI (Large Scale Integrated Circuit) แบบ Dual Line Packet ขนาด 40 ขา ได้รับการออกแบบมาเพื่อสนับสนุนการใช้งานร่วมกับไมโครโปรเซสเซอร์ จุดเด่นของไอซี 8255 คือ มีพอร์ต I/O อยู่ 3 พอร์ต พอร์ต A, พอร์ต B และพอร์ต C ทั้ง 3 พอร์ตนี้สามารถโปรแกรมให้เป็นพอร์ตอินพุตหรือเอาต์พุตก็ได้

### โครงสร้างของ 8255



รูปที่ 2.1 แสดงบล็อกไดอะแกรมของไอซี 8255

การทำงานภายในของ 8255 จะแบ่งออกได้เป็น 4 บล็อก ที่อยู่ทางด้านขวาของ รูปที่ 4.1 ซึ่งจะเป็นส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอกอื่นๆ โดยมี PA0-PA7, PB0-PB7 และ PC0-PC7 เป็นทางผ่านของข้อมูลระหว่างอุปกรณ์ภายนอกกับ 8255 สายสัญญาณ เหล่านี้ ถูกแบ่งออกเป็น 3 I/O Port ได้แก่พอร์ต A (PA), พอร์ต B (PB) และพอร์ต C (PC) พอร์ตเหล่านี้แต่ละพอร์ตสามารถเป็นได้ทั้งพอร์ตอินพุต

และเอาที่พุกแต่ละบล็อกมีสายสัญญาณเชื่อมเข้ากับบัสข้อมูลภายในของ 8255 บล็อกกลุ่มถัดมาได้แก่ Group A Control และ Group B Control ซึ่งจะเป็นตัวกำหนดลักษณะทั้ง 3 I/O พอร์ต ( 8255 มีลักษณะการทำงานที่แตกต่างกันอยู่ 3 โหมด สามารถกำหนดได้โดยการโปรแกรมส่ง Control Word ให้กับ 8255 ซึ่งจะกล่าวถึงภายหลัง) จากรูปที่ 4.1 จะเห็นว่าพอร์ต C นี้จะประกอบด้วยพอร์ตขนาด 4 บิต 2 พอร์ตกลุ่มหนึ่งจะถูกควบคุมโดย Group A Control และอีกกลุ่มหนึ่งจะถูกควบคุมโดย Group B Control สำหรับเหตุผลจะกล่าวในภายหลัง

บล็อกกลุ่มสุดท้ายที่จะกล่าวถึงได้แก่ Data Bus Buffer และ Read /Write Control Logic ซึ่งบล็อกเหล่านี้ จะเป็นส่วนที่ติดต่อกับ CPU , Data Bus บัฟเฟอร์นี้จะเป็นบัฟเฟอร์ให้กับบัสข้อมูลของ CPU ส่วน Read / Write Control Logic จะเป็นส่วนที่ควบคุมให้ข้อมูลเข้าหรือออกจากรีจิสเตอร์ภายในตัวที่ถูกต้อง และในเวลาที่เหมาะสม

#### รายละเอียดการจัดเรียงขาของ 8255

ในส่วนนี้เราจะพิจารณาหน้าที่ของขาแต่ละขาของ 8255 ซึ่งข้อมูลเหล่านี้จะมีประโยชน์ในการต่อเชื่อมเข้ากับระบบบัสของ CPU สำหรับการจัดขาแสดงไว้ในรูปที่ 4.2 รายละเอียดของแต่ละขามีดังนี้ คือ

**A0 - A1 (Address Input) :** จะเป็นตัวกำหนดการเลือกใช้รีจิสเตอร์ภายในของ 8255 ซึ่งจะกล่าวถึงรายละเอียดในภายหลัง

**D0 - D7 :** เป็นสายอินพุต / เอาท์พุทแบบ 2 ทิศทาง (Bi-directional Bus) จะเป็นทางผ่านของข้อมูลระหว่างพอร์ตต่างๆของ 8255 กับบัสข้อมูล ของ Z80180

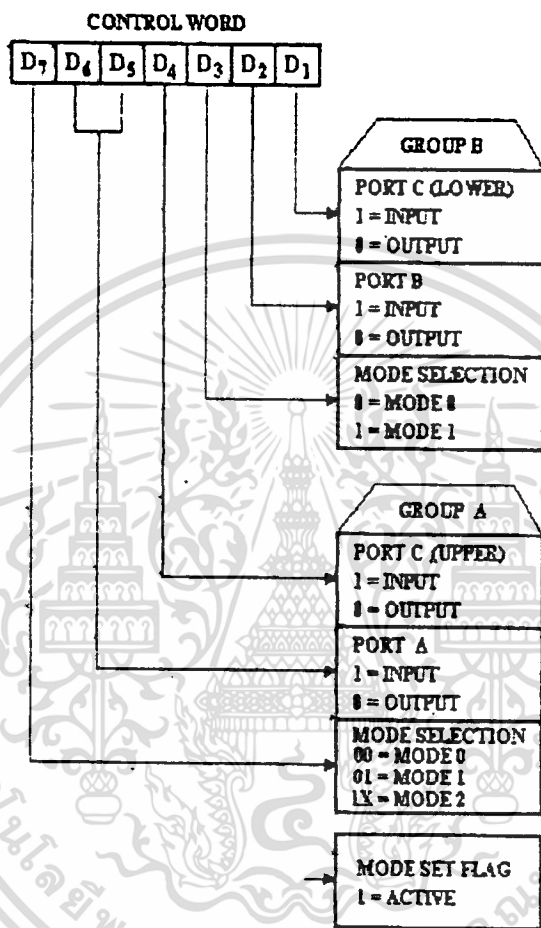
**CS (Chip select Input) :** เมื่อขานี้มีสถานะลอจิกเป็น "0" CPU

จะสามารถอ่านหรือเขียนข้อมูลกับ 8255 ได้

**RD (Read Input) :** เมื่อขานี้มีสถานะเป็นลอจิก “0” และ สัญญาณ CS มีลอจิกเป็น “0” ข้อมูลจาก 8255 จะปรากฏสู่ระบบบัสข้อมูล CPU ก็จะสามารถอ่านข้อมูลออกไปได้ (ในการตั้งชื่อของขาสัญญาณนี้ จะถือเอา CPU เป็นหลัก)



ต้องการได้จะ เริ่มต้นพิจารณาที่รีจิสเตอร์ภายใน 4 ตัวของ 8255 ซึ่งรายละเอียดของรีจิสเตอร์เหล่านี้ มีดังนี้คือ



รูปที่ 2.3 แสดงรายละเอียดแต่ละบิตของรีจิสเตอร์ควบคุมของ 8255

DEVICE		PIN		REGISTER NAME
RD	WR	A1	A0	
1	0	0	0	WRITE PORT A DATA
0	1	0	0	READ PORT A DATA
1	0	0	1	WRITE PORT B DATA
0	1	0	1	READ PORT B DATA

1	0	1	0	WRITE PORT C DATA
0	1	1	0	READ PORT C DATA
1	0	1	1	WRITE CONTROL DATA
0	1	1	1	ILLEGAL READ
				REGISTER

### ตารางที่ 2.1 แสดงตำแหน่งรีจิสเตอร์ภายใน 8255

หน้าที่ของรีจิสเตอร์หมายเลข 0-2 จะถูกกำหนดลักษณะการทำงานจากรีจิสเตอร์หมายเลข 3 (รีจิสเตอร์ควบคุม) รูปที่ 4.3 จะแสดงรายละเอียดของแต่ละบิตของรีจิสเตอร์ควบคุมนี้ ต่อไปเราจะกล่าวถึงลักษณะการทำงานของ 8255 ทั้ง 3 โหมด และการโปรแกรมให้อยู่ในโหมดต่างๆได้ดังต่อไปนี้

### โหมด 0 : BASIC REGISTER I/O

ในการเซ็ท 8255 ให้อยู่ในโหมด 0 นั้นเราจะต้องส่งคำสั่งควบคุม (Control word) ให้แก่อรีจิสเตอร์ควบคุมก่อน คำสั่งควบคุมนี้จะกำหนดลักษณะการทำงานให้แก่ พอร์ตของ 8255 ตัวอย่างหนึ่งของคำสั่งควบคุมที่จะสั่งให้ 8255 ทำงานอยู่ในโหมด 0 นี้ได้แก่

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	0	0

จากตัวอย่างอธิบายได้ดังนี้

บิต D7 เป็นตัวกำหนดว่าเป็นคำสั่งควบคุม (Control Word)

บิต D6 และ D5 กำหนดโหมดการทำงานของ พอร์ต A D6,D5 มีค่าเป็น "0" แสดงว่า อยู่ในโหมด 0

บิต D4 = "0" กำหนดให้ พอร์ต A เป็นพอร์ตเอาต์พุต

บิต D3 = "0" เซ็ทพอร์ต C 4บิตบนเป็นพอร์ตเอาต์พุต

บิต D2 = "0" เซ็ทโหมดของพอร์ต B ให้พอร์ต B อยู่ในโหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต D1 = "0" เช็ทเป็นพอร์ท B เป็นพอร์ทเอาต์พุท

บิต D0 = "0" เช็ทพอร์ท C ให้ 4 บิตล่างเป็นพอร์ทเอาต์พุท

คำสั่งควบคุมนี้จะกำหนดให้พอร์ททั้ง 3 ของ 8255 ทำงานอยู่ในโหมด 0 และ เป็นพอร์ทเอาต์พุท ซึ่งจะได้สายสัญญาณซึ่งสามารถติดต่ออุปกรณ์ภายนอกได้ถึง 24 สาย คำสั่งของ Z80180 ที่จะเช็ทให้ 8255 อยู่ในลักษณะดังกล่าวได้แก่

LD A,80H : เช็ทคำสั่งควบคุม

OUT (CTRL\_PORT),A : ส่งคำสั่งควบคุมให้ 8255

เมื่อ Z80180 ทำการ EXECUTE คำสั่งข้างต้นแล้ว 8255 จะถูกเช็ทให้พอร์ททุก พอร์ทเป็นพอร์ทเอาต์พุท และทำงานใน โหมด 0 เราจะสามารถส่งข้อมูลออกไปยัง พอร์ทต่างๆได้ด้วยคำสั่งของ Z80180 ตัวอย่างเช่น เราต้องการส่ง 23H ไปยังพอร์ท A, 41H ไปยังพอร์ท B และ 73H ไปยังพอร์ท C เราจะต้องให้ Z80180 ทำตามโปรแกรม ลักษณะดังนี้

LD A,32H : เช็ทข้อมูลให้พอร์ท A

OUT (PORT\_A),A : ส่งข้อมูลให้พอร์ท A

LD A, 41H : เช็ทข้อมูลให้พอร์ท B

OUT (PORT\_B),A : ส่งข้อมูลให้พอร์ท B

LD A,73H : เช็ทข้อมูลให้พอร์ท C

OUT (PORT\_C),A : ส่งข้อมูลให้พอร์ท C

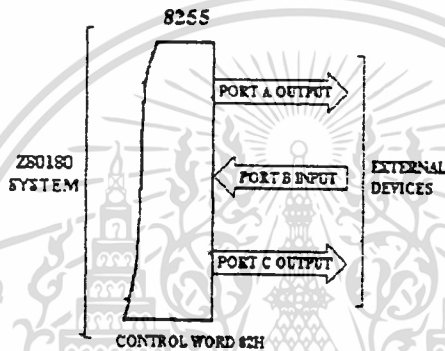
หลังจากที่คำสั่งเหล่านี้ถูก EXECUTE แล้วพอร์ท A , B และ C ของ 8255 จะมี ข้อมูลต่างๆที่ส่งไปให้ปรากฏอยู่

ในการทำงานในโหมด 0 ของ 8255 นี้จะสั่งให้พอร์ทของ 8255 เป็นอินพุทหรือ เอาต์พุทก็ได้ ตัวอย่างเช่น ให้พอร์ท A และพอร์ท C เป็นเอาต์พุทและพอร์ท B เป็น อินพุท เราจะต้องส่งคำสั่งควบคุมให้แกรีจิสเตอร์ควบคุมในลักษณะดังนี้คือ

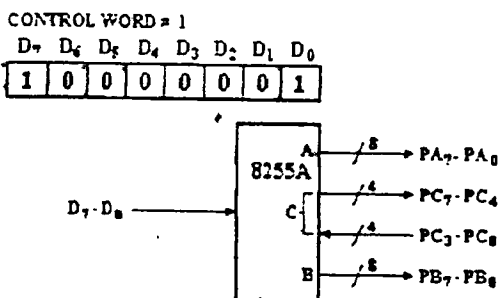
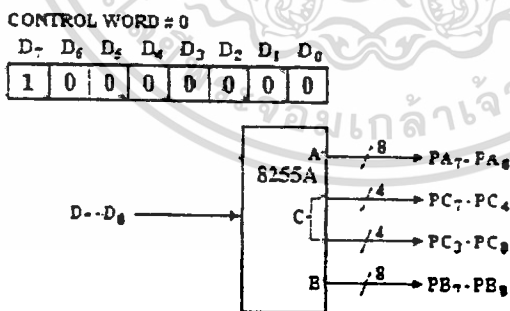
D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	1	0

หลังจากที่ส่งคำสั่งควบคุมให้แกริจิตเตอร์ควบคุมแล้ว 8255 จะถูกเซ็ตให้มีลักษณะการทำงานดังรูปที่ 4.4 เราจะใช้คำสั่ง IN อ่านข้อมูลมาจากพอร์ท B ได้

IN A, (PORT\_A) : อ่านข้อมูลจากพอร์ท B

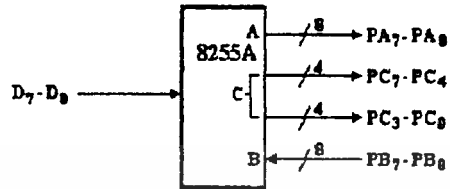


รูปที่ 2.4 ลักษณะการทำงานของ 8255 ในโหมด 0 หลังจากส่งคำสั่ง 82H ลักษณะการทำงานของพอร์ทต่างๆที่สามารถกำหนดได้ในโหมด 0 แสดงไว้ในรูปที่ 4.5



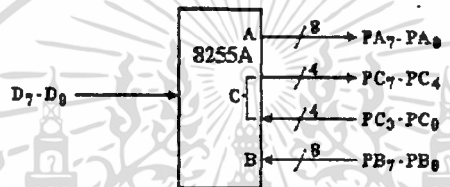
## CONTROL WORD # 2

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	0	0	1	0



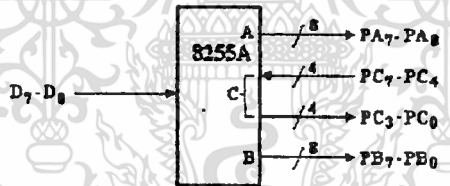
## CONTROL WORD # 3

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	0	0	1	1



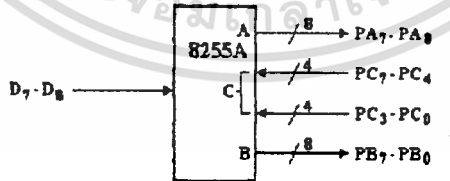
## CONTROL WORD # 4

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	1	0	0	0



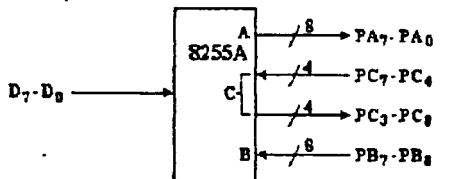
## CONTROL WORD # 5

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	1	0	0	1



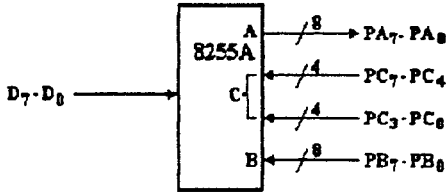
## CONTROL WORD # 6

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	1	0	1	0



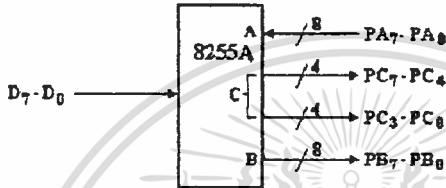
## CONTROL WORD # 7

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	1	0	1	1



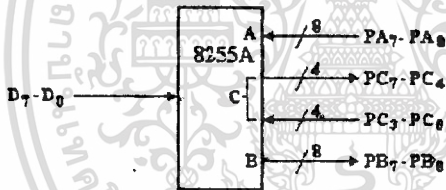
## CONTROL WORD # 8

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	0	0	0	0



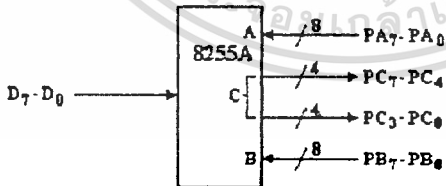
## CONTROL WORD # 9

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	0	0	0	1



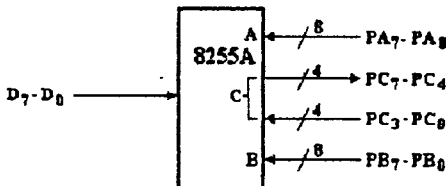
## CONTROL WORD # 10

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	0	0	1	0



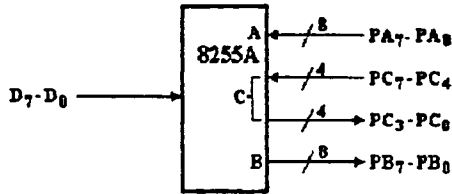
## CONTROL WORD # 11

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	0	0	1	1



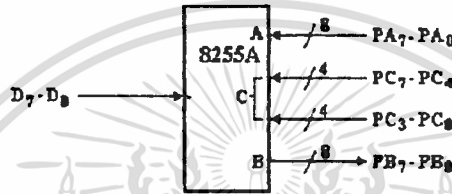
CONTROL WORD # 12

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	0	0



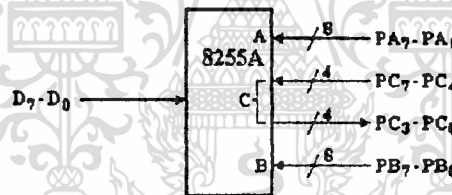
CONTROL WORD # 13

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	0	1



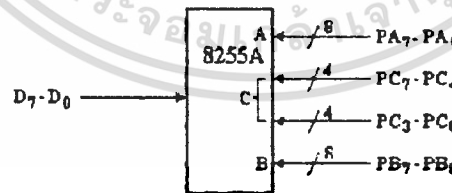
CONTROL WORD # 14

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	1	0



CONTROL WORD # 15

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	1	1

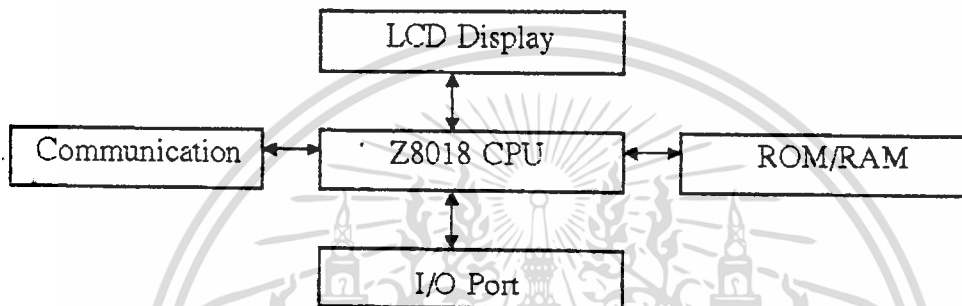


รูปที่ 2.5 แสดงลักษณะต่างๆของการใช้งาน 8255 ในโหมด 0

## บทที่ 3 การออกแบบ Hardware และ Software

### 3.1 การออกแบบ Master Board

การออกแบบส่วนควบคุมหลัก (Master Control) จะใช้ CPU Z80180 มาทำหน้าที่เป็นตัวประมวลผลการทำงานทั้งหมด การทำงานของระบบนี้จึงมีหน้าที่หลักอยู่ที่ไมโครโปรเซสเซอร์ Z80180 เขียนเป็น Block Diagram ได้ดังรูปที่ 3.1 ข้างล่าง

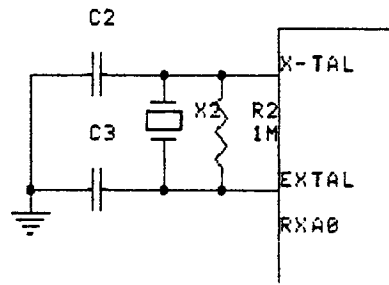


รูปที่ 3.1 Block Diagram Master Board

โดยจะได้อธิบายการทำงานแบ่งออกเป็นส่วนๆ ดังนี้

#### -CPU Z80180

การที่จะทำให้ CPU ทำงานนั้นจะต้องให้สัญญาณนาฬิกาที่ความถี่ 12.188 MHz ซึ่งมีความถี่ที่สูงพอสมควร ดังนั้นการต่อ OSC เข้ากับตัวไมโครโปรเซสเซอร์จะต้องใช้ Capacitor ต่อไว้ที่ขาของ OSC ลง Ground ทั้งสองขา และต่อความต้านทานไว้ระหว่างกลางของขา OSC การทำเช่นนี้เพื่อช่วยทำให้สัญญาณนาฬิกาที่ออกมาเข้าที่ไมโครโปรเซสเซอร์นั้นเรียบและกำจัดสัญญาณรบกวนลง Ground คาปาซิเตอร์ที่ใช้ก็จะต้องมีค่าความเก็บประจุน้อยมาก คือจะใช้ประมาณ 22 pF และความต้านทานประมาณ 1 M โดยดูได้จากรูปที่ 3.2



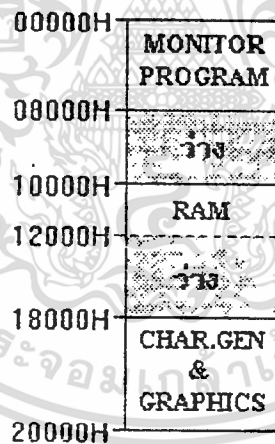
รูปที่ 3.2 การต่อ OSC กับตัวไมโครโปรเซสเซอร์

ขาต่างๆของไมโครโปรเซสเซอร์ที่ไม่ได้ถูกใช้งานก็จะต้องกำหนดสถานะใดสถานะหนึ่งเพื่อไม่ให้ขาสัญญาณนั้นเกิดการ ACTIVE เพราะจะมีผลต่อโปรแกรมการทำงานไมโครโปรเซสเซอร์ได้ และระบบไฟที่จะป้อนให้กับตัวมันนั้นจะต้องมีการ Filter ความถี่สูงลง Ground เพื่อไม่สัญญาณรบกวนเข้าไปกวนตัวไมโครโปรเซสเซอร์ ส่วนขารีเซ็ตนั้นจะถูกรีเซ็ตโดยไอซี DS1232 สามารถให้รีเซ็ตตัวเองได้เมื่อตัวไมโครโปรเซสเซอร์เกิดการหยุดทำงาน

#### - ส่วนหน่วยความจำ

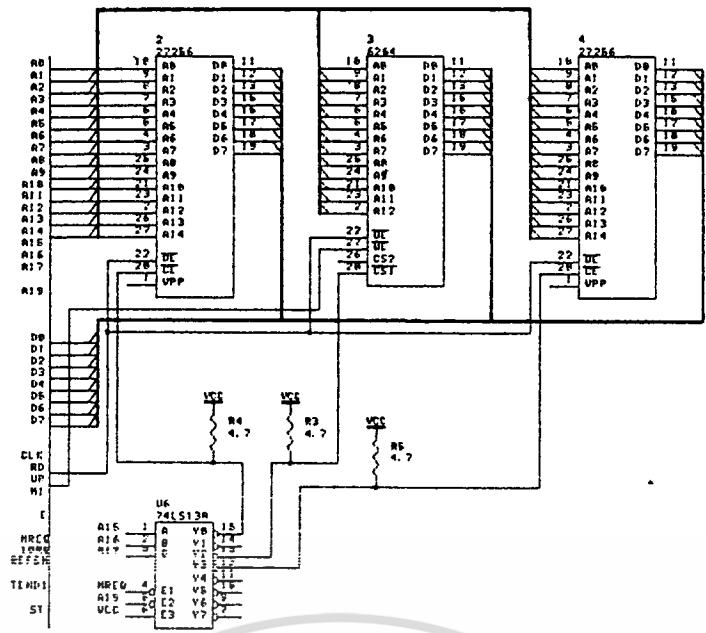
การจัดการกับหน่วยความจำนั้นได้แบ่งหน่วยความจำออกเป็น Memory Map ดัง

รูปที่ 3.3



รูปที่ 3.3 Memory Map

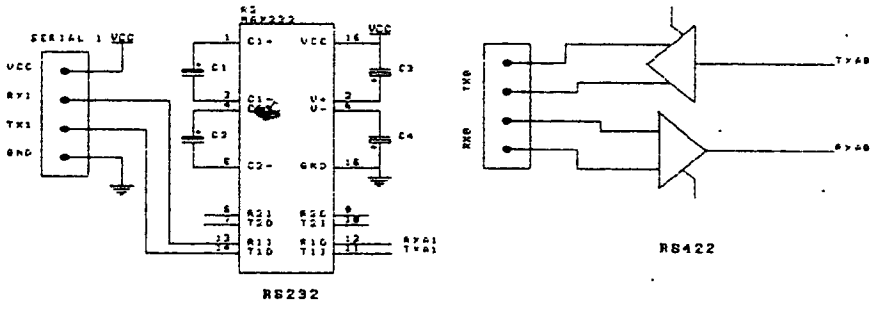
การ decode หน่วยความจำสามารถจะได้ address A15,A16,A17,A19,MREQ ในการเลือกหน่วยความจำโดยนำมาต่อเข้ากับไอซี 74139 เหตุที่ต้องใช้ไอซีเบอร์นี้ก็เพราะว่า output ของไอซี 74139 นั้นในสภาวะปกติจะให้ output เป็น High และเมื่อ output ใดถูกเลือกก็จะเปลี่ยนสถานะของ output นั้นให้เป็น Low เพื่อที่จะควบคุมไอซีหน่วยความจำเพราะ ไอซีหน่วยความจำที่ใช้งานจะทำงานได้ก็ต่อเมื่อขา Enable ได้รับสัญญาณ Low ดังได้จากรูปที่ 3.4



รูปที่ 3.4 วงจรการ Decode Memory

-ส่วนของการติดต่อสื่อสาร

การติดต่อสื่อสารของ Master Board จะใช้พอร์ตสื่อสารแบบอนุกรมซึ่งมีไว้ให้ใช้อยู่ 2 Channel คือ พอร์ต 0 และ พอร์ต 1 โดยจะให้พอร์ต 0 ทำการติดต่อกับชุดควบคุมภายในห้องพักใช้รับส่งมาตรฐาน RS 422 ซึ่งเป็น ไอซี Line Driver เบอร์ 75176 ส่วนพอร์ต 1 จะใช้ติดต่อกับ Computer ใช้รับส่งมาตรฐาน RS 232 เหตุที่ต้องใช้พอร์ต 0 รับส่งในมาตรฐาน RS 422 ก็เพราะว่ามาตรฐาน RS 422 นั้นสามารถรับส่งข้อมูลแบบอนุกรมได้ระยะทางไกล เพราะการรับส่งข้อมูลของตัวมันไม่จำเป็นที่จะส่งสัญญาณ ground ไปกับตัวมันด้วยแต่การรับหรือส่งจะใช้สัญญาณเป็นคู่โดยที่สัญญาณที่จะส่งหรือรับจึงทำให้ค่าเฉลี่ยของความเป็น DC มีค่าน้อยแรงดันที่ใช้ในการส่งจึงไม่ตกคร่อมในสายสัญญาณมากเหมือนกับ RS 232 ซึ่งการรับส่งจะต้อง Sync กับ ground ทำให้ค่าเฉลี่ยของ DC มีค่ามาก เหตุที่เป็นเช่นนั้นก็เพราะการรับส่งในมาตรฐาน RS 422 เป็นการส่งลักษณะแบบ complement กันดูรูปวงจรที่ใช้ได้ดังรูปที่ 3.5

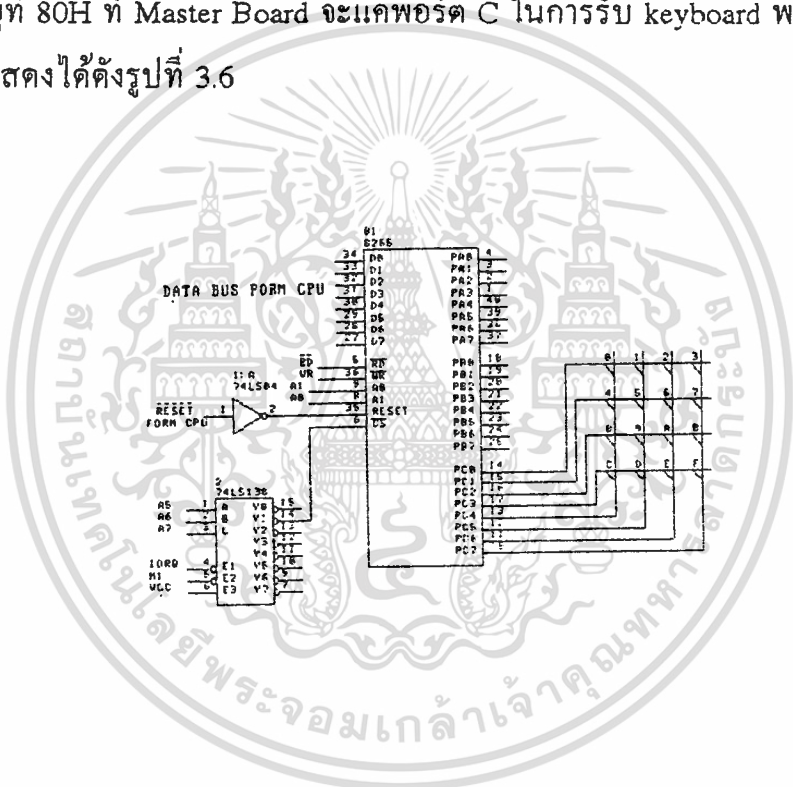


รูปที่ 3.5 การสื่อสารแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เฉพาะในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**-ส่วนติดต่อกับ Input/Output**

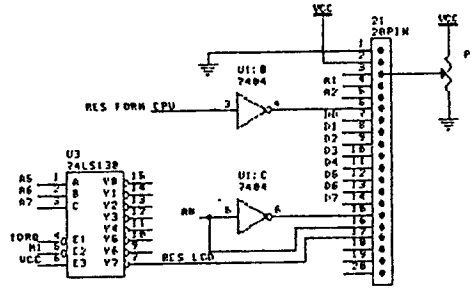
การติดต่อกับ Input/Output นั้นจะใช้ไอซี 8255 PPI เพราะว่าเป็น Chip Support ที่มีความสามารถส่งซึ่งภายในไอซี 8255 นั้นสามารถที่ควบคุมได้ตำแหน่งของพอร์ตก็จะใช้ไอซี 74139 เช่นกัน เพราะหา Chip Select จะทำงานได้ก็ต่อเมื่อมีสัญญาณ Low เข้ามา การ Decode 8255 นั้นจะใช้ Address A5,A6,A7,IORQ,M1 Decode ไว้ที่ตำแหน่ง 80 H ดังนั้นคำสั่งควบคุมจะอยู่ที่พอร์ต 83 H พอร์ต C อยู่ที่ 82H พอร์ต, B อยู่ที่ 81H , C จะอยู่ที่ 80H ที่ Master Board จะแก่พอร์ต C ในการรับ keyboard พอร์ตอื่นจะไม่ถูกใช้ จะแสดงได้ดังรูปที่ 3.6



รูปที่ 3.6 Input/Output Port circuit

**-ส่วนแสดงแสดงผล**

ส่วนแสดงผลนั้นจะแสดงผลด้วยจอ Graphics LCD ขนาด 128\*96 โดยกำหนดตำแหน่งของ port ที่ C0,C2,C4 สามารถแสดงได้ดังรูปที่ 3.7



รูปที่ 3.7 LCD Display

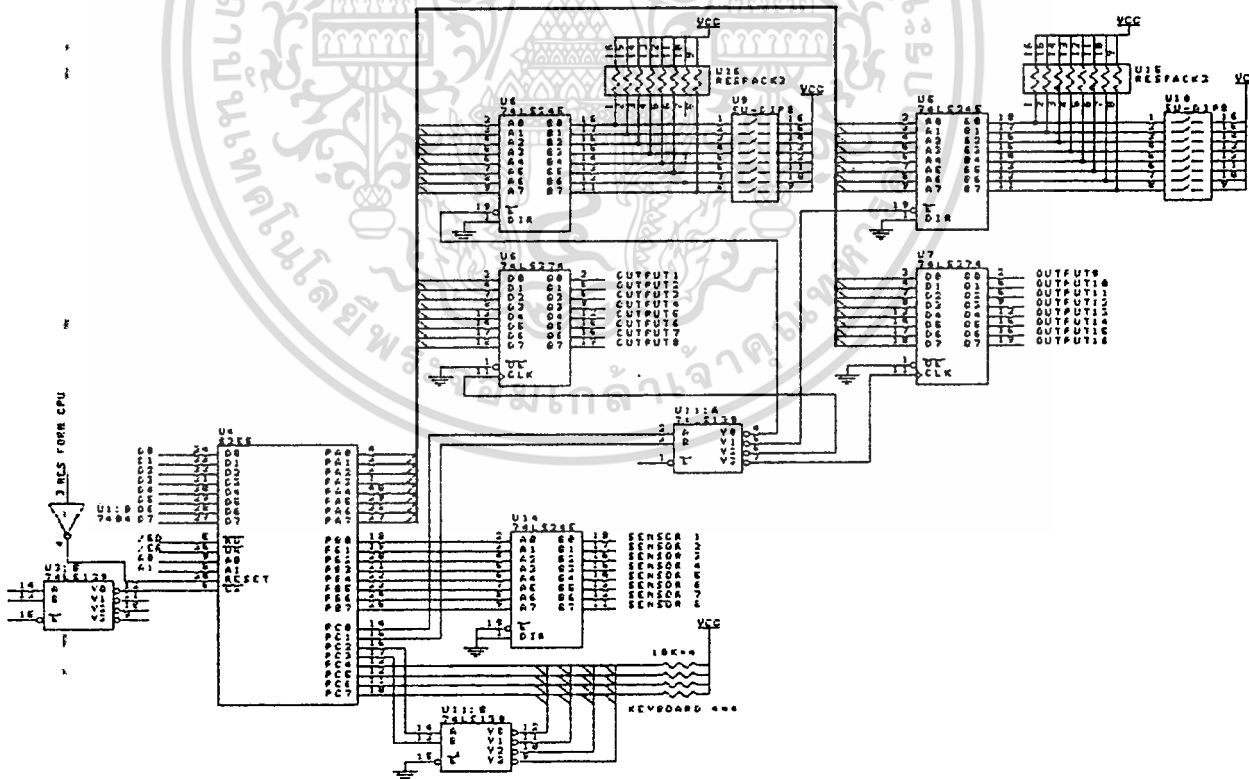


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



### 3.2 การออกแบบ Slave Board

ส่วนของการควบคุมอุปกรณ์ไฟฟ้าภายในห้องพักหรือ Slave นั้นจะใช้ไมโครโปรเซสเซอร์เบอร์ Z80180 เหมือนกับ Master Board เพียงแต่พอร์ตสื่อสารอนุกรมนั้นจะใช้เพียง Channel 0 เท่านั้น ที่ทำเป็นมาตรา RS 422 เพื่อเชื่อมกับ Master Board แต่จะมีส่วนของ Input/Output Port เท่านั้นที่เพิ่มขึ้นมาและเป็นส่วนที่จะจัดการกับชุด Driver Board ดังนั้นในหัวข้อนี้จะอธิบายแต่ส่วน Input/Output เท่านั้น ส่วนนี้หัวใจจะอยู่ที่ 8255 PPI โดยที่พอร์ต 8255 นี้จะติดต่อกับส่วนของการกำหนดหมายเลขห้องซึ่งส่วนนี้จะใช้ ไอซี 74245 \* 2 ตัว กับ Dip Switch \* 2 ตัว ดังรูปที่ 3.7 และติดต่อกับส่วนควบคุม Driver Board โดยที่ ส่วนควบคุมทั้งสองนี้จะควบคุมโดย ไอซี 74139 โดยใช้พอร์ต C จำนวน 2 Bit มาเป็นตัวควบคุมอีกทีหนึ่งส่วนพอร์ต C ที่เหลือ จะใช้เป็นตัวรับ keyboard ขนาด 4\*4



รูปที่ 3.9 ส่วน Input/Output Slave Board

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.9 สามารถที่จะอธิบายได้ดังนี้คือ เริ่มของการทำงานของ Slave Board นั้น CPU จะทำการอ่านหมายเลขของตัวเองและนำเข้าไปเก็บไว้ในหน่วยความจำ โดยการ Output C มาสั่งให้ Y0 ของไอซี 74139 Active เพื่อเลือกหมายเลขชั้นและสั่งให้ Y1 Active เพื่ออ่านหมายเลขห้องจากนั้นก็อ่านเข้ามาที่พอร์ต A Y1 ของไอซี 74139 นี้ก็ยังมีสำหรับ Enable / Disable Serial Port 0 ที่สำหรับใช้ส่งข้อมูลอีกด้วย ส่วน พอร์ต B นั้นจะใช้ในการส่งข้อมูลไปควบคุม Driver Board โดยส่งข้อมูลมาเก็บไว้ใน ไอซี 74374 โดยที่ Output Driver โดยส่งข้อมูลมาเก็บไว้ใน ไอซี 74374 โดยที่ Output Driver โดยส่งข้อมูลมาเก็บไว้ใน ไอซี 74374 โดยที่ Output Y2 ของมันจะ ควบคุม Output 1-Output 8 และ Y3 จะใช้ Output 9-Output 16 และพอร์ต C นั้นจะใช้ควบคุม การรับค่า Keyboard โดยจะอ่านเข้ามาที่พอร์ต C บน ส่วนพอร์ต C ล่าง 2บิต จะใช้ สำหรับการ Scan Keyboard ทางด้าน Column

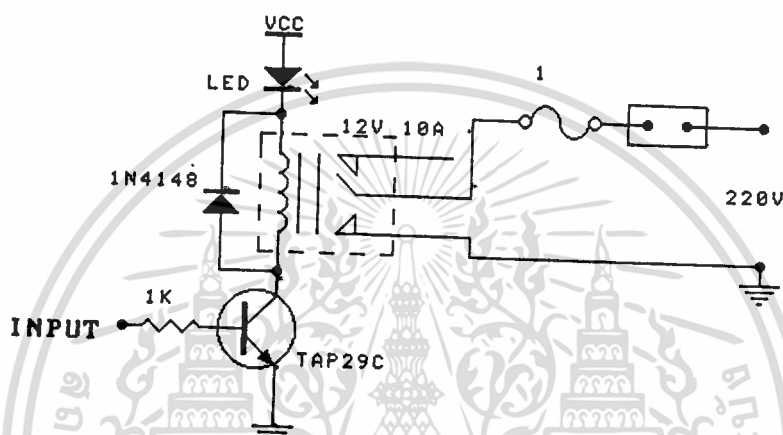




### 3.3 BOARD DRIVER

เป็น Board ควบคุมอุปกรณ์ปลายทางทั้งหมด 16 Output และ รับ Input Sensor หรืออุปกรณ์ตรวจจับ 8 INPUT สำหรับ Board Driver จะประกอบด้วยทั้งหมด 3 ส่วนคือ

1.แบบใช้ Relay สามารถออกแบบวงจรได้ดังรูปที่ 3.3



รูปที่ 3.3

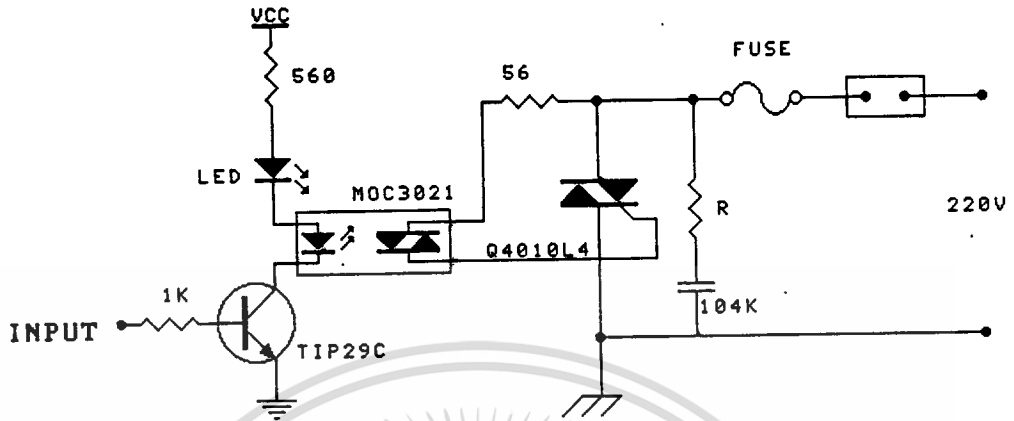
#### การทำงานของวงจร

จากรูป Transistor เบอร์ TIP29C ต่ออยู่กับ Relay 12V. 10 A. โดยมี LED แสดงผลว่าวงจรทำงาน ไดโอด 1N4148 ต่อคร่อม Coil ของ Relay ป้องกันกระแสย้อนกลับ โดยวงจรใช้ VCC 12V.

เมื่อมีสัญญาณควบคุม Output จาก IC 74LS374 ซึ่งถูกควบคุมผ่านทาง Port A ของ 8255 เข้ามาป้อนให้กับขา Base ของ Transistor TIP29C ทำให้ Transistor นำกระแสทำให้มีกระแสไหลผ่านขดลวดของ Relay ทำให้ Relay ทำงาน ซึ่งปรกติเมื่อยังไม่มีสัญญาณควบคุม หรือ Transistor อยู่ในสถานะ OFF Relay จะอยู่ในสถานะ Normal Open และ Load ที่นำมาต่อจะกินกระแสไม่เกิน 10 A. ตามคุณสมบัติของ Relay สำหรับ fuse ใช้ 10 A. หรือน้อยกว่าขึ้นอยู่กับอุปกรณ์ไฟฟ้าที่นำมาต่อใช้งาน สำหรับวงจรที่ใช้ Relay นี้จะมีอายุการใช้งานตามคุณสมบัติ Contact ของ Relay สำหรับชุดควบคุมอุปกรณ์ปลายทาง(Driver)ที่ใช้ Relay มีทั้งหมด 8 ชุดสำหรับ 1 Board

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.แบบใช้ Triac สามารถออกแบบวงจรได้ดังรูปที่ 3.4



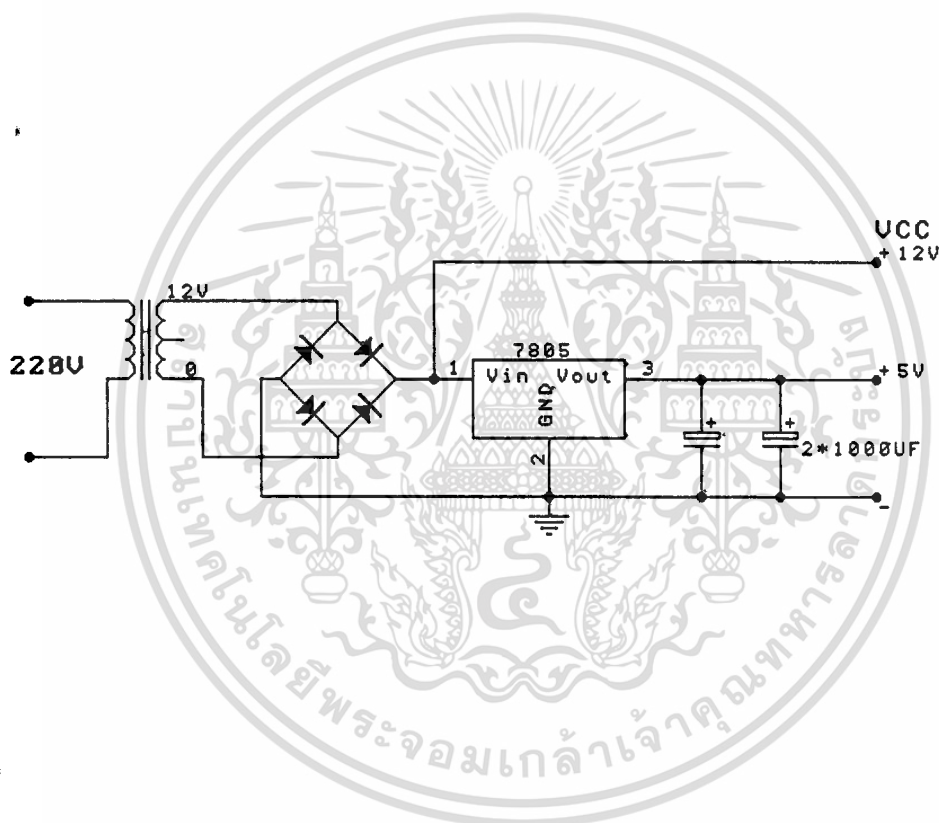
รูปที่ 3.4

### การทำงานของวงจร

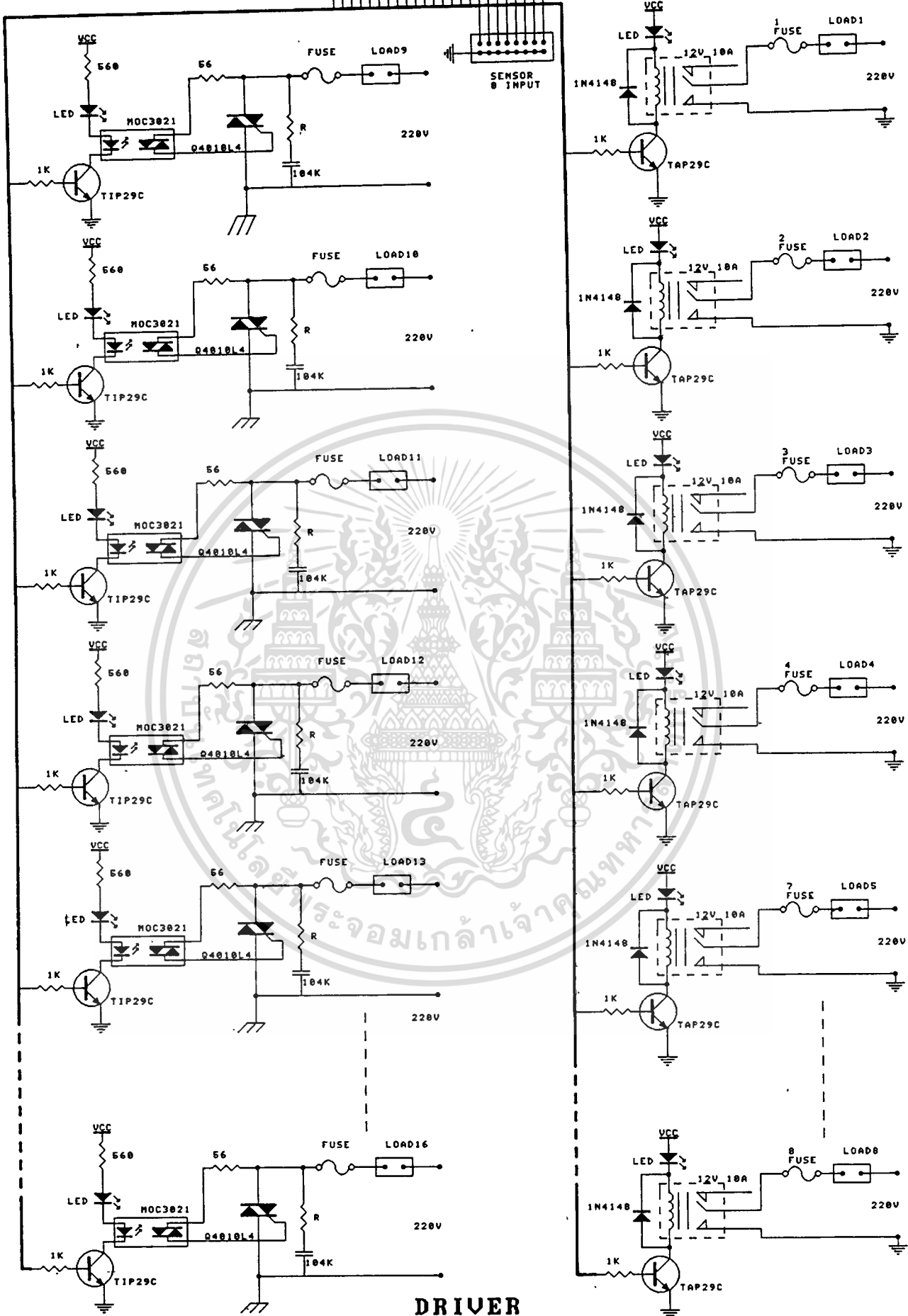
จากวงจรในรูปประกอบไปด้วย Transistor เบอร์ TIP29C ต่ออยู่กับ Opto Diac เบอร์ MOC 3021 โดยมี LED แสดงผลการทำงานของวงจร ในส่วนของ Opto Diac เมื่อมีสัญญาณควบคุม Out Put จาก Ic 74LS374 ซึ่งถูกควบคุมผ่านทาง Port A ของ 8255 เข้ามาป้อนให้กับขา Base ของ Transistor TIP29C ทำให้ Transistor นำกระแส ทำให้ LED ใน Opto Diac สว่างและส่งแสงไปยัง Diac เมื่อมีแสงจาก LED มาถึง Diac ทำให้ Diac นำกระแส และ Diac นี้จะทำหน้าที่ Trig Gate ของ Triac Q4010L4 เมื่อ Triac ถูก Trig ที่ Gate จะทำให้ Triac นำกระแสแล้วทำให้มีกระแสไหลผ่าน Load ข้อดีอย่างหนึ่งของวงจรที่ใช้ Triac คือ สามารถป้องกันความเสียหายอันเนื่องมาจากกระแสที่ load ที่ใช้สูงๆที่จะสามารถรั่วไหลเข้ามาทำอันตรายกับ Cpu Control Board ได้ และเพิ่มอายุการใช้งานการ ON-OFF Load เนื่องจากไม่มีหน้า Contact sw. สำหรับชุดควบคุมปลายทาง(Driver)ที่ใช้ Triac มี 8 ชุดสำหรับ 1 Board

**3.INPUT SENSOR** จะรับสถานะการตรวจจับของ Sensor ชนิดต่างๆเช่น Sensor คิววัน, Gas เป็นต้น โดยรับสถานะ Logic high 5V เข้ามาแล้วทำการส่งไปยัง CPU Control Board โดยผ่านทาง Port B เพื่อนำไปแสดงผลที่ Computer หรือนำไปใช้ในการควบคุม อุปกรณ์อื่นต่อไป

ซึ่งวงจรทั้งหมดคือ CPU Control Board (Master และ Slave) และวงจร Driver ใช้แหล่งจ่ายไฟ 5 V สำหรับ CPU Control Board และ 12 V สำหรับวงจรที่ใช้ Triac และ Relay ซึ่งวงจร Power Supply จะแสดงดังต่อไปนี้



วงจรโดยสมบูรณ์ของชุดควบคุมอุปกรณ์ปลายทางจะแสดงรายละเอียดของวงจรทั้งหมดซึ่งประกอบไปด้วยวงจรที่ใช้ Triac 8 ชุด ใช้ Relay 8 ชุด และรับ Input Sensor 8 ชุด ดังจะแสดงในหน้าต่อไป



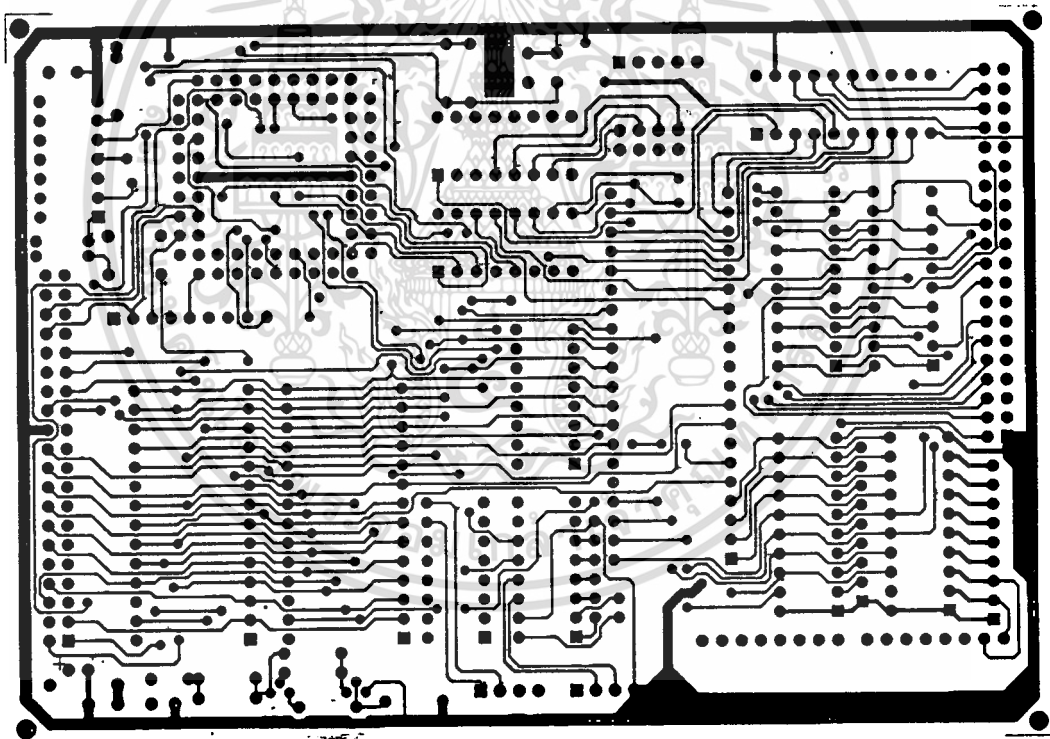
**DRIVER**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

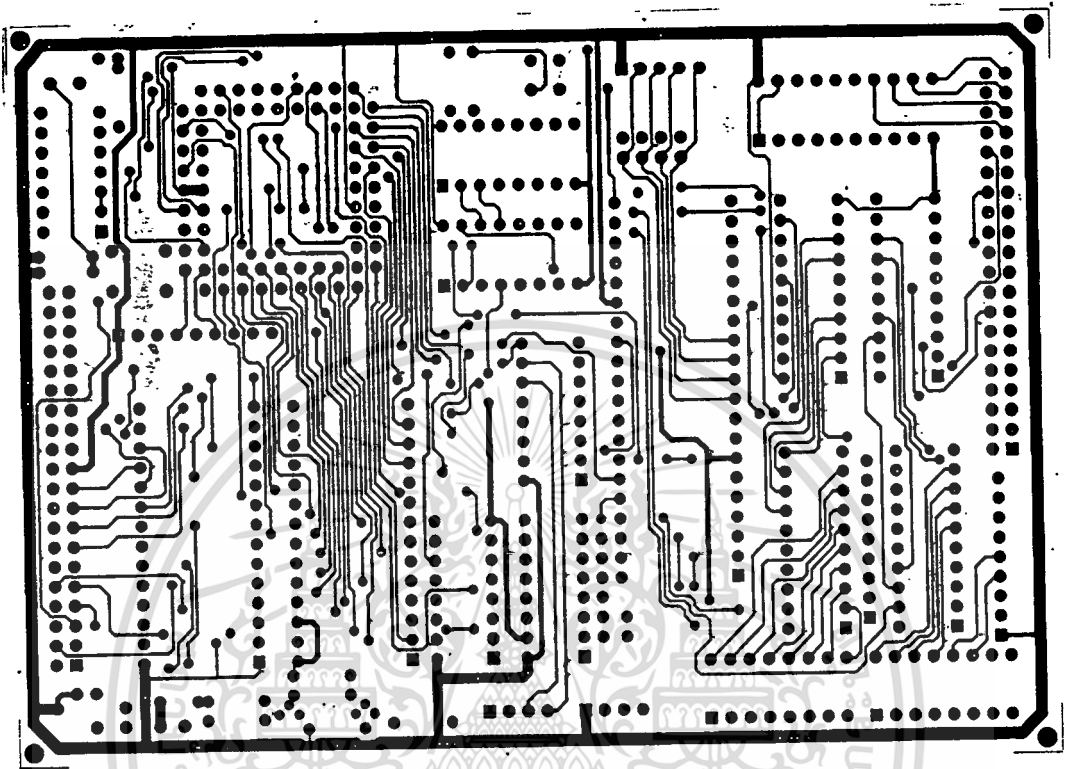
### 3.4 การออกแบบขั้นสุดท้าย

การออกแบบขั้นสุดท้ายหลังจากที่เราได้ทำการออกแบบวงจรมาแล้วในหัวข้อ 3.2,3.3 ซึ่งประกอบด้วย Board Slave และ Board Driver ดังนั้นในหัวข้อนี้จะกล่าวถึงการออกแบบวงจรพิมพ์ ซึ่งในที่นี้เราได้ใช้คอมพิวเตอร์ในการออกแบบวงจรโดยใช้โปรแกรม Traxedit หลังจากออกแบบเสร็จแล้วก็จะนำโปรแกรมไป Plot บนเครื่อง Plot แล้วนำวงจรไปถ่ายลงบนแผ่นใสเพื่อนำไปให้บริษัทที่รับจ้างกัดแผ่นปริ้นทำการกัดปริ้นต่อไป ซึ่งมีรายละเอียดดังต่อไปนี้

3.4.1 รูปลายวงจร CPU Control Board (Slave) ซึ่งได้ทำการออกแบบเป็นวงจร 2 หน้า (2 Layer) ดังรูปที่ 3.6 เป็นด้านบน และ รูปที่ 3.7 เป็นด้านล่าง



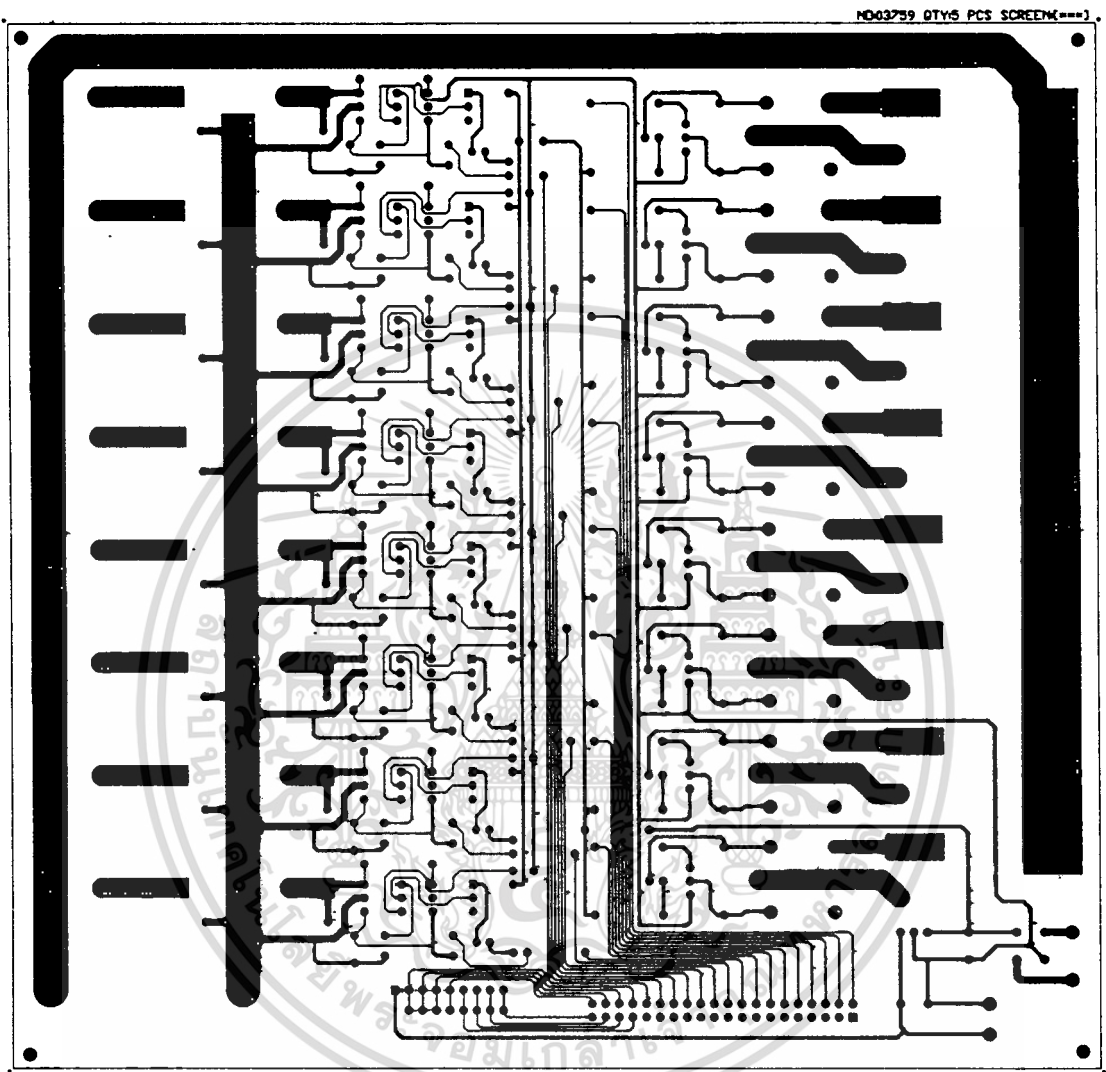
รูปที่ 3.6 ด้านบน



รูปที่ 3.7 ด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

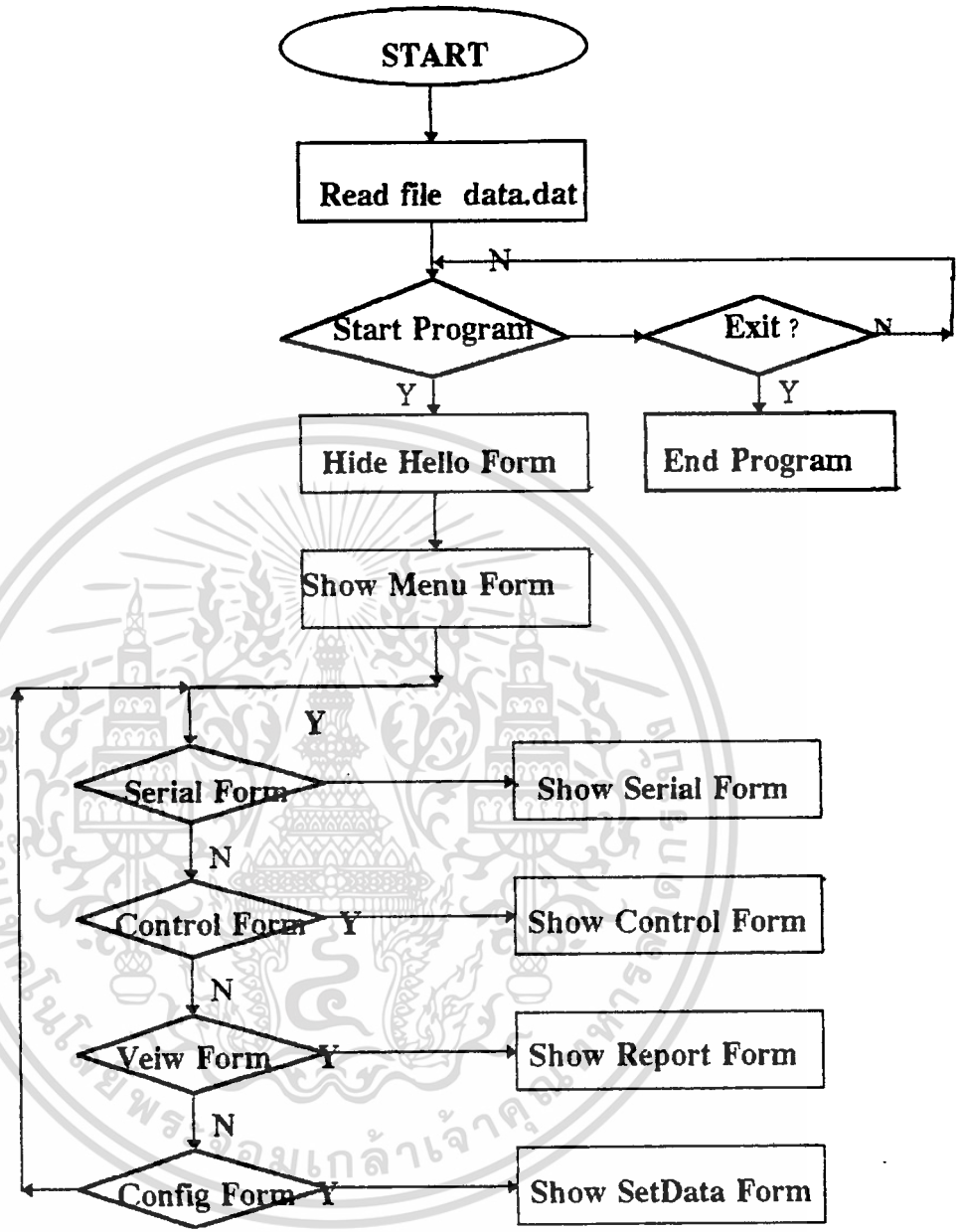
3.4.2 ลายวงจรควบคุมปลายทาง (Driver) แสดงดังรูปที่ 3.8



รูปที่ 3.8

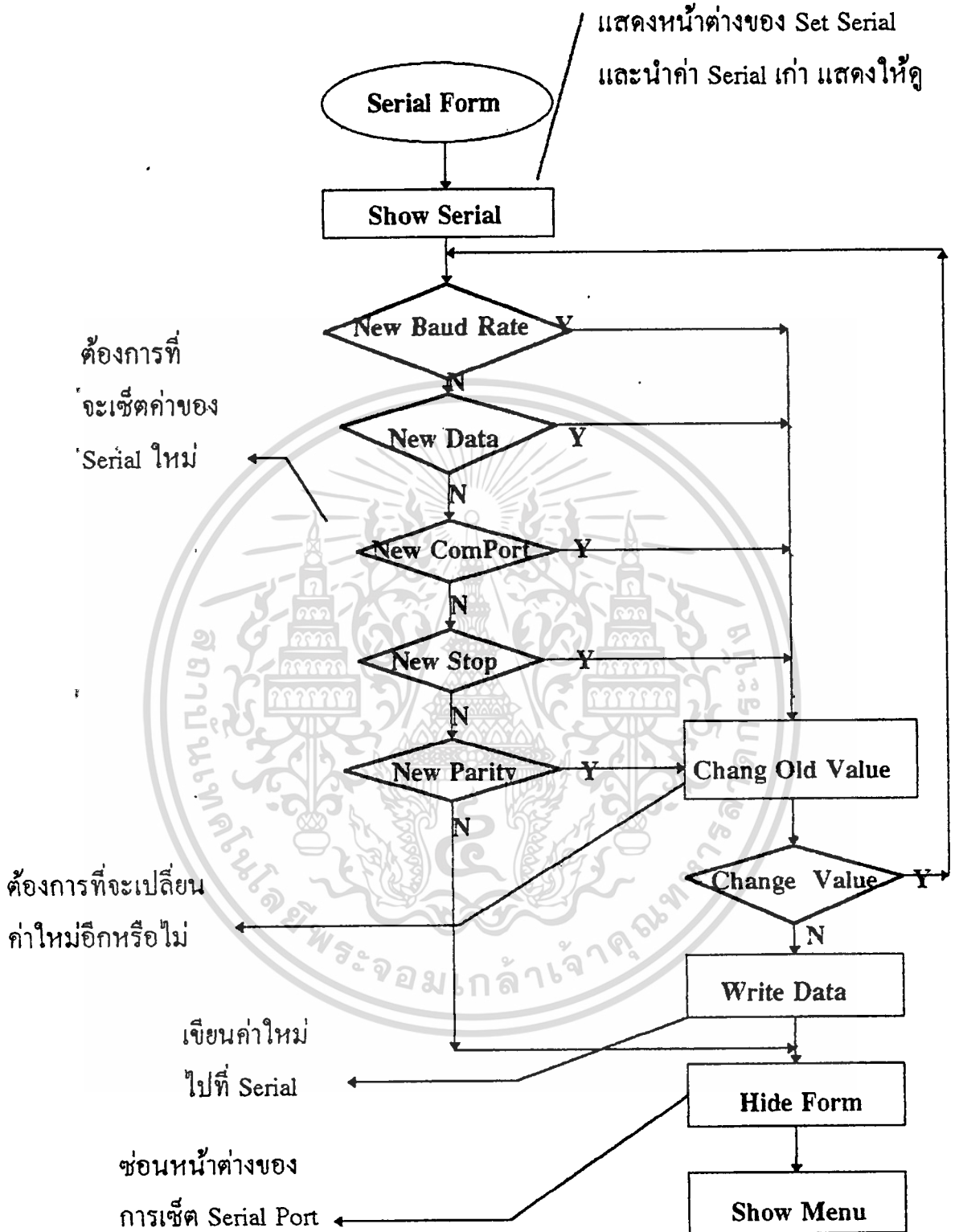
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.4 Flow chart โปรแกรมการใช้งานบนเครื่อง PC

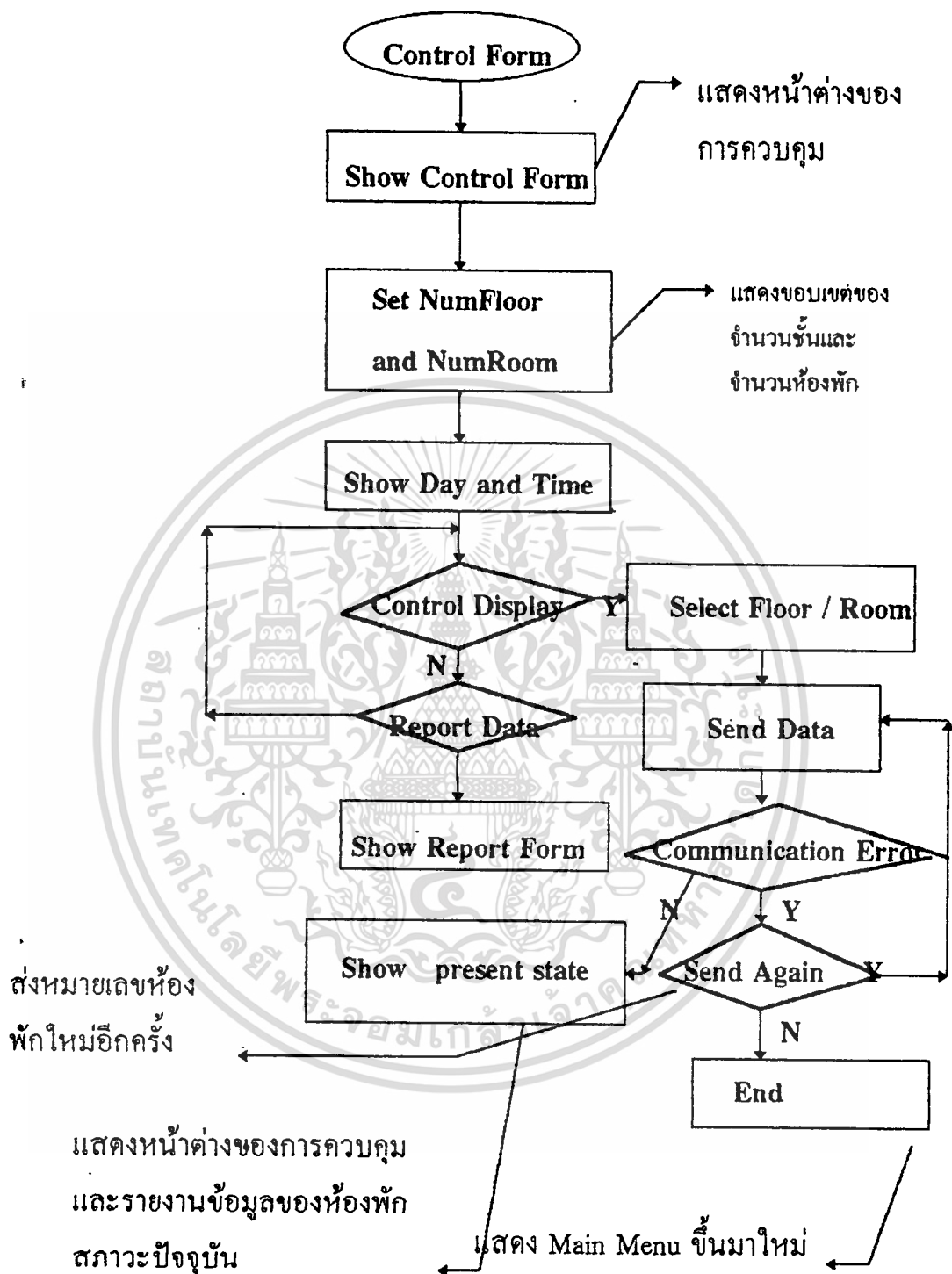


รูปที่ 3.4.1 Main Flow

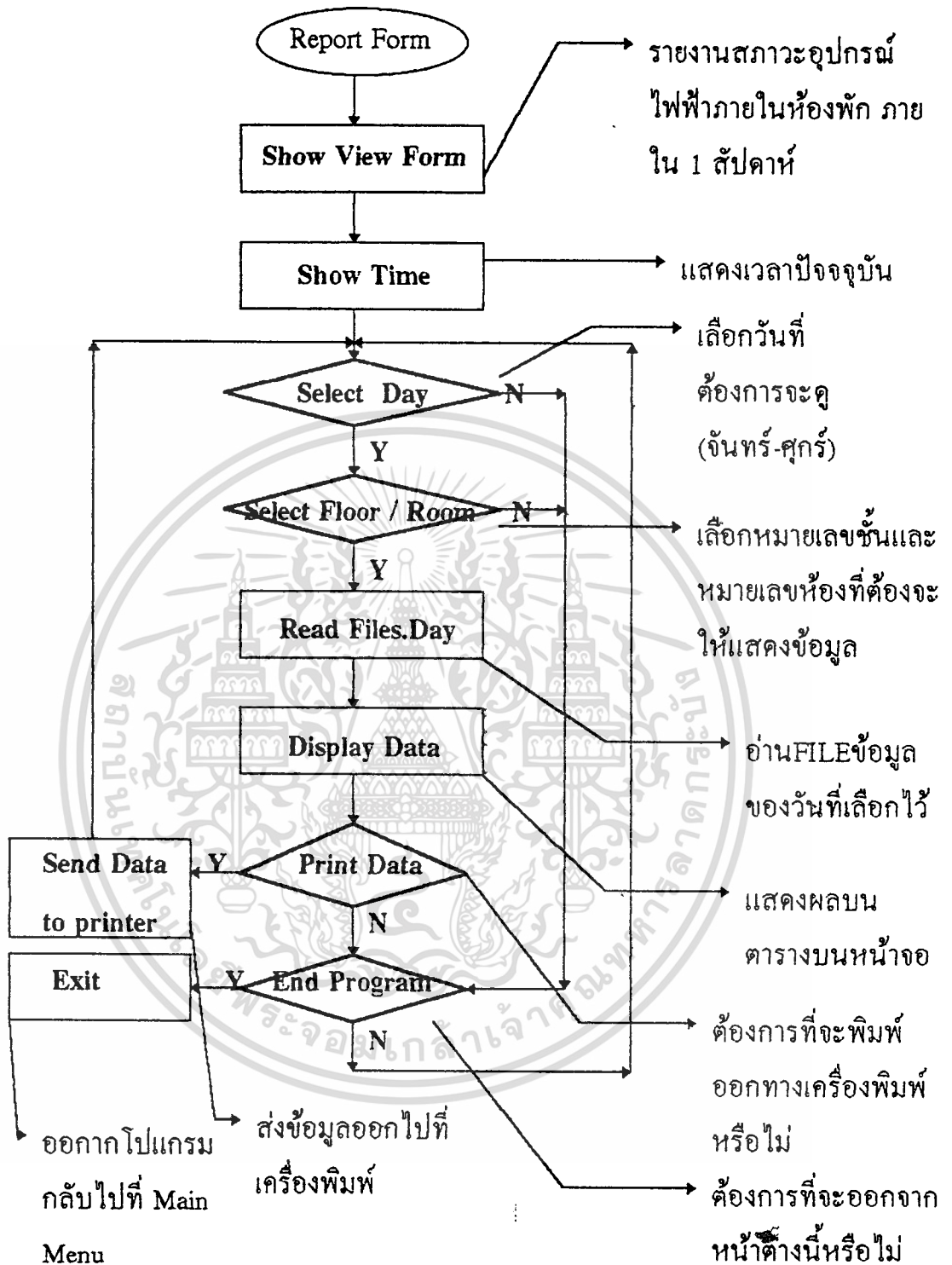
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



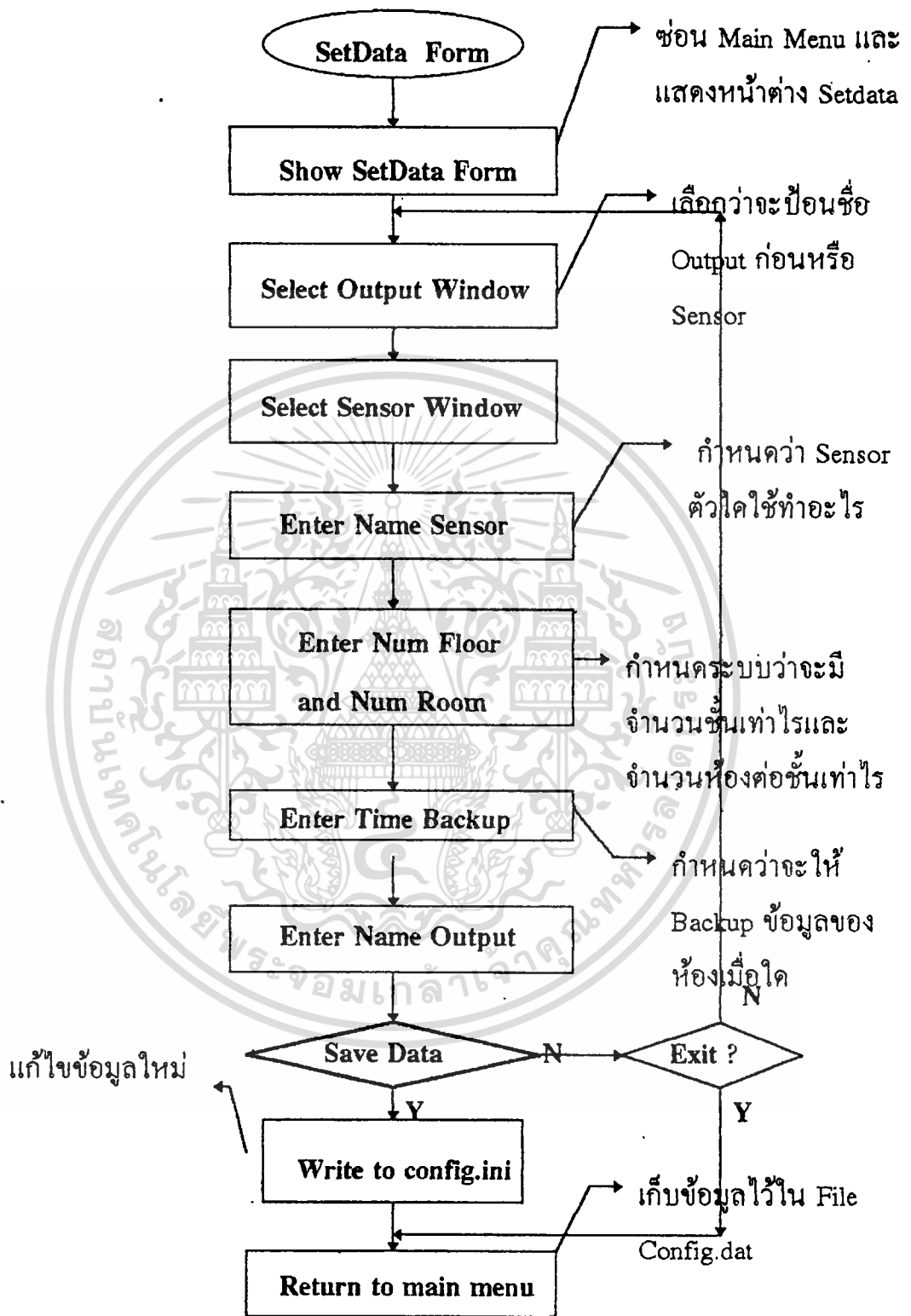
รูปที่ 3.4.2 Flow Chart การเชื่อมต่อ Serial Port



รูปที่ 3.4.3 Flow Chart Control Form



รูปที่ 3.4.4 Flow Chart View Form



3.4.5 Flow chart set data

## โปรแกรมควบคุมการทำงานของ CPU board ในส่วนของ Slave Control

หน้าที่หลักของ CPU board คือควบคุมอุปกรณ์ไฟฟ้าและอุปกรณ์ตรวจจับภายในห้องพัก สิ่งที่ต้องทำคือจะต้องตรวจเช็คการกดปุ่มควบคุมอุปกรณ์ไฟฟ้าภายในห้องพักทั้ง 16 ช่อง เป็นการทำงานในลักษณะตรงกันข้ามกับสถานะเดิม (กดเปิด - กดปิด) และตรวจสอบสถานะของอุปกรณ์ตรวจจับ (Sensor) ทั้ง 8 ตัว พร้อมทั้งเก็บสถานะของเหตุการณ์ทั้งหมดที่เกิดขึ้นภายในห้องพักไว้ในหน่วยความจำของระบบ เพื่อรายงานผลทาง Monitor ของเครื่อง PC เมื่อต้องการทราบ

เหตุการณ์ทุกอย่างที่เกิดขึ้นภายในห้องพัก จะส่งไปแสดงผลที่ Monitor ของเครื่อง PC โดยทันทีหรือจะเก็บในลักษณะข้อมูลเอาไว้ในหน่วยความจำนั้น ขึ้นอยู่กับ การกำหนด ซึ่งกระทำได้จาก Master เป็นการส่งข้อมูลมากำหนดการทำงานของ CPU board (ใน Slave) ในลักษณะของแฟล็กควบคุม ส่วนนี้ได้กำหนดหน่วยความจำขึ้นมา 3 ไบต์ เพื่อกำหนดลักษณะการรายงานผลของ CPU board

Address = 2000H [ Report Output Control = RPTOUTP ]

O/P 8	O/P 7	O/P 6	O/P 5	O/P 4	O/P 3	O/P 2	O/P 1
O/P 16	O/P 15	O/P 14	O/P 13	O/P 12	O/P 11	O/P 10	O/P 9

Address = 2002H [ Report Sensor Control = RPTSNSR ]

Sensor 8	Sensor 7	Sensor 6	Sensor 5	Sensor 4	Sensor 3	Sensor 2	Sensor 1
----------	----------	----------	----------	----------	----------	----------	----------

0 = เก็บข้อมูลเหตุการณ์ที่เกิดขึ้นไว้ในหน่วยความจำ

1 = รายงานเหตุการณ์ที่เกิดขึ้นทันที

การควบคุมเอาต์พุตทั้ง 16 จุด สามารถควบคุมได้ 2 ทาง คือสั่งควบคุมจากภายนอกหมายถึงการควบคุมจากเครื่อง PC หรือจากตัว Master และการสั่งงานควบคุมจากภายในห้องพักเอง การควบคุมของแต่ละเอาต์พุตจากห้องพัก สามารถสั่ง Enable หรือ Disable ก็ได้

Address = 2003H [ Output Control = OPCNTL ]

O/P 8	O/P 7	O/P 6	O/P 5	O/P 4	O/P 3	O/P 2	O/P 1
O/P 16	O/P 15	O/P 14	O/P 13	O/P 12	O/P 11	O/P 10	O/P 9

0 = Disable (ควบคุมจากห้องพักไม่ได้)

1 = Enable (ควบคุมจากห้องพักได้)

ในส่วนของอุปกรณ์ตรวจจับ (Sensor) ทั้ง 8 ตัว เมื่อมีสัญญาณจากอุปกรณ์ตรวจจับเข้ามา สามารถกำหนดให้เกิดการควบคุมอุปกรณ์เอาต์พุตได้ทุกช่อง ซึ่งกระทำได้ที่ส่วนควบคุมหลัก (Master)

Address = 2005H [ Sensor Control = SNSRCNTL ]

Sensor 8	Sensor 7	Sensor 6	Sensor 5	Sensor 4	Sensor 3	Sensor 2	Sensor 1
----------	----------	----------	----------	----------	----------	----------	----------

0 = ทำงานตามการกำหนดใน Report Sensor Control

1 = ทำตามชุดคำสั่งที่กำหนด

หากต้องการควบคุมอุปกรณ์เอาต์พุตต่างๆ เมื่อมีสัญญาณ Sensor ก็ด้วยการกำหนดค่า ON-OFF ในแต่ละตำแหน่งของเอาต์พุตแต่ละช่อง ของ Sensor แต่ละชุด ซึ่งแยกออกต่างหากเป็น 8 ชุด

[ Output Data Sensor ON = ODSNSRON ]

Address = 2006H	Sensor 01 [04]	Sensor 01 [03]	Sensor 01 [02]	Sensor 01 [01]
	Sensor 01 [08]	Sensor 01 [07]	Sensor 01 [06]	Sensor 01 [05]
	Sensor 01 [12]	Sensor 01 [11]	Sensor 01 [10]	Sensor 01 [09]
	Sensor 01 [16]	Sensor 01 [15]	Sensor 01 [14]	Sensor 01 [13]
Address = 200AH	Sensor 02 [04]	Sensor 02 [03]	Sensor 02 [02]	Sensor 02 [01]
	Sensor 02 [08]	Sensor 02 [07]	Sensor 02 [06]	Sensor 02 [05]
	Sensor 02 [12]	Sensor 02 [11]	Sensor 02 [10]	Sensor 02 [09]
	Sensor 02 [16]	Sensor 02 [15]	Sensor 02 [14]	Sensor 02 [13]
Address = 200EH	Sensor 03 [04]	Sensor 03 [03]	Sensor 03 [02]	Sensor 03 [01]
	Sensor 03 [08]	Sensor 03 [07]	Sensor 03 [06]	Sensor 03 [05]
	Sensor 03 [12]	Sensor 03 [11]	Sensor 03 [10]	Sensor 03 [09]
	Sensor 03 [16]	Sensor 03 [15]	Sensor 03 [14]	Sensor 03 [13]
Address = 2012H	Sensor 04 [04]	Sensor 04 [03]	Sensor 04 [02]	Sensor 04 [01]
	Sensor 04 [08]	Sensor 04 [07]	Sensor 04 [06]	Sensor 04 [05]
	Sensor 04 [12]	Sensor 04 [11]	Sensor 04 [10]	Sensor 04 [09]
	Sensor 04 [16]	Sensor 04 [15]	Sensor 04 [14]	Sensor 04 [13]
Address = 2016H	Sensor 05 [04]	Sensor 05 [03]	Sensor 05 [02]	Sensor 05 [01]
	Sensor 05 [08]	Sensor 05 [07]	Sensor 05 [06]	Sensor 05 [05]
	Sensor 05 [12]	Sensor 05 [11]	Sensor 05 [10]	Sensor 05 [09]
	Sensor 05 [16]	Sensor 05 [15]	Sensor 05 [14]	Sensor 05 [13]
Address = 201AH	Sensor 06 [04]	Sensor 06 [03]	Sensor 06 [02]	Sensor 06 [01]
	Sensor 06 [08]	Sensor 06 [07]	Sensor 06 [06]	Sensor 06 [05]
	Sensor 06 [12]	Sensor 06 [11]	Sensor 06 [10]	Sensor 06 [09]
	Sensor 06 [16]	Sensor 06 [15]	Sensor 06 [14]	Sensor 06 [13]
Address = 201EH	Sensor 07 [04]	Sensor 07 [03]	Sensor 07 [02]	Sensor 07 [01]
	Sensor 07 [08]	Sensor 07 [07]	Sensor 07 [06]	Sensor 07 [05]
	Sensor 07 [12]	Sensor 07 [11]	Sensor 07 [10]	Sensor 07 [09]

Address = 2022H	Sensor 07 [16]	Sensor 07 [15]	Sensor 07 [14]	Sensor 07 [13]
	Sensor 08 [04]	Sensor 08 [03]	Sensor 08 [02]	Sensor 08 [01]
	Sensor 08 [08]	Sensor 08 [07]	Sensor 08 [06]	Sensor 08 [05]
	Sensor 08 [12]	Sensor 08 [11]	Sensor 08 [10]	Sensor 08 [09]
	Sensor 08 [16]	Sensor 08 [15]	Sensor 08 [14]	Sensor 08 [13]

00 = OFF

01 , 10 = สถานะเดิม

11 = ON

และที่เช่นเดียวกัน เมื่อสัญญาณ Sensor เปลี่ยนสถานะจาก ON เป็น OFF ก็  
สามารถ กำหนดการควบคุมเอาต์พุตแต่ละช่องได้ ซึ่งแยกออกเป็น 8 ชุด ตามสัญญาณ  
Sensor

[ Output Data Sensor OFF = ODSNSROFF ]

Address = 2026H	Sensor 01 [04]	Sensor 01 [03]	Sensor 01 [02]	Sensor 01 [01]
	Sensor 01 [08]	Sensor 01 [07]	Sensor 01 [06]	Sensor 01 [05]
	Sensor 01 [12]	Sensor 01 [11]	Sensor 01 [10]	Sensor 01 [09]
	Sensor 01 [16]	Sensor 01 [15]	Sensor 01 [14]	Sensor 01 [13]
Address = 202AH	Sensor 02 [04]	Sensor 02 [03]	Sensor 02 [02]	Sensor 02 [01]
	Sensor 02 [08]	Sensor 02 [07]	Sensor 02 [06]	Sensor 02 [05]
	Sensor 02 [12]	Sensor 02 [11]	Sensor 02 [10]	Sensor 02 [09]
	Sensor 02 [16]	Sensor 02 [15]	Sensor 02 [14]	Sensor 02 [13]
Address = 202EH	Sensor 03 [04]	Sensor 03 [03]	Sensor 03 [02]	Sensor 03 [01]
	Sensor 03 [08]	Sensor 03 [07]	Sensor 03 [06]	Sensor 03 [05]
	Sensor 03 [12]	Sensor 03 [11]	Sensor 03 [10]	Sensor 03 [09]
	Sensor 03 [16]	Sensor 03 [15]	Sensor 03 [14]	Sensor 03 [13]
Address = 2032H	Sensor 04 [04]	Sensor 04 [03]	Sensor 04 [02]	Sensor 04 [01]
	Sensor 04 [08]	Sensor 04 [07]	Sensor 04 [06]	Sensor 04 [05]
	Sensor 04 [12]	Sensor 04 [11]	Sensor 04 [10]	Sensor 04 [09]
	Sensor 04 [16]	Sensor 04 [15]	Sensor 04 [14]	Sensor 04 [13]
Address = 2036H	Sensor 05 [04]	Sensor 05 [03]	Sensor 05 [02]	Sensor 05 [01]
	Sensor 05 [08]	Sensor 05 [07]	Sensor 05 [06]	Sensor 05 [05]
	Sensor 05 [12]	Sensor 05 [11]	Sensor 05 [10]	Sensor 05 [09]
	Sensor 05 [16]	Sensor 05 [15]	Sensor 05 [14]	Sensor 05 [13]
Address = 203AH	Sensor 06 [04]	Sensor 06 [03]	Sensor 06 [02]	Sensor 06 [01]
	Sensor 06 [08]	Sensor 06 [07]	Sensor 06 [06]	Sensor 06 [05]
	Sensor 06 [12]	Sensor 06 [11]	Sensor 06 [10]	Sensor 06 [09]
	Sensor 06 [16]	Sensor 06 [15]	Sensor 06 [14]	Sensor 06 [13]
Address = 203EH	Sensor 07 [04]	Sensor 07 [03]	Sensor 07 [02]	Sensor 07 [01]
	Sensor 07 [08]	Sensor 07 [07]	Sensor 07 [06]	Sensor 07 [05]
	Sensor 07 [12]	Sensor 07 [11]	Sensor 07 [10]	Sensor 07 [09]
	Sensor 07 [16]	Sensor 07 [15]	Sensor 07 [14]	Sensor 07 [13]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Address = 2042H

Sensor 08 [04]	Sensor 08 [03]	Sensor 08 [02]	Sensor 08 [01]
Sensor 08 [08]	Sensor 08 [07]	Sensor 08 [06]	Sensor 08 [05]
Sensor 08 [12]	Sensor 08 [11]	Sensor 08 [10]	Sensor 08 [09]
Sensor 08 [16]	Sensor 08 [15]	Sensor 08 [14]	Sensor 08 [13]

00 = OFF

01 , 10 = สถานะเดิม

11 = ON

การกำหนดหน่วงเวลาในการควบคุมเอาต์พุตให้เปิด (ON) เมื่อมีสัญญาณ Sensor ในส่วนนี้เป็นการกำหนดการหน่วงเวลาของการควบคุมเอาต์พุตแต่ละช่องโดยรวม คือ ไม่ว่าจะเป็นสัญญาณ Sensor ชุดใดก็ตาม เมื่อควบคุมเอาต์พุตชุดเดียวกันก็จะหน่วงเวลาในการทำงานเท่ากัน

Delay Time of Sensor Output ON = DLTSOPON

ADDRESS	2046H	Delay Time of O/P ON Channel 1
	2048H	Delay Time of O/P ON Channel 2
	204AH	Delay Time of O/P ON Channel 3
	204CH	Delay Time of O/P ON Channel 4
	204EH	Delay Time of O/P ON Channel 5
	2050H	Delay Time of O/P ON Channel 6
	2052H	Delay Time of O/P ON Channel 7
	2054H	Delay Time of O/P ON Channel 8
	2056H	Delay Time of O/P ON Channel 9
	2058H	Delay Time of O/P ON Channel 10
	205AH	Delay Time of O/P ON Channel 11
	205CH	Delay Time of O/P ON Channel 12
	205EH	Delay Time of O/P ON Channel 13
	2060H	Delay Time of O/P ON Channel 14
	2062H	Delay Time of O/P ON Channel 15
	2064H	Delay Time of O/P ON Channel 16

เพื่อให้การกำหนดการหน่วงเวลาในการปิด (OFF) เอาท์พุทเป็นอิสระจากการกำหนดการหน่วงเวลาในการเปิด จึงได้กำหนดหน่วยความจำขึ้นมาอีกชุดหนึ่ง

Delay Time of Sensor Output OFF = DLTSOPOFF

ADDRESS	2066H	Delay Time of O/P OFF Channel 1
	2068H	Delay Time of O/P OFF Channel 2
	206AH	Delay Time of O/P OFF Channel 3
	206CH	Delay Time of O/P OFF Channel 4
	206EH	Delay Time of O/P OFF Channel 5
	2070H	Delay Time of O/P OFF Channel 6
	2072H	Delay Time of O/P OFF Channel 7
	2074H	Delay Time of O/P OFF Channel 8
	2076H	Delay Time of O/P OFF Channel 9
	2078H	Delay Time of O/P OFF Channel 10
	207AH	Delay Time of O/P OFF Channel 11
	207CH	Delay Time of O/P OFF Channel 12
	207EH	Delay Time of O/P OFF Channel 13
	2080H	Delay Time of O/P OFF Channel 14
	2082H	Delay Time of O/P OFF Channel 15
	2084H	Delay Time of O/P OFF Channel 16

ในการควบคุม (เปิด- ปิด) เอาท์พุทของแต่ละช่องนั้นสามารถหน่วงเวลาได้ จาก 1-65535 วินาที (18 ชั่วโมง 12 นาที 15 วินาที) \*\*\* กรณีนี้สามารถกระทำได้เฉพาะการควบคุมจาก Master เท่านั้น

Address = 2086H [ Delay Time Control = DELCTRL ]

DLTC 8	DLTC 7	DLTC 6	DLTC 5	DLTC 4	DLTC 3	DLTC 2	DLTC 1
DLTC16	DLTC15	DLTC14	DLTC13	DLTC12	DLTC11	DLTC10	DLTC 9

0 = Non Delay

1 = Delay

กำหนดการหน่วงเวลาของการควบคุมเอาต์พุตแต่ละช่อง ทำโดยการกำหนดเวลาที่ต้องการเก็บไว้ใน Buffer แล้วทำการลดค่าทุกๆวินาทีจนเป็นศูนย์ จากนั้นก็ส่งข้อมูลออกไปควบคุมเอาต์พุตที่ตำแหน่งนั้น

Delay Time of Control O/P = DLTCOP

ADDRESS	2088H	Delay Time of O/P Channel 1
	208AH	Delay Time of O/P Channel 2
	208CH	Delay Time of O/P Channel 3
	208EH	Delay Time of O/P Channel 4
	2090H	Delay Time of O/P Channel 5
	2092H	Delay Time of O/P Channel 6
	2094H	Delay Time of O/P Channel 7
	2096H	Delay Time of O/P Channel 8
	2098H	Delay Time of O/P Channel 9
	209AH	Delay Time of O/P Channel 10
	209CH	Delay Time of O/P Channel 11
	209EH	Delay Time of O/P Channel 12
	20A0H	Delay Time of O/P Channel 13
	20A2H	Delay Time of O/P Channel 14
	20A4H	Delay Time of O/P Channel 15
	20A6H	Delay Time of O/P Channel 16

ข้อมูลที่ใช้ในการควบคุมเอาต์พุต 16 ช่อง ต้องใช้ข้อมูล 16 บิต จึงได้กำหนดหน่วยความจำขึ้นมา 2 ไบต์ เพื่อเก็บสถานะการเปิด-ปิดเอาต์พุต

Address = 20A8H [ Output Data Buffer = OUTDBUFF ]

Data 8	Data 7	Data 6	Data 5	Data 4	Data 3	Data 2	Data 1
Data 16	Data 15	Data 14	Data 13	Data 12	Data 11	Data 10	Data 9

0 = OFF

1 = ON

เพื่อกำหนดหมายเลขประจำบอร์ด CPU จะอ่านข้อมูลที่กำหนดโดย DIP Switch เข้ามาเก็บไว้ในหน่วยความจำ

Address = 20AAH [ Identification Number = IDNUM ]

ID Number (Low byte)	ID Number (High byte)
----------------------	-----------------------

นาฬิกาเพื่อกำหนดเวลา ใช้อ้างอิงการรายงานเหตุการณ์ต่างๆ ที่เกิดขึ้นภายในห้องพัก ใช้การอินเทอร์รัพท์ของ PRT (Programmable Reload Timer) Ch.1 เวลาที่ได้เก็บไว้ในหน่วยความจำ 5 ไบต์

Address = 20ACH

วินาที (Sec)

Address = 20ADH

นาที (Minute)

Address = 20AEH

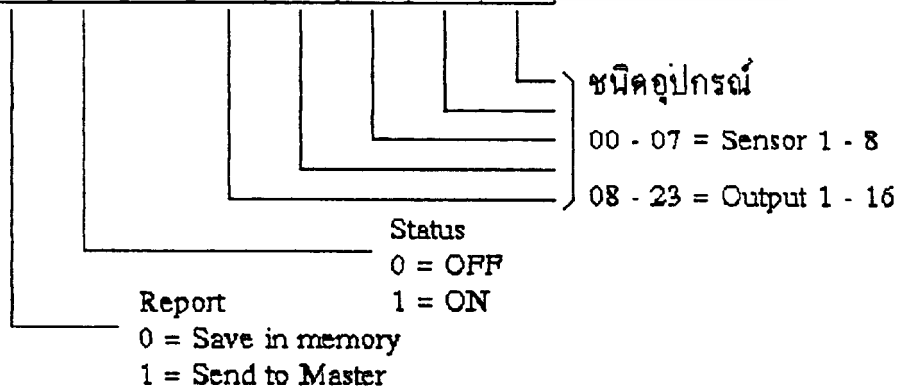
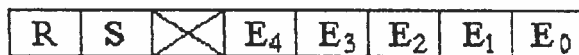
ชั่วโมง (Hour)

การเก็บข้อมูล เพื่อรายงานสถานะการทำงานของอุปกรณ์ภายในห้องพักนั้นได้ จัดลักษณะการเก็บในรูปของ Record สามารถเก็บข้อมูลได้ 512 Record แต่ละ Record ใช้หน่วยความจำ 4 ไบต์

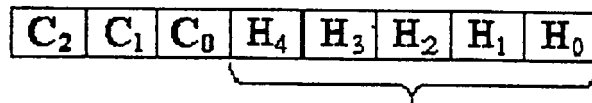
Byte 1	Byte 2	Byte 3	Byte 4
--------	--------	--------	--------

แต่ละไบต์มีความหมายดังนี้

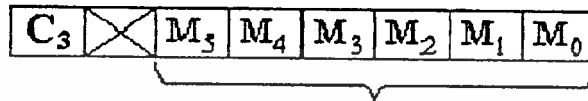
ไบต์ที่ 1



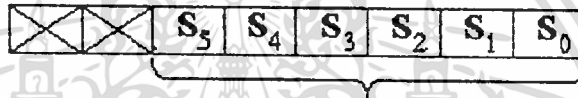
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไบนารีที่ 2

ชั่วโมง [00 - 23]

ไบนารีที่ 3

นาที [00 - 59]

ไบนารีที่ 4

วินาที [00 - 59]

$C_0$  -  $C_3$  ใช้สำหรับแสดงลักษณะการควบคุมของเอาต์พุตแต่ละช่อง คือ

00 : เอาต์พุตถูกควบคุมโดย Sensor 1

01 : Sensor 2

02 : Sensor 3

03 : Sensor 4

04 : Sensor 5

05 : Sensor 6

06 : Sensor 7

07 : Sensor 8

08 : สวิตช์จากห้องพัก (Manual)

09 : Master

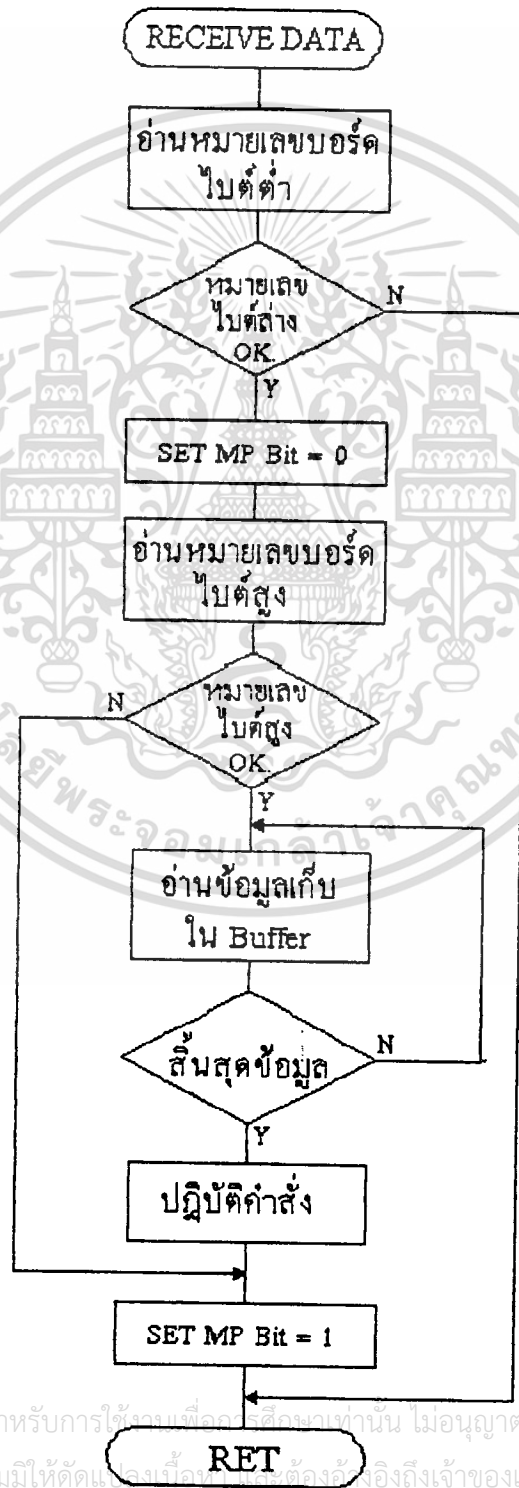
10 : Computer PC-XT/AT

11 - 14 : ไม่ใช่

15 : การทำงานของระบบ

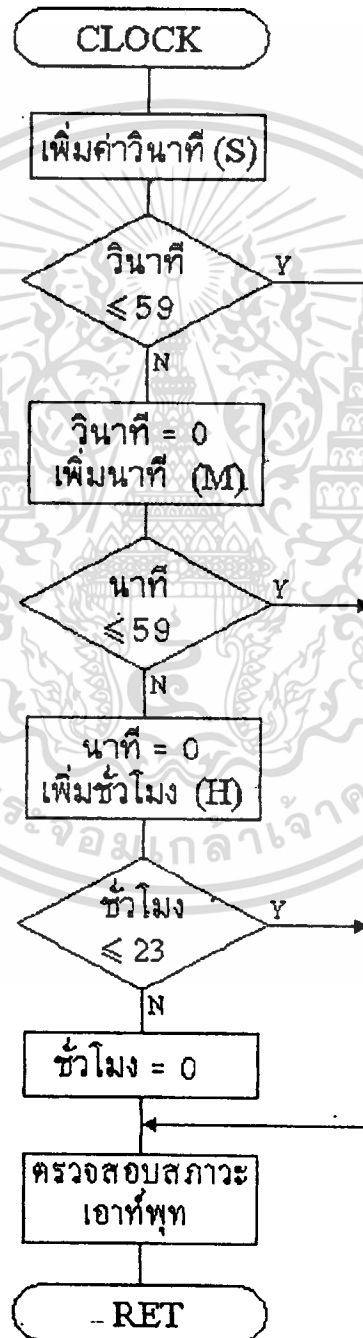
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมรับข้อมูลจาก RS-422 การรับข้อมูลจาก Master เนื่องจากตัวบอร์ด Slave มีหลายบอร์ดและต่อกันอยู่ ดังนั้นในส่วนของการรับข้อมูลจาก Master จึงใช้หลักการ Multiprocessor Communication เพื่อรับหมายเลขประจำบอร์ดเข้ามาเปรียบเทียบ ถ้าถูกต้องก็รับข้อมูลเข้ามา หากไม่ใช่ก็รอรับการเรียกจาก Master ครั้งต่อไป การใช้โปรแกรมนี้เป็นการใช้งานในลักษณะของการอินเตอร์รัพท์



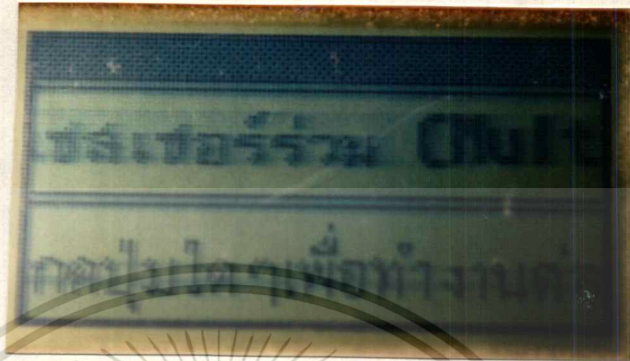
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เฉพาะเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเอกสารนี้ไปเผยแพร่หรือส่งถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมนาฬิกา (Clock) เป็นโปรแกรมกำหนดเวลาให้กับระบบ โดยใช้การอินเทอร์รัพท์ของ Timer Channel 1 ทุกๆ 1 วินาที เพื่อกำหนด ชั่วโมง, นาที, วินาที นอกจากนี้ยังทำหน้าที่ตรวจเช็คการหน่วงเวลาของเอ้าท์พุทแต่ละช่องด้วย โดยการลดค่าของเวลาที่หน่วงเอาไว้แต่ละช่องลงครั้งละ 1 วินาที จนเวลาที่หน่วงเอาไว้ของช่องนั้นเป็นศูนย์ จากนั้นก็จะสั่งเปิดหรือปิดเอ้าท์พุทช่องนั้น





2. รोजนเครื่องปรากฏข้อความที่แสดงเป็นอักษรวิ่งอยู่บนจอ LCD และขอบล่างของจอ LCD จะแสดงข้อความว่า “กดปุ่มใดๆ เพื่อทำงานต่อ” ดังแสดงในรูปที่ 4.3



รูปที่ 4.3

แสดงว่าเครื่องพร้อมที่จะเข้าสู่การทำงานในเมนูหลักแล้ว เมื่อเลือกกดปุ่มใดๆก็ได้ จะแสดงได้ดังรูปที่ 4.4 ข้างล่าง



รูปที่ 4.4

Key ที่ใช้ในการควบคุมจอ LCD ทั้งหมดมีอยู่ 6 ปุ่มมีอธิบายอยู่ที่จอ LCD ก็คือ

- ปุ่ม A ใช้ในการเลื่อนแถบเมนูบาร์/เคอร์เซอร์ขึ้นข้างบน
- ปุ่ม B ใช้ในการเลื่อนแถบเมนูบาร์/เคอร์เซอร์ลงข้างล่าง
- ปุ่ม C ใช้ในการเลื่อนแถบเมนูบาร์/เคอร์เซอร์ไปทางซ้าย
- ปุ่ม D ใช้ในการเลื่อนแถบเมนูบาร์/เคอร์เซอร์ไปทางขวา
- ปุ่ม E ใช้ในการตอบตกลง
- ปุ่ม F ใช้ในการส่งข้อมูลไปที่ตัว Slave Board

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Main Menu จะมีโหมดที่ใช้ในการติดต่อสื่อสารอยู่ 3 โหมด  
การใช้งานที่จะติดต่อไปที่ห้องพักแต่ละครั้งจะมีการถามหมายเลขชั้น  
และห้องพักโดยแสดงได้ดังรูปที่ 4.5



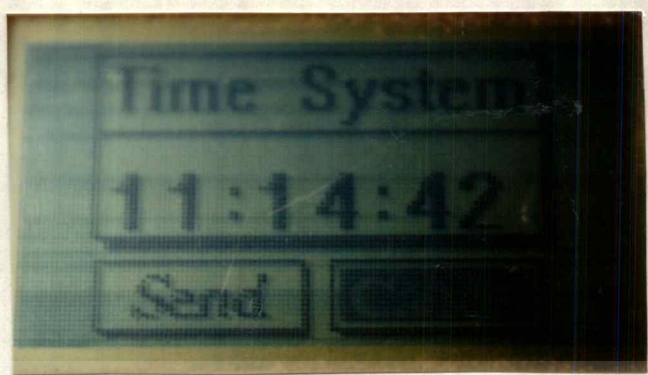
รูปที่ 4.5

1. VIEW MODE เมื่อเลือกโหมดนี้แล้วจะเข้าสู่เมนูย่อยดังรูปที่ 4.6



รูปที่ 4.6

1.1 READ TIME จะใช้ทำหน้าที่ขอดูหรือตั้งค่าเวลาไปที่ห้องพักโดยที่  
เวลาที่อ่านมา จะเป็นเวลาที่ใช้ในการเก็บบันทึกเหตุการณ์ การใช้งานต่างๆของห้องพัก  
ถ้าหากเวลาที่ห้องไม่ตรง การเก็บบันทึกข้อมูลก็จะได้เวลาที่ไม่ตรงกับการใช้งานจริง  
เมื่อเลือกข้อนี้ จอ LCD จะแสดงดังรูปที่ 4.7 และมีเคอร์เซอร์กระพริบอยู่ที่ตำแหน่งด้าน  
ซ้ายสุด เพื่อรอการป้อนเวลา สามารถเลื่อนตำแหน่งเคอร์เซอร์ไปยังจุดต่างๆได้ โดยใช้  
ปุ่มควบคุมทิศทางของเคอร์เซอร์



รูปที่ 4.7

1.2 PRESENT STATE จะเป็นการขอข้อมูลของอุปกรณ์ไฟฟ้าภายในห้องพัก อุปกรณ์ไฟฟ้าชนิดใดถูกเปิดหรือปิดอยู่ ตลอดจนเซ็นเซอร์ชนิดใด ACTIVE อยู่ จะแสดงให้เห็นดังรูปที่ 4.8



รูปที่ 4.8

จากรูปที่ 4.8 แสดงสถานะการทำงานของอุปกรณ์ไฟฟ้าที่เวลาปัจจุบัน โดยที่ขอบด้านบนจะแสดงหมายเลขของชั้นและหมายเลขของห้องพักที่ทำการขอ ดู ส่วน OUTPUT 1 หมายถึง OUTPUT ของชุด Driver ที่ทำการควบคุมอุปกรณ์ไฟฟ้า โดยใช้ Relay เต้าเสียบจะอยู่ที่ตำแหน่ง 1 ถึง 8 ส่วน OUTPUT 2 นั้นจะอยู่ที่ตำแหน่ง 9 ถึง 16 ในส่วนนี้ การปิดเปิดอุปกรณ์ไฟฟ้าจะถูกควบคุมโดย TRIAC ขนาด 40 แอมป์ และ SENSOR นั้นจะรายงานว่าตัวไหนตรวจจับ Input ได้ ขอบด้านล่างของ LCD จะแสดงความหมายของช่องตาราง แถบสีดำที่บหมายถึง อุปกรณ์ไฟฟ้าถูกเปิดใช้งานอยู่ ถ้าเป็นกรณีของเซ็นเซอร์ หมายถึงเซ็นเซอร์นั้น Active อยู่ ช่องว่างหมายถึง OFF

1.3 REPORT เป็นการแสดงข้อมูลของห้องพักกว่าห้องนี้ถูกเปิดปิด อุปกรณ์ไฟฟ้า ก็ครั้ง เวลาเมื่อไหร่ จะแสดงขึ้นมาเป็นลักษณะของข้อความดังรูปที่ 4.9 ซึ่งตัว Slave จะเก็บสถานะของอุปกรณ์ไฟฟ้าและเซ็นเซอร์ทุกตัวที่มีการเปลี่ยนแปลง เกิดขึ้นพร้อมทั้งเวลาที่เกิดการเปลี่ยนแปลง



รูปที่ 4.9

จากจอ LCD ในรูปที่ 4.9 นั้น สองบรรทัดแรกของการรายงาน จะเป็นการบอกถึงช่วงแรกของการเปิดเครื่องให้เริ่มทำงาน จากนั้นก็จะเป็นการรายงานสถานะของอุปกรณ์ต่างๆ Column ที่ 1 หมายถึงอุปกรณ์ไฟฟ้า (OP01 - OP16) หรือ เซ็นเซอร์ (SR 1 - SR 8) Column ที่ 2 หมายถึงสถานะของอุปกรณ์ตัวนั้นว่าเปิดหรือปิด Column ที่ 3 หมายถึง อุปกรณ์ไฟฟ้าถูกควบคุมให้เปิด-ปิด จากไหน คือการควบคุมอุปกรณ์ไฟฟ้าสามารถควบคุมได้จากที่ต่างๆ ได้ 4 แห่ง คือ

- ควบคุมจาก Computer จะแสดงเป็น COM
- ควบคุมจาก Master จะแสดงเป็น REM
- ควบคุมจาก Slave เอง จะแสดงเป็น MAN
- ควบคุมจาก Sensor จะแสดงเป็น SR ซึ่งขึ้นอยู่กับที่ตั้งโปรแกรม

ส่วน Column ที่ 4 หมายถึงเวลาที่มีการเปลี่ยนแปลงสถานะเกิดขึ้น

1.4 EXIT คือการกลับไปสู่ Main Menu

2 CONTROL MODE โหมดนี้ใช้สำหรับควบคุมอุปกรณ์ไฟฟ้าภายในห้องพักได้โดยตรง จอ LCD จะปรากฏดังรูปที่ 4.10 สามารถปิดเปิด Output ที่ห้องพักได้ ปุ่ม A,B ใช้ในการเลื่อนเคอร์เซอร์ขึ้นหรือลง ปุ่ม C,D ใช้เลื่อนเคอร์เซอร์ไปทางซ้ายหรือขวา เมื่อเลื่อนเคอร์เซอร์ไปตรงตำแหน่งแล้ว หากต้องการให้อุปกรณ์ไฟฟ้าเปิดหรือปิดก็เพียงกดปุ่ม E เมื่อต้องการจะส่งก็กดปุ่ม F จากนั้นเครื่องจะถามความแน่ใจว่าต้องการที่จะส่งข้อมูลหรือเปล่า จะแสดงข้อความปรากฏขึ้นมาเป็น “Y” และ “N” ถ้าต้องการส่งให้เลื่อนแถบบาร์ไปที่ “Y” และกดปุ่ม E เมื่อส่งเสร็จแล้วก็จะออกไปที่ Main Menu



รูปที่ 4.10

3 CONFIG โหมดนี้เป็นการเซตระบบการทำงานให้กับตัว Slave แต่ละห้อง เพื่อให้ทำงานตามที่ต้องการ แบ่งเป็นข้อย่อยๆทั้งหมดมี 52 หัวข้อ

3.1 RPTOUTP คือ Output Report Control ที่จอ LCD จะแสดงเป็นหัวข้อ 1. Output Report Ctrl และมีตารางตามแสดงในรูปที่ 4.11 สำหรับกำหนดว่าเมื่อมีการเปิดปิดอุปกรณ์ไฟฟ้า จะให้รายงานสถานะการเปลี่ยนแปลงทันทีหรือไม่



รูปที่ 4.11

3.2 RPTSNSR คือ Sensor Report Control ที่จอ LCD จะแสดงเป็นหัวข้อ 2. Sensor Report Ctrl และมีตารางตามแสดงในรูปที่ 4.12 สำหรับกำหนดว่าเมื่อมีการตรวจจับของเซ็นเซอร์ จะให้รายงานสถานะการเปลี่ยนแปลงทันทีหรือไม่

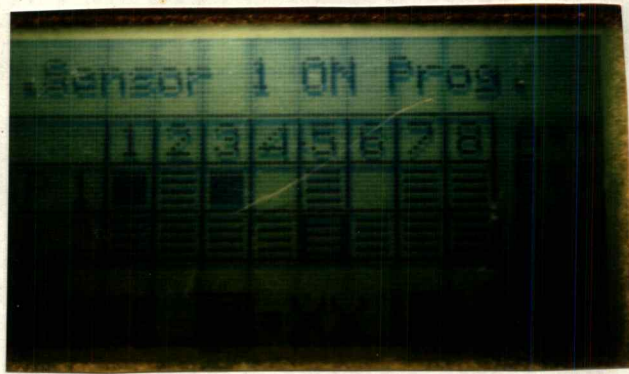


รูปที่ 4.12

3.3 OPCNTRL คือ Output Control ที่จอ LCD จะแสดงเป็นหัวข้อ 3. Output Control และมีตารางตามแสดงในรูปที่ 4.11 สำหรับกำหนดความสามารถในการควบคุมการปิดเปิดอุปกรณ์ไฟฟ้าโดยตัว Slave เอง ทั้งหมดมี 16 เอ้าท์พุท หากเอ้าท์พุทไหนถูก Disable ไว้ก็จะไม่สามารถควบคุมจากตัว Slave ได้

3.4 SNSRCNTL คือ Sensor Program Control ที่จอ LCD จะแสดงเป็นหัวข้อ 4. Sensor Control และมีตารางตามแสดงในรูปที่ 4.12 สำหรับกำหนดว่าเมื่อมีการตรวจจับเซ็นเซอร์ได้ จะให้มีการทำงานตามโปรแกรมที่กำหนดไว้ในข้อ 3.5 และ 3.6 หรือไม่

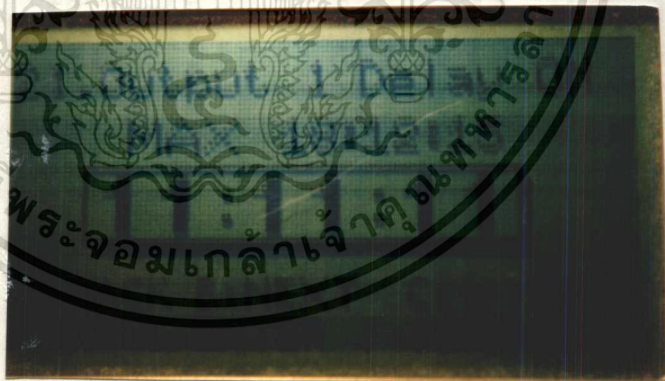
3.5 ODSNSRON คือ Output Data Sensor ON ที่จอ LCD จะแสดงเป็นหัวข้อ 5-12 และมีตารางตามแสดงในรูปที่ 4.13 สำหรับกำหนดให้ Output แต่ละช่องเปิด-ปิด หรือไม่สนใจสถานะเดิม เมื่อเซ็นเซอร์ตัวที่ 1 ถึง 8 ON ซึ่งจะแยกโปรแกรมแต่ละเซ็นเซอร์ จากตารางสามารถใช้ปุ่มควบคุมตำแหน่งเคอร์เซอร์ หากต้องการควบคุม Output ที่ตำแหน่งไหนก็เพียงแต่กดปุ่ม E ก็จะทำให้ได้สถานะ Output เป็นไม่สนใจสถานะเดิม-เปิด-ปิด สลับกันไป เมื่อเสร็จแล้วก็เลื่อนไปโปรแกรมให้กับ Sensor ตัวต่อไปจนถึง Sensor ตัวที่ 8



รูปที่ 4.13

3.6 ODSNSROFF คือ Output Data Sensor OFF ที่จอ LCD จะแสดงเป็นหัวข้อ 13-20 และมีตารางตามแสดงในรูปที่ 4.13 สำหรับกำหนดให้สถานะ Output ทำงานในลักษณะเดียวกันกับข้อ 3.5 เมื่อมีสถานะของ Sensor OFF

3.7 DLTSOPON คือ Delay Time Sensor Control Output ON ที่จอ LCD จะแสดงเป็นหัวข้อ 21-36 และมีตารางเพื่อใส่ค่าการหน่วงเวลาตามแสดงในรูปที่ 4.14 สำหรับกำหนดการหน่วงเวลาเปิดของ Output แต่ละช่อง เมื่อถูกควบคุมจากการเปลี่ยนสถานะของ Sensor การกำหนดการหน่วงเวลาสามารถป้อนได้สูงสุดคือ 18 ชั่วโมง 12 นาที 15 วินาที



รูปที่ 4.14

3.8 DLTSOPOFF คือ Delay Time Sensor Control Output OFF ที่จอ LCD จะแสดงเป็นหัวข้อ 37-52 และมีตารางเพื่อใส่ค่าการหน่วงเวลาตามแสดงในรูปที่ 4.14 สำหรับกำหนดการหน่วงเวลาปิดของ Output แต่ละช่อง เมื่อถูกควบคุมจากการเปลี่ยนสถานะของ Sensor กำหนดการหน่วงเวลาสามารถป้อนได้สูงสุดคือ 18 ชั่วโมง 12 นาที 15 วินาที เช่นเดียวกับข้อ 3.7

## 4.2 การใช้งาน Software Security System

### การ Setup Program Security System

1. รัน program Windows ของท่าน
2. เรียก program File Manager จาก Icon Main
3. ใส่แผ่น program Security System เข้าไปใน diskdrive
4. เรียก file Setup.exe จากแผ่น Security System
5. Program จะถามว่าจะใส่ชื่อ Subdirectory ใหม่หรือเปล่า ถ้าหากไม่เปลี่ยนก็ click mouse ตกลงได้เลย จากนั้นก็รอนจน program แสดงข้อความว่า Setup complete ก็เป็นการเสร็จการติดตั้ง

### การใช้งาน Program Security System

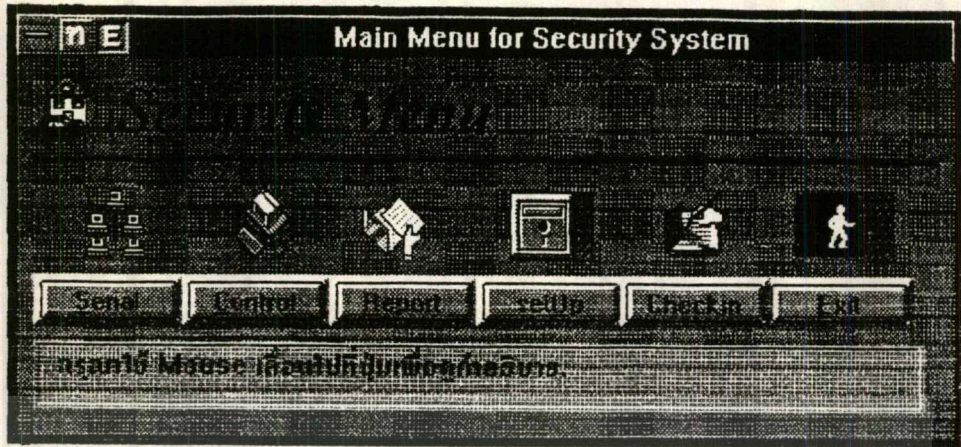
เริ่ม run Program Security System จะแสดง หน้าต่างดังรูปข้างล่าง



รูปที่ 4.9

ถ้าจะเข้าสู่ Program Security System ก็ใช้ click mouse ที่ปุ่ม Start หรืออาจจะใช้ keyboard ก็ได้ โดยกด ปุ่ม Alt + S หรือ ไม่ต้องการเข้าสู่ program ก็ใช้ mouse Click ที่ Cancel หรืออาจจะใช้ key Alt + C ก็ได้

เมื่อเข้าสู่ Program หน้าต่างเดิมก็จะหายไป และจะแสดงหน้าต่างใหม่ขึ้นมาโดยที่หน้าต่างใหม่นี้จะแสดงเป็น Menu ของ Program Security System ดังรูปที่ 4.10



รูปที่ 4.10

ในขณะที่เข้าสู่ Main Menu นี้ Program จะทำการตรวจจับข้อมูลทาง Port Serial ว่า Master มีการส่งข้อมูลฉุกเฉินมาให้หรือเปล่า ข้อมูลฉุกเฉินที่กล่าวมานี้ก็เกิดขึ้นมาได้จากการที่ ตัว Slave ที่อยู่ภายในห้องพักตรวจจับการ Active ของเซ็นเซอร์ได้ เมื่อตัว Slave ตรวจจับได้ก็จะส่งข้อมูลมาให้ตัว Master ทันทีทันใด Master ก็จะส่งมาให้กับ Computer ทันที Computer ก็จะแสดงตำแหน่งของห้องพัก ว่าอยู่ชั้นใดห้องใด และจะบอกว่า เซ็นเซอร์ตัวใดที่ Active พร้อมกับบอกเวลาที่ Active ด้วยว่า Active ตอนเวลาใด เวลาที่จะเป็น ชั่วโมง นาที วินาที ส่วนการใช้งาน Main Menu จะอธิบายทีละ Menu ดังนี้

1. Setup เป็น Menu ที่ใช้เก็บรายละเอียดของ Program Security System จะแสดงดังรูปที่ 4.12 รูปที่ 4.13

รูปที่ 4.11 รับกำหนดรายชื่อของเซ็นเซอร์โดยที่ Program จะมีเซ็นเซอร์ ให้ใช้ได้ 8 input โดยที่ input sensor ที่จะรับนั้นจะต้องให้ output เป็น Contact หรือเป็น Logic เท่านั้น เช่นพวก sensor switch การกำหนดชื่อของเซ็นเซอร์ ก็เช่น ให้เซ็นเซอร์ 1 เป็น ตรวจจับควัน

และก็ใส่จำนวนชั้นและจำนวนห้องต่อชั้นว่าหนึ่งชั้นมีจำนวนห้องเท่าใด โดยที่จำนวนห้องต่อชั้นต้องไม่เกิน 96 ห้อง ส่วนจำนวนชั้นนั้นไม่ควรเกิน 100 ชั้นเช่นกันเพราะโครงงานนี้สามารถชั้นได้จำนวน 255 ชั้น และจำนวนห้องสามารถเลือกได้ 255 ห้อง

แต่ว่าโปรแกรมกำหนดจำนวนห้องต่อชั้นได้แค่ 96 ห้อง/ชั้นมีอีกช่องหนึ่งก็คือ กำหนดให้ Program รู้ว่าภายในหนึ่งวันจะต้องทำการเก็บข้อมูลของห้องพักเมื่อใด โดยที่เมื่อถึงเวลาที่กำหนด โปรแกรมจะแสดงข้อความขึ้นมามีดังรูปที่ 4.11



รูปที่ 4.11

รูปที่ 4.12 ใช้สำหรับกำหนดรายชื่อของเซ็นเซอร์โดยที่ Program จะมีเซ็นเซอร์ ให้ใช้ได้ 8 input โดยที่ input sensor ที่จะรับนั้นจะต้องให้ output เป็น Contact หรือเป็น Logic เท่านั้น เช่นพวก sensor switch การกำหนดชื่อของเซ็นเซอร์ ก็เช่น ให้เซ็นเซอร์ 1 เป็น ตรวจจับควัน การกำหนดชื่อเซ็นเซอร์ไม่ควรกำหนดชื่อยาวหนัก (ไม่ควรเกิน 15 ตัวอักษร)

และก็ใส่จำนวนชั้นและจำนวนห้องต่อชั้นว่าหนึ่งชั้นมีจำนวนห้องเท่าใด โดยที่จำนวนห้องต่อชั้นต้องไม่เกิน 96 ห้อง มีอีกช่องหนึ่งก็คือ กำหนดให้ Program รู้ว่าภายในหนึ่งวันจะต้องทำการเก็บข้อมูลของห้องพักเมื่อใด

รูปที่ 4.13 ใช้สำหรับกำหนดชื่อของ output ว่า output แต่ละตัวใช้เปิดปิด อุปกรณ์ใด เช่น output 1 ใช้ เปิดปิดแอร์ output 2 ใช้เปิดปิดไฟกลางห้องพัก เป็นต้น โดยที่ชื่อของ output นี้ไปแสดงบอกให้ทราบว่า กำลังเปิดปิดอุปกรณ์ชนิดใดอยู่ เพื่อไม่ทำให้เปิดปิดอุปกรณ์ไฟฟ้าผิดพลาด เมื่อป้อนเสร็จแล้ว ก็ทำการเก็บข้อมูล โดยเลือกที่ Menu Bar

ME Form?

Menu Output Sensor

**Sensor Name**

ระบบตรวจจับนิ้ดินพุททั้งหมด 8 ช่อง โดยที่แต่ละช่องต้องการอินพุทที่เป็น logic โดยที่

Sensor 1	ตรวจจับกรับไฟ
Sensor 2	ความร้อน
Sensor 3	ตรวจจับแก๊ส
Sensor 4	Cleaner
Sensor 5	None
Sensor 6	ตรวจกลิ่นตต
Sensor 7	Ahe
Sensor 8	None

จำนวนเป็น

จำนวนห้อง/ชั้น  (โมดูล 96 ห้อง)

จำนวนเวลาเป็นวินาที

รูปที่ 4.12

ME Form2

Menu Output Sensor

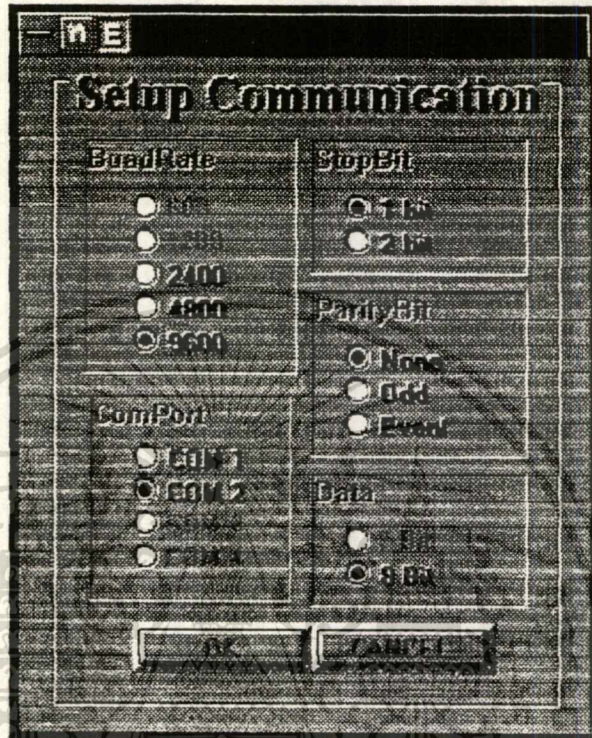
**OUTPUT NAME**

Output 1	หลอดไฟหัวเตียง
Output 2	โทรทัศน์
Output 3	หลอดไฟกลางห้องน้ก
Output 4	วิทยุ
Output 5	เครื่องปรับอากาศ
Output 6	หลอดไฟห้องน้ก
Output 7	กาน้ำร้อน
Output 8	น้ำดื่มเมตาน
Output 9	ไฟที่หน้าระเบียง
Output 10	ไฟหลอดไฟสเปกตรัม
Output 11	เปิดคอมมิวเตอร
Output 12	None
Output 13	None
Output 14	qqqqqqqqqqqqqqqqqqqqqqqqqqqqqq
Output 15	None
Output 16	เบรกเกอร์ของห้อง

รูปที่ 4.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีกรนำไปใช้

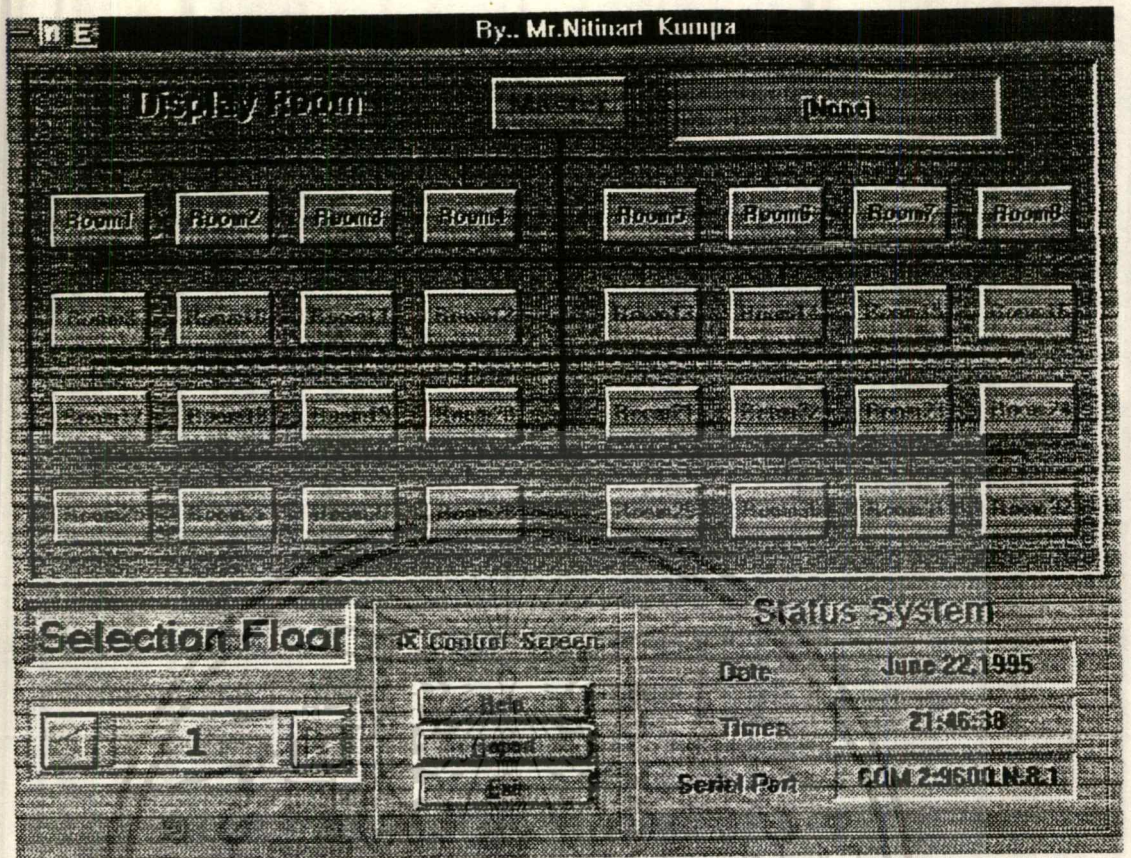
2. *Serial* เป็น Menu ที่จะใช้จัดการเกี่ยวกับ Serial port ที่จะใช้ติดต่อกับตัว Master โดยปกติแล้วจะ Set ไว้ที่ Baud Rate = 9600, parity = None , stop = 1 bit และติดตั้งอยู่ที่ Com 2 (DB 25) ดังแสดงในรูปข้างล่าง



รูปที่ 4.14

\*หมายเหตุ ที่ตัว Master ไม่ได้สร้าง Function การ Set เกี่ยวกับ Serial Port ไว้ จึงไม่สามารถ Set BaudRate, Parity, Stop ได้ จะ Set ได้ก็เฉพาะ ComPort เท่านั้น เนื่องจากเวลามีจำกัด

3. *Control* เป็นการควบคุมอุปกรณ์ไฟฟ้าภายในห้องพักได้โดยตรง หรือสามารถที่จะดูได้ว่าห้องพักนั้น มีการเปิด-ปิดอุปกรณ์ไฟฟ้ากี่ครั้ง เมื่อเวลาใดบ้าง และจะบอกรายละเอียดว่า อุปกรณ์แต่ละตัวถูกเปิดหรือปิดเมื่อใด โดยจะแสดงเป็น ชั่วโมง นาที วินาที แลสามารถบอกได้ว่า ส่วนไหนเป็นผู้เปิดหรือปิด คือ ทาง Computer หรือทางผู้ใช้ในห้องพัก หน้าจอที่ใช้แสดงการทำงานก็จะเป็นดังรูปที่ 4.15



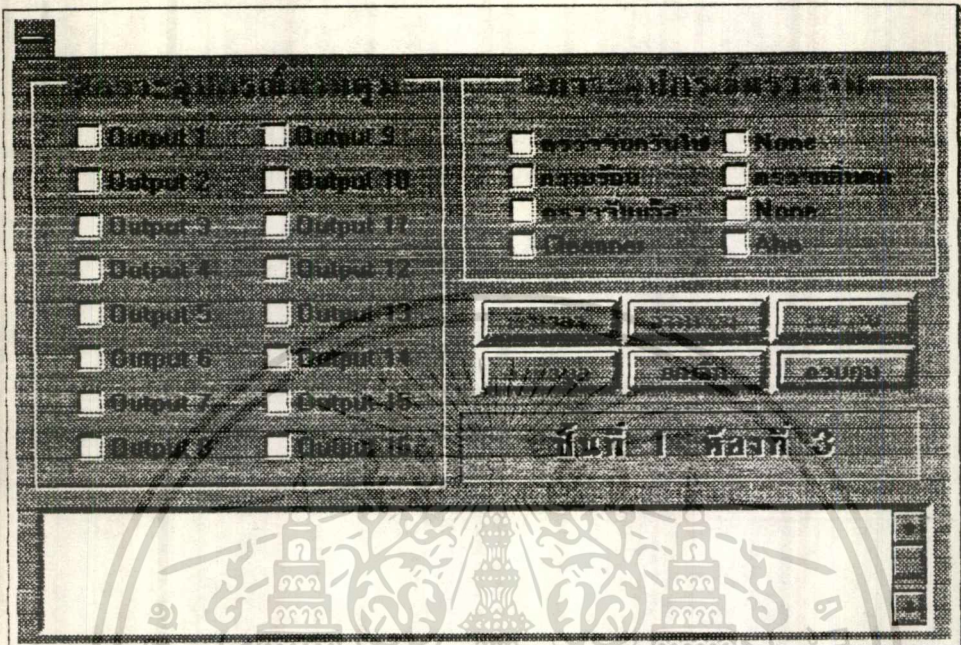
รูปที่ 4.15

จากรูปข้างบน การใช้งานก็จะเป็นดังนี้ คือ

3.1. เมื่อเริ่มเข้าสู่ Control Menu หน้าจอจะแสดงวันที่ เวลา และ port ที่ใช้ ในการติดต่อกับ Master ควรตรวจสอบว่าได้ติดตั้งไว้ถูกต้องหรือเปล่า คือ ใช้นวันและเวลา ปัจจุบันหรือเปล่าเพราะว่าจะมีผลโดยตรงกับระบบของการเก็บข้อมูลต่อวัน ที่ โปรแกรมต้องการทำการเก็บทุกวัน เวลาที่เช่นเดียวกันควรตั้งเวลาให้ตรงเพราะว่าเมื่อ โปรแกรมทำการเก็บข้อมูลห้องทุกครั้งนั้นจะส่งเวลาปัจจุบันของเครื่องไปที่ห้องพัก นั้นๆด้วย และที่สำคัญ port serial ติดตั้งถูกหรือไม่ มิฉะนั้น จะทำให้ไม่สามารถติด ต่อกับ Master ได้

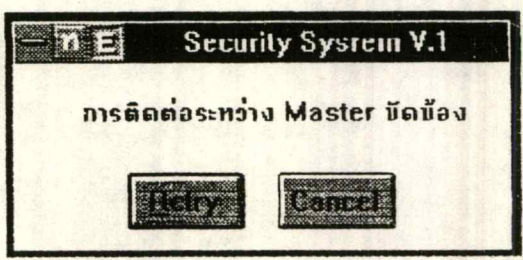
3.2. ในขณะที่เข้าสู่โปรแกรมนั้นหน้าต่างของ Display Room ยังไม่ Active คือ ไม่สามารถที่จะใช้ mouse ทำอะไรได้กับส่วนนี้ ถ้าหากยังไม่ได้ใช้ mouse click ที่ Control Screen ก่อน เมื่อใช้ mouse click ตำแหน่งนี้แล้วก็สามารถที่จะใช้ mouse เลื่อนไปที่หมายเลขห้องใดก็ได้ แลสามารถเลือกชั้นและห้องได้ตามต้องการ โดยจะมี ตำแหน่งของชั้นและห้องบอกอยู่ที่ขอบจอด้านบนขวา

3.3. เมื่อเลือกหมายเลขชั้นได้แล้วก็เลือกหมายเลขห้องที่เราต้องการจะดูการใช้  
 งานของอุปกรณ์ของห้องนั้น ก็ click mouse ที่ตำแหน่งห้องนั้นได้เลย โปรแกรมจะ  
 แสดงหน้าต่างขึ้นมาให้เห็นดังรูปข้างล่าง



รูปที่ 5.16

ถ้าหากว่าติดต่อกับ Master ไม่ได้ โปรแกรมก็จะแสดง DialogBox ขึ้นมาบอกว่า “  
 การติดต่อกับ Master ขัดข้อง” โดยจะมีปุ่ม “Retry” และ “Cancel” ดังรูปที่ 5.17



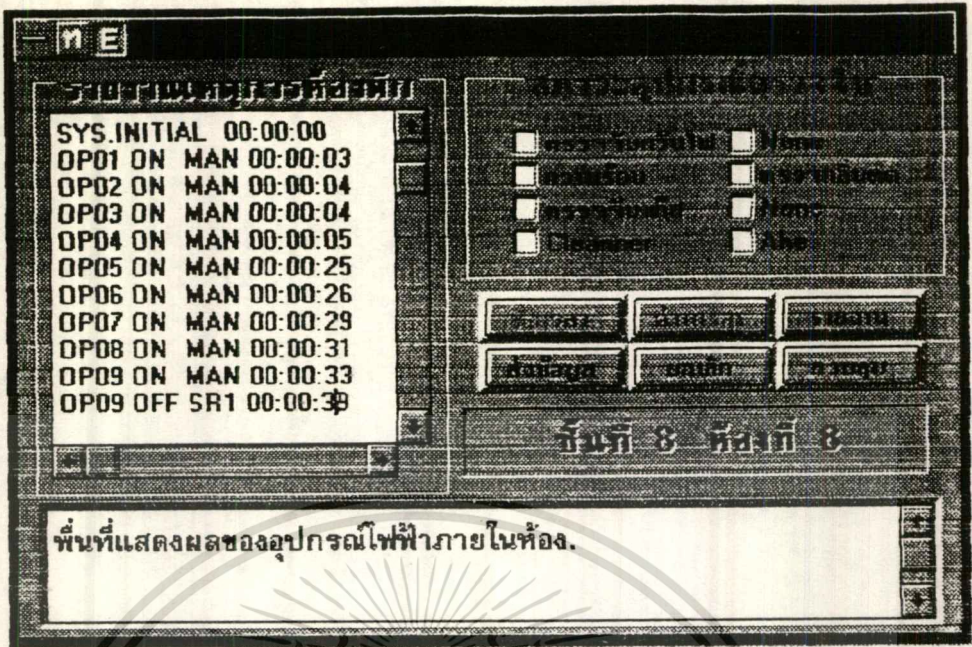
รูปที่ 5.17

ให้ลองพยายามติดต่อใหม่โดย ใช้ mouse click ที่ปุ่ม Retry ถ้าหากยังติดต่อไม่ได้ก็ควรเช็คดูที่ Master ดูว่า Master Hang หรือเปล่า และเช็คที่สาย RS 232 ด้วยว่ามีปัญหาหรือเปล่า และถ้าหากติดต่อได้ หน้าต่างที่แสดงขึ้นมานั้นก็จะมี แสดงข้อมูลของห้องนั้นมาให้ดูโดยจะมีเครื่องหมายกากบาทที่ output และ ที่เซ็นเซอร์ โดยที่ตำแหน่งนั้นมีเครื่องหมายกากบาทก็แสดงว่าอุปกรณ์ไฟฟ้าหรือ เซ็นเซอร์ตัวนั้น เปิดอยู่หรือ Active อยู่

3.4. ถ้าหากว่าต้องการที่จะควบคุมอุปกรณ์ไฟฟ้าในห้องนั้นก็ใช้ mouse click ที่ปุ่ม ควบคุม จากนั้นก็ใช้ mouse click ที่ output นั้นได้เลย และจะมีข้อความบอกอยู่ด้านล่างว่าเป็นอุปกรณ์ไฟฟ้าใด เมื่อเลือกได้แล้วก็ใช้ mouse click ที่ ปุ่มส่ง ถ้าหากว่าส่งข้อมูลได้ก็จะมี DialogBox บอกว่า "Control OK"

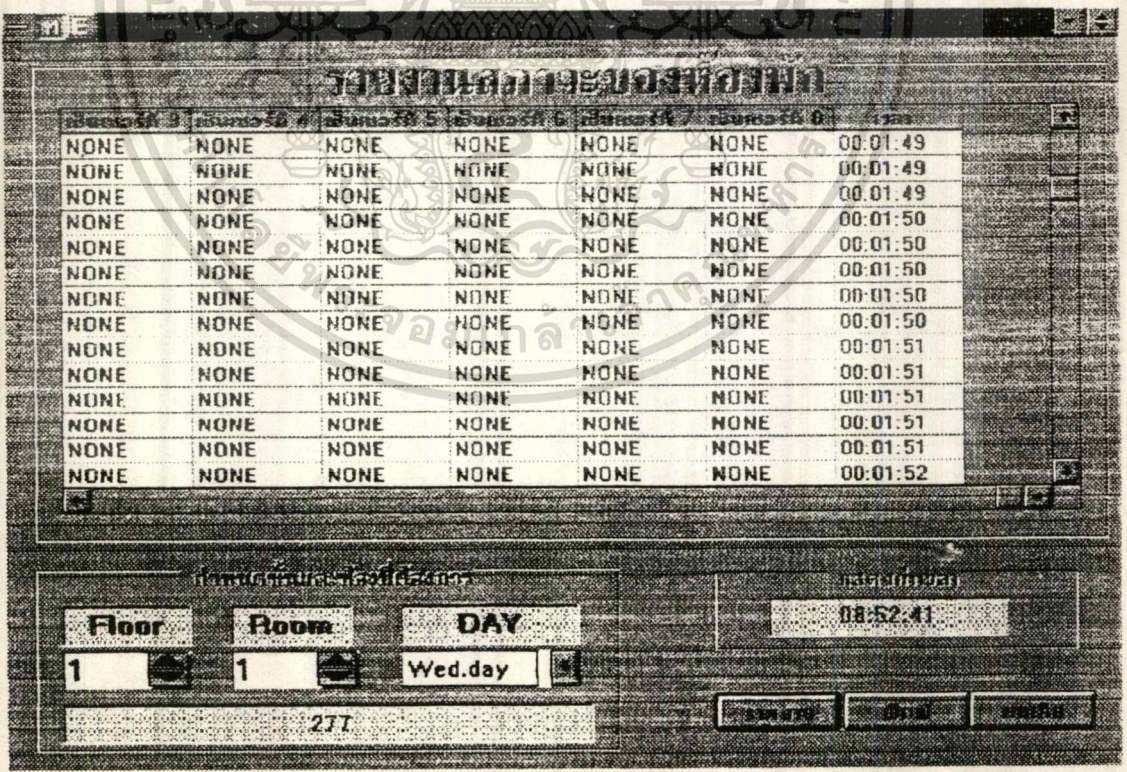
3.5. ถ้าหากว่าต้องการที่จะอ่านเวลาหรือตั้งเวลาที่ห้องพัก ก็เพียงแค่ใช้ mouse click ที่ปุ่ม ตั้งเวลาและที่ปุ่มอ่านเวลา โดยที่ถ้าตั้งเวลาที่ห้องสำเร็จก็จะมี DialogBox แสดงขึ้นมาบอกว่า "ตั้งเวลาสำเร็จ" และถ้าอ่านเวลาสำเร็จก็จะแสดง DialogBox ขึ้นมาบอกเวลาปัจจุบันของห้องนั้น

3.6. ถ้าหากว่าต้องการจะดูข้อมูลของห้องพักว่าอุปกรณ์ไฟฟ้าใดถูกใช้งานเวลาใดบ้างก็สามารถใช้ mouse click ที่ปุ่ม "รายงาน" โปรแกรมก็จะไปนำข้อมูลห้องในสถานะปัจจุบันมาให้ดูว่าตลอดวันนี้มีอุปกรณ์ใดถูกใช้งานบ้าง โดยจะแสดงหน้าต่างขึ้นมาซ้อนอีกหน้าต่างหนึ่งและแสดงสถานะอุปกรณ์เป็นข้อความดังรูปที่ 4.18



รูปที่ 4.18

4. Report เป็นส่วนของการรายงานสถานะของ output และ sensor ของห้อง  
 พักแต่ละห้อง โดยที่ข้อมูลของห้องพักแต่ละห้องจะถูกบันทึกไว้ใน file ข้อมูลของแต่ละ  
 ะวันเมื่อเลือก มาที่ Report Menu หน้าจอจะแสดงออกมดั่งรูปที่ 4.19



รูปที่ 4.19


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานก็เพียงใช้ mouse click ที่ตำแหน่งของการเลือกชั้น และเลือกห้อง จากนั้นก็เลือกว่าต้องการจะดูข้อมูลของห้องวันไหน โดยสามารถย้อนหลังกลับไปดูได้ภายใน 7 วัน จากนั้นก็รอสักพักก็จะปรากฏข้อมูลของห้องนั้นขึ้นมาโดยจะบอกอุปกรณ์ไฟฟ้าที่ถูกเปิดปิดและเซ็นเซอร์ที่ถูกกระตุ้น โดยจะบอกเวลาที่อุปกรณ์ไฟฟ้ามีการเปลี่ยนแปลงมาให้ด้วยและก็สามารถที่จะพิมพ์ข้อมูลนั้นออกมาได้โดยใช้ mouse click ที่ปุ่มพิมพ์ ข้อมูลที่พิมพ์ออกมาจะแสดงได้ดังรูปที่ 4.20

**รายงานสถานะอุปกรณ์ไฟฟ้า**

วันที่พิมพ์ : 05 September 1995 เวลาที่พิมพ์ : 14:11:26

ชั้นที่ 1						ห้องที่ 1						เพิ่มข้อมูล Tue.day								Time					
O/P 1	O/P 2	O/P 3	O/P 4	O/P 5	O/P 6	O/P 7	O/P 8	O/P 9	O/P 10	O/P 11	O/P 12	O/P 13	O/P 14	O/P 15	O/P 16	S/S 1	S/S 2	S/S 3	S/S 4		S/S 5	S/S 6	S/S 7	S/S 8	
																								14:08:21	
																									14:08:22
																									14:08:24
																									14:08:25
																									14:08:25
																									14:08:26
																									14:09:41
																									14:10:00

 = เซลล์ที่ถูกเปิด หรือ เซ็นเซอร์ถูกกระตุ้น

O/P - เซลล์ที่ถูก S/S - เซ็นเซอร์

รูปที่ 4.20

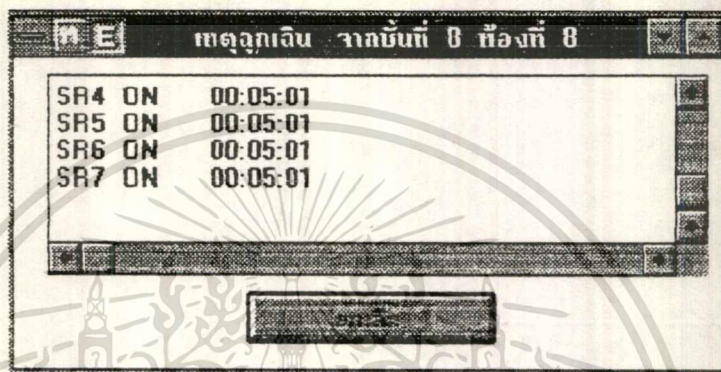
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Checkin เป็นเมนูที่ใช้สำหรับเป็นระบบการใช้บริการของห้องพัก โดยที่เมื่อมีผู้ใช้บริการเข้ามาพักในโรงแรมก็มีการ checkin โดยพนักงานจะบันทึกชื่อของผู้ใช้บริการและห้องพักที่ผู้ใช้บริการพักว่าอยู่ชั้นอะไรห้องไหนเมื่อพนักงานใช้เมาส์คลิกที่ปุ่มบันทึกโปรแกรมก็จะใส่วันและเวลาที่เข้ามาใช้บริการให้โดยอัตโนมัติและโปรแกรมก็ถามอีกว่าต้องการที่จะบันทึกใช้หรือไม่ ข้อมูลของผู้ใช้บริการนี่จะเป็นฐานข้อมูลที่จะใช้ทำการเก็บข้อมูลการใช้งานระบบไฟฟ้าภายในห้องพักแต่ละห้อง โดยจะทำการเก็บข้อมูลเฉพาะห้องที่มีผู้ใช้บริการอยู่เท่านั้น และเมื่อผู้ใช้ต้องการ check out พนักงานก็เพียงพิมพ์ชื่อของผู้ใช้บริการและคริกที่ปุ่มค้นหาก็สามารถหาตำแหน่งของผู้ใช้บริการและทำการลบออกได้โดยครกเมาส์ที่ปุ่มลบ การเก็บข้อมูลของห้องพักว่าเก็บเวลาไหนก็สามารถพิมพ์เวลาได้ที่ด้านล่างของโปรแกรมโดยจะมีแถบปัจจุบันแสดงให้ดูด้วยว่าตอนนี้เวลาอะไร โปรแกรมแสดงดังรูปข้างล่าง

รูปที่ 4.21

6. *Exit* เมื่อใช้ mouse click ที่ปุ่มนี้ก็จะเป็นการออกจากหน้าต่าง Main Menu กลับไปที่ เริ่มต้นใหม่

โปรแกรมยังสามารถรายงานสถานะฉุกเฉินของห้องพักได้ทันทีในกรณี  
ที่เซ็นเซอร์เกิดตรวจจับการเปลี่ยนแปลงได้ โดยบอกตำแหน่งของห้องพักด้วยว่าอยู่  
ห้องไหน ชั้นไหน และบอกเวลาของเซ็นเซอร์ด้วย ดังรูปที่ 4.21



รูปที่ 4.22



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## โปรแกรม Monitor ของ Board Master

```
1      ; *****
2      ; *   THE SENSOR & CONTROL SYSTEM IN OFFICE   *
3      ; *   FOR Z80180 [ Master Control ]           *
4      ; *                                           *
5      ; * SOFTWARE ENGINEER :  Mr. Pichit Sahairug *
6      ; *****
7      ;
8      0000  CNTLA0    EQU  00H  ; ASCI Control Reg A ch.0
9      0001  CNTLA1    EQU  01H  ; ASCI Control Reg A ch.1
10     0002  CNTLB0    EQU  02H  ; ASCI Control Reg B ch.0
11     0003  CNTLB1    EQU  03H  ; ASCI Control Reg B ch.1
12     0004  STAT0     EQU  04H  ; ASCI Status Reg ch.0
13     0005  STAT1     EQU  05H  ; ASCI Status Reg ch.1
14     0006  TDR0      EQU  06H  ; ASCI Transmit data Reg ch.0
15     0007  TDR1      EQU  07H  ; ASCI Transmit data Reg ch.1
16     0008  RDR0      EQU  08H  ; ASCI Receive data Reg ch.0
17     0009  RDR1      EQU  09H  ; ASCI Receive data Reg ch.1
18     000C  TMDROL    EQU  0CH  ; Timer Data Register ch.0L
19     000D  TMDR0H    EQU  0DH  ; Timer Data Register ch.0H
20     000E  RLDR0L    EQU  0EH  ; Reload Reg ch.0L
21     000F  RLDR0H    EQU  0FH  ; Reload Reg ch.0H
22     0010  TCR       EQU  10H  ; Timer Control Register
23     0014  TMDR1L    EQU  14H  ; Timer Data Register ch.1L
24     0015  TMDR1H    EQU  15H  ; Timer Data Register ch.1H
25     0016  RLDR1L    EQU  16H  ; Reload Reg ch.1L
26     0017  RLDR1H    EQU  17H  ; Reload Reg ch.1H
27     0032  DCNTL     EQU  32H  ; DMA/WAIT Control Register
28     0033  IL        EQU  33H  ; Interrupt Vector Low Reg
29     0036  RCR       EQU  36H  ; Refresh Control Reg
30     0038  CBR       EQU  38H  ; MMU Common Base Reg
```

```

31 0039 BBR EQU 39H ; MMU Bank Base Reg
32 003A CBAR EQU 3AH ; MMU Common/Bank Area Reg
33 003E OMCR EQU 3EH ; Operation Mode Ctrl Reg
34 003F ICR EQU 3FH ; I/O Control Register
35 00B8 XS EQU 0B8H
36 0040 YS EQU 64
37 00C0 LINE_START EQU 0C0H
38 00C0 C_PORT EQU 0C0H
39 00C2 D_PORT EQU 0C2H
40 0080 N_ROOM EQU 80H
41 0082 KEY_IN EQU 82H
42 0083 CTRL_PORT EQU 83H
43 2000 RAM_SIZE EQU 2000H
44 8000 RAM_ADDR EQU 8000H
45 0004 R_LENGTH EQU 4 ; Report record length
46 0006 D_LENGTH EQU 6 ; Data record length
47 000D CR EQU 0DH
48 0200 N_RECORD EQU 512
49 0080 N_COL EQU 128
50 0040 N_ROW EQU 64
51 ;*****
52 0000 ORG 0000H
53 0000 AF POW_DELAY: XOR A
54 0001 00 POW_1: NOP
55 0002 3D DEC A
56 0003 20 FC JR NZ,POW_1
57 0005 C3 0100 JP START
58 ;*****

```

MASTER 180

```

59      0008                ORG 0008H
60 0008 18 69              JR  RESERVE
61      0010                ORG 0010H
62 0010 18 61              JR  RESERVE
63      0018                ORG 0018H
64 0018 18 59              JR  RESERVE
65      0020                ORG 0020H
66 0020 18 51              JR  RESERVE
67      0028                ORG 0028H
68 0028 18 49              JR  RESERVE
69      0030                ORG 0030H
70 0030 18 41              JR  RESERVE
71      0038                ORG 0038H
72 0038 18 39              JR  RESERVE
73      0066                ORG 0066H
74 0066 18 08              JR  NOT_USE
75      0070                ORG 0070H
76 0070 FB                NOT_USE: EI
77 0071 ED 45              RETN
78      ;*****
79 0073 FB                RESERVE: EI
80 0074 ED 4D              RETI
81      ;
82 0076 FB                DUMMY: EI
83 0077 ED 4D              RETI
84      ;*****
85      0080                ORG 0080H
86 0080 0076              INT_TABLE: DW DUMMY ;INT 1
87 0082 0076              DW DUMMY ;INT 2
    
```

```

88 0084 0CD3          DW  CLOCK  ; PRT 0
89 0086 0CE3          DW  CURBLINK ; PRT 1
90 0088 0076          DW  DUMMY   ; DMA 0
91 008A 0076          DW  DUMMY   ; DMA 1
92 008C 0076          DW  DUMMY   ; CSIO
93 008E 110B          DW  RECEIVE0 ; ASCI 0
94 0090 11E6          DW  RECEIVE1 ; ASCI 1
95                    ;*****
96    0100              ORG 0100H
97                    ;
98 0100 01 0000  START: LD  BC,0
99 0103 F3            DI
100 0104 76           HALT
101 0105 0B          START_1: DEC  BC
102 0106 78           LD   A,B
103 0107 B1           OR    C
104 0108 20 FB       JR    NZ,START_1
105 010A 3E 9A       LD   A,9AH ; Control Code 8255
106 010C D3 83       OUT  (CTRL_PORT),A
107 010E 3E F8       LD   A,0F8H ; Bank Area=8000-->EFFF
108 0110 ED 39 3A    OUT0 (CBAR),A ; MMU Common/Bank Area Reg
109 0113 3E 08       LD   A,8
110 0115 ED 39 39    OUT0 (BBR),A ; MMU Bank Base Register
111 0118 ED 39 38    OUT0 (CBR),A ; MMU Common Base Register
112 011B 31 9FFE     LD   SP, RAM_ADDR+RAM_SIZE-2
113 011E 3E 00       LD   A,0
114 0120 ED 47       LD   LA
115 0122 3E 80       LD   A,80H
116 0124 ED 39 33    OUT0 (IL),A ; Interrupt Vector Low Register

```

MASTER 180

```

117 0127 F3          DI
118 0128 ED 56       IM 1
119 012A 3E 40       LD A,40H
120 012C ED 39 3E    OUT0 (OMCR),A ; Operation Mode Control Register
121 012F 3E 81       LD A,81H
122 0131 ED 39 36    OUT0 (RCR),A ; Refresh Control Register
123 0134 ED 38 32    IN0 A,(DCNTL) ; DMA/WAIT Control Reg
124 0137 F6 30       OR 30H
125 0139 ED 39 32    OUT0 (DCNTL),A
126 013C 21 8000     LD HL,RAM_ADDR ; Clear RAM
127 013F 11 8001     LD DE,RAM_ADDR+1 ; Address 8000H-9FFFH
128 0142 01 1FFF     LD BC,RAM_SIZE-1
129 0145 36 00       LD (HL),0
130 0147 ED B0       LDIR
131 0149 21 03A8     LD HL,936
132 014C ED 29 0C    OUT0 (TMDR0L),L ; Timer data Register ch 0L
133 014F ED 21 0D    OUT0 (TMDR0H),H ; Timer data Register ch 0H
134 0152 ED 29 0E    OUT0 (RLDR0L),L ; Reload Register ch 0L
135 0155 ED 21 0F    OUT0 (RLDR0H),H ; Reload Register ch 0H
136 0158 21 4000     LD HL,4000H
137 015B ED 29 14    OUT0 (TMDR1L),L ; Timer data Register ch 1L
138 015E ED 21 15    OUT0 (TMDR1H),H ; Timer data Register ch 1H
139 0161 ED 29 16    OUT0 (RLDR1L),L ; Reload Register ch 1L
140 0164 ED 21 17    OUT0 (RLDR1H),H ; Reload Register ch 1H
141 0167 3E 33       LD A,33H ; Enable Time INT.ch.0,1
142 0169 ED 28 10    IN0 L,(TCR) ; Timer Control Reg
143 016C B5          OR L
144 016D ED 39 10    OUT0 (TCR),A
145 0170 CD 10D5     CALL ASCI_0_SET

```

146 0173 CD 11AE	CALL ASCI_1_SET
147 0176 3E 05	LD A,05
148 0178 32 8CFD	LD (COUNT),A
149 017B FB	EI
150 017C 21 80F4	LD HL,DSP_BUFF
151 017F 11 80F5	LD DE,DSP_BUFF+1
152 0182 01 03FF	LD BC,N_COL*N_ROW/8-1
153 0185 36 FF	LD (HL),0FFH
154 0187 ED B0	LDIR
155 0189 CD 0AF3	CALL WR_LCD
156 018C 21 1552	LD HL,DEMO_1
157 018F CD 0BAA	CALL LOAD_R
158 0192 CD 0C69	CALL DELAY_1
159 0195 21 1953	LD HL,DEMO_2
160 0198 CD 0B81	CALL LOAD_L
161 019B 21 2553	LD HL,S_PANEL
162 019E CD 0B78	CALL COPY
163 01A1 CD 0AF3	CALL WR_LCD
164 01A4 CD 0C76	CALL GETKEY
165 01A7 AF	XOR A
166 01A8 32 8CF4	LD (M_SELECT),A
167 01AB 3A 8000 MAIN:	LD A,(FLAG)
168 01AE CB 8F	RES 1,A
169 01B0 32 8000	LD (FLAG),A
170 01B3 21 1D53	LD HL,M_MENU
171 01B6 CD 0BCF	CALL LOAD_OH
172 01B9 3A 8CF4	LD A,(M_SELECT)
173 01BC 18 2A	JR MAIN_05
174 01BE CD 0C76 MAIN_01:	CALL GETKEY

MASTER 180

```

175 01C1 FE 0A          CP 10          ; Up Arrow
176 01C3 28 0B          JR Z,MAIN_02
177 01C5 FE 0B          CP 11          ; Dw Arrow
178 01C7 28 13          JR Z,MAIN_03
179 01C9 FE 0E          CP 14          ; Enter
180 01CB CA 0254        JP Z,MAIN_15
181 01CE 18 EE          JR MAIN_01
182 01D0 3A 8CF4        MAIN_02:      LD A,(M_SELECT)
183 01D3 3D              DEC A
184 01D4 FE FF          CP -1
185 01D6 38 0D          JR C,MAIN_04
186 01D8 3E 02          LD A,02H
187 01DA 18 09          JR MAIN_04
188 01DC 3A 8CF4        MAIN_03:      LD A,(M_SELECT)
189 01DF 3C              INC A
190 01E0 FE 03          CP 03
191 01E2 38 01          JR C,MAIN_04
192 01E4 AF              XOR A
193 01E5 32 8CF4        MAIN_04:      LD (M_SELECT),A
194 01E8 FE 00          MAIN_05:      CP 0
195 01EA 20 20          JR NZ,MAIN_08
196 01EC 21 1D53        LD HL,M_MENU
197 01EF CD 0B78        CALL COPY
198 01F2 21 820A        LD HL,DSP_BUFF+N_COL*2+22
199 01F5 06 55          LD B,85
200 01F7 3E FC          MAIN_06:      LD A,0FCH
201 01F9 AE              XOR (HL)
202 01FA 77              LD (HL),A
203 01FB 23              INC HL

```

204 01FC 10 F9		DJNZ MAIN_06
205 01FE 21 828A		LD HL,DSP_BUFF+N_COL*3+22
206 0201 06 55		LD B,85
207 0203 3E 07	MAIN_07:	LD A,07H
208 0205 AE		XOR (HL)
209 0206 77		LD (HL),A
210 0207 23		INC HL
211 0208 10 F9		DJNZ MAIN_07
212 020A 18 42		JR MAIN_14
213 020C FE 01	MAIN_08:	CP 01H
214 020E 20 20		JR NZ,MAIN_11
215 0210 21 1D53		LD HL,M_MENU
216 0213 CD 0B78		CALL COPY
217 0216 21 828A		LD HL,DSP_BUFF+N_COL*3+22
218 0219 06 55		LD B,85
219 021B 3E F0	MAIN_09:	LD A,0F0H
220 021D AE		XOR (HL)
221 021E 77		LD (HL),A
222 021F 23		INC HL
223 0220 10 F9		DJNZ MAIN_09
224 0222 21 830A		LD HL,DSP_BUFF+N_COL*4+22
225 0225 06 55		LD B,85
226 0227 3E 1F	MAIN_10:	LD A,1FH
227 0229 AE		XOR (HL)
228 022A 77		LD (HL),A
229 022B 23		INC HL
230 022C 10 F9		DJNZ MAIN_10
231 022E 18 1E		JR MAIN_14
232 0230 21 1D53	MAIN_11:	LD HL,M_MENU

MASTER 180

```

233 0233 CD 0B78          CALL COPY
234 0236 21 830A        LD HL,DSP_BUFF+N_COL*4+22
235 0239 06 55          LD B,85
236 023B 3E C0          MAIN_12: LD A,0C0H
237 023D AE            XOR (HL)
238 023E 77            LD (HL),A
239 023F 23            INC HL
240 0240 10 F9          DJNZ MAIN_12
241 0242 21 838A        LD HL,DSP_BUFF+N_COL*5+22
242 0245 06 55          LD B,85
243 0247 3E 7F          MAIN_13: LD A,7FH
244 0249 AE            XOR (HL)
245 024A 77            LD (HL),A
246 024B 23            INC HL
247 024C 10 F9          DJNZ MAIN_13
248 024E CD 0AF3        MAIN_14: CALL WR_LCD
249 0251 C3 01BE        JP MAIN_01
250 0254 3A 8CF4        MAIN_15: LD A,(M_SELECT)
251 0257 FE 00          CP 00H
252 0259 28 08          JR Z,VIEW
253 025B FE 01          CP 01H
254 025D CA 061E        JP Z,CONTRL
255 0260 C3 084F        JP CONFIG
256                      *****
257 0263 21 2153        VIEW: LD HL,V_MENU
258 0266 CD 0B78          CALL COPY
259 0269 CD 0AF3        CALL WR_LCD
260 026C 3A 8CF5        LD A,(V_SELECT)

```

261 026F 18 2A

JR VIEW-05

```

262 0271 CD 0C76 VIEW_01: CALL GETKEY
263 0274 FE 0A CP 10 ; Up Arrow
264 0276 28 0B JR Z,VIEW_02
265 0278 FE 0B CP 11 ; Dw Arrow
266 027A 28 13 JR Z,VIEW_03
267 027C FE 0E CP 14 ; Enter
268 027E CA 0343 JP Z,VIEW_20
269 0281 18 EE JR VIEW_01
270 0283 3A 8CF5 VIEW_02: LD A,(V_SELECT)
271 0286 3D DEC A
272 0287 FE FF CP -1
273 0289 38 0D JR C,VIEW_04
274 028B 3E 03 LD A,03H
275 028D 18 09 JR VIEW_04
276 028F 3A 8CF5 VIEW_03: LD A,(V_SELECT)
277 0292 3C INC A
278 0293 FE 04 CP 04
279 0295 38 01 JR C,VIEW_04
280 0297 AF XOR A
281 0298 32 8CF5 VIEW_04: LD (V_SELECT),A
282 029B FE 00 VIEW_05: CP 0
283 029D 20 2C JR NZ,VIEW_09
284 029F 21 2153 LD HL,V_MENU
285 02A2 CD 0B78 CALL COPY
286 02A5 21 8186 LD HL,DSP_BUFF+N_COL*1+18
287 02A8 06 5C LD B,92
288 02AA 3E C0 VIEW_06: LD A,0C0H
289 02AC AE XOR (HL)
290 02AD 77 LD (HL),A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MASTER 180

```

291 02AE 23          INC HL
292 02AF 10 F9       DJNZ VIEW_06
293 02B1 21 8206     LD HL,DSP_BUFF+N_COL*2+18
294 02B4 06 5C       LD B,92
295 02B6 3E FF       VIEW_07: LD A,0FFH
296 02B8 AE          XOR (HL)
297 02B9 77          LD (HL),A
298 02BA 23          INC HL
299 02BB 10 F9       DJNZ VIEW_07
300 02BD 21 8286     LD HL,DSP_BUFF+N_COL*3+18
301 02C0 06 5C       LD B,92
302 02C2 3E 03       VIEW_08: LD A,03H
303 02C4 AE          XOR (HL)
304 02C5 77          LD (HL),A
305 02C6 23          INC HL
306 02C7 10 F9       DJNZ VIEW_08
307 02C9 18 72       JR VIEW_19
308 02CB FE 01       VIEW_09: CP 01H
309 02CD 20 20       JR NZ,VIEW_12
310 02CF 21 2153     LD HL,V_MENU
311 02D2 CD 0B78     CALL COPY
312 02D5 21 8286     LD HL,DSP_BUFF+N_COL*3+18
313 02D8 06 5C       LD B,92
314 02DA 3E FC       VIEW_10: LD A,0FCH
315 02DC AE          XOR (HL)
316 02DD 77          LD (HL),A
317 02DE 23          INC HL
318 02DF 10 F9       DJNZ VIEW_10
319 02E1 21 8306     LD HL,DSP_BUFF+N_COL*4+18

```

320 02E4 06 5C		LD B,92
321 02E6 3E 3F	VIEW_11:	LD A,3FH
322 02E8 AE		XOR (HL)
323 02E9 77		LD (HL),A
324 02EA 23		INC HL
325 02EB 10 F9		DJNZ VIEW_11
326 02ED 18 4E		JR VIEW_19
327 02EF FE 02	VIEW_12:	CP 02H
328 02F1 20 2C		JR NZ,VIEW_16
329 02F3 21 2153		LD HL,V_MENU
330 02F6 CD 0B78		CALL COPY
331 02F9 21 8306		LD HL,DSP_BUFF+N_COL*4+18
332 02FC 06 5C		LD B,92
333 02FE 3E C0	VIEW_13:	LD A,0C0H
334 0300 AE		XOR (HL)
335 0301 77		LD (HL),A
336 0302 23		INC HL
337 0303 10 F9		DJNZ VIEW_13
338 0305 21 8386		LD HL,DSP_BUFF+N_COL*5+18
339 0308 06 5C		LD B,92
340 030A 3E FF	VIEW_14:	LD A,0FFH
341 030C AE		XOR (HL)
342 030D 77		LD (HL),A
343 030E 23		INC HL
344 030F 10 F9		DJNZ VIEW_14
345 0311 21 8406		LD HL,DSP_BUFF+N_COL*6+18
346 0314 06 5C		LD B,92
347 0316 3E 03	VIEW_15:	LD A,03H
348 0318 AE		XOR (HL)

MASTER 180

```

349 0319 77          LD (HL),A
350 031A 23          INC HL
351 031B 10 F9       DJNZ VIEW_15
352 031D 18 1E       JR VIEW_19
353 031F 21 2153     VIEW_16: LD HL,V_MENU
354 0322 CD 0B78     CALL COPY
355 0325 21 8406     LD HL,DSP_BUFF+N_COL*6+18
356 0328 06 5C       LD B,92
357 032A 3E FC       VIEW_17: LD A,0FCH
358 032C AE          XOR (HL)
359 032D 77          LD (HL),A
360 032E 23          INC HL
361 032F 10 F9       DJNZ VIEW_17
362 0331 21 8486     LD HL,DSP_BUFF+N_COL*7+18
363 0334 06 5C       LD B,92
364 0336 3E 3F       VIEW_18: LD A,3FH
365 0338 AE          XOR (HL)
366 0339 77          LD (HL),A
367 033A 23          INC HL
368 033B 10 F9       DJNZ VIEW_18
369 033D CD 0AF3     VIEW_19: CALL WR_LCD
370 0340 C3 0271     JP VIEW_01
371 0343 3A 8CF5     VIEW_20: LD A,(V_SELECT)
372 0346 FE 00       CP 00H
373 0348 28 0D       JR Z,TIME
374 034A FE 01       CP 01H
375 034C CA 054B     JP Z,PRESENT_ST
376 034F FE 02       CP 02H
377 0351 CA 058A     JP Z,REPORT

```

```

378 0354 C3 01AB          JP  MAIN
379          ;*****
380 0357 CD 0852  TIME:          CALL ROOM_SEL
381 035A AF              XOR  A
382 035B 32 8CF6          LD  (T_SELECT),A
383 035E 2A 8CFB  TIME_01:      LD  HL,(NUMBER)
384 0361 CD 0D2C          CALL READ_TIME
385 0364 30 0C           JR  NC,TIME_03
386 0366 CD 09C9  TIME_02:      CALL EXPLANE
387 0369 3A 8CFE          LD  A,(ANS)
388 036C B7              OR   A
389 036D CA 0263          JP  Z,VIEW
390 0370 18 EC           JR  TIME_01
391 0372 CD 06D5  TIME_03:      CALL CUR_STOP
392 0375 21 3D53          LD  HL,T_PANEL
393 0378 CD 0B78          CALL COPY
394 037B 3A 8D0F          LD  A,(T_BUFF)
395 037E CD 0A5E          CALL BINASCII
396 0381 DD 21 8D0D          LD  IX,ASCII+1
397 0385 11 8285          LD  DE,DSP_BUFF+N_COL*3+17
398 0388 06 02           LD  B,02
399 038A CD 0AB1          CALL FILL_N0
400 038D 3A 8D10          LD  A,(T_BUFF+1)
401 0390 CD 0A5E          CALL BINASCII
402 0393 DD 21 8D0D          LD  IX,ASCII+1
403 0397 11 82A4          LD  DE,DSP_BUFF+N_COL*3+48
404 039A 06 02           LD  B,02
405 039C CD 0AB1          CALL FILL_N0
406 039F 3A 8D11          LD  A,(T_BUFF+2)

```

MASTER 180

```

407 03A2 CD 0A5E          CALL BINASCII
408 03A5 DD 21 8D0D      LD IX,ASCII+1
409 03A9 11 82C3        LD DE,DSP_BUFF+N_COL*3+79
410 03AC 06 02          LD B,02
411 03AE CD 0AB1          CALL FILL_NO
412 03B1 CD 0AF3          CALL WR_LCD
413 03B4 CD 06C7          CALL CUR_BLINK
414 03B7 3A 8CF6        LD A,(T_SELECT)
415 03BA FE 00          CP 0
416 03BC 20 1E          JR NZ,TIME_07
417 03BE 21 8685        LD HL,MEM_BUFF+N_COL*3+17
418 03C1 E5            TIME_04:    PUSH HL
419 03C2 CD 06D5          CALL CUR_STOP
420 03C5 3E F0          LD A,0F0H
421 03C7 06 0C          LD B,12
422 03C9 77            TIME_05:    LD (HL),A
423 03CA 23            INC HL
424 03CB 10 FC          DJNZ TIME_05
425 03CD E1            POP HL
426 03CE 01 0080        LD BC,N_COL
427 03D1 09            ADD HL,BC
428 03D2 3E FF          LD A,0FFH
429 03D4 06 0C          LD B,12
430 03D6 77            TIME_06:    LD (HL),A
431 03D7 23            INC HL
432 03D8 10 FC          DJNZ TIME_06
433 03DA 18 54          JR TIME_17
434 03DC FE 01            TIME_07:    CP 01

```

439 03E7 20 05		JR NZ,TIME_09
440 03E9 21 86A4		LD HL,MEM_BUFF+N_COL*3+48
441 03EC 18 D3		JR TIME_04
442 03EE FE 03	TIME_09:	CP 03
443 03F0 20 05		JR NZ,TIME_10
444 03F2 21 86B0		LD HL,MEM_BUFF+N_COL*3+60
445 03F5 18 CA		JR TIME_04
446 03F7 FE 04	TIME_10:	CP 04
447 03F9 20 05		JR NZ,TIME_11
448 03FB 21 86C3		LD HL,MEM_BUFF+N_COL*3+79
449 03FE 18 C1		JR TIME_04
450 0400 FE 05	TIME_11:	CP 05
451 0402 20 05		JR NZ,TIME_12
452 0404 21 86CF		LD HL,MEM_BUFF+N_COL*3+91
453 0407 18 B8		JR TIME_04
454 0409 FE 06	TIME_12:	CP 06
455 040B 20 1E		JR NZ,TIME_16
456 040D 21 8806		LD HL,MEM_BUFF+N_COL*6+18
457 0410 E5	TIME_13:	PUSH HL
458 0411 CD 06D5		CALL CUR_STOP
459 0414 3E FF		LD A,0FFH
460 0416 06 28		LD B,40
461 0418 77	TIME_14:	LD (HL),A
462 0419 23		INC HL
463 041A 10 FC		DJNZ TIME_14
464 041C E1		POP HL

MASTER 180

```

465 041D 01 0080          LD  BC,N_COL
466 0420 09              ADD  HL,BC
467 0421 3E 07          LD  A,07
468 0423 06 28          LD  B,40
469 0425 77          TIME_15: LD  (HL),A
470 0426 23              INC  HL
471 0427 10 FC          DJNZ TIME_15
472 0429 18 05          JR   TIME_17
473 042B 21 8837        TIME_16: LD  HL,MEM_BUFF+N_COL*6+67
474 042E 18 E0          JR   TIME_13
475 0430 CD 06C7        TIME_17: CALL CUR_BLINK
476 0433 CD 0C76        TIME_18: CALL GETKEY
477 0436 FE 0A          CP  * 10      ; Up Arrow
478 0438 DA 049C          JP  C,TIME_25
479 043B 20 0F          JR  NZ,TIME_19
480 043D 3A 8CF6          LD  A,(T_SELECT)
481 0440 FE 06          CP  06
482 0442 38 EF          JR  C,TIME_18
483 0444 D6 06          SUB  06
484 0446 CB 27          SLA  A
485 0448 CB 27          SLA  A
486 044A 18 2D          JR  TIME_23
487 044C FE 0B        TIME_19: CP  11      ; Dw Arrow
488 044E 20 0F          JR  NZ,TIME_20
489 0450 3A 8CF6          LD  A,(T_SELECT)
490 0453 FE 06          CP  06
491 0455 30 DC          JR  NC,TIME_18
492 0457 CB 3F          SRL  A
493 0459 CB 3F          SRL  A
494 045B C6 06          ADD  06
495 045D 18 1A          JR  TIME_23

```

เอกสารนี้ 496 045F FE 0C TIME\_20: ซ้ำงานเพื่อ CP 12 เท่านั้น; Left Arrow ให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

497 0461 20 09		JR NZ,TIME_21
498 0463 3A 8CF6		LD A,(T_SELECT)
499 0466 B7		OR A
500 0467 28 CA		JR Z,TIME_18
501 0469 3D		DEC A
502 046A 18 0D		JR TIME_23
503 046C FE 0D	TIME_21:	CP 13 ; Right Arrow
504 046E C2 047F		JP NZ,TIME_24
505 0471 3A 8CF6	TIME_22:	LD A,(T_SELECT)
506 0474 FE 07		CP 07
507 0476 30 BB		JR NC,TIME_18
508 0478 3C		INC A
509 0479 32 8CF6	TIME_23:	LD (T_SELECT),A
510 047C C3 0372		JP TIME_03
511 047F FE 0E	TIME_24:	CP 14
512 0481 20 B0		JR NZ,TIME_18
513 0483 3A 8CF6		LD A,(T_SELECT)
514 0486 FE 06		CP 06
515 0488 38 A9		JR C,TIME_18
516 048A CD 06D5		CALL CUR_STOP
517 048D C2 0263		JP NZ,VIEW
518 0490 2A 8CFB		LD HL,(NUMBER)
519 0493 CD 0D6C		CALL SET_TIME
520 0496 DA 0366		JP C,TIME_02
521 0499 C3 0263		JP VIEW
522 049C 4F	TIME_25:	LD C,A

MASTER 180

```

523 049D 3A 8CF6          LD  A,(T_SELECT)
524 04A0 FE 00           CP  0
525 04A2 20 1D          JR  NZ,TIME_29
526 04A4 3A 8D0F          LD  A,(T_BUFF)
527 04A7 06 03          LD  B,3
528 04A9 5F          TIME_26: LD  E,A
529 04AA D6 0A          SUB  10
530 04AC 38 02          JR  C,TIME_27
531 04AE 10 F9          DJNZ TIME_26
532 04B0 06 0A          TIME_27: LD  B,10
533 04B2 ED 4C          MLT  BC
534 04B4 7B           LD  A,E
535 04B5 81           ADD  C
536 04B6 FE 18          TIME_28: CP  24
537 04B8 D2 0433        JP  NC,TIME_18
538 04BB 32 8D0F          LD  (T_BUFF),A
539 04BE C3 0471        JP  TIME_22
540 04C1 FE 01          TIME_29: CP  01
541 04C3 20 14          JR  NZ,TIME_32
542 04C5 3A 8D0F          LD  A,(T_BUFF)
543 04C8 16 00          LD  D,0
544 04CA D6 0A          TIME_30: SUB  10
545 04CC 38 03          JR  C,TIME_31
546 04CE 14           INC  D
547 04CF 18 F9          JR  TIME_30
548 04D1 1E 0A          TIME_31: LD  E,10
549 04D3 ED 5C          MLT  DE
550 04D5 79           LD  A,C
551 04D6 83           ADD  E
552 04D7 18 DD          JR  TIME_28
553 04D9 FE 02          TIME_32: CP  02
554 04DB 20 1D          NZ,TIME_36

```

555 04DD 3A 8D10		LD A,(T_BUFF+1)
556 04E0 06 06		LD B,6
557 04E2 5F	TIME_33:	LD E,A
558 04E3 D6 0A		SUB 10
559 04E5 38 02		JR C,TIME_34
560 04E7 10 F9		DJNZ TIME_33
561 04E9 06 0A	TIME_34:	LD B,10
562 04EB ED 4C		MLT BC
563 04ED 7B		LD A,E
564 04EE 81		ADD C
565 04EF FE 3C	TIME_35:	CP 60
566 04F1 D2 0433		JP NC,TIME_18
567 04F4 32 8D10		LD (T_BUFF+1),A
568 04F7 C3 0471		JP TIME_22
569 04FA FE 03	TIME_36:	CP 03
570 04FC 20 14		JR NZ,TIME_39
571 04FE 3A 8D10		LD A,(T_BUFF+1)
572 0501 16 00		LD D,0
573 0503 D6 0A	TIME_37:	SUB 10
574 0505 38 03		JR C,TIME_38
575 0507 14		INC D
576 0508 18 F9		JR TIME_37
577 050A 1E 0A	TIME_38:	LD E,10
578 050C ED 5C		MLT DE
579 050E 79		LD A,C
580 050F 83		ADD E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MASTER 180

```

581 0510 18 DD                JR  TIME_35
582 0512 FE 04    TIME_39:    CP   04
583 0514 20 1D                JR  NZ,TIME_43
584 0516 3A 8D11             LD  A,(T_BUFF+2)
585 0519 06 06                LD  B,6
586 051B 5F    TIME_40:      LD  E,A
587 051C D6 0A                SUB  10
588 051E 38 02                JR  C,TIME_41
589 0520 10 F9                DJNZ TIME_40
590 0522 06 0A    TIME_41:    LD  B,10
591 0524 ED 4C                MLT  BC
592 0526 7B                  LD  A,E
593 0527 81                  ADD  C
594 0528 FE 3C    TIME_42:    CP   60
595 052A D2 0433             JP  NC,TIME_18
596 052D 32 8D11             LD  (T_BUFF+2),A
597 0530 C3 0471             JP  TIME_22
598 0533 FE 05    TIME_43:    CP   05
599 0535 20 DB                JR  NZ,TIME_39
600 0537 3A 8D11             LD  A,(T_BUFF+2)
601 053A 16 00                LD  D,0
602 053C D6 0A    TIME_44:    SUB  10
603 053E 38 03                JR  C,TIME_45
604 0540 14                  INC  D
605 0541 18 F9                JR  TIME_44
606 0543 1E 0A    TIME_45:    LD  E,10
607 0545 ED 5C                MLT  DE
608 0547 79                  LD  A,C
609 0548 83                  ADD  E
610 0549 18 DD                JR  TIME_42
611                               *****
612 054B CD 0852    PRESENT_ST: CALL ROOM_SEL

```

613 054E 2A 8CFB	PRES_1:	LD HL,(NUMBER)
614 0551 CD 0DBF		CALL OUTPUT_RD
615 0554 38 28		JR C,PRES_6
616 0556 FD 21 2D53		LD IY,TABLE3
617 055A CD 073B		CALL OPTDSP
618 055D CD 0C76	PRES_2:	CALL GETKEY
619 0560 FE 0A		CP 10
620 0562 20 06		JR NZ,PRES_3
621 0564 2A 8CFB		LD HL,(NUMBER)
622 0567 2B		DEC HL
623 0568 18 08		JR PRES_4
624 056A FE 0B	PRES_3:	CP 11
625 056C 20 09		JR NZ,PRES_5
626 056E 2A 8CFB		LD HL,(NUMBER)
627 0571 23		INC HL
628 0572 22 8CFB	PRES_4:	LD (NUMBER),HL
629 0575 18 D7		JR PRES_1
630 0577 FE 0E	PRES_5:	CP 14
631 0579 CA 0263		JP Z,VIEW
632 057C 18 DF		JR PRES_2
633 057E CD 09C9	PRES_6:	CALL EXPLANE
634 0581 3A 8CFE		LD A,(ANS)
635 0584 B7		OR A
636 0585 CA 0263		JP Z,VIEW
637 0588 18 C4		JR PRES_1
638		*****

## MASTER 180

```

639 058A CD 0852 REPORT: CALL ROOM_SEL
640 058D 2A 8CFB REP_01: LD HL,(NUMBER)
641 0590 CD 0EA7 CALL RET_REPORT
642 0593 30 0C JR NC,REP_03
643 0595 CD 09C9 REP_02: CALL EXPLANE
644 0598 3A 8CFE LD A,(ANS)
645 059B B7 OR A
646 059C CA 0263 JP Z,VIEW
647 059F 18 EC JR REP_01
648 05A1 CD 0A38 REP_03: CALL DSPBUF_CL
649 05A4 21 41D3 LD HL,HEAD
650 05A7 11 80F4 LD DE,DSP_BUFF
651 05AA 01 0100 LD BC,N_COL*2
652 05AD ED B0 LDIR
653 05AF 21 4153 LD HL,NEXT
654 05B2 11 8474 LD DE,DSP_BUFF+N_COL*7
655 05B5 01 0080 LD BC,N_COL
656 05B8 ED B0 LDIR
657 05BA 21 8D12 LD HL,RAW_DATA
658 05BD E5 REP_04: PUSH HL
659 05BE 11 81F5 LD DE,DSP_BUFF+N_COL*2+1
660 05C1 06 05 LD B,05
661 05C3 C5 REP_05: PUSH BC
662 05C4 D5 PUSH DE
663 05C5 E5 PUSH HL
664 05C6 CD 0F4F CALL DAT_CON
665 05C9 CD 1042 CALL FILL_BUFF
666 05CC 21 8009 LD HL,LINE_BUFF
667 05CF 01 0080 LD BC,N_COL
668 05D2 ED B0 LDIR
669 05D4 E1 POP HL
670 05D5 11 0004 LD DE,04

```

671 05D8 19	ADD HL,DE
672 05D9 EB	EX DE,HL
673 05DA E1	POP HL
674 05DB 01 0080	LD BC,N_COL
675 05DE 09	ADD HL,BC
676 05DF EB	EX DE,HL
677 05E0 C1	POP BC
678 05E1 10 E0	DJNZ REP_05
679 05E3 CD 0AF3	CALL WR_LCD
680 05E6 E1	POP HL
681 05E7 CD 0C76 REP_06:	CALL GETKEY
682 05EA FE 0A	CP 10
683 05EC 20 14	JR NZ,REP_07
684 05EE E5	PUSH HL
685 05EF C1	POP BC
686 05F0 11 0014	LD DE,20
687 05F3 ED 52	SBC HL,DE
688 05F5 E5	PUSH HL
689 05F6 11 8D12	LD DE,RAW_DATA
690 05F9 ED 52	SBC HL,DE
691 05FB E1	POP HL
692 05FC 30 BF	JR NC,REP_04
693 05FE C5	PUSH BC
694 05FF E1	POP HL
695 0600 18 E5	JR REP_06
696 0602 FE 0B	REP_07: CP 11

MASTER 180

```

697 0604 20 11          JR  NZ,REP_08
698 0606 E5            PUSH HL
699 0607 01 0014       LD  BC,20
700 060A 3E FF        LD  A,OFFH
701 060C ED B1        CPIR
702 060E E1          POP  HL
703 060F 28 D6        JR  Z,REP_06
704 0611 01 0014       LD  BC,20
705 0614 09          ADD  HL,BC
706 0615 18 A6        JR  REP_04
707 0617 FE 0E      REP_08:  CP   14
708 0619 CA 0263      JP   Z,VIEW
709 061C 18 C9        JR  REP_06
710
*****
711 061E CD 0852      CONTRL: CALL ROOM_SEL
712 0621 2A 8CFB      CTRL_0: LD  HL,(NUMBER)
713 0624 CD 0DBF      CALL OUTPUT_RD
714 0627 30 0C        JR  NC,CTRL_A
715 0629 CD 09C9      CALL EXPLANE
716 062C 3A 8CFE      LD  A,(ANS)
717 062F B7          OR  A
718 0630 CA 01AB      JP  Z,MAIN
719 0633 18 EC        JR  CTRL_0
720 0635 21 2953      CTRL_A: LD  HL,TABLE1
721 0638 CD 0BCF      CALL LOAD_OH
722 063B 11 0001      LD  DE,01
723 063E 3A 8000      LD  A,(FLAG)
724 0641 CB CF        SET 1,A
725 0643 32 8000      LD  (FLAG),A
726 0646 CD 06E8      CTRL_1: CALL CURSOR
727 0649 FD 21 2C53  CTRL_2: LD  IY,TABLE2
728 064D CD 073B      CALL OPTDSP

```

729 0650 CD 0C76	CTRL_3:	CALL GETKEY
730 0653 FE 0A		CP 10
731 0655 20 08		JR NZ,CTRL_4
732 0657 7B		LD A,E
733 0658 B7		OR A
734 0659 20 F5		JR NZ,CTRL_3
735 065B 5A		LD E,D
736 065C 57		LD D,A
737 065D 18 E7		JR CTRL_1
738 065F FE 0B	CTRL_4:	CP 11
739 0661 20 08		JR NZ,CTRL_5
740 0663 7A		LD A,D
741 0664 B7		OR A
742 0665 20 E9		JR NZ,CTRL_3
743 0667 53		LD D,E
744 0668 5F		LD E,A
745 0669 18 DB		JR CTRL_1
746 066B FE 0C	CTRL_5:	CP 12
747 066D 20 0B		JR NZ,CTRL_6
748 066F 7B		LD A,E
749 0670 FE 01		CP 01
750 0672 28 DC		JR Z,CTRL_3
751 0674 CB 3A		SRL D
752 0676 CB 1B		RR E
753 0678 18 CC		JR CTRL_1
754 067A FE 0D	CTRL_6:	CP 13

MASTER 180

```

755 067C 20 0B      JR  NZ,CTRL_7
756 067E 7A        LD  A,D
757 067F FE 80      CP  80H
758 0681 28 CD      JR  Z,CTRL_3
759 0683 CB 23      SLA E
760 0685 CB 12      RL  D
761 0687 18 BD      JR  CTRL_1
762 0689 FE 0E      CTRL_7: CP  14
763 068B 20 10      JR  NZ,CTRL_8
764 068D 3A 8CF8    LD  A,(ODBUFF)
765 0690 AB         XOR E
766 0691 32 8CF8    LD  (ODBUFF),A
767 0694 3A 8CF9    LD  A,(ODBUFF+1)
768 0697 AA         XOR D
769 0698 32 8CF9    LD  (ODBUFF+1),A
770 069B 18 AC      JR  CTRL_2
771 069D FE 0F      CTRL_8: CP  15
772 069F 20 AF      JR  NZ,CTRL_3
773 06A1 CD 07E7    CALL CONFIRM
774 06A4 CD 0A2A    CALL RESET
775 06A7 3A 8CFE    LD  A,(ANS)
776 06AA B7         OR  A
777 06AB C2 01AB    JP  NZ,MAIN
778 06AE 2A 8CFB    CTRL_9: LD  HL,(NUMBER)
779 06B1 CD 0E09    CALL OUTPUT_WR
780 06B4 D2 01AB    JP  NC,MAIN
781 06B7 CD 09C9    CALL EXPLANE
782 06BA 30 F2      JR  NC,CTRL_9
783 06BC 3A 8000    LD  A,(FLAG)
784 06BF CB 8F      RES 1,A
785 06C1 32 8000    LD  (FLAG),A

```

```

786 06C4 C3 01AB          JP MAIN
787          ;*****
788 06C7 E5      CUR_BLINK:  PUSH HL
789 06C8 CD 0A46          CALL DSP_OLD
790 06CB 3A 8000          LD A,(FLAG)
791 06CE CB CF          SET 1,A
792 06D0 32 8000          LD (FLAG),A
793 06D3 E1          POP HL
794 06D4 C9          RET
795          ;*****
796 06D5 F5      CUR_STOP:   PUSH AF
797 06D6 E5          PUSH HL
798 06D7 CD 0A52          CALL OLD_DSP
799 06DA 3A 8000          LD A,(FLAG)
800 06DD CB 8F          RES 1,A
801 06DF 32 8000          LD (FLAG),A
802 06E2 CD 0A2A          CALL RESET
803 06E5 E1          POP HL
804 06E6 F1          POP AF
805 06E7 C9          RET
806          ;*****
807 06E8 E5      CURSOR:   PUSH HL
808 06E9 D5          PUSH DE
809 06EA C5          PUSH BC
810 06EB D5          PUSH DE
811 06EC CD 0A2A          CALL RESET
812 06EF 06 08          LD B,08

```

MASTER 180

```

813 06F1 D1                POP DE
814 06F2 7A                LD A,D
815 06F3 BB                CP E
816 06F4 30 22            JR NC,CUR_6
817 06F6 7B      CUR_1:   LD A,E
818 06F7 21 8624          LD HL,MEM_BUFF+N_COL*2+48
819 06FA 11 000A          LD DE,10
820 06FD CB 3F      CUR_2:   SRL A
821 06FF 38 03                JR C,CUR_3
822 0701 19                ADD HL,DE
823 0702 10 F9            DJNZ CUR_2
824 0704 06 09      CUR_3:   LD B,09
825 0706 C5                PUSH BC
826 0707 36 E0      CUR_4:   LD (HL),0E0H
827 0709 23                INC HL
828 070A 10 FB            DJNZ CUR_4
829 070C 01 0077          LD BC,N_COL-09
830 070F 09                ADD HL,BC
831 0710 C1                POP BC
832 0711 36 3F      CUR_5:   LD (HL),03FH
833 0713 23                INC HL
834 0714 10 FB            DJNZ CUR_5
835 0716 18 1F                JR CUR_11
836 0718 21 86A4      CUR_6:   LD HL,MEM_BUFF+N_COL*3+48
837 071B 11 000A          LD DE,10
838 071E CB 3F      CUR_7:   SRL A
839 0720 38 03                JR C,CUR_8
840 0722 19                ADD HL,DE
841 0723 10 F9            DJNZ CUR_7
842 0725 06 09      CUR_8:   LD B,09

```

843 0727 C5

PUSH BC

```

844 0728 36 80    CUR_9:    LD  (HL),80H
845 072A 23                INC  HL
846 072B 10 FB                DJNZ CUR_9
847 072D 01 0077           LD  BC,N_COL-09
848 0730 09                ADD  HL,BC
849 0731 C1                POP  BC
850 0732 36 FF    CUR_10:   LD  (HL),0FFH
851 0734 23                INC  HL
852 0735 10 FB                DJNZ CUR_10
853 0737 C1    CUR_11:     POP  BC
854 0738 D1                POP  DE
855 0739 E1                POP  HL
856 073A C9                RET
857 ; *****
858 ; IY = Bottom Data
859 ;
860 073B D5    OPTDSP:     PUSH DE
861 073C 21 2953          LD  HL,TABLE1
862 073F CD 0B78          CALL COPY
863 0742 3A 8CFC          LD  A,(NUMBER+1)
864 0745 CD 0A5E          CALL BINASCII
865 0748 11 811C          LD  DE,DSP_BUFF+40
866 074B CD 0A7C          CALL FILL_NUM
867 074E 3A 8CFB          LD  A,(NUMBER)
868 0751 CD 0A5E          CALL BINASCII
869 0754 11 8156          LD  DE,DSP_BUFF+98
870 0757 CD 0A7C          CALL FILL_NUM

```

๔๔.

MASTER 180

871 075A	FD B5		PUSH IX
872 075C	E1		POP HL
873 075D	11 83F4		LD DE,DSP_BUFF+N_COL*6
874 0760	01 0100		LD BC,N_COL*2
875 0763	ED B0		LDIR
876 0765	DD 21 8CF8		LD IX,ODBUFF
877 0769	21 8225		LD HL,DSP_BUFF+N_COL*2+49
878 076C	0E 02		LD C,2
879 076E	11 C01F		LD DE,0C01FH
880 0771	D5	OPTDSP1:	PUSH DE
881 0772	E5		PUSH HL
882 0773	06 08		LD B,8
883 0775	C5	OPTDSP2:	PUSH BC
884 0776	DD CB 00 0E		RRC (IX+0)
885 077A	30 1B		JR NC,OPTDSP5
886 077C	06 07		LD B,07
887 077E	7E	OPTDSP3:	LD A,(HL)
888 077F	B2		OR D
889 0780	77		LD (HL),A
890 0781	23		INC HL
891 0782	10 FA		DJNZ OPTDSP3
892 0784	E5		PUSH HL
893 0785	01 0079		LD BC,N_COL-7
894 0788	09		ADD HL,BC
895 0789	06 07		LD B,07
896 078B	7E	OPTDSP4:	LD A,(HL)
897 078C	B3		OR E
898 078D	77		LD (HL),A
899 078E	23		INC HL
900 078F	10 FA		DJNZ OPTDSP4
901 0791	E1		POP HL

902 0792 23		INC HL
903 0793 23		INC HL
904 0794 23		INC HL
905 0795 18 04		JR OPTDSP6
906 0797 01 000A	OPTDSP5:	LD BC,10
907 079A 09		ADD HL,BC
908 079B C1	OPTDSP6:	POP BC
909 079C 10 D7		DJNZ OPTDSP2
910 079E E1		POP HL
911 079F 11 0080		LD DE,N_COL
912 07A2 19		ADD HL,DE
913 07A3 D1		POP DE
914 07A4 CB 22		SLA D
915 07A6 CB 13		RL E
916 07A8 CB 22		SLA D
917 07AA CB 13		RL E
918 07AC DD 23		INC IX
919 07AE 0D		DEC C
920 07AF 20 C0		JR NZ,OPTDSP1
921 07B1 21 83A5		LD HL,DSP_BUFF+N_COL*5+49
922 07B4 11 FC01		LD DE,0FC01H
923 07B7 06 08		LD B,8
924 07B9 C5	OPTDSP7:	PUSH BC
925 07BA DD CB 00 0E		RRC (IX+0)
926 07BE 30 1B		JR NC,OPTDSP10
927 07C0 06 07		LD B,07
928 07C2 7E	OPTDSP8:	LD A,(HL)

MASTER 180

```

929 07C3 B2          OR  D
930 07C4 77          LD  (HL),A
931 07C5 23          INC HL
932 07C6 10 FA      DJNZ OPTDSP8
933 07C8 E5          PUSH HL
934 07C9 01 0079    LD  BC,N_COL-7
935 07CC 09          ADD  HL,BC
936 07CD 06 07      LD  B,07
937 07CF 7E          OPTDSP9: LD  A,(HL)
938 07D0 B3          OR  E
939 07D1 77          LD  (HL),A
940 07D2 23          INC HL
941 07D3 10 FA      DJNZ OPTDSP9
942 07D5 E1          POP  HL
943 07D6 23          INC HL
944 07D7 23          INC HL
945 07D8 23          INC HL
946 07D9 18 04      JR  OPTDSP11
947 07DB 01 000A    OPTDSP10: LD  BC,10
948 07DE 09          ADD  HL,BC
949 07DF C1          OPTDSP11: POP  BC
950 07E0 10 D7      DJNZ OPTDSP7
951 07E2 CD 0AF3    CALL WR_LCD
952 07E5 D1          POP  DE
953 07E6 C9          RET
954
*****
955 07E7 E5          CONFIRM: PUSH HL
956 07E8 D5          PUSH DE
957 07E9 C5          PUSH BC
958 07EA AF          XOR  A
959 07EB 32 8CFE    LD  (ANS),A

```

960 07EE DD 21 31D3 CON_1:	LD IX,YN
961 07F2 21 81F4	LD HL,DSP_BUFF+N_COL*2
962 07F5 11 2E53	LD DE,BLANK
963 07F8 01 0180	LD BC,N_COL*3
964 07FB 1A CON_2:	LD A,(DE)
965 07FC A6	AND (HL)
966 07FD DD B6 00	OR (IX+0)
967 0800 77	LD (HL),A
968 0801 13	INC DE
969 0802 23	INC HL
970 0803 DD 23	INC IX
971 0805 0B	DEC BC
972 0806 78	LD A,B
973 0807 B1	OR C
974 0808 20 F1	JR NZ,CON_2
975 080A CD 0A2A	CALL RESET
976 080D 21 86A6	LD HL,MEM_BUFF+N_COL*3+50
977 0810 06 0B	LD B,11
978 0812 3A 8CFE	LD A,(ANS)
979 0815 B7	OR A
980 0816 28 04	JR Z,CON_3
981 0818 21 86B7	LD HL,MEM_BUFF+N_COL*3+67
982 081B 04	INC B
983 081C C5 CON_3:	PUSH BC
984 081D 36 FE CON_4:	LD (HL),0FEH
985 081F 23	INC HL
986 0820 10 FB	DJNZ CON_4

MASTER 180

```

987 0822 01 0075          LD  BC,N_COL-11
988 0825 09              ADD  HL,BC
989 0826 C1              POP  BC
990 0827 36 01  CON_5:   LD  (HL),01H
991 0829 23              INC  HL
992 082A 10 FB          DJNZ CON_5
993 082C CD 0AF3        CALL WR_LCD
994 082F CD 0C76  CON_6: CALL GETKEY
995 0832 FE 0C          CP   12
996 0834 20 06          JR   NZ,CON_7
997 0836 AF            XOR  A
998 0837 32 8CFE        LD  (ANS),A
999 083A 18 B2          JR   CON_1
1000 083C FE 0D  CON_7:  CP   13
1001 083E 20 07          JR   NZ,CON_8
1002 0840 3E FF        LD  A,0FFH
1003 0842 32 8CFE        LD  (ANS),A
1004 0845 18 A7          JR   CON_1
1005 0847 FE 0E  CON_8:  CP   14
1006 0849 20 E4          JR   NZ,CON_6
1007 084B C1            POP  BC
1008 084C D1            POP  DE
1009 084D E1            POP  HL
1010 084E C9            RET

1011  : *****
1012 084F C3 01BE  CONFIG: JP  MAIN_01
1013  : *****
1014 0852 AF  ROOM_SEL:  XOR  A
1015 0853 32 8D02        LD  (FLOOR_NUM),A
1016 0856 32 8D06        LD  (ROOM_NUM),A
1017 0859 21 3953        LD  HL,ROOM

```

1018 085C CD 0B78		CALL COPY
1019 085F CD 0AF3		CALL WR_LCD
1020 0862 18 0B		JR ROOM_02
1021 0864 21 39D3	ROOM_01:	LD HL,ROOM+N_COL
1022 0867 11 8174		LD DE,DSP_BUFF+N_COL
1023 086A 01 0100		LD BC,N_COL*2
1024 086D ED B0		LDIR
1025 086F AF	ROOM_02:	XOR A
1026 0870 32 8D02		LD (FLOOR_NUM),A
1027 0873 11 81B9	ROOM_03:	LD DE,DSP_BUFF+N_COL*1+69
1028 0876 DD 21 8D02		LD IX,FLOOR_NUM
1029 087A DD 7E 00		LD A,(IX+0)
1030 087D B7		OR A
1031 087E 28 0D		JR Z,ROOM_04
1032 0880 47		LD B,A
1033 0881 DD 23		INC IX
1034 0883 CD 0AB1		CALL FILL_NO
1035 0886 3A 8D02		LD A,(FLOOR_NUM)
1036 0889 FE 03		CP 03H
1037 088B 28 16		JR Z,ROOM_06
1038 088D EB	ROOM_04:	EX DE,HL
1039 088E 11 80F4		LD DE,DSP_BUFF
1040 0891 ED 52		SBC HL,DE
1041 0893 11 85F4		LD DE,MEM_BUFF+N_COL*2
1042 0896 19		ADD HL,DE
1043 0897 E5		PUSH HL
1044 0898 CD 0A2A		CALL RESET

MASTER 180

1045 089B E1	POP HL
1046 089C 06 0C	LD B,12
1047 089E 36 01 ROOM_05:	LD (HL),01H
1048 08A0 23	INC HL
1049 08A1 10 FB	DJNZ ROOM_05
1050 08A3 CD 06C7 ROOM_06:	CALL CUR_BLINK
1051 08A6 CD 0AF3	CALL WR_LCD
1052 08A9 CD 0C76	CALL GETKEY
1053 08AC F5	PUSH AF
1054 08AD CD 0A52	CALL OLD_DSP
1055 08B0 3A 8000	LD A,(FLAG)
1056 08B3 CB 8F	RES 1,A
1057 08B5 32 8000	LD (FLAG),A
1058 08B8 F1	POP AF
1059 08B9 FE 0A	CP 10
1060 08BB 30 29	JR NC,ROOM_09
1061 08BD 4F	LD C,A
1062 08BE DD 21 8D02	LD IX,FLOOR_NUM
1063 08C2 DD 7E 00	LD A,(IX+0)
1064 08C5 FE 03	CP 03H
1065 08C7 20 0E	JR NZ,ROOM_07
1066 08C9 C5	PUSH BC
1067 08CA 21 39D3	LD HL,ROOM+N_COL
1068 08CD 11 8174	LD DE,DSP_BUFF+N_COL
1069 08D0 01 0100	LD BC,N_COL*2
1070 08D3 ED B0	LDIR
1071 08D5 C1	POP BC
1072 08D6 AF	XOR A
1073 08D7 47 ROOM_07:	LD B,A
1074 08D8 04	INC B
1075 08D9 DD 70 00	LD (IX+0),B

1076 08DC DD 23	ROOM_08:	INC IX
1077 08DE 10 FC		DJNZ ROOM_08
1078 08E0 DD 71 00		LD (IX+0),C
1079 08E3 C3 0873		JP ROOM_03
1080 08E6 FE 0B	ROOM_09:	CP 11
1081 08E8 28 13		JR Z_ROOM_10
1082 08EA FE 0E		CP 14
1083 08EC 20 B5		JR NZ_ROOM_06
1084 08EE 3A 8D02		LD A,(FLOOR_NUM)
1085 08F1 B7		OR A
1086 08F2 28 AF		JR Z_ROOM_06
1087 08F4 3A 8D06		LD A,(ROOM_NUM)
1088 08F7 B7		OR A
1089 08F8 28 A9		JR Z_ROOM_06
1090 08FA C3 0993		JP ROOM_18
1091 08FD 21 3AD3	ROOM_10:	LD HL,ROOM+N_COL*3
1092 0900 11 8274		LD DE,DSP_BUFF+N_COL*3
1093 0903 01 0100		LD BC,N_COL*2
1094 0906 ED B0		LDIR
1095 0908 AF		XOR A
1096 0909 32 8D06		LD (ROOM_NUM),A
1097 090C 11 82B9	ROOM_11:	LD DE,DSP_BUFF+N_COL*3+69
1098 090F DD 21 8D06		LD IX,ROOM_NUM
1099 0913 DD 7E 00		LD A,(IX+0)
1100 0916 B7		OR A
1101 0917 28 0D		JR Z_ROOM_12
1102 0919 47		LD B,A

MASTER 180

```

1103 091A DD 23          INC IX
1104 091C CD 0AB1       CALL FILL_N0
1105 091F 3A 8D06      LD A,(ROOM_NUM)
1106 0922 FE 03        CP 03H
1107 0924 28 16        JR Z,ROOM_14
1108 0926 EB ROOM_12:  EX DE,HL
1109 0927 11 80F4      LD DE,DSP_BUFF
1110 092A ED 52        SBC HL,DE
1111 092C 11 85F4      LD DE,MEM_BUFF+N_COL*2
1112 092F 19          ADD HL,DE
1113 0930 E5          PUSH HL
1114 0931 CD 0A2A      CALL RESET
1115 0934 E1          POP HL
1116 0935 06 0C       LD B,12
1117 0937 36 02 ROOM_13: LD (HL),02H
1118 0939 23          INC HL
1119 093A 10 FB       DJNZ ROOM_13
1120 093C CD 06C7 ROOM_14: CALL CUR_BLINK
1121 093F CD 0AF3     CALL WR_LCD
1122 0942 CD 0C76     CALL GETKEY
1123 0945 F5          PUSH AF
1124 0946 CD 0A52     CALL OLD_DSP
1125 0949 3A 8000     LD A,(FLAG)
1126 094C CB 8F       RES 1,A
1127 094E 32 8000     LD (FLAG),A
1128 0951 F1          POP AF
1129 0952 FE 0A       CP 10
1130 0954 30 2A       JR NC,ROOM_17
1131 0956 4F          LD C,A
1132 0957 DD 21 8D06  LD IX,ROOM_NUM
1133 095B DD 7E 00    LD A,(IX+0)

```

1134 095E FE 03		CP 03H
1135 0960 C2 0971		JP NZ_ROOM_15
1136 0963 C5		PUSH BC
1137 0964 21 3AD3		LD HL,ROOM+N_COL*3
1138 0967 11 8274		LD DE,DSP_BUFF+N_COL*3
1139 096A 01 0100		LD BC,N_COL*2
1140 096D ED B0		LDIR
1141 096F C1		POP BC
1142 0970 AF		XOR A
1143 0971 47	ROOM_15:	LD B,A
1144 0972 04		INC B
1145 0973 DD 70 00		LD (IX+0),B
1146 0976 DD 23	ROOM_16:	INC IX
1147 0978 10 FC		DJNZ ROOM_16
1148 097A DD 71 00		LD (IX+0),C
1149 097D C3 090C		JP ROOM_11
1150 0980 CA 0864	ROOM_17:	JP Z_ROOM_01
1151 0983 FE 0E		CP 14
1152 0985 20 B5		JR NZ_ROOM_14
1153 0987 3A 8D02		LD A,(FLOOR_NUM)
1154 098A B7		OR A
1155 098B 28 AF		JR Z_ROOM_14
1156 098D 3A 8D06		LD A,(ROOM_NUM)
1157 0990 B7		OR A
1158 0991 28 A9		JR Z_ROOM_14
1159 0993 CD 0A2A	ROOM_18:	CALL RESET
1160 0996 21 8D02		LD HL,FLOOR_NUM

MASTER 180

1161 0999 46		LD B,(HL)
1162 099A 0E 00		LD C,0
1163 099C 23	ROOM_19:	INC HL
1164 099D 5E		LD E,(HL)
1165 099E 05		DEC B
1166 099F 28 09		JR Z,ROOM_20
1167 09A1 16 0A		LD D,10
1168 09A3 ED 5C		MLT DE
1169 09A5 7B		LD A,E
1170 09A6 81		ADD C
1171 09A7 4F		LD C,A
1172 09A8 18 F2		JR ROOM_19
1173 09AA 7B	ROOM_20:	LD A,E
1174 09AB 81		ADD C
1175 09AC 32 8CFC		LD (NUMBER+1),A
1176 09AF 21 8D06		LD HL,ROOM_NUM
1177 09B2 46		LD B,(HL)
1178 09B3 0E 00		LD C,0
1179 09B5 23	ROOM_21:	INC HL
1180 09B6 5E		LD E,(HL)
1181 09B7 05		DEC B
1182 09B8 28 09		JR Z,ROOM_22
1183 09BA 16 0A		LD D,10
1184 09BC ED 5C		MLT DE
1185 09BE 7B		LD A,E
1186 09BF 81		ADD C
1187 09C0 4F		LD C,A
1188 09C1 18 F2		JR ROOM_21
1189 09C3 7B	ROOM_22:	LD A,E
1190 09C4 81..		ADD C
1191 09C5 32 8CFB		LD (NUMBER),A

```

1192 09C8 C9                RET
1193                ;*****
1194                ; OUTPUT CY = 0 ; RETRY
1195                ;      = 1 ; CANCEL

1196 09C9 21 3553  EXPLANE:  LD  HL,ERROR
1197 09CC CD 0B78                CALL COPY
1198 09CF CD 0AF3                CALL WR_LCD
1199 09D2 18 07                JR  EXP_2
1200 09D4 CD 0C76  EXP_1:    CALL GETKEY
1201 09D7 FE 0C                CP  12
1202 09D9 20 0B                JR  NZ,EXP_3
1203 09DB AF      EXP_2:    XOR  A
1204 09DC 32 8CFE                LD  (ANS),A
1205 09DF 21 8381                LD  HL,DSP_BUFF+N_COL*5+13
1206 09E2 06 28                LD  B,40
1207 09E4 18 0E                JR  EXP_4
1208 09E6 FE 0D      EXP_3:    CP  13
1209 09E8 20 3B                JR  NZ,EXP_8
1210 09EA 3E FF                LD  A,0FFH
1211 09EC 32 8CFE                LD  (ANS),A
1212 09EF 21 83BC                LD  HL,DSP_BUFF+N_COL*5+72
1213 09F2 06 24                LD  B,36
1214 09F4 E5      EXP_4:    PUSH HL
1215 09F5 C5                PUSH BC
1216 09F6 21 3553                LD  HL,ERROR
1217 09F9 CD 0B78                CALL COPY
1218 09FC C1                POP  BC

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MASTER 180

1219 09FD E1		POP HL
1220 09FE 11 0080		LD DE,N_COL
1221 0A01 C5		PUSH BC
1222 0A02 E5		PUSH HL
1223 0A03 7E	EXP_5:	LD A,(HL)
1224 0A04 EE F8		XOR 0F8H
1225 0A06 77		LD (HL),A
1226 0A07 23		INC HL
1227 0A08 10 F9		DJNZ EXP_5
1228 0A0A E1		POP HL
1229 0A0B 19		ADD HL,DE
1230 0A0C C1		POP BC
1231 0A0D C5		PUSH BC
1232 0A0E E5		PUSH HL
1233 0A0F 7E	EXP_6:	LD A,(HL)
1234 0A10 EE FF		XOR 0FFH
1235 0A12 77		LD (HL),A
1236 0A13 23		INC HL
1237 0A14 10 F9		DJNZ EXP_6
1238 0A16 E1		POP HL
1239 0A17 19		ADD HL,DE
1240 0A18 C1		POP BC
1241 0A19 7E	EXP_7:	LD A,(HL)
1242 0A1A EE 03		XOR 03H
1243 0A1C 77		LD (HL),A
1244 0A1D 23		INC HL
1245 0A1E 10 F9		DJNZ EXP_7
1246 0A20 CD 0AF3		CALL WR_LCD
1247 0A23 18 AF		JR EXP_1
1248 0A25 FE 0E	EXP_8:	CP 14
1249 0A27 20 AB		JR NZ,EXP_1

```

1250 0A29 C9                                RET
1251      ;*****
1252 0A2A 21 84F4  RESET:                    LD  HL,MEM_BUFF
1253 0A2D 11 84F5                                LD  DE,MEM_BUFF+1
1254 0A30 01 03FF                                LD  BC,N_COL*N_ROW/8-1
1255 0A33 36 00                                LD  (HL),0
1256 0A35 ED B0                                LDIR
1257 0A37 C9                                RET
1258      ;*****
1259 0A38 21 80F4  DSPBUF_CL:                LD  HL,DSP_BUFF
1260 0A3B 11 80F5                                LD  DE,DSP_BUFF+1
1261 0A3E 01 03FF                                LD  BC,N_COL*N_ROW/8-1
1262 0A41 36 00                                LD  (HL),0
1263 0A43 ED B0                                LDIR
1264 0A45 C9                                RET
1265      ;*****
1266 0A46 21 80F4  DSP_OLD                    LD  HL,DSP_BUFF
1267 0A49 11 88F4                                LD  DE,OLD_BUFF
1268 0A4C 01 0400                                LD  BC,N_COL*N_ROW/8
1269 0A4F ED B0                                LDIR
1270 0A51 C9                                RET
1271      ;*****
1272 0A52 21 88F4  OLD_DSP:                    LD  HL,OLD_BUFF
1273 0A55 11 80F4                                LD  DE,DSP_BUFF
1274 0A58 01 0400                                LD  BC,N_COL*N_ROW/8
1275 0A5B ED B0                                LDIR
1276 0A5D C9                                RET

```

MASTER 180

```

1277      ;*****
1278      ; Change Binary 1 byte to ASCII 3 Digit
1279      ; A = Binary
1280      ;
1281 0A5E 21 8DOC  BINASCII:  LD HL,ASCII
1282 0A61 06 00      LD B,0
1283 0A63 4F      BIN_1:  LD C,A
1284 0A64 D6 64      SUB 100
1285 0A66 38 03      JR C,BIN_2
1286 0A68 04      INC B
1287 0A69 18 F8      JR BIN_1
1288 0A6B 70      BIN_2:  LD (HL),B
1289 0A6C 23      INC HL
1290 0A6D 79      LD A,C
1291 0A6E 06 00      LD B,0
1292 0A70 4F      BIN_3:  LD C,A
1293 0A71 D6 0A      SUB 10
1294 0A73 38 03      JR C,BIN_4
1295 0A75 04      INC B
1296 0A76 18 F8      JR BIN_3
1297 0A78 70      BIN_4:  LD (HL),B
1298 0A79 23      INC HL
1299 0A7A 71      LD (HL),C
1300 0A7B C9      RET
1301      ;*****
1302      ; DE = Buffer Point
1303      ;
1304 0A7C DD 21 8DOC  FILL_NUM: LD IX,ASCII
1305 0A80 06 03      LD B,3
1306 0A82 C5      FILL_1:  PUSH BC
1307 0A83 06 06      LD B,06H

```

1308 0A85 DD 4E 00		LD C,(IX+0)
1309 0A88 ED 4C		MLT BC
1310 0A8A 21 42D3		LD HL,NUM_FONT1
1311 0A8D 09		ADD HL,BC
1312 0A8E EB		EX DE,HL
1313 0A8F 06 06		LD B,06H
1314 0A91 1A	FILL_2:	LD A,(DE)
1315 0A92 CB 27		SLA A
1316 0A94 F5		PUSH AF
1317 0A95 B6		OR (HL)
1318 0A96 77		LD (HL),A
1319 0A97 F1		POP AF
1320 0A98 30 0C		JR NC,FILL_3
1321 0A9A E5		PUSH HL
1322 0A9B C5		PUSH BC
1323 0A9C 01 0080		LD BC,N_COL
1324 0A9F 09		ADD HL,BC
1325 0AA0 7E		LD A,(HL)
1326 0AA1 F6 01		OR 01
1327 0AA3 77		LD (HL),A
1328 0AA4 C1		POP BC
1329 0AA5 E1		POP HL
1330 0AA6 23	FILL_3:	INC HL
1331 0AA7 13		INC DE
1332 0AA8 10 E7		DJNZ FILL_2
1333 0AAA DD 23		INC IX
1334 0AAC C1		POP BC

MASTER 180

```

1335 0AAD EB          EX DE,HL
1336 0AAE 10 D2       DJNZ FILL_1
1337 0AB0 C9          RET
1338 *****
1339 0AB1 C5          FILL_N0:  PUSH BC
1340 0AB2 D5          PUSH DE
1341 0AB3 21 0000     LD HL,0
1342 0AB6 06 00       LD B,0
1343 0AB8 DD 4E 00    LD C,(IX+0)
1344 0ABB CB 21       SLA C
1345 0ABD CB 10       RL B
1346 0ABF CB 21       SLA C
1347 0AC1 CB 10       RL B
1348 0AC3 CB 21       SLA C
1349 0AC5 CB 10       RL B
1350 0AC7 09          ADD HL,BC
1351 0AC8 CB 21       SLA C
1352 0ACA CB 10       RL B
1353 0ACC 09          ADD HL,BC
1354 0ACD 01 430F     LD BC,NUM_FONT2
1355 0AD0 09          ADD HL,BC
1356 0AD1 EB          EX DE,HL
1357 0AD2 01 0C02     LD BC,0C02H
1358 0AD5 C5          FILL_N1:  PUSH BC
1359 0AD6 E5          PUSH HL
1360 0AD7 1A          FILL_N2:  LD A,(DE)
1361 0AD8 B6          OR (HL)
1362 0AD9 77          LD (HL),A
1363 0ADA 23          INC HL
1364 0ADB 13          INC DE

```

1366 0ADE E1	POP HL
1367 0ADF 01 0080	LD BC,N_COL
1368 0AE2 09	ADD HL,BC
1369 0AE3 C1	POP BC
1370 0AE4 0D	DEC C
1371 0AE5 20 EE	JR NZ,FILL_N1
1372 0AE7 E1	POP HL
1373 0AE8 11 000C	LD DE,12
1374 0AEB 19	ADD HL,DE
1375 0AEC EB	EX DE,HL
1376 0AED DD 23	INC IX
1377 0AEF C1	POP BC
1378 0AF0 10 BF	DJNZ FILL_N0
1379 0AF2 C9	RET
1380	*****
1381 0AF3 3E 3F	WR_LCD: LD A,3FH ; Display ON Code
1382 0AF5 D3 C0	OUT (C_PORT),A
1383 0AF7 D3 C1	OUT (C_PORT+1),A
1384 0AF9 AF	XOR A
1385 0AFA 32 8001	LD (X_ADDR),A
1386 0AFD 32 8002	LD (Y_ADDR),A
1387 0B00 32 8003	LD (C_ADDR),A
1388 0B03 21 80F4	LD HL,DSP_BUFF
1389 0B06 CD 0B40	CALL SET_X
1390 0B09 CD 0B57	CALL SET_Y
1391 0B0C CD 0B10	CALL WR_DISP
1392 0B0F C9	RET

MASTER 180

```

1393      ;*****
1394 0B10 06 40   WR_DISP:   LD  B,64
1395 0B12 3A 8003      LD  A,(C_ADDR)
1396 0B15 0E C2      LD  C,(D_PORT)
1397 0B17 B1         OR  C
1398 0B18 4F         LD  C,A
1399 0B19 7E   WR_1:   LD  A,(HL)
1400 0B1A ED 79      OUT (C),A
1401 0B1C 23         INC HL
1402 0B1D 10 FA      DJNZ WR_1
1403 0B1F 3A 8003      LD  A,(C_ADDR)
1404 0B22 FE 01      CP  01H
1405 0B24 20 11      JR  NZ,WR_2
1406 0B26 3A 8001      LD  A,(X_ADDR)
1407 0B29 3C         INC  A
1408 0B2A FE 08      CP  08H
1409 0B2C 30 11      JR  NC,WR_3
1410 0B2E 32 8001      LD  (X_ADDR),A
1411 0B31 CD 0B40      CALL SET_X
1412 0B34 3A 8003      LD  A,(C_ADDR)
1413 0B37 2F   WR_2:   CPL
1414 0B38 E6 01      AND 01H
1415 0B3A 32 8003      LD  (C_ADDR),A
1416 0B3D 18 D1      JR  WR_DISP
1417 0B3F C9   WR_3:   RET
1418      ;***** Set Page by X_ADDR *****
1419 0B40 C5   SET_X:   PUSH BC
1420 0B41 3A 8001      LD  A,(X_ADDR)
1421 0B44 0E C0      LD  C,C_PORT
1422 0B46 F6 B8      OR  XS
1423 0B48 CD 0B6E      CALL READY

```

```

1424 0B4B ED 79      OUT (C),A
1425 0B4D 0E C0     LD C,C_PORT
1426 0B4F 0C        INC C
1427 0B50 CD 0B6E   CALL READY
1428 0B53 ED 79      OUT (C),A
1429 0B55 C1        POP BC
1430 0B56 C9        RET
1431                ;***** Set Column by Y_ADDR *****
1432 0B57 C5      SET_Y:    PUSH BC
1433 0B58 3A 8002   LD A,(Y_ADDR)
1434 0B5B 0E C0     LD C,C_PORT
1435 0B5D F6 40     OR Y5
1436 0B5F CD 0B6E   CALL READY
1437 0B62 ED 79      OUT (C),A
1438 0B64 0E C0     LD C,C_PORT
1439 0B66 0C        INC C
1440 0B67 CD 0B6E   CALL READY
1441 0B6A ED 79      OUT (C),A
1442 0B6C C1        POP BC
1443 0B6D C9        RET
1444                ;*****
1445 0B6E C5      READY:    PUSH BC
1446 0B6F ED 40     READY0: IN B,(C)
1447 0B71 CB 78     BIT 7,B
1448 0B73 C2 0B6F   JP NZ,READY0
1449 0B76 C1        POP BC
1450 0B77 C9        RET

```

MASTER 180

```

1451      ;*****
1452 0B78 01 0400 COPY:      LD BC,N_COL*N_ROW/8
1453 0B7B 11 80F4          LD DE,DSP_BUFF
1454 0B7E ED B0           LDIR
1455 0B80 C9              RET
1456      ;*****
1457 0B81 01 0080 LOAD_L:   LD BC,N_COL
1458 0B84 09              ADD HL,BC
1459 0B85 2B              DEC HL
1460 0B86 41              LD B,C
1461 0B87 11 8173          LD DE,DSP_BUFF+N_COL-1
1462 0B8A C5              LOAD_L1: PUSH BC
1463 0B8B D5              PUSH DE
1464 0B8C E5              PUSH HL
1465 0B8D 06 08          LD B,N_ROW/8
1466 0B8F C5              LOAD_L2: PUSH BC
1467 0B90 01 0080          LD BC,N_COL
1468 0B93 7E              LD A,(HL)
1469 0B94 09              ADD HL,BC
1470 0B95 EB              EX DE,HL
1471 0B96 77              LD (HL),A
1472 0B97 09              ADD HL,BC
1473 0B98 EB              EX DE,HL
1474 0B99 C1              POP BC
1475 0B9A 10 F3          DJNZ LOAD_L2
1476 0B9C CD 0AF3        CALL WR_LCD
1477 0B9F CD 0C5C        CALL DELAY
1478 0BA2 E1              POP HL
1479 0BA3 D1              POP DE
1480 0BA4 2B              DEC HL
1481 0BA5 1B              DEC DE

```

```

1482 0BA6 C1          POP BC
1483 0BA7 10 E1       DJNZ LOAD_L1
1484 0BA9 C9          RET
1485          ;*****
1486 0BAA 06 80      LOAD_R:      LD B,N_COL
1487 0BAC 11 80F4     LD DE,DSP_BUFF
1488 0BAF C5          LOAD_R1:     PUSH BC
1489 0BB0 D5          PUSH DE
1490 0BB1 E5          PUSH HL
1491 0BB2 06 08      LD B,N_ROW/8
1492 0BB4 C5          LOAD_R2:     PUSH BC
1493 0BB5 01 0080    LD BC,N_COL
1494 0BB8 7E          LD A,(HL)
1495 0BB9 09          ADD HL,BC
1496 0BBA EB          EX DE,HL
1497 0BBB 77          LD (HL),A
1498 0BBC 09          ADD HL,BC
1499 0BBD EB          EX DE,HL
1500 0BBE C1          POP BC
1501 0BBF 10 F3       DJNZ LOAD_R2
1502 0BC1 CD 0AF3     CALL WR_LCD
1503 0BC4 CD 0C5C     CALL DELAY
1504 0BC7 E1          POP HL
1505 0BC8 D1          POP DE
1506 0BC9 23          INC HL
1507 0BCA 13          INC DE
1508 0BCB C1          POP BC

```

MASTER 180

```

1509 0BCC 10 E1          DJNZ LOAD_R1
1510 0BCE C9           RET
1511                ;*****
1512 0BCF 01 0040  LOAD_OH:  LD BC,N_COL/2
1513 0BD2 DD 21 8133     LD IX,DSP_BUFF+N_COL/2-1
1514 0BD6 FD 21 8134     LD IY,DSP_BUFF+N_COL/2
1515 0BDA 09           ADD HL,BC
1516 0BDB E5           PUSH HL
1517 0BDC D1           POP DE
1518 0BDD 1B           DEC DE
1519 0BDE 06 40         LD B,N_COL/2
1520 0BE0 C5           LOAD_OH1:  PUSH BC
1521 0BE1 D5           PUSH DE
1522 0BE2 E5           PUSH HL
1523 0BE3 FD E5         PUSH IY
1524 0BE5 DD E5         PUSH IX
1525 0BE7 06 08         LD B,N_ROW/8
1526 0BE9 C5           LOAD_OH2:  PUSH BC
1527 0BEA 01 0080     LD BC,N_COL
1528 0BED 7E           LD A,(HL)
1529 0BEE FD 77 00     LD (IY+0),A
1530 0BF1 09           ADD HL,BC
1531 0BF2 FD 09         ADD IY,BC
1532 0BF4 EB           EX DE,HL
1533 0BF5 7E           LD A,(HL)
1534 0BF6 DD 77 00     LD (IX+0),A
1535 0BF9 09           ADD HL,BC
1536 0BFA DD 09         ADD IX,BC
1537 0BFC EB           EX DE,HL
1538 0bfd C1           POP BC
1539 0BFE 10 E9         DJNZ LOAD_OH2

```

1540 0C00 CD 0AF3	CALL WR_LCD
1541 0C03 CD 0C5C	CALL DELAY
1542 0C06 DD E1	POP IX
1543 0C08 FD E1	POP IY
1544 0C0A E1	POP HL
1545 0C0B D1	POP DE
1546 0C0C 23	INC HL
1547 0C0D FD 23	INC IY
1548 0C0F 1B	DEC DE
1549 0C10 DD 2B	DEC IX
1550 0C12 C1	POP BC
1551 0C13 10 CB	DJNZ LOAD_OHI
1552 0C15 C9	RET
1553	*****
1554 0C16 01 007F LOAD_IH:	LD BC,N_COL-1
1555 0C19 DD 21 80F4	LD IX,DSP_BUFF
1556 0C1D FD 21 8173	LD IY,DSP_BUFF+N_COL-1
1557 0C21 E5	PUSH HL
1558 0C22 D1	POP DE
1559 0C23 09	ADD HL,BC
1560 0C24 06 40	LD B,N_COL/2
1561 0C26 C5 LOAD_IH1:	PUSH BC
1562 0C27 D5	PUSH DE
1563 0C28 E5	PUSH HL
1564 0C29 FD E5	PUSH IY
1565 0C2B DD E5	PUSH IX
1566 0C2D 06 08	LD B,N_ROW/8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MASTER 180

```

1567 0C2F C5      LOAD_IH2:      PUSH BC
1568 0C30 01 0080 LD BC,N_COL
1569 0C33 7E      LD A,(HL)
1570 0C34 FD 77 00 LD (Y+0),A
1571 0C37 09      ADD HL,BC
1572 0C38 FD 09   ADD IY,BC
1573 0C3A EB      EX DE,HL
1574 0C3B 7E      LD A,(HL)
1575 0C3C DD 77 00 LD (X+0),A
1576 0C3F 09      ADD HL,BC
1577 0C40 DD 09   ADD IX,BC
1578 0C42 EB      EX DE,HL
1579 0C43 C1      POP BC
1580 0C44 10 E9   DJNZ LOAD_IH2
1581 0C46 CD 0AF3 CALL WR_LCD
1582 0C49 CD 0C5C CALL DELAY
1583 0C4C DD E1   POP IX
1584 0C4E FD E1   POP IY
1585 0C50 E1      POP HL
1586 0C51 D1      POP DE
1587 0C52 2B      DEC HL
1588 0C53 FD 2B   DEC IY
1589 0C55 13      INC DE
1590 0C56 DD 23   INC IX
1591 0C58 C1      POP BC
1592 0C59 10 CB   DJNZ LOAD_IH1
1593 0C5B C9      RET
1594      ;*****
1595 0C5C F5      DELAY:      PUSH AF
1596 0C5D C5      PUSH BC
1597 0C5E 01 0001 LD BC,01

```

```

1598 0C61 0B      DEL_1:          DEC BC
1599 0C62 78          LD A,B
1600 0C63 B1          OR C
1601 0C64 20 FB      JR NZ,DEL_1
1602 0C66 C1          POP BC
1603 0C67 F1          POP AF
1604 0C68 C9          RET
1605                ;*****
1606 0C69 F5      DELAY_1:      PUSH AF
1607 0C6A CS          PUSH BC
1608 0C6B 01 FFFF     LD BC,0FFFFH
1609 0C6E 0B      DEL_2:          DEC BC
1610 0C6F 78          LD A,B
1611 0C70 B1          OR C
1612 0C71 20 FB      JR NZ,DEL_2
1613 0C73 C1          POP BC
1614 0C74 F1          POP AF
1615 0C75 C9          RET
1616                ;*****
1617                ; A = O/P Binary Code
1618                ;
1619 0C76 D5      GETKEY:      PUSH DE
1620 0C77 06 04     GETKEY_0:    LD B,4
1621 0C79 0E 08     LD C,08H
1622 0C7B 79      GETKEY_1:    LD A,C
1623 0C7C 2F          CPL
1624 0C7D D3 82     OUT (KEY_IN),A

```

MASTER 180

```

1625 0C7F DB 82          IN  A,(KEY_IN)    ; In Key
1626 0C81 E6 F0          AND  11110000B
1627 0C83 FE F0          CP   11110000B
1628 0C85 28 12          JR  Z,GETKEY_3    ; No Key Press
1629 0C87 57             LD  D,A
1630 0C88 C5             PUSH BC
1631 0C89 01 1000        LD  BC,1000H
1632 0C8C 0B             GETKEY_2:         DEC  BC
1633 0C8D 78             LD  A,B
1634 0C8E B1             OR  C
1635 0C8F 20 FB          JR  NZ,GETKEY_2
1636 0C91 C1             POP  BC
1637 0C92 DB 82          IN  A,(KEY_IN)
1638 0C94 E6 F0          AND  11110000B
1639 0C96 BA             CP   D
1640 0C97 28 0B          JR  Z,GETKEY_4
1641 0C99 CB 39          GETKEY_3:         SRL  C
1642 0C9B 10 DE          DJNZ GETKEY_1
1643 0C9D 3E FF          LD  A,0FFH
1644 0C9F 32 8CF7        LD  (KEY_PRESS),A
1645 0CA2 18 D3          JR  GETKEY_0
1646 0CA4 2F             GETKEY_4:         CPL
1647 0CA5 05             DEC  B
1648 0CA6 CB 7F          BIT  7,A
1649 0CA8 20 14          JR  NZ,GETKEY_7
1650 0CAA CB 77          BIT  6,A
1651 0CAC 20 0C          JR  NZ,GETKEY_6
1652 0CAE CB 6F          BIT  5,A
1653 0CB0 20 04          JR  NZ,GETKEY_5
1654 0CB2 3E 00          LD  A,00H
1655 0CB4 18 0A          JR  GETKEY_8

```

```

1656 0CB6 3E 01   GETKEY_5:   LD  A,01H
1657 0CB8 18 06           JR  GETKEY_8
1658 0CBA 3E 02   GETKEY_6:   LD  A,02H
1659 0CBC 18 02           JR  GETKEY_8
1660 0CBE 3E 03   GETKEY_7:   LD  A,03H
1661 0CC0 CB 20   GETKEY_8:   SLA B
1662 0CC2 CB 20           SLA B
1663 0CC4 B0           OR  B
1664 0CC5 F5           PUSH AF
1665 0CC6 3A 8CF7       LD  A,(KEY_PRESS)
1666 0CC9 47           LD  B,A
1667 0CCA F1           POP AF
1668 0CCB B8           CP  B
1669 0CCC 28 A9         JR  Z,GETKEY_0
1670 0CCE 32 8CF7       LD  (KEY_PRESS),A
1671 0CD1 D1           POP DE
1672 0CD2 C9           RET
1673   ;*****
1674 0CD3 F3   CLOCK:   DI
1675 0CD4 F5           PUSH AF
1676 0CD5 ED 38 10   CLK_1:   IN0 A,(TCR) ; Timer Control Register
1677 0CD8 CB 77           BIT 6,A ; Timer Interrupt flag ch.0
1678 0CDA 28 F9         JR  Z,CLK_1
1679 0CDC ED 38 0C   IN0 A,(TMDROL) ; Timer data register ch.0L
1680 0CDF F1           POP AF
1681 0CE0 FB           EI
1682 0CE1 ED 4D         RETI

```

MASTER 180

```

1683          ;*****
1684 0CE3 F3      CURBLINK:      DI
1685 0CE4 F5          PUSH AF
1686 0CE5 E5          PUSH HL
1687 0CE6 ED 38 10  CUR_B1:      IN0 A,(TCR)      ; Timer Control Register
1688 0CE9 CB 7F          BIT 7,A          ; Timer Interrupt flag ch.1
1689 0CEB 28 E8          JR Z,CLK_1
1690 0CED ED 38 14          IN0 A,(TMDR1L) ; Timer data register ch.1L
1691 0CF0 21 8000          LD HL,FLAG
1692 0CF3 CB 4E          BIT 1,(HL)
1693 0CF5 28 30          JR Z,CUR_B3
1694 0CF7 3A 8CFD          LD A,(COUNT)
1695 0CFA 3D          DEC A
1696 0CFB 32 8CFD          LD (COUNT),A
1697 0CFE 20 27          JR NZ,CUR_B3
1698 0D00 3E 03          LD A,03
1699 0D02 32 8CFD          LD (COUNT),A
1700 0D05 3E 01          LD A,01H
1701 0D07 AE          XOR (HL)
1702 0D08 77          LD (HL),A
1703 0D09 E6 01          AND 01H
1704 0D0B 28 1A          JR Z,CUR_B3
1705 0D0D D5          PUSH DE
1706 0D0E C5          PUSH BC
1707 0D0F 21 80F4          LD HL,DSP_BUFF
1708 0D12 11 84F4          LD DE,MEM_BUFF
1709 0D15 01 0400          LD BC,N_COL*N_ROW/8
1710 0D18 1A      CUR_B2:      LD A,(DE)
1711 0D19 AE          XOR (HL)
1712 0D1A 77          LD (HL),A
1713 0D1B 23          INC HL

```

```

1714 0D1C 13          INC DE
1715 0D1D 0B          DEC BC
1716 0D1E 78          LD A,B
1717 0D1F B1          OR C
1718 0D20 20 F6       JR NZ,CUR_B2
1719 0D22 CD 0AF3     CALL WR_LCD
1720 0D25 C1          POP BC
1721 0D26 D1          POP DE
1722 0D27 E1          POP HL
1723 0D28 F1          POP AF
1724 0D29 FB          EI
1725 0D2A ED 4D       RETI
1726                  ;*****
1727                  ; OUTPUT ; CY = 0 OK.
1728                  ; = 1 ERROR
1729                  ; HL = Room number
1730                  ;
1731 0D2C F3          READ_TIME: DI
1732 0D2D CD 10A0     CALL SEND_NUM
1733 0D30 ED 38 04    IN0 A,(STAT0)
1734 0D33 E6 F7       AND 0F7H
1735 0D35 ED 39 04    OUT0 (STAT0),A
1736 0D38 3E 01       LD A,01 ; Byte Count
1737 0D3A CD 10FE     CALL TXBYTE_0
1738 0D3D 3E 00       LD A,0 ; Read time code
1739 0D3F CD 10FE     CALL TXBYTE_0
1740 0D42 CD 10E5     CALL RXBYTE_0

```

MASTER 180

```

1741 0D45 38 16          JR  C,RD_TIME3
1742 0D47 FE 00          CP  0
1743 0D49 20 11          JR  NZ,RD_TIME2
1744 0D4B 21 8D0F        LD  HL,T_BUFF
1745 0D4E 16 03          LD  D,03
1746 0D50 CD 10E5  RD_TIME1: CALL RXBYTE_0
1747 0D53 38 08          JR  C,RD_TIME3
1748 0D55 77             LD  (HL),A
1749 0D56 23             INC HL
1750 0D57 15             DEC  D
1751 0D58 20 F6          JR  NZ,RD_TIME1
1752 0D5A 18 01          JR  RD_TIME3
1753 0D5C 37             RD_TIME2: SCF
1754 0D5D CD 10BB  RD_TIME3: CALL LINE_IDLE
1755 0D60 F5             PUSH AF
1756 0D61 ED 38 04        IN0 A,(STAT0)
1757 0D64 F6 08          OR  08H
1758 0D66 ED 39 04        OUT0 (STAT0),A
1759 0D69 F1             POP  AF
1760 0D6A FB             EI
1761 0D6B C9             RET

1762          ;*****
1763          ; OUTPUT ; CY = 0 OK.
1764          ;          = 1 ERROR
1765          ; HL = Room number
1766          ;

1767 0D6C F3             SET_TIME:  DI
1768 0D6D CD 10A0        CALL SEND_NUM
1769 0D70 ED 38 04        IN0 A,(STAT0)
1770 0D73 E6 F7          AND  0F7H
1771 0D75 ED 39 04        OUT0 (STAT0),A

```

1772 0D78 3E 04	LD A,04 ; Byte Count
1773 0D7A CD 10FE	CALL TXBYTE_0
1774 0D7D 3E 01	LD A,01
1775 0D7F CD 10FE	CALL TXBYTE_0
1776 0D82 21 8D0F	LD HL,T_BUFF
1777 0D85 E5	PUSH HL
1778 0D86 7E	LD A,(HL) ; Hour
1779 0D87 CD 10FE	CALL TXBYTE_0
1780 0D8A 23	INC HL
1781 0D8B 7E	LD A,(HL) ; Minute
1782 0D8C CD 10FE	CALL TXBYTE_0
1783 0D8F 23	INC HL
1784 0D90 7E	LD A,(HL) ; Second
1785 0D91 CD 10FE	CALL TXBYTE_0
1786 0D94 E1	POP HL
1787 0D95 CD 10E5	CALL RXBYTE_0
1788 0D98 38 16	JR C,SET_T2
1789 0D9A FE 01	CP 01
1790 0D9C 20 11	JR NZ,SET_T1
1791 0D9E CD 10E5	CALL RXBYTE_0
1792 0DA1 38 0D	JR C,SET_T2
1793 0DA3 BE	CP (HL)
1794 0DA4 20 09	JR NZ,SET_T1
1795 0DA6 23	INC HL
1796 0DA7 CD 10E5	CALL RXBYTE_0
1797 0DAA 38 04	JR C,SET_T2
1798 0DAC BE	CP (HL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MASTER 180

```

1799 0DAD 28 01          JR  Z,SET_T2
1800 0DAF 37          SET_T1:      SCF
1801 0DB0 CD 10BB      SET_T2:      CALL LINE_IDLE
1802 0DB3 F5          PUSH AF
1803 0DB4 ED 38 04      IN0 A,(STAT0)
1804 0DB7 F6 08          OR  08H
1805 0DB9 ED 39 04      OUT0 (STAT0),A
1806 0DBC F1          POP AF
1807 0DBD FB          EI
1808 0DBE C9          RET
1809          ;*****
1810          ; OUTPUT ; CY = 0 OK.
1811          ;          = 1 ERROR
1812          ; HL = Room number
1813          ;
1814 0DBF F3          OUTPUT_RD:  DI
1815 0DC0 CD 10A0      CALL SEND_NUM
1816 0DC3 ED 38 04      IN0 A,(STAT0)
1817 0DC6 E6 F7          AND 0F7H
1818 0DC8 ED 39 04      OUT0 (STAT0),A
1819 0DCB 3E 01          LD  A,01          ; Byte Count
1820 0DCD CD 10FE      CALL TXBYTE_0
1821 0DD0 3E 02          LD  A,02          ; Read Output Function
1822 0DD2 CD 10FE      CALL TXBYTE_0
1823 0DD5 CD 10E5      CALL RXBYTE_0
1824 0DD8 38 20          JR  C,OUT_RD2
1825 0DDA FE 02          CP  02
1826 0DDC 20 1B          JR. NZ,OUT_RD1
1827 0DDE CD 10E5      CALL RXBYTE_0
1828 0DE1 38 17          JR  C,OUT_RD2
1829 0DE3 32 8CF8      LD  (ODBUFF),A

```

```

1830 0DE6 CD 10E5      CALL RXBYTE_0
1831 0DE9 38 0F        JR C,OUT_RD2
1832 0DEB 32 8CF9      LD (ODBUFF+1),A
1833 0DEE CD 10E5      CALL RXBYTE_0
1834 0DF1 38 07        JR C,OUT_RD2
1835 0DF3 2F           CPL
1836 0DF4 32 8CFA      LD (SNSRBUF),A
1837 0DF7 18 01        JR OUT_RD2
1838 0DF9 37           OUT_RD1: SCF
1839 0DFA CD 10BB      OUT_RD2: CALL LINE_IDLE
1840 0DFD F5           PUSH AF
1841 0DFE ED 38 04      IN0 A,(STAT0)
1842 0E01 F6 08        OR 08H
1843 0E03 ED 39 04      OUT0 (STAT0),A
1844 0E06 F1           POP AF
1845 0E07 FB           EI
1846 0E08 C9           RET
1847
1848 ;*****
1848 ; OUTPUT ; CY = 0-OK.
1849 ;           = 1 ERROR
1850 ; HL = Room number
1851 ;
1852 0E09 F3           OUTPUT_WR: DI
1853 0E0A CD 10A0      CALL SEND_NUM
1854 0E0D ED 38 04      IN0 A,(STAT0)
1855 0E10 E6 F7        AND 0F7H
1856 0E12 ED 39 04      OUT0 (STAT0),A

```

MASTER 180

```

1857 0E15 3E 03          LD  A,03      ; Byte Count
1858 0E17 CD 10FE        CALL TXBYTE_0
1859 0E1A 3E 03          LD  A,03      ; Write Output Function
1860 0E1C CD 10FE        CALL TXBYTE_0
1861 0E1F 3A 8CF8        LD  A,(ODBUFF)
1862 0E22 CD 10FE        CALL TXBYTE_0
1863 0E25 3A 8CF9        LD  A,(ODBUFF+1)
1864 0E28 CD 10FE        CALL TXBYTE_0
1865 0E2B 21 8CF8        LD  HL,ODBUFF
1866 0E2E CD 10E5        CALL RXBYTE_0
1867 0E31 38 16          JR  C,OUT_WR2
1868 0E33 FE 03          CP  03
1869 0E35 20 11          JR  NZ,OUT_WR1
1870 0E37 CD 10E5        CALL RXBYTE_0
1871 0E3A 38 0D          JR  C,OUT_WR2
1872 0E3C BE             CP  (HL)
1873 0E3D 20 09          JR  NZ,OUT_WR1
1874 0E3F 23             INC  HL
1875 0E40 CD 10E5        CALL RXBYTE_0
1876 0E43 38 04          JR  C,OUT_WR2
1877 0E45 BE             CP  (HL)
1878 0E46 28 01          JR  Z,OUT_WR2
1879 0E48 37          OUT_WR1:  SCF
1880 0E49 CD 10BB        OUT_WR2:  CALL LINE_IDLE
1881 0E4C F5             PUSH AF
1882 0E4D ED 38 04       IN0  A,(STAT0)
1883 0E50 F6 08          OR  08H
1884 0E52 ED 39 04       OUT0 (STAT0),A
1885 0E55 F1             POP  AF
1886 0E56 FB             EI
1887 0E57 C9             RET

```

```

1888      ;*****
1889      ; OUTPUT ; CY = 0 OK.
1890      ;      = 1 ERROR
1891      ; HL = Room number
1892      ;
1893 0E58 F3      PCOUTP_WR:      DI
1894 0E59 CD 10A0      CALL SEND_NUM
1895 0E5C ED 38 04      IN0 A,(STAT0)
1896 0E5F E6 F7      AND 0F7H
1897 0E61 ED 39 04      OUT0 (STAT0),A
1898 0E64 3E 03      LD A,03      ; Byte Count
1899 0E66 CD 10FE      CALL TXBYTE_0
1900 0E69 3E 04      LD A,04      ; Write Output Function
1901 0E6B CD 10FE      CALL TXBYTE_0
1902 0E6E 3A 8CF8      LD A,(ODBUFF)
1903 0E71 CD 10FE      CALL TXBYTE_0
1904 0E74 3A 8CF9      LD A,(ODBUFF+1)
1905 0E77 CD 10FE      CALL TXBYTE_0
1906 0E7A 21 8CF8      LD HL,ODBUFF
1907 0E7D CD 10E5      CALL RXBYTE_0
1908 0E80 38 16      JR C,PCOUT_2
1909 0E82 FE 03      CP 03
1910 0E84 20 11      JR NZ,PCOUT_1
1911 0E86 CD 10E5      CALL RXBYTE_0
1912 0E89 38 0D      JR C,PCOUT_2
1913 0E8B BE      CP (HL)
1914 0E8C 20 09      JR NZ,PCOUT_1

```

MASTER 180

```

1915 0E8E 23          INC HL
1916 0E8F CD 10E5     CALL RXBYTE_0
1917 0E92 38 04      JR  C,PCOUT_2
1918 0E94 BE         CP  (HL)
1919 0E95 28 01      JR  Z,PCOUT_2
1920 0E97 37          PCOUT_1: SCF
1921 0E98 CD 10BB     PCOUT_2: CALL LINE_IDLE
1922 0E9B F5         PUSH AF
1923 0E9C ED 38 04   IN0  A,(STAT0)
1924 0E9F F6 08      OR  08H
1925 0EA1 ED 39 04   OUT0 (STAT0),A
1926 0EA4 F1         POP  AF
1927 0EA5 FB         EI
1928 0EA6 C9         RET
1929                ;*****
1930                ; OUTPUT ; CY = 0 OK.
1931                ;      = 1 ERROR
1932                ; HL = Room number
1933                ;
1934 0EA7 F3          GET_REPORT: DI
1935 0EA8 CD 10A0     CALL SEND_NUM
1936 0EAB ED 38 04   IN0  A,(STAT0)
1937 0EAE B6 F7      AND  0F7H
1938 0EB0 ED 39 04   OUT0 (STAT0),A
1939 0EB3 3E 04      LD  A,01      ; Byte Count
1940 0EB5 CD 10FE     CALL TXBYTE_0
1941 0EB8 3E 05      LD  A,05      ; Read Output Function
1942 0EBA CD 10FE     CALL TXBYTE_0
1943 0EBD CD 10E5     CALL RXBYTE_0
1944 0EC0 38 23      JR  C,GET_REP5
1945 0EC2 FE 05      CP  05

```

1946 0BC4 20 1E		JR NZ,GET_REP4
1947 0BC6 21 8D12		LD HL,RAW_DATA
1948 0BC9 CD 10E5	GET_REP1:	CALL RXBYTE_0
1949 0BCC 38 17		JR C,GET_REPS
1950 0BCE FE FF		CP 0FFH
1951 0ED0 28 04		JR Z,GET_REP2
1952 0ED2 77		LD (HL),A
1953 0ED3 23		INC HL
1954 0ED4 18 F3		JR GET_REP1
1955 0ED6 06 03	GET_REP2:	LD B,R_LENGTH-1
1956 0ED8 77	GET_REP3:	LD (HL),A
1957 0ED9 23		INC HL
1958 0EDA 05		DEC B
1959 0EDB 28 08		JR Z,GET_REPS
1960 0EDD CD 10E5		CALL RXBYTE_0
1961 0EE0 38 03		JR C,GET_REPS
1962 0EE2 18 F4		JR GET_REP3
1963 0EE4 37	GET_REP4:	SCF
1964 0EE5 CD 10BB	GET_REP5:	CALL LINE_IDLE
1965 0EE8 F5		PUSH AF
1966 0EE9 ED 38 04		IN0 A,(STAT0)
1967 0EEC F6 08		OR 08H
1968 0EEE ED 39 04		OUT0 (STAT0),A
1969 0EF1 F1		POP AF
1970 0EF2 FB		EI
1971 0EF3 C9		RET
1972		*****

MASTER 180

```

1973          ; OUTPUT ; CY = 0 OK.
1974          ;          = 1 ERROR
1975          ; HL = Room number
1976          ;
1977 0EF4 F3   GET_DATA:      DI
1978 0EF5 CD 10A0          CALL SEND_NUM
1979 0EF8 ED 38 04        IN0 A,(STAT0)
1980 0EFB E6 F7          AND 0F7H
1981 0EFD ED 39 04        OUT0 (STAT0),A
1982 0F00 3E 01          LD A,01          ; Byte Count
1983 0F02 CD 10FE        CALL TXBYTE_0
1984 0F05 3E 06          LD A,06          ; Read Status Function
1985 0F07 CD 10FE        CALL TXBYTE_0
1986 0F0A CD 10E5        CALL RXBYTE_0
1987 0F0D 38 31          JR C,GET_DAT8
1988 0F0F FE 06          CP 06
1989 0F11 20 2C          JR NZ,GET_DAT7
1990 0F13 21 9513        LD HL,STAT_REC
1991 0F16 CD 10E5        GET_DAT1:      CALL RXBYTE_0
1992 0F19 38 25          JR C,GET_DAT8
1993 0F1B FE FF          GET_DAT2:      CP 0FFH
1994 0F1D 28 0E          JR Z,GET_DAT5
1995 0F1F 06 07          LD B,D_LENGTH+1
1996 0F21 05          GET_DAT3:      DEC B
1997 0F22 28 F7          JR Z,GET_DAT2
1998 0F24 77          GET_DAT4:      LD (HL),A
1999 0F25 23          INC HL
2000 0F26 CD 10E5        CALL RXBYTE_0
2001 0F29 38 15          JR C,GET_DAT8
2002 0F2B 18 F4          JR GET_DAT3
2003 0F2D 06 06          GET_DAT5:      LD B,D_LENGTH

```

```

2004 0F2F FE FF   GET_DAT6:   CP   OFFH
2005 0F31 20 F1                   JR   NZ,GET_DAT4
2006 0F33 77                   LD   (HL),A
2007 0F34 23                   INC  HL
2008 0F35 05                   DEC  B
2009 0F36 28 08                   JR   Z,GET_DAT8
2010 0F38 CD 10E5                   CALL RXBYTE_0
2011 0F3B 38 03                   JR   C,GET_DAT8
2012 0F3D 18 F0                   JR   GET_DAT6
2013 0F3F 37   GET_DAT7:   SCF
2014 0F40 CD 10BB   GET_DAT8:   CALL LINE_IDLE
2015 0F43 F5                   PUSH AF
2016 0F44 ED 38 04                   IN0  A,(STAT0)
2017 0F47 F6 08                   OR   08H
2018 0F49 ED 39 04                   OUT0 (STAT0),A
2019 0F4C F1                   POP  AF
2020 0F4D FB                   EI
2021 0F4E C9                   RET
2022   ; *****
2023   ;   CHANG DATA TO ASCII FOR DISPLAY
2024   ; *****
2025   ; HL = Top Address of Display Record
2026   ;
2027 0F4F DD E5   DAT_CON:   PUSH IX
2028 0F51 FD E5                   PUSH IY
2029 0F53 E5                   PUSH HL
2030 0F54 DD E1                   POP  IX

```

MASTER 180

2031 0F56 D9	EXX
2032 0F57 FD 21 8089	LD IY,NEW_DAT
2033 0F5B 11 8089	LD DE,NEW_DAT
2034 0F5E DD 7E 00	LD A,(IX+0)
2035 0F61 DD B6 01	OR (IX+1)
2036 0F64 20 06	JR NZ,DAT_0
2037 0F66 21 153D	LD HL,SP_REC
2038 0F69 C3 101D	JP DAT_8
2039 0F6C DD 7E 00 DAT_0:	LD A,(IX+0)
2040 0F6F B6 1F	AND 1FH
2041 0F71 FE 18	CP 24
2042 0F73 30 5B	JR NC,DAT_4
2043 0F75 21 1441	LD HL,EQUIP
2044 0F78 47	LD B,A
2045 0F79 0E 05	LD C,5
2046 0F7B ED 4C	MLT BC
2047 0F7D 09	ADD HL,BC
2048 0F7E 01 0005	LD BC,05
2049 0F81 ED B0	LDIR
2050 0F83 DD CB 00 76	BIT 6,(IX+0)
2051 0F87 21 14ED	LD HL,OFF
2052 0F8A 28 03	JR Z,DAT_1
2053 0F8C 21 14E9	LD HL,ON
2054 0F8F 01 0004 DAT_1:	LD BC,04
2055 0F92 ED B0	LDIR
2056 0F94 DD 7E 01	LD A,(IX+1)
2057 0F97 E6 E0	AND 0E0H
2058 0F99 07	RLCA
2059 0F9A 07	RLCA
2060 0F9B 07	RLCA
2061 0F9C DD CB 02 7E	BIT 7,(IX+2)

2062 OFA0 28 02	JR Z,DAT_2
2063 OFA2 F6 08	OR 08
2064 OFA4 FE 0B DAT_2:	CP 11
2065 OFA6 21 14E5	LD HL,SPACE
2066 OFA9 30 1E	JR NC,DAT_3
2067 OFAB FE 0A	CP 10
2068 OFAD 21 14E1	LD HL,COMPUTER
2069 OFB0 28 17	JR Z,DAT_3
2070 OFB2 FE 09	CP 09
2071 OFB4 21 14DD	LD HL,REMOTE
2072 OFB7 28 10	JR Z,DAT_3
2073 OFB9 FE 08	CP 08
2074 OFBB 21 14D9	LD HL,MANUAL
2075 OFBE 28 09	JR Z,DAT_3
2076 OFC0 47	LD B,A
2077 OFC1 0E 04	LD C,4
2078 OFC3 ED 4C	MLT BC
2079 OFC5 21 14B9	LD HL,OPR
2080 OFC8 09	ADD HL,BC
2081 OFC9 01 0004 DAT_3:	LD BC,04
2082 OFCC ED B0	LDIR
2083 OFCE 18 11	JR DAT_6
2084 OFD0 21 14FE DAT_4:	LD HL,POWER
2085 OFD3 28 07	JR Z,DAT_5
2086 OFD5 21 14F1	LD HL,SYSTEM
2087 OFD8 FE 19	CP 25
2088 OFDA 20 37	JR NZ,DAT_7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MASTER 180

```

2089 0FDC 01 000D  DAT_5:      LD  BC,13
2090 0FDF ED B0                LDIR
2091 0FE1 21 150B  DAT_6:      LD  HL,HHMMSS
2092 0FE4 01 0008                LD  BC,08
2093 0FE7 ED B0                LDIR
2094 0FE9 DD 7E 01                LD  A,(IX+1)
2095 0FEC E6 1F                AND  1FH
2096 0FEE CD 1028                CALL B2DECASCII
2097 0FF1 FD 70 0D                LD  (IY+13),B
2098 0FF4 FD 71 0E                LD  (IY+14),C
2099 0FF7 DD 7E 02                LD  A,(IX+2)
2100 0FFA E6 3F                AND  3FH
2101 0FFC CD 1028                CALL B2DECASCII
2102 0FFF FD 70 10                LD  (IY+16),B
2103 1002 FD 71 11                LD  (IY+17),C
2104 1005 DD 7E 03                LD  A,(IX+3)
2105 1008 CD 1028                CALL B2DECASCIF
2106 100B FD 70 13                LD  (IY+19),B
2107 100E FD 71 14                LD  (IY+20),C
2108 1011 18 0F                JR  DAT_9
2109 1013 FE 1F  DAT_7:      CP  1FH
2110 1015 21 1528                LD  HL,REP_END
2111 1018 28 03                JR  Z,DAT_8
2112 101A 21 1513                LD  HL,DATA_ERR
2113 101D 01 0015  DAT_8:      LD  BC,21
2114 1020 ED B0                LDIR
2115 1022 D9  DAT_9:      EXX
2116 1023 FD E1                POP  IY
2117 1025 DD E1                POP  IX
2118 1027 C9                RET
2119:

```

```

2120      ; CHANGE BINARY 1 BYTE TO DECIMAL 2 DIGIT IN ASCII
2121      ;-----
2122      ; A = Binary Input
2123      ; BC = ASCII Output 2 digit
2124      ;
2125 1028 FE 64   B2DECASCII:   CP   100
2126 102A 38 01           JR   C,B2DEC_0
2127 102C AF           XOR   A
2128 102D 06 00   B2DEC_0:     LD   B,0
2129 102F 4F   B2DEC_1:     LD   C,A
2130 1030 D6 0A           SUB  10
2131 1032 28 02           JR   Z,B2DEC_2
2132 1034 38 03           JR   C,B2DEC_3
2133 1036 04   B2DEC_2:     INC  B
2134 1037 18 F6           JR   B2DEC_1
2135 1039 79   B2DEC_3:     LD   A,C
2136 103A F6 30           OR   '0'
2137 103C 4F           LD   C,A
2138 103D 78           LD   A,B
2139 103E F6 30           OR   '0'
2140 1040 47           LD   B,A
2141 1041 C9           RET
2142      ;*****
2143 1042 E5   FILL_BUFF:     PUSH HL
2144 1043 D5           PUSH DE
2145 1044 06 15           LD   B,21
2146 1046 DD 21 8089      LD   IX,NEW_DAT

```

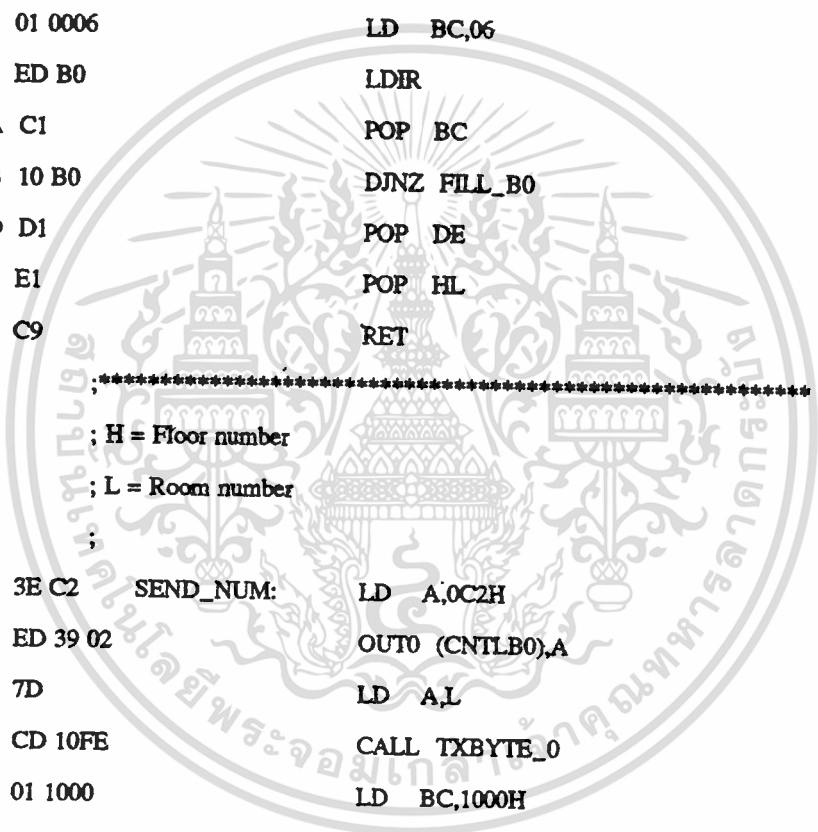
MASTER 180

```

2147 104A 11 8009          LD  DELINE_BUFF
2148 104D C5      FILL_B0:  PUSH BC
2149 104E D5          PUSH DE
2150 104F DD 7E 00      LD  A,(IX+0)  ; Data buffer
2151 1052 DD 23          INC  IX
2152 1054 D6 20          SUB  20H
2153 1056 06 08          LD  B,8
2154 1058 4F          LD  C,A
2155 1059 ED 4C          MLT  BC
2156 105B 21 43FF      LD  HL,FONT_E01
2157 105E 09          ADD  HL,BC
2158 105F 11 809E      LD  DE,FNT_B1
2159 1062 01 0008      LD  BC,08
2160 1065 ED B0          LDIR
2161 1067 21 80A6      LD  HL,FNT_B2
2162 106A 06 06          LD  B,06
2163 106C 36 00      FILL_BA:  LD  (HL),0
2164 106E 23          INC  HL
2165 106F 10 FB          DJNZ FILL_BA
2166 1071 FD 21 809E      LD  IY,FNT_B1
2167 1075 21 80A6      LD  HL,FNT_B2
2168 1078 06 06          LD  B,06H  ; Count loop (6 bits HOR)
2169 107A 0E 08          LD  C,08H
2170 107C E5          PUSH HL
2171 107D C5      FILL_B1:  PUSH BC
2172 107E E5          PUSH HL
2173 107F FD CB 00 26 FILL_B2:  SLA  (IY+00H)
2174 1083 30 02          JR  NC,FILL_B3
2175 1085 CB C6          SET  0,(HL)
2176 1087 CB 0E      FILL_B3:  RRC  (HL)
2177 1089 23          INC  HL  ; Next Vertical Byte

```

2178 108A 10 F3		DJNZ FILL_B2
2179 108C FD 23		INC IY
2180 108E E1		POP HL
2181 108F C1		POP BC
2182 1090 0D		DEC C
2183 1091 20 EA		JR NZ,FILL_B1
2184 1093 E1		POP HL
2185 1094 D1		POP DE
2186 1095 01 0006		LD BC,06
2187 1098 ED B0		LDIR
2188 109A C1		POP BC
2189 109B 10 B0		DJNZ FILL_B0
2190 109D D1		POP DE
2191 109E E1		POP HL
2192 109F C9		RET
2193	;*****	
2194	; H = Floor number	
2195	; L = Room number	
2196	;	
2197 10A0 3E C2	SEND_NUM:	LD A,0C2H
2198 10A2 ED 39 02		OUT0 (CNILB0),A
2199 10A5 7D		LD A,L
2200 10A6 CD 10FE		CALL TXBYTE_0
2201 10A9 01 1000		LD BC,1000H
2202 10AC 0B	SEND_NUM1:	DEC BC
2203 10AD 78		LD A,B
2204 10AE B1		OR C



## MASTER 180

```

2205 10AF 20 FB          JR  NZ,SEND_NUM1
2206 10B1 3E 02          LD  A,02H
2207 10B3 ED 39 02      OUT0 (CNTLB0),A
2208 10B6 7C            LD  A,H
2209 10B7 CD 10FE      CALL TXBYTE_0
2210 10BA C9            RET
2211                    ; *****
2212 10BB F5      LINE_IDLE:  PUSH AF
2213 10BC 3E C2          LD  A,0C2H
2214 10BE ED 39 02      OUT0 (CNTLB0),A
2215 10C1 3E FF          LD  A,0FFH
2216 10C3 CD 10FE      CALL TXBYTE_0
2217 10C6 01 1000      LD  BC,1000H
2218 10C9 0B      LINE_IDLE1:  DEC  BC
2219 10CA 78            LD  A,B
2220 10CB B1            OR   C
2221 10CC 20 FB          JR  NZ,LINE_IDLE1
2222 10CE 3E 02          LD  A,02H
2223 10D0 ED 39 02      OUT0 (CNTLB0),A
2224 10D3 F1            POP  AF
2225 10D4 C9            RET
2226                    ; *****
2227                    ;      INITIAL SERIAL PORT 0
2228                    ; *****
2229 10D5 3E E4      ASCII_0_SET:  LD  A,0E4H ; FxRx Enable 8b 1st Nonparity
2230 10D7 ED 39 00      OUT0 (CNTLA0),A ; ASCII Control Reg A ch.0
2231 10DA 3E 02          LD  A,02H ; 9600 Baud at 12.288 MHz
2232 10DC ED 39 02      OUT0 (CNTLB0),A ; ASCII Control Reg B ch.0
2233 10DF 3E 08          LD  A,08
2234 10E1 ED 39 04      OUT0 (STAT0),A ; ASCII Status Reg ch.0
2235 10E4 C9            RET

```

```

2236 ;*****
2237 ; READ DATA FROM SERIAL PORT 0
2238 ;*****
2239 ; A = Receive data
2240 ; CY = 0 OK ; CY = 1 ERROR
2241 ;
2242 10E5 C5 RXBYTE_0: PUSH BC
2243 10E6 01 4000 LD BC,4000H
2244 10E9 ED 38 04 RX_00: IN0 A,(STAT0) ; ASCII Status Reg ch.0
2245 10EC CB 7F BIT 7,A ; Receive data Reg. full ?
2246 10EE 20 08 JR NZ,RX_02 ; Yes
2247 10F0 0B DEC BC
2248 10F1 78 LD A,B
2249 10F2 B1 OR C
2250 10F3 20 F4 JR NZ,RX_00
2251 10F5 37 SCF
2252 10F6 C1 POP BC
2253 10F7 C9 RET
2254 10F8 ED 38 08 RX_02: IN0 A,(RDR0) ; ASCII Receive data Reg ch.0
2255 10FB B7 OR A
2256 10FC C1 POP BC
2257 10FD C9 RET
2258 ;*****
2259 ; SEND DATA TO SERIAL PORT 0
2260 ;*****
2261 ; A = Transmit data
2262 ;

```

MASTER 180

```

2263 10FE D5      TXBYTE_0:    PUSH DE
2264 10FF ED 18 04 OUT_0:      IN0 E,(STAT0) ; ASCII Status Reg ch.0
2265 1102 CB 4B                    BIT 1,E      ; Transmit data Reg. empty ?
2266 1104 28 F9                    JR  Z,OUT_0 ; Yes
2267 1106 ED 39 06                  OUT0 (TDR0),A ; ASCII Transmit data Reg ch.0
2268 1109 D1                        POP DE
2269 110A C9                        RET
2270                                ;*****
2271                                ; RECEIVE DATA FROM SERIAL PORT 0
2272                                ;*****
2273 110B F3      RECEIVE0:    DI
2274 110C F5                    PUSH AF
2275 110D C5                    PUSH BC
2276 110E D5                    PUSH DE
2277 110F E5                    PUSH HL
2278 1110 ED 28 08              IN0 L,(RDR0)
2279 1113 ED 38 04              IN0 A,(STAT0)
2280 1116 E6 F7                    AND 0F7H      ; Rx Interrupt disable
2281 1118 ED 39 04              OUT0 (STAT0),A
2282 111B CD 10E5              CALL RXBYTE_0
2283 111E DA 119F              JP  C,REC_11
2284 1121 67                    LD  H,A
2285 1122 22 8D0A              LD  (C_NUMBER),HL
2286 1125 7D                    LD  A,L
2287 1126 CD 10FE              CALL TXBYTE_0
2288 1129 7C                    LD  A,H
2289 112A CD 10FE              CALL TXBYTE_0
2290 112D CD 10E5              CALL RXBYTE_0
2291 1130 38 6D                    JR  C,REC_11
2292 1132 FE 06                  CP  06H
2293 1134 20 69                    JR  NZ,REC_11

```

2294 1136 21 A114		LD HL,INT_DATA
2295 1139 CD 10E5	REC_01:	CALL RXBYTE_0
2296 113C 38 61		JR C,REC_11
2297 113E FE FF		CP OFFH
2298 1140 28 04		JR Z,REC_02
2299 1142 77		LD (HL),A
2300 1143 23		INC HL
2301 1144 18 F3		JR REC_01
2302 1146 06 04	REC_02:	LD B,R_LENGTH
2303 1148 77	REC_03:	LD (HL),A
2304 1149 23		INC HL
2305 114A 05		DEC B
2306 114B 28 07		JR Z,REC_04
2307 114D CD 10E5		CALL RXBYTE_0
2308 1150 38 02		JR C,REC_04
2309 1152 18 F4		JR REC_03
2310 1154 3E FF	REC_04:	LD A,OFFH
2311 1156 06 14		LD B,R_LENGTH*5
2312 1158 77	REC_05:	LD (HL),A
2313 1159 23		INC HL
2314 115A 10 FC		DJNZ REC_05
2315 115C 3E EE		LD A,0EEH
2316 115E 06 14		LD B,20
2317 1160 CD 11D7	REC_06:	CALL TXBYTE_1
2318 1163 10 FB		DJNZ REC_06
2319 1165 3A 8D0A		LD A,(C_NUMBER)
2320 1168 CD 11D7		CALL TXBYTE_1

MASTER 180

```

2321 116B 3A 8D0B          LD  A,(C_NUMBER+1)
2322 116E CD 11D7          CALL TXBYTE_1
2323 1171 21 A114          LD  HL,INT_DATA
2324 1174 E5      REC_07:  PUSH HL
2325 1175 3E FF          LD  A,0FFH
2326 1177 BE          CP  (HL)
2327 1178 28 1B          JR  Z,REC_09
2328 117A CD 0F4F          CALL DAT_CON
2329 117D 21 8089          LD  HL,NEW_DAT
2330 1180 06 15          LD  B,21
2331 1182 7E      REC_08:  LD  A,(HL)
2332 1183 CD 11D7          CALL TXBYTE_1
2333 1186 23          INC HL
2334 1187 10 F9          DJNZ REC_08
2335 1189 3E 0D          LD  A,0DH
2336 118B CD 11D7          CALL TXBYTE_1
2337 118E E1          POP HL
2338 118F 01 0004          LD  BC,04
2339 1192 09          ADD HL,BC
2340 1193 18 DF          JR  REC_07
2341 1195 E1      REC_09:  POP HL
2342 1196 06 16          LD  B,22
2343 1198 3E 0F          LD  A,0FH
2344 119A CD 11D7  REC_10:  CALL TXBYTE_1
2345 119D 10 F9          DJNZ REC_10
2346 119F ED 38 04  REC_11:  IN0 A,(STAT0)
2347 11A2 F6 08          OR  08H      ; Rx Interrupt Enable
2348 11A4 ED 39 04          OUT0 (STAT0),A
2349 11A7 E1          POP HL
2350 11A8 D1          POP DE
2351 11A9 C1          POP BC

```

```

2352 11AA F1          POP AF
2353 11AB FB          EI
2354 11AC ED 4D      RETI
2355          ;*****
2356          ;          INITIAL SERIAL PORT 1
2357          ;*****
2358 11AE 3E E4      ASCI_1_SET:    LD  A,0E4H ;64H ; TxRx Enable 8b 1st Nonparity
2359 11B0 ED 39 01      OUT0 (CNTLA1),A ; ASCII Control Reg A ch.1
2360 11B3 3E 02      LD  A,2H ; 9600 Baud at 12.288 MHz
2361 11B5 ED 39 03      OUT0 (CNTLB1),A ; ASCII Control Reg B ch.1
2362 11B8 3E 08      LD  A,08
2363 11BA ED 39 05      OUT0 (STAT1),A ; ASCII Status Reg ch.1
2364 11BD C9          RET
2365          ;*****
2366          ;          READ DATA FROM SERIAL PORT 1
2367          ;*****
2368          ; A = Receive data
2369          ; CY = 0 OK ; CY = 1 ERROR
2370          ;
2371 11BE C5          RXBYTE_1:    PUSH BC
2372 11BF 01 1000      LD  BC,1000H
2373 11C2 ED 38 05      RX_11:    IN0  A,(STAT1) ; ASCII Status Reg ch.1
2374 11C5 CB 7F      BIT  7,A ; Receive data Reg. full ?
2375 11C7 20 08      JR  NZ,RX_12 ; Yes
2376 11C9 0B          DEC  BC
2377 11CA 78          LD  A,B
2378 11CB B1          OR  C

```

MASTER 180

```

2379 11CC 20 F4          JR  NZ,RX_11
2380 11CE 37             SCF
2381 11CF C1            POP  BC
2382 11D0 C9            RET
2383 11D1 ED 38 09  RX_12:  IN0  A,(RDR1) ; ASCII Receive data Reg ch.1
2384 11D4 B7             OR   A
2385 11D5 C1            POP  BC
2386 11D6 C9            RET
2387                   ;*****
2388                   ; SEND DATA TO SERIAL PORT 1
2389                   ;*****
2390                   ; A = Transmit data
2391                   ;
2392 11D7 F3  TXBYTE_1:    DI
2393 11D8 D5             PUSH DE
2394 11D9 ED 18 05  OUT_11:  IN0  E,(STAT1) ; ASCII Status Reg ch.1
2395 11DC CB 4B        BIT  1,E      ; Transmit data Reg. empty ?
2396 11DE 28 F9        JR  Z,OUT_11 ; Yes
2397 11E0 ED 39 07        OUT0 (TDR1),A ; ASCII Transmit data Reg ch.1
2398 11E3 D1            POP  DE
2399 11E4 FB            EI
2400 11E5 C9            RET
2401                   ;*****
2402                   ; RECEIVE DATA FROM SERIAL PORT 1
2403                   ;*****
2404 11E6 F3  RECEIVE1:    DI
2405 11E7 F5             PUSH AF
2406 11E8 C5             PUSH BC
2407 11E9 D5             PUSH DE
2408 11EA E5             PUSH HL
2409 11EB DD E5          PUSH IX

```

```

2410 11ED ED 00 09      IN0 B,(RDR1)
2411 11F0 ED 38 05      IN0 A,(STAT1)
2412 11F3 E6 F7        AND 0F7H      ; Received Interrupt
2413 11F5 ED 39 05      OUT0 (STAT1),A ; Disable
2414 11F8 21 80AC      LD HL,PC_BUFF
2415 11FB E5           PUSH HL
2416 11FC CD 11BE RECV_11: CALL RXBYTE_1
2417 11FF 30 03        JR NC,RECV_12
2418 1201 E1           POP HL
2419 1202 18 08        JR RECV_13
2420 1204 77 RECV_12: LD (HL),A
2421 1205 23           INC HL
2422 1206 10 F4        DJNZ RECV_11
2423 1208 E1           POP HL
2424 1209 CD 121D      CALL COMMAND
2425 120C ED 38 05 RECV_13: IN0 A,(STAT1)
2426 120F F6 08        OR 08H      ; Received Interrupt
2427 1211 ED 39 05      OUT0 (STAT1),A ; Enable
2428 1214 DD E1        POP IX
2429 1216 E1           POP HL
2430 1217 D1           POP DE
2431 1218 C1           POP BC
2432 1219 F1           POP AF
2433 121A FB           EI
2434 121B ED 4D        RETI

2435      ;*****
2436      ; COMMAND PROCESS

```

MASTER 180

```

2437          ;*****
2438          ; HL = Command Buffer
2439          ;
2440 121D E5      COMMAND:      PUSH HL
2441 121E CD 0A46      CALL DSP_OLD
2442 1221 3A 8000      COM_1:      LD A,(FLAG)
2443 1224 CB 8F          RES 1,A
2444 1226 32 8000      LD (FLAG),A
2445 1229 DD 21 3353      LD IX,PASS
2446 122D 21 81F4      LD HL,DSP_BUFF+N_COL*2
2447 1230 11 2FD3      LD DE,BLANK1
2448 1233 01 0200      LD BC,N_COL*4
2449 1236 1A          COM_A:      LD A,(DE)
2450 1237 A6          AND (HL)
2451 1238 DD B6 00      OR (IX+0)
2452 123B 77          LD (HL),A
2453 123C 13          INC DE
2454 123D 23          INC HL
2455 123E DD 23          INC IX
2456 1240 0B          DEC BC
2457 1241 78          LD A,B
2458 1242 B1          OR C
2459 1243 20 F1      JR NZ,COM_A
2460 1245 CD 0AF3      CALL WR_LCD
2461 1248 E1          POP HL
2462 1249 06 00      LD B,0
2463 124B 4E          LD C,(HL)
2464 124C CB 21      SLA C
2465 124E 23          INC HL
2466 124F E5          PUSH HL
2467 1250 DD E1      POP IX

```

```

2468 1252 21 1264          LD  HL,COMM_END
2469 1255 E5              PUSH HL
2470 1256 21 1276          LD  HL,COMM_TBL
2471 1259 09              ADD  HL,BC
2472 125A E5              PUSH HL
2473 125B FD E1           POP  IY
2474 125D FD 6E 00        LD  L,(IY+0)
2475 1260 FD 66 01        LD  H,(IY+1)
2476 1263 E9              JP  (HL)
2477 1264 CD 0C69  COMM_END: CALL DELAY_1
2478 1267 CD 0A52          CALL OLD_DSP
2479 126A 3A 8000          LD  A,(FLAG)
2480 126D CB CF           SET  1,A
2481 126F 32 8000          LD  (FLAG),A
2482 1272 CD 0AF3          CALL WR_LCD
2483 1275 C9              RET
2484                      ;*****
2485 1276 1288  COMM_TBL  DW  P_RD_TIME  ; Read Time from PC
2486 1278 12D1          DW  P_WR_TIME  ; Set Time from PC
2487 127A 12F5          DW  P_ST_RD   ; Read all Output from PC
2488 127C 131A          DW  P_ST_WR   ; Write all Output from PC
2489 127E 1339          DW  P_REPORT  ; Send Report All Record to PC
2490 1280 138E          DW  P_DATA    ; Send Data to PC
2491 1282 13DA          DW  P_BACK_UP ; Send All Record & Clear Buffer
2492 1284 1439          DW  P_SYS_RD  ; Operated System Read
2493 1286 143D          DW  P_SYS_WR  ; Operated System Write
2494                      ;*****

```

MASTER 180

```

2495 1288 DD 66 00 P_RD_TIME: LD H,(IX+0)
2496 128B DD 6E 01 LD L,(IX+1)
2497 128E CD 0D2C CALL READ_TIME
2498 1291 38 38 JR C,P_RD1
2499 1293 AF XOR A
2500 1294 CD 11D7 CALL TXBYTE_1
2501 1297 21 8D0F LD HL,T_BUFF
2502 129A 7E LD A,(HL)
2503 129B CD 1028 CALL B2DECASCII
2504 129E 78 LD A,B
2505 129F CD 11D7 CALL TXBYTE_1
2506 12A2 79 LD A,C
2507 12A3 CD 11D7 CALL TXBYTE_1
2508 12A6 3E 3A LD A,:'
2509 12A8 CD 11D7 CALL TXBYTE_1
2510 12AB 23 INC HL
2511 12AC 7E LD A,(HL)
2512 12AD CD 1028 CALL B2DECASCII
2513 12B0 78 LD A,B
2514 12B1 CD 11D7 CALL TXBYTE_1
2515 12B4 79 LD A,C
2516 12B5 CD 11D7 CALL TXBYTE_1
2517 12B8 3E 3A LD A,:'
2518 12BA CD 11D7 CALL TXBYTE_1
2519 12BD 23 INC HL
2520 12BE 7E LD A,(HL)
2521 12BF CD 1028 CALL B2DECASCII
2522 12C2 78 LD A,B
2523 12C3 CD 11D7 CALL TXBYTE_1
2524 12C6 79 LD A,C
2525 12C7 CD 11D7 CALL TXBYTE_1

```

```

2526 12CA C9                                RET
2527 12CB 3E 0A    P_RD1:                   LD  A,0AH      ; Error Code
2528 12CD CD 11D7                                CALL TXBYTE_1
2529 12D0 C9                                RET
2530      ,*****
2531 12D1 21 8D0F    P_WR_TIME:              LD  HL,T_BUFF
2532 12D4 DD 7E 02                                LD  A,(IX+2)
2533 12D7 77                                LD  (HL),A
2534 12D8 23                                INC  HL
2535 12D9 DD 7E 03                                LD  A,(IX+3)
2536 12DC 77                                LD  (HL),A
2537 12DD 23                                INC  HL
2538 12DE DD 7E 04                                LD  A,(IX+4)
2539 12E1 77                                LD  (HL),A
2540 12E2 DD 66 00                                LD  H,(IX+0)
2541 12E5 DD 6E 01                                LD  L,(IX+1)
2542 12E8 CD 0D6C                                CALL SET_TIME
2543 12EB 3E 01                                LD  A,01
2544 12ED 30 02                                JR   NC,P_WR1
2545 12EF 3E 0A                                LD  A,0AH      ; Error Code
2546 12F1 CD 11D7    P_WR1:                   CALL TXBYTE_1
2547 12F4 C9                                RET
2548      ,*****
2549 12F5 DD 66 00    P_ST_RD:                 LD  H,(IX+0)
2550 12F8 DD 6E 01                                LD  L,(IX+1)
2551 12FB CD 0DBF                                CALL OUTPUT_RD
2552 12FE 3E 0A                                LD  A,0AH      ; Error Code

```

MASTER 180

```

2553 1300 38 14          JR  C,P_STR1
2554 1302 3E 02          LD  A,02
2555 1304 CD 11D7        CALL TXBYTE_1
2556 1307 3A 8CF8        LD  A,(ODBUFF)
2557 130A CD 11D7        CALL TXBYTE_1
2558 130D 3A 8CF9        LD  A,(ODBUFF+1)
2559 1310 CD 11D7        CALL TXBYTE_1
2560 1313 3A 8CFA        LD  A,(SNSRBUF)
2561 1316 CD 11D7  P_STR1: CALL TXBYTE_1
2562 1319 C9              RET
2563                      ;*****
2564 131A DD 66 00  P_ST_WR: LD  H,(IX+0)
2565 131D DD 6E 01          LD  L,(IX+1)
2566 1320 DD 7E 02          LD  A,(IX+2)
2567 1323 32 8CF8          LD  (ODBUFF),A
2568 1326 DD 7E 03          LD  A,(IX+3)
2569 1329 32 8CF9          LD  (ODBUFF+1),A
2570 132C CD 0E58          CALL PCOUTP_WR
2571 132F 3E 03          LD  A,03
2572 1331 30 BE          JR  NC,P_WR1
2573 1333 3E 0A          LD  A,0AH ; Error Code
2574 1335 CD 11D7  P_STW1: CALL TXBYTE_1
2575 1338 C9              RET
2576                      ;*****
2577 1339 DD 66 00  P_REPORT: LD  H,(IX+0)
2578 133C DD 6E 01          LD  L,(IX+1)
2579 133F CD 0EA7          CALL GET_REPORT
2580 1342 3E 0A          LD  A,0AH ; Error Code
2581 1344 38 44          JR  C,P_REP6
2582 1346 3E CC          LD  A,0CCH
2583 1348 06 13          LD  B,19

```

2584 134A CD 11D7	P_REP1:	CALL TXBYTE_1
2585 134D 10 FB		DJNZ P_REP1
2586 134F DD 7E 00		LD A,(IX+0)
2587 1352 CD 11D7		CALL TXBYTE_1
2588 1355 DD 7E 01		LD A,(IX+1)
2589 1358 CD 11D7		CALL TXBYTE_1
2590 135B .21 8D12		LD HL,RAW_DATA
2591 135E E5	P_REP2:	PUSH HL
2592 135F 3E FF		LD A,0FFH
2593 1361 BE		CP (HL)
2594 1362 28 1B		JR Z,P_REP4
2595 1364 CD 0F4F		CALL DAT_CON
2596 1367 21 8089		LD HL,NEW_DAT
2597 136A 06 15		LD B,21
2598 136C 7E	P_REP3:	LD A,(HL)
2599 136D CD 11D7		CALL TXBYTE_1
2600 1370 23		INC HL
2601 1371 10 F9		DJNZ P_REP3
2602 1373 3E 0D		LD A,0DH
2603 1375 CD 11D7		CALL TXBYTE_1
2604 1378 E1		POP HL
2605 1379 01 0004		LD BC,04
2606 137C 09		ADD HL,BC
2607 137D 18 DF		JR P_REP2
2608 137F E1	P_REP4:	POP HL
2609 1380 06 15		LD B,21
2610 1382 3E DD		LD A,0DDH

MASTER 180

```

2611 1384 CD 11D7 P_REP5:      CALL TXBYTE_1
2612 1387 10 FB                DJNZ P_REP5
2613 1389 C9                  RET
2614 138A CD 11D7 P_REP6:      CALL TXBYTE_1
2615 138D C9                  RET
2616                          ;*****
2617 138E DD 66 00 P_DATA:      LD H,(IX+0)
2618 1391 DD 6E 01                LD L,(IX+1)
2619 1394 CD 0EF4                CALL GET_DATA
2620 1397 F3                    DI
2621 1398 3E 0A                  LD A,0AH ; Error Code
2622 139A 38 3A                  JR C,P_DATA7
2623 139C 3E AA                  LD A,0AAH
2624 139E 06 04                  LD B,D_LENGTH-2
2625 13A0 CD 11D7 P_DATA1:      CALL TXBYTE_1
2626 13A3 10 FB                DJNZ P_DATA1
2627 13A5 DD 7E 00                LD A,(IX+0)
2628 13A8 CD 11D7                CALL TXBYTE_1
2629 13AB DD 7E 01                LD A,(IX+1)
2630 13AE CD 11D7                CALL TXBYTE_1
2631 13B1 21 9513                LD HL,STAT_REC
2632 13B4 3E FF P_DATA2:        LD A,OFFH
2633 13B6 BE                    CP (HL)
2634 13B7 20 08                JR NZ,P_DATA3
2635 13B9 E5                    PUSH HL
2636 13BA DD E1                POP IX
2637 13BC DD BE 03                CP (IX+3)
2638 13BF 28 0B                JR Z,P_DATA5
2639 13C1 06 06 P_DATA3:        LD B,D_LENGTH
2640 13C3 7E P_DATA4:           LD A,(HL)
2641 13C4 CD 11D7                CALL TXBYTE_1

```

```

2642 13C7 23                INC HL
2643 13C8 10 F9             DJNZ P_DATA4
2644 13CA 18 E8             JR P_DATA2
2645 13CC 06 06     P_DATA5: LD B,D_LENGTH
2646 13CE 3E BB             LD A,0BBH
2647 13D0 CD 11D7     P_DATA6: CALL TXBYTE_1
2648 13D3 10 FB             DJNZ P_DATA6
2649 13D5 C9              RET
2650 13D6 CD 11D7     P_DATA7: CALL TXBYTE_1
2651 13D9 C9              RET
2652                ;*****
2653 13DA 21 8D0F     P_BACK_UP: LD HL,T_BUFF
2654 13DD DD 7E 02             LD A,(IX+2)
2655 13E0 77              LD (HL),A
2656 13E1 23                INC HL
2657 13E2 DD 7E 03             LD A,(IX+3)
2658 13E5 77              LD (HL),A
2659 13E6 23                INC HL
2660 13E7 DD 7E 04             LD A,(IX+4)
2661 13EA 77              LD (HL),A
2662 13EB DD 66 00             LD H,(IX+0)
2663 13EE DD 6E 01             LD L,(IX+1)
2664 13F1 CD 0D6C             CALL SET_TIME
2665 13F4 3E 03             JR C,P_BACK0
2666 13F6 CD 0EF4             CALL GET_DATA
2667 13F9 3E 0A     P_BACK0: LD A,0AH ; Error Code
2668 13FB 38 38             JR C,P_BACK6

```

MASTER 180

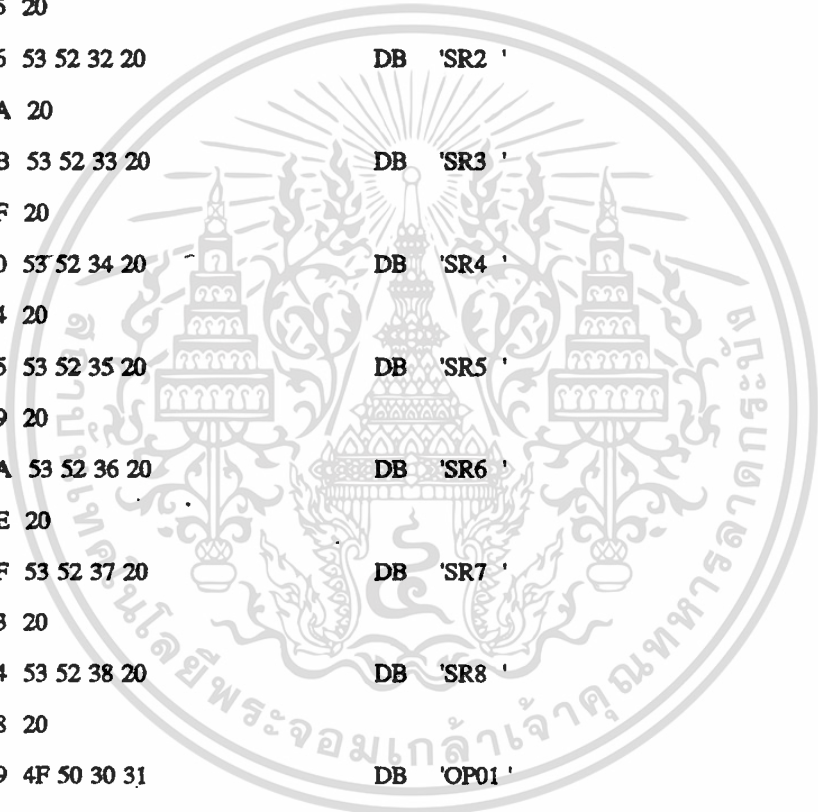
```

2669 13FD 3E EE          LD  A,0EEH
2670 13FF 06 04          LD  B,04
2671 1401 CD 11D7  P_BACK1:  CALL TXBYTE_1
2672 1404 10 FB          DJNZ P_BACK1
2673 1406 DD 7E 00       LD  A,(IX+0)
2674 1409 CD 11D7       CALL TXBYTE_1
2675 140C DD 7E 01       LD  A,(IX+1)
2676 140F CD 11D7       CALL TXBYTE_1
2677 1412 21 9513       LD  HL,STAT_REC
2678 1415 E5          P_BACK2:  PUSH HL
2679 1416 3E FF          LD  A,OFFH
2680 1418 BE          CP  (HL)
2681 1419 28 10          JR  Z,P_BACK4
2682 141B 06 06          LD  B,06
2683 141D 7E          P_BACK3:  LD  A,(HL)
2684 141E CD 11D7       CALL TXBYTE_1
2685 1421 23          INC  HL
2686 1422 10 F9          DJNZ P_BACK3
2687 1424 E1          POP  HL
2688 1425 01 0006       LD  BC,06
2689 1428 09          ADD  HL,BC
2690 1429 18 EA          JR  P_BACK2
2691 142B 06 06  P_BACK4:  LD  B,06
2692 142D 3E FF          LD  A,OFFH
2693 142F CD 11D7  P_BACK5:  CALL TXBYTE_1
2694 1432 10 FB          DJNZ P_BACK5
2695 1434 C9          RET
2696 1435 CD 11D7  P_BACK6:  CALL TXBYTE_1
2697 1438 C9          RET
2698

```

\*\*\*\*\*

2700 1439 CD 0C69 CALL DELAY\_1  
 2701 143C C9 RET  
 2702 ;\*\*\*\*\*  
 2703 143D P\_SYS\_WR:  
 2704 143D CD 0C69 CALL DELAY\_1  
 2705 1440 C9 RET  
 2706 ;  
 2707 1441 53 52 31 20 EQUIP DB 'SR1 '  
 2707 1445 20  
 2708 1446 53 52 32 20 DB 'SR2 '  
 2708 144A 20  
 2709 144B 53 52 33 20 DB 'SR3 '  
 2709 144F 20  
 2710 1450 53 52 34 20 DB 'SR4 '  
 2710 1454 20  
 2711 1455 53 52 35 20 DB 'SR5 '  
 2711 1459 20  
 2712 145A 53 52 36 20 DB 'SR6 '  
 2712 145E 20  
 2713 145F 53 52 37 20 DB 'SR7 '  
 2713 1463 20  
 2714 1464 53 52 38 20 DB 'SR8 '  
 2714 1468 20  
 2715 1469 4F 50 30 31 DB 'OP01 '  
 2715 146D 20  
 2716 146E 4F 50 30 32 DB 'OP02 '  
 2716 1472 20



MASTER 180

2717 1473 4F 50 30 33	DB 'OP03'
2717 1477 20	
2718 1478 4F 50 30 34	DB 'OP04'
2718 147C 20	
2719 147D 4F 50 30 35	DB 'OP05'
2719 1481 20	
2720 1482 4F 50 30 36	DB 'OP06'
2720 1486 20	
2721 1487 4F 50 30 37	DB 'OP07'
2721 148B 20	
2722 148C 4F 50 30 38	DB 'OP08'
2722 1490 20	
2723 1491 4F 50 30 39	DB 'OP09'
2723 1495 20	
2724 1496 4F 50 31 30	DB 'OP10'
2724 149A 20	
2725 149B 4F 50 31 31	DB 'OP11'
2725 149F 20	
2726 14A0 4F 50 31 32	DB 'OP12'
2726 14A4 20	
2727 14A5 4F 50 31 33	DB 'OP13'
2727 14A9 20	
2728 14AA 4F 50 31 34	DB 'OP14'
2728 14AE 20	
2729 14AF 4F 50 31 35	DB 'OP15'
2729 14B3 20	
2730 14B4 4F 50 31 36	DB 'OP16'
2730 14B8 20	
2731 14B9 53 52 31 20 OPR	DB 'SR1'
2732 14BD 53 52 32 20	DB 'SR2'
2733 14C1 53 52 33 20	DB 'SR3'

2734 14C5 53 52 34 20	DB 'SR4'
2735 14C9 53 52 35 20	DB 'SR5'
2736 14CD 53 52 36 20	DB 'SR6'
2737 14D1 53 52 37 20	DB 'SR7'
2738 14D5 53 52 38 20	DB 'SR8'
2739 14D9 4D 41 4E 20 MANUAL	DB 'MAN'
2740 14DD 52 45 4D 20 REMOTE	DB 'REM'
2741 14E1 43 4F 4D 20 COMPUTER	DB 'COM'
2742 14E5 20 20 20 20 SPACE	DB ' '
2743 14E9 4F 4E 20 20 ON	DB 'ON'
2744 14ED 4F 46 46 20 OFF	DB 'OFF'
2745 14F1 53 59 53 2E SYSTEM	DB 'SYS.INITIAL'
2745 14F5 49 4E 49 54	
2745 14F9 49 41 4C 20	
2745 14FD 20	
2746 14FE 50 4F 57 2E POWER	DB 'POW.RECOVERY'
2746 1502 52 45 43 4F	
2746 1506 56 45 52 59	
2746 150A 20	
2747 150B 23 23 3A 23 HHMMSS	DB '##:##:##'
2747 150F 23 3A 23 23	
2748 1513 2A 2A 2A 2A DATA_ERR	DB '**** DATA ERROR ****'
	END

## โปรแกรม Monitor ของ Board Slave

```
1 ; *****
2 ; * THE SENSOR & CONTROL SYSTEM IN OFFICE *
3 ; * FOR Z80180 [ Slave Control ] *
4 ; * *
5 ; * SOLFWARE ENGNEER : Mr. Pichit Sahairug *
6 ; *****
7 ;
8 0040 CNTLA0 EQU 40H ; ASCI Control Reg A ch.0
9 0042 CNILB0 EQU 42H ; ASCI Control Reg B ch.0
10 0044 STAT0 EQU 44H ; ASCI Status Reg ch.0
11 0046 TDR0 EQU 46H ; ASCI Transmit data Reg ch.0
12 0048 RDR0 EQU 48H ; ASCI Receive data Reg ch.0
13 004C TMDROL EQU 4CH ; Timer Data Register ch.0L
14 004D TMDROH EQU 4DH ; Timer Data Register ch.0H
15 004E RLDR0L EQU 4EH ; Reload Reg ch.0L
16 004F RLDR0H EQU 4FH ; Reload Reg ch.0H
17 0050 TCR EQU 50H ; Timer Control Register
18 0054 TMDR1L EQU 54H ; Timer Data Register ch.1L
19 0055 TMDR1H EQU 55H ; Timer Data Register ch.1H
20 0056 RLDR1L EQU 56H ; Reload Reg ch.1L
21 0057 RLDR1H EQU 57H ; Reload Reg ch.1H
22 0072 DCNTL EQU 72H ; DMA/WAIT Control Register
23 0073 IL EQU 73H ; Interrupt Vector Low Reg
24 0076 RCR EQU 76H ; Refresh Control Reg
25 0078 CBR EQU 78H ; MMU Common Base Reg
26 0079 BBR EQU 79H ; MMU Bank Base Reg
27 007A CBAR EQU 7AH ; MMU Common/Bank Area Reg
28 007E OMCR EQU 7EH ; Operation Mode Ctrd Reg
29 003F ICR EQU 3FH ; I/O Control Register
```

```

30 0000 OUTP_PORT EQU 00H
31 0000 NUMBER_PORT EQU 00H
32 0001 SNSR_PORT EQU 01H
33 0002 SCAN_PORT EQU 02H
34 0003 CTRL_PORT EQU 03H
35 0004 R_LENGTH EQU 4
36 0006 S_LENGTH EQU 6
37 000D CR EQU 0DH
38 0200 N_RECORD EQU 512

```

```

39 ;*****

```

```

40 0000 ORG 0000H
41 0000 C3 0100 JP POW_DELAY
42 0008 ORG 0008H
43 0008 18 69 JR RESERVE
44 0010 ORG 0010H
45 0010 18 61 JR RESERVE
46 0018 ORG 0018H
47 0018 18 59 JR RESERVE
48 0020 ORG 0020H
49 0020 18 51 JR RESERVE
50 0028 ORG 0028H
51 0028 18 49 JR RESERVE
52 0030 ORG 0030H
53 0030 18 41 JR RESERVE
54 0038 ORG 0038H
55 0038 18 39 JR RESERVE
56 0066 ORG 0066H
57 0066 18 08 JR NOT_USE
58 0070 ORG 0070H

```

SLAVE 180

```

59 0070 FB      NOT_USE:  EI
60 0071 ED 45          RETN
61                ;*****
62 0073 FB      RESERVE:  EI
63 0074 ED 4D          RETI
64                ;*****
65      0080          ORG 0080H
66 0080 0092      INT_TABLE: DW DUMMY ;INT 1
67 0082 0092          DW DUMMY ;INT 2
68 0084 04C6      DW CLOCK ;PRT 0
69 0086 0092      DW DUMMY ;PRT 1
70 0088 0092      DW DUMMY ;DMA 0
71 008A 0092      DW DUMMY ;DMA 1
72 008C 0092      DW DUMMY ;CSIO
73 008E 0739      DW RECEIVE ;ASCI 0
74 0090 0092      DW DUMMY ;ASCI 1
75                ;*****
76 0092 FB      DUMMY:    EI
77 0093 ED 4D          RETI
78                ;*****
79      0100          ORG 0100H
80 0100 AF      POW_DELAY:  XOR A
81 0101 00      POW_1:      NOP
82 0102 3D          DEC A
83 0103 20 FC      JR NZ,POW_1
84 0105 18 00      JR START
85                ;*****
86 0107 ED 38 3F  START:    IN0 A,(ICR) ; I/O Control Reg
87 010A F6 40      OR 40H

```

88 010C ED 39 3F	OUT0 (ICR),A
89 010F 3E 00	LD A,0
90 0111 ED 39 7E	OUT0 (OMCR),A ; Operation Mode Ctrl Reg
91 0114 ED 39 78	OUT0 (CBR),A ; MMU Common Base Reg
92 0117 ED 39 79	OUT0 (BBR),A ; MMU Bank Base Reg
93 011A ED 39 7A	OUT0 (CBAR),A ; MMU Common/Bank Area Reg
94 011D 31 3FFF	LD SP,3FFFH
95 0120 3E 80	LD A,80H
96 0122 ED 39 73	OUT0 (IL),A ; Interrupt Vector Low Reg
97 0125 ED 38 4C	IN0 A,(TMDR0L) ; Timer Data Reg ch.0L
98 0128 ED 38 54	IN0 A,(TMDR1L) ; Timer Data Reg ch.1L
99 012B 3E 00	LD A,0 ; Disable Timer Ch.0
100 012D ED 39 50	OUT0 (TCR),A ; Timer Control Reg
101 0130 F3	DI
102 0131 ED 56	IM 1
103 0133 3E 40	LD A,40H
104 0135 ED 39 7E	OUT0 (OMCR),A ; Operation Mode Control Register
105 0138 3E 81	LD A,81H
106 013A ED 39 76	OUT0 (RCR),A ; Refresh Control Register
107 013D ED 38 72	IN0 A,(DCNTL) ; DMA/WAIT Control Reg
108 0140 F6 30	OR 30H
109 0142 ED 39 72	OUT0 (DCNTL),A
110 0145 3E FF	LD A,0FFH
111 0147 ED 39 54	OUT0 (TMDR1L),A ; Timer Data Reg ch.1L
112 014A ED 39 55	OUT0 (TMDR1H),A ; Timer Data Reg ch.1H
113 014D ED 39 56	OUT0 (RLDR1L),A ; Reload Reg ch.1L
114 0150 ED 39 57	OUT0 (RLDR1H),A ; Reload Reg ch.1H
115 0153 21 2000	LD HL,2000H ; Clear RAM
116 0156 11 2001	LD DE,2000H+1 ; Address 2000H-3FFFH

SLAVE 180

```

117 0159 01 1FFF          LD  BC,1FFFH
118 015C 36 00          LD  (HL),0
119 015E ED B0          LDIR
120 0160 CD 0710        CALL ASCII_0_SET ; Initial Serial Port 0
121 0163 DD 21 2904     LD  IX,REPORT_BUFF+(N_RECORD-1)*R_LENGTH
122 0167 DD E5          PUSH IX
123 0169 CD 03B0        CALL FILL_TIME
124 016C DD 36 00 18    LD  (IX+0),18H ; Power ON Report
125 0170 CD 039E        CALL UP_RECORD
126 0173 DD E1          POP  IX
127 0175 CD 03B0        CALL FILL_TIME
128 0178 DD 36 00 19    LD  (IX+0),19H ; System Initial Report
129 017C 3E 9A          LD  A,9AH ; Set 8255:A,B,C(Upper)=I/P
130 017E D3 03          OUT (CTRL_PORT),A ; C(Lower)=O/P
131 0180 3E 08          LD  A,8
132 0182 D3 02          OUT (SCAN_PORT),A
133 0184 DB 00          IN  A,(NUMBER_PORT) ; ID number (Low byte)
134 0186 32 20AB        LD  (IDNUM),A
135 0189 3E 09          LD  A,9
136 018B D3 02          OUT (SCAN_PORT),A
137 018D DB 00          IN  A,(NUMBER_PORT) ; ID number (High byte)
138 018F 32 20AC        LD  (IDNUM+1),A
139 0192 3E 8A          LD  A,8AH ; Set 8255:A,C(Lower)=O/P
140 0194 D3 03          OUT (CTRL_PORT),A ; B,C(Upper)=I/P
141 0196 3E 0A          LD  A,0AH
142 0198 D3 02          OUT (SCAN_PORT),A
143 019A AF            XOR  A
144 019B D3 00          OUT (OUTP_PORT),A ; Clear O/P Ch.1-8
145 019D 3E 0B          LD  A,0BH

```

146 019F D3 02	OUT (SCAN_PORT),A
147 01A1 AF	XOR A
148 01A2 D3 02	OUT (OUTP_PORT),A ; Clear O/P Ch.9-16
149 01A4 3E 0A	LD A,0AH
150 01A6 D3 02	OUT (SCAN_PORT),A
151 01A8 AF	XOR A
152 01A9 32 2000	LD (FLAG),A
153 01AC 32 2003	LD (RPTOUTP),A
154 01AF 32 2004	LD (RPTOUTP+1),A
155 01B2 32 2089	LD (DELCNTRL),A
156 01B5 32 208A	LD (DELCNTRL+1),A
157 01B8 32	LD (OUTDBUFF),A
158 01BB 32 2002	LD (OUTDBUFF+1),A
159 01BE 32 2008	LD (SNSRCNTRL),A
160 01C1 32 20E2	LD (N_OPREPORT),A
161 01C4 2F	CPL
162 01C5 32 2005	LD (RPTSNSR),A
163 01C8 32 2006	LD (OPCNTRL),A ; Enable Manual O/P Control
164 01CB 32 2007	LD (OPCNTRL+1),A ; Ch. 1-16
165 01CE 32 20D3	LD (SENSRBUF),A
166 01D1 3E 55	LD A,55H
167 01D3 06 40	LD B,64
168 01D5 21 2009	LD HL,ODSNSRON
169 01D8 77	START_1: LD (HL),A
170 01D9 23	INC HL
171 01DA 10 FC	DJNZ START_1
172 01DC 3E 05	LD A,5
173 01DE 32 20E1	LD (T_BUFF),A
174 01E1 AF	XOR A

SLAVE 180

```

175 01E2 ED 39 4C          OUT0 (TMDROL),A
176 01E5 ED 39 4E          OUT0 (RLDROL),A
177 01E8 3E F0            LD  A,0F0H
178 01EA ED 39 4D          OUT0 (TMDROH),A
179 01ED ED 39 4F          OUT0 (RLDROH),A
180 01F0 ED 38 50          IN0 A,(TCR)
181 01F3 F6 11            OR  11H          ; Timer Ch.0 Enable
182 01F5 ED 39 50          OUT0 (TCR),A
183 01F8 FB                EI
184                      ;*****
185 01F9 21 20D3  MAIN:    LD  HL,SENSRBUF ; Old Sensor data
186 01FC DB 01            IN  A,(SNSR_PORT) ; New Sensor data
187 01FE 4F                LD  C,A
188 01FF AE                XOR (HL)          ; Different data
189 0200 CA 0320          JP  Z,MAIN_17
190 0203 CD 03D5          CALL KEEP_STAT
191 0206 71                LD  (HL),C        ; Save New Sensor
192 0207 57                LD  D,A           ; Different Sensor Data
193 0208 3A 2008          LD  A,(SNSRCNTL)
194 020B A2                AND  D
195 020C 5F                LD  E,A
196 020D 06 08            LD  B,8
197 020F 21 2009          LD  HL,ODSNSRON
198 0212 DD 21 20B3       LD  IX,MAKE_ON
199 0216 FD 21 20D9       LD  IY,BUFFER_1
200 021A FD 36 00 00      LD  (IY+0),0
201 021E FD 36 01 00      LD  (IY+1),0
202 0222 FD 36 02 00      LD  (IY+2),0
203 0226 FD 36 03 00      LD  (IY+3),0

```

204 022A CB 0A	MAIN_1:	RRC D ; Different data?
205 022C 30 59		JR NC,MAIN_9 ; No
206 022E CB 09		RRC C
207 0230 C5		PUSH BC
208 0231 E5		PUSH HL
209 0232 FD E5		PUSH IY
210 0234 CD 0356		CALL SNSREPORT
211 0237 30 04		JR NC,MAIN_2 ; Sensor ON?
212 0239 01 0020		LD BC,ODSNSROFF-ODSNSRON
213 023C 09		ADD HL,BC
214 023D CB 3B	MAIN_2:	SRL E
215 023F 30 40		JR NC,MAIN_8
216 0241 06 02		LD B,2
217 0243 0E 02		LD C,2
218 0245 C5	MAIN_3:	PUSH BC
219 0246 06 04	MAIN_4:	LD B,4
220 0248 7B		LD A,(HL)
221 0249 0F	MAIN_5:	RRCA
222 024A 38 11		JR C,MAIN_6
223 024C 0F		RRCA
224 024D 38 1D		JR C,MAIN_7
225 024F FD CB 02 C6		SET 0,(IY+2) ; Data buffer OFF
226 0253 F5		PUSH AF
227 0254 3A 20D4		LD A,(SNSRNUM)
228 0257 DD 77 10		LD (IX+16),A
229 025A F1		POP AF
230 025B 18 0F		JR MAIN_7
231 025D 0F	MAIN_6:	RRCA
232 025E 30 0C		JR NC,MAIN_7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SLAVE 180

233 0260 FD CB 00 C6	SET 0,(IY+0) ; Data buffer ON
234 0264 F5	PUSH AF
235 0265 3A 20D4	LD A,(SNSRNUM)
236 0268 DD 77 00	LD (IX+0),A
237 026B F1	POP AF
238 026C DD 23 MAIN_7:	INC IX
239 026E FD CB 00 0E	RRC (IY+0) ; Data buffer ON
240 0272 FD CB 02 0E	RRC (IY+2) ; Data buffer OFF
241 0276 10 D1	DJNZ MAIN_5
242 0278 23	INC HL
243 0279 0D	DEC C
244 027A 20 CA	JR NZ,MAIN_4
245 027C C1	POP BC
246 027D FD 23	INC IY
247 027F 10 C4	DJNZ MAIN_3
248 0281 FD E1 MAIN_8:	POP IY
249 0283 E1	POP HL
250 0284 C1	POP BC
251 0285 18 04	JR MAIN_10
252 0287 CB 09 MAIN_9:	RRC C
253 0289 CB 3B	SRL E
254 028B 23 MAIN_10:	INC HL
255 028C 23	INC HL
256 028D 23	INC HL
257 028E 23	INC HL
258 028F 10 99	DJNZ MAIN_1
259 0291 2A 2001	LD HL,(OUTDBUFF)
260 0294 22 20D5	LD (SNSROPBUFF),HL
261 0297 21 20D7	LD HL,SNSRDELCTR; Sensor Delay Time

262 029A 11 208B	LD DE,DLTCOP
263 029D D9	EXX
264 029E DD 21 2049	LD IX,DLTSOPON
265 02A2 21 20D5	LD HL,SNSROPBUFF; Sensor Output Buffer
266 02A5 11 20D7	LD DE,SNSRDELCTR; Sensor Delay Time
267 02A8 0E 02	LD C,2
268 02AA 06 08     MAIN_11:	LD B,8
269 02AC DD E5     MAIN_12:	PUSH IX     ; DLTSOPON
270 02AE FD CB 02 0E	RRC (IY+2)   ; Output Data buffer OFF
271 02B2 38 0A	JR C,MAIN_13
272 02B4 FD CB 00 0E	RRC (IY+0)   ; Output Data buffer ON
273 02B8 30 24	JR NC,MAIN_15
274 02BA CB C6	SET 0,(HL)   ; SNSROPBUFF Set Output ON
275 02BC 18 0D	JR MAIN_14
276 02BE C5     MAIN_13:	PUSH BC
277 02BF 01 0020	LD BC,DLTSOPOFF-DLTSOPON
278 02C2 DD 09	ADD IX,BC     ; DLTSOPOFF
279 02C4 FD CB 00 0E	RRC (IY+0)   ; Output Data buffer ON
280 02C8 CB 86	RES 0,(HL)   ; SNSROPBUFF Set Output OFF
281 02CA C1	POP BC
282 02CB D9     MAIN_14:	EXX
283 02CC DD 7E 00	LD A,(IX+0)   ; DLTSOPON/OFF
284 02CF 12	LD (DE),A
285 02D0 13	INC DE
286 02D1 DD B6 01	OR (IX+1)
287 02D4 28 09	JR Z,MAIN_16
288 02D6 DD 7E 01	LD A,(IX+1)
289 02D9 12	LD (DE),A
290 02DA CB C6	SET 0,(HL)   ; SNSRDELCTR Sensor Delay Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SLAVE 180

```

291 02DC 18 01          JR  MAIN_16
292 02DE D9          MAIN_15:  EXX
293 02DF CB 0E          MAIN_16:  RRC (HL)  ; DELCNTRL
294 02E1 13          INC  DE      ; Output Delay Time
295 02E2 D9          EXX
296 02E3 CB 0E          RRC (HL)  ; Output Data Buffer
297 02E5 DD E1          POP  IX
298 02E7 DD 23          INC  IX
299 02E9 DD 23          INC  IX
300 02EB 10 BF          DJNZ MAIN_12
301 02ED D9          EXX
302 02EE 23          INC  HL      ; DELCNTRL
303 02EF D9          EXX
304 02F0 13          INC  DE
305 02F1 23          INC  HL      ; Output Data Buffer
306 02F2 FD 23          INC  IY
307 02F4 0D          DEC  C
308 02F5 20 B3          JR  NZ,MAIN_11
309 02F7 ED 4B 2001      LD  BC,(OUTDBUFF)
310 02FB ED 5B 2089      LD  DE,(DELCNTRL)
311,02FF 2A 20D5          LD  HL,(SNSROPBUFF)
312 0302 DD 21 20D7      LD  IX,SNSRDELCTR
313 0306 22 2001          LD  (OUTDBUFF),HL
314 0309 78          LD  A,B
315 030A AA          XOR  D
316 030B AC          XOR  H
317 030C 67          LD  H,A
318 030D 7A          LD  A,D
319 030E DD B6 00          OR  (IX+0)

```

320 0311 A4		AND H
321 0312 67		LD H,A
322 0313 79		LD A,C
323 0314 AB		XOR E
324 0315 AD		XOR L
325 0316 6F		LD L,A
326 0317 7B		LD A,E
327 0318 DD B6 01		OR (IX+1)
328 031B A5		AND L
329 031C 6F		LD L,A
330 031D 22 2089		LD (DELCNTRL),HL
331 0320 3A 20E2	MAIN_17:	LD A,(N_OPREPORT)
332 0323 FE 00		CP 0
333 0325 28 18		JR Z,MAIN_19
334 0327 47		LD B,A
335 0328 21 3508		LD HL,OPREPORT
336 032B CD 039E	MAIN_18:	CALL UP_RECORD
337 032E C5		PUSH BC
338 032F 06 00		LD B,0
339 0331 0E 04		LD C,R_LENGTH
340 0333 11 2904		LD DE,REPORT_BUFF+(N_RECORD-1)*R_LENGTH
341 0336 ED B0		LDIR
342 0338 C1		POP BC
343 0339 10 F0		DJNZ MAIN_18
344 033B AF		XOR A
345 033C 32 20E2		LD (N_OPREPORT),A
346 033F FB	MAIN_19:	EI
347 0340 3A 2000		LD A,(FLAG)
348 0343 CB 47		BIT 0,A ; Have Data for Send?

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SLAVE 180

```

349 0345 CA 01F9      JP  Z,MAIN      ; No.
350 0348 CB 4F        BIT  1,A        ; Line Idle?
351 034A C2 01F9      JP  NZ,MAIN     ; IF Line Busy
352 034D CD 06A2      CALL PREPARE
353 0350 CD 0638      CALL SENDATA
354 0353 C3 01F9      JP  MAIN
355          ;*****
356          ; CY = 0 Sensor ON
357          ;   = 1 Senser OFF
358          ;
359 0356 F5          SNSREPORT:     PUSH AF
360 0357 DD E5          PUSH IX
361 0359 CD 039E      CALL UP_RECORD
362 035C DD 21 2904    LD  IX,REPORT_BUFF+(N_RECORD-1)*R_LENGTH
363 0360 CD 03B0      CALL FILL_TIME
364 0363 DD 36 00 00    LD  (IX+0),0
365 0367 38 04        JR  C,SNSREP_1  ; IF Sensor OFF
366 0369 DD CB 00 F6    SET  6,(IX+0)  ; Sensor ON
367 036D 3E E0        SNSREP_1:     LD  A,0E0H
368 036F DD B6 01      OR  (IX+1)
369 0372 DD 77 01      LD  (IX+1),A
370 0375 DD CB 02 FE    SET  7,(IX+2)
371 0379 3E 08        LD  A,8
372 037B 90          SUB  B
373 037C 32 20D4      LD  (SNSRNUM),A
374 037F DD B6 00      OR  (IX+0)
375 0382 DD 77 00      LD  (IX+0),A
376 0385 3A 2005      LD  A,(RPTSNSR)
377 0388 CB 07        SNSREP_2:     RLC  A

```

```

378 038A 10 FC          DJNZ SNSREP_2
379 038C 30 0C          JR  NC,SNSREP_3
380 038E DD CB 00 FE    SET  7,(IX+0)
381 0392 3A 2000        LD   A,(FLAG)
382 0395 CB C7          SET  0,A      ; Report Send Req.
383 0397 32 2000        LD   (FLAG),A
384 039A DD E1          SNSREP_3:    POP  IX
385 039C F1            POP  AF
386 039D C9            RET
387                    ;*****
388 039E E5            UP_RECORD:    PUSH HL
389 039F D5            PUSH DE
390 03A0 C5            PUSH BC
391 03A1 21 210C        LD   HL,REPORT_BUFF+R_LENGTH
392 03A4 11 2108        LD   DE,REPORT_BUFF
393 03A7 01 07FC        LD   BC,(N_RECORD-1)*R_LENGTH
394 03AA ED B0          LDIR
395 03AC C1            POP  BC
396 03AD D1            POP  DE
397 03AE E1            POP  HL
398 03AF C9            RET
399                    ;*****
400 03B0 F5            FILL_TIME:    PUSH AF
401 03B1 FD E5          PUSH  IY
402 03B3 FD 21 20AD     LD   IY,CLOCK_BUFF
403 03B7 FD 7E 02      FILL_TIME1:  LD   A,(IY+2)
404 03BA DD 77 03      LD   (IX+3),A
405 03BD FD 7E 01      LD   A,(IY+1)
406 03C0 DD 77 02      LD   (IX+2),A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SLAVE 180

```

407 03C3 FD 7E 00      LD  A,(TY+0)
408 03C6 DD 77 01      LD  (IX+1),A
409 03C9 FD 7E 02      LD  A,(TY+2)
410 03CC DD BE 03      CP  (IX+3)
411 03CF 20 E6          JR  NZ,FILL_TIME1
412 03D1 FD E1          POP  IY
413 03D3 F1            POP  AF
414 03D4 C9            RET
415                    ;*****
416 03D5 F5      KEEP_STAT:  PUSH AF
417 03D6 DD E5          PUSH IX
418 03D8 CD 0417        CALL UP_STAT
419 03DB DD 21 3502     LD  IX,STATUS_BUFF+(N_RECORD-1)*S_LENGTH
420 03DF F3            DI
421 03E0 CD 03FA        CALL TIME_FILL
422 03E3 3A 20DD       LD  A,(OUTPBUFF)
423 03E6 DD 77 00      LD  (IX+0),A
424 03E9 3A 20DE       LD  A,(OUTPBUFF+1)
425 03EC DD 77 01      LD  (IX+1),A
426 03EF 3A 20D3       LD  A,(SENSRBUF)
427 03F2 DD 77 02      LD  (IX+2),A
428 03F5 DD E1          POP  IX
429 03F7 F1            POP  AF
430 03F8 FB            EI
431 03F9 C9            RET
432                    ;*****
433 03FA F5      TIME_FILL:  PUSH AF
434 03FB 3A 20B2     TIME_FILL1: LD  A,(TIME_BUFF+2)
435 03FE DD 77 05     LD  (IX+5),A

```

```

436 0401 3A 20B1      LD  A,(TIME_BUFF+1)
437 0404 DD 77 04      LD  (IX+4),A
438 0407 3A 20B0      LD  A,(TIME_BUFF)
439 040A DD 77 03      LD  (IX+3),A
440 040D 3A 20B2      LD  A,(TIME_BUFF+2)
441 0410 DD BE 05      CP  (IX+5)
442 0413 20 A2         JR  NZ,FILL_TIME1
443 0415 F1           POP  AF
444 0416 C9           RET
445                ;*****
446 0417 E5      UP_STAT:  PUSH HL
447 0418 D5      PUSH DE
448 0419 C5      PUSH BC
449 041A 21 290E  LD  HL,STATUS_BUFF+S_LENGTH
450 041D 11 2908  LD  DE,STATUS_BUFF
451 0420 01 0BFA  LD  BC,(N_RECORD-1)*S_LENGTH
452 0423 ED B0    LDIR
453 0425 C1      POP  BC
454 0426 D1      POP  DE
455 0427 E1      POP  HL
456 0428 C9      RET
457                ;*****
458 0429 E5      SCAN:     PUSH HL
459 042A D5      PUSH DE
460 042B C5      PUSH BC
461 042C F5      PUSH AF
462 042D 06 04   LD  B,04H
463 042F 48      LD  C,B
464 0430 11 0000 LD  DE,0

```

SLAVE 180

```

465 0433 79      SCAN_1:      LD  A,C
466 0434 D3 02      OUT (SCAN_PORT),A
467 0436 DB 02      IN  A,(SCAN_PORT)
468 0438 B6 F0      AND 11110000B
469 043A 2F        CPL
470 043B C5        PUSH BC
471 043C 06 04      LD  B,04H
472 043E CB 27      SCAN_2:      SLA  A
473 0440 CB 13      RL  B
474 0442 CB 12      RL  D
475 0444 10 F8      DJNZ SCAN_2
476 0446 C1        POP  BC
477 0447 0C        INC  C
478 0448 10 E9      DJNZ SCAN_1
479 044A 3E 0A      LD  A,0AH
480 044C D3 02      OUT (SCAN_PORT),A
481 044E 3A 2006     LD  A,(OPCNTRL)
482 0451 A3        AND  B
483 0452 5F        LD  E,A
484 0453 3A 2007     LD  A,(OPCNTRL+1)
485 0456 A2        AND  D
486 0457 57        LD  D,A
487 0458 2A 20E3     LD  HL,(SCAN_BUFF)
488 045B AF        XOR  A
489 045C ED 52      SBC  HL,DE
490 045E 28 61      JR  Z,SCAN_12
491 0460 ED 53 20E3  SCAN_3:      LD  (SCAN_BUFF),DE
492 0464 2A 2001     LD  HL,(OUTDBUFF)
493 0467 ED 4B 2089     LD  BC,(DELCNTRL)

```

494 046B 7C	LD A,H
495 046C A8	XOR B
496 046D A2	AND D
497 046E AA	XOR D
498 046F 47	LD B,A
499 0470 7A	LD A,D
500 0471 2F	CPL
501 0472 A4	AND H
502 0473 B0	OR B
503 0474 67	LD H,A
504 0475 7D	LD A,L
505 0476 A9	XOR C
506 0477 A3	AND B
507 0478 AB	XOR B
508 0479 4F	LD C,A
509 047A 7B	LD A,E
510 047B 2F	CPL
511 047C AS	AND L
512 047D B1	OR C
513 047E 6F	LD L,A
514 047F 22 2001	LD (OUTDBUFF),HL
515 0482 7A	LD A,D
516 0483 B7	OR A
517 0484 28 14	JR Z,SCAN_07
518 0486 A0	AND B
519 0487 21 20B3	LD HL,MAKE_ON
520 048A 20 03	JR NZ,SCAN_04
521 048C 21 20C3	LD HL,MAKE_OFF
522 048F 06 08   SCAN_04:	LD B,08

SLAVE 180

523 0491 7A		LD A,D
524 0492 0F	SCAN_05:	RRCA
525 0493 30 02		JR NC,SCAN_06
526 0495 36 08		LD (HL),08
527 0497 23	SCAN_06:	INC HL
528 0498 10 F8		DJNZ SCAN_05
529 049A 7B	SCAN_07:	LD A,E
530 049B B7		OR A
531 049C 28 14		JR Z,SCAN_11
532 049E A1		AND C
533 049F 21 20B3		LD HL,MAKE_ON
534 04A2 20 03		JR NZ,SCAN_08
535 04A4 21 20C3		LD HL,MAKE_OFF
536 04A7 06 08	SCAN_08:	LD B,08
537 04A9 7B		LD A,E
538 04AA 0F	SCAN_09:	RRCA
539 04AB 30 02		JR NC,SCAN_10
540 04AD 36 08		LD (HL),08
541 04AF 23	SCAN_10:	INC HL
542 04B0 10 F8		DJNZ SCAN_09
543 04B2 ED 4B 2089	SCAN_11:	LD BC,(DELCNTRL)
544 04B6 7A		LD A,D
545 04B7 2F		CPL
546 04B8 A0		AND B
547 04B9 67		LD H,A
548 04BA 7B		LD A,E
549 04BB 2F		CPL
550 04BC A1		AND C
551 04BD 6F		LD L,A

```

552 04BE 22 2089          LD (DELCNTRL),HL
553 04C1 F1          SCAN_12:  POP AF
554 04C2 C1          POP BC
555 04C3 D1          POP DE
556 04C4 E1          POP HL
557 04C5 C9          RET
558          ;*****
559          ; PROGRAMMABLE RELOAD TIMER (PRT) CHANNEL 0 INTERRUPT
560          ;*****
561 04C6 F3          CLOCK:    DI
562 04C7 F5          PUSH AF
563 04C8 C5          PUSH BC
564 04C9 D5          PUSH DE
565 04CA E5          PUSH HL
566 04CB DD E5          PUSH IX
567 04CD FD E5          PUSH IY
568 04CF ED 38 50    CLK_1:    IN0 A,(TCR) ; Timer Control Register
569 04D2 CB 77          BIT 6,A ; Timer Interrupt flag ch.0
570 04D4 28 F9          JR Z,CLK_1
571 04D6 ED 38 4C    IN0 A,(TMDROL) ; Timer data register ch.0L
572 04D9 3A 20E1      LD A,(T_BUFF)
573 04DC 3D          DEC A
574 04DD 20 65          JR NZ,CLK_6
575 04DF FD 21 20AD    LD IY,CLOCK_BUFF
576 04E3 FD 7E 02      LD A,(IY+2)
577 04E6 3C          INC A
578 04E7 FD 77 02      LD (IY+2),A
579 04EA D6 3C          SUB 60
580 04EC 38 1F          JR C,CLK_2

```

SLAVE 180

581 04EE FD 77 02		LD (IY+2),A
582 04F1 FD 7E 01		LD A,(IY+1)
583 04F4 3C		INC A
584 04F5 FD 77 01		LD (IY+1),A
585 04F8 D6 3C		SUB 60
586 04FA 38 11		JR C,CLK_2
587 04FC FD 77 01		LD (IY+1),A
588 04FF FD 7E 00		LD A,(IY+0)
589 0502 3C		INC A
590 0503 FD 77 00		LD (IY+0),A
591 0506 D6 18		SUB 24
592 0508 38 03		JR C,CLK_2
593 050A FD 77 00		LD (IY+0),A
594 050D DD E5	CLK_2:	PUSH IX
595 050F 2A 2089		LD HL,(DELCNTRL)
596 0512 DD 21 208B		LD IX,DLTCOP
597 0516 0E 02		LD C,2
598 0518 06 08	CLK_3:	LD B,8
599 051A CB 0D	CLK_4:	RRC L
600 051C 30 13		JR NC,CLK_5
601 051E DD 5E 00		LD E,(IX+0)
602 0521 DD 56 01		LD D,(IX+1)
603 0524 1B		DEC DE
604 0525 DD 73 00		LD (IX+0),E
605 0528 DD 72 01		LD (IX+1),D
606 052B 7A		LD A,D
607 052C B3		OR E
608 052D 20 02		JR NZ,CLK_5
609 052F CB BD		RES 7,L

610 0531 DD 23	CLK_5:	INC IX
611 0533 DD 23		INC IX
612 0535 10 E3		DJNZ CLK_4
613 0537 55		LD D,L
614 0538 6C		LD L,H
615 0539 62		LD H,D
616 053A 0D		DEC C
617 053B 20 DB		JR NZ,CLK_3
618 053D 22 2089		LD (DELCNTRL),HL
619 0540 DD E1		POP IX
620 0542 3E 05		LD A,5
621 0544 32 20E1	CLK_6:	LD (T_BUFF),A
622 0547 CD 0429		CALL SCAN
623 054A 2A 2089		LD HL,(DELCNTRL)
624 054D EB		EX DE,HL
625 054E 2A 2001		LD HL,(OUTDBUFF)
626 0551 3E 0A		LD A,0AH
627 0553 D3 02		OUT (SCAN_PORT),A
628 0555 7D		LD A,L
629 0556 AB		XOR E
630 0557 5F		LD E,A
631 0558 D3 00		OUT (OUTP_PORT),A
632 055A 3E 0B		LD A,0BH
633 055C D3 02		OUT (SCAN_PORT),A
634 055E 7C		LD A,H
635 055F AA		XOR D
636 0560 57		LD D,A
637 0561 D3 00		OUT (OUTP_PORT),A
638 0563 3E 09		LD A,09H

SLAVE 180

```

639 0565 D3 02          OUT (SCAN_PORT),A
640 0567 2A 20DD        LD HL,(OUTPBUFF)
641 056A EB             EX DE,HL
642 056B 22 20DD        LD (OUTPBUFF),HL
643 056E 0E 02          LD C,2
644 0570 DD 21 3508     LD IX,OPREPORT
645 0574 FD 21 20B3     LD IY,MAKE_ON
646 0578 3A 20E2        LD A,(N_OPREPORT)
647 057B B7             OR A
648 057C 28 09          JR Z,CLK_7
649 057E C5             PUSH BC ; Save BC
650 057F 47             LD B,A
651 0580 0E 04          LD C,R_LENGTH
652 0582 ED 4C          MLT BC
653 0584 DD 09          ADD IX,BC
654 0586 C1             POP BC ; Restore BC
655 0587 7D             LD A,L
656 0588 AB             XOR E
657 0589 28 2C          JR Z,CLK_11
658 058B F5             PUSH AF
659 058C 3A 2000        LD A,(FLAG)
660 058F CB D7          SET 2,A
661 0591 32 2000        LD (FLAG),A
662 0594 F1             POP AF
663 0595 06 08          LD B,8
664 0597 0F             RRCA
665 0598 30 17          JR NC,CLK_9
666 059A CB 0D          RRC L
667 059C CD 05D6        CALL OUTREPORT

```

668 059F C5		PUSH BC
669 05A0 4F		LD C,A
670 05A1 3A 20E2		LD A,(N_OPREPORT)
671 05A4 3C		INC A
672 05A5 32 20E2		LD (N_OPREPORT),A
673 05A8 79		LD A,C
674 05A9 01 0004		LD BC,R_LENGTH
675 05AC DD 09		ADD IX,BC
676 05AE C1		POP BC
677 05AF 18 04		JR CLK_10
678 05B1 CB 0D	CLK_9:	RRC L
679 05B3 FD 23		INC IY
680 05B5 10 E0	CLK_10:	DJNZ CLK_8
681 05B7 6C	CLK_11:	LD L,H
682 05B8 5A		LD ED
683 05B9 0D		DEC C
684 05BA 20 CB		JR NZ,CLK_7
685 05BC 3A 2000		LD A,(FLAG)
686 05BF CB 57		BIT 2,A
687 05C1 28 08		JR Z,CLK_12
688 05C3 CD 03D5		CALL KEEP_STAT
689 05C6 CB 97		RES 2,A
690 05C8 32 2000		LD (FLAG),A
691 05CB FD E1	CLK_12:	POP IY
692 05CD DD E1		POP IX
693 05CF E1		POP HL
694 05D0 D1		POP DE
695 05D1 C1		POP BC
696 05D2 F1		POP AF

SLAVE 180

```

697 05D3 FB          EI
698 05D4 ED 4D      RETI
699                ;*****
700                ; CY = 0 Output OFF
701                ;   = 1 Output ON
702                ;
703 05D6 F5          OUTREPORT:  PUSH AF
704 05D7 C5          PUSH BC
705 05D8 D5          PUSH DE
706 05D9 E5          PUSH HL
707 05DA FD E5      PUSH IY
708 05DC CD 03B0    CALL FILL_TIME
709 05DF DD 36 00 00 LD  (IX+0),0
710 05E3 38 09      JR  C,OUTREP_1
711 05E5 C5          PUSH BC
712 05E6 01 0010    LD  BC,MAKE_OFF-MAKE_ON
713 05E9 FD 09      ADD  IY,BC
714 05EB C1          POP  BC
715 05EC 18 04      JR  OUTREP_2
716 05EB DD CB 00 F6 OUTREP_1: SET  6,(IX+0) ; IF O/P ON
717 05F2 FD 7E 00  OUTREP_2:  LD  A,(IY+0)
718 05F5 07          RLCA
719 05F6 07          RLCA
720 05F7 07          RLCA
721 05F8 07          RLCA
722 05F9 CB 27      SLLA A
723 05FB 30 04      JR  NC,OUTREP_3
724 05FD DD CB 02 FE SET  7,(IX+2)
725 0601 DD B6 01  OUTREP_3:  OR  (IX+1)
    
```

```

726 0604 DD 77 01      LD (IX+1),A
727 0607 79           LD A,C
728 0608 FE 02       CP 2
729 060A 3A 2003     LD A,(RPTOUTP)
730 060D 5F         LD E,A
731 060E 3E 10      LD A,16
732 0610 28 06      JR Z,OUTREP_4
733 0612 3A 2004     LD A,(RPTOUTP+1)
734 0615 5F         LD E,A
735 0616 3E 18      LD A,24
736 0618 90 OUTREP_4: SUB B
737 0619 DD B6 00    OR (IX+0)
738 061C DD 77 00    LD (IX+0),A
739 061F CB 03 OUTREP_5: RLC E
740 0621 10 FC      DJNZ OUTREP_5
741 0623 30 0C      JR NC,OUTREP_6
742 0625 DD CB 00 FE SET 7,(IX+0)
743 0629 3A 2000     LD A,(FLAG)
744 062C CB C7      SET 0,A ; Report Send Req.
745 062E 32 2000     LD (FLAG),A
746 0631 FD E1 OUTREP_6: POP IY
747 0633 E1         POP HL
748 0634 D1         POP DE
749 0635 C1         POP BC
750 0636 F1         POP AF
751 0637 C9         RET

752 ;*****
753 ; SEND DATA REPORT TO SERIAL PORT Ch.0
754 ;*****

```

SLAVE 180

```

755 0638 D9      SENDATA:      EXX
756 0639 3A 3588      LD  A,(S_NUM)
757 063C B7          OR  A
758 063D 28 59       JR  Z,SENDAT_6
759 063F 47          LD  B,A
760 0640 3E 02       LD  A,02H
761 0642 ED 39 42     OUT0 (CNILB0),A
762 0645 3E 00       LD  A,0
763 0647 ED 39 44     OUT0 (STAT0),A
764 064A 3A 20AB      LD  A,(IDNUM)
765 064D CD 0701      CALL TXBYTE_0
766 0650 3A 20AC      LD  A,(IDNUM+1)
767 0653 CD 0701      CALL TXBYTE_0
768 0656 CD 0720      CALL RXBYTE_0
769 0659 38 2B       JR  C,SENDAT_4
770 065B 5F          LD  E,A
771 065C CD 0720      CALL RXBYTE_0
772 065F 38 25       JR  C,SENDAT_4
773 0661 57          LD  D,A
774 0662 2A 20AB      LD  HL,(IDNUM)
775 0665 ED 52       SBC HL,DE ; Compare ID Number
776 0667 28 07       JR  Z,SENDAT_1
777 0669 3E 05       LD  A,05H
778 066B CD 0701      CALL TXBYTE_0
779 066E 18 16       JR  SENDAT_4
780 0670 3E 06      SENDAT_1:      LD  A,06H
781 0672 CD 0701      CALL TXBYTE_0
782 0675 21 3548      LD  HL,SEND_BUFF
783 0678 CD 06DC      SENDAT_2:      CALL TXREC_0

```

```

784 067B 10 FB          DJNZ SENDAT_2
785 067D 3E FF          LD  A,0FFH
786 067F 06 04          LD  B,R_LENGTH
787 0681 CD 0701 SENDAT_3: CALL TXBYTE_0
788 0684 10 FB          DJNZ SENDAT_3
789 0686 01 1000 SENDAT_4: LD  BC,1000H
790 0689 0B SENDAT_5: DEC  BC
791 068A 78             LD  A,B
792 068B B1             OR   C
793 068C 20 FB          JR   NZ,SENDAT_5
794 068E 3E 42          LD  A,42H
795 0690 ED 39 42       OUT0 (CNTLB0),A
796 0693 3E 08          LD  A,08H
797 0695 ED 39 44       OUT0 (STAT0),A
798 0698 3A 2000 SENDAT_6: LD  A,(FLAG)
799 069B CB 87          RES  0,A ; Clear Report Send Flag
800 069D 32 2000       LD  (FLAG),A
801 06A0 D9            EXX
802 06A1 C9            RET
803 *****
804 06A2 F3 PREPARE: DI
805 06A3 F5           PUSH AF
806 06A4 C5           PUSH BC
807 06A5 D5           PUSH DE
808 06A6 E5           PUSH HL
809 06A7 AF           XOR  A
810 06A8 32 3588       LD  (S_NUM),A
811 06AB CD 0A84       CALL BEGIN_REC
812 06AE 11 3548       LD  DE,SEND_BUFF

```

SLAVE 180

```

813 06B1 01 2908          LD  BC,REPORT_BUFF+N_RECORD*R_LENGTH
814 06B4 C5      PREP_1:  PUSH BC
815 06B5 CB 7E          BIT  7,(HL)
816 06B7 28 10          JR   Z,PREP_2
817 06B9 CB BE          RES  7,(HL)
818 06BB 01 0004        LD  BC,R_LENGTH
819 06BE ED B0          LDIR
820 06C0 3A 3588        LD  A,(S_NUM)
821 06C3 3C            INC  A
822 06C4 32 3588        LD  (S_NUM),A
823 06C7 18 04          JR   PREP_3
824 06C9 01 0004        PREP_2: LD  BC,R_LENGTH
825 06CC 09            ADD  HL,BC
826 06CD C1      PREP_3:  POP  BC
827 06CE 7C            LD  A,H
828 06CF B8            CP   B
829 06D0 38 E2          JR   C,PREP_1
830 06D2 7D            LD  A,L
831 06D3 B9            CP   C
832 06D4 38 DE          JR   C,PREP_1
833 06D6 E1            POP  HL
834 06D7 D1            POP  DE
835 06D8 C1            POP  BC
836 06D9 F1            POP  AF
837 06DA FB            EI
838 06DB C9            RET

839          ;*****
840          ; HL = Top Address of Record
841          ;

```

```

842 06DC C5      TXREC_0:      PUSH BC
843 06DD 06 04                      LD B,R_LENGTH
844 06DF 7E      TXREC00:     LD A,(HL)
845 06E0 CD 0701                      CALL TXBYTE_0
846 06E3 23                      INC HL
847 06E4 10 F9                      DJNZ TXREC00
848 06E6 C1                      POP BC
849 06E7 C9                      RET

850      ;*****
851      ; HL = Top Address of String
852      ; B = Loop
853      ;
854 06E8 7E      TX_DATA:      LD A,(HL)
855 06E9 CD 0701                      CALL TXBYTE_0
856 06EC 23                      INC HL
857 06ED 10 F9                      DJNZ TX_DATA
858 06EF C9                      RET
859      ;*****
860 06F0 F5      TX_START:     PUSH AF
861 06F1 C5                      PUSH BC
862 06F2 3E 08                      LD A,8
863 06F4 D3 02                      OUT (SCAN_PORT),A
864 06F6 01 1000                      LD BC,1000H
865 06F9 0B      TX_S1:      DEC BC
866 06FA 78                      LD A,B
867 06FB B1                      OR C
868 06FC 20 FB                      JR NZ,TX_S1
869 06FE C1                      POP BC
870 06FF F1                      POP AF

```

SLAVE 180

```

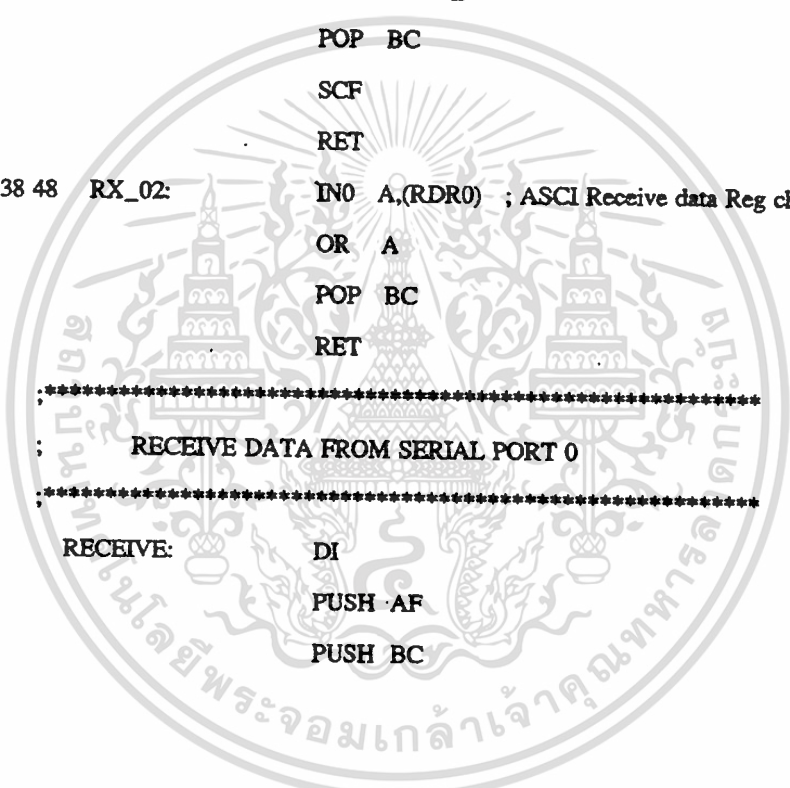
871 0700 C9          RET
872          ;*****
873          ; A = Transmit data
874          ;
875 0701 C5          TXBYTE_0:    PUSH BC
876
885 0702 D5          PUSH DE
886 0703 ED 18 44    OUT_2:      IN0  E,(STAT0) ; ASCII Status Reg ch.0
887 0706 CB 4B          BIT  1,E      ; Transmit data Reg. empty ?
888 0708 28 F9          JR   Z,OUT_2  ; Yes
889 070A ED 39 46    OUT0 (TDR0),A ; ASCII Transmit data Reg ch.0
890 070D D1          POP  DE
891 070E C1          POP  BC
892 070F C9          RET
893          ;*****
894 0710 3E B4          ASCII_0_SET: LD  A,0E4H  ; TxRx Enable 8b 1st Nonparity
895 0712 ED 39 40    OUT0 (CNTLA0),A ; ASCII Control Reg A ch.0
896 0715 3E 42          LD  A,42H  ; 9600 Baud at 12.288 MHz
897 0717 ED 39 42    OUT0 (CNTLB0),A ; ASCII Control Reg B ch.0
898 071A 3E 08          LD  A,08
899 071C ED 39 44    OUT0 (STAT0),A ; ASCII Status Reg ch.0
900 071F C9          RET
901          ;*****
902          ;          READ DATA FROM SERIAL PORT 0
903          ;*****
904          ; A = Receive data
905          ; CY = 0 OK   ; CY = 1 ERROR
906          ;
907 0720 C5          RXBYTE_0:    PUSH BC

```

```

908 0721 01 FFFF          LD  BC,0FFFFH
909 0724 ED 38 44  RX_01: IN0 A,(STAT0) ; ASCII Status Reg ch.0
910 0727 CB 7F          BIT  7,A      ; Receive data Reg. full ?
911 0729 20 08          JR   NZ,RX_02 ; Yes
912 072B 0B            DEC  BC
913 072C 78            LD   A,B
914 072D B1            OR   C
915 072E 20 F4          JR   NZ,RX_01
916 0730 C1            POP  BC
917 0731 37            SCF
918 0732 C9            RET
919 0733 ED 38 48  RX_02: IN0 A,(RDR0) ; ASCII Receive data Reg ch.0
920 0736 B7            OR   A
921 0737 C1            POP  BC
922 0738 C9            RET
923  ;*****
924  ; RECEIVE DATA FROM SERIAL PORT 0
925  ;*****
926 0739 F3  RECEIVE:  DI
927 073A F5            PUSH AF
928 073B C5            PUSH BC

```



SLAVE 180

```

929 073C D5          PUSH DE
930 073D E5          PUSH HL
931 073E DD E5       PUSH IX
932 0740 21 2000     LD HL,FLAG
933 0743 CB CE       SET 1,(HL) ; Line Busy Set
934 0745 ED 18 48    IN0 E,(RDR0)
935 0748 3E FF       LD A,0FFH ; Line Busy Reset Code
936 074A BB          CP E
937 074B 20 04       JR NZ,RECV_0
938 074D CB 8E       RES 1,(HL) ; Line Busy Reset
939 074F 18 54       JR RECV_6
940 0751 3A 20AB RECV_0: LD A,(IDNUM) ; Board Number Low byte
941 0754 BB          CP E
942 0755 20 4E       JR NZ,RECV_6
943 0757 3E 02       LD A,02H
944 0759 ED 39 42    OUT0 (CNTLB0),A ; Communication Reset
945 075C 3E 00       LD A,0
946 075E ED 39 44    OUT0 (STAT0),A ; Disable
947 0761 CD 0720     CALL RXBYTE_0
948 0764 38 29       JR C,RECV_4
949 0766 5F          LD EA
950 0767 3A 20AC     LD A,(IDNUM+1)
951 076A BB          CP E
952 076B 20 22       JR NZ,RECV_4
953 076D CB 8E       RES 1,(HL) ; Line Busy Reset
954 076F CD 0720     CALL RXBYTE_0
955 0772 38 1B       JR C,RECV_4
956 0774 47          LD B,A
957 0775 F5          PUSH AF

```

958 0776 21 20E5		LD HL,DATA_BUFF
959 0779 E5		PUSH HL
960 077A CD 0720	RECV_1:	CALL RXBYTE_0
961 077D 30 04		JR NC,RECV_2
962 077F E1		POP HL
963 0780 F1		POP AF
964 0781 18 0C		JR RECV_4
965 0783 77	RECV_2:	LD (HL),A
966 0784 23		INC HL
967 0785 10 F3		DJNZ RECV_1
968 0787 E1		POP HL
969 0788 F1		POP AF
970 0789 CD 06F0		CALL TX_START ; Start TX
971 078C CD 07AE		CALL COMMAND
972 078F 3E 09	RECV_4:	LD A,9H ; Stop TX
973 0791 D3 02		OUT (SCAN_PORT),A
974 0793 01 1000		LD BC,1000H
975 0796 0B	RECV_5:	DEC BC
976 0797 78		LD A,B
977 0798 B1		OR C
978 0799 20 FB		JR NZ,RECV_5
979 079B 3E 42		LD A,42H
980 079D ED 39 42		OUT0 (CNTLB0),A ; Communication Set
981 07A0 3E 08		LD A,08
982 07A2 ED 39 44		OUT0 (STAT0),A ; Enable
983 07A5 DD E1	RECV_6:	POP IX
984 07A7 E1		POP HL
985 07A8 D1		POP DE
986 07A9 C1		POP BC

SLAVE 180

```

987 07AA F1                POP AF
988 07AB FB                EI
989 07AC ED 4D            RETI
990                ;*****
991                ;          COMMAND PROCESS
992                ;*****
993                ; HL = Command Buffer
994                ;
995 07AE 47      COMMAND:  LD  B,A
996 07AF 7E                LD  A,(HL)
997 07B0 FE 0A            CP  0AH
998 07B2 30 1A           JR  NC,COMM_END
999 07B4 4F                LD  C,A
1000 07B5 78              LD  A,B
1001 07B6 06 00          LD  B,0
1002 07B8 CB 21          SLA C
1003 07BA 23            INC HL
1004 07BB EB            EX  DE,HL
1005 07BC 21 07CE        LD  HL,COMM_END
1006 07BF E5            PUSH HL
1007 07C0 21 07CF        LD  HL,COMM_TBL
1008 07C3 09            ADD HL,BC
1009 07C4 E5            PUSH HL
1010 07C5 DD E1          POP IX
1011 07C7 DD 6E 00       LD  L,(IX+0)
1012 07CA DD 66 01       LD  H,(IX+1)
1013 07CD E9            JP  (HL)
1014 07CE C9      COMM_END:  RET
1015                ;*****

```

```

1016 07CF 07E5      COMM_TBL      DW  READ_TIME
1017 07D1 07F8      DW  SET_TIME
1018 07D3 08CB      DW  PRESENT_ST ; Read all Output
1019 07D5 08EF      DW  OUTP_CTRL ; Write all Output
1020 07D7 0918      DW  PCOUTP_WR ; Write from PC
1021 07D9 094A      DW  REP_ALL   ; Send Report All Record
1022 07DB 099E      DW  SEND_STAT ; Send Status
1023 07DD 09CB      DW  BACK_UP   ; Send All Record & Clear Buffer
1024 07DF 0A25      DW  DELAY_CTRL ; Output Control + Delay time
1025 07E1 0A63      DW  SYSTEM_RD ; Operated System Read
1026 07E3 0A77      DW  SYSTEM_WR ; Operated System Write
1027                ;*****
1028 07E5 FE 01      READ_TIME:    CP  01H
1029 07E7 C0                RET  NZ
1030 07E8 DD 21 20E5      LD  IX,DATA_BUFF
1031 07EC CD 03B0      CALL  FILL_TIME
1032 07EF DD E5                PUSH IX
1033 07F1 E1                POP  HL
1034 07F2 06 04      LD  B,4
1035 07F4 CD 06E8      CALL  TX_DATA
1036 07F7 C9                RET
1037                ;*****
1038 07F8 FE 04      SET_TIME:    CP  04H
1039 07FA C0                RET  NZ
1040 07FB F3                DI
1041 07FC DD 21 20B0      LD  IX,TIME_BUFF
1042 0800 FD 21 20AD      LD  IY,CLOCK_BUFF
1043 0804 FD 7E 00      LD  A,(IY+0)
1044 0807 DD 77 00      LD  (IX+0),A

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SLAVE 180

```

1045 080A 1A                LD  A,(DE)
1046 080B FD 77 00  SET_T1: LD  (Y+0),A
1047 080E D6 18            SUB  24
1048 0810 38 02            JR  C,SET_T2
1049 0812 18 F7            JR  SET_T1
1050 0814 13      SET_T2:  INC  DE
1051 0815 FD 7E 01        LD  A,(Y+1)
1052 0818 DD 77 01        LD  (X+1),A
1053 081B 1A                LD  A,(DE)
1054 081C FD 77 01  SET_T3: LD  (Y+1),A
1055 081F D6 3C            SUB  60
1056 0821 38 02            JR  C,SET_T4
1057 0823 18 F7            JR  SET_T3
1058 0825 13      SET_T4:  INC  DE
1059 0826 FD 7E 02        LD  A,(Y+2)
1060 0829 DD 77 02        LD  (X+2),A
1061 082C 1A                LD  A,(DE)
1062 082D FD 77 02  SET_T5: LD  (Y+2),A
1063 0830 D6 3C            SUB  60
1064 0832 38 02            JR  C,SET_T6
1065 0834 18 F7            JR  SET_T5
1066 0836 DD 21 20E5 SET_T6: LD  IX,DATA_BUFF
1067 083A CD 03B0          CALL  FILL_TIME
1068 083D DD E5            PUSH  IX
1069 083F E1              POP   HL
1070 0840 06 04            LD   B,4
1071 0842 CD 06E8          CALL  TX_DATA
1072 0845 DD 21 20B0          LD   IX,TIME_BUFF
1073 0849 DD 7E 00          LD   A,(X+0)

```

1074 084C FD BE 00	CP (Y+0)
1075 084F 38 1A	JR C,SET_09
1076 0851 28 02	JR Z,SET_07
1077 0853 18 46	JR SET_13
1078 0855 DD 7E 01 SET_07:	LD A,(IX+1)
1079 0858 FD BE 01	CP (Y+1)
1080 085B 38 0E	JR C,SET_09
1081 085D 28 02	JR Z,SET_08
1082 085F 18 3A	JR SET_13
1083 0861 DD 7E 02 SET_08:	LD A,(IX+2)
1084 0864 FD BE 02	CP (Y+2)
1085 0867 28 60	JR Z,SET_17
1086 0869 30 30	JR NC,SET_13
1087 086B FD 7E 02 SET_09:	LD A,(Y+2)
1088 086E DD 96 02	SUB (IX+2)
1089 0871 F5	PUSH AF
1090 0872 30 02	JR NC,SET_10
1091 0874 C6 3C	ADD 60
1092 0876 DD 77 02 SET_10:	LD (IX+2),A
1093 0879 F1	POP AF
1094 087A FD 7E 01	LD A,(Y+1)
1095 087D DD 9E 01	SBC (IX+1)
1096 0880 F5	PUSH AF
1097 0881 30 02	JR NC,SET_11
1098 0883 C6 3C	ADD 60
1099 0885 DD 77 01 SET_11:	LD (IX+1),A
1100 0888 F1	POP AF
1101 0889 FD 7E 00	LD A,(Y+0)
1102 088C DD 9E 00	SBC (IX+0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SLAVE 180

```

1103 088F 30 02          JR  NC,SET_12
1104 0891 C6 18          ADD 24
1105 0893 DD 77 00  SET_12: LD  (IX+0),A
1106 0896 CD 0AC7        CALL TIME_ADD
1107 0899 18 2E          JR  SET_17
1108 089B DD 7E 02  SET_13: LD  A,(IX+2)
1109 089E FD 96 02        SUB (IY+2)
1110 08A1 F5              PUSH AF
1111 08A2 30 02          JR  NC,SET_14
1112 08A4 C6 3C          ADD 60
1113 08A6 DD 77 02  SET_14: LD  (IX+2),A
1114 08A9 F1              POP  AF
1115 08AA DD 7E 01        LD  A,(IX+1)
1116 08AD FD 9E 01        SBC (IY+1)
1117 08B0 F5              PUSH AF
1118 08B1 30 02          JR  NC,SET_15
1119 08B3 C6 3C          ADD 60
1120 08B5 DD 77 01  SET_15: LD  (IX+1),A
1121 08B8 F1              POP  AF
1122 08B9 DD 7E 00        LD  A,(IX+0)
1123 08BC FD 9E 00        SBC (IY+0)
1124 08BF 30 02          JR  NC,SET_16
1125 08C1 C6 18          ADD 24
1126 08C3 DD 77 00  SET_16: LD  (IX+0),A
1127 08C6 CD 0B2D        CALL TIME_SUB
1128 08C9 FB          SET_17: EI
1129 08CA C9              RET
1130                      ;*****
1131 08CB FE 01  PRESENT_ST: CP  01H
    
```

1132 08CD C0		RET NZ
1133 08CE DD 21 20E5		LD IX,DATA_BUFF
1134 08D2 F3		DI
1135 08D3 3A 20DD		LD A,(OUTPBUFF)
1136 08D6 DD 77 01		LD (IX+1),A
1137 08D9 3A 20DE		LD A,(OUTPBUFF+1)
1138 08DC DD 77 02		LD (IX+2),A
1139 08DF 3A 20D3		LD A,(SENSRBUF)
1140 08E2 DD 77 03		LD (IX+3),A
1141 08E5 FB		EI
1142 08E6 DD E5		PUSH IX
1143 08E8 E1		POP HL
1144 08E9 06 04		LD B,4
1145 08EB CD 06E8		CALL TX_DATA
1146 08EE C9		RET
1147	*****	
1148 08EF FE 03	OUTP_CTRL:	CP 03H
1149 08F1 C0		RET NZ
1150 08F2 F3		DI
1151 08F3 1A		LD A,(DE)
1152 08F4 32 2001		LD (OUTDBUFF),A
1153 08F7 13		INC DE
1154 08F8 1A		LD A,(DE)
1155 08F9 32 2002		LD (OUTDBUFF+1),A
1156 08FC AF		XOR A
1157 08FD 32 2089		LD (DELCNTRL),A
1158 0900 32 208A		LD (DELCNTRL+1),A
1159 0903 21 20E5		LD HL,DATA_BUFF
1160 0906 06 03		LD B,03

SLAVE 180

```

1161 0908 CD 06E8          CALL TX_DATA
1162 090B 21 20B3          LD HL,MAKE_ON
1163 090E 3E 09           LD A,09 ; Remote Code
1164 0910 06 20           LD B,32
1165 0912 77 OUT_CTRL:    LD (HL),A
1166 0913 23             INC HL
1167 0914 10 FC          DJNZ OUT_CTRL
1168 0916 FB             EI
1169 0917 C9             RET
1170 *****
1171 0918 FE 03 PCOUTP_WR: CP 03H
1172 091A C0             RET NZ
1173 091B F3             DI
1174 091C 1A             LD A,(DE)
1175 091D 32 2001        LD (OUTDBUFF),A
1176 0920 13             INC DE
1177 0921 1A             LD A,(DE)
1178 0922 32 2002        LD (OUTDBUFF+1),A
1179 0925 AF             XOR A
1180 0926 32 2089        LD (DELCNTRL),A
1181 0929 32 208A        LD (DELCNTRL+1),A
1182 092C 21 20E5        LD HL,DATA_BUFF
1183 092F E5             PUSH HL
1184 0930 DD E1          POP IX
1185 0932 3A 20D3        LD A,(SENSRBUF)
1186 0935 DD 77 03       LD (IX+3),A
1187 0938 06 04          LD B,04
1188 093A CD 06E8          CALL TX_DATA
1189 093D 21 20B3          LD HL,MAKE_ON

```

```

1190 0940 3E 0A          LD  A,0AH      ; Remote Code
1191 0942 06 20          LD  B,32
1192 0944 77      PCOUT: LD  (HL),A
1193 0945 23          INC  HL
1194 0946 10 FC          DJNZ PCOUT
1195 0948 FB          EI
1196 0949 C9          RET

1197      ;*****
1198 094A FE 01      REP_ALL: CP  01H
1199 094C C0          RET  NZ
1200 094D F3          DI
1201 094E 3A 20E2      LD  A,(N_OPREPORT)
1202 0951 FE 00      CP  0
1203 0953 28 18      JR  Z,REP_ALL2
1204 0955 47          LD  B,A
1205 0956 21 3508      LD  HL,OPREPORT
1206 0959 CD 039E      REP_ALL1: CALL UP_RECORD
1207 095C C5          PUSH BC
1208 095D 06 00      LD  B,0
1209 095F 0E 04      LD  C,R_LENGTH
1210 0961 11 2904      LD  DE,REPORT_BUFF+(N_RECORD-1)*R_LENGTH
1211 0964 ED B0      LDIR
1212 0966 C1          POP  BC
1213 0967 10 F0      DJNZ REP_ALL1
1214 0969 AF          XOR  A
1215 096A 32 20E2      LD  (N_OPREPORT),A
1216 096D FB      REP_ALL2: EI
1217 096E 3E 05      LD  A,05
1218 0970 CD 0701      CALL TXBYTE_0

```

SLAVE 180

```

1219 0973 CD 0A84          CALL BEGIN_REC
1220 0976 01 0004          LD  BC,R_LENGTH
1221 0979 11 2908          LD  DE,REPORT_BUFF+N_RECORD*R_LENGTH
1222 097C CB BE      REP_ALL3:  RES  7,(HL)
1223 097E E5              PUSH HL
1224 097F CD 06DC          CALL TXREC_0
1225 0982 E1              POP  HL
1226 0983 09              ADD  HL,BC
1227 0984 7C              LD   A,H
1228 0985 BA              CP   D
1229 0986 38 F4          JR   C,REP_ALL3
1230 0988 7D              LD   A,L
1231 0989 BB              CP   E
1232 098A 38 F0          JR   C,REP_ALL3
1233 098C 06 04          LD   B,R_LENGTH
1234 098E 3E FF          LD   A,0FFH
1235 0990 CD 0701      REP_ALL4:  CALL TXBYTE_0
1236 0993 10 FB          DJNZ REP_ALL4
1237 0995 3A 2000        LD   A,(FLAG)
1238 0998 CB 87          RES  0,A ; Clear Report Send Flag
1239 099A 32 2000        LD   (FLAG),A
1240 099D C9              RET
1241          ;*****
1242 099E FE 01      SEND_STAT:  CP   01H
1243 09A0 C0              RET  NZ
1244 09A1 3E 06          LD   A,06
1245 09A3 CD 0701        CALL TXBYTE_0
1246 09A6 CD 0A9D        CALL BEGIN_STAT
1247 09A9 11 3508        LD   DE,STATUS_BUFF+N_RECORD*S_LENGTH

```

```

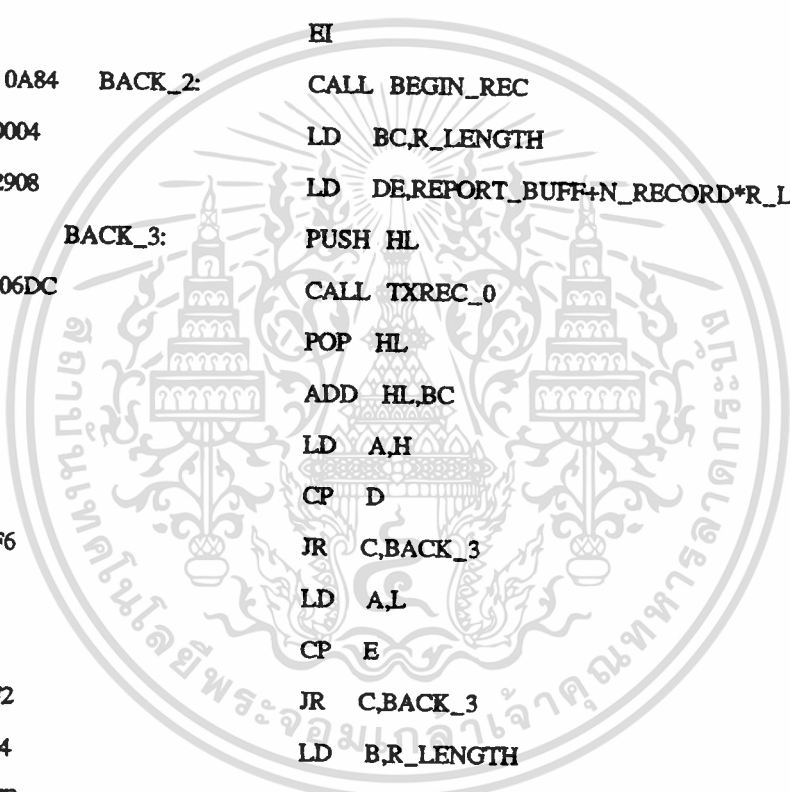
1248 09AC DD E5      SEND_ST1:    PUSH IX
1249 09AE E1                POP HL
1250 09AF ED 52                SBC HL,DE
1251 09B1 30 0E                JR  NC,SEND_ST3
1252 09B3 06 06                LD  B,S_LENGTH
1253 09B5 DD 7E 00    SEND_ST2:    LD  A,(IX+0)
1254 09B8 CD 0701          CALL TXBYTE_0
1255 09BB DD 23                INC IX
1256 09BD 10 F6                DJNZ SEND_ST2
1257 09BF 18 EB                JR  SEND_ST1
1258 09C1 3E FF    SEND_ST3:    LD  A,0FFH
1259 09C3 06 06                LD  B,S_LENGTH
1260 09C5 CD 0701    SEND_ST4:    CALL TXBYTE_0
1261 09C8 10 FB                DJNZ SEND_ST4
1262 09CA C9                RET
1263      *****
1264 09CB FE 01    BACK_UP:    CP  01H
1265 09CD C0                RET NZ
1266 09CE F3                DI
1267 09CF 3A 20E2          LD  A,(N_OPREPORT)
1268 09D2 FE 00                CP  0
1269 09D4 28 19                JR  Z,BACK_2
1270 09D6 47                LD  B,A
1271 09D7 21 3508          LD  HL,OPREPORT
1272 09DA CD 039E    BACK_1:    CALL UP_RECORD
1273 09DD C5                PUSH BC
1274 09DE 06 00                LD  B,0
1275 09E0 0E 04                LD  C,R_LENGTH
1276 09E2 11 2904          LD  DE,REPORT_BUFF+(N_RECORD-1)*R_LENGTH

```

SLAVE 180

```

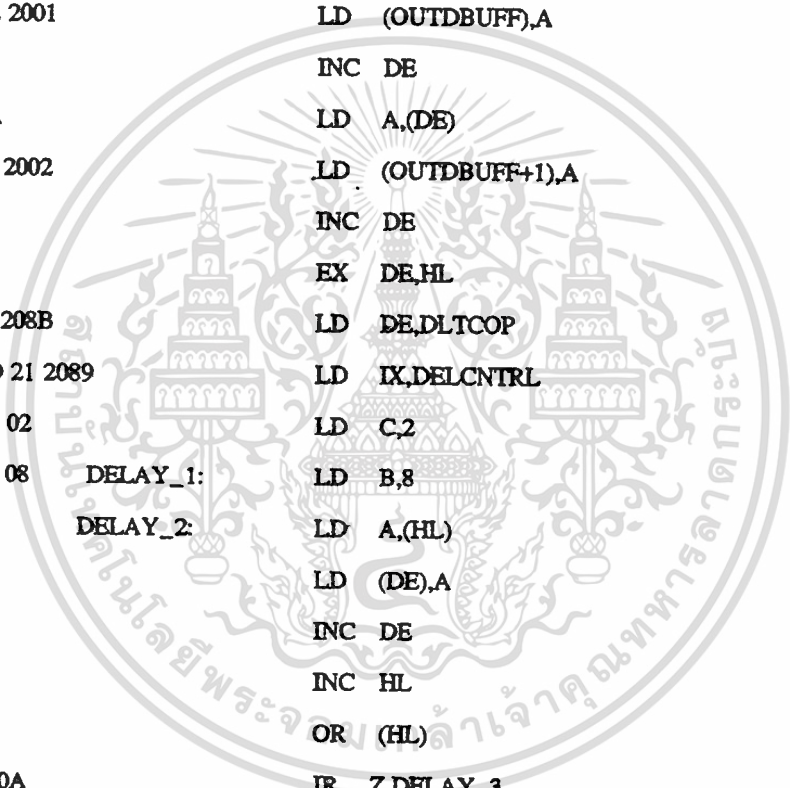
1277 09E5 ED B0          LDIR
1278 09E7 C1           POP BC
1279 09E8 10 F0        DJNZ BACK_1
1280 09EA AF          XOR A
1281 09EB 32 20E2      LD (N_OPREPORT),A
1282 09EE FB          EI
1283 09EF CD 0A84     BACK_2: CALL BEGIN_REC
1284 09F2 01 0004     LD BC,R_LENGTH
1285 09F5 11 2908     LD DE,REPORT_BUFF+N_RECORD*R_LENGTH
1286 09F8 E5         BACK_3: PUSH HL
1287 09F9 CD 06DC     CALL TXREC_0
1288 09FC E1         POP HL
1289 09FD 09         ADD HL,BC
1290 09FE 7C         LD A,H
1291 09FF BA         CP D
1292 0A00 38 F6       JR C,BACK_3
1293 0A02 7D         LD A,L
1294 0A03 BB         CP E
1295 0A04 38 F2       JR C,BACK_3
1296 0A06 06 04     LD B,R_LENGTH
1297 0A08 3E FF     LD A,0FFH
1298 0A0A CD 0701     BACK_4: CALL TXBYTE_0
1299 0A0D 10 FB     DJNZ BACK_4
1300 0A0F 21 2108     LD HL,REPORT_BUFF
1301 0A12 11 2109     LD DE,REPORT_BUFF+1
1302 0A15 01 07FF     LD BC,N_RECORD*R_LENGTH-1
1303 0A18 36 00     LD (HL),0
1304 0A1A ED B0     LDIR
1305 0A1C 3A 2000     LD A,(FLAG)
    
```



```

1306 0A1F CB 87          RES 0,A      ; Clear Report Send Flag
1307 0A21 32 2000        LD (FLAG),A
1308 0A24 C9             RET
1309                      ;*****
1310 0A25 FE 23          DELAY_CTRL:  CP 35
1311 0A27 C0             RET NZ
1312 0A28 F3             DI
1313 0A29 1A             LD A,(DE)
1314 0A2A 32 2001        LD (OUTDBUFF),A
1315 0A2D 13             INC DE
1316 0A2E 1A             LD A,(DE)
1317 0A2F 32 2002        LD (OUTDBUFF+1),A
1318 0A32 13             INC DE
1319 0A33 EB             EX DE,HL
1320 0A34 11 208B        LD DE,DLTCOP
1321 0A37 DD 21 2089     LD IX,DELCNTRL
1322 0A3B 0E 02          LD C,2
1323 0A3D 06 08          DELAY_1:    LD B,8
1324 0A3F 7E            DELAY_2:    LD A,(HL)
1325 0A40 12             LD (DE),A
1326 0A41 13             INC DE
1327 0A42 23             INC HL
1328 0A43 B6             OR (HL)
1329 0A44 28 0A          JR Z,DELAY_3
1330 0A46 7E             LD A,(HL)
1331 0A47 12             LD (DE),A
1332 0A48 DD CB 00 C6    SET 0,(IX+0)
1333 0A4C DD CB 00 0E    RRC (IX+0)
1334 0A50 13            DELAY_3:    INC DE

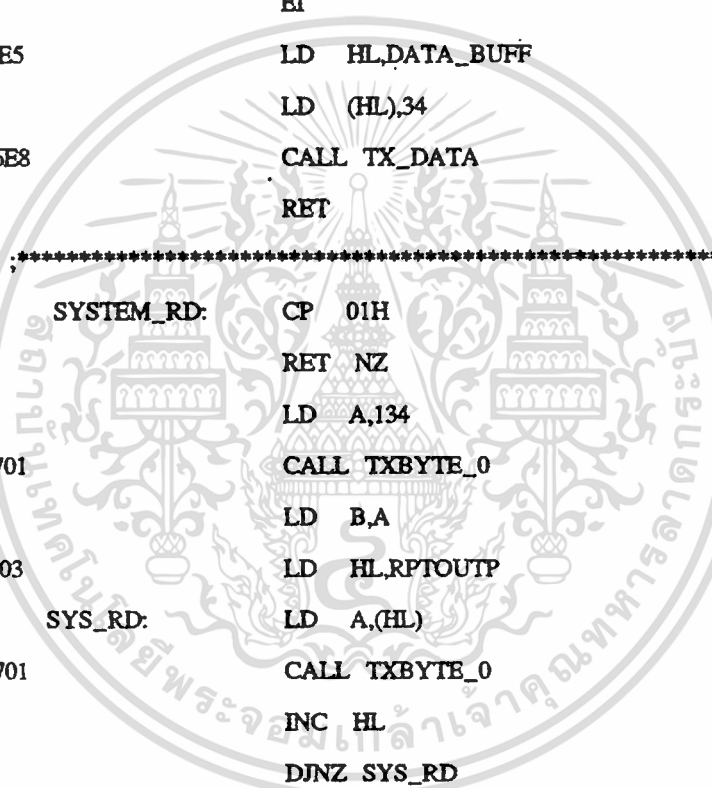
```



SLAVE 180

```

1335 0A51 23          INC HL
1336 0A52 10 EB      DJNZ DELAY_2
1337 0A54 DD 23      INC IX
1338 0A56 0D         DEC C
1339 0A57 20 E4      JR NZ,DELAY_1
1340 0A59 FB         EI
1341 0A5A 21 20E5    LD HL,DATA_BUFF
1342 0A5D 36 22      LD (HL),34
1343 0A5F CD 06E8    CALL TX_DATA
1344 0A62 C9         RET
1345                ;*****
1346 0A63 FE 01      SYSTEM_RD: CP 01H
1347 0A65 C0         RET NZ
1348 0A66 3E 86      LD A,134
1349 0A68 CD 0701    CALL TXBYTE_0
1350 0A6B 47         LD B,A
1351 0A6C 21 2003    LD HL,RPTOUTP
1352 0A6F 7E        SYS_RD: LD A,(HL)
1353 0A70 CD 0701    CALL TXBYTE_0
1354 0A73 23        INC HL
1355 0A74 10 F9      DJNZ SYS_RD
1356 0A76 C9        RET
1357                ;*****
1358 0A77 FE 87      SYSTEM_WR: CP 135
1359 0A79 C0         RET NZ
1360 0A7A EB         EX DE,HL
1361 0A7B 11 2003    LD DE,RPTOUTP
1362 0A7E 06 00      LD B,0
1363 0A80 4F         LD C,A
    
```



```

1364 0A81 ED B0          LDIR
1365 0A83 C9            RET
1366          ;*****
1367 0A84 DD 21 2108 BEGIN_REC: LD IX,REPORT_BUFF
1368 0A88 01 0004      LD BC,R_LENGTH
1369 0A8B DD 7E 00 BEGIN_1: LD A,(IX+0)
1370 0A8E E6 7F          AND 7FH
1371 0A90 DD B6 01      OR (IX+1)
1372 0A93 20 04          JR NZ,BEGIN_2
1373 0A95 DD 09          ADD IX,BC
1374 0A97 18 F2          JR BEGIN_1
1375 0A99 DD E5 BEGIN_2: PUSH IX
1376 0A9B E1            POP HL
1377 0A9C C9            RET
1378          ;*****
1379 0A9D DD 21 2908 BEGIN_STAT: LD IX,STATUS_BUFF
1380 0AA1 11 3508      LD DE,STATUS_BUFF+N_RECORD*S_LENGTH
1381 0AA4 01 0006      LD BC,S_LENGTH
1382 0AA7 DD 7E 00 BEGIN_ST1: LD A,(IX+0)
1383 0AAA DD B6 01      OR (IX+1)
1384 0AAD DD B6 02      OR (IX+2)
1385 0AB0 20 E7          JR NZ,BEGIN_2
1386 0AB2 DD B6 03      OR (IX+3)
1387 0AB5 DD B6 04      OR (IX+4)
1388 0AB8 DD B6 05      OR (IX+5)
1389 0ABB 20 09          JR NZ,BEGIN_ST2
1390 0ABD DD 09          ADD IX,BC
1391 0ABF DD E5          PUSH IX
1392 0AC1 E1            POP HL

```

SLAVE 180

```

1393 0AC2 ED 52          SBC HL,DE
1394 0AC4 38 E1          JR C,BEGIN_ST1
1395 0AC6 C9          BEGIN_ST2:  RET
1396          ;*****
1397 0AC7 DD E5          TIME_ADD:  PUSH IX
1398 0AC9 CD 0A84        CALL BEGIN_REC
1399 0ACC E5            PUSH HL
1400 0ACD FD E1          POP  IX
1401 0ACF DD E1          POP  IX
1402 0AD1 01 0004        LD   BC,R_LENGTH
1403 0AD4 11 2908        LD   DE,REPORT_BUFF+N_RECORD*R_LENGTH
1404 0AD7 FD 7E 03      TIME_A1:  LD   A,(Y+3)
1405 0ADA DD 86 02          ADD  (IX+2)
1406 0ADD FD 77 03      LD   (Y+3),A
1407 0AE0 D6 3C          SUB  60
1408 0AE2 38 06          JR   C,TIME_A2
1409 0AE4 FD 77 03      LD   (Y+3),A
1410 0AE7 FD 34 02          INC  (Y+2)
1411 0AEA FD 7E 02      TIME_A2:  LD   A,(Y+2)
1412 0AED DD 86 01          ADD  (IX+1)
1413 0AF0 FD 77 02      LD   (Y+2),A
1414 0AF3 E6 7F          AND  7FH
1415 0AF5 D6 3C          SUB  60
1416 0AF7 38 0D          JR   C,TIME_A3
1417 0AF9 67            LD   H,A
1418 0AFA FD 7E 02      LD   A,(Y+2)
1419 0AFD E6 80          AND  80H
1420 0AFF B4            OR   H
1421 0B00 FD 77 02      LD   (Y+2),A

```

```

1422 0B03 FD 34 01      INC (Y+1)
1423 0B06 FD 7E 01     TIME_A3: LD A,(Y+1)
1424 0B09 DD 86 00      ADD (IX+0)
1425 0B0C FD 77 01      LD (Y+1),A
1426 0B0F E6 1F         AND 1FH
1427 0B11 D6 18         SUB 24
1428 0B13 38 0A         JR C,TIME_A4
1429 0B15 67            LD HA
1430 0B16 FD 7E 01      LD A,(Y+1)
1431 0B19 E6 E0         AND 0E0H
1432 0B1B B4            OR H
1433 0B1C FD 77 01      LD (Y+1),A
1434 0B1F FD 09     TIME_A4: ADD Y,BC
1435 0B21 FD E5         PUSH IY
1436 0B23 E1            POP HL
1437 0B24 7C            LD A,H
1438 0B25 BA            CP D
1439 0B26 38 AF         JR C,TIME_A1
1440 0B28 7D            LD A,L
1441 0B29 BB            CP E
1442 0B2A 38 AB         JR C,TIME_A1
1443 0B2C C9            RET

1444      ;*****
1445 0B2D DD E5     TIME_SUB: PUSH IX
1446 0B2F CD 0A84   CALL BEGIN_REC
1447 0B32 E5        PUSH HL
1448 0B33 FD E1     POP IY
1449 0B35 DD E1     POP IX
1450 0B37 01 0004   LD BC,R_LENGTH

```

SLAVE 180

```

1451 0B3A 11 2908          LD  DE,REPORT_BUFF+N_RECORD*R_LENGTH
1452 0B3D FD 7E 03  TIME_S1: LD  A,(IY+3)
1453 0B40 DD 96 02          SUB  (IX+2)
1454 0B43 30 02           JR  NC,TIME_S2
1455 0B45 C6 3C           ADD  60
1456 0B47 FD 7E 02  TIME_S2: LD  A,(IY+2)
1457 0B4A DD 86 01          ADD  (IX+1)
1458 0B4D FD 77 02          LD  (IY+2),A
1459 0B50 E6 7F          AND  7FH
1460 0B52 D6 3C          SUB  60
1461 0B54 38 0D          JR  C,TIME_S3
1462 0B56 67           LD  H,A
1463 0B57 FD 7E 02          LD  A,(IY+2)
1464 0B5A E6 80          AND  80H
1465 0B5C B4           OR  H
1466 0B5D FD 77 02          LD  (IY+2),A
1467 0B60 FD 34 01          INC  (IY+1)
1468 0B63 FD 7E 01  TIME_S3: LD  A,(IY+1)
1469 0B66 DD 86 00          ADD  (IX+0)
1470 0B69 FD 77 01          LD  (IY+1),A
1471 0B6C E6 1F          AND  1FH
1472 0B6E D6 18          SUB  24
1473 0B70 38 0A          JR  C,TIME_S4
1474 0B72 67           LD  H,A
1475 0B73 FD 7E 01          LD  A,(IY+1)
1476 0B76 E6 E0          AND  0E0H
1477 0B78 B4           OR  H
1478 0B79 FD 77 01          LD  (IY+1),A
1479 0B7C FD 09  TIME_S4:  ADD  IY,BC

```

```

1480 0B7E FD E5          PUSH IY
1481 0B80 E1             POP HL
1482 0B81 7C             LD A,H
1483 0B82 BA             CP D
1484 0B83 38 B8          JR C,TIME_S1
1485 0B85 7D             LD A,L
1486 0B86 BB             CP E
1487 0B87 38 B4          JR C,TIME_S1
1488 0B89 C9             RET

```

1489

\*\*\*\*\*

1490 2000

ORG 2000H

1491 2000 00 FLAG DB 0 ; BIT 0 = Report Send Req.

1492 ; BIT 1 = Line Status

1493 ; BIT 2 = Output State Report Req.

1494 2001 0002 OUTDBUFF DS 2

1495 2003 0002 RPTOUTP DS 2

1496 2005 0001 RPTSNSR DS 1

1497 2006 0002 OPCNTRL DS 2

1498 2008 0001 SNSRCNTL DS 1

1499 2009 0020 ODSNSRON DS 32

1500 2029 0020 ODSNSROFF DS 32

1501 2049 0020 DLTSOPON DS 32

1502 2069 0020 DLTSOPOFF DS 32

1503 2089 0002 DELCNTRL DS 2

1504 208B 0020 DLTCOP DS 32

1505 20AB 0002 IDNUM DS 2

1506 20AD 0003 CLOCK\_BUFF DS 3

1507 20B0 0003 TIME\_BUFF DS 3

1508 20B3 0010 MAKE\_ON DS 16

SLAVE 180

1509	20C3	0010	MAKE_OFF	DS	16
1510	20D3	00	SENSRBUF	DB	0
1511	20D4	00	SNSRNUM	DB	0
1512	20D5	0002	SNSROPBUFF	DS	2
1513	20D7	0002	SNSRDELCTR	DS	2
1514	20D9	0004	BUFFER_1	DS	4
1515	20DD	0002	OUTPBUFF	DS	2
1516	20DF	0002	SCANBUFF	DS	2
1517	20E1	0001	T_BUFF	DS	1
1518	20E2	0001	N_OPREPORT	DS	1
1519	20E3	0002	SCAN_BUFF	DS	2
1520	20E5	0023	DATA_BUFF	DS	35
1521	2108	0800	REPORT_BUFF	DS	R_LENGTH*N_RECORD
1522	2908	0C00	STATUS_BUFF	DS	S_LENGTH*N_RECORD
1523	3508	0040	OPREPORT	DS	R_LENGTH*16
1524	3548	0040	SEND_BUFF	DS	R_LENGTH*16
1525	3588	00	S_NUM	DB	0
1526			:		
1527			END		

# **' PROGRAM SECURITY SYSTEM V 1.0**

**' By Mr. Nitinart Kumpa**

**Defint A-Z**

**Option Explicit**

**Dim Ret**

**Global akedat\$**

**Global NumFloor As Integer**

**Global NumRoom As Integer**

**Global Serials\$**

**Global NewPort**

**Global NewBaud\$**

**Global NewParity\$**

**Global NewData\$**

**Global NewStop\$**

**Global Bit%(0 To 7)**

**Global DataRoom1%, DataRoom2%**

**Global SetTime\$**

**Global MaxRoom\$**

**Global Room%, Floor%**

**'— MSComm event constants**

**Global Const MSCOMM\_EV\_SEND = 1**

**Global Const MSCOMM\_EV\_RECEIVE = 2**

**Global Const MSCOMM\_EV\_CTS = 3**

**Global Const MSCOMM\_EV\_DSR = 4**

**Global Const MSCOMM\_EV\_CD = 5**

**Global Const MSCOMM\_EV\_RING = 6**

**Global Const MSCOMM\_EV\_EOF = 7**

**'— MSComm error code constants**

**Global Const MSCOMM\_ER\_BREAK = 1001**

**Global Const MSCOMM\_ER\_CTSTO = 1002**

Global Const MSCOMM\_ER\_DSRT0 = 1003

Global Const MSCOMM\_ER\_FRAME = 1004

Global Const MSCOMM\_ER\_OVERRUN = 1006

Global Const MSCOMM\_ER\_CDTO = 1007

Global Const MSCOMM\_ER\_RXOVER = 1008

Global Const MSCOMM\_ER\_RXPARITY = 1009

Global Const MSCOMM\_ER\_TXFULL = 1010

'-- Common Dialog constants

Global Const CDERR\_CANCEL = 32755

Global Const CF\_SCREENFONTS = &H1&

'-- Global variables

Global Echo Echo On/Off flag

Global CancelSend Flag to stop sending

' a text file.

Global Dataclass() As String

**Sub Check3D3\_Click (Value As Integer)**

**If check3d3.Value = True Then**

**panel3d1.Enabled = True**

**panel3d13.Enabled = True**

**panel3d15.Enabled = True**

**Else panel3d1.Enabled = False**

**panel3d13.Enabled = False**

**panel3d15.Enabled = False**

**End If**

**End Sub**

**Sub Command1\_Click ()**

**Unload Structure**

**ShowMenu.Show**

**End Sub**

**Sub Command2\_Click ()**

**' Structure.Hide**

**Viewer.Show**

**End Sub**

**Sub Command3D1\_Click ()**

**numfloor = numfloor + 1**

**If numfloor > form2.ake(24).Text Then numfloor = form2.ake(24).Text**

**Floor.Caption = numfloor**

**command3d1.Refresh**

**End Sub**

**Sub Command3D2\_Click ()**

**numfloor = numfloor - 1**

**If numfloor < 1 Then numfloor = 1**

**Floor.Caption = numfloor**

**command3d2.Refresh**

**End Sub**

**Sub ComOpen\_Click (Value As Integer)**

**'On Error Resume Next**

```

Dim OpenFlag
' MSComm1.PortOpen = Not MSComm1.PortOpen
' If Err Then MsgBox Error$, 48
' If ComOpen.Value Then
'     Status_MSComm1.PortOpen = 1
'     status.Command4.Enabled = False
' End If
' If Not ComOpen.Value Then
'     Status_MSComm1.PortOpen = 0
'     status.Command4.Enabled = False
' End If
' ComOpen.Value = OpenFlag
' Status.Command4.Enabled = OpenFlag
End Sub

Sub Form_Load ()
    Load status
    Panel3D2.Caption = Format$(Now, "mmmm d,yyyy")
    numfloor = 1
    status.Command4.Enabled = False
    Panel3d7.Caption = serials
    HideRoom
End Sub

Sub Form_MouseMove (Button As Integer, Shift As Integer, X As Single, Y As Single)
    ShowRoom(0).Caption = "(None)"
    ShowRoom(1).Caption = "(None)"
End Sub

Sub Form_Unload (cancel As Integer)
    Dim T&
    If status_MSComm1.PortOpen Then
        T& = Timer + 10
        Do While status_MSComm1.OutBufferCount
            Ret = DoEvents()
        Loop
    End If
End Sub

```

```

If Timer > T& Then
  Select Case MsgBox("Data cannot be sent", 34)
    '-----Abort
  Case 3
    cancel = True
    Exit Sub
  '-----Retry
  Case 4
    T& = Timer + 10
  '-----Ignor
  Case 5
    Exit Do
  End Select
End If
Loop
status.MSComm1.PortOpen = 0
End If
End Sub
Sub Frame3D1_MouseMove (Button As Integer, Shift As Integer, X As Single, Y As Single)
  ShowRoom(0).Caption = "(None)"
  ShowRoom(1).Caption = "(None)"
End Sub
Sub Frame3D2_MouseMove (Button As Integer, Shift As Integer, X As Single, Y As Single)
  ShowRoom(0).Caption = "(None)"
  ShowRoom(1).Caption = "(None)"
End Sub
Sub HideRoom ()
  Dim i, X, Y
  i = form2.ske(25).Text
  If i <= 32 Then image1.Visible = False: line112.Visible = False
  If i <= 64 Then image2.Visible = False: line113.Visible = False
  For X = form2.ske(25).Text + 1 To 96

```

```

    Room(X).Enabled = False
Next X
End Sub
Sub Image1_Click ()
    panel3d13.Visible = True
    panel3d1.Visible = False
End Sub
Sub Image2_Click ()
    panel3d15.Visible = True
    panel3d13.Visible = False
End Sub
Sub Image3_Click ()
    panel3d13.Visible = True
    panel3d15.Visible = False
End Sub
Sub Image4_Click ()
    panel3d1.Visible = True
    panel3d13.Visible = False
End Sub
Sub MSComm2_OnComm ()
    Dim EVMsg$
    Dim ERMMsg$
    Dim i%
    Select-Case MSComm2.CommEvent
    Case MSCOMM_EV_RECEIVE
        ' savedata (MSComm2.Input)
    Case MSCOMM_EV_SEND
        ' text3.Text = " Send Data OK...."
    Case MSCOMM_EV_CTS
        ' EVMsg$ = "Change in CTS Detected"
    Case MSCOMM_EV_DSR
        ' EVMsg$ = "Change in DSR Detected"

```

```

Case MSCOMM_EV_CD
    ' EVMsg$ = "Change in CD Detected"
Case MSCOMM_EV_EOF
    ' EVMsg$ = "End of File Detected"

End Select

If Len(EVMsg$) Then
    'text3.Text = EVMsg$
    EVMsg$ = ""

ElseIf Len(ERMsg$) Then
    Beep
    Ret = MsgBox(ERMsg$, 1, "Press Cancel to Quit, Ok to ignore.")
    ERMsg$ = ""
    '--- If Cancel (2) was pressed
    If Ret = 2 Then
        MSComm2.PortOpen = 0 'Close the port and quit
    End If
End If

End Sub

Sub Room_Click (Index As Integer)
    numroom = Index
    '**** Code &h88 = Send data to master for view data of room ****
    '**** numfloor = Address of floor
    '**** numroom = Address of room

    DataOut$ = Chr$(&H88) + Chr$(numfloor) + Chr$(numroom)

    If status.MSComm1.PortOpen = False Then status.MSComm1.PortOpen = True
    status.MSComm1.Output = DataOut$
    status.Panel3D2.Caption = " ชั้นที่ " + Str$(numfloor) + " ห้องที่ " + Str$(numroom)
    status.Show
End Sub

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Sub Room_MouseMove (Index As Integer, Button As Integer, Shift As Integer, X As Single, Y As Single)
    If panel3d1.Visible = True Then
        ShowRoom(0).Caption = "Floor " + Str$(numfloor) + " Room " + Str$(Index)
    ElseIf panel3d13.Visible = True Then
        ShowRoom(1).Caption = "Floor " + Str$(numfloor) + " Room " + Str$(Index)
    ElseIf panel3d15.Visible = True Then
        ShowRoom(2).Caption = "Floor " + Str$(numfloor) + " Room " + Str$(Index)
    End If
End Sub

Sub savedata ()
End Sub

Sub Timer1_Timer ()
    Dim hou$
    panel3d6.Caption = Time$
    'hou = Left$(Time$, 2)
    If Time$ = form2.ake(26).Text Then
        Panel3D2.Caption = Format$(Now, "mmmm d,yyyy")
        MsgBox " Change Day ...."
        MSComm2.RTSEnable = True
    End If
End Sub

Sub Timer2_Timer ()
    panel3d6.Caption = Time$
End Sub

Sub Command1_Click ()
    Hello.Hide
    ShowMenu.Show
End Sub

Sub Command2_Click ()
End

End Sub

Sub Form_Load ()

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Hello.Left = (Screen.Width - Hello.Width) / 2
```

```
Hello.Top = (Screen.Height - Hello.Height) / 2
```

```
Serials$ = "COM 2:9600,N,8,1"
```

```
'Structure.Panel3D7.Caption = Serials$
```

```
status.MSComm1.PortOpen = True
```

```
End Sub
```

```
Dim Name_data(1 To 27) As String
```

```
Dim NewDay(1 To 7) As String
```

```
Static Function BitPosition (CntPos%)
```

```
    BitPosition = ((CntPos% - 1) Mod 8)
```

```
End Function
```

```
Function CheckRoom (Fl, Ro)
```

```
    If Floor = Asc(Fl) Then
```

```
        If Room = Asc(Ro) Then CheckRoom = True
```

```
    End If
```

```
    If Floor <> Asc(Fl) Then CheckRoom = False
```

```
End Function
```

```
Sub Command2_Click ()
```

```
    Unload Viewer
```

```
    ShowMenu.Show
```

```
End Sub
```

```
Sub Command3_Click ()
```

```
    Dim i, X, y, u
```

```
    ReDim test(0 To 1) As String
```

```
    panel3d6.Caption = "ชั้นที่ " + Str$(Floor) + " ห้องที่ " + Str$(Room) + " [" + combo1.Text + "]"
```

```
    Open "c:\vbasic\ake\" + combo1.Text For Input As #1
```

```
    Max = LOF(1)
```

```

Do Until BOF(1)
    u = u + 1
    a$ = Input(Max, #1)
    MsgBox a$
Loop
i = 0
X = 1
y = 1
Close #1
Do Until i > Max
    i = i + 1
    ake$ = Mid$(a$, 1, i)
    If Right$(ake$, 1) = "f" Then
        ake$ = Mid$(a$, i, 5)
        If ake$ = "ffff" Then
            i = i + 5
            If i + 3 > Max Then GoTo aaa
            test(0) = Mid$(a$, i, 1)
            test(1) = Mid$(a$, i + 1, 1)
            OK = CheckRoom(test(0), test(1))
            If OK Then
                If i + 1 > Max Then GoTo aaa
                MsgBox "Floor=" + Hex$(Floor) + "Room=" + Hex$(Room)
                Do Until (Right$(ake1$, 5) = "ffff")
                    ake1$ = Mid$(a$, i + 2, X)
                    X = X + 1
                If X + z > Max Then GoTo aaa
            Loop
            GoTo Display:
        End If
        z = i + X - 7
        If OK Then MsgBox "Value=" + ake1$

```

```

ake1$ = ""
X = 1
End If
End If
Loop
Display:
panel3d6.Caption = X - 6
MsgBox ake1$
DisplayGrid ake1$, X - 6
aaa:
End Sub
Sub DisplayGrid (dataGrid As String, lenght As Integer)
Dim i%
ReDim Griddata(lenght) As Integer
grid1.Rows = (lenght / 6) + 1
For i = 1 To lenght
    Griddata(i) = Asc(Mid$(dataGrid, i, 1))
    'gridcount = gridcount + 1
    'grid1.AddItem Str$(gridcount) + Str$(Griddata(i)), gridcount
Next i
ii = 0
For i = 1 To lenght / 6
    GridShow Griddata(ii + 1), Griddata(ii + 2), Griddata(ii + 3), Griddata(ii + 4), Griddata(ii
+ 5), Griddata(ii
+ 6), i
    ii = ii + 6
Next i
End Sub
Sub file3_Click ()
Dim i, X, y
panel3d6.Caption = "ชั้นที่ " + Str$(Floor) + " ห้องที่ " + Str$(Room) + " [" + combo1.Text + "]"
Open "c:\basic\ake\ake1.dat" For Input As #1
Max = LOF(1)

```

```
panel3d6.Caption = Max
```

```
Do Until BOF(1)
```

```
Line Input #1, a$
```

```
MsgBox a$
```

```
Loop
```

```
i = 0
```

```
X = 1
```

```
y = 1
```

```
Close #1
```

```
Do Until i > Max
```

```
    i = i + 1
```

```
    ake$ = Mid$(a$, 1, i)
```

```
    If Right$(ake$, 1) = "f" Then
```

```
        ' MsgBox "f"
```

```
        ake$ = Mid$(a$, i, 5)
```

```
        If ake$ = "fffff" Then
```

```
            MsgBox ake$
```

```
            i = i + 5
```

```
            Do Until (Right$(ake1$, 5) = "fffff")
```

```
                ake1$ = Mid$(a$, i, X)
```

```
                If X + i > Max Then GoTo outt
```

```
                ' MsgBox ake1$
```

```
                X = X + 1
```

```
                ' If Right$(ake1$, 1) = "f" Then ake1$ = Mid$(a$, x + i, 5)
```

```
            Loop
```

```
            i = i + X - 7
```

```
            ' MsgBox x + "=" + i
```

```
            MsgBox "Value=" + ake1$
```

```
            ake1$ = ""
```

```
            X = 1
```

```
        End If
```

```
    End If
```

outt:

Loop

End Sub

Sub Form\_Click ()

MsgBox "COM " + Str\$(NewPort) + ":" + NewBaud\$ + "," + NewParity\$ + "." + NewData\$ + "," +

NewStop\$

End Sub

Sub Form\_Load ()

Dim i, R, f

Floor = 1: Room = 1

Name\_data(1) = "เฮอท์ทุทที่ 1"

Name\_data(2) = "เฮอท์ทุทที่ 2"

Name\_data(3) = "เฮอท์ทุทที่ 3"

Name\_data(4) = "เฮอท์ทุทที่ 4"

Name\_data(5) = "เฮอท์ทุทที่ 5"

Name\_data(6) = "เฮอท์ทุทที่ 6"

Name\_data(7) = "เฮอท์ทุทที่ 7"

Name\_data(8) = "เฮอท์ทุทที่ 8"

Name\_data(9) = "เฮอท์ทุทที่ 9"

Name\_data(10) = "เฮอท์ทุทที่ 10"

Name\_data(11) = "เฮอท์ทุทที่ 11"

Name\_data(12) = "เฮอท์ทุทที่ 12"

Name\_data(13) = "เฮอท์ทุทที่ 13"

Name\_data(14) = "เฮอท์ทุทที่ 14"

Name\_data(15) = "เฮอท์ทุทที่ 15"

Name\_data(16) = "เฮอท์ทุทที่ 16"

Name\_data(17) = "เจ็มนเซอร์ที่ 1"

Name\_data(18) = "เจ็มนเซอร์ที่ 2"

Name\_data(19) = "เจ็มนเซอร์ที่ 3"

Name\_data(20) = "เจ็มนเซอร์ที่ 4"

Name\_data(21) = "เจ็มนเซอร์ที่ 5"

Name\_data(22) = "เจ็มนเซอร์ที่ 6"

```

Name_data(23) = "จันทร์ที่ 7"
Name_data(24) = "จันทร์ที่ 8"
Name_data(25) = " เวลา"

    combo1.AddItem "Sun.day"
    combo1.AddItem "Mon.day"
    combo1.AddItem "Tue.day"
    combo1.AddItem "Wed.day"
    combo1.AddItem "Thu.day"
    combo1.AddItem "Fri.day"
    combo1.AddItem "Sat.day"
    ' Combo1.AddItem "Today"

grid1.Cols = 25
grid1.Rows = (form2.ake(24) * form2.ake(25)) + 1
grid1.Row = 0
For i = 0 To 24
    grid1.ColWidth(i) = 1100
    grid1.Col = i
    grid1.Text = Name_data(i + 1)
Next i
initial
End Sub

Sub GridShow (Data1 As Integer, Data2 As Integer, Data3 As Integer, data4 As Integer, data5 As Integer, data6
As Integer, Row As Integer)
Dim Byte%, ei%, bitN%, i%, qs$
    Byte = (Data1)
    grid1.Row = Row
    For ei% = 1 To 8
        grid1.Col = ei - 1
        bitN% = BitPosition(ei)
        If Byte% And Bit%(bitN) Then
            grid1.Text = "ON"
        Elseif Not (Byte And Bit(bitN)) Then

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมีให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    grid1.Text = "OFF"
End If
Next ei%
Byte = (Data2)
grid1.Row =
For ei% = 1 To 8
    grid1.Col = ei - 1 + 8
    bitN% = BitPosition(ei)
    If Byte% And Bit%(bitN) Then
        grid1.Text = "ON"
    ElseIf Not (Byte And Bin(bitN)) Then
        grid1.Text = "OFF"
    End If
Next ei%
Byte = (Data3)
grid1.Row = 1
For ei% = 1 To 8
    grid1.Col = ei - 1 + 16
    bitN% = BitPosition(ei)
    If Byte% And Bit%(bitN) Then
        grid1.Text = "ACTIVE"
    ElseIf Not (Byte And Bit(bitN)) Then
        grid1.Text = "NONE"
    End If
Next ei%
grid1.Col = 24
grid1.Text = data4 & Chr$(58) & data5 & Chr$(&H3A) & data6
End Sub

Sub initial 0
Dim i
    Bit%(0) = &H1: Bit%(1) = &H2

```

```
    Bir%(2) = &H4: Bir%(3) = &HB  
    Bir%(4) = &H10: Bir%(5) = &H20  
    Bir%(6) = &H40: Bir%(7) = &HB0
```

```
End Sub
```

```
Sub Mydelay (a%)
```

```
    For i = 0 To a
```

```
        Next i
```

```
End Sub
```

```
Sub Spin1_SpinDown ()
```

```
    Room = Room - 1
```

```
    If Room < 1 Then Room = 1
```

```
    panel3d2.Caption = Room
```

```
    panel3d2.Refresh
```

```
End Sub
```

```
Sub Spin1_SpinUp ()
```

```
    'panel3d1.Caption = form2.ake(25).Text
```

```
    Room = Room + 1
```

```
    If Room > form2.ake(25).Text Then Room = form2.ake(25).Text
```

```
    panel3d2.Caption = Room
```

```
    panel3d2.Refresh
```

```
End Sub
```

```
Sub Spin2_SpinDown ()
```

```
    Floor = Floor - 1
```

```
    If Floor < 1 Then Floor = 1
```

```
    panel3d1.Caption = Floor
```

```
    panel3d1.Refresh
```

```
End Sub
```

```
Sub Spin2_SpinUp ()
```

```
    'panel3d2.Caption = form2.ake(24).Text
```

```
    Floor = Floor + 1
```

```
    If Floor > form2.ake(24).Text Then Floor = form2.ake(24).Text
```

```
panel3d1.Caption = Floor
panel3d1.Refresh
End Sub
```

```
Sub Timer1_Timer ()
Clock_status.Caption = Time$
End Sub
```

```
Sub toDay_Click (index As Integer)
```

```
Dim i
NewDay(1) = "c:\vbasic\ake\sun.day"
NewDay(2) = "c:\vbasic\ake\mon.day"
NewDay(3) = "C:\VBASIC\ake\tue.day"
NewDay(4) = "c:\vbasic\ake\wen.day"
NewDay(5) = "c:\vbasic\ake\thu.day"
NewDay(6) = "c:\vbasic\ake\fri.day"
NewDay(7) = "c:\vbasic\ake\sat.day"
For I = 1 To 8
toDay(I).Checked = False
Next I
toDay(index).Checked = True
Open NewDay(index) For Input As #1
gridcount = 1
Do Until EOF(1)
Input #1, A$, B$, O1$, O2$, O3$, O4$, O5$, O6$, O7$, O8$, O9$, O10$, O11$, O12$, O13$, O14$,
O15$, O16$, S1$, S2$, S3$, S4$, S5$, S6$, S7$, S8$, T$
grid1.AddItem A$ + Chr$(9) + B$ + Chr$(9) + O1$ + Chr$(9) + O2$ + Chr$(9) + O3$ + Chr$(9) +
O4$ + Chr$(9) + O5$ + Chr$(9) + O6$ + Chr$(9) + O7$ + Chr$(9) + O8$ + Chr$(9) + O9$ + Chr$(9) + O10$
+ Chr$(9) + O11$ + Chr$(9) + O12$ + Chr$(9) + O13$ + Chr$(9) + O14$ + Chr$(9) + O15$ + Chr$(9) + O16$
+ Chr$(9) + S1$ + Chr$(9) + S2$ + Chr$(9) + S3$ + Chr$(9) + S4$ + Chr$(9) + S5$ + Chr$(9) + S6$ + Chr$(
9) + S7$ + Chr$(9) + S8$ + Chr$(9) + T$, gridcount
gridcount = gridcount + 1
```

```
If GridCount = 10 Then Grid1.ScrollBars = 2
```

```
grid1.Rows = gridcount
```

```
Loop
```

```
Close #1
```

```
End Sub
```

```
Dim newname(0 To 25) As String
```

```
Sub ake_Change (Index As Integer)
```

```
    If ake(24).Text < "0" Then MsgBox " Invalid Value"
```

```
    If ake(24).Text > "9" Then MsgBox " Invalid value"
```

```
    If ake(25).Text < "0" Then MsgBox " Invalid Value"
```

```
    If ake(25).Text > "9" Then MsgBox " Invalid value"
```

```
End Sub
```

```
Sub ext_Click ()
```

```
form2.Hide
```

```
showmem.Show
```

```
End Sub
```

```
Sub Form_Load ()
```

```
Dim filename$, i
```

```
On Error GoTo Nofile
```

```
filename = "config.ini"
```

```
i = 0
```

```
Open filename$ For Input As #1
```

```
If LOF(1) > 0 Then
```

```
    'nut = Input(1, #1)
```

```
    Do While Not EOF(1)
```

```
        nut = Input(1, #1)
```

```
        If nut <> Chr(13) Then textdat = textdat & nut
```

```
        If nut = Chr(13) Then
```

```
            i = i + 1
```

```
            ake(i - 1).Text = textdat
```

```
            textdat = ""
```

```
            nut = Input(1, #1)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        'nut = Input(1, #1)
    End If
Loop
Close #1
End If
Nofile:
    If Err <> 53 Then
        msg$ = Error$(Err)
        MsgBox (msg$)
        Stop
    Else
        msg$ = " File " + filename + " not found"
        MsgBox (msg$)
    End If
Exit Sub
End Sub
Sub Outt_Click ()
    frame3d1.Visible = True
    frame3d2.Visible = False
End Sub
Sub Sen_Click ()
    frame3d2.Visible = True
    frame3d1.Visible = False
End Sub
Sub sve_Click ()
Dim i, dat
Open "config.ini" For Output As #1
    For i = 0 To 26
        ' read #1 ,name(i).text
        Print #1, ake(i).Text
    Next i
Close #1

```

```

End Sub

Dim Control$

Dim room, floor

Static Function BitPosition (CntPos%)
    BitPosition = ((CntPos% - 1) Mod 8)
End Function

Sub Clearlamp1 ()
    Dim i
    For i = 1 To 8
        output0(i - 1).Value = False
    Next i
End Sub

Sub Clearlamp2 ()
    Dim i
    For i = 1 To 8
        output1(i - 1).Value = False
    Next i
End Sub

Sub Clearsensor ()
    Dim i
    For i = 1 To 8
        sensor(i - 1).Value = False
    Next i
End Sub

Sub Command1_Click ()
    If frame3d1.Enabled = False Then
        ' MSComm1.PortOpen = 1
        frame3d1.Enabled = True
        command4.Enabled = True
        text3.Text = " สามารถควบคุมอุปกรณ์ที่ห้องพักได้."
    Else If frame3d1.Enabled = True Then frame3d1.Enabled = False
        ' MSComm1.PortOpen = 0

```

```

command4.Enabled = False
text3.Text = "ไม่สามารถควบคุมอุปกรณ์ไฟฟ้าภายในห้องพักได้.."
End If
End Sub
Sub Command4_Click ()
**** Format Sending = Code + AddressFloor + AddressRoom + Dataoutput 1 to 8 + Dataoutput 9 to 16
**** Code = chr$(05)
DataOut$ = Chr$(numfloor) + Chr$(numroom) + Chr$(DataRoom1) + Chr$(DataRoom2) + Chr$(&H5)
If Not (MSComm1.PortOpen) Then MSComm1.PortOpen = True
MSComm1.Output = DataOut$
DataIn = Status.MSComm1.Input
frame3d1.Enabled = False
command4.Enabled = False
End Sub
Sub Command6_Click ()
' dat = MSComm1.Settings
' MagBox dat
Unload Status
' ShowMenu.Show
End Sub
Sub DataShow (Data1 As String, Data2 As String, Data3 As String)
Dim Byte%, ei%, bitN%, i%, qa$
Clearlamp1
Byte = Asc(Data1)
For ei% = 1 To 8
bitN% = BitPosition(ei)
If Byte% And Bit(bitN) Then
output0(ei - 1).Value = True
Elseif Not (Byte And Bit(bitN)) Then
output0(ei - 1).Value = False
End If
Next ei%

```

```

Clearlamp2
Byte = Asc(Data2)
For ei = 1 To 8
    bitN = BitPosition(ei)
    If Byte And Bit(bitN) Then
        output1(ei - 1).Value = True
    ElseIf Not (Byte And Bit(bitN)) Then
        output1(ei - 1).Value = False
    End If
Next ei
Clearsensor
Byte = Asc(Data3)
For ei = 1 To 8
    bitN = BitPosition(ei)
    If Byte And Bit(bitN) Then sensor(ei - 1).Value = True
Next ei
End Sub
Sub Form_Load ()
    Dim i, ake
    room = form2.ake(25).Text
    floor = form2.ake(24).Text
    ReDim Dataclass(floor, room) As String
    Status.Left = (Screen.Width - Status.Width) / 2
    Status.Top = (Screen.Height - Status.Height) / 2
    For i = 0 To 7
        sensor(i).Caption = form2.ake(16 + i).Text
    Next i
    akedat$ = Dataclass(numfloor, numroom)
    panel3d2.Caption = akedat$
    showdata (akedat$)
    initial
End Sub

```

**Sub Frame3D1\_MouseMove (Button As Integer, Shift As Integer, X As Single, Y As Single)**

text3.Text = "พื้นที่แสดงผลของอุปกรณ์โทรศัพท์ภายในห้อง."

**End Sub**

**Sub Frame3D2\_MouseMove (Button As Integer, Shift As Integer, X As Single, Y As Single)**

text3.Text = "พื้นที่แสดงผลของอุปกรณ์ตรวจจับต่างๆภายในห้อง."

**End Sub**

**Sub initial ()**

**Dim i**

Bit%(0) = &H1: Bit%(1) = &H2

Bit%(2) = &H4: Bit%(3) = &H8

Bit%(4) = &H10: Bit%(5) = &H20

Bit%(6) = &H40: Bit%(7) = &H80

**End Sub**

**Static Sub MSComm1\_OnComm ()**

**Dim EVMsg\$**

**Dim ERMMsg\$**

**Dim i%**

**Select Case MSComm1.CommEvent**

**Case MSCOMM\_EV\_RECEIVE**

MsgBox MSComm1.InBufferCount

showdata (MSComm1.Input)

**Case MSCOMM\_EV\_SEND**

text3.Text = " Send Data OK...."

**Case MSCOMM\_EV\_CTS**

EVMsg\$ = "Change in CTS Detected"

**Case MSCOMM\_EV\_DSR**

EVMsg\$ = "Change in DSR Detected"

**Case MSCOMM\_EV\_CD**

EVMsg\$ = "Change in CD Detected"

**Case MSCOMM\_EV\_RING**

EVMsg\$ = "The Phone is Ringing"

**Case MSCOMM\_EV\_BOF**

```

    EVMsg$ = "End of File Detected"
Case MSCOMM_ER_BREAK
    EVMsg$ = "Break Received"
Case MSCOMM_ER_CTSTO
    ERMMsg$ = "CTS Timeout"
Case MSCOMM_ER_DSRTO
    ERMMsg$ = "DSR Timeout"
Case MSCOMM_ER_FRAME
    EVMsg$ = "Framing Error"
Case MSCOMM_ER_OVERRUN
    ERMMsg$ = "Overrun Error"
Case MSCOMM_ER_CDTO
    ERMMsg$ = "Carrier Detect Timeout"
Case MSCOMM_ER_RXOVER
    ERMMsg$ = "Receive Buffer Overflow"
Case MSCOMM_ER_RXPARITY
    EVMsg$ = "Parity Error"
Case MSCOMM_ER_TXFULL
    ERMMsg$ = "Transmit Buffer Full"
Case Else
    ERMMsg$ = "Unknown error or event"
End Select
If Len(EVMsg$) Then
    text3.Text = EVMsg$
    EVMsg$ = ""
ElseIf Len(ERMMsg$) Then
    Beep
    Ret = MsgBox(ERMMsg$, 1, "Press Cancel to Quit, Ok to ignore.")
    ERMMsg$ = ""
    '--- If Cancel (2) was pressed
    If Ret = 2 Then
        MSComm1.PortOpen = 0 'Close the port and quit

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    End If
End If
End Sub
Sub Output0_Click (Index As Integer, Value As Integer)
    If frame3d1.Enabled = True Then
        If output0(Index).Value = True Then DataRoom1% = DataRoom1% Or Bit%(Index)
        If output0(Index).Value = False Then DataRoom1% = DataRoom1% Xor Bit%(Index)
    End If
    text3.Text = Hex$(DataRoom1%) + Hex$(DataRoom2%)
End Sub
Sub Output0_MouseMove (Index As Integer, Button As Integer, Shift As Integer, X As Single, Y As Single)
    text3.Text = form2.ake(Index).Text
End Sub
Sub Output1_Click (Index As Integer, Value As Integer)
    If frame3d1.Enabled = True Then
        If output1(Index).Value = True Then DataRoom2% = DataRoom2% Or Bit%(Index)
        If output1(Index).Value = False Then DataRoom2% = DataRoom2% Xor Bit%(Index)
    End If
    text3.Text = Hex$(DataRoom1%) + Hex$(DataRoom2%)
End Sub
Sub Output1_MouseMove (Index As Integer, Button As Integer, Shift As Integer, X As Single, Y As Single)
    text3.Text = form2.ake(Index + 8).Text
End Sub
Static Sub showdata (Dat$)
    On Error Resume Next
    Dim Nd, count%, lh%
    Dim DataRoom(1 To 5) As String
    'form3.Label5.Caption = dat
    Dataclass(numfloor, numroom) = Dat$
    lh = Len(Dat$)
    ' MsgBox Dat$
    If lh < 5 Then Status.MSComm1.InBufferCount = 0: GoTo Quit

```

**Do**

**DataRoom(lh) = Mid\$(Dat\$, lh, 1)**

**lh = lh - 1**

**If lh < 0 Then lh = 0**

**Loop Until lh = 0**

**panel3d4.Caption = Asc(DataRoom(1))**

**panel3d3.Caption = Asc(DataRoom(2))**

**panel3d2.Caption = dat**

**If DataRoom(1) = &H2 Then MSComm1.Output = Chr\$(&H2)**

**If DataRoom(2) = Numfloor And DataRoom(3) = NumRoom Then**

**DataShow DataRoom(4), DataRoom(5)**

**panel3d4.Caption = Asc(DataRoom(2))**

**panel3d3.Caption = Asc(DataRoom(3))**

**End If**

**End If**

**DataShow DataRoom(3), DataRoom(4), DataRoom(5)**

**Quit:**

**End Sub**

**Sub Baud12\_click (Value As Integer)**

**NewBaud\$ = "1200"**

**End Sub**

**Sub Baud24\_Click (Value As Integer)**

**NewBaud\$ = "2400"**

**End Sub**

**Sub Baud48\_Click (Value As Integer)**

**NewBaud\$ = "4800"**

**End Sub**

**Sub Baud6\_Click (Value As Integer)**

**NewBaud\$ = "600"**

**End Sub**

**Sub Baud96\_Click (Value As Integer)**

**NewBaud\$ = "9600"**

End Sub

Sub ComPort\_Click (Index As Integer, Value As Integer)

NewPort = Index

End Sub

Sub Data7\_Click (Value As Integer)

NewData\$ = "7"

End Sub

Sub Data8\_Click (Value As Integer)

NewData\$ = "8"

End Sub

Sub EventParity\_Click (Value As Integer)

NewParity\$ = "E"

End Sub

Sub ExitButton\_Click ()

OldPort = Status.MSComm1.CommPort

ComPort(OldPort).Value = True

FristComma = InStr(Status.MSComm1.Settings, ",")

Baud\$ = Left\$(Status.MSComm1.Settings, FristComma - 1)

Select Case Val(Baud\$)

Case 600

ConfigScm.Baud6.Value = True

Case 1200

ConfigScm.Baud12.Value = True

Case 2400

ConfigScm.Baud24.Value = True

Case 4800

ConfigScm.Baud48.Value = True

Case 9600

ConfigScm.Baud96.Value = True

End Select

dat\$ = Status.MSComm1.Settings

MsgBox dat\$

```

Parity$ = Mid$(Status.MSComm1.Settings, FristComma + 1, 1)
Select Case UCase$(Parity$)
Case "N"
    ConfigScm.NoParity.Value = True
Case "E"
    ConfigScm.EventParity.Value = True
Case "O"
    ConfigScm.OddParity.Value = True
End Select
SecondComma = FristComma + 2
DBits$ = Mid$(Status.MSComm1.Settings, SecondComma + 1, 1)
Select Case Val(DBits$)
Case 7
    ConfigScm.Data7.Value = True
Case 8
    ConfigScm.Data8.Value = True
End Select
ThirdComma = SecondComma + 2
SBits$ = Mid$(Status.MSComm1.Settings, ThirdComma + 1, 1)
Select Case Val(SBits$)
Case 1
    ConfigScm.Stop1.Value = True
Case 2
    ConfigScm.Stop2.Value = True
End Select
'MsgBox "COM " + Str$(NewPort) + ":" + NewBaud$ + "," + NewParity$ + "," + NewData$ + "," +
NewStop$
Unload ConfigScm
'ShowMenu.Show
End Sub
Sub Form_Load ()
    ConfigScm.Left = (Screen.Width - ConfigScm.Width) / 2

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ConfigScm.Top = (Screen.Height - ConfigScm.Height) / 2**

**Port = Status.MSComm1.CommPort**

**NewPort = Port**

**ComPort(Port).Value = True**

---

**FristComma = InStr(Status.MSComm1.Settings, ",")**

**Baud\$ = Left\$(Status.MSComm1.Settings, FristComma - 1)**

**Select Case Val(Baud\$)**

**Case 600**

**ConfigScm.Baud6.Value = True**

**Case 1200**

**ConfigScm.Baud12.Value = True**

**Case 2400**

**ConfigScm.Baud24.Value = True**

**Case 4800**

**ConfigScm.Baud48.Value = True**

**Case 9600**

**ConfigScm.Baud96.Value = True**

**End Select**

**Parity\$ = Mid\$(Status.MSComm1.Settings, FristComma + 1, 1)**

**Select Case UCase\$(Parity\$)**

**Case "N"**

**ConfigScm.NoParity.Value = True**

**Case "E"**

**ConfigScm.EventParity.Value = True**

**Case "O"**

**ConfigScm.OddParity.Value = True**

**End Select**

---

**SecondComma = FristComma + 2**

**DBits\$ = Mid\$(Status.MSComm1.Settings, SecondComma + 1, 1)**

**Select Case Val(DBits\$)**

**Case 7**

**ConfigScm.Data7.Value = True**

**Case 8**

**ConfigScm.Data8.Value = True**

**End Select**

---

**ThirdComma = SecondComma + 2**

**SBits\$ = Mid\$(Status.MSComm1.Settings, ThirdComma + 1, 1)**

**Select Case Val(SBits\$)**

**Case 1**

**ConfigScm.Stop1.Value = True**

**Case 2**

**ConfigScm.Stop2.Value = True**

**End Select**

**End Sub**

**Sub NoParity\_Click (Value As Integer)**

**NewParity\$ = "N"**

**End Sub**

**Sub OddParity\_Click (Value As Integer)**

**NewParity\$ = "O"**

**End Sub**

**Sub OKButton\_Click ()**

**On Error Resume Next**

**OldPort = Status.MSComm1.CommPort**

**If NewPort <> OldPort Then**

**If Status.MSComm1.PortOpen Then**

**Status.MSComm1.PortOpen = False**

**ReOpen = True**

**End If**

**Status.MSComm1.CommPort = NewPort**

**If Err = 0 Then**

**If ReOpen Then**

```

Status.MSComm1.PortOpen = True
End If
End If
If Err Then
    MsgBox Error$, 48
Status.MSComm1.CommPort = OldPort
Exit Sub
End If
End If
Status.MSComm1.Settings = NewBaud$ + "," + NewParity$ + "," + NewData$ + "," + NewStop$
If Err Then
    MsgBox Error$, 48
Exit Sub
End If
ConfigScm.Hide
Serials$ = "COM " + Str$(NewPort) + ":" + NewBaud$ + "," + NewParity$ + "," + NewData$ + "," +
NewStop$
Panel3d7.Caption = Serials$
'Structure.Label1.Caption = Serials$
'ShowMenu.Show
End Sub
Sub Stop1_Click (Value As Integer)
    NewStop$ = "1"
End Sub
Sub Stop2_Click (Value As Integer)
    NewStop$ = "2"
End Sub

```

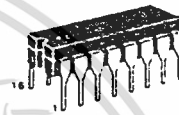
# MC3486

## QUAD RS-422/423 LINE RECEIVER

Motorola's Quad RS-422/3 Receiver features four independent receiver chains which comply with EIA Standards for the Electrical Characteristics of Balanced/Unbalanced Voltage Digital Interface Circuits. Receiver outputs are 74LS compatible, three-state structures which are forced to a high impedance state when the appropriate output control pin reaches a logic zero condition. A PNP device buffers each output control pin to assure minimum loading for either logic one or logic zero inputs. In addition, each receiver chain has internal hysteresis circuitry to improve noise margin and discourage output instability for slowly changing input waveforms. A summary of MC3486 features include:

- Four Independent Receiver Chains
- Three-State Outputs
- High Impedance Output Control Inputs (PIA Compatible)
- Internal Hysteresis – 100 mV (Typ)
- Fast Propagation Times – 25 ns (Typ)
- TTL Compatible
- Single 5 V Supply Voltage

## QUAD RS-422/3 LINE RECEIVER WITH THREE-STATE OUTPUTS

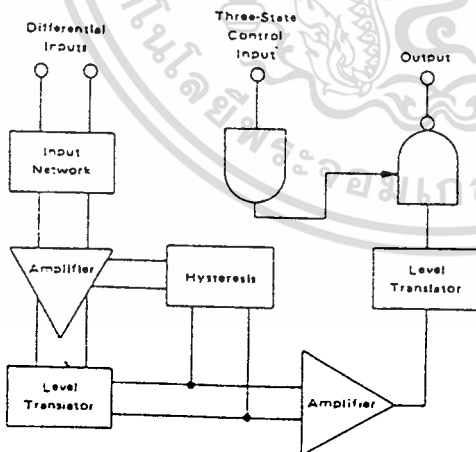


L SUFFIX  
CERAMIC PACKAGE  
CASE 620

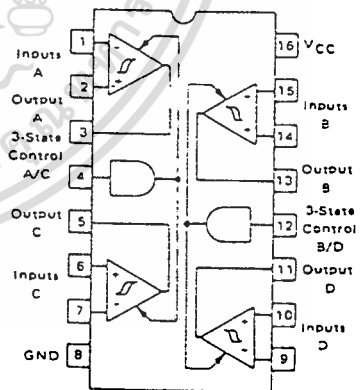


P SUFFIX  
PLASTIC PACKAGE  
CASE 648

### RECEIVER CHAIN BLOCK DIAGRAM



### PIN CONNECTIONS



### ORDERING INFORMATION

DEVICE	TEMPERATURE RANGE	PACKAGE
MC3486L	0 to +70°C	Ceramic DIP
MC3486P	0 to +70°C	Plastic DIP

**ABSOLUTE MAXIMUM RATINGS (Note 1)**

Rating	Symbol	Value	Unit
Power Supply Voltage	V <sub>CC</sub>	8.0	V <sub>dc</sub>
Input Common Mode Voltage	V <sub>ICM</sub>	±15	V <sub>dc</sub>
Input Differential Voltage	V <sub>ID</sub>	±15	V <sub>dc</sub>
Three-State Control Input Voltage	V <sub>I</sub>	8.0	V <sub>dc</sub>
Output Sink Current	I <sub>O</sub>	50	mA
Storage Temperature	T <sub>stg</sub>	-65 to +150	°C
Operating Junction Temperature	T <sub>J</sub>		°C
	Ceramic Package	+175	
	Plastic Package	+150	

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The "Table of Electrical Characteristics" provides conditions for actual device operation.

**RECOMMENDED OPERATING CONDITIONS**

Rating	Symbol	Value	Unit
Power Supply Voltage	V <sub>CC</sub>	4.75 to 5.25	V <sub>dc</sub>
Operating Ambient Temperature	T <sub>A</sub>	0 to +70	°C
Input Common Mode Voltage Range	V <sub>ICR</sub>	-7.0 to +7.0	V <sub>dc</sub>
Input Differential Voltage Range	V <sub>IDR</sub>	6.0	V <sub>dc</sub>

**ELECTRICAL CHARACTERISTICS** (Unless otherwise noted minimum and maximum limits apply over recommended temperature and power supply voltage ranges. Typical values are for T<sub>A</sub> = 25°C, V<sub>CC</sub> = 5.0 V and V<sub>IC</sub> = 0 V. See Note 1.)

Characteristic	Symbol	Min	Typ	Max	Unit
Input Voltage — High Logic State (Three-State Control)	V <sub>IH</sub>	2.0	—	—	V
Input Voltage — Low Logic State (Three-State Control)	V <sub>IL</sub>	—	—	0.8	V
Differential Input Threshold Voltage (-7.0 V < V <sub>IC</sub> < 7.0 V, V <sub>IH(3C)</sub> = 2.0 V) (I <sub>O</sub> = 0.4 mA, V <sub>OH</sub> > 2.7 V) (I <sub>O</sub> = 8.0 mA, V <sub>OL</sub> > 0.5 V)	V <sub>TH(D)</sub>	—	0.05 -0.05	0.2 -0.2	V
Input Bias Current (V <sub>CC</sub> = 0 V or 5.25) (Other Inputs at 0 V) (V <sub>I</sub> = -10 V) (V <sub>I</sub> = -3.0 V) (V <sub>I</sub> = +3.0 V) (V <sub>I</sub> = +10 V)	I <sub>IB(D)</sub>	—	—	-3.25 -1.50 +1.50 +3.25	mA
Input Balance (-7.0 V < V <sub>IC</sub> < 7.0 V, V <sub>IH(3C)</sub> = 2.0 V, See Note 3) (I <sub>O</sub> = 0.4 mA, V <sub>ID</sub> = 0.4 V) (I <sub>O</sub> = 8.0 mA, V <sub>ID</sub> = 0.4 V)		2.7	—	— 0.5	V
Output Third State Leakage Current (V <sub>ID</sub> = +3.0 V, V <sub>IL(3C)</sub> = 0.8 V, V <sub>OL</sub> = 0.5 V) (V <sub>ID</sub> = -3.0 V, V <sub>IH(3C)</sub> = 0.8 V, V <sub>OH</sub> = 2.7 V)	I <sub>OZ</sub>	—	—	-40 40	μA
Output Short-Circuit Current (V <sub>ID</sub> = 3.0 V, V <sub>IH(3C)</sub> = 2.0 V, V <sub>O</sub> = 0 V, See Note 2)	I <sub>OS</sub>	-15	—	-100	mA
Input Current — Low Logic State (Three-State Control) (V <sub>IH(3S)</sub> = 0.5 V)	I <sub>IL</sub>	—	—	-100	μA
Input Current — High Logic State (Three-State Control) (V <sub>IH(3S)</sub> = 2.7 V) (V <sub>IH(3S)</sub> = 5.25 V)	I <sub>IH</sub>	—	—	20 100	μA
Input Clamp Diode Voltage (Three-State Control) (I <sub>C(3S)</sub> = -10 mA)	V <sub>IC</sub>	—	—	-1.5	V
Power Supply Current (V <sub>IL(3S)</sub> = 0 V)	I <sub>CC</sub>	—	—	80	mA



**MOTOROLA Semiconductor Products Inc.**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

SWITCHING CHARACTERISTICS (Unless otherwise noted,  $V_{CC} = 5.0\text{ V}$  and  $T_A = 25^\circ\text{C}$ .)

Characteristic	Symbol	Min	Typ	Max	Unit
Propagation Delay Time - Differential Inputs to Output (Output High to Low) (Output Low to High)	$t_{PLH(D)}$	-	20	-	ns
	$t_{PLH(I)}$	-	25	-	ns
Propagation Delay time - Three-State Control to Output (Output Low to Third State) (Output High to Third State) (Output Third State to High) (Output Third State to Low)	$t_{PLZ}$	-	23	-	ns
	$t_{PHZ}$	-	25	-	ns
	$t_{PZH}$	-	18	-	ns
	$t_{PZL}$	-	20	-	ns

NOTES:

- All currents into device pins are shown as positive, out of device pins are negative. All voltages referenced to ground unless otherwise noted.
- Only one output at a time should be shorted.
- Refer to EIA RS-422/3 for exact conditions.

FIGURE 1 - SWITCHING TEST CIRCUIT AND WAVEFORMS

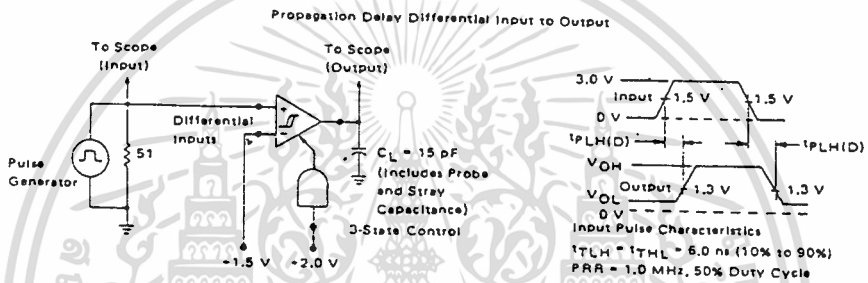
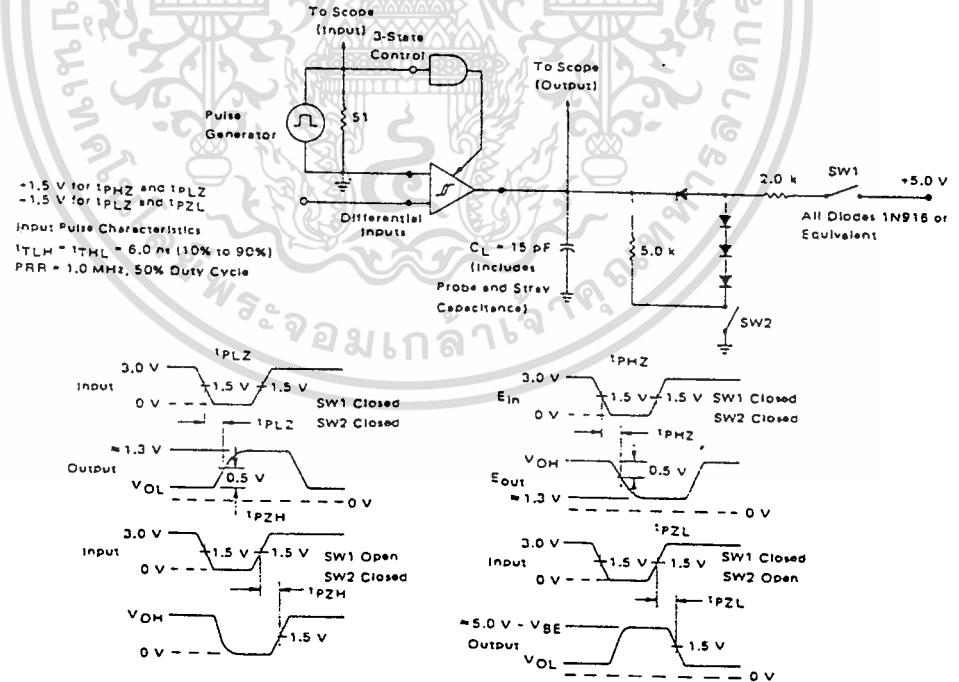


FIGURE 2 - PROPAGATION DELAY THREE-STATE CONTROL INPUT TO OUTPUT



MOTOROLA Semiconductor Products Inc.

# XC3487

## Product Preview

### QUAD LINE DRIVER WITH THREE-STATE OUTPUTS

Motorola's Quad RS-422 Driver features four independent driver chains which comply with EIA Standards for the Electrical Characteristics of Balanced Voltage Digital Interface Circuits. The outputs are three-state structures which are forced to a high impedance state when the appropriate output control pin reaches a logic zero condition. All input pins are PNP buffered to minimize input loading for either logic one or logic zero inputs. In addition, internal circuitry assures a high impedance output state during the transition between power up and power down. A summary of MC3487 features include:

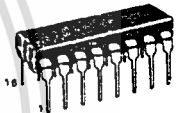
- Four Independent Driver Chains
- Three-State Outputs
- PNP High Impedance Inputs (PIA Compatible)
- Power Up/Down Protection
- Fast Propagation Times (Typ 15 ns)
- TTL Compatible
- Single 5 V Supply Voltage
- Output Rise and Fall Times Less Than 20 ns
- Equivalent to DS 3487

### QUAD RS-422 LINE DRIVER WITH THREE-STATE OUTPUTS

SILICON MONOLITHIC INTEGRATED CIRCUIT

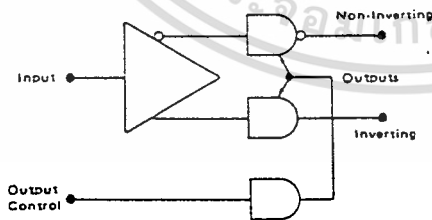


L SUFFIX CERAMIC PACKAGE CASE 620

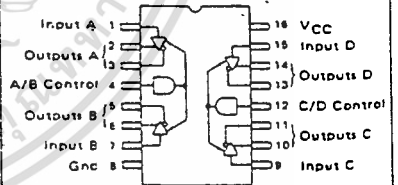


P SUFFIX PLASTIC PACKAGE CASE 648

### DRIVER BLOCK DIAGRAM



### PIN CONNECTIONS



### TRUTH TABLE

Input	Control Input	Non-Inverter Output	Inverter Output
H	H	H	L
L	H	L	H
X	L	Z	Z

L = Low Logic State  
 H = High Logic State  
 X = Irrelevant  
 Z = Third-State (High Impedance)

This is advance information and specifications are subject to change without notice.

*ABSOLUTE MAXIMUM RATINGS			
Rating	Symbol	Value	Unit
Power Supply Voltage	$V_{CC}$	8.0	Vdc
Input Voltage	$V_I$	5.5	Vdc
Operating Ambient Temperature Range	$T_A$	0 to +70	$^{\circ}C$
Operating Junction Temperature Range	$T_J$		$^{\circ}C$
		175	
		150	
Storage Temperature Range	$T_{stg}$	-65 to +150	$^{\circ}C$

\*\*"Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The "Table of Electrical Characteristics" provides conditions for actual device operation.

**ELECTRICAL CHARACTERISTICS** (Unless otherwise noted specifications apply  $4.75 V < V_{CC} < 5.25 V$  and  $0^{\circ}C < T_A < 70^{\circ}C$ . Typical values measured at  $V_{CC} = 5.0 V$ , and  $T_A = 25^{\circ}C$ .)

Characteristic	Symbol	Min	Typ	Max	Unit
Input Voltage — Low Logic State	$V_{IL}$	—	—	0.8	Vdc
Input Voltage — High Logic State	$V_{IH}$	2.0	—	—	Vdc
Input Current — Low Logic State ( $V_{IL} = 0.5 V$ )	$I_{IL}$	—	—	-200	$\mu A$
Input Current — High Logic State ( $V_{IH} = 2.4 V$ ) ( $V_{IH} = 5.5 V$ )	$I_{IH}$	—	—	-50 -50	$\mu A$
Input Clamp Voltage ( $I_{IC} = -12 mA$ )	$V_{IC}$	—	—	-1.5	V
Output Voltage — Low Logic State ( $I_{OL} = 48 mA$ )	$V_{OL}$	—	—	0.5	V
Output Voltage — High Logic State ( $I_{OH} = -10 mA$ ) ( $I_{OH} = -50 mA$ )	$V_{OH}$	2.5 2.0	—	—	V
Output Short-Circuit Current ( $V_{IH} = 2.0 V$ ) <sup>2</sup>	$I_{OS}$	-50	—	-150	mA
Output Leakage Current — Hi-Z State ( $V_{IL} = 0.4 V, V_{IL(Z)} = 0.8 V$ ) ( $V_{IH} = 2.4 V, V_{IL(Z)} = 0.8 V$ )	$I_{OL(Z)}$	—	—	$\pm 100$ $\pm 100$	$\mu A$
Output Leakage Current — Power OFF ( $V_{OH} = 6.0 V, V_{CC} = 0 V$ ) ( $V_{OL} = -0.25 V, V_{CC} = 0 V$ )	$I_{OL(off)}$	—	—	+100 -100	$\mu A$
Output Offset Voltage 1	$V_{OS}$	—	—	$\pm 0.4$	V
Output Differential Voltage 1	$V_T$	2.0	—	—	V
Output Differential Voltage Difference 1	$V_T - \bar{V}_T$	—	—	$\pm 0.4$	V
Power Supply Current	$I_{CC}$	—	—	95	mA

1. See EIA Specification RS-422 for exact test conditions.
2. Only one output may be shorted at a time.



**MOTOROLA Semiconductor Products Inc.**

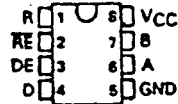
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SN75176A DIFFERENTIAL BUS TRANSCEIVER

D2619, JUNE 1984—REVISED AUGUST 1989

- Bidirectional Transceiver
- Meets EIA Standards RS-422A and CCITT Recommendations V.11 and X.27
- Designed for Multipoint Transmission on Long Bus Lines in Noisy Environments
- 3-State Driver and Receiver Outputs
- Individual Driver and Receiver Enables
- Wide Positive and Negative Input/Output Bus Voltage Ranges
- Driver Output Capability...  $\pm 60$  mA Max
- Thermal Shutdown Protection
- Driver Positive and Negative Current Limiting
- Receiver Input Impedance... 12 k $\Omega$  Min
- Receiver Input Sensitivity...  $\pm 200$  mV
- Receiver Input Hysteresis... 50 mV Typ
- Operates from Single 5-V Supply
- Low Power Requirements

D OR P  
DUAL-IN-LINE PACKAGE  
(TOP VIEW)



FUNCTION TABLE (DRIVER)

INPUT D	ENABLE DE	OUTPUTS	
		A	B
H	H	H	L
L	H	L	H
X	L	Z	Z

FUNCTION TABLE (RECEIVER)

DIFFERENTIAL INPUTS A - B	ENABLE RE	OUTPUT R
$V_{ID} > 0.2$ V	L	H
$-0.2$ V $< V_{ID} < 0.2$ V	L	?
$V_{ID} < -0.2$ V	L	L
X	H	Z

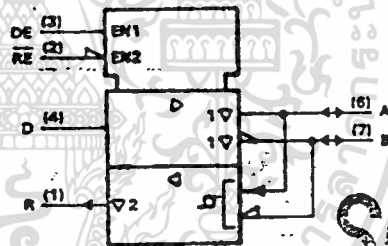
H = High level, L = low level, ? = indeterminate,  
X = irrelevant, Z = high impedance (off)

## description

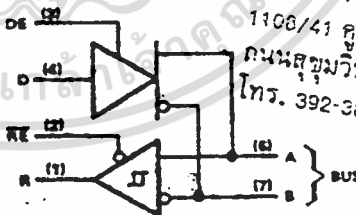
The SN75176A differential bus transceiver is a monolithic integrated circuit designed for bidirectional data communication on multipoint bus transmission lines. It is designed for balanced transmission lines and meets EIA Standard RS-422A and CCITT Recommendations V.11 and X.27.

The SN75176A combines a 3-state differential line driver and a differential-input line receiver both of which operate from a single 5-V power supply. The driver and receiver have active-high and active-low enables, respectively, that can be externally connected together to function as direction control. The driver differential outputs and the receiver differential inputs are connected internally to form differential input/output (I/O) bus ports that are designed to offer minimum loading to the bus whenever the driver is disabled or  $V_{CC} = 0$ . These ports feature wide positive and negative common-mode voltage ranges making the device suitable for party-line applications.

## logic symbol



## logic diagram (positive logic)



**SILA**

บริษัท ซิลาลิเตอร์ จำกัด  
1108/41 ศูนย์การค้าพระโชฬง  
ถนนสุขุมวิท กรุงเทพฯ 10110  
โทร. 392-3886, 392-6183

PRODUCTION DATA documents contain information derived as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS INSTRUMENTS  
POST OFFICE BOX 655309 • DALLAS, TEXAS 75265 •

Copyright © 1989, Texas Instruments Incorporated

2-577

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

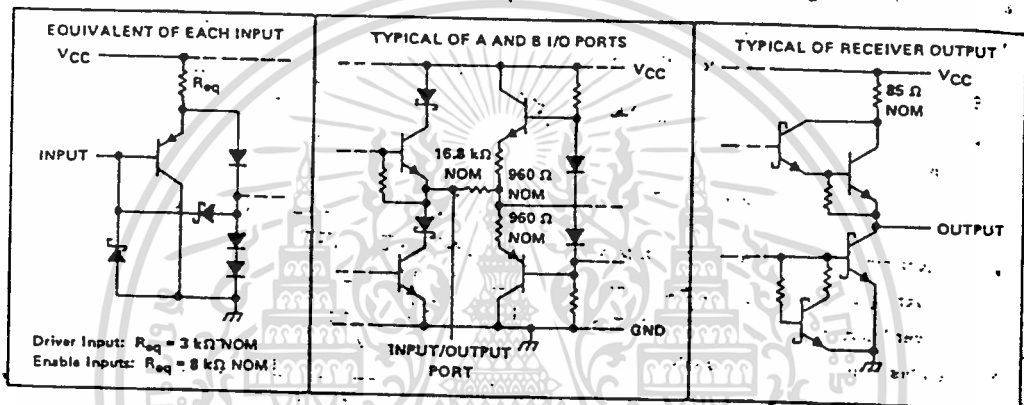
## SN75176A DIFFERENTIAL BUS TRANSCEIVER

description (continued)

The driver is designed to handle loads up to 60 mA of sink or source current. The driver features positive- and negative-current limiting and thermal shutdown for protection from line fault conditions. Thermal shutdown is designed to occur at a junction temperature of approximately 150°C. The receiver features a minimum input impedance of 12 kΩ, input sensitivity of ± 200 mV, and a typical input hysteresis of 50 mV.

The SN75176A can be used in transmission line applications employing the SN75172 and SN75174 quadruple differential line drivers and the SN75173 and SN75175 quadruple differential line receivers.

schematics of inputs and outputs



**SN75176A**  
**DIFFERENTIAL BUS TRANSCEIVER**

**DRIVER SECTION**

driver electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted).

PARAMETER	TEST CONDITIONS	MIN	TYP <sup>1</sup>	MAX	UNIT
V <sub>IK</sub> Input clamp voltage	I <sub>I</sub> = -18 mA			-1.5	V
V <sub>OH</sub> High-level output voltage	V <sub>IH</sub> = 2 V, V <sub>IL</sub> = 0.8 V, I <sub>OH</sub> = -33 mA		3.7		V
V <sub>OL</sub> Low-level output voltage	V <sub>IH</sub> = 2 V, V <sub>IL</sub> = 0.8 V, I <sub>OL</sub> = 33 mA		1.1		V
V <sub>OD1</sub>   Differential output voltage	I <sub>O</sub> = 0			2 V <sub>OD2</sub>	V
V <sub>OD2</sub>   Differential output voltage	R <sub>L</sub> = 100 Ω, See Figure 1	2	2.7		V
	R <sub>L</sub> = 54 Ω, See Figure 1	1.5	2.4		
Δ V <sub>OD</sub>   Change in magnitude of differential output voltage <sup>2</sup>				±0.2	V
V <sub>OC</sub> Common-mode output voltage <sup>3</sup>	R <sub>L</sub> = 54 Ω or 100 Ω, See Figure 1			3	V
Δ V <sub>OC</sub>   Change in magnitude of common-mode output voltage <sup>2</sup>				±0.2	V
I <sub>O</sub> Output current	Output disabled, See Note 4	V <sub>O</sub> = 12 V		1	mA
		V <sub>O</sub> = -7 V		-0.8	
I <sub>IH</sub> High-level input current	V <sub>I</sub> = 2.4 V			20	μA
I <sub>IL</sub> Low-level input current	V <sub>I</sub> = 0.4 V			-400	μA
I <sub>OS</sub> Short-circuit output current		V <sub>O</sub> = -7 V		-250	mA
		V <sub>O</sub> = V <sub>CC</sub>		250	
		V <sub>O</sub> = 12 V		500	
I <sub>CC</sub> Supply current (total package)	No load	Outputs enabled		35 50	mA
		Outputs disabled		26 40	

<sup>1</sup>All typical values are at V<sub>CC</sub> = 5 V and T<sub>A</sub> = 25°C.

<sup>2</sup>Δ|V<sub>OD</sub>| and Δ|V<sub>OC</sub>| are the changes in magnitude of V<sub>OD</sub> and V<sub>OC</sub> respectively, that occur when the input is changed from a high level to a low level.

<sup>3</sup>In EIA Standard RS-422A, V<sub>OC</sub>, which is the average of the two output voltages with respect to ground, is called output offset voltage, V<sub>OS</sub>.

NOTE 4: This applies for both power on and power off. Refer to EIA Standard RS-422A for exact conditions.

driver switching characteristics, V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t <sub>DD</sub> Differential-output delay time	R <sub>L</sub> = 60 Ω, See Figure 3		40	60	ns
t <sub>TD</sub> Differential-output transition time			65	95	ns
t <sub>PZH</sub> Output enable time to high level	R <sub>L</sub> = 110 Ω, See Figure 4		55	90	ns
t <sub>PZL</sub> Output enable time to low level	R <sub>L</sub> = 110 Ω, See Figure 5		30	50	ns
t <sub>PHZ</sub> Output disable time from high level	R <sub>L</sub> = 110 Ω, See Figure 4		85	130	ns
t <sub>PLZ</sub> Output disable time from low level	R <sub>L</sub> = 110 Ω, See Figure 5		20	40	ns

**TEXAS**   
**INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

**SN75176A**  
**DIFFERENTIAL BUS TRANSCEIVER**

**RECEIVER SECTION**

receiver electrical characteristics over recommended ranges of common-mode input voltage, supply voltage, and operating free-air temperature (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP <sup>1</sup>	MAX	UNIT	
V <sub>TH</sub>	Differential-input high-threshold voltage	V <sub>O</sub> = 2.7 V, I <sub>O</sub> = -0.4 mA		0.2	V	
V <sub>TL</sub>	Differential-input low-threshold voltage	V <sub>O</sub> = 0.5 V, I <sub>O</sub> = 8 mA	-0.2 <sup>2</sup>		V	
V <sub>T+</sub> - V <sub>T-</sub>	Hysteresis <sup>3</sup>		50		mV	
V <sub>IK</sub>	Enable-input clamp voltage	I <sub>I</sub> = -18 mA		-1.5	V	
V <sub>OH</sub>	High-level output voltage	V <sub>ID</sub> = -200 mV, I <sub>OH</sub> = -400 μA, See Figure 2	2.7		V	
V <sub>OL</sub>	Low-level output voltage	V <sub>ID</sub> = -200 mV, I <sub>OL</sub> = 8 mA, See Figure 2		0.45	V	
I <sub>OZ</sub>	High-impedance-state output current	V <sub>O</sub> = 0.4 V to 2.4 V		±20	μA	
I <sub>I</sub>	Line input current	Other input = 0 V, See Note 4	V <sub>I</sub> = 12 V V <sub>I</sub> = -7 V		1 -0.8	mA
I <sub>IH</sub>	High-level enable-input current	V <sub>IH</sub> = 2.7 V		20	μA	
I <sub>IL</sub>	Low-level enable-input current	V <sub>IL</sub> = 0.4 V		-100	μA	
r <sub>i</sub>	Input resistance		12		kΩ	
I <sub>OS</sub>	Short-circuit output current		-15	-85	mA	
I <sub>CC</sub>	Supply current (total package)	No load		35 26	50 40	mA

<sup>1</sup>All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C.

<sup>2</sup>The algebraic convention, where the less-positive (more-negative) limit is designated minimum, is used in this data sheet for common-mode input voltage and threshold voltage levels only.

<sup>3</sup>Hysteresis is the difference between the positive-going input threshold voltage, V<sub>T+</sub>, and the negative-going input threshold voltage, V<sub>T-</sub>. See Figure 4.

NOTE 4: This applies for both power on and power off. Refer to EIA Standard RS-422A for exact conditions.

receiver switching characteristics, V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t <sub>PLH</sub>	Propagation delay time, low-to-high-level output	V <sub>ID</sub> = -1.5 V to 1.5 V,	21	35	ns
t <sub>PHL</sub>	Propagation delay time, high-to-low-level output	C <sub>L</sub> = 15 pF, See Figure 6	23	35	ns
t <sub>PZH</sub>	Output enable time to high level	C <sub>L</sub> = 15 pF, See Figure 7	10	30	ns
t <sub>PZL</sub>	Output enable time to low level		12	30	ns
t <sub>PHZ</sub>	Output disable time from high level	C <sub>L</sub> = 15 pF, See Figure 7	20	35	ns
t <sub>PLZ</sub>	Output disable time from low level		17	35	ns

  
**TEXAS**  
**INSTRUMENTS**

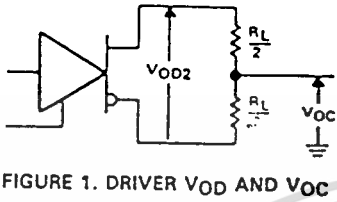
POST OFFICE BOX 916303 • DALLAS, TEXAS 75266

2-581

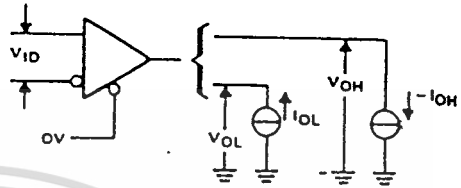
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**SN75176A**  
**DIFFERENTIAL BUS TRANSCEIVER**

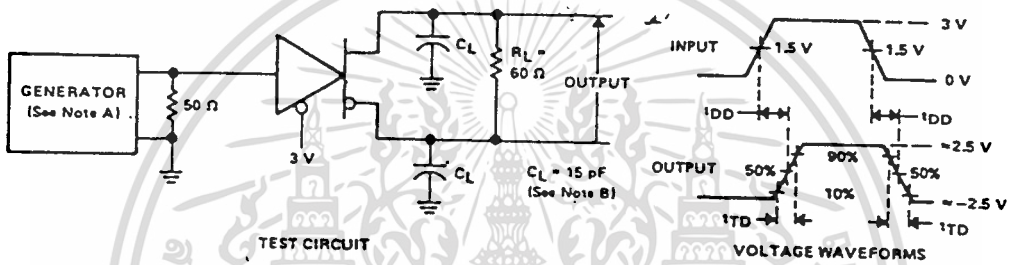
**PARAMETER MEASUREMENT INFORMATION**



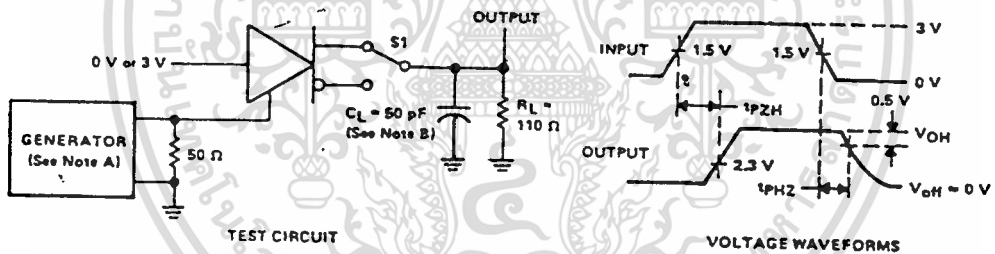
**FIGURE 1. DRIVER  $V_{OD}$  AND  $V_{OC}$**



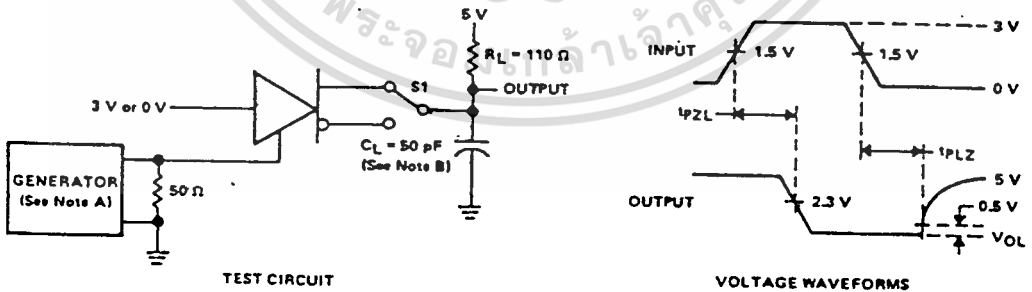
**FIGURE 2. RECEIVER  $V_{OH}$  AND  $V_{OL}$**



**FIGURE 3. DRIVER DIFFERENTIAL-OUTPUT DELAY AND TRANSITION TIMES**



**FIGURE 4. DRIVER ENABLE AND DISABLE TIMES**



**FIGURE 5. DRIVER ENABLE AND DISABLE TIMES**

**NOTES:** A. The input pulse is supplied by a generator having the following characteristics: PRR = 1 MHz, 50% duty cycle,  $t_r \leq 6$  ns,  $t_f \leq 6$  ns,  $Z_{out} = 50 \Omega$ .  
 B.  $C_L$  includes probe and jig capacitance.

PARAMETER MEASUREMENT INFORMATION

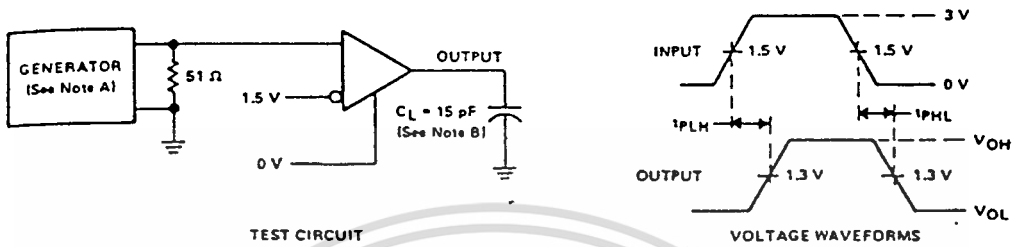


FIGURE 6. RECEIVER PROPAGATION DELAY TIMES

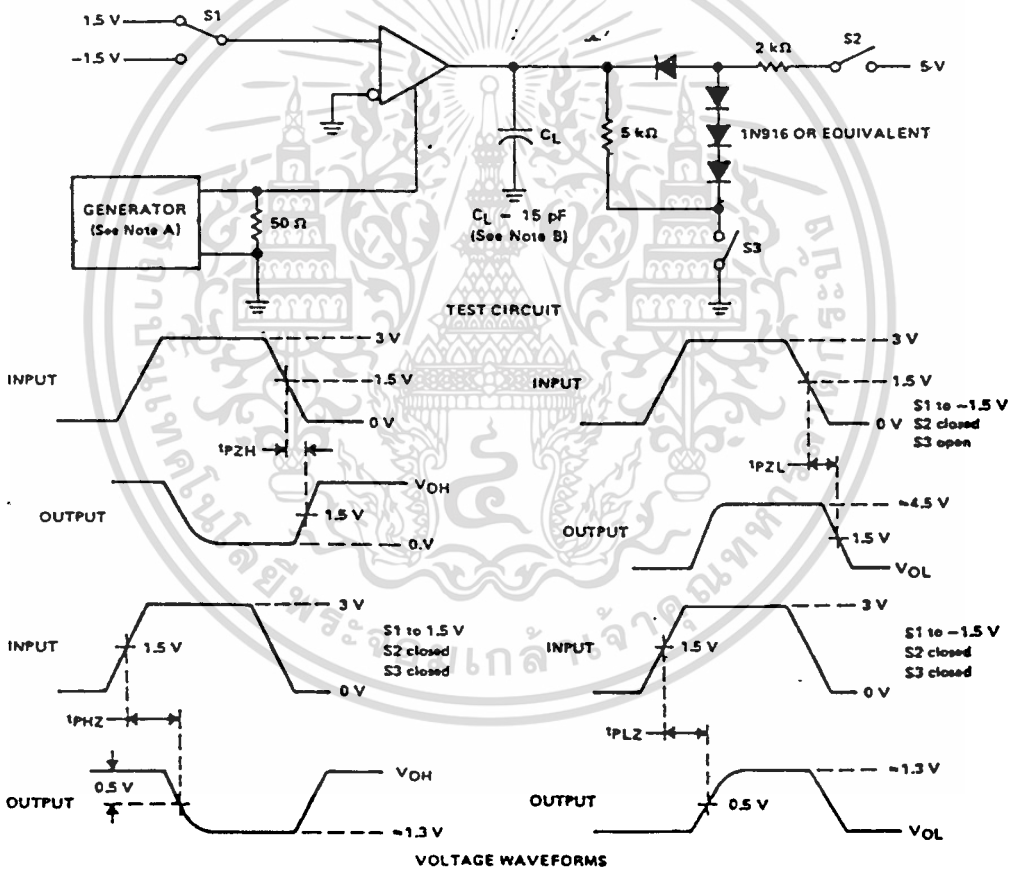


FIGURE 7. RECEIVER OUTPUT ENABLE AND DISABLE TIMES

NOTES: A. The input pulse is supplied by a generator having the following characteristics: PRR = 1 MHz, 50% duty cycle,  $t_r \leq 6$  ns,  $t_f \leq 6$  ns,  $Z_{out} = 50 \Omega$ .  
B.  $C_L$  includes probe and jig capacitance.

SN75176A  
DIFFERENTIAL BUS TRANSCEIVER

TYPICAL CHARACTERISTICS

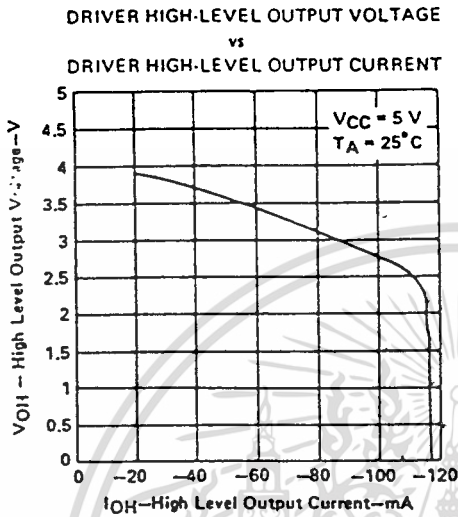


FIGURE 8

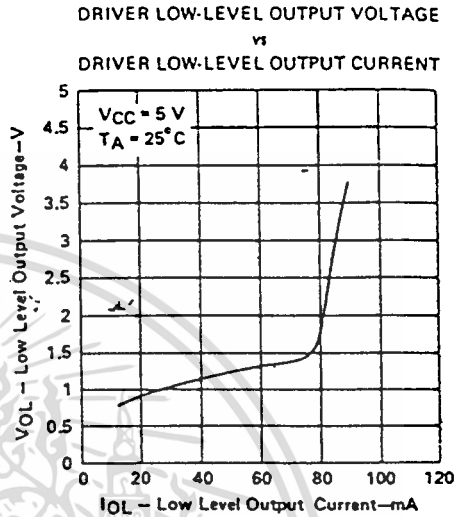


FIGURE 9

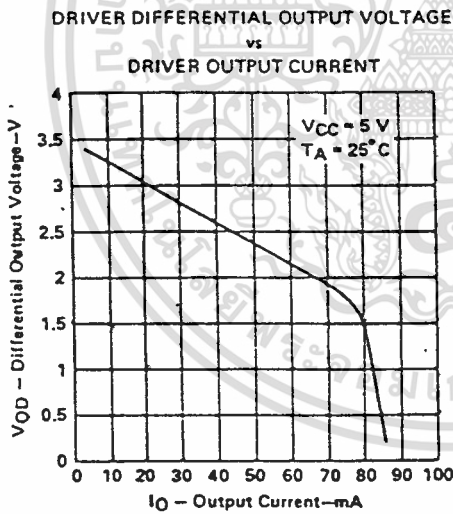


FIGURE 10

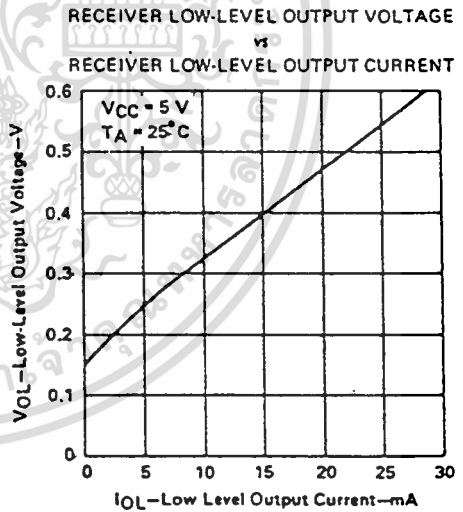


FIGURE 11

TYPICAL CHARACTERISTICS

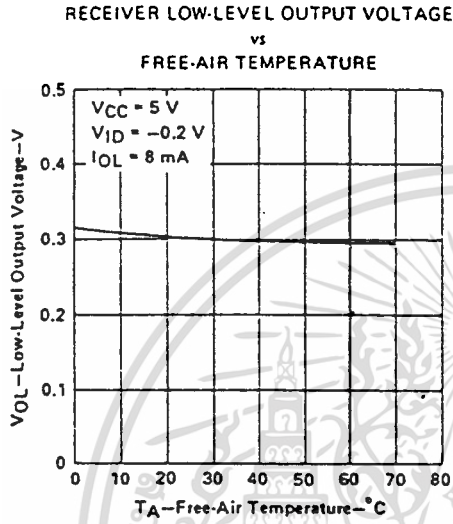


FIGURE 12

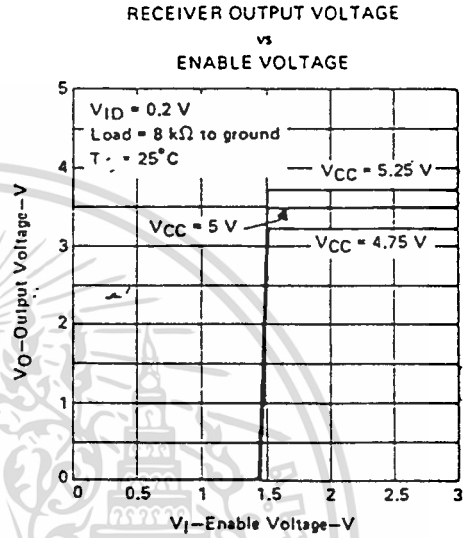


FIGURE 13

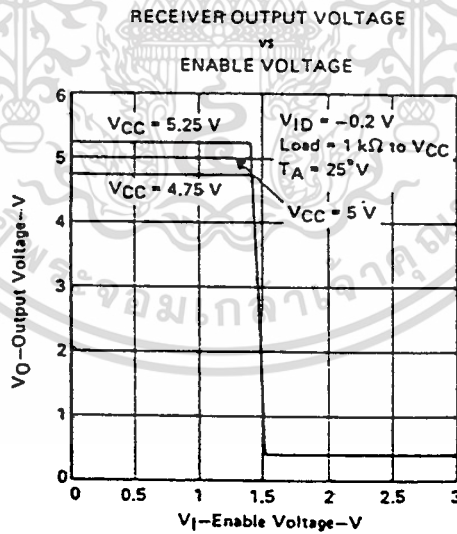
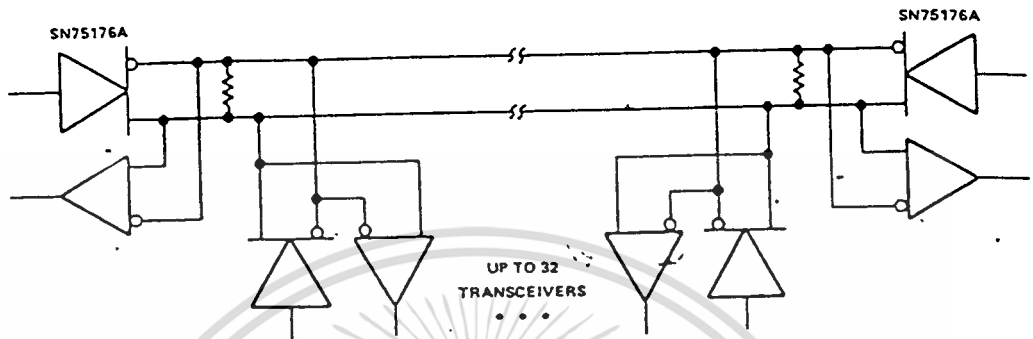


FIGURE 14

**SN75176A  
DIFFERENTIAL BUS TRANSCEIVER**

**TYPICAL APPLICATION**



NOTE: The line should be terminated at both ends in its characteristic impedance. Stub lengths off the main line should be kept as short as possible.



## 8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - Standard Temperature Range
  - Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

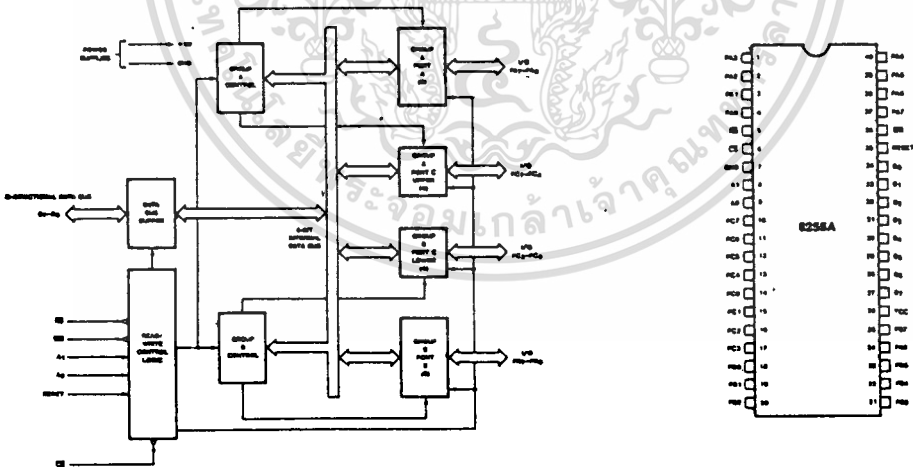


Figure 1. 8255A Block Diagram

Figure 2. Pin Configuration

## 8255A FUNCTIONAL DESCRIPTION

### General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel<sup>™</sup> microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

### Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

### Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

### (CS)

**Chip Select.** A "low" on this input pin enables the communication between the 8255A and the CPU.

### (RD)

**Read.** A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

### (WR)

**Write.** A "low" on this input pin enables the CPU to write data or control words into the 8255A.

### (A<sub>0</sub> and A<sub>1</sub>)

**Port Select 0 and Port Select 1.** These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A<sub>0</sub> and A<sub>1</sub>).

## 8255A BASIC OPERATION

A <sub>1</sub>	A <sub>0</sub>	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	PORT A = DATA BUS
0	1	0	1	0	PORT B = DATA BUS
1	0	0	1	0	PORT C = DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS = PORT A
0	1	1	0	0	DATA BUS = PORT B
1	0	1	0	0	DATA BUS = PORT C
1	1	1	0	0	DATA BUS = CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS = 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS = 3-STATE

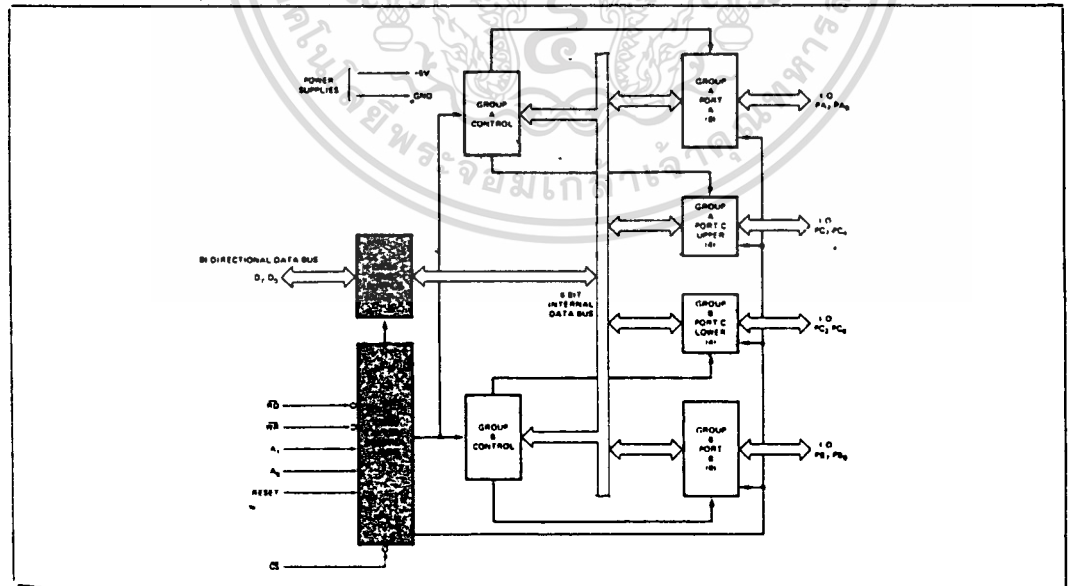


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

**(RESET)**

**Reset.** A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

**Group A and Group B Controls**

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

- Control Group A – Port A and Port C upper (C7-C4)
- Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can **Only** be written into. No Read operation of the Control Word Register is allowed.

**Ports A, B, and C**

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

**Port A.** One 8-bit data output latch/buffer and one 8-bit data input latch.

**Port B.** One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

**Port C.** One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

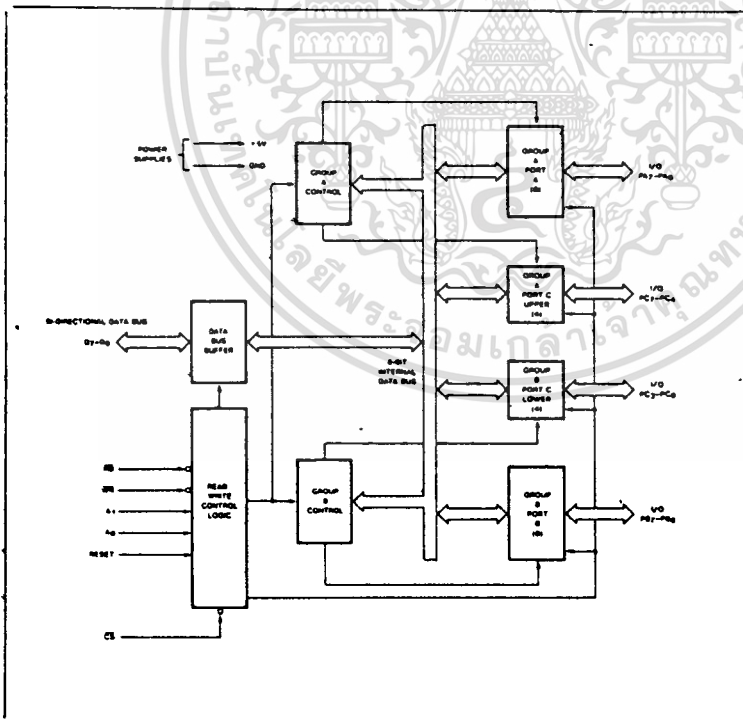
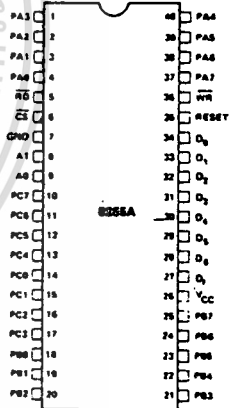


Figure 4. 8255A Block Diagram Showing Group A and Group B Control Functions

**PIN CONFIGURATION**



**PIN NAMES**

D <sub>7</sub> -D <sub>0</sub>	DATA BUS (BIODIRECTIONAL)
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (8BIT)
PB7-PB0	PORT B (8BIT)
PC7-PC0	PORT C (8BIT)
V <sub>CC</sub>	+5 VOLTS
GND	0 VOLTS

## 8255A OPERATIONAL DESCRIPTION

### Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 – Basic Input/Output
- Mode 1 – Strobed Input/Output
- Mode 2 – Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

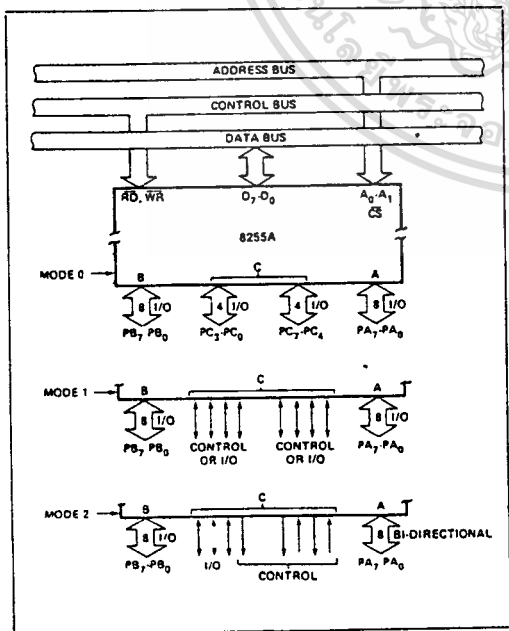


Figure 5. Basic Mode Definitions and Bus Interface

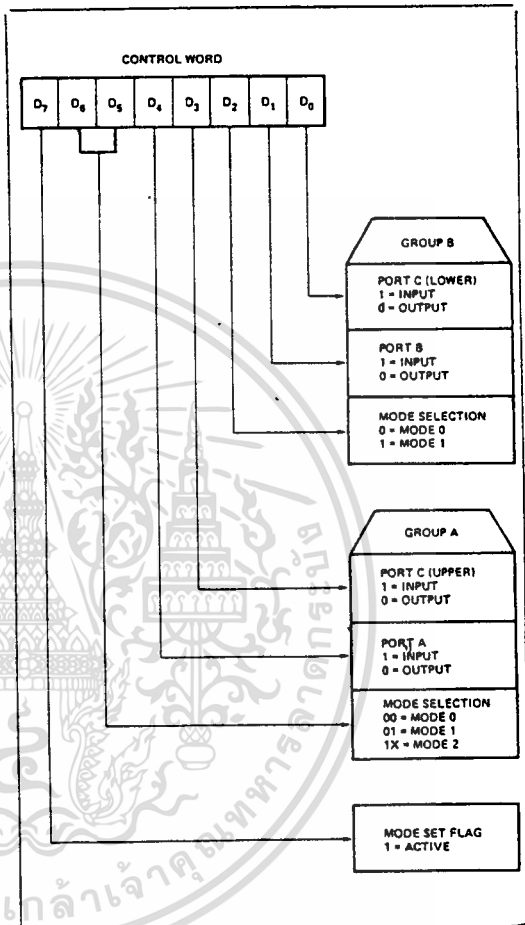


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

### Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

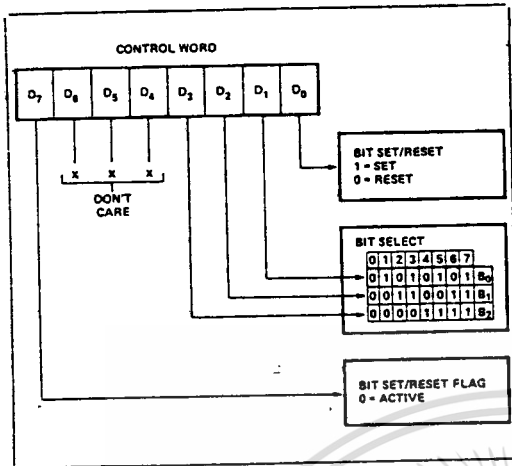


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

**Interrupt Control Functions**

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) – INTE is SET – Interrupt enable

(BIT-RESET) – INTE is RESET – Interrupt disable

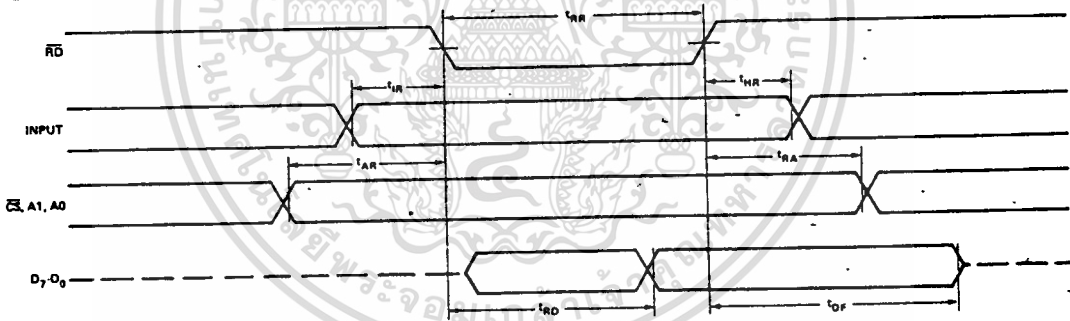
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

**Operating Modes**

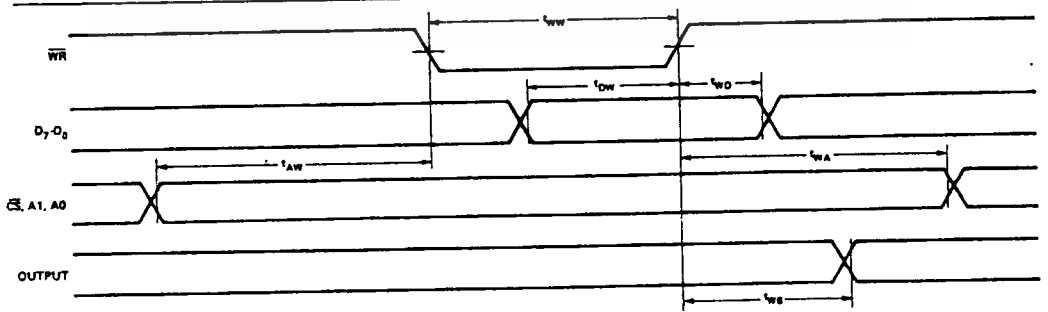
**MODE 0 (Basic Input/Output).** This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



**MODE 0 (Basic Input)**



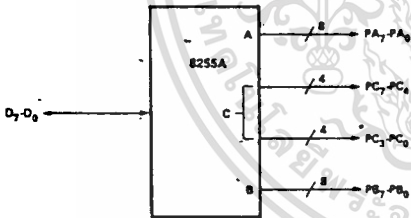
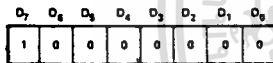
**MODE 0 (Basic Output)**

MODE 0 Port Definition

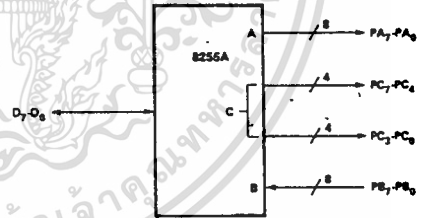
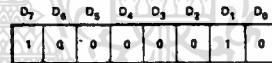
A		B		GROUP A			GROUP B		
D <sub>4</sub>	D <sub>3</sub>	D <sub>1</sub>	D <sub>0</sub>	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)	
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT	
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT	
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT	
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT	
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT	
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT	
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT	
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT	
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT	
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT	
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT	
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT	
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT	
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT	
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT	
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT	

MODE 0 Configurations

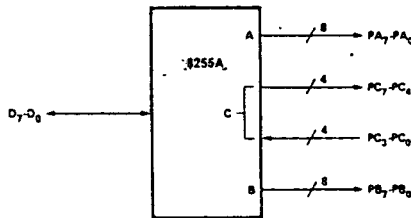
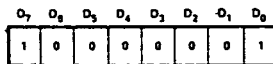
CONTROL WORD #0



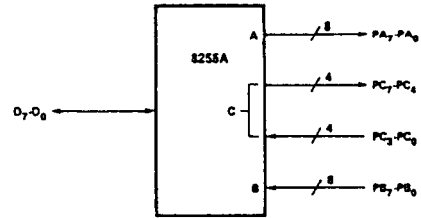
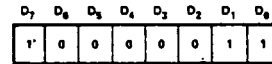
CONTROL WORD #2



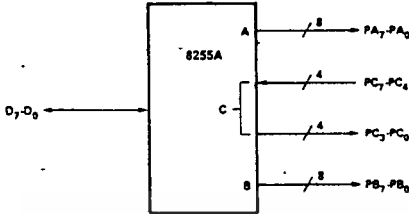
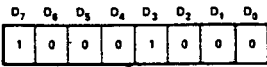
CONTROL WORD #1



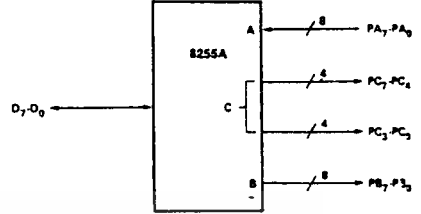
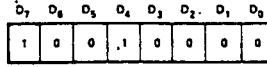
CONTROL WORD #3



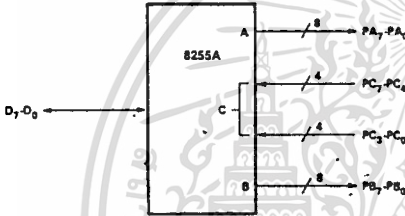
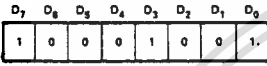
CONTROL WORD #4



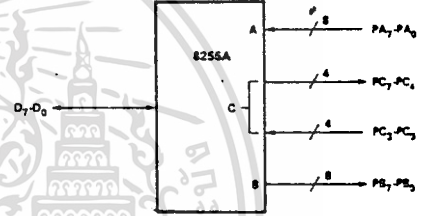
CONTROL WORD #8



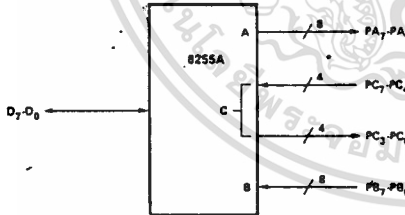
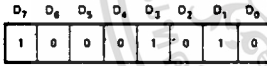
CONTROL WORD #5



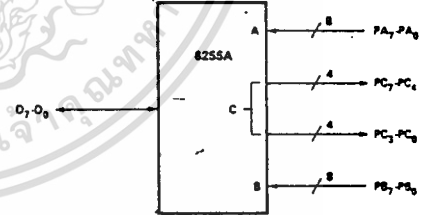
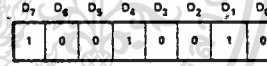
CONTROL WORD #9



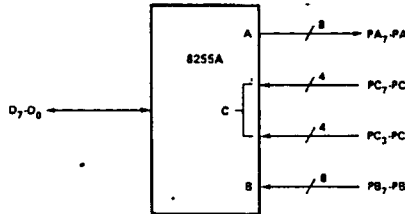
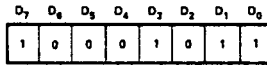
CONTROL WORD #6



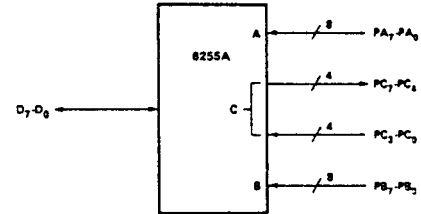
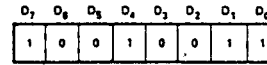
CONTROL WORD #10



CONTROL WORD #7

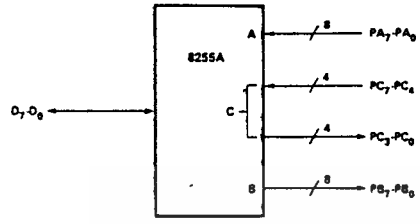


CONTROL WORD #11



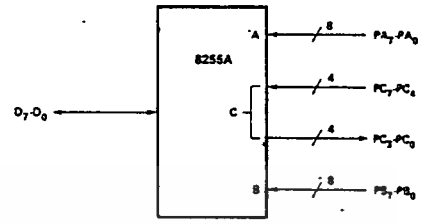
CONTROL WORD = 12

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	0	0



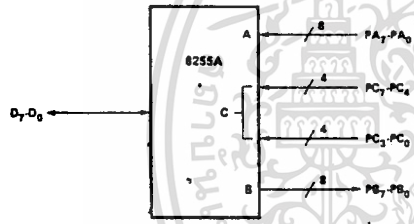
CONTROL WORD = 14

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	1	0



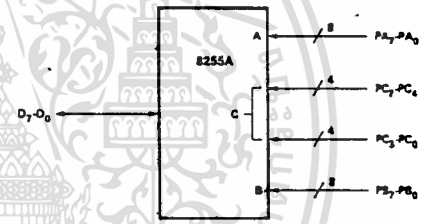
CONTROL WORD = 13

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	0	1



CONTROL WORD = 15

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	1	1



Operating Modes

**MODE 1 (Strobed Input/Output).** This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

**Input Control Signal Definition**

**STB (Strobe Input).** A "low" on this input loads data into the input latch.

**IBF (Input Buffer Full F/F)**

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

**INTR (Interrupt Request)**

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the STB is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

**INTE A**

Controlled by bit set/reset of PC<sub>4</sub>.

**INTE B**

Controlled by bit set/reset of PC<sub>2</sub>.

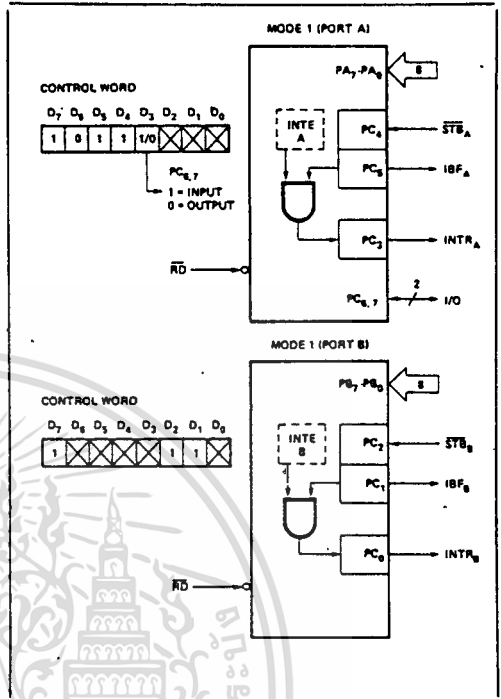


Figure 8. MODE 1 Input

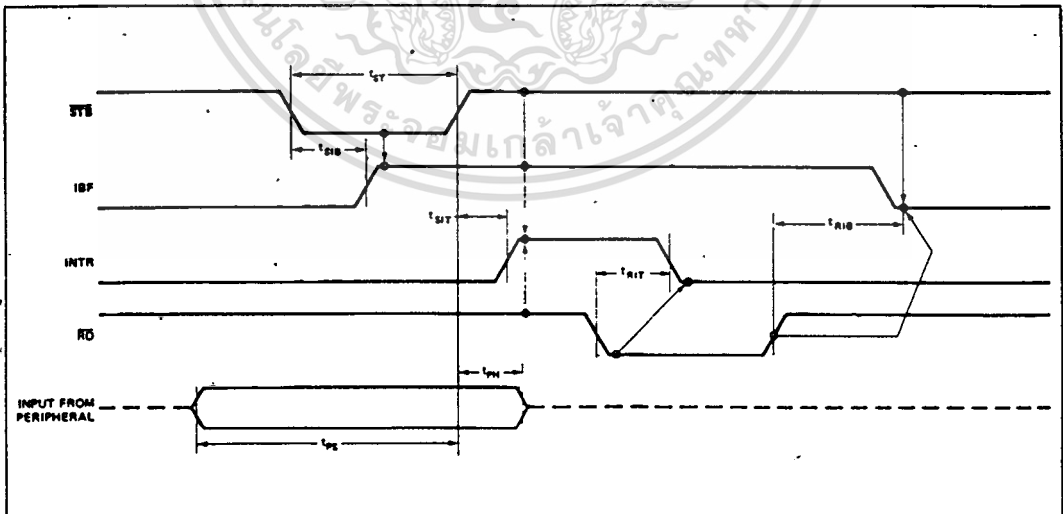


Figure 9. MODE 1 (Strobed Input)

Output Control Signal Definition

**OB $\bar{F}$  (Output Buffer Full F/F).** The  $\bar{OBF}$  output will go "low" to indicate that the CPU has written data out to the specified port. The  $\bar{OBF}$  F/F will be set by the rising edge of the  $\bar{WR}$  input and reset by  $\bar{ACK}$  input being low.

**$\bar{ACK}$  (Acknowledge Input).** A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

**INTR (Interrupt Request).** A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when  $\bar{ACK}$  is a "one",  $\bar{OBF}$  is a "one", and INTE is a "one". It is reset by the falling edge of  $\bar{WR}$ .

**INTR (Interrupt Request).** A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when  $\bar{ACK}$  is a "one",  $\bar{OBF}$  is a "one", and INTE is a "one". It is reset by the falling edge of  $\bar{WR}$ .

**INTE A**

Controlled by bit set/reset of  $PC_6$ .

**INTE B**

Controlled by bit set/reset of  $PC_2$ .

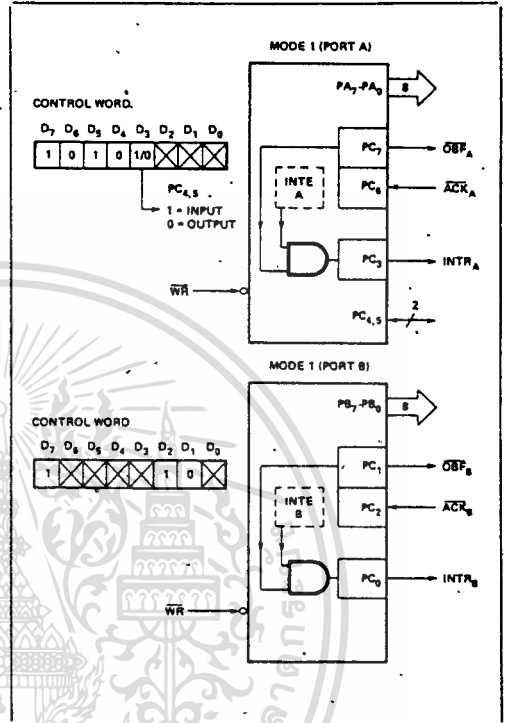


Figure 10. MODE 1 Output

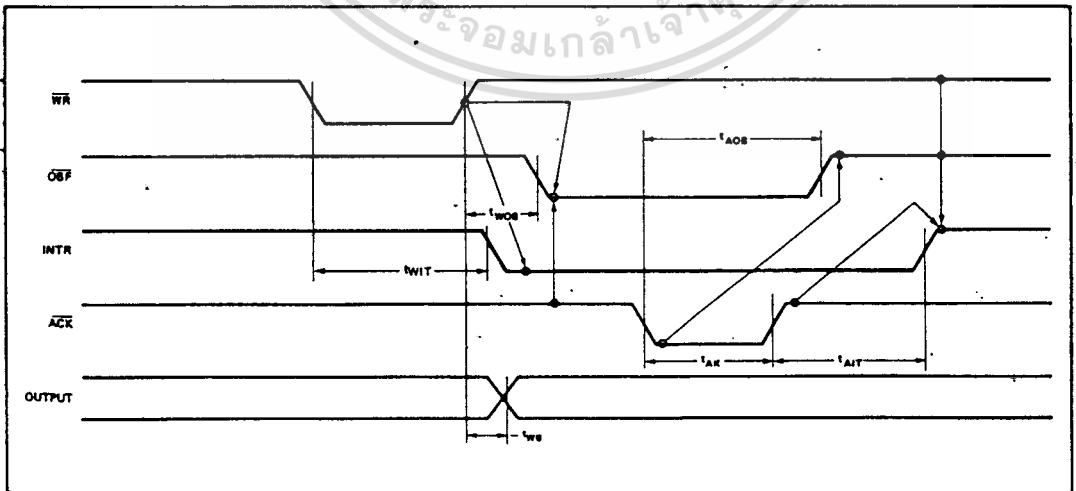


Figure 11. Mode 1 (Strobed Output)

### Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

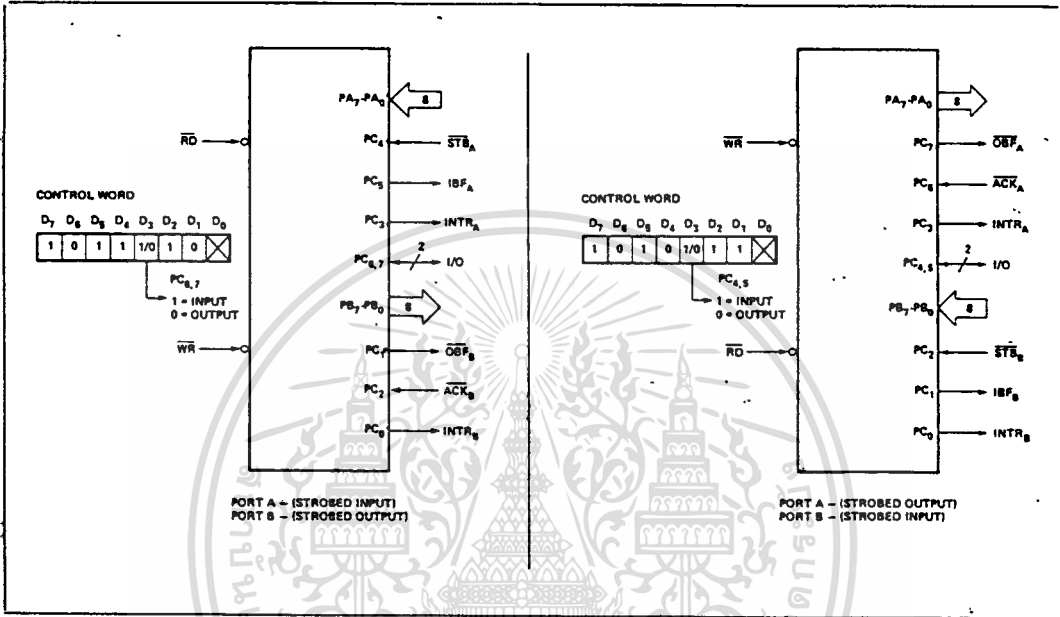


Figure 12. Combinations of MODE 1

### Operating Modes

**MODE 2 (Strobed Bidirectional Bus I/O).** This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

#### MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control Port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

#### Bidirectional Bus I/O Control Signal Definition

**INTR (Interrupt Request).** A high on this output can be used to interrupt the CPU for both input or output operations.

### Output Operations

**OBF (Output Buffer Full).** The  $\overline{\text{OBF}}$  output will go "low" to indicate that the CPU has written data out to port A.

**ACK (Acknowledge).** A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

**INTE 1 (The INTE Flip-Flop Associated with OBF).** Controlled by bit set/reset of PC<sub>6</sub>.

### Input Operations

**STB (Strobe Input).** A "low" on this input loads data into the input latch.

**IBF (Input Buffer Full F/F).** A "high" on this output indicates that data has been loaded into the input latch.

**INTE 2 (The INTE Flip-Flop Associated with IBF).** Controlled by bit set/reset of PC<sub>4</sub>.

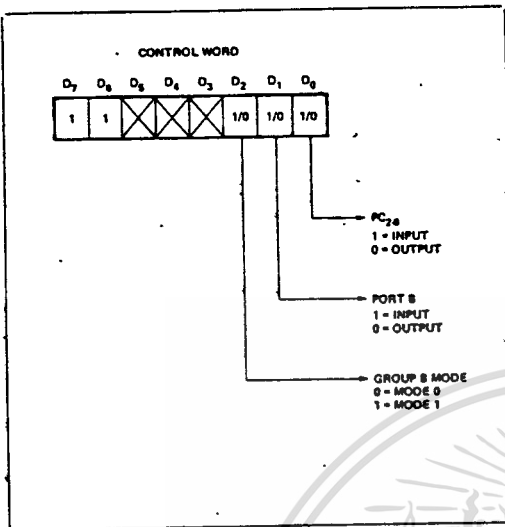


Figure 13. MODE Control Word

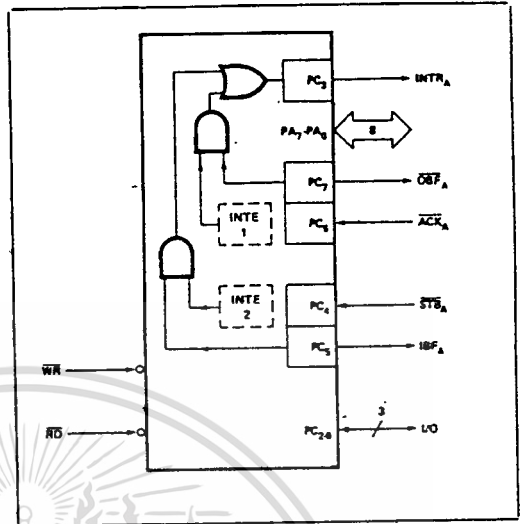


Figure 14. MODE 2

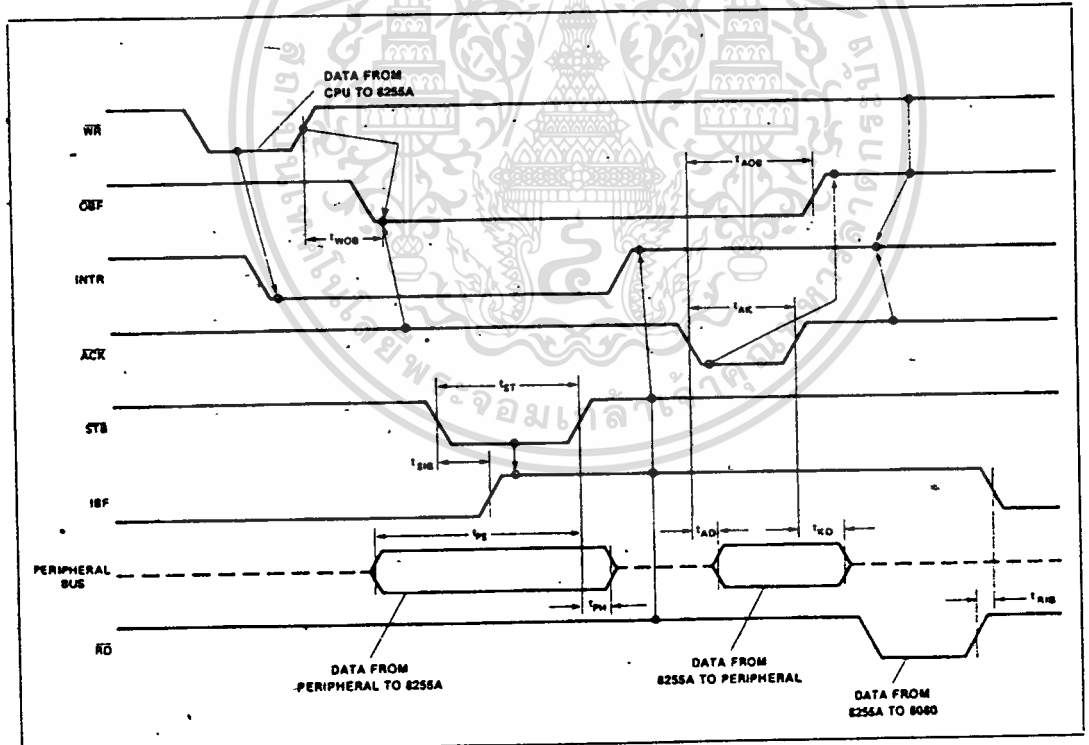


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where  $\overline{WR}$  occurs before  $\overline{ACK}$  and  $\overline{STB}$  occurs before  $\overline{RD}$  is permissible.  
 $(INTR = IBF \cdot MASK \cdot STB \cdot RD + OBF \cdot MASK \cdot ACK \cdot WR)$

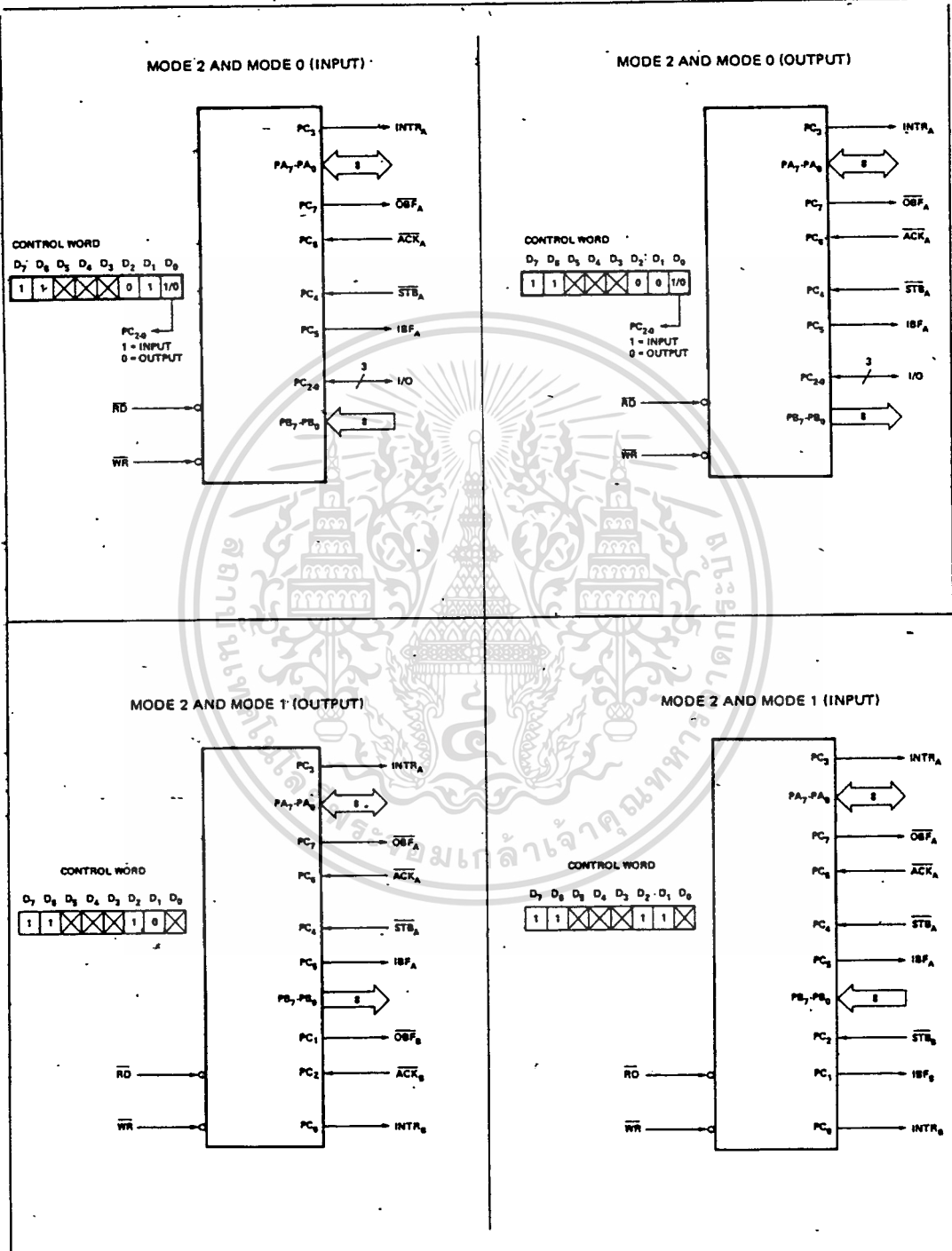


Figure 16. MODE ¼ Combinations

**Mode Definition Summary**

	MODE 0		MODE 1		MODE 2 GROUP A ONLY
	IN	OUT	IN	OUT	
PA <sub>0</sub>	IN	OUT	IN	OUT	
PA <sub>1</sub>	IN	OUT	IN	OUT	
PA <sub>2</sub>	IN	OUT	IN	OUT	
PA <sub>3</sub>	IN	OUT	IN	OUT	
PA <sub>4</sub>	IN	OUT	IN	OUT	
PA <sub>5</sub>	IN	OUT	IN	OUT	
PA <sub>6</sub>	IN	OUT	IN	OUT	
PA <sub>7</sub>	IN	OUT	IN	OUT	
PB <sub>0</sub>	IN	OUT	IN	OUT	
PB <sub>1</sub>	IN	OUT	IN	OUT	
PB <sub>2</sub>	IN	OUT	IN	OUT	
PB <sub>3</sub>	IN	OUT	IN	OUT	
PB <sub>4</sub>	IN	OUT	IN	OUT	
PB <sub>5</sub>	IN	OUT	IN	OUT	
PB <sub>6</sub>	IN	OUT	IN	OUT	
PB <sub>7</sub>	IN	OUT	IN	OUT	
PC <sub>0</sub>	IN	OUT	INTR <sub>B</sub>	INTR <sub>B</sub>	
PC <sub>1</sub>	IN	OUT	IBF <sub>B</sub>	OBFB	
PC <sub>2</sub>	IN	OUT	STB <sub>B</sub>	ACK <sub>B</sub>	
PC <sub>3</sub>	IN	OUT	INTR <sub>A</sub>	INTR <sub>A</sub>	
PC <sub>4</sub>	IN	OUT	STB <sub>A</sub>	I/O	
PC <sub>5</sub>	IN	OUT	IBF <sub>A</sub>	I/O	
PC <sub>6</sub>	IN	OUT	I/O	ACK <sub>A</sub>	
PC <sub>7</sub>	IN	OUT	I/O	OBFA	

**Special Mode Combination Considerations**

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs —

All input lines can be accessed during a normal Port C read.

If Programmed as Outputs —

Bits in C upper (PC<sub>7</sub>-PC<sub>4</sub>) must be individually accessed using the bit set/reset function.

Bits in C lower (PC<sub>3</sub>-PC<sub>0</sub>) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

**Source Current Capability on Port B and Port C**

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

**Reading Port C Status**

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C

allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

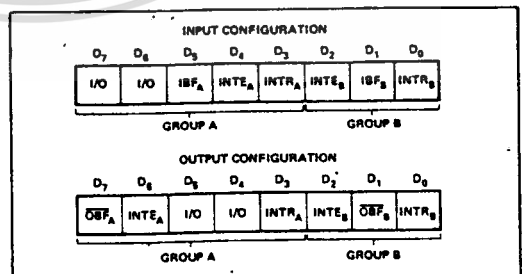


Figure 17. MODE 1 Status Word Format

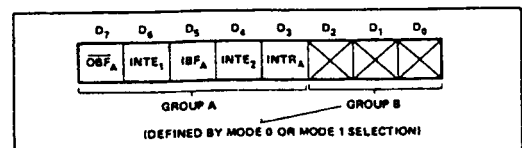


Figure 18. MODE 2 Status Word Format

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

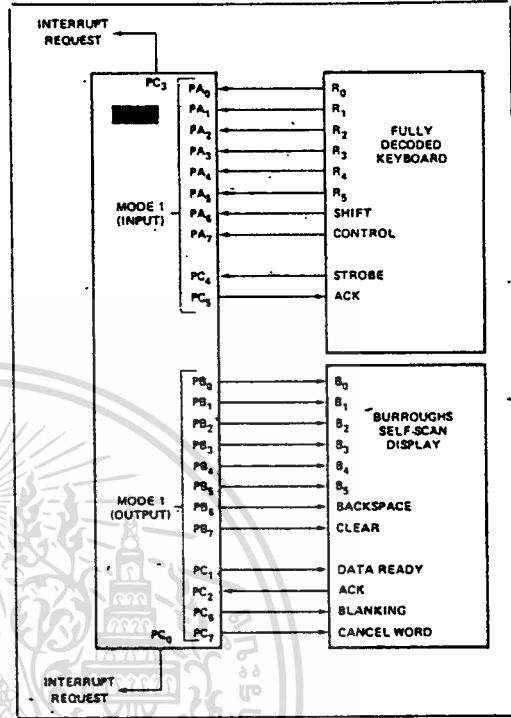


Figure 20. Keyboard and Display Interface

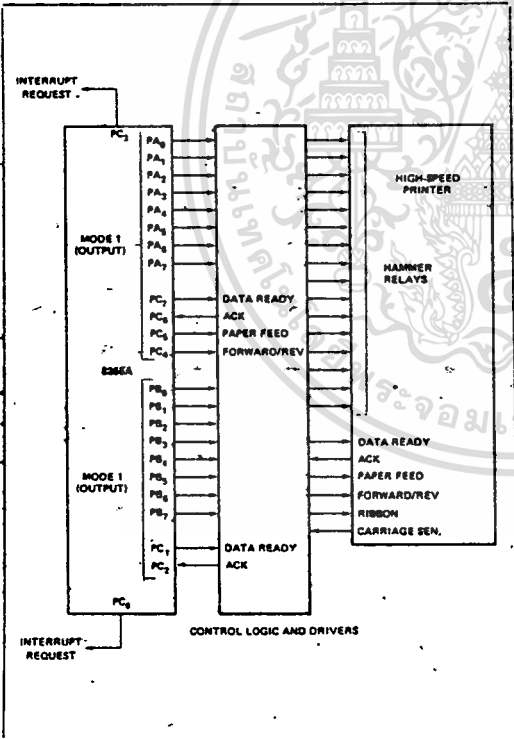


Figure 19. Printer Interface

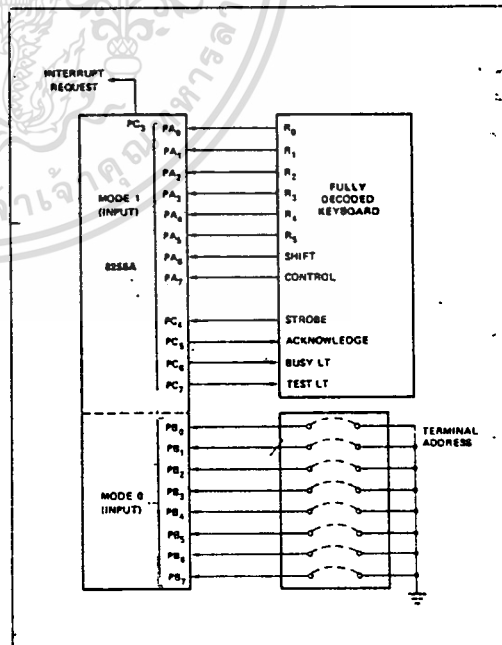


Figure 21. Keyboard and Terminal Address Interface

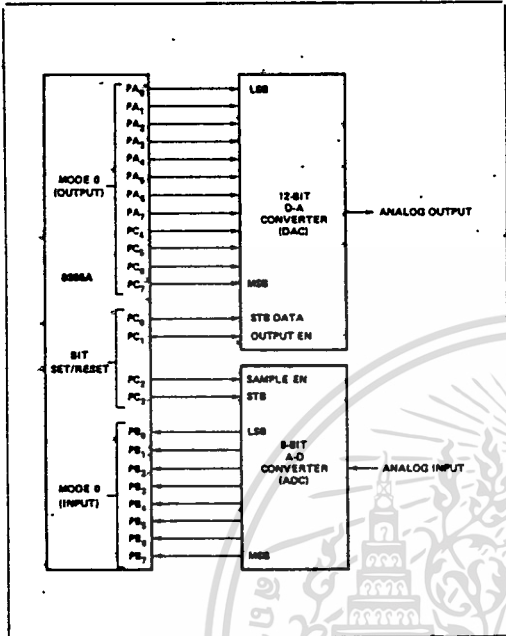


Figure 22. Digital to Analog, Analog to Digital

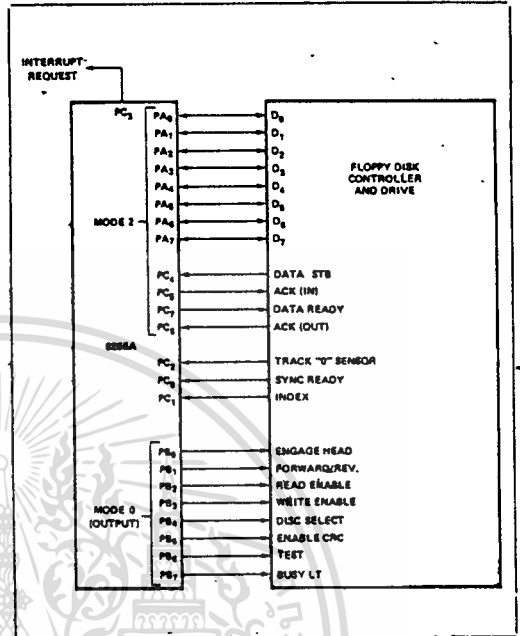


Figure 23. Basic Floppy Disk Interface

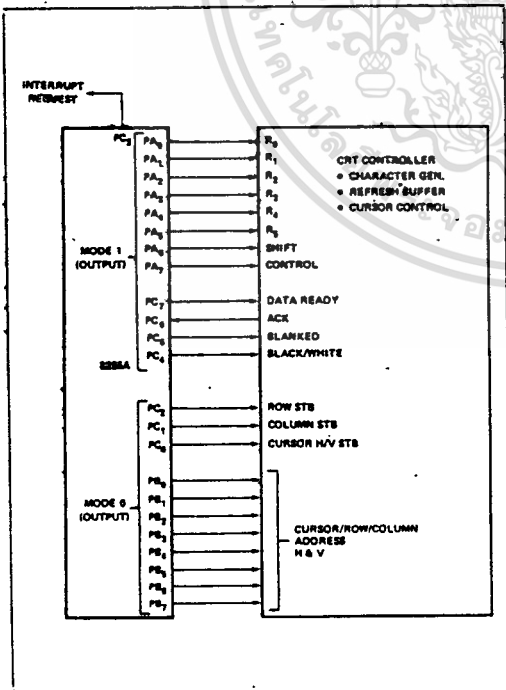


Figure 24. Basic CRT Controller Interface

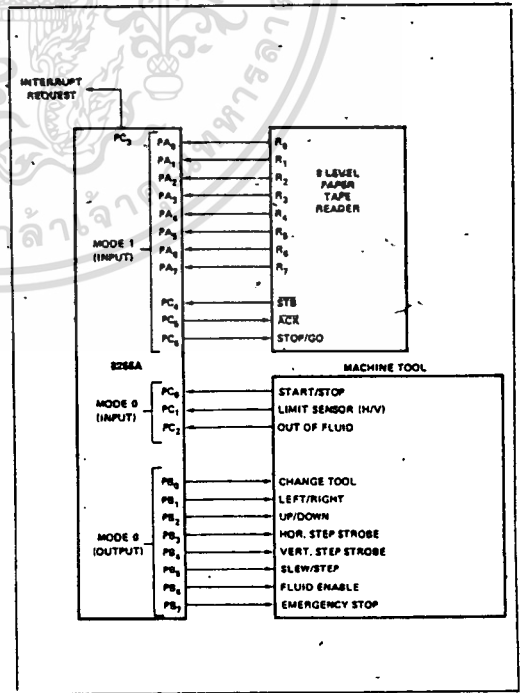


Figure 25. Machine Tool Controller Interface

**ABSOLUTE MAXIMUM RATINGS\***

Ambient Temperature Under Bias: . . . . . 0°C to 70°C  
 Storage Temperature . . . . . -65°C to +150°C  
 Voltage on Any Pin  
     With Respect to Ground . . . . . -0.5V to +7V  
 Power Dissipation . . . . . 1 Watt

*\*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

**D.C. CHARACTERISTICS** ( $T_A = 0^\circ\text{C to } 70^\circ\text{C}, V_{CC} = +5V \pm 10\%, \text{GND} = 0V$ ) \*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
$V_{IL}$	Input Low Voltage	-0.5	0.8	V	
$V_{IH}$	Input High Voltage	2.0	$V_{CC}$	V	
$V_{OL}(\text{DB})$	Output Low Voltage (Data Bus)		0.45*	V	$I_{OL} = 2.5\text{mA}$
$V_{OL}(\text{PER})$	Output Low Voltage (Peripheral Port)		0.45*	V	$I_{OL} = 1.7\text{mA}$
$V_{OH}(\text{DB})$	Output High Voltage (Data Bus)	2.4		V	$I_{OH} = -400\mu\text{A}$
$V_{OH}(\text{PER})$	Output High Voltage (Peripheral Port)	2.4		V	$I_{OH} = -200\mu\text{A}$
$I_{DAR}^{(1)}$	Darlington Drive Current	-1.0	-4.0	mA	$R_{EXT} = 750\Omega; V_{EXT} = 1.5V$
$I_{CC}$	Power Supply Current		120	mA	
$I_{IL}$	Input Load Current		$\pm 10$	$\mu\text{A}$	$V_{IN} = V_{CC} \text{ to } 0V$
$I_{OFL}$	Output Float Leakage		$\pm 10$	$\mu\text{A}$	$V_{OUT} = V_{CC} \text{ to } .45V$

**NOTE:**

1. Available on any 8 pins from Port B and C.

**CAPACITANCE** ( $T_A = 25^\circ\text{C}, V_{CC} = \text{GND} = 0V$ )

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
$C_{IN}$	Input Capacitance			10	pF	$f_c = 1\text{MHz}$
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

**A.C. CHARACTERISTICS** ( $T_A = 0^\circ\text{C to } 70^\circ\text{C}, V_{CC} = +5V \pm 10\%, \text{GND} = 0V$ ) \*

**Bus Parameters**
**READ**

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
$t_{AR}$	Address Stable Before READ	0		0		ns
$t_{RA}$	Address Stable After READ	0		0		ns
$t_{RR}$	READ Pulse Width	300		300		ns
$t_{RD}$	Data Valid From READ <sup>(1)</sup>		250		200	ns
$t_{DF}$	Data Float After READ	10	150	10	100	ns
$t_{RV}$	Time Between READs and/or WRITEs	850		850		ns

**A.C. CHARACTERISTICS (Continued)**
**WRITE**

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
$t_{AW}$	Address Stable Before WRITE	0		0		ns
$t_{WA}$	Address Stable After WRITE	20		20		ns
$t_{WW}$	WRITE Pulse Width	400		300		ns
$t_{DW}$	Data Valid to WRITE (T.E.)	100		100		ns
$t_{WD}$	Data Valid After WRITE	30		30		ns

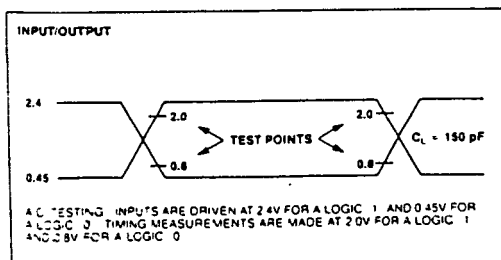
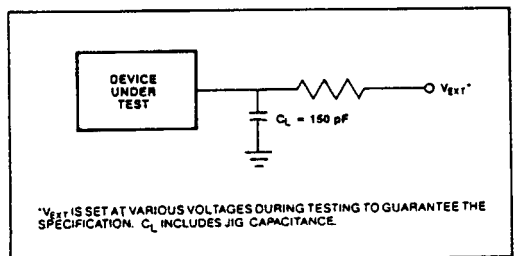
**OTHER TIMINGS**

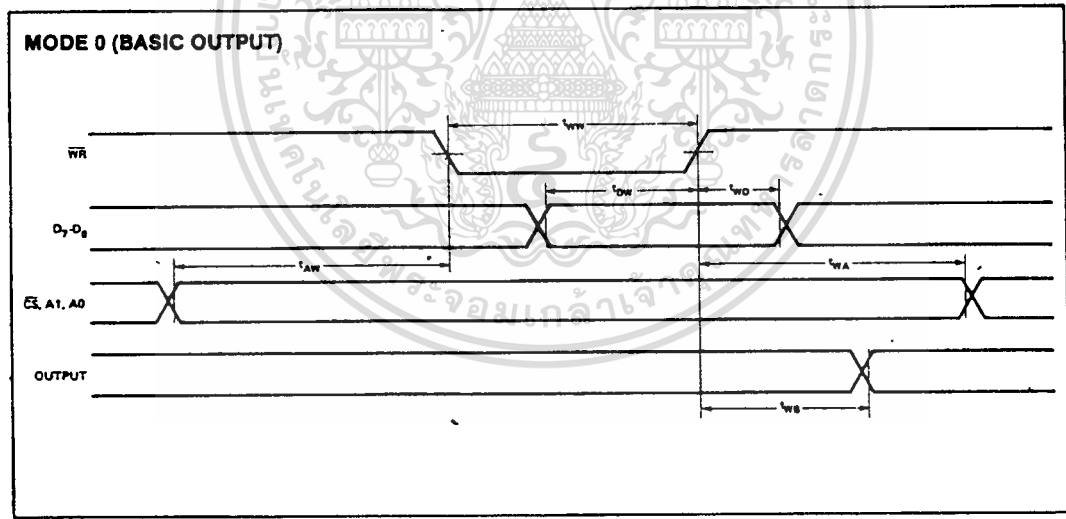
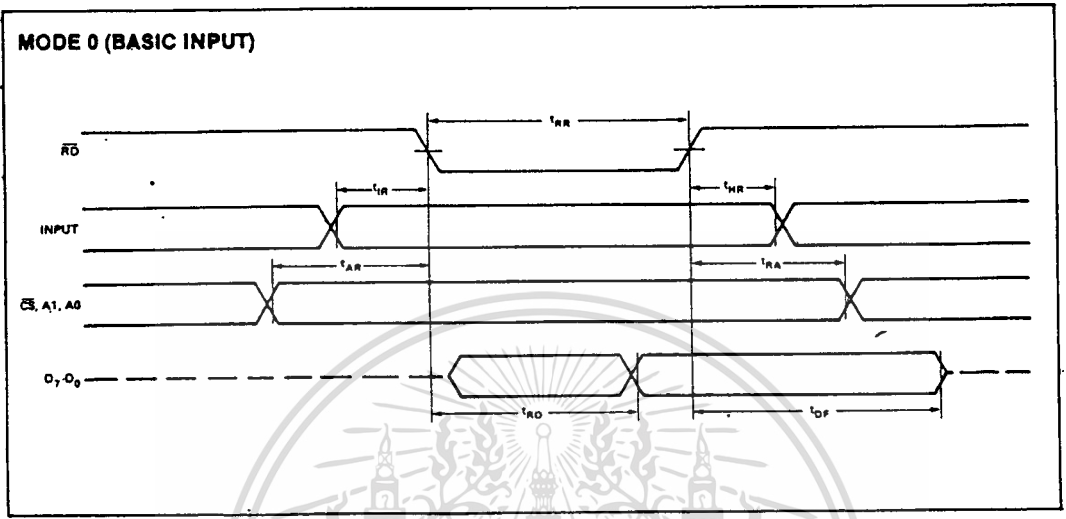
Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
$t_{WB}$	WR = 1 to Output <sup>[1]</sup>		350		350	ns
$t_{IR}$	Peripheral Data Before RD	0		0		ns
$t_{HR}$	Peripheral Data After RD	0		0		ns
$t_{AK}$	ACK Pulse Width	300		300		ns
$t_{ST}$	STB Pulse Width	500		500		ns
$t_{PS}$	Per. Data Before T.E. of STB	0		0		ns
$t_{PH}$	Per. Data After T.E. of STB	180		180		ns
$t_{AD}$	ACK = 0 to Output <sup>[1]</sup>		300		300	ns
$t_{KD}$	ACK = 1 to Output Float	20	250	20	250	ns
$t_{WOB}$	WR = 1 to OBF = 0 <sup>[1]</sup>		650		650	ns
$t_{AOB}$	ACK = 0 to OBF = 1 <sup>[1]</sup>		350		350	ns
$t_{SIB}$	STB = 0 to IBF = 1 <sup>[1]</sup>		300		300	ns
$t_{RIB}$	RD = 1 to IBF = 0 <sup>[1]</sup>		300		300	ns
$t_{RIT}$	RD = 0 to INTR = 0 <sup>[1]</sup>		400		400	ns
$t_{SIT}$	STB = 1 to INTR = 1 <sup>[1]</sup>		300		300	ns
$t_{AIT}$	ACK = 1 to INTR = 1 <sup>[1]</sup>		350		350	ns
$t_{WIT}$	WR = 0 to INTR = 0 <sup>[1,3]</sup>		450		450	ns

**NOTES:**

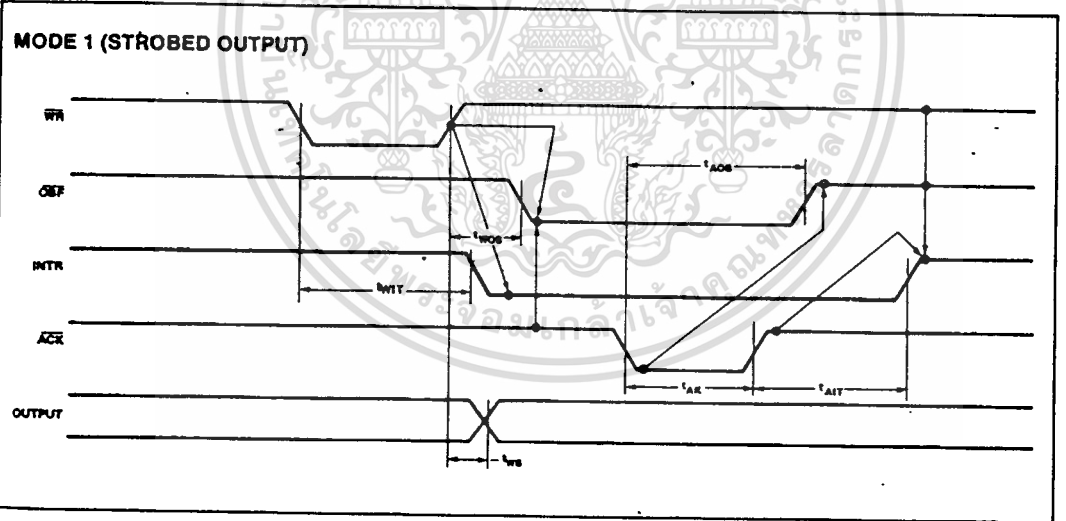
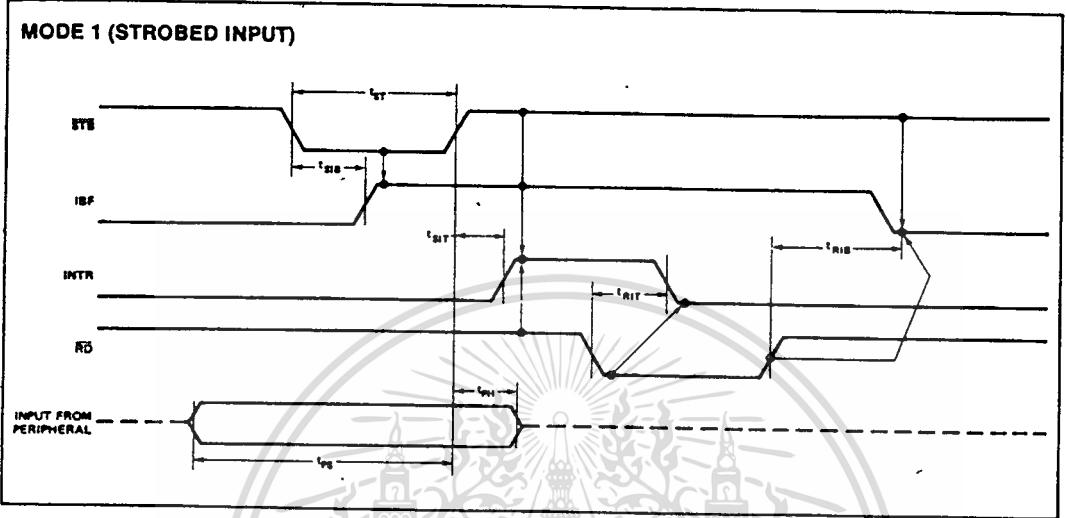
1. Test Conditions:  $C_L = 150$  pF.
2. Period of Reset pulse must be at least 50 $\mu$ s during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR $\uparrow$  may occur as early as WR $\downarrow$ .

\* For Extended Temperature EXPRESS, use M8255A electrical parameters.

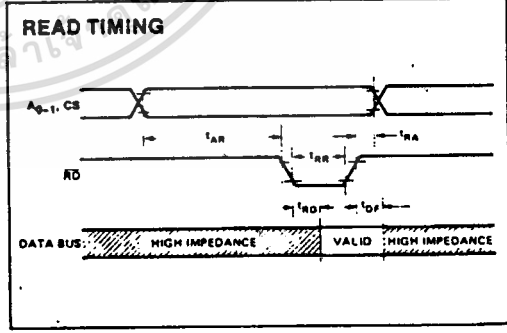
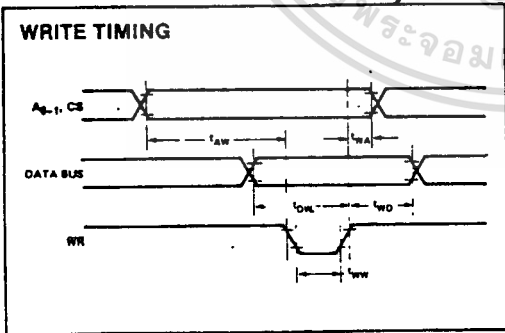
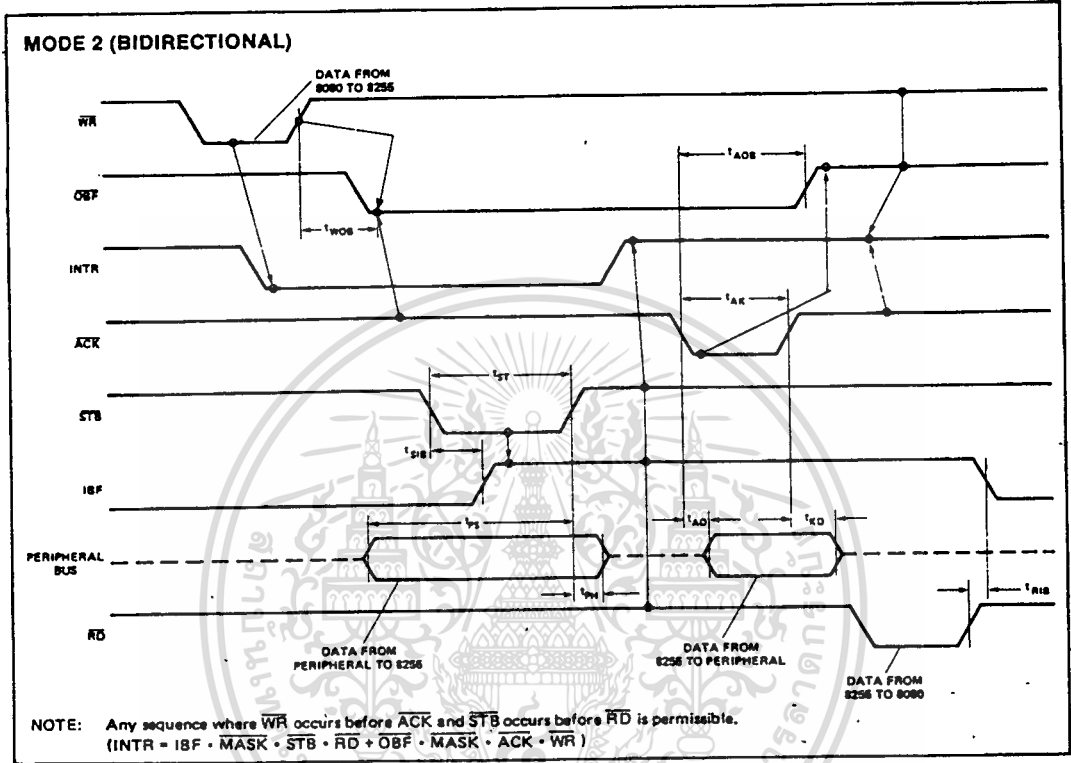
**A.C. TESTING INPUT, OUTPUT WAVEFORM**

**A.C. TESTING LOAD CIRCUIT**


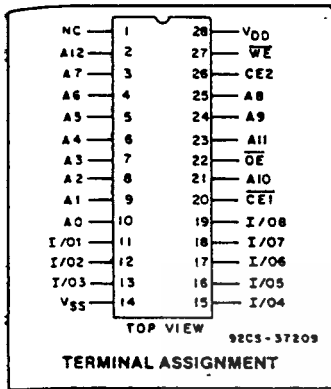
**WAVEFORMS**


WAVEFORMS (Continued)



WAVEFORMS (Continued)





# CMOS 8192-Word by 8-Bit LSI Static RAM

**Features:**

- Fully static operation
- Single power supply: 4.5 V to 5.5 V
- All inputs and outputs directly TTL compatible
- 3-state outputs
- Industry standard 28-pin configuration
- Input address buffers gated off with chip disable
- Fast access time:  $t_{AA}=150\text{ ns}/120\text{ ns}$  (CDM6264-3/CDM6264-4)
- Low standby and operating power:  $I_{OOS1}=2\ \mu\text{A}$  typical,  $I_{OPER2}=40\text{ mA}$  maximum
- Data retention voltage: 2 V min.
- Operating temperature range (max. rating): 0° to 70°C

The RCA-CDM6264 is a 8192-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data input and data output and utilizes a single power supply of 4.5 V to 5.5 V.

Either chip enable ( $\overline{\text{CE1}}$  or  $\overline{\text{CE2}}$ ), when not valid, will gate off the address and output buffers and power down the chip to

minimum standby power with inputs toggling. The output enable ( $\overline{\text{OE}}$ ) controls the output buffers to eliminate bus contention.

The CDM6264 is supplied in 28-lead, hermetic, dual-in-line side-braced ceramic (D suffix) and in 28-lead dual-in-line plastic (E suffix) packages.

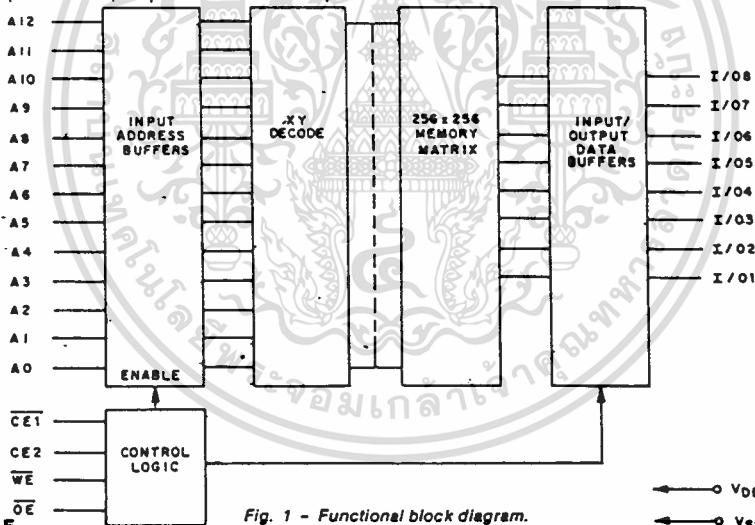


Fig. 1 - Functional block diagram.

**TRUTH TABLE**

$\overline{\text{CE1}}$	$\overline{\text{CE2}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	A0 TO A12	MODE	DATA I/O	DEVICE CURRENT
H	X	X	X	X	NOT SELECTED	HIGH Z	STANDBY
X	L	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	H	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	X	L	STABLE	WRITE	DATA IN	ACTIVE
L	H	H	H	STABLE	OUTPUT DISABLE	HIGH Z	ACTIVE

L = LOW H = HIGH X = H OR L

CDM6264

**MAXIMUM RATINGS, Absolute-Maximum Values:**

DC SUPPLY-VOLTAGE RANGE, (V <sub>DD</sub> ):		
(Voltage referenced to V <sub>SS</sub> terminal)	.....	-0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS	.....	-0.3 to +7 V
POWER DISSIPATION PER PACKAGE (P <sub>D</sub> ):		
For T <sub>A</sub> = 0° to +60° C (PACKAGE TYPE E)	.....	500 mW
For T <sub>A</sub> = -60° to +70° C (PACKAGE TYPE E)	.....	Derate Linearly at 8 mW/°C to 420 mW
For T <sub>A</sub> = 0° to +70° C (PACKAGE TYPE D)	.....	500 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR		
For T <sub>A</sub> = FULL PACKAGE-TEMPERATURE RANGE	.....	100 mW
OPERATING-TEMPERATURE RANGE (T <sub>A</sub> ):		
PACKAGE TYPE D	.....	0 to +70° C
PACKAGE TYPE E	.....	0 to +70° C
STORAGE TEMPERATURE RANGE (T <sub>stg</sub> )	.....	-55 to +125° C
LEAD TEMPERATURE (DURING SOLDERING):		
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max.	.....	+265° C

**OPERATING CONDITIONS at T<sub>A</sub> = 0 to +70° C**

For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC		LIMITS		UNITS
		ALL TYPES		
		MIN.	MAX.	
DC Operating Voltage Range		4.5	5.5	V
Input Voltage Range	V <sub>IH</sub>	2.2	V <sub>DD</sub> + 0.3	
	V <sub>IL</sub>	-0.3	0.8	
Input Signal Rise or Fall Time <sup>Δ</sup>	t <sub>r</sub> , t <sub>f</sub>	—	5	μs

<sup>Δ</sup> Input signal rise and fall times with a duration greater than the maximum value can cause loss of stored data in the selected mode.

**STATIC ELECTRICAL CHARACTERISTICS at T<sub>A</sub> = 0 to +70° C, V<sub>DD</sub> = 5 V ± 10%, Except as noted**

CHARACTERISTIC		CONDITIONS	LIMITS			UNITS	
			ALL TYPES				
			Min.	Typ.*	Max.		
Standby Device Current	I <sub>DDS</sub>	CE1=V <sub>IH</sub> or CE2=V <sub>IL</sub>	—	1.5	3	mA	
	I <sub>DDSt</sub>	CE1=CE2 ≥ V <sub>DD</sub> -0.2 V or CE2 ≤ 0.2 V	—	2	100	μA	
Output Voltage Low Level	V <sub>OL</sub> Max.	I <sub>OL</sub> =2.1 mA	—	—	0.4	V	
		I <sub>OL</sub> =1 μA	—	—	0.1		
Output Voltage High Level	V <sub>OH</sub> Min.	I <sub>OH</sub> =-1 mA	2.4	—	—	V	
		I <sub>OH</sub> =-1 μA	—	V <sub>DD</sub> -0.1	—		
Input Leakage Current	I <sub>IN</sub> Max.	V <sub>IN</sub> =0 V to V <sub>DD</sub>	—	±0.1	±2	μA	
3-State Output Leakage Current	I <sub>OUT</sub>	V <sub>I,O</sub> =0 V to V <sub>DD</sub>	—	±0.5	±2		
Operating Device Current	I <sub>OPER1</sub> <sup>†</sup>	V <sub>IN</sub> =V <sub>IL</sub> , V <sub>IH</sub>	t <sub>CYC</sub> =1 μs	—	4.5	9	mA
			t <sub>CYC</sub> =120 ns	—	22.5	45	
	I <sub>OPER2</sub> <sup>†</sup>	V <sub>IN</sub> =0.2 V, V <sub>DD</sub> =0.2 V	t <sub>CYC</sub> =1 μs	—	2	4	
			t <sub>CYC</sub> =120 ns	—	20	40	
Input Capacitance	C <sub>IN</sub>	V <sub>IN</sub> =0 V, f=1 MHz, T <sub>A</sub> =25° C	—	4	8	pF	
			Output Capacitance	C <sub>IO</sub>	V <sub>I,O</sub> =0 V, f=1 MHz, T <sub>A</sub> =25° C		—

\*Typical values are for T<sub>A</sub>=25° C and nominal V<sub>DD</sub>.

<sup>†</sup>Outputs open circuited.

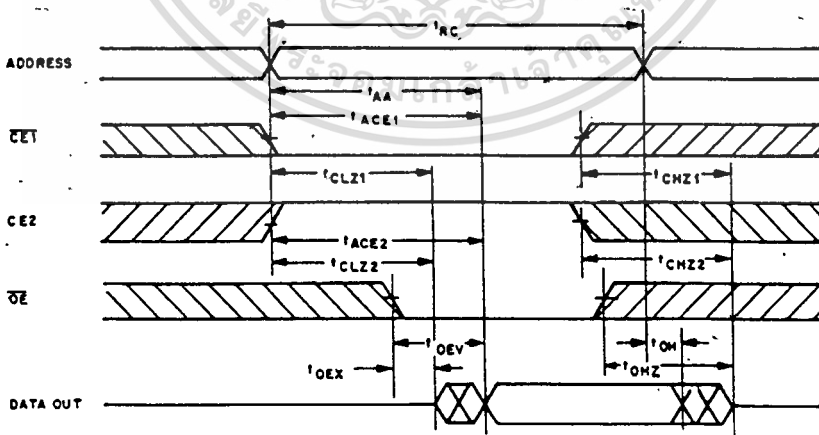
**SIGNAL DESCRIPTIONS**

- A0-A10 (Address Inputs):** These inputs must be stable prior to a write operation, but may change asynchronously during read functions.
- I/O1-I/O6:** 8-bit tristate data bus.
- $\overline{CE1}$ ,  $\overline{CE2}$  (Chip Enable):** Either chip enable, when not true, powers down the chip, disables Read and Write functions, and gates off address and output buffers.
- $\overline{OE}$  (Output Enable):** Enables tristate outputs if  $\overline{CE1}$  and  $\overline{CE2}$  are valid and  $\overline{WE}$  is high.
- $\overline{WE}$  (Write Enable):** Enables Write function, if  $\overline{CE1}$  and  $\overline{CE2}$  are valid.  $\overline{WE}$  will dominate if both  $\overline{WE}$  and  $\overline{OE}$  are low (i.e., the bus will be tristated and a Write will occur).
- $V_{DD}$ ,  $V_{SS}$ :** Power supply connections.

**DYNAMIC ELECTRICAL CHARACTERISTICS** at  $T_A = 0$  to  $+70^\circ\text{C}$ ,  $V_{DD} = 5\text{ V} \pm 10\%$ ,  
 Input  $t_r$ ,  $t_f = 10\text{ ns}$ ;  $C_L = 100\text{ pF}$  and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
		MIN. <sup>†</sup>	MAX.	MIN. <sup>†</sup>	MAX.	
Read Cycle Times, See Fig. 2						
Read Cycle Time	$t_{RC}$	150	—	120	—	ns
Address Access Time	$t_{AA}$	—	150	—	120	
Chip Enable Access Time	$t_{ACE1}, t_{ACE2}$	—	150	—	120	
Chip Enable to Output Active	$t_{CLZ1}, t_{CLZ2}$	10	—	10	—	
Output Enable to Output Valid	$t_{OEV}$	—	70	—	60	
Output Enable to Output Active	$t_{OEX}$	5	—	5	—	
Chip Disable to Output "High Z"	$t_{CHZ1}, t_{CHZ2}$	0	70	0	50	
Output Disable to Output "High Z"	$t_{OHZ}$	0	60	0	40	
Output Hold from Address Change	$t_{OH}$	30	—	30	—	

<sup>†</sup>Time required by a limit device to allow for the indicated function.



$\overline{WE}$  IS HIGH DURING READ CYCLE. TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

92CM-37205

Fig. 2 - Read-cycle timing waveforms.

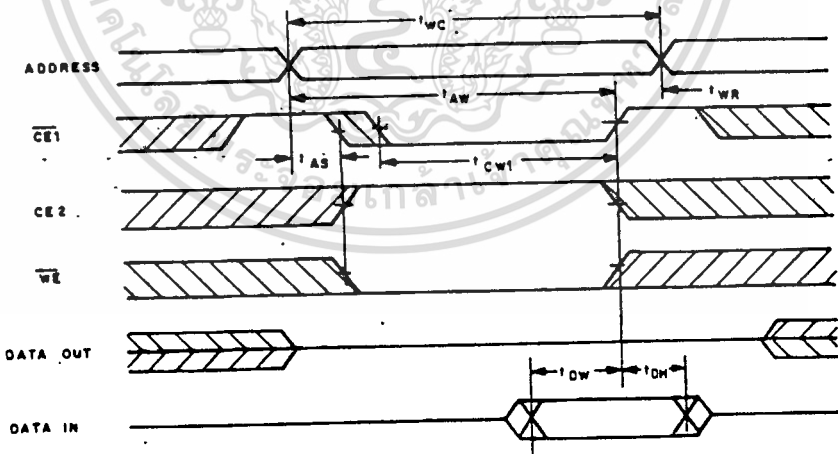
CDM6264

DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A = 0$  to  $+70^\circ\text{C}$ ,  $V_{DD} = 5\text{ V} \pm 10\%$ ,  
 Input  $t_r, t_f = 10\text{ ns}$ ;  $C_L = 100\text{ pF}$  and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
		MIN. <sup>†</sup>	MAX.	MIN. <sup>†</sup>	MAX.	
<b>Write Cycle Times, See Fig. 3</b>						
Write Cycle Time	$t_{wc}$	150	—	120	—	ns
Chip Enable to End of WRITE	$t_{cw1}, t_{cw2}$	120	—	100	—	
Address Valid to End of WRITE	$t_{aw}$	120	—	100	—	
Address Setup Time	$t_{as}$	0	—	0	—	
Write Enable Width	$t_{ww}$	100	—	80	—	
Write Recovery Time	$t_{wr}$	0	—	0	—	
Write to Output "High Z"	$t_{whz}$	—	70	—	50	
Input Data Setup Time	$t_{ow}$	60	—	50	—	
Input Data Hold Time	$t_{oh}$	0	—	0	—	
Output Active from End of Write	$t_{ow}$	10	—	10	—	

<sup>†</sup>Time required by a limit device to allow for the indicated function.

WRITE-CYCLE 1 (CE1 CONTROL)



IN A CE1 OR CE2 CONTROLLED WRITE CYCLE, THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE, WHETHER OE IS HIGH OR LOW. PULSING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

92CM-37204

Fig. 3 - Write-cycle timing waveforms.



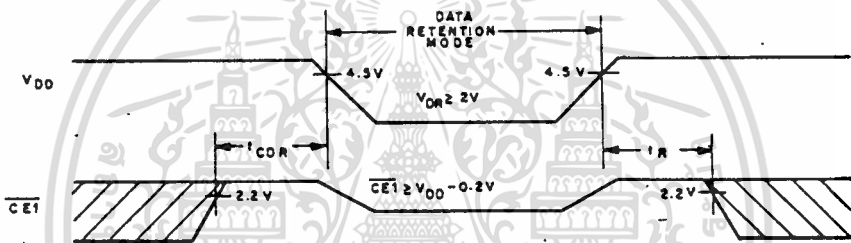
CDM6264

DATA RETENTION CHARACTERISTICS at  $T_A = 0$  to  $70^\circ\text{C}$ : See Fig. 4.

CHARACTERISTIC	TEST CONDITIONS	LIMITS		UNITS	
		ALL TYPES			
		MIN.	MAX.		
Minimum Data Retention Voltage	$V_{DR}$	$CE1 \geq V_{DD} - 0.2\text{ V}$ or $CE2 \leq 0.2\text{ V}$	2	5.5	V
Data Retention Quiescent Current	$I_{DDDR}$	$V_{DD} = 3\text{ V}$ , $CE1, CE2 \geq$ $V_{DD} - 0.2\text{ V}$ or $CE2 \leq 0.2\text{ V}$	—	50	$\mu\text{A}$
Chip Disable to Data Retention Time	$t_{CDR}$	See Fig. 4	0	—	ns
Recovery to Normal Operation Time	$t_R$	See Fig. 4	$t_{AO}$	—	

\* $t_{RC}$  = Read Cycle Time.

DATA RETENTION WAVEFORM 1 (CE1 CONTROL)



DATA RETENTION WAVEFORM 2 (CE2 CONTROL)

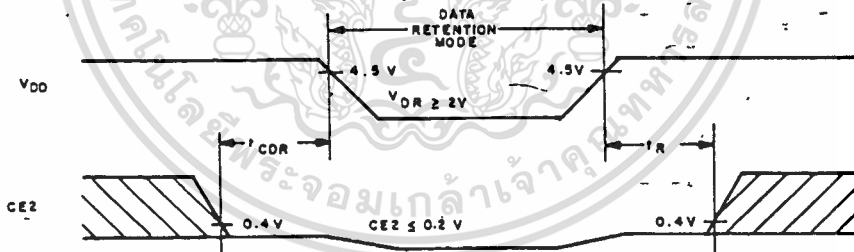


Fig. 4 - Low  $V_{DD}$  data-retention timing waveforms.

92CM-37208

# TOSHIBA

## 8,192 WORD x 8 BIT UV ERASABLE AND ELECTRICALLY PROGRAMMABLE READ ONLY MEMORY

N-CHANNEL SILICON STACKED GATE MOS

## TMM2764D TMM2764D-2

### DESCRIPTION

The TMM2764D is a 8192 word x 8 bit ultraviolet light erasable and electrically programmable read only memory. For read operation, the TMM2764D's access time is 200 ns, and the TMM2764D operates from a single 5-volt power supply and has low power standby mode which reduces the power dissipation without increasing access time. The standby mode is achieved by applying a TTL-high level signal to the  $\overline{CE}$  input. The maximum active current is 120mA

### FEATURES

- Single 5-volt power supply
- Fast access time : TMM2764D 250 ns  
TMM2764D-2 200 ns
- Power dissipation :  
120 mA (active current) Max.  
35 mA (standby current) Max.
- Low power standby mode :  $\overline{CE}$
- Output buffer control :  $\overline{OE}$
- Fully static operation
- Programs with one 50 ms pulse
- Single location programming
- Three state outputs
- Inputs and outputs TTL compatible
- Pin compatible with i2764 and ROM TMM2364P

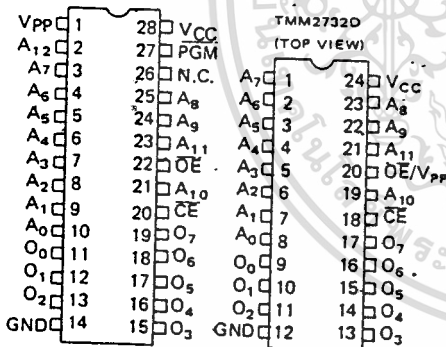
and the maximum standby current is 35mA.

For program operation, the programming is achieved by applying a 50ms active TTL low program pulse to the PGM input, and it is possible to program sequentially individually, or at random.

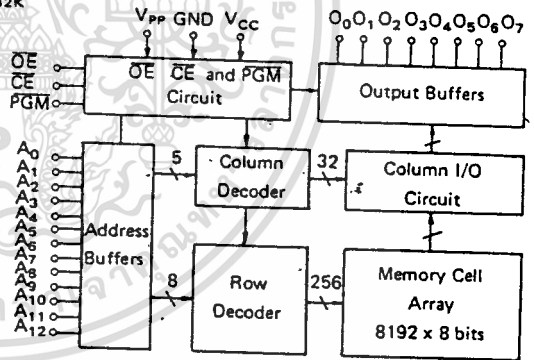
The TMM2764D is fabricated with the N-channel silicon double layer gate MOS technology and is packaged in a standard 28 pin dual in line cerdip package.

### PIN CONNECTION

(TOP VIEW) Lower 24 pins compatible with 32K bit EPROM TMM2732D



### BLOCK DIAGRAM



### PIN NAMES

$A_0 \sim A_{12}$	Address Inputs
$O_0 \sim O_7$	Outputs (Inputs).
$\overline{CE}$	Chip Enable Input
$\overline{OE}$	Output Enable Input
PGM	Program Control Input
N.C.	No Connection
$V_{pp}$	Program Supply Voltage
$V_{cc}$	$V_{cc}$ Supply Voltage (+5V)
GND	Ground

### MODE SELECTION

Mode	Pin	PGM (27)	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$V_{pp}$ (11)	$V_{cc}$ (28)	$O_0 \sim O_7$ (11~13, 15~19)	Power
Read		H	L	L	5V	5V	Data Out	
Output Deselect		.	.	H	5V	5V	High Impedance	Active
Standby		.	H	.	5V	5V	High Impedance	Standby
Program		L	L	.	5V	5V	Data in	
Program Inhibit		.	H	.	5V	5V	High Impedance	Active
		H	L	H	21V	5V	High Impedance	
Program Verify		H	L	L	5V	5V	Data Out	

Note: .: H or L

## MAXIMUM RATINGS

SYMBOL	ITEM	RATING	UNIT
V <sub>CC</sub>	V <sub>CC</sub> Power Supply Voltage	-0.6 ~ 7.0	V
V <sub>PP</sub>	Program Supply Voltage	-0.6 ~ 22.0	V
V <sub>IN</sub>	Input Voltage	-0.6 ~ 7.0	V
V <sub>OUT</sub>	Output Voltage	-0.6 ~ 7.0	V
P <sub>D</sub>	Power Dissipation	1.5	W
T <sub>SOLDER</sub>	Soldering Temperature - Time	260 - 10	°C - sec
T <sub>STAG.</sub>	Storage Temperature	-65 ~ 125	°C
T <sub>OPR.</sub>	Operating Temperature	0 ~ 70	°C

## READ OPERATION

### D.C. RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V <sub>IH</sub>	Input High Voltage	2.0	-	V <sub>CC</sub> + 1.0	V
V <sub>IL</sub>	Input Low Voltage	-0.3	-	0.8	V
V <sub>CC</sub>	V <sub>CC</sub> Power Supply Voltage	4.75	-	5.25	V
V <sub>PP</sub>	V <sub>PP</sub> Power Supply Voltage	2.0	V <sub>CC</sub>	V <sub>CC</sub> + 0.6	V

### D.C. and OPERATING CHARACTERISTICS

(T<sub>a</sub> = 0 ~ 70°C, V<sub>CC</sub> = 5V ± 5% Unless otherwise noted)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I <sub>I1</sub>	Input Current	V <sub>IN</sub> = 0 ~ V <sub>CC</sub>	-	-	± 10	μA
I <sub>CC1</sub>	Supply Current (Standby)	CE = V <sub>IH</sub>	-	-	35	mA
I <sub>CC2</sub>	Supply Current (Active)	CE = V <sub>IL</sub>	-	-	120	mA
V <sub>OH</sub>	Output High Voltage	I <sub>OH</sub> = -400μA	2.4	-	-	V
V <sub>OL</sub>	Output Low Voltage	I <sub>OL</sub> = 2.1mA	-	-	0.4	V
I <sub>PP1</sub>	V <sub>PP</sub> Current	V <sub>PP</sub> = 0 ~ V <sub>CC</sub> + 0.6	-	-	± 10	μA
I <sub>LO</sub>	Output Leakage Current	V <sub>OUT</sub> = 0.4 ~ V <sub>CC</sub>	-	-	± 10	μA

### A.C. CHARACTERISTICS

( $T_a = 0 \sim 70^\circ\text{C}$ ,  $V_{CC} = 5V \pm 5\%$ ,  $V_{PP} = 2.0V \sim V_{CC} + 0.6V$ , Unless otherwise noted)

SYMBOL	PARAMETER	CONDITIONS	TMM2764D-2		TMM2764D		UNIT
			MIN.	MAX.	MIN.	MAX.	
$t_{ACC}$	Address Access Time	$\overline{CE} = \overline{OE} = V_{IL}$ , $\overline{PGM} = V_{IH}$	—	200	—	250	ns
$t_{CE}$	$\overline{CE}$ to Output Valid	$\overline{OE} = V_{IL}$ , $\overline{PGM} = V_{IH}$	—	200	—	250	ns
$t_{OE}$	$\overline{OE}$ to Output Valid	$\overline{CE} = V_{IL}$ , $\overline{PGM} = V_{IH}$	—	70	—	100	ns
$t_{PGM}$	$\overline{PGM}$ to Output Valid	$\overline{OE} = \overline{CE} = V_{IL}$	—	70	—	100	ns
$t_{DF1}$	$\overline{CE}$ to Output in High-Z	$\overline{OE} = V_{IL}$ , $\overline{PGM} = V_{IH}$	0	60	0	90	ns
$t_{DF2}$	$\overline{OE}$ to Output in High-Z	$\overline{CE} = V_{IL}$ , $\overline{PGM} = V_{IH}$	0	60	0	90	ns
$t_{DF3}$	$\overline{PGM}$ to Output in High-Z	$\overline{OE} = \overline{CE} = V_{IL}$	0	60	0	90	ns
$t_{OH}$	Output Data Hold Time	$\overline{CE} = \overline{OE} = V_{IL}$ , $\overline{PGM} = V_{IH}$	0	—	—	—	ns

### A.C. Test Conditions

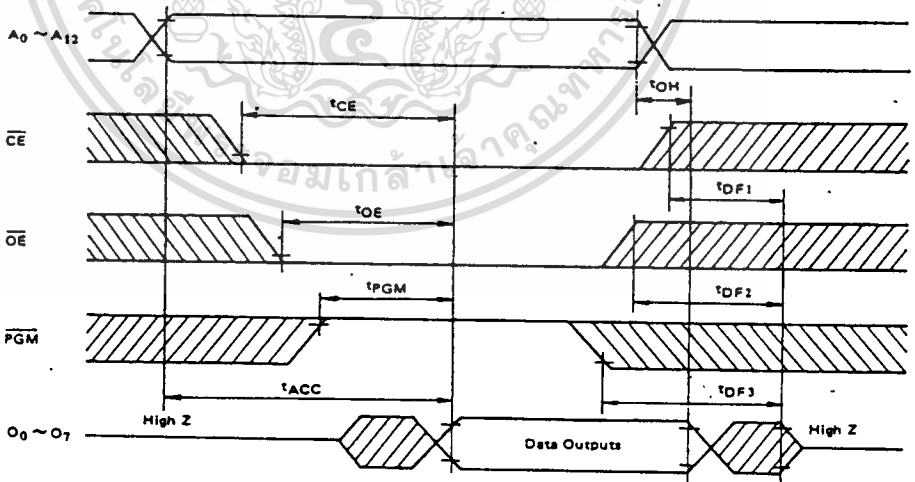
- Output Load : 1 TTL Gate and  $C_L = 100\text{pF}$
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8V to 2.2V
- Timing Measurement Reference Level : Inputs 1V and 2V, Outputs 0.8V and 2.0V

### CAPACITANCE \* ( $T_a = 25^\circ\text{C}$ , $f = 1\text{MHz}$ )

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
$C_{IN}$	Input Capacitance	$V_{IN} = 0V$	—	4	6	pF
$C_{OUT}$	Output Capacitance	$V_{OUT} = 0V$	—	8	12	pF

- This parameter is periodically sampled and is not 100% tested.

### TIMING WAVEFORMS (READ)



## PROGRAM OPERATION

### D.C. RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
$V_{IH}$	Input High Voltage	2.0	—	$V_{CC} + 1.0$	V
$V_{IL}$	Input Low Voltage	-0.3	—	0.8	V
$V_{CC}$	$V_{CC}$ Power Supply Voltage	4.75	5.0	5.25	V
$V_{PP}$	$V_{PP}$ Power Supply Voltage	20.5	21.0	21.5	V

### D.C. and OPERATING CHARACTERISTICS $(T_a = 25 \pm 5^\circ\text{C}, V_{CC} = 5V \pm 5\%, V_{PP} = 21V \pm 0.5V)$

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
$I_{LI}$	Input Current	$V_{IN} = 0 \sim V_{CC}$	—	—	$\pm 10$	$\mu\text{A}$
$V_{OH}$	Output High Voltage	$I_{OH} = -400 \mu\text{A}$	2.4	—	—	V
$V_{OL}$	Output Low Voltage	$I_{OL} = 2.1\text{mA}$	—	—	0.4	V
$I_{CC}$	$V_{CC}$ Supply Current	—	—	—	120	mA
$I_{PP2}$	$V_{PP}$ Supply Current	$V_{PP} = 21.5V$	—	—	30	mA

### A.C. PROGRAMMING CHARACTERISTICS $(T_a = 25 \pm 5^\circ\text{C}, V_{CC} = 5V \pm 5\%, V_{PP} = 21V \pm 0.5V)$

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
$t_{AS}$	Address Setup Time	—	2	—	—	$\mu\text{s}$
$t_{AH}$	Address Hold Time	—	2	—	—	$\mu\text{s}$
$t_{CES}$	$\overline{CE}$ Setup Time	—	2	—	—	$\mu\text{s}$
$t_{CEH}$	$\overline{CE}$ Hold Time	—	2	—	—	$\mu\text{s}$
$t_{DS}$	Data Setup Time	—	2	—	—	$\mu\text{s}$
$t_{DH}$	Data Hold Time	—	2	—	—	$\mu\text{s}$
$t_{PS}$	PGM Setup Time	—	2	—	—	$\mu\text{s}$
$t_{PH}$	PGM Hold Time	—	2	—	—	$\mu\text{s}$
$t_{OES}$	$\overline{OE}$ Setup Time	—	2	—	—	$\mu\text{s}$
$t_{VS}$	$V_{PP}$ Setup Time	—	2	—	—	$\mu\text{s}$
$t_{PW}$	Program Pulse Width	$\text{PGM} = \overline{CE} = V_{IL}$	45	50	55	ms
$t_{CP}$	Program Recovery Time	—	0	—	—	$\mu\text{s}$
$t_{PRT}$	Program Pulse Rise Time	—	5	—	—	ns
$t_{PFT}$	Program Pulse Fall Time	—	5	—	—	ns
$t_{CE}$	$\overline{CE}$ to Output Valid	—	—	—	250	ns
$t_{OE}$	$\overline{OE}$ to Output Valid	—	—	—	100	ns
$t_{DF1}$	$\overline{CE}$ to Output in High Z	$\overline{OE} = V_{IL}$	—	—	90	ns
$t_{DF2}$	$\overline{OE}$ to Output in High Z	$\overline{CE} = V_{IL}$	—	—	90	ns

### A.C. Test Conditions

- Output Load : 1TTL Gate and  $C_L$  (100 pF)
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8 ~ 2.2V
- Timing Measurement Reference Level : Input 1V and 2V ; Output 0.8V and 2.0V



## ERASURE CHARACTERISTICS

The TMM2764D's erasure is achieved by applying shortwave ultraviolet light which has a wavelength of 2537Å (Angstroms) to the chip through the transparent window. Then integrated dose (Ultraviolet light intensity [ $w/cm^2$ ] x exposure time [sec.]) for erasure should be a minimum of 15 [ $W. sec/cm^2$ ].

When the Toshiba sterilizing lamp GL-15 is used and the device is exposed at a distance of 1 cm from the lamp surface, the erasure will be achieved within 60 minutes. And using commercial lamps whose ultraviolet light intensity is a 12000 [ $\mu w/cm^2$ ] will

reduce the exposure time to about 20 minutes. (In this case, the integrated dose is 12000 [ $\mu w/cm^2$ ] x (20 x 60) [sec]  $\cong$  15 [ $w. sec/cm^2$ ].)

The TMM2764D's erasure begins to occur when exposed to light with wavelength shorter than 4000 Å. The sunlight and the fluorescent lamps will include 3000 ~ 4000 Å wavelength components. Therefore when used under such lighting for extended periods of time, the opaque seals - Toshiba EPROM Protect Seal AC901 - are available.

## OPERATION INFORMATION

The TMM2764D's six operation modes are listed in the following table. Mode selection can be achieved by applying TTL level signal to all inputs. In the read

operation mode, a single 5V power supply is required and the levels required for all inputs are TTL.

		PGM (27)	$\overline{CE}$ (20)	$\overline{OE}$ (22)	V <sub>PP</sub> (1)	V <sub>CC</sub> (28)	O <sub>0</sub> ~ O <sub>7</sub> (11 ~ 13, 15 ~ 19)	Power
READ OPERATION (T <sub>a</sub> = 0 ~ 70°C)	Read	H	L	L	5V	5V	Data Out	Active
	Output Deselect	•	•	H			High Impedance	Active
	Standby	•	H	•			High Impedance	Standby
PROGRAM OPERATION (T <sub>a</sub> = 25 ± 5°C)	Program	L	L	•	21V	5V	Data In	Active
	Program	•	H	•			High Impedance	Active
	Inhibit	H	L	H			High Impedance	Active
	Program Verify	H	L	L			Data Out	Active

Note: H; V<sub>IH</sub>. L; V<sub>IL</sub>. •; V<sub>IH</sub> or V<sub>IL</sub>

## READ MODE

The TMM2764D has three control functions. The chip enable ( $\overline{CE}$ ) controls the operation power and should be used for device selection.

The output enable ( $\overline{OE}$ ) and the program control ( $\overline{PGM}$ ) control the output buffers, independent of device selection.

Assuming that  $\overline{CE} = \overline{OE} = V_{IL}$  and  $\overline{PGM} = V_{IH}$ , the output data is valid at the outputs after address access time from stabilizing of all addresses.

The  $\overline{CE}$  to output valid ( $t_{CE}$ ) is equal to the address access time ( $t_{ACC}$ ).

Assuming that  $\overline{CE} = V_{IL}$ ,  $\overline{PGM} = V_{IH}$  and all addresses are valid, the output data is valid at the outputs after  $t_{OE}$  from the falling edge of  $\overline{OE}$ .

And assuming that  $\overline{CE} = \overline{OE} = V_{IL}$  and all addresses are valid, the output data is valid at the outputs after  $t_{PGM}$  from the rising edge of  $\overline{PGM}$ .

## OUTPUT Deselect Mode

Assuming that  $\overline{CE} = V_{IH}$  or  $\overline{OE} = V_{IH}$ , the outputs will be in a high impedance state. So two or more TMM2764D can be connected together on a common

bus line. When  $\overline{CE}$  is decoded for device selection, all deselected devices are in low power standby mode.

## Standby Mode

The TMM2764D has a low power standby mode controlled by the  $\overline{CE}$  signal. By applying a TTL high level to the  $\overline{CE}$  input, the TMM2764D is placed in the standby mode which reduce the operating current

from 120mA to 35mA, and then the outputs are in a high impedance state, independent of the  $\overline{OE}$  and the  $\overline{PGM}$  inputs.

## Program Mode

Initially, when received by customers, all bits of the TMM2764D are in the "1" state which is erased state.

Therefore the program operation is to introduce "0s" data into the desired bit locations by electrically programming.

The TMM2764D is set up in the program operation mode when applied the program voltage (+21V) to the  $V_{PP}$  terminal under  $\overline{CE} = \overline{PGM} = \overline{OE} = V_{IH}$ .

The program operation occurs during the overlap of the  $\overline{CE}$  low and the  $\overline{PGM}$  low. Then the programming is achieved by applying a 50ms ( $t_{PW}$ ) active low

program pulse to the  $\overline{CE}$  or the  $\overline{PGM}$  input after the addresses and data are stable.

This program pulse should be a single pulse with 50ms pulse width per address word, and its maximum value is 55ms.

The levels required for all inputs are TTL.

The TMM2764D can be programmed any location at anytime — either individually, sequentially, or at random.

The TMM2764D should not be programmed with D.C. signal applied to both  $\overline{CE}$  and  $\overline{PGM}$  inputs.

## Program Verify Mode

The verify mode is to check that the desired data is correctly programmed on the programmed bits.

The verify is accomplished with  $\overline{OE}$  and  $\overline{CE}$  at  $V_{IL}$  and  $\overline{PGM}$  at  $V_{IH}$ .

## Program Inhibit Mode

Under the condition that the program voltage (+21V) is applied to  $V_{PP}$  terminal, a high level  $\overline{CE}$  or  $\overline{PGM}$  input inhibits the TMM2764D from being programmed. Programming of two or more TMM2764Ds in parallel with different data is easily accomplished.

That is, all inputs except for  $\overline{CE}$  or  $\overline{PGM}$  may be commonly connected, and a TTL low level program pulse is applied to the  $\overline{CE}$  and  $\overline{PGM}$  of the desired device only and TTL high-level signal is applied to the other devices.