สำนักหอสมุดกลาง สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

การส่งข้อมูลภาพและเสียงระบบทีดีเอ็ม

TDM Video and Voice Data Transmission System

โดย

นาย พีรธร เศรษฐโกสีย์

นาย ไพฑูรย์ อัศวธีระนันท์

นาย อรรถยุทธ รุจิรังค์กูร

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

035032

การส่งข้อมูลภาพและเสียงระบบทีดีเอ็ม

TDM Video and Voice Data Transmission System

โดย

นาย พีรธร เศรษฐโกสีย์ 34105247

นาย ไพฑูรย์ อัศวธีระนันท์ 34105249

นาย อรรถยุทธ รุจิรังค์กูร 34109491

อาจารย์ที่ปรึกษา

อาจารย์ สมศักดิ์ เชียร์ศิริกุล

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์

สาขาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2537

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การส่งข้อมูลภาพและเสียงระบบทีดีเอ็ม

ผู้จัดทำ

1. นาย พีรธร เศรษฐโกสีย์ 34105247
2. นาย ไพฑูรย์ อัศวธีระนันท์ 34105249
3. นาย อรรถยุทธ วุจิรังค์กูร 34109491

อาจารย์ที่ปรึกษา

(อาจารย์ สมศักดิ์ เชียร์ศิริกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลภาพและเสียงระบบทีดีเอ็ม

นาย พีรธร เศรษฐโกสีย์
นาย ไพฑูรย์ อัศวธีระนันท์
นาย อรรถยุทธ รุจิรังค์กูร
อาจารย์ สมศักดิ์ เชียร์ศิริกุล อาจารย์ที่ปรึกษา
ปีการศึกษา 2537

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการสร้างระบบส่งข้อมูลภาพและเสียงแบบซิงโครนัสทีดีเอ็มด้วยความเร็ว 16.64 Mbps โดยข้อมูลภาพมีขนาด 256×256 จุดภาพ มีความละเอียด 8 บิทต่อจุดภาพ สามารถส่งภาพได้ 16.66 ภาพต่อวินาที ข้อมูลทั้งหมดจะถูกมัลติเพล็กซ์แปลงให้อยู่ในรูปพีซีเอ็มและทำการสแครมเบลอร์ก่อนส่งออกไป ระบบรับทำการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC (LC ringing circuit) ร่วมกับวงจรเฟสล็อคลูป (Narrow - band PLL) เพื่อรักษาเสถียรภาพการซิงโครไนซ์บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TDM Video and Voice Data Transmission System

Perathone Sathakosee
Pitoon Assawateranan
Uttayuth Rujiranggoon
Somsak Cheersirigoon Advisor
1994

Abstact

This thesis describes the design and construction of the transmission of sound and video signals using Time Division Multiplexing (TDM) at the rate of 16.64 Mbit/s. The video signal is a 256 × 256 monochrome picture , each pixel is encoded in 8 bit format and the picture is transmitted 16.66 frames per second. The sound signal is A-law coded confined to the CCITT standard PCM multiplexing procedure. The multiplexed signal is scrambled and the clock signal is extracted at the receiving end by using an LC ringing circuit and narrow-band phase locked loop which enables stable synchronization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	การสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลา	2
	2.1 หลักการเบื้องต้น	2
	2.2 การซิงโครไนซ์เฟรม	4
	2.3 การซิงโครไนซ์บิท	7
บทที่ 3	ระบบรับส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม	19
	3.1 การดิจิไทซ์สัญญาณภาพ	19
	3.2 ระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม	24
	3.3 ระบบรับข้อมูลภาพและเสียงแบบ ทีดีเอ็ม	28
บทที่ 4	การออกแบบและการทำงานของวงจร	31
	4.1 ระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม	31
	4.2 ระบบรับข้อมูลภาพและเสียงแบบ ทีดีเอ็ม	40
บทที่ 5	การทดลองและผลการทดลอง	55
บทที่ 6	สรุปและวิจารณ์ผลการทดลอง	57
ภาคผนวก		58
กิตติกรรมประกาศ		75
หนังสืออ้างอิง		76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

		หน้า
รูปที่ 2.1	ภาพสมมูลแสดงตัวส่ง (Multiplexer) และตัวรับ (Demultiplexer)	2
รูปที่ 2.2	โครงสร้างของเฟรมระบบมัลติเพล็กซ์แบบแบ่งเวลา	4
รูปที่ 2.3	ไดอะแกรมแสดงสถานะการอไลเมนต์	5
รูปที่ 2.4	ตัวอย่างการซิงโครไนซ์เฟรม	6
รูปที่ 2.5	แสดงนิยามของจิทเตอร์	7
รูปที่ 2.6	การเข้ารหัสข้อมูลดิจิตอลเป็นสัญญาณดิจิตอล	10
รูปที่ 2.7	แสดงลักษณะของรหัสสัญญาณดิจิตอลแบบต่างๆ	10
รูปที่ 2.8	เส้นโค้งแสดงความหนาแน่นพลังงานในแถบความความถี่ของรหัส เอ็นอาร์แซด และ แมนเชสเตอร์	11
รูปที่ 2.9	ไดอะแกรมของระบบการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC	13
รูปที่ 2.10	แสดงสัญญาณจุดต่างๆในระบบแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC	13
รูปที่ 2.11	สมมูลวงจรจูน LC	16
รูปที่ 2.12	ไดอะแกรมของระบบเฟสล็อคลูป	16
รูปที่ 2.13	เซลฟ์ซิงโครไนซิ่งสแครมเบลอร์ (Self-Synchronizing Scrambler)	18
รูปที่ 2.14	ไดอะแกรมแสดงการนำระบบการสแครมเบลอร์และดีสแครมเบลอร์ขนาด 5 สแตคมาใช้กับระบบสื่อสารข้อมูล	18
รูปที่ 3.1	แสดงรายละเอียดสัญญาณภาพมาตรฐาน PAL	20
รูปที่ 3.2	แสดงรายละเอียดใน 1 เส้นกวาดแนวนอนซึ่งประกอบด้วยสัญญาณซิงค์ สัญญาณแบลงกิ้ง และสัญญาณลูมิแนนซ์	20
รูปที่ 3.3	แสดงตำแหน่งในหน่วยความจำ จุดการเก็บข้อมูล และหมายเลขเส้นกวาดในฟิลด์ที่ 1	21
รูปที่ 3.4	ไดอะแกรมแสดงการดิจิไทซ์สัญญาณภาพ	23
รูปที่ 3.5	แสดงรายละเอียดการจัดเฟรมข้อมูล	25
รูปที่ 3.6	ไดอะแกรมของระบบส่งข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา	27
รูปที่ 3.7	ไดอะแกรมแสดงระบบรับข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลาความเร็ว 16.64 Mbps	29
รูปที่ 4.1	ไดอะแกรมแสดงส่วนมัลติเพล็กซ์ข้อมูล	31
รูปที่ 4.2	แสดงวงจรเชื่อมต่อ	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3 ไดอะแกรมของส่วนดิจิไทซ์สัญญาณภาพ 36
รูปที่ 4.4 ไดอะแกรมแสดงส่วนของหน่วยความจำภาพ 38
รูปที่ 4.5 ไดอะแกรมแสดงส่วนของตัวดีสแครมเบลอร์ , ตัวแปลงข้อมูลอนุกรมเป็นขนาน และตัวตรวจหาหาเฟรมอไลเมนต์เวอร์ด 40
รูปที่ 4.6 ไดอะแกรมส่วนดีมัลติเพล็กซ์ข้อมูล 41
รูปที่ 4.7 ไดอะแกรมเวลาการทำงานของส่วนดีมัลติเพล็กซ์ข้อมูล 43
รูปที่ 4.8 ไดอะแกรมของส่วนควบคุมสถานะการซิงโครไนซ์ 44
รูปที่ 4.9 ไดอะแกรมสถานะของส่วนควบคุมสถานะการซิงโครไนซ์ 45
รูปที่ 4.10 ไดอะแกรมเวลาการเข้าสู่สภาพการซิงโครไนซ์และการเข้าสู่การสูญเสียการซิงโครไนซ์ของส่วนควบคุมสถานะการซิงโครไนซ์ 46
รูปที่ 4.11 แสดงไดอะแกรมส่วนถอดรหัสข้อมูลเสียง 47
รูปที่ 4.12 ไดอะแกรมการทำงานของส่วนถอดรหัสข้อมูลภาพ 48
รูปที่ 4.13 ไดอะแกรมสถานะของส่วนประมวลผลข้อมูลภาพ 49
รูปที่ 4.14 ไดอะแกรมแวลาแสดงการสวิทซ์เพจภาพ
(a) กรณีไม่ซิงโครไนซ์กับสัญญาณซิงโครนัสแนวตั้ง
(b) กรณีซิงโครไนซ์กับสัญญาณซิงโครนัสแนวตั้ง 50
รูปที่ 4.15 แสดงไดอะแกรมของระบบหน่วยความจำภาพ 51
รูปที่ 4.16 ไดอะแกรมแสดงส่วนอ่านข้อมูลภาพและกำเนิดสัญญาณภาพ 52
รูปที่ 4.17 แสดงไดอะแกรมส่วนแยกสัญญาณนาฬิกา 54
รูปที่ ผ.1 แสดงวงจรในส่วนของตัวมัลติเพล็กซ์ข้อมูล , ตัวแปลงข้อมูลขนานเป็นอนุกรม 59
รูปที่ ผ.2 แสดงวงจรในส่วนเชื่อมต่อ VDG/MUX 60
รูปที่ ผ.3 แสดงวงจรในส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบแฟลช 61
รูปที่ ผ.4 แสดงวงจรในส่วนของตัวดิจิไทซ์สัญญาณภาพ 62
รูปที่ ผ.5 แสดงวงจรในส่วนของหน่วยความจำภาพ 63
รูปที่ ผ.6 แสดงวงจรในส่วนสแครมเบลอร์ 64
รูปที่ ผ.7 แสดงวงจรกำเนิดความถี่อ้างอิงหลัก 65
รูปที่ ผ.8 แสดงวงจรเข้ารหัสข้อมูลเสียง 66
รูปที่ ผ.9 แสดงวงจรในส่วนของตัวดีมัลติเพล็กซ์ข้อมูล 67
รูปที่ ผ.10 แสดงวงจรในส่วนของตัวแปลงข้อมูลขนานเป็นอนุกรม 68
รูปที่ ผ.11 แสดงวงจรในส่วนควบคุมและประมวลผลข้อมูลภาพ 69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ผ.12 แสดงวงจรในส่วนของหน่วยความจำภาพ 70
รูปที่ ผ.13 แสดงวงจรในส่วนอ่านข้อมูลและกำเนิดสัญญาณภาพ 71
รูปที่ ผ.14 แสดงวงจรในส่วนประมวลผลข้อมูลภาพ 72
รูปที่ ผ.15 แสดงวงจรจูน LC ในส่วนของตัวแยกสัญญาณนาฬิกา 73
รูปที่ ผ.16 แสดงวงจรเฟสล็อคลูป ที่ใช้ในส่วนแยกสัญญาณนาฬิกา 74

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การส่งสัญญาณภาพจากต้นทางไปยังปลายทางผ่านสายส่ง ทำได้ทั้งแบบอนาลอกและแบบดิจิตอล แต่ในปัจจุบันมีการพัฒนาและส่งด้วยระบบดิจิตอลเนื่องจากมีข้อดีหลายประการคือ

1. สะดวกในการมัลติเพล็กซ์
2. สะดวกในการส่งสัญญาณควบคุม
3. สัญญาณรบกวนต่ำ
4. สามารถเข้ารหัสได้

ดังนั้นจึงได้สร้างระบบที่ใช้การส่งข้อมูลภาพและเสียงโดยใช้หลักการมัลติเพล็กซ์แบบแบ่งเวลาขึ้น

วัตถุประสงค์ของปริญญานิพนธ์

1. เพื่อศึกษาและทำการทดลองแนวคิดในการสื่อสารข้อมูลที่สามารถส่งทั้งภาพและเสียงได้
2. เพื่อศึกษารูปแบบการสื่อสารระบบดิจิตอลและการมัลติเพล็กซ์แบบแบ่งเวลา

ขอบเขตของปริญญานิพนธ์

ในปริญญานิพนธ์จะได้กล่าวถึงหัวข้อต่างๆ ต่อไปนี้โดยสังเขป คือ

ระบบส่งข้อมูล การดิจิไทซ์สัญญาณภาพและการเข้ารหัสข้อมูลเสียงรวมทั้งทฤษฎี , การมัลติเพล็กซ์ข้อมูล รวมถึงหลักการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลา

ระบบรับข้อมูล จะกล่าวถึงการดีมัลติเพล็กซ์ข้อมูล , อัลกอริทึมในการอไลเมนต์เฟรมข้อมูล , วิธีการนำภาพไปแสดงบนจอทีวีมอนิเตอร์

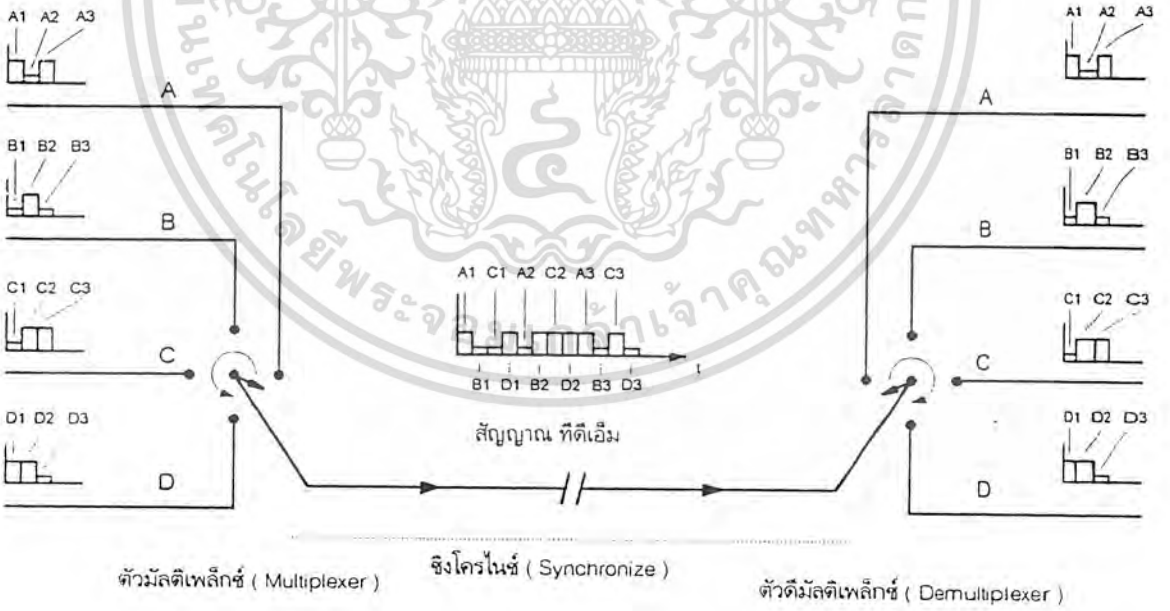
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลา

การแปลงสัญญาณอนาลอกให้อยู่ในรูปของดิจิตอลทำให้เราสามารถรวมสัญญาณจากหลายๆ แหล่งเข้าด้วยกันได้โดยง่าย โดยวิธีการมัลติเพล็กซ์ข้อมูลดิจิตอลเข้าด้วยกันในกรอบของเวลา เรียกวิธีการมัลติเพล็กซ์แบบนี้ว่า การมัลติเพล็กซ์แบบแบ่งเวลา ,TDM (Time Division Multiplexing) ซึ่งในบทนี้จะได้กล่าวถึง หลักการเบื้องต้น , วิธีการซิงโครไนซ์เฟรม , และการซิงโครไนซ์บิท

2.1 หลักการเบื้องต้นในการสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลา (Introduction of TDM Communication System)

ระบบมัลติเพล็กซ์แบบแบ่งเวลาเป็นระบบสื่อสารดิจิตอลที่ใช้รับส่งข้อมูลจากหลายๆช่องสัญญาณให้เป็นสัญญาณดิจิตอลเดียวโดยใช้วิธีการแบ่งช่วงเวลาที่แน่นอนค่าหนึ่ง ให้แต่ละช่องสัญญาณเรียงลำดับกันไป ดังรูป 2.1 ถ้าในแต่ละช่องสัญญาณประกอบด้วยข้อมูลเพียง 1 บิทจะเรียกว่า เป็นการมัลติเพล็กซ์ข้อมูลแบบ บิทอินเตอลีฟ (Bit Interleaved) แต่ถ้าประกอบด้วยกลุ่มของบิทหรือเวอร์ดจะเรียกว่าการมัลติเพล็กซ์ข้อมูลแบบ เวอร์ดอินเตอลีฟ (Word Interleaved)



รูปที่ 2.1 ภาพสมมูลแสดงตัวส่ง (Multiplexer) และตัวรับ (Demultiplexer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารข้อมูลระบบมัลติเพล็กซ์แบบแบ่งเวลาสามารถแบ่งออกเป็น 2 แบบใหญ่ๆ คือ

1. ซิงโครนัสทีดีเอ็ม (Synchronous TDM) เป็นระบบที่แหล่งกำเนิดข้อมูลและตัวมัลติเพล็กซ์ข้อมูลทำงานที่สัญญาณนาฬิกาเดียวกันทำให้การส่งและรับข้อมูลระหว่างแหล่งข้อมูลและตัวมัลติเพล็กซ์เป็นไปในจังหวะเดียวกันหรือกล่าวได้ว่าทุกครั้งที่ตัวมัลติเพล็กซ์เข้ามาอ่านข้อมูล แหล่งข้อมูลจะมีข้อมูลพร้อมที่จะส่งออกไปเสมอ

2. อซิงโครนัสทีดีเอ็ม (Asynchronous TDM) เป็นระบบที่แหล่งกำเนิดข้อมูลและตัวมัลติเพล็กซ์ข้อมูลทำงานที่สัญญาณนาฬิกาที่ต่างกันทำให้การส่งและรับข้อมูลระหว่างแหล่งข้อมูลและตัวมัลติเพล็กซ์ไม่เป็นไปในจังหวะเดียวกันเช่น จังหวะที่ตัวมัลติเพล็กซ์เข้ามาอ่านข้อมูล แหล่งข้อมูลอาจไม่พร้อมที่จะให้ข้อมูล เป็นผลให้ข้อมูลนั้นๆมักจะไม่ค่อยมีความต่อเนื่องจึงทำให้การสื่อสารระบบนี้จะต้องมีกระบวนการจัสติฟิเคชั่น (Justification) หรือ พัลซ์สตัฟฟิ่ง (Pulse Stuffing) เพื่อทำการซิงโครไนซ์สัญญาณนาฬิกาของแหล่งข้อมูลเข้ากับสัญญาณนาฬิกาของตัวมัลติเพล็กซ์ การสื่อสารแบบนี้จึงมีความยุ่งยากซับซ้อนกว่าแบบซิงโครนัสทีดีเอ็ม แต่ก็เป็นระบบที่มีความยืดหยุ่นมากกว่าในการเชื่อมต่อกับแหล่งข้อมูลที่มีอัตราข้อมูลต่างๆกัน

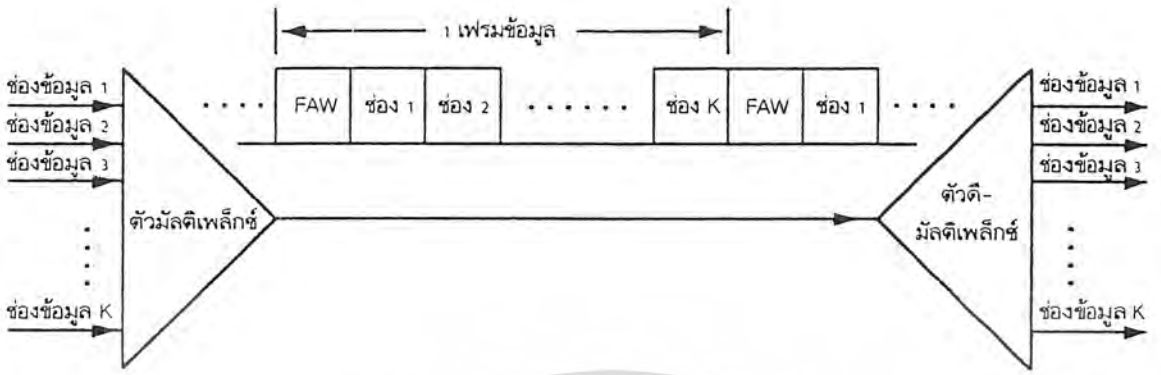
สำหรับในงานวิจัยนี้ใช้ระบบ ซิงโครนัสทีดีเอ็ม เนื่องจากง่ายต่อการออกแบบและมีความซับซ้อนน้อยกว่า

ในการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลา สิ่งที่สำคัญที่สุดคือการซิงโครไนซ์ระหว่างตัวมัลติเพล็กซ์และตัวดีมัลติเพล็กซ์ วิธีการที่ใช้กันในทางปฏิบัติคือ การกำหนดช่องเวลาขึ้น 1 ช่อง (หรือ 2 ช่อง) ซึ่งบรรจุเวอร์ดที่มีลักษณะจำเพาะ ช่องเวลานี้กำหนดขึ้นเพื่อเป็นช่องเวลาอ้างอิงเพื่อใช้ระบุตำแหน่งของช่องเวลาอื่น ดังนั้นถ้าตัวดีมัลติเพล็กซ์สามารถตรวจสอบพบเวอร์ดนี้ได้ตัวดีมัลติเพล็กซ์ก็สามารถทราบตำแหน่งของช่องเวลาอื่นๆ ทำให้สามารถแยกแยะข้อมูลในช่องเวลาต่างๆออกมาได้เรียกเวอร์ดที่บรรจุอยู่ในช่องเวลาอ้างอิงนี้ว่า เฟรมอไลเมนต์เวอร์ด , FAW (Frame Alignment Word) ดังรูป2.2

สำหรับอัตราความเร็วสามารถคำนวณได้คือ ถ้าให้ระบบมีช่องข้อมูลที่ต้องการส่ง K ช่องและเฟรมอไลเมนต์เวอร์ด 1 ช่องเวลา ดังนั้นใน 1 เฟรมข้อมูลจะประกอบด้วยช่องเวลา $K+1$ ช่องเวลา และกำหนดให้ข้อมูลในแต่ละช่องข้อมูลได้จากการสุ่มสัญญาณอนาลอกด้วยความถี่ f_s ความละเอียด m บิทต่อการสุ่ม 1 ครั้ง ดังนั้นอัตราความเร็วบิทของสัญญาณมัลติเพล็กซ์ f_0 เป็น

$$f_0 = m\, f_s\, (K+1) \qquad (2.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 โครงสร้างของเฟรมระบบมัลติเพล็กซ์แบบแบ่งเวลา

2.2 การซิงโครไนซ์เฟรมข้อมูล (Frame Synchronization)

เนื่องจากข้อมูลที่ส่งมาในช่องข้อมูลต่างๆนั้นมีลักษณะเป็น แรนดอม (Random) อาจมีรูปแบบข้อมูลเป็นลักษณะใดๆก็ได้ ดังนั้นจึงเป็นไปได้ที่จะเกิดเวอร์ดข้อมูลที่มีลักษณะเหมือนกับ FAW ได้ เรียกเวอร์ดข้อมูลที่มีลักษณะเหมือน FAW นี้ว่า เฟรมอไลเมนต์เวอร์ดเทียม ดังนั้นจึงจำเป็นต้องมีกระบวนการ หรือขั้นตอนที่ใช้ในการตัดสินใจว่า FAW ที่ตรวจพบนั้นเป็น FAW ที่แท้จริงหรือไม่ และเมื่อใดที่จะถือว่าระบบอยู่ในสภาวะการซิงโครไนซ์แล้ว กระบวนการที่ใช้ในการตัดสินใจและดำเนินการในสิ่งเหล่านี้เรียกว่า การอไลเมนต์เฟรม (Frame Alignment)

เทคนิคการอไลเมนต์เฟรมมีหลายวิธีได้แก่ การอไลเมนต์เฟรมแบบอนุกรม (Serial Frame Alignment) และการอไลเมนต์เฟรมแบบขนาน (Parallel Frame Alignment) ซึ่งอไลเมนต์เฟรมได้เร็วกว่าแบบอนุกรม แต่วิธีการอไลเมนต์เฟรมแบบอนุกรม เป็นวิธีการที่ง่ายที่สุดและใช้กันมากที่สุดและเป็นวิธีที่ใช้ในงานวิจัยนี้

การอไลเมนต์เฟรมจำเป็นต้องกำหนดสถานะต่างๆในการทำงานดังรูป 2.3 ซึ่งสามารถแบ่งโหมดการทำงานเป็น 2 โหมดใหญ่ๆ คือ

1) โหมดซิงโครไนซ์ ประกอบขึ้นจาก 4 สถานะย่อย คือ

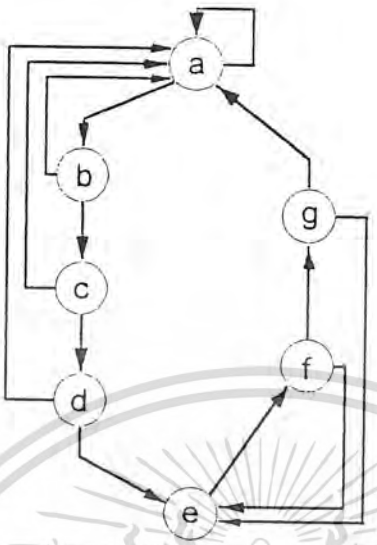
สถานะ a เป็นสถานะที่ระบบอยู่ในสภาพการอไลเมนต์สมบูรณ์

สถานะ b เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n

สถานะ c เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n+1

สถานะ d เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n+2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 ไดอะแกรมแสดงสถานะการอไลเมนต์

กล่าวโดยสรุปสำหรับในโหมดซิงโครนัสคือ เมื่อระบบอยู่ในสภาพซิงโครไนซ์แล้ว (สถานะa) ถ้ามีการตรวจไม่พบ FAW ในจุดที่กำหนดไว้ 4 เฟรมติดต่อกัน ระบบจะเข้าสู่โหมดค้นหา (สถานะ e) แต่ถ้ามีการตรวจพบ FAW เพียงเฟรมใดเฟรมหนึ่ง ระบบก็จะกลับเข้าสู่สถานะ a ใหม่การกำหนดให้มีสถานะ b,c,d ทำให้เสถียรภาพในการซิงโครไนซ์ของระบบมีความมั่นคงขึ้น ผลของความผิดพลาดของข้อมูลที่มีต่อสภาพการซิงโครไนซ์ลดลง และยังทำให้ระบบไม่หลุดจากสภาพการซิงโครไนซ์ง่ายๆ

2) โหมดค้นหา ประกอบขึ้นจาก 3 สถานะย่อย คือ

สถานะ e เป็นสถานะที่ระบบอยู่ในสภาพค้นหา FAW

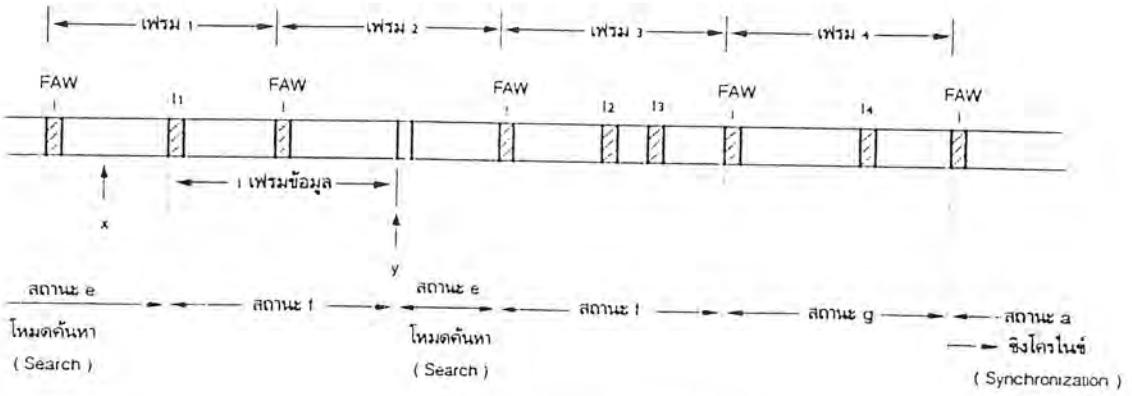
สถานะ f เป็นสถานะที่ระบบตรวจพบ FAW ในเฟรมที่ 0

สถานะ g เป็นสถานะที่ระบบตรวจพบ FAW ในเฟรมที่ 1

กล่าวโดยสรุปสำหรับในโหมดค้นหาคือ เมื่อระบบอยู่ในสภาพค้นหา (สถานะ e) ถ้ามีการตรวจพบ FAW ติดต่อกัน 3 เฟรม ระบบจะเข้าสู่โหมดการซิงโครไนซ์ เป็นการน่าเชื่อได้ว่า FAW ที่พบนั้นเป็น FAW ที่แท้จริง แต่ถ้ามีเฟรมใดเฟรมหนึ่งที่ตรวจไม่พบ FAW ระบบจะกลับเข้าสู่สถานะ e เพื่อค้นหา FAW ใหม่ ซึ่งแสดงว่า FAW ตัวแรกที่พบนั้นไม่ใช่ FAW ที่แท้จริง

สามารถอธิบายกระบวนการอไลเมนต์ โดยอาศัย รูปที่ 2.3 และ 2.4 ประกอบดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 ตัวอย่างการซิงโครไนซ์เฟรม

จากรูปที่ 2.4 I1 ,I2 ,I3 และ I4 เป็น FAW เทียม จุด x เป็นจุดเริ่มต้นทำงานและกำหนดให้สภาวะเริ่มต้นของตัวดีมัลติเพล็กซ์อยู่ที่สถานะ e คือ สถานะการไม่อไลเมนต์เฟรม (เช่นตอนเริ่มต้นเปิดเครื่อง) วิธีการอไลเมนต์เฟรมใช้หลักการที่ว่า FAW แท้จริงจะปรากฏที่ตำแหน่งเดิมของทุกๆเฟรม ส่วน FAW เทียมนั้นจะไม่ปรากฏอยู่ที่ตำแหน่งใดๆ อย่างถาวรดังนั้นเมื่อตรวจพบ FAW ที่ตำแหน่งใดๆ แล้ว ระบบจะต้องไปตรวจสอบอีกครั้งหนึ่งที่ตำแหน่งเดิมของเฟรมต่อไป

กระบวนการอไลเมนต์เฟรมจะเริ่มที่จุด x โดยการเริ่มตรวจสอบ F บิทแรกถ้าไม่ตรงกับ FAW ที่ตั้งค่าไว้ก็จะทำการตรวจสอบเวอร์ดต่อไปโดยการเลื่อนไป 1 บิทจากเวอร์ดหลังสุดที่ทดสอบและกระบวนการจะเป็นเช่นนี้ไปเรื่อยจนกว่าจะพบเวอร์ดที่เหมือน FAW

จากจุด x เป็นต้นไป เวอร์ดแรกที่เหมือน FAW คือ I1 ซึ่งเป็น FAW เทียม เมื่อระบบพบ I1 ระบบจะเปลี่ยนสถานะจาก e เป็นสถานะ f (ดูรูป 2.3 ประกอบ) จากนั้นจะกระโดดไปตรวจสอบ FAW อีกครั้งที่จุด y เพื่อตรวจสอบว่า I1 ที่พบนั้นเป็น FAW ที่แท้จริงหรือไม่ และช่วงระหว่างจุด x และ y จะไม่มีการตรวจสอบใดๆทั้งสิ้น จากจุด y เมื่อตรวจสอบแล้วปรากฏว่าไม่พบ FAW จึงสรุปได้ว่า I1 ที่พบนั้นไม่ใช่ FAW ที่แท้จริงระบบก็จะเปลี่ยนสถานะจาก f กลับมาที่ e ใหม่เพื่อเริ่มต้นค้นหา FAW ใหม่

จากจุด y FAW ที่พบตัวต่อไปคือ FAW ของเฟรม 3 ซึ่งเป็น FAW ที่แท้จริง ระบบจะเปลี่ยนสถานะจาก e ไปสถานะ f ใหม่ เช่นเดียวกันระบบจะกระโดดไปตรวจสอบอีกครั้งในเฟรมต่อไป ซึ่งจะพบ FAW ของเฟรม 4 และ 5 ทำให้สถานะของระบบเปลี่ยนสถานะจาก f ไป g และเข้าสู่สภาพซิงโครไนซ์ในสถานะ a ตามลำดับ จะเห็นว่าเพียงเริ่มต้นพบ FAW ที่แท้จริงเท่านั้นระบบก็จะเข้าสู่สถานะการซิงโครไนซ์ในที่สุด ข้อสังเกตุคือเพียงเมื่อระบบค้นพบ FAW ที่แท้จริงเท่านั้น FAW เทียมที่เกิดขึ้นภายในเฟรม (I2 ,I3 ,I4) จะไม่มีผลต่อระบบ

ส่วนในการเลือกใช้ FAW นั้นจะไม่กล่าวถึงในที่นี้โดยจะนำค่า FAW 10001011 ซึ่งเป็นค่าที่ถูกเลียนแบบได้ยาก ทำให้มีโอกาสพบ FAW เทียมได้น้อย การซิงโครไนซ์เฟรมก็จะใช้เวลาได้เร็วขึ้น เป็นผลให้สมรรถนะของระบบซิงโครไนซ์เฟรมดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

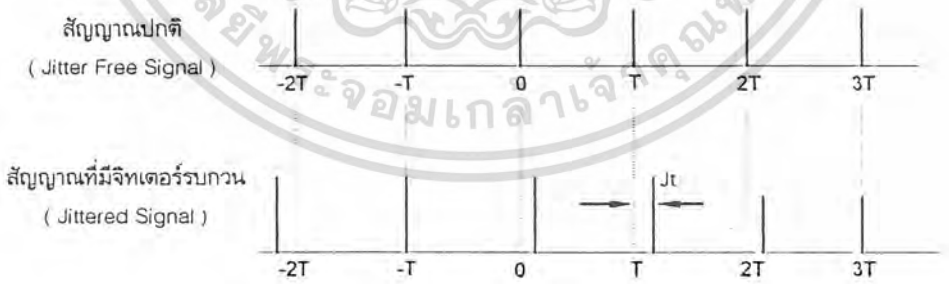
2.3 การซิงโครไนซ์บิท (Bit Synchronization)

จากบทที่ผ่านๆมาได้ทราบแล้วว่า ส่วนที่สำคัญที่สุดส่วนหนึ่งของระบบสื่อสารแบบทีดีเอ็มคือ การซิงโครไนซ์เฟรมข้อมูล ซึ่งทำการอไลเมนต์เฟรมโดยวิธีการตรวจสอบเฟรมอไลเมนต์เวอร์ด เมื่อพิจารณาให้ลึกลงไปอีกจะพบว่าภายในเวอร์ดที่ทำการตรวจสอบนั้น ประกอบขึ้นจากกลุ่มของบิทข้อมูลต่างๆ จึงเห็นได้ว่าถ้าระบบรับไม่สามารถอ่านบิทข้อมูลต่างๆได้อย่างถูกต้องแล้วกระบวนการอไลเมนต์เฟรมข้อมูลก็ไม่สามารถจะดำเนินต่อไปได้อย่างถูกต้อง ดังนั้นจึงอาจกล่าวได้ว่าส่วนสำคัญที่สุดของการสื่อสารข้อมูลดิจิตอลระบบมัลติเพล็กซ์แบบแบ่งเวลาคือ การซิงโครไนซ์บิท

การที่ระบบสื่อสารจะสามารถอ่านบิทข้อมูลต่างๆได้อย่างถูกต้องนั้น จำเป็นอย่างยิ่งที่ระบบรับจะต้องทราบว่าบิทข้อมูลนั้นเริ่มต้นและจบลงเมื่อใด หรือกล่าวให้ง่ายขึ้นคือ ระบบจะต้องสามารถสร้างสัญญาณนาฬิกาที่ซิงโครไนซ์กับขบวนข้อมูลที่รับได้นั้น การเข้ารหัสสัญญาณดิจิตอล(Digital signaling) เป็นอีกวิธีหนึ่งที่ช่วยปรับปรุงสมรรถนะในการแยกสัญญาณนาฬิกาของเครื่องรับ โดยการแปลงขบวนบิทข้อมูลให้เป็นรหัสสัญญาณรูปแบบใหม่ที่มีข้อมูลเชิงเวลา (Timing Informtion) ของเครื่องส่งปนอยู่ด้วย ทั้งนี้ขึ้นอยู่กับการเลือกใช้รหัสให้เหมาะสม

2.3.1 จิทเตอร์ (Jitter)

ในระบบการส่งสัญญาณดิจิตอลเชิงอุดมคตินั้นพัลซ์ต่างๆของขบวนสัญญาณดิจิตอลที่มาถึงเครื่องรับจะเกิดขึ้นที่ตำแหน่งเวลาที่เป็นจำนวนเต็มเท่าของคาบสัญญาณนาฬิกา ,T ที่ใช้ แต่อย่างไรก็ดีสำหรับในระบบจริงนั้น พัลซ์เหล่านี้มาถึงเครื่องรับในตำแหน่งเวลาที่ต่างไปจากจำนวนเต็มเท่าของ T เรียกปรากฏการณ์ที่พัลซ์ถูกเบี่ยงเบนไปจากตำแหน่งปกตินี้ว่า จิทเตอร์ ดังรูป 2.5



รูปที่ 2.5 แสดงนิยามของจิทเตอร์

จิทเตอร์มีการจำแนกออกเป็นหลายชนิดซึ่งมักจะจำแนกตามสาเหตุที่เกิด จิทเตอร์แต่ละแบบล้วนก่อให้เกิดการเบี่ยงเบนทางเฟสของสัญญาณ ซึ่งเป็นสาเหตุให้เกิดการผิดพลาดบิท ,BER (Bit Error Rate) ขึ้นจำแนกได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำแนกโดยเทียบกับเวลาอ้างอิง (Time Reference)

(a) ไทมิ่งจิทเตอร์ (Timing Jitter)

(b) อไลเมนต์จิทเตอร์ (Alignment Jitter)

จำแนกโดยแหล่งกำเนิดจิทเตอร์

(a) แรนดอมจิทเตอร์ (Random Jitter) เป็นจิทเตอร์ที่ขึ้นอยู่กับสัญญาณรบกวน

(b) ซิสเต็มเมติกจิทเตอร์ (Systematic Jitter) เป็นจิทเตอร์ที่ขึ้นอยู่กับแพทเทอร์ของข้อมูล

(i) แบบ A

จิทเตอร์ที่มีสาเหตุจากค่า Q ของวงจรจูนมีค่าไม่สูงพอ

จิทเตอร์ที่มีสาเหตุจากพัลซ์กระตุ้นไม่แคบพอ

จิทเตอร์ที่มีสาเหตุจากการจูนความถี่คลาดเคลื่อน

(ii) แบบ B

จิทเตอร์ที่มีสาเหตุจากความผิดเพี้ยนของรูปคลื่น

จิทเตอร์ที่สามีสาเหตุจากแอมปลิจูดของสัญญาณ

แหล่งกำเนิดจิทเตอร์เบื้องต้นที่เห็นได้ชัดๆคือ ตัวทวนสัญญาณใหม่ (Regenerator) เนื่องจากการส่งข้อมูลดิจิตอลที่ระยะทางไกลมากๆนั้น จำเป็นต้องใช้ตัวทวนสัญญาณใหม่เป็นระยะๆเพื่อทำให้ข้อมูลที่ไปถึงปลายทางมีความสมบูรณ์ที่สุด ในส่วนของตัวทวนสัญญาณใหม่ภายในจะประกอบด้วยตัวแยกสัญญาณเวลา (Timing Extraction) ซึ่งในทางปฏิบัติส่วนนี้จะยังไม่มีความสมบูรณ์ทำให้สัญญาณเวลาที่แยกได้มีจิทเตอร์ที่เรียกว่า ซิสเต็มเมติกจิทเตอร์ ปนอยู่ด้วย เป็นผลให้สัญญาณข้อมูลที่กำเนิดขึ้นใหม่มีจิทเตอร์ประเภทนี้ปนอยู่ด้วยเช่นกัน และที่สำคัญคือถ้าตลอดระยะทางการสื่อสารใช้ตัวทวนสัญญาณใหม่หลายตัวด้วยแล้ว จิทเตอร์เหล่านี้ก็จะมีค่าสะสมเพิ่มขึ้นเรื่อยๆตามจำนวนของตัวทวนสัญญาณที่ใช้ จะเห็นว่าถ้าไม่มีการควบคุมจิทเตอร์ประเภทนี้แล้ว สัญญาณเมื่อไปถึงปลายทางก็อาจจะผิดเพี้ยนไปมากจนไม่อาจจะใช้ประโยชน์จากข้อมูลข่าวสารเหล่านั้นได้

สำหรับในงานวิจัยนี้จะได้กล่าวถึงเฉพาะซิสเต็มเมติกจิทเตอร์ เท่านั้นเนื่องจากมีความเกี่ยวข้องอยู่มากกับการออกแบบวงจรแยกสัญญาณนาฬิกา (Clock Recovery)

สำหรับ ซิสเต็มเมติกจิทเตอร์ นั้นสาเหตุใหญ่เกิดจากแพทเทอร์นของขบวนสัญญาณดิจิตอล เนื่องจากข้อมูลที่มากับขบวนสัญญาณดิจิตอลนั้นมีการแปลี่ยนแปลงตลอด ดังนั้นช่วงห่างทางเวลาของสัญญาณกระตุ้นวงจรจูนความถี่ในกระบวนการแยกสัญญาณนาฬิกาจึงมีการเปลี่ยนแปลงด้วย ผลจากการเปลี่ยนแปลงนี้ทำให้ทั้งขนาดและความถี่ของสัญญาณที่ได้จากวงจรจูนเปลี่ยนแปลง ซึ่งการเปลี่ยนแปลงขององค์ประกอบทั้งสองนี้ทำให้เฟสของสัญญาณนาฬิกาที่แยกได้ถูกเบี่ยงเบนไปด้วย เนื่องจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่จะเข้าใจเรื่องนี้ได้ชัดเจนนั้นจำเป็นจะต้องทราบถึงขั้นตอนกระบวนการในการแยกสัญญาณนาฬิกา ดังนั้นสำหรับในเรื่องนี้จะได้กล่าวอีกครั้งในหัวข้อการแยกสัญญาณนาฬิกา

2.3.2 การเข้ารหัสสัญญาณดิจิตอล (Digital Signaling or Encoder)

ตัวอย่างนิยามลักษณะของรหัสแบบต่างๆที่รู้จักกันดีแสดงดังรูปที่ 2.7

รหัส เอ็นอาร์แซด-แอล ,NRZ-L (Nonreturn to zero-level)

1 = ระดับแรงดันสูง

0 = ระดับแรงดันต่ำ

รหัส เอ็นอาร์แซด-เอ็ม ,NRZ-M (Nonreturn to zero-mark)

1 = มีการเปลี่ยนสถานะที่จุดเริ่มต้นของช่วงบิทเสมอ

0 = ไม่มีการเปลี่ยนสถานะ

รหัส เอ็นอาร์แซด-เอส ,NRZ-S (Nonreturn to zero-space)

1 = ไม่มีการเปลี่ยนสถานะ

0 = มีการเปลี่ยนสถานะที่เริ่มต้นของช่วงบิทเสมอ

รหัส อาร์แซด ,RZ (Return to zero)

1 = มีพัลซ์กว้างครึ่งคาบบิทที่ตำแหน่งครึ่งแรกของช่วงบิทเสมอ

0 = ไม่มีพัลซ์

รหัส ไบเฟส-แอล ,Biphase-L (Biphase-level) **หรือแมนเชสเตอร์** (Manchester)

1 = มีการเปลี่ยนสถานะจากระดับสูงมาระดับต่ำที่ตำแหน่งกลางช่วงบิทเสมอ

0 = มีการเปลี่ยนสถานะจากระดับต่ำมาระดับสูงที่ตำแหน่งกลางช่วงบิทเสมอ

รหัส ไบเฟส-เอ็ม ,Biphase-M (Biphase-mark)

มีการเปลี่ยนสถานะที่จุดเริ่มต้นของช่วงบิทเสมอ

1 = ไม่มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิท

0 = มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิทเสมอ

รหัส ไบเฟส-เอส ,Biphase-S (Biphase-space)

มีการเปลี่ยนสถานะที่จุดเริ่มต้นของช่วงบิทเสมอ

1 = มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิทเสมอ

0 = ไม่มีการเปลี่ยนสถานะที่ตำแหน่งกลางช่วงบิท

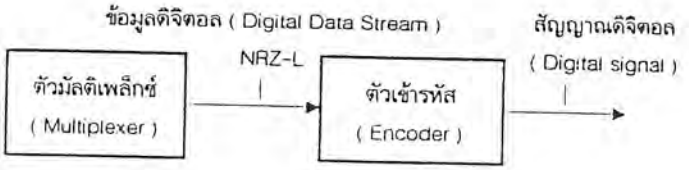
รหัส ไบโพลาร์ ,Bipolar

1 = มีพัลซ์กว้างครึ่งคาบบิทที่ตำแหน่งครึ่งแรกของช่วงบิทและสลับขั้วในพัลซ์ต่อๆไป

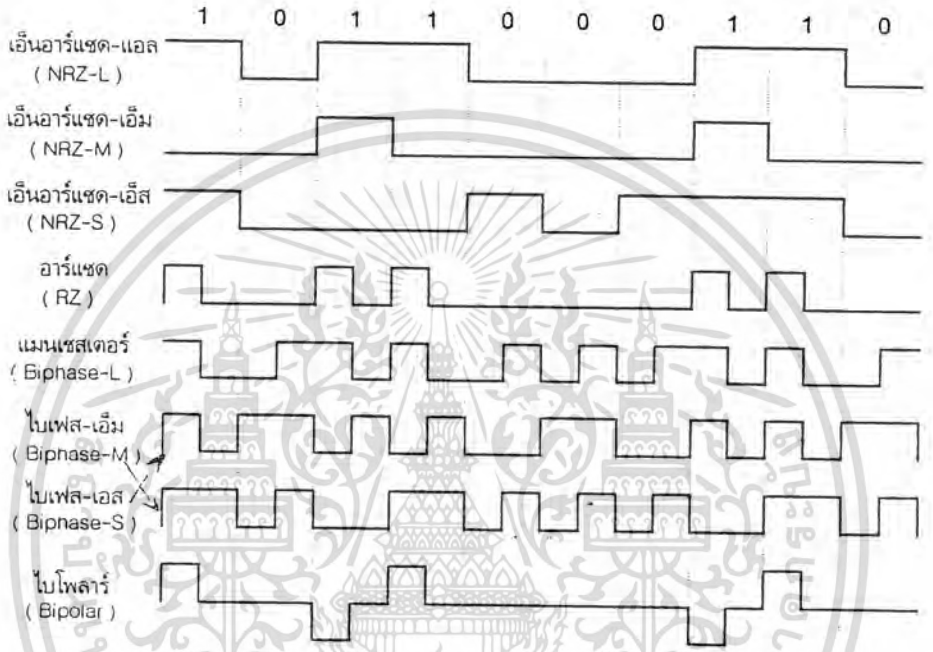
0 = ไม่มีพัลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

035032



รูปที่ 2.6 การเข้ารหัสข้อมูลดิจิตอลเป็นสัญญาณดิจิตอล



รูปที่ 2.7 แสดงลักษณะของรหัสสัญญาณดิจิตอลแบบต่างๆ

การเข้ารหัสสัญญาณที่ต่างกันย่อมให้สมรรถนะและความเหมาะสมกับตัวกลางที่ต่างกันและข้อมูลมีข้อเสียที่ต่างกัน การที่จะตัดสินใจเลือกใช้รหัสแบบใดนั้นมีสิ่งที่ควรพิจารณาดังนี้

1) แถบความถี่ของรหัสสัญญาณ
2) ความสามารถในการซิงโครไนซ์
3) ความต้านทานต่อสัญญาณรบกวนและสัญญาณแทรกสอด
4) ความซับซ้อนและราคา

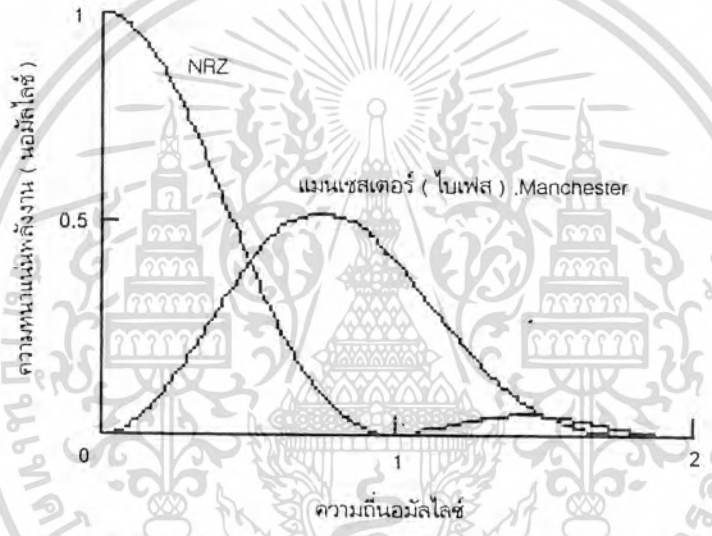
สำหรับในงานวิจัยนี้จะใช้การเข้ารหัสแบบ NRZ-L โดยมีสาเหตุดังนี้

1) เป็นรหัสที่มีความซับซ้อนน้อยและง่ายที่สุด ซึ่งเป็นรหัสพื้นฐานที่ใช้ในอุปกรณ์ทั่วไปเป็นผลทำให้ง่ายต่อการออกแบบและมีราคาถูก
2) เมื่อพิจารณาในเรื่องของการใช้แถบความถี่แล้ว จากรูป 2.8 ซึ่งแสดงการกระจายของพลังงานในแถบความถี่ของรหัส จะเห็นว่ารหัส NRZ เป็นรหัสที่มีประสิทธิภาพที่สุดในการใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แถบความถี่ของตัวกลางโดยพลังเกือบทั้งหมดของสัญญาณจะตกอยู่ในช่วง ดีซี ถึงประมาณครึ่งหนึ่งของอัตราบิท ดังนั้นจะเห็นได้ว่ารหัสแบบนี้จะใช้แถบความถี่ของตัวกลางอย่างน้อยที่สุดเพียงครึ่งเดียวของอัตราการส่งข้อมูล

3) เมื่อพิจารณาความสามารถในการซิงโครไนซ์ จะเห็นว่ารหัสแบบนี้ไม่มีองค์ประกอบความถี่ที่เป็นอัตราส่งข้อมูลในแถบความถี่หรือกล่าวได้ว่าเป็นรหัสที่ไม่มีคุณสมบัติเซลฟ์-ซิงโครไนเซชั่น (Self-Synchronization) แต่อย่างไรก็ดีการแยกสัญญาณนาฬิกาก็ยังสามารถใช้เทคนิควิธีอื่นได้อีก



รูปที่ 2.8 เส้นโค้งแสดงความหนาแน่นพลังงานในแถบความความถี่ของรหัส เอ็นอาร์แซด และ แมนเชสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 การแยกสัญญาณนาฬิกา (Clock Extraction)

การส่งสัญญาณนาฬิกาสามารถแบ่งเป็นแบบใหญ่ๆได้ 2 แบบ คือ

- เอ็กเทอร์นอลไทมิ่ง (External Timing)

  การส่งแบบซูเปอร์โพส (Superposed Transmission)

  การส่งแบบแยกเฉพาะ (Separate Transmission)

- เซลฟ์ไทมิ่ง (Self Timing)

  การแยกสัญญาณนาฬิกาแบบเชิงเส้น (Linear Extraction)

  การแยกสัญญาณนาฬิกาแบบไม่เป็นเชิงเส้น (Nonlinear Extraction)

การส่งสัญญาณนาฬิกาแบบเอ็กเทอร์นอลไทมิ่ง เป็นการส่งสัญญาณนาฬิกาแยกผ่านสายส่งต่างหาก ไม่เหมาะสำหรับการส่งระยะทางไกลๆเนื่องจากค่าใช้จ่ายสูงและมีปัญหาเรื่องเวลาหน่วงของสัญญาณนาฬิกาจึงเป็นวิธีที่เหมาะอย่างมากสำหรับการส่งในระยะใกล้ๆ

ส่วนแบบที่ 2 คือ เซลฟ์ไทมิ่ง เป็นแบบที่รวมข้อมูลเชิงเวลาเข้าไว้กับสัญญาณข้อมูล โดยวิธีการเข้ารหัสสัญญาณดิจิตอลดังที่ได้กล่าวมาแล้ว สัญญาณนาฬิกาจะถูกแยกออกมาทางเครื่องรับซึ่งมี 2 วิธีการใหญ่ๆคือ

1) การแยกสัญญาณนาฬิกาแบบเชิงเส้น

เป็นวิธีการแยกสัญญาณนาฬิกาที่ใช้กับสัญญาณดิจิตอลที่มีแถบความถี่ครอบคลุมความถี่ที่เป็นอัตราส่งข้อมูลซึ่งสัญญาณนี้จะผ่านการเข้ารหัสสัญญาณดิจิตอลมาแล้ว เช่น รหัสแมนเชสเตอร์ เป็นต้น ซึ่งได้กล่าวมาแล้ว

2) การแยกสัญญาณนาฬิกาแบบไม่เป็นเชิงเส้น

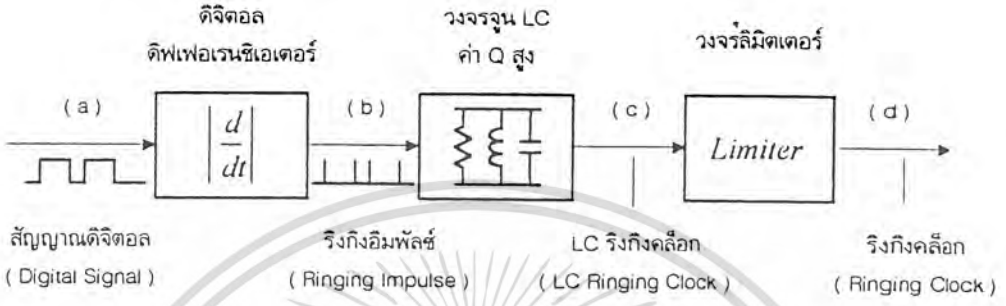
เป็นวิธีการแยกสัญญาณนาฬิกาที่ใช้กับสัญญาณดิจิตอลที่แถบความถี่ไม่ปรากฏความถี่ที่เป็นอัตราส่งข้อมูลอยู่ กระบวนการที่ใช้คือการนำสัญญาณดิจิตอลที่รับได้แยกไปทำกระบวนการที่ประกอบด้วยขั้นตอนตามลำดับดังนี้ การดิฟเฟอเรนซิเอท การเรียงคลื่นแบบเต็มคลื่น การคลิปป์สัญญาณ จากนั้นทำการยกกำลังสองสัญญาณ แถบความถี่ของสัญญาณใหม่ที่ได้จะประกอบด้วยความถี่ที่เป็นอัตราส่งข้อมูลอยู่ด้วย สุดท้ายจะนำสัญญาณใหม่นี้ไปผ่านวงจรกรองความถี่ที่มีแถบความถี่แคบเพื่อแยกสัญญาณนาฬิกาที่ต้องการออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

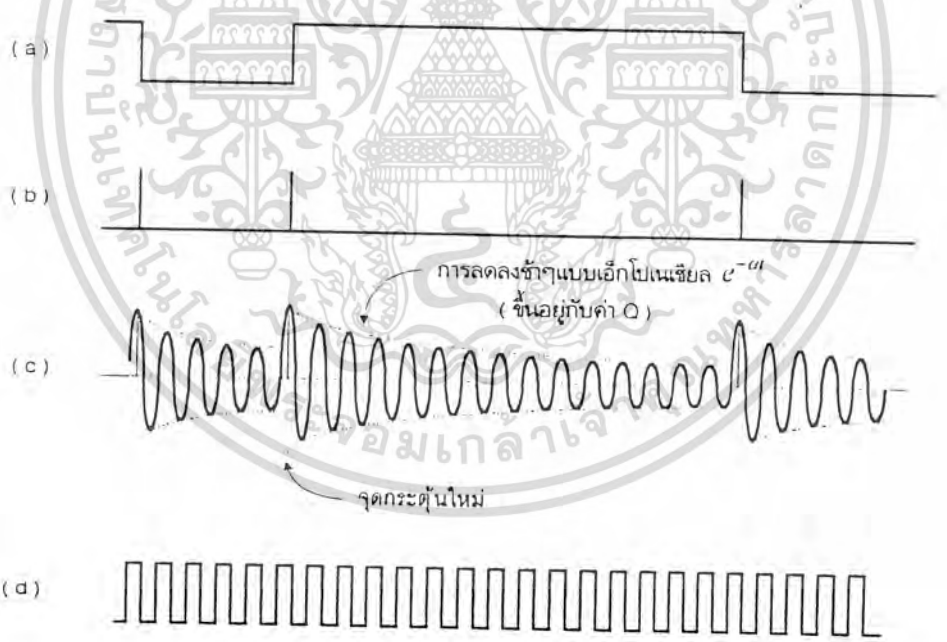
การแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC

(Clock Extraction by LC tune circuit or LC ringing circuit)

ไดอะแกรมของระบบการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC แสดงดังรูป 2.9 และสัญญาณตามจุดต่างๆ แสดงในรูป 2.10



รูปที่ 2.9 ไดอะแกรมของระบบการแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC



รูปที่ 2.10 แสดงสัญญาณจุดต่างๆในระบบแยกสัญญาณนาฬิกาโดยใช้วงจรจูน LC

จากรูป 2.9 สามารถอธิบายกระบวนการได้ดังนี้ ขบวนสัญญาณดิจิตอลที่รับได้ดังรูป 2.9 (a) จะผ่านเข้าสู่ส่วนดิจิตอลดิฟเฟอเรนชิเอเตอร์ (Digital Differentiator) เพื่อสร้างสัญญาณริงกิงอิมพัลซ์ (Ringing Impulse) ขึ้นตรงตำแหน่งที่มีการเปลี่ยนสถานะของสัญญาณดิจิตอล (ซึ่งเป็นตำแหน่งที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สอดคล้องกับการเปลี่ยนสถานะของสัญญาณนาฬิกาเดิมของระบบ) ดังรูปที่ 2.9 (b)จากนั้นจะนำสัญญาณริงกิงอิมพัลซ์ไปกระตุ้นวงจรจูน LC ซึ่งจูนความถี่เรโซแนนซ์ ขณะเดียวกันเมื่อเวลาผ่านไปแอมปลิจูดของสัญญาณจะลดลงไปเรื่อยๆแบบเอ็กโปเนนเชียลดังรูป 2.9 (c) จนกว่าจะถูกกระตุ้นด้วยอิมพัลซ์ใหม่ เรียกสัญญาณในจุดนี้ว่า LC ริงกิงคล็อก (LC ringing clock) จากนั้นจะนำสัญญาณที่ได้เข้าสู่วงจรลิมิตเตอร์เพื่อปรับแอมปลิจูดให้เสมอกัน และเปลี่ยนให้เป็นสัญญาณสี่เหลี่ยม ดังรูป 2.10 (d) เรียกสัญญาณนี้ว่า ริงกิงคล็อก (RInging clock) ซึ่งจะใช้เป็นสัญญาณนาฬิกาของระบบต่อไป

ปัญหาในระบบการแยกสัญญาณนาฬิกาที่ใช้วงจรจูน LC

ปัญหาที่เกิดขึ้นสำหรับการใช้วงจรจูน LC คือ ซิสเต็มเมติกซ์จิทเตอร์ ซึ่งมีสาเหตุใหญ่ๆ 3 ประการ คือ

1) ความไม่สมบูรณ์ของวงจรจูน LC จากรูป 2.9 (c) เมื่อวงจรจูนถูกกระตุ้นด้วยอิมพัลซ์ วงจรจะออสซิลเลตที่ความถี่ที่อัตราส่งข้อมูล f_0 เมื่อเวลาผ่านไปหลังจากถูกกระตุ้นแล้วความถี่เดิม f_0 จะเลื่อนออกไปเป็น f_T พร้อมกับแอมปลิจูดลดลงแบบเอ็กโปเนนเชียลซึ่งเป็นธรรมชาติของวงจรจูน LC ในทางปฏิบัติความถี่ของวงจรจูนจะกลับมาเป็น f_0 อีกครั้งเมื่อวงจรถูกกระตุ้นด้วยอิมพัลซ์ตัวใหม่ ผลของการเลื่อนออกไปของความถี่จาก f_0 เป็น f_T ทำให้เกิดการเลื่อนออกไปของเฟสของสัญญาณนาฬิกาที่แยกออกมาได้ ยิ่งถ้าอิมพัลซ์ทิ้งช่วงห่างกันมากยิ่งขึ้นการเลื่อนออกไปของความถี่ก็จะมากยิ่งขึ้นเฟสก็จะเลื่อนมากขึ้นตามไปด้วยผลจากการทิ้งช่วงห่างของอิมพัลซ์แสดงให้เห็นว่าแพทเทอร์นข้อมูลมีส่วนอย่างมากต่อการเกิดจิทเตอร์ประเภทนี้ เรียกจิทเตอร์ที่เกิดจากสาเหตุนี้ว่า แพทเทอร์นอินดิวซ์จิทเตอร์ (Pattern-induced Jitter) การเปลี่ยนแปลงของแอมปลิจูดสัญญาณจากเล็กมาใหญ่ทันทีที่ถูกกระตุ้นด้วยอิมพัลซ์ ก็ทำให้เกิดการเลื่อนของเฟสเช่นเดียวกัน (จิทเตอร์แบบ B)

2) การอิควอไลซ์รูปทรงของสัญญาณ สัญญาณที่ถูกอิควอไลซ์อย่างไม่เหมาะสมและสัญญาณรบกวน ทำให้รูปคลื่นสัญญาณเกิดการผิดเพี้ยนเลยเข้าไปในช่องเวลาข้างเคียงก่อให้เกิดการรบกวนที่เรียกว่า ISI (Intersymbol Interference) เป็นผลให้เกิดจิทเตอร์ (แบบ B) เช่นกัน

3) รูปแบบของพัลซ์แพทเทอร์น (Pulse Pattern) ซึ่งเกี่ยวพันกับสาเหตุที่ 1 แพทเทอร์นบางรูปแบบมีความหนาแน่นของการเปลี่ยนสถานะของพัลซ์มากทำให้เกิดอิมพัลซ์มากการเลื่อนออกไปของความถี่ของวงจรจูนจึงน้อย แต่แพทเทอร์นบางแบบมีความหนาแน่นของการเปลี่ยนสถานะของพัลซ์น้อยจึงทำให้การเลื่อนออกไปของความถี่มีมาก ซึ่งการเปลี่ยนแปลงที่กล่าวมานี้ย่อมมีผลต่อปริมาณจิทเตอร์ด้วยเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนวทางการแก้ปัญหาจะกล่าวตามสาเหตุที่ได้แจกแจงมาแล้ว (ยกเว้นสาเหตุที่ 2) ดังนี้

1) ปัญหาจากความไม่สมบูรณ์ของวงจรจูนและการแก้ไข

พิจารณาความสัมพันธ์ระหว่างปริมาณจิทเตอร์และความถี่ที่เลื่อนออกไป คือ

$$J_A \propto \sqrt{Q} \times (\Delta f / f_0) \qquad (2.2)$$

โดย J_A = ขนาดของจิทเตอร์

Q = ตัวประกอบคุณภาพ Q (Quality Factor) ของวงจรจูน

$\Delta f = |f_0 - f_T|$

f_0 = ความถี่กลางที่ไม่มีจิทเตอร์

จากสมการ (2.2) การเพิ่มค่า Q ของวงจรจูนให้มีค่าสูงที่สุดจะทำให้ Δf มีค่าเล็กที่สุดได้นอกจากนี้การเพิ่มค่า Q ยังทำให้การลดลงแบบเอ็กโปเนนเชียลของแอมปลิจูดสัญญาณช้าลงด้วยซึ่งเทคนิควิธีนี้เป็นวิธีที่ใช้ในปัจจุบัน แนวทางในการที่จะเพิ่มค่า Q นั้นสามารถทำได้โดยพิจารณาสมมูลวงจรจูน LC ดังรูป 2.11 ซึ่งมีฟังก์ชันถ่ายโอน (Transfer Function) ในกรอบของลาปลาซเป็น

$$H(s) = (1/C) \times (s/(s^2 + 2\alpha s + \omega_0^2)) \qquad (2.3)$$

เมื่อแปลงลาปลาซผกผันจะได้แรงดันเอาท์พุทเชิงเวลาเป็น

$$V(t) = u(t) \times (1/C) \times e^{-\alpha t} \cos(\omega t + \phi) \qquad (2.4)$$

$$\phi = \sin^{-1}(\alpha/\omega_0) \qquad (2.5a)$$

$$\omega_d = \sqrt{(\omega_0^2 + \alpha^2)} \quad , \omega_0 > \alpha \qquad (2.5b)$$

$$\omega_d = \alpha \sqrt{(4Q^2 - 1)} \quad , \ Q > 1/2 \qquad (2.5c)$$

$$Q = \omega_0 / 2\alpha \qquad (2.5d)$$

$$\omega_0 = 1/\sqrt{(LC)} \qquad (2.5e)$$

$$\alpha = 1/2R_iC \qquad (2.5f)$$

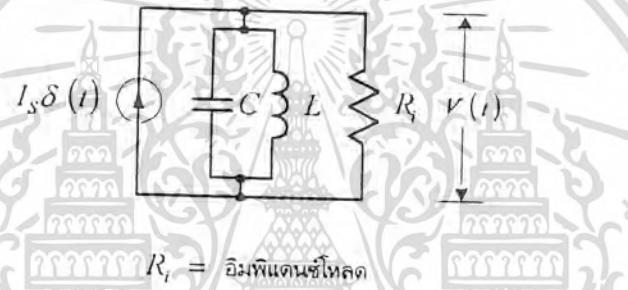
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย ω_d = ความถี่เรโซแนนซ์ของวงจรจูนซึ่งปรับไว้ที่อัตราส่งข้อมูล

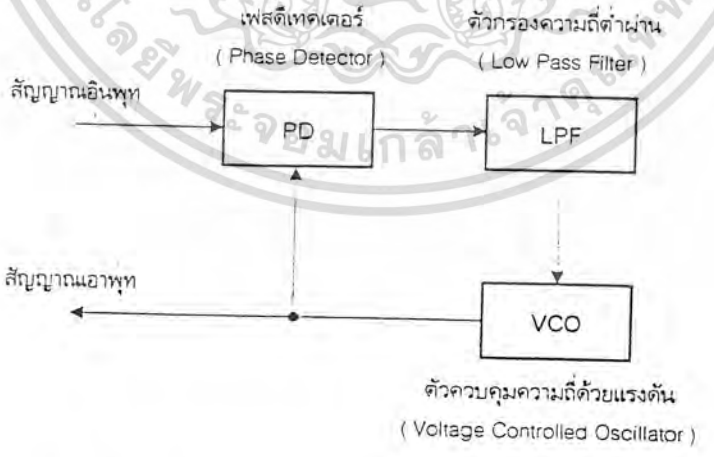
Q = ตัวประกอบคุณภาพของวงจรจูน LC

R_i = อิมพิแดนซ์โหลด

ดังนั้นเมื่อพิจารณาจากสมการ (2.5d) และ(2.5f) แล้วการที่จะทำให้ค่า Q ของวงจรจูนมีค่ามากที่สุดคือ การพยายามทำให้ α มีค่าเล็กที่สุดซึ่งก็คือการเลือกให้ C มีค่ามากที่สุดที่จะเป็นได้และพยายามทำให้ Ri มีค่ามากที่สุดซึ่งสำหรับ Ri อาจเลือกใช้บัฟเฟอร์ที่อินพุทเป็นชิ้นส่วนจำพวกเฟ็ต เป็นต้น การเลือกใช้ค่า C มากๆนอกจากจะทำให้ค่า Q มีค่าสูงขึ้นแล้วยังทำให้การลดค่าลงตามเวลาของเทอม $e^{-\alpha t}$ ในสมการ (2.4) ช้าลงด้วยหมายความว่า แอมปลิจูดของสัญญาณจะลดค่าช้าลงทำให้ผลกระทบจากพัลซ์แพทเทอร์นน้อยลงด้วย



รูปที่ 2.11 สมมูลวงจรจูน LC



รูปที่ 2.12 ไดอะแกรมของระบบเฟสล็อคลูป

แต่อย่างไรก็ดี ในทางปฏิบัติการพยายามเพิ่มค่า Q ของวงจรจูนมักจะทำได้ไม่สูงมากนักเนื่องจากเกี่ยวข้องกับปัจจัยทางกายภาพเช่น วัสดุที่ใช้ประกอบเป็นตัวเก็บประจุและตัวเหนี่ยวนำและยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

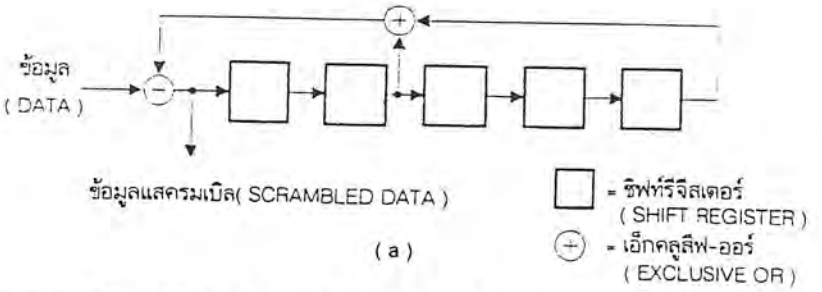
เกี่ยวข้องกับอิมพีแดนซ์ของโหลดด้วย เทคนิคอย่างหนึ่งที่สามารถเพิ่มค่า Q ของระบบให้สูงขึ้นได้อย่างมากคือ การใช้วงจรกรองหรือวงจรกรองเสมือนที่มีค่า Q สูงๆมาต่อเพิ่ม วงจรกรองที่ใช้ในงานประเภทนี้จะใช้ระบบเฟสล็อคลูป ,PLL (Phase Locked Loop) ซึ่งจะเป็นระบบที่สร้างได้ง่ายและช่วงความถี่สอดคล้องกับข้อกำหนดในงานวิจัยนี้คือ อัตราส่งข้อมูลเป็น 16.64 Mbps (ใช้จริง 17.43 Mbps) ไดอะแกรมแสดงในรูป 2.12 ระบบ PLL ที่นำมาประยุกต์ใช้ในการแยกสัญญาณนาฬิกาจะต้องเป็น PLL ที่มีแถบความถี่แคบเป็นพิเศษ ซึ่งทำได้โดยการกำหนดให้ภาคควบคุมความถี่ด้วยแรงดัน ,VCO (Voltage Controled Oscillator) กำเนิดความถี่ด้วยผลึกแร่ (Crystal Oscillator) ซึ่งจะเรียก VCO แบบนี้ใหม่ว่า VCXO (Voltage Controled X'tal Oscillator) ด้วยคุณสมบัติเด่นของผลึกแร่คือ มีค่า Q สูงมากดังนั้น การเบี่ยงเบนความถี่ธรรมชาติของผลึกแร่จึงทำได้น้อยมากเป็นผลให้แถบความถี่ในการทำงานของ PLL แคบมาก

2) ปัญหาเกี่ยวกับรูปแบบของพัลซ์แพทเทอร์นและการแก้ไข

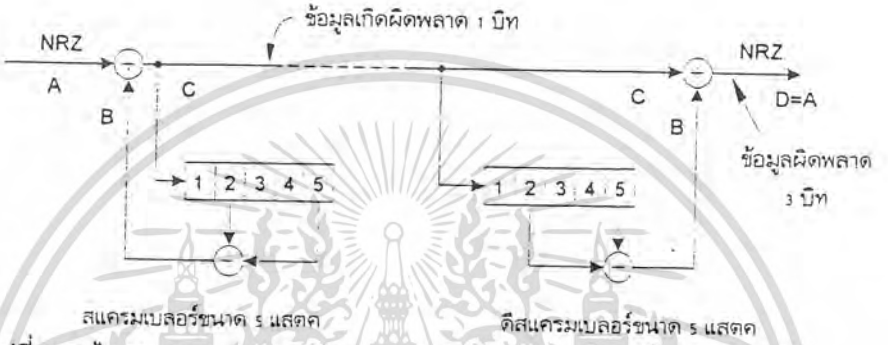
ถ้าสามารถทำให้ขบวนพัลซ์ข้อมูลที่ส่งออกไปมีลักษณะเป็นค่าเชิงสุ่ม หรือ แรนดอมไม่เป็นแพทเทอร์นที่มีลักษณะซ้ำๆเป็นชุดๆ ซึ่งถือเป็นลักษณะแพทเทอร์นที่สร้างเงื่อนไขที่แย่ที่สุดในการแยกสัญญาณนาฬิกาแล้ว จิทเตอร์ต่างๆก็สามารถจะถูกเฉลี่ยเข้าสู่ค่าแน่นอนเล็กๆ ค่าหนึ่งวิธีที่ใช้ในทางปฏิบัติคือการใช้ตัว สแครมเบลอร์ (Scrambler) ประมวลผลขบวนข้อมูลใหม่ก่อนถูกส่งออก ขบวนข้อมูลใหม่ที่ได้จะมีลักษณะเข้าใกล้ค่าเชิงสุ่มมาก หลักการของการสแครมเบิลคือการสร้างขบวนสัญญาณที่มีลักษณะเป็นค่าเชิงสุ่มเรียกว่า ลำดับฐานสองเชิงสุ่มเทียม ,PRBS (Pseudorandom Binary Sequence) มาทำการเอ็กซ์คลูสีฟ-ออร์ (XOR) กับขบวนข้อมูลผลที่ได้คือขบวนข้อมูลใหม่ที่มีข้อมูลข่าวสารอยู่ด้วยและมีลักษณะเป็นค่าเชิงสุ่ม ไดอะแกรมของตัวสแครมเบลอร์แสดงในรูปที่ 2.13 ซึ่งมีอยู่ 2 แบบคือ เซลฟ์ซิงโครไนซิ่งสแครมเบลอร์ (Self-Synchronizing Scrambler) และเซ็ต-รีเซ็ตสแครมเบลอร์ (Set-Reset Scrambler) สแครมเบลอร์ทั้ง 2 แบบให้ฟังก์ชันการทำงานที่เหมือนกันแต่ในทางปฏิบัติมักจะเลือกใช้แบบเซลฟ์ซิงโครไนซ์ เนื่องจากแบบเซ็ต-รีเซ็ต จะเกิดปัญหาในการซิงโครไนซ์ระหว่างตัวสแครมเบลอร์ทางด้านส่งและตัวดีสแครมเบลอร์ทางด้านรับ แต่สแครมเบลอร์แบบเซลฟ์ซิงโครไนซ์ก็มีข้อเสียเช่นเดียวกันคือ เกิดความผิดพลาดขยาย (Error expansion)

อย่างไรก็ดีถึงแม้ว่าการใช้ตัวสแครมเบลอร์จะให้ข้อดีหลายๆอย่างโดยเฉพาะการลดทอนซิสเต้มเมติกจิทเตอร์ และการแยกสัญญาณนาฬิกา แต่ต้องมีความระมัดระวังในการเลือกใช้เนื่องจากว่าถ้ามีการผิดพลาดของข้อมูลเกิดขึ้นหลังจากที่ข้อมูลถูกส่งออกไปแล้ว (เกิดขึ้นขณะข้อมูลกำลังเดินทางไปยังเครื่องรับ) ตัวดีสแครมเบลอร์ที่เครื่องรับ (Descrambler) ซึ่งทำหน้าที่แปลงข้อมูลที่ถูกสแครมบลิ้งให้กลับมาอยู่ในรูปปกติ (NRZ-L) จะทำให้ข้อมูลมีความผิดพลาดมากยิ่งขึ้นอีก $w+1$ เท่าโดย w คือจำนวนจุดที่ถูกแทปออกมาจากชุดชีฟท์รีจีสเตอร์ ซึ่งอธิบายกลไกการเกิดการผิดพลาดที่เพิ่มขึ้นได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 (a) เซลฟ์ซิงโครไนซิงสแครมเบลอร์ (Self-Synchronizing Scrambler)



รูปที่ 2.14 ไดอะแกรมแสดงการนำระบบการสแครมเบลอร์และดีสแครมเบลอร์ขนาด 5 สแตคมาใช้กับระบบสื่อสารข้อมูล

จากรูป 2.14 ซึ่งเป็นไดอะแกรมแสดงการนำระบบการสแครมเบลอร์และดีสแครมเบลอร์ขนาด 5 สแตคมาใช้กับระบบสื่อสารข้อมูล จะเห็นว่าเมื่อเกิดการผิดพลาดขึ้น 1 บิทระหว่างการส่งเมื่อบิทข้อมูลที่ผิดพลาดเดินทางมาถึงตัวดีสแครมเบลอร์ที่เครื่องรับ ส่วนหนึ่งจะไปปรากฏที่เอาท์พุททันทีโดยผ่านตัว XOR อีกส่วนหนึ่งถูกเก็บเข้าชีฟท์รีจิสเตอร์ เนื่องจากชุดชีฟท์รีจิสเตอร์มีจุดแทปออกมา 2 จุด ดังนั้นเมื่อบิทที่ผิดพลาดถูกเลื่อนไปจนครบทุกสแตคย่อมจะไปปรากฏที่เอาท์พุท 2 ครั้งโดยผ่านทางจุดแทปทั้งสอง จึงรวมบิทผิดพลาดเป็น 3 บิทดังนั้นถ้าระหว่างทางเกิดการผิดพลาดขึ้น m บิทเมื่อผ่านตัวดีสแครมเบลอร์แล้วความผิดพลาดจะเป็น $m(w+1)$ บิทโดย w เป็นจำนวนแทป

จากที่กล่าวมาจะเห็นว่า ความผิดพลาดจะเกิดเพิ่มมากขึ้นตามจำนวนแทป ดังนั้นหลักเกณฑ์ในการเลือกตัวสแครมเบลอร์คือ

1) สำหรับสแครมเบลอร์ที่มีจำนวนสแตค n เท่ากันควรเลือกตัวที่การแทปออกน้อยที่สุด

2) สำหรับสแครมเบลอร์ที่มีจำนวนแทปเท่ากันแล้วควรเลือกตัวที่มีจำนวนสแตคมากกว่า

ส่วนการดีสแครมเบลอร์สามารถพิสูจน์ได้ด้วยสมการสั้นๆง่ายๆจากรูป 2.14 ดังนี้

$$D = C + B = (A + B) + B = A \qquad \text{ในกรอบ GF(2)}$$

สำหรับในงานวิจัยนี้เลือกใช้เซลฟ์ซิงโครไนซ์สแครมเบลอร์ ขนาด 5 สแตคดังรูปที่ 2.14 มีแทปโพลิโนเมียลเป็น $\phi(x) = x^5 + x^2 + 1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ระบบส่งข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา
(TDM Video and Voice Data Transmission System)

3.1 การดิจิไทซ์สัญญาณภาพ

การดิจิไทซ์เป็นกระบวนการแปลงสัญญาณภาพซึ่งเป็นสัญญาณอนาลอกให้เป็นข้อมูลดิจิตอลโดยเก็บไว้ในหน่วยความจำ

เนื่องจากสัญญาณภาพจากกล้องวีดีโอเป็นสัญญาณอนาลอก ดังนั้นการที่จะเก็บข้อมูลภาพเหล่านี้ไว้ในหน่วยความจำได้ จำเป็นจะต้องทำการแปลงให้เป็นข้อมูลดิจิตอลก่อน

3.1.1 สัญญาณโทรทัศน์ระบบ PAL

สัญญาณโทรทัศน์ระบบ PAL ที่ใช้ในประเทศไทยมีรายละเอียดดังนี้

จำนวนเส้นต่อเฟรมภาพ	625	เส้น
จำนวนเฟรมภาพต่อวินาที	25	ภาพ
จำนวนฟิลด์ภาพต่อวินาที	50	ฟิลด์
ความถี่หักเหแนวนอน	15,625	เฮิร์ท

สัญญาณภาพระบบ PAL เป็นระบบภาพ 625 เส้น อัตราภาพ 25 เฟรมภาพต่อวินาทีโดยใน 1 เฟรมภาพ ประกอบด้วย 2 ฟิลด์ภาพ เป็นฟิลด์ภาพคี่และฟิลด์ภาพคู่

มาตรฐานรูปคลื่นของสัญญาณภาพระบบ PAL แสดงดังรูปที่ 3.1 ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วนคือ

1. สัญญาณลูมิแนนซ์ เป็นสัญญาณส่วนที่นำไปแสดงบนจอภาพจริงๆ ซึ่งส่วนนี้เองที่จะถูกแปลงเป็นข้อมูลดิจิตอลเพื่อนำไปเก็บในหน่วยความจำ คาบของสัญญาณมีค่าประมาณ 53.1 uS

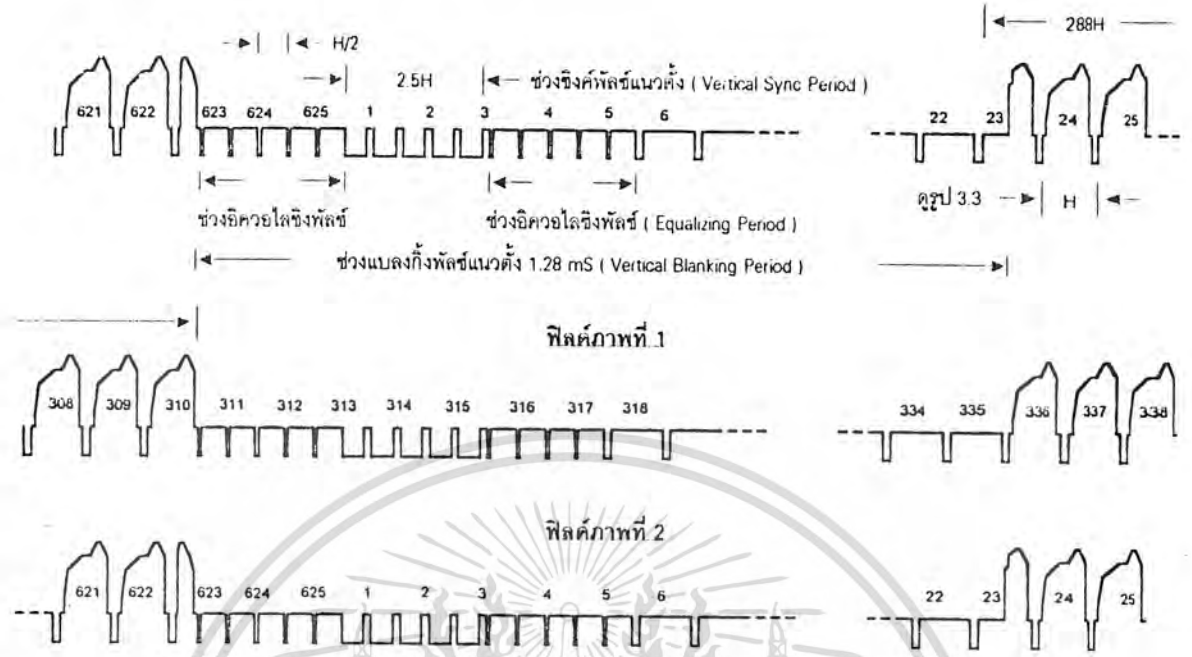
2. สัญญาณซิงค์พัลซ์ เป็นสัญญาณที่กระตุ้นให้วงจรภายในเครื่องรับโทรทัศน์สบัดเส้นกลับมี 2 สัญญาณ คือ

- สัญญาณซิงค์แนวนอน เป็นสัญญาณที่กระตุ้นให้มีการสบัดเส้นกวาดกลับมาด้านซ้ายของจอภาพ
- สัญญาณซิงค์แนวตั้ง เป็นสัญญาณที่กระตุ้นให้มีการสบัดเส้นกลับขึ้นไปด้านบนของจอภาพ

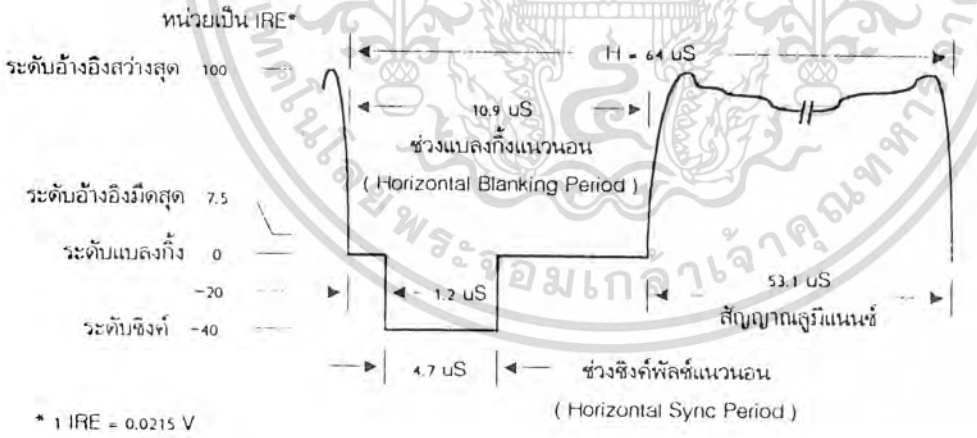
3. สัญญาณแบลงกิ้ง เป็นสัญญาณที่กระตุ้นให้เกิดการดับเส้นกวาดบนจอภาพในขณะกำลังสบัดเส้นกลับ มี 2 สัญญาณ คือ

- สัญญาณแบลงกิ้งแนวนอน ทำหน้าที่ดับเส้นสบัดกลับในแนวนอน
- สัญญาณแบลงกิ้งแนวตั้ง ทำหน้าที่ดับเส้นสบัดกลับในแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดงรายละเอียดสัญญาณภาพมาตรฐาน PAL



รูปที่ 3.2 แสดงรายละเอียดใน 1 เส้นกวาดแนวนอนซึ่งประกอบด้วยสัญญาณซิงค์ สัญญาณแบลงกิ้ง และสัญญาณลูมิแนนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 การดิจิไทซ์สัญญาณภาพ

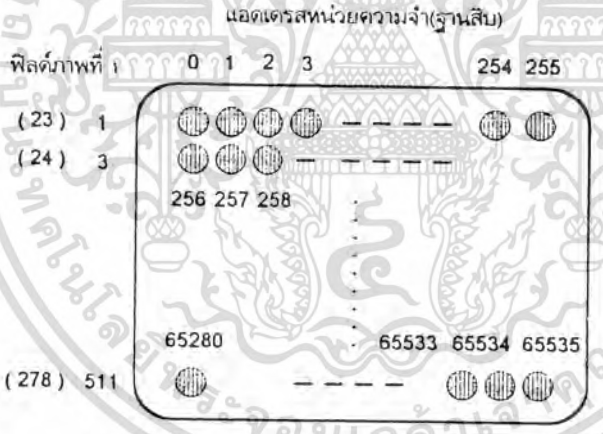
เส้นกวาดแนวนอนที่จะนำไปแสดงบนจอภาพจริงๆนั้นคือ เส้นกวาดที่มีสัญญาณลูมิแนนซ์อยู่ซึ่งในแต่ละฟิลด์จะมีเพียง 287.5 เส้น สัญญาณส่วนนี้จะถูกแปลงเป็นข้อมูลดิจิตอลแต่เนื่องจากว่าแต่ละฟิลด์ภาพที่อยู่ติดกันมีความหมายใกล้เคียงกันมาก ดังนั้นการเก็บข้อมูลภาพครบ 1 ภาพจะทำการเก็บจากฟิลด์ภาพเพียงฟิลด์เดียวเท่านั้น

สำหรับโครงงานนี้กำหนดให้ภาพมีขนาด 256×256 จุดภาพ หมายความว่าในแต่ละเส้นแนวนอนของสัญญาณภาพ (เฉพาะสัญญาณลูมิแนนซ์) จะทำการเก็บข้อมูลจำนวน 256 จุด และจะทำการเก็บเพียง 256 เส้นแนวนอนเท่านั้น โดยเริ่มเก็บจากเส้นแรกของฟิลด์ และแต่ละจุดภาพแปลงเป็นข้อมูลดิจิตอลขนาด 8 บิท ดังนั้นข้อมูล 1 ภาพจะใช้หน่วยความจำในการเก็บขนาด

$$256 \times 256 = 65536 \text{ byte}$$
$$= 64 \text{ Kbyte}$$

จากรูป 3.2 สัญญาณลูมิแนนซ์ใน 1 เส้นแนวนอนมีคาบเป็น 53.1 uS โดยในคาบเวลานี้จะเก็บข้อมูลจำนวน 256 ค่า ดังนั้นคาบการสุ่มสัญญาณจะเป็น

$$53.1/256 = 0.207 \text{ uS}$$



รูปที่ 3.3 แสดงตำแหน่งในหน่วยความจำ จุดการเก็บข้อมูล และหมายเลขเส้นกวาดในฟิลด์ที่ 1

หรืออัตราการสุ่มสัญญาณ

$$1/0.207 = 4.83 \text{ MHz}$$

หรือประมาณ 5 MHz

การเริ่มต้นทำการแปลงทำได้โดยการตรวจสอบสัญญาณแบลงกิ้งแนวตั้ง เนื่องจากส่วนที่ตามหลังสัญญาณนี้มาก็คือจุดเริ่มต้นของฟิลด์ภาพ เมื่อเริ่มต้นทำการแปลงจะต้องคอยนับจำนวนเส้นกวาดแนวนอนโดยนับจากสัญญาณแบลงกิ้งแนวนอน เมื่อนับครบ 256 ก็เป็นการเก็บข้อมูล

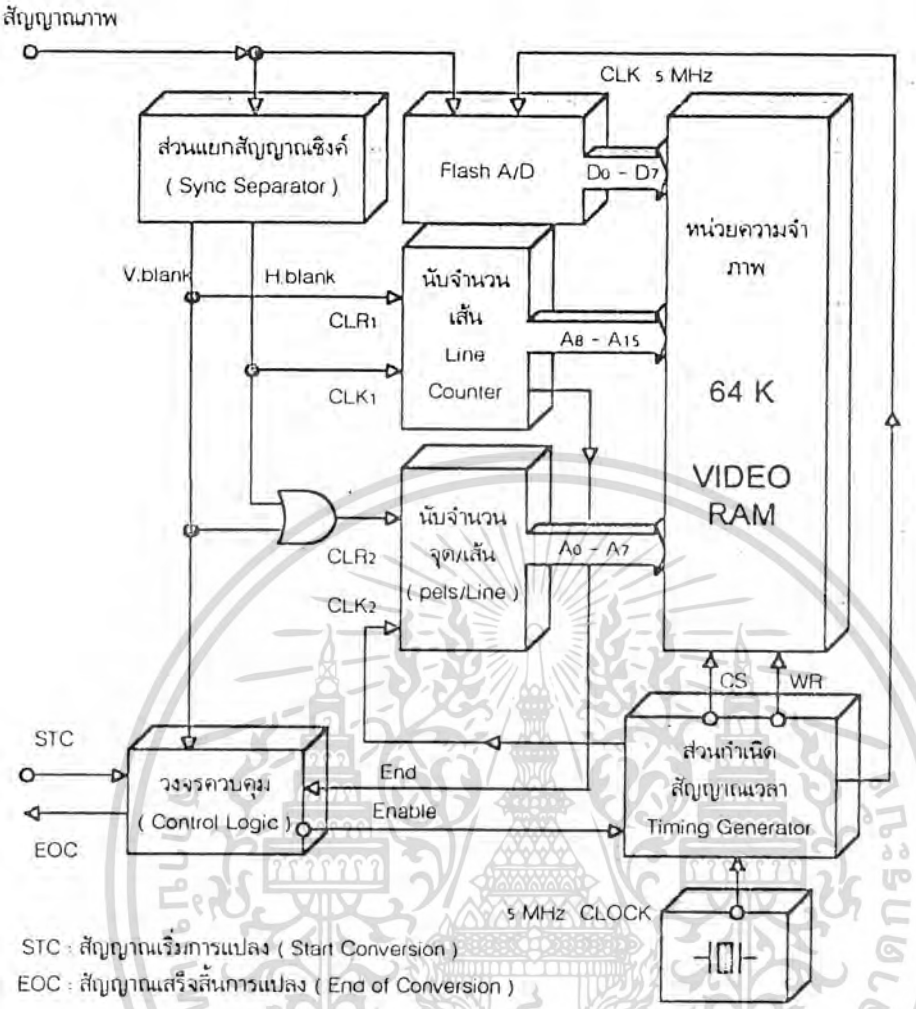
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.3 หลักการดิจิไทซ์สัญญาณภาพ

ไดอะแกรมที่นำไปเป็นแนวในการใช้งานจริงมีรายละเอียดของส่วนประกอบและสัญญาณต่างๆดังนี้

- 1. ส่วนแยกสัญญาณซิงค์ (Sync Separator) ทำหน้าที่แยกสัญญาณซิงค์และแบลงกิ้งทั้งแนวนอนและแนวตั้งจากสัญญาณภาพ
- 2. ส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเฟลช (Flash A/D) ซึ่งเป็นระบบแปลงความเร็วสูงสามารถแปลงค่าเป็นดิจิตอลเสร็จภายใน 1 คาบสัญญาณนาฬิกาเอาท์พุทที่ได้เป็นข้อมูลขนาด 8 บิท
- 3. ส่วนนับจำนวนเส้นกวาด (Line Counter) เป็นวงจรนับขนาด 8 บิท ทำหน้าที่นับจำนวนเส้นกวาดแนวนอน
- 4. ส่วนนับจำนวนจุดต่อเส้น (Pels/Line Counter) เป็นวงจรนับขนาด 8 บิท ทำหน้าที่นับจำนวนจุดในแต่ละเส้นกวาดแนวนอน
- 5. ส่วนกำเนิดสัญญาณเวลา (Timing Generator) ส่วนกำเนิดสัญญาณเวลาทำหน้าที่สร้างสัญญาณเวลาต่างๆเช่น สัญญาณเขียนหน่วยความจำ สัญญาณเลือกหน่วยความจำ สัญญาณนาฬิกาสำหรับ Flash A/D โดยจะทำงานเมื่อได้รับสัญญาณอินาเบิลจากวงจรควบคุม
- 6. วงจรควบคุม (Control Logic) ทำหน้าที่สั่งงานวงจรทั้งหมดให้เริ่มหรือหยุดทำงานโดยติดต่อกับสัญญาณร้องขอจากภายนอกและสัญญาณสิ้นสุดการแปลงจากวงจรนับจำนวนเส้นกวาดแนวนอน
- 7. หน่วยความจำขนาด 64 K
- 8. สัญญาณ End เป็นสัญญาณจากวงจรนับจำนวนเส้นกวาดแนวนอน เพื่อแจ้งให้วงจรควบคุมทราบว่า การแปลงเส้นกวาดเส้นสุดท้ายเสร็จสิ้นแล้ว
- 9. สัญญาณ STC (Start Conversion) เป็นสัญญาณร้องขอจากระบบภายนอกให้ทำการแปลงข้อมูล
- 10. สัญญาณ EOC (End of Conversion) เป็นสัญญาณตอบให้ระบบภายนอกทราบว่าการแปลงเสร็จสิ้นแล้ว
- 11. สัญญาณ CLK เป็นสัญญาณนาฬิกาสำหรับวงจรนับ เมื่อมีสัญญาณนี้เกิดขึ้นวงจรนับจะมีค่าเพิ่มขึ้นหนึ่ง
- 12. สัญญาณ CLR เป็นสัญญาณเคลียร์วงจรนับ
- 13. สัญญาณอินาเบิล เป็นสัญญาณที่สั่งให้วงจรกำเนิดสัญญาณเวลาทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 ไดอะแกรมแสดงการดิจิไทซ์สัญญาณภาพ

การทำงานของระบบจะเริ่มจากการมีสัญญาณร้องขอจากภายนอก ,STC มายังส่วนควบคุม เมื่อส่วนควบคุมได้รับสัญญาณ STC แล้วจะยังไม่มีการกระทำใดๆทั้งสิ้น แต่จะรอสัญญาณ V.blank อีกสัญญาณ เนื่องจากส่วนที่ตามหลัง V.blank จะเป็นจุดเริ่มต้นของฟิลด์ภาพ เมื่อได้รับสัญญาณ V.blank แล้ว ระบบควบคุมก็จะส่งสัญญาณอินาเบิลไปยังส่วนกำเนิดสัญญาณเวลาให้เริ่มทำงาน ระบบจึงเริ่มทำการแปลง โดยสัญญาณลูมิแนนซ์แรกจะถูกแปลงเป็นข้อมูลดิจิตอลโดย Flash A/D ขณะเดียวกันส่วนกำเนิดสัญญาณเวลาก็จะกำเนิดสัญญาณเลือกหน่วยความจำ , สัญญาณเขียนหน่วยความจำ รวมทั้งสัญญาณ CLK2 เพื่อกระตุ้นวงจรนับจำนวนจุดให้เพิ่มค่าแอดเดรส A0—A7 เพื่อเปลี่ยนตำแหน่งเก็บข้อมูลในหน่วยความจำพร้อมกันไปด้วย

เมื่อเส้นกวาดเส้นแรกถูกแปลงเสร็จเรียบร้อยแล้ว ในขณะเวลาที่ใกล้เคียงกันก็จะเกิดสัญญาณ H.blank สัญญาณนี้จะเป็นสัญญาณ CLK1 และ CLR2 ซึ่งจะไปกระตุ้นวงจรนับจำนวนเส้นให้เพิ่มค่าขึ้นหนึ่งเป็นการเพิ่มค่าแอดเดรส A8—A15 และเคลียร์วงจรนับจำนวนจุดให้เป็นศูนย์เพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มต้นนับจำนวนจุดในการแปลงค่าเส้นกวาดเส้นต่อไป กระบวนการนี้จะเกิดซ้ำไปเรื่อยๆจนกระทั่งเส้นกวาดเส้นสุดท้ายคือเส้นที่ 256 เสร็จสิ้นก็จะเกิดสัญญาณ End จากวงจรนับเส้นส่งมายังวงจรควบคุมจากนั้นวงจรควบคุมก็จะตัดสัญญาณอินาเบิล ซึ่งถูกส่งไปตั้งแต่เริ่มต้นแปลงข้อมูลทำให้ส่วนกำเนิดสัญญาณเวลาหยุดทำงาน ระบบการแปลงทั้งหมดจึงหยุดทำงานขณะเดียวกันจะส่งสัญญาณ EOC เพื่อแจ้งให้ระบบภายนอกทราบเป็นการเสร็จสิ้นกระบวนการแปลงข้อมูล 1 ภาพและรอการร้องขอจากระบบภายนอกครั้งต่อไป

3.2 ระบบส่งข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา

3.2.1 ข้อกำหนดและการจัดเฟรมข้อมูลของระบบ

ในการสื่อสารระบบมัลติเพล็กซ์แบบแบ่งเวลามีส่วนที่ต้องสื่อสารถึงกันคือ

- ข้อมูลข่าวสาร
- สัญญาณควบคุมและบริการ
- เฟรมอไลเมนต์เวอร์ด

ในระบบที่ได้ออกแบบสร้างนี้ส่วนของข้อมูลข่าวสารประกอบด้วยข้อมูลภาพขาวดำขนาด 256×256 จุดภาพ ความเข้ม 8 บิทต่อจุดภาพ และส่วนของข้อมูลเสียงทำการบีบอัดและคลายตามมาตรฐานของ CCITT แบบ A และเพื่อความสะดวกในการออกแบบและจัดเฟรมข้อมูลจะกำหนดให้ใน 1 เฟรมข้อมูล จะบรรจุข้อมูลภาพจำนวน 256 จุดภาพ หรือเท่ากับ 1 เส้นกวาดภาพแนวนอน ดังนั้นใน 1 เฟรมข้อมูลจะประกอบด้วยส่วนต่าง ๆ ดังนี้

ข้อมูลภาพ	256	ช่องเวลา
ข้อมูลเสียง	1	ช่องเวลา
สัญญาณควบคุมและบริการ	2	ช่องเวลา
FAW	1	ช่องเวลา

รวมแล้วใน 1 เฟรมข้อมูลจะประกอบด้วย 260 ช่องเวลาช่องเวลาละ 8 บิท แสดงรายละเอียดดังรูป 3.2.1

เพื่อความสะดวกในการแสดงเฟรมข้อมูลจึงแบ่งช่องเวลาทั้งหมดออกเป็นเพจเพจละ 4 ช่องเวลา ดังนั้นใน 1 เฟรมข้อมูลจึงแบ่งออกได้เป็น 65 เพจ เพจ 0 มี 4 ช่องเวลา ประกอบด้วยเวอร์ดต่างๆ ดังนี้

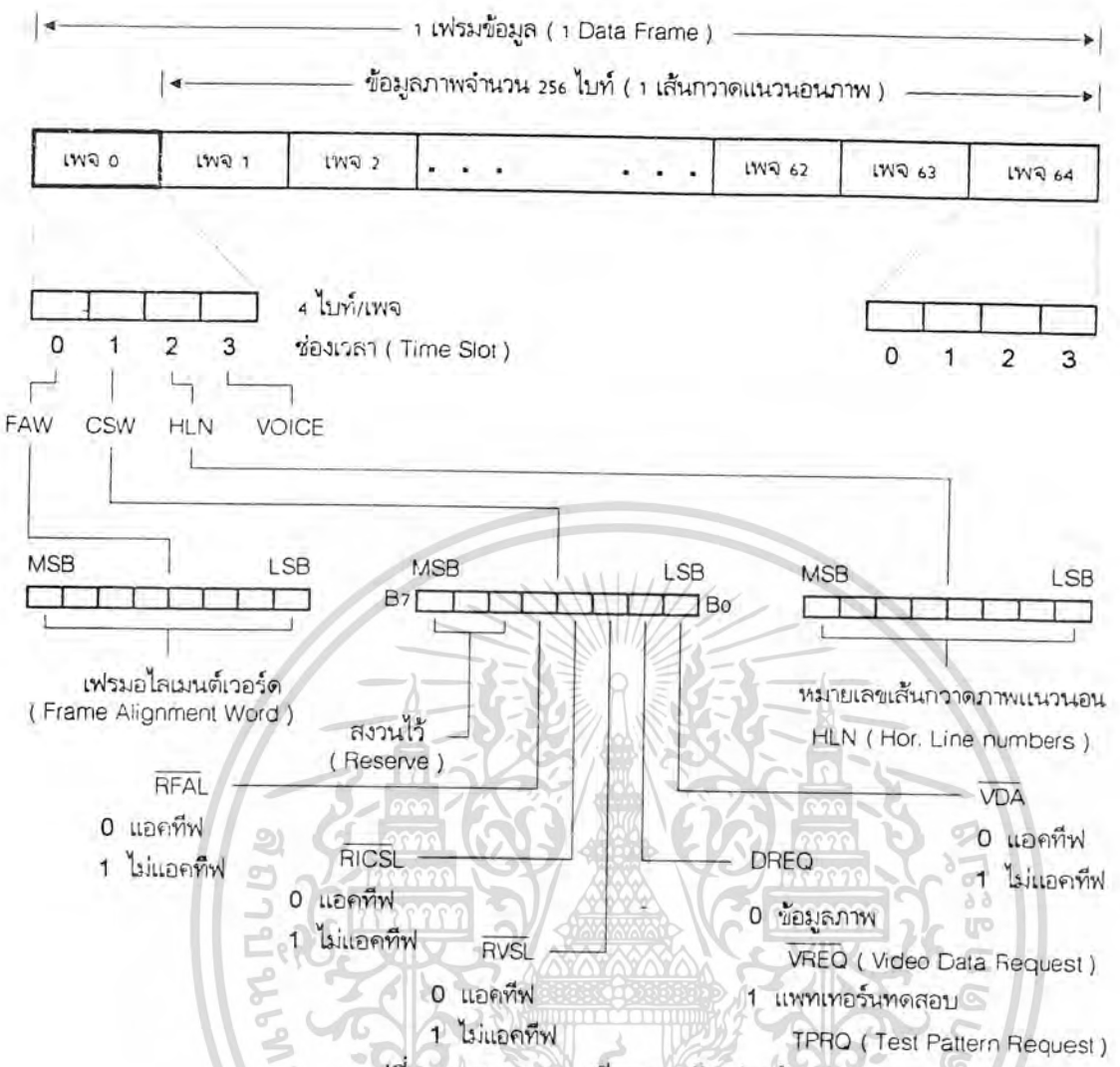
ช่องเวลา 0 เป็น FAW สำหรับการซิงโครไนซ์เฟรม กำหนดรหัสไว้เป็น 01001101

ช่องเวลา 1 เป็นเวอร์ดควบคุมและบริการ ,CSW (Control and Service Word) ใช้สำหรับส่งสัญญาณแจ้งเตือนและสัญญาณควบคุม

ช่องเวลา 2 เป็นส่วนเก็บหมายเลขเส้นกวาดแนวนอน ,HLN (Hor. Line Numbers) ของข้อมูลภาพในเพจ 1 ถึงเพจ 64ใช้สำหรับการระบุตำแหน่งการเก็บข้อมูลภาพลงในหน่วยความจำภาพ ,VD-RAM (Video RAM)

ช่องเวลา 3 เป็นส่วนเก็บข้อมูลเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงรายละเอียดการจัดเฟรมข้อมูล

จากช่องเวลาทั้ง 4 ที่กล่าวมามีช่องเวลาที่ 1 ซึ่งบรรจุบิทควบคุมและบริการมีรายละเอียดดังนี้

บิท B_0 VDA (Video Data Active) เป็นบิทควบคุมที่บอกให้ทราบว่าในเฟรมข้อมูลนั้นๆ มีข้อมูลภาพอยู่ด้วยหรือไม่ภาครับใช้บิทนี้ในการตรวจสอบว่าการส่งข้อมูลภาพครบ1 เฟรมภาพ (256 เฟรมข้อมูล) สมบูรณ์หรือยังโดยบิทนี้จะแอคทีฟตลอดตั้งแต่เส้นกวาดแรกจนเส้นกวาดสุดท้าย

0 มีข้อมูลภาพอยู่

1 ไม่มีข้อมูลภาพอยู่

บิท B_1 DREQ (Data Request) เป็นบิทบริการที่ใช้ร้องขอข้อมูลภาพจากคู่สถานี มีข้อมูล 2 ลักษณะคือ ข้อมูลภาพปกติ และแพทเทอร์นภาพทดสอบ

0 ข้อมูลภาพปกติ VREQ (Video Data Request)

1 แพทเทอร์นทดสอบ TPRQ (Test Pattern Requrst)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิท B_2 RVSL (Remote Video Signal Loss) เป็นบิทบริการที่ส่งมาจากคู่สถานีเพื่อแจ้งให้ทราบว่าสัญญาณภาพจากกล้องขาดหายหรือไม่

0 สัญญาณภาพจากกล้องขาดหาย

1 สัญญาณภาพปกติ

บิท B_3 RICSL (Remote Incoming Signal Loss) เป็นบิทบริการที่ส่งมาจากคู่สถานีเพื่อแจ้งให้ทราบว่า มีสัญญาณดิจิตอลปรากฏที่อินพุทภาครับหรือไม่

0 สัญญาณขาดหาย

1 สัญญาณปกติ

บิท B_4 RFAL (Remote Frame Alignment Loss) เป็นบิทบริการที่ส่งมาจากคู่สถานีเพื่อแจ้งให้ทราบถึงสภาพการอไลเมนต์เฟรม

0 สูญเสียสภาพการอไลเมนต์เฟรม

1 การอไลเมนต์เฟรมปกติ

บิท 5-บิท 7 สงวนไว้พัฒนาระบบ

การกำหนดบิทบริการขึ้นมาเพื่อสามารถวิเคราะห์หาสาเหตุได้ง่ายขึ้นเมื่อเกิดปัญหาการสื่อสารระหว่างคู่สถานีขึ้นมา

ส่วนอัตราความเร็วข้อมูลคำนวณได้จากสมการ

$$f_0 = m f_s (K+1)$$

โดยพิจารณาความเร็วจากช่องข้อมูลเสียงเป็นหลัก ซึ่งช่องข้อมูลเสียงได้จากการสุ่มสัญญาณเสียงด้วยความถี่ f_s=8kHz ความละเอียด m=8 บิท และใน 1 เฟรมข้อมูลมีช่องเวลา K=259 ช่องเวลา (ไม่รวม FAW) ดังนั้นอัตราความเร็วข้อมูลเป็น

$$f_0 = 8 \times 8 \times 260 = 16,640 \text{ kbps}$$

$$f_0 = 16.64 \text{ Mbps}$$

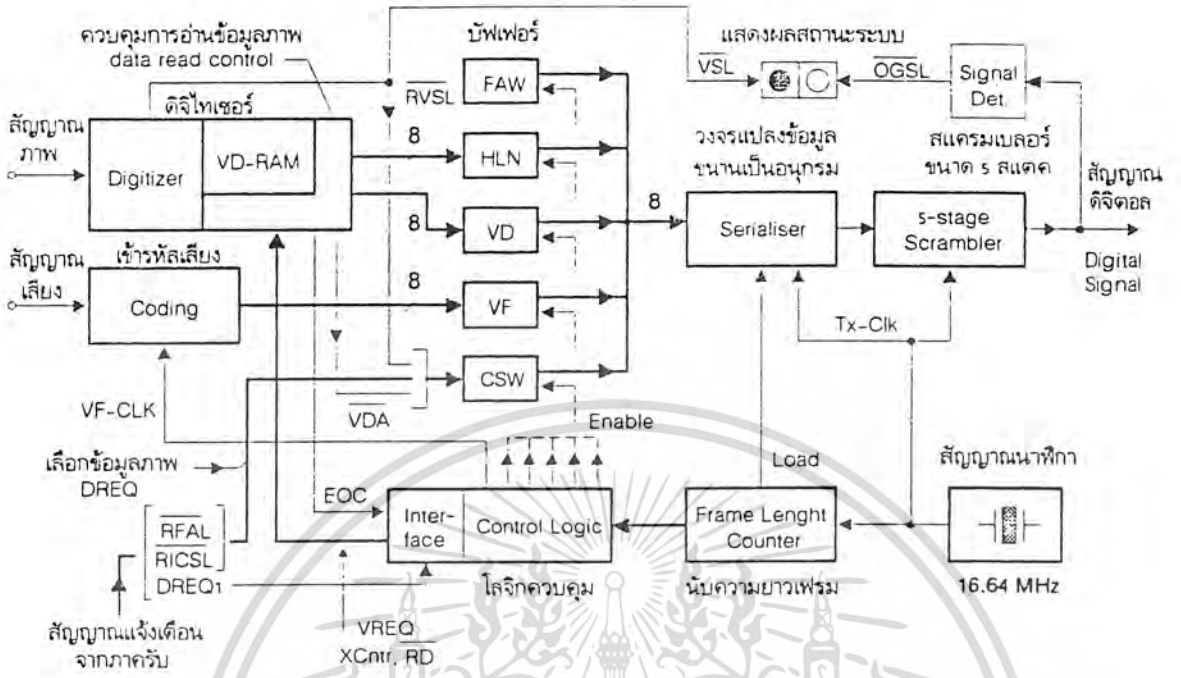
ซึ่งในการทดลองจริงใช้ 17.43 Mbps เนื่องจากเป็นตัวกำเนิดความถี่ที่มีค่าใกล้เคียงที่สามารถหาได้ในขณะนี้

3.2.2 ระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม (Transmitter System)

ในระบบส่งข้อมูลพอจะแบ่งเป็นส่วนต่างๆได้ดังนี้

1) ส่วนมัลติเพล็กซ์ข้อมูล ,MUX (Data Multiplexer) ซึ่งประกอบด้วยส่วนนับความยาวเฟรมส่วนกำเนิดสัญญาณควบคุมต่างๆเช่น สัญญาณแลทช์ , สัญญาณอินาเบิล เป็นต้น และส่วนที่ทำหน้าที่เชื่อมต่อระหว่างส่วนมัลติเพล็กซ์และส่วนดิจิไทซ์สัญญาณภาพ (VDG/MUX)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 ไดอะแกรมของระบบส่งข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา

2) ส่วนดิจิไทซ์สัญญาณภาพ ,VDG (Video Digitizer) ซึ่งประกอบด้วยส่วนกำเนิดสัญญาณเวลา ส่วนนับแอดเดรสหน่วยความจำ ส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบแฟลช และหน่วยความจำภาพ

3) ส่วนเข้ารหัสข้อมูลเสียง

4) ส่วนแปลงข้อมูลขนานเป็นอนุกรม ส่วนสแครมเบลอร์ขนาด 5 สแตค และตัวส่งทางแสง

การทำงานเริ่มจากตัวมัลติเพล็กซ์จะมัลติเพล็กซ์ข้อมูลจากบัฟเฟอร์ทั้ง 5 ตัว เข้าด้วยกันแบบขนานซึ่งที่จุดนี้จะมีอัตราข้อมูลเป็น 16.64/8 = 2.08 Mbytes/s จากนั้นจะถูกแปลงข้อมูลเป็นอนุกรมแล้วทำการสแครมเบลอร์ก่อนถูกส่งออกไป ขณะที่กระบวนการมัลติเพล็กซ์ดำเนินอยู่ ส่วนโลจิกควบคุมจะส่งสัญญาณร้องขอข้อมูลภาพไปยังตัวดิจิไทเซอร์ ตัวดิจิไทเซอร์ก็จะเริ่มทำการดิจิไทซ์สัญญาณภาพเก็บข้อมูลลงสู่หน่วยความจำภาพ เมื่อเสร็จสิ้นการแปลงตัวดิจิไทเซอร์จะส่งสัญญาณ EOC ตอบกลับมาจากนั้นส่วนโลจิกควบคุมจะส่งสัญญาณอ่านหน่วยความจำและสัญญาณนับแอดเดรสเพื่ออ่านข้อมูลภาพจากหน่วยความจำภาพเข้าสู่ส่วนมัลติเพล็กซ์ต่อไป

ในส่วนของตัวเข้ารหัสสัญญาณเสียงจะได้รับสัญญาณนาฬิกาเพื่อเป็นความถี่สุ่มและซิงโครไนซ์ข้อมูลกับตัวมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของเวอร์ดควบคุมและบริการ จะรับสัญญาณแจ้งเตือนจากจุดต่างๆของระบบดังนี้

- RVSL (Remote Video Signal Loss) ซึ่งเป็นสัญญาณเดียวกับ VSL (Video Signal Loss) เป็นสัญญาณที่ถูกส่งออกไปเพื่อแจ้งให้คู่สถานีทราบว่าสัญญาณจากกล้องยังมีอยู่หรือไม่
- RFAL (Remote Frame Alignment Loss) ซึ่งเป็นสัญญาณเดียวกับ FAL (Frame alignment Loss) เป็นสัญญาณที่ถูกส่งออกไปเพื่อแจ้งให้คู่สถานีทราบถึงการอไลเมนต์เฟรมของระบบรับ
- RICSL (Remote Incoming Signal Loss) ซึ่งเป็นสัญญาณเดียวกับ ICSL (Incoming Signal Loss) เป็นสัญญาณที่ถูกส่งออกไปเพื่อแจ้งให้คู่สถานีทราบถึงสภาพของสัญญาณดิจิตอลที่อินพุทของเครื่องรับว่าปรากฏอยู่หรือไม่
- DREQ (Data Request) เป็นสัญญาณร้องขอแบบของข้อมูลภาพ จากคู่สถานี ซึ่งมีอยู่ 2 แบบคือ ข้อมูลภาพปกติ และเพทเทอร์นทดสอบ

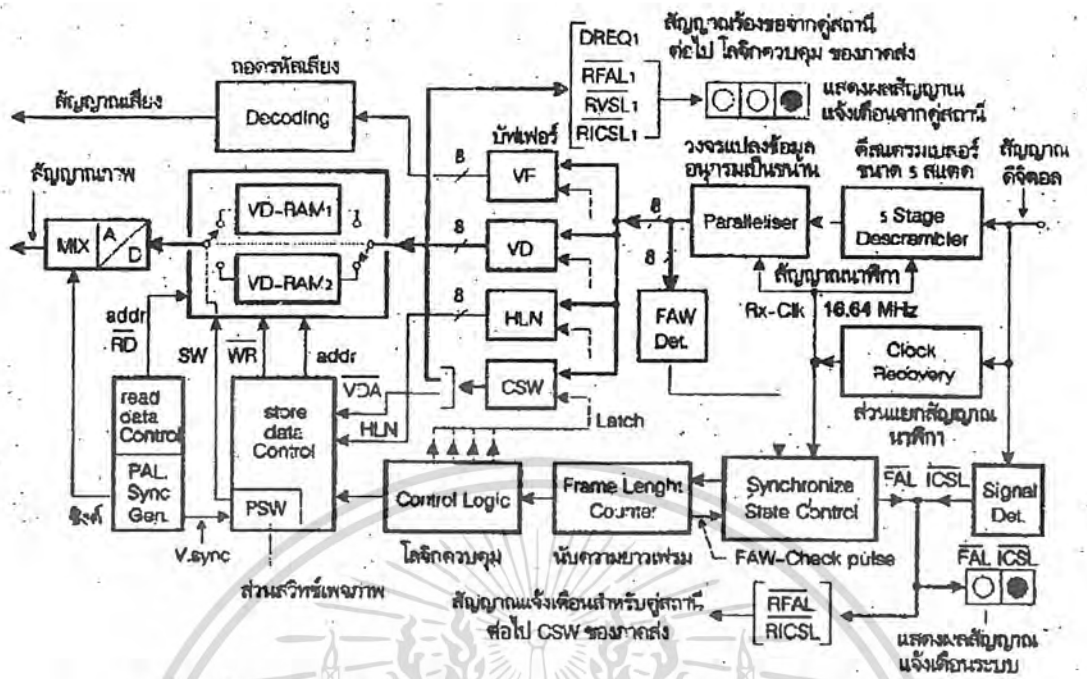
ไดอะแกรมที่ได้กล่าวมานี้เป็นเพียงไดอะแกรมคร่าวๆที่แสดงระบบการส่ง ซึ่งชื่อของสัญญาณต่างๆที่ปรากฏอยู่เป็นเพียงสัญญาณหลักๆที่เกี่ยวข้องกับการดำเนินกระบวนการนั้นๆ โดยในวงจรจริงจะปรากฏสัญญาณมากกว่านี้ ดังนั้นการจะเข้าใจการทำงานจึงต้องพิจารณาจากการทำงานของวงจรจริง

3.3 ระบบรับข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา (Recieve System)

ระบบรับข้อมูลแสดงดังรูปที่ 3.5.1 สามารถแบ่งเป็นส่วนใหญ่ๆได้ 6 ส่วนคือ

1. ส่วนดีมัลติเพล็กซ์ (Demultiplexer) ประกอบด้วยบัฟเฟอร์ข้อมูลทั้ง 4 ชุด ส่วนนับความยาวเฟรมข้อมูลและโลจิกควบคุม ซึ่งส่วนนับความยาวเฟรมข้อมูลถูกควบคุมด้วยส่วนควบคุมสถานะการซิงโครไนซ์
2. ส่วนควบคุมสถานะการซิงโครไนซ์ ,SSC (Synchronize State Control)มีหน้าที่ในการทำกระบวนการอไลเมนต์เฟรม ประกอบด้วยส่วนควบคุมสถานะการซิงโครไนซ์และส่วนตรวจหาเฟรมอไลเมนต์เวอร์ด
3. ส่วนดำเนินการข้อมูลอนุกรม ประกอบด้วยตัวดีสแครมเบลอร์ขนาด 5 สแตคและตัวแปลงข้อมูลอนุกรมเป็นขนาน
4. ส่วนแยกสัญญาณนาฬิกา ทำหน้าที่แยกสัญญาณนาฬิกาจากสัญญาณดิจิตอลที่รับได้เพื่อการซิงโครไนซ์บิท
5. ส่วนประมวลผลข้อมูล แยกเป็น 2 ส่วนคือ ส่วนของข้อมูลเสียงและส่วนของข้อมูลภาพ ส่วนของข้อมูลเสียงประกอบด้วยส่วนถอดรหัสเสียง ส่วนของข้อมูลภาพประกอบด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 ไดอะแกรมแสดงระบบรับข้อมูลภาพและเสียงแบบมัลติเพล็กซ์แบบแบ่งเวลา ความเร็ว 16.64 Mbps

หน่วยความจำภาพ 2 ชุด โดยชุดหนึ่งเก็บข้อมูลภาพที่รับได้ อีกชุดหนึ่งถูกอ่านข้อมูลออกไปเพื่อแสดงบนจอภาพ , ส่วนควบคุมการบันทึกข้อมูลภาพที่รับได้ (Store Data Control) ซึ่งทำงานร่วมกับสวิทช์เพจภาพ ,PSW (Page Switch Control) ,ส่วนควบคุมการอ่านข้อมูลออกไปเพื่อแสดงบนจอภาพ ซึ่งทำงานร่วมกับส่วนกำเนิดสัญญาณซิงค์ภาพ,ส่วนแปลงสัญญาณดิจิตอลเป็นอนาลอกและส่วนผสมข้อมูลภาพกับสัญญาณซิงค์เพื่อสร้างสัญญาณภาพขึ้นมาใหม่

6. ส่วนของสัญญาณแจ้งเตือน ประกอบด้วยสัญญาณแจ้งเตือนที่ส่งมาจากคู่สถานีและนำมาแสดงผลคือ RFAL1 , RVSL1 , R1CSL1 , DREQ ซึ่งต่อไปยังเครื่องส่งและสัญญาณแจ้งเตือนของตัวระบบเองซึ่งนำมาแสดงผลคือ FAL , 1CSL และเมื่อส่งไปยังคู่สถานีจะใช้ชื่อเป็น RFAL , R1CSL ตามลำดับ

การทำงานจะเริ่มจากการกำหนดให้ส่วนแยกสัญญาณนาฬิกาทำงานได้อย่างปกติ ดังนั้นสัญญาณนาฬิกาที่ได้จะซิงโครไนซ์กับข้อมูลเป็นอย่างดี เมื่อเริ่มต้นสัญญาณดิจิตอลที่รับได้ส่วนหนึ่งจะเข้าสู่ส่วนแยกสัญญาณนาฬิกาเพื่อสร้างสัญญาณนาฬิกาใช้ในระบบอีกส่วนหนึ่งเข้าสู่ตัวดีสแครมเบลอร์ขนาด 5 สแตค เพื่อแปลงให้เป็นขบวนข้อมูลปกติจากนั้นจะถูกแปลงให้เป็นข้อมูลในรูปขนานขนาด 8 บิท ถึงจุดนี้ข้อมูลขนาด 8 บิทซึ่งถูกเลื่อนไป 1 บิทตลอดเวลาจะรออยู่ที่อินพุทของบัฟเฟอร์ทั้ง 4 ชุดเพื่อรอการแลทช์ต่อไป อีกส่วนหนึ่งจะเข้าสู่ตัวตรวจหา FAW ซึ่งทำงานร่วมกับส่วนควบคุมการซิงโครไนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และส่วนนับความยาวเฟรม การอไลเมนต์เฟรมจะเริ่มต้นเมื่อมีการตรวจพบ FAW โดยตัวตรวจหา FAW ซึ่งจะส่งพัลซ์ไปให้ส่วนควบคุมการซิงโครไนซ์ จากนั้นส่วนควบคุมการซิงโครไนซ์จะส่งสัญญาณควบคุมไปให้ส่วนนับความยาวเฟรมให้เริ่มต้นนับเพื่อกำหนดตำแหน่งเวลาที่จะตรวจสอบ FAW ครั้งต่อไป คือ สัญญาณ FAW - Chack pulse ส่งกลับไปให้กับส่วนควบคุมการซิงโครไนซ์ซึ่งจะตรวจสอบสัญญาณการตรวจหา FAW พร้อมกันไปด้วย ถ้าพบก็จะดำเนินกระบวนการอไลเมนต์เฟรมต่อไป ถ้าไม่พบก็จะเริ่มต้นค้นหา FAW ตัวต่อไป เมื่อการอไลเมนต์เฟรมสมบูรณ์ส่วนควบคุมการซิงโครไนซ์จะส่งสัญญาณควบคุมไปให้ส่วนนับความยาวเฟรม ซึ่งควบคุมให้ส่วนโลจิกควบคุมสร้างสัญญาณแลทช์ไปให้กับบัฟเฟอร์ทั้ง 4 ชุดเพื่อเก็บข้อมูลของมันไว้

ข้อมูลที่ถูกเก็บไว้ในบัฟเฟอร์เสียงจะถูกส่งไปยังตัวถอดรหัสเสียงเพื่อถอดรหัสและคลายกลับมาเป็นสัญญาณเสียงตามเดิม

ส่วนข้อมูลที่เก็บไว้ในบัฟเฟอร์ข้อมูลควบคุมและบริการแยกเป็น 2 ส่วนคือ ส่วนควบคุมและบริการ

ส่วนควบคุมประกอบด้วยสัญญาณ VDA และ DREQ VDA เป็นสัญญาณบอกจุดเริ่มต้นและสิ้นสุดของ 1 เฟรมภาพ ถูกส่งออกไปส่วนควบคุมการเก็บข้อมูลซึ่งทำงานร่วมกับส่วนสวิตช์เพจภาพเพื่อสวิตช์เพจภาพนำข้อมูลภาพใหม่ไปแสดง โดยการสวิตช์จะซิงโครไนซ์กับสัญญาณซิงค์แนวตั้งของภาพเพื่อให้ข้อมูลภาพใหม่ถูกนำไปแสดงที่จุดเริ่มต้นของจอภาพพอดี ส่วน DREQ1 เป็นสัญญาณร้องขอแบบข้อมูลจากคู่สถานีว่าเป็นข้อมูลภาพปกติหรือแพทเทอร์นทดสอบ

ส่วนบริการประกอบด้วยสัญญาณแจ้งเตือน RFAL1 , RVSL1 , R1CSL1 ซึ่งส่งมาจากคู่สถานีและนำมาแสดงผลให้ทราบ

ส่วนข้อมูลที่เก็บไว้ในบัฟเฟอร์ HLN ซึ่งเป็นหมายเลขเส้นกวาดแนวนอนถูกส่งไปส่วนควบคุมการเก็บข้อมูลภาพเพื่อใช้เป็นแอดเดรสส่วนหนึ่งของหน่วยความจำภาพ

ส่วนข้อมูลที่เก็บไว้ในบัฟเฟอร์ VD ซึ่งเป็นข้อมูลภาพถูกส่งไปเก็บไว้ในหน่วยความจำภาพ ในส่วนของข้อมูลที่ถูกอ่านออกมาจากหน่วยความจำภาพจะถูกควบคุมการอ่านโดยส่วนควบคุมการอ่านข้อมูลภาพ ซึ่งทำงานร่วมกับส่วนกำเนิดสัญญาณซิงค์เพื่อให้การอ่านข้อมูลภาพแต่ละเส้นกวาดเกิดขึ้นในเวลาที่สอดคล้องกับสัญญาณซิงค์ ข้อมูลภาพที่อ่านได้ถูกแปลงเป็นสัญญาณอนาลอกและทำการผสมกับสัญญาณซิงค์เพื่อสร้างสัญญาณภาพกลับมาใหม่และนำไปแสดงบนจอภาพ

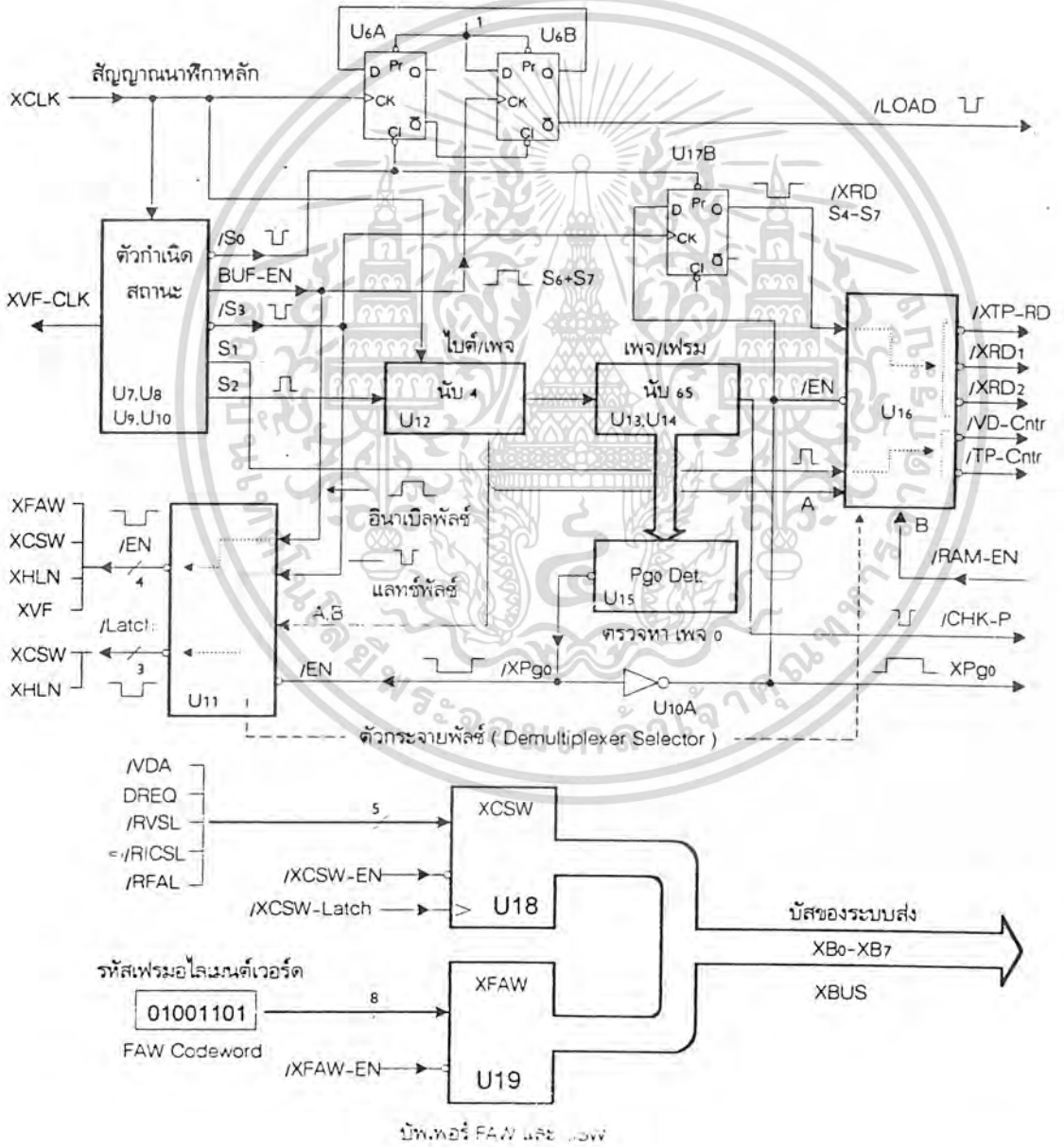
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบและการทำงานของวงจร

4.1 ระบบส่งข้อมูล

4.1.1 ส่วนมัลติเพล็กซ์ข้อมูล

ไดอะแกรมของส่วนมัลติเพล็กซ์ข้อมูลแสดงดังรูปที่ 4.1



รูปที่ 4.1 ไดอะแกรมแสดงส่วนมัลติเพล็กซ์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากขั้นตอนสุดท้ายของการมัลติเพล็กซ์คือการแปลงข้อมูลขนาน 8 บิทให้เป็นข้อมูลอนุกรม หมายความว่าข้อมูลทุกๆชุดที่อยู่ในรูปขนานซึ่งจะทำการส่งจะต้องถูกโหลดลงสู่ตัวแปลงข้อมูลขนานเป็นอนุกรมทุกๆ 8 คาบสัญญาณนาฬิกาส่งแสดงว่ากระบวนการต่างๆใช้ในการจัดเตรียมข้อมูลที่จะโหลดลงสู่ตัวแปลงข้อมูลขนานเป็นอนุกรมจะต้องทำให้เสร็จสิ้นภายใน 8 คาบสัญญาณนาฬิกา ด้วยเหตุผลดังกล่าว ระบบมัลติเพล็กซ์จึงใช้หลักการกำเนิดสัญญาณประจำที่จำเป็นทุกๆ 8 คาบสัญญาณนาฬิกาเพื่อใช้ในการกระตุ้นและควบคุมส่วนต่างๆที่เกี่ยวข้อง ซึ่งจะได้กล่าวต่อไป

จากรูปที่ 4.1 ส่วนมัลติเพล็กซ์จะประกอบด้วยส่วนต่างๆดังนี้

U7,U8,U9 และ U10	ทำหน้าที่กำเนิดสัญญาณสถานะควบคุมประจำ S0-S7
U12,U13,U14	ทำหน้าที่เป็นตัวนับความยาวเฟรม โดย U12 เป็นตัวนับจำนวนไบต์/เพจ คือ4 ไบต์/เพจ และ U13,U14 เป็นตัวนับจำนวนเพจ/เฟรม คือ 65 เพจ/เฟรม
U11	ทำหน้าที่เป็นตัวกระจายพัลซ์ (Demultiplexer Selector) คือ แลทช์พัลซ์ และอินาเบิลพัลซ์ ,EN ซึ่งกำเนิดจากตัวกำเนิดสถานะไปยังบัฟเฟอร์ข้อมูลต่างๆ เพื่อแลทช์ข้อมูลลงสู่บัฟเฟอร์และอินาเบิลข้อมูลขนานเป็นอนุกรมต่อไป
U16	ทำหน้าที่เป็นตัวกระจายพัลซ์เช่นเดียวกับ U11 แต่เป็นพัลซ์สำหรับนับแอดเดรสของหน่วยความจำภาพ พัลซ์สำหรับการอ่านหน่วยความจำภาพ และพัลซ์สำหรับการกำเนิดแพทเทอร์นทดสอบ
U15	ทำหน้าที่เป็นตัวตรวจหาเพจ 0 เพื่ออินาเบิล U11 หรือ U16 ต่อไป
U6	ทำหน้าที่กำเนิดสัญญาณโหลด ,/LOAD สำหรับโหลดข้อมูลจากบัสระบบเข้าสู่ตัวแปลงข้อมูลขนานเป็นอนุกรม
U17B	ทำหน้าที่กำเนิดสัญญาณอ่านหน่วยความจำ ,/XRD
U18,UI9	เป็นบัฟเฟอร์สำหรับ CSW และ FAW ตามลำดับ ส่วนบัฟเฟอร์ตัวอื่นๆจะไปแสดงในส่วนที่มันเกี่ยวข้องอยู่

การทำงานของระบบ เริ่มจากตัวกำเนิดสถานะ U7,U8,U9 และ U10 จะกำเนิดสัญญาณ /S0,S1,S2,/S3 และ BUF-EN โดยนับจากสัญญาณนาฬิกาซึ่งมีรายละเอียด ดังนี้

S1	ใช้เป็นพัลซ์นับ Cntr สำหรับตัวกำเนิดแอดเดรสใช้สำหรับการอ่านข้อมูลภาพที่เก็บในหน่วยความจำภาพ
S2	ใช้เป็นพัลซ์สำหรับส่วนนับความยาวเฟรมข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

/S3	ใช้เป็นพัลซ์ให้รับแลทช์ข้อมูลเข้าสู่ตัวบัฟเฟอร์
BUF-EN	ใช้เป็นพัลซ์สำหรับการอินาเบิลข้อมูลในบัฟเฟอร์เข้าสู่บัสข้อมูลของระบบ ,XBUS เป็นที่แอคทีฟในช่วง S6 และ S7

โดย /S0 จะถูกส่งไปยังส่วนนับความยาวเฟรมเพื่อนับจำนวนไบต์/เพจ (4 ไบต์/เพจ) คือ U12 และนับจำนวนเพจ/เฟรม (65 เพจ/เฟรม) คือ U13,U14 หมายเลขเพจที่นับได้จะถูกส่งไปยัง U15 เพื่อตรวจหาเพจ 0 คือ สัญญาณ /Xpg0 โดยส่วนหนึ่งส่งโดยตรงไปอินาเบิล U11 และอีกส่วนส่งผ่านอินเวอร์เตอร์ U10a ไปอินาเบิล U16 ดังนั้นจะเห็นได้ว่า U11 จะแอคทีฟเฉพาะช่วงเพจ 0 และ U16 จะแอคทีฟเฉพาะช่วงเพจ 1 ถึงเพจ 64 ซึ่งเป็นช่วงข้อมูลภาพดังจะได้กล่าวต่อไป

ส่วนสัญญาณ /S3 และ BUF-EN เป็นสัญญาณแลทช์และอินาเบิลบัฟเฟอร์ถูกส่งไปยัง U11 เพื่อกระจายไปให้บัฟเฟอร์ทั้ง 4 ตัวในเพจ 0 โดยได้รับข้อมูลการระบุตัวบัฟเฟอร์จาก U12 ในส่วนของเพจ 1 ถึงเพจ 64 ซึ่งเป็นส่วนของข้อมูลภาพจะใช้พัลซ์อ่านหน่วยความจำภาพ ,/XRD จาก U17b ซึ่งควบคุมโดยสัญญาณ XPg0, /S3 และ /S0 และพัลซ์นับแอดเดรสของหน่วยความจำภาพ ,S1 ทั้งสองสัญญาณนี้จะถูกส่งไปยังตัวกระจายพัลซ์ U16 ซึ่งแอคทีฟเฉพาะในช่วงเพจ 1 ถึงเพจ 64 ดังที่ได้กล่าวมาแล้วว่าส่วนของข้อมูลภาพจะแบ่งเป็น 2 โหมด คือ โหมดสัญญาณภาพปกติและโหมดแพทเทอร์นทดสอบ ในโหมดสัญญาณภาพปกติ พัลซ์อ่านหน่วยความจำภาพ จะถูกส่งออกไปเป็น /XRD1 และ /XRD2 สลับกันไบต์คู่และไบต์คี่ สาเหตุเนื่องจากการจัดหน่วยความจำภาพมีลักษณะที่ต่างออกไปจากลักษณะทั่วไป ซึ่งจะได้กล่าวอีกครั้งในเรื่องของหน่วยความจำภาพ ส่วนพัลซ์นับแอดเดรสหน่วยความจำภาพจะถูกส่งออกไปเป็น /TP-Cntr ทั้ง 2 โหมดที่กล่าวมาถูกเลือกโดยสัญญาณ /RAM-EN ซึ่งถูกส่งมาจากส่วนเชื่อมต่อ โดย 0 หมายถึง ข้อมูลภาพปกติและ 1 หมายถึง แพทเทอร์นทดสอบ

ส่วนสัญญาณโหลด เป็นสัญญาณสำหรับการโหลดข้อมูลที่ปรากฏบนบัสของระบบ ,XBUS ลงสู่ตัวแปลงข้อมูลขนานเป็นอนุกรม ซึ่งกำเนิดโดย U6 ร่วมกับสัญญาณ /S0 และ BUF-EN โดยสัญญาณโหลดนี้จะแอคทีฟในช่วงต่อระหว่าง S6 และ S7

สัญญาณ /CHK-P เป็นสัญญาณสำหรับการตรวจสอบเกิดขึ้นที่ปลายเฟรมทุกๆเฟรม ถูกต่อไปยังส่วนเชื่อมต่อซึ่งจะได้กล่าวต่อไป

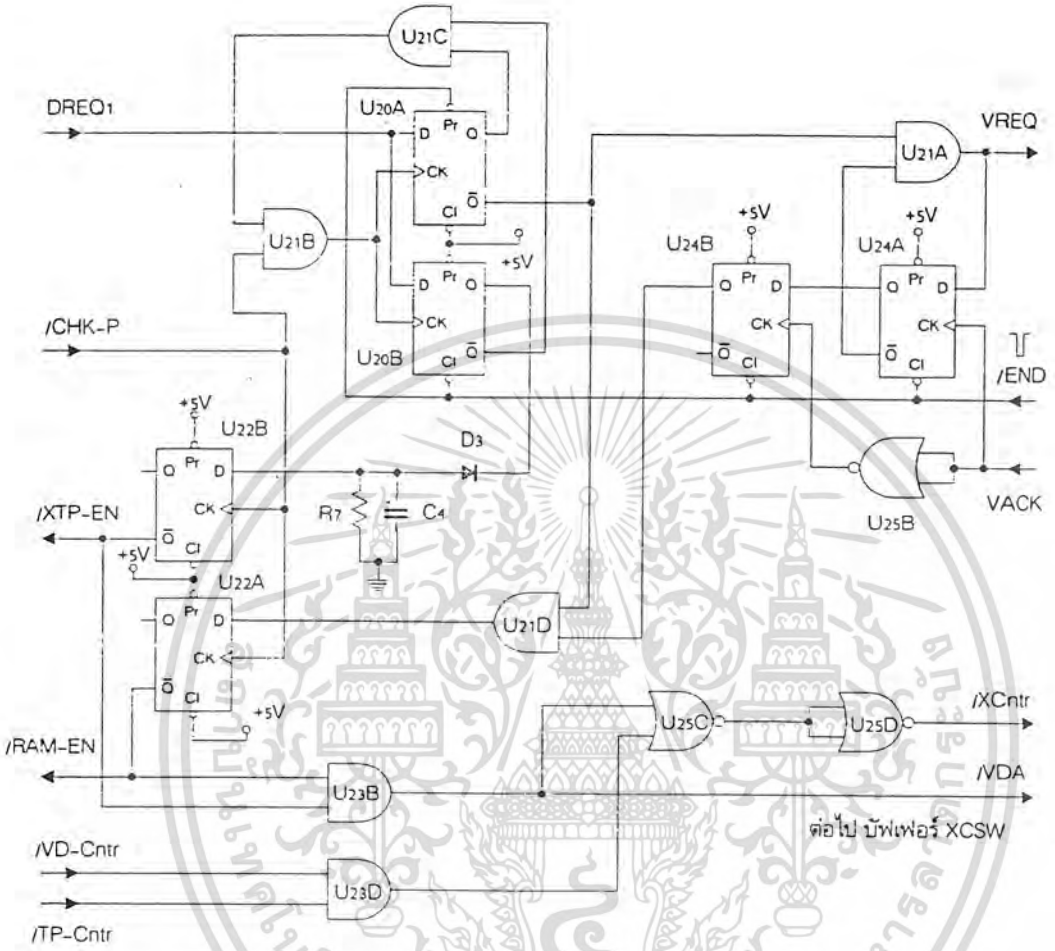
การติดต่อระหว่างส่วนมัลติเพล็กซ์ข้อมูลและส่วนดิจิไทซ์สัญญาณภาพถูกควบคุมด้วยส่วนเชื่อมต่อ วงจรแสดงดังรูปที่ 4.2 ซึ่งมีรายละเอียดสัญญาณต่อไปนี้

สัญญาณ /CHK-P , /VD-Cntr , /TP-Cntr และ /RAM-EN ต่อเข้ากับส่วนมัลติเพล็กซ์

สัญญาณ DREQ1 เป็นสัญญาณร้องขอแบบข้อมูลซึ่งถูกส่งมาจากคู่สถานี โดยเมื่อ DREQ1 เป็น 0 จะหมายถึงข้อมูลภาพปกติ และ DREQ1 เป็น 1 จะหมายถึง แพทเทอร์นทดสอบ

สัญญาณ /XTP-EN เป็นสัญญาณเพื่อใช้ในการอินาเบิลข้อมูลแพทเทอร์นทดสอบลงสู่บัสของระบบ ซึ่งสัญญาณนี้จะถูกต่อไปยังหน่วยความจำภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงวงจรเชื่อมต่อ

สัญญาณ /VDA เป็นสัญญาณควบคุมแสดงการปรากฏอยู่ของข้อมูลภาพ (ทั้งภาพปกติและแพทเทอร์นทดสอบ) ต่อไปยังบัฟเฟอร์ CSW เพื่อส่งไปยังคู่สถานี

สัญญาณ VREQ , VACK , XCntr และ /END ต่อไปยังส่วนดิจิไทซ์สัญญาณภาพเพื่อควบคุมจังหวะการดิจิไทซ์สัญญาณภาพและการอ่านข้อมูลภาพเพื่อการมัลติเพล็กซ์ โดย

- VREQ แอคทีฟที่โลจิก 1 เป็นสัญญาณร้องขอข้อมูลภาพที่ส่งไปยังส่วนดิจิไทซ์สัญญาณภาพ เมื่อส่วนดิจิไทซ์สัญญาณภาพได้รับสัญญาณนี้ก็จะเริ่มทำการดิจิไทซ์สัญญาณภาพ เมื่อเสร็จกระบวนการจะแจ้งกลับมาทางสัญญาณ VACK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- VACK เป็นสัญญาณตอบรับการร้องขอข้อมูลภาพ โดยเมื่อได้รับสัญญาณ VREQ แล้วตัวดิจิไทซ์สัญญาณภาพ จะตอบรับโดยการควบคุมให้ VACK เปลี่ยนโลจิกจาก 0 ไปเป็น 1 โดยซิงโครไนซ์กับสัญญาณซิงค์แนวตั้งและเมื่อดิจิไทซ์สัญญาณภาพลงสู่หน่วยความจำเรียบร้อยแล้วจะควบคุมให้ VACK เปลี่ยนโลจิกจาก 1 กลับมาเป็น 0 ตามเดิม เพื่อแจ้งให้ระบบมัลติเพล็กซ์ เข้ามาอ่านข้อมูลภาพในหน่วยความจำภาพเพื่อนำไปมัลติเพล็กซ์ต่อไป

- Xcntr เป็นพัลซ์นับแอดเดรสหน่วยความจำซึ่งตัวมัลติเพล็กซ์ส่งเข้าไปยังตัวนับแอดเดรสหน่วยความจำ (ผ่านส่วนเชื่อมต่อ) ซึ่งอยู่ภายในส่วนดิจิไทซ์สัญญาณภาพเพื่อการกำหนดตำแหน่งข้อมูลภายในหน่วยความจำที่ต้องการอ่านออกมา (ตัวนับแอดเดรสหน่วยความจำนี้จะถูกควบคุมจาก 2 ส่วนคือ เมื่อ VACK เป็น 1 จะถูกควบคุมโดยส่วนดิจิไทซ์สัญญาณภาพ และเมื่อ VACK เป็น 0 จะถูกควบคุมโดยส่วนมัลติเพล็กซ์ข้อมูลเอง)

- /END เป็นสัญญาณแสดงการสิ้นสุดการอ่านหน่วยความจำซึ่งจะแอคทีฟเฉพาะช่วงที่VACK เป็น 0 คือช่วงที่ตัวนับแอดเดรสหน่วยความจำถูกควบคุมโดยส่วนมัลติเพล็กซ์

การทำงานในส่วนนี้จะเริ่มจากกรณีการร้องขอแบบข้อมูลภาพปกติคือ DREQ=0 เมื่อกำหนดให้ฟลิปฟลอป U20a ถูกพรีเซ็ตและตัวอื่นๆถูกเคลียร์ เมื่อมีสัญญาณตรวจสอบ /CHK-P เข้ามา Q ของU20a จะเป็น 0 และ Q ของ U20b จะเป็น 0 (ซึ่งต่อไปจะทำให้ /XTP-EN เป็น 1 คือไม่แอคทีฟ) ทำให้เกทU21b ถูกปิดเป็นการป้องกันไม่ให้ถูกสัญญาณ /CHP-P กระตุ้นซ้ำขณะที่กระบวนการถ่ายโอนข้อมูลไปยังส่วนมัลติเพล็กซ์ยังไม่เสร็จสิ้น เมื่อ Q ของ U20a เป็น 0 VREQ จะเป็น 1 ด้วย จึงเป็นการแจ้งการร้องขอข้อมูลภาพต่อส่วนดิจิไทซ์สัญญาณภาพ ส่วนดิจิไทซ์สัญญาณภาพจะตอบกลับด้วยสัญญาณ VACK ซึ่งเป็นจังหวะเดียวกับที่เกิดสัญญาณซิงค์แนวตั้ง เนื่องจากเป็นจุดเริ่มต้นของฟิลด์ภาพโดยจะทำให้สัญญาณ VACK เปลี่ยนระดับโลจิกจาก 0 ไปเป็น 1 สัญญาณขอบขาขึ้นของ VACK นี้จะทำให้ค่าโลจิก1 ของ VREQ ถูกเก็บเข้าสู่ U24a พร้อมกันนั้นเกท U21a ก็จะถูกปิดด้วย เมื่อการดิจิไทซ์สัญญาณภาพเสร็จสิ้นลงสัญญาณ VACK จะเปลี่ยนโลจิกจาก 1 กลับสู่ 0 ตามเดิมสัญญาณขอบขาลงนี้จะทำให้โลจิก 1 ที่เก็บอยู่ภายใน U24a ถูกส่งต่อไปให้ U24b ทำให้ขา D ของ U22a มีโลจิกเป็น 1 เมื่อเกิด /CHK-P ตัวต่อไป Q ของ U22a หรือ /RAM-EN จึงเปลี่ยนโลจิกเป็น 1 ส่งต่อไปให้ส่วนมัลติเพล็กซ์ ทำให้ส่วนมัลติเพล็กซ์ส่งพัลซ์ /VD_Cntr กลับออกมา (พร้อมกับ /XRD1 /XRD2 ซึ่งเป็นสัญญาณอ่านหน่วยความจำ) ผ่าน U25c และ U25d เป็น /Xcntr ส่งไปยังตัวนับแอดเดรสภายในส่วนดิจิไทซ์สัญญาณภาพ จากนี้ข้อมูลภาพภายในหน่วยความจำจะถูกถ่ายโอนลงสู่ XBUS ของระบบ เมื่อถึงข้อมูลภาพสุดท้าย ตัวนับแอดเดรสจะส่งพัลซ์ /END กลับออกมาเซ็ตและเคลียร์และเข้าสู่จุดเริ่มต้นเพื่อเริ่มเซ็คใหม่ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 ส่วนดิจิไทซ์สัญญาณภาพ

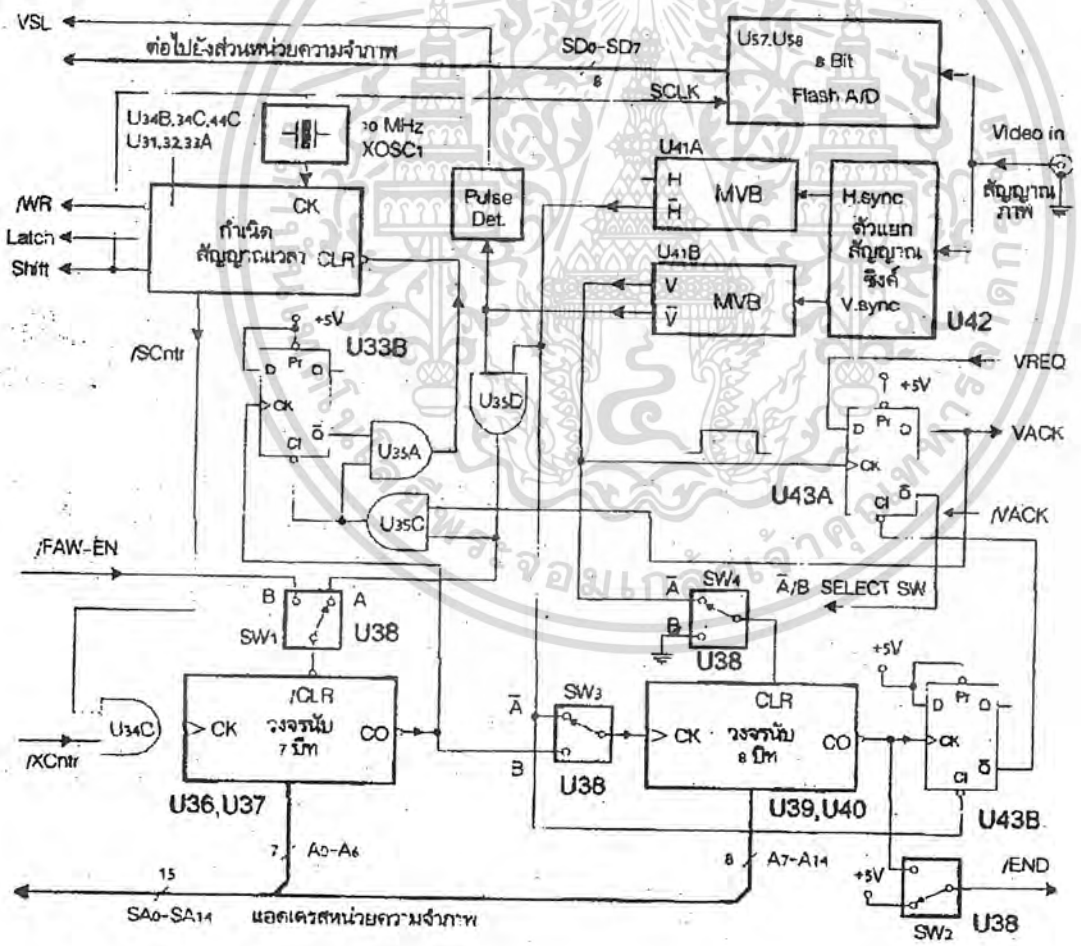
ไดอะแกรมของส่วนดิจิไทซ์สัญญาณภาพแสดงดังรูปที่ 4.3

ไดอะแกรมของส่วนดิจิไทซ์สัญญาณภาพ โดยเทียบกับวงจรจริง ประกอบด้วยส่วนใหญ่ๆ ดังนี้

- Flash A/D ประกอบด้วย U57,U58 โดย SLCK เป็นสัญญาณนาฬิกาที่ใช้สุ่มค่ามีความถี่ 5 MHz
- Sync Separator ประกอบด้วย U41,U42

  U41 เป็นโมโนสเตเบิลมัลติไวเบรเตอร์ ใช้ในการปรับความกว้างของสัญญาณซิงค์ใหม่ให้เหมาะสมในการใช้งาน

  U42 ใช้ LM1881 ทำหน้าที่แยกสัญญาณซิงค์แนวตั้งและซิงค์รวมซึ่งใช้แทนซิงค์แนวนอน ใช้ในการกำหนดช่วงเวลาในการสุ่มสัญญาณ และนับจำนวนเส้นกวาด
- Timing Generator ประกอบด้วย U31,U32,U33A,U34B,U34C,U44C



รูปที่ 4 3 ไดอะแกรมของส่วนดิจิไทซ์สัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Address Counter ประกอบด้วย U36,U37,U39,U40

  U36,U37 ต่อเป็นตัวนับขนาด 7 บิท

  U39,U40 ต่อเป็นตัวนับขนาด 8 บิท

- Video RAM

การทำงานของส่วนดิจิไทซ์สัญญาณภาพแบ่งเป็น 2 โหมด คือ โหมดการดิจิไทซ์ (เก็บข้อมูลภาพ) และโหมดการอ่านข้อมูลภาพ ซึ่งทั้ง 2 โหมดนี้ถูกเลือกโดยสวิทช์ SW1-SW4 หรือ U38 ซึ่งถูกควบคุมโดยสัญญาณ VACK โดยเมื่อ VACK มีโลจิกเป็น 1 จะเป็นโหมดดิจิไทซ์ (SW อยู่ที่ตำแหน่ง A) โหมดนี้ตัวนับแอดเดรสหน่วยความจำจะถูกควบคุมด้วยส่วนดิจิไทซ์เอง เมื่อ VACK มีโลจิกเป็น 0 จะเป็นโหมดการอ่านข้อมูลภาพ โดยส่วนมัลติเพล็กซ์ และส่วนเชื่อมต่อจะเข้ามาควบคุมตัวนับแอดเดรสหน่วยความจำและอ่านข้อมูลภาพในหน่วยความจำเพื่อนำไปมัลติเพล็กซ์

4.1.3 ส่วนหน่วยความจำภาพ

วิธีการเก็บข้อมูลในหน่วยความจำภาพจะใช้วิธีการที่เรียกว่า การเก็บแบบเลื่อนข้อมูลภาพ

- ในส่วนของการเก็บข้อมูลจะประกอบด้วยส่วนต่างๆ ดังนี้
  - ชิฟท์รีจีสเตอร์ขนาด 8 บิท แบบเข้าขนานออกขนาน 2 ชุด คือ Reg#1 , Reg#2 ใช้สำหรับการเลื่อนข้อมูลภาพ
  - ตัวแลทช์ข้อมูลขนาด 8 บิท 2 ชุด คือ LATCH#1,LATCH#2 ใช้สำหรับการแลทช์ค่าข้อมูลภาพ
  - หน่วยความจำภาพขนาด 32 Kbyte 2 ชุด คือ RAM#1,RAM#2 ใช้สำหรับเก็บข้อมูลภาพ

- ในส่วนของการอ่านข้อมูลภาพประกอบด้วย
  - บัฟเฟอร์สำหรับข้อมูลภาพ 2 ชุด คือ VD-BUF1 และ VD-BUF2
  - บัฟเฟอร์ที่สามารถแลทช์ค่าได้ คือ HLN-BUF ทำหน้าที่อ่านหมายเลขเส้นกวาดมาเก็บไว้เพื่อส่งต่อไปให้ส่วนมัลติเพล็กซ์ข้อมูล

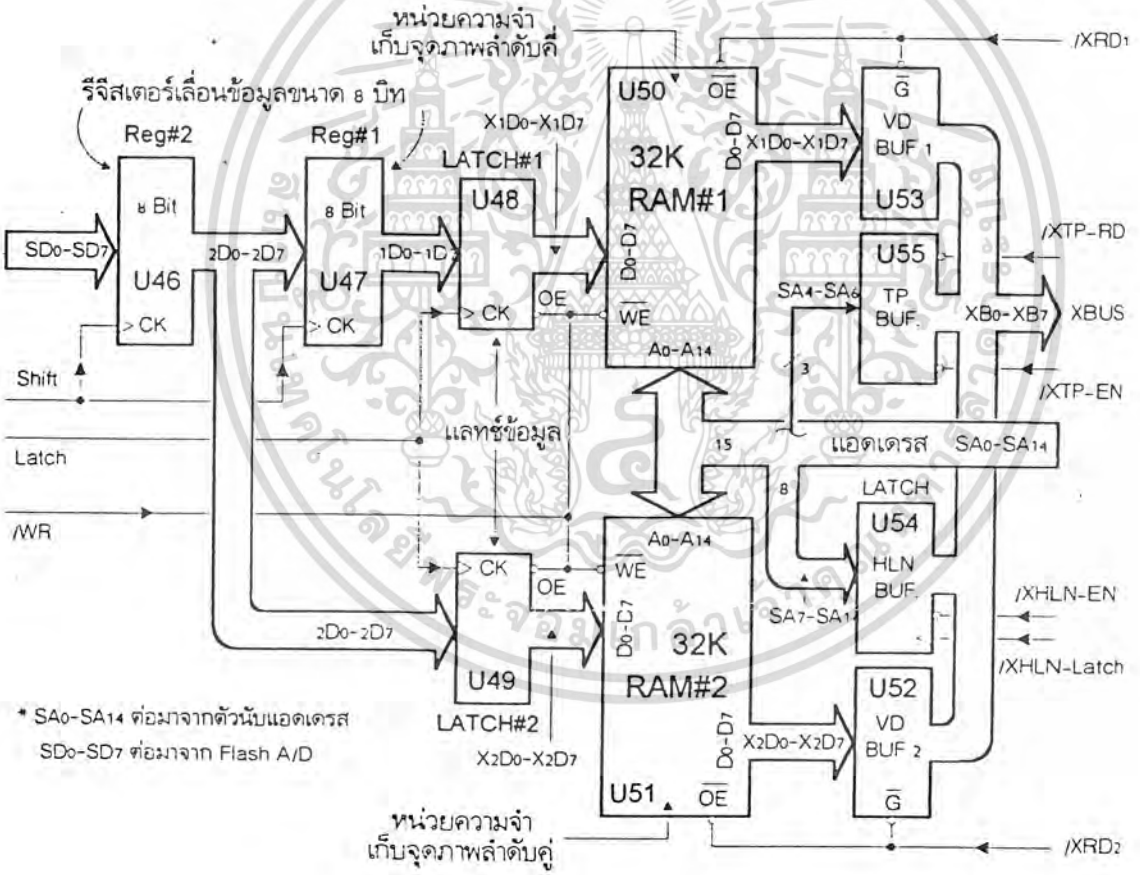
หลักการเก็บข้อมูลแบบเลื่อนข้อมูลภาพ

เริ่มต้นโดยข้อมูลภาพแต่ละจุดภาพที่ถูกส่งเข้ามาทาง SD0-SD7 โดยตัว Flash A/D จะถูกเลื่อนเข้าสู่ Reg#2 และ Reg#1 ตามลำดับ โดยสัญญาณ Shift ทุกครั้งที่ข้อมูลถูกเลื่อนเข้ามาเก็บใน Reg ครบ 2 ตัว จะมีสัญญาณ Latch เข้ามาถ่ายโอนข้อมูลจาก Reg#1 และ Reg#2 เข้าสู่ LATCH#1 และ LATCH#2 ตามลำดับ เพื่อให้ข้อมูลจุดภาพชุดใหม่เลื่อนเข้ามาแทน ในขณะที่ข้อมูลจุดภาพกำลังเลื่อนเข้าสู่ Reg ข้อมูลภาพ 2 จุดแรกที่พักอยู่ใน LATCH#1 และ LATCH#2 จะถูกเก็บลงสู่หน่วยความจำภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RAM#1 และ RAM#2 ตามลำดับ ด้วยสัญญาณ /WR เป็นการเคลียร์ LATCH#1 และ LATCH#2 ให้ว่าง เพื่อพักข้อมูลชุดใหม่ต่อไป

จากระบวนการเก็บที่กล่าวมาจะเห็นได้ว่าใน 1 เส้นกวาดใดๆซึ่งมีข้อมูลภาพจำนวน 256 จุด จุดภาพลำดับคี่จะถูกเก็บลงใน RAM#1 และจุดภาพลำดับคู่จะถูกเก็บลงใน RAM#2 จะสังเกตุได้ว่าวิธีการเก็บข้อมูลลักษณะนี้จะเก็บข้อมูลภาพลงสู่หน่วยความจำพร้อมๆกันทีละ 2 จุดภาพ โดยทำการสุ่มข้อมูลภาพให้ครบ 2 จุดก่อน ดังนั้นรอบการเขียนหน่วยความจำ จึงถูกยืดออกไปเป็นทุกๆ 2 คาบการสุ่ม สัญญาณ และเมื่อพิจารณาในส่วนของแอดเดรส อาจสรุปให้ง่ายขึ้นคือ แอดเดรสมีทั้งหมด 15 เส้น คือA0-A14 อ้างอิงตำแหน่งได้ 32 K ตำแหน่ง แต่ละตำแหน่งเก็บข้อมูลได้ 2 ไบต์ รวมหน่วยความจำทั้งหมด 64 Kbyte



รูปที่ 4.4 ไดอะแกรมแสดงส่วนของหน่วยความจำภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของการอ่านข้อมูลออกสัญญาณ /WR , Latch และ Shift จะไม่แอคทีฟ ดังนั้นตัว Latch#1 และ Latch#2 จะไม่แอคทีฟเช่นกัน ทำให้บัส X1D0-X1D7 และ X2D0-X2D7 จาก LATCH ทั้ง 2 ตัว ปลดตัวเองออกจากระบบหน่วยความจำ เป็นการป้องกันไม่ให้เกิดการใช้บัสข้อมูลของหน่วยความจำซ้ำซ้อนกันในกรณีของการอ่านข้อมูลภาพจะอ่านจาก VD-BUF1 และ VD-BUF2 โดยสัญญาณ /XRD1 และ /XRD2 ตามลำดับ โดยสัญญาณ /XRD1 และ /XRD2 จะเกิดขึ้นสลับกัน เนื่องจากข้อมูลภาพที่เก็บในหน่วยความจำถูกเก็บในลักษณะสลับจุดภาพคี่ละคู่

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

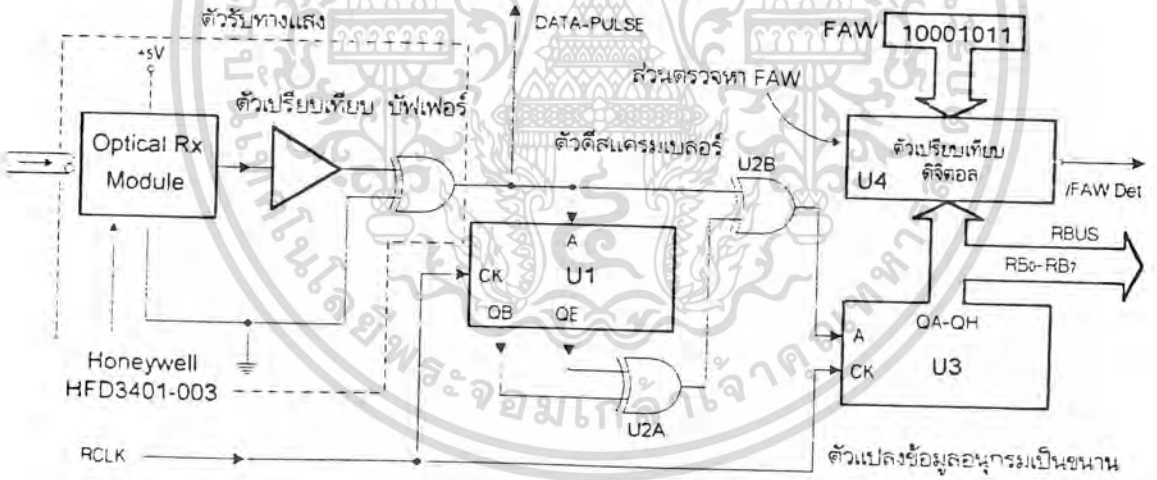
4.2 ระบบรับข้อมูล (Receiver System)

ในส่วนของระบบข้อมูลสามารถแบ่งเป็นส่วนใหญ่ ๆ ได้ดังนี้

1. ตัวดีสแครมเบลอร์ , ตัวแปลงข้อมูลอนุกรมเป็นขนาน และ ตัวตรวจหาเฟรมอไลเมนต์เวอร์ด
2. ส่วนดีมัลติเพล็กซ์ข้อมูล (Data Demultiplexer)
3. ส่วนควบคุมสถานะการซิงโครไนซ์ ,SSC (Synchronize State Control)
4. ส่วนถอดรหัสข้อมูลเสียง (Voice Data Decoding)
5. ส่วนควบคุมและประมวลผลข้อมูลภาพ (Video Data Control & A process)
6. ส่วนแยกสัญญาณนาฬิกา (Clock Extraction)

4.2.1 ตัวดีสแครมเบลอร์ , ตัวแปลงข้อมูลอนุกรมเป็นขนาน และ ตัวตรวจหาเฟรมอไลเมนต์เวอร์ด

ทั้ง 3 ส่วนนี้เป็นส่วนต้น ๆ ของระบบรับแสดงดังรูปที่ 4.5 ข้อมูลได้ผ่านตัวเปรียบเทียบสัญญาณดิจิตอลและผ่านบัฟเฟอร์เพื่อนำไปขับวงจรภายนอกต่อไปจากนั้นสัญญาณดิจอตอลที่ได้ส่วนหนึ่งจะแยกไปเป็นสัญญาณ DATA-PULSE ส่งไปยังส่วนแยกสัญญาณนาฬิกา สัญญาณที่ได้จะส่งกลับมาเป็น RCLK นั่นเอง



รูปที่ 4.5 ไดอะแกรมแสดงส่วนของตัวดีสแครมเบลอร์ , ตัวแปลงข้อมูลอนุกรมเป็นขนาน และตัวตรวจหาหาเฟรมอไลเมนต์เวอร์ด

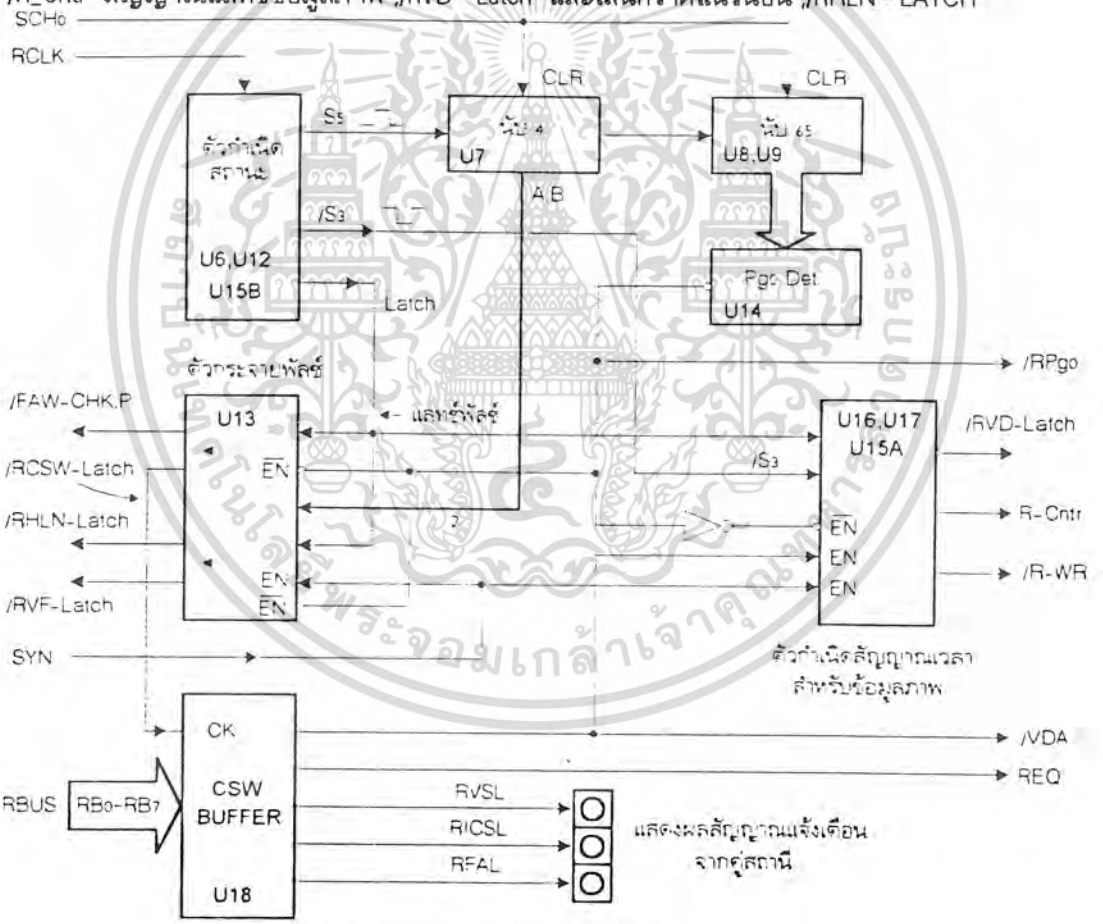
และอีกส่วนหนึ่งเข้าสู่ตัวดีสแครมเบลอร์ ,U1 เพื่อแปลงขบวนข้อมูลที่ถูกสแครมเบลอร์จากเครื่องส่งของคู่สถานีกลับมาเป็นสัญญาณในรูปปกติ จากนั้นจะเข้าสู่ตัวแปลงข้อมูลอนุกรมเป็นขนาน U3 ซึ่งเป็นชิฟท์รีจีสเตอร์แบบเข้าอนุกรมออกขนาน ,SIPO (Serial In Parallel Out) ขนาด 8 สแตค ซึ่งข้อมูลขนานที่ได้คือข้อมูลขนาด 8 บิทที่แทปออกมาจากรีจีสเตอร์ทั้ง 8 ตัว ข้อมูล 8 บิทนี้คือ บัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลของระบบรับ ,RBUS (RB o - RB 7) และจะถูกนำไปเข้าตัวแลทช์ข้อมูลเพื่อเก็บข้อมูลที่ถูกต้องเข้าไว้ จาก RBUS นี้ส่วนหนึ่งจะนำไปเข้าตัวตรวจหาเวอร์ด (U4) ซึ่งเป็นตัวเปรียบเทียบเวอร์ดข้อมูลบนบัสกับเวอร์ดข้อมูลที่กำหนดไว้ สัญญาณตรวจหาคือ /FAW-Det ซึ่งแอคทีฟที่ลอจิก 0 จะนำไปใช้โดยส่วนควบคุมสถานะการซิงโครไนซ์ของระบบรับซึ่งจะได้กล่าวต่อไป

4.2.2 **ส่วนดีมัลติเพล็กซ์ข้อมูล** (Data Demultiplexer)

ส่วนดีมัลติเพล็กซ์ข้อมูลทำหน้าที่นำข้อมูลที่ปรากฏบน RBUS เก็บเข้าไว้ในบัฟเฟอร์ตามช่องข้อมูลที่ถูกต้องของมัน โดยการสร้างสัญญาณแลทช์ซึ่งซิงโครไนซ์กับสัญญาณนาฬิกา นอกจากนี้ยังสร้างสัญญาณที่จำเป็นสำหรับกระบวนการเก็บข้องมูลภาพที่รับได้เข้าสู่หน่วยความจำซึ่งประกอบด้วยสัญญาณเขียนหน่วยความจำภาพ , /R-WR สัญญาณนับแอดเดรสหน่วยความจำ, /R_Cntr สัญญาณแลทช์ข้อมูลภาพ ,/RVD - Latch และเส้นกวาดแนวนอน ,/RHLN - LATCH



รูปที่ 4.6 ไดอะแกรมส่วนดีมัลติเพล็กข้อมูล

การทำงานของส่วนดีมัลติเพล็ซ์ข้อมูลจะมีหลักการเช่นเดียวกับส่วนมัลติเพล็กซ์ข้อมูลทางเครื่องส่ง คือ ข้อมูลในแต่ละช่องข้อมูลจะต้องมีการจัดเก็บและเคลื่อนย้ายออกจากตัวบัฟเฟอร์ภายใน 8 คาบสัญญาณนาฬิกาโดยการแบ่งสัญญาณนาฬิกาออกเป็น 8 สถานะ และใช้สถานะที่แน่นอนเหล่านี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการกำหนดจังหวะการทำงานของแต่ละส่วน และเนื่องจากข้อมูลบน RBUS เกิดจากการเลื่อนข้อมูลอนุกรมเข้าสู่ชิฟท์รีจิสเตอร์ขนาด 8 สแตค ซึ่งจะเห็นว่าข้อมูลขนาด 8 บิทของแต่ละช่องข้อมูลจะปรากฏจริงบน RBUS เพียงช่วงเวลา 1 คาบสัญญาณนาฬิกาเท่านั้น การจัดเก็บข้อมูลเข้าสู่บัฟเฟอร์จึงต้องทำให้เสร็จสิ้นภายในคาบเวลานี้

หน้าที่ที่สำคัญอีกประการหนึ่งของส่วนดีมัลติเพล็กซ์คือ การทำงานร่วมกับส่วนควบคุมสถานะการซิงโครไนซ์โดยส่วนดีมัลติเพล็กซ์จะทำงานได้เมื่อได้รับสัญญาณ SCH 0 จากส่วนควบคุมสถานะการซิงโครไนซ์เท่านั้น และเมื่อทำงานแล้วจะส่งสัญญาณตรวจสอบ 0/FAW-CHK.P กลับไปให้ส่วนควบคุมสถานะการซิงโครไนซ์เพื่อกำหนดตำแหน่งช่วงเวลาในการตรวจสอบเฟรมอไลเมนต์เวอร์ดเพื่อใช้ในการตัดสินใจในกระบวนการอไลเมนต์เฟรมข้อมูล

หน้าที่ของส่วนต่าง ๆมีดังนี้

1. ตัวกำเนิดสถานะ ประกอบด้วย U6 , U12 และ U15 B ทำหน้าที่กำเนิดสัญญาณประจำทุกๆ 8 คาบสัญญาณนาฬิกา เพื่อใช้สำหรับกระตุ้นการทำงานมีสัญญาณดังนี้

   /S3 ใช้ร่วมกับสัญญาณแลทช์พัลซ์เพื่อกำเนิดสัญญาณ R-Cntr และ /R-WR ภายในตัวกำเนิดสัญญาณเวลา

   S5 ใช้เป็นพัลซ์สำหรับการนับความยาวเฟรมข้อมูล

   Latch เป็นพัลซ์ที่เกิดขึ้นที่กลางช่อง S6 ถึงกลางช่วง S7 แอคทีฟที่โลจิก 0 ใช้สำหรับแลทช์ข้อมูลบน RBUS ลงสู่บัฟเฟอร์ข้อมูล

2. ส่วนนับความยาวเฟรม ประกอบด้วยตัวนับ 2 ตัวคือ ตัวนับ 4 ทำหน้าที่นับจำนวนไบต์ภายในเพจข้อมูล (4 ไบต์ / เพจ) และตัวนับ 65 ทำหน้าที่นับจำนวนเพจภายในเฟรมข้อมูล (65 เพจ / เฟรม)

3. ส่วนตรวจหาเพจ 0 หรือ Pg0 Det ทำหน้าที่ตรวจหาเพจ 0 ของเฟรมข้อมูลแสดงด้วยสัญญาณ /Rpgo แอคทีฟที่โลจิก 0

4. ตัวกระจายพัลซ์ (U13) ภายในมีตัวกระจายอยู่ 2 ชุดทำหน้าที่กระจายแลทช์พัลซ์ให้กับบัฟเฟอร์ในเพจ 0 ซึ่งประกอบด้วยสัญญาณ /RCSW - Latch , /RHLLN - Latch และ /RVF - Latch

5. ตัวกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพ ซึ่งทำงานเฉพาะในช่วงของข้อมูลภาพ (เพจ 1 - เพจ 64) ทำหน้าที่กำเนิดสัญญาณนับแอดเดรสหน่วยความจำ และสัญญาณการแลทช์ข้อมูลภาพซึ่งส่งตรงมาจากสัญญาณแลทช์

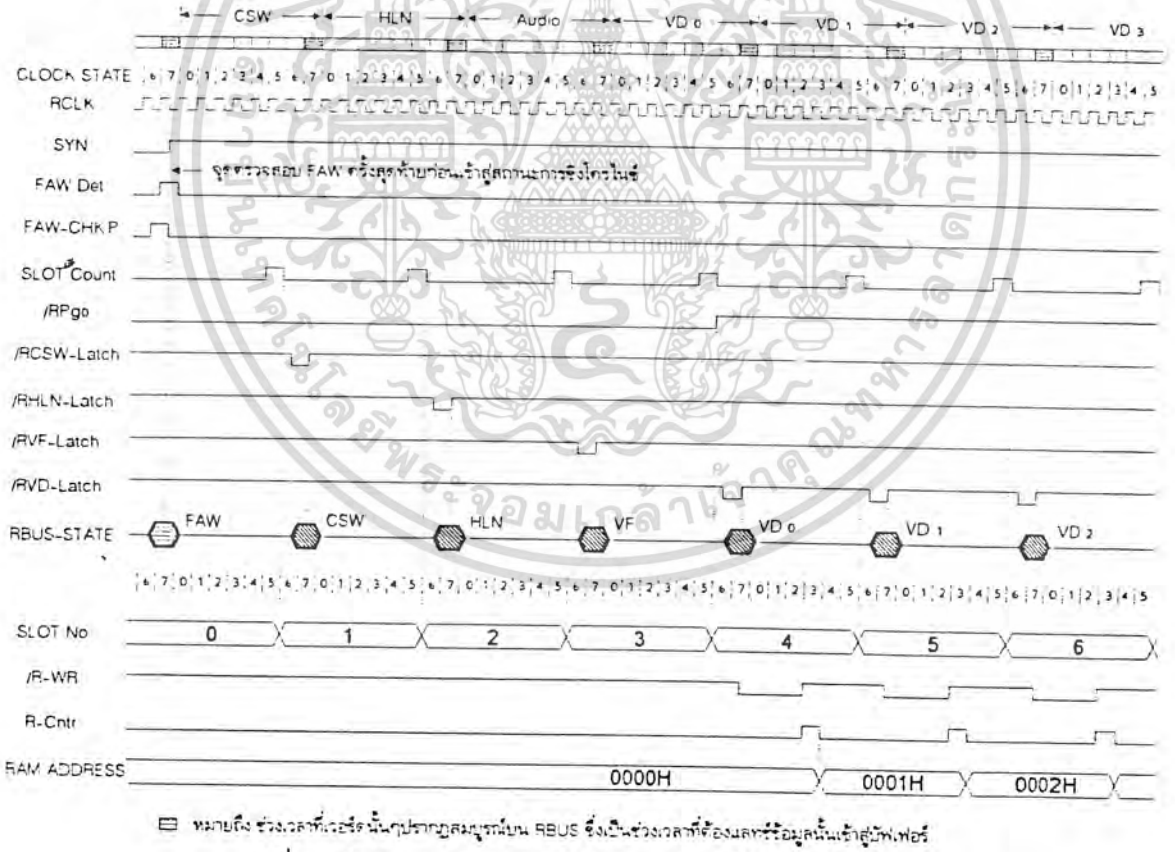
6. บัฟเฟอร์ RCSW - BUF ทำหน้าที่แลทช์ข้อมูล CSW จาก RBUS เข้าสู่ RCSW-BUF

การทำงานจะเริ่มเมื่อสัญญาณ SCH 0 จากส่วนควบคุมสถานะการซิงโครไนซ์ไม่แอคทีฟ (พบ FAW ตัวแรก) คือมีโลจิกเป็น 0 ส่วนนับความยาวเฟรมจะเริ่มทำงานโดยหมายเลขไบต์ข้อมูลภายในเพจใดๆจากตัวนับ 4 จะถูกส่งไปให้ตัวกระจายพัลซ์เพื่อกระจายแลทช์พัลซ์ไปยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัฟเฟอร์ต่างๆ ภายในเพจ 0 และหมายเลขเพจที่นับได้จากตัวนับ 65 ถูกส่งไปยังตัวตรวจหาเพจ 0 สัญญาณการตรวจหา ,/Rpgo จะถูกส่งไปอินาเบิลตัวกระจายพัลซ์ ดังนั้นตัวกระจายพัลซ์จะทำงานเฉพาะในช่วงเพจ 0 เท่านั้น สัญญาณการตรวจหาอีกส่วนหนึ่งจะผ่านอินเวอร์เตอร์ไปอินาเบิลตัวกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพ ดังนั้นตัวกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพก็จะทำงานเฉพาะในช่วงข้อมูลภาพเท่านั้น (เพจ 1 - เพจ 64)

พิจารณาตัวกระจายพัลซ์ (U13) ซึ่งมีตัวกระจายพัลซ์อยู่ 2 ส่วน จะเห็นว่าส่วนที่กระจายพัลซ์ของ /RCSW - Latch และ /RFAW - CHK.P จะถูกอินาเบิลจาก /Rpgo เพียงอย่างเดียวดังนั้นส่วนนี้จะทำงานในช่วงเพจ 0 ตลอด ส่วนตัวกระจายพัลซ์ของ /RHLN - Latch และ /RVH - Latch จะถูกอินาเบิลจาก 2 แหล่งคือ จากสัญญาณ /RPgo และจากสัญญาณ SYN ซึ่งเป็นสัญญาณที่ส่งมาจากส่วนควบคุมสถานะการซิงโครไนซ์ เพื่อแจ้งให้ทราบว่าระบบซิงโครไนซ์แล้วเท่านั้นซึ่งสอดคล้องกับการที่ข้อมูลในช่วงเพจ 0 เฉพาะเมื่อระบบอยู่ในสภาพที่ซิงโครไนซ์แล้วเท่านั้นซึ่งสอดคล้องกับการที่ข้อมูลในส่วนนี้ (HLN และ VF) จะใช้ประโยชน์ได้เมื่อระบบอยู่ในสภาพการซิงโครไนซ์แล้วเท่านั้น



รูปที่ 4.7 ไดอะแกรมเวลาการทำงานของส่วนดีมัลติเพล็กซ์ข้อมูล

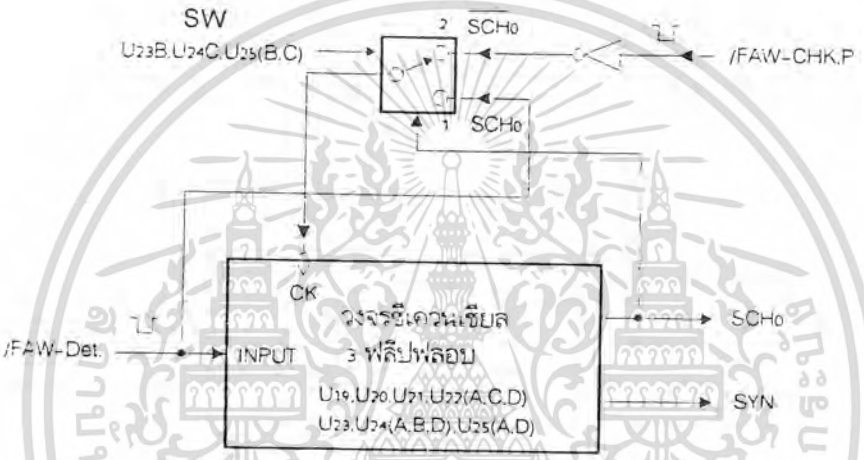
สำหรับส่วนกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพ จะเห็นว่าได้รับสัญญาณการอินาเบิลจาก 3 แหล่งคือ Rpgo (ผ่านอินเวอร์เตอร์แล้ว) SYN และ /VDA (จาก RCSW - BUF) ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนกำเนิดสัญญาณเวลาสำหรับข้อมูลภาพจะทำงานเมื่อระบบอยู่ในสภาพซิงโครไนซ์แล้วในช่วงเพจ1 ถึงเพจ 64 เฉพาะเมื่อสัญญาณ /VDA แอคทีฟเท่านั้น

4.2.3 ส่วนควบคุมสถานะการซิงโครไนซ์

ส่วนควบคุมสถานะการซิงโครไนซ์ ทำหน้าที่ในการอไลเมนต์เฟรมข้อมูลโดยยวิธีการตรวจสอบ FAW ซึ่งจะทำงานร่วมกับตัวตรวจหา FAW และ ตัวดีมัลติเพล็กซ์ข้อมูล ไดอะแกรมของส่วนควบคุมสถานะการซิงโครไนซ์แสดงในรูปที่ 4.8



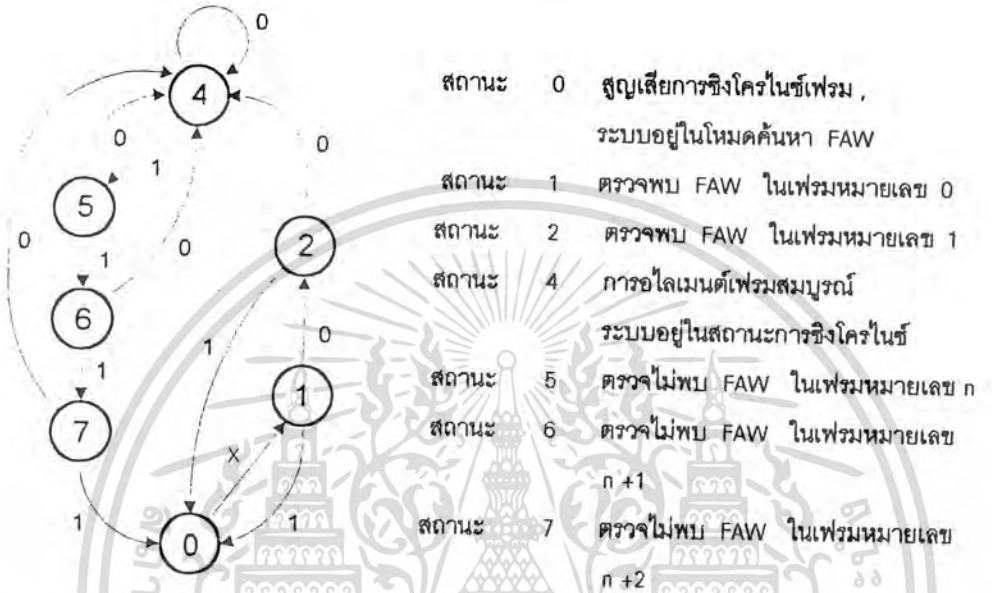
รูปที่ 4.8 ไดอะแกรมของส่วนควบคุมสถานะการซิงโครไนซ์

จากรูปส่วนควบคุมสถานะการซิงโครไนซ์จะประกอบด้วย 2 ส่วนคือ สวิทช์ และ วงจรซีเควนเชียลซึ่งเป็นวงจรที่ประกอบด้วยฟลิปฟลอบ 3 ตัว ดังนั้นจึงมีสถานะการทำงานได้ 8 สถานะ แต่เลือกใช้เพียง 7 สถานะโดยมีไดอะแกรมสถานะการทำงาน (State Diagram) ดังรูปที่ 4.9 วงจรซีเควนเชียลที่กล่าวมานี้มี 2 อินพุทและ 2 เอาท์พุทดังนี้

- CK เป็นอินพุทคล็อกใช้สำหรับกระตุ้นการทำงานของฟลิปฟลอบ
- INPUT เป็นอินพุทสำหรับตรวจสอบสัญญาณการตรวจหา FAW ในขณะเวลาที่มีสัญญาณมากระตุ้นที่อินพุท CK ผลการตรวจสอบจะนำไปใช้ในกระบวนการตัดสินใจในการอไลเมนต์เฟรม
- SCH 0 เป็นเอาท์พุทที่แอคทีฟเฉพาะสถานะ 0 แอคทีฟที่โลจิก 1 โดยสถานะ 0 นี้จะเป็นสถานะเริ่มต้นการทำงานของระบบ (เช่นตอนเริ่มต้นเปิดเครื่อง) และสัญญาณนี้จะถูกส่งไปอินาเบิลการทำงานของส่วนนับความยาวเฟรมข้อมูลภายในส่วนดีมัลติเพล็กซ์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- SYN เป็นเอาท์พุทที่แอคทีฟเฉพาะสถานะ 4 , 5 , 6 หรือ 7 แอคทีฟที่โลจิก1 เป็นสัญญาณที่แสดงให้ทราบว่าการอไลเมนต์ยังอยู่ในสภาพปกติ และจะถูกส่งไปยังส่วนดีมัลติเพล็กซ์ข้อมูลเพื่ออินาเบิลให้มีการแลทซ์ข้อมูลจาก RBUS เข้าสู่บัฟเฟอร์ข้อมูล

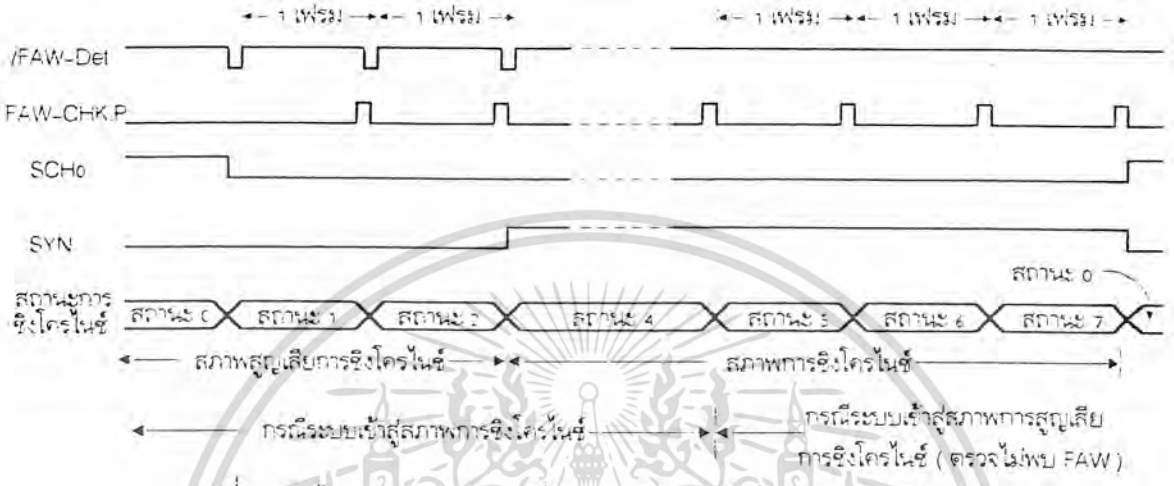


รูปที่ 4.9 ไดอะแกรมสถานะของส่วนควบคุมสถานะการซิงโครไนซ์

การทำงานจะเริ่มจากสถานะ 0 ซึ่งเป็นสถานะเริ่มต้นการทำงาน สัญญาณ SCHo จะมีโลจิกเป็น 1 ทำให้ส่วนนับความยาวเฟรมข้อมูลของตัวดีมัลติเพล็กซ์ข้อมูลไม่ทำงานและ SW ในรูป 4.8 อยู่ที่ตำแหน่ง 1 ซึ่งรับสัญญาณนาฬิกาจาก /FAW - Det จากจุดนี้เมื่อพิจารณาไดอะแกรมสถานะในรูปที่ 4.9 ประกอบจะเห็นว่า /FAW - Det พัลซ์แรกที่เกิดขึ้น (FAW ตัวแรกที่ตรวจพบ) จะทำให้สถานะระบบเปลี่ยนอย่างไม่มีเงื่อนไขจากสถานะ 0 ไปยังสถานะ 1 ทำให้สัญญาณนาฬิกาของส่วนควบคุมสถานะการซิงโครไนซ์เปลี่ยนมาเป็น SW มาที่ตำแหน่งที่ 2 เช่นกัน ทำให้สัญญาณนาฬิกาของส่วนควบคุมสถานะการซิงโครไนซ์เปลี่ยนมาเป็น FAW -CHK.P (ผ่านอินเวอร์เตอร์แล้ว) พร้อมกันนั้นตัวนับความยาวเฟรมในส่วนดีมัลติเพล็กซ์ข้อมูลจะส่งพัลซ์ /FAW - CHK.Pกลับมากระตุ้นส่วนควบคุมสถานะการซิงโครไนซ์ เพื่อตรวจสอบว่ามีการตรวจพบ FAW หรือไม่ ที่จุดตรวจสอบนี้ถ้าพบ FAW จริง สัญญาณ /FAW-Det จะแอคทีฟ (โลจิก 0) พร้อมกันด้วยและระบบจะเปลี่ยนไปที่สถานะ 2 และทำการตรวจสอบ FAW ที่เฟรมต่อไป แต่ถ้าไม่พบ FAW (ยังคงเป็นโลจิก 1) ระบบจะเปลี่ยนนกลับไปที่สถานะ 0 เพื่อตรวจหา FAW ตัวใหม่ซึ่งหมายความว่า FAW ที่พบตัวแรกนั้นเป็น FAW เทียม กระบวนการจะเป็นไปตามไดอะแกรมสถานะในรูปที่ 4.9 ซึ่งถ้า FAW ที่พบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็น FAW จริง สุดท้ายระบบจะไปอยู่ที่สถานะ 4 ซึ่งเป็นสถานะการอไลเมนต์สมบูรณ์ กระบวนการเก็บข้อมูลต่างๆ ก็จะเริ่มต้นทำงาน หลังจากนี้ถ้าทุกเฟรมมีการตรวจพบ FAW ในตำแหน่งที่กำหนดระบบก็จะยังคงอยู่ที่สถานะ 4 แต่ถ้ามีการตรวจไม่พบ FAW ติดต่อกัน 4 เฟรมระบบก็จะกลับไปที่สถานะ 0 และเริ่มต้นค้นหา FAW ตัวใหม่ ดังไดอะแกรมเวลาในรูปที่ 4.10



รูปที่ 4.10 ไดอะแกรมเวลาการเข้าสู่สภาพการซิงโครไนซ์ และการเข้าสู่การสูญเสียการซิงโครไนซ์ของส่วนควบคุมสถานะการซิงโครไนซ์

4.2.4 ส่วนถอดรหัสข้อมูลเสียง (Voice Data Decoding)

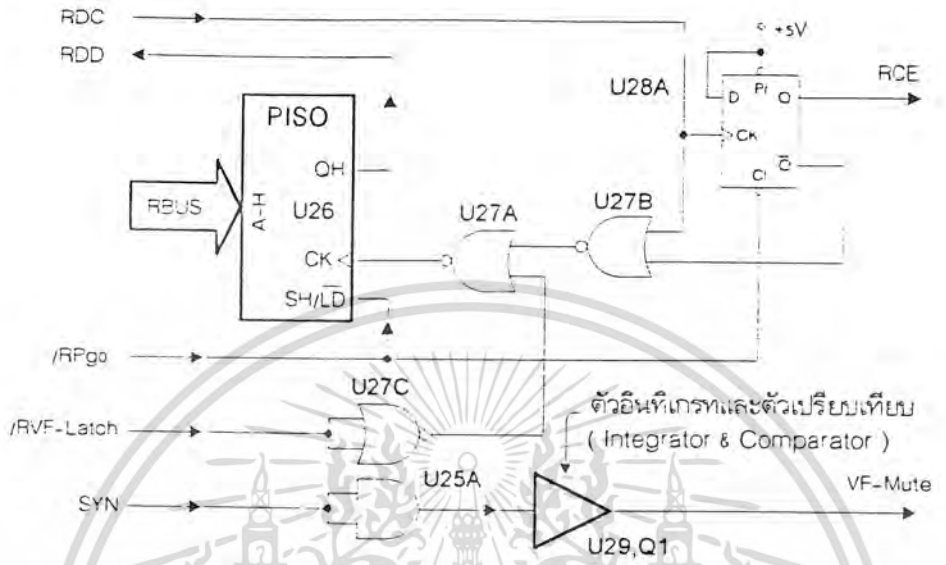
ส่วนถอดรหัสข้อมูลเสียงจะทำหน้าที่แปลงข้อมูลเสียงแบบขนานที่แลทช์ได้จาก RBUS ให้เป็นข้อมูลอนุกรมและส่งกลับไปเข้าชิพ CODEC ซึ่งอยู่ที่เครื่องส่งทำการถอดรหัสและแปลงกลับเป็นสัญญาณเสียงตามเดิม นอกจากนี้ยังกำเนิดสัญญาณ VF-Mute เพื่อใช้ในการปิดสัญญาณเสียงที่ระบบได้เมื่อระบบอยู่ในสภาพไม่ซิงโครไนซ์ เพื่อไม่ให้เกิดเสียงรบกวน ไดอะแกรมระบบแสดงในรูปที่ 4.11

จากไดอะแกรมสัญญาณ RDD , RDC , RCE และ VF-Mute เป็นสัญญาณที่ต่อกับทางเครื่องส่งมีรายละเอียดดังนี้

- RDD เป็นข้อมูลเอาท์พุทที่ต่อไปชิพ CODEC โดยจะซิงโครไนซ์กับของขาขึ้นของสัญญาณนาฬิกา RDC ส่วนของขาลงจะเป็นการเลื่อนข้อมูลเข้าสู่ชิพ CODEC
- RDC เป็นสัญญาณนาฬิกาอินพุทที่ส่งมาจากวงจรเข้ารหัสเสียงทางด้านเครื่องส่งนำเข้ามาเพื่อกำเนิดสัญญาณ RCE และการเลื่อนข้อมูลออกเพื่อนำเข้าสู่ชิพ
- RCE เป็นสัญญาณเอาท์พุทซิงโครไนซ์กับสัญญาณนาฬิกา RDC ใช้สำหรับอินาเบิลกระบวนการถอดรหัสข้อมูลของชิพ CODEC โดยขอบขาขึ้นของสัญญาณจะเป็นการอินาเบิลให้ชิพเริ่มต้นกระบวนการเลื่อนข้อมูลเข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานจะเริ่มจากเมื่อเกิดสัญญาณ /RPgo ซึ่งเป็นสัญญาณเพจ 0 (เกิดในอัตราความถี่ 8 KHz) จะทำให้ U28A ถูกเคลียร์ สัญญาณ RCE จึงไม่แอคทีฟและกระบวนการเลื่อน



รูปที่ 4.11 แสดงไดอะแกรมส่วนถอดรหัสข้อมูลเสียง

ข้อมูลยังไม่เกิดขึ้น ในช่วงเวลาของสัญญาณ /Rpgo นี้จะเกิดสัญญาณ /RVF-Latch ทำการโหลดข้อมูลเสียงบน RBUS เข้าสู่รีจีสเตอร์แบบเข้าขนานออกอนุกรมหรือ U26 เมื่อ U26 ได้รับการโพลวข้อมูลเข้าสัญญาณ RCD จะกระตุ้น U28A ทำให้เกิดขอบขาขึ้นของสัญญาณ RCE ขึ้นอินาเบิลชิพ CODEC และขอบขาลงต่อมาของ RDC ข้อมูลบิทแรกบน RDD จะถูกเลื่อนเข้าภายในชิพ หลังจากนี้ขอบขาขึ้นและและขอบขาลงของสัญญาณนาฬิกาลูกต่อๆมาของ RDC จะเป็นการเลื่อนข้อมูลบิทต่อไปออกจาก U26 และเลื่อนเข้าสู่ภายในชิพตามลำดับ จนกระทั่งครบ 8 บิท ซึ่งหลังจากนี้ชิพ CODEC จะไม่สนใจกับข้อมูลบน RDD แต่จะดำเนินการถอดรหัสข้อมูลที่เพิ่งได้รับเข้าไป จนกว่าจะได้รับสัญญาณ RCE ลูกใหม่จึงจะมีการเลื่อนข้อมูลชุดใหม่ ไดอะแกรมเวลาของส่วนนี้แสดงดังรูปที่ 4.12

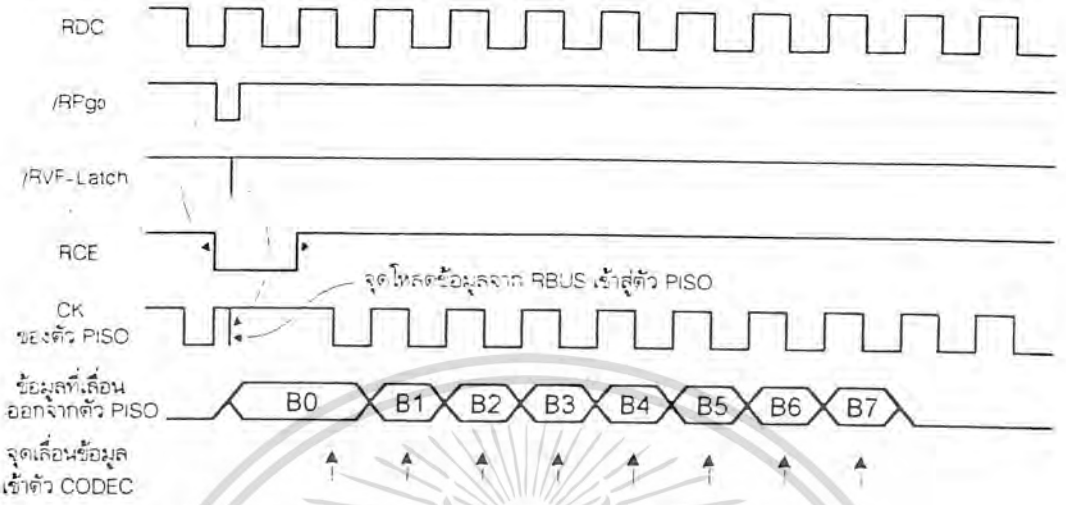
4.2.5 ส่วนควบคุมและประมวลผลข้อมูลภาพ

ส่วนควบคุมและประมวลผลข้อมูลภาพแสดงด้วยไดอะแกรมในรูปที่ 4.13 ซึ่งประกอบด้วยหลายส่วนคือ

1. ส่วนนับแอดเดรสชุดล่าง (U24 U25) ทำหน้าที่ในการกำเนิดแอดเดรส STA0 - STA7 ซึ่งเป็นตำแหน่งที่ใช้สำหรับเก็บข้อมูลจุดภาพในแต่ละเส้นกวาดโดยใช้ R-Cntr ซึ่งกำเนิดมาจากส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดีมัลติเพล็กซ์ข้อมูลเป็นพัลซ์สำหรับนับแอดเดรสและในทุกๆ 1 เฟรมข้อมูลตัวนับนี้จะถูกเคลียร์ด้วยพัลซ์ /FAW-CHK.P



รูปที่ 4.12 ไดอะแกรมการทำงานของส่วนถอดรหัสข้อมูลภาพ

2. ส่วนสวิทช์เพจภาพ ประกอบด้วย U31 - U33 ทำหน้าที่ตรวจสอบว่าข้อมูลภาพที่รับอยู่ครบแล้วหรือยัง ถ้าครบแล้วจะทำการสวิทช์หน่วยความจำภาพที่ตำแหน่งสัญญาณซิงค์แนวตั้งตัวต่อไปโดยสัญญาณที่ใช้ในการสวิทช์หน่วยความจำคือ PSW (Page - Switch)

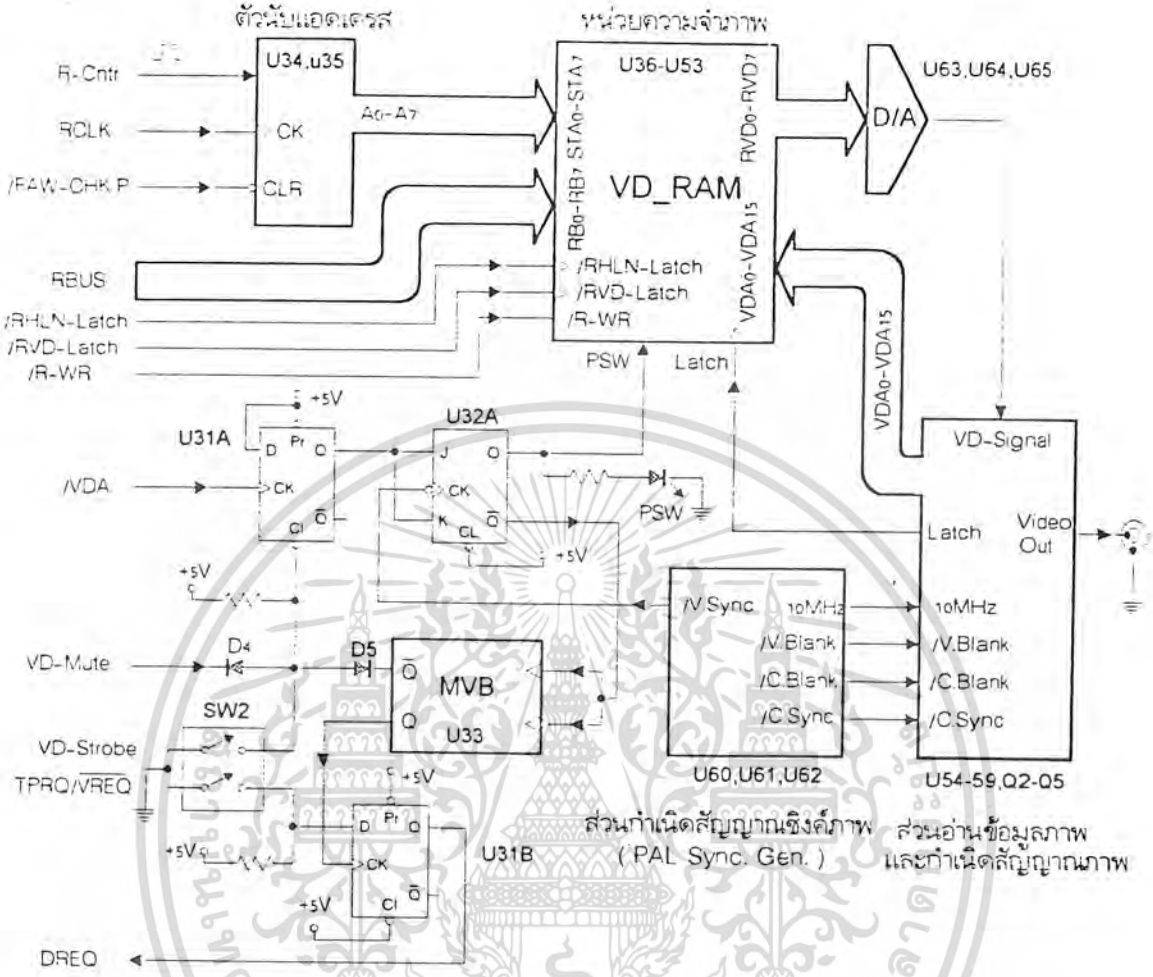
3. ตัวแปลงสัญญาณดิจิตอลเป็นอนาลอก (D/A Converter) ประกอบด้วย U63 , U64 และ U65 ทำหน้าที่แปลงข้อมูลภาพที่อ่านมาจากหน่วยความจำให้เป็นสัญญาณอนาลอกเพื่อนำไปผสมกับสัญญาณซิงค์ในการกำเนิดสัญญาณภาพใหม่

4. ส่วนอ่านข้อมูลภาพและกำเนิดสัญญาณภาพ ทำหน้าที่กำเนิดแอดเดรสหน่วยความจำภาพซึ่งเป็นแอดเดรสสำหรับการอ่านข้อมูลภาพออกและนำสัญญาณอนาลอกที่แปลงได้มาทำการผสมกับสัญญาณซิงค์ซึ่งมาจากส่วนกำเนิดสัญญาณซิงค์ภาพเพื่อสร้างสัญญาณใหม่ สามารถนำไปต่อเข้ากับทีวีมอนิเตอร์ทั่วไปได้

5. ส่วนกำเนิดสัญญาณซิงค์ภาพ (PAL Sync Gen) U60 , U61 และ U62 ทำหน้าที่กำเนิดสัญญาณซิงค์ตามมาตรฐาน PAL โดยแพทเทอร์นของสัญญาณต่างๆจะถูกโปรแกรมไว้แล้วในหน่วยความจำ EPROM

6. หน่วยความจำภาพ (Video RAM) ภายในประกอบด้วยหน่วยความจำเป็นข้อมูลภาพ 2 ชุด ขนาดชุดละ 64 Kbytes คือ RAM1 และ RAM 2 โดยในขณะเวลาใดๆชุดหนึ่งจะทำหน้าที่เก็บข้อมูลภาพและอีกชุดหนึ่งถูกอ่านข้อมูลไปแสดงบนจอภาพ การสวิทช์เพื่อสลับหน้าที่ของหน่วยความจำทั้ง 2 ชุดนี้ถูกควบคุมด้วยสัญญาณ PSW นอกจากนี้บัฟเฟอร์ RVD - BUF และ RHLN - BUF ซึ่งทำหน้าที่แลทช์ข้อมูลของมันบน RBUS ก็ยังรวมไว้ในส่วนนี้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



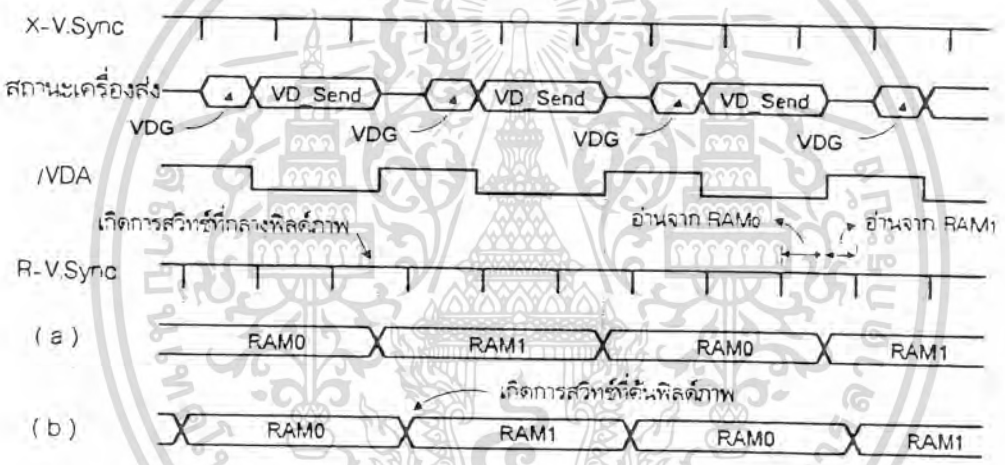
รูปที่ 4.13 ไดอะแกรมสถานะของส่วนประมวลผลข้อมูลภาพ

การทำงานจะเริ่มจากส่วนสวิทช์เพจภาพ จากวงจรในรูปที่ 4.13 จะสังเกตุเห็นว่า U32A ต่อวงจรในลักษณะของท็อกเกิล (Toggle) คือเอาท์พุท Q จะเปลี่ยนระดับโลจิกไปอีกระดับหนึ่งทุกครั้งที่มีพัลซ์มากระตุ้นที่ขา CK ซึ่งในที่นี้คือ สัญญาณซิงค์แนวตั้ง แต่การสวิทช์จะเกิดขึ้นได้เมื่อขา J และ K มีโลจิกเป็น 1 เท่านั้นซึ่งจะเห็นว่าถูกควบคุมด้วยสัญญาณ /VDA ผ่านมาทาง U31A ส่วน U33 ทำหน้าที่สร้างพัลซ์มาเคลียร์ U31A ทุกครั้งที่มีการสวิทช์เพจภาพ

เมื่อสัญญาณ /VDA มีการเปลี่ยนระดับโลจิกจาก 0 ไปเป็น 1 (ซึ่งหมายถึงข้อมูลชุดสุดท้ายของเพจภาพได้ถูกเก็บเรียบร้อยแล้ว) U31A จะถูกกระตุ้นทำให้ J และ K ของ U32A ถูกเซ็ตเป็น 1 ณ จุดนี้หน่วยความจำอยู่ในสภาพพร้อมที่จะสวิทช์ เมื่อเกิดสัญญาณซิงค์แนวตั้งขึ้น U32A ซึ่งอยู่ในสภาพท็อกเกิลจึงถูกกระตุ้น เกิดการสวิทช์สัญญาณ PSW ซึ่งเป็นการสวิทช์หน่วยความจำด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่นกัน ทันทีที่มีการสวิทช์เพจภาพ U33 จะถูกกระตุ้นและกำเนิดพัลซ์ผ่าน D5 ไปเคลียร์ U31A เพื่อการสวิทช์ครั้งต่อไป การควบคุมให้การสวิทช์เพจภาพเกิดขึ้นพร้อมกับสัญญาณซิงค์แนวตั้ง ซึ่งเป็นต้นเฟรมภาพนั้นก็เพื่อไม่ให้เกิดอาการในลักษณะที่ภาพปรากฏบนจอภาพถูกแบ่งเป็น2 ส่วน โดยแต่ละส่วนถูกอ่านจากหน่วยความจำภาพคนละตัวกันเป็นผลให้พื้นที่ภาพทั้ง 2 ส่วนนี้ปรากฏภาพหรือเหตุการณ์ที่เกิดกันคนละเวลา ภาพที่ได้จึงต่อเนื่องกัน สาเหตุเนื่องจากการสวิทช์เพจภาพที่ไม่ซิงโครไนซ์กับสัญญาณซิงค์แนวตั้งนั้นจะมีโอกาสสูงมากที่สวิทช์เพจภาพเกิดขึ้นในขณะเวลาที่เป็นบริเวณกลางเฟรมภาพซึ่งเป็นเวลาที่การกวาดเส้นบนจอภาพยังไม่ครบฟิลด์เมื่อมีการสวิทช์เกิดขึ้นเส้นกวาดที่เหลือจึงเป็นภาพของเหตุการณ์ใหม่ ซึ่งแสดงได้ด้วยไดอะแกรมเวลาใน รูปที่ 4.14

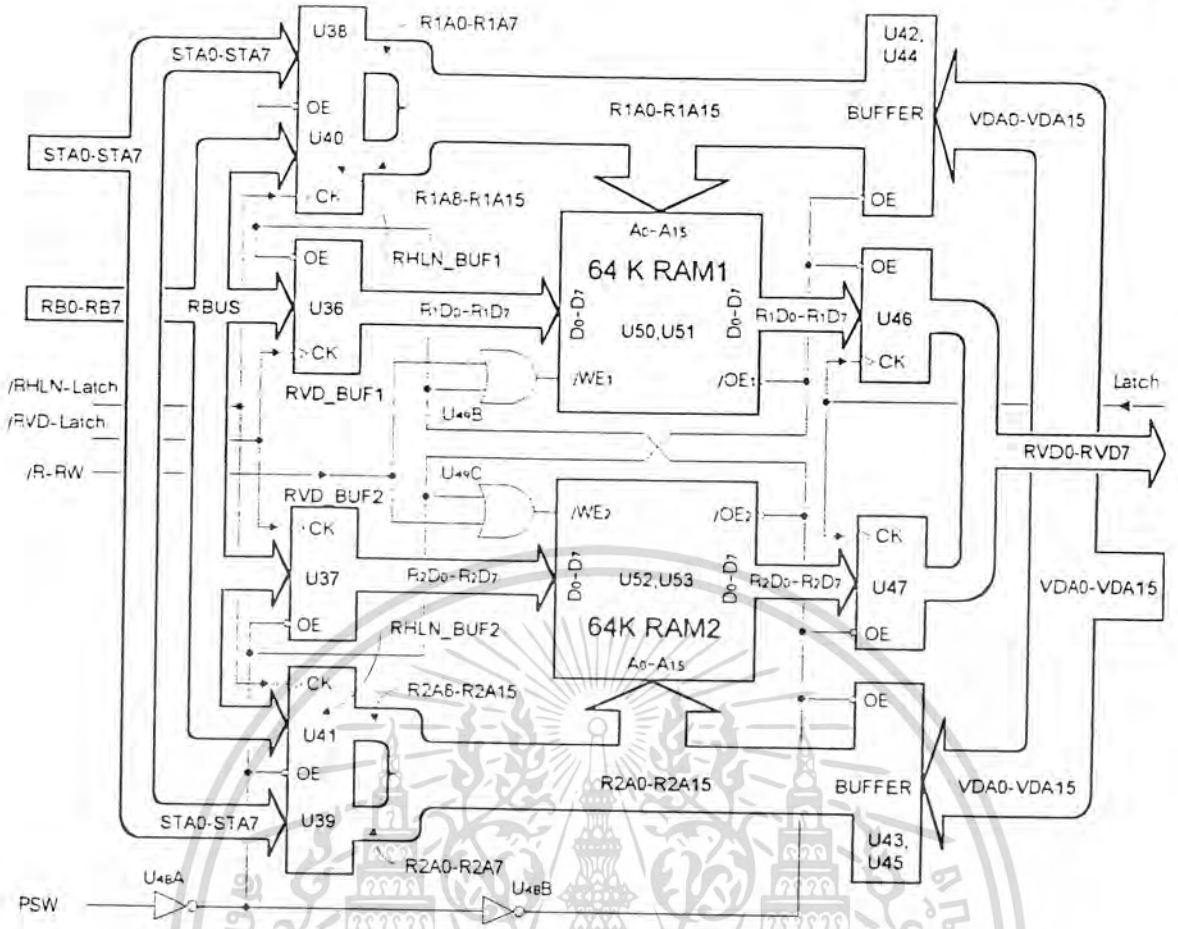


รูปที่ 4.14 ไดอะแกรมแวลาแสดงการสวิทช์เพจภาพ
(a) กรณีไม่ซิงโครไนซ์กับสัญญาณซิงโครนัสแนวตั้ง
(b) กรณีซิงโครไนซ์กับสัญญาณซิงโครนัสแนวตั้ง

4.2.5.1 หน่วยความจำภาพ (Video RAM)

หน่วยความจำที่ใช้ภายในประกอบด้วยหน่วยความจำขนาด 64 Kbytes จำนวน 2 ชุด คือ RAM1 และ RAM2 ไดอะแกรมแสดงในรูปที่ 4.15 จากสัญญาณที่เข้ามาทางด้านซ้ายเป็นสัญญาณที่เข้ามาติดต่อเพื่อการเขียนหน่วยความจำ ประกอบด้วยสัญญาณเขียนหน่วยความจำ ,/R-WR แอดเดรส STA0-STA7 และ STA8-STA15 ซึ่งแลทช์ข้อมูลจาก RBUS เข้าสู่ RHLN-BUF ด้วยสัญญาณ /RHLN-Latch เมื่อผ่านบัฟเฟอร์แล้วจะมีชื่อสัญญาณเป็น R1A0 - R1A15 สำหรับ RAM1 และ R2A0 -R2A15 สำหรับ RAM2 และบัสข้อมูลภาพซึ่งแลทช์ข้อมูลจาก RBUS เข้าสู่บัฟเฟอร์ RVD-BUF ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 แสดงไดอะแกรมของระบบหน่วยความจำภาพ

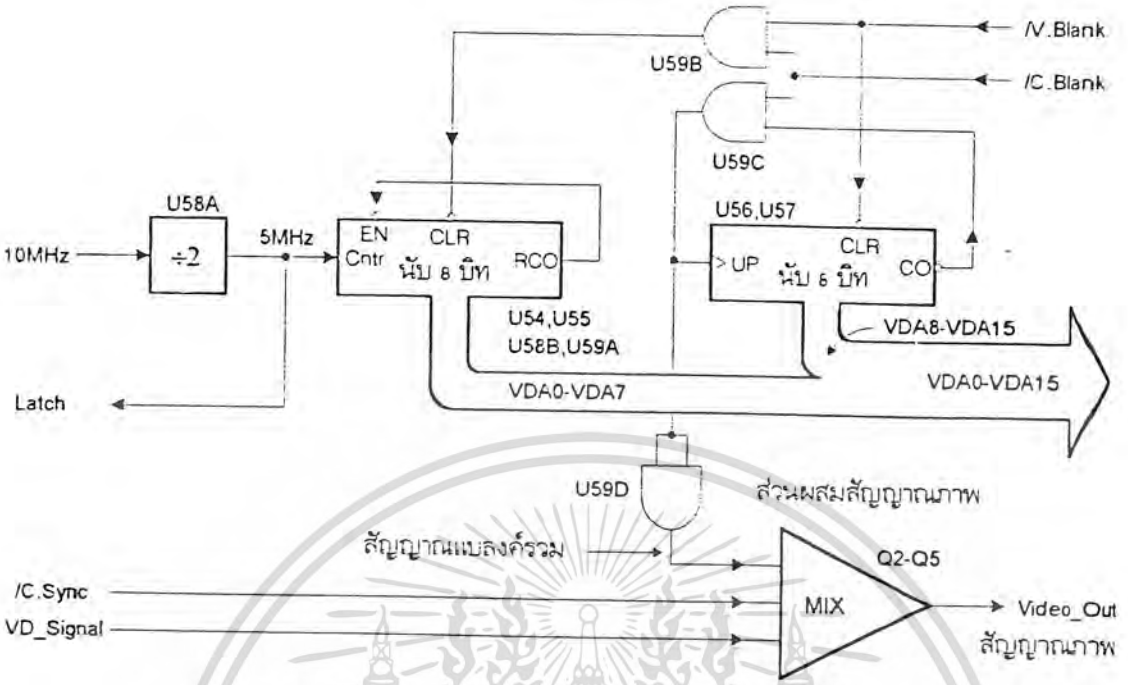
สัญญาณแลทช์ /RVD-Latch ใช้ชื่อสัญญาณเป็น R1D0-R1D7 สำหรับ RAM1 และ R2D0-R2D7 สำหรับ RAM2 ส่วนสัญญาณที่เข้ามาทางด้านขวาเป็นสัญญาณที่เข้ามาติดต่อเพื่อการอ่านข้อมูลหน่วยความจำประกอบด้วยแอดเดรสสำหรับอ่านหน่วยความจำ VDA0-VDA15 และข้อมูลจากหน่วยความจำ RVD0-RVD7 รวมถึงสัญญาณแลทช์ข้อมูลจากหน่วยความจำ

การควบคุมหน่วยความจำจะทำในลักษณะที่ในขณะเวลาใดๆ หน่วยความจำชุดหนึ่งจะถูกอ่านและอีกชุดหนึ่งจะถูกเขียน ส่วนการที่หน่วยความจำชุดไหนจะถูกอ่านหรือเขียนนั้นจะขึ้นอยู่กับสัญญาณสวิทช์เพจภาพ โดยเมื่อ PSW มีโลจิกเป็น 0 จะทำให้ U36 , U38 , U40 , U45 , U47 ถูกอินาเบิลเป็นผลให้ RAM1 สามารถถูกเขียนได้เพียงอย่างเดียว และ RAM2 สามารถถูกอ่านได้เพียงอย่างเดียว และเมื่อ PSW มีโลจิกเป็น 1 สภาพการจะกลับกันคือ RAM1 สามารถถูกอ่านได้เพียงอย่างเดียวและ RAM2 สามารถถูกเขียนได้เพียงอย่างเดียว

4.2.5.2 ส่วนอ่านข้อมูลภาพและกำเนิดสัญญาณภาพ

ไดอะแกรมของส่วนนี้แสดงดังรูปที่ 4.16 ในส่วนนี้จะประกอบด้วย ส่วนนับแอดเดรสซึ่งแบ่งเป็น 2 ส่วนคือ ตัวนับแอดเดรสสำหรับข้อมูลจุดภาพในแต่ละเส้นกวาด (VDA0-VDA7) และตัวนับแอดเดรสสำหรับระบุเส้นกวาดแนวนอน (VDA8-VDA15) และส่วนผสมสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 ไดอะแกรมแสดงส่วนอ่านข้อมูลภาพและกำเนิดสัญญาณภาพ

การทำงานของตัวนับแอดเดรส VDA0-VDA7 จะใช้ความถี่ในการนับ 5 MHz (เนื่องจากเป็นความถี่ที่ใช้ในการสุ่มสัญญาณของตัวดิจิไทซ์สัญญาณภาพ) ซึ่งได้จากการหารความถี่อ้างอิง 10 MHz จากส่วนกำเนิดสัญญาณซิงค์ภาพด้วย 2 ดังนั้นอัตราการอ่านและแลทช์ข้อมูลภาพออกจึงเป็น 5 MHz ด้วยจึงใช้สัญญาณ Latch (สำหรับ U46 และ U47) ด้วยเช่นกัน ตัวนับนี้จะเป็นตัวนับแบบที่นับเต็มแล้วจะหยุดและจะเริ่มต้นนับใหม่เมื่อมี สัญญาณแบลงค์รวมมาเคลียร์ หมายความว่าแอดเดรส VDA0-VDA7 จะนับแอดเดรสจากสัญญาณแบลงค์รวม ซึ่งใช้ในฐานะของสัญญาณแบลงค์กิ้งแนวนอนเพื่อนับจำนวนเส้นกวาดแนวนอน และตัวนับทั้งสองจะถูกเคลียร์ด้วยสัญญาณแบลงกิ้งค์แนวตั้งซึ่งเป็นการเริ่มต้นอ่านข้อมูลภาพเพื่อเริ่มกวาดภาพใหม่ จากที่กล่าวมาตัวนับทั้งสองจะนับไปเรื่อยจนกระทั่งตัวนับ VDA8-VDA15 นับถึงเส้นกวาดสุดท้ายจะเกิดสัญญาณ CO มาปิดเกท U59C การนับจึงหยุดลง การนับจะเริ่มต้นใหม่เมื่อเกิดสัญญาณแบลงกิ้งค์แนวตั้งมาเคลียร์ตัวนับทั้งสอง

ในขณะที่ตัวนับกำลังนับแอดเดรสอยู่นั้น ข้อมูลจากหน่วยความจำในตำแหน่งที่สมนัยกับแอดเดรสที่นับจะถูกแปลงเป็นสัญญาณอนาลอก VD-Signal โดย D/A Converter มาทำการผสมกับสัญญาณแบลงค์รวมซึ่งผ่านมาทาง U59 , U59D และสัญญาณซิงค์รวม ผลที่ได้คือ สัญญาณภาพซึ่งสามารถต่อเข้ากับ ทีวีมอนิเตอร์ได้โดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.6 ส่วนแยกสัญญาณนาฬิกา (Clock Extraction)

ส่วนแยกสัญญาณนาฬิกาถือเป็นส่วนหนึ่งของระบบที่มีความสำคัญมาก มีหน้าที่ในการนำข้อมูลเชิงเวลาของขบวนข้อมูลที่รับได้ไปสร้างสัญญาณนาฬิกาที่มีเสถียรภาพและซิงโครไนซ์กับขบวนข้อมูลที่รับได้ เพื่อใช้ในการอไลเมนต์เฟรมข้อมูลและการดีมัลติเพล็กซ์ข้อมูลซึ่งจะเห็นได้ว่าถ้าสัญญาณนาฬิกาที่ได้ไม่มีเสถียรภาพแล้วระบบการอไลเมนต์เฟรมย่อมไม่สามารถที่จะทำงานได้ ดังนั้นกระบวนการดีมัลติเพล็กซ์ข้อมูลย่อมดำเนินไปไม่ได้เช่นกัน ระบบสื่อสารจึงไม่สามารถดำเนินต่อไปได้ด้วย

ประกอบด้วย 2 ส่วนใหญ่ๆ คือ

ส่วนจูนความถี่ LC (ส่วนนอกเส้นประ)

ส่วนเฟสล็อคลูป (Phase Locked Loop)

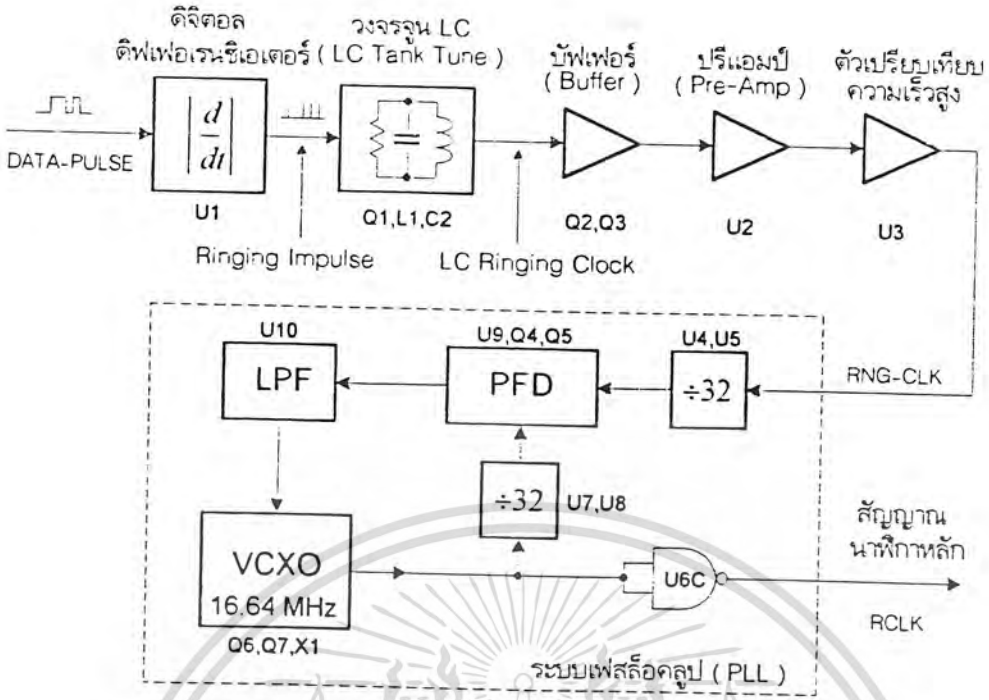
4.2.6.1 ส่วนจูนความถี่ LC

ส่วนนี้ทำหน้าที่ในการกำเนิดสัญญาณนาฬิกาซึ่งซิงโครไนซ์กับขบวนข้อมูลที่รับได้โดยเริ่มจากการนำขบวนข้อมูลที่รับได้ซึ่งถูกสแครมเบลอร์มาแล้วมาทำการดิฟเฟอเรนซิเอท (Differentiate) เพื่อสร้างสัญญาณอิมพัลซ์ตรงจุดที่มีการเปลี่ยนสถานะของขบวนข้อมูลที่รับได้ เรียกสัญญาณอิมพัลซ์นี้ว่า ริงกิ้งอิมพัลซ์ (Ringing Impulse) จากนั้นนำสัญญาณอิมพัลซ์นี้ไปกระตุ้นวงจรจูน LC ซึ่งจูนความถี่ไว้ที่อัตราการส่งข้อมูล ผลจากการกระตุ้นนี้จะทำให้วงจรจูน LC เกิดการออสซิลเลตที่ความถี่เรโซแนนซ์แต่แอมปลิจูดของสัญญาณที่ได้จะมีขนาดลดลงตามเวลาแบบเอ็กโปเนนเชียลจนกว่าจะมีอิมพัลซ์มากระตุ้นใหม่ เรียกสัญญาณที่จุดนี้ว่า LC ริงกิ้งคล็อก ซึ่งในทางปฏิบัติจะพยายามทำให้การลดลงของแอมปลิจูดนี้ช้าที่สุดโดยการพยายามทำให้วงจรจูนมีค่า Q สูงที่สุด สัญญาณ LC ริงกิ้งคล็อกที่ได้จะนำไปผ่านบัฟเฟอร์ที่มีอินพุทอิมพิเดนซ์สูง ในการทดลองใช้ เฟ็ต เป็นอุปกรณ์ทางอินพุท เพื่อให้โหลดวงจรจูนน้อยที่สุด จากนั้นจึงนำไปขยายด้วยปรีแอมป์เพื่อให้แอมปลิจูดสม่ำเสมอแล้วจึงแปลงสัญญาณเป็นรูปสี่เหลี่ยมด้วยตัวเปรียบเทียบความเร็วสูง สัญญาณใหม่ที่ได้จะเรียกว่า ริงกิ้งคล็อก (Ringing Clock) ซึ่งจะนำไปเข้าส่วน เฟสล็อคลูป ต่อไป

4.2.6.2 ส่วนเฟสล็อคลูป (Phase Locked Loop)

เนื่องจากสัญญาณริงกิ้งคล็อกที่ได้จากส่วนจูนความถี่ LC ยังไม่มีเสถียรภาพที่ดีเพียงพอที่จะนำไปใช้งานได้เนื่องจากยังมี จิทเตอร์ ปะปนอยู่ดังนั้นจึงจะนำสัญญาณนาฬิกานี้ผ่านเข้าระบบเฟสล็อคลูป ที่มีแถบความถี่แคบมากเพื่อสร้างสัญญาณนาฬิกาใหม่ที่มีเสถียรภาพและปราศจากจิทเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 แสดงไดอะแกรมส่วนแยกสัญญาณนาฬิกา

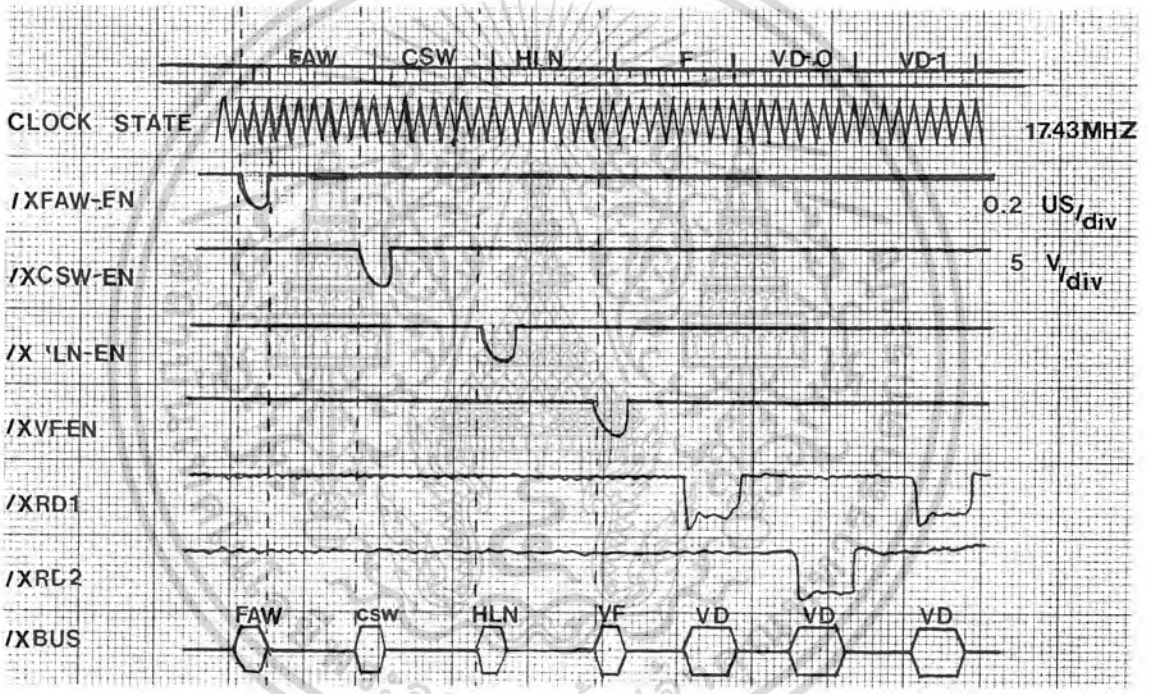
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ผลการทดลอง

ระบบส่งข้อมูล

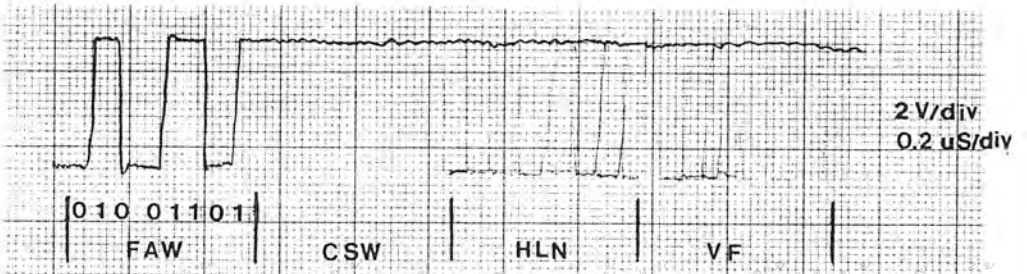
ในการทดลองระบบส่งข้อมูล จะทำโดยแบ่งการทดลองออกเป็นส่วนๆดังนี้

1. ส่วนของตัวมัลติเพล็กซ์ข้อมูล จะเป็นตัวกำเนิดสัญญาณ /XFAW_EN , /XCSW_EN ,/XHLN_EN ,/XVF_EN ,/XRD1 และ,/XRD2 ซึ่งสัญญาณเหล่านี้เป็นสัญญาณอินาเบิลข้อมูล และสัญญาณอ่านข้อมูลจากหน่วยความจำ ลงสู่บัสข้อมูล โดยจะมีการเลื่อนเฟสไปตามรูปแบบของข้อมูลทีดีเอ็ม ซึ่งได้ทำการวัดสัญญาณเหล่านี้แสดงเป็นไทมิ่งไดอะแกรมดังนี้



2. ส่วนของตัวแปลงข้อมูลขนานเป็นอนุกรม

การทดลองในส่วนนี้ ได้กำหนดให้ข้อมูลในบัสข้อมูลขนานเป็นข้อมูลเฉพาะเพจ 0 เท่านั้น เมื่อแปลงข้อมูลขนานเป็นอนุกรม แล้วทำการวัดสัญญาณ อนุกรมที่ได้จะได้สัญญาณดังนี้ โดยจะเห็นว่าสัญญาณที่วัดได้นั้นแสดงเห็นเป็นเพจ 0 ได้ชัดเจน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ส่วนของตัวดิจิไทซ์สัญญาณภาพ เป็นตัวกำเนิดสัญญาณต่างๆดังนี้

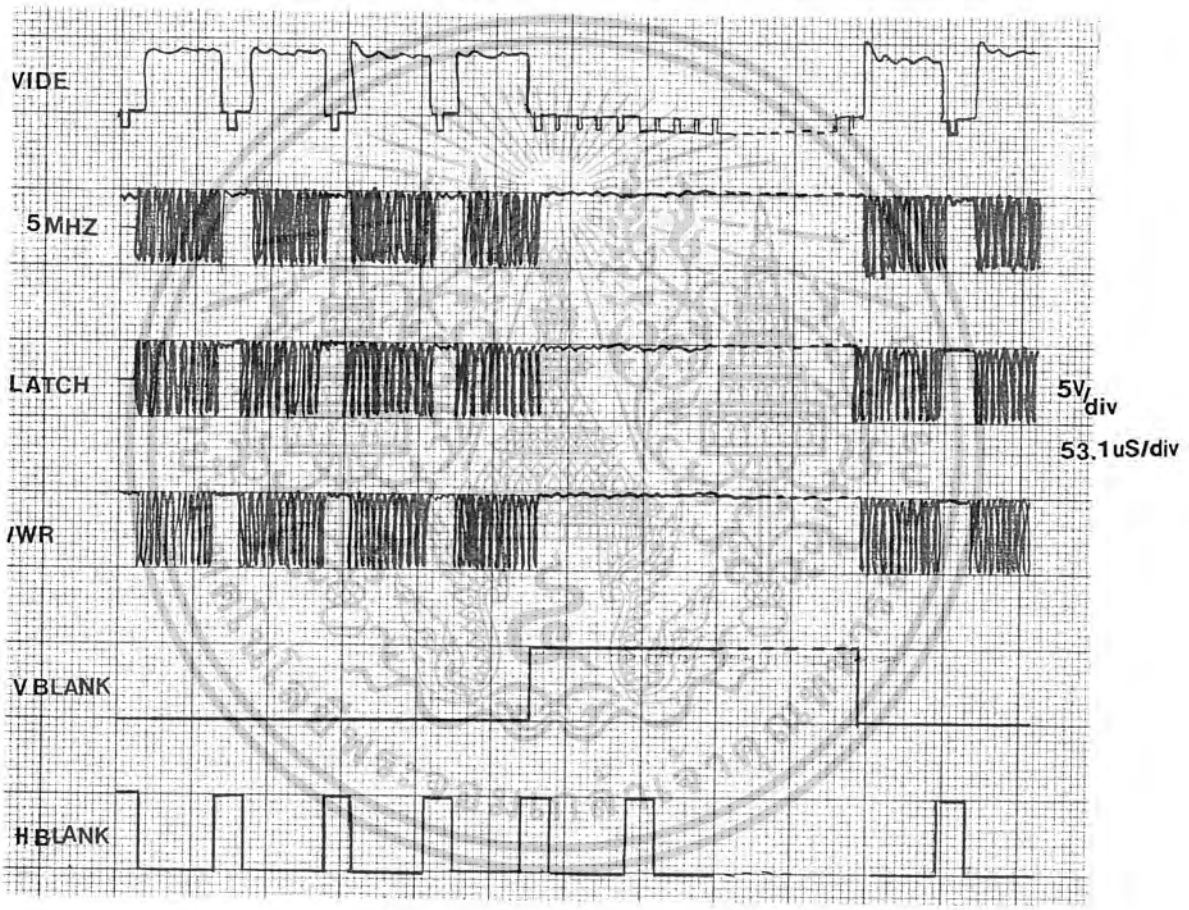
SCLK (5 MHz)เป็นสัญญาณนาฬิกาที่ใช้สุ่มค่าในส่วนของการแปลงสัญญาณดิจิตอลแบบแฟลช ซึ่งจะทำงานเฉพาะในส่วนของสัญญาณ ลูมิแนนซ์เท่านั้น

Shift (5 MHz) เป็นสัญญาณที่ส่งให้ส่วนของหน่วยความจำภาพ ใช้ในการเลื่อนข้อมูลภาพเพื่อสามารถเก็บข้อมูลภาพในหน่วยความจำที่ไม่ต้องมีความเร็วสูงมากนัก

Latch เป็นสัญญาณที่ใช้ในการแลทช์ข้อมูลภาพก่อนเข้าสู่หน่วยความจำ

/WR เป็นสัญญาณที่ใช้ในการเขียนข้อมูลลงในหน่วยความจำ

โดยเราจะทำการวัดสัญญาณต่างๆแสดงเป็นไทม์มิ่งไดอะแกรมดังนี้



ระบบรับข้อมูล

จากการทดลองในส่วนของระบบรับข้อมูลพบว่าเกิดปัญหาต่างๆ

ในส่วนของวงจรแยกสัญญาณนาฬิกา พบว่า สัญญาณริงกิงค์คล็อกที่ได้จากวงจร LC Tank Circuit มีการเลื่อนเฟสมาก ทำให้เมื่อผ่านเข้าวงจรเฟสล็อคลูป สัญญาณริงกิงค์คล็อก ไม่สามารถล็อคกับคล็อกที่ได้จากวงจร VCO นอกจากนี้วงจร VCO ที่ใช้เป็นวงจรที่ใช้คริสตอลเป็นตัวผลิตสัญญาณมีข้อเสีย คือ ความถี่เบี่ยงเบนมีค่าน้อย ดังนั้นถ้าความถี่สัญญาณนาฬิกาที่ได้จากวงจร VCO ไม่ใกล้เคียงกับความถี่สัญญาณ นาฬิกาจากภาคส่ง วงจรเฟสล็อคลูปก็ไม่สามารถเข้าสู่สภาวะล็อคได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปและวิจารณ์ผลการทดลอง

ระบบที่ได้ศึกษาและทำการทดลองได้นี้เป็นระบบรับส่งข้อมูลภาพและเสียงแบบซิงโครนัสทีดีเอ็ม ด้วยความเร็ว 16.64 Mbps (ทดลองจริงใช้ 17.43 Mbps) โดยข้อมูลภาพมีขนาด 256*256 จุดภาพ มีความละเอียด 8 บิทต่อจุดภาพ

จากผลการทดลองในบทที่ 5 จะเห็นว่า ในส่วนของระบบส่งข้อมูลนั้น สัญญาณควบคุมต่างๆที่วัดได้นั้นถูกต้องเป็นไปตามการทำงานของวงจร และในส่วนของระบบรับนั้นจากการทดลองพบว่า จะมีปัญหาเกิดขึ้นที่ส่วนแยกสัญญาณนาฬิกาและเฟสล็อคลูป คือสัญญาณริงกิ้งค์คล็อกที่ได้จากวงจร LC Tank Circuit มีการเลื่อนเฟสมาก ทำให้เมื่อผ่านเข้าวงจรเฟสล็อคลูป สัญญาณริงกิงค์คล็อค ไม่สามารถล็อคกับคล็อคที่ได้จากวงจร VCO นอกจากนี้วงจร VCO ที่ใช้เป็นวงจรที่ใช้คริสตอลเป็นตัวผลิตสัญญาณมีข้อเสียคือ ความถี่เบี่ยงเบนมีค่าน้อย ดังนั้นถ้าความถี่สัญญาณนาฬิกาได้จากวงจร VCO ไม่ใกล้เคียงกับความถี่สัญญาณนาฬิกาจากภาคส่ง วงจรเฟสล็อคลูปก็ไม่สามารถเข้าสู่สภาวะล็อคได้

ปัญหาที่พบขณะทำการทดลองคือ

1. ระบบที่ทำการศึกษาและทดลองนั้น เป็นฮาร์ดแวร์ล้วนๆจึงขาดความยืดหยุ่น ถ้าคิดที่จะดัดแปลงแก้ไขนั้นจะทำได้ลำบาก

2. ระบบจะใช้อุปกรณ์คอนข้างมากซึ่งส่วนใหญ่จะใช้ไอซีประเภท TTL ทำให้ระบบมีการดึงกระแสค่อนข้างสูง

3. ในการออกแบบระบบกราวน์และไฟของวงจรนั้นทำได้ยุ่งยากและลำบากมากเนื่องจากเป็นระบบดิจิตอลใช้ความถี่ถึง 16.64 MHz (17.43 MHz) ทำให้เป็นตัวกำเนิดสัญญาณรบกวนอันเป็นผลเกิดจากข้อ 2 ที่สวิทช์ด้วยความเร็วสูง ซึ่งปัญหานี้เป็นปัญหาสำคัญที่ทำให้ระบบต่างๆไม่สามารถทำงานได้

ข้อเสนอแนะแนวทางในการแก้ไข โดยการพยายามนำไมโครโปรเซสเซอร์หรือไมโครคอนโทรเลอร์เข้ามาควบคุมระบบซึ่งจะทำให้มีข้อดังนี้

1. ระบบนั้นมีขนาดเล็กลงเนื่องจากไม่ต้องใช้อุปกรณ์จำนวนมากเช่นนี้

2. ระบบนั้นมีความยืดหยุ่นมากขึ้น ซึ่งสามารถทำการแก้ไขปรับปรุงเปลี่ยนแปลงได้ง่าย

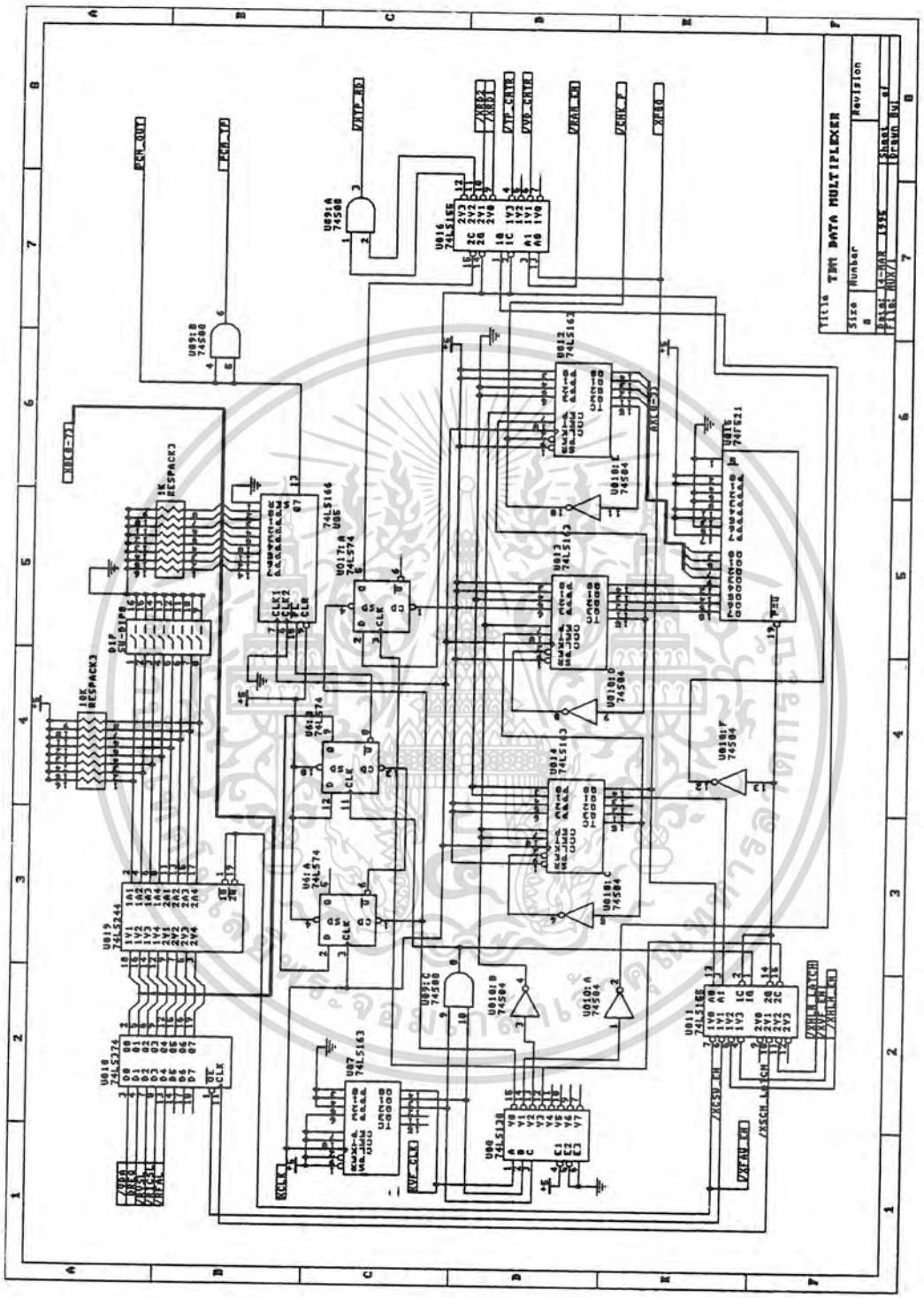
3. ลดสัญญาณรบกวนเนื่องจากการสวิทช์ด้วยความเร็วสูงของไอซี TTL จำนวนมาก

แต่อย่างไรก็ดีในปัจจุบันไมโครโปรเซสเซอร์ที่มีความเร็วสูงนั้นยังไม่มีการพัฒนาอย่างแพร่หลายและยังมีราคาแพง นอกจากจะนำการประมวลผลเชิงเลข (Digital Signal Processing) มาใช้แต่ต้องใช้เวลามากในการศึกษาให้เข้าใจก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

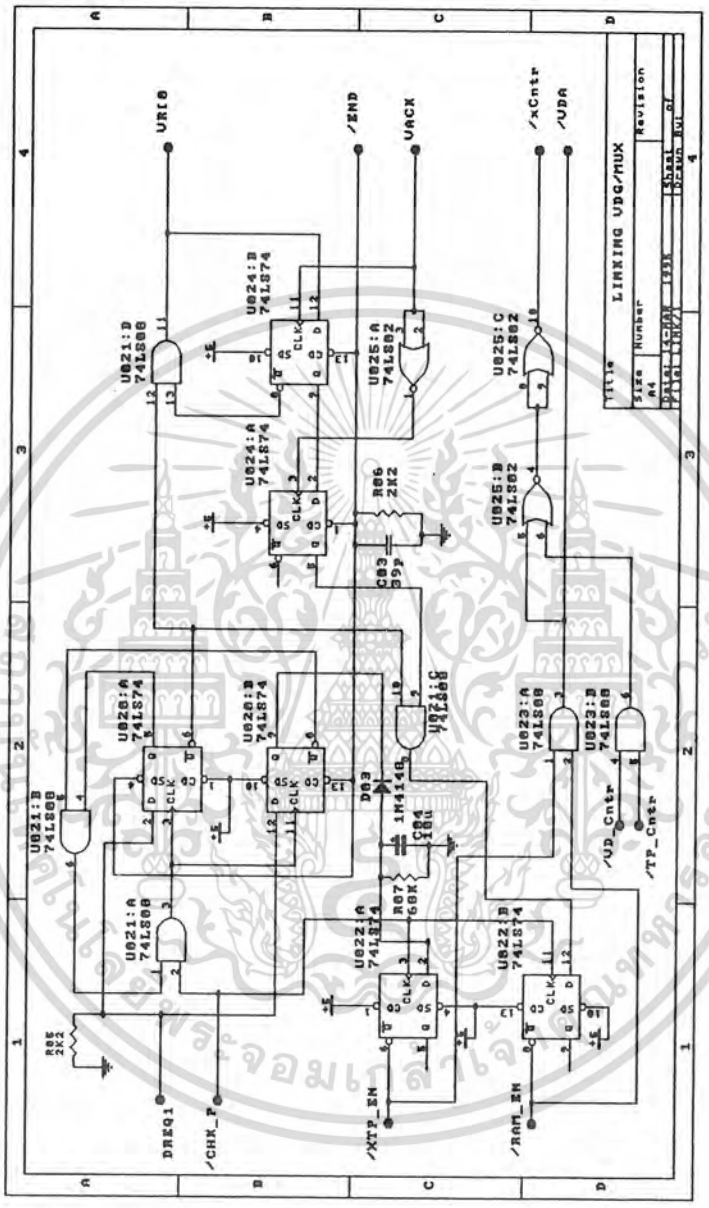
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



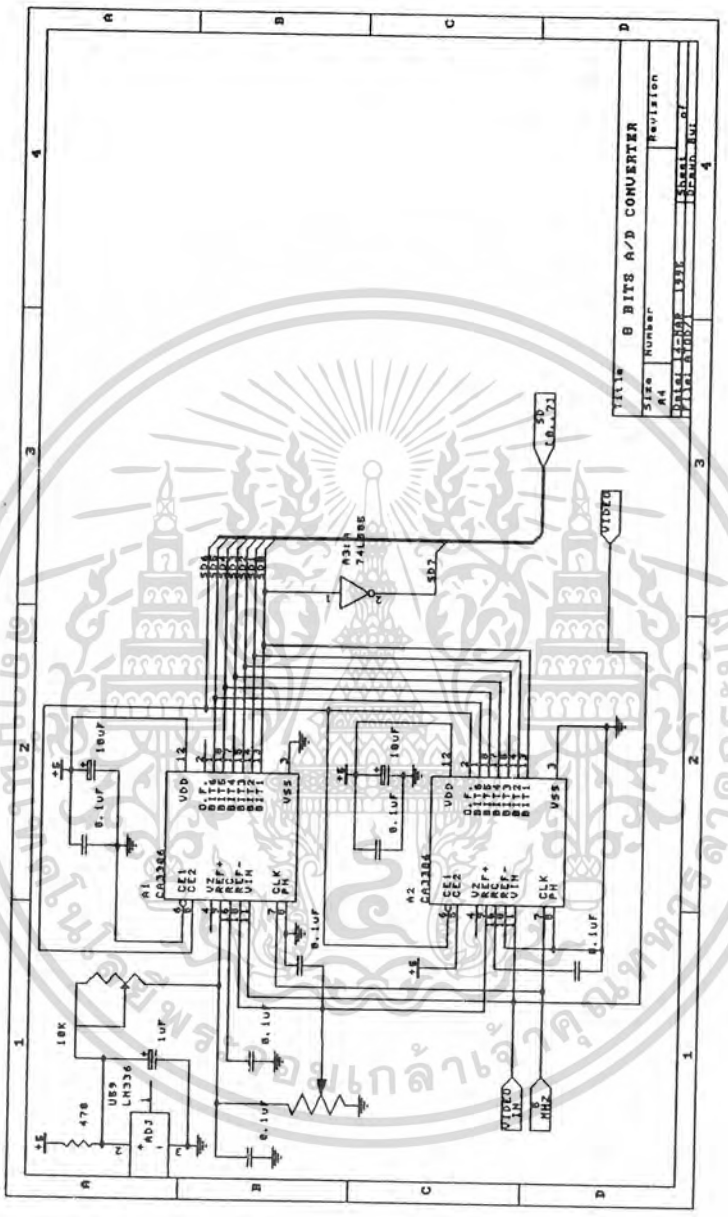
รูปที่ ผ.1 แสดงวงจรในส่วนของตัวมัลติเพล็กซ์ข้อมูล , ตัวแปลงข้อมูลขนานเป็นอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



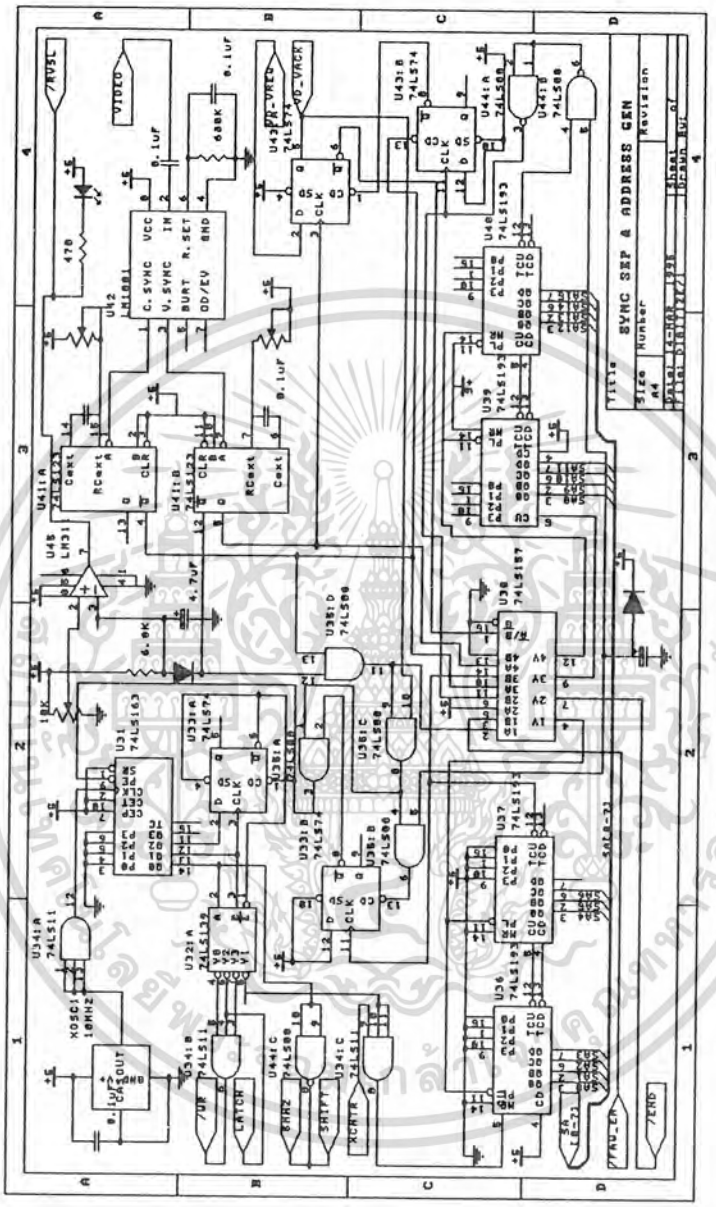
รูปที่ ผ.2 แสดงวงจรในส่วนเชื่อมต่อ VDG/MUX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



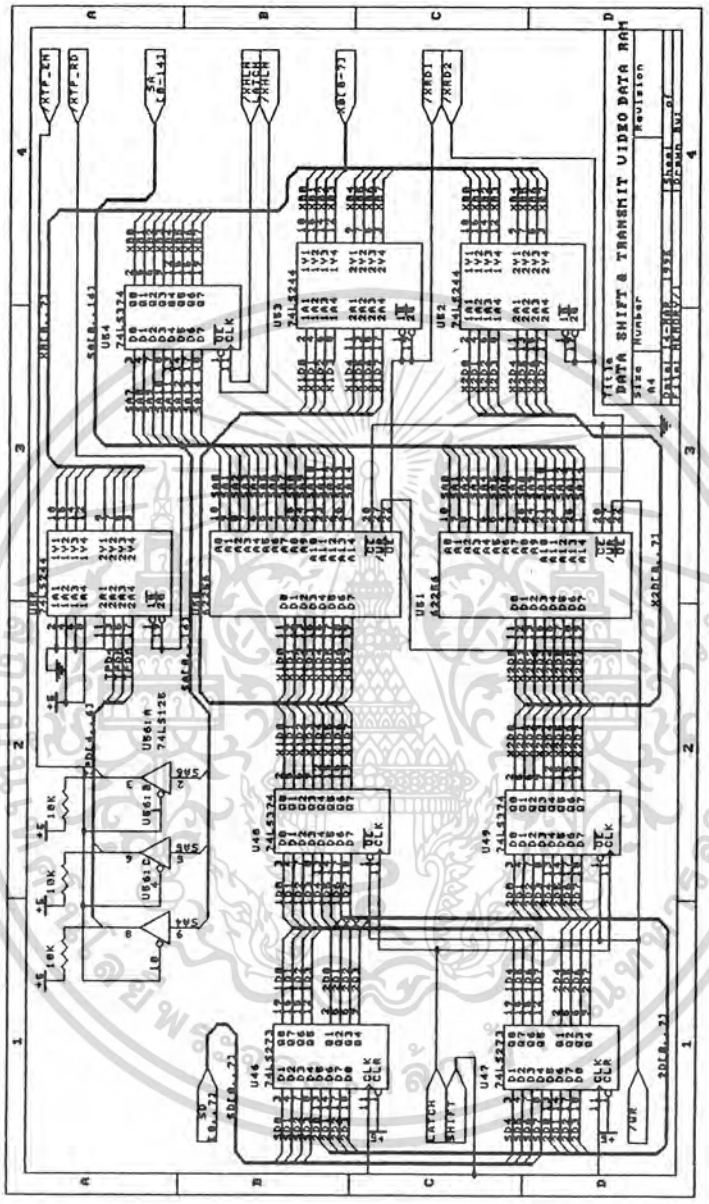
รูปที่ ผ.3 แสดงวงจรในส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบแฟลช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



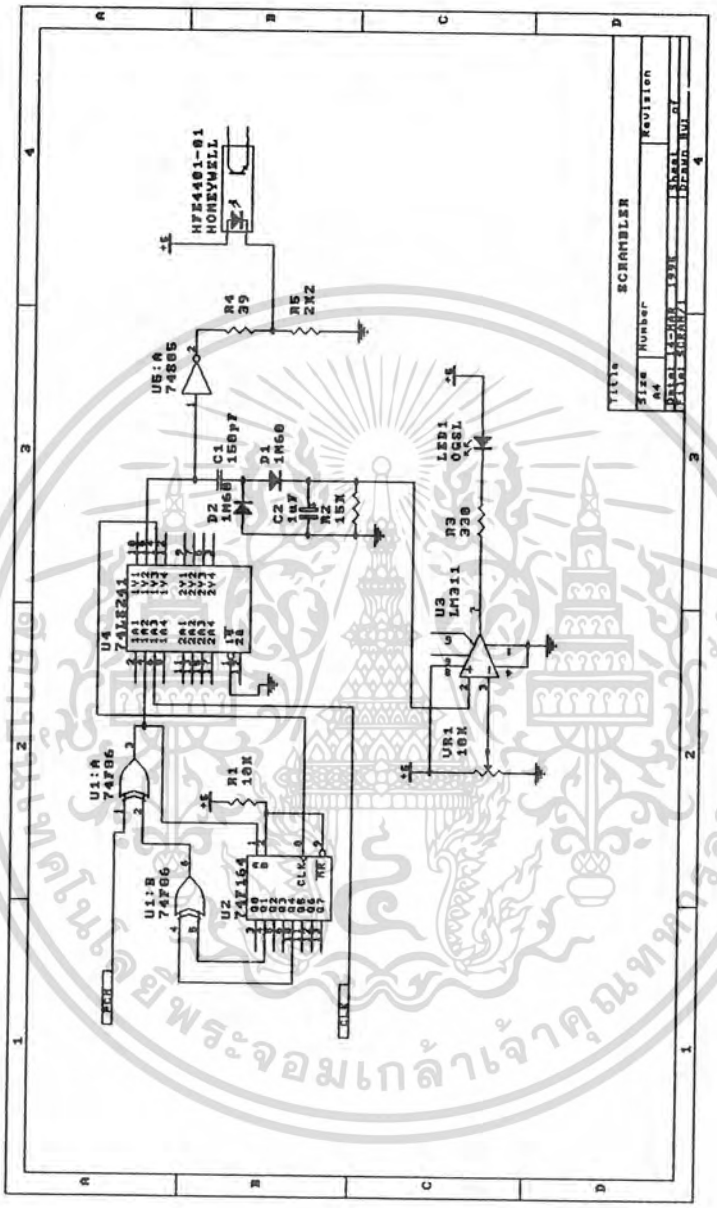
รูปที่ ผ.4 แสดงวงจรในส่วนของตัวดิจิไทซ์สัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



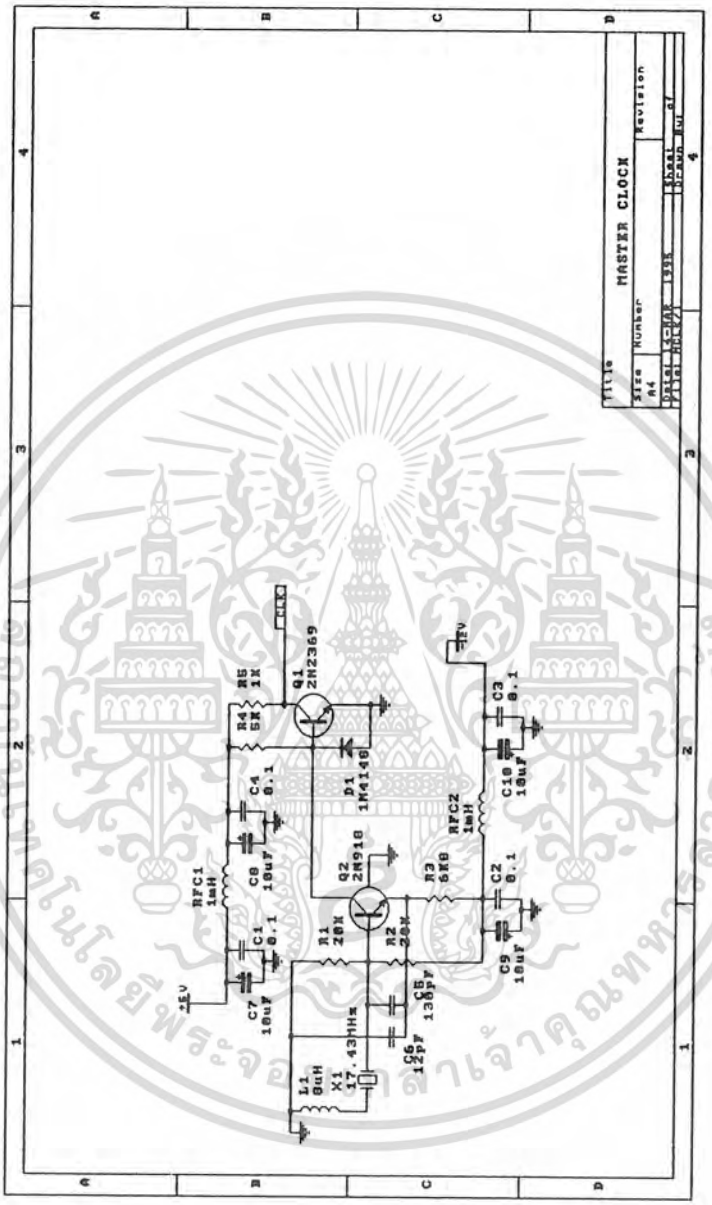
รูปที่ ผ.5 แสดงวงจรในส่วนของหน่วยความจำภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



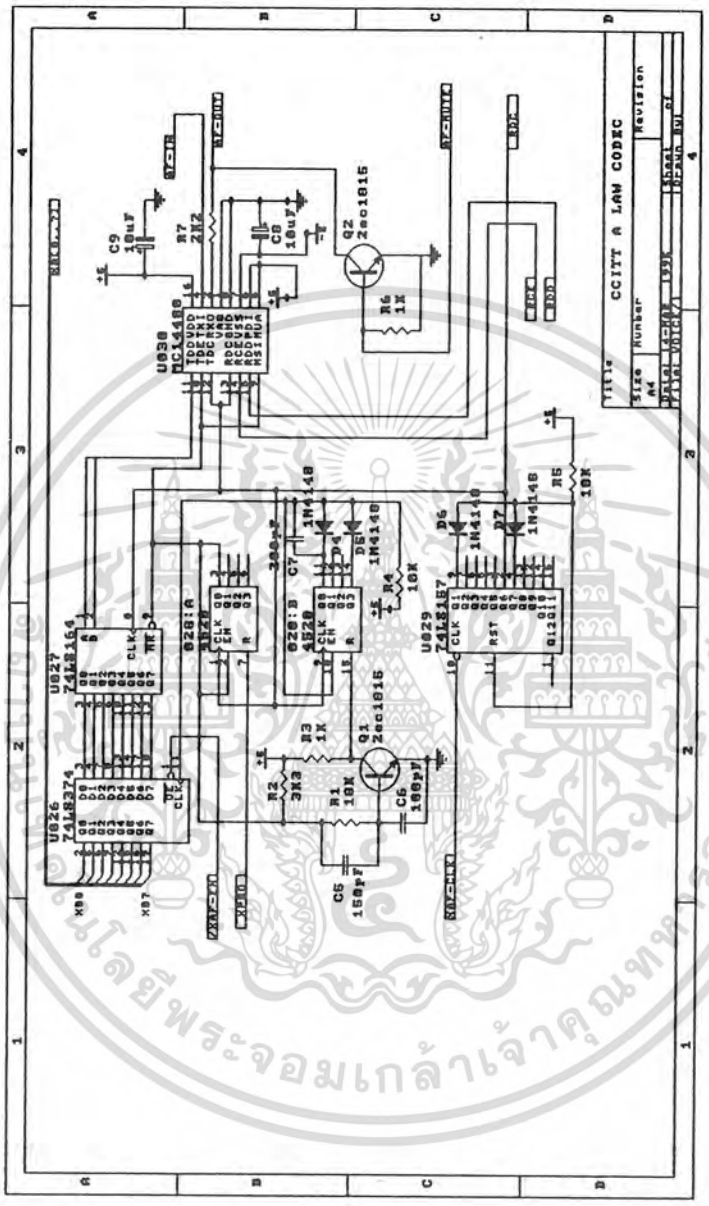
รูปที่ ผ.6 แสดงวงจรในส่วนสแครมเบลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



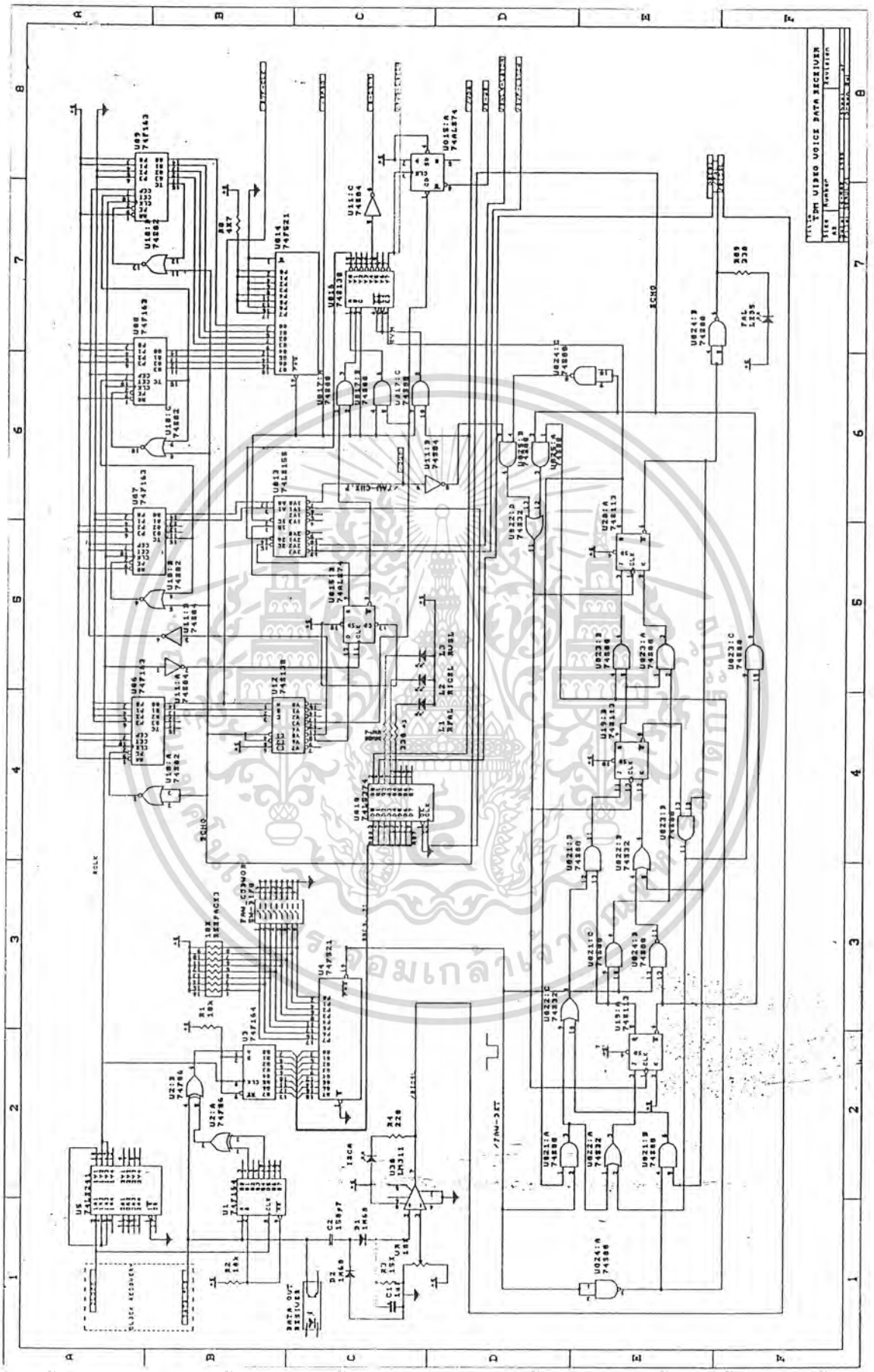
รูปที่ ผ.7 แสดงวงจรกำเนิดความถี่อ้างอิงหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



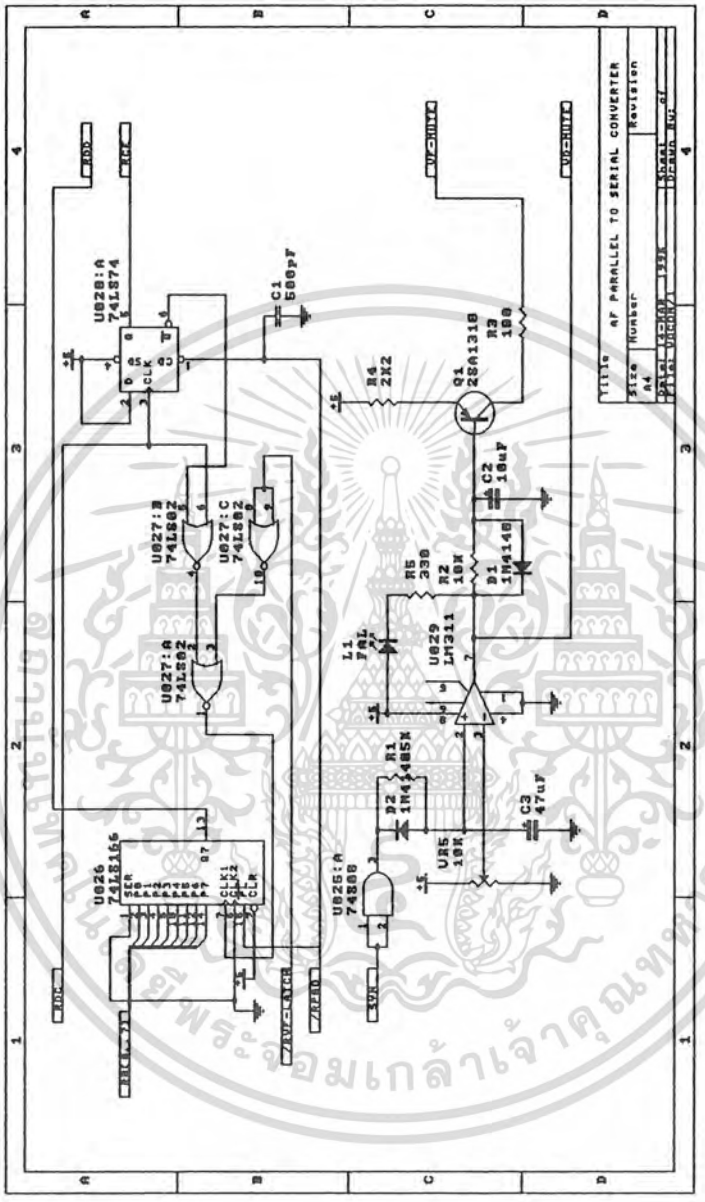
รูปที่ ผ.8 แสดงวงจรเข้ารหัสข้อมูลเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



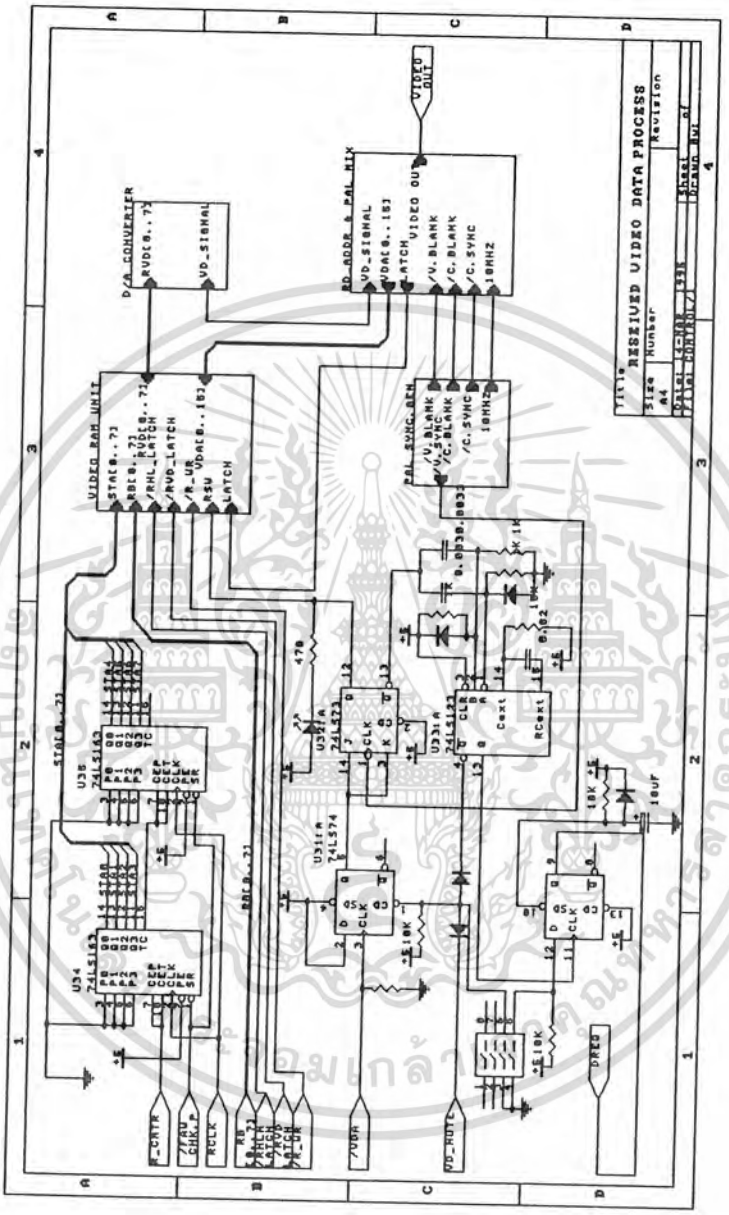
รูปที่ ผ.9 แสดงวงจรในส่วนของตัวดีมัลติเพล็กซ์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



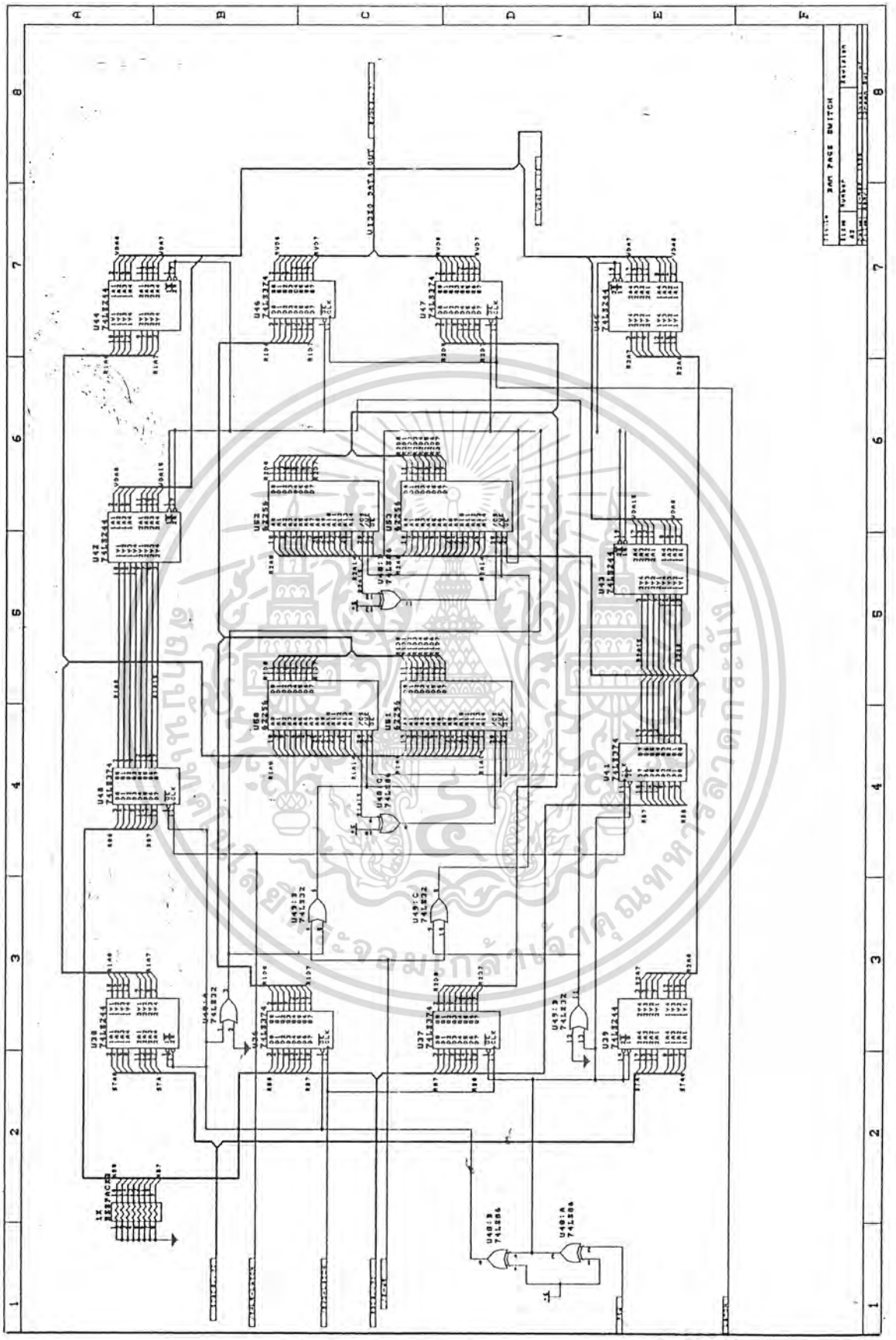
รูปที่ ผ.10 แสดงวงจรในส่วนของตัวแปลงข้อมูลขนานเป็นอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



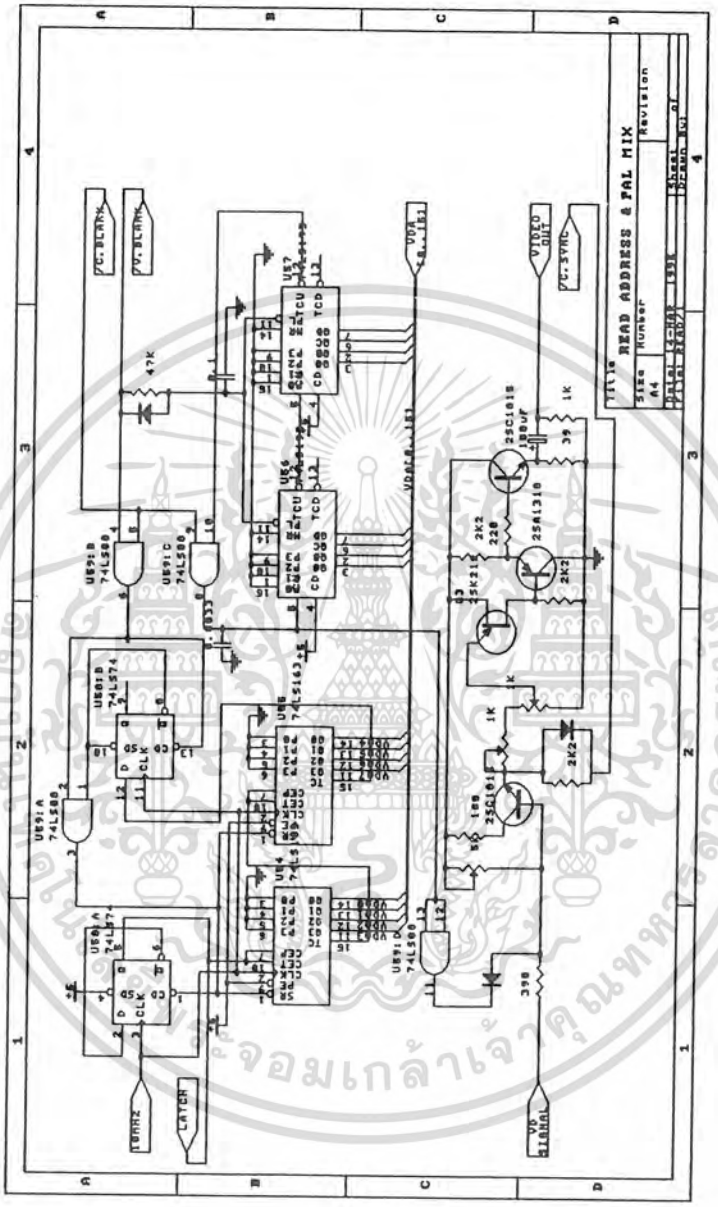
รูปที่ ผ.11 แสดงวงจรในส่วนควบคุมและประมวลผลข้อมูลภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



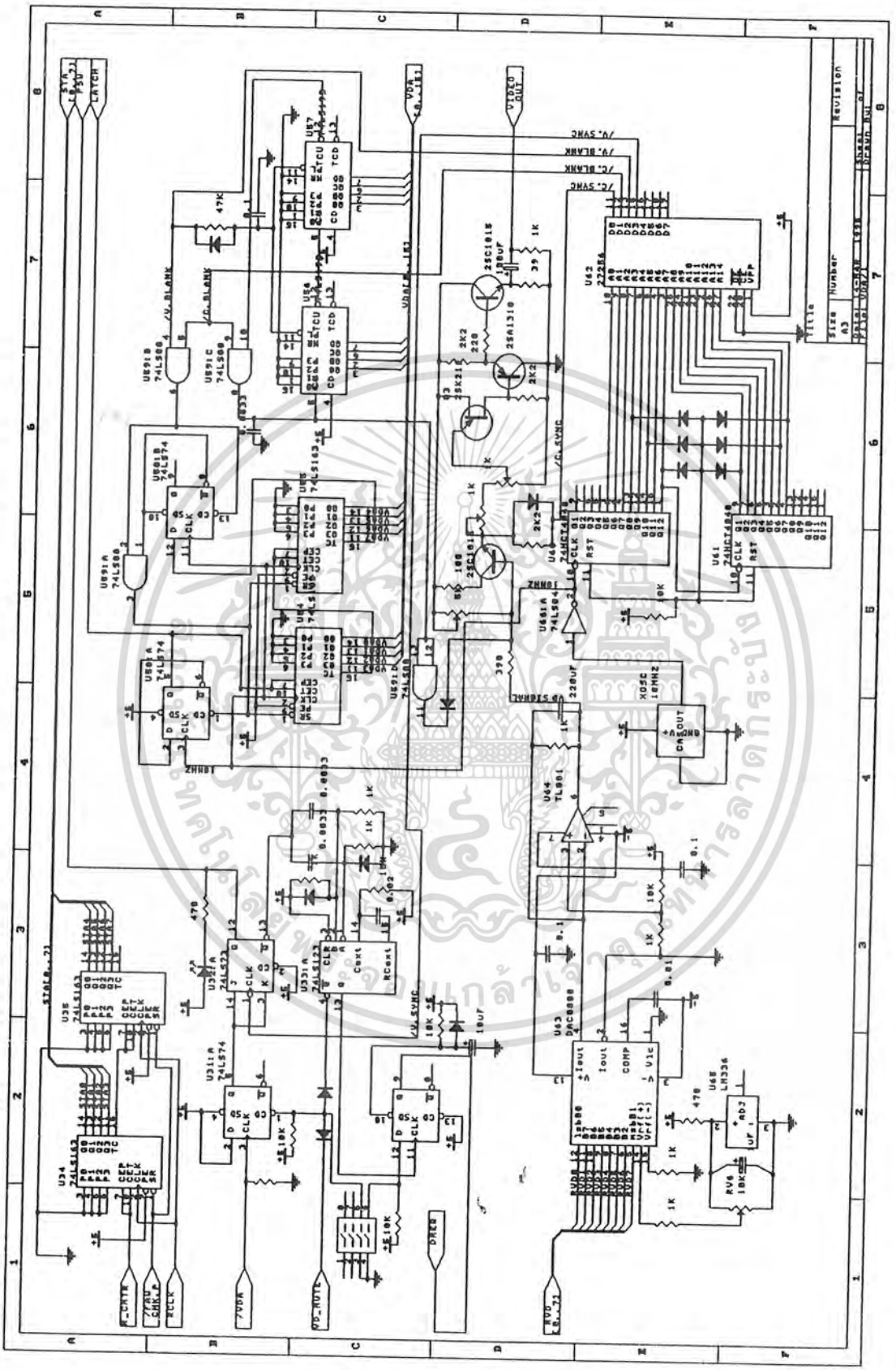
รูปที่ ผ.12 แสดงวงจรในส่วนของหน่วยความจำภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



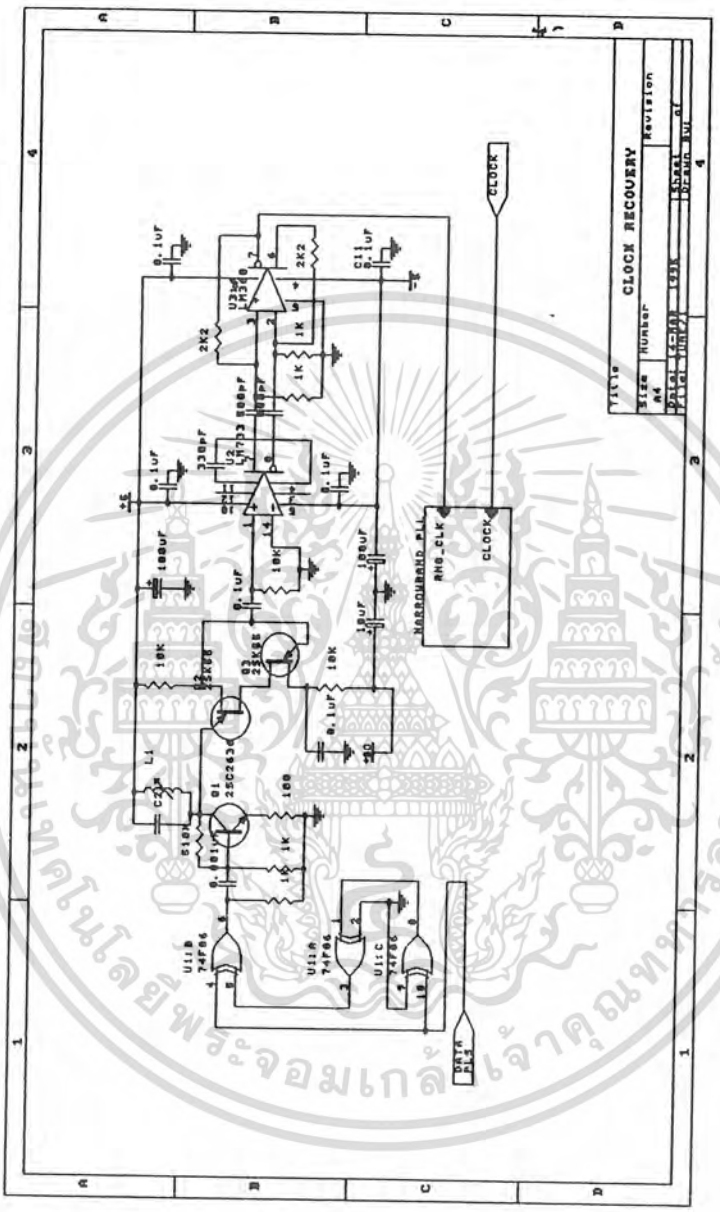
รูปที่ ผ.13 แสดงวงจรในส่วนอ่านข้อมูลและกำเนิดสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



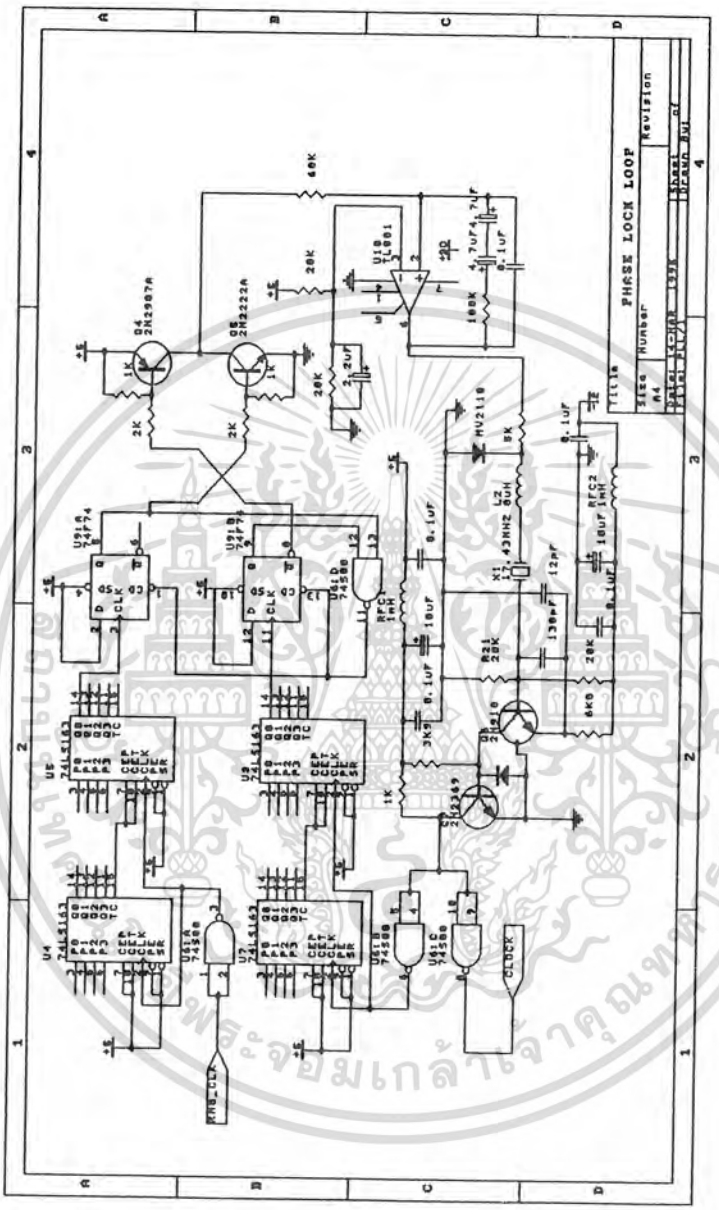
รูปที่ ผ.14 แสดงวงจรในส่วนประมวลผลข้อมูลภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ผ.15 แสดงวงจรจูน LC ในส่วนของตัวแยกสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ผ.16 แสดงวงจรเฟสล็อคลูป ที่ใช้ในส่วนแยกสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณอาจารย์ สมศักดิ์ เชียร์ศิริกุล ที่ได้ให้ความช่วยเหลือ สนับสนุนการทำโครงงานนี้

ขอขอบพระคุณ คุณ สมศักดิ์ อภิรักษ์สมบัติ ที่ได้ให้ความช่วยเหลือแนะนำเทคนิคต่างๆ

ขอขอบคุณเพื่อนๆ ที่ให้การสนับสนุนและกำลังใจในการทำโครงงานนี้เป็นอย่างดี

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. ณรงค์ ย่างสกุล , " เทคนิคการออกแบบวงจรดิจิตอล การสร้างภาพบนจอโทรทัศน์ " , วารสารเซมิคอนดัคเตอร์อิเล็กทรอนิกส์ , ฉบับที่ 143 , 2537 , หน้า 65 - 71.
2. สมศักดิ์ เตชะเศรษฐ์ธนะ , " ทฤษฎีและปฏิบัติ VCR ระบบดิจิตอล " , ซีเอ็ด , 117หน้า , 2532
3. สมศักดิ์ อภิรักษ์สมบัติ , " ระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม " , การประชุมวิชาการทางวิศวกรรมไฟฟ้า , หน้า 460 - 465.
4. สมศักดิ์ อภิรักษ์สมบัติ , " วิทยานิพนธ์เรื่องระบบส่งข้อมูลภาพและเสียงแบบ ทีดีเอ็ม ".

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้