BPSK โมเด็มโดยซิงโครไนซ์ด้วยไพล็อทโทน

PILOT TONE AIDS SYNCHRONIZATION IN BPSK

โดย

นาย เฉลิมเกียรติ มุติชุน

นาย ภูวนาถ ฐุนจางวาง

นาย สมพร ตันติพิมลพันธ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

035021

หัวข้อปริญญานิพนธ์ BPSK โมเด็มโดยซิงโครไนซ์ด้วยไพล็อททโทน

PILOT TONE AIDS SYNCHRONIZATION IN BPSK

ชื่อนักศึกษา นาย เฉลิมเกียรติ มุติชุน

นาย ภูวนาถ ขุนจางวาง

นาย สมพร ตันติพิมลพันธ์

อาจารย์ที่ปรึกษา อาจารย์ ดลชัย สุขเจริญผล

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2537

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BPSK โมเด็มโดยชิงโครไนซ์ด้วยไพล็อทโทน

โดย	นาย เฉลิมเกียรติ มุติชุน	รหัส 36012048
	นาย ภูวนาถ ชุนจางวาง	รหัส 36012063
	นาย สมพร ตันติพิมลพันธ์	รหัส 36012075

อาจารย์ที่ปรึกษา อาจารย์ ดลชัย สุขเจริญผล

ปีการศึกษา 2537

บทคัดย่อ

โครงงานนี้เสนอ การรับ-ส่งข้อมูลโดยใช้เทคนิคการมอดูเลทแบบ ไบนารี่เฟสชิฟคีอิ้ง (Binary Phase Shift Keying :BPSK) ซึ่งจะมีการสร้างสัญญาณความถี่อ้างอิงที่ภาคส่งขึ้นมาสัญญาณหนึ่ง ซึ่งเรียกว่า"pilot tone" โดยสัญญาณ pilot tone นี้จะถูกส่งไปยังภาครับพร้อมกับสัญญาณข้อมูลที่ผ่านการมอดูเลทแล้ว

วัตถุประสงค์ในการสร้างสัญญาณ pilot tone ที่ภาคส่งและส่งไปยังภาครับก็เพื่อ เป็นสัญญาณอ้างอิงในการสร้างสัญญาณคลื่นพาห์ เพื่อนำคลื่นพาห์ ไปใช้ในการดีเทคข้อมูล และ pilot-tone ยังใช้ในการสร้างสัญญาณนาฬิกาเพื่อใช้ในวงจร อินทีเกรทแอนด์ดัมพ์อีกด้วย

สำหรับข้อดีของการมอดูเลทแบบ BPSK โดยใช้ pilot tone ในการสร้างสัญญาณคลื่นพาห์และสัญญาณนาฬิกาที่ภาครับ เมื่อเปรียบเทียบกับการมอดูเลทแบบ BPSK ธรรมดาที่ไม่ใช้ pilot tone ก็คือ การมอดูเลทแบบ BPSK โดยใช้ pilot tone สามารถลดขนาดของวงจรสร้างสัญญาณคลื่นพาห์และวงจรสร้างสัญญาณนาฬิกาให้เล็กลงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PILOT TONE AIDS SYNCHRONIZATION IN BPSK

BY	MR. CHALEAMKIAT	MUTICHUN	36.012048
	MR. PUVANAT	KUNJANGWANG	36.012063
	MR. SOMPORN	TANTIPIMONPANT	36.012075
ADVISER	MR. DONCHAI	SUKCHAROENPHOL	
YEAR	1994		

ABTRACT

This project presents data receiving-transmitting modulating technics of binary phase shift keying(BPSK) to with a reference signal called "pilot tone" is created at the transmitting part.The pilot tone togather with the modulate data signal will be transmitted to the receiving part.

The purpose of pilot tone ,created in transmitting part and transmitted to the receiving part,is to utilise is as reference signal for carrier frequency signal to be used for detecting data signal.More over,the pilot tone is also a reference signal for clock signalin the receiving part.

When compared with the normal BPSK without pilot tone,the out standing of the BPSK modulation with pilot tone is that it can reduce the circuit size of carrier frequency signal and clock signal in the receiving part.

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำโครงงานชิ้นนี้ ทางกลุ่มผู้จัดทำได้รับความอนุเคราะห์ช่วยเหลือ ให้คำปรึกษา และแนะแนวทางการแก้ปัญหา จากอาจารย์ ดลชัย สุขเจริญผล จนทำให้โครงงานนี้สำเร็จลงได้ ทางคณะผู้จัดทำขอขอบพระคุณท่านมา ณ โอกาสนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย

บทคัดย่อภาษาอังกฤษ

กิตติกรรมประกาศ

บทที่ 1 บทนำและหลักการเบื้องต้นของ BPSK 1

บทที่ 2 หลักการทำงานของภาคส่ง 18

บทที่ 3 การออกแบบและสร้างวงจรภาคส่ง 34

บทที่ 4 หลักการทำงานภาครับ 45

บทที่ 5 การออกแบบและสร้างวงจรภาครับ 55

บทที่ 6 ผลการทดลองและสรุปผลการทดลอง 64

หนังสืออ้างอิง

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

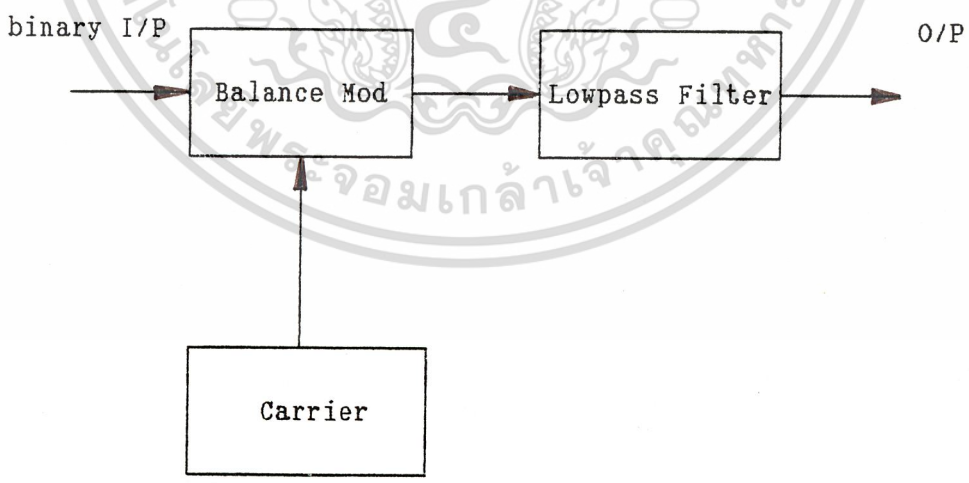
บทนำ

การมอดูเลทแบบเฟสชิฟคีย์อิ้ง (PHASE SHIFT KEYING:PSK)

การมอดูเลทแบบ PSK เป็นการมอดูเลททางดิจิตอลแบบหนึ่งที่มีลักษณะคล้ายคลึงกับการมอดูเลททางเฟส (phase modulation) ของสัญญาณดิจิตอล แต่จะต่างกันที่สัญญาณที่นำมามอดูเลทนั้น เป็นลักษณะของสัญญาณไบนารี่พัลท์ (binary pulse) ที่มีระดับแรงดันคงที่ 2 ระดับ ทำให้ค่าเฟสที่เปลี่ยนแปลงของสัญญาณที่ผ่านการมอดูเลท มีค่าจำกัดสำหรับการเปลี่ยนแปลงระดับของพัลท์แต่ละครั้ง

สำหรับไบนารี่เฟสชิฟคีย์อิงค์ (Binary Phase Shift Keying :BPSK) เป็นการแปลงข้อมูลที่เป็นสัญญาณไบนารี่ ให้เป็นสัญญาณวิทยุ โดยใช้การเปลี่ยนแปลงเฟสของคลื่นพาห์ที่มีความเป็นไปได้ของ 2 เฟส นั่นคือผลของเฟสหนึ่งจะเทียบได้กับบิท "1" และเฟสที่เหลือจะเทียบได้กับบิท "0" ดังนั้นเฟสของสัญญาณที่ได้จะกลับกันอยู่ 180 หรือ เราเรียกอีกอย่างหนึ่งว่า Phase Reversal Keying :PRK

BPSK Modulator



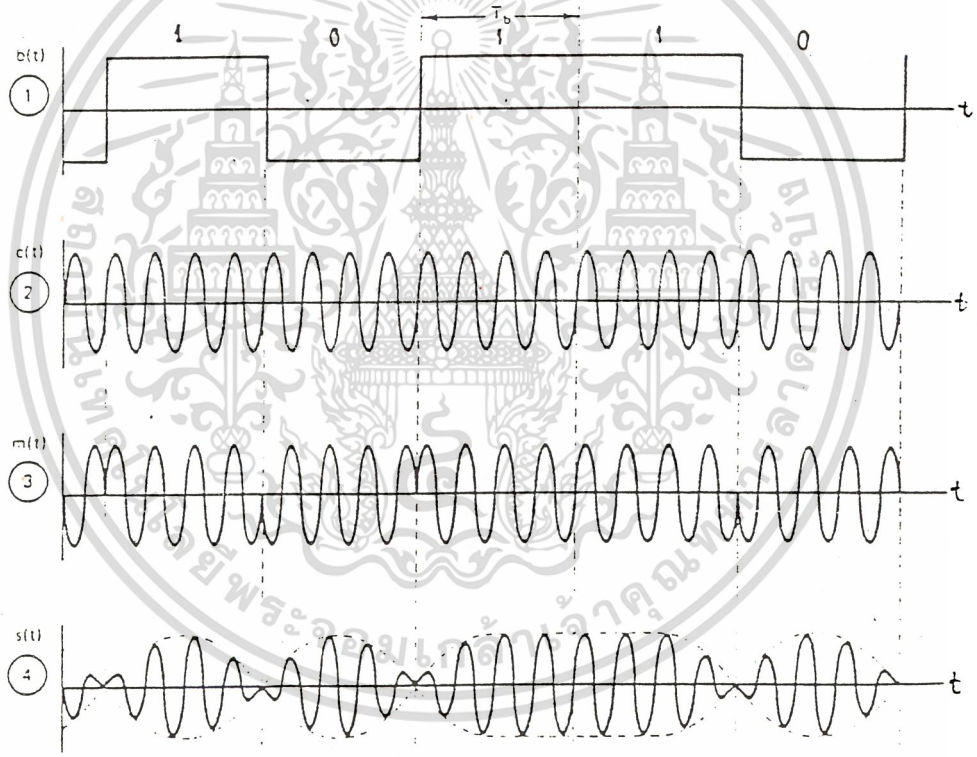
รูปที่ 1.1 Block Diagram ของการมอดูเลทแบบ BPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 1.1 แสดง Block Diagram การมอดูเลทสัญญาณแบบ BPSK ซึ่งสามารถอธิบายการทำงานได้ดังนี้

สัญญาณอินพุทของ balance modulator มี 2 สัญญาณคือ สัญญาณคลื่นพาห์ ที่มีเฟสและ ความถี่คงที่ และสัญญาณข้อมูลดิจิตอลแบบไบนารี่ จากหลักการผสมสัญญาณแบบ BPSK นั้นเราจะได้เอาท์พุทจากบาลานซ์มอดูเลเตอร์ เป็นสัญญาณอนาล็อกหรือสัญญาณพาห์ที่มีการเปลี่ยนแปลงเฟสโดยมีค่าอยู่ระหว่าง 0 และ 180 องศา การเปลี่ยนแปลงเฟสที่เกิดขึ้นจะขึ้นอยู่กับสัญญาณข้อมูลไบนารี่

จาก block diagram สามารถแสดงรูปสัญญาณของแต่ละ block ได้ดังรูปที่ 1.2



รูปที่ 1.2 แสดงสัญญาณเอาท์พุทของแต่ละ block ของ BPSK Modulator

ทั้งอธิบายการทำงานด้วยสมการทางคณิตศาสตร์ได้ดังนี้

เมื่อ b(t) : ข้อมูลไบนารี่ มีระดับเป็น ± 1

c(t) : สัญญาณคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$c(t) = \cos(w_c t + \theta)$

$m(t)$: สัญญาณมอดูเลท

$m(t) = b(t) * c(t)$

$= b(t)\cos(w_c t + \theta)$ โดยที่ $\theta = 0, 180$ องศา

จาก $\cos(A+B) = \cos A \cos B - \sin A \sin B$

ที่ $\theta = 0$; $m(t) = +A\cos w_c t$

$\theta = 180$; $m(t) = -A\cos w_c t$

แบนด์วิดของ BPSK

พิจารณาแบนด์วิดที่จำเป็นสำหรับ BPSK ก่อนอื่นสมมุติให้ระดับแรงดันของสัญญาณดิจิตอลลอจิก 1 มีค่าเป็น +1V และลอจิก 0 มีค่า -1V และสัญญาณคลื่นพาห์อ้างอิงมีค่า $\cos w_c t$ ดังนั้นเราจะได้เอาท์พุทจากการมอดูเลทเป็น $+\cos w_c t$ ซึ่งมีค่าของเฟสตรงกับสัญญาณคลื่นพาห์อ้างอิงและ $-\cos w_c t$ ซึ่งต่างเฟสกับสัญญาณอ้างอิง 180 องศา นั่นคือเอาท์พุทที่ได้จากการมอดูเลทจะเปลี่ยนแปลงตามสถานะของสัญญาณดิจิตอลที่เข้ามา ซึ่งสามารถนำไปพิจารณาผลที่มีต่อการมอดูเลท ของ BPSK คือ ทำให้อัตราการเปลี่ยนแปลงของเอาท์พุทในหน่วย บอด(baud) มีค่าเท่ากับอัตราการเปลี่ยนแปลงของอินพุท ในหน่วยบิทต่อวินาที (bit/second) แบนด์วิดของเอาท์พุทจะกว้างที่สุดเมื่อมีการเปลี่ยนแปลงสัญญาณดิจิตอลระหว่าง I/O

ความถี่พื้นฐาน (F_a) ของการเปลี่ยนแปลงระหว่าง I/O ของสัญญาณดิจิตอลจะมีค่าเป็นครึ่งหนึ่งของอัตราบิท (F_b) เราสามารถแสดงด้วยสมการทางคณิตศาสตร์ได้ดังนี้

O/P จากการมอดูเลทแบบ BPSK = ความถี่พื้นฐานของสัญญาณดิจิตอล * สัญญาณพาห์

$= \cos w_a t * \cos w_c t$

หรือ $= 1/2(\cos(w_c t + w_a t) + \cos(w_c t - w_a t))$

จะได้แบนด์วิดทั้งสองข้างของ Nyquist (F_n) มีค่าอย่างน้อย

$= (w_c t + w_a t) - (w_c t - w_a t)$

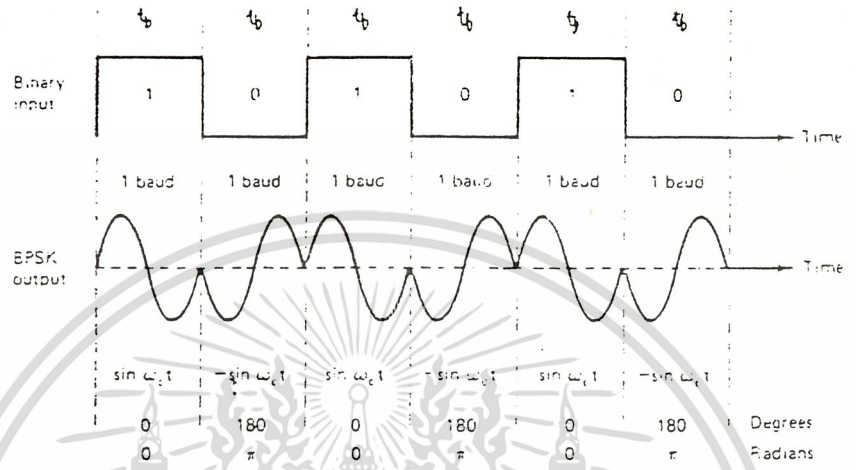
$= 2w_a t$

จาก $F_a = w_a t = F_b/2$

ดังนั้น $F_n = 2(F_b/2) = F_b$ [1.1]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการข้างต้นสามารถแสดงความสัมพันธ์ของเวลาและเฟสของเอาท์พุท จากการมอดูเลทแบบ BPSK ดังรูปที่ 1.3



รูปที่ 1.3 แสดงความสัมพันธ์ของเฟสของเอาท์พุทเทียบกับเวลา

BPSK Demodulator

จาก block diagram ข้างล่างนี้แสดงการดีมอดูเลทของ BPSK ซึ่งสามารถอธิบายการทำงานได้ดังนี้ สัญญาณที่เข้ามาทางภาครับจะเป็นสัญญาณ $\pm\cos w_c t$ ทางภาครับจะมีวงจร coherent carrier recovery เป็นตัวตรวจจับสัญญาณ เพื่อสร้างสัญญาณพาห์ที่มีเฟสและความถี่ตรงกับทางภาคส่ง และมีวงจรบาลานซ์มอดูเลเตอร์ทำการดีมอดูเลทสัญญาณที่รับเข้ามากับสัญญาณคลื่นพาห์ที่สร้างขึ้นใหม่เอาท์พุทที่ได้จะนำไปผ่านวงจร low-pass filter เพื่อกรองเอาเฉพาะสัญญาณข้อมูลเท่านั้น

เราสามารถอธิบายการทำงานด้วยสมการทางคณิตศาสตร์ได้ดังนี้

กรณีสัญญาณอินพุทเป็น $\cos w_c t$ (ลอจิก 1)

เอาท์พุท $= (\cos w_c t) * (\cos w_c t)$

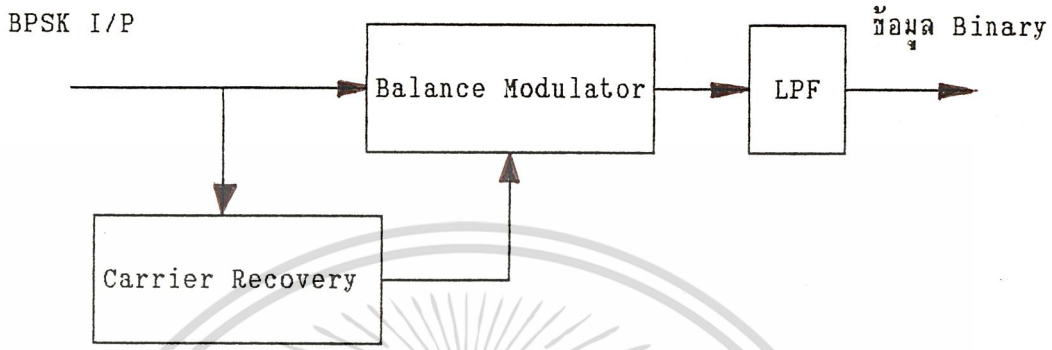
$= \cos^2 w_c t$

$= 1/2(1+\cos 2w_c t)$

$= 1/2 + 1/2\cos 2w_c t$ [1.2]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุท = 1/2 Vdc ที่ลอจิก 1



รูปที่ 1.4 Block diagram ของ BPSK Demodulator

จะเห็นว่าเอาท์พุทที่ได้จากการดีมอดูเลทมี 2 ส่วนคือ ส่วนที่เป็นไฟดีซี (1/2 volt) และสัญญาณโคซายน์ความถี่ 2 เท่าของสัญญาณคลื่นพาห์($2w_c t$)แต่เมื่อผ่านวงจร โลว์พาสฟิลเตอร์ แล้วสัญญาณ $2w_c t$ จะถูกกำจัดไปเหลือแต่สัญญาณไฟ dc ค่าบวกเท่านั้น

กรณีสัญญาณอินพุเป็น $-\cos w_c t$ (ลอจิก 0)

เอาท์พุท = $(-\cos w_c t)*(\cos w_c t)$

$= -\cos^2 w_c t$

$= -1/2\ (1+\cos 2w_c t)$ [1.3]

เอาท์พุท = -1/2 Vdc ที่ลอจิก 0

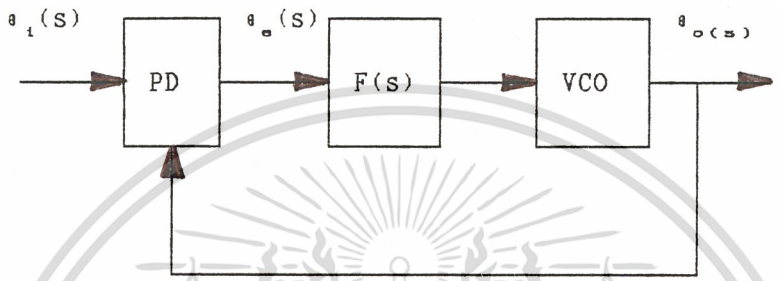
จะเห็นได้ว่าเอาท์พุทที่ได้ประกอบด้วย 2 ส่วนเช่นกันคือ ไฟดีซีค่าลบ และสัญญาณโคซายน์ ความถี่ 2 เท่าของสัญญาณคลื่นพาห์ และใช้ low-pass filter กำจัดสัญญาณความถี่ $2w_c t$ ทิ้งไปเหลือแต่สัญญาณไฟ dc มีค่าเป็นลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีเฟสล็อกลูป (PHASE LOCK LOOP)

1) ลูปพื้นฐานและอุปกรณ์ในลูป

ระบบเฟสล็อกลูป(phase locked loop:PLL) เป็นระบบที่เอาเฟสของสัญญาณเอาท์พุทป้อนกลับมาควบคุมความถี่ของลูป แสดงโครงสร้างของระบบดังรูปที่ 1.5



รูปที่ 1.5 โครงสร้างของระบบเฟสล็อกลูป

โดย $\theta_o(s)$: เฟสเอาท์พุทของระบบ (rad)

$\theta_i(s)$: เฟสอินพุทหรือเฟสอ้างอิงของระบบ (rad)

$\theta_e(s)$: เฟสเออเรอร์ของระบบ (rad)

PD : เฟสดีเทคเตอร์

VCO : วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน

F(s) : วงจรกรองความถี่ต่ำผ่าน

1.1) แบบจำลองเฟสล็อกลูป

โดยแท้จริงแล้ว PLL เป็นระบบไม่เชิงเส้นแต่สามารถจะจำลองระบบเพื่อให้ง่ายต่อการวิเคราะห์และกำหนดเงื่อนไข ในการออกแบบให้เป็นระบบเชิงเส้น โดยให้ความต่างเฟสระหว่างเฟสดีเทคเตอร์อินพุทและเฟสที่ป้อนกลับมีเฟสแตกต่างกันไม่มาก และให้เฟสเอาท์พุทของเฟสดีเทคเตอร์เป็นแรงดัน (V_d) โดยขึ้นอยู่กับความต่างเฟส ของเฟสอินพุทและเฟสป้อนกลับ เขียนได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_d = K_d(\theta_i - \theta_o) \qquad [1.4]$$

โดย K_d เป็นค่าเฟสดีเทคเตอร์เกนมีขนาดเป็น V/rad และในกรณีที่ให้ระบบเป็นเชิงเส้น เราจะความถี่เอาท์พุทของวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลางคือ

$$\Delta w = K_o V_c \qquad [1.5]$$

โดย V_c เป็นแรงดันอินพุทของวงจร

K_o เป็น VCO เกนมีขนาดเป็น rad/v

ดังนั้นความถี่เอาท์พุทของ VCO คือ

$$w_o = w_c + \Delta w = w_c + K_o V_c \qquad [1.6]$$

โดยที่ w_c เป็นความถี่อิสระ (free running) ของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลาหรือเขียนได้เป็น

$$\Delta w = \frac{d\theta_o}{dt} = K_o V_c \qquad [1.7]$$

หรือเขียนเฟสเอาท์พุทของลูปอยู่ในรูปของ

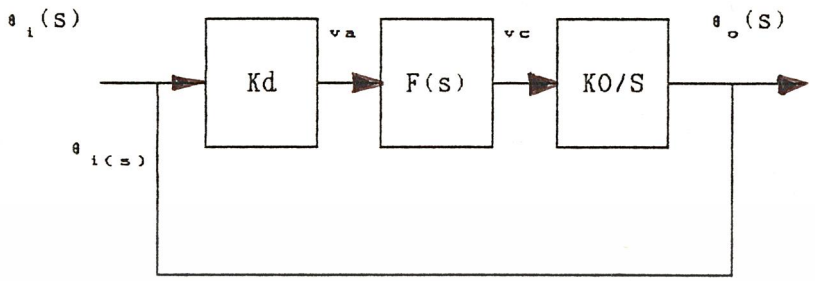
$$\theta_o(s) = \int_0^t \Delta w \, dt \qquad [1.8]$$

กรณีในระบบของเฟสล็อกลูป ถ้าทำการวิเคราะห์ด้วยการลาปลาซทรานส์ฟอร์ม (Laplace Transform) เขียนเฟสเอาท์พุทได้เป็น

$$\theta_o(s) = \frac{K_o V_c}{S} \qquad [1.9]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นระบบ PLL สามารถแสดงแบบจำลองได้ดังรูป



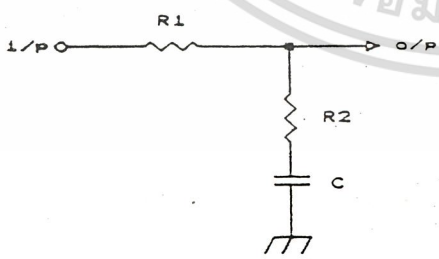
รูปที่ 1.6 แบบจำลองของ PLL

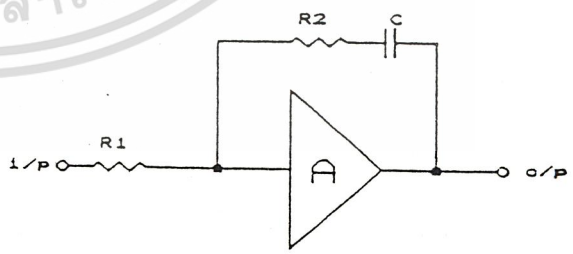
โดยจากรูปเราสามารถเขียนทรานเฟอร์ฟังก์ชั่นได้คือ

$$\frac{\theta_o(S)}{\theta_i(S)} = \frac{K_d K_o F(s)/S}{1 + K_o K_d F(s)/S} \qquad [1.10]$$

1.1.1) <u>วงจรกรองความถี่ในลูป</u>

สำหรับกรณีวงจรกรองความถี่ต่ำผ่าน F(s) ในลูปซึ่งเป็นตัวควบคุมคุณสมบัติไดนามิกของลูปสำหรับในที่นี้กล่าวไว้ 2 ประเภทคือ วงจรกรองแบบพาสซีฟ หรือวงจรกรองแบบลีด-แล็ก (lead-lag filter) และวงจรกรองความถี่แบบแอคทีฟ





รูปที่ 1.7 (a) วงจรกรองแบบพาสซีฟ รูปที่ 1.7 (b) วงจรกรองแบบแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองแบบพาสซีฟหรือวงจรกรองเป็นลีด-แล็ก มีทรานเฟอร์ฟังก์ชัน คือ

$$F(s) = \frac{ST_2 + 1}{ST_1 + 1} \qquad [1.11]$$

โดย $T_1 = (R_1 + R_2)C$

$T_2 = R_2C$

วงจรกรองความถี่แบบแอคทีฟ สามารถแสดงทรานเฟอร์ฟังก์ชั่นได้ดังนี้

$$F(s) = \frac{ST_2 + 1}{ST_1} \qquad [1.12]$$

โดย $T_1 = R_1C$

$T_2 = R_2C$

ถ้าให้ A เป็นเกนของวงจรกรองความถี่กำหนดให้มีค่ามากๆ ถ้าแทนสมการ 1.11 ลงในสมการ 1.10 จะได้ทรานเฟอร์ฟังก์ชั่นของเฟสเอาท์พุทต่อเฟสอินพุทคือ

$$H_1(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_oK_d(ST_2 + 1)/T_1}{S^2 + S\left(\frac{1+K_oK_dT_2}{T_1}\right) + \frac{K_oK_d}{T_1}} \qquad [1.13]$$

หรือถ้าเป็นวงจรกรองแบบแอคทีฟ แทนสมการ 1.12 ลงในสมการ 1.10 จะได้ทรานเฟอร์ฟังก์ชั่นของ PLL คือ

$$H_2(s) = \frac{K_oK_d(ST_2+1)/T_1}{S^2 + S\left(\frac{K_oK_dT_2}{T_1}\right) + \frac{K_oK_d}{T_1}} \qquad [1.14]$$

ถ้าค่าเฟสเออเรอร์เป็นค่าแตกต่างระหว่างเฟสอินพุทกับเฟสที่ป้อนกลับแล้วจะได้

$$\theta_e(s) = \theta_i(s) - \theta_o(s) \qquad [1.15]$$

ซึ่งทรานซ์เฟอร์ฟังก์ชั่นของเฟสเออเรอร์ต่อเฟสอินพุทของ PLL แสดงได้คือ

$$\frac{\theta_e(s)}{\theta_i(s)} = 1 - \frac{\theta_o(s)}{\theta_i(s)} \qquad [1.16]$$

หรือเขียนได้เป็น

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{S}{S + K_oK_dF(s)} \qquad [1.17]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

035021

1.2) เฟสดีเทคเตอร์

สำหรับเฟสดีเทคเตอร์หรืออาจเรียกว่าเฟสคอมพาราเตอร์ (Phase Comparator) เป็นอุปกรณ์ที่เปรียบเทียบสัญญาณอ้างอิงหรือเฟสอินพุทกับเฟสเอาท์พุทที่ป้อนกลับจาก VCO และให้แรงดันเอาท์พุทเป็นแรงดันที่แปรตามค่าความต่างเฟส สำหรับเฟสดีเทคเตอร์สามารถแบ่งออกเป็น 2 ประเภทคือ อนาล็อกเฟสดีเทคเตอร์และ ดิจิตอลเฟสดีเทคเตอร์ โดยเฟสล็อกลูปที่ใช้อนาล็อกเฟสดีเทคเตอร์หรืออาจเรียกว่าอนาล็อกเฟสล็อกลูป (analog phase lock loop) และในเฟสล็อกลูปที่ใช้ดิจิตอลเฟสสดีเทคเตอร์ หรืออาจเรียกว่าดิจิตอลเฟสล็อกลูป (Digital phase lock loop: DPLL) โดยทั่วไปแล้วถ้ากล่าวถึงPLL นั่นหมายถึงอนาล็อกเฟสล็อกลูป สำหรับเฟสดีเทคเตอร์ ที่ใช้ในอนาล็อกเฟสล็อกลูปที่ใช้กันมากก็คือวงจรคูณแบบกิลเบร็ด(gilbert multiplier) และสำหรับ DPLL มักใช้เฟสดีเทคเตอร์แบบเฟสฟรีเควนซี่ดีเทคเตอร์(phase frequency detector:PFD)

1.2.1) วงจรคูณแบบกิลเบร็ด

โครงสร้างวงจรแสดงดังรูปที่ 1.8 โดยสัญญาณอินพุทของเฟสดีเทคเตอร์ จะมาจากสัญญาณอ้างอิงและสัญญาณที่ป้อนกลับจากเอาท์พุทของ VCO โดยสัญญาณจาก VCO จะให้สัญญาณรูปสี่เหลี่ยม ส่วนสัญญาณอินพุทของเฟสดีเทคเตอร์โดยทั่วไปจะเป็นสัญญาณซายน์ที่มีขนาดใหญ่เมื่อเปรียบเทียบกับแรงดันความร้อนสมมูลย์(thermal voltage = 26 mV) ดังนั้นทรานซิสเตอร์คู่ล่างของวงจรคูณจะปิดและเปิดตามชีกบวกหรือลบของสัญญาณซายน์ ในที่นี้วงจรคูณจะทำหน้าที่เป็นชิงโครไนซ์สวิชท์(synchronous switched) สามารถเขียนสัญญาณการทำงานได้ดังรูปที่ 1.8

สำหรับสัญญาณเอาท์พุทประกอบด้วย dc และสัญญาณส่วนประกอบที่เป็น ac ที่มีความถี่เป็น 2 เท่าของความถี่อินพุท ดังนั้นค่าเฉลี่ยของสัญญาณเอาท์พุทแสดงได้คือ

$$V_{avg} = \frac{1}{2\pi}\left[\int_{0}^{2\pi} V_o(t)\right] d(w_o t) \qquad [1.18]$$

จะได้

$$V_{avg} = \frac{-1}{\pi(A_1 - A_2)} \qquad [1.19]$$

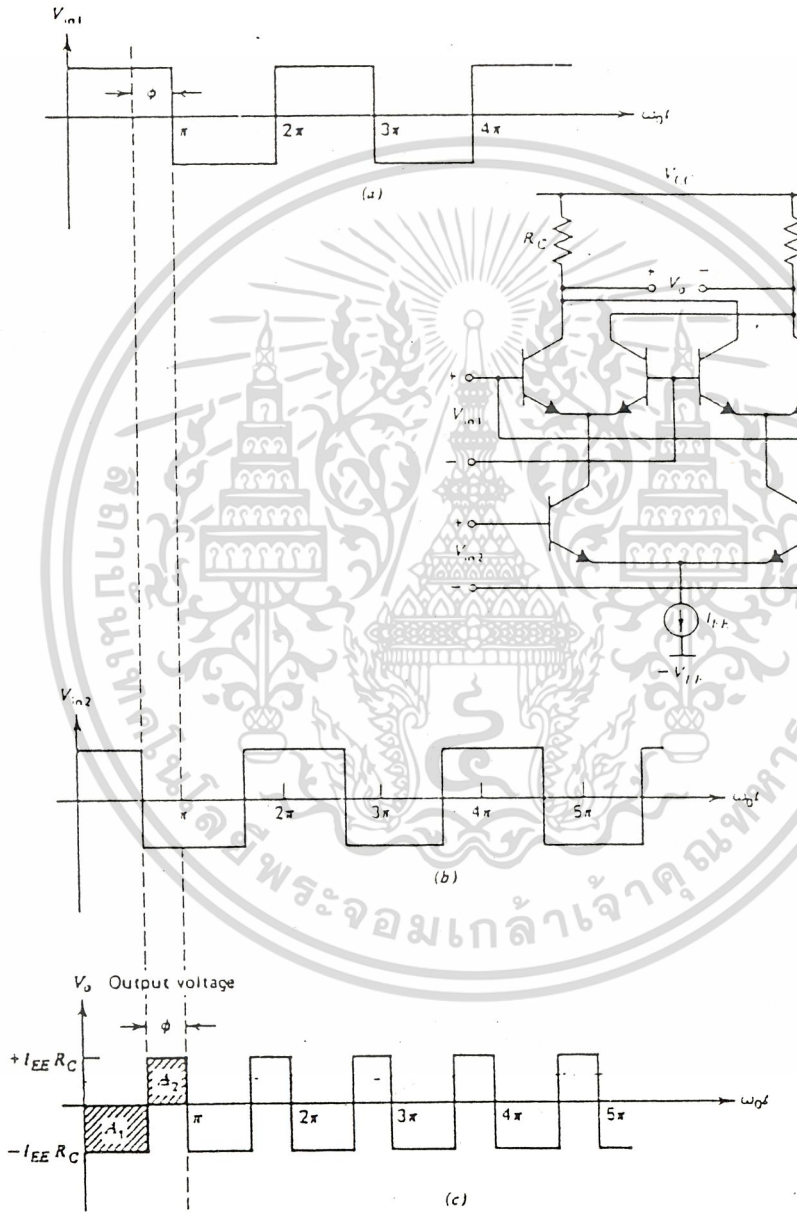
สำหรับ A_1 , A_2 เป็นพื้นที่แสดงดังรูป ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{avg} = -[I_{EE}R_c(\pi-\phi)/\pi - I_{EE}R_c\phi/\pi] \qquad [1.20]$$

จะได้

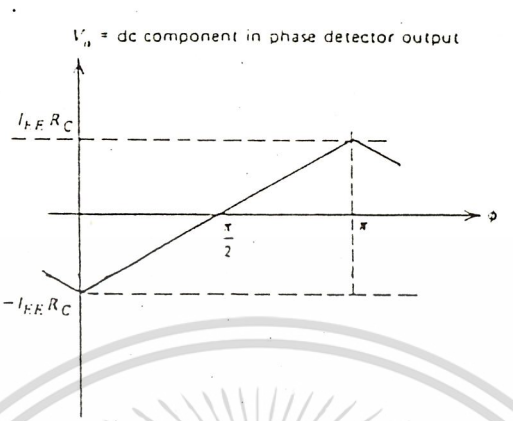
$$V_{avg} = I_{EE}R_c(2\phi/\pi - 1) \qquad [1.21]$$



รูปที่ 1.8 วงจรอนาล็อกเฟสดีเทคเตอร์

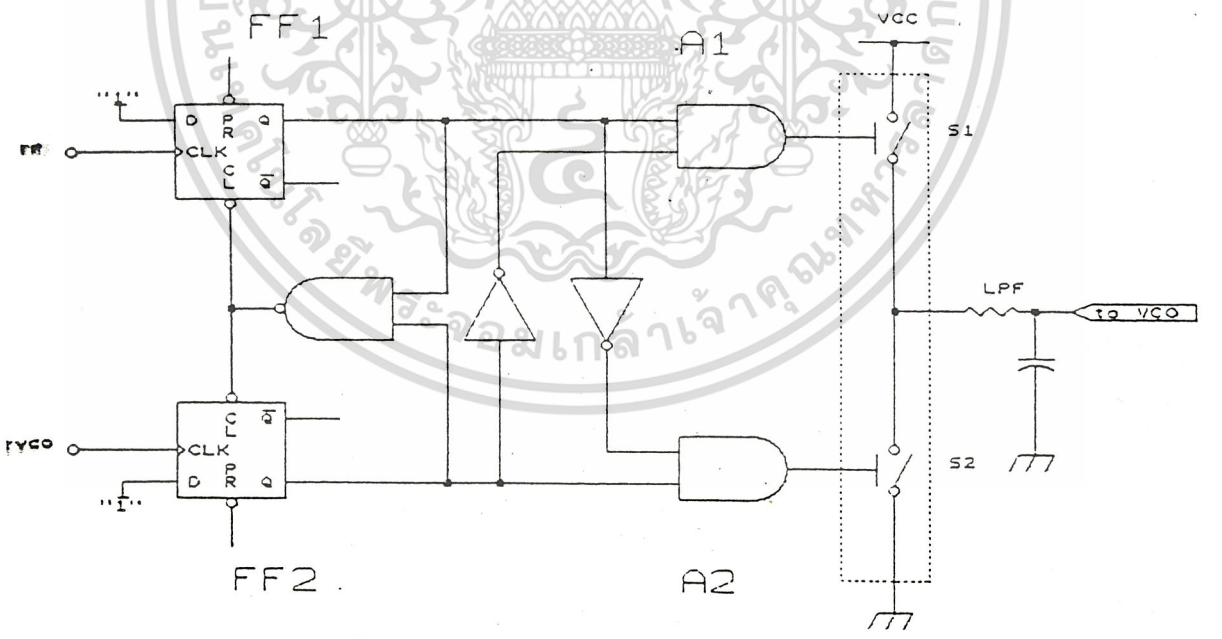
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยสามารถแสดงคุณสมบัติโอนย้ายของอนาล็อกเฟสดีเทคเตอร์ได้ดังรูปที่ 1.9



รูปที่ 1.9 คุณสมบัติโอนย้ายของอนาล็อกเฟสดีเทคเตอร์

1.2.2) วงจรเฟสฟรีเควนซีดีเทคเตอร์ (phase frequency detector)



รูปที่ 1.10 โครงสร้างของวงจรเฟสฟรีเควนซีดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับเฟสฟรีเควนซี่ดีเทคเตอร์หรือ PFD เป็นวงจรที่รับสัญญาณอินพุทเป็นสัญญาณดิจิตอลและให้เอาท์พุทเป็นสัญญาณดิจิตอลที่ขึ้นอยู่กับความต่างเฟสของสัญญาณอินพุท นอกจากจะทำการดีเทคความต่างเฟสแล้ว วงจร PFD สามารถที่จะดีเทคความแตกต่างระหว่างความถี่อินพุททั้งสองด้วย สำหรับวงจรของ PFD แสดงได้ดังรูปที่ 1.10

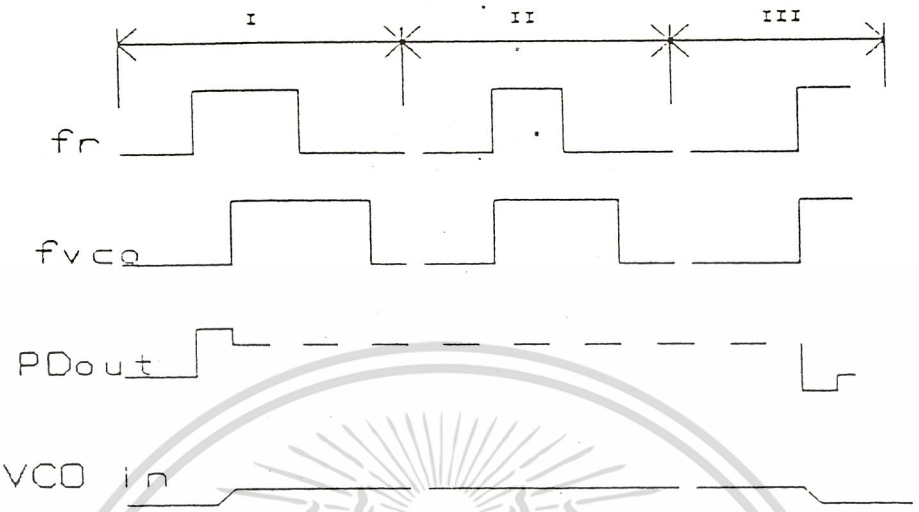
วงจรจะประกอบด้วย ฟลิบฟลอบ,วงจรเกท,และต่อร่วมกันกับส่วนที่เรียกว่า ชาร์จปั๊ม (charge pump) ซึ่งเป็นส่วนที่ให้สัญญาณเอาท์พุทเป็นสัญญาณแรงดัน โดยแสดงวงจรสมมูลย์ของชาร์จปั๊มเป็นสวิตช์ที่จะปิดเมื่อมีสัญญาณลอจิกที่จะขับเท่ากับ "1" และเปิดเมื่อลอจิกที่มาขับเท่ากับ "0" โดยที่อินพุท f_r เป็นสัญญาณจากความถี่อ้างอิง ส่วนอินพุท f_{vco} เป็นอินพุทจากความถี่ป้อนกลับจาก VCO การทำงานสามารถอธิบายได้เป็น 3 ช่วงดังนี้ คือ

<u>ช่วงแรก</u> เริ่มต้นกำหนดให้สัญญาณ f_r มีเฟสนำหน้าสัญญาณ f_{vco} ขอบของสัญญาณ f_r จะเซ็ตฟลิบฟลอบ FF_1 ให้สัญญาณที่ขา Q เป็นลอจิก "1" ส่วนสัญญาณที่ขา Q ของ FF_2 จะเป็นลอจิก "0" ดังนั้นที่เอาท์พุทเกท A_1 มีลอจิก "1" ทำให้ S_1 ปิด ดังนั้นกระแสจะไหลจาก VCC ผ่านความต้านทานเข้าสู่คาปาซิเตอร์ในวงจร LPF ซึ่งเป็นการชาร์จแรงดันให้คาปาซิเตอร์ ขณะต่อมาขอบของสัญญาณ f_{vco} ที่ตามมาจะเซ็ตให้ขา Q ของฟลิบฟลอบ FF_2 เป็น "1" ดังนั้นเอาท์พุทของแนนเกทจะเป็น "0" ซึ่งเป็นการรีเซ็ตฟลิบฟลองทั้งสองตัว ดังนั้นที่สวิทช์จะเปิดออก สำหรับปรากฏการในช่วงแรกนี้เราเรียกว่า การปั๊มขึ้น (pump up) โดยอาจจะเกิดขึ้นหลายๆไซเคิลต่อๆกัน โดย PFD จะทำการปั๊มขึ้นจนกระทั่งเฟสของ f_r และเฟสของ f_{vco} ไม่แตกต่างกัน

<u>ช่วงสอง</u> เนื่องจากเฟสของ f_r และ f_{vco} เท่ากันแล้ว S_1 และ S_2 อยู่ในสภาวะเปิดออกทั้งคู่ สภาวะเช่นนี้ที่จุดเอาท์พุทของ PFD จะมีสถานะเป็นไฮอิมพีแดนซ์(hi-impedence) แรงดันที่ควบคุม VCO จะเพ็นแรงดันซึ่งคงค้างในคาปาซิเตอร์จากการชาร์จ

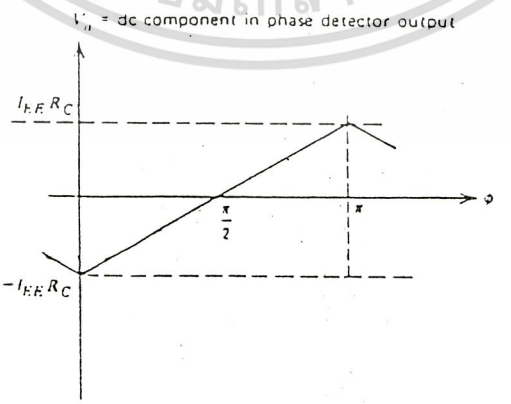
<u>ช่วงสาม</u> กรณีเฟสของสัญญาณจาก VCO เริ่มนำหน้าสัญญาณ f_r ขอบของสัญญาณ f_{vco} จะเซ็ตให้ฟลิบฟลอบ FF_2 ให้ลอจิกเอาท์พุทเท่ากับ "1" และที่เอาท์พุทของเกท A_2 มีค่าเป็นลอจิก "1" ทำให้ S_2 ถูกปิด แรงดันในคาปาซิเตอร์จะถูกดิสชาร์จผ่านความต้านทาน และสวิทช์ S_2 ลงกราวด์ และเฟสของ f_r ที่ตามมาจะเซ็ตฟลิบฟลอบ FF_1 ทำให้เอาท์พุทของ A_2 เป็นลอจิก "0" และ S_2 จะถูกเปิดออก สำหรับลักษณะการทำงานในช่วงนี้เรียกว่า การปั๊มลง (pump down) โดยอาจจะเกิดเป็นหลายๆไซเคิลเช่นเดียวกับการปั๊มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.11 แสดงผังเวลาของเฟสฟรีเควนซี่ดีเทคเตอร์ในช่วงเวลาต่างๆ

กล่าวได้ว่าในกรณีถ้าความถี่อินพุทไม่เท่ากันแล้ว ที่อินพุทของ PFD จะมีความต่างเฟสกันตลอดเวลา ดังนั้น FF_1, FF_2 จะถูกเซ็ตตลอดเช่น ถ้า $f_r > f_{vco}$ ที่เอาท์พุทของ Q_1 จะเป็น "1" ตลอดทำให้ S_1 ปิดวงจร,แรงดันจะชาร์จเข้าสู่คาปาซิเตอร์ เป็นการเพิ่มแรงดันให้กับ VCO สร้างความถี่เพิ่มขึ้นตาล f_r สำหรับคุณสมบัติโอนย้ายของเฟสฟรีเควนซี่ดีเทคเตอร์แสดงได้ดังรูปที่ 1.12



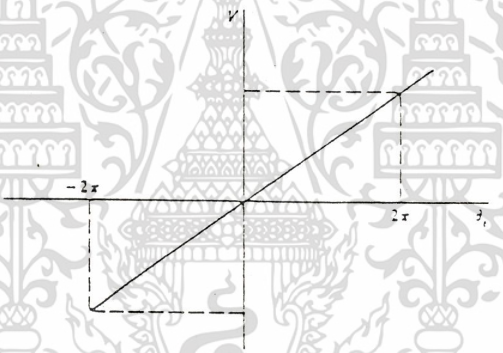
รูปที่ 1.12 แสดงคุณสมบัติโอนย้ายของเฟสดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3) การเข้าสู่สภาวะล็อกและการติดตามสัญญาณของ PLL

เนื่องจากการประยุกต์ใช้งานที่สำคัญอันหนึ่งในระบบโทรคมนาคม สำหรับ PLL ก็คือการใช้สำหรับติดตามสัญญาณเพื่อจะทำการดีมอดูเลท หรือทำการซิงโครไนซ์สัญญาณขึ้นมาใหม่จากสัญญาณอินพุทที่เป็นคลื่นพาห์ ดังนั้นการวิเคราะห์ความสามารถในการติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทและและความสามารถในการเริ่มต้นล็อกความถี่อินพุทจึงมีความสำคัญ โดยในที่นี้จะเป็นการวิเคราะห์สำหรับอนาล็อกเฟสล็อกลูปเท่านั้น

1) พิสัยล็อก (lock range) เป็นพิสัยที่ความถี่ของ VCO ของลูปสามารถติดตามความถี่อินพุท (tracking) หลังจากลูปเริ่มต้นล็อกกับสัญญาณอินพุทแล้ว ดังนั้นอาจเรียกว่าพิสัยแทรคกิ้ง (tracking range) หรือพิสัยโฮล (hold in range) การหาพิสัยล็อกสูงสุดนั้น หาได้จากการสมมติว่าความถี่ที่ป้อนเข้าลูปเป็นความถี่สูงสุดของเฟสล็อกลูปทำการล็อก



รูปที่ 1.12 แสดงพิสัยล็อก, พิสัยพูลอิน, พิสัยแคปเจอร์

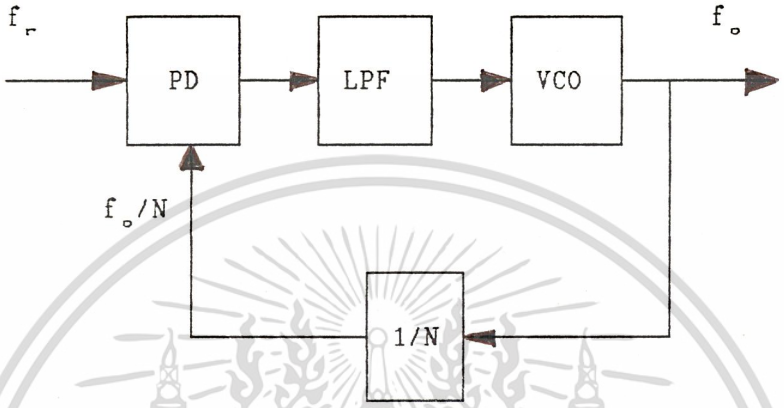
2) พิสัยพูลอิน (pull in range) เป็นพิสัยที่ PLL สามารถจะล็อกกับสัญญาณอินพุทได้โดยลูปอยู่ในสภาวะเริ่มต้นไม่ได้ล็อกกับความถี่อินพุท

3) พิสัยแคปเจอร์ เป็นพิสัยที่ PLL สามารถจะล็อกกับความถี่อินพุท พิสัยแคปเจอร์จะมีช่วงความถี่แคบกว่าพิสัยพูลอิน โดยผลต่างของความถี่ถี่สามารถผ่านลูปฟิลเตอร์โดยไม่ถูกลดทอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป

การสังเคราะห์ความถี่ด้วย PLL เป็นการสร้างความถี่ขึ้นใหม่ ด้วยสัญญาณความถี่อ้างอิงที่มาตรฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงได้ดังรูป 1.15



รูปที่ 1.15 แสดงโครงสร้าง PLL สำหรับการสังเคราะห์ความถี่

จากรูป ส่วนที่เพิ่มเข้าไปจากโครงสร้างของ PLL ที่ได้กล่าวมาแล้วคือ วงจรหาร N(1/N) โดยถ้า f_r เป็นความถี่อ้างอิงที่มีความถี่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับขนาดของ ความถี่อ้างอิง(frequency reference :fr) คูณกับจำนวนหาร N หรือเขียนได้

$$f_o = f_r * N \qquad [1.22]$$

หรือกล่าวได้ว่าความถี่เอาท์พุท (f_o) จะเป็นจำนวนเท่าของความถี่อ้างอิง ความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ (PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง สำหรับการทรานเฟอร์ฟังก์ชันของ PLL ที่มีวงจรหารในส่วนป้อนกลับเขียนทรานเฟอร์ฟังก์ชันได้คือ

$$\frac{\theta_o(s)}{\theta_r(s)} = \frac{K_o K_d F(s)/S}{1 + K_o K_d F(s)/NS} \qquad [1.23]$$

สำหรับทรานเฟอร์ฟังก์ชันของลูปใดๆเขียนได้

$$\theta_o(s) = \frac{G(s)}{1 + G(s)H(s)} \qquad [1.24]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

G(s) = ฟอร์เวิร์ดเกน (forword gain)

H(s) = เกนป้อนกลับ (feedback gain)

G(s)H(s) = เกนลูปปิด (open loop gain)

จากสมการ 1.24 เราได้ฟอร์เวิร์ดเกนคือ

$$G(s) = \frac{K_o K_d F(s)}{S} \qquad [1.25]$$

และเกนลูปเปิดของ PLL คือ

$$G(s)H(s) = \frac{K_o K_d F(s)}{N*S} \qquad [1.26]$$

สำหรับในการสังเคราะห์ความถี่วงจรกรองความถี่ต่ำ (LPF) ในลูปจะเลือกใช้วงจรกรองแบบแอคตีฟ เนื่องจากดึงกระแสอินพุทน้อย ทำให้ค่าความผิดผลาดในสภาวะสงบของเฟสดีเทคเตอร์เอาท์พุทมีค่าน้อย จากวงจรกรองในลูปในรูปที่ 1.7(b) ซึ่งมีทรานเฟอร์ฟังก์ชั่นแสดงในสมการที่ 1.12 แทนลงในสมการที่ 1.23 จะได้

$$\frac{\theta_o}{\theta_r} = \frac{K_o K_d (ST_2+1)/T_1}{S^2 + SK_o K_d T_2/NT_1 + K_o K_d/NT_1} \qquad [1.27]$$

จะได้ความถี่ธรรมชาติของลูปและค่าแดมปิ้งแฟคเตอร์คือ

$$w_n = (K_o K_d/NT_1)^{1/2}$$

$$= (T_2/2)w_n \qquad [1.28]$$

ค่าความถี่ธรรมชาติ ,อัตรา damping ของลูป จะเป็นพารามิเตอร์ที่เราสามารถกำหนดได้โดยการกำหนดค่าพารามิเตอร์ดังกล่าว เราจะกำหนดโดยพิจารณาจากความต้องการต่อการตอบสนองของลูปในสภาวะทรานเซียน ความสามารถมอดูเลทความถี่ที่ต้องการในกรณีลูปถูกมอดูเลทด้วยสัญญาณเบสแบนด์และความเสถียรภาพของลูป

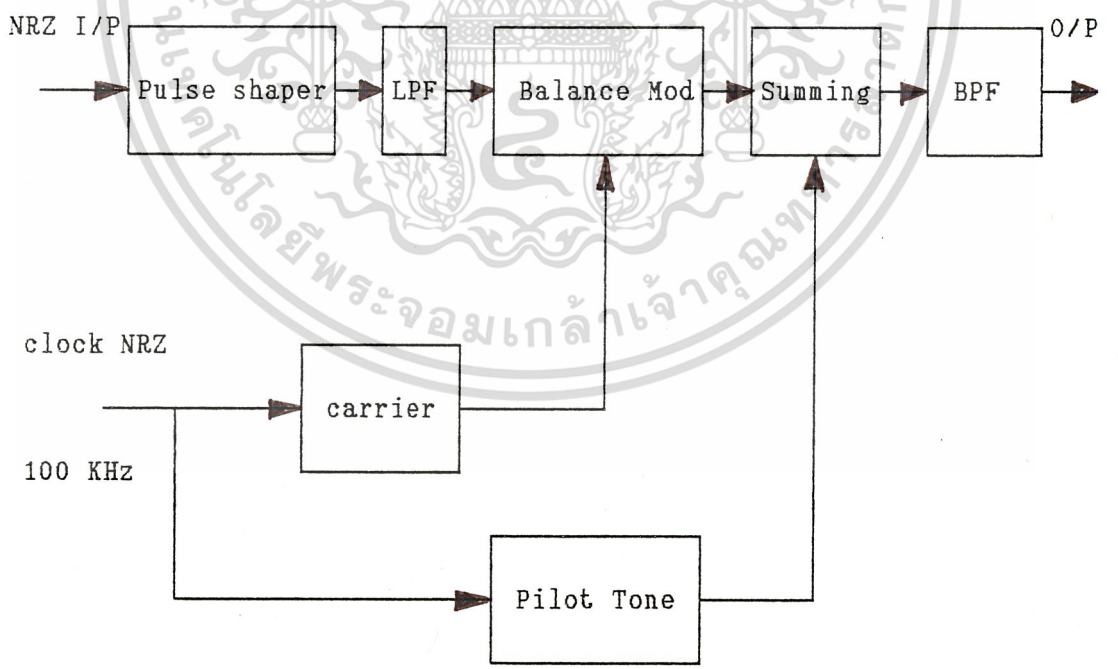
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการทำงานของภาคส่ง

Pilot tone in BPSK เป็นเทคนิคในการส่งสัญญาณข้อมูลที่เป็นสัญญาณดิจิตอล โดยจะใช้สัญญาณ NRZ เป็นสัญญาณอ้างอิงซึ่งสัญญาณ NRZ นี้จะนำไปผ่านวงจร pulse shaper เพื่อทำการลดแบนด์วิท แล้วจึงนำไปมอดูเลทแบบ DSB กับสัญญาณคลื่นพาห์ ซึ่งสัญญาณคลื่นพาห์จะสร้างมาจาก clock ของสัญญาณ NRZ สัญญาณที่ได้จากวงจรมอดูเลทแบบ DSB นี้จะกำจัดคลื่นพาห์ทิ้งไปเหลือแต่ข้อมูลที่อยู่ใน sideband ทั้งสองข้างเท่านั้น ซึ่งสัญญาณนี้จะถูกส่งไปยังภาครับพร้อมกับสัญญาณ pilot tone โดยที่สัญญาณ pilot tone นี้สร้างจาก clock ของสัญญาณ NRZ เช่นเดียวกับสัญญาณคลื่นพาห์ โดยใช้วงจร summing amp ในการรวมสัญญาณทั้งสองก่อนส่งไปที่ภาครับ สัญญาณ pilot tone ที่ส่งไปยังภาครับก็เพื่อเป็นสัญญาณอ้างอิงในการสร้างสัญญาณคลื่นพาห์เพื่อใช้ในการดีเทคที่ภาครับ

Block Diagram ของวงจร Pilot tone in BPSK มีดังนี้



รูปที่ 2.1 Block diagram ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

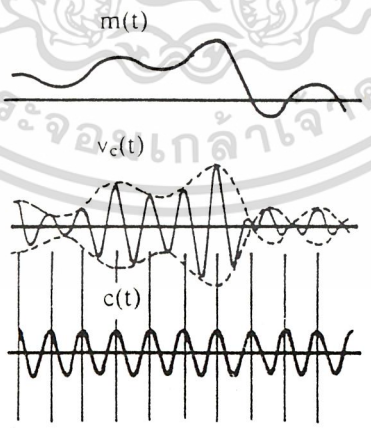
การมอดูเลตแบบ DSB

การมอดูเลตแบบ DSB นี้ชื่อเต็มคือ Double-SideBand Suppressed Carrier ซึ่งตามความหมายก็คือ การมอดูเลตที่ให้สัญญาณที่มอดูเลตมีไซด์แบนด์ทั้งสองด้าน และสกัดเอาสัญญาณคลื่นพาห์ออกไป วัตถุประสงค์หลักของการมอดูเลตแบบนี้ก็คือ ต้องการลดกำลังส่งในส่วนที่เป็นสัญญาณคลื่นพาห์ออกจากสัญญาณ AM เพื่อเป็นการเพิ่มประสิทธิภาพด้านการส่ง เมื่อทำการสกัดสัญญาณคลื่นพาห์ออก สัญญาณ DSB ที่ได้ก็จะเขียนได้ดังนี้

$$v_c(t) = A_c m(t) \cos w_c t \qquad [2.1]$$

เมื่อ $A_c \cos w_c t$ คือสัญญาณคลื่นพาห์

และ $m(t)$ เป็นสัญญาณเบสแบนด์ที่ถูกนอร์มอลไลซ์ไว้ด้วยค่า A_c และ $m(t)$ จะถูกเรียกว่า มอดูเลชั่นอินเดกซ์ (modulation index) ซึ่งจะเป็นตัวบ่งชี้ว่าสัญญาณคลื่นพาห์ถูกทำให้มีการเปลี่ยนระดับไปอย่างไร อย่างไรก็ตามในทางปฏิบัตินั้นคำว่า มอดูเลชั่นอินเดกซ์มักจะหมายถึงค่า $m(t)$ ที่มีขนาดสูงสุดและสัญญาณ AM ที่สามารถดีเทคด้วยวิธีเอ็นเวลโลปดีเทคชันจะต้องมี $|m(t)| < 1$ เสมอ ถ้า $m(t)$ มีค่าสูงกว่าหนึ่งก็จะเกิดการกลับเฟสตรงที่ $m(t) = -1$ ซึ่งวงจรดีเทคเอนเวลโลปจะไม่สามารถตรวจจับการเปลี่ยนแปลงเฟสได้ จึงดีเทคได้เอ็นเวลโลปด้านบวกอยู่เสมอ ซึ่งจะทำให้ไม่สามารถดีเทคสัญญาณเบสแบนด์เดิมกลับมา



รูปที่ 2.2 ตัวอย่างของสัญญาณ DSB

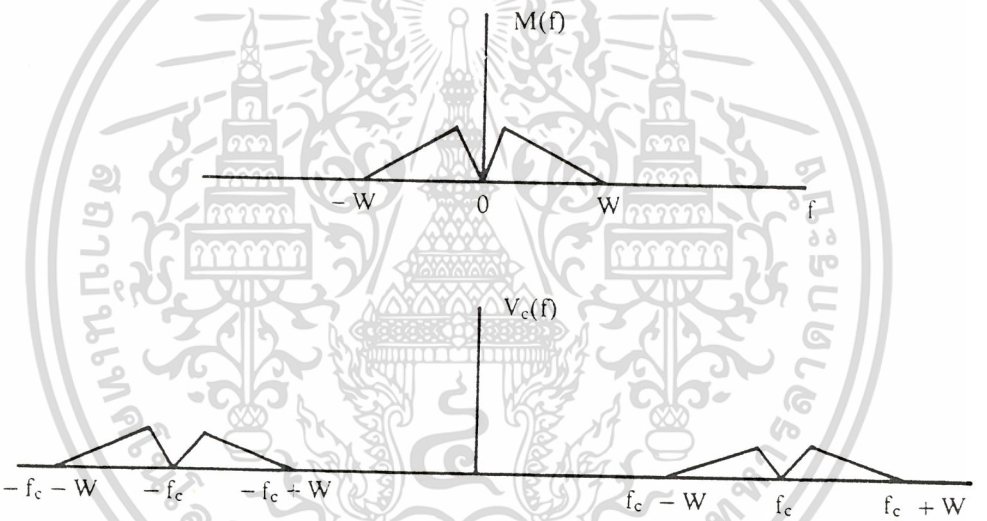
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจากสมการที่ (1) นี้ $v_c(t)$ จะมีค่ากลับเฟสทันทีตรงตำแหน่งที่ $m(t) = 0$ ดังนั้นค่ายอดคลื่นของสัญญาณหรือเอ็นเวลโลปที่ได้ก็จะเป็น $|m(t)|$ แทนที่จะเป็น $m(t)$ นั่นคือในสภาพเช่นนี้เอ็นเวลโลปดีเทคชั่นจะใช้ไม่ได้ผล

เมื่อทำการหาสเปกตรัมของสัญญาร DSB ตามสมการ (1) นี้ โดยให้ฟูเรียร์ทรานสฟอร์มของ $m(t)$ เป็น $M(f)$ จะได้ผลดังนี้

$$V_c(f) = (A/2)[M(f-f_c) + M(f-f_c)] \qquad [2.2]$$

ซึ่งรูปร่างของสเปกตรัมก็จะเหมือนกับของสัญญาณ AM ยกเว้นว่าไม่มีสเปกตรัมของสัญญาณคลื่นพาห์อยู่เท่านั้น เพราะฉนั้นเมื่อนำไปเขียนเป็นรูปของสเปกตรัมก็จะได้ดังรูปที่ 2.3



รูปที่ 2.3 สเปกตรัมของสัญญาณ DSB

เมื่อทำการพิจารณากำลังส่งของสัญญาณ DSB นี้เนื่องจากไม่ต้องส่งสัญญาณคลื่นพาห์ออกไปด้วย ดังนั้นกำลังส่งก็จะเหลือเพียงกำลังที่อยู่ในไซด์แบนด์ทั้งสองข้างดังนี้

$$P_{DSB} = 2P_{sb} = (A_c^2/2)[m^2(t)] \qquad [2.3]$$

กำลังส่งที่ต้องใช้ในกรณีนี้เมื่อเปรียบเทียบกับกรณีของสัญญาณ AM เราจะพบว่าการที่ไม่ต้องส่งสัญญาณคลื่นพาห์ออกไปด้วยจะทำให้ประหยัดกำลังส่งลงไปได้อย่างน้อยก็ครึ่งหนึ่งของกำลังส่งที่ใช้ในการส่งสัญญาณ AM การพิจารณาเรื่องเกี่ยวกับกำลังส่งนี้ในทางปฏิบัติยังต้องคำนึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถึงเงื่อนไขที่สำคัญอีกประการหนึ่งคือ ค่ากำลังส่งสูงสุดที่เครื่องส่งจะทำงานได้ตามปกติ ค่ากำลังส่งสูงสุดนี้จะถูกกำหนดจากคุณสมบัติของเครื่องขยายกำลังที่ใช้อยู่ เพราะเครื่องขยายกำลังจะเกิดการอิ่มตัว(saturation) และทำให้สัญญาณขาออกผิดเพี้ยนไปจากสัญญาณขาเข้าเมื่อเราใส่สัญญาณขาเข้าที่มีค่าสูงเกินไป ถ้าให้ค่ากำลังสูงสุดดังกล่าวนี้เป็น $(A_{max})^2/2$ แล้วทำการเปรียบเทียบกำลังที่ใส่เข้าไปในไซด์แบนด์ของสัญญาณ DSB และสัญญาณ AM ได้ ก็จะเป็นการเปรียบเทียบกำลังส่งของไซด์แบนด์ของสัญญาณทั้งสอง ภายใต้เงื่อนไขกำลังสูงสุดได้ ก่อนอื่นจะพิจารณากรณีของสัญญาณ DSB จากสมการ (3) เนื่องจาก $[m^2(t)] < 1$ เพราะฉนั้นจะสามารถให้ $A_c = A_{max}$ ได้ซึ่งทำให้ P_{sb} ในกรณีนี้เท่ากับ $(A_{max})^2/4$ สำหรับกรณีของสัญญาณ AM เราจะพบว่าค่า A_c สูงสุดที่เป็นไปได้นั้นจะเท่ากับ $A_{max}/2$ ซึ่งโดยสรุปแล้วจะได้ว่า

กรณีของ DSB $$P_{sb} = \frac{A_{max}^2}{4}$$

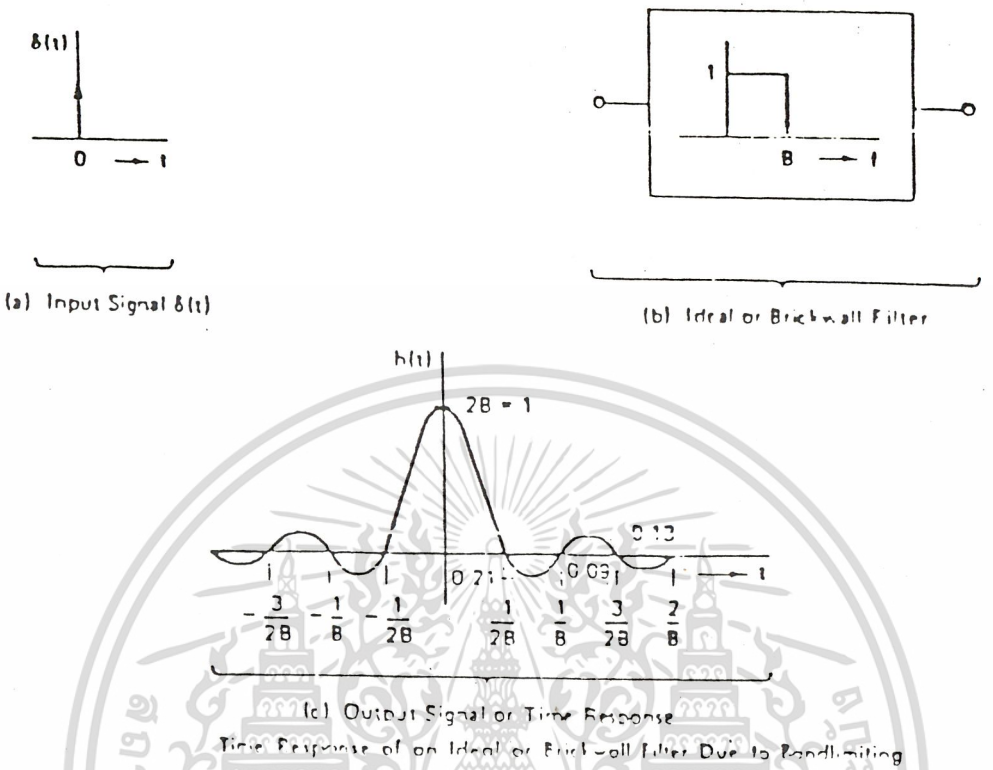
กรณีของ AM $$P_{sb} = \frac{A_{max}^2}{16}$$

ซึ่งก็หมายความว่า ถ้ากำหนดกำลังสูงสุดให้ ก็จะสามารถใส่กำลังให้กับสัญญาณไซด์แบนด์ของสัญญาณ DSB ได้สูงกว่าสัญญาณ AM ถึง 4 เท่าตัว สัญญาณ DSB จึงมีการใช้กำลังที่มีประสิทธิภาพสูงกว่าของสัญญาณ AM 4 เท่าตัว แต่ก็มีข้อเสียเปรียบที่ไม่สามารถดีเทคสัญญาณเบสแบนด์กลับมาได้โดยใช้วิธีเอ็นเวลโลปดีเทคชั่น

Frequency Response ของฟิลเตอร์แบบอุดมคติหรือแบบ brick wall

ลักษณะของระบบแสดงได้ดังรูปที่ 2.5 ในระบบนี้ impulse input f(t) ถูกใช้ในการส่งข้อมูลในช่องสัญญาณที่มีเรสปอนส์ความถี่สัมพันธ์กับฟิลเตอร์ความถี่ต่ำแบบอุดมคติหรือ brick wall และมีแบนด์วิทเท่ากับ B แม้ว่าลักษณะของฟิลเตอร์และเรสปอนส์ไม่สามารถเป็นจริงได้เนื่องจากการเกิด roll-off ที่ไม่จำกัดของ filter แต่แบบนี้จะให้เรสปอนส์ประมาณใกล้เคียงได้ จะใช้พัลซ์แบบสั้นๆ เพื่อจำกัด bandlimit ของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) Input Signal δ(t)

(b) Ideal or Brickwall Filter

(c) Output Signal or Time Response

Time Response of an Ideal or Brickwall Filter Due to Bandlimiting

รูปที่ 2.5

จากรูป 2.5(c) ผลของ bandlimitting ที่เป็นสัญญาณ impulse จะเกิดการสั่น (ringing) หรือเกิด time sprcading ของพัลซ์

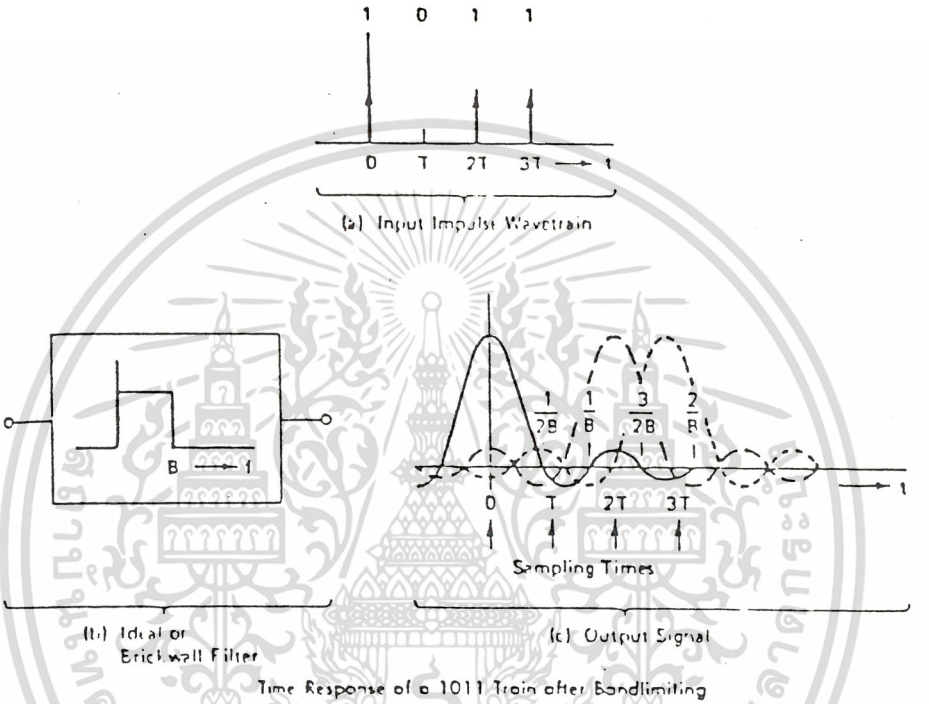
รูปสัญญาณ o/p กำหนดได้โดยสมการที่ 2.4

$$h(t) = \frac{2B\sin 2\pi Bt}{2\pi Bt} \qquad [2.4]$$

จากสมการแสดงถึงรายละเอียดของสัญญาณที่ อัตรา 1/t และแอมปลิจูดที่ผ่านศูนย์ ที่จุดต่างๆ ทุก t = n/2B โดยที่ n เป็นจำนวนเต็มจากฟังก์ชั่น sine เป็นศูนย์เมื่อ $2\pi Bt = n\pi$ ถ้าสัญญาณพัลซ์เทรนที่ใช้ กับระบบ bandlimit หางของพัลซ์ต่าง ๆ จะเหลื่อมทับกัน(overlap) ในการดีเทคสัญญาณจะพิจารณาเฉพาะพัลซ์หลัก(major pulse) กรณีนี้ แสดงได้ดังรูป 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเกิด time delay ของระบบทำให้ response ของสัญญาณ impulse ลูกที่ 3 และ 4 เกิดขึ้นที่จุด sampling ที่ t = 0 การรบกวนแบบนี้เรียกว่า Inter-Symbol Interference (ISI)



รูปที่ 2.6

ที่ระยะเวลา sample ที่ t=T หางของพัลซ์ที่ปรากฏภายใน sampling slot ซึ่งจะเกิดเป็นแรงดันขึ้นแทนที่ศูนย์ ถ้าค่าแรงดันมากพอจะทำให้เกิดปัญหาขึ้นได้

ผลจาก ISI สามารถทำให้ลดลงได้โดย

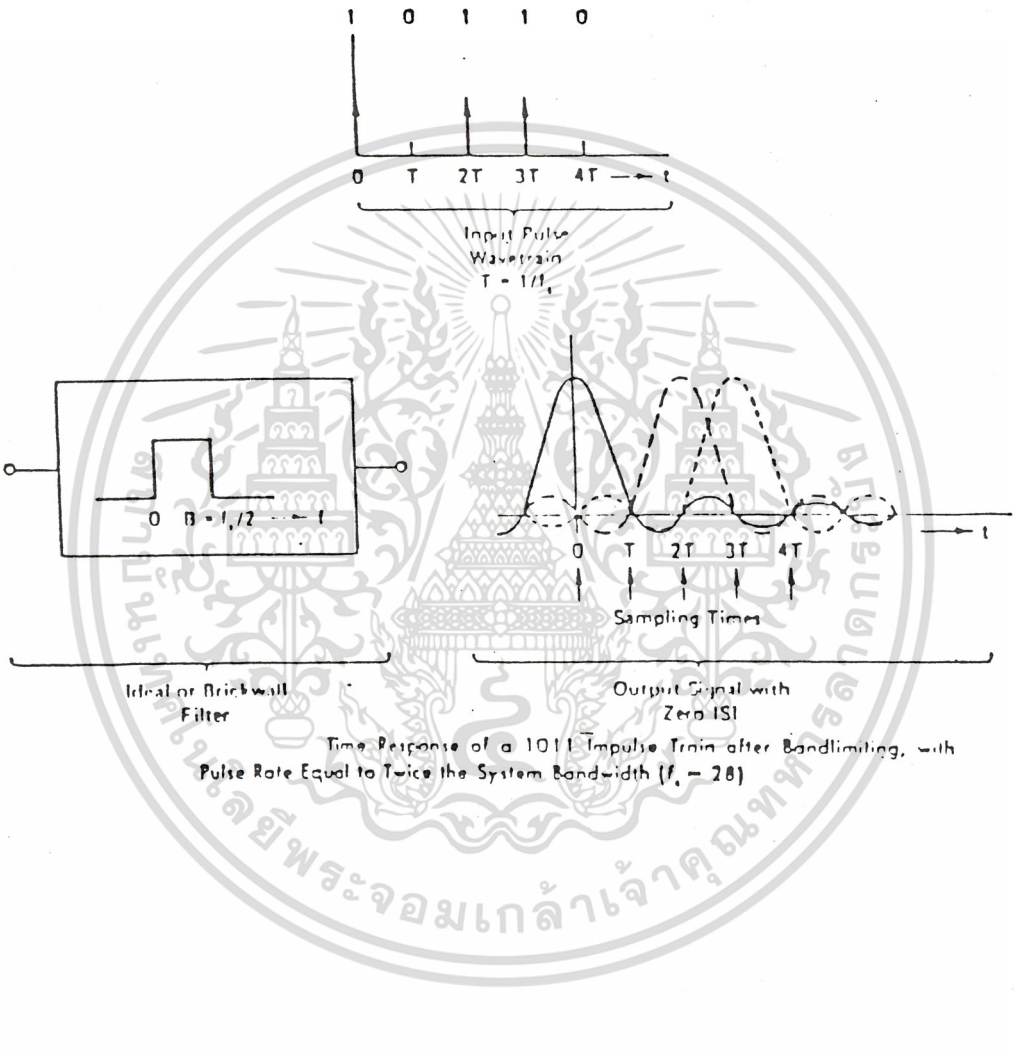
1) กำหนด timing ของ pulse train และ sampling interval ให้สัมพันธ์กับแบนด์วิทของระบบ

2) ใช้ pulse shaping และ chanel shaping

โดย timing ของพัลซ์เทรนจะทำให้เกิดหรือไม่เกิดพัลซ์ที่ interval ของ T=1/2B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และดีเทคที่อัตราเดียวกัน หางของพัลซ์ข้างเคียงจะเป็นศูนย์โวลท์ และการรบกวนกันจะไม่เกิดขึ้น



รูปที่ 2.7

ที่ระยะคงที่พัลซ์ที่เกิดขึ้นเป็นไปตามรูป 2.7 โดยที่ระยะแซมปลิ้ง เกิดขึ้นที่ multiple ของ $T=1/f_s$ หรือที่อัตรา f_s เป็น 2 เท่าของแบนด์วิทที่ส่ง อัตรานี้เรียกว่า Nyquist rate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราพัลซ์ = 2B [2.5]

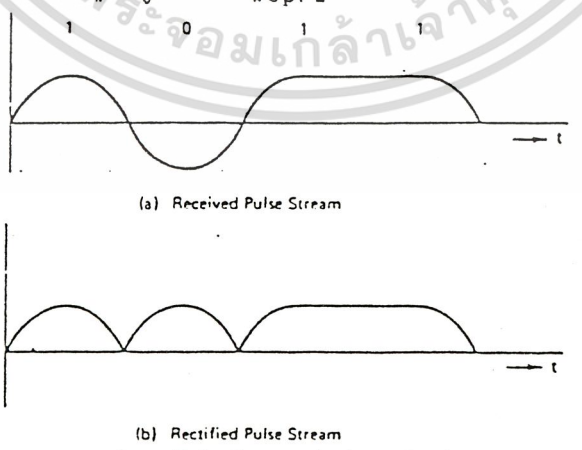
โดยที่ B เป็นแบนด์วิทของช่องสัญญาณแบบ low-pass

ถ้า sampling ที่ภาครับกำหนดที่ระยะถูกต้องหรือที่ทุกๆ $T=1/f_s=1/2B$ ดังนั้น ISI จึงจะไม่เกิดขึ้น ฉนั้นแบนด์วิทจึงเท่ากับ ครึ่งหนึ่งของอัตราพัลซ์

$$B = \frac{f_s}{2} \qquad [2.6]$$

รูปที่ 2.7 bandlimit ของระบบป้องกันความถี่ sampling ของภาคส่ง มีอัตราพัลซ์ $1/T = f_s$ แบนด์วิทลิมิทของฟลิเตอร์อุดมคติแบบ low-pass มี cutoff frequency = $f_s/2$ จะไมาผ่านที่ความถี่ sampling (f_s) เพื่อให้ timing จาก pulse stream สัญญาณ rectified แบบ full wave ซึ่งทำให้เกิด doubling ที่ฮาร์โมนิกแรกของสัญญาณ รูปที่ 2.8 สัญญาณปกติของสัญญาณภาครับ ก่อนและหลังการเรคติไฟล์ สัญญาณที่ถูกเคติไฟล์จะประกอบด้วยส่วนประกอบ spectrum ที่อัตราพัลซ์ 1/T หรือ f_s ซึ่งจะถูก extracted โดยค่าของ sharply tuned BPF ในความเป็นจริงหางของพัลซ์จะมีความกว้างจำกัด แต่จะไม่หมดในช่วงเวลาของ T เมื่อ $B=f_s/2$ จะเกิดความกว้างพัลซ์ที่ศูนย์ ถ้าพัลซ์วิทไม่มาก ISI จะเกิดได้เสมอ response ของ filter อุดมคติแบบ low-pass จะไม่ delay ที่พัลซ์สี่เหลี่ยมที่กว้าง t_p แสดงได้โดยสมการที่ [2.4]ในรูปที่ 2.9 แสดงเรสปอนส์สำหรับ differential pulse เมื่อ B = 4KHz

$$g(t) = \frac{t_p}{\pi} \int \frac{\sin wt_p/2 \cos wt\, dw}{wtp/2} \qquad [2.7]$$



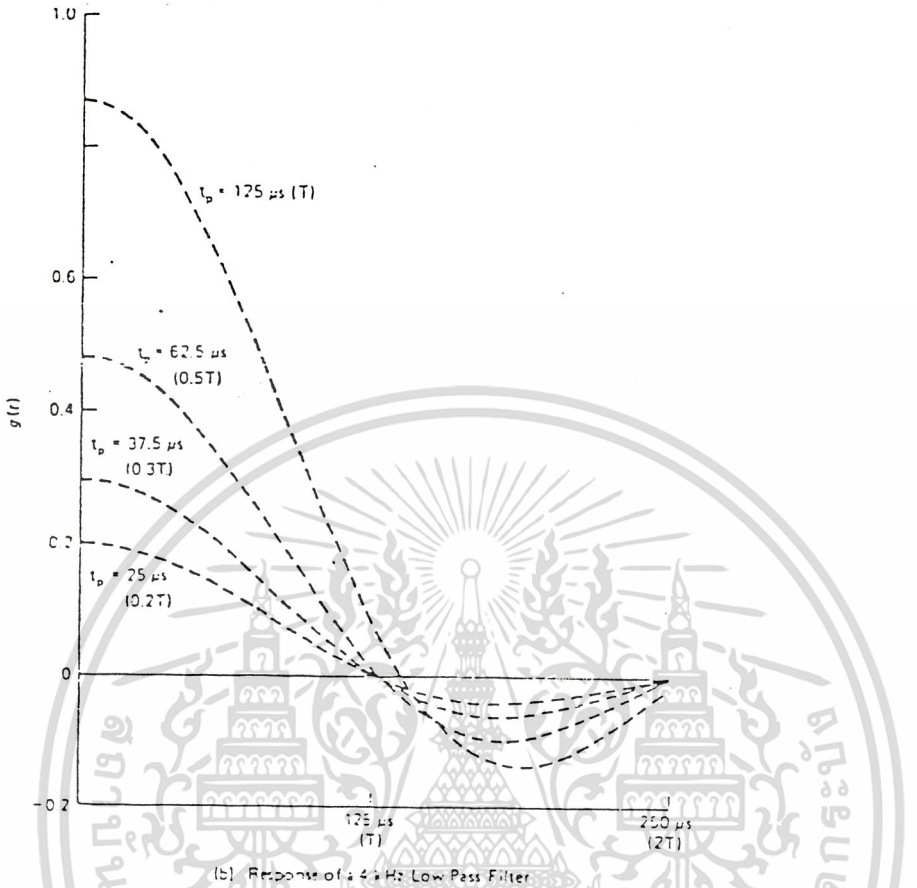
(a) Received Pulse Stream

(b) Rectified Pulse Stream

Timing Extraction Employing Rectification

รูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



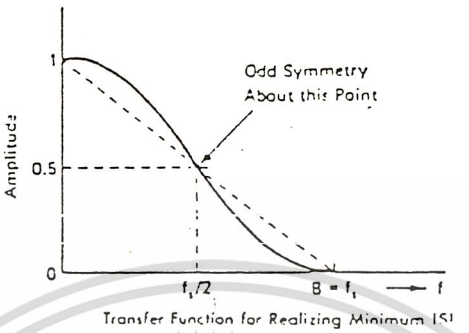
รูปที่ 2.9

Raised-Cosine Chanel Response

ในทางปฏิบัตินั้น filter แบบอุดมคติหรือ brick wall ไม่สามารถสร้างได้ ในการออกแบบ chanel สื่อสารแบบดิจิตอลจะต้องใช้วิธีที่ปฏิบัติต่อไปนี้แทนผลของ filter response แบบนี้สามารถเป็นจริงได้ ซึ่งจะเกิด overshoot และ undershoot น้อยที่สุดที่จุดผ่านศูนย์ที่ระยะ sampling ติดกัน เมื่อใช้รวมกับ pulse shape chanel และ equalizer จะมี odd ทรานส์เฟอร์ฟังก์ชั่นสมมาตรที่ B/2 ดังแสดงในรูป 2.10 ฟิลเตอร์นี้สามารถเป็นจริงได้ ถ้าเรสปอนส์ไม่เปลี่ยนแปลงทันทีทันใดและจำกัดสโลปในลักษณะนี้ หางของพัลซ์ข้างเคียงจะไม่รบกวนกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

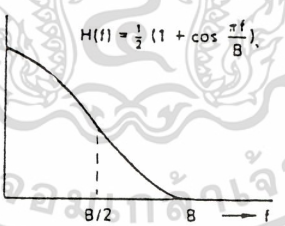
พัลซ์หลัก chanel การสื่อสารจะชดเชยสำหรับการเบี่ยงเบนใด ๆ ของพัลซ์จาก function impulse



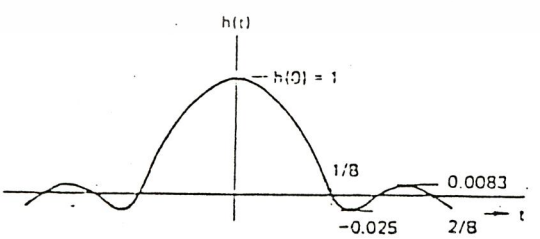
Transfer Function for Realizing Minimum ISI

รูปที่ 2.10

วิธีแก้ปัญหาอย่างหนึ่งคือ การออกแบบแชนแนลสื่อสารแบบ riased-cosine response ดังแสดงในรูป 2.11(a) แม้ว่าเรสปอนส์จะไม่เป็นเส้นตรง แต่สามารถประมาณได้ใกล้เคียงเรสปอนส์แบบ brick wall โดยให้ gradual roll-off สูงขึ้น 1.5 time ของ Nyquist rate แต่จะคัทออฟที่ 2 เท่าของ Nyquist rate โดยที่ ferquency response แสดงได้ดังรูปที่ 2.11(a) และ impulse response แสดงดังรูป 2.11(b)



(a) Frequency Response



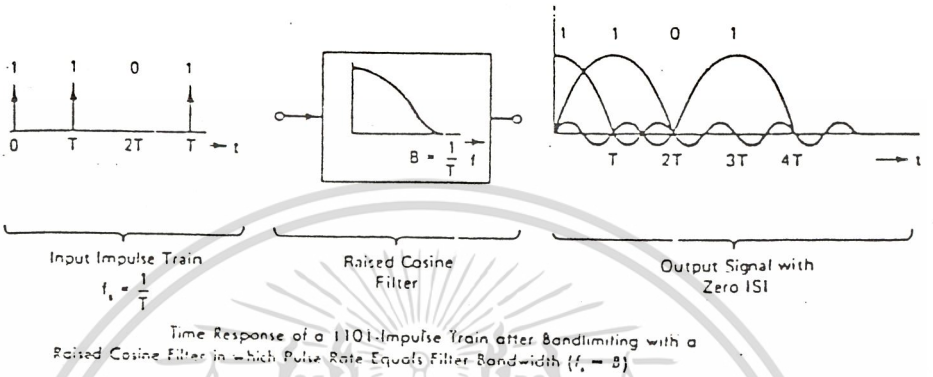
(b) Impulse Response

Raised-Cosine Channel Response

รูปที่ 2.11 แสดง Riased-Cosine Chanel Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISI จะไม่เกิดขึ้นถ้า pulse train มีระยะเวลาที่ทุก ๆ time interval T=1/B หางของพัลซ์ข้างเคียงจะเป็นศูนย์โวลท์ การพิจารณาจะพบว่ามีพัลซ์หรือไม่มีพัลซ์เท่านั้น ที่ระยะแซมปลิ้งคงที่แสดงดังรูป 2.12



Time Response of a 1101-Impulse Train after Bandlimiting with a Raised Cosine Filter in which Pulse Rate Equals Filter Bandwidth ($f_s = B$)

รูปที่ 2.12

แบนด์วิทของ chanel สื่อสารจะถูก double(เปรียบเทียบกับกรณีของ brick wall จะชิฟไปที่ f_s หรือ 2 เท่าของแบนด์วิทสัญญาณอนาล็อก ซึ่งเป็นที่รู้จักกันในทฤษฎี การแซมปลิ้ง) error จาก oevrshoot หรือ undershoot สามารถลดลงได้ slope ของ riding curve จะเปลี่ยนที่จุด sampling time ซึ่งแบบนี้จะยอมให้เกิด jitter ได้มากกว่าแบบ sinx/x หรือแบบ brick wall

การใช้ PULSE SHAPING เพื่อลดสัญญาณรบกวน ISI

ให้ N = จำนวน time slot โดยที่ T_s เป็น frame time

N_b = ไบนารี่บิทใน time slot

ดังนั้น อัตราของ bit interval คือ $T_b = T_s/NN_b$ วินาที

ที่เวลา sample ใดๆ ถ้าแรงดันที่เกิดจาก symbol สัมพันธ์กับ sample ก็จะไม่เกิด ISI ขึ้นตำแหน่งนี้สัมพันธ์กับรูปสัญญาณที่ส่งออกไปทั้งหมดผ่านจุด null ที่ระยะเวลา sample แต่ถ้า symbol เหล่านี้ถูกส่งออกไปทุก ๆ T_s/NN_b วินาที เราต้องการรูปสัญญาณที่ทุกๆ symbol เป็นคาบๆ ทุกจุด null เพื่อป้องกันสัญญาณรบกวนที่ไม่ต้องการของ sample ที่เกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างหนึ่งของรูปสัญญาณที่เหมาะสมตามทฤษฎีนี้คือ สัญญาณ sin(x)/x ที่ถูกพบโดยบังเอิญในการ sampling ซึ่งสัมพันธ์กับ response ของ low-pass chanel แบบอุดมคติโดยส่งสัญญาณเป็นพัลซ์ที่แคบมาก เพื่อใช้สัญญาณนี้ซึ่งมีปัญหามาก ผลคูณรวมทั้งหมดของสเปคตรัมของรูปสัญญาณที่ส่ง chaanel transfer fucntion และเครื่องรับแบบ matched filter จะต้องมี low-pass แบบ rectangular ผลที่ได้จะไม่ค่อยเป็นไปได้จริงและยากที่จะประมาณในทางปฏิบัติ แต่ยังคงรักษาการ synchronize ของจุด sample ให้เพียงพอแก่สัญญาณ sin(x)/x ให้มากที่สุด

ในปี 1928 Nyquist ได้ปรับปรุงและบรรยายถึงสัญญาณพัลซ์ ในการกระจายออกเป็น null ที่ได้รับขณะเวลาเดียวกัน โดย spectrum magnitude ถูกประมาณไว้อย่างใกล้เคียงกับ filter transfer function ที่เป็นจริงได้ ผลของ Nyquist นี้เรียกว่า vestigial-symmetry theorem ดูได้จากรูปแบบของสเปคตรัม มีหลายรูปแบบดังแสดงในรูป 2.13(a) เป็น real และ odd symmetry ประมาณที่จุด $w = \pm w$ รูปแบบของสเปคตรัมจะถูกกำหนดโดยใกล้เคียงที่สุด จากคุณสมบัติแบบ gradual roll-off และยังแสดง location ของ null ที่อ้างอิงไว้

พิสูจน์ทฤษฎี vestigial symmetry ของ Nyquist โดยที่ $w_1 \leq w$ กรณีนี้ต้องการใช้ในทางปฏิบัติโดยสามารถแยกสเปคตรัม $S_o(w)$ ได้เป็นผลรวมของส่วนประกอบ rectangular และส่วนประกอบที่ odd symmetry ประมาณ $\pm w$ ดูรูปประกอบจากรูป 2.13(b) และ (c)

inverse transform อย่างง่ายของส่วนประกอบแสดงได้ดังสมการ

$$h(t) = \frac{w\sin(wt)}{\pi wt}$$

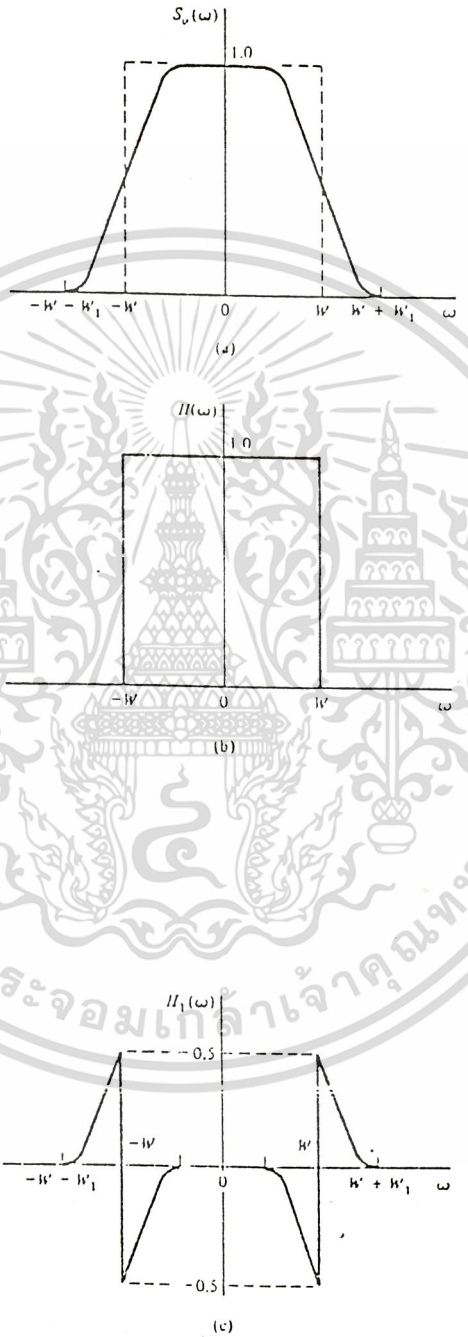
$$h(t) = \frac{-2\sin(wt)}{\pi}\left[\int_0^w \sin(wt)H_1(w+W)\,dw\right] \qquad [2.8]$$

ฟังก์ชั่นของเวลา $S_o(t)$ สัมพันธ์กับสเปคตรัม $S_o(w)$ ได้เป็น

$$S_o(t)=\frac{w\sin(wt)}{\pi wt}\left[\int_0^{1-2t} H_1(w_1+W)\sin wt\,dw\right] \qquad [2.9]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยไม่พิจารณาค่าคงที่ที่ได้จากวงเล็บใหญ่ factor sin(wt)/wt รับรองถึงการมีอยู่ของคาบ null ส่วน $H_1(w)$ สามารถเลือกได้ตามสมควร ISI จะเป็นศูนย์ถ้า symbolใน PCM pulse train ถูกส่งถ่ายใน pulse ที่มีรูปแบบของ $S_o(t)$ นั้น



Spectrums associated with Nyquist's vestigial-symmetry theorem. (a) A spectrum with the required symmetry, (b) its rectangular component, and (c) its components with odd symmetry about $\pm W'$ [2].

รูปที่ 2.13

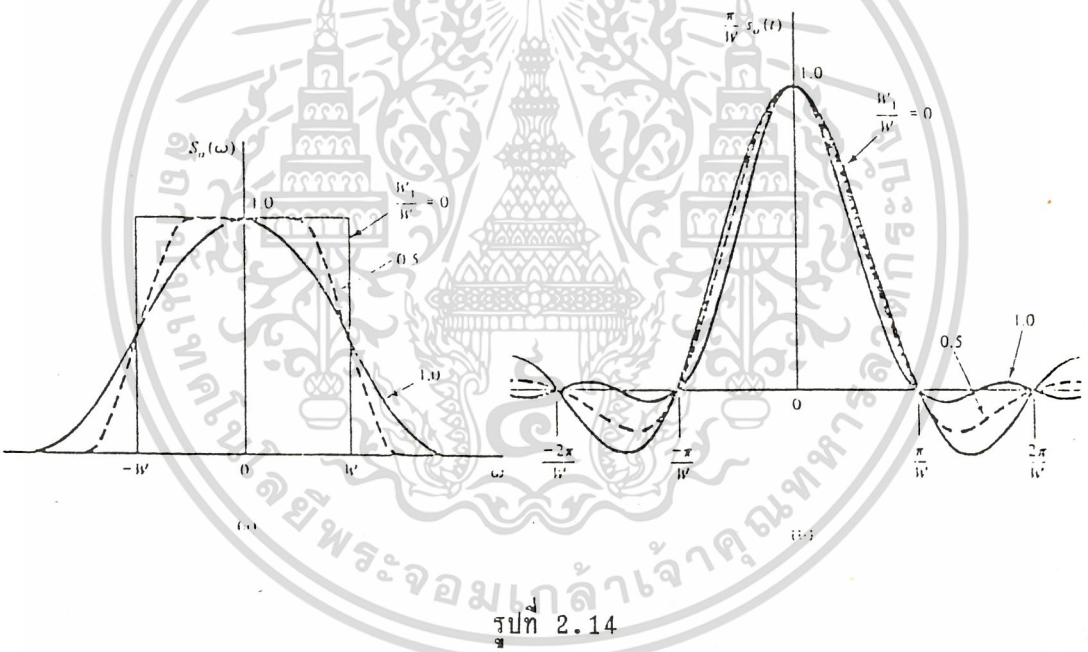
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพิจารณา spectrum ของ riased-cosine กำหนดได้โดย

$$S_o(w) = \begin{cases} 1 & ; w < w-w_1 \\ 1/2 + 1/2\cos[w-w+w_1] & ; w-w_1 \leq w \leq w+w_1 \\ 0 & ; w+w_1 < w \end{cases} \quad [2.10]$$

จากนั้นใช้ inverse fourrier transform จะได้เป็น

$$S_o(t) = \frac{w\sin(wt)}{\pi wt} \left| \frac{\cos(w_1 t)}{1-(2wt/\pi 2)} \right| \quad [2.11]$$



รูปที่ 2.14

ทั้งสองฟังก์ชั่นแสดงดังรูปที่ 2.14 ที่ w_1/w = 0, 0.5 และ 1.0 พัลซ์ดังรูป (b) มีความสำคัญมาก เมื่อ w_1/w = 1.0 side lobe จะเล็กมากๆ (31.5 dB จากยอดหรือต่ำกว่ามากๆ) แสดงถึงการเกิด ISI จะเล็กมากที่ปรากฏใน timing error เมื่อรวมกับ null ที่เกิดที่ t = $\pm$ (2n+1)π/2w โดย n = 1,2,..., จะทำให้เกิดสัญญาณรบกวนต่ำ อัตราครึ่งแอมปลิจูดพัลซ์ของ w_1/w จะอยู่ที่ π/w เป็นระยะเวลาของ 1 บิท การสะท้อนของสัญญาณจะมีหลายชั้วที่เกิดจากพัลซ์ต่างๆ แต่ที่จุด null π/w และส่วนต่อๆไปจะเกิดเฉพาะ

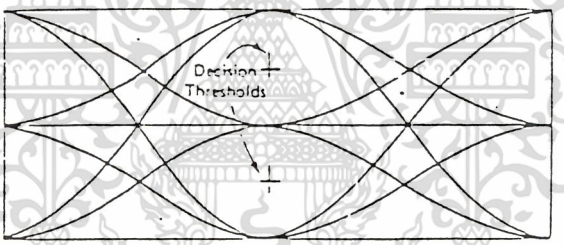
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

null π/w วินาที ข้อดีนี้คือจะมีการ synchronize สัญญาณที่รับมาจากภาครับสัญญาณดิจิตอลได้ดี

Pulse Shaping จะส่งรหัส symbol ที่ 1 symbol ต่อ π/w วินาที ในกรณีสัญญาณคือ w/π แต่โดยรวมแล้วก็ยังคงได้ pulse shaping ที่เป็น $w+w_1$ เสมอ เมื่อเปรียบเทียบกับการส่งสัญญาณที่ $(w+w_1)/\pi$ ซิมบอลต่อวินาที ซึ่งได้อัตราส่วนความแตกต่างเป็น $w/(w+w_1)$

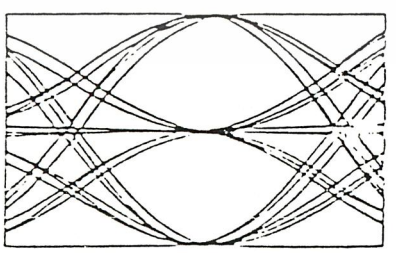
EYE DIAGRAM

ในการพิจารณาผลของนอยส์แบบ random , jitter หรือผลอื่นๆ ที่ทำให้เกิด ISI ของสัญญาณ pulse stream ที่เข้ามาจะใช้ eye diagram ในการพิจารณาได้อะแกรมสร้างได้โดยใช้ออสซิลโลสโคปวัด ป้อนสัญญาณเข้าทาง vertical ของสโคป ส่วน timebase (horizontal axis)ถูก trigger ด้วยสัญญาณ clock ใน eye diagram จะเห็นถึงผลของ noise ที่ทำให้บริเวณรอบๆ eye ไม่ชัดเจน



(a) Ideal Three Level System

รูปที่ 2.15(a)



(c) Noisy System

รูปที่ 2.15(b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.15(a) แสดงไดอะแกรมขณะที่ดีที่สุดและช่วงที่มีนอยส์ตามลำดับ จุดที่ไดอะแกรมเปิดกว้างมากที่สุด การแยกสัญญาณเป็นไปได้สูงสุด noise ที่จะทำให้เกิด error ย่อมต้องการแอมปลิจูดที่มีค่ามากๆ Decision Threshold ควรจะตั้งไว้ที่ระดับที่ horizontal eye มีการเปิดมากที่สุด

เนื่องจากคุณสมบัติใบการรับ-ส่งไม่สมบูรณ์พอทำให้เกิด phase jitter ซึ่งจะลดการเปิด eye ทางแนวนอน และการเกิด ISI จะลดการเปิด eye ทั้งแนวนอนและแนวตั้ง

อัตราการปิด eye ต่อเวลา แสดงความไวของระบบที่มีต่อ timing error ถ้าการ sampling instant หนีจากตำแหน่งที่เป็น ideal เพียงเล็กน้อยจะทำให้เกิดการเปิด eye ทางแนวตั้งลดลงอย่างมาก ในทางปฏิบัติจะทำให้ system performence เลวลงอย่างมาก

สามารถหา noise margin ได้จาก eye diagram อีกด้วย noise magin จะแสดงความแตกต่างของโวลท์เต็จระหว่าง decision threshold กับเส้นรอบวงใน eye ทำการวัดขณะที่ sampling distortion โดยเฉพาะจาก ISI ทำให้เกิดขอบ eye เข้าใกล้เส้น decision threshold มากขึ้น การวิเคราะห์ eye diagram ทำให้สามารถลดสาเหตุที่ทำให้เกิดการเลวลงของระบบให้ต่ำที่สุด

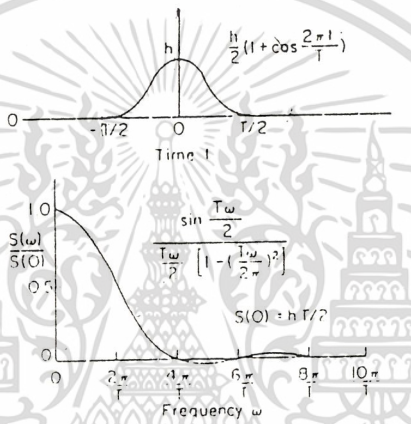
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

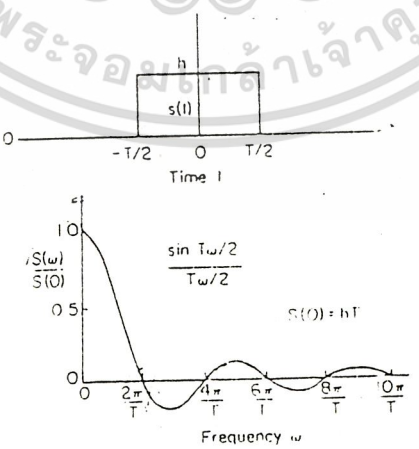
การออกแบบวงจรทางภาคส่ง

วงจร PULSE SHAPING

วงจร pulse shaper จะทำหน้าที่ปรับเปลี่ยนรูปร่างของสัญญาณจากคลื่นสี่เหลี่ยม ให้อยู่ในรูป rise cosine เพื่อลดแบนด์วิดท์ในการส่ง



รูปที่ 3.1 Spectral amplitude function of rectangular pulse



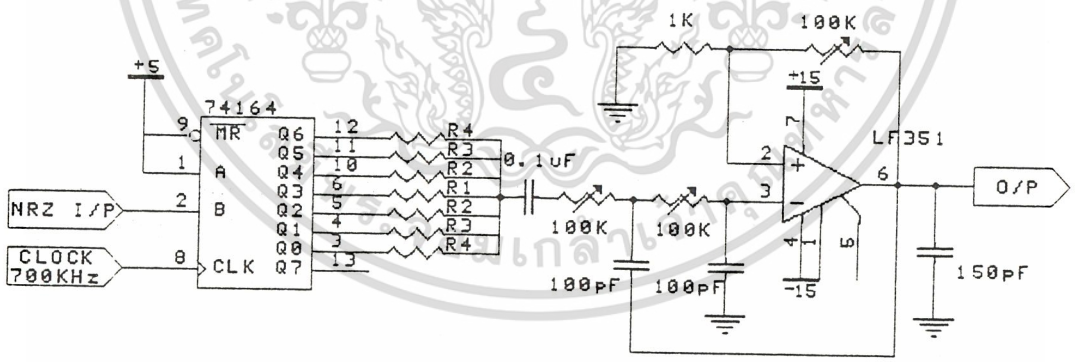
รูปที่ 3.2 Spectral amplitude function of raised-cosine pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราทำ fourier transform ของสัญญาณสี่เหลี่ยมเทียบกับสัญญาณ raised cosine ดังแสดงในรูปข้างล่างจะเห็นได้ว่า พัลซ์รูปสี่เหลี่ยมมีแถบความถี่กว้างกว่าพัลซ์รูป raised-cosine ซึ่งเมื่อนำมาอดูเลตกับคลื่นพาห์พัลซ์รูป rise cosine จะให้แบนด์วิดท์แคบกว่า

ลักษณะของวงจร pulse shaper แสดงดังรูปข้างล่าง โดย Data input ขา 2 เราป้อนสัญญาณ NRZ และ clock ที่ป้อนให้กับขา 8 ของ IC 74164 โดยจะป้อน clock ประมาณ 7 เท่าของ clock ของสัญญาณ NRZ

วงจร pulse shaping เป็นวงจรจัดรูปสัญญาณจากสัญญาณ pulse ให้เป็นสัญญาณในรูปขั้นบันได โดยใช้ IC 74LS164 โดยเราป้อนอินพุทเป็นสัญญาณ NRZ เข้าที่ขา 2 และป้อนสัญญาณ clock เข้าที่ขา 8 ซึ่ง clock ที่ป้อนจะมีค่าเป็น 7 เท่าของ clock ของสัญญาณ NRZ โดยค่าความต้านทาน R1-R4 จะเป็นตัวกำหนดเอาท์พุทให้มีลักษณะเป็นขั้นบันได ซึ่งวงจรแสดงได้ดังรูปที่ 3.3



รูปที่ 3.3 วงจร Pulse Shaping

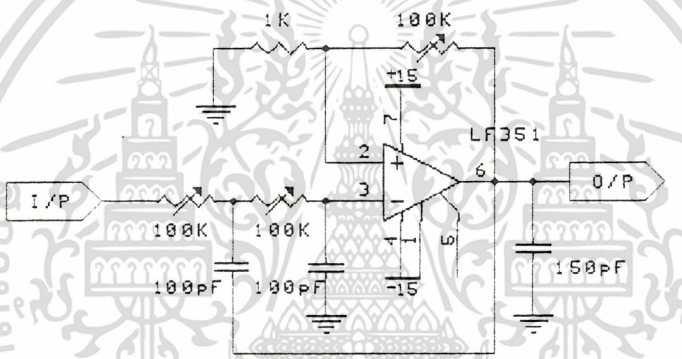
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร LOW-PASS FILTER

จากรูปเป็นวงจร Low-pass Butterworth Filter ซึ่งกราฟของผลตอบสนองมีความชัน -40 dB/decade ซึ่งสามารถแสดงวงจรและเส้นตอบสนองได้ดังรูปที่ 3.4

Second-order lowpass filter มีความสำคัญเพราะว่าใน order ที่สูงกว่านั้นเราสามารถออกแบบนำมาใช้งานจริงๆ โดยเกนของวงจร second-order lowpass filter กำหนดได้จากค่า R_1 และ R_F ขณะที่ high cutoff frequency:f_c สามารถคำณวณได้จาก R_2, R_3, C_2, C_3 ตามสูตร

$$f_c = (1/(2\pi(R_2R_3C_2C_3)^2) \qquad [3.1]$$



รูปที่ 3.4 วงจร Second Order Law-Pass Butterworth Filter

สำหรับ response ของ second ordeer low-pass butterworth ขนาดของโวลท์เต็จเกนจะมีสมการดังนี้

$$\left|\frac{V_o}{V_{in}}\right| = \frac{A_F}{(1+(f/f_c))^{1/2}} \qquad [3.2]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย $AF = 1 + \frac{R_F}{R_1}$ = เกนของวงจร filter

f= ความถี่ของสัญญาณ input (Hz)

$$f_c = \frac{1}{2\pi(R_2R_3C_2C_3)^{1/2}} = \text{high frequency cutoff} \quad [3.3]$$

ขั้นตอนในการออกแบบ

1) เลือกค่าความถี่ high frequency cutoff :f_c= 100 KHz

2) สมมุติค่าในการออกแบบโดยกำหนดให้ $R_2=R_3=R$ และ $C_2=C_3=C$ โดยเลือกค่า C=0.1 nF

3) คำณวณค่า R ที่ใช้ในสมการที่

$$R = \frac{1}{2\pi f_c C}$$

$$R = \frac{1}{[2\pi*100*10^{3}*0.1*10^{-9}]}$$

= 15.915 Kohm เลือกใช้ VR =20 KOhm

4) เนื่องจากเรากำหนดให้ $R_2=R_3$ และ $C_2=C_3$ ดังนั้นค่าโวลท์เต็จเกน $AF= (1+R_F/R_1)$ มีค่าเท่ากับ 1.586 นั่นคือ $R_F= 0.586R_1$ ซึ่งค่าเกนนี้มีความจำเป็นสำหรับการตอบสนองของ Butterworth filter ดังนั้นเราเลือกค่า $R_1 \leq$ 100 KOhm เพื่อนำไปหาค่า R_F

เลือกใช้ R_1 = 10 KOhm

$R_F = 0.586R_1$

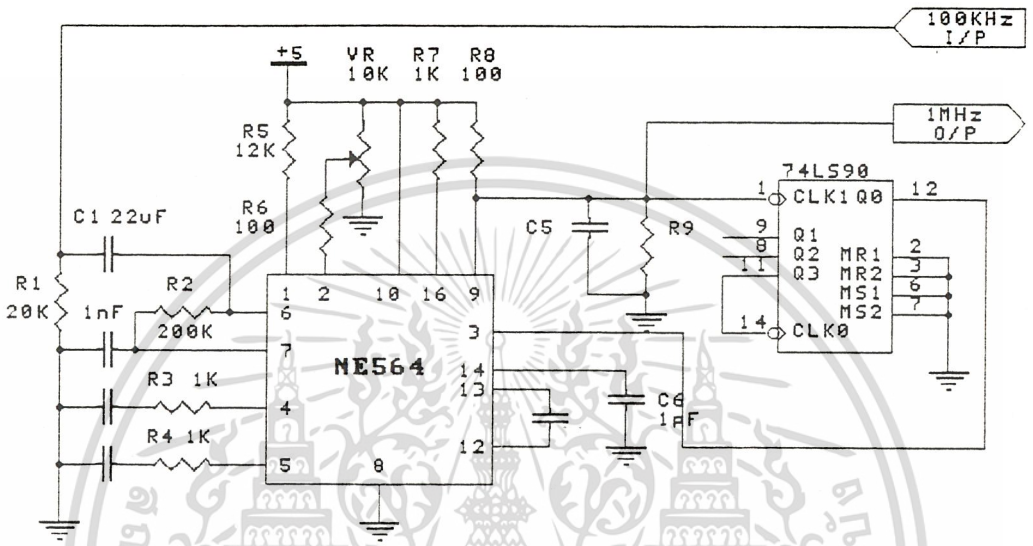
= 5860 Ohm เลือกใช้ VR = 10 KOhm

วงจรกำเนิดสัญญาณความถี่ 1 MHz

สัญญาณความถี่ 1 MHz นี้สร้างขึ้นเพื่อใช้เป็นสัญญาณคลื่นพาห์ในการมอดูเลทโดยสร้างจากสัญญาณ clock ของสัญญาณ NRZ หลักการในการสร้างคือ ใช้วงจร PLL IC NE 564 โดยป้อน clock เข้าที่ขา 6 ของ IC NE 564 และออกแบบ vco ให้มีความถี่ประมาณ 1 MHz และป้อนกลับไปยังวงจรเปรียบเทียบเฟส โดยผ่านวงจรหาร 10 ซึ่งวงจรหาร 10 นี้เราใช้ ไอซี 7490 ในการออกแบบความถี่จากการหาร 10 จะถูกนำไปเปรียบเทียบเฟสกับ clock 100 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของสัญญาณ NRZ รูปวงจรกำเนิดความถี่ 1 MHz แสดงได้ดังรูปที่ 3.5

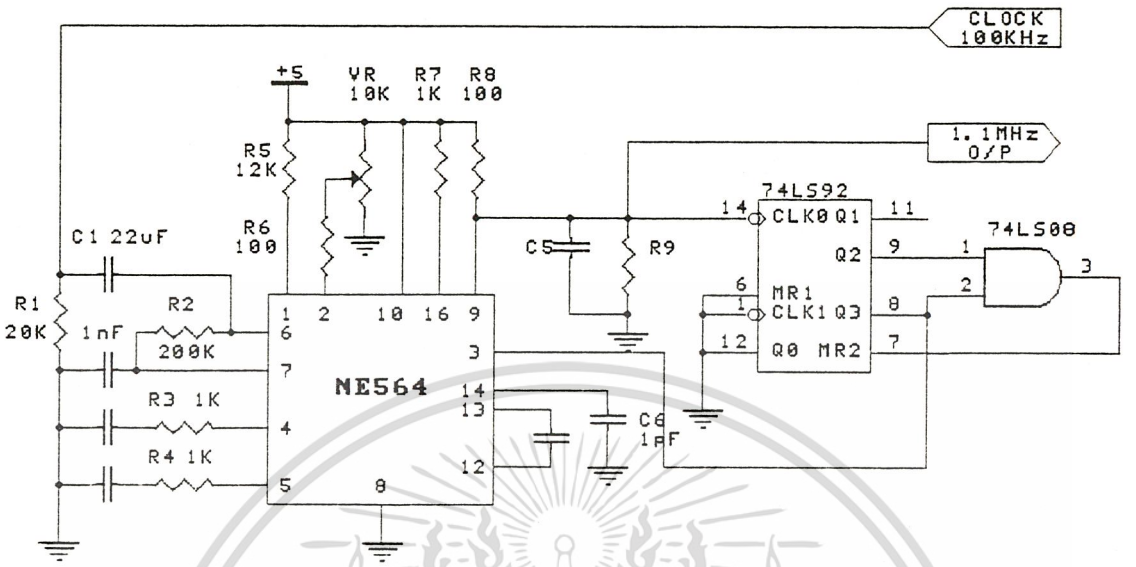


รูปที่ 3.5 แสดงวงจรกำเนิดความถี่ 1 MHz

วงจรกำเนิดสัญญาณ Pilot Tone ความถี่ 1.1 MHz

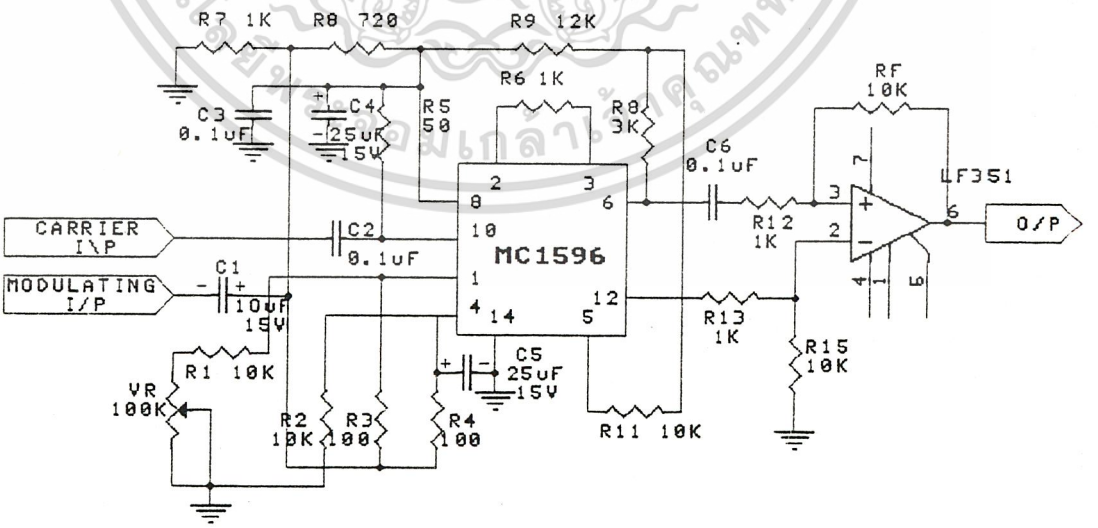
วงจรกำเนิดสัญญาณ pilot tone 1.1 MHz สร้างขึ้นเพื่อเป็นสัญญาณอ้างอิงในการสร้างสัญญาณคลื่นพาห์ที่ภาครับ โดยจะส่งไปพร้อมกับสัญญาณที่ได้จากการมอดูเลท ซึ่งมีหลักการในการสร้างวงจรเช่นเดียวกับวงจรกำเนิดความถี่ 1 MHz คือ ใช้วงจร PLL ไอซี NE 564 โดยสร้างความถี่ของวงจร VCO ใน PLL ให้ได้ประมาณ 1.1 MHz แล้วนำมาผ่านวงจรหาร 11 ซึ่งใช้ IC 7492 ในการสร้างวงจรหาร 11 ให้ได้ความถี่ 100 KHz เพื่อนำสัญญาณนี้ไปเปรียบเทียบเฟสกับ clock 100 KHz ของ NRZ ลักษณะของวงจรกำเนิดสัญญาณ pilot tone แสดงดังรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงวงจรกำเนิดสัญญาณ pilot tone 1.1 MHz

วงจร BALANCE MODULATOR



รูปที่ 3.7 วงจร Balanced Modulator (+12V$_{dc}$ single supply)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร balanced modulator หรือ เรียกย่อๆว่า BM นี้จะทำหน้าที่ผสมสัญญาณระหว่างสัญญาณ baseband กับสัญญาณพาหะ โดยผลลัพธ์ที่ได้จากการผสมจะมีเฉพาะไซด์แบนด์ทั้งสองข้างเท่านั้น โดยสัญญาณพาหะจะถูกกำจัดออกไป ในการออกแบบวงจร BM นี้จะใช้ IC MC 1596 ทำหน้าที่เป็นตัว balance modulator โดยในวงจรจะมี VR 50 KOhm เป็นตัวปรับสมดุลย์ การกำจัดพาหะขึ้นอยู่กับระดับสัญญาณพาหะที่ป้อน ระดับสัญญาณพาหะที่เหมาะสมอยู่ในช่วง 300 ถึง 500 mV_{p-p} ซึ่งวงจรที่ใช้งานแสดงดังรูปที่ 3.7

การทำงานของวงจร balance modulator เหมือนกับวงจรคูณสัญญาณ

สมมุติให้ สัญญาณแรกคือ carrier $f_c = \sin w_c t$

และอีกสัญญาณคือ เบสแบนด์ $f_m = \sin w_m t$

และจะได้ output :

$$V_o = A_c \sin w_c t * A_m \sin w_m t$$

$$V_o = (A_c A_m/2)[\cos (w_c - w_m)t + \cos (w_c + w_m)t]$$

<u>วงจร SUMMING AMP</u>

วงจร suming amp ใช้สำหรับการรวมสัญญาณหลายๆ ชุดเข้าด้วยกันเพื่อให้เป็นสัญญาณที่ถูกขยายแล้วเพียงชุดเดียว ซึ่งแรงดันที่เอาท์พุทเราสามารถหาได้จาก

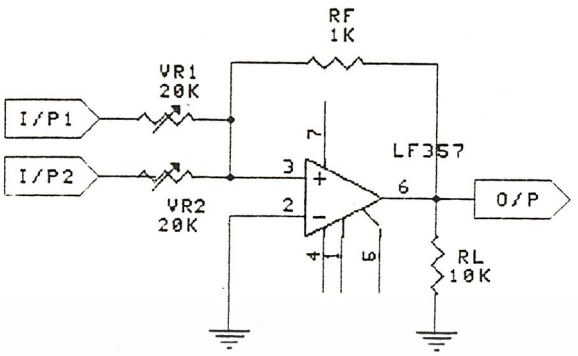
$$V_o = -\left[\frac{R_f V_1}{R_1} + \frac{R_f V_2}{R_2}\right]$$

โดยที่ V_1 คือ สัญญาณเอาท์พุทจากวงจร balance modulator

V_2 คือ สัญญาณเอาท์พุทของวงจร pilot tone

ในการออกแบบวงจรเราเลือกใช้ R_f = 1 KOhm R_1และR_2 ใช้ VR 20 KOhm เพื่อที่สามารถปรับเกนได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจร Summing Amplifier

วงจร BAND-PASS FILTER

วงจร Band-pass filter (BPF) เป็นวงจรกรองความถี่ที่ยอมให้ความถี่ที่อยู่ในช่วง low frequency cutoff (f_L) กับ high frequency cutoff (f_H) ผ่านไปได้เท่านั้นโดยที่ $f_H > f_L$ ส่วนความถี่นอกเหนือจากนี้ไปจะไม่สามารถผ่านได้

วงจร BPF สามารถแบ่งได้ 2 ชนิดคือ wide band pass และ narrow band pass filter โดยเราสามารถดูได้จากค่า Quality factor (Q) ถ้าค่า $Q < 10$ เราเรียกว่าวงจร wind band pass filter และถ้าค่า $Q > 10$ เรียกว่า narrow band pass filter เราสามารถหาค่า Q ได้จากสมการ

$$Q = \frac{f_c}{BW}$$

$$= \frac{f_c}{f_H - f_L}$$

โดยที่ f_c คือ center frequency

BW คือ Bandwidth

สำหรับ wide band filter นั้น เราสามารถหา center frequency ได้จากสมการ

$$f_c = \sqrt{f_H f_L}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร filter ชนิดนี้จะมีค่าแรงดันสูงสุด (V_{max}) อยู่ที่ความถี่หนึ่งซึ่งเราเรียกว่าความถี่รีโซแนนซ์ (w_r) และจุดที่เอาท์พุทโวลเต็จมีค่า $0.707V_{max}$ นั้นในช่วงพาสแบนด์จะมีความถี่ที่สูงกว่าความถี่ w_r เราเรียกว่า high cutoff frequency:w_h และความถี่ที่ต่ำกว่าความถี่ w_r เราเรียกว่า low cutoff frequency : w_l ช่วงระหว่างความถี่ w_h และ w_l เราเรียกว่า Bandwidth(B)

$$B = w_h - w_l$$

วงจร bandpass filter แบ่งได้เป็น 2 อย่างคือ วงจร narrow band filter และ วงจร wide band filter โดยวงจร narrow band filter จะมีค่าแบนด์วิธน้อยกว่า 0.1เท่าของความถี่รีโซแนนซ์ ($B<0.1w_r$) และวงจร wide band filter จะมีค่าแบนวิธมากกว่า 0.1 เท่าของความถี่รีโซแนนซ์ อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิธเราเรียกว่า quality factor:Q

$$Q = \frac{w_r}{B}$$

หรือ

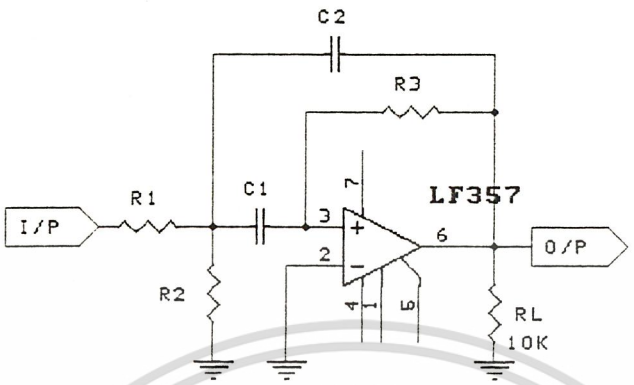
$$B = \frac{w_r}{Q} \quad (rad/s)$$

นั่นคือค่า Q ของวงจร narrow band filter จะมีค่ามากกว่า 10และค่า Q ของวงจร wide band filter จะมีค่าน้อยกว่า 10

1) Wide Band-Pass Filter

วงจร wide band pass filter อย่างง่ายนั้นทำได้โดยนำวงจร HPF มาต่อ cascade กันเพื่อเป็นการง่ายต่อการออกแบบ ถ้าเรานำวงจร 1^{st} order HPF ต่อกับ 1^{st} order LPF ก็จะได้เป็น $\pm$ 20 dB/decade band pass และถ้าเรานำวงจร 2^{nd} order HPF มาต่อกับ 2^{nd} order LPF ก็จะได้เป็น $\pm$ 40 dB/decade band pass ดังนั้น order ของ BPF ขึ้นอยู่กับ order ของ HPF และ LPF

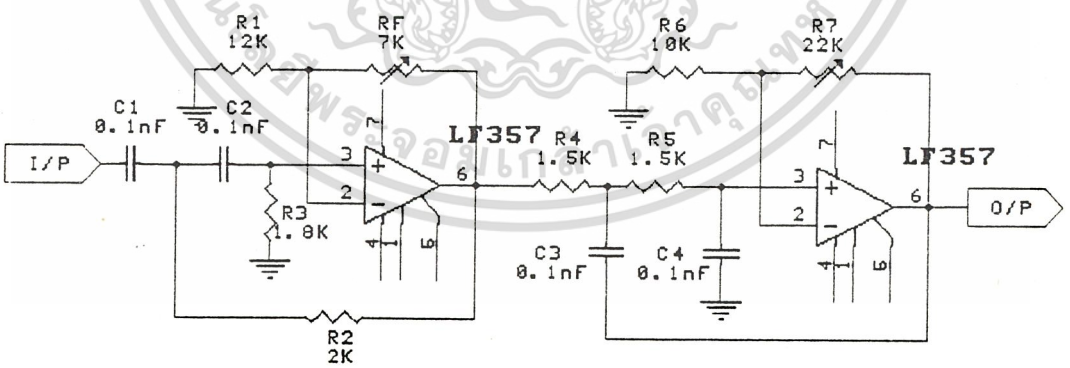
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงวงจร wide band pass filter และ response

2) Narrow Band-Pass Filter

สำหรับวงจร narrow BPF และ response แสดงดังรูปที่ 3.11



รูปที่ 3.11 วงจร narrow band pass filter และ response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรเห็นว่าเราใช้ op-amp เพียงตัวเดียวโดยต่อแบบ multiple feedback โดยทั่วไปในการออกแบบ narrow BPF นี้เราสามารถหาความสัมพันธ์ของ f_c กับ Q ซึ่งมีสมการดังนี้ในการออกแบบเรากำหนดให้ $C_1 = C_2 = C$

$$R_1 = \frac{Q}{2\pi f_c C A_F}$$

$$R_2 = \frac{Q}{2\pi f_c C(2Q^2 - A_F)}$$

$$R_3 = \frac{Q}{2\pi f_c C}$$

โดยที่ A_F เป็นเกนที่ center frequency หาได้จากสมการ

$$A_F = \frac{R_3}{2R_1}$$

ดังนั้น $A_F < 2Q^2$

จากวงจรในรูปเราสามารถเปลี่ยนค่า center frequency f_c ไปเป็น f_c' ได้โดยไม่ต้องเปลี่ยนเกนและแบนด์วิทใหม่ แต่ทำการเปลี่ยนค่า R_2 ไปเป็น R_2' ซึ่ง R_2' หาได้จาก

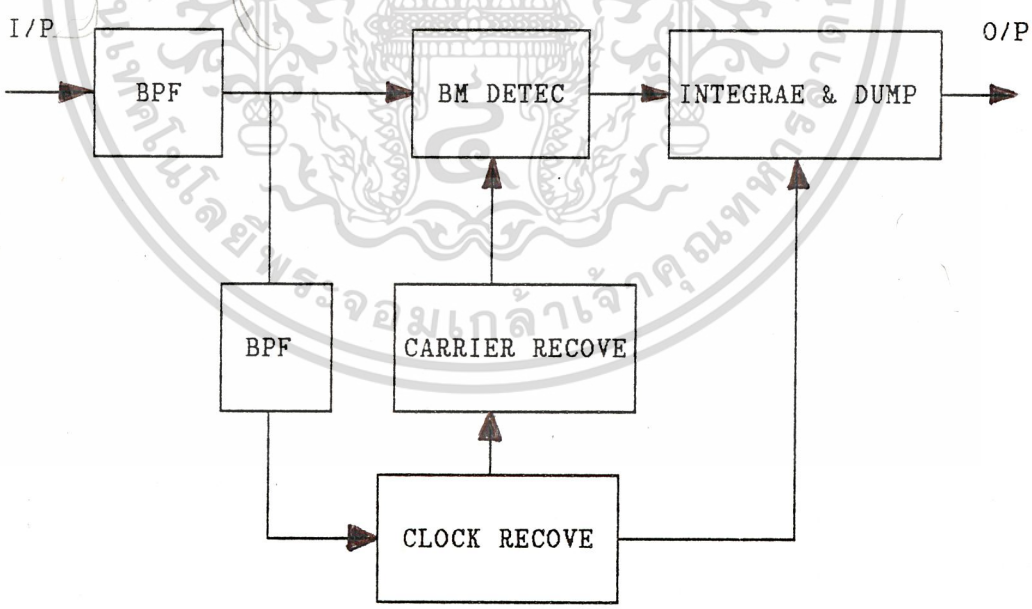
$$R_2' = R_2 \left[\frac{f_2}{f_1'}\right]^2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

หลักการทำงานของภาครับ

หลักการทำงานของภาครับคือ เมื่อรับสัญญาณข้อมูลจากภาคส่งแล้ว ก็จะนำสัญญาณข้อมูลไปผ่านวงจรกรองความถี่ผ่านย่าน (band pass filter) สัญญาณที่ได้ส่วนหนึ่งจะนำไปผ่านวงจรดีเทคเตอร์ อีกส่วนหนึ่งจะผ่านวงจรกรองความถี่เฉพาะสัญญาณ pilot tone จากนั้นจะนำสัญญาณ pilot tone ไปกู้สัญญาณคลื่นพาห์ (carrier recovery) และกู้สัญญาณนาฬิกา (clock recovery) โดยสัญญาณคลื่นพาห์ที่ได้ จะนำไปผ่านวงจรดีเทคเตอร์เพื่อดีเทคสัญญาณข้อมูลออกมา สัญญาณที่ได้จะผ่านวงจรอินทีเกรทแอนด์ดัมพ์ (Integrate and dump) ซึ่งวงจรนี้ใช้ clock ที่ได้จากวงจรกู้สัญญาณนาฬิกา วงจรอินทีเกรทแอนด์ดัมพ์นี้ เปรียบเสมือนวงจรกรองความถี่ต่ำผ่านเอาท์พุทที่ได้จากวงจรนี้จะเป็นสัญญาณข้อมูลที่สมบูรณ์ block diagram ของภาครับสามารถแสดงได้ดังรูปที่ 4.1



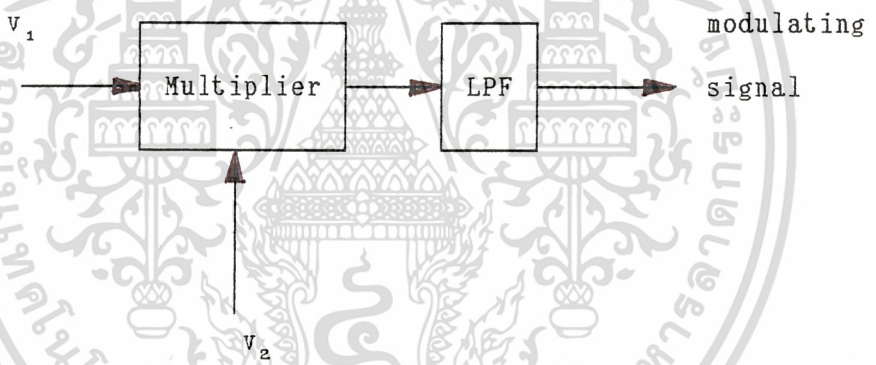
รูปที่ 4.1 แสดง Block Diagram ของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYNCHRONOUS DETECTOR

การมอดูเลตแบบ DSB ไม่สามารถใช้วิธีดีเทคแบบเอ็นเวลโลปดีเทคชั่นได้ เราจะต้องใช้แบบ synchronous detector แทน

synchronous detector หรือบางครั้งเรียกว่า coherent detector คือวิธีการดีเทคสัญญาณโดยนำสัญญาณสองสัญญาณมาคูณกันโดยใช้อุปกรณ์ non-linear เช่นเดียวกับวงจร multiplicative mixer ซึ่งที่เอาท์พุทจะได้ความถี่ผลบวกและความถี่ผลต่างของสัญญาณทั้งสองออกมา โดยทั่วไปสัญญาณที่ป้อนเข้ามาที่วงจร synchronous detector คือสัญญาณ DSB หรือสัญญาณ SSB นำมาคูณกับคลื่นพาห์(carrier) ที่สร้างขึ้นใหม่ที่ภาครับ แล้วนำเอาท์พุทที่ได้ไปผ่านวงจร LPF ก็จะได้สัญญาณเบสแบนด์ออกมาตามต้องการ รูปที่ 4.2 แสดง block diagram ของวงจร synchronous detector



รูปที่ 4.2 Block Diagram ของ Synchronous Detector

เมื่อ $v_1 = f(t)$ เป็นสัญญาณ DSB

จะได้ $V_1 = mV_c \sin w_c t \sin w_m t$ [4.1]

เมื่อ สัญญาณเบสแบนด์คือ $V_m \sin w_m t$ และ $m = V_m/V_c$ เป็นดัชนีการมอดูเลชัน

$v_2 = \sin w_c t$ เป็นสัญญาณ carrier ที่สร้างขึ้นใหม่ที่ภาครับ และเพื่อความสะดวกจะให้ $v_2 = 1$ volt เมื่อทำการ multiply จะได้ $v_o = kv_1v_2$ เมื่อ k มีมิติเป็น $volt^{-1}$ จะได้

$$v_o = kv_1v_2 = kmV_c \sin^2 w_c t \sin w_m t$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= kV_m \sin^2 w_c t \sin w_m t$$

$$= (1/2)kV_m \sin w_m t[1 - \cos 2w_c t]$$

$$= \frac{kV_m}{2}\sin w_m t - \frac{kV_m}{2}\sin w_m t \cos 2w_c t \qquad [4.2]$$

เมื่อผ่านวงจร LPF ก็จะกรองเอาสัญญาณ เบสแบนด์ออกมาคือ

$$V_m = \frac{kV_m}{2} \sin w_m t \qquad [4.3]$$

ข่าวสารที่ส่งในระบบดิจิตอลจำเป็นต้องมีการส่งสัญญาณแบบซิงโครนัช ที่มีความต่อเนื่องและมีรูปแบบการดีเทคสัญญาณให้ได้ผลดีนั้น ต้องมีตัวสร้างสัญญาณ clock ขึ้นมาซึ่งสัมพันธ์กับสัญญาณพัลซ์เทรนที่รับมา

ข้อมูลจะถูกมอดูเลทกับสัญญาณแคเรียก่อนที่จะส่งออกทางช่องสัญญาณหลักการที่ใช้มอดูเลชั่นแบบมีประสิทธิภาพสูงเรียกว่า แบบโคฮีเรนท์ โดยใช้เฟสของข้อมูลที่ส่งมากับแคเรียการดีมอดูเลทต้องสร้างแคเรียที่ภาครับขึ้น ซึ่งเฟสจะต้องสัมพันธ์กับสัญญาณที่รับมา

วงจรทางภาครับต้องสร้างสัญญาณ carrier และสัญญาณ clock ขึ้นมาเรียว่า carrierและ clock synchronizer ถูกนำไปใช้ภาคซิงโครไนซ์อย่างมาก

เทคนิคการมอดูเลทแบบซับเพรสแคเรีย จะส่งแถบพลังงานเฉพาะไซด์แบนด์ และไม่เกิดการสิ้นเปลืองบนส่วนประกอบแคเรียที่แยกกัน

พัลซ์ข้อมูลจะเป็นแบบต่อเนื่อง(ส่วนประกอบไม่ diserete)ที่ความถี่ clock ตัวอย่างเช่น สัญญาณมาตรฐาน สัญญาณสี่เหลี่ยม สัญญาณ random สัญญาณ NRZ สัญญาณเหล่านี้มี spectral null ที่ความถี่ clock

PLL แบบย่านแคบจะต้องสร้างสัญญาณส่วนประกอบขึ้นที่ความถี่ที่ trackได้เมื่อส่วนประกอบขาดจาก efficient ของสัญญาณข้อมูล PLL แบบธรรดา ๆ จะ fail to track และไม่สามารถที่จะสร้าง data synchronizer ได้

วงจรไม่ลิเนียร์เหมาะสมใช้สร้าง carrier หรือ clock ขึ้นมาใหม่อุปกรณ์ regenerator เป็นส่วนหนึ่งของ (intergral portion) data synchronizer ลักษณะของความไม่ลิเนียร์ไม่ปรากฏใน PLL จนปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Regenerator ทั้ง 2 แบบ คือ

a) รีเจนเนอเรเตอร์แยกจากวงจรจะสร้างแคเรีย หรือ clock ที่ต้องการ ซึ่งถูก track ในลักษณะธรรมดาโดย PLL ทั่วไป

b) การใช้เฟสดีเทคเตอร์ในตัวเองประกอบกับอุปกรณ์ nonlinearจะผลิตแรงดันค่าคลาดเคลื่อนจากสัญญาณข้อมูบโดย clocking carrier หรือ clock component

ขั้นตอนในการออกแบบ synchronizer

- ออกแบบอุปกรณ์ non lincar ที่เหมาะสมกับงาน
- แยกแยะสัญญาณรบกวน และวิเคราะห์ performance
- เลือกพารามิเตอร์ ของ PLL ให้เหมาะสม

ภาคซิงโครไนเซอร์สัญญาณแคเรีย (carrier synchronizer)

ในการส่งสัญญาณแบบ BPSK ถ้าบิตข้อมูลส่งเป็น 1 สัญญาณจะมีเฟส +90 องศา ถ้าบิตข้อมูล เป็น 0 สัญญาณจะมีเฟส -90 องศา พัลซ์จะมีระยะเวลา T วินาทีต่อบิตที่แน่นอนถ้าจำนวนบิต 1 และ 0 ถูกส่งไปเท่า ๆ กันจะ suppressed carrier ถ้าสัญญาณเบสแบนด์เป็น m(t) สัญญาณที่ส่งออกจะเป็น

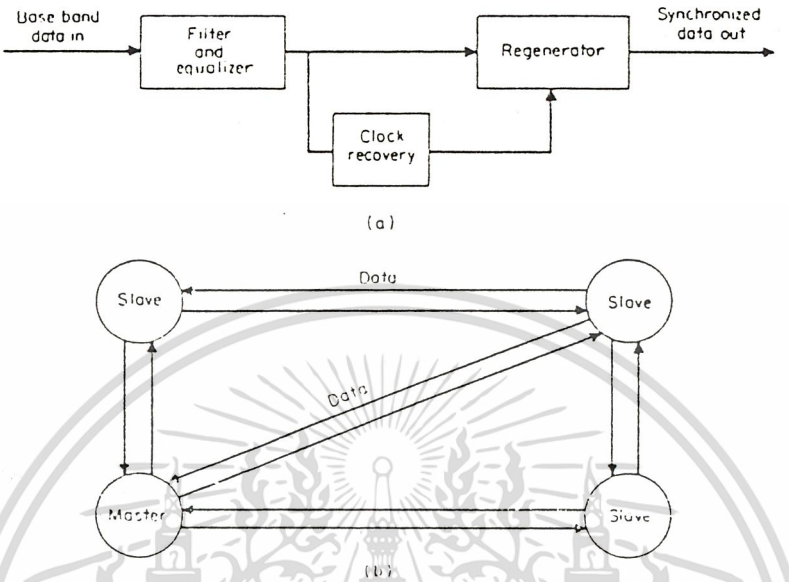
$$V_s(t) = m(t) \sin(w_i t + \theta_i) \qquad [4.3]$$

โดยที่ w_i เป็นความถี่แคเรีย และ θ_i เป็นเฟสของสัญญาณ

Bit Synchronizer (Clock Recovery)

เราใช้เฟสล็อกลูปในวงจร carrier และ clock recovery ของระบบสื่อสารแบบซิงโครนัสทำให้ปัญหาบางอย่างเกี่ยวกับการซิงโครไนซ์บิตหมดไป รูป 4.3 แสดงความสำคัญของวงจร clock recovery ในระบบสื่อสารแบบดิจิตอล ในรูป(a) clock ที่กู้คืนมาได้จะนำไปใช้ regenerate ข้อมูลที่รับมาได้รูป b) แสดงเครือข่ายดิจิตอลแบบ master-slave โดย clock ที่ใช้แยกไปละโหนดจะเป็นลูกข่ายของ clock ในโหนดหลัก (master-station)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Use of bit synchronization in a digital network. (*a*) Use of recovered clock to regenerate data. (*b*) clocks in several slave stations are derived from data originating in a master station.

รูปที่ 4.3

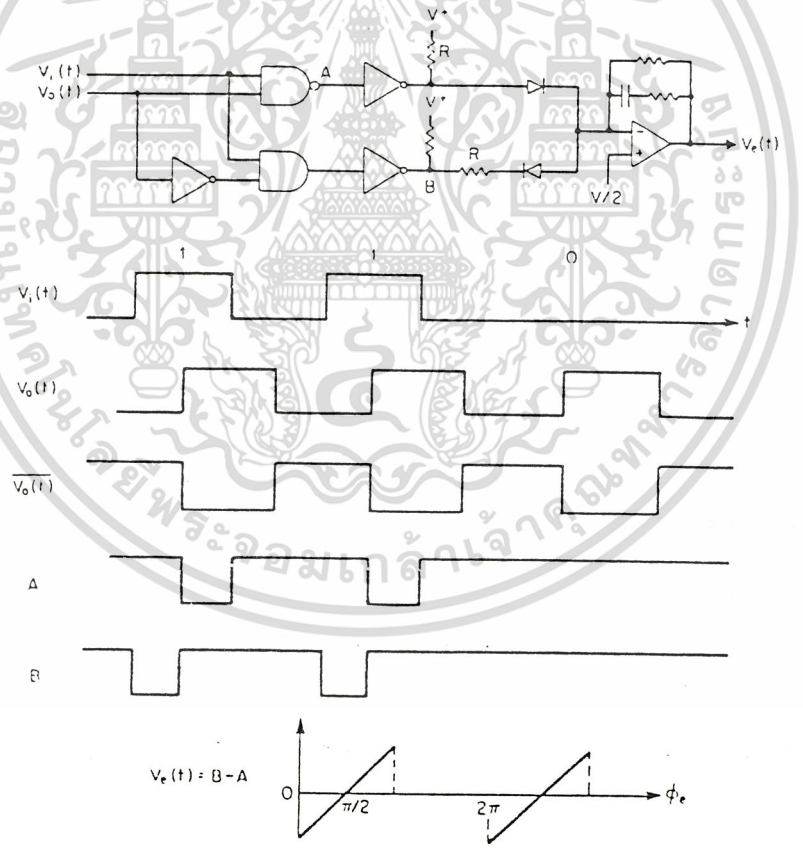
จากรูป 4.4 คริสตอลที่มีย่านความถี่แคบมากของ PLL จะใช้ดึงสัญญาณ clock มาจากข้อมูลที่เข้ามา อินพุตที่ลูปถูกกำหนดให้เป็นสัญญาณ clock แบบต่อเนื่อง แต่ถ้าใช้เฟสดีเทคเตอร์แบบรูป 4.5 สัญญาณข้อมูลที่รับมาเป็นแบบ RZ ข้อมูลจะใช้เป็นอินพุตที่ลูปโดยตรง

แต่เพื่อประสิทธิภาพในการสื่อสารข้อมูลส่วนมากจะไม่ใช้แบบ RZ ของสเปคตรัมจะไม่ตัดเส้นที่ความถี่ clock จึงจำเป็นต้องใช้อุปกรณ์ non-linear เพื่อแปลงสัญญาณ RZ ก่อนใช้กับลูปรูป 4.7 แสดงเทคนิคแบบหนึ่งที่ใช้แปลงสัญญาณ RZ เป็น NRZ และให้ได้สเปคตรัมตามกำหนดจะสังเกตุเห็นเส้นประความถี่ clockใน RZ สเปคตรัม ซึ่งจะยอมรับการแปลง process เกี่ยวกับ differentiating,squarting และ limiting

ข้อมูล RZ จะใช้กับ lock ของลูป หรือจะใช้กระตุ้นของวงจร LC เพื่อกู้สัญญาณ Clock Q ที่คงที่ของวงจรจูน LC ปกติลำดับของ magnitude ต่ำกว่าจากการออกแบบ PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

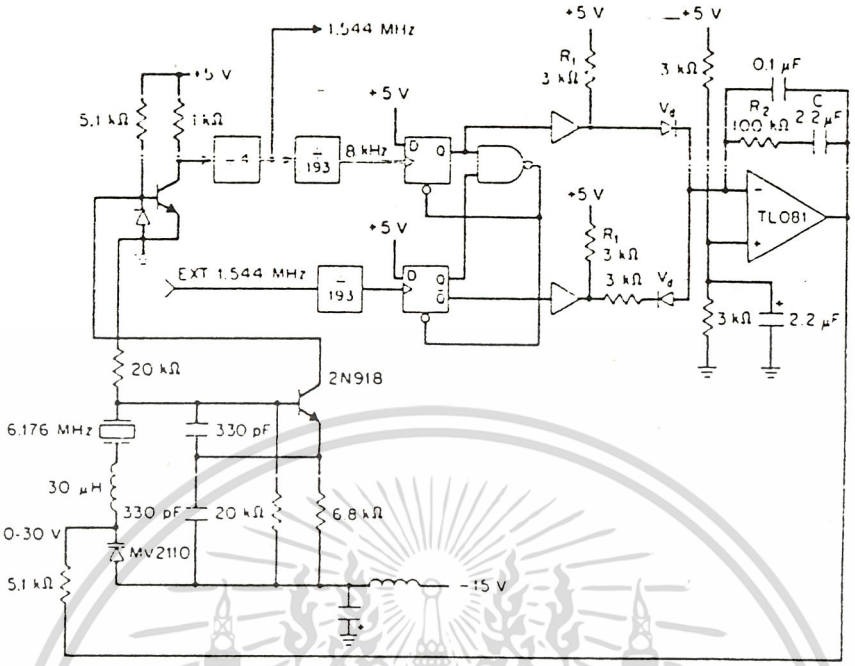
Clock ที่กู้ได้ที่ PLL โดยปกติคุณภาพจะดีกว่าวงจรแบบพาสซีฟโดยเฉพาะในสภาวะที่เกิดjitter ในการใช้งานบางกรณีที่สัญญาณ clock ที่กู้ได้มีความสัมพันธ์ตาม low-Q ของวงจรจูน และ Clock นี้ถูกใช้เป็นอินพุตของ PLL เพื่อให้ได้ clock ที่มีความคงที่สูงรูป 4.6 แสดงการใช้เทคนิคเพื่อลด jitter ของข้อมูลอินพุตที่ดีที่สุดข้อมูลอินพุตถูกบันทึกลงในแอดเดรส 8 บิต latch ที่ clock ติดตามอินพุต jitter (ถูก derivedโดยวงจรแบบlow-Q) แต่ละบิตจะถูกเก็บลงใน latch ของ clock 8 คาบบิตข้อมูลออกจาก jitter-free clock อย่างน้อยที่สุด 4 clock (คาบ)หลังจากถูกบันทึกการจัดวงจรแบบนี้จะ absorb แมกนิจูดของ jitter ประมาณ $\pm$ 4 time slots การ clear ขนาดของบัฟเฟอร์ จะกำหนดจำนวนของjitter ที่จะ absorb ได้ โดยวิธีการนี้



A digital phase detector for use with random input data (RZ, pulse-width = T/2).

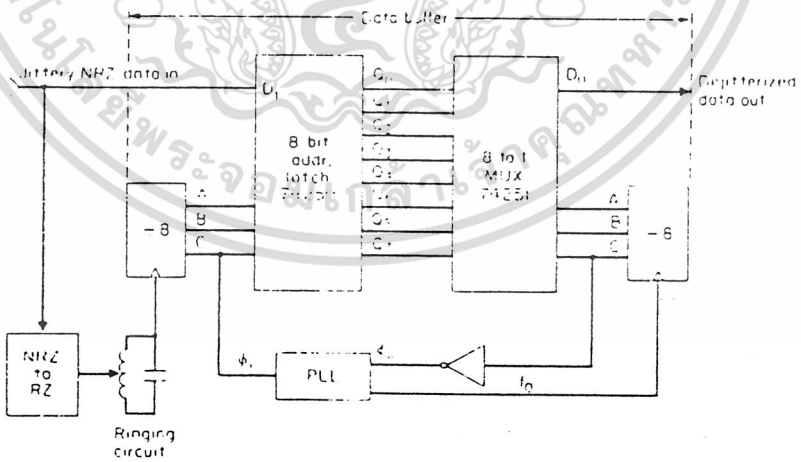
รูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



A carrier-tracking phase-locked loop using a voltage-controlled crystal oscillator.

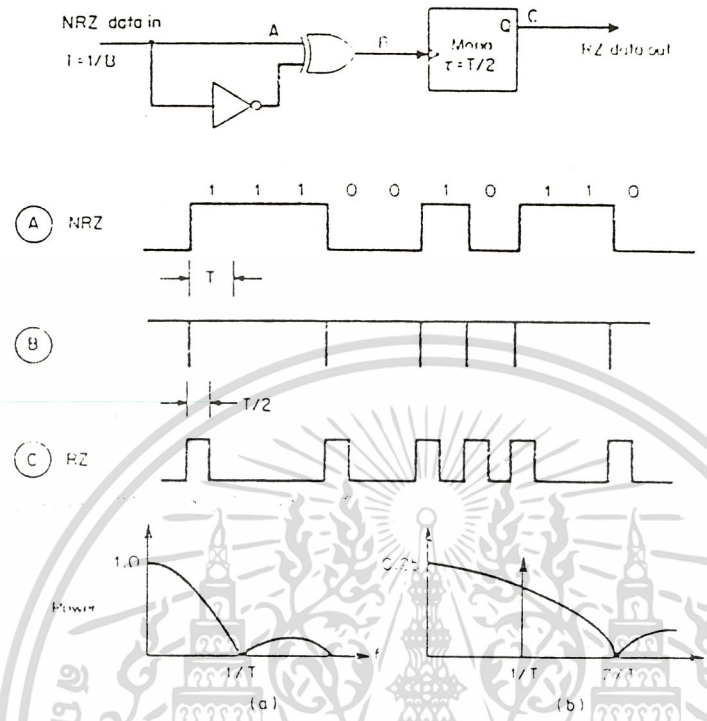
รูปที่ 4.5



Principle of operation of a dejitterizer circuit.

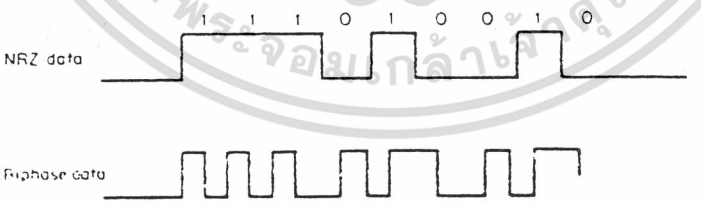
รูปที่ 4.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Derivation of RZ data from NRZ data input. (*a*) Spectrum of NRZ data; (*b*) spectrum of RZ data (width $= T/2$).

รูปที่ 4.7



Phase-encoded data has a higher rate of transitions than NRZ data, thus facilitating clock recovery.

รูปที่ 4.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Correlation receiver : Integrate and dump

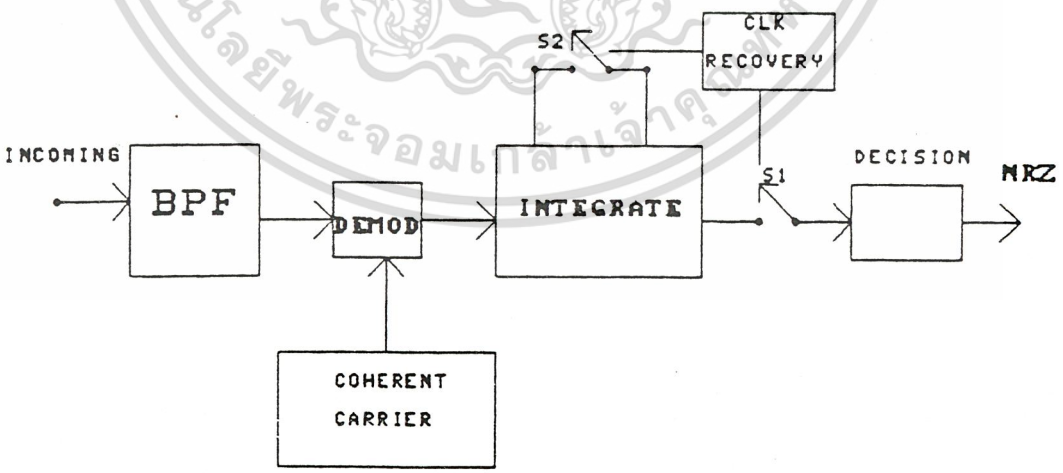
เครื่องรับที่ใช้วิธีการ เปรียบเทียบสัญญาณระหว่างสัญญาณที่สร้างขึ้นมาที่ภาครับสัญญาณ incoming นั้นการปฏิบัติเกี่ยวกับเปรียบเทียบสัญญาณ 2 สัญญาณเรียกว่า correlation จะทำการ correlat สองสัญญาณ คือ สัญญาณ x(t) และ y(t) สัญญาณทั้งสองนี้ต้องคูณเข้าด้วยกันแล้ว ผลลัพธ์จะถูกบวกเข้าด้วยกันหรือถูก integrate ตลอดย่าน time interval ที่เปรียบเทียบสัญญาณทั้งสองนี้ดังแสดงสมการได้คือ

$$\text{correlation } (x,y) = \int_0^t x(t)y(t)\,dt \qquad [4.4]$$

โดยที่ T_b คือ timeinterval หรือระยะเวลาของหนึ่ง bit time interval

เมื่อสัญญาณทั้งสองเหมือนกันผลของการ correlation จะได้ high (positive) แต่ถ้าไม่เหมือนกัน ผลลัพท์จะได้ low (0) ถ้าสัญญาณตรงกันข้ามกัน ผลลัพธ์จะได้ negative

สัญญาณ incoming earrier ที่มี noise ปนมาด้วยจะผ่านแบนด์พาสฟิวเตอร์ โดยฟิวเตอร์ยอมให้สัญญาณในย่านออกไปได้ ยกเว้นนอยส์ที่ปะปนมา เครื่องรับจะผลิตสัญญาณ carrier ใหม่ขึ้นมาจากภาค carrier recovery โดยมีความถี่และเฟสเดียวกันกับ carrier ในเครื่องส่งจึงเรียก carrier นี้ว่า coherent carrier



รูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ incoming คูณเข้ากับ coherent carrier ผลลัพธ์จากการคูณ จะนำไปอินทิเกรท (บวกกัน) ตลอด bit period โดยวงจร integrator ที่ปลายสุดของ bitperiod เอาท์พุตของอินทิเกรเตอร์จะให้ positive หรือ Nigative ตามแต่สัญญาณที่ทำการ correlation ได้ส่วนปลายของ bit period สวิตช์ S_2 ถูกทำให้ close และจากนั้นอุปกรณ์ Threshold ของภาค Decision จะทำการตัดสินอย่างรวดเร็ว ว่าผลลัพธ์ของ correlation นี้จะเป็นบวกหรือลบ และจะให้บิต 1 หรือ 0ออกที่เอาท์พุต

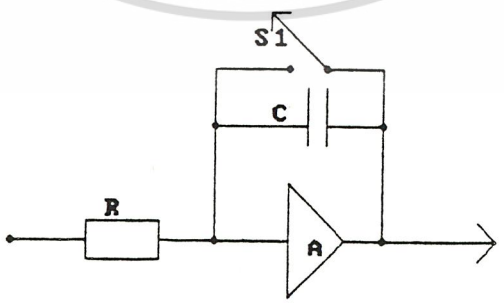
หลังจากทำการตักสินบิตไปแล้ว S_2 จะเปิดอีก ส่วนสวิตช์ S_1 จะปิดชั่วขณะเพื่อทำให้ผลลัพธ์ของ correlation ในวงจรอินทิเกรเตอร์ถูก reset ให้เป็นศูนย์ก่อนเพื่อให้ขบวนการ correlation ของบิตต่อไปอย่างถูกต้องไม่มีอิทธิพลจากบิตก่อนหน้ามารบกวน ดังนั้นสัญญาณที่ผ่านการ multiply แล้วจะถูกอินทิเกรทตลอดย่าน bit period และผลของการอินทิเกรทจะถูก clear หรือ dumped ทุกๆบิต period เครื่องรับชนิดนี้อาจเรียกได้ว่า integrat and dump reciever

เพื่อให้การทำงานของภาคนี้ถูกต้อง จำเป็นต้องมีองค์ประกอบที่สำคัญ ดังนี้

1. carrier ทางด้านรับจะต้อง coherent กับทางด้านส่ง

2. การ regeneration bit-clock หรือ bit time ในเครื่องรับต้องถูกต้อง เพื่อให้สวิตช์ต่างๆ ทำงานในชั่วขณะเวลาที่ถูกต้องที่สุด

ในรูปที่ 4.10 หลักการเบื้องต้นของอินทิเกรต RC Networkโดยมี ideal Amplitier ทำหน้าที่เป็น ideal in0tegration circuit ส่วนสวิทช์ S_1 จะ close ทุก ๆ T_b วินาที การใช้งานจริงจะใช้สวิตช์ อิเล็กทรอนิกส์แทน



รูปที่ 4.10

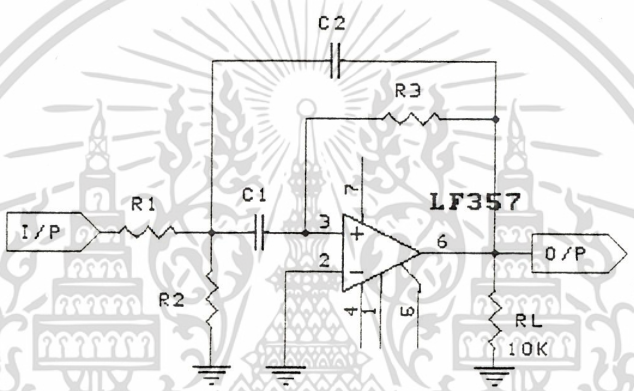
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การออกแบบและการสร้างวงจรภาครับ

วงจรกรองความถี่ผ่านย่าน

สำหรับวงจรกรองความถี่ผ่านย่าน (BPF) ทางภาครับจะใช้ 2 วงจรคือ วงจรกรองความถี่ผ่านย่าน 990 KHz ถึง 1.2 MHz ซึ่งใช้วงจรเดียวกับวงจรกรองความถี่ผ่านย่านทางภาคส่งซึ่งเป็นแบบ wide band-pass filter ขนาด order 2 รูปวงจรแสดงได้ดังรูป 5.1



รูปที่ 5.1 แสดงวงจร wide band-pass filter

ส่วนอีกวงจรเป็นวงจรกรองความถี่ผ่านย่าน 1.1 MHz ใช้สำหรับกรองความถี่ของสัญญาณ pilot tone ซึ่งเราใช้วงจร positive feedback band-pass filter ซึ่งเลือกค่า Q เท่ากับ 40 โดยรูปวงจรกรองความถี่ผ่านย่าน 1.1 MHz แสดงได้ดังรูปที่ 5.2

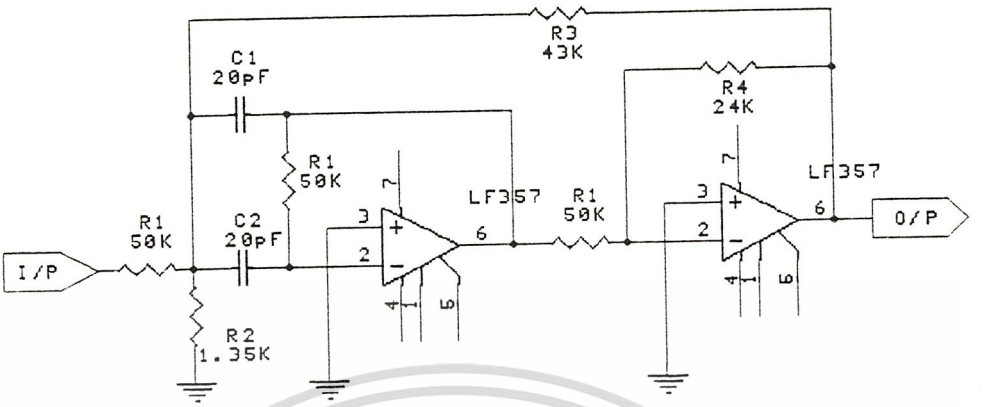
สำหรับการออกแบบเราจะกำหนดความถี่ที่ต้องการ กำหนดค่า Q หรือ BW และเกนที่ต้องการ ขั้นตอนในการออกแบบมีดังนี้

1) เลือกค่าคาปาซิเตอร์ และหาค่า K parameter จากรูป 5.2

2) ใช้ค่า K ที่หาได้จากข้อ (1) มาหาค่าความต้านทาน จากรูป 5.3 ซึ่งค่าความต้านทานนี้จะขึ้นอยู่กับค่า Q , BW และเกนที่เรากำหนด

3) เลือกค่าความต้านทานให้ตรงตามกราฟที่ได้และทำการสร้างวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 แสดงวงจร positive-feedback band-pass filter

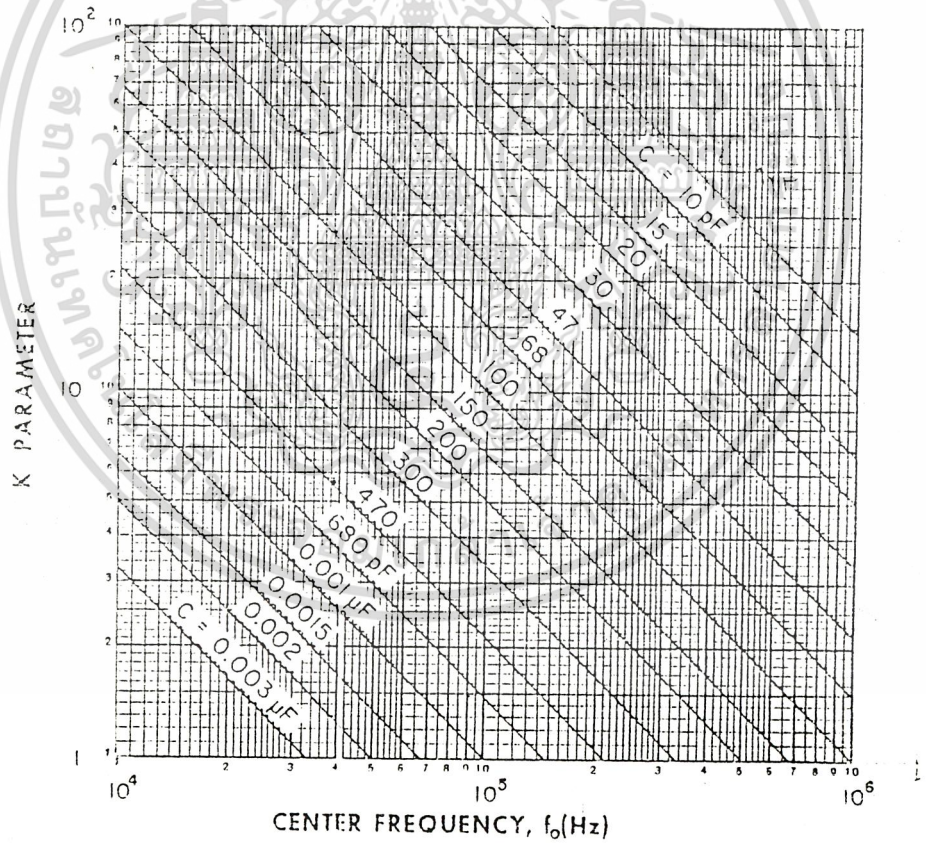


Fig. 4.11. (c) *K* parameter versus frequency.

รูปที่ 5.3 แสดงกราฟระหว่าง K parameter เทียบกับความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

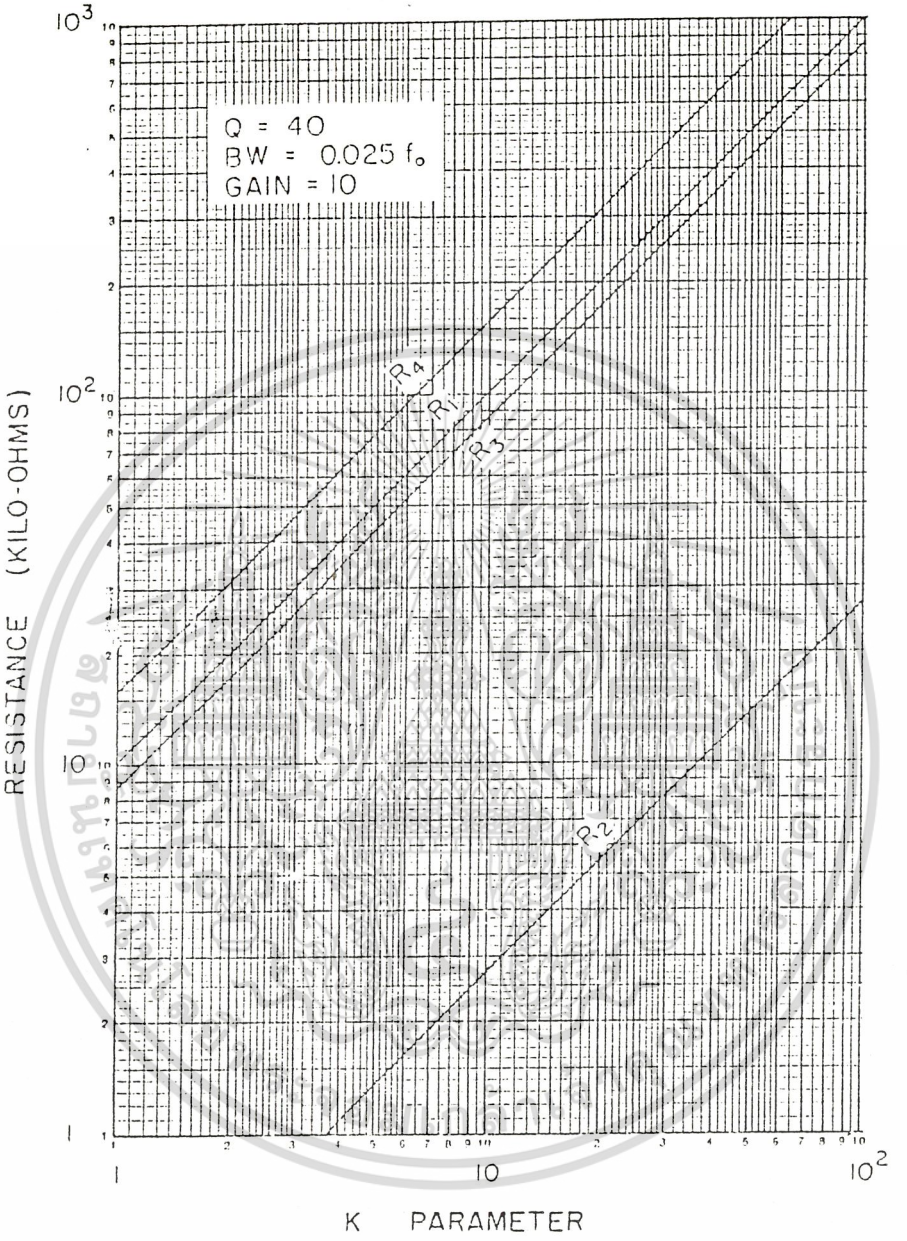


Fig. 4.39.. Positive-feedback band-pass filter.

รูปที่ 5.3 กราฟแสดงการหาค่าความต้านทานเมื่อเทียบกับ ค่า K pararmeter

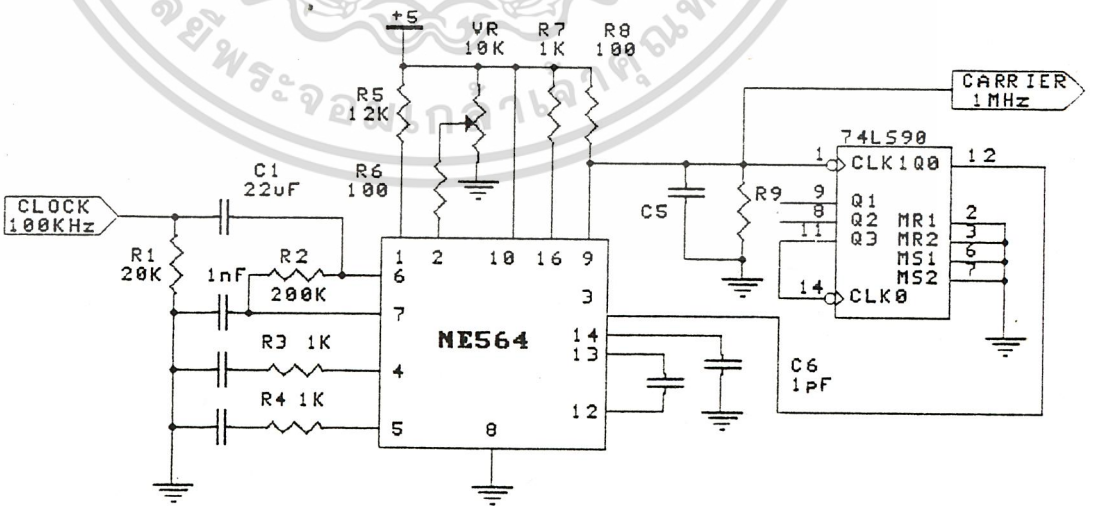
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยค่า Q และ BW สามารถปรับค่าได้โดยการเปลี่ยนค่า R_3, R_4 และค่าความถี่สามารถปรับได้โดยการเปลี่ยนค่าคาปาซิเตอร์

ซึ่งจากการออกแบบใช้กรองความถี่ผ่านย่าน 1.1 MHz เราใช้ค่าคาปาซิเตอร์เท่ากับ 20 pF ทำให้ได้ค่า R_1 เท่ากับ 50 Kohm, R_2 เท่ากับ 1.35 Kohm , R_3 เท่ากับ 43 Kohm และ R_4 เท่ากับ 24 Kohm

วงจรกู้สัญญาณคลื่นพาห์ (Carrier Recovery)

วงจรกู้สัญญาณคลื่นพาห์ เป็นวงจรที่ทำหน้าที่สร้างสัญญาณแคเรียร์ที่ภาครับของวงจร de modulatedแบบBPSKโดยสัญญาณที่สร้างขึ้นจะต้องมีคุณสมบัติ synchronize ทางเฟสและความถี่กับสัญญาณคลื่นพาห์ที่ภาคส่ง ซึ่งเราจะใช้สัญญาณ pilot tone เป็นสัญญาณอ้างอิงในการสร้างสัญญาณคลื่นพาห์ที่ภาครับ โดยสัญญาณ pilot tone ที่ใช้จะผ่านวงจร clock recovery ได้เป็นสัญญาณความถี่ clock 100 KHz และสัญญาณ clock 100 KHz นี้จะถูกนำมาอ้างอิงในการสร้างสัญญาณคลื่นพาห์ โดยผ่านวงจร PLL ซึ่งใช้ IC NE 564 ทำการออกแบบวงจร VCO ของ PLL ให้ได้ความถี่ 1 MHz แล้วนำมาผ่านวงจรหาร 10 ให้ได้ความถี่ 100 KHz แล้วนำมาเปรียบเฟสกับ clock 100 KHz สัญญาณเอาท์พุทของ VCO 1 MHz จะถูกใช้เป็นสัญญาณคลื่นพาห์เพื่อใช้ในการดีเทคสัญญาณข้อมูล โดยรูปวงจรกู้สัญญาณคลื่นพาห์แสดงได้ดังรูปที่ 5.4

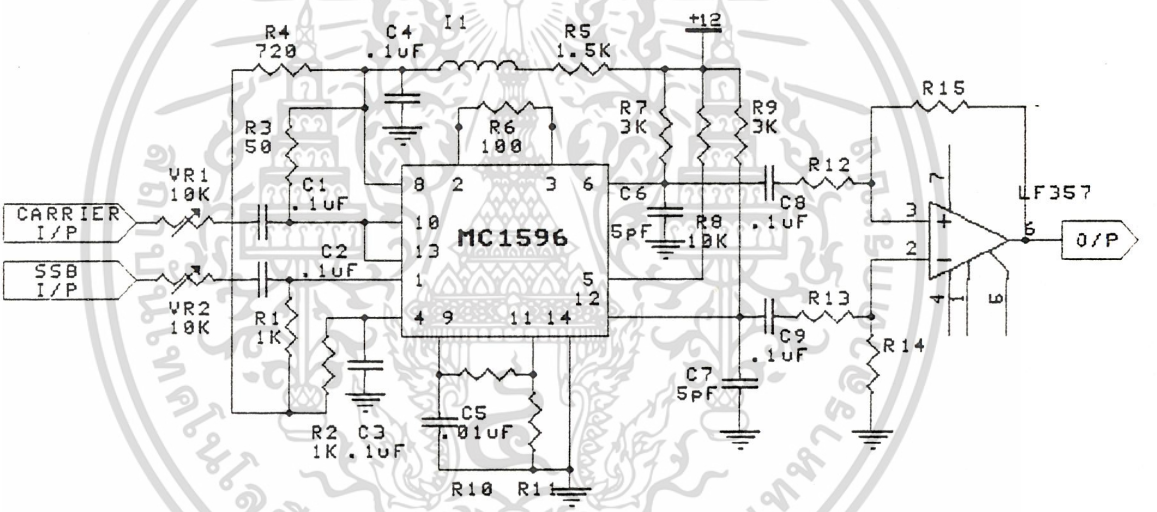


รูปที่ 5.4 แสดงวงจรกู้สัญญาณคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ BPSK

วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ BPSK ใช้วงจรรวม LM 1596 โดยสัญญาณที่คูณ จะป้อนเข้าที่ขา 1 และขา 10 โดยสัญญาณอินพุทที่ขา 1 เป็นสัญญาณจาก BPSK และอินพุทที่ขา 10 เป็นสัญญาณจากวงจรกู้สัญญาณคลื่นพาห์โดยขนาดของสัญญาณไม่เกิน 100 mV สำหรับเอาท์พุทของวงจรคูณคือขา 6 และขา 12 ให้สัญญาณที่กลับเฟสกันโดยสัญญาณเอาท์พุทความถี่สูงจะถูกคัปปลิ้งลงกราวด์ คงเหลือแต่สัญญาณเบสแบนด์ ซึ่งจะใช้เป็นอินพุทอินเวอร์ติ้งและนอนอินเวอร์ติ้งของออปแอมป์ สำหรับอัตราการขยายของ op-amp สามารถกำหนดได้จาก อัตราส่วนระหว่างความต้านทานที่ป้อนกลับ และความต้านทานที่อินพุท สำหรับวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ BPSK สามารถแสดงได้ดังรูปที่ 5.10



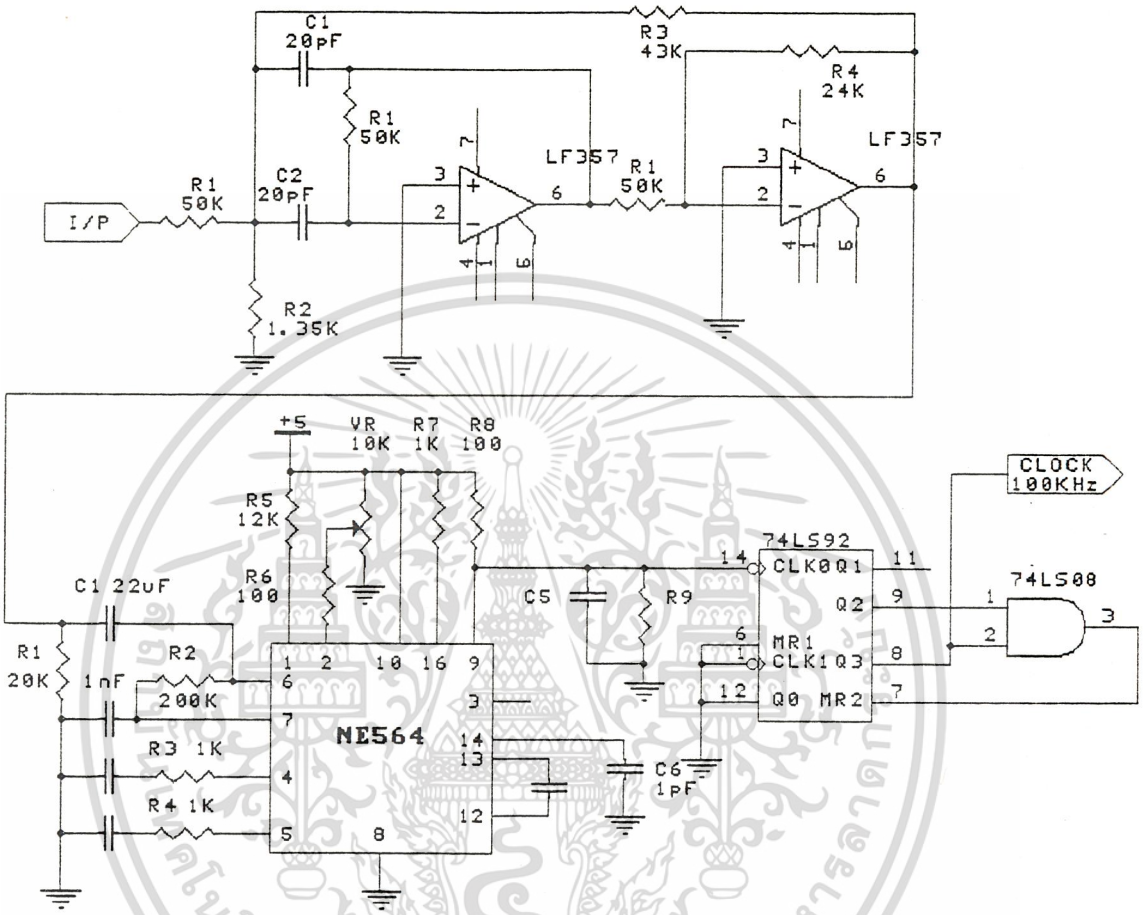
รูปที่ 5.10 แสดงวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ BPSK

วงจรกู้สัญญาณนาฬิกา(Clock Recovery)

วงจรกู้สัญญาณนาฬิกาสำหรับ pilot tone in BPSK นี้เราจะใช้สัญญาณ pilot tone เป็นสัญญาณอ้างอิงในการกู้สัญญาณนาฬิกา โดยจะนำสัญญาณ pilot tone ไปผ่านวงจร PLL ที่ขา 6 ของ IC NE 564 ที่วงจร VCO ของ PLL จะกำหนดให้ผลิตความถี่ 1.1 MHz เพื่อเปรียบเทียบเฟสกับสัญญาณ pilot tone โดยเอาท์พุทของ VCO จะป้อนเข้าที่ขา 3 จากนั้นนำเอาท์พุทของ VCO ที่ขา 9 ไปผ่านวงจรหาร 11 ซึ่งใช้ IC 7492 และ IC 7408 โดยเอาท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พุทของวงจรหาร 11 อยู่ที่ขา 8 ของ IC 7492 ซึ่ง clock 100 KHz นี้เราจะนำไปใช้เป็น clock ของวงจรอินทีเกรทแอนด์ดัมพ์ วงจรกู้สัญญาณนาฬิกาสามารถแสดงได้ดังรูป 5.11

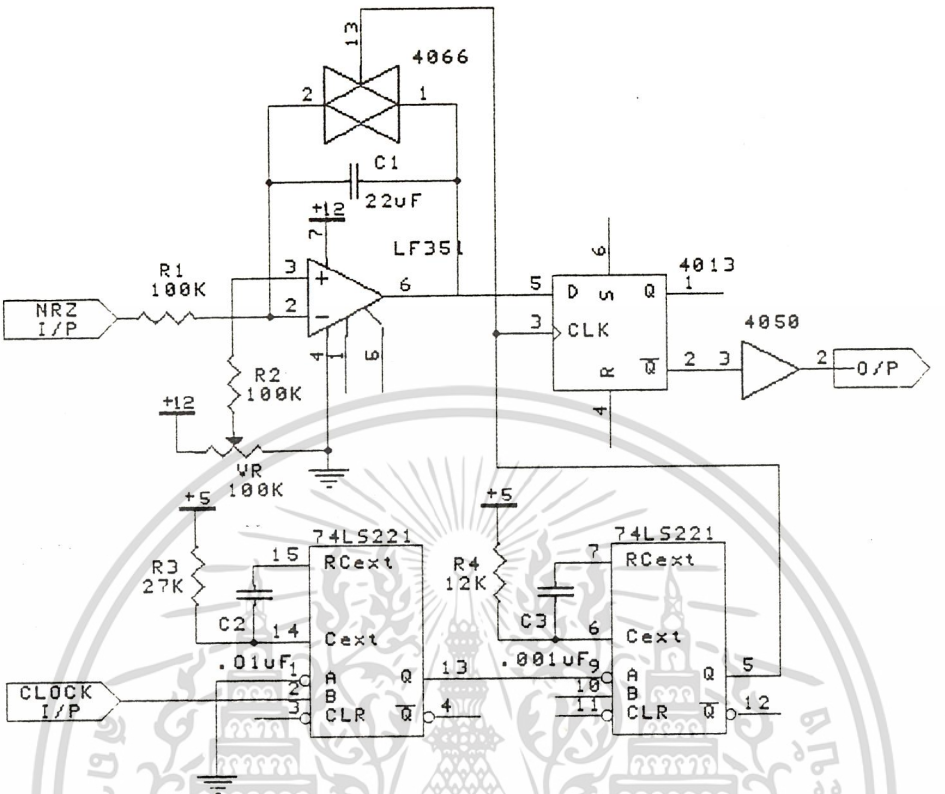


รูปที่ 5.11 แสดงวงจรกู้สัญญาณนาฬิกา

วงจรอินทีเกรทแอนด์ดัมท์ (integrate and dump)

ถึงแม้ว่าเอาท์พุทของวงจรดูลจะเป็นสัญญาณ NRZ แล้วก็ตามแต่สัญญาณจะเกิดการสั่นเนื่องจากสัญญาณรบกวน เพื่อให้ได้สัญญาณ NRZ ที่แน่นอนทางภาครับจึงต้องทำการอินทีเกรทสัญญาณไปในช่วง 1 บิท เพื่อพิจารณาว่าสัญญาณเบสแบนด์จะมีระดับที่แน่นอนไปในทิศทางใด แล้วทำการตัดสินระดับที่ปลายที่ช่วงเวลา 1 บิท และก่อนที่จะทำการอินทีเกรทสัญญาณลูกต่อไปต้องทำการรีเซต (reset) หรือดั้มท์(dump)ให้วงจรอินทีเกรทมีค่า 0 ก่อนทุกครั้ง วงจรอินทีเกรทแอนดัมท์จะประกอบด้วย วงจรอินทีเกรท,ฟลิบฟลอบ,อิเลคทรอนิคส์สวิทช์ และวงจรสร้างซิงค์พัลซ์(sync-pulse) โดยแสดงวงจรได้ดังรูปข้างล่างนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.14 วงจรอินทีเกรทแอนด์ดัมพ์

จากรูปอินพุทของวงจรคือสัญญาณ NRZ_{in} ที่มาจากเอาท์พุทของวงจรดูณสัญญาณคลื่นพาห์กับสัญญาณ PSK โดยสัญญาณอินพุทนี้จะมีการสั่น (jilter)เกิดขึ้นโดยขึ้นอยู่กับขนาด SNR ของสัญญาณ ที่อินพุทของวงจรดีมอดูเลท PSK โดยสัญญาณเบสแบนด์ที่อินทีเกรทแสดงดังรูปข้างล่างซึ่งเป็นเอาท์พุทของวงจรอินเวอร์ติ้งอินทีเกรท (inverting integrate) จากรูปปลายช่วงสัญญาณแต่ละช่วงจะถูกรีเซตโดยชิงค์พัลซ์ซึ่งสัญญาณ sync pulse จะได้จากวงจรกู้สัญญาณนาฬิกา (clock recovery) สำหรับเอาท์พุทของวงจรอินเวอร์ติ้งอินทีเกรทเตอร์ จะป้อนให้กับฟลิบฟลอบเพื่อให้ตัดสินค่าระดับของลอจิก โดยเอาท์พุทของฟลิบฟลอบจะให้สัญญาณเบสแบนด์ NRZ ที่ถูกหน่วงเวลาไป 1 บิทดังแสดงในรูป โดยขนาดของการสั่รของเบสแบนด์จะลดลง

สำหรับสมการปสดงเอาท์พุทของวงจรอินทีเกรทเขียนได้ดังนี้

$$V_o(t) = \frac{1}{RC}\int_0^t V_{in}(t)dt$$

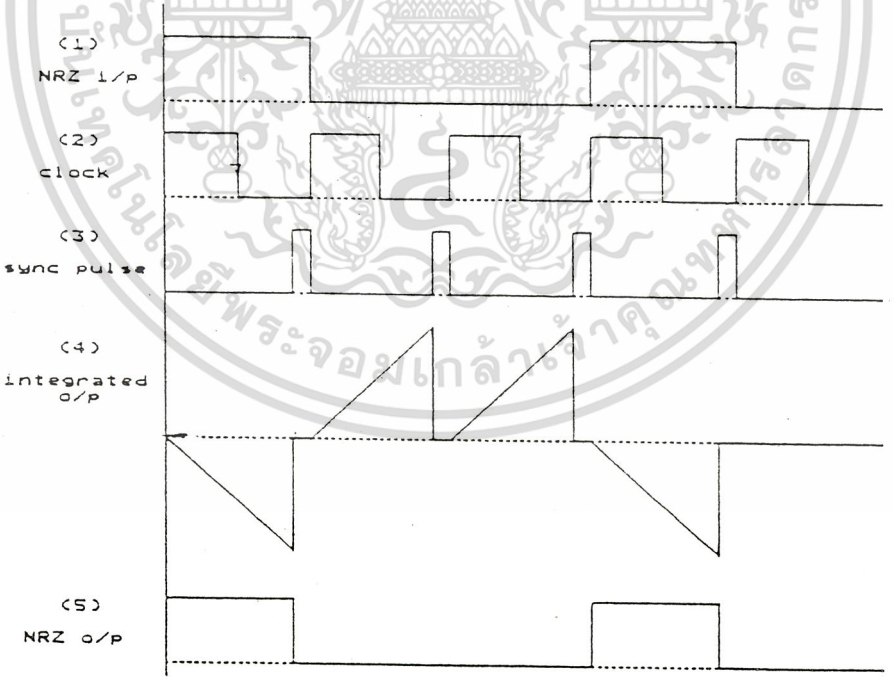
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยค่า RC เป็นค่าเวลาคงตัวของวงจรอินทีเกรท เพื่อให้ค่าแรงดันที่เอาท์พุทของวงจรอินทีเกรทมีค่าสูงสุดในช่วงเวลา 1 บิท ค่า RC กำหนดให้เท่ากับช่วงเวลา 1 บิท ซึ่งเท่ากับ 10 μs สำหรับบิทเรทขนาด 100 Kbit/sec จากสมการข้างต้น ถ้ากำหนดค่า C เท่ากับ 1 nF จะได้ค่า R เท่ากับ 10 KOhm สำหรับวงจรสร้างซิงค์พัลซ์ที่ใช้สำหรับสุ่มเพื่อตัดสินค่าระดับสัญญาณลอจิกและทำการรีเซตวงจรอินทีเกรท สัญญาณซิงค์พัลซ์สร้างจากการหน่วงสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา โดย sync pulsse จะเกิดในช่วงปลายของสัญญาณ NRZ แต่ละลูก โดยเป็นพัลซ์ขนาดแคบๆ การหน่วงเวลาและการทำพัลซ์ให้มีขนาดแคบ ใช้โมโนสเตเบิ้ลจำนวน 2 ชุด โดยใช้วงจรรวม 74LS221 ซึ่งมีโมโนสเตเบิ้ล 2 ชุดในตัวเดียวกัน โดยอินพุทของสัญญาณนาฬิกาเป็นอินพุทของวงจรโมโนสเตเบิ้ลตัวหนึ่ง กำหนดให้ทำงานที่อินพุทขอบขาขึ้น โดยตั้งเวลาให้หน่วงเวลาเท่ากับ 200 us โดยช่วงเวลากำหนดได้ดังสมการ

$$T_w = 0.7R_TC_T$$

T_w เป็นช่วงเวลาอินพุทของโมโนสเตเบิ้ล

R_TC_T เป็นความต้านทานและคาปาซิเตอร์ต่อที่ขา RC_{ext} ของโมโนสเตเบิ้ล



รูปที่ 5.15 แสดงสัญญาณที่จุดต่างๆของวงจรอินทีเกรทแอนดัมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับโมโนสเตเบิ้ลตัวที่ 2 สร้าง sync pulse กำหนดให้อินพุททำงานที่ขอบขาลงโดยช่วงเวลาจะมีขนาดประมาณ 10 us ถ้าหากกำหนด C_T สำหรับโมโนสเตเบิ้ลตัวแรกให้มีค่าเท่าเท่ากับ 0.01 uF แล้วค่า R_T มีค่าเท่ากับ 28.5 KOhm และ C_T สำหรับโมโนสเตเบิ้ลตัวที่ 2 เท่ากับ 0.001 uF แล้วค่า R_T มีค่าเท่ากับ 11.4 KOhm โดยในทางปฏิบัติใช้ความต้านทานค่า 27 KOhm และ 12 KOhm ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

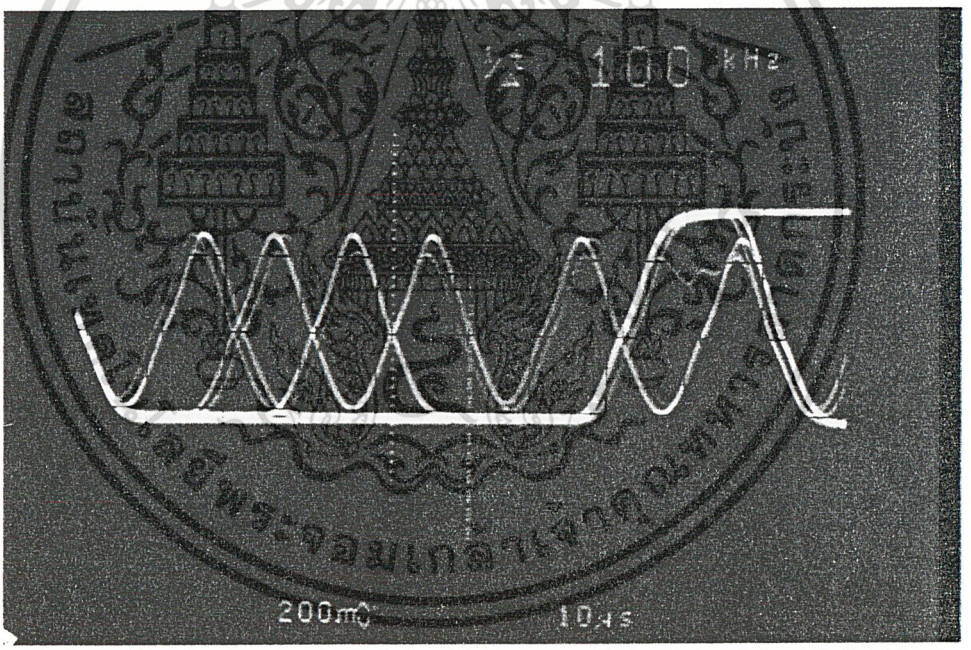
บทที่ 6

ผลการทดลองและสรุป

ผลการทดลอง

สำหรับผลการทดลองของกลุ่ม project pilot tone in BPSK สามารถเรียบเรียงเป็นขั้นตอนดังต่อไปนี้

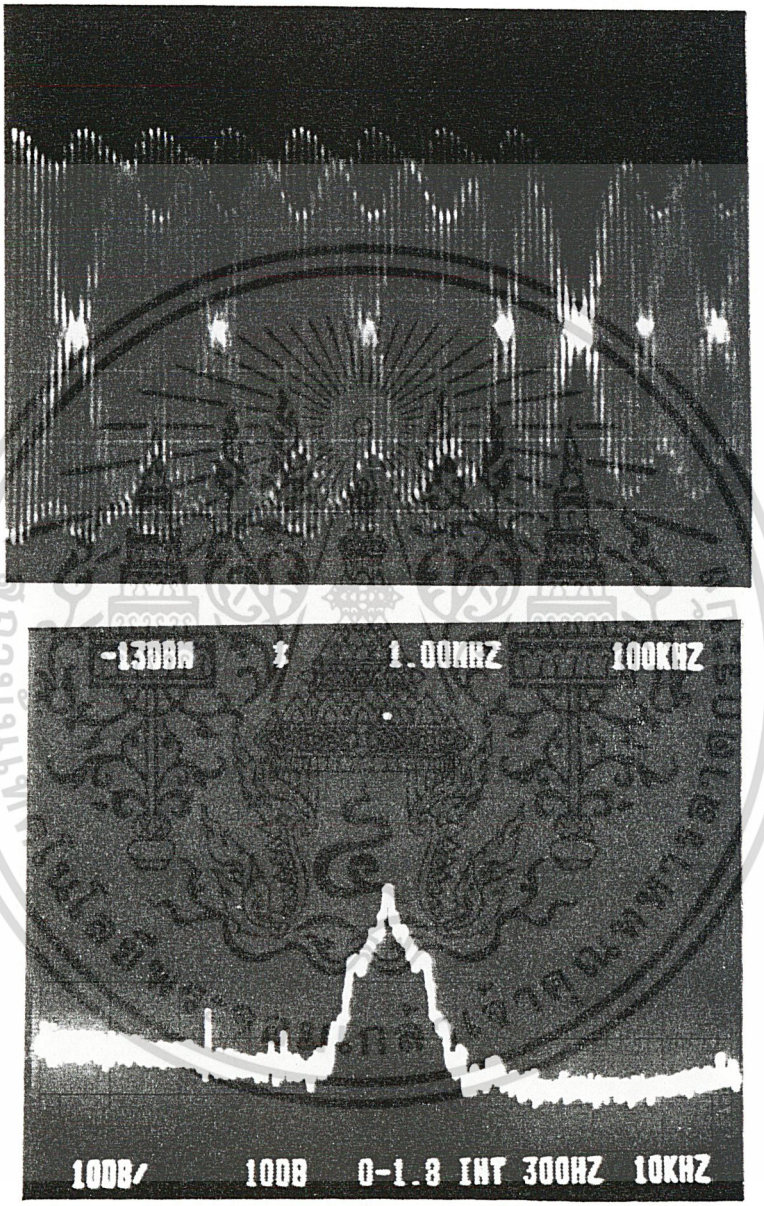
1) สัญญาณ NRZ อินพุทที่เข้ามาจะผ่านวงจร pulse shaper เพื่อลดแบนด์วิท ซึ่งเอาท์พุทของวงจร pulse shaper หลังจากผ่านวงจร LPF แล้วจะมีรูปสัญญาณดังรูป 6.1



รูปที่ 6.1 เอาท์พุทของวงจร pulse shaper

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

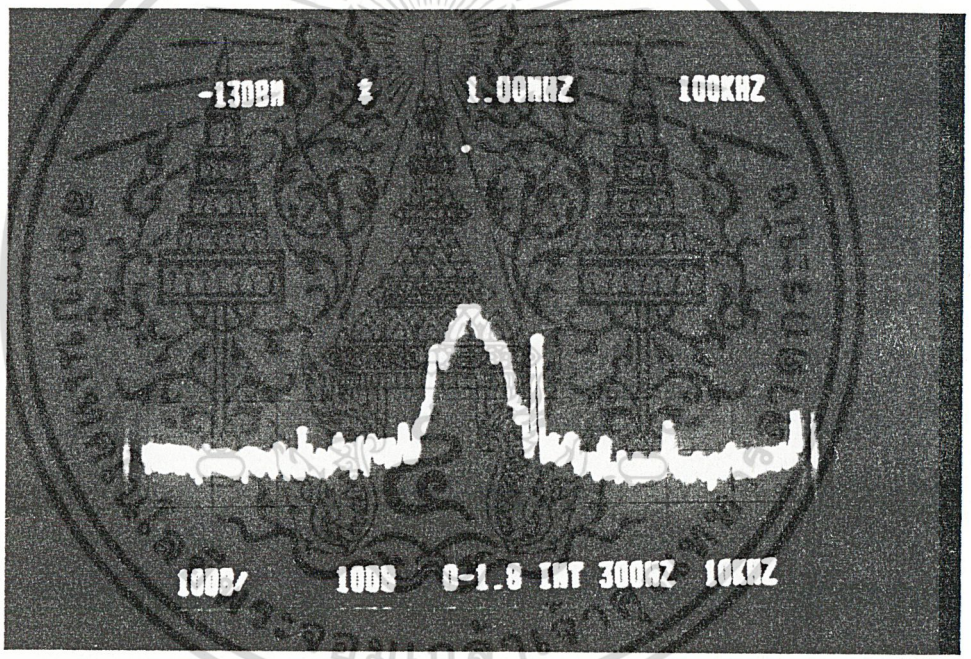
2) เอาท์พุทของวงจร pulse shaper จะถูกใช้เป็นสัญญาณเบสแบนด์ของวงจร balance modulator ซึ่งจะมอดูเลทกับสัญญาณคลื่นพาห์ 1 MHz เอาพุทที่ได้จากวงจรบาลานซ์มอดูเลทเตอร์ เมื่อวัดกับสเปคตรัมจะมีรูปสัญญาณดังรูป 6.2



รูปที่ 6.2 แสดงเอาท์พุทของสัญญาณที่ผ่านวงจร balance modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

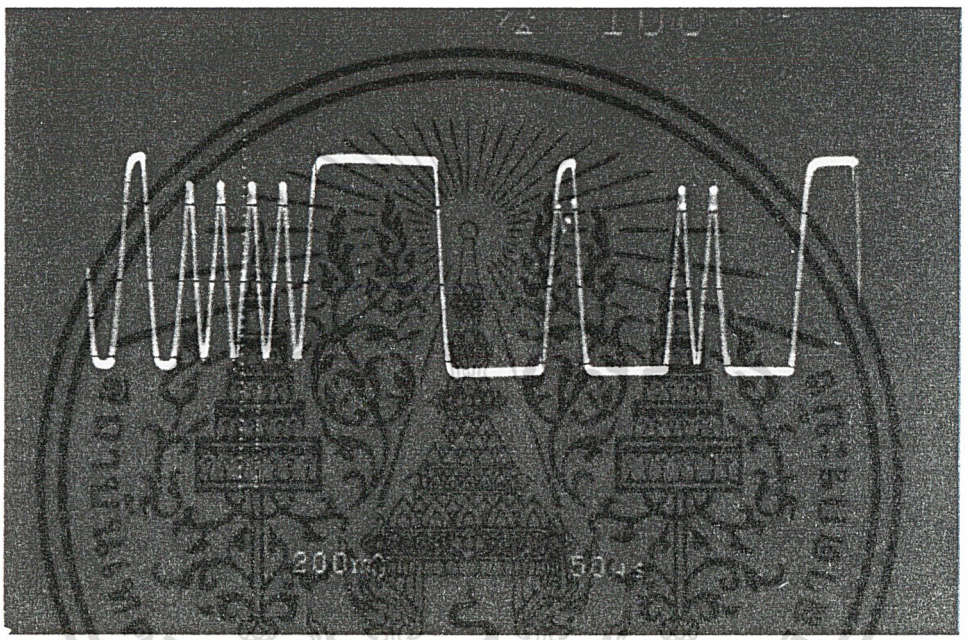
3) เอาท์พุทที่ได้จากวงจรบาลานซ์มอดูเลทเตอร์ จะถูกนำไปรวมกับสัญญาณ pilot tone ที่วงจร summing amp และจะผ่านวงจรกรองความถี่ผ่านย่าน (band-pass filter) ซึ่งเอาท์พุทของวงจรกรองความถี่ผ่านย่านจะเป็นเอาท์พุทจุดสุดท้ายของภาคส่ง ก่อนที่จะส่งสัญญาณที่ได้ไปยังภาครับ ซึ่งเมื่อทำการวัดด้วยสเปคตรัม จะได้เอาท์พุทดังรูป 6.3



รูปที่ 6.3 แสดงเอาท์พุทของของสัญญาณก่อนส่งไปยังภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

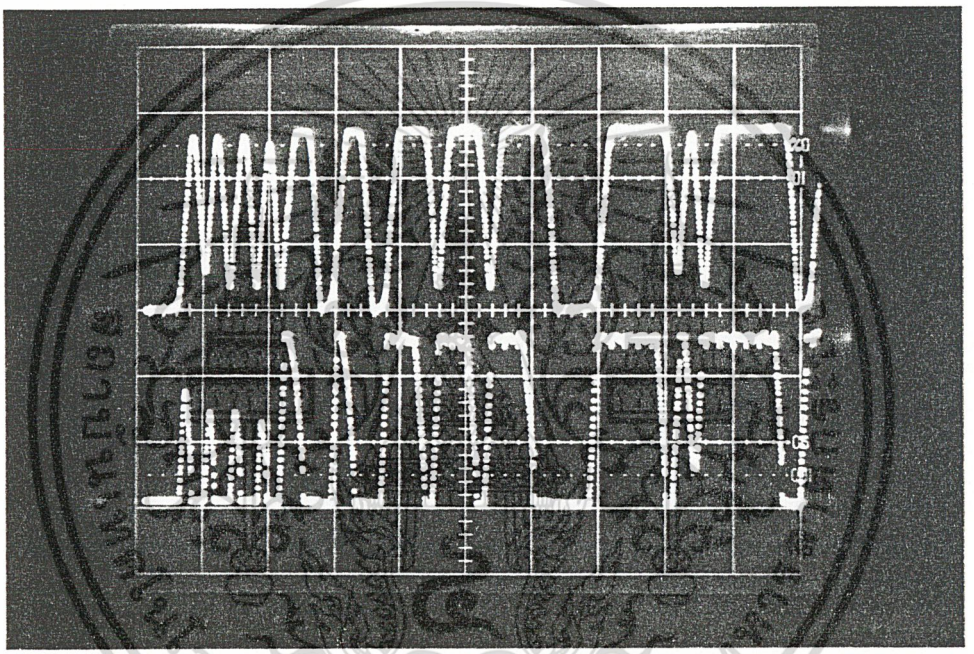
4) ที่ภาครับ เมื่อรับสัญญาณจากภาคส่งแล้ว ก็จะนำสัญญาณที่ได้ไปผ่านวงจรกรองความถี่ผ่านย่าน ซึ่งจะเป็นแบบ wide band-pass filter โดยจะกรองความถี่ในช่วง 990 KHz ถึง1.2 MHz เอาท์พุทของวงจร สามารถแสดงได้ดังรูปที่ 6.4



รูปที่ 6.4 แสดงสัญญาณหลังผ่าน BPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

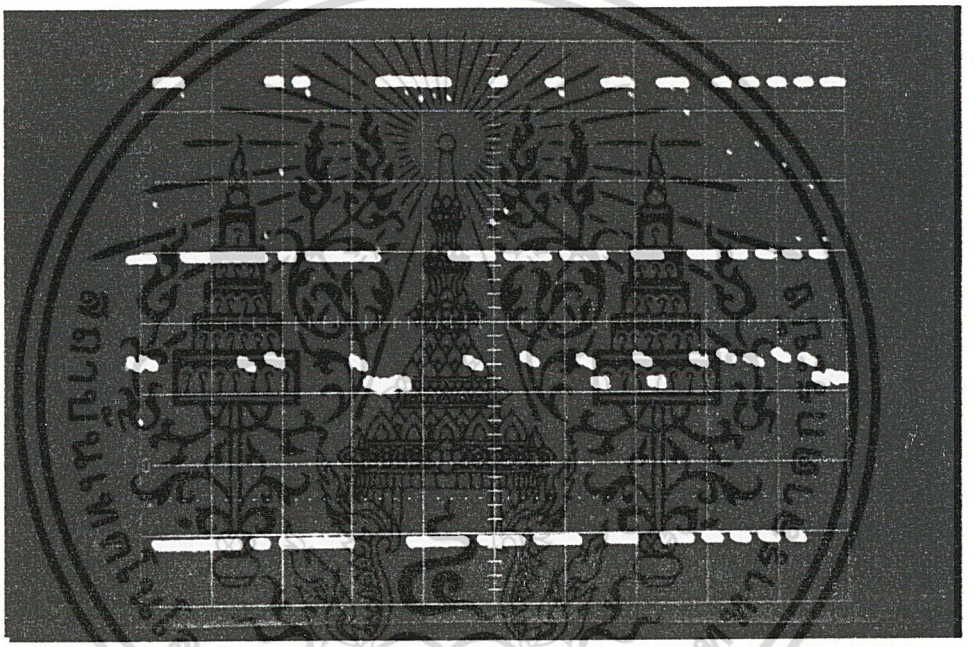
5) หลังจากผ่านวงจร BPF แล้วจะนำสัญญาณนี้ไปผ่านวงจร ดีเทคเตอร์ เพื่อดีเทคเอาสัญญาณข้อมูลเดิมมา ซึ่งสัญญาณคลื่นพาห์ที่ใช้ในวงจรนี้ได้จากวงจรกู้สัญญาณแคเรียร์ ซึ่งเอาท์พุทของวงจรดีเทคเตอร์แสดงได้ดังรูปที่ 6.5



รูปที่ 6.5 แสดงสัญญาณหลังผ่านการดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6) สัญญาณที่ได้หลังจากผ่านวงจรดีเทคเตอร์แล้วจะยังไม่สมบูรณ์ ดังนั้นเพื่อทำให้ได้สัญญาณเอาท์พุทที่สมบูรณ์จะต้องนำสัญญาณผ่านวงจรอินทีเกรทแอนด์ดัมพ์ เอาท์พุทของสัญญาณหลังจากผ่านวงจรอินทีเกรทแอนด์ดัมพ์จะได้เป็นสัญญาณ NRZ ที่สมบูรณ์ดังรูปที่ 6.6



รูปที่ 6.6 แสดงเอาท์พุทที่สมบูรณ์หลังผ่านวงจรอินทีเกรทแอนด์ดัมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลอง

สำหรับการรับส่งข้อมูลแบบ BPSK โดยใช้ pilot tone เป็นสัญญาณอ้างอิงในการสร้างสัญญาณคลื่นพาห์และสัญญาณนาฬิกาที่ภาครับนั้น สามารถสรุปผลการทดลองได้ดังนี้

ที่ภาคส่ง ปัญหาหลักซึ่งเป็นปัญหาสำคัญที่พบก็คือการสร้างสัญญาณ pilot tone และสัญญาณคลื่นพาห์ให้มีเฟสตรงกัน ซึ่งปัญหาในจุดนี้สามารถแก้ไขได้โดยการสร้างสัญญาณคลื่นพาห์และสัญญาณ pilot tone จาก clock 100 KHz ของสัญญาณ NRZ โดยใช้วงจร PLL ซึ่งใช้ IC NE 564 สำหรับการสร้างสัญญาณคลื่นพาห์ โดยกำหนดให้ วงจร VCO ของ PLL ผลิตความถี่ให้ได้ความถี่ 1 MHz แล้วผ่านวงจรหาร 10 เพื่อให้ได้ความถี่ 100 KHz แล้วนำไปเปรียบเทียบเฟสกับ clock 100 KHz ของสัญญาณ NRZ ซึ่งการสร้างสัญญาณ pilot tone ก็ใช้หลักการเดียวกันกับการสร้างสัญญาณคลื่นพาห์ ปัญหาที่พบเจออีกข้อหนึ่งก็คือ การใช้วงจรกรองความถี่ผ่านย่าน ในการกรองสัญญาณทั้งหมดก่อนที่จะส่งไปยังภาครับ การกรองความถี่สูงจะกรองได้ไม่ดีเท่าที่ควร ดังนั้นจึงได้เพิ่มวงจรกรองความถี่ต่ำผ่าน โดยกำหนด fc ประมาณ 1.2 MHz ที่หลังวงจรกรองความถี่ผ่านย่าน เพื่อกรองความถี่สูงทิ้งไป

ที่ภาครับ ปัญหาที่พบเจอคือ การกู้สัญญาณคลื่นพาห์และสัญญาณนาฬิกาจะต้องมีเฟสซิงค์กันกับสัญญาณคลื่นพาห์และสัญญาณนาฬิกาของภาคส่ง ซึ่งจุดประสงค์หลักของ project ชิ้นนี้ก็คือการสร้างสัญญาณคลื่นพาห์และสัญญาณนาฬิกาที่ภาครับจากสัญญาณ pilot tone ที่ส่งมาจากภาคส่ง ซึ่ง pilot tone ที่ส่งมามีความถี่ 1.1 MHz เราจะต้องสร้างสัญญาณคลื่นพาห์ 1 MHz และสัญญาณนาฬิกา 100 KHz จากความถี่ 1.1 MHz โดยการสร้างวงจรกู้สัญญาณนาฬิกาสามารถทำได้โดยใช้วงจร PLL ซึ่งใช้ IC NE 564 โดยกำหนดให้ VCO ของ PLL ผลิตความถี่ 1.1 MHz เพื่อเปรียบเทียบเฟสกับสัญญาณ pilot tone แล้วนำสัญญาณจาก VCO ไปผ่านวงจรหาร 10 เพื่อให้ได้ความถี่ 100 KHz ส่วนในการกู้สัญญาณคลื่นพาห์ เราใช้วงจร PLL IC NE 564 เช่นกัน โดยกำนดให้ VCO ของ PLL ผลิตความถี่ 1 MHz แล้วนำสัญญาณที่ได้ไปผ่านวงจรหาร 10 และใช้ความถี่ที่ได้จากวงจรกู้สัญญาณนาฬิกา 100 KHz ไปเปรียบเทียบเฟสกับสัญญาณที่ผ่านวงจรหาร 10 แล้วโดยเราจะนำสัญญาณที่ o/p ของวงจร VCO ไปใช้เป็นสัญญาณคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1) บัณฑิต โรจน์อารยานนท์, หลักการไฟฟ้าสื่อสาร , สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย,2532

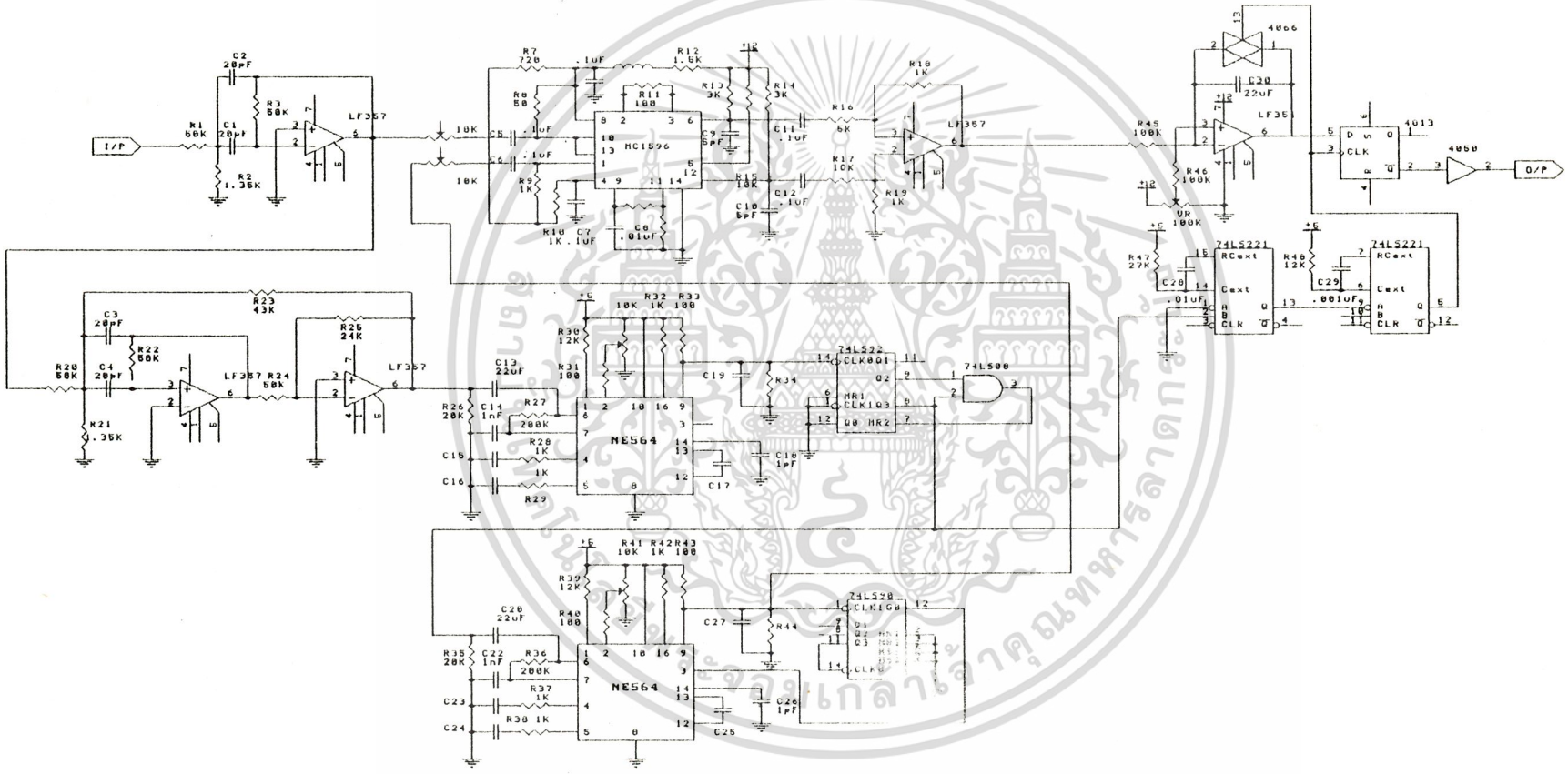
2) รศ.ยืน ภู่วรวรรณ, น.ต.ดร.ไพศาล สงวนหมู่ การสื่อสารข้อมูลและข้อมูลคอมพิวเตอร์เน็ทเวอร์ค บริษัท ซีแอคยูเคชั่น จำกัด

3) กฤดากร กล่อมการ การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบ FM วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต,2536

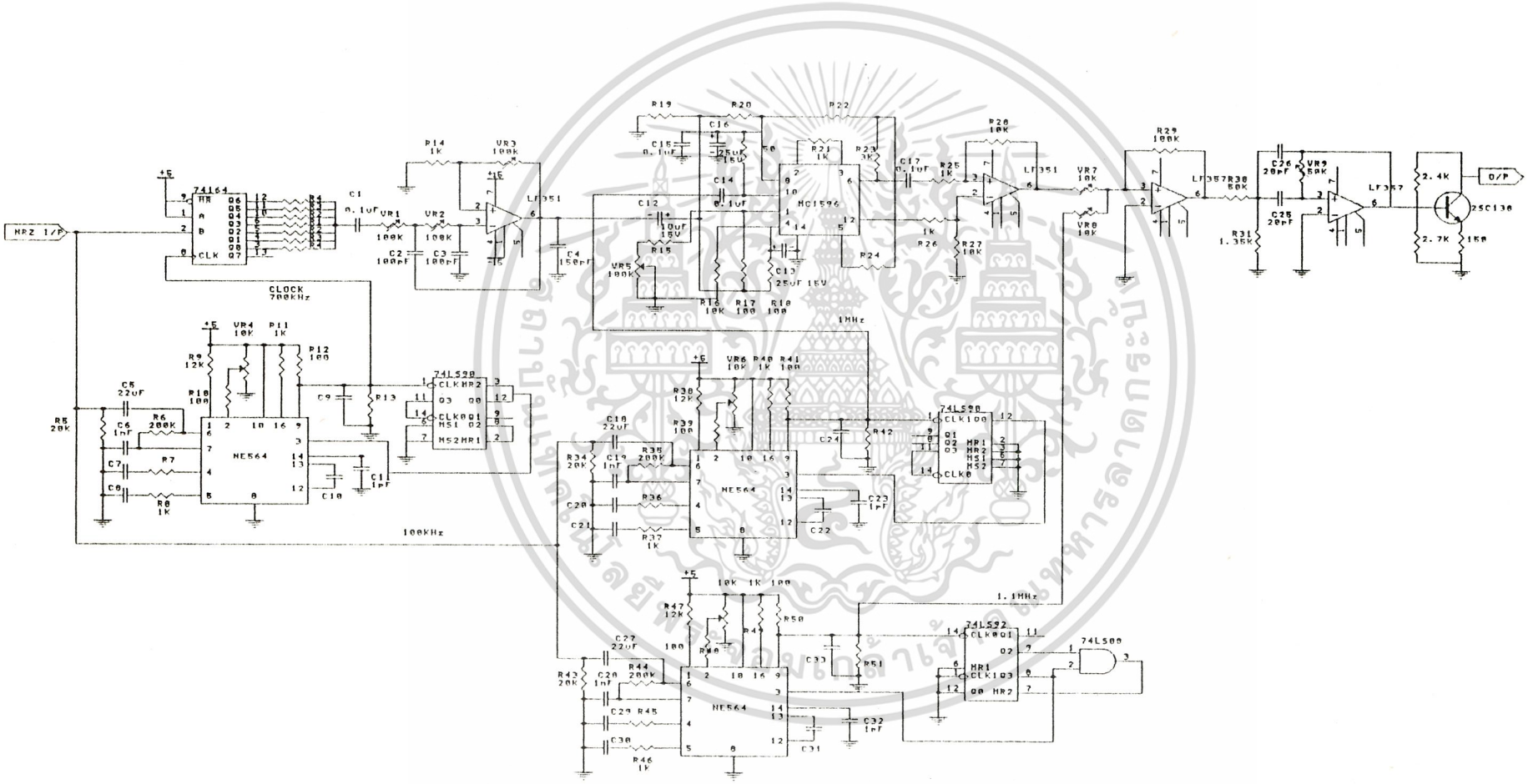
4) ชฎากรณ์ วีรการณ์,วรากร อรัญดร, นุวัฒน์ หลีวิจิตร, MSK MODULATOR , ปริญญานิพนธ์วิศวกรรมศาสตรบัณฑิต

5) JOHN L.HILBURN and DAVID E.JOHNSON, " MANUAL OF ACTIVE FILTER DESIGN ", McGRAW-HILL , INC., 1973

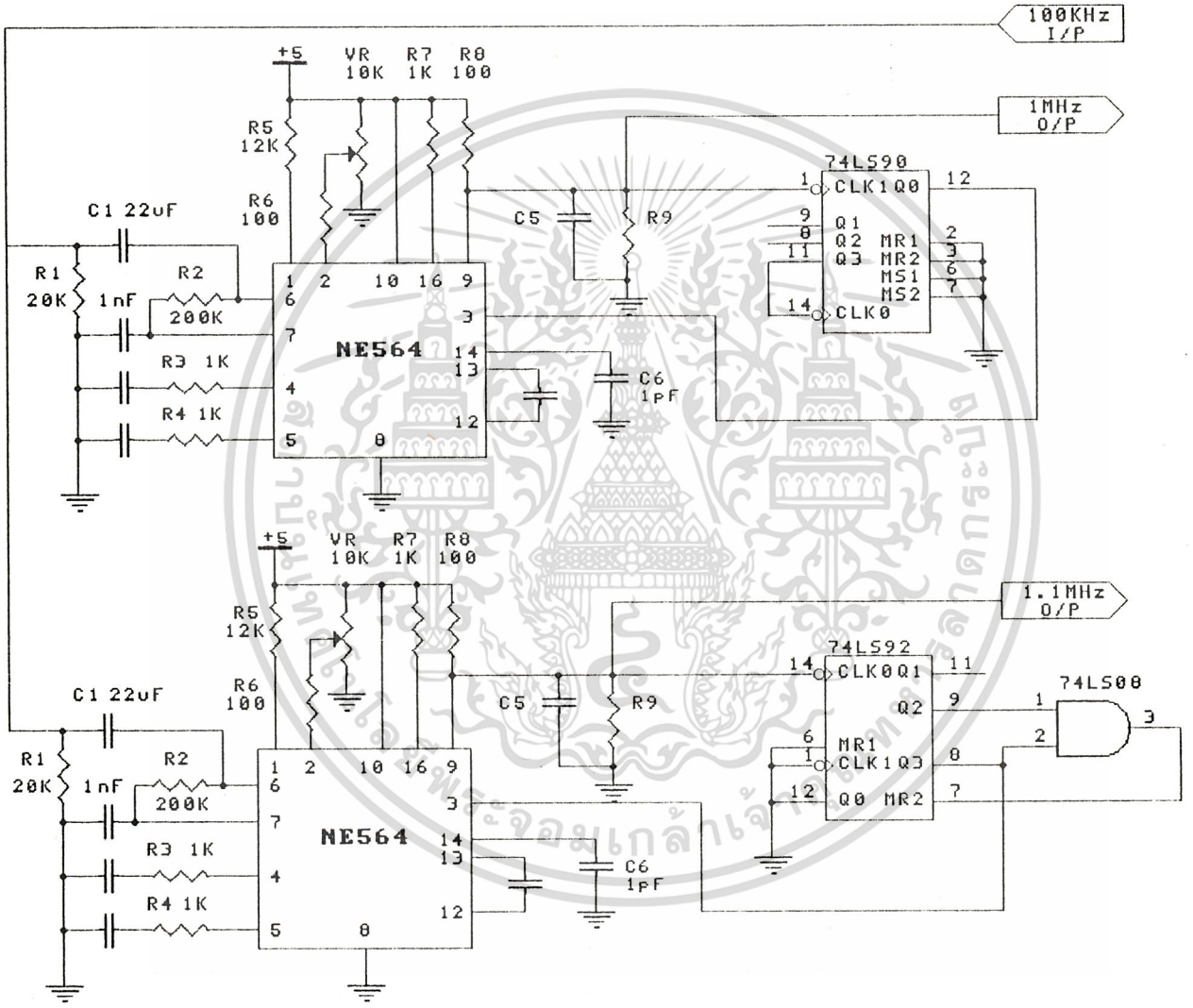
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


I/P
O/P
LF357
MC1596
NE564
74LS32
74LS08
74LS20
74LS221
4066
4013
4050
LF356

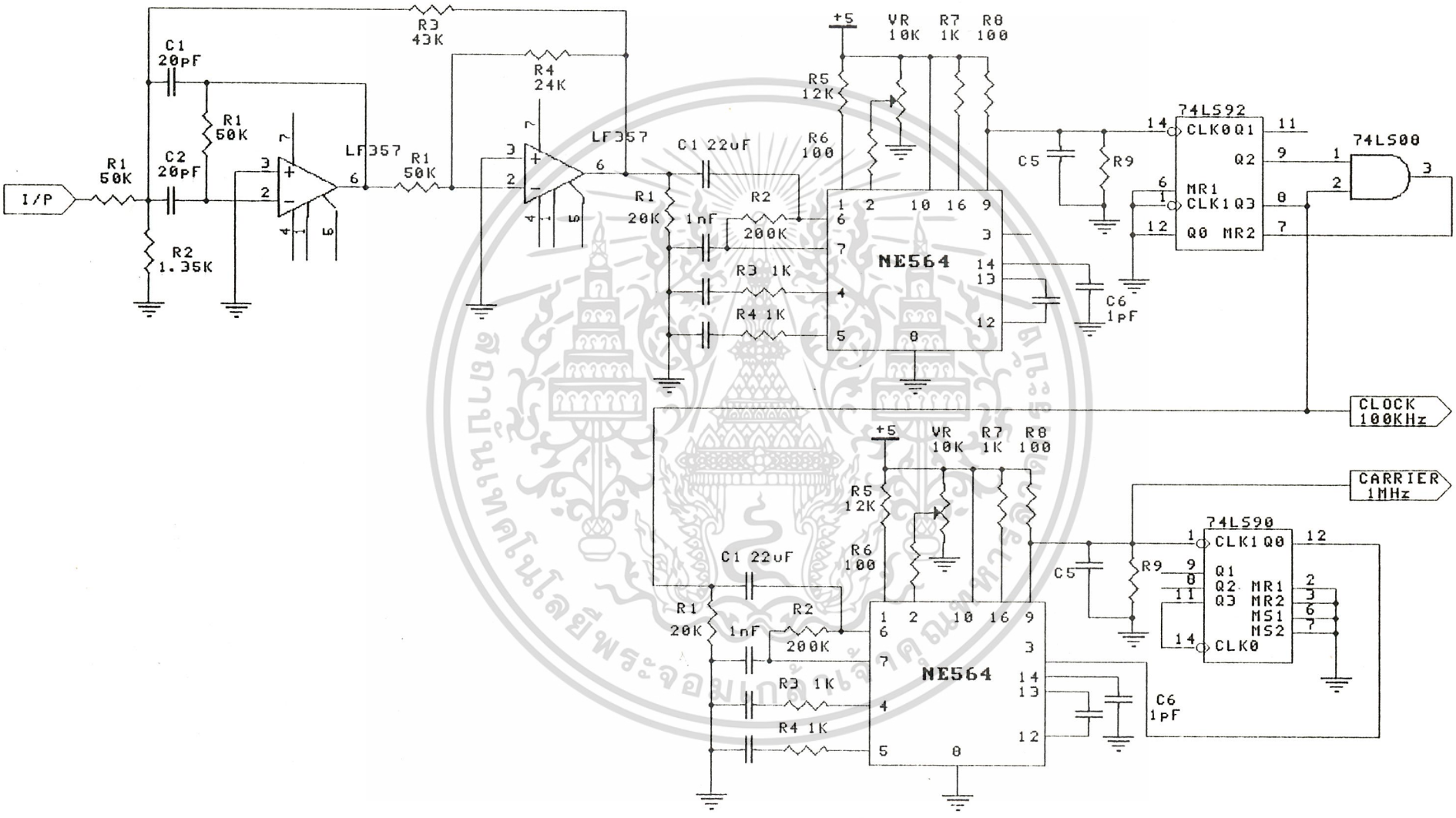
วงจรภาครับ


NRZ I/P
74164
CLOCK
700KHz
LF351
HC1596
NE564
74LS00
74LS92
74LS90
100KHz
1MHz
1.1MHz
LF357
2SC138
O/P

วงจรภาคส่ง



วงจรสร้างความถี่ 1MHz และ 1.1MHz ทางภาครับ



วงจรกู้สัญญาณนาฬิกาทางภาครับ

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1496
MC1596

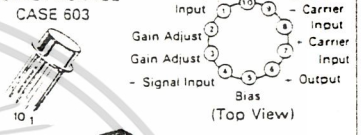
BALANCED MODULATOR/DEMODULATOR

BALANCED MODULATOR/ DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
  – 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection – 85 dB typ

G SUFFIX
METAL PACKAGE
CASE 603

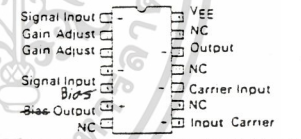


L SUFFIX
CERAMIC PACKAGE
CASE 632

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN ASSIGNMENTS



ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	–55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

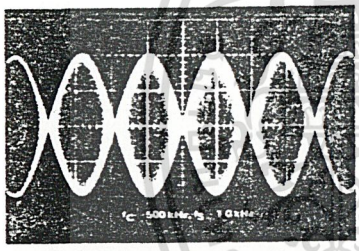


FIGURE 1 – SUPPRESSED CARRIER OUTPUT WAVEFORM

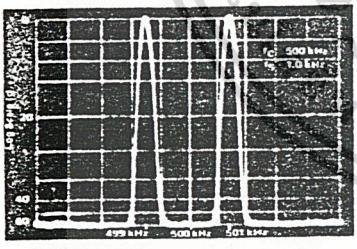


FIGURE 2 – SUPPRESSED CARRIER SPECTRUM

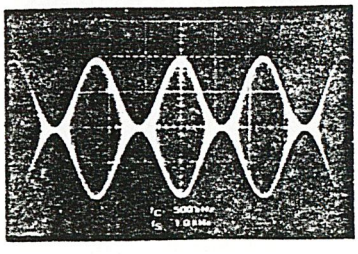


FIGURE 3 – AMPLITUDE MODULATION OUTPUT WAVEFORM

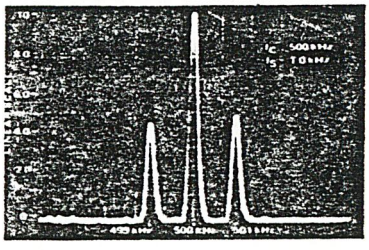


FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM

8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage ($V_5 - V_7$, $V_8 - V_1$, $V_9 - V_7$, $V_9 - V_8$, $V_7 - V_4$, $V_7 - V_1$, $V_8 - V_4$, $V_5 - V_8$, $V_2 - V_5$, $V_3 - V_5$)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	±5.0 ±($5 + I_5R_e$)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = 25°C, all input and output characteristics are single-ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough	5	1	V_{CFT}							μV(rms)
V_C = 60 mV(rms) sine wave and offset adjusted to zero, f_C = 1.0 kHz				—	40	—	—	40	—	
f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave:										mV(rms)
offset adjusted to zero, f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	
offset not adjusted, f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression	5	2	V_{CS}							dB
f_S = 10 kHz, 300 mV(rms)										
f_C = 500 kHz, 60 mV(rms) sine wave				50	65	—	40	65	—	
f_C = 10 MHz, 60 mV(rms) sine wave				—	50	—	—	50	—	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms)	8	8	BW_{3dB}							MHz
Carrier Input Port, V_C = 60 mV(rms) sine wave				—	300	—	—	300	—	
f_S = 1.0 kHz, 300 mV(rms) sine wave										
Signal Input Port, V_S = 300 mV(rms) sine wave				—	80	—	—	80	—	
V_C = 0.5 Vdc										
Signal Gain	10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
V_S = 100 mV(rms), f = 1.0 kHz, V_C = 0.5 Vdc										
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz	6	—								
Parallel Input Resistance			r_{ip}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance			c_{ip}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz	6	—								
Parallel Output Resistance			r_{op}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance			c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current $I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$	7	—	I_{bS} I_{bC}	— —	12 12	25 25	— —	12 12	30 30	μA
Input Offset Current $I_{ioS} = I_1 - I_4$; $I_{ioC} = I_7 - I_8$	7	—	I_{ioS} I_{ioC}	— —	0.7 0.7	5.0 5.0	— —	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)	7	—	TC_{Iio}	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_5 - I_9$)	7	—	I_{oo}	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)	7	—	TC_{Ioo}	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, V_C = 0.5 Vdc	9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability	10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current $I_6 - I_9$ I_{10}	7	6	 I_{CC} I_{EE}	 — —	 2.0 3.0	 3.0 4.0	 — —	 2.0 3.0	 4.0 5.0	mAdc
DC Power Dissipation	7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION *

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair — or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_O}{V_S} = \frac{R_L}{R_e - 2r_e} \text{ where } r_e = \frac{26\ mV}{I_5\ (mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5.

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Common Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_9 = V_6$, $I_5 = I_6 = I_9$ and ignoring base current, $P_D = 2 I_5 (V_6 - V_{10}) + I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_B \ll I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega$$ where: R_5 is the resistor between pin 5 and ground

ϕ = 0.75 V at T_A = −25°C

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

30 Vdc ≥ [(V_6, V_9) − (V_7, V_8)] ≥ 2 Vdc

30 Vdc ≥ [(V_7, V_8) − (V_1, V_4)] ≥ 2.7 Vdc

30 Vdc ≥ [(V_1, V_4) − (V_5)] ≥ 2.7 Vdc

The foregoing conditions are based on the following approximations:

$$V_6 = V_9,\ V_7 = V_8,\ V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$|Y_{21C}| = \left| \frac{i_o \text{ (each sideband)}}{v_s \text{ (signal)}} \right| \quad V_O = 0$$

Signal transadmittance bandwidth is the 3 dB bandwidth of the device forward transadmittance as defined by:

$$|Y_{21S}| = \left| \frac{i_o \text{ (signal)}}{v_s \text{ (signal)}} \right| \quad V_C = 0.5 \text{ Vdc}, V_O = 0$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Output Signal, V_O

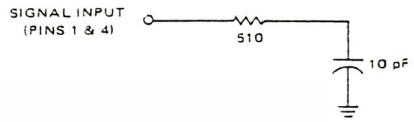
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 kOhm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS*

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 5 – CARRIER REJECTION AND SUPPRESSION

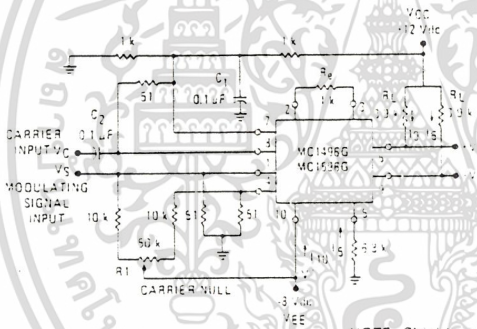
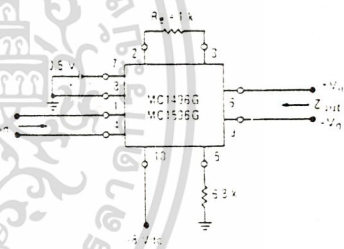


FIGURE 6 – INPUT-OUTPUT IMPEDANCE



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 7 – BIAS AND OFFSET CURRENTS

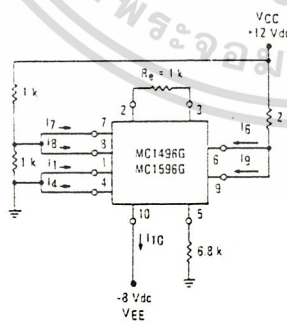
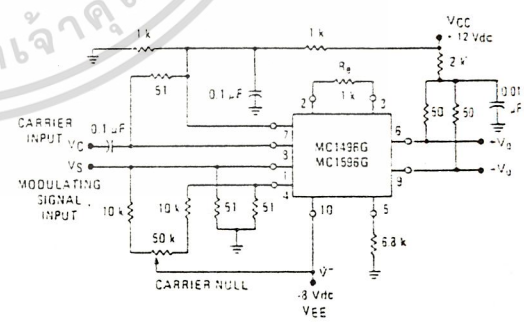


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON MODE GAIN

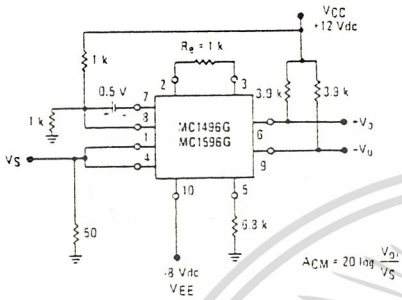
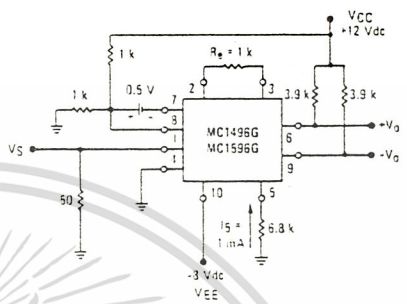


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 9. f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

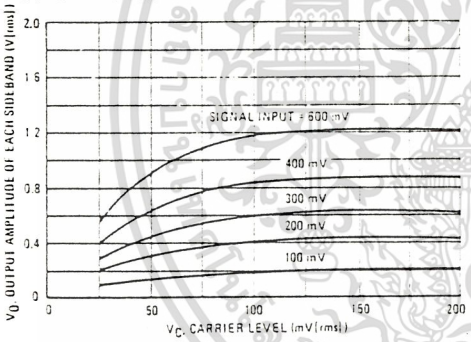


FIGURE 12 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

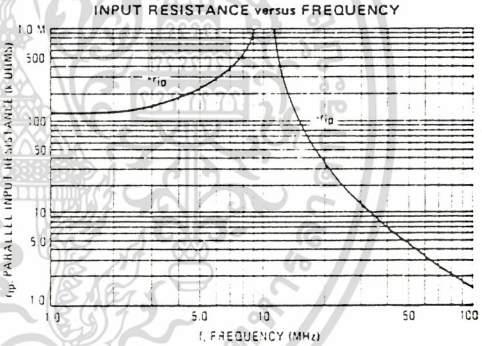


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

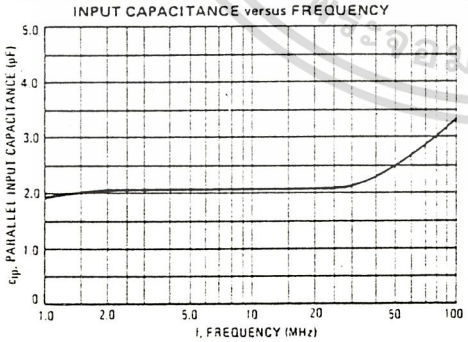
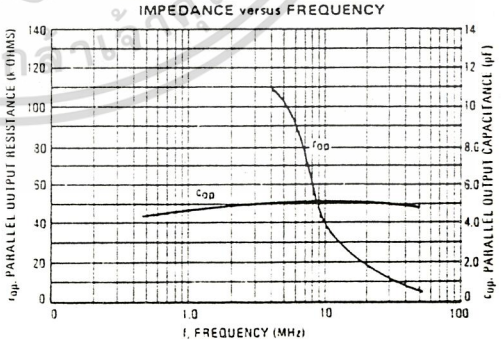


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5. f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

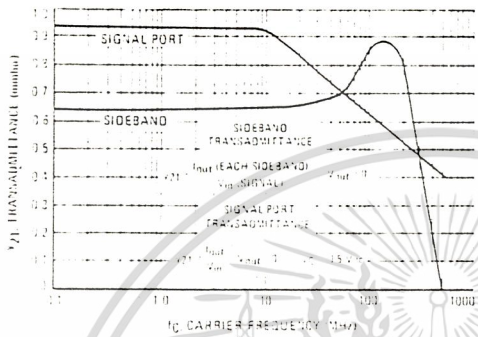


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

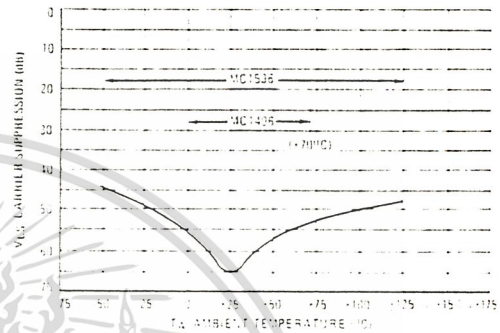


FIGURE 17 – SIGNAL PORT FREQUENCY RESPONSE

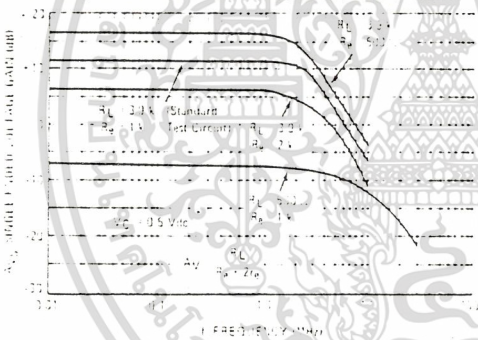


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

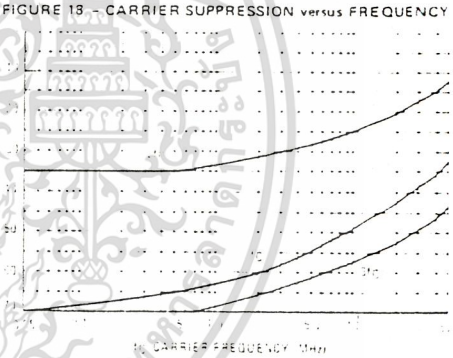


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

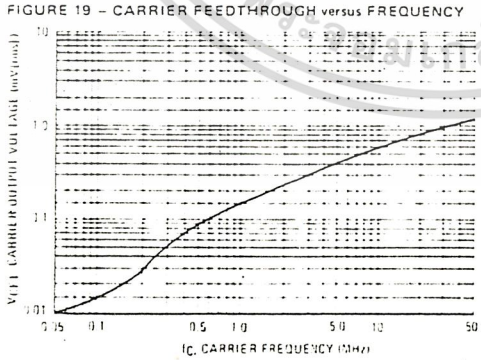
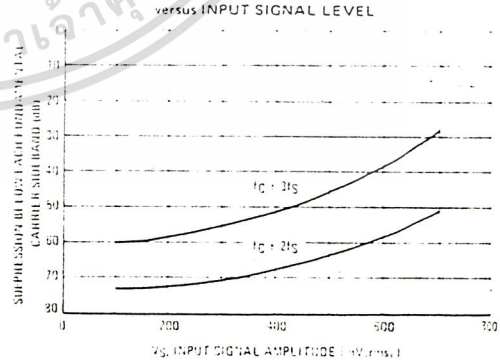


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

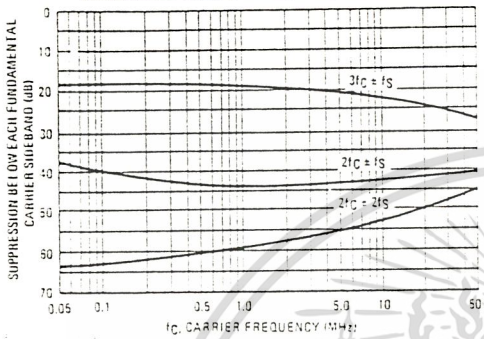
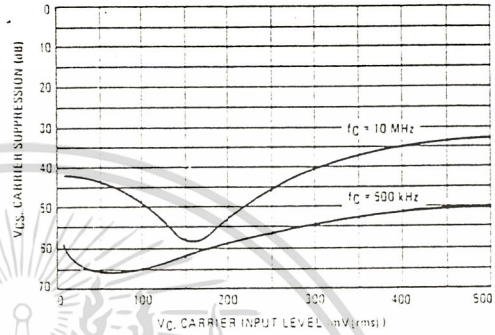


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output-signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 23 – CIRCUIT SCHEMATIC*

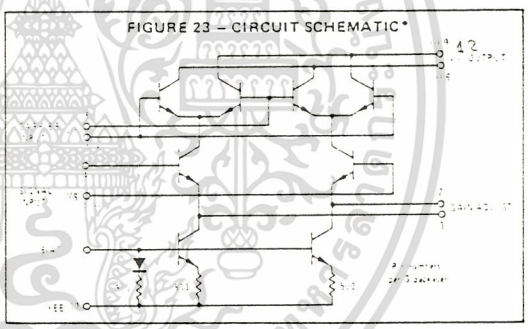
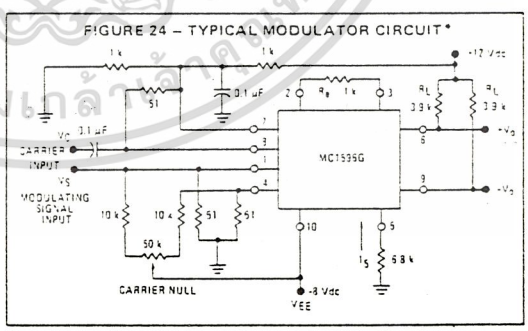


FIGURE 24 – TYPICAL MODULATOR CIRCUIT*



*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I_5)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 – TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)(\frac{KT}{q})}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}(\frac{KT}{q})(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M$, $3f_C \pm f_M$, $5f_C \pm f_M$

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

1) Low-level dc
2) High-level dc
3) Low-level ac
4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:
1. Low-level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at +25°C.
$$r_e \approx \frac{26 \text{ mV}}{I_5 \text{ (mA)}}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF. Also the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 26 – BALANCED MODULATOR (+12 Vdc SINGLE SUPPLY)

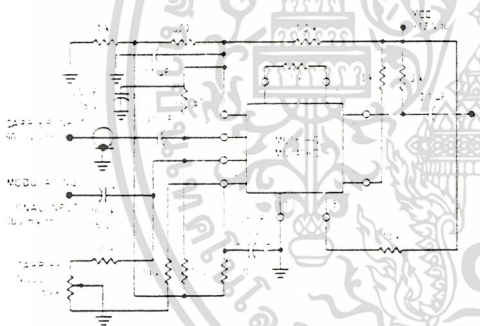


FIGURE 27 – BALANCED MODULATOR DEMODULATOR

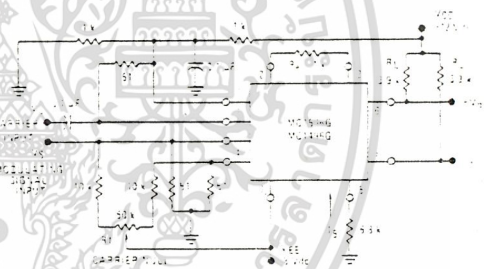


FIGURE 28 – AM MODULATOR CIRCUIT

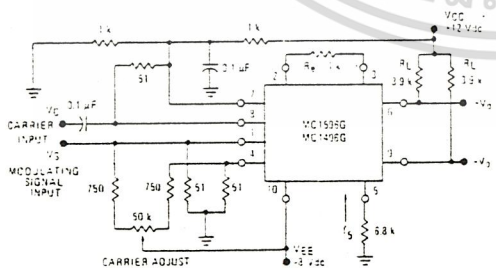
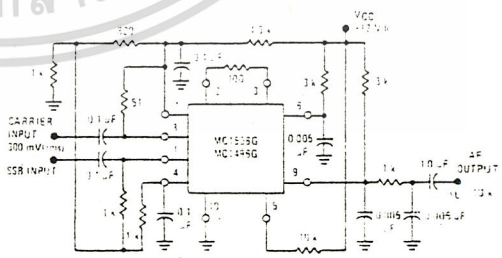


FIGURE 29 – PRODUCT DETECTOR (+12 Vdc SINGLE SUPPLY)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS (continued)

Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

FIGURE 30 – DOUBLY BALANCED MIXER
(BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)

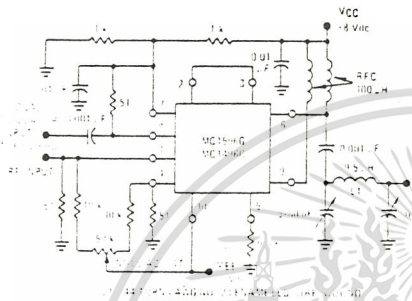


FIGURE 31 – LOW FREQUENCY DOUBLER

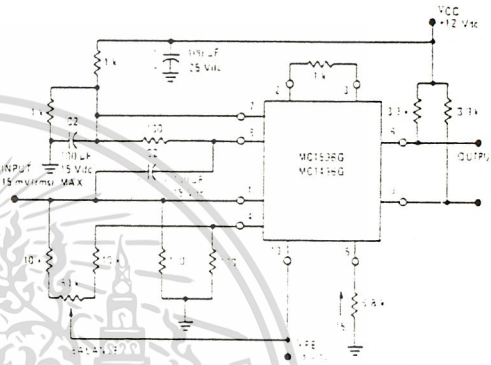
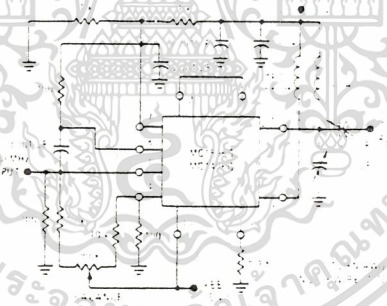
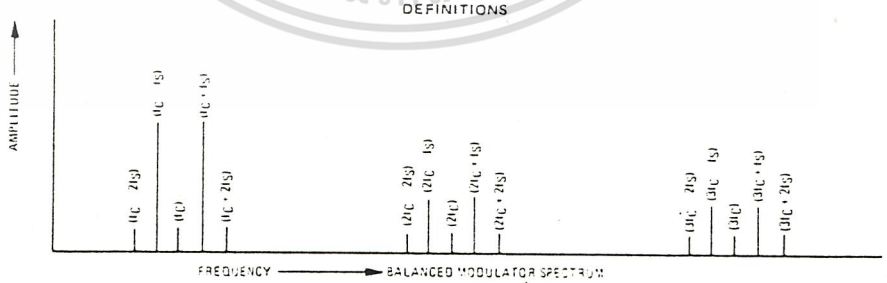


FIGURE 32 – 150 to 300 MHz DOUBLER



DEFINITIONS



f_C CARRIER FUNDAMENTAL
f_S MODULATING SIGNAL
$f_C \pm f_S$ FUNDAMENTAL CARRIER SIDEBANDS
$f_C \pm mf_S$ FUNDAMENTAL CARRIER SIDEBAND HARMONICS
mf_C CARRIER HARMONICS
$mf_C \pm nf_S$ CARRIER HARMONIC SIDEBANDS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE LOCKED LOOP — SE/NE564

DESCRIPTION

The NE564 is a versatile, high guaranteed frequency Phase Locked Loop designed for operation up to 50MHz. As shown in the block diagram, the NE564 consists of a VCO, limiter, phase comparator, and post detection processor.

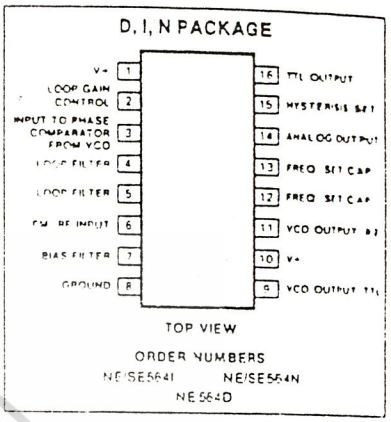
APPLICATIONS

- High speed modems
- FSK receivers and transmitters
- Frequency synthesizers
- Signal generators
- Various satcom/TV systems

FEATURES

- Operation with single 5V supply
- TTL compatible inputs and outputs
- Guaranteed operation to 50MHz
- External loop gain control
- Reduced carrier feedthrough
- No elaborate filtering needed in FSK applications
- Can be used as a modulator
- Variable loop gain (Externally Controlled)

PIN CONFIGURATION

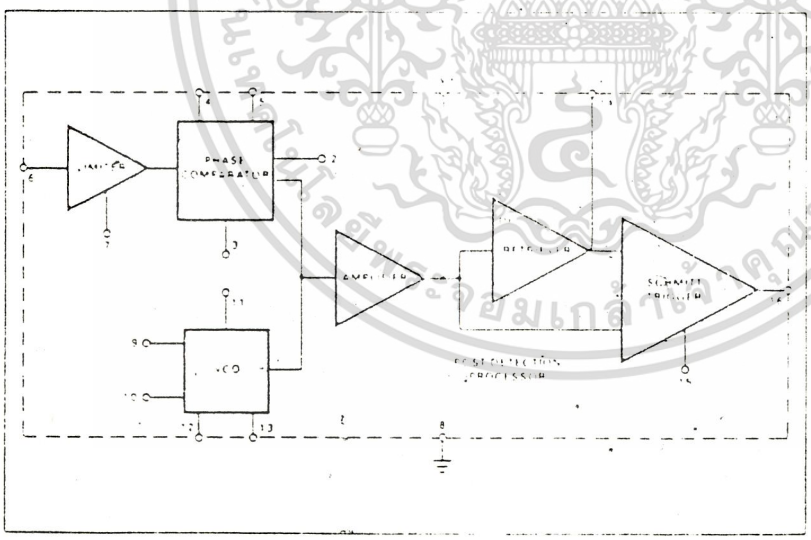


ABSOLUTE MAXIMUM RATINGS

	PARAMETER		RATING	UNIT
V+	Supply voltage			V
	Pin 1		14	
	Pin 10		6	
P_D	Power dissipation		600	mW
T_A	Operating temperature	NE	0 to 70	°C
	Operating temperature	SE	−55 to +125	°C
T_{STG}	Storage temperature		−65 to 150	°C

NOTE
Operation above 5 volts will require heatsinking of the case

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

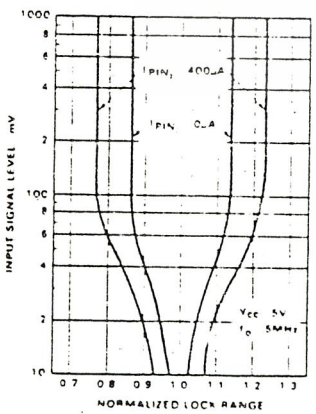
PHASE LOCKED LOOP — SE/NE564

ELECTRICAL CHARACTERISTICS V_{CC} = 5V, T_A = 25°C, f_o = 5MHz, I_B = 400μA unless otherwise specified

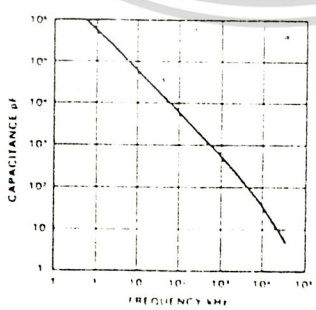
PARAMETER	TEST CONDITIONS	SE564			NE564			UNIT
		Min	Typ	Max	Min	Typ	Max	
Maximum VCO frequency	C_1 = 0 (stray)	50	65		45	60		MHz
Lock range	Input ≥ 200mVrms T_A = 25°C	40	70		40	70		% of f_o
	= 125°C	20	30					
	= −55°C	50	80					
	= 0°C					70		
	= 70°C					40		
Capture range	Input ≥ 200mVrms, R_2 = 27Ω	20	30		20	30		% of f_o
VCO frequency drift with temperature	f_o = 5MHz, T_A = −55°C to 125°C		400	1000				PPM/°C
	= 0°C to 70°C					400	1250	
	f_o = 500KHz, T_A = −55°C to 125°C		250	500				
	= 0°C to 70°C					400	850	
VCO free running frequency	C_1 = 91pF R_C = 100Ω "Internal"	4	5	6	3.5	5	6.5	MHz
VCO frequency change with supply voltage	V_{CC} = 4.5V to 5.5V		3	8		3	8	% of f_o
Demodulated output voltage	Modulation frequency: 1KHz f_o = 5MHz, input deviation							
	2% T = 25°C	16	28		16	28		mVrms
	1% T = 25°C	8	14		8	14		mVrms
	= 0°C					13		mVrms
	= −55°C	6	10					mVrms
	= 70°C					15		mVrms
	= 125°C	12	16					mVrms
Distortion	Deviation 1% to 6%		1			1		%
Signal to noise ratio	Std. condition, 1% to 10% dev.		40			40		dB
AM rejection	Std. condition, 30% AM		35			35		dB
Demodulated Output at operating voltage	Modulation frequency: 1KHz f_o = 5MHz, input deviation 1%							
	V_{CC} = 4.5V	7	12		7	12		mVrms
	V_{CC} = 5.5V	8	14		8	14		mVrms
Supply current	V_{CC} = 5V, I_{10}		45	60		45	60	mA
Output "1" output leakage current	V_{OUT} = 5V, Pin 16, 9		1	20		1	20	μA
"0" output voltage	I_{OUT} = 2mA, Pin 16, 9		0.3	0.6		0.3	0.6	V
	I_{OUT} = 6mA, Pin 16, 9		0.4	0.8		0.4	0.8	V

TYPICAL PERFORMANCE CHARACTERISTICS

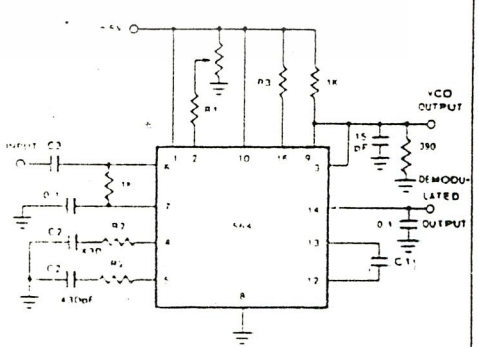
LOCK RANGE vs SIGNAL INPUT



VCO CAPACITOR vs FREQUENCY



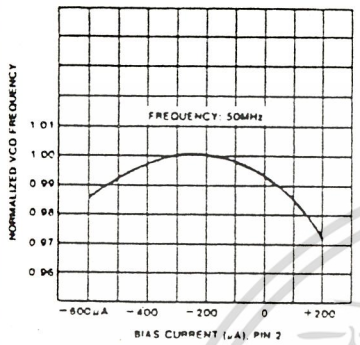
SE NE 564 TEST CIRCUIT



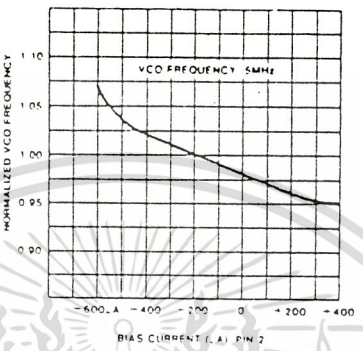
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE LOCKED LOOP

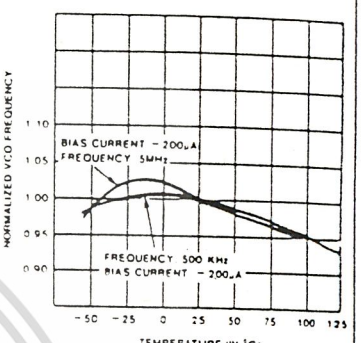
TYPICAL NORMALIZED VCO FREQUENCY AS A FUNCTION OF PIN 2 BIAS CURRENT



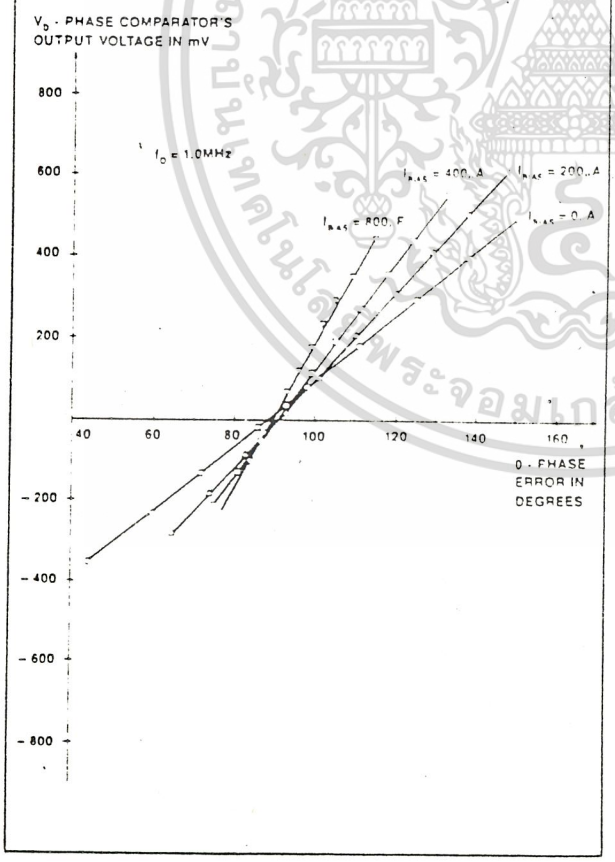
TYPICAL NORMALIZED VCO FREQUENCY AS A FUNCTION OF PIN 2 BIAS CURRENT



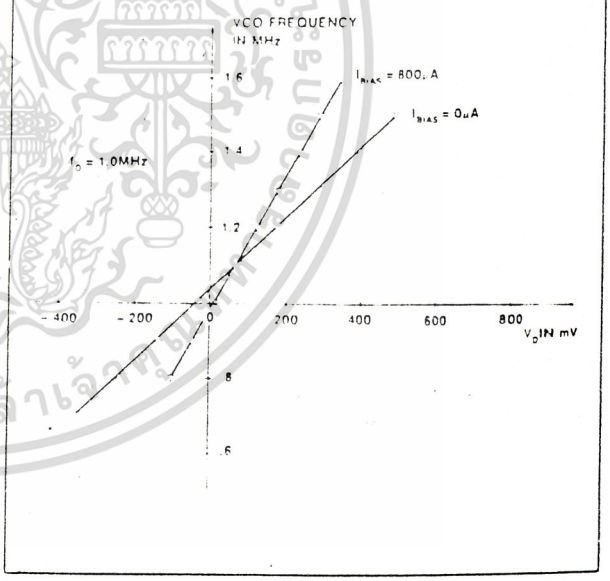
NORMALIZED VCO FREQUENCY AS A FUNCTION OF TEMPERATURE



VARIATION OF THE PHASE COMPARATOR'S OUTPUT VOLTAGE VERSUS PHASE ERROR AND BIAS CURRENT (K_D)



VCO OUTPUT FREQUENCY AS A FUNCTION OF INPUT VOLTAGE AND BIAS CURRENT (K_O)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION (figure 1)

The NE564 is a monolithic phase locked loop with a post detection processor. The use of Schottky clamped transistors and optimized device geometries extends the frequency of operation to greater than 50MHz. In addition to the classical PLL applications, the NE564 can be used as a modulator with a controllable frequency deviation.

The output voltage of the PLL can be written as shown in the following equation.

$$V_O = \frac{(f_{in} - f_o)}{K_{VCO}} \qquad \text{Equation 1}$$

K_{VCO} = conversion gain of the VCO
f_{in} = frequency of the input signal
f_o = free running frequency of the VCO

The process of recovering FSK signals involves the conversion of the PLL output into logic compatible signals. For high data rates, a considerable amount of carrier will be present at the output of the PLL due to the wideband nature of the loop filter. To avoid the use of complicated filters, a comparator with hysteresis or Schmitt trigger is required. With the conversion gain of the VCO fixed, the output voltage as given by Equation 1 varies according to the frequency deviation of f_{in} from f_o. Since this differs from system to system, it is necessary that the hysteresis of the Schmitt trigger be capable of being changed, so that it can be optimized for a particular system. This is accomplished in the 564 by varying the voltage at pin 15 which results in a change of the hysteresis of the Schmitt trigger.

For FSK signals, an important factor to be considered is the drift in the free running frequency of the VCO itself. If this changes due to temperature, according to Equation 1 it will lead to a change in the dc levels of the PLL output, and consequently to errors in the digital output signal. This is especially true for narrow band signals where the deviation in f_{in} itself may be less than the change in f_o due to temperature. This effect can be eliminated if the dc or average value of the signal is retrieved and used as the reference to the comparator. In this manner, variations in the dc levels of the PLL output do not affect the FSK output.

VCO Section

Due to its inherent high frequency performance, an emitter coupled oscillator is used in the VCO. In the circuit, shown in the equivalent schematic, transistors Q_{21} and Q_{23} with current sources $Q_{25} - Q_{26}$ form the basic oscillator. The approximate free running frequency of the oscillator is shown in the following equation:

$$f_o \approx \frac{1}{22\, R_C (C_1 + C_S)} \qquad \text{Equation 2}$$

$R_C = R_{19} = R_{20} = 100\Omega$ (INTERNAL)
C_1 = external frequency setting capacitor
C_S = stray capacitance

Variation of V_d (phase detector output voltage) changes the frequency of the oscillator. As indicated by Equation 2, the frequency of the oscillator has a negative

5

EQUIVALENT SCHEMATIC

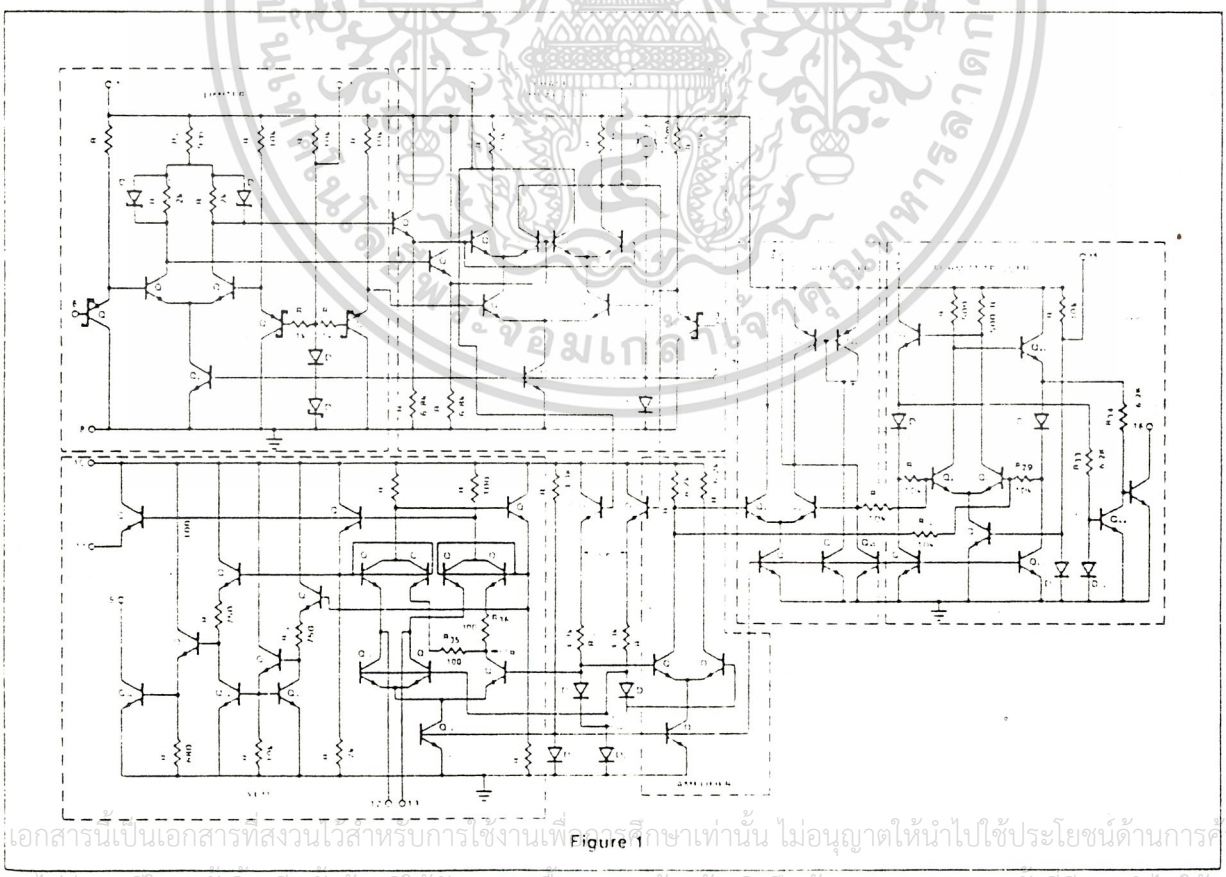


Figure 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE LOCKED LOOP

temperature coefficient due to the positive temperature coefficient of the monolithic resistor. To compensate for this, a current I_R with negative temperature coefficient is introduced to achieve a low frequency drift with temperature.

Phase Comparator Section

The phase comparator consists of a double balanced modulator with a limiter amplifier to improve AM rejection. Schottky clamped vertical PNPs are used to obtain TTL level inputs. The loop gain can be varied by changing the current in Q_4 and Q_{15} which effectively changes the gain of the differential amplifiers. This can be accomplished by introducing a current at pin 2.

Post Detection Processor Section

The post detection processor consists of a unity gain transconductance amplifier and comparator. The amplifier can be used as a dc retriever for demodulation of FSK signals, and as a post detection filter for linear FM demodulation. The comparator has adjustable hysteresis so that phase jitter in the output signal can be eliminated.

As shown in the equivalent schematic, the dc retriever is formed by the transductance amplifier Q_{42}–Q_{43} together with an external capacitor which is connected at the amplifier output (pin 14). This forms an integrator whose output voltage is shown in the following equation:

$$V_0 = \frac{g_m}{C_2} \int V_{in} dt \qquad \text{Equation 3}$$

g_m = transconductance of the amplifier
C_2 = capacitor at the output (pin 14)
V_{in} = signal voltage at amplifier input

With proper selection of C_2, the integrator time constant can be varied so that the output voltage is the dc or average value of the input signal for use in FSK, or as a post detection filter in linear demodulation.

The comparator with hysteresis is made up of Q_{49}–Q_{50} with positive feedback being provided by Q_{47}–Q_{48}. The hysteresis is varied by changing the current in Q_{52} with a resulting variation in the loop gain of the comparator. This method of hysteresis control, which is a dc control, provides symmetric variation around the nominal value.

Design Formula

The free running frequency of the VCO is shown by the following equation:

$$f_o \approx \frac{1}{25 R_0 (C_1 + C_S)} \qquad \text{Equation 4}$$

R_0 = 100Ω
C_1 = external cap in farads
C_S = stray capacitance

FM DEMODULATOR AT 5V

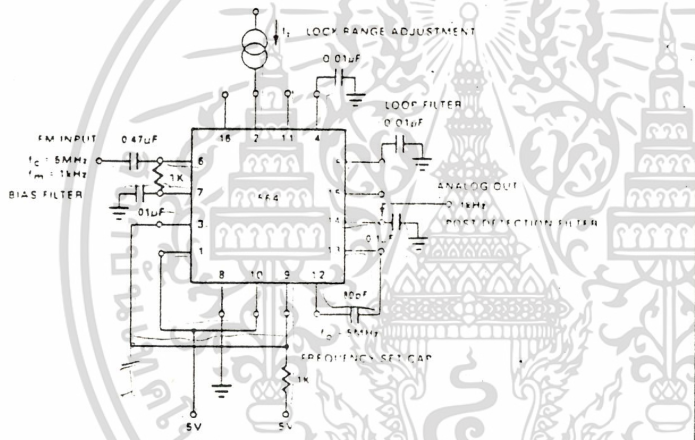


Figure 2

FM DEMODULATOR AT 12V

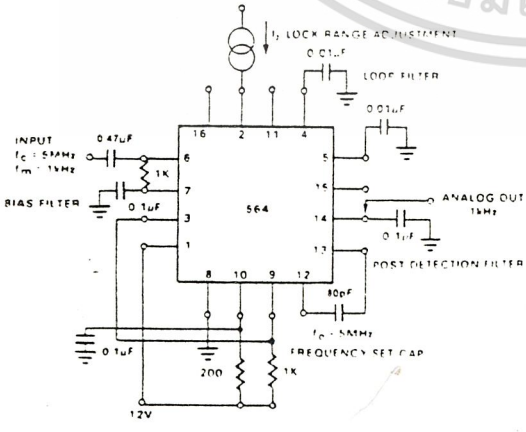


Figure 3

MODULATOR

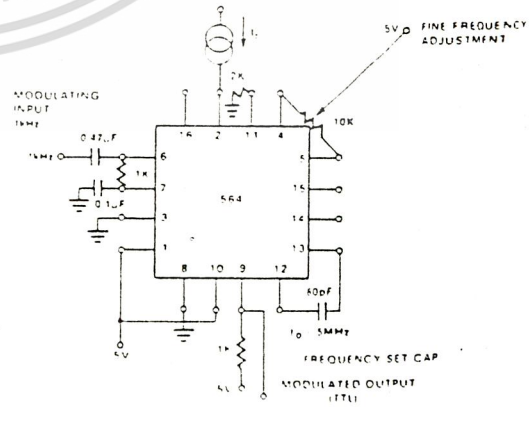


Figure 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The loop filter diagram shown is explained by the following equation:

$$F(s) = \frac{1}{1 + sRC_3} \text{ (First Order)} \qquad \text{Equation 5}$$

$R = R_{12} = R_{13} = 1.3k\Omega$ (INTERNAL)*

By adding capacitors to pins 4 and 5, a pole is added to the loop transfer function at

$$\omega = \frac{1}{RC_3}$$

*Refer to Figure 1.

APPLICATIONS

FM DEMODULATOR

The NE564 can be used as an FM demodulator. The connections for operation at 5V and 12V are shown in figures 2 and 3 respectively. The input signal is ac coupled with the output signal being extracted at pin 14. Loop filtering is provided by the capacitors at pins 4 and 5 with additional filtering being provided by the capacitor at pin 14. Since the conversion gain of the VCO is not very high, to obtain sufficient demodulated output signal the frequency deviation in the input signal should be 1% or higher.

MODULATION TECHNIQUES

The NE564 phase locked loop can be modulated at either the loop filter ports (pins 4 and 5) or the input port (pin 6) as shown in figure 4. The approximate modulation frequency can be determined from the frequency conversion gain curve shown in figure 5. This curve will be appropriate for signals injected into pins 4 and 5 as shown in figure 4.

FSK Demodulation

The 564 PLL is particularly attractive for FSK demodulation since it contains an internal voltage comparator and VCO which have TTL compatible inputs and outputs, and it can operate from a single 5 volt power supply. Demodulated dc voltages associated with the mark and space frequencies are recovered with a single external capacitor in a dc retriever without utilizing extensive filtering networks. An internal comparator, acting as a Schmitt trigger with an adjustable hysteresis, shapes the demodulated voltages into compatible TTL output levels. The high frequency design of the 564 enables it to demodulate FSK at high data rates in excess of 1.0M baud.

Figure 5 shows a high frequency FSK decoder designed for input frequency deviations of ± 1.0MHz centered around a free-running frequency of 10.8MHz. The value of the timing capacitance required was estimated from figure 8 to be approximately 40pF. A trimmer capacitor was added to fine tune f_o to 10.8MHz.

The lock range graph indicates that the ± 1.0MHz frequency deviations will be within the lock range for input signal levels greater than approximately 50mV with zero pin 2 bias current. While strictly this figure is appropriate only for 5MHz, it can be used as a guide for lock range estimates at other f_o frequencies.

The hysteresis was adjusted experimentally via the 10kΩ potentiometer and 2kΩ bias arrangement to give the waveshape shown in figure 7 for 20K, 500K, 2M baud rates with square wave FSK modulation. Note the magnitude and phase relationships of the phase comparators output voltages with respect to each other and to the FSK output. The high frequency sum components of the input and VCO frequency also are visible as noise on the phase comparators outputs.

5

10.8MHz FSK DECODER USING THE 564

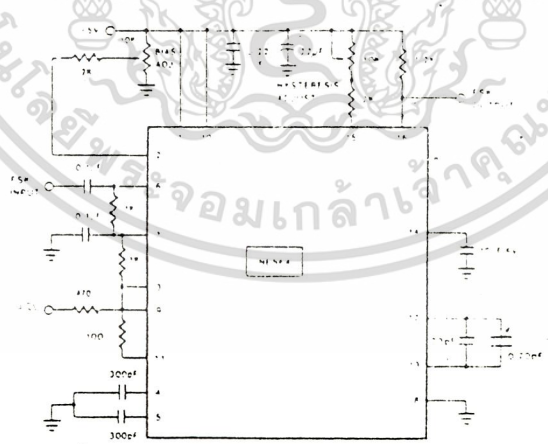
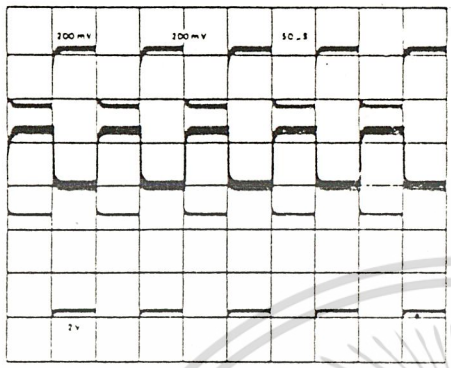


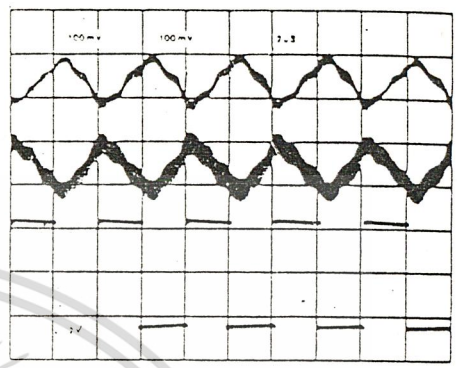
Figure 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

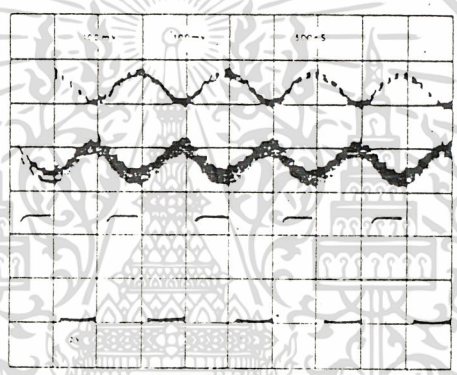
PHASE COMPARATOR (PINS 4 AND 5) AND FSK (PIN 16) OUTPUTS FOR DATA RATES OF



(a) 20K BAUD



(b) 500K BAUD



(c) 2.0M BAUD

NOTE
Top trace-pin 4
Center trace-pin 5
Bottom trace-pin 16

Figure 6

OUTLINE OF SETUP PROCEDURE

1. Determine operating frequency of the VCO – .
   If ÷ N in feedback loop, then
   $f_o = N \times f_{in}$.
2. Calculate value of the VCO frequency set capacitor:
   $$C_O = \frac{1}{2500\, f_o}$$
3. Set I_2 (current sinking into Pin 2) for ≅ 100μA. After operation is obtained, this value may be adjusted for best dynamic behavior.
4. Check VCO output frequency with digital counter at Pin 9 of device (loop open, VCO to ø det.). Adjust C_O trim or frequency adj. Pin 4-5 for exact center frequency if needed.
5. Close loop and inject input signal to Pin 6. Monitor Pin 3 and 6 with two channel scope. Lock should occur with $\Delta\phi_{3\text{-}6}$ equal to 90° (phase error).
6. If pulsed burst or ramp frequency is used for input signal, special loop filter design may be required in place of simple single capacitor filter on Pin 4 and 5. (See PLL application section in Analog Manual.)
7. The input signal to Pin 6 and the VCO feedback signal to Pin 3 must have a duty cycle of 50% for proper operation of the phase detector. Due to the nature of a balanced mixer if signals are not 50% in duty cycle, D.C. offsets will occur in the loop which tend to create an artificial or biased VCO offset.
8. For multiplier circuits where phase jitter is a problem, loop filter capacitors may be increased to a value of 10-50μF on Pin 4, 5. Also careful supply decoupling may be necessary. This includes the counter chain V_{CC} lines.

NE564
PHASE LOCKED FREQUENCY MULTIPLIER WITH VCXO

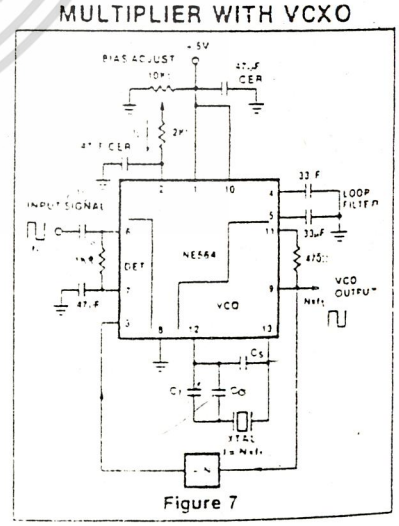


Figure 7

*For additional information, consult the Applications Section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้