เครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์
FM STEREO MULTIPLEX TRANSMITTER

โดย

นายถวิล คำพันธ์

นายทศพล พจนาพิมล

นายดารักษ์ เสียมไหม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์

FM STEREO MULTIPLEX TRANSMITTER

ชื่อนักศึกษา นายถวิล คำพันธ์

นายทศพล พจนานิมล

นายอารักษ์ เสียมไหม

อาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2537

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

..... กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์

โดย นายถวิล ค่าพันธ์ รหัส 36012052
นายทศพล นจนาพิมล รหัส 36012053
นายอารักษ์ เสียมไหม รหัส 36012085

อาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ
ปีการศึกษา 2537

บทคัดย่อ

ปริญญานิพนธ์นี้เสนอระบบเครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์ ซึ่งเนื้อหาจะกล่าวถึงหลักการของระบบของเครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์ขั้นพื้นฐาน จากหลักการขั้นพื้นฐานนี้เราได้นำมาประยุกต์ใช้กับระบบเครื่องส่งในปริญญานิพนธ์นี้ จุดที่สำคัญในปริญญานิพนธ์ คือชุด Stereo Encoder (Digital Stereo Generator) ซึ่งจะช่วยลดการ Cross talk ระหว่าง Channel ซ้าย และ Channel ขวา และ ง่ายต่อการสร้างสัญญาณ L-R 38 KHz ระบบเครื่องส่งนี้ส่วนมากจะใช้หลักการของ Phase Locked Loop เพื่อสร้างความถี่ให้คงที่ เช่น สัญญาณ Pilot Tone 19 KHz , สัญญาณ 38 KHz เพื่อใช้สร้างสัญญาณ L-R รวมทั้งชุดสร้างสัญญาณคลื่นพาห์ 107.5 MHz ซึ่งเป็นความถี่ของเครื่องส่งที่ใช้ส่ง ส่วนภาคขยายสุดท้ายใช้วงจรขยาย Class C เหมือนกับวงจรขยาย R.F. ทั่วๆไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FM STEREO MULTIPLEX TRANSMITTER

BY MR.TAWIN KOOMPOON NO.36012052
MR.TOSSAPOL POJJANAPIMOL NO.36012053
MR.ARUK SIAMMAI NO.36012085

ADVISER MR.KITDAKORN KLOMKARN
YEAR 1995

ABSTRACT

This project is concerned FM Stereo Multiplex Transmitter . In project describe about design FM Streo Multiplex Transmitter. Main design of project is stereo encoder (Digital Stereo Generator). These techniques improve the high frequency separation between left and right signals , reduce the harmonic content , and improve the modulation linearlity . Which FM transmitter use PLL for oscillate pilot tone 19 KHz , 38 KHz in L-R signals and the exitor generates carrier 107.5 MHz , R.F. amplifiers use class C amplifiers has been show in project.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ ได้สำเร็จลุล่วงไปได้ด้วยความช่วยเหลือเป็นอย่างดี ของ อาจารย์ กฤดากร กล่อมการ ซึ่งเป็นอาจารย์ที่ปรึกษาปริญญานิพนธ์ท่านได้ให้คำชี้แนะ และ ข้อคิดเห็นต่างๆ รวมทั้งความอดทนในการทำงาน พร้อมทั้งเงินทุนช่วยเหลือในการวิจัยบางส่วนมาตลอดการวิจัย 1 ปีเต็ม และ อาจารย์อีกท่านที่พวกเราจะลืมไม่ได้เช่นกัน อาจารย์ดลชัย สุขเจริญผล ที่ช่วยให้คำชี้แนะ รวมทั้งบรรยากาศที่ดีตลอดช่วงเวลาการทำวิจัย จึงขอขอบพระคุณอาจารย์มา ณ ที่นี้ด้วย

กลุ่มผู้วิจัยใคร่ขอกราบขอบพระคุณอาจารย์ทุกท่าน ที่ช่วยประสิทธิ์ประศาสตร์วิชาการต่างๆ ทำให้พวกเรามีความรู้และนำความรู้นั้นไปใช้ให้เกิดประโยชน์ในภายภาคหน้า

กลุ่มผู้วิจัยขอกราบขอบพระคุณ บิดา มารดา ที่คอยให้กำลังใจรวมทั้งเงินทุนทางด้านการศึกษามาโดยตลอดจนพวกเราได้สำเร็จการศึกษา ณ จุดๆนี้ซึ่งถือได้ว่าเป็นจุดที่ประสบความสำเร็จจุดหนึ่งของชีวิต

สุดท้ายนี้ ขอกราบขอบพระคุณ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง - นนทบุรี ที่ทำให้พวกเราได้มาศึกษาในระดับปริญาตรี โดยเฉพาะนนทบุรี ซึ่งเป็นทั้งที่ทำการวิจัย ที่เล่น กิน และ นอนของพวกเรา

รถทุกคัน บนถนน
รถไฟทุกขบวน บนราง
เรือทุกลำ ณ แม่น้ำเจ้าพระยา
เรามาถึงแล้ว...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค

บทที่

1 บทนำ	1
2 พื้นฐานของระบบเฟสล็อกลูป (PLL)	3
2.1 ทรานเฟอร์ฟังชั่น (Transfer Function)	3
2.2 ลูปเกน (Loop Gain)	9
2.3 ล็อกเรนจ์ (Looked Range)	10
2.4 แคปเจอร์เรนจ์ (Capture Range)	12
2.5 เฟสดีเทคเตอร์ (Phase detector)	12
2.5.1 มิกเซอร์ (Mixer)	12
2.5.2 แซมปลิ้งดีเทคเตอร์ (Sampling Detector)	13
2.5.3 ดิจิตอลเฟสดีเทคเตอร์ (Digital Phase Detector)	14
2.6 การสังเคราะห์ความโดยเฟสล็อกลูป	22
3 หลักการเครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์	30
3.1 การมอดูเลตทางความถี่ (Frequency Modulation)	30
3.2 ดัชนีการมอดูเลต (Modulation Index)	31
3.3 ไซด์แบนด์เอฟเอ็ม (FM Sideband)	32
3.4 แบนด์วิดท์ของสัญญาณเอฟเอ็ม (FM Bandwidth)	35
3.5 พรีเอ็มฟาสิสและดีเอ็มฟาสิส (Preemphasis & Deemphasis)	36
3.6 หลักการของเอฟเอ็มสเตอริโอมัลติเพล็กซ์ และ เอสซีเอส	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 บาลานซ์มอดูเลเตอร์ (Balance Modulator) 40
3.8 เครื่องสเตอริโอ 41
3.9 การส่งวิทยุกระจายเสียง 42
4 ดิจิตอลสเตอริโอเยนเนอเรเตอร์ (Digital Stereo Generator) 44
4.1 หลักการทำงานชุด Digital Stereo Generator 44
4.2 วงจร Oscillator 456 KHz 46
4.3 วงจร Divider 48
4.4 วงจร Oscillator 19 KHz (Pilot Tone) 49
4.5 วงจรเข้ารหัสสัญญาณสเตอริโอ (Stereo Encoder) 52
4.6 วงจร Preemphasis 54
4.7 วงจรเลื่อนเฟสสัญญาณ Pilot 55
4.8 วงจรรวมสัญญาณ (Summing) 56
5 การมอดูเลตสัญญาณเอฟเอ็ม (FM Modulation) 57
5.1 การออกแบบวงจรมอดูเลตสัญญาณเอฟเอ็ม 58
5.2 วงจร VCO 59
5.3 วงจรกรองความถี่ในลูป 62
5.4 วงจรหาร N 64
5.5 วงจรกำเนิดความถี่อ้างอิง 64
5.6 วงจร Wide Band Amplifier 67
6 วงจรขยายกำลังความถี่วิทยุ (R.F. Power Aplifier) 68
6.1 วงจรขยายกำลัง Class A 68
6.2 วงจรขยายกำลัง Class B 71
6.3 วงจรขยายกำลัง Class C 75
7 Compressor & Limitter 78
7.1 หน้าที่ของวงจร Compressor & Limitter 78
8 สรุปการวิจัยและข้อเสนอแนะ 80
เอกสารอ้างอิง 81
ภาคผนวก 82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 แนวความคิดในการทำปริญญานิพนธ์

ปัจจุบันการสื่อสารด้วยวิทยุยังใช้กันมากเพราะมีราคาถูก และ ง่ายต่อการดำเนินรายการ การสื่อสารด้วยวิทยุนั้นปัจจุบันยังมีการใช้งานอยู่ในย่าน MW (Medium Wave), SW (Short Wave) , VHF (Very High Frequency) ในการสื่อสารระบบ FM Stereo Multiplex จะใช้งานในย่าน VHF ความถี่ที่ใช้งานอยู่ระหว่าง 88-108 MHz ระบบ FM Stereo Multiplex นี้ ยังเป็นที่นิยมกันมากในปัจจุบัน เพราะให้คุณภาพเสียงที่ดีกว่า ระบบอื่นๆ ที่ส่งอยู่ในปัจจุบัน เช่น ระบบ AM และ SW แต่ในระบบ FM มีข้อเสีย คือ ไม่สามารถส่งไปได้ไกลมากนัก ซึ่งเป็นผลจากคุณสมบัติของคลื่น ถ้าจะทำการส่งในระยะไกลก็ต้องมี Repeater เพื่อที่จะเป็นตัวทวนสัญญาณในการที่จะส่งสัญญาณต่อไปเพื่อให้บริเวณที่อยู่ระยะไกลๆ สามารถรับได้

ปริญญานิพนธ์นี้ได้นำเสนอ เครื่องส่ง FM Stereo Multiplex ซึ่งใช้ความถี่ 107.5 MHz เป็นความถี่สถานีเพื่อใช้ในการส่งแพร่กระจายเสียง ในการทำปริญญานิพนธ์นี้ก็เพื่อที่จะศึกษาระบบ การส่งแบบ FM ที่ใช้กันอยู่ในปัจจุบันโดยเริ่มทำการวิจัยตั้งแต่ภาค Stereo Encoder จนถึงภาคขยายสุดท้าย (Power Amplifier) และ ต้องการให้สามารถส่งออกอากาศได้จริงเหมือนสถานีส่งเอฟเอ็มทั่วไป

1.2 องค์ประกอบของปริญญานิพนธ์

บทที่ 2 กล่าวถึงทฤษฎีของ Phase Locked Loop (PLL) และ การสังเคราะห์ความถี่ (Frequency Synthesizer) เพราะเป็นส่วนหนึ่งที่ใช้ในการออกแบบวงจรของระบบเครื่องส่ง

บทที่ 3 กล่าวถึงหลักการของเครื่องส่ง FM Stereo Multiplex โดยเนื้อหาจะกล่าวถึง ทฤษฎีเกี่ยวกับการมอดูเลตทางความถี่ (FM) ลักษณะสเปคตรัมและหลักการพื้นฐานของเครื่องส่งในระบบนี้

บทที่ 4 กล่าวถึงภาค Digital Stereo Generator เพราะเป็นชุดที่ใช้ในการเข้ารหัสสัญญาณสเตอริโอ (Stereo Encoder) ซึ่งวงจรภายในภาคนี้จะใช้ระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital ทั้งหมด ทำให้ง่ายต่อการออกแบบและวงจรมีขนาดเล็ก ภายในบทนี้จะอธิบายการทำงานในภาคต่างๆ รวมทั้งการออกแบบวงจร โดยเฉพาะชุด L-R 38 KHz จะใช้ Analog Switch ในการสร้างสัญญาณ และใช้วงจร PLL ในการสร้างสัญญาณต่างๆ เช่น Pilot Tone 19 KHz ,สัญญาณ 38 KHz เพื่อนำไปใช้ในการควบคุม Analog Switch

บทที่ 5 กล่าวถึงการมอดูเลตสัญญาณ FM ซึ่งเป็นแบบ Direct Modulation หรือ Reactance Modulation รวมทั้งกล่าวถึง การผลิตความถี่ของคลื่นพาห์ 107.5 MHz โดยมีการใช้ Prescaler ในการหารความถี่สูง เพื่อให้เป็นไปตามหลักการของ Frequency Synthesizer ทำให้สามารถผลิตความถี่ได้ตรงที่ และสามารถปรับความถี่ได้ตามต้องการ

บทที่ 6 กล่าวถึงภาค Power Amplifier ซึ่งจะกล่าวถึงวงจรขยายกำลังClass A,B และ C สำหรับวงจรที่ใช้งานจริงจะใช้วงจรขยาย Class C (ประมาณ 10 Watt)

บทที่ 7 กล่าวถึงภาค Compressor & Limitter ซึ่งในระบบเครื่องส่งควรจะต้องมีไว้ เพื่อป้องกันการ Over Modulation และ Side Band ไปรบกวนความถี่ของสถานีข้างเคียงแต่ในโครงงานนี้จะยังไม่มีภาคนี้อยู่ในระบบเครื่องส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

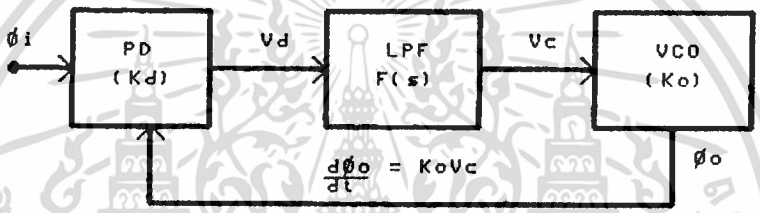
บทที่ 2

พื้นฐานของระบบเฟสล็อกลูป

(Phase Locked Loop)

2.1 ทรานเฟอร์ฟังชั่น (Transfer Function)

พิจารณาจากระบบในรูปที่ 2.1 ซึ่งเป็นลูปลักษณะพื้นฐาน (Elementary Loop) ซึ่งประกอบด้วย PD เฟสดีเทคเตอร์, ลูปฟิลเตอร์และ VCO วงจรควบคุมด้วยแรงดัน



รูปที่ 2.1 แสดงโครงสร้างของระบบเฟสล็อกลูป

สัญญาณอินพุท มีเฟส $\phi_i(t)$ และ VCO เอาท์พุทมีเฟส $\phi_o(t)$ สมมุติว่าระบบในสภาวะล็อก (Locked), PD มีการทำงานแบบเชิงเส้น และ PD มีเอาท์พุทที่เป็นสัดส่วนกับความแตกต่างของเฟสของอินพุททั้งสอง ดังนั้น

$$V_d = K_d(\phi_i - \phi_o) \qquad \ldots(1)$$

เมื่อ K_d คือ เกนแฟคเตอร์ (Gain Factor) หรือ คอนเวอร์ชั่นเกน (Conversion Giin) วัดเป็นโวลท์ต่อเรเดียน (V/rad)

แรงดัน V_d จะถูกฟิลเตอร์โดยลูปฟิลเตอร์สัญญาณรบกวนและส่วนประกอบของสัญญาณที่เป็นความถี่สูงจะถูกกำจัดออกไป ลูปฟิลเตอร์จะเป็นตัวกำหนดคุณสมบัติทางพลศาสตร์ของลูป (Dynamic Performance) ทรานเฟอร์ฟังชั่นของลูปกำหนดโดย F(s)

ความถี่ของ VCO กำหนดจากแรงดันควบคุมที่อินพุท V_c ทำให้ความถี่เบี่ยงเบนไปจากความถี่ศูนย์กลางไปด้วยขนาด $\Delta W = K_o V_c$ เมื่อ K_o คือเกนแฟคเตอร์ของ VCO วัดเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

rad/sec/v เนื่องจากความถี่เป็นอนุพันธ์ (Derivative) ของเฟสการทำงานของ VCO อาจพิจารณาได้จาก $d\phi_o/dt=K_oV_c$ โดยใช้วิธีลาปลาซทรานฟอร์มส์จะได้ว่า

$$L\left[\frac{d\phi_o(t)}{dt}\right] = S\phi_o(s) = K_oV_c(s) \qquad ...(2)$$

ดังนั้น

$$\phi_o(s) = \frac{K_oV_c(s)}{S}$$

เฟสของสัญญาณเอาท์พุทของ VCO จะมีความสัมพันธ์เชิงเส้นกับอินทิกรัลของแรงดันควบคุม (V_c) โดยใช้วิธีลาปลาซทรานฟอร์มส์เช่นกันจะได้

$$V_d(s) = K_d[\phi_i(s)-\phi_o(s)] \qquad ...(3)$$

$$V_c(s) = F(s)V_d(s) \qquad ...(4)$$

$$\phi_o(s) = \frac{K_oV_c(s)}{S} \qquad ...(5)$$

จากสมการที่ (1) ถึง (5) จะได้สมการพื้นฐานของลูปคือ

$$\frac{\phi_o(s)}{\phi_i(s)} = B(s) = \frac{K_oK_dF(s)}{S+K_oK_dF(s)} \qquad ...(6)$$

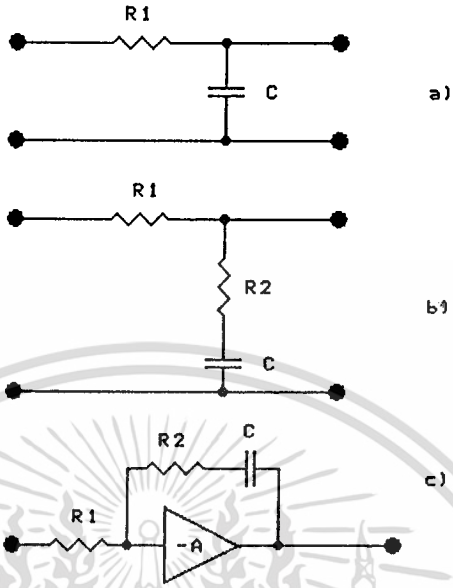
ซึ่ง B(s) ทรานเฟอร์ฟังชั่นของลูปปิด (Closed Loop Transferfunction)

$$\frac{\phi_i(s)-\phi_o(s)}{\phi_i(s)} = \frac{\phi_e(s)}{\phi_i(s)} = \frac{S}{S+K_oK_dF(s)} = 1-B(s) \qquad ...(7)$$

$$V_c(s) = \frac{SK_dF(s)\phi_i(s)}{S+K_oK_dF(s)} = \frac{S\phi_i(s)B(s)}{K_o} \qquad ...(8)$$

ต่อไปจะกล่าวถึงลูปฟิลเตอร์ ซึ่งเป็นตัวกำหนดคุณสมบัติเชิงพลศาสตร์ของระบบก่อนที่จะพิจารณาการทำงานของลูปต่อไป ฟิลเตอร์ที่ใช้มีลักษณะพื้นฐาน 3 แบบ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงลูปฟิลเตอร์

$$F(s) = \frac{1}{SR_1C+1}$$

$$F(s) = \frac{SR_2C+1}{SC(R_1+R_2)+1} = \frac{ST_2+1}{ST_1+1}$$

$$T_1 = (R_1+R_2)C \quad , T_2 = R_2C$$

$$F(s) = \frac{-A(SR_2C+1)}{SR_2C+1+(1+A)(SR_1C)}$$

ถ้า A มีขนาดใหญ่มาก ๆ

$$F(s) \simeq \frac{-SR_2C+1}{SR_1C} = \frac{-ST_2+1}{ST_1}$$

$$T_2 = R_2C \quad , T_1 = R_1C$$

สำหรับหาสซีฟฟิลเตอร์ชนิดที่ 2 จะให้ทรานเฟอร์ฟังชั่นของลูปปิด คือ

$$B_1(s) = \frac{K_oK_d(ST_2+1)/T_1}{S^2+S(1+K_oK_dT_2)/T_1+K_oK_d/T_1} \qquad ...(9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับเมื่อแก้ไขการกลับเฟสของวงจรขยาย A แล้วจะได้ทรานเฟอร์ฟังชั่นของ ลูป ปิด คือ

$$B_n(s) = \frac{K_o K_d (ST_2+1)/T_1}{S^2+S(K_o K_d T_2/T_1)+K_o K_d/T_1} \qquad ...(10)$$

ทรานเฟอร์ฟังชั่นทั้งสอง สามารถเขียนในรูป

$$B_1(s) = \frac{S(2\zeta W_n - W_n^2/K_o K_d)+W_n^2}{S^2+2\zeta W_n S+W_n^2} \qquad ...(11)$$

$$B_2(s) = \frac{2\zeta W_n S+W_n^2}{S^2+2\zeta W_n S+W_n^2} \qquad ...(12)$$

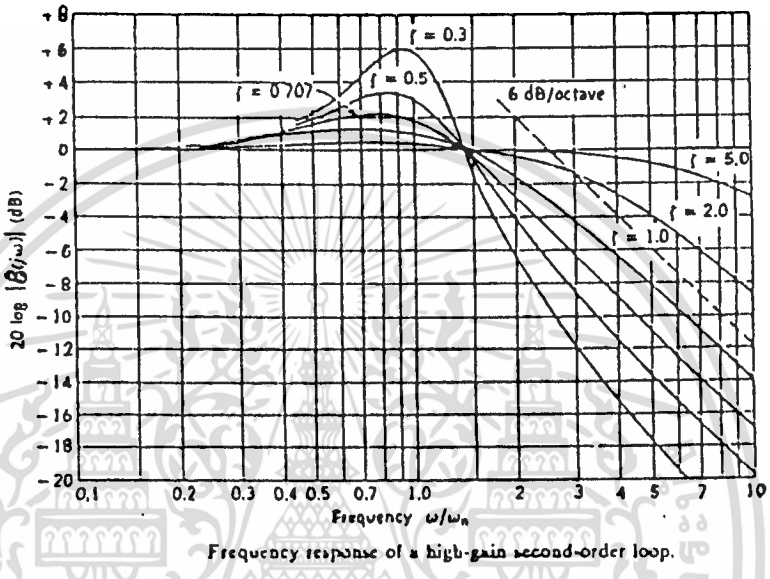
สมการที่(11)และ(12)เขียนในรูปของวิธีควบคุมป้อนกลับ (Feedback Control) โดยเรียก W_n ว่าความถี่ธรรมชาติของลูป (Natural Frequency) และ แดมปิ้งแฟคเตอร์ของลูป(Damping Factor)

Passive	Active
$W_n = \left[\frac{K_o K_d}{T_1}\right]^{1/2}$	$W_n = \left[\frac{K_o K_d}{T_1}\right]^{1/2}$
$\zeta = \frac{1}{2}\left[\frac{K_o K_d}{T_1}\right]^{1/2}\left[\frac{T_2+1}{K_o K_d}\right]$	$\zeta = \frac{T_2}{2}\left[\frac{K_o K_d}{T_1}\right]^{1/2} = \frac{T_2 W_n}{2}$
$T_1 = (R_1+R_2)C$	$T_1 = R_1 C$
$T_2 = R_2 C$	$T_2 = R_2 C$ ...(13)

จะเห็นว่าทรานเฟอร์ฟังชั่นจะคล้ายกันมากถ้า $1/K_o K_d \ll T_2$ ในกรณีของพาสซีฟและจากสมการกำลังสูงสุดของส่วน คือ 2 ลูปจึงเรียกเป็นลูปอันดับ 2 (Second Order)จากทฤษฎีของระบบควบคุมแบบ Type ของลูปจะเท่ากับจำนวนของ Perfect Integrator ภายในลูป ดังนั้นระบบ PLL ใดๆ อย่างน้อยที่สุดก็จะเป็นลูปแบบที่ 1 (Type I) เนื่องจาก VCO เป็น Perfect Integrator และถ้าลูปฟิลเตอร์ประกอบด้วย Perfect Integrator อีกหนึ่งตัวลูปก็จะเป็นแบบที่ 2 (Type II) ดังนั้น PLL อันดับ 2 ที่มีแอคทีฟฟิลเตอร์ก็จะถือได้ว่าเป็นลูปแบบที่ 2 โดยฟิลเตอร์เป็นตัว Integrator ที่เพิ่มมา ในขณะที่ PLL มีพาสซีฟฟิลเตอร์เป็นลูปแบบที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

. การตอบสนองความถี่ของลูปเกนสูง(High Gain Loop)หมายถึงลูปที่ $K_oK_dT_2>>1$ สำหรับพาสซีฟ และ $|A|T_1>>T_2$ สำหรับแอคทีฟฟิลเตอร์เมื่อ Damping Factor เปลี่ยนไปแสดงดังรูปที่ 2.3 จะเห็นว่ามีลักษณะเป็น Low Pass Filter ทำงานเป็นเฟสอินพุทของลูป



Frequency response of a high-gain second-order loop.

รูปที่ 2.3 แสดงผลตอบสนองความถี่ของลูปอันดับ 2 (High Gain)

ผลตอบสนองความผิดพลาด (Error Response) ของลูปอันดับ 2 High Gain คือ

$$\frac{\theta_e(s)}{\theta_i(s)} = \frac{S^2}{S^2+2\zeta W_n S+W_n^2} \qquad ...(14)$$

ขณะที่ลูป Low Gain

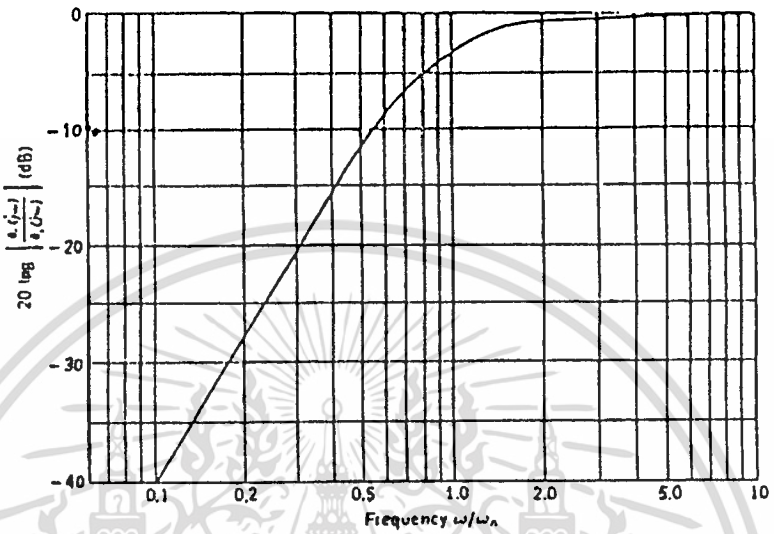
$$\frac{\theta_e(s)}{\theta_i(s)} = \frac{S(S+W_n^2/K_oK_d)}{S^2+2\zeta W_n S+W_n^2} = \frac{S(S+1/T_1)}{S^2+2\zeta W_n S+W^2} \qquad ...(15)$$

ผลตอบสนองต่อความผิดพลาดเชิงเฟสแสดงดังรูป 2.4 สำหรับลูป High Gain ที่ $\zeta = 0.707$ จะเห็นว่ามีคุณสมบัติเป็น High Pass คือลูปสามารถ Tracking ตามความเปลี่ยนแปลงความถี่ต่ำ แต่ไม่สามารถ Tracking ตามการเปลี่ยนแปลงความถี่สูงได้

Band Width ของลูปกำหนดโดยให้ $|B(jw)|^2=0.5$ และหาค่า W ออกมาจะได้ว่า

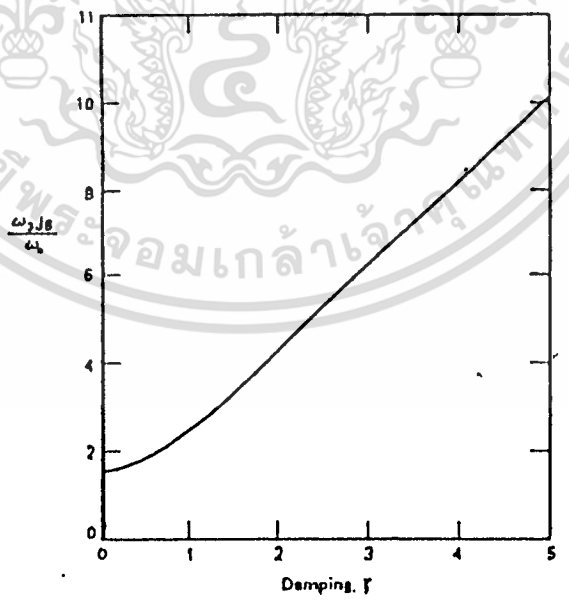
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$W_{3dB} = W_n[2\zeta^2+1+\sqrt{(2\zeta^2+1)^2+1}]^{1/2}$$



Error response of high-gain loop, $\zeta = 0.707$.

รูปที่ 2.4 แสดงผลตอบสนองความผิดพลาดเชิงเฟสของลูปเกนสูง



Three-decibel bandwidth of a second-order loop.

รูปที่ 2.5 Bandwidth ของลูปอันดับ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2. ลูปเกน (Loop Gain)

ทรานเฟอร์ฟังชั่นลูปเปิดของ PLL กำหนดจาก

$$G(s) = \frac{K_o K_d F(s)}{S} \qquad ...(16)$$

ทรานเฟอร์ฟังชั่นลูปปิดของ PLL กำหนดจาก

$$B(s) = \frac{G(s)}{1+G(s)} \qquad ...(17)$$

และ DC ลูปเกนกำหนดจาก

$$K_v = K_o K_d F(o)$$

มีขนาดเป็นความถี่ (Dimension of Frequency) rad/sec คุณสมบัติของลูปเกนที่ดีต้องการ K_v มีขนาดใหญ่ F(s) ของฟิลเตอร์เป็นฟังชั่นตรรกยะ (Rational Function)

$$F(s) = \frac{g(S-Z_1)(S-Z_2)\ldots(S-Z_m)}{(S-P_1)(S-P_3)\ldots(S-P_{n1})}$$

สำหรับ PLL อันดับที่ n ฟิลเตอร์จะมีจำนวน m ได้ไม่มากกว่าจำนวน n-1 ถ้า m = n-1 (กรณีที่พบบ่อยใน PLL) ดังนั้น g=F(α)

เมื่อกระจาย F(s) ให้เป็นเศษส่วนย่อยเกนของลูปเปิดจะเขียนได้ว่า

$$G(s) = \frac{K}{S}\left[a1 + \sum_{i=1}^{n-1} \frac{ai+1}{S-Pi} \right] \qquad ...(18)$$

สมมติเป็นการชั่วคราวว่าทุกๆ Pole เป็น Simple Pole กับค่า Residue ai+1 เรียก K ว่าเป็นลูปเกน a1 จะเป็นศูนย์ ถ้า m<n-1 และ a1 เป็น 1 ถ้า m = n-1 ในการออกแบบระบบ PLL มักจะกำหนดให้ a1=1 นั้นคือ จำนวน Pole จะเท่ากับ จำนวน Zero ในฟิลเตอร์

ใน PLL ระบบอันดับ 2 ที่ใช้ฟิลเตอร์เป็นชนิดพาสซีฟ รูปที่ 2.2b จะเป็น

$$F(s) = \frac{ST_2+1}{ST_2+1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการ 035020

$$G(s) = \frac{K_o K_d T_2}{T_1 S}\left(1+\frac{1}{T_2}-\frac{1}{T_1}\right)\frac{1}{S+1/T_1} = \frac{K}{S}\left(1+\frac{a2}{S+1/T_1}\right)$$

$$K = \frac{K_o K_d T_2}{T_1} \quad ; \quad a1 = 1 \quad ; \quad a2 = \frac{1}{T_2} - \frac{1}{T_1}$$

สำหรับแอคทีฟฟิลเตอร์

$$F(s) = \frac{ST_2+1}{ST1}$$

$$G(s) = \frac{K_o K_d T_2}{ST_1}\left(1+\frac{1}{ST_2}\right) = \frac{K(1+a2)}{S}\cdot\frac{1}{S}$$

$$K = \frac{K_o K_d T_2}{T_1} \quad ; \quad a1 = 1 \quad ; \quad a2 = \frac{1}{T_2}$$

$$W_n = \sqrt{Ka2} = \frac{1}{2}\sqrt{\frac{K}{a2}}$$

ลูปเกนมีผลต่อตำแหน่งของ Pole บน Complex Plan Pole จะเปลี่ยนตำแหน่งไปเมื่อลูปเกนเปลี่ยนและสามารถวิเคราะห์ได้ด้วยวิธีทางเดินของราก (Root Locus Plot) การวิเคราะห์ระบบ PLL ยังสามารถทำได้ด้วยวิธี Bode Plot เช่นกัน

2.3 ล็อกเรนจ์ (Locked Range)

เป็นย่านความถี่ซึ่งลูปสามารถ Tracking ตามการเปลี่ยนแปลงความถี่ของอินพุท อาจเรียกได้ว่า Tracking Range หรือ Hold In Range กรณีนี้ภาวะเริ่มต้นลูปจะอยู่ในสภาวะล็อก กำหนดจาก DC Loop Gain K_V โดย

$$W_L = K_v = K_d K_o F(o) \quad \text{rad/s} \qquad ...(19)$$

ซึ่งไม่ขึ้นอยู่กับพารามิเตอร์ของฟิลเตอร์ อย่างไรก็ตาม F(o) ของพาสซีฟฟิลเตอร์ คือ 1 และของแอคทีฟฟิลเตอร์ คือ A จะเห็นว่าฟิลเตอร์แบบแอคทีฟจะให้ W_L กว้างกว่าและความผิดพลาดเชิงเฟสในสภาวะ Steady State น้อยกว่าโดยความผิดพลาดเชิงเฟส คือ

$$\theta_e(s) = \frac{S\theta_i(s)}{S+K_o K_d F(s)} \qquad ...(20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากทฤษฎี Final Value Theorem

$$\lim_{t\to\infty} Y(t) = \lim_{S\to 0} SY(s) \qquad \ldots(21)$$

$$\lim_{t\to\infty} e_o(t) = \lim_{S\to 0} \frac{S^2 e_i(s)}{S+K_o K_d F(s)} \qquad \ldots(22)$$

ถ้าพิจารณาสภาวะ Steady State ของระบบเมื่อการเปลี่ยนแปลงอินพุทเป็น ชนิดขั้น(Step)ทำให้ e_i เปลี่ยนไปด้วยขนาด Δe ลาปลาซทรานฟรอมส์ของอินพุทจะเป็น $e_i(s) = \Delta e/S$ แทนค่าในสมการ(22) จะได้ว่า

$$\lim_{t\to\infty} e_o(t) = \lim_{S\to 0} \frac{S\Delta e}{S+K_o K_d F(s)} = 0 \qquad \ldots(23)$$

กำหนดให้ $F(o) >> 0$ กรณีนี้จะพบว่าในทางทฤษฎีแล้วระบบอันดับ 2 Type II จะไม่มีผลของการผิดพลาดในสภาวะ Steady State Error เนื่องจากเฟสอินพุทเปลี่ยนไปในลักษณะ Step

ถ้าพิจารณาความผิดพลาดในสภาวะ Steady State เนื่องจากการเปลี่ยนแปลงความถี่อินพุท ด้วยขนาด ΔW เฟสของสัญญาณอินพุทจะเปลี่ยนแปลงไปเป็นแบบ Ramp $e_v(t) = \Delta Wt$, $e_i(s) = \Delta W/S^2$ แทนค่า e_i ในสมการ(22) จะได้ว่า

$$e_v = \lim_{t\to\infty} e_o(t) = \lim_{S\to 0} \frac{\Delta W}{S+K_o K_d F(s)} = \frac{\Delta W}{K_o K_d F(o)} \qquad \ldots(24)$$

โดย $K_o K_d F(o)$ เรียกว่าเป็นค่าคงที่ความเร็ว (Velocity Contance) หรือ DC ลูปเกน(K_v)

จากสมการ(24)จะพบว่าที่ ΔW ขนาดเดียวกันแอคทีฟฟิลเตอร์จะให้ขนาดของความผิดพลาดเชิงเฟสในสภาวะ Steady State น้อยกว่าแบบพาสซีฟด้วยค่าของ A เท่าดังนั้นตัว PD จะมีการสั้นเปลืองกำลังน้อยกว่า ถ้า F(s) เป็นแบบแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 แคปเจอร์เรนจ์ (Capture Range)

หรืออาจเรียกว่า Locked In Range ที่กล่าวมาเป็นสถานะของระบบเมื่ออยู่ในสภาวะล็อก ส่วน Capture Range เป็นสถานะของระบบก่อนที่จะล็อกซึ่ง หมายถึง ความถี่อินพุทอยู่ใกล้ความถี่ VCO ขนาดใดลูปจะสามารถล็อกได้ Capture Range (W_c)จะเกี่ยวข้องกับพารามิเตอร์ของฟิลเตอร์ล้วยโดยสำหรับ ลีด-แล็ก ฟิลเตอร์จะประมาณ

$$W_c \simeq W_L\left(\frac{R_2}{R_1+R_2}\right) \quad \text{rad/s} \qquad \ldots(25)$$

และแอคทีฟฟิลเตอร์

$$W_c = W_L(R_2/R_1) \qquad \ldots(26)$$

2.5 เฟสดีเทคเตอร์ (Phase Detector)

เฟสดีเทคเตอร์เป็นวงจรซึ่งให้เอาท์พุทเป็นแรงดัน(อนาลอก) หรือความกว้างของพัลซ์(ดิจิตอล) ซึ่งเป็นอัตราที่แปลผันตามความต่างเฟสของสัญญาณอินพุททั้งสอง เฟสดีเทคเตอร์เป็นส่วนประกอบสำคัญของระบบ PLL วงจรซึ่งสามารถทำหน้าที่เฟสดีเทคเตอร์ได้คือ

2.5.1 มิกเซอร์ (Mixers)

มิกเซอร์ หรือ มัลติพลายเออร์ (Multipliers) ใช้เป็น PD ในวงจรอนาลอกเฟสล็อกลูปถ้าให้อินพุทของวงจรเป็น $\bullet_1=A_1\mathrm{Sin}W_0(t)$ มาเปรียบเทียบกับเฟสของสัญญาณอ้างอิง $\bullet_2=A_2\mathrm{Sin}(W_0(t)+\phi)$ เมื่อ ϕ เป็นความต่างเฟสของสัญญาณทั้งสองเอาท์พุทของมิกเซอร์ $\bullet_0$ คือ

$$\bullet_0 = \bullet_1\bullet_2 = \frac{A_1A_2K\mathrm{Cos}\phi}{2} - \frac{A_1A_2K\mathrm{Cos}(2W_0(t)+\phi)}{2} \qquad \ldots(27)$$

เมื่อ K เป็นเกนของมิกเซอร์ เทอมที่ 2 ของสมการที่ (1) จะถูกฟิลเตอร์ออกไปดังนั้น

$$\bullet_0 = \frac{A_1A_2K\mathrm{Cos}\phi}{2} \qquad \ldots(28)$$

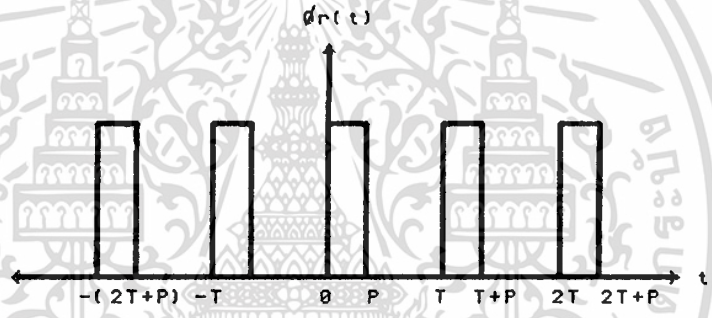
จากสมการ (28) เอาท์พุทของมิกเซอร์จะเป็นศูนย์ เมื่อ $\phi=\pi/2$ ซึ่งหมายความว่าถ้า $\bullet_1$ และ $\bullet_2$ ต่างเฟสกัน 90 องศาวงจรมิกเซอร์จะให้เอาท์พุทเป็นศูนย์ และ จะให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

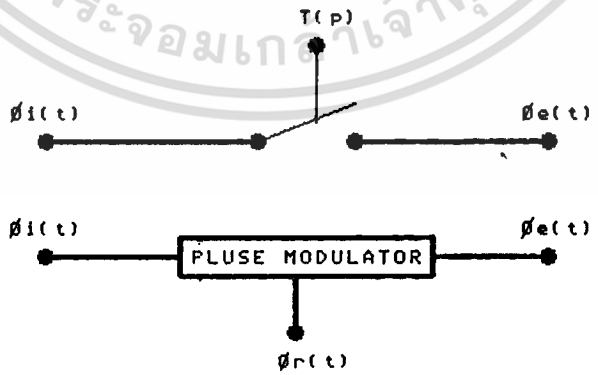
เอาท์พุทสูงสุดเมื่อ ϕ_i และ ϕ_r มีเฟส 0 และ 180 องศา จะเห็นว่านอกจาก ϕ แล้ว เอาท์พุทจะแปลตามขนาดของสัญญาณของสัญญาณอินพุทด้วยวงจรที่ทำหน้าที่นี้ได้แก่ Balance Mixers

2.5.2 แซมปลิ้งดีเทคเตอร์ (Sampling Detector)

เราสามารถแยกความต่างเฟสของสัญญาณสองสัญญาณได้โดยกำหนดสัญญาณอ้างอิง ϕ_r เป็นสัญญาณพัลซ์ซึ่งมีคาบเวลาคงที่ไปทำการ Sampling สัญญาณอินพุท ϕ_i ด้วยช่วงเวลาสั้นๆ (P) ดังรูป



รูปที่ 2.6 แสดงชบวนพัลซ์เพื่อใช้ในการ Sampling



รูปที่ 2.7 แสดงวงจร Pulse Modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทของวงจรในรูปที่ 2.7 จะเป็น

$$\phi_o(t) = \phi_i(t)\phi_r(t) \qquad \ldots(29)$$

โดยที่

$$\phi_r(t) = \sum_{n=-\infty}^{\infty} Cn\phi^{jnWot} \qquad \ldots(30)$$

เมื่อ

$$C_n = \frac{1}{T}\int_0^P An\phi^{-jnWot}\,dt \qquad \ldots(31)$$

$$= \frac{4Ar}{T}\,\mathrm{Sin}\,\frac{nW_oP}{2}\,\phi^{-jnWoP/2} \quad ; \quad n\neq 0$$

$$= \frac{ArP}{T} \quad ; \quad n=0$$

ดังนั้น

$$\phi_r(t) = \frac{A_rP}{T} + \sum_{n=1}^{\infty}\frac{4A_r}{T}\,\mathrm{Sin}\,\frac{nW_oP}{nW_o}\,\mathrm{Cos}\,nW_o(t-P/2) \qquad \ldots(32)$$

ถ้าสัญญาณอินพุทเป็น Sinewave

$$\phi_i(t) = A_i\mathrm{Sin}(W_it+\phi)$$

โดยแทนค่า $\phi_r(t)$ และ $\phi_i(t)$ ในสมการ(29)

$$\phi_o(t) = \frac{A_iA_r}{T}\left[P\mathrm{Sin}(W_it+\phi)+2\sum_{n=1}^{\infty}\frac{\mathrm{Sin}\,nW_oP}{nW_o}\left[\mathrm{Sin}\left((nW_o+W_i)t+\phi-\frac{nW_oP}{2}\right)+\mathrm{Sin}\left(W_it+\phi+\frac{nW_oP}{2}\right)\right]\right] \qquad \ldots(33)$$

เมื่อ $W_i=W_o$ จะได้เทอมเป็น DC คือ

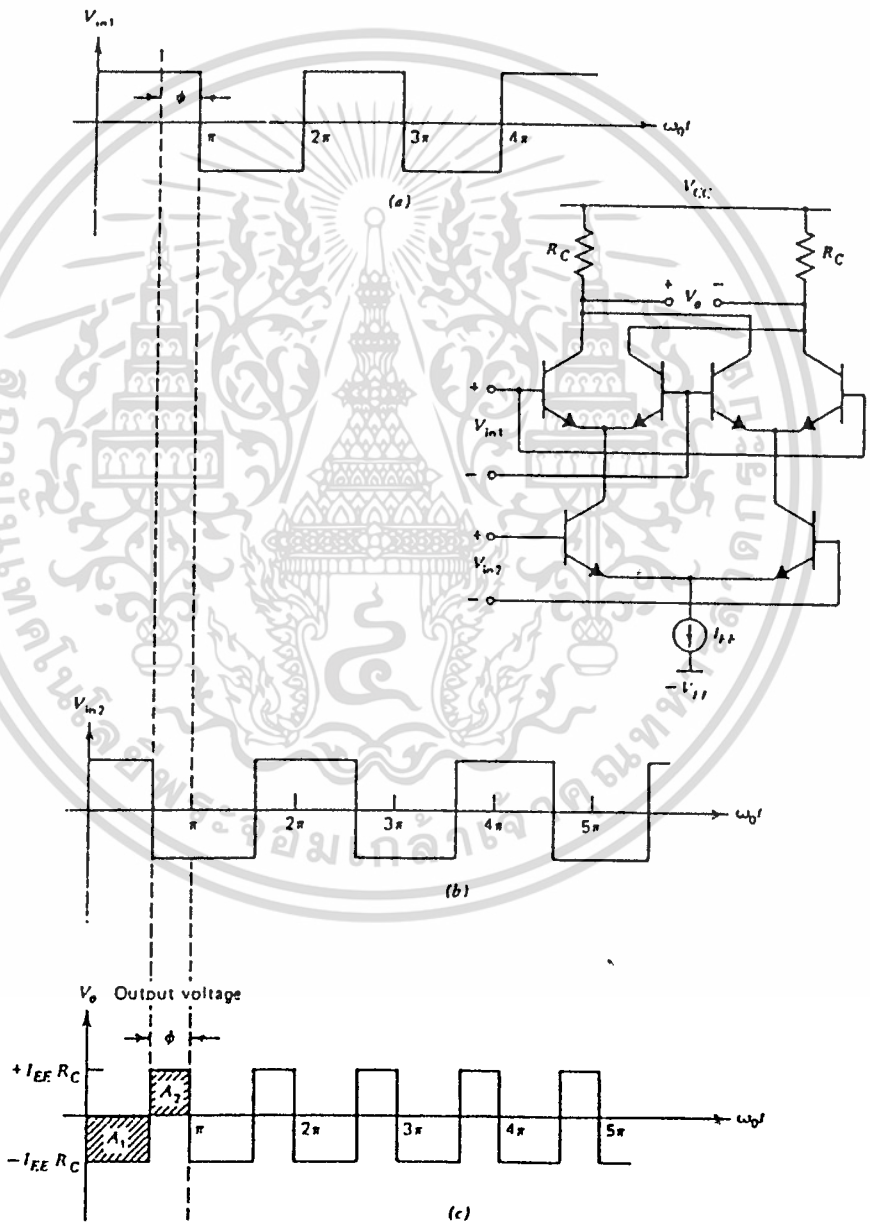
$$\phi_o(t)_{dc} = \frac{A_iA_r}{T}\,\mathrm{Sin}\,\frac{W_oP}{W_o}/2\,\mathrm{Sin}\,\left(\phi-\frac{W_oP}{2}\right) \qquad \ldots(34)$$

จะเห็นว่าการต่างเฟส $\Delta\phi$ ค่าน้อยๆ แล้วเอาท์พุทจะเป็นอัตราส่วนโดยตรงกับ $\Delta\phi$ และต่างจากวงจรแบบมิกเซอร์ คือ เอาท์พุทจะเป็นศูนย์เมื่อ $\Delta\phi=W_oP/2$ นั้น คือเมื่อเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของอินพุททั้งสองตรงกันเอาท์พุทวงจรจะเป็นศูนย์ และคุณสมบัติที่เหมือนกับวงจรแบบมิกเซอร์คือ เอาท์พุทจะขึ้นอยู่กับขนาดของอินพุทเช่นกัน อย่างไรก็ตามเมื่อ $W_1=W_0$ เอาท์พุทของมิกเซอร์จะประกอบด้วยเทอมที่เป็น DC และ ฮาร์โมนิคทุกตัวของ $\bullet_r(t)$

เฟสดีเทคเตอร์ของอนาลอก PLL จะเป็นวงจรคูณแบบกิลเบิร์ต (Gilbert Multiplier) ดังรูป



รูปที่ 2.8 วงจรเฟสดีเทคเตอร์แบบกิลเบิร์ต และรูปสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทของวงจรประกอบด้วยส่วนที่เป็น DC และ ฮาร์โมนิค ที่ 2 ของอินพุทส่วนประกอบ DC จะแปลผันตรงกับความต่างเฟส (ϕ)โดย

$$V_{av} = \frac{1}{2\pi}\int_{0}^{2\pi} V_o(t)\, d(W_o t) \qquad \ldots(35)$$

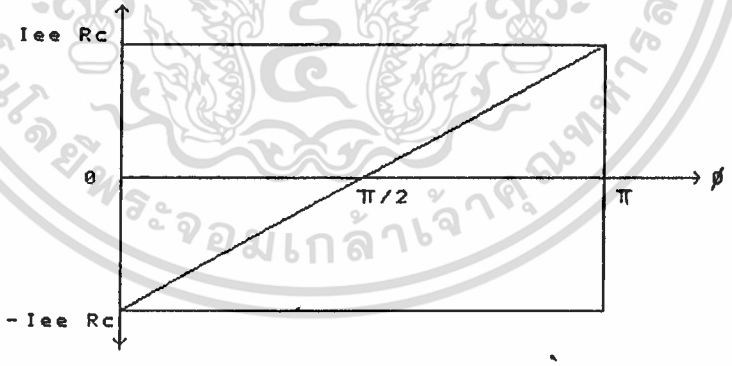
$$= \frac{-1}{\pi}(A_1 - A_2)$$

เมื่อ A1 และ A2 คือพื้นที่ในรูป ดังนั้น

$$V_{av} = -\left[\frac{IeeR_c(\pi-\phi)}{\pi} - \frac{IeeR_c\phi}{\pi}\right] \qquad \ldots(36)$$

$$= \frac{IeeR_c(2\phi-1)}{\pi}$$

ความสัมพันธ์ระหว่าง ϕ และ V_o ดังแสดงในรูป 2.9



รูปที่ 2.9 ความสัมพันธ์ระหว่าง ϕ และ V_o

กรณีอินพุทมีขนาดเล็กเมื่อเปรียบเทียบกับ Thermal Voltage (V_T) วงจรจะมีลักษณะการทำงานแบบ Balance Modulator ขนาดของ DC เอาท์พุทในกรณีที่อินพุทมีขนาดเล็กจะขึ้นอยู่กับแรงดันอินพุท (V_{inE}) เอาท์พุทจะเป็นคลื่นรูป Sine คูณกับ คลื่นรูปเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

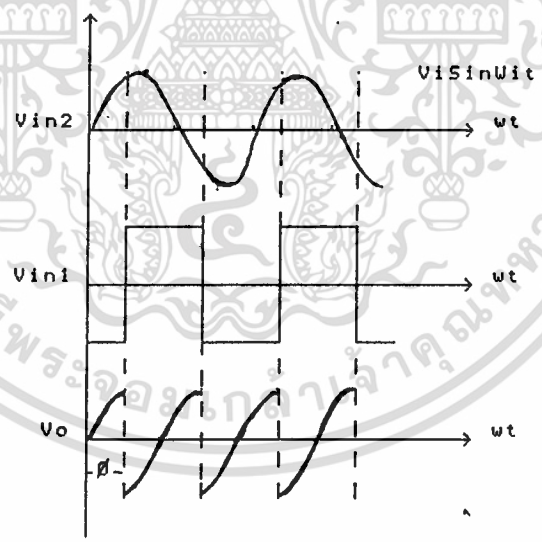
ดังรูป 2.10 โดยแรงดันเฉลี่ยของเอาท์พุทจะเป็น

$$V_{av} = \frac{1}{\pi} R_c V_i \left[\int_0^{\pi} (\mathrm{SinWt})\,d(\mathrm{Wt}) - \int_0^{\pi} (\mathrm{SinWt})\,d(\mathrm{Wt})\right] \qquad \ldots(37)$$

$$= \frac{-2g_m R_c V_i \mathrm{Cos}\phi}{\pi}$$

โดยที่ V_i คือ แรงดันอินพุท V_{in2}

g_m คือ Transconductance ของ ทรานซิสเตอร์



รูปที่ 2.10 แสดงรูปคลื่น Sine คูณกับ คลื่นรูปเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสดีเทคเตอร์ทั้งสองแบบเป็นชนิดอนาลอก โดยที่ขนาดของสัญญาณมีการเปลี่ยนแปลงแบบไม่จำกัด สำหรับวงจรที่มีขนาดสัญญาณจำกัดจะเป็นวงจร Digital Phase Detectors

2.5.3 ดิจิตอลเฟสดีเทคเตอร์ (Digital Phase Detectors)

I. Exclusive OR Phase Detectors

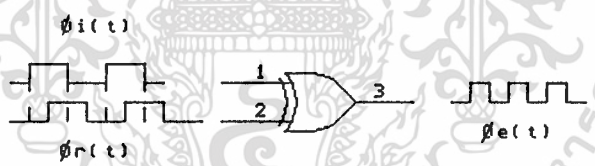
Exclusive OR สามารถใช้เป็น Phase Detectors ได้ จะให้เอาท์พุทเป็น"1" เมื่ออินพุททั้งสองมีระดับลอจิกต่างกัน ถ้าอินพุททั้งสองเหมือนกันเอาท์พุทจะเป็น"0"

แรงดันเฉลี่ยของเอาท์พุทคำนวณได้จาก

$$V_o = V_p D \qquad ...(38)$$

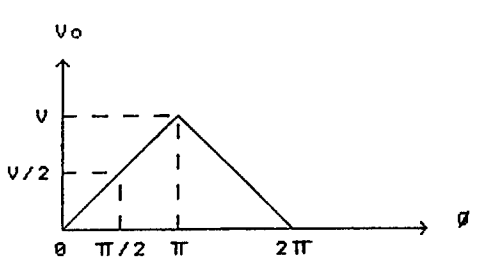
เมื่อ V_p คือ ระดับแรงดันลอจิก"1"

D คือ Duty Cycle ของเอาท์พุท



รูปที่ 2.11 แสดง Exclusive OR Phase Detector

เมื่อนำแรงดันเอาท์พุทมาเขียนกราฟสัมพันธ์กับ $\Delta\phi$ จะเป็น



รูปที่ 2.12 แสดงคุณสมบัติอินพุทต่อเอาท์พุทของเฟสดีเทคเตอร์

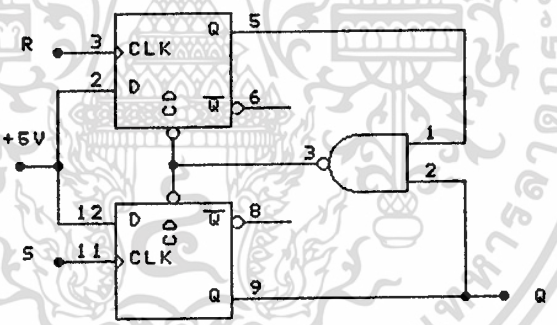
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

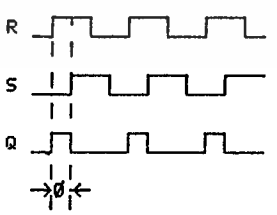
จากรูป 2.12 Exclusive OR สามารถใช้เป็นเฟสดีเทคเตอร์ได้ในช่วงความต่างเฟสระหว่าง 0 ถึง π โดยอินพุทจำเป็นต้องมี Duty Cycle 50% และเอาท์พุทที่ได้จะมีความถี่เป็นสองเท่าของความถี่อินพุท และมี Conversion Gain เท่ากับ VDD/π

II. Flip-Flop Detector

วงจรดังรูป 2.13 แรงดันเฉลี่ยที่ขา Q จะเป็นสัดส่วนกับความต่างเฟสของสัญญาณที่ R และ S วงจรใช้วิธีการทริกที่ขอบขาขึ้นของสัญญาณอินพุทในกรณีนี้ไม่จำเป็นที่อินพุททั้งสองจะต้องมี Duty Cycle 50%

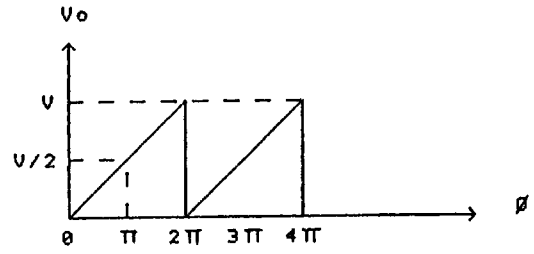
ถ้านำความต่างเฟส $\Delta\phi$ มาเขียนกราฟเทียบกับแรงดันเฉลี่ยเพื่อหาความสัมพันธ์ระหว่างอินพุทจะได้สัญญาณรูปฟันเลื่อย ดังรูป 2.14





รูปที่ 2.13 แสดงเฟสดีเทคเตอร์ชนิดทริกด้วยขอบขาขึ้นของพัลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

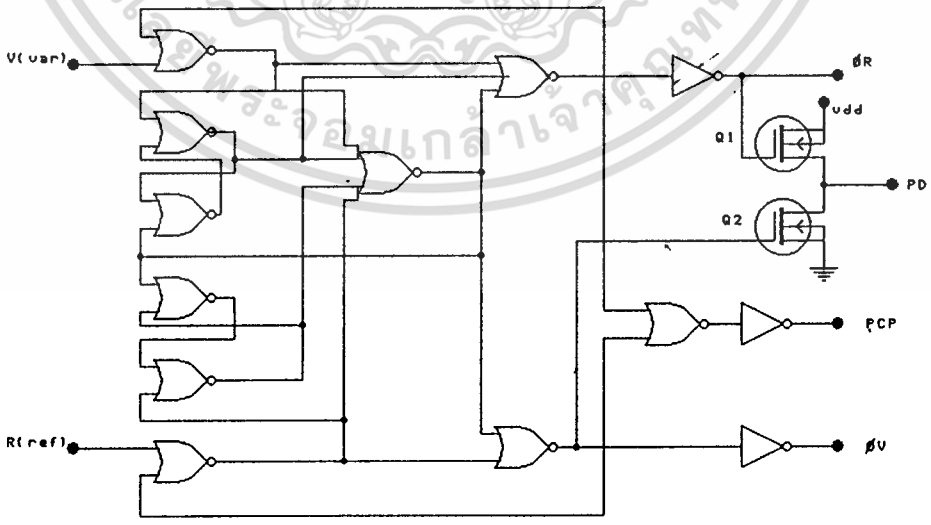


รูปที่ 2.14 แสดงคุณสมบัติอินพุทต่อเอาท์พุทของเฟสดีเทคเตอร์

สำหรับวงจรเฟสดีเทคเตอร์นี้จะมีช่วงเฟสช่วงต่างเฟสได้ 0 ถึง 2π (เป็นสองเท่าของ EX-OR) ความถี่ของสัญญาณเอาท์พุทจะเท่ากับอินพุทและมี Conversion Gain เท่ากับ VDD/2π

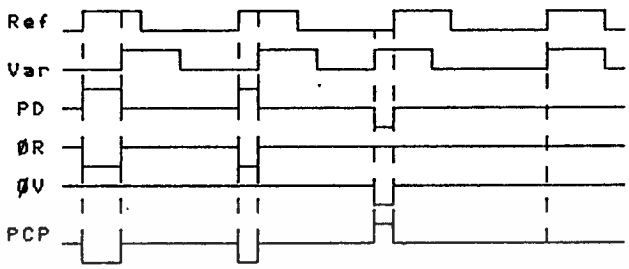
III. Phase Frequency Detectors

แม้ว่าเฟสดีเทคเตอร์แบบ EX-OR และแบบ Flip-Flop จะเป็นวงจรที่ง่ายแต่ก็มีข้อจำกัดคือ จำเป็นต้องมีการฟิลเตอร์สัญญาณเอาท์พุทที่ดี เพื่อจะแยกค่าเฉลี่ยของแรงดัน DC ที่ต้องการและเมื่อนำไปใช้ในวงจร PLL จะให้ผลตอบสนองช้าจึงได้มีการพัฒนามาเป็น Phase Frequency Detectors



รูปที่ 2.15 แสดง Phase Frequency Detectors ชนิดทริกด้วยขอบขาขึ้นของพัลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 แสดงรูปคลื่นของวงจร Phase Frequency Detectors

วงจรจะให้เอาท์พุท 3 แบบ คือ

1 Double Ended Output

2 Tri State Output

3 Phase Pulse Output

1 Double Ended Output มีขา ϕR และ ϕV จะให้เอาท์พุทดังนี้

ถ้า fv>fr หรือ เฟสของ fv นำหน้า fr ขา ϕV จะเป็น"0" นานเท่ากับเวลาที่นำหน้าอยู่ และ ϕR จะเป็น"1" ตลอดเมื่อต่อร่วมกับวงจร Charge Pump จะเป็นตัว Pump Down

ถ้า fr>fv หรือ เฟสของ fr นำหน้า fv ขา ϕR จะเป็น"0" นานเท่ากับเวลาที่นำหน้าอยู่ และ ϕV จะเป็น"1" ตลอดเมื่อต่อร่วมกับวงจร Charge Pump จะเป็นตัว Pump Up

ถ้าความถี่ fr=fv และมีเฟสเดียวกัน ϕR และ ϕV จะเป็น"1" ตลอดยกเว้นในช่วงเวลาสั้นๆ ที่เฟสทั้งสองเข้าใกล้กันซึ่งจะเห็นเป็นพัลซ์แหลมๆ (Spike) ดังรูป 2.16 จะไม่สามารถผ่านวงจร LPF ไปได้

2 Tri State Output ขา PD จะให้เอาท์พุทดังนี้

ถ้า fv>fr หรือ เฟส fv นำหน้า fr จะให้พัลซ์เป็นลบ (Q2 นำกระแส)

ถ้า fv<fr หรือ เฟส fv ล้าหลัง fr จะให้พัลซ์เป็นบวก (Q1 นำกระแส)

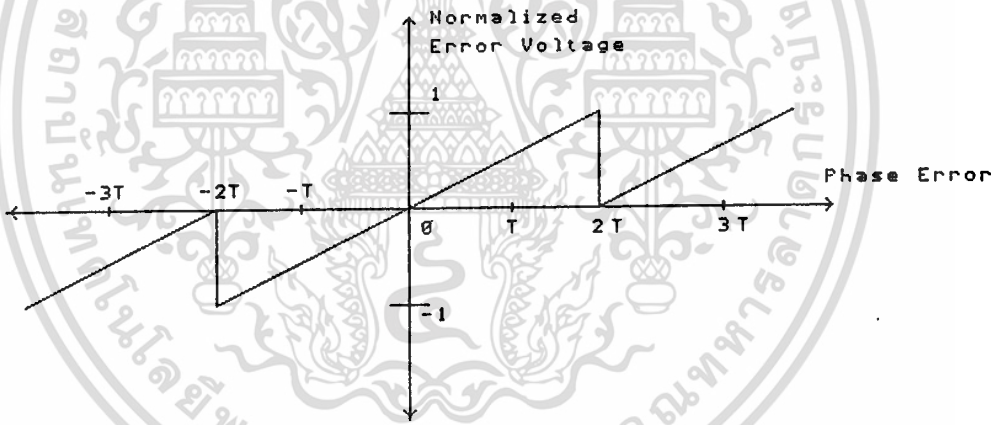
ถ้า fv=fr และ มีเฟสเดียวกัน Output จะมีสถานะเป็น High Impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

. (Q1 และ Q2 ไม่นำกระแส)

3 Phase Pulse Output ให้ลอจิก"0" ทุกๆ ครั้งที่เกิดความต่างเฟสของ fv และ fr นอกจากนั้นจะเป็น"1" ซึ่งสามารถใช้แสดงสถานะการล็อกได้

วงจรในรูป 2.13 จะรวมอยู่ในรูปของ IC ตัวเดียวเช่นเบอร์ 4046,14568 จะมีเฉพาะขา PD และ PCP ส่วนเบอร์ 145157-1 และ 145158-1 จะมีทุกขาที่กล่าวมา IC ชนิดที่ TTL ทำงานที่ขอบขาลงของพัลซ์ เช่น เบอร์ MC4044 ทำงานได้ถึง 80 MHz ใช้ในระบบ PLL ที่ต้องการตอบสนองในย่านกว้างเช่นวงจร Frequency Synthesizer รูปที่ 2.17 แสดงความสัมพันธ์ระหว่างความต่างเฟสและแรงดันเอาท์พุท วงจรมี Convertion Gain เท่ากับ VDD/4π สำหรับขา PD และ VDD/2π สำหรับขา $\phi R, \phi V$



รูปที่ 2.17 แสดงคุณสมบัติอินพุทต่อเอาท์พุทของเฟสดีเทคเตอร์

2.6 การสังเคราะห์ความถี่โดย PLL

โครงสร้างของระบบ PLL ในรูปที่ 2.1 จะเห็นว่าความถี่ที่ได้จาก VCO มีความถี่เดียว คือ ความถี่อินพุทของลูป เราสามารถเปลี่ยนความถี่ของ VCO ในลูปได้โดยเพิ่มหรือลดความถี่อินพุทซึ่งจะทำให้ VCO ติดตามความถี่ใหม่ของอินพุทไป เมื่อวงจรอยู่ในสภาวะ Steady State ความถี่ของ VCO ก็จะเท่ากับความถี่ใหม่ของอินพุทอีกครั้ง ซึ่งไม่ได้ให้ความหมายของการสังเคราะห์ความถี่แต่อย่างใด การสังเคราะห์ความถี่ในการสื่อสาร

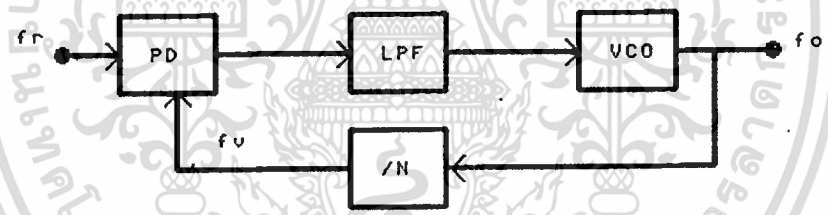
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องการความถี่ที่มีเสถียรภาพสูงทั้งระยะสั้น และ ระยะยาว ความถี่ที่ต้องการเปลี่ยนไปในลักษณะเป็นขั้นโดยมีลักษณะเป็นการทดแทนคริสตอลในวงจรออสซิลเลเตอร์ ที่ต้องเปลี่ยนตัวใหม่เมื่อต้องเปลี่ยนความถี่

การสังเคราะห์ความถี่ด้วย PLL ทำได้โดยให้ความถี่อินพุทเป็นความถี่อ้างอิงซึ่งสร้างจากคริสตอล หรืออุปกรณ์สร้างความถี่มาตราฐานควบคุมด้วย Atomic เช่น Cesium หรือ Rubidium จากนั้นสร้างความถี่ VCO ให้ทำงานที่ความถี่ทวีคูณด้วยเลขจำนวนเต็มใดๆ ของความถี่อ้างอิงที่อินพุท โดย

$$fvco = Nfr \qquad ...(39)$$

จากนั้นทำการหาร N ก่อนที่จะป้อนเข้า PD กรณีนี้ความถี่ของ VCO ก็จะเปลี่ยนไปตามจำนวนของตัวหารนั้น



รูปที่ 2.18 แสดงการสังเคราะห์ความถี่ด้วย PLL

พิจารณาจากรูปจะเห็นว่า ตัวหารความถี่ถูกเพิ่มขึ้นมาในส่วนของการป้อนกลับในลูป และความถี่เอาท์พุทของตัวหารความถี่ fv จากนำไปเปรียบเทียบเฟสกับ fr ซึ่งเป็นความถี่อ้างอิงมาตราฐานจาก สมการจะเขียนใหม่โดยเพิ่ม K_N ซึ่งเป็นตัวหารความถี่เข้าไป

$$B(s) = \frac{K_o K_d F(s)}{S+K_o K_d F(s)/K_N} = \frac{K_o K_d F(s)/S}{1+K_o K_d F(s)/K_N S} \qquad ...(40)$$

ซึ่งฟอร์เวอร์ดเกนของระบบ คือ

$$G(s) = K_o K_d F(s)/S \qquad ...(41)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเกนลูปเปิด คือ

$$G(s)H(s) = K_o K_d F(s)/K_N S \qquad ...(42)$$

จากสมการ(40) เราสามารถนำไปประยุกต์เป็นวงจรสังเคราะห์ความถี่ โดยนำพารามิเตอร์ต่างๆในสมการเปลี่ยนให้เป็นวงจรจริงแล้วนำมาต่อกับระบบ PD ที่ใช้กับวงจรสังเคราะห์ความถี่จะเป็นชนิดดิจิตอล PD แบบเชิงเส้นไม่เหมาะที่จะใช้งานเนื่องจาก

1 ลูปอาจไปล็อกกับความถี่ฮาร์โมนิคของความถี่ที่ต้องการ

2 คุณสมบัติ PD แบบเชิงเส้นจะเป็น Cosine Function ช่วงใช้งานจริงจำกัดในช่วง $\pm\pi/4$ rad

3 ลูปเกนจะขึ้นอยู่กับขนาดและ Duty Cycle ของสัญญาณอินพุท

4 สภาวะล็อกของลูป fr และ fv จะต้องมีเฟสต่างกันคงที่ 90 องศา

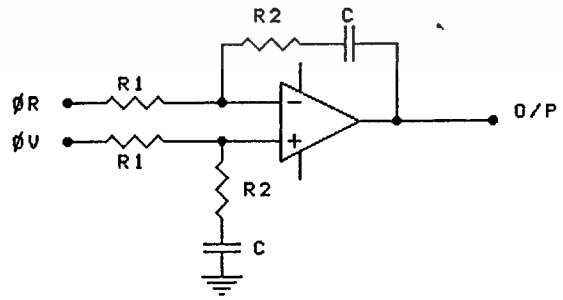
จากสมการ(13) เมื่อเพิ่ม K_N เข้าไปในลูป พารามิเตอร์ที่เปลี่ยนไป คือ W_n ซึ่ง N คือ ตัวหารใน Feed Back Loop ส่วน Dampling Factor ยังเหมือนเดิม

ข้อพิจารณาในการออกแบบลูปฟิลเตอร์

1 เนื่องจากตัวฟิลเตอร์ที่ใช้ Op Amp (Integrator) มีฟังชั่นเป็น Inverting ดังนั้นจำเป็นต้องกลับเฟสเสียก่อน เพื่อให้ Vc จากฟิลเตอร์สามารถควบคุม VCO ได้ถูกทิศทางกับความผิดพลาดที่เกิดขึ้นซึ่งทำได้ง่ายที่สุด คือ โดยการสลับอินพุท fr และ fv ที่ PD

2 สำหรับ PD เป็น IC CMOS ขา Non-Inverting ของ Op Amp ต้องไบอัสที่ VDD/2 ส่วน PD ที่เป็น TTL ต้องดูคุณสมบัติเฉพาะเบอร์

3 กรณี PD ที่มีเอาท์พุทเป็น Double Ended ใช้วงจรฟิลเตอร์ดังรูป



รูปที่ 2.19 แสดงฟิลเตอร์สำหรับ PD (Double Ended)

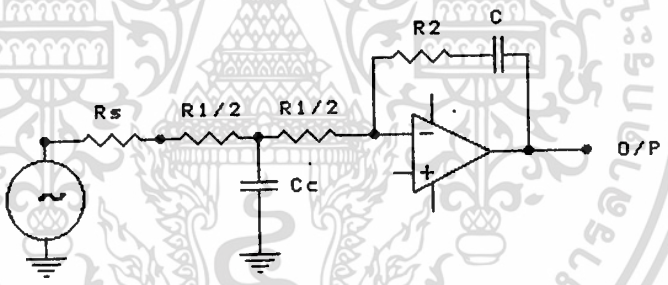
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง PD ชนิดนี้จะมี K_d = VDD/2π ส่วน Wn และ Dampling Factor ของลูปเหมือนกับแบบ Single Ended

4 วงจรแอคทีฟฟิลเตอร์อาจเกิดการอิ่มตัว ถ้าลูปเกิดการผิดพลาดเชิงเฟสที่ PD มีขนาดใหญ่พร้อมๆ กับ Transient Overshoot ขึ้นในลูปกรณีเฉพาะลูปที่ใช้ PD แบบดิจิตอลเนื่องจากเอาท์พุทของ PD เปลี่ยนเป็น"0" หรือ "1" ทันทีทันใด นอกจากนี้ความถี่อินพุทของฟิลเตอร์มักจะมาก ดังนั้นถ้าอัตราส่วนของ R_2/R_1 มากกว่า 10 เท่า ความถี่นี้ก็จะถูกขยายด้วยอัตราส่วนของ R_2/R_1 ถ้าสามารถทำได้ควรให้อัตราส่วนนี้น้อยที่สุด

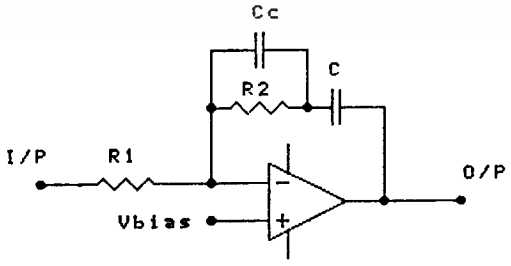
วิธีการแก้ไขการอิ่มตัวของ Op Amp ทำได้โดยเพิ่มวงจร LPF ก่อนวงจร Integrator ดังรูป 2.20 และ 2.21

สำหรับ $R_s << R_1/2$; $W_c = 4/R_1C_c$; R_s คือ O/P Impedance ของ PD นอกจากนั้น $W_c = 4(R_1+R_s)/(R_1+2R_s)R_1C_c$



รูปที่ 2.20 แสดงวิธีแก้ Transient ด้วย R_1 C_c

$W_c = 1/R_2C_c$

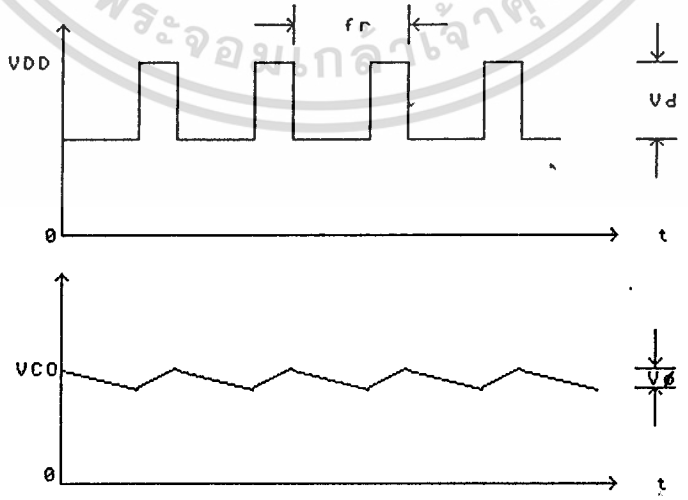


รูปที่ 2.21 แสดงวิธีแก้ Transient ด้วย R_2 C_c

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.20 คำนวน W_c ได้จาก $4/R_1C_c$ ได้เลยถ้า PD เป็น Digital จากมีความต้านทานเอาท์พุทต่ำ ความถี่คัทออฟของวงจรที่เพิ่มขึ้น ถ้าเป็นไปได้ควรจะมากกว่า W_n อยู่ 5-10 เท่าเนื่องจาก Pole ที่เกิดจากวงจรที่เพิ่มขึ้น ถ้าอยู่ใกล้ W_n จะทำให้ลูปเกิด Overshoot มากขึ้นและผลพลอยได้ของฟิลเตอร์ที่เพิ่มขึ้นจะทำให้ W_r (ความถี่อ้างอิง) ถูกลดทอนลงด้วยแรงดันที่ไปควบคุม VCO ควรเป็นแรงดัน DC อย่างเดียว ส่วนประกอบของแรงดันที่ไม่ใช่ DC จะทำให้เอาท์พุทของ VCO มีการมอดูเลตด้วยแรงดันที่ไม่ใช่ DC ใดๆในแรงดันที่มาควบคุม VCO ส่วนประกอบที่ไม่ใช่ DC ส่วนใหญ่จะมาจาก W_r และ Noise ต่างๆในวงจร แอคทีฟฟิลเตอร์จะเพิ่ม Noise ลงไปในแรงดัน DC นี้ด้วยดังนั้นวงจรขยายที่ใช้ Op Amp เป็นตัวฟิลเตอร์ควรมีคุณสมบัติที่มีสัญญาณรบกวนต่ำและกระแสไบอัสอินพุทควรน้อยที่สุด เนื่องจากถ้าวงจรดึงกระแสจำนวนหนึ่งจาก PD ทำให้เกิดการผิดพลาดเชิงเฟส เมื่อวงจรอยู่ในสภาวะ Steady State มีค่ามากกว่า 0 มาก ถ้าใช้ฟิลเตอร์แบบพาสซีฟจะทำให้เกิดความผิดพลาดในสภาวะ Steady State มากกว่าแอคทีฟฟิลเตอร์ เพราะพาสซีฟฟิลเตอร์จะดึงกระแสมากกว่าแอคทีฟฟิลเตอร์ อย่างไรก็ตามพาสซีฟฟิลเตอร์จะไม่เพิ่ม Noise เข้าไปในวงจรเหมือนแอคทีฟฟิลเตอร์ และ R_1 ของวงจรพาสซีฟสามารถแบ่งเป็น $R_1/2$ แล้วใช้ C_c เพิ่มขึ้นได้เช่นเดียวกับวงจรในรูป 2.20 และใช้วิธีคำนวน W_c เช่นเดียวกัน

5 แรงดันที่ไปควบคุม VCO ควรมีส่วนประกอบที่ไม่ใช่ DC น้อยที่สุดเพราะจะทำให้ความถี่เอาท์พุทของ VCO เกิดเอาท์พุทที่ไม่ต้องการ ดังนั้น W_r ควรถูกกำจัดไปให้มากที่สุด



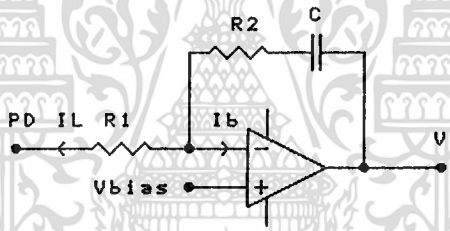
รูปที่ 2.22 แสดงรูปคลื่นเอาท์พุทของ PD และ Integrator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป รูปคลื่นจะทำให้เกิด Side Band ที่สัมพันธ์กับ Carrier ของ VCO โดยประมาณได้จาก

$$\frac{\text{Side Band}}{(f_o)\text{Carrier}} \cong \frac{V\phi K_o}{2W_r} \qquad ...(43)$$

เมื่อ $V\phi$ คือ ค่าแรงดัน Peak Value ของ fr ที่อินพุทของ VCO จะเห็นว่า K_o ของ VCO และ fr ต่างมีผลต่อ Side Band ที่เกิดขึ้นกับความถี่ของ VCO นอกจากนี้ Side Band ยังสัมพันธ์กับ Leakage Current ของ C ใน Integrator และกระแสไบอัสอินพุทของ Op Amp

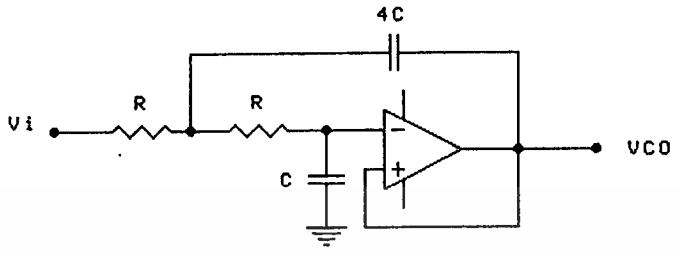


รูปที่ 2.23 แสดงกระแสรั่วไหลและกระแสไบอัสอินพุท

$$\frac{\text{Side Band}}{f_o} \cong \frac{R_2(I_b+I_L)K_o}{W_r} \qquad ...(44)$$

ในกรณีที่จำเป็นสามารถเพิ่มวงจรฟิลเตอร์เข้าไประหว่าง Integrator และ VCO เพื่อลดขนาดของ $V\phi$ ในรูปที่ 2.22 เพื่อให้ Side Band ที่เกิดขึ้นน้อยที่สุด ฟิลเตอร์ใช้ได้ทั้งแอคทีฟและพาสซีฟถ้าต้องการลดทอนมากก็ใช้แอคทีฟฟิลเตอร์ เนื่องจากการใช้พาสซีฟมากกว่าหนึ่งชุดจะทำให้เกิดการเลื่อนเฟสมากกว่าการลดทอนสัญญาณ ซึ่งเฟสที่เลื่อนไปจะต้องนำไปหักจาก Phase Margin ของระบบซึ่งจะทำให้ระบบไม่มีเสถียรภาพ ดังนั้นใช้แอคทีฟฟิลเตอร์จะดีกว่า

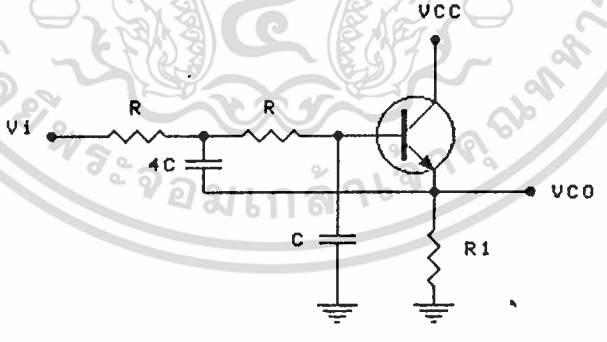
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 แสดงวงจร LPF อันดับ 2 โดยใช้ Op Amp

$$\zeta = \sqrt{\frac{C}{4C}} = 0.5$$

$$W_c = 0.636/RC$$



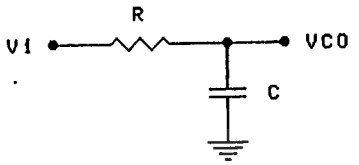
รูปที่ 2.25 แสดงวงจร LPF อันดับ 2 โดยใช้ Transistor

1K < R < 100K

ถ้า O/P > Vcc-1V วงจรจะไวต่อสัญญาณรบกวนจาก VCC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$W_c = 1/RC$



รูปที่ 2.26 แสดงวงจร LPF แบบ พาสซีฟฟิลเตอร์

ความสามารถในการลด Side Band โดยประมาณของวงจร คือ

$$dB \cong 40\log (W_c/W_p) \quad ...(45)$$

สำหรับพาสซีฟฟิลเตอร์ คือ

$$dB \cong 20\log (W_c/W_p) \quad ...(46)$$

6 การเพิ่มฟิลเตอร์เข้าไปในลูปของข้อ 4 และ 5 จะทำให้ผลการทำงานของลูปต่างไปจาก ระบบ Order2 Type II ทั้งนี้กำลังในส่วนของ B(s) จะเพิ่มขึ้นตามโพลของฟิลเตอร์ที่เพิ่มขึ้นการวิเคราะห์การทำงานของระบบจัดทำได้ยาก จึงต้องใช้โปรแกรมคอมพิวเตอร์ช่วย เช่น โปรแกรม PLL Design Kit ของ Communication Consultting Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

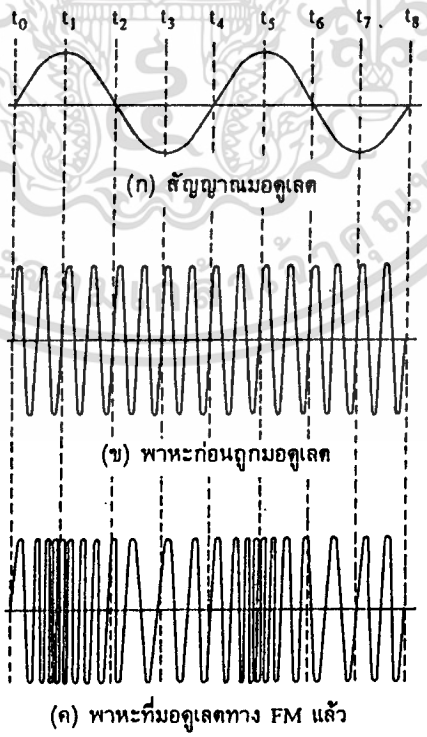
บทที่ 3

หลักการเครื่องส่งเคฟเอ็มสเตอริโอมัลติเพล็กซ์

3.1 การมอดูเลตทางความถี่

รูปคลื่นของสัญญาณ FM เกิดจากสัญญาณมอดูเลต ดังรูป(ก) เช่น สัญญาณเสียงซึ่งเป็นข่าวสารเข้าไปมอดูเลตลงบนสัญญาณพาหะดังรูป(ข) สัญญาณพาหะหลังจากมอดูเลตแล้วในรูป(ค) เป็นสัญญาณ FM จะเห็นว่าที่เวลา t_0 สัญญาณ FM อยู่ที่ความถี่กลาง เมื่อสัญญาณที่เข้ามามอดูเลตมีค่าทางบวกสูงสุด ความถี่ของพาหะจะเพิ่มขึ้นสูงสุด นั่นคือ สัญญาณมอดูเลตถึงจุดยอดสุด (สัญญาณมอดูเลตมีขนาดสูงสุดนั่นเอง) ที่เวลา t_1

ที่เวลา t_2 สัญญาณมอดูเลตลดลงเป็นศูนย์ ความถี่ของพาหะก็จะลดลงมาที่ความถี่กลางดังเดิมหลังจากเวลาสัญญาณมอดูเลตมีค่าตกลงกว่าศูนย์กลายเป็นลบ พาหะจะมีความถี่ลดลงต่ำกว่าความถี่กลาง และเมื่อเวลาสัญญาณมอดูเลตกลับเป็นศูนย์อีกครั้งหนึ่ง ความถี่ของพาหะก็จะกลับมายังความถี่ของพาหะก็คือ ความถี่กลางดังเดิม ในช่วงเวลา t_4 ถึง t_8 ก็จะซ้ำแบบเดิมเรื่อย ๆ ไป สรุปแล้วความถี่ของพาหะจะเปลี่ยนแปลงไปตามแอมพลิจูดของสัญญาณมอดูเลต และพาหะยังคงอยู่ที่ความถี่กลาง เมื่อสัญญาณของสัญญาณมอดูเลตเป็นศูนย์



รูปที่ 3.1 แสดงการมอดูเลตทางความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

. ช่วงความถี่ที่พาหะเบี่ยงเบนไปจากความถี่กลาง เรียกว่า ความถี่เบี่ยงเบน (frequency deviation) หรือ ดีวิเอชัน ตัวอย่างเช่น พาหะมีความถี่ 100 เมกะเฮิรตซ์ลดลงต่ำสุดเป็น 99.9 เมกะเฮิรตซ์และเพิ่มขึ้นสูงสุดเป็น 100.1เมกะเฮิรตซ์ สลับไปมาเช่นนี้ หมายความว่าช่วงความถี่เบี่ยงเบนเท่ากับ 0.1 เมกะเฮิรตซ์ หรือ 100 กิโลเฮิรตซ์ อัตราการเปลี่ยนแปลงความถี่ของ สัญญาณ FM ขึ้นอยู่กับความถี่ของสัญญาณที่เข้ามา มอดูเลต เช่น ถ้าสัญญาณที่เข้ามอดูเลตเป็นโทน (สัญญาณเสียง) ความถี่ 1000 เฮิรตซ์อัตราการเบี่ยงเบนความถี่ของสัญญาณ FM จะเท่ากับ 1000 ครั้งต่อวินาทีถ้าสัญญาณที่เข้ามามอดูเลตเพิ่มความถี่เป็น 10 กิโลเฮิรตซ์โดยคงค่าแอมพลิจูดเท่าเดิม ช่วงความถี่เบี่ยงเบนก็ยังเท่าเดิม คือเท่ากับ 100 กิโลเฮิรตซ์ แต่อัตราการเบี่ยงเบนจะเพิ่มเป็น 10000 ครั้งต่อวินาที นั่นคือ ความถี่ของสัญญาณที่เข้ามอดูเลตเป็นตัวกำหนดการเบี่ยงเบนความถี่

สำหรับแอมพลิจูดของสัญญาณมอดูเลตจะเป็นตัวกำหนดช่วงความถี่เบี่ยงเบน ตัวอย่างเช่น สัญญาณโทนที่มีแอมพลิจูดสูงจะทำให้ความถี่เบี่ยงเบนไป $\pm$100 กิโลเฮิรตซ์ สัญญาณโทนที่มีแอมพลิจูดน้อยลงจะทำให้ความถี่เบี่ยงเบนไป $\pm$50 กิโลเฮิรตซ์

กล่าวโดยสรุป สัญญาณ FM มีคุณสมบัติที่สำคัญดังนี้

1.มีแอมพลิจูดคงที่ตลอด แต่ความถี่เปลี่ยนตามสัญญาณที่เข้ามามอดูเลต

2.อัตราการเบี่ยงเบนความถี่ของสัญญาณพาหะเท่ากับความถี่ของสัญญาณที่มามอดูเลต

3.ช่วงความถี่เบี่ยงเบน (หรือดีวิเอชั่น) เป็นสัดส่วนกับแอมพลิจูดของสัญญาณที่เข้ามอดูเลต

3.2 ดัชนีการมอดูเลต

ในระบบ AM ปริมาณการมอดูเลต เรานิยมวัดเป็นเปอร์เซ็นต์การมอดูเลต ซึ่งดูได้จากการเปลี่ยนแปลงของแอมพลิจูดหรือกรอบคลื่น AM ทั้งด้านต่ำสุดและสูงสุดแต่ในระบบ FM เราวัดเปอร์เซ็นต์การมอดูเลตโดยดูจากการเปลี่ยนแปลงความถี่ ซึ่งเรานิยมเรียกชื่อเสียใหม่ว่า ดัชนีการมอดูเลต ลองพิจารณาความหมายของดัชนีการมอดูเลตต่อไปนี้

$$m = f_d / f_m \qquad \text{(ของระบบ FM)}$$

ในที่นี้ f_d คือ ช่วงความถี่เบี่ยงเบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f_m คือ ความถี่ของสัญญาณที่เข้ามอดูเลต

ค่าตัวเลขของดัชนีการมอดูเลตจะมีค่าสูง (แตกต่างจากเปอร์เซ็นต์การมอดูเลตซึ่งเมื่อคิดเป็นอัตราส่วนจะได้อยู่ระหว่าง 0 ถึง 1) ตัวอย่างเช่น ในระบบวิทยุกระจายเสียง FM เรากำหนดให้ความถี่เบี่ยงเบนของระบบสูงสุดไว้เท่ากับ 75 กิโลเฮิรตซ์ สมมุติว่าเราใช้สัญญาณเสียง 1 กิโลเฮิรตซ์มอดูเลตให้เกิดความถี่เบี่ยงเบนเต็มที่ ค่าดัชนีการมอดูเลตจะเป็น

$$m = 75 \text{ KHz} / 1 \text{ KHz} = 75$$

สังเกตว่า ค่าดัชนีการมอดูเลตในระบบ FM ขึ้นอยู่กับความถี่ของสัญญาณเสียงที่เข้ามอดูเลตในทางปฏิบัติเรานิยมวัดเป็นอัตราส่วนการเบี่ยงเบน (deviation ratio) ซึ่งเป็นอัตราส่วนระหว่างความถี่เบี่ยงเบน (ของระบบ) สูงสุด($f_{d\ max}$) ต่อความถี่สูงสุดของสัญญาณที่เข้ามอดูเลต($f_{m\ max}$) ในระบบกระจายเสียง FM ค่าอัตราการเบี่ยงเบนจะเท่ากับ

$$\text{อัตราการเบี่ยงเบน} = f_{d\ max} / f_{m\ max}$$

$$= 75 \text{ KHz} / 15 \text{ KHz} = 5$$

ในระบบ AM เมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามอดูเลตเพื่อให้เปอร์เซ็นต์การมอดูเลตสูงขึ้น การเปลี่ยนแปลงแอมพลิจูด(กรอบคลื่น)ของพาหะจะเปลี่ยนแปลงมากขึ้น แต่ในระบบ FM เมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามามอดูเลตสูงขึ้น การเบี่ยงเบนความถี่ของพาหะจะเบี่ยงเบนได้มากขึ้น ในระบบวิทยุกระจายเสียง FM กำหนดให้ความถี่เบี่ยงเบนของระบบเต็มที่ไม่เกิน 75 กิโลเฮิรตซ์ ถ้าเรามอดูเลตทำให้ความถี่ของพาหะเบี่ยงเบนไปเท่ากับ 75 กิโลเฮิรตซ์ แสดงว่าเรามอดูเลตเต็มที่ 100 เปอร์เซ็นต์ ซึ่งเราเขียนเป็นสมการได้ดังนี้

$$\text{เปอร์เซ็นต์การมอดูเลต} = (f_d / f_{d\ max}) \times 100$$

ในที่นี้ f_d คือ ความถี่เบี่ยงเบนเนื่องจากสัญญาณเข้ามอดูเลต

$f_{d\ max}$ คือ ความถี่เบี่ยงเบนสูงสุดของระบบ

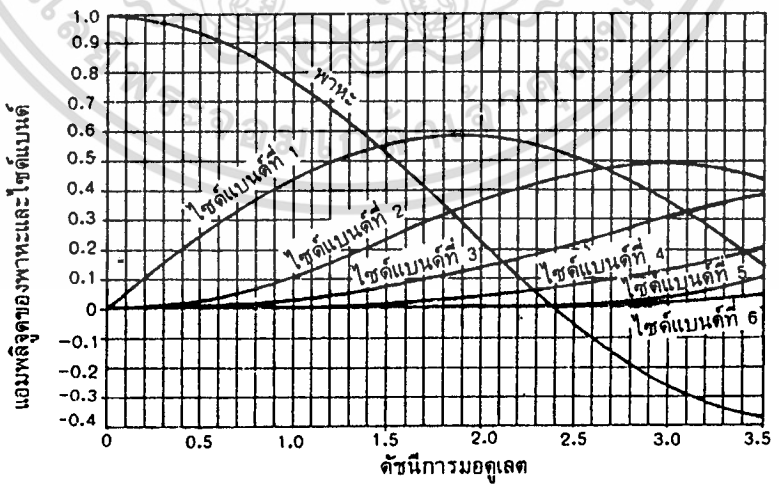
3.3 ไซด์แบนด์ FM

ความแตกต่างระหว่างระบบ AM กับ FM ที่เห็นได้ชัดก็คือไซด์แบนด์ ระบบ AM ถ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรามอดูเลตด้วยสัญญาณรูปชายน์จะเกิดไซด์แบนด์จำนวน 2 ตัว คือ USB กับ LSB แต่ในระบบ FM ถ้าเรามอดูเลตด้วยสัญญาณรูปชายน์จะเกิดไซน์แบนด์จำนวนอนันต์ เนื่องจากการเบี่ยงเบนความถี่ของพาหะทำให้เกิดความถี่เพิ่มขึ้นอีกมากมาย ความจริงแล้วไซด์แบนด์ที่อยู่ห่างจากความถี่กลางมาก ๆ มักมีแอมพลิจูดเล็กมากจนไม่ต้องคำนึงถึง

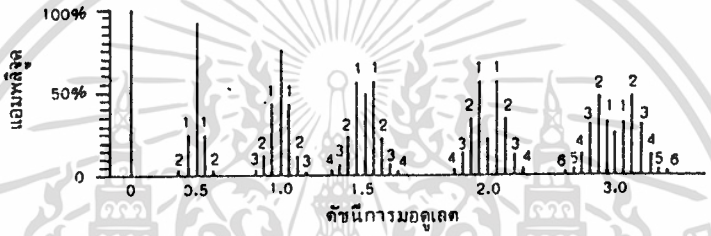
ในระบบ AM ไซด์แบนด์อาจเสริมหรือหักล้างจากพาหะที่มีแอมพลิจูดคงที่ ซึ่งมีผลให้กรอบคลื่นของพาหะเปลี่ยนแปลง แต่ในระบบ FM สัญญาณ FM จะรักษาแอมพลิจูดไว้คงที่เสมอ ซึ่งหมายความว่า กำลังของคลื่นพาหะย่อมกระจายไปอยู่ในไซด์แบนด์ความสัมพันธ์ของพาหะกับไซด์แบนด์ในระบบ FM ขึ้นอยู่กับดัชนีการมอดูเลต เนื่องจากดัชนีการมอดูเลตเป็นตัวกำหนดจำนวนของไซด์แบนด์ที่สำคัญ และแอมพลิจูดของพาหะกับไซด์แบนด์ต่าง ๆ จะเห็นว่าเมื่อดัชนีการมอดูเลตเป็นศูนย์ จะมีแต่คลื่นพาหะอย่างเดียว (เท่ากับ 1 หน่วย)คลื่นไซด์แบนด์เป็นศูนย์เมื่อดัชนีการมอดูเลตเพิ่มขึ้นจำนวนไซด์แบนด์จะเพิ่มขึ้น แอมพลิจูดของไซด์แบนด์ก็จะใหญ่ขึ้น แต่แอมพลิจูดของพาหะกลับเล็กลงจนกระทั่งดัชนีการมอดูเลตเท่ากับ 2.4 คลื่นพาหะจะเป็นศูนย์ตอนนี้กำลังของคลื่น FM จะไปอยู่ไซด์แบนด์ทั้งสิ้น เมื่อดัชนีการมอดูเลตเพิ่มขึ้นอีก(เป็นค่าลบแสดงว่าเฟสตรงกันข้ามกับตอนแรกเช่น เมื่อดัชนีการมอดูเลตเป็น 3.1 แอมพลิจูดของพาหะจะเท่ากับ -0.3 หน่วย)



รูปที่ 3.2 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนในระบบ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟในรูปที่ 2 เขียนได้เป็นตารางดังในตารางที่ 1 เพื่อให้ดูง่ายขึ้นในที่นี้เราตัดไซด์แบนด์ที่มีแอมพลิจูดน้อยกว่า 1 เปอร์เซ็นต์ของพาหะเดิม (ก่อนมอดูเลต) ออกโดยไม่คำนึงถึง เช่น เมื่อดัชนีการมอดูเลตเท่ากับ 0.5 แอมพลิจูดของพาหะจะเท่ากับ 0.94 หน่วย ไซด์แบนด์คู่แรกมีแอมพลิจูดเท่ากับ 0.24 หน่วย ไซด์แบนด์คู่ที่สองถัดไปมีแอมพลิจูดเท่ากับ 0.03 หน่วย ไซด์แบนด์อื่นนอกจากนี้มีแอมพลิจูดน้อยจนสามารถตัดทิ้งไปได้เมื่อดัชนีการมอดูเลตสูงขึ้น การกระจายคลื่นไซด์แบนด์จะเป็นดังรูปที่ 3



รูปที่ 3.3 แสดงรูปคลื่น FM ในเชิงความถี่

ดัชนีการมอดูเลต	พาหะ	ไซด์แบนด์คู่ที่															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0.00	1.00	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0.25	0.98	0.12	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0.5	0.94	0.24	0.03	—	—	—	—	—	—	—	—	—	—	—	—	—	—
1.0	0.77	0.44	0.11	0.02	—	—	—	—	—	—	—	—	—	—	—	—	—
1.5	0.51	0.56	0.23	0.06	0.01	—	—	—	—	—	—	—	—	—	—	—	—
2.0	0.22	0.58	0.35	0.13	0.03	—	—	—	—	—	—	—	—	—	—	—	—
2.5	-0.05	0.50	0.45	0.22	0.07	0.02	—	—	—	—	—	—	—	—	—	—	—
3.0	-0.26	0.34	0.49	0.31	0.13	0.04	0.01	—	—	—	—	—	—	—	—	—	—
4.0	-0.40	-0.07	0.36	0.43	0.28	0.13	0.05	0.02	—	—	—	—	—	—	—	—	—
5.0	-0.18	-0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	—	—	—	—	—	—	—	—
6.0	0.15	0.28	-0.24	0.11	0.36	0.36	0.25	0.13	0.06	0.02	—	—	—	—	—	—	—
7.0	0.30	0.00	-0.30	-0.17	0.16	0.35	0.34	0.23	0.13	0.06	0.02	—	—	—	—	—	—
8.0	0.17	0.23	-0.11	-0.29	-0.10	0.19	0.34	0.32	0.22	0.13	0.06	0.03	—	—	—	—	—
9.0	-0.09	0.24	0.14	-0.18	-0.27	-0.06	0.20	0.33	0.30	0.21	0.12	0.06	0.03	0.01	—	—	—
10.0	-0.25	0.04	0.25	0.06	-0.22	-0.23	-0.01	0.22	0.31	0.29	0.20	0.12	0.06	0.03	0.01	—	—
12.0	-0.05	-0.22	-0.08	0.20	0.18	-0.07	-0.24	-0.17	0.05	0.23	0.30	0.27	0.20	0.12	0.07	0.03	0.01
15.0	-0.01	0.21	0.04	0.19	-0.12	0.13	0.21	0.03	-0.17	-0.22	-0.09	0.10	0.24	0.28	0.25	0.18	0.12

ตารางที่ 3.1 แสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดูเลตค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 แบนด์วิดท์ของสัญญาณ FM

ในระบบ FM จำนวนไซด์แบนด์และแอมพลิจูดของไซด์แบนด์ขึ้นอยู่กับค่าดัชนีการมอดูเลตโดยความถี่ของไซด์แบนด์มีค่าสัมพันธ์กับความถี่ของสัญญาณที่เข้ามอดูเลต กล่าวคือ ไซดแบนด์คู่แรกมีความถี่เท่ากับ f_c+f_m ไซด์แบนด์คู่ที่สองมีความถี่เท่ากับ f_c+2f_m,..ฯลฯ

ฉะนั้นแบนด์วิดท์ของคลื่น FM ต้องครอบคลุมจำนวนไซด์แบนด์ที่สำคัญทุกตัว นั่นคือ แบนด์ขึ้นอยู่กับดัชนีการมอดูเลตและความถี่ของสัญญาณที่เข้ามอดูเลต แต่ดัชนีการมอดูเลต เท่ากับ f_d/f_m ดังนั้นถ้าเราทราบความถี่เบี่ยงเบนและความถี่ของสัญญาณมอดูเลต เราก็สามารถคำนวณหาแบนด์วิดท์ได้

ตัวอย่างเช่น ความถี่ของสัญญาณเสียงที่เข้ามอดูเลตเท่ากับ 3 กิโลเฮิรตซ์ ความถี่เบี่ยงเบนเท่ากับ 18 กิโลเฮิรตซ์ เราคำนวณค่าดัชนีการมอดูเลตได้ดังนี้

$$m = f_d / f_m$$

$$= 18\ KHz / 3KHz = 6$$

นำค่า $m=6$ ไปหาไซด์แบนด์สำคัญที่พิจารณาได้จากตาราง จะเห็นว่าเมื่อดัชนีการมอดูเลตเท่ากับ 6 จำนวนไซด์แบนด์จะมีอยู่ 9 คู่เราจึงคำนวณหาแบนด์วิดท์ได้ดังนี้

$$BW = f_m \times \text{จำนวนไซด์แบนด์} \times 2$$

$$= 3\ KHz \times 9 \times 2$$

$$= 54\ KHz$$

ความจริงแล้วในทางปฏิบัตินิยมใช้สูตรคำนวณแบนด์วิดท์แบบประมาณจากค่า $f_{d\ max}$ และ $f_{m\ max}$ เลย ไม่ต้องเสียเวลานับจำนวนไซด์แบนด์ ดังนี้

$$BW = 2(m+1)f_{m\ max},$$

หรือ $$BW = 2(f_{d\ max} + f_{m\ max})$$

เมื่อ $$m = f_{d\ max} / f_{m\ max}$$

จากตัวอย่างดังกล่าวเราคำนวณได้ว่า $BW = 2 \times (6+1) \times 3$

$$= 42\ KHz$$

หรือ $$BW = 2 \times (18+3)$$

$$= 42\ KHz$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

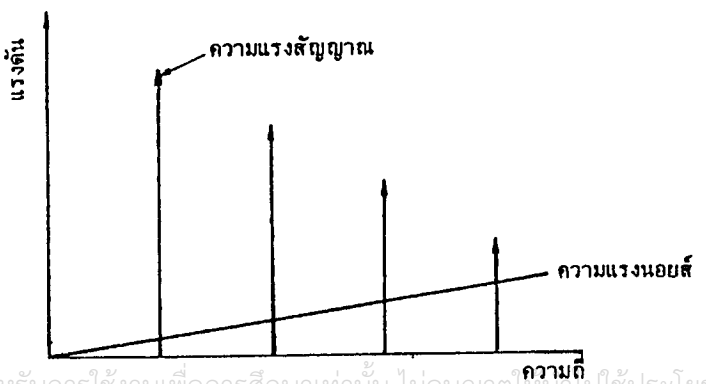
เสมือนกับว่าเราพิจารณาใช้จำนวนไซด์แบนด์เพียง 7 คู่ เมื่อเทียบกับการคำนวณในตอนต้น

3.5 พรีเอ็มฟาสิสและดีเอ็มฟาสิส

รูปคลื่นส่วนใหญ่จะประกอบด้วยองค์ประกอบฮาร์มอนิกมากมาย และทางด้านความถี่สูงมักจะมีแอมพลิจูดต่ำ ๆ ตัวอย่างเช่น เสียงพูดซึ่งอยู่ในย่านความถี่ประมาณ 20-20000 เฮิรตซ์ แต่เสียงพูดทั่วไปมักจะอยู่ช่วง 500 เฮิรตซ์ สำหรับผู้ชาย และ800 เฮิรตซ์สำหรับผู้หญิง เป็นต้น แต่นอยส์ในระบบ FM จะตรงข้าม คือ นอยส์ FM จะมีแอมพลิจูดสูงขึ้นเป็นสัดส่วนกับความถี่ ดังนั้นเราจะเขียนรูปเทียบกันดังรูป จะเห็นว่าที่ความถี่ด้านสูงมีนอยส์รบกวนมากกว่าด้านต่ำ วิธีการแก้ไขให้คุณภาพสัญญาณทางด้านความถี่สูงดีขึ้นก็โดยการใช้วิธียกระดับหรือเน้น (emphasis) สัญญาณให้มีแอมพลิจูดสูงขึ้นในย่านความถี่ด้านสูง กรรมวิธีเรียกว่า พรีเอ็มฟาสิส (pre-emphasis)

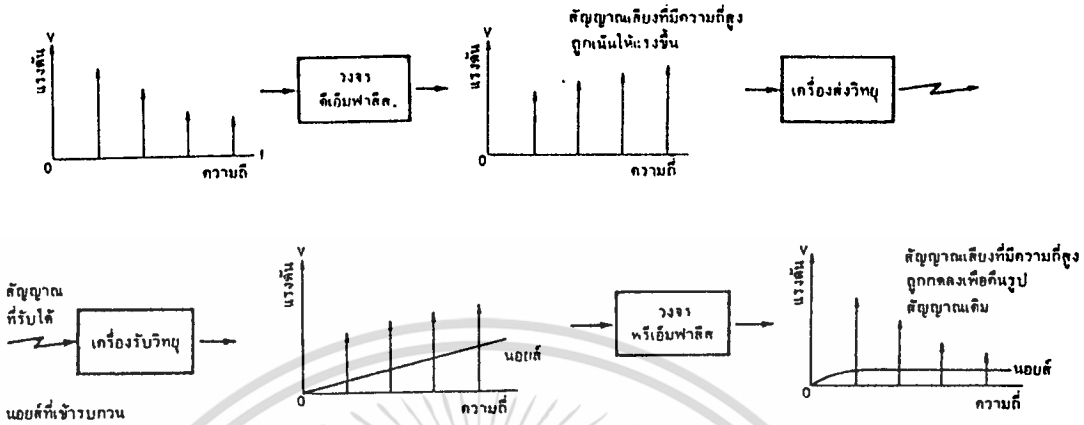
ในรูปที่ 4 สัญญาณมอดูเลตจะผ่านขบวนการพรีเอ็มฟาสิสที่เครื่องส่งเพื่อให้สัญญาณความถี่สูงเน้นแรงขึ้น แล้วจึงมอดูเลตที่เครื่องส่งออกอากาศต่อไป ทำให้สัญญาณความถี่สูงมีความแรงขึ้นจนนอยส์รบกวนได้ยาก เมื่อคลื่นมาถึงเครื่องรับและหลังจากทำการดีมอดแล้ว เราจะต้องคืนสัญญาณที่เน้นความถี่สูงให้เหมือนเดิม ดังนั้นเราจึงต้องมีวงจรกดความถี่สูงลง กรรมวิธีนี้เรียกว่า ดีเอ็มฟาสิส (de-emphasis)

วงจรที่ใช้ในกรรมวิธีพรีเอ็มฟาสิสและดีเอ็มฟาสิส ก็ คือ วงจรฟิลเตอร์ นั่นเอง คุณสมบัติของฟิลเตอร์ในตอนพรีเอ็มฟาสิสกับดีเอ็มฟาสิสจะต้องเป็นตรงข้ามกัน ในระบบกระจายเสียง FM โดยมากเรากำหนดคุณสมบัติของวงจรฟิลเตอร์ (ทั้งพรีเอ็มฟาสิสและดีเอ็มฟาสิส) เป็นค่าคงตัวเวลา(time contant)เท่ากับ 75 ไมโครวินาที ซึ่งแอมพลิจูดจะค่อย ๆ เพิ่มขึ้น (พรีเอ็มฟาสิส) หรือลดลง (ดีเอ็มฟาสิส) ตั้งแต่ความถี่ 2122 เฮิรตซ์ เป็นต้น ดังรูป

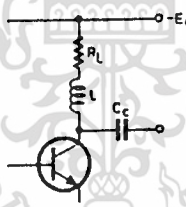


รูปที่ 3.4 แสดงการเปรียบเทียบแอมพลิจูดของสัญญาณที่เข้ามอดูเลตกับนอยส์

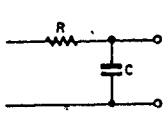
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้



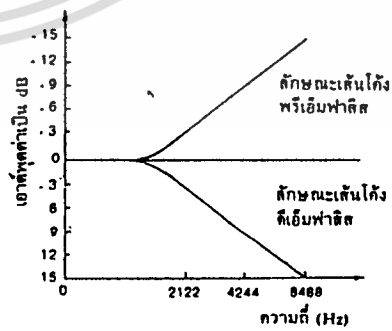
รูปที่ 3.5 แสดงขบวนการพรีเอ็มฟาสิสที่เครื่องส่ง และดีเอ็มฟาสิสที่เครื่องรับ



ก) ตัวอย่างวงจรพรีเอ็มฟาสิส

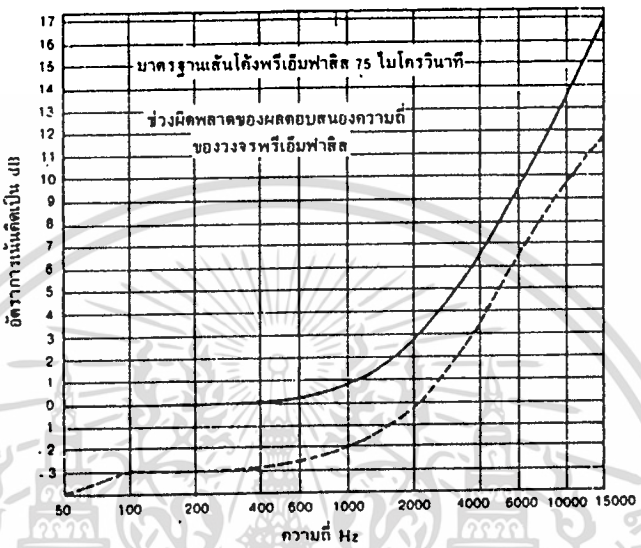


(ข) ดีเอ็มฟาสิส



(ค) ลักษณะเส้นโค้งพรีเอ็มฟาสิส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ง) แสดงกราฟมาตราฐานพรีเอ็มฟาสิส 75 μs

3.6 หลักการของเอฟเอ็มสเตอริโอมัลติเพล็กซ์ และ เอสซีเอ

สัญญาณ FM STEREO MULTIPLEX ประกอบด้วย

1. สัญญาณรวม (Composite signal) หรือ สัญญาณเสียงแบบโมโน เป็นสัญญาณ FM ธรรมดาที่อยู่ในช่วงความถี่ต่ำ ๆ ช่วงประมาณความถี่ 0-15 KHz การส่งสัญญาณนี้ออกไปเพื่อให้เครื่องรับ FM ธรรมดาสามารถรับฟังได้ เขียนเป็นความสัมพันธ์ได้ว่า L+R

2. สัญญาณสำรอง (Sub signal) หรือ สัญญาณผลต่าง เป็นสัญญาณที่เราส่งเข้าไปเพื่อให้เกิดการถอดรหัสสเตอริโอในเครื่องรับเขียนความสัมพันธ์ได้ว่า L-R สัญญาณนี้จะถูกมอดูเลตในระบบ AM ทำให้สัญญาณมีเฟส 2 เฟส เหมือนกับ AM คือ มีทั้ง -(L-R) และ +(L-R) เมื่อไปถึงเครื่องรับ ๆ จะทำการถอดรหัส ซึ่งผลของการถอดรหัสสามารถเขียนเป็นความสัมพันธ์ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 (L+R)+(L-R) = 2L (สัญญาณด้านซ้าย)

2.2 (L+R)-(L-R) = 2R (สัญญาณด้านขวา)

สัญญาณในระบบ AM จะมีปัญหาในการส่งสัญญาณ เพราะสัญญาณทั้งหมดจะต้องส่งในรูปแบบ FM ฉะนั้นระบบ AM ที่นำมาใช้จะเป็น แบบ AM DOUBLE SIDE BAND SUPPRESSED CARRIER (AM DSBSC) ซึ่งจะตัดความถี่พาหะย่อยออก ความถี่พาหะย่อย(SUB CARRIER) เท่ากับ 38 KHz ความถี่นี้จะไม่ไปรบกวนการส่ง เมื่อพิจารณาย่านความถี่จะอยู่ในช่วง 23 - 53 KHz (38+15 KHz , 38-15 KHz)

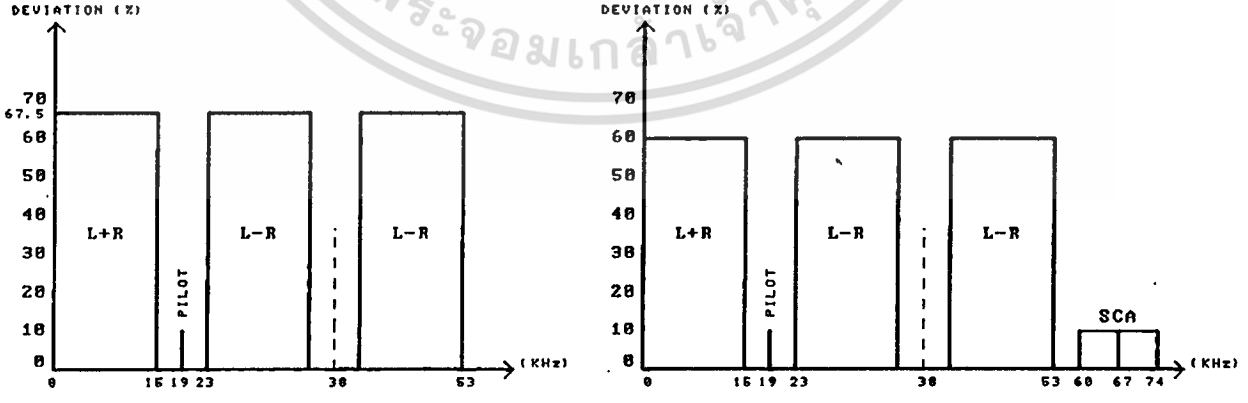
3. สัญญาณชี้นำ (Pilot signal) ทำหน้าที่ควบคุมให้เครื่องรับและเครื่องส่งทำงานตรงกัน ถ้าไม่มีสัญญาณ Pilot signal 19 KHz เครื่องรับจะไม่สามารถรับสัญญาณสเตอริโอมัลติเพล็กได้ จำเป็นต้องมีสัญญาณ Pilot มาช่วยในการถอดรหัส

4. สัญญาณเอสซีเอ (SCA signal) เป็นสัญญาณที่อาศัยเครื่องส่งของสถานีวิทยุ FM ใดก็ได้ส่งออกอากาศไปพร้อมกับการออกอากาศของรายการปกติ โดยมีการตั้งสตูดิโอเพื่อผสมสัญญาณแฝงเข้าไป สัญญาณ SCA จะอยู่ในช่วง 60-70 KHz โดยมี Center Freq. อยู่ที่ 67 KHz ช่วงสวิงอยู่ระหว่าง +7 KHz,-7 KHz

ระบบ FM MONO ธรรมดา สวิงจะอยู่ระหว่าง 75 KHz Deviation 100 %

ระบบ FM STEREO MULTIPLEX สวิงอยู่ระหว่าง 67.5 KHz Deviation 90 %

ระบบ FM STEREO MULTIPLEX & SCA สวิงอยู่ระหว่าง 60 KHz Deviation 80 %

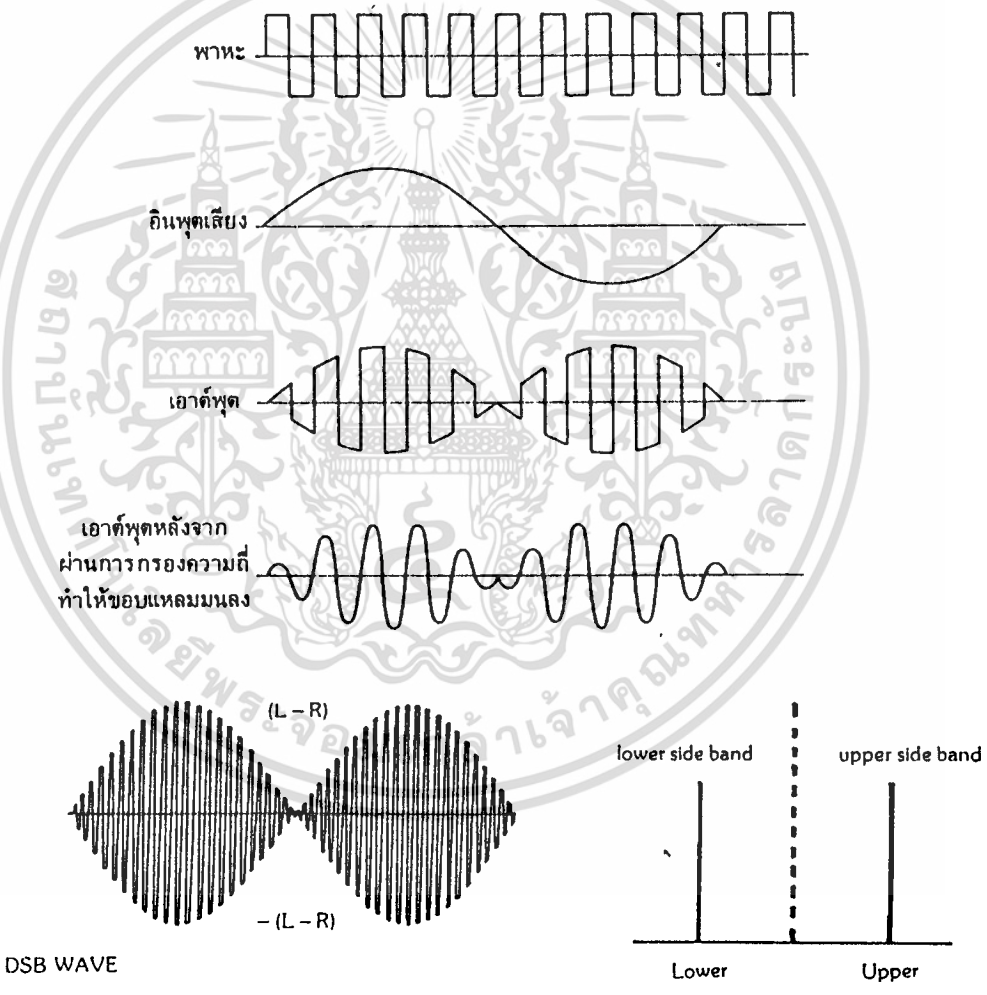


รูปที่ 3.6 แสดงสเปคตรัมที่ดิวิเอชั่นของ FM STEREO MULTIPLEX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 บาลานซ์มอดูเลเตอร์

เนื่องจากในระบบ AM ไม่มีข่าวสารปนอยู่ในคลื่นพาหะ เราจึงสามารถกำจัดหรือเอาคลื่นพาหะออกก่อนที่จะทำการส่งออกอากาศ วงจรที่ทำหน้าที่นี้เรียกว่า วงจรบาลานซ์มอดูเลเตอร์(Balanced modulator)หรือเขียนว่า BM วงจร BM นี้จะผสมสัญญาณเสียงกับสัญญาณพาหะและผลลัพธ์จากการผสมเฉพาะไซด์แบนด์เท่านั้นที่ผ่านไปยังเอาพุทได้สัญญาณที่ได้จากวงจรเรียกว่าสัญญาณ AMDSBSC



รูปที่ 3.7 แสดงลักษณะการมอดูเลตของคลื่น AMDSBSC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 เครื่องส่งสเตอริโอ

ในรูปที่ 8 แสดงแผนผังของเครื่องส่งระบบสเตอริโอมัลติเพล็กซ์ สัญญาณจากไมโครโฟนแชนเนลซ้าย (L) และขวา (R) จะผ่านวงจรขยายแล้วนำมาป้อนแก่วงจรบวก A เกิดเป็นสัญญาณ (L+R) สำหรับสัญญาณ (R) อีกทางหนึ่งจะผ่านวงจรอินเวอร์เตอร์ (วงจรขยายธรรมดา) เพื่อกลับเฟสให้เป็น (-R) แล้วป้อนเข้าวงจรบวก B เพื่อบวกกับสัญญาณ L เกิดเป็นสัญญาณ (L-R) ส่วนสัญญาณ R อีกทางหนึ่งจะเข้าสู่วงจรบวก A เพื่อบวกกับ L เกิดเป็นสัญญาณ (L-R) ส่วนสัญญาณ R อีกทางหนึ่งจะเข้าสู่วงจรบวก A บวกกับ L เกิดเป็นสัญญาณ (L+R)

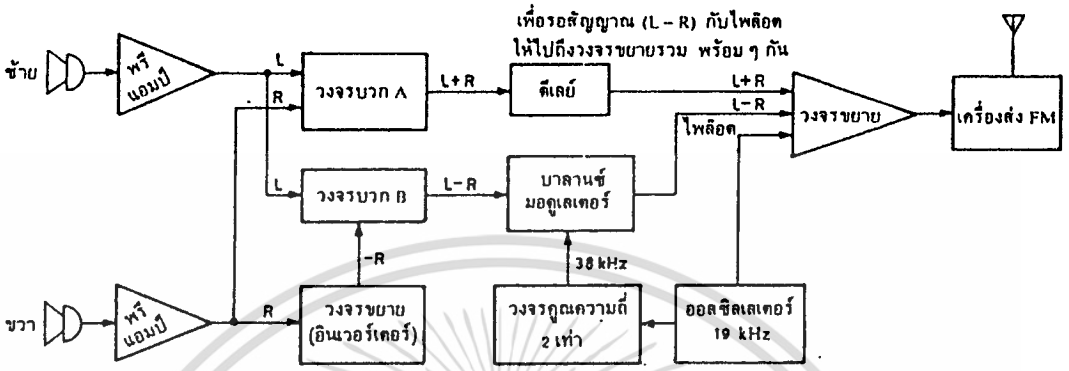
สัญญาณ (L-R) จะป้อนไปให้วงจรบาลานซ์มอดูเลเตอร์ (BM) โดยใช้พาหะรอง 38 KHz พาหะรองนี้เกิดจากออสซิลเตอร์ 19 KHz มาคูณสองเท่าโดยวงจรคูณความถี่ที่ได้จาก BM จะเป็นสัญญาณ DSB ของ (L-R) สัญญาณนี้จะผ่านการขยายแล้วป้อนภาคส่ง เช่นเดียวกับสัญญาณ (L+R) ซึ่งต้องหน่วงเวลาเล็กน้อยเพื่อชดเชยเวลาที่สัญญาณ (L-R) ต้องเสียไปในการมอดูเลต ทำให้สัญญาณทั้ง (L+R) และ (L-R) มาถึงภาคส่งพร้อมกันนอกจากนี้สัญญาณไพล็อต 19 KHz ออสซิลเลเตอร์ก็ป้อนให้ภาคส่งด้วย สัญญาณทั้งหมดจะถูกมอดูเลตแบบ FM โดยให้พาหะหลักร่วมกัน

มาตรฐานวิทยุกระจายเสียง FM กำหนดไว้ว่า ความเบี่ยงเบนจะต้องเท่ากับ +75 กิโลเฮิรตซ์ ไม่ว่าจะเป็นโมโนหรือสเตอริโอ ดังนั้นในระบบสเตอริโอสัญญาณเสียงจะต้องลดเปอร์เซ็นต์การมอดูเลตลงไปเล็กน้อยเนื่องจากเราต้องมอดูเลต สัญญาณไพล็อต 19 กิโลเฮิรตซ์ลงไปด้วย สัญญาณไพล็อตนี้จะมอดูเลตไว้ 10 เปอร์เซ็นต์ของความถี่เบี่ยงเบนสูงสุด $\pm$75 กิโลเฮิรตซ์ หรือ $\pm$75 กิโลเฮิรตซ์ x 10 เปอร์เซ็นต์ = $\pm$7.5 กิโลเฮิรตซ์ ฉะนั้น สัญญาณเสียงที่เข้ามอดูเลต จึงมอดูเลตลดลงไปอีก 90 เปอร์เซ็นต์ กับ 100 เปอร์เซ็นต์ ผิดกันเพียง 10 เปอร์เซ็นต์เท่านั้น ผู้ฟังจะสังเกตไม่ออกว่าความดังลดลง

สังเกตว่า ในส่วนที่เข้ามอดูเลต 90 เปอร์เซ็นต์ของสัญญาณเสียงนี้ ยังจะต้องแบ่งอีกเป็น 2 ส่วนสำหรับ (L+R) กับ (L-R) เท่า ๆ กันอีก แต่ความจริงไม่เป็นเช่นนั้น เพราะสัญญาณ (L+R) กับ (L-R) รวมกันจะไม่ทำให้ความถี่เบี่ยงเบนเพิ่มขึ้นเป็น 2 เท่า เนื่องจากเมื่อสัญญาณ (L+R) มีค่ามาก สัญญาณ (L-R) จะมีค่าน้อยและในทางกลับกันเมื่อสัญญาณ (L+R)มีค่าน้อยสัญญาณ (L-R) จะกลับมีค่ามาก ดังนั้นการเบี่ยงเบนความถี่จะไม่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โอกาสเกินได้



รูปที่ 3.8 แสดงหลักการเครื่องส่งสเตอริโอมัลติเพล็กซ์

3.9 การส่งวิทยุกระจายเสียง

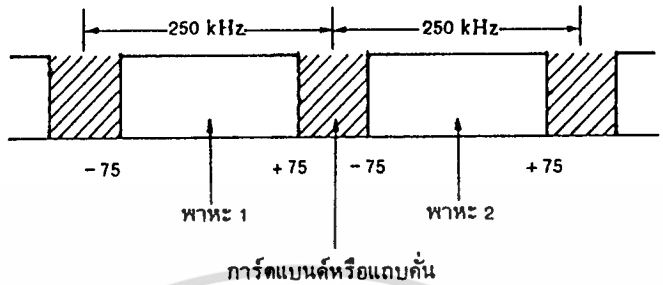
วิทยุกระจายเสียงที่สำคัญ ๆ ในประเทศไทยมี 2 ระบบ คือ ระบบวิทยุ AM และระบบวิทยุ FM (บางสถานีเป็น FM ธรรดาและสถานีเป็น FM สเตอริโอมัลติเพล็กซ์)ซึ่งจำนวนสถานีส่งวิทยุก็มีอยู่นับร้อยสถานี คณะกรรมการบริหารวิทยุกระจายเสียงและโทรทัศน์ได้วางระเบียบการส่งกระจายเสียงไว้เพื่อป้องกันมิให้เกิดการรบกวนระหว่างกัน โดยยึดการและมาตรฐานสากล

ในระบบ FM จะใช้ย่านความถี่ตั้งแต่ 88 ถึง 108 เมกะเฮิรตซ์ คลื่น FM ของแต่ละสถานีมีแบนด์วิดท์ได้ไม่เกิน 200 กิโลเฮิรตซ์ ความเที่ยงตรงของความถี่พาหะผิดพลาดไม่เกิน 20 ส่วนในล้านส่วน (20 / 1,000,000 = 0.00002) คลื่นแปลกปลอมที่เล็ดลอดจากเครื่องส่งต้องมีค่าไม่เกิน 1 มิลลิวัตต์ (หรือต่ำกว่าคลื่นพาหะไม่น้อยกว่า 60 dB)

สำหรับมอดูเลเตอร์ FM จะต้องมีวงจรป้องกันโอเวอร์มอดโดยสัญญาณเสียงที่ใช้มอดูเลตมีความถี่อยู่ในช่วงระหว่าง 50 ถึง 15000 เฮิรตซ์

สัญญาณ FM ต้องมีการเบี่ยงเบน (deviation)ไม่เกิน $\pm$75 กิโลเฮิรตซ์ ดูรูปสังเกตว่ามีการ์ดแบนด์ (guardband) คั่นระหว่างช่องสถานีเพื่อป้องกัน การรบกวนเข้าช่องอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงแบนวิดท์และการ์ดแบนด์ของ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

Digital Stereo Generator

ชุด Digital Stereo Generator จะเป็นชุดที่สร้างสัญญาณ FM Stereo Multiplex ซึ่งจะประกอบด้วย สัญญาณ L+R , L-R (AMDSBSC) และ Pilot

สัญญาณ L+R ได้จากการนำสัญญาณ L และ R มารวมกัน (Summing)

สัญญาณ L-R ได้จากการนำสัญญาณ L และ R มาผ่านชุด Analog Switch โดยที่ใช้สัญญาณ Pulse (Square wave) 38 KHz มาควบคุม Analog Switch เพื่อใช้ในการสร้างสัญญาณ L-R

สัญญาณ Pilot 19 KHz ได้จากชุด Oscillator 19 KHz Sine wave

4.1 หลักการทำงาน ชุด Digital Stereo Generator

- Oscillator 456 KHz ทำหน้าที่ผลิต Square wave 456 KHz

- Divider จะเป็นวงจรที่ทำหน้าที่หาร ความถี่ 456 KHz เป็น 19 KHz , 38 KHz ,114 KHz เราจะใช้ความถี่ 19 KHz เป็นความถี่อ้างอิงในการผลิตสัญญาณ Pilot 19 KHz (Sine wave) ส่วนความถี่ 38 KHz จะใช้ในการควบคุมการสับสวิทช์ของชุด Analog Switch

- ชุด Phase Detector , LPF และ VCO จะเป็นวงจร PLL ที่สร้างสัญญาณ Pilot 19 KHz (sine wave)

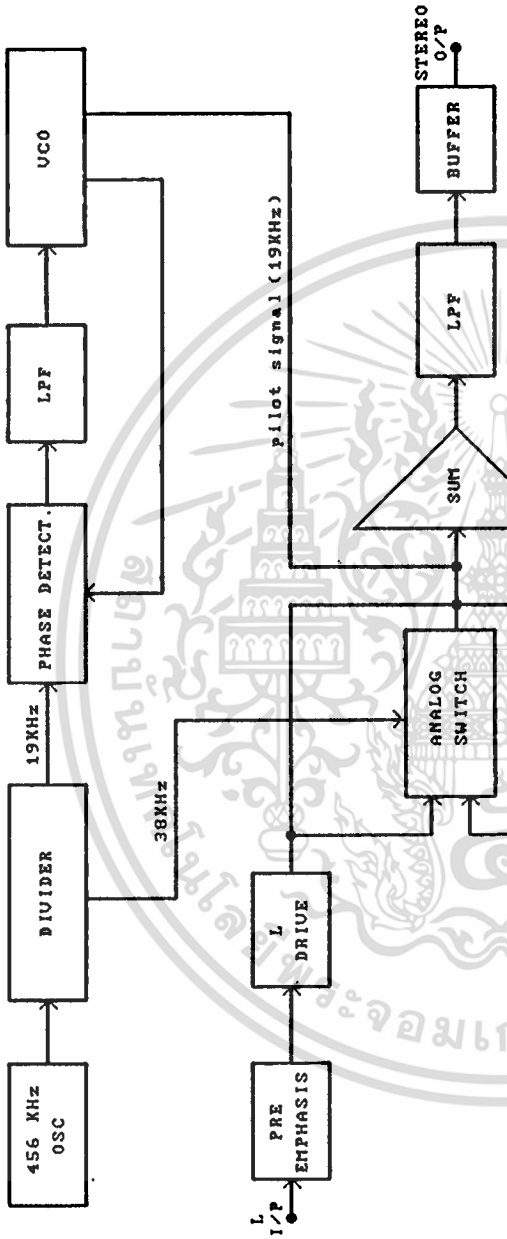
- Preemphasis และ Driveจะเป็นชุดที่ยกระดับสัญญาณทางความถี่สูงของสัญญาณ L และ R

- Analog Switch เป็นที่สร้างสัญญาณ L-R

- Summer ทำหน้าที่รวมสัญญาณ L+R , L-R และ Pilot 19 KHz เข้าด้วยกัน

- LPF และ Buffer ทำหน้าที่ Filter สัญญาณ FM Stereo Muitiplex และขับกระแสของสัญญาณด้วย Buffer เพื่อที่จะนำไปใช้งานในภาคอื่นๆต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

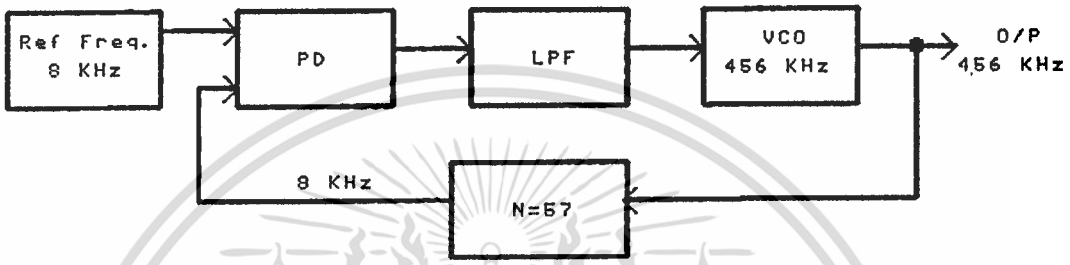


รูปที่ 4.1 แสดง Block Diagram Digital Stereo Generator (DSG)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจร Oscillator 456 KHz

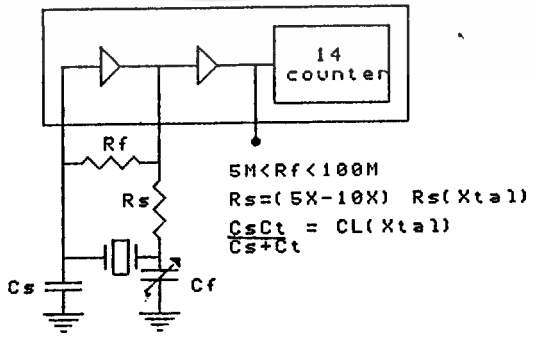
วงจรนี้ทำหน้าที่เป็น PLL โดยมีตัวหาร N เท่ากับ 57 ซึ่งเปรียบเสมือนวงจร Synthesizer



รูปที่ 4.2 แสดง Block Diagram Oscillator 456 KHz

- วงจรสร้างความถี่อ้างอิง 8 KHz ใช้ Crystal 10.24 MHz ผลิตความถี่ 10.24 MHz นำความถี่นี้หารด้วย 128 โดยใช้ IC 4060 จะได้ความถี่เท่ากับ 80 KHz หารด้วย 10 โดยใช้ IC 4017 เหลือความถี่ 8 KHz เป็นความถี่ที่ใช้ในการอ้างอิง

- วงจร Oscillator ที่ควบคุมด้วย Crystal สามารถสร้างจากอุปกรณ์ Active เช่น Transister , FET , MOS-FET ในงานนี้ใช้วงจร Oscillator ซึ่งสร้างจาก IC ชนิด CMOS



รูปที่ 4.3 แสดงวงจร Oscillator ที่ควบคุมด้วย Crystal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรดังรูปจะสามารถทำงานได้อย่างถูกต้องถ้าทราบค่า Loading Capacitor (C_L) ของ Crystal ซึ่งกำหนดโดยผู้ผลิตปรกติที่ความถี่ต่ำกว่า 8 MHz จะมีค่าไม่เกิน 32 pF , 20 pF สำหรับความถี่ช่วง 8-15 MHz และความถี่สูงกว่า 15 MHz ดังสมการ

$$C_L = (C_{in}*C_{out})/(C_{in}+C_{out})+C_a+C_o+(C_1*C_2)/(C_1+C_2)$$

C_{in} คือ Input และ Outpt Capacitor ของ Inverter

C_a คือ Capacitance ระหว่างขา Input และ Output ของ Inverter

ปรกติที่แรงดัน VCC = 5 V ค่า C_{in} = 5 pF , C_{out} = 6 pF , C_a = 5 pF , R_f = 5-20 Mohms

IC บางเบอร์จะมีวงจร Oscillator (Inverter) อยู่ภายใน IC ด้วยเช่น เบอร์ 4060

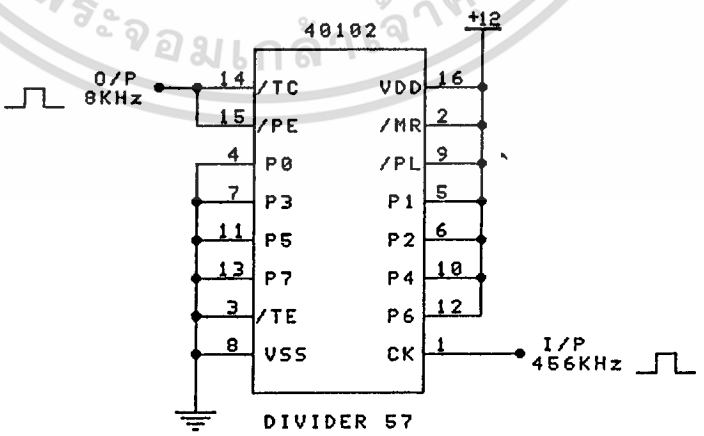
ภายใน IC 4060 จะมี PD ภายในเมื่อ Phase ความถี่อ้างอิงกับความถี่ที่ผลิตได้ไม่ตรงกันจะเกิด Voltage Error ไปควบคุม VCO ซึ่งอยู่ภายใน IC ให้ผลิตความถี่ให้ตรงตามที่ต้องการความถี่ที่ผลิตสามารถเปลี่ยนได้โดยตั้ง Program หาร ที่ IC 40102

- วงจร PLL ใช้ IC 4046
- วงจรหาร 57 ใช้ IC 40102 ซึ่งสามารถโปรแกรมได้

การโปรแกรม IC 40102

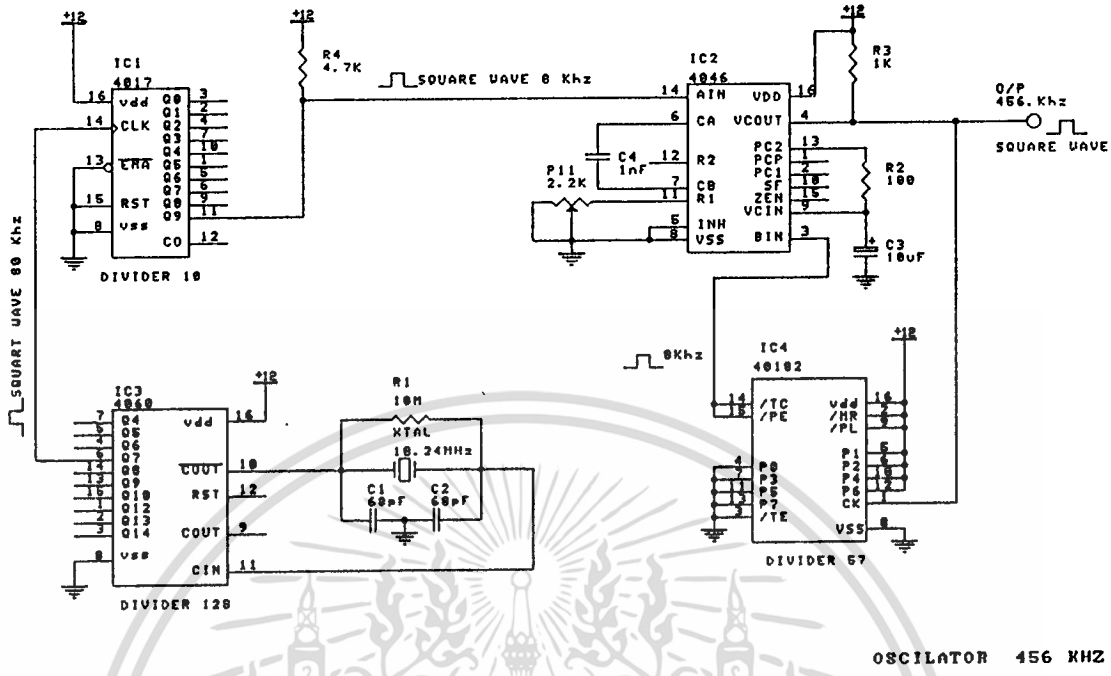
Preset = N-1 = 57-1 = 56

เพราะฉะนั้นถ้าเราตั้งโปรแกรมหาร 56 IC จะทำหน้าที่หาร 57 ตามต้องการ



รูปที่ 4.4 แสดงการโปรแกรม IC 40102 หาร 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 แสดงวงจร Oscilator 456 KHz

4.3 วงจร Divider

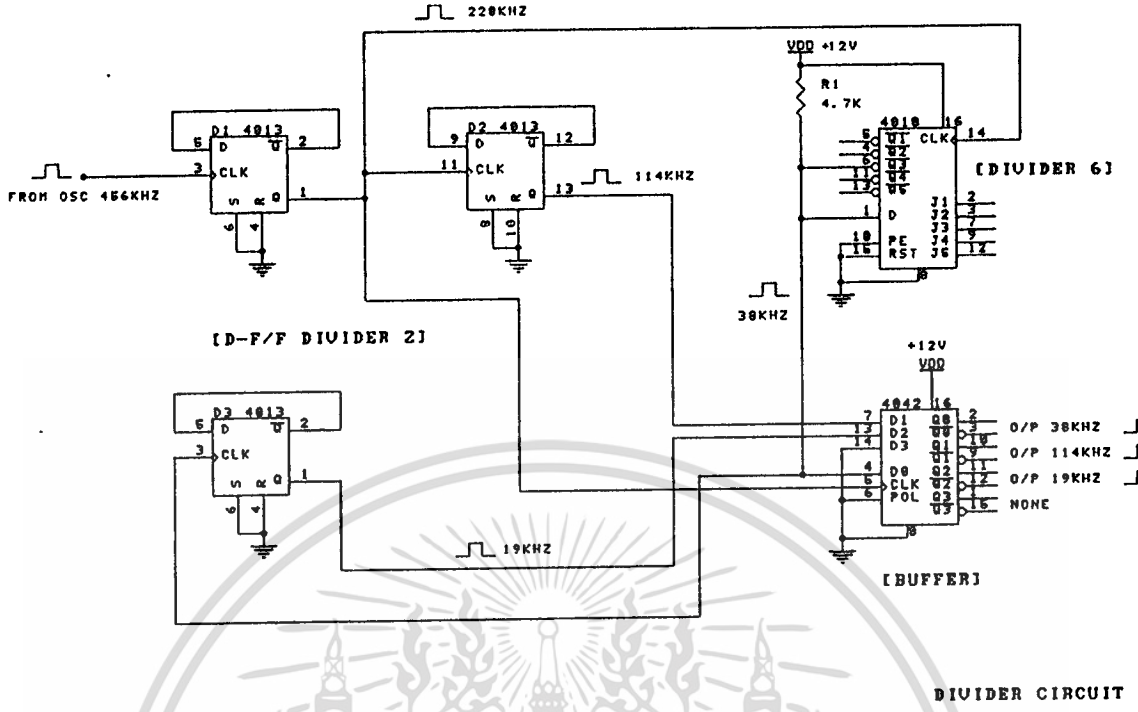
- ความถี่ 456 KHz ที่ได้มาจากชุด Oscillator 456 KHz จะถูกหารด้วย D1 F/F ซึ่งอยู่ภายใน IC 4013 ภายใน IC จะมี D F/F 2 ตัว แต่ละตัวจะทำหน้าที่หาร 2 เพื่อให้ได้ความถี่ 228 KHz จากนั้นนำความถี่ 228 KHz นี้หารต่อด้วย D2 F/F เพื่อให้ได้ความถี่ 114 KHz แต่ความถี่นี้เราไม่ได้ใช้งาน เก็บไว้เช็คสัญญาณเท่านั้น

- ความถี่ 228 KHz จะถูกหาร 6 ด้วย IC 4018 ซึ่ง Program การหารได้ จะได้ความถี่ 38 KHz เพื่อนำไปควบคุม Analog Switch

- ความถี่ 38 KHz จะถูกหาร 2 ด้วย D3 F/F อีกครั้งเพื่อให้ได้ความถี่ 19 KHz ออกมา

- Buffer จะใช้ IC 4042 (CMOS Quad Latch) จะทำหน้าที่ Latch สัญญาณ พร้อมทั้งขับกระแสให้แก่สัญญาณเพื่อให้สามารถขับภาคอื่นๆ ต่อไปได้ และยังทำหน้าที่กลับ Phase ของสัญญาณให้เป็น 114 KHz ,/114 KHz ,38 KHz ,/38 KHz ,19 KHz , /19 KHz ซึ่งทั้งหมดเป็น Output ของวงจร Divider

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงวงจร Divider

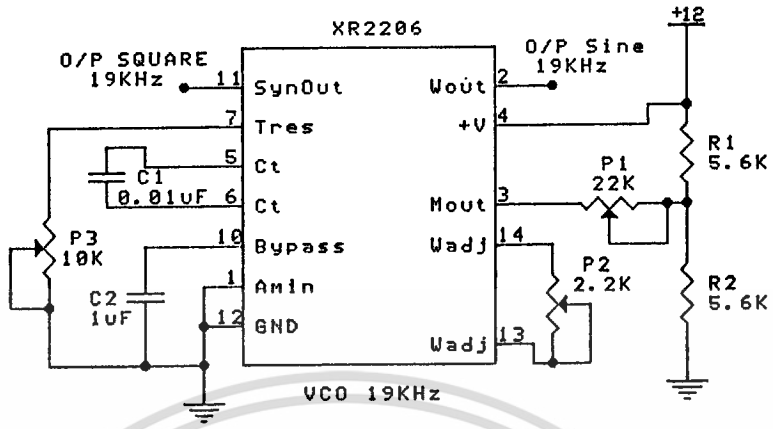
4.4 วงจร Oscillator 19 KHz (Sine wave)

วงจร Oscillator นี้จะจัดเป็นชุด Phase Locked Loop (PLL)

รูปที่ 4.7 แสดง Block Diagam Oscillator 19 KHz

- VCO (Voltage Control Oscillator) ใช้ IC XR 2206 ซึ่งจะทำให้สามารถผลิตสัญญาณ Output เป็น Sine wave 19 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 แสดงวงจร VCO XR2206 19 KHz

การออกแบบ XR 2206

สามารถที่จะผลิตสัญญาณรูป Sine wave โดยการหาค่า C_1 ที่ขา 5 และขา 6 และค่า R ที่ต่ออยู่ที่ขา 7 ความถี่ที่ได้หาได้จาก

$$f_o = 1/RC_1 \qquad ; \quad f_o = 19 \text{ KHz}$$

กำหนด $C_1 = 0.01$ uF

$R = 5.263$ Kohms

เพราะฉะนั้นเลือกใช้

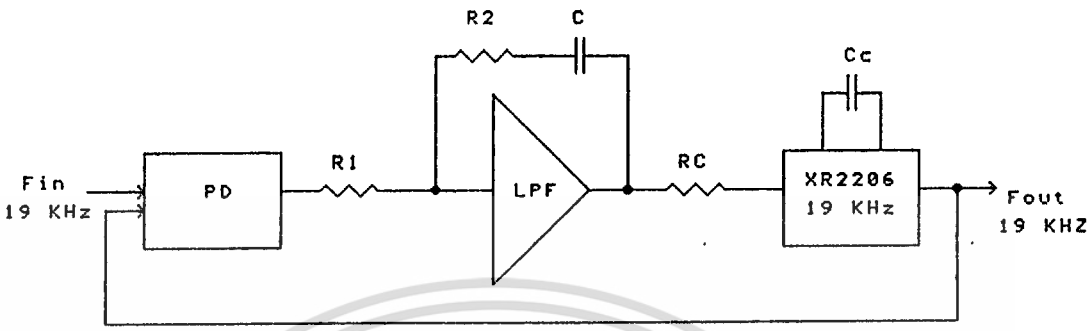
VR = 10 Kohms

สังเกตว่า Timing Resistor ใช้แค่ขา 7 ของ IC เท่านั้นเพราะว่าขา 9 (FSK Input) มิได้ป้อนสัญญาณ

วงจรจะผลิตสัญญาณ Sine wave หรือไม่ขึ้นอยู่กับการปรับค่า VR (P2) ที่ขา 13 และ 14ของ IC สำหรับแรงดันไฟฟ้าที่ขา 3 ของ IC มีค่าเป็นครึ่งหนึ่งของ VCC โดยใช้ R1 และ R2 ทำหน้าที่แบ่งแรงดัน ดังนั้น Sine wave ที่ขา 2 ควรมีค่าประมาณครึ่งหนึ่งของแรงดันที่ VCC โดยขึ้นอยู่กับ VR (P1)

- วงจรกรองความถี่ต่ำ (Low Pass Filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดง Block Diagram LPF ของ PLL

การออกแบบ LPF

(PD Gain) K_d = VCC/4π = 12 V/4π = 0.95 V/rad

(VCO Gain) K_o = - 0.32/$R_c C_c$ จาก Data Sheet

กำหนดให้ C_c = 0.01 uF VCO ในการออกแบบนี้ให้ K_o = 8 Hz/V

R_c = 3.6 Kohms

W_n = 10 Kz ทำให้ค่า Setting time (t_s) = 71 ms

ซึ่งเป็นค่าที่ยอมรับได้

= 0.707 (Damping Factor)

กำหนดให้ C = 1 uF

R_1 = $(K_o K_d)/N(W)C$; N = 1

R_2 = $(2)/W_n C$

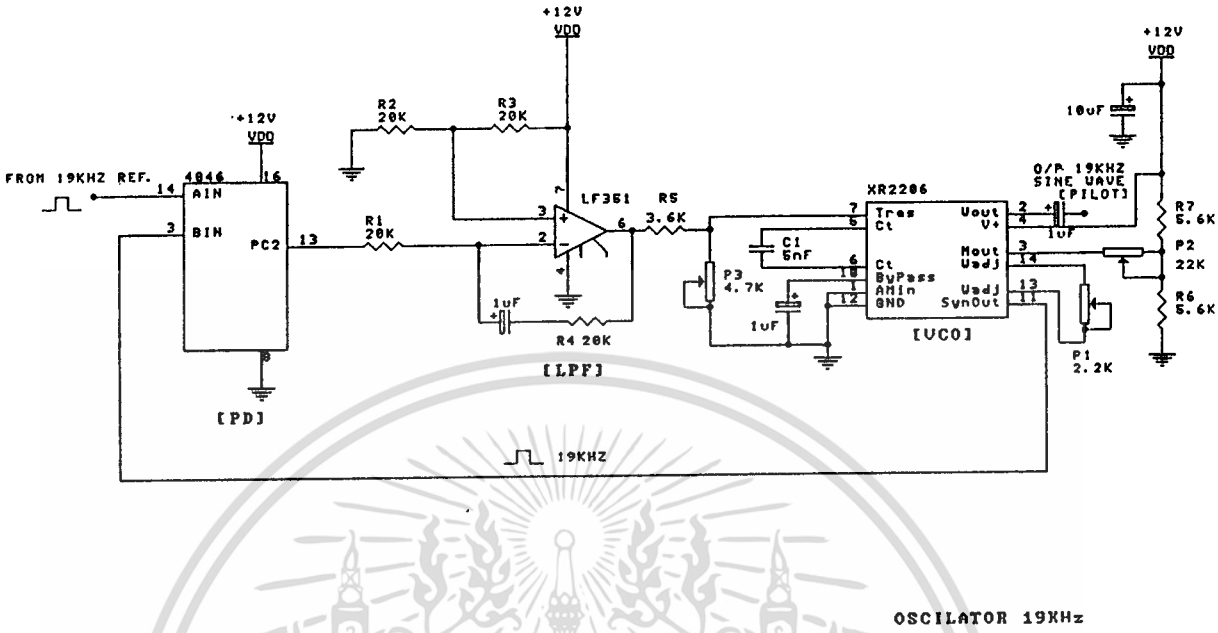
เพราะฉะนั้น

R_1 = 30 Kohms

R_2 = 20 Kohms

- วงจร PD ใช้ IC 4046 เป็นตัวเปรียบเทียบ Phase ระหว่างความถี่ 19 KHz อ้างอิงกับความถี่ 19 KHz ที่ผลิตได้จาก VCO

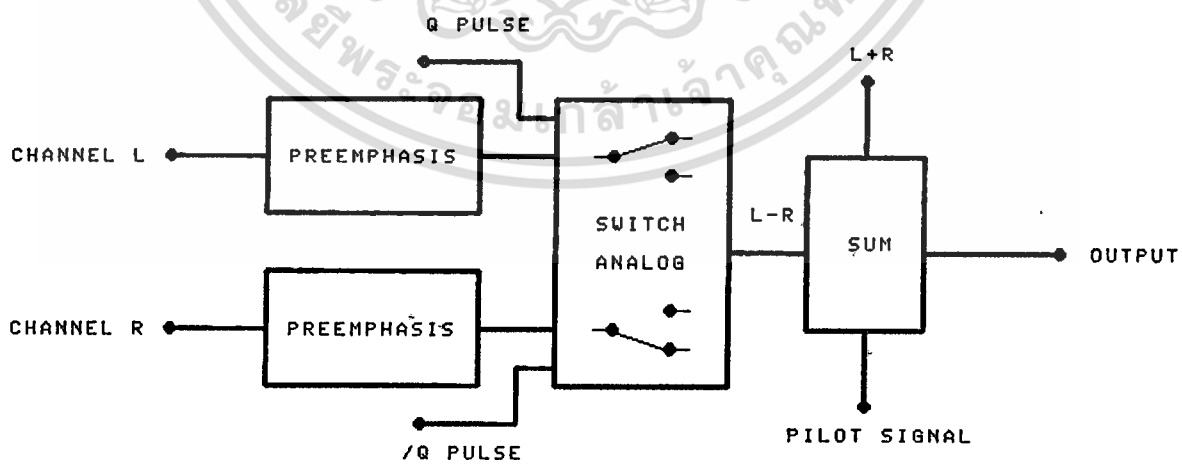
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงวงจร Oscillator 19 KHz

4.5 วงจรเข้ารหัสสัญญาณ Stereo

การส่งกระจายเสียงแบบ FM Stero Multiplex ใน Project นี้จะใช้เทคนิค ของ Analog Switch แสดงดังรูป

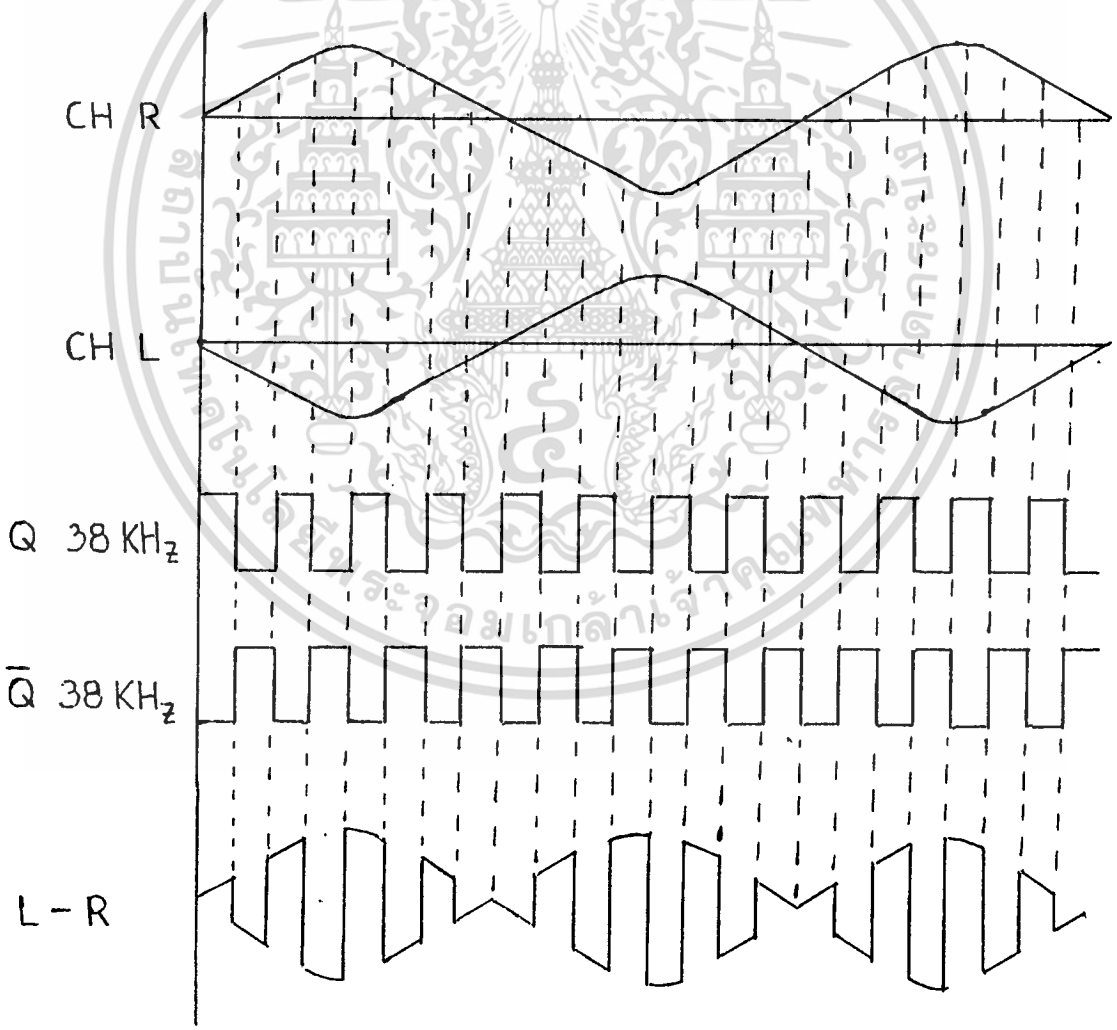


รูปที่ 4.11 แสดง Block Diagram วงจรเข้ารหัสสัญญาณ Stereo

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปวงจรเข้ารหัสสัญญาณ Stereo ประกอบไปด้วยวงจรต่างๆได้แก่ วงจร Preemphasis ซึ่งมีวงจร L และ R Drive ,วงจร Analog Switch ซึ่งใช้IC 4066 ,วงจร SUM จาก Block Diagram Output จะเป็นสัญญาณ Stereo โดยมีสัญญาณ Pilot 19 KHz ,L-R 38 KHz และ L+R

สัญญาณที่ออกมาจาก Analog Switch จะได้เป็น สัญญาณ L-R 38 KHz แบบ Amplitude Modulation Double Sideband Suppress Carier (AMDSBSC) ทำได้โดยเรานำเอา Pulse 38 KHz Q , /Q มาควบคุมการ ON , OFF Analog Switch และ นำเอา Output ของ Switch ทั้งสองมาต่อร่วมกัน ลักษณะการ ON ,OFF ของ Switch จะคล้ายกับการ ON ,OFF ของ Diode ในวงจร Ring Modulation

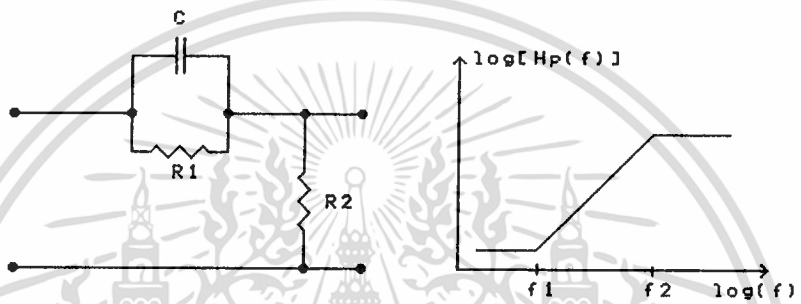


รูปที่ 4.12 แสดงรูปสัญญาณ Output IC 4066 ซึ่งทำหน้าที่เป็นวงจร Balance Mod.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 วงจร Preempasis

วงจร Preempasis เป็นวงจรยกระดับสัญญาณความถี่สูงเพื่อที่จะชดเชยอัตราของสัญญาณต่อสัญญาณรบกวนที่ภาครับสำหรับวงจร Preempasis แสดงวงจรและผลตอบสนองความถี่ได้ ดังรูป



รูปที่ 4.13 แสดงวงจร Preempasis และผลตอบสนองของความถี่

โดย Transfuction ของวงจร Preempasis แสดงได้ดังนี้คือ

$$H_p(f) = \frac{K[1+j(f/f1)]}{[1+j(f/f2)]}$$

$$f_1 = 1/2\pi R_1 C$$

$$f_2 = (R_1+R_2)/(2\pi R_1 R_2 C)$$

โดยค่า R_1C ของวงจรจะมีค่าคงที่ของเวลาเท่ากับ 75 uS ความถี่ f_1 จะมีความถี่หักมุมที่ 2.1 KHz โดยอัตราความลาดชันต่อผลตอบสนองความถี่ระหว่าง f_1 และ f_2 มีขนาด 20 dB/decade หรือ ความถี่ตั้งแต่ 2.1 KHz ถูก Prermpssisโดยค่า f_2 มีค่าประมาณ 15 KHz ดังนั้นในการออกแบบเลือก C = 0.0033 uS ค่า R_1 ใช้ค่า 22 Kohms, R_2 ใช้ค่า 3.9 Kohms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 วงจรเลื่อน Phase สัญญาณ Pilot

สำหรับเลื่อนหรือหน่วงเวลาของสัญญาณ Pilot โดยแสดง Transfuction ของแรงดัน Output และ Input คือ

$$H(f) = \frac{1-j(f/f_{\circ})}{1+j(f/f_{\circ})}$$

โดย

$$f_{\circ} = 1/2\pi RC$$

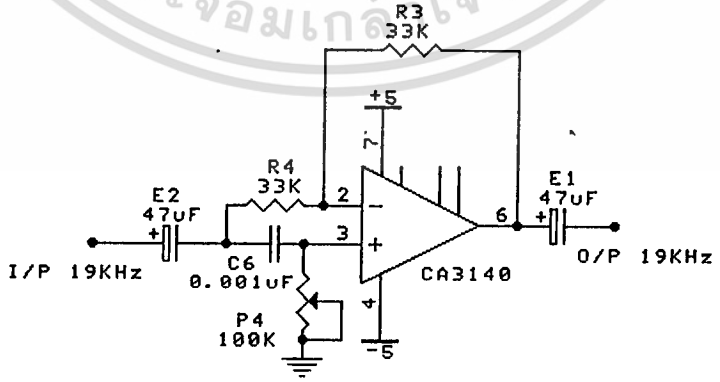
และ Phase Transfuction แสดงได้คือ

$$\phi(f) = -2\tan^{-1}(f/f_{\circ})$$

(โดยที่ความถี่ $f_{\circ}$ Phase Output จะเลื่อนล้าหลังไป 90 องศา)

ในการออกแบบให้ Output เลื่อน Phase ได้ 0-180 องศา ถ้ากำหนดค่า c เท่ากับ 0.001 uF และใช้ค่า R ปรับค่าได้ขนาด 100 Kohms

วงจรเลื่อน Phase นี้จะมีผลมากต่อการแยก ซ้าย ขวา ของการส่ง ถ้า Phase ของสัญญาณ Pilot นี้มี Phase ที่นำหน้าไปมากการแยก ซ้าย ขวา ก็จะไม่เกิดขึ้น และสิ่งที่สำคัญอีกอย่างคือ ความแรงของสัญญาณ L-R กับ L+R จะต้องมีความแรงที่เหมาะสม คือไม่มีสัญญาณใดสัญญาณหนึ่งแรงเกินไป เพราะถ้ามีสัญญาณใดแรงเกินไปก็จะไม่มีการแยก ซ้าย ขวา ของแต่ละ Channel เกิดขึ้น

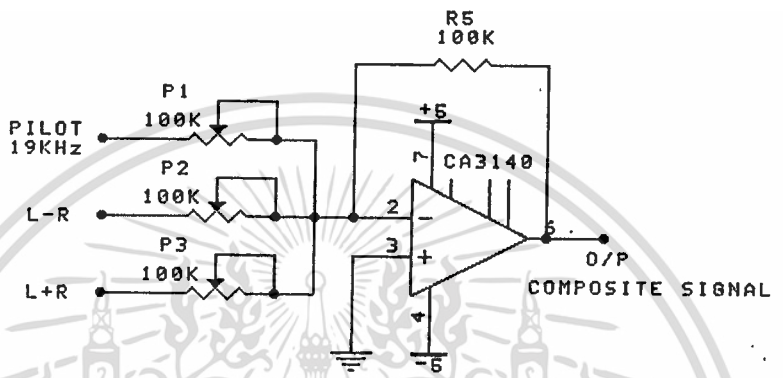


รูปที่ 4.14 แสดงวงจรเลื่อน Phase

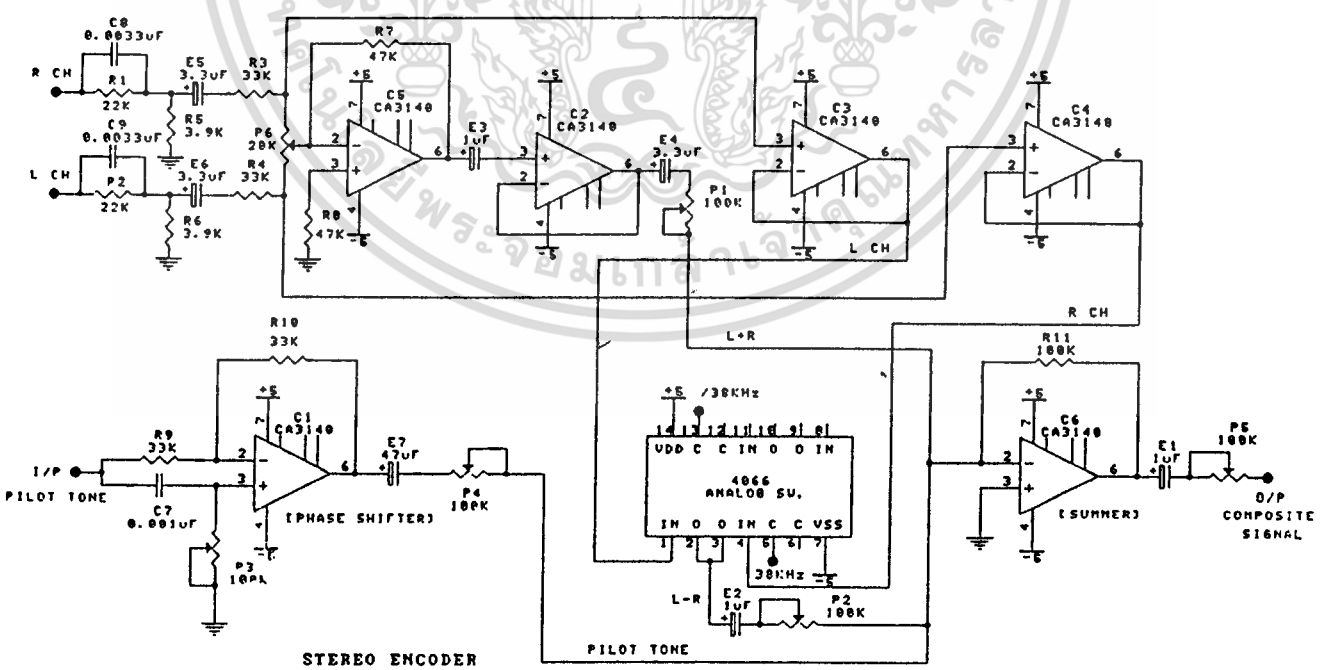
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 วงจรรวมสัญญาณ (Summing)

สำหรับรวมสัญญาณ Piiot ที่ผ่านวงจรเลื่อน Phase แล้วเข้ากับสัญญาณ L-R จากวงจร Analog Switch และ L+R จากวงจร L+R แสดงวงจร SUM ดังรูป



รูปที่ 4.15 แสดงวงจรรวมสัญญาณ



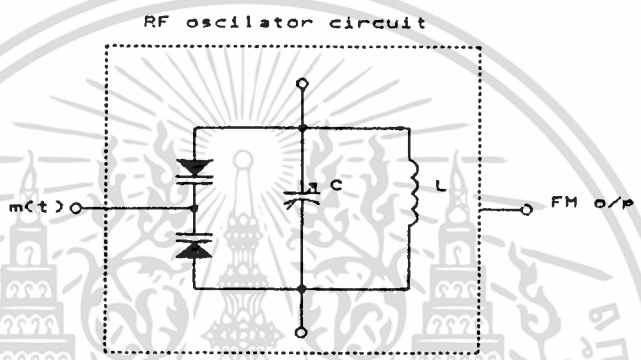
รูปที่ 4.16 แสดงวงจรเข้ารหัสสัญญาณสเตอริโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การมอดูเลตสัญญาณ FM

การมอดูเลตสัญญาณ FM ซึ่งเป็นการเปลี่ยนแปลงขนาดความถี่ของคลื่นพาห์ ตามสัญญาณเบสแบนด์ที่มอดูเลต สำหรับในที่นี้จะกล่าวถึงการมอดูเลตแบบตรง(Direct FM)ซึ่งเป็นการมอดูเลตสัญญาณเบสแบนด์เข้ากับวงจรกำเนิดคลื่นพาห์โดยตรง การสร้างสัญญาณ FM ใช้วงจรกำเนิดความถี่ เช่น วงจรกำเนิดความถี่แบบ LC โดยแสดงวงจรสมมูลย์ได้ดังรูป



รูปที่ 5.1 แสดงวงจรสมมูลย์วงจรกำเนิดความถี่แบบ LC

ค่าของความถี่ที่กำเนิดขึ้นอยู่กับค่าของ LC ซึ่งเขียนได้เป็น

$$W_1 = 1/\sqrt{LC}$$

W_1 = ความถี่ที่กำเนิดจากวงจร LC

โดยค่า C หรือค่าคาปาซิแตนซ์สามารถเปลี่ยนแปลงค่าตามความถี่ที่เข้ามอดูเลตหรือเขียนได้เป็น

$$C = C_o - K_c\, m(t)$$

โดย C_o เป็นค่าปาซิแตนซ์ขณะที่ไม่มีความถี่ที่ Input

K_c ค่าของความไวในการเปลี่ยนแปลงของค่าปาซิแตนซ์

$m(t)$ สัญญาณเบสแบนซ์ที่มอดูเลต

ดังนั้นความถี่ชั่งขณะใด ๆ คือ

$$W_1(t) = \frac{1}{\sqrt{L(C_o - K_c\, m(t))}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการเขียนได้

$$W_1(t) = - \frac{W_o}{\sqrt{1 - K_c\, m(t)/C_o}}$$

โดย W_o เป็นความถี่ของวงจรที่ไม่ถูกมอดูเลตด้วยสัญญานเบสแบนช์สมการประมาณได้

$$W_1(t) = W_o \left(1 + \frac{K_c\, m(t)}{2C_o}\right)$$

ถ้ากำหนดค่าคงที่ในการมอดูเลต

$$Kf = \frac{W_o K_c}{2C_o}$$

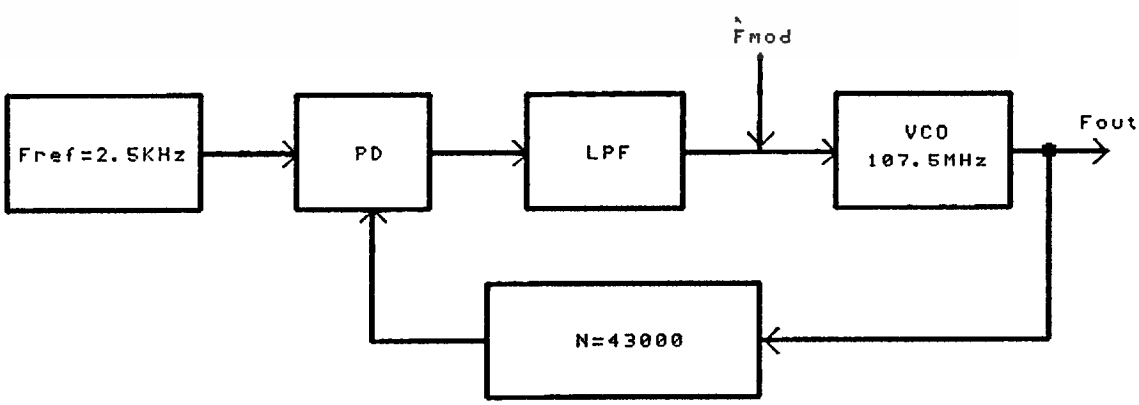
ดังนั้นแสดงได้ว่าวงจรกำเนิดความถี่แบบ LC ใด ๆที่ C สามารถเปลี่ยนแปลงตามสัญญาณเบสแบนช์ Input สามารถกำเนิดสัญญาณ FM ได้ดังสมการของ FM คือ

$$W_1(t) = W_o + Kf\, m(t)$$

ซึ่งเป็นสมการของสัญญาณ FM

5.1 การออกแบบวงจรมอดูเลตสัญญาณ FM

สำหรับในส่วนนี้จะกล่าวถึง การออกแบบวงจรมอดูเลต FM แบบตรง (Direct Modulation) การควบคุมความถี่ของคลื่นพาห์ให้มีเสถียรภาพใช้เฟสล็อกลูป สำหรับวงจรมอดูเลตแบบตรงหรือวงจรที่มอดูเลตสัญญาณเบสแบนด์โดยตรงกับวงจรกำเนิดความถี่ ใช้วงจรกำเนิดความถี่ควบคุมด้วยแรงดันดังที่ได้กล่าวข้างต้น สำหรับวงจรมอดูเลต FM แสดงโครงสร้างดังรูป



รูปที่ 5.2 แสดงโครงสร้างวงจรมอดูเลตสัญญาณ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปต้องการสร้างสัญญาณคลื่นพาห์ที่มีความถี่เท่ากับ 107.5 MHz กำหนดให้สัญญาณคลื่นพาห์ต่อไซด์แบนด์ที่ยังไม่ทำการมอดูเลตมีขนาดลดทอนมากกว่า -60 dB สำหรับความถี่อ้างอิงของลูป กำหนดให้มีขนาด 2.5 KHz เพื่อจะให้ลูปทำการหารความถี่ของคลื่นพาห์ลงจำนวนมากๆ (43,000) เพื่อไม่ให้ลูปเกิดจากล็อก (loss of lock) เมื่อเกิดความถี่เบี่ยงเบนสูง ๆ เนื่องจากการมอดูเลตด้วยความถี่ต่ำสุดที่ต้องการมอดูเลตในที่นี้จะเท่ากับ 20 Hz สำหรับวงจรกรองในลูปใช้วงจรกรองแบบแอคทีฟชนิดลีดแล็ค

ความถี่ธรรมชาติของลูป และค่าแดมปิ้งเฟคเตอร์คือ

$$W_n = [K_o K_d / NT_1]^{1/2}$$

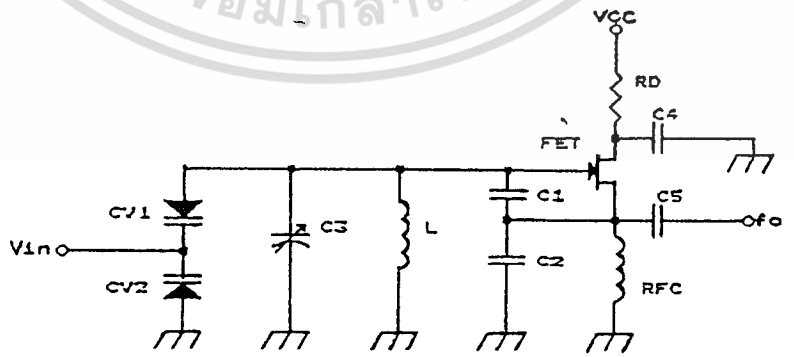
$$= T_2 W_n / 2$$

โดย $T_1 = R_1 C$ และ $T_2 = R_2 C$

สำหรับค่า K_d เป็นเฟสดีเทคเตอร์เกนในการออกแบบใช้ ดิจิตอลเฟสดีเทคเตอร์ ซึ่งเป็นวงจรรวม 4046 มีค่า $K = Vcc/4\pi$ ค่า K_o เป็นค่าเกนของ VCO หาได้จากวงจร VCO ซึ่งมีการออกแบบดังต่อไปนี้

5.2 วงจร VCO

สำหรับการออกแบบวงจร VCO ใช้ วงจรโคพิทออสซิเลทเตอร์ต่อร่วมกับ วาริแคป ดังแสดงวงจรได้ดังรูป



รูปที่ 5.3 แสดงวงจรโคพิทออสซิเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรให้ค่ารีแอคแตนซ์ของ RFC มีขนาดสูงมากที่ความถี่ออสซิเลทค่าคาปาซิแตนซ์ทางด้านอินพุทของ FET มีขนาดน้อยมากเมื่อเทียบกับ C_1 และ C_2 ดังนั้นค่าความถี่ที่ออสซิเลท จะเท่ากับ

$$f_o = \frac{1}{2\pi\sqrt{LC_o}}$$

$$C_o = \frac{C_1C_2}{C_1+C_2} + \frac{C_{v1}C_{v2}}{C_{v1}+C_{v2}} + C_3$$

โดยค่า C_{v1} และ C_{v2} เป็นค่าคาปาซิแตนซ์ของวาริแคปที่ควบคุมด้วยแรงดัน V_{in} ซึ่งขนาดของคาปาซิแตนซ์ต่อแรงดันคือ

$$C_v(v) = C_n\left[\frac{\phi - V_n}{\phi - V}\right]^n$$

n = ค่าชี้กำลังที่ขึ้นกับรอยต่อเท่ากับ 1/2 For Hyper arrupt junction

ϕ = Voltage ระหว่างรอยต่อ 0.7 V

V_n = Voltage ที่จุด bias

C_n = Capacitance ที่จุด bias

สำหรับค่าอัตราการเปลี่ยนแปลงความถี่จาก f_o ต่อการเปลี่ยนแปลงแรงดันอินพุทแสดงได้คือ

$$\frac{\Delta f_o}{\Delta v} = \frac{C_n \quad \phi - V_n}{8\pi L\ [C(\phi-V)]^{3/2}}$$

การออกแบบในทางปฏิบัติเลือกใช้ FETเบอร์ 2N5486 กำหนดให้แรงดันของวงจรมีขนาด 12 V แรงดันควบคุมของอินพุท Vin มีขนาด 1-12 V ถ้ากำหนดให้ค่าอินดัคแตนซ์ (L)ในวงจรมีขนาด 100 nH และ C_3 มีขนาด 4 pF แล้วให้วงจร vco ทำงานตั้งแต่ความถี่ 100 MHz - 110 MHz ได้คือ

$$C = \frac{1}{4\pi^2 f^2 L}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C_{100MHz} = 25 pF

C_{110MHz} = 20 pF

ซึ่งหมายถึงว่าค่าการเปลี่ยนแปลงของค่าคาปาซิแตนซ์ในวงจรVCO ที่จะทำให้ความถี่เปลี่ยนแปลงตั้งแต่ 100- 110 MHz มีขนาดเท่ากับ 5 pF การออกแบบเลือกใช้วาริแคปเบอร์ MV2101 ซึ่งมีขนาด 4pF เมื่อถูกรีเวิร์ดไบอัสเท่ากับ 12 V และมีขนาด 10 pF เมื่อถูกรีเวิร์ดไบอัสที่ 1V ซึ่งค่าเปลี่ยนแปลงของค่าคาปาซิแตนซ์มีขนาดใกล้เคียงกับความต้องการ

โดยในทางปฏิบัติถ้าต่อวาริแคปอนุกรมกันค่าความจุจะลดลงกึ่งหนึ่ง ดังนั้นจึงต้องต่อวาริแคปขนาดเข้าไปอีก 1 ชุด

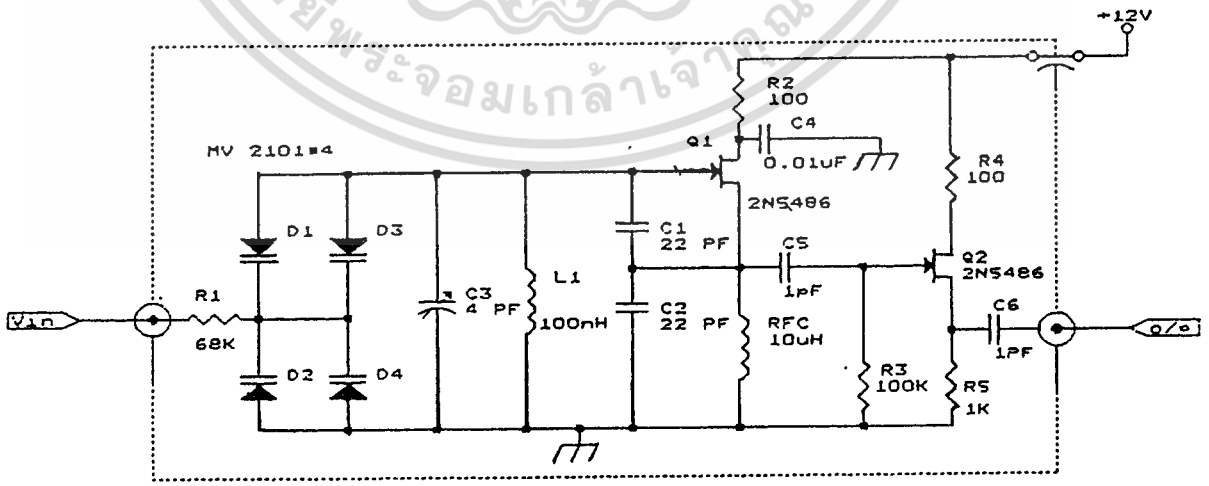
โดย $c_1 = c_2$ = 22 pF, c_3 = 4 pF

ถ้าแรงดันควบคุม VCO ที่ความถี่ 107.5 MHz มีขนาด 10 V แล้วค่า C ที่ 4 V ของ MV2101 เท่ากับ 6.8 PF ค่า C ที่ 107.5 MHz มีค่าประมาณ 22 PF แล้วค่า $\Delta f/\Delta V$ หรือค่า VCO เกน

$$\left.\frac{\Delta f}{\Delta V}\right|_{107.5MHz} = \frac{6.8\times10^{-12}\quad 0.7-(-4)}{8\pi\ 0.1\times10^{-6}\ [22\times10^{-12}(0.7-(-10))]^{3/2}}$$

$$= 516.4 \text{ KHz/V}$$

วงจรสมบูรณ์ดังรูป



รูปที่ 5.4 แสดงวงจร VCO ที่ใช้ในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 วงจรกรองความถี่ในลูป

ค่าความต้านทานของวงจรกรองในลูปเท่ากับ

$$R_1 = K_o K_d / N W_n^2 C$$

$$R_2 = 2/W_n$$

ข้อกำหนดในการออกแบบ ถ้าแรงดันสำหรับเฟสดีเทคเตอร์ 4046 เท่ากับ 12 V แล้ว

K_d = $12/4\pi$ V/rad

K_o = 516.4 KHz/V

N = 43000

W_n = $2\pi x20$ rad/s

และ ในการออกแบบต้องเลือกให้อัตราส่วนของ R_2 / R_1 ของวงจรมีอัตราส่วนน้อยกว่า 10 เท่า เพื่อป้องกันไม่ให้ ออปแอมป์เกิดการอิ่มตัวเมื่อเทคเตอร์ให้ค่าผิดพลาดเชิงเส้นขนาดใหญ่ในช่วงโอเวอร์ชูทรวมทั้งค่า R_1 จะต้องมีค่ามากพอที่จะไม่โหลดเอาท์พุทของเฟสดีเทคเตอร์สำหรับการออกแบบให้เลือก C เท่ากับ 0.47 uF จากสมการ ได้ค่า R_1 เท่ากับ 9.7 K R_2 เท่ากับ 23.9 K เราสามารถหาอัตราการลดทอนไซด์แบนด์ต่อแคร์เรียร์ได้

$$\frac{\text{sideband}}{\text{carrier}} = 20 \log \frac{(I_L+I_b)K_o}{W_{n^2}}$$

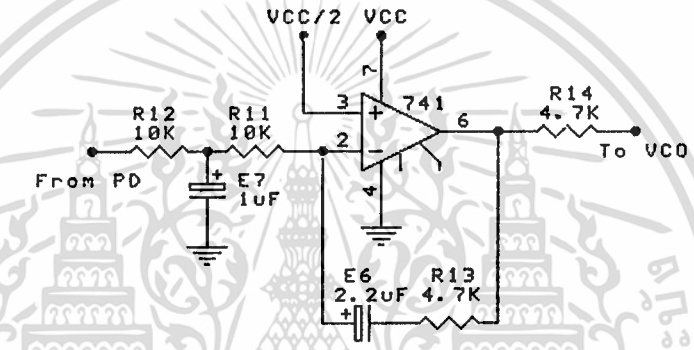
สำหรับกระแสรั่วไหลของเฟสดีเทคเตอร์ 4046 มีค่าน้อยมาก ๆ (10 PA) และกระแสไบอัสอินพุทของออปแอมป์ ในที่นี้เลือกใช้ออปแอมป์เบอร์ OP27 ซึ่งมีขนาดอัตราการลดทอนไซด์แบนด์ของแคร์เรียร์ มีขนาดเท่ากับ -60.15 dB ซึ่งเป็นการลดทอนเพียงพอกับเงื่อนไขที่ต้องการ สำหรับวงจรกรองในลูปแสดงได้ดังรูป

โดยค่า R_1 นั้นแยกออกเป็นค่า R_{11} อนุกรมกับ R_{12} โดยที่ระหว่าง R_{11} และ R_{12} มีคาปาซิเตอร์ C_c ต่อลงกราวน์อยู่โดยการออกแบบให้ค่า R_{11} , C_c เป็นวงจรกรองความถี่ต่ำผ่าน โดยมีความถี่หักมุมประมาณ 10 เท่าของค่า W_n ซึ่งเป็นการแก้ไขปัญหาเนื่องจากการอิ่มตัวของออปแอมป์ในสภาวะทรานเซียนโอเวอร์ชูท

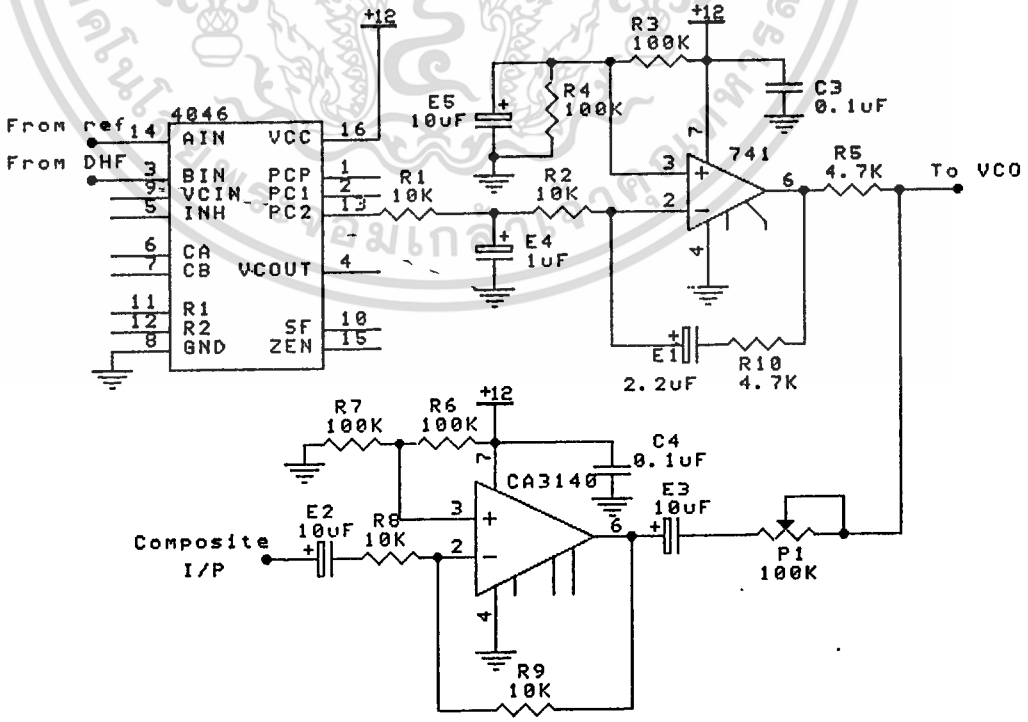
สำหรับวงจรกรองและเฟสดีเทคเตอร์ที่ใช้แสดงดังรูปโดยค่า R_1 และ R_2 สำหรับวงจรจริงเป็น R_6 , R_7 โดย C_c คือ C_7 โดยเฟสดีเทคเตอร์ใช้วงจรรวม 4046 ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นเฟสฟรีเควนซีดีเทคเตอร์โดยอินพุทขา Sin ต่อกับสัญญาณที่ป้อนกลับจาก VCO แล้วผ่านวงจรหาร ส่วนอินพุทขา C_{in} หรือขา f_{vco} ต่อกับสัญญาณความถี่อ้างอิงสำหรับเหตุผลการต่อสลับขาจากปรกติ เพราะแรงดันเอาท์พุทที่ไปควบคุมวงจร VCO ผ่านวงจรกรองความถี่ ซึ่งเป็นวงจรขยายแบบ Inverting สำหรับสัญญาณที่มอดูเลตเข้ามาในลูปนั้นต่อผ่าน วงจร Buffer ซึ่งใช้วงจรรวม OP27 โดยที่เอาท์พุทก่อนต่อเข้าวงจร VCO มีความต้านทานปรับค่าได้ 100 Kohms สำหรับการอัตราการมอดูเลต



รูปที่ 5.5 แสดงวงจรกรองที่ใช้ในลูป

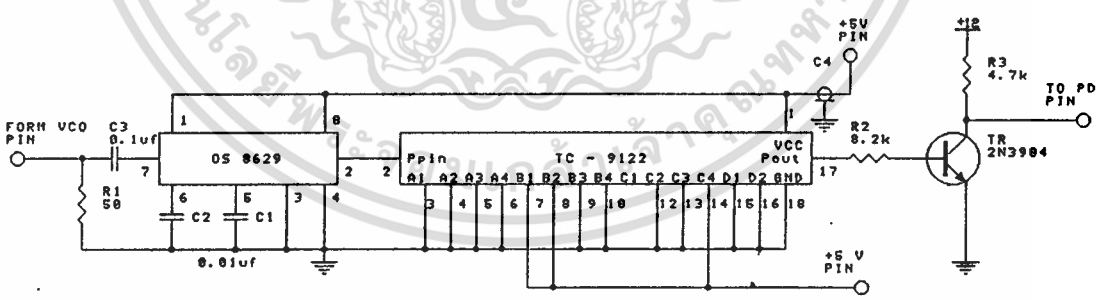


รูปที่ 5.6 แสดงวงจร LPF และ PD ที่ใช้ในการสร้างสัญญาณ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 วงจรหาร N

วงจรหารในลูปเป็นการหารความถี่ของคลื่นพาห์ 107.5 MHz ให้เหลือ 2.5 KHz เพื่อเป็นความถี่อ้างอิงของลูปเนื่องจากวงจรหารในลูปนี้ต้องหารความถี่สูง ในการออกแบบใช้วงจรรวม DS8629 ต่อร่วมกับวงจรรวม TC-9122 ซึ่งสามารถโปรแกรมได้โดย DS8629 เป็นวงจรหาร 100 (Prescaler) ต้องการขนาดแรงดันอินพุทประมาณ100 mV เป็นอย่างต่ำสำหรับสัญญาณคลื่นพาห์ที่ออกจากวงจรออสซิเลเตอร์ที่มีขนาดเล็กมาก ๆ และเพื่อทำให้เกิดการแยกโดยไม่ให้สัญญาณดิจิตอลเข้าไปรบกวนวงจรออสซิเลเตอร์ต้องใช้วงจรขยายความถี่ย่านกว้าง (Wide Band Amp.) ต่อที่อินพุทวงจรหารภาคแรกโดยเอาท์พุทของวงจรภาคแรกจะมีความถี่เหลือขนาด 1.075 MHz เป็นระดับแรงดันสัญญาณ TTL ป้อนเข้าสู่วงจรรวม TC-9122 ซึ่งเป็นวงจรรวมที่ตั้งโปรแกรมได้ 0-3,999 โดยผ่านขา A1 ,A2 ถึง D2 โดยหลัก A1 เป็นหลักนัยสำคัญน้อยที่สุด(LSB) และหลัก D2 มีนัยสำคัญมากที่สุด (MSB)โดยการหาร 1.075 MHz ให้เหลือ 2.5 KHz เป็นการหารเท่ากับ 430 ดังนั้นต้องโปรแกรมที่ขา A1-A4 เป็นระดับลอจิก"0" ขา C3 เป็นลอจิก"1" และขา D1 , D2 เป็นลอจิก"0" สำหรับวงจรแสดงดังรูป



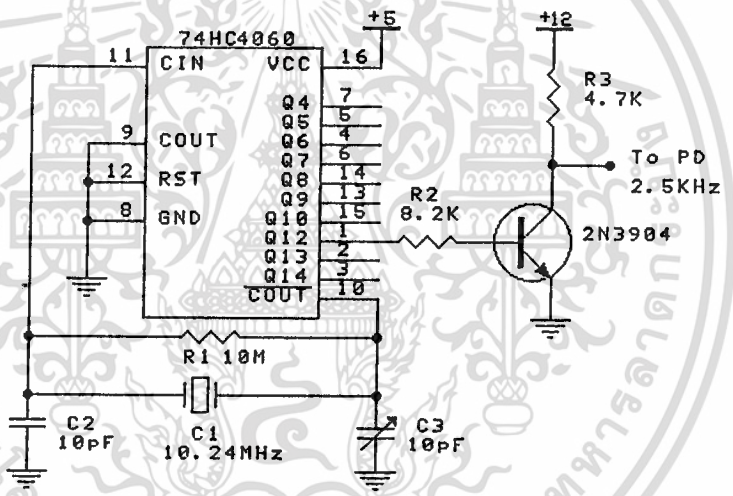
รูปที่ 5.7 แสดงวงจรหาร N = 43000

5.5 วงจรกำเนิดความถี่อ้างอิง

วงจรกำเนิดความถี่อ้างอิง 2.5 KHz สร้างจากวงจรรวม4060 ซึ่งภายในประกอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

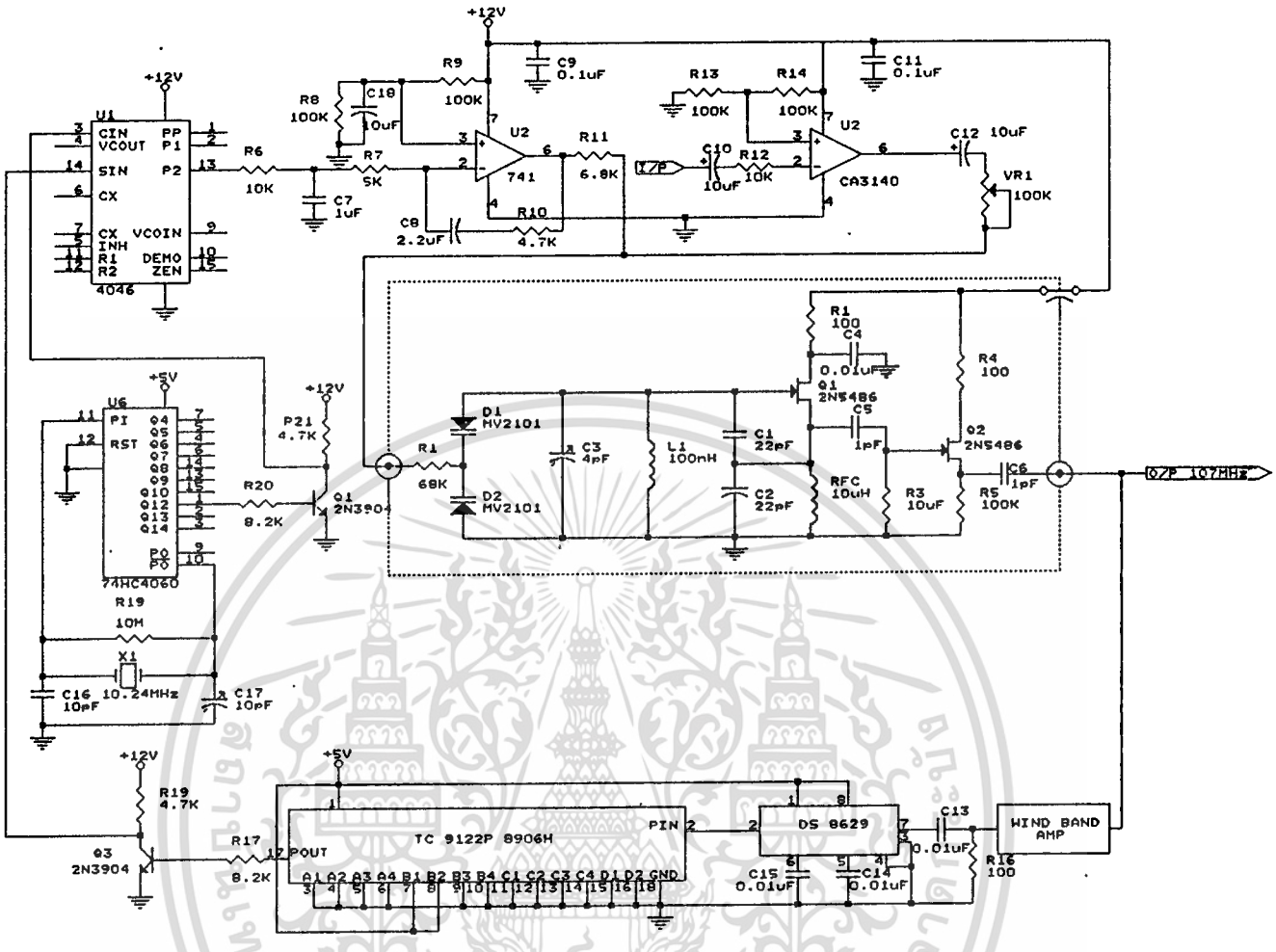
ด้วยเกทอินเวอร์เตอร์และวงจรหารแบบไบนารีจำนวน 14 สเตท โดยที่เอาท์พุท Q4 เป็นสัญญาณหาร 16 จนถึงสัญญาณหาร 16,384 ที่ขา Q14 โดยวงจรเกทต่อร่วมกับคริสตอลสำหรับการออสซิเลททำงานที่ความถี่ 10.24 MHz เอาท์พุทความถี่ 2.5 KHz ได้จากการหารด้วยวงจรรวม 4060 จะได้เอาท์พุทที่ขา Q12 โดยเป็นสัญญาณแรงดัน TTLขนาด 0 V ที่ลอจิก"0" ที่ขนาด 5 V ที่ลอจิก"1" สำหรับเฟสดีเทคเตอร์ใช้แรงดันไฟเลี้ยง 12 V ต้องเปลี่ยนระดับแรงดันจากระดับแรงดัน TTL ขนาด 0-5 V เป็น 0-12 V โดยใช้ทรานซิสเตอร์ 2N3904 เป็นวงจรเปลี่ยนระดับแรงดันวงจรดังรูป



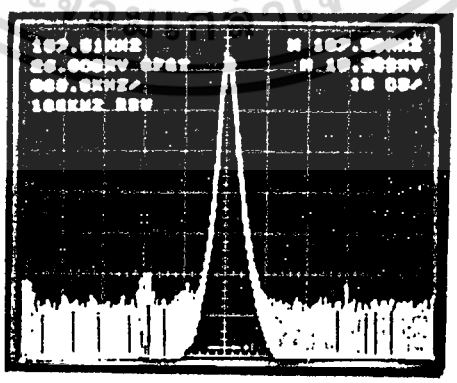
รูปที่ 5.8 แสดงวงจรกำเนิดความถี่อ้างอิง

สำหรับวงจรเกทออสซิเลเตอร์ซึ่งอยู่ในวงจรรวม 4060 เกทเปรียบเสมือนวงจรขยายกลับเฟสโดยมี R_{19} , C_{16} , C_{17} และ คริสตอลเป็นส่วนของวงจรป้อนกลับสัญญาณจากเอาท์พุทของเกทให้อินพุทของเกทมีเฟสกลับไป 180 องศา R_{19} เป็นความต้านทานสำหรับไบอัสให้เกททำงานเลือกใช้ค่า 10 Mohms สำหรับ C_{16} และ C_{17} ต่ออนุกรมกันจะมีค่าเท่ากับค่าโหลดคาปาซิแตนซ์ของคริสตอลโดยการออกแบบเลือกค่าเท่ากับ 10 pF วงจรสร้างสัญญาณ FM และผลการทดลองวัดสัญญาณเอาท์พุทดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 แสดงวงจรมอดูเลตสัญญาณ FM ทั้งหมด

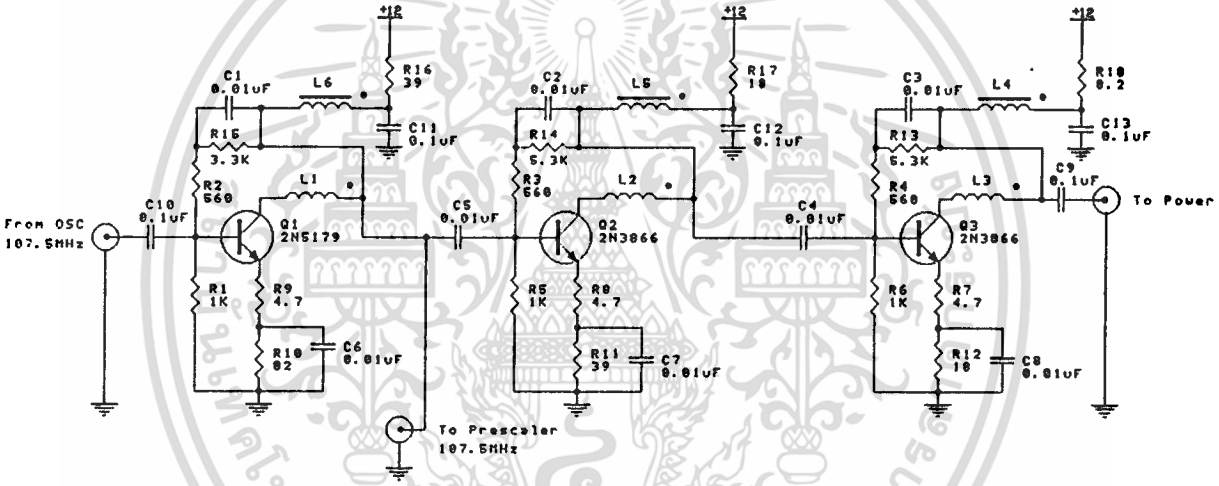


รูปที่ 5.10 แสดงสเปคตรัมที่ความถี่ 107.5 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6 วงจร Wide Band Amplifier

วงจรขยายความถี่สูงทั่วไป มักจะให้เกนสูงสุดที่ความถี่ที่ออกแบบไว้ และเนื่องจากเกน Band Width ของ Transistor มีค่าคงที่ดังนั้นวิธีที่จะเพิ่มBand Width สามารถทำได้โดยลดเกนลงด้วยวิธีการป้อนกลับ วงจร Wide Band Amplifier สามารถสร้างได้จาก วงจร Cascode หรือวงจร Differential ได้เช่นกันซึ่งโครงงานนี้ใช้วิธีการป้อนกลับ



รูปที่ 5.11 แสดงวงจร Wide Band Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

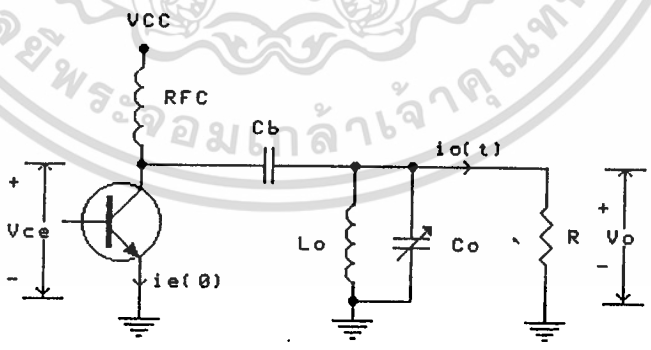
วงจรขยายกำลังความถี่วิทยุ

(R.F. Power Amplifier)

วงจรขยายกำลังความถี่วิทยุมีหลายชนิด อาจแบ่งตาม Class ได้ปัจจุบันมีการพัฒนาวงจรขยายกำลังให้มีคุณสมบัติดีขึ้นจึงมีวงจรในลักษณะใหม่เพิ่มขึ้น หรืออาจแบ่งเป็นวงจรขยายแบบ Linear และแบบ Non Linear สำหรับวงจรขยายแบบ Linear ทำได้โดยใช้วงจร Class A,B,ABวงจรแบบนี้ใช้กับเครื่องส่งแบบ Single Side Band หรือวงจรเครื่องส่งแบบย่านความถี่กว้าง (Wide Band) ส่วนวงจรแบบ Non Linear คือวงจร Class C,D,E จะใช้กับเครื่องส่งย่านความถี่แคบๆ (Norrow Band)

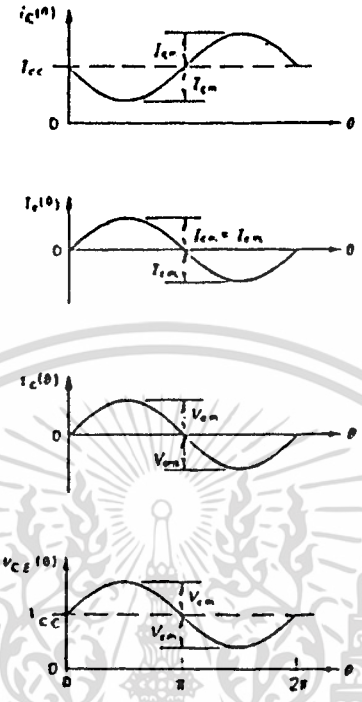
6.1 วงจรขยายกำลัง Class A

วงจรขยายกำลัง Class A ไม่ปรากฏข้อแตกต่างที่เด่นชัดในการทำงาน จากวงจรขยายสัญญาณขนาดเล็ก (Small Signal Amplifier) การขยายสัญญาณของวงจรจะทำทั้ง Cycle ของอินพุท เอาท์พุทที่ได้จะมีสัญญาณเหมือนกับอินพุททุกประการวงจรดังรูป 6.1



รูปที่ 6.1 แสดงวงจรขยายกำลัง Class A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 แสดงรูปคลื่นในวงจรขยาย Class A

ถ้าแรงดันไบอัสและสัญญาณอินพุทสมมุติว่าทำให้กระแสคอลเลคเตอร์ i(t) มีค่าเท่ากับ

$i_c(t) = Icq - IcmSin\omega t$

ซึ่ง Icq คือส่วนประกอบที่เป็น DC และ $IcmSin\omega t$ คือส่วนประกอบที่เป็น AC เนื่องมาจากสัญญาณอินพุทซึ่งสามารถไหลผ่าน C_b ไปยังเอาท์พุทซึ่งจะทำให้เกิดแรงดันเอาท์พุทเท่ากับ

$Vo(t) = IcmRSin\omega t = VomSin\omega t$

แรงดันคอลเลคเตอร์ก็จะประกอบด้วยส่วนที่เป็น DC เท่ากับแหล่งจ่าย และส่วนประกอบที่เป็น AC เท่ากับแรงดันเอาท์พุท ดังนั้น

$Vc(t) = Vcc + VomSin\omega t = VcmSin\omega t$

เนื่องจากการทำงานในลักษณะแหล่งจ่ายกระแสของอุปกรณ์จะเป็นไปได้เฉพาะเมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$V_c(t)$ มีค่าเป็นบวก จึงจำเป็นต้องจำกัดให้แรงดันเอาท์พุท V_{om} มีค่าน้อยกว่า Vcc^2

และ $Iom = Vom/R \leq Vcc/R$ กำลังงาน DC ทั้งวงจรจะดึงจากแหล่งจ่าย คือ

$$Pi = VccIcq = Vcc^2/R$$

กำลังงานเอาท์พุท คือ

$$Po = \frac{Vom^2}{2R} \leq \frac{Vcc^2}{2R}$$

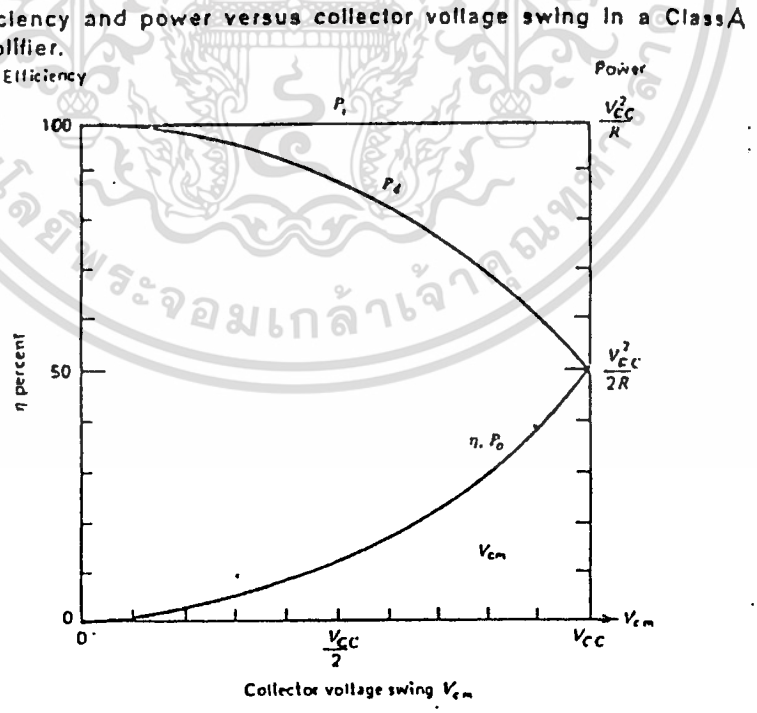
และประสิทธิภาพของวงจร คือ

$$n = \frac{Po}{Pi} = \frac{Vom^2}{2Vcc^2} \leq \frac{1}{2}$$

กำลังที่สูญเสียใน Transistor คือ

$$Pd = Pi-Po$$

วงจรขยายกำลัง Class A มักจะใช้เป็นวงจรขับให้กับวงจรขยายกำลังภาคสุดท้ายมากกว่าที่จะใช้เป็นวงจรขยายกำลังภาคสุดท้ายเนื่องจากมีประสิทธิภาพต่ำ

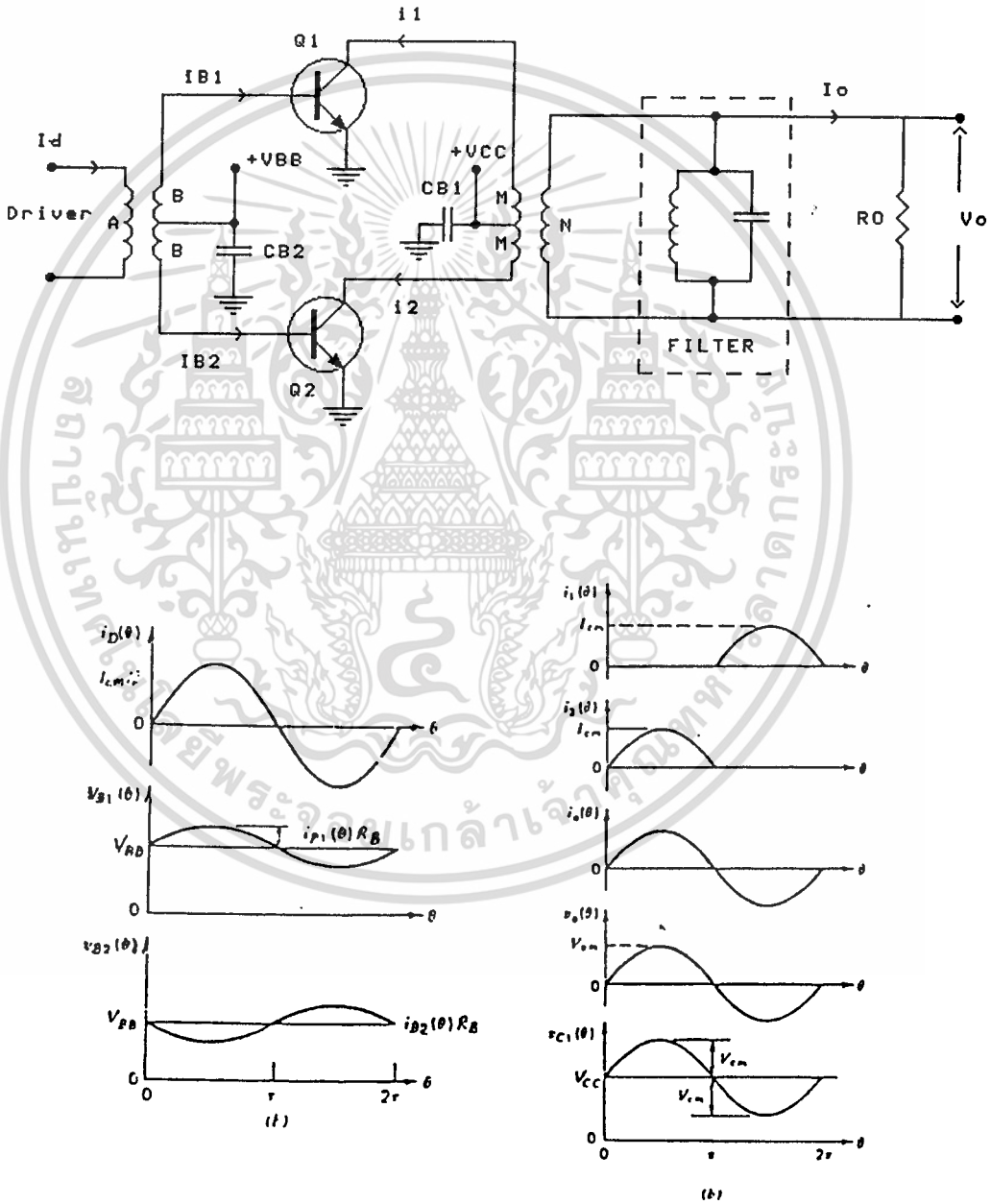


รูปที่ 6.3 แสดงประสิทธิภาพและกำลังงานต่อแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 วงจรขยายกำลัง Class B

วงจรขยายกำลัง Class B มีประสิทธิภาพสูงกว่าวงจรขยายกำลัง Class A จึงมักจะใช้เป็นตัวขยายกำลังภาคสุดท้ายของเครื่องส่งวิทยุแบบ Single Side Band การทำงานของวงจรมักจะคล้ายกับวงจรขยายเสียงซึ่งเป็นแบบPush-PullจากรูปTransistor แต่ละตัวจะขยายสัญญาณเพียงครึ่ง Cycle (180 องศา)



รูปที่ 6.4 แสดงวงจรขยายกำลัง Class B และรูปคลื่นในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าให้ Transistor ทำงานเป็นแหล่งจ่ายกระแสในแต่ละครึ่ง Cycle และหม้อแปลงมีอัตราส่วนรอบ m/n แล้ว กระแสเอาท์พุทจะกำหนดจาก

$$V_o(\theta) = \frac{m}{n} I_{cm} R_o \sin\theta = V_{om}\sin\theta$$

เมื่อพิจารณาทางคอลเลคเตอร์ของ Q1 จะมีแรงดันคอลเลคเตอร์เป็น

$$V_{c1}(\theta) = V_{cc} + V_{cm}\sin\theta$$

และส่วนประกอบที่เป็น AC คือ

$$V_{cm} = \frac{m}{n} V_{om} = \frac{m^2}{n^2} I_{cm} R_o = I_{cm} R$$

เมื่อ R คือ ความต้านทานที่คร่อมแต่ละครึ่งของขดปฐมภูมิของหม้อแปลงเมื่ออีกครึ่งหนึ่งปล่อยลอย

แรงดันคอลเลคเตอร์ต้องไม่มีค่าเป็นลบ ($V_{cm} < V_{cc}$) ดังนั้นกำลังเอาท์พุท คือ

$$P_o = \frac{V_{cm}^2}{2R} < \frac{V_{cc}^2}{2R} = \frac{V_{cc}^2}{2(m^2/n^2)R_o}$$

กระแสที่หม้อแปลงได้จากแหล่งจ่าย $i_{c_1}(\theta) = I_{cm}|\sin\theta|$ เป็นผลบวกของกระแสคอลเลคเตอร์ของ Transistor ทั้งสองตัว ดังนั้น

$$I_{dc} = \frac{1}{2\pi}\int_0^{2\pi} i_{c_1}(\theta)\, d\theta = \frac{2I_{cm}}{\pi} = \frac{2V_{cm}}{\pi R}$$

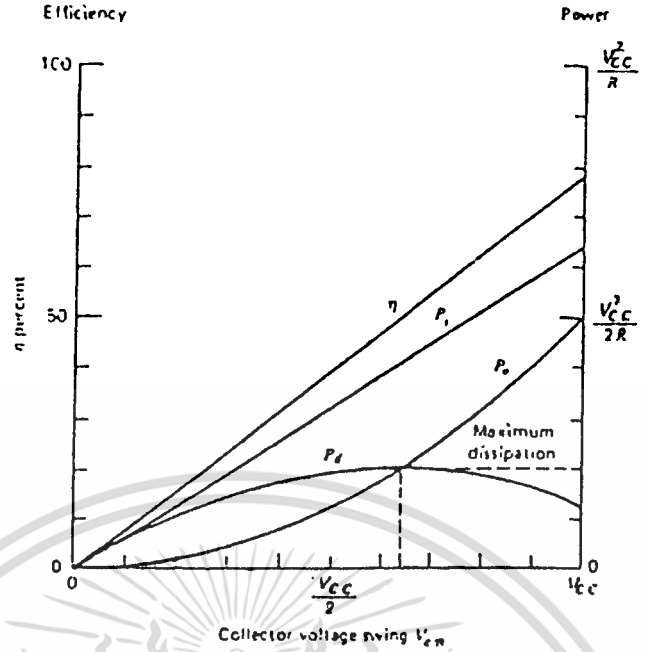
ประสิทธิภาพของวงจร คือ

$$\eta = \frac{P_o}{P_i} = \frac{\pi V_{cm}}{4V_{cc}} < \frac{\pi}{4} \cong 0.785$$

กำลังสูญเสียใน Transistor ในแต่ละตัว คือ

$$P_{d1(max)} = P_{d2(max)} = \frac{V_{cc}^2}{\pi^2 R}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



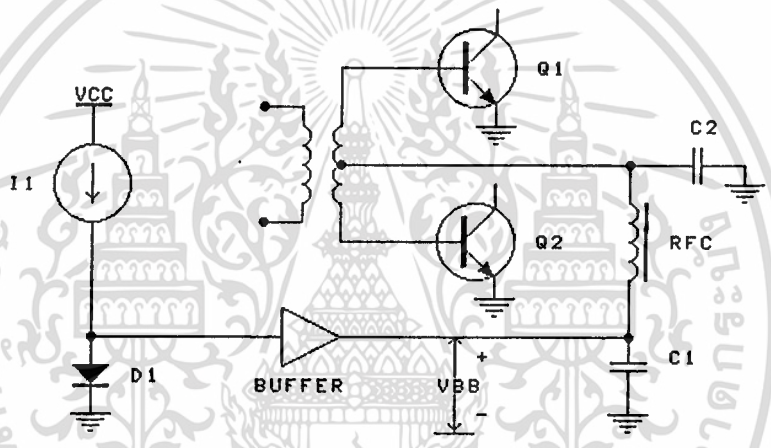
รูปที่ 6.5 แสดงประสิทธิภาพและกำลังต่อแรงดัน

ในทางปฏิบัติทั้ง Q1 และ Q2 จะทำให้เกิดความเพี้ยนขณะที่อินพุทมีขนาดเล็กเนื่องจาก Transistor นำกระแสแบบไม่เป็นเชิงเส้นที่เรียกว่า ความเพี้ยนตรงรอยต่อ (Cross Over Distortion) วิธีแก้ไขทำได้โดย ให้แรงดันไบอัสที่ขาเบสจนทำให้ Transistor มีกระแสคอลเลคเตอร์ไหลขณะไม่มีสัญญาณอินพุท กระแสนี้มีขนาดประมาณ 1-10 % ของกระแสคอลเลคเตอร์สูงสุด เนื่องจากกระแสนี้จะทำให้ Transistor นำกระแสมากกว่า 180 องศา ในแต่ละ Cycle ของสัญญาณอินพุท จึงเรียกว่า วงจร Class B แม้ว่าจะใช้ Transistor เพียงตัวเดียวนำกระแสมากกว่า 180 องศา ความเพี้ยนที่เกิดขึ้นก็ยังต่ำกว่า Class C มาก และวงจรมีข้อยุ่งยากน้อย ส่วนการที่ Transistor นำกระแสไม่ครบ Cycle นั้นจำเป็นจะต้องมีวงจรจูนทางเอาท์พุทที่ดีพอและผลจาก ปรากฏการณ์ Fly Wheel Effect ก็จะทำให้สัญญาณเอาท์พุทที่ผ่านวงจรจูนแล้วมีลักษณะเช่นเดียวกันอินพุท สำหรับข้อดีของวงจรแบบ Push-Pull คือ วงจรจะไม่ผลิตฮาร์โมนิคคู่ออกมา

วงจรจ่ายแรงดันไบอัสเพื่อสร้างกระแสเฉื่อย (Quiescent Current)ให้ไหลขณะไม่มีสัญญาณอินพุทต้องสามารถชดเชยการเปลี่ยนแปลงอุณหภูมิของ Transistor ได้อย่างดี โดยเฉพาะในกรณีวงจรขยายกำลังสูงๆ เนื่องจากกระแสเฉื่อย ทำให้ Transistor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องรับภาระการสิ้นเปลือง ซึ่งจะทำให้ตัวมันมีอุณหภูมิสูงขึ้น และ เมื่ออุณหภูมิสูงก็จะทำให้กระแสคอลเลคเตอร์ไหลมากขึ้นตามไปด้วย จนอาจเกิดปรากฏการณ์ Thermal Runaway จึงจำเป็นต้องมีการชดเชยการเพิ่มขึ้นของแรงดันที่รอยต่อ (ประมาณ 2 mV/C) ดังรูป 6.6 ซึ่งไดโอดในรูปจะไบอัสด้วยกระแสคงที่และอุณหภูมิที่เพิ่มขึ้น จะทำให้แรงดันคร่อมไดโอดลดลง 2 mV/C จึงพอที่จะชดเชยผลการเพิ่มอุณหภูมิที่มีต่อ Transistor ได้



รูปที่ 6.6 แสดงวิธีการชดเชยอุณหภูมิด้วยไดโอด

สำหรับวงจรขยายกำลัง Class A และ AB ที่ใช้อุปกรณ์พวก FET จะไม่มีปัญหาเช่นนี้เพราะ FET มีสัมประสิทธิ์อุณหภูมิเป็นลบนอกจากนี้การไบอัสเกทของ FET ยังทำได้ง่ายกว่า เนื่องไม่ต้องกระแสอินพุท วงจรแบ่งแรงดันก็สามารถก็ใช้ได้ จากรูปที่ 6.4 สัญญาณอินพุทที่ต้องการเพื่อให้วงจรทำงานตามที่วิเคราะห์ทางด้านเอาท์พุท คือ

$$Pdr = \left[\frac{Icm}{\beta}\right]^2 \frac{Z_B}{2}$$

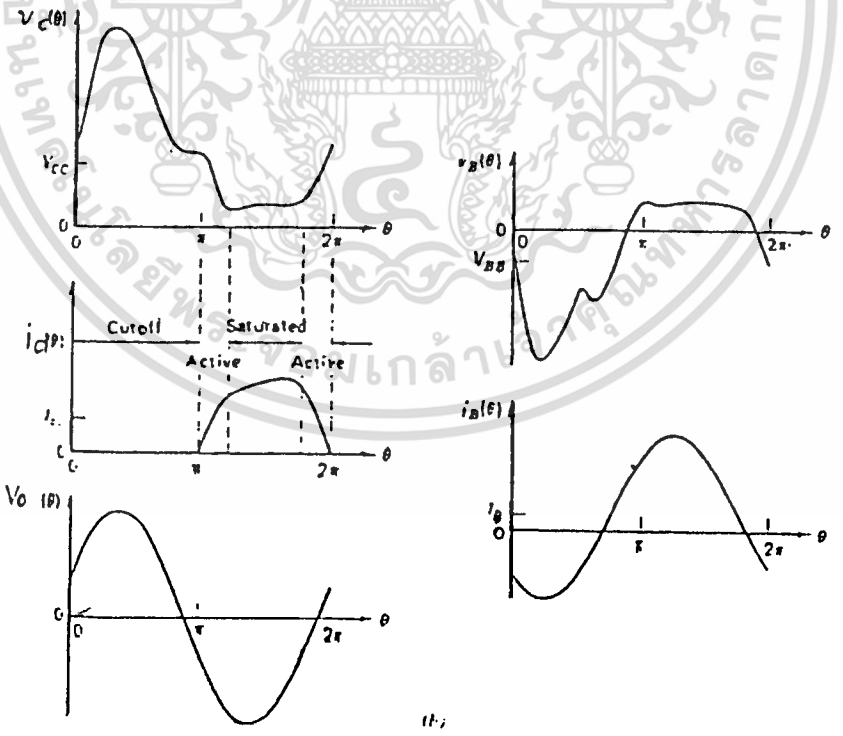
เมื่อ β เป็นอัตราขยายกระแสและ Z_B เป็นอิมพีแดนซ์ของ Transistor และขดปฐมภูมิของหม้อแปลง T2 จะมีอิมพีแดนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

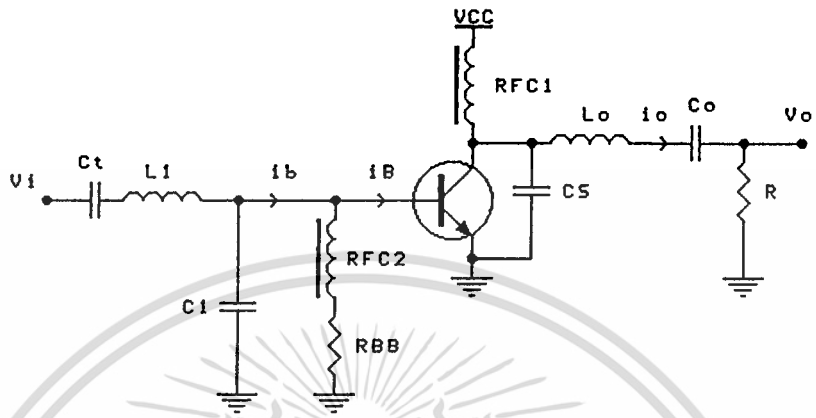
$$Rd = \left[\frac{a}{b}\right]^2 Z_p$$

6.3 วงจรขยายกำลัง Class C

วงจรขยายกำลัง Class C ไม่สามารถแสดงลักษณะวงจรและการวิเคราะห์การทำงานในมาตราฐานได้แบบจำลองซึ่งกำหนดให้แสดงการทำงานของวงจรก็มักมีข้อสมมุติที่เป็นไปได้ยาก และ พารามิเตอร์ของตัวแปรหลายตัวไม่สามารถกำหนดได้ล่วงหน้า วงจรขยายกำลัง Class C ของอุปกรณ์ Solid State Device เช่น ไบโพล่าร์ทรานซิสเตอร์ และฟิลด์เอฟเฟคทรานซิสเตอร์ ก็มีการพัฒนาจนต่างจากอุปกรณ์พวกหลอดสูญญากาศ การเสนอแบบจำลองการวิเคราะห์ การทำงานของวงจร Class C ในลักษณะต่างๆ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.7 แสดงวงจรขยาย Class C และรูปคลื่นในวงจร

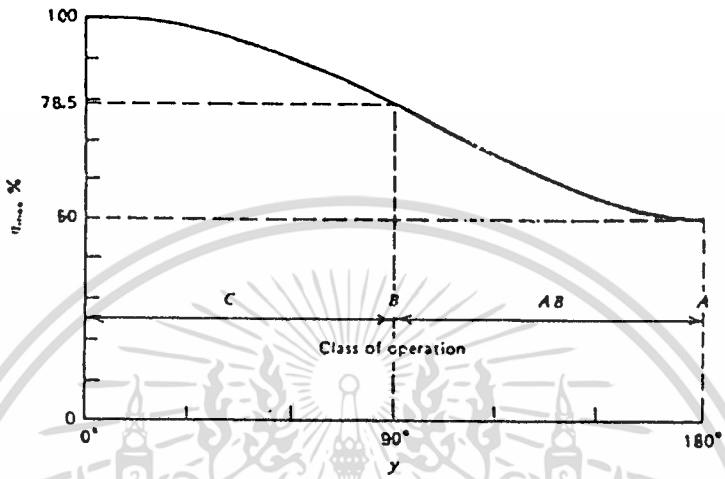
วงจรจะถูกบับให้ทำงานโดยสัญญาณอินพุทซึ่งปรกติจะทำให้ Transistor ทำงานในลักษณะนำกระแสจนอิ่มตัวและไม่นำกระแส กระแสคอลเลคเตอร์ $i_c(\bullet)$ จะมีลักษณะเป็นพัลซ์แคบๆ ความกว้างของพัลซ์จะขึ้นอยู่กับมุมในการนำกระแสของ Transistor ซึ่งจะทำให้ Transistor นำกระแสและหยุดนำกระแสในแต่ละช่วงบวกและลบของสัญญาณอินพุทใน 1 Cycle วงจรจริงมีประสิทธิภาพสูงกว่า Class A และ Class B ถ้าสมมุติว่า Transistor ไม่นำกระแสจนอิ่มตัวประสิทธิภาพสูงสุดของวงจร คือ

$$n_{(max)} = \frac{2y - Sin2y}{4(Siny - yCosy)}$$

โดย 2y เป็นมุมในการนำกระแสของ Transistor

ในทางปฏิบัติ Transistor จะทำงานในลักษณะนำกระแสจนอิ่มตัว และ หยุดนำกระแส ดังนั้น $i_c(\bullet)$ จะไม่ได้มีเพียงความถี่เดียว แต่จะประกอบด้วยฮาร์โมนิคของสัญญาณอินพุทด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.8 แสดงประสิทธิภาพของวงจรต่อมุมการนำกระแสของ Transistor

การทำงานของวงจรสามารถวิเคราะห์ได้โดยวิธีการ Numerical Analysis ซึ่งทำได้โดยการใช้คอมพิวเตอร์วิเคราะห์การทำงานแต่ละช่วง เมื่อรูปคลื่นที่เสถียรก็จะใช้วิธีการ Fourier Transforn ของรูปคลื่นในหนึ่ง Cycle ซึ่งจะทำให้ค่าออกมาเป็นกำลังของเอาท์พุทได้โดยประมาณ

$$Po \approx \frac{0.625\ Veff^2}{R1} = \frac{0.625(Vcc - Vsat)^2}{R1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

Compressor & Limitter

ระบบเครื่องส่ง FM มีความจำเป็นอย่างยิ่งที่ต้องจำกัดขนาดของสัญญาณที่จะนำเข้าไปทำการมอดูเลตกับคลื่นพาห์ เพราะว่าถ้าหากขนาดของสัญญาณนี้มีมากเกินขนาดที่ต้องการแล้วจะทำให้เกิดโอเวอร์มอดูเลชั่น (Over Modulation)ขึ้นได้ ผลที่เกิดตามมาคืออาจจะทำให้เกิดความเสียหายให้กับอุปกรณ์เครื่องส่งได้และสัญญาณที่รับได้จากเครื่องรับจะเกิดการเพี้ยน (Distortion) ทั้งยังทำให้เกิด Sideband ไปรบกวนสถานีข้างเคียงได้

7.1 หน้าที่ของวงจร Compressor & Limitter

Limiting Amplifier เป็นอุปกรณ์ที่มีคุณสมบัติในการจำกัดขนาดสัญญาณผลที่ได้รับเมื่อใช้Limiting Amplifier คือ

1. ทำให้ไม่เกิดการมอดูเลตที่เกินขนาด และยังสามารถกำหนดเปอร์เซ็นต์ของการมอดูเลตได้ตามต้องการ

2. ค่าของ S/N (Signal To Noise Ratio)ของเครื่องส่งจะดีขึ้นเพราะเนื่องจากLimiting Amplifier จะไม่ยอมให้ขนาดของสัญญาณเกินกว่าค่า Maximum Input Signal

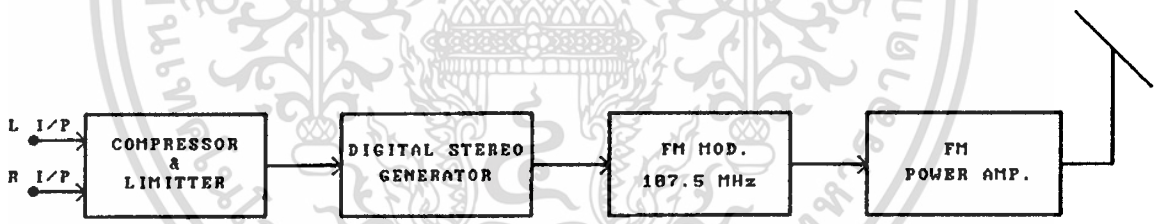
3. ทำให้ไม่เกิด Sideband ไปรบกวนสถานีข้างเคียง

ในระบบเครื่องส่ง มีความจำเป็นที่ต้องจำกัดขนาดสัญญาณเสียงที่จะนำไปทำการมอดูเลตกับคลื่นพาห์ของสถานีส่ง ถ้าหากว่าสัญญาณเสียงที่ทำการมอดูเลตมาแรงเกินขนาดที่ต้องการจะทำให้เกิด Over modulation ขึ้นได้จะทำให้เกิดการเสียหายในการกระจายเสียงเหตุผลที่ต้องจำกัดขนาดของสัญญาณเสียง เนื่องมาจากสัญญาณเสียงที่จะนำมาทำการมอดูเลตกับเครื่องส่งจะมาจากแหล่งกำเนิดเสียงที่แตกต่างกัน เช่น ไมโครโฟน ,เครื่องเล่นแผ่นเสียง ,เครื่องเล่นเลเซอร์ดิส ,เครื่องเล่นเทป และ โทรศัพท์ จะเห็นว่าระดับของสัญญาณเสียงนั้นแตกต่างกันซึ่งถ้าเราจะนำมาผ่าน Control Concole และปรับอัตราการขยายของสัญญาณเสียงจากที่ต่างๆ นั้นก็ได้แต่ระดับเสียงจากแหล่งต่างๆ อาจจะมีแรงบ้างค่อยบ้าง เช่น ในรายการที่บันทึกเทปซึ่งการบันทึกนั้นอาจจะมีระดับของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสียงที่บันทึกมาจากสตูดิโอต่างๆไม่แน่นอน ซึ่งถ้าเราจะคอยควบคุมความแรงของสัญญาณที่ Control Concole ตลอดเวลานั้นจะเป็นการลำบากและไม่เป็นตามธรรมชาติ ถ้าไม่มีการควบคุมสัญญาณเสียงที่มาแรงนี้แล้วเครื่องส่งก็จะเกิด Over Modulation และถ้าสัญญาณมาต่ำเกินไปก็จะเกิด Under Modulation ทำให้สัญญาณรบกวนสามารถเข้ามารบกวนได้ง่าย

เพราะเหตุนี้จึงทำให้ต้องมีวงจร Limiting Amplifier เพื่อทำหน้าที่ปรับระดับความแรงของสัญญาณเสียงที่ป้อนให้กับเครื่องส่ง มีความแรงของสัญญาณเสียงที่คงที่ตลอดเวลาโดยการปรับระดับความแรงของสัญญาณเสียงจะเป็นไปอย่างอัตโนมัติ โดยจะจำกัดให้อยู่ในระดับความแรงช่วงหนึ่งถึงแม้ว่าสัญญาณจะเข้ามาแรงก็ตาม ซึ่งความแรงในช่วงนี้จะทำให้การส่งสัญญาณเป็นไปอย่างปรกติ ตามมาตรฐาน FCC



BLOCK DIAGRAM
FM STEREO TRANSMITTER

รูปที่ 7.1 แสดง Block Diagram Compressor&Limitter ในระบบเครื่องส่ง FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

สรุปการวิจัยและข้อเสนอแนะ

จากการวิจัย และ ทดลอง เครื่องส่งเอฟเอ็มสเตอริโอมัลติเพล็กซ์ ในส่วนของภาค Stereo Encoder สามารถสร้างสัญญาณที่เข้ารหัสแล้วเครื่องรับสามารถแยก Channel ซ้าย ขวา ได้อย่างชัดเจน แต่ก็ยังมี Cross Talk อยู่บ้างเล็กน้อย ซึ่งอาจจะขึ้นกับ ตัว IC Analog Switch มีคุณภาพที่ไม่ดีพอ รวมทั้ง การปรับอัตราส่วนของสัญญาณ L-R , L+R และ Pilot Tone ที่ยังไม่ดีนอ เพราะ ในการปรับอัตราส่วนของสัญญาณเหล่านี้ เราใช้เพียง Variable Resister (VR) แบบ เกือกม้าธรรมดา ทำให้การปรับอาจจะไม่ละเอียดเท่าที่ควร และ จุดที่สำคัญที่ทำให้มีผลต่อการแยก Channel ซ้าย ขวา มาก คือ การปรับเฟสของสัญญาณ Pilot 19 KHz เพราะถ้าเฟสของสัญญาณไม่ได้ก็จะทำให้ สัญญาณนั้นไม่เกิดการแยก Channel จากการปรับ VR ของวงจรเลื่อนเฟส จะมีช่วงเพียงเล็กน้อยเท่านั้น ที่ทำให้เกิดการแยก Channel เพราะฉะนั้นควรใช้ VR ที่ปรับละเอียดจะทำให้ได้การแยก Channel ที่ชัดเจนยิ่งขึ้น การแยก Channel สามารถสลับ Channel กันได้ โดยการสลับสัญญาณ Q และ /Q 38 KHz ที่ไปควบคุม Analog Switch คุณภาพของเสียงจะมีผลมากในภาคนี้จากการทดลอง ใช้ IC เบอร์ LF 351 ซึ่งเป็น IC Op Amp ที่ใช้ในย่านความถี่แบบกว้างๆ มาเป็นเบอร์ CA 3140 ซึ่งใช้ในย่านความถี่เสียง ผลปรากฏว่าจะให้คุณภาพของเสียงดีขึ้นทางความถี่ต่ำ

ภาค FM Modulator เราสามารถสร้างวงจร Oscillator 107.5 MHz เพื่อนำไปใช้เป็นความถี่คลื่นพาห์ได้จาก วงจรโคพิทโดยใช้ FET ดังรูป 5.3 เพื่อให้ความถี่คงที่เราจะใช้หลักการ PLLโดยมีการหาร N (Prescaler) เข้าช่วย จะทำให้เราไม่ต้องสร้างความถี่อ้างอิงให้มีความถี่สูงเท่ากับ 107.5 MHz เราสามารถเปลี่ยนความถี่ของคลื่นพาห์ได้โดยการเปลี่ยนค่าวงจรหาร N ตรงจุดนี้เราสามารถตรวจสอบได้ว่า PLL นั้น Locked จริงหรือไม่ แต่ต้องไม่เปลี่ยนค่าวงจรหารจนมากเกินไปจนทำให้เกิดการหลุดจาก Locked ซึ่งตรวจสอบได้จาก ขา 1 ของ 74HC4046 (PD TTL) หรือ 4046 ในกรณีที่เป็น CMOS สัญญาณที่ถูกเข้ารหัส Stereo รวมกันมาเป็น Composite Signal ก็จะนำมา Modulate ที่ภาคนี้เราจะใช้ VR เป็นตัวปรับความแรงของสัญญาณที่เข้าไป Modulate ถ้าสัญญาณแรงเกินไปก็จะเกิดการ Over Modulate การ Modulate ในภาคนี้จะเป็นแบบ Direct Modulation

ในส่วนของภาคขยาย (Power Amplifier) ก็ใช้วงจรขยาย Class C ซึ่งก็เหมือนกับภาคขยายความถี่ R.F.ธรรมดาทั่วไปโดยใช้ Power Amp ประมาณ 10 Watt ถ้า Power ของภาคขยายเพิ่มขึ้น ก็จะทำให้สามารถส่งได้ไกลขึ้น แต่จะต้องดูด้วยว่า Power Amp ชุดนั้นต้องการสัญญาณมา Drive ขนาดเท่าใด เพราะถ้านำสัญญาณที่มา Drive ไม่แรงพอก็จะทำให้เราไม่ได้ Power ตามที่เราต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1 W.F. Egan , Frequency Synthesis by Phase Lock , Wiley , New York , 1981

2 J. Smith , Modern Communication Circuit , Mc Graw-Hill , New York , 1986

3 J.K. Hardy , High Frequency Circuit Design , Reston , Viginig , 1979

4 สุชาติ กังวารจิตต์ , เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร , บ.ซีเอ็ดยูเคชั่นจำกัด , พ.ศ.2521

5 เจน สงสมพันธ์ , เทคโนโลยีอิเล็กทรอนิกส์ 2 , บ.เอดิสัน เพรส โปรดักส์ , พ.ศ.2537

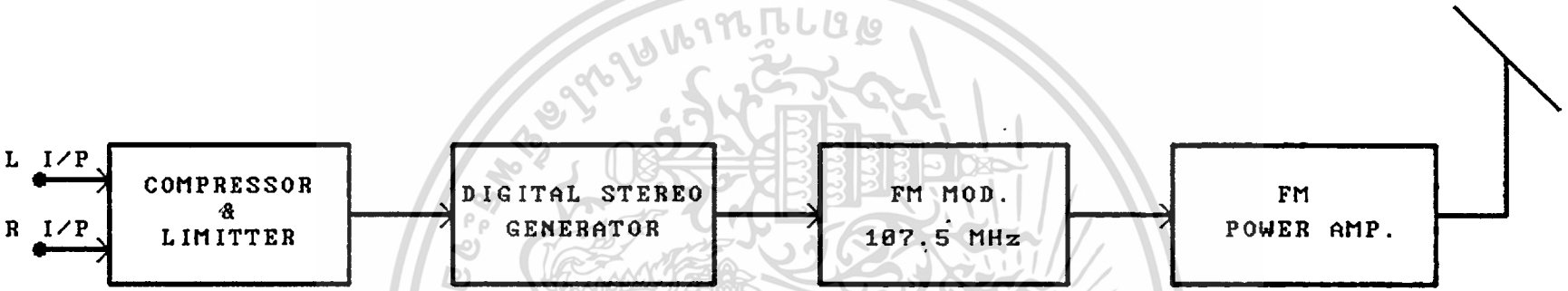
6 ยืน ภู่วรวรรณ , ทฤษฎีและการใช้งานอิเล็กทรอนิกส์ , บ.ซีเอ็ดยูเคชั่น , พ.ศ.2521

7 กฤดากร กล่อมการ , การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบ FM , วิทยานิพนธ์มหาบัณฑิตวิศวกรรมศาสตร์ ส.จ.ล. , พ.ศ.2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

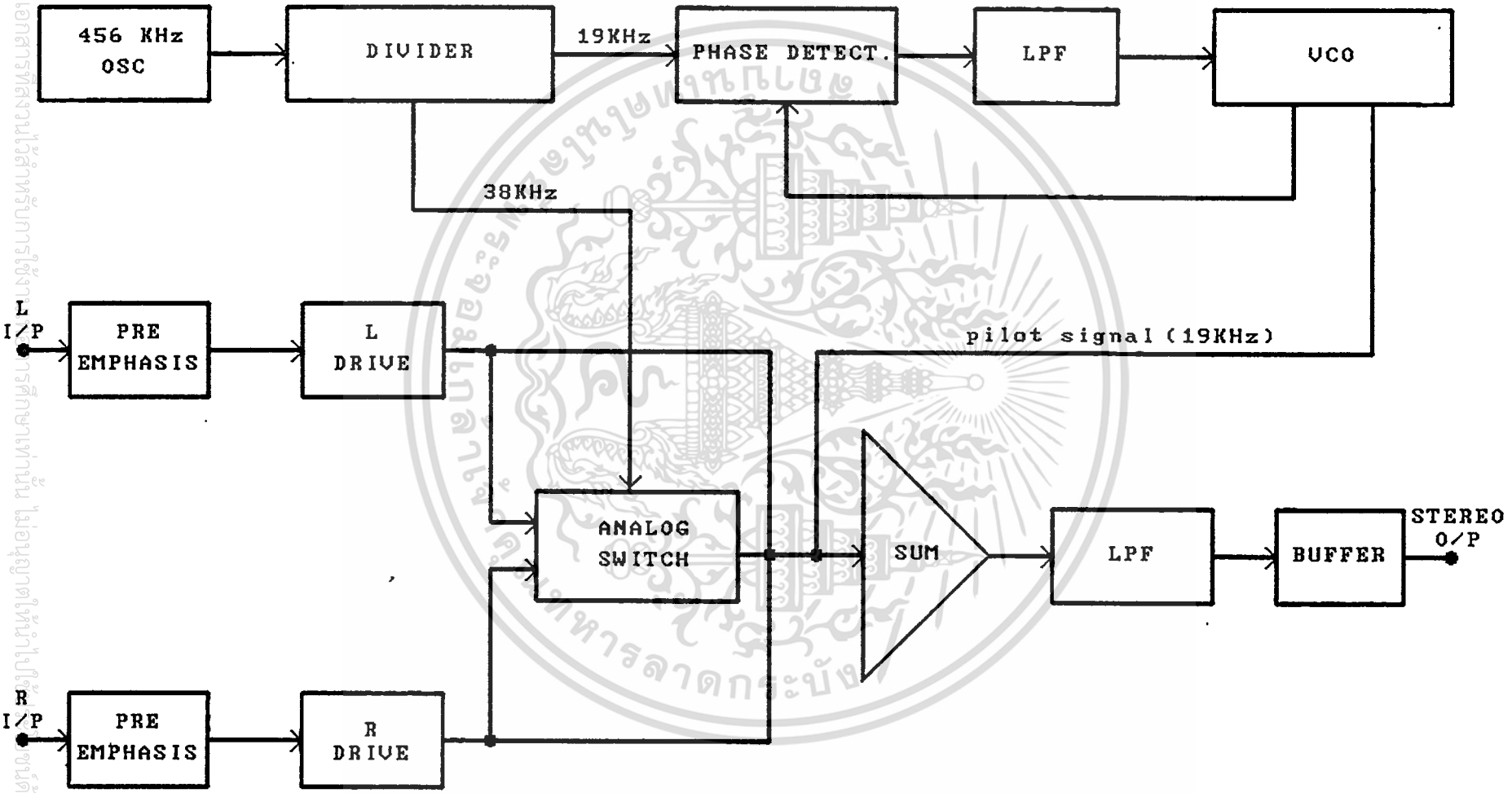
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

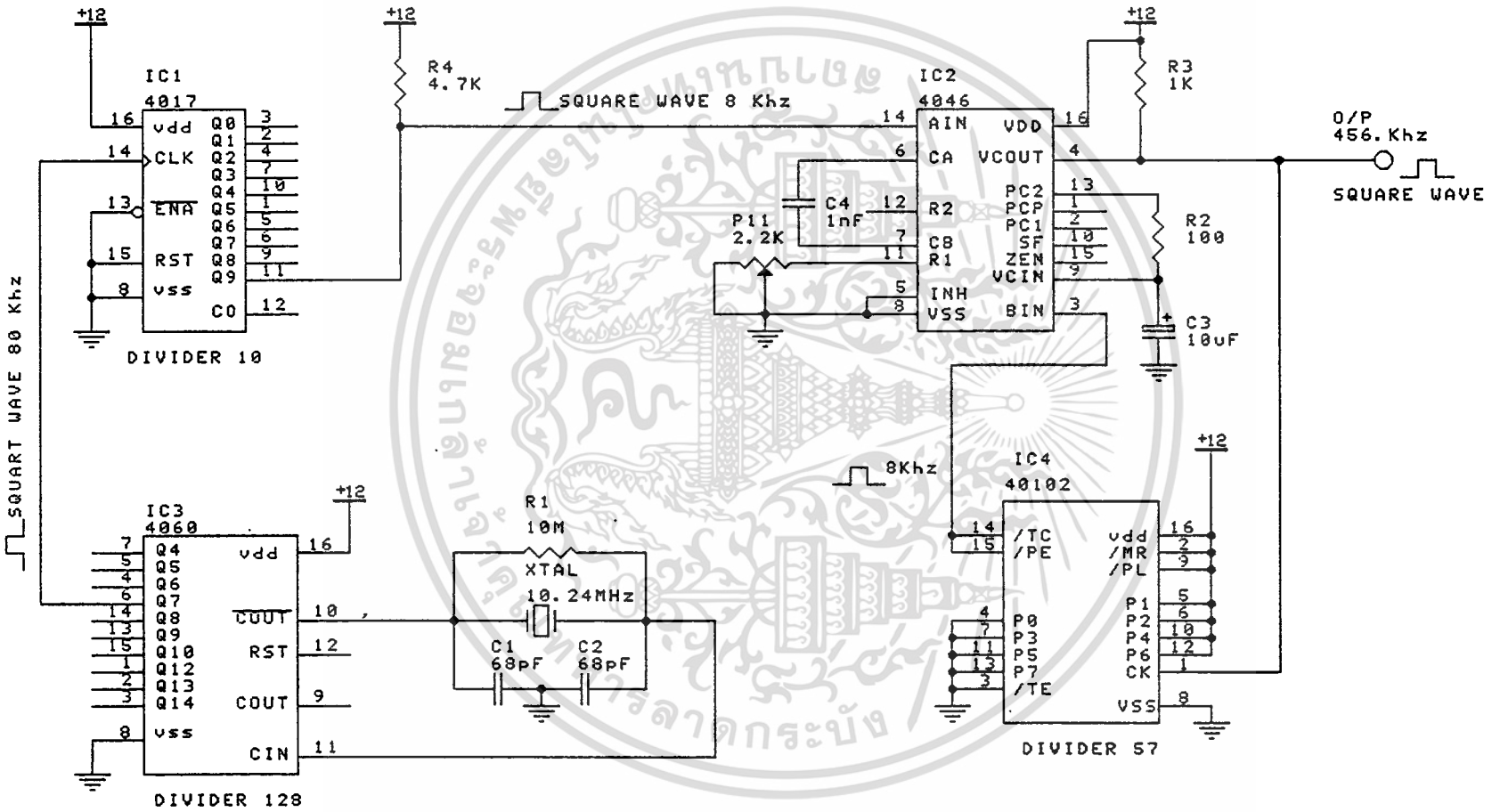


BLOCK DIAGRAM

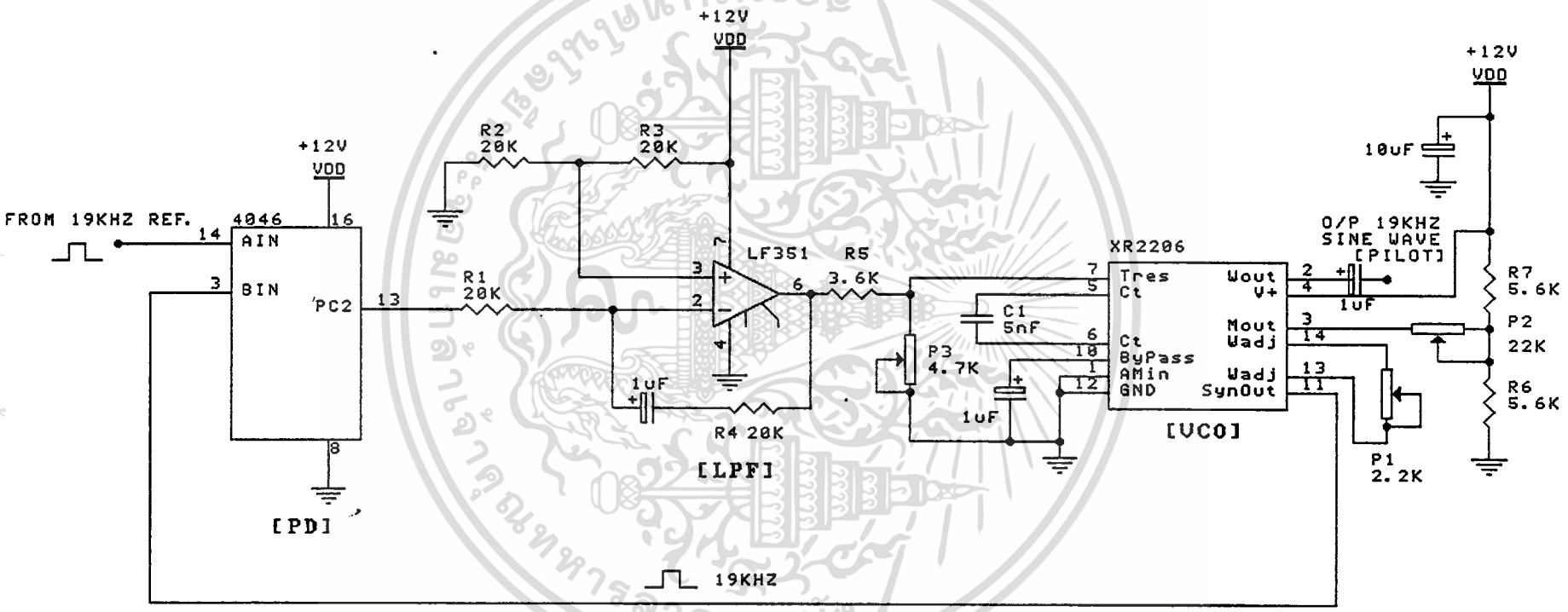
FM STEREO TRANSMITTER



DIGITAL STEREO GENERATOR
[DSM]

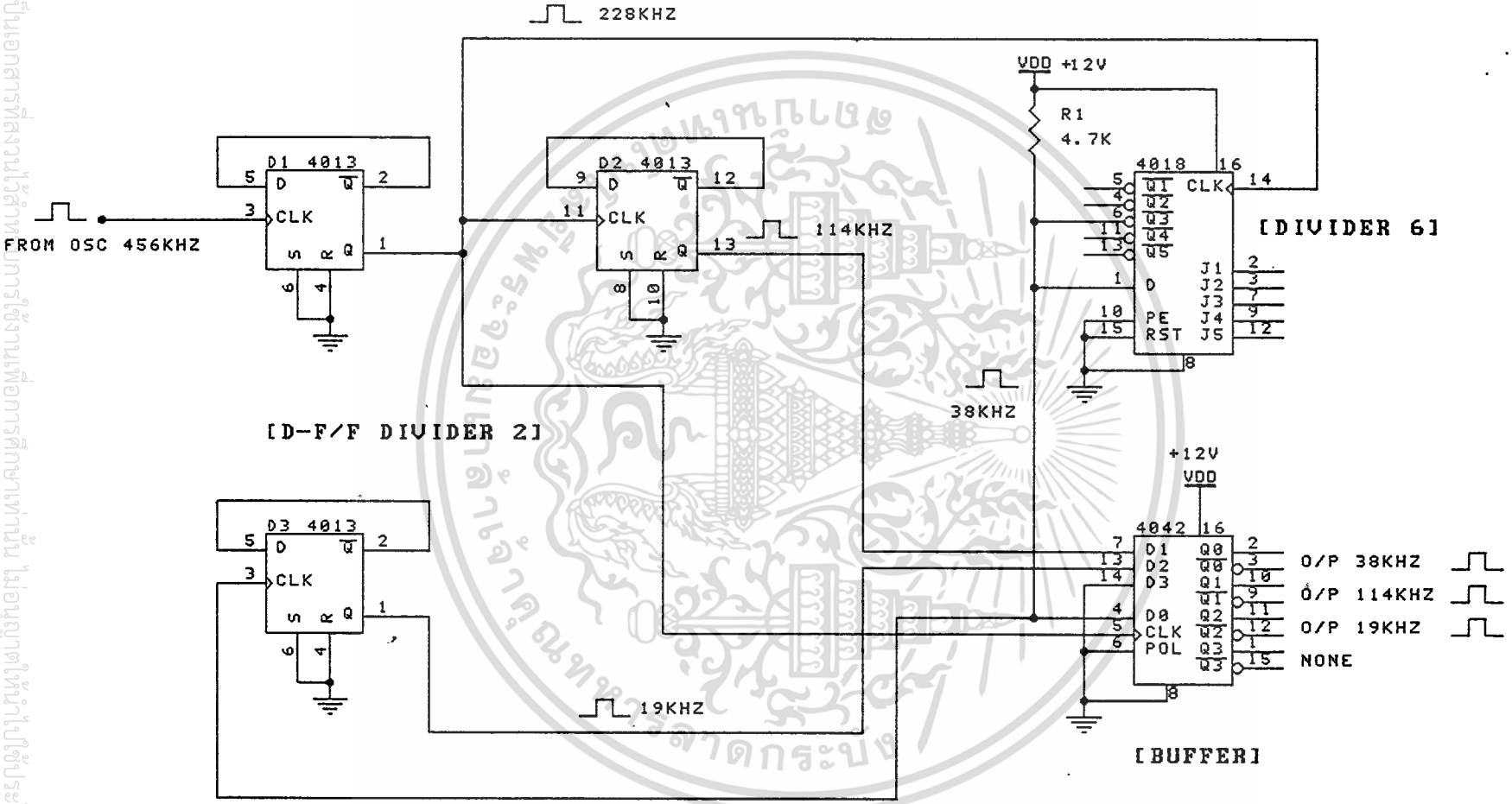


OSCILATOR 456 KHZ

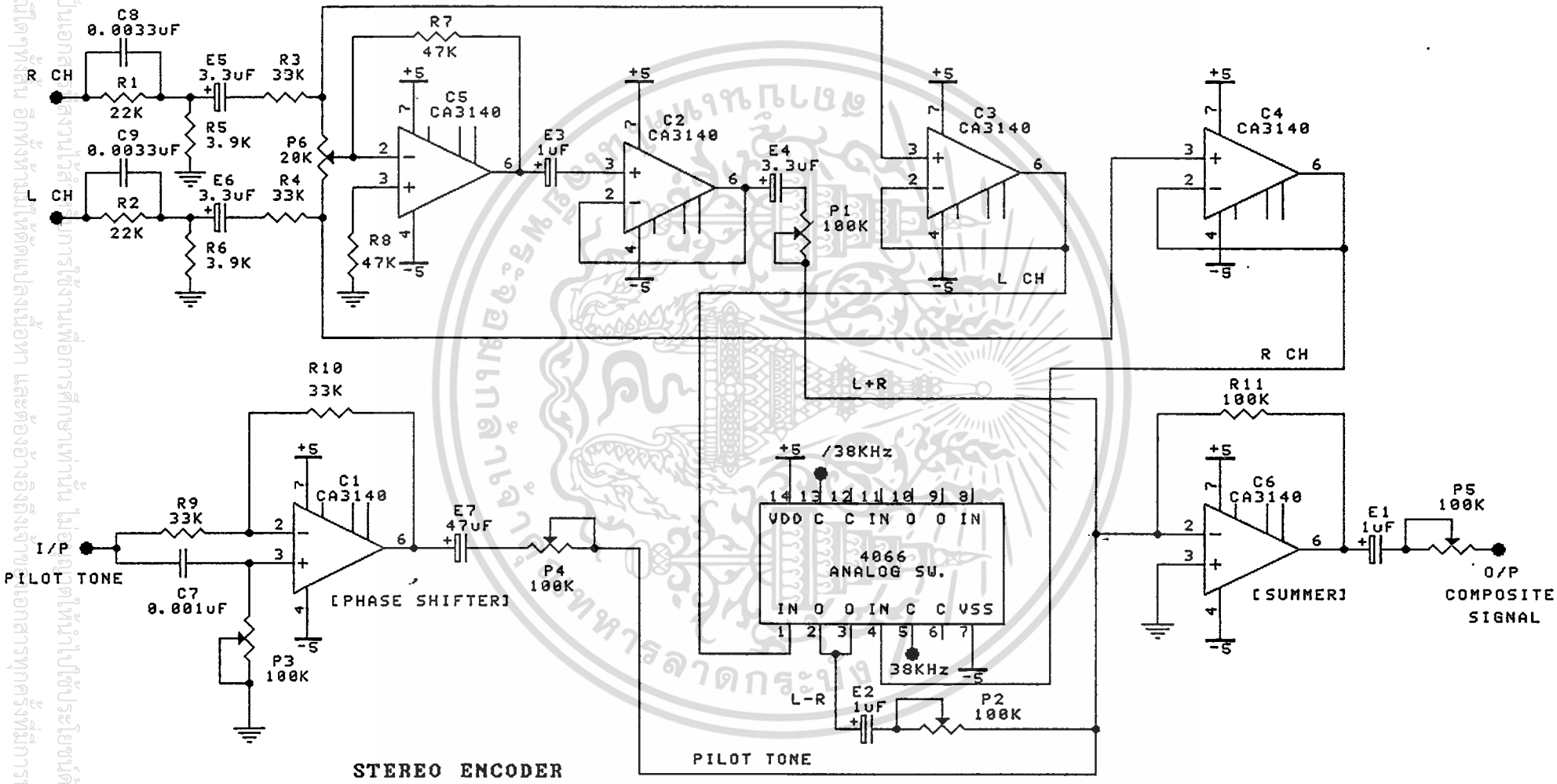


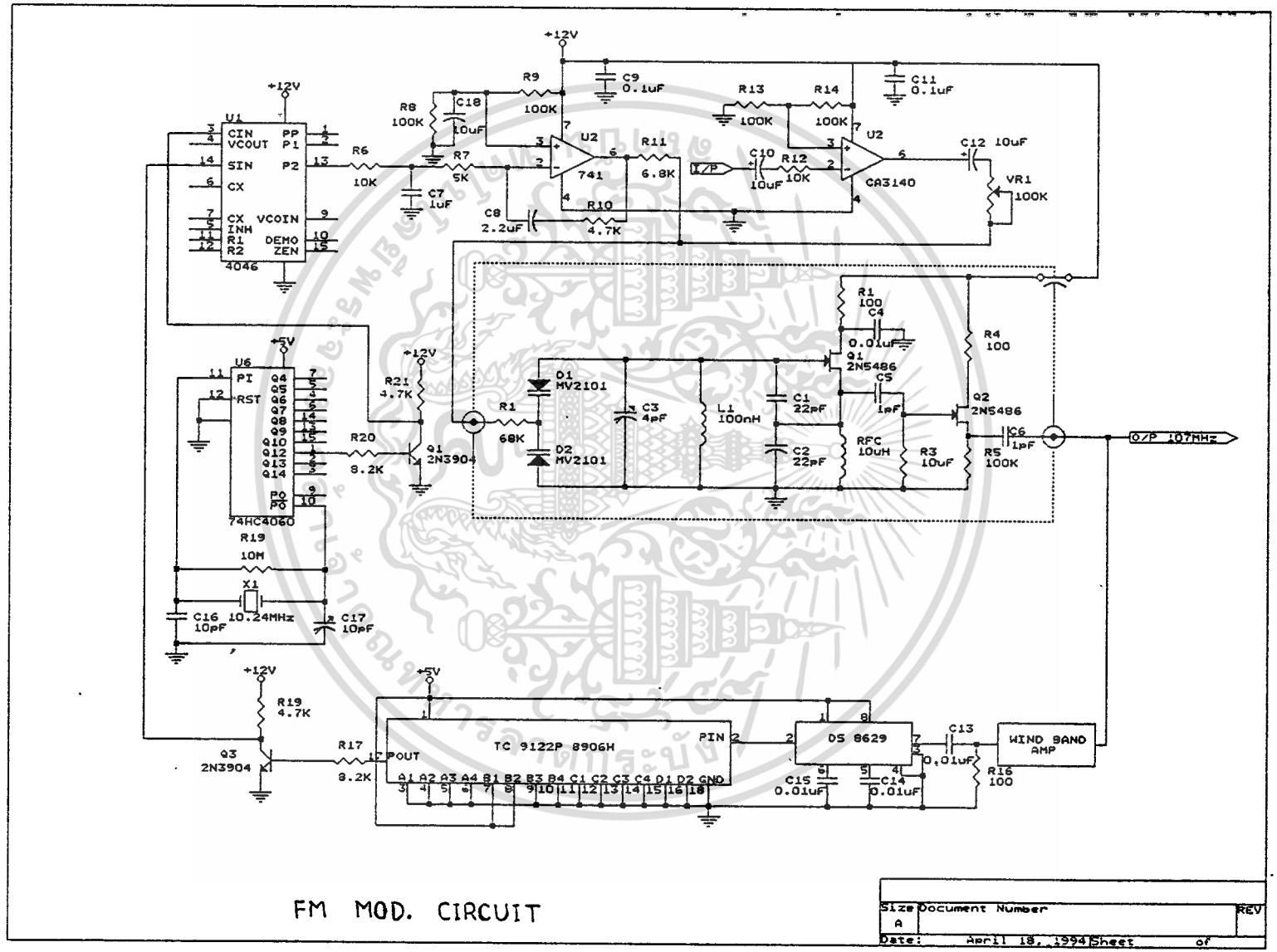
OSCILATOR 19KHz

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



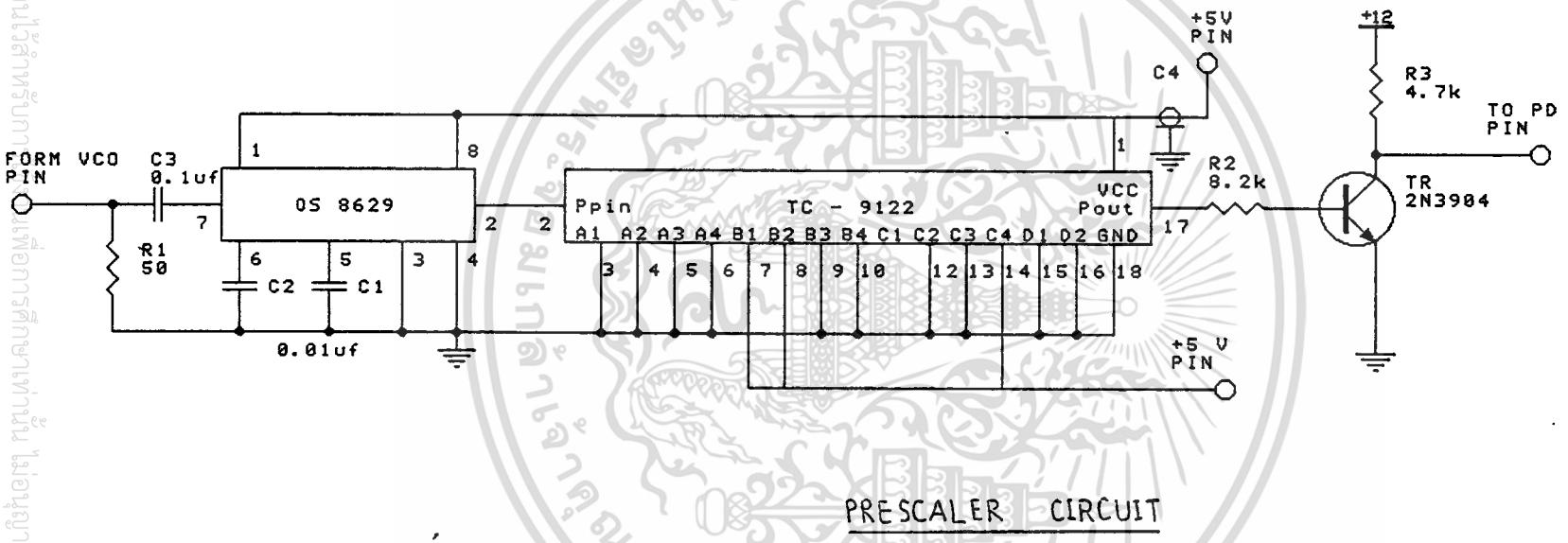
DIVIDER CIRCUIT


C8
0.0033uF
R CH
R1
22K
E5
3.3uF
R3
33K
R5
3.9K
C9
0.0033uF
L CH
R2
22K
E6
3.3uF
R4
33K
R6
3.9K
P6
20K
R7
47K
C5
CA3140
R8
47K
-5
E3
1uF
C2
CA3140
E4
3.3uF
P1
100K
C3
CA3140
L CH
C4
CA3140
R CH
L+R
R10
33K
C1
CA3140
R9
33K
I/P
PILOT TONE
C7
0.001uF
P3
100K
[PHASE SHIFTER]
E7
47uF
P4
100K
+5
/38KHz
VDD C C IN O O IN
4066
ANALOG SW.
IN O O IN C C VSS
38KHz
L-R
E2
1uF
P2
100K
PILOT TONE
R11
100K
C6
CA3140
[SUMMER]
E1
1uF
P5
100K
O/P
COMPOSITE
SIGNAL
STEREO ENCODER

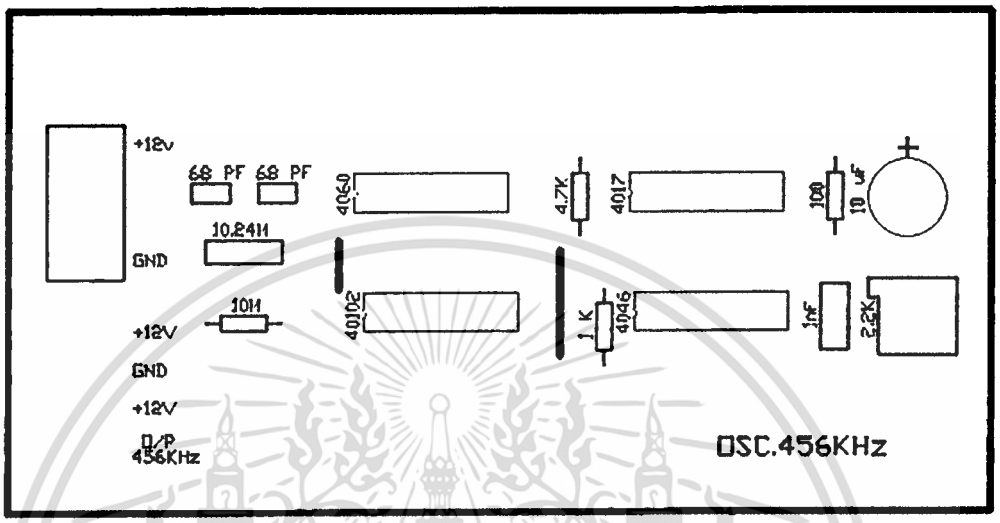


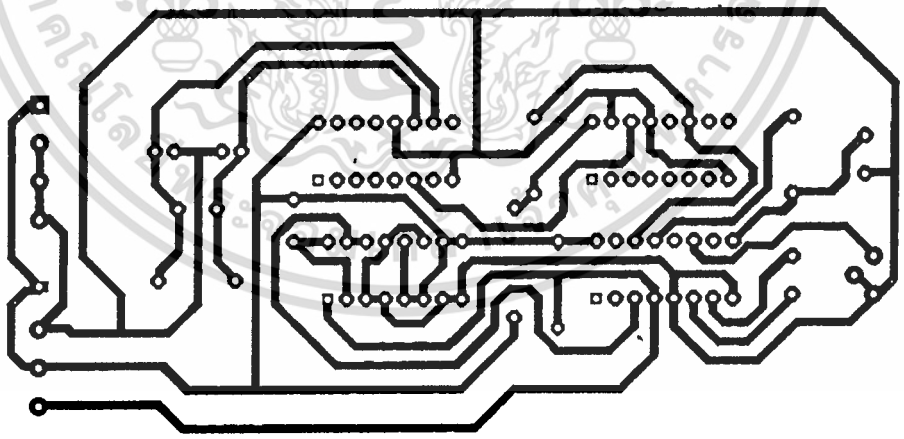
FM MOD. CIRCUIT

Size	Document Number	REV
A		
Date: April 18, 1994	Sheet of	

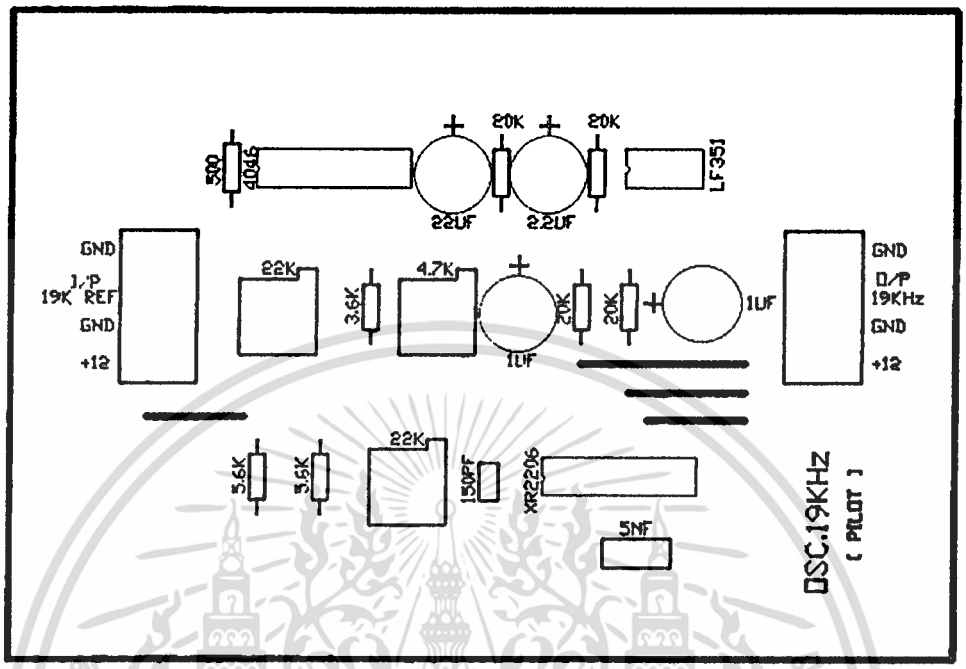


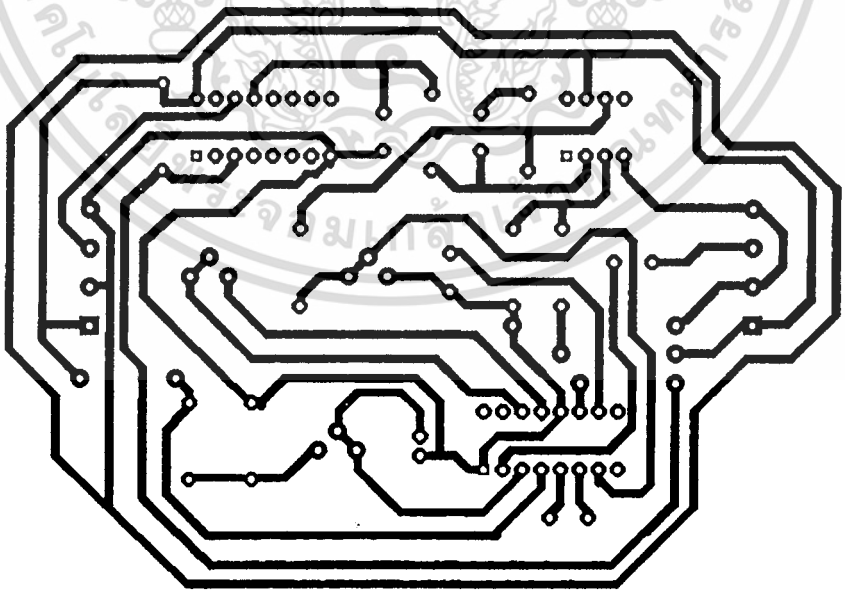
PRESCALER CIRCUIT



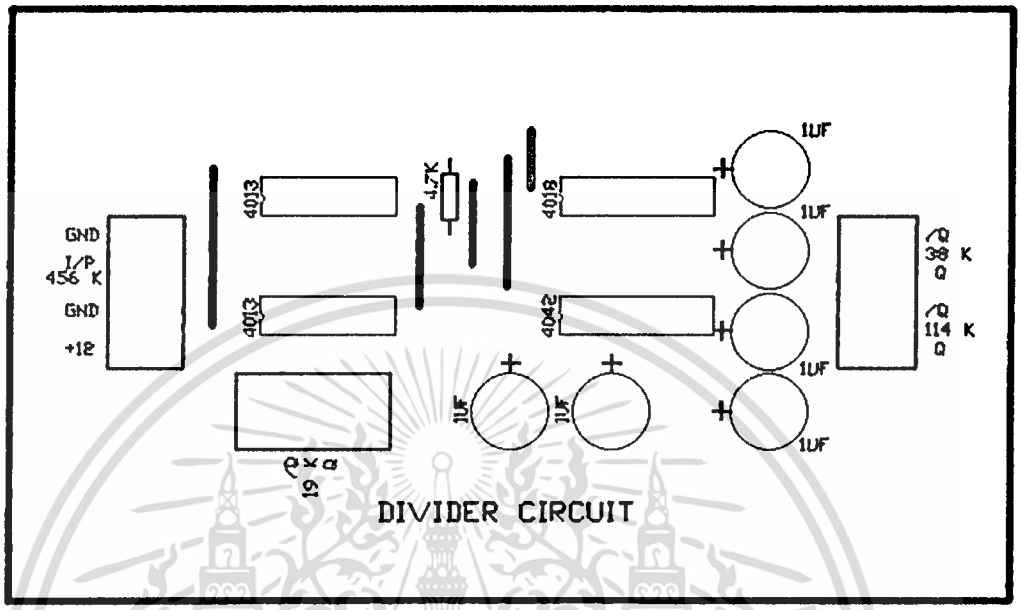


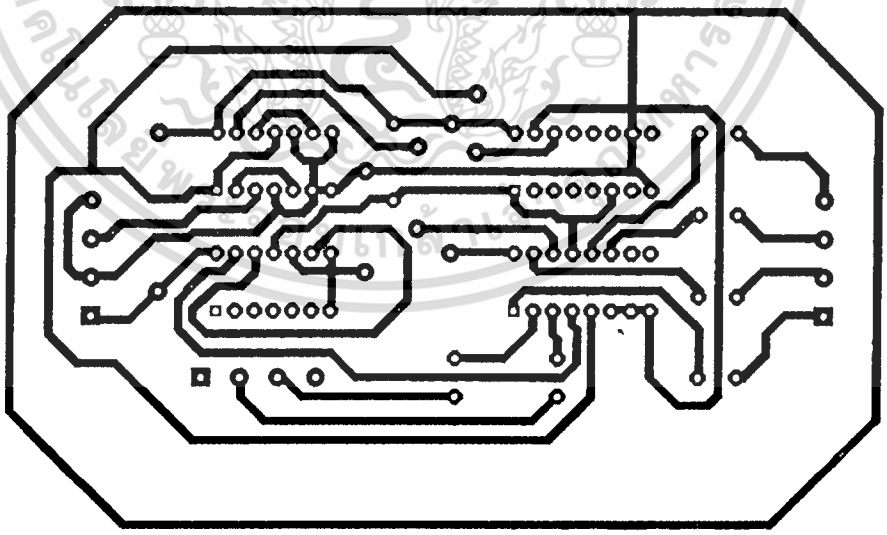
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



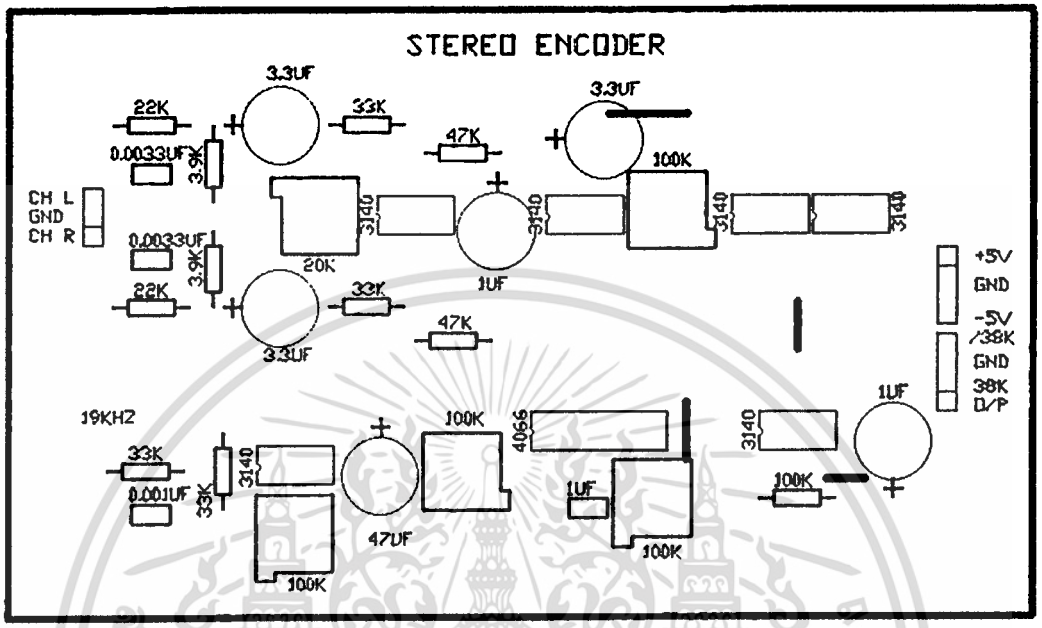


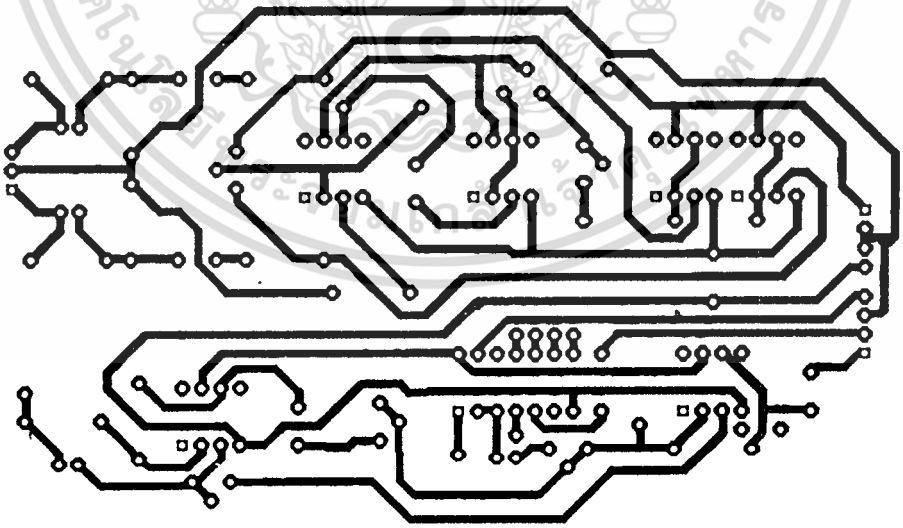
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



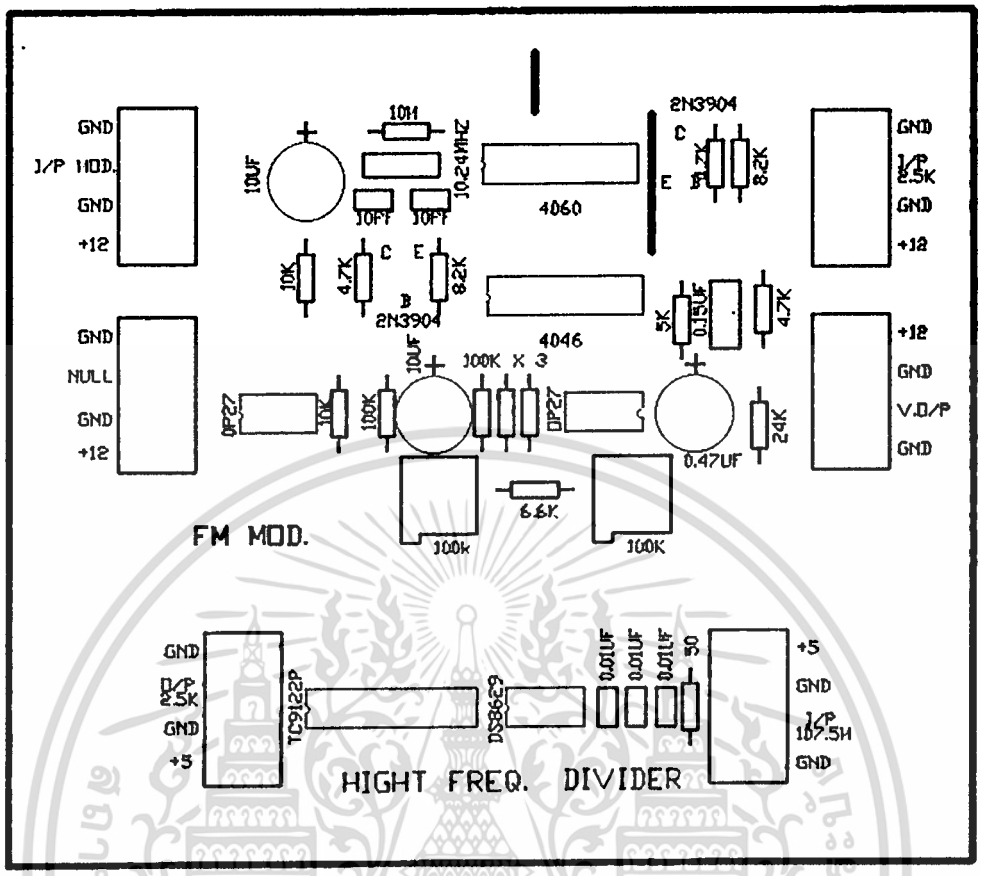


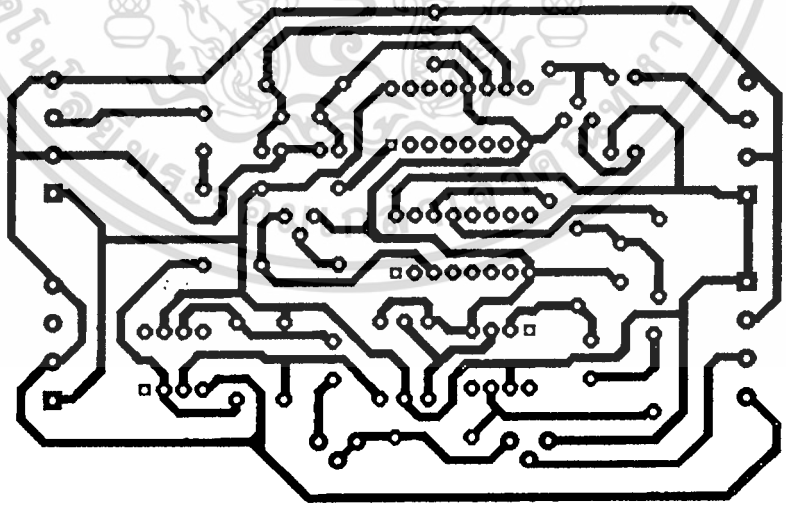
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

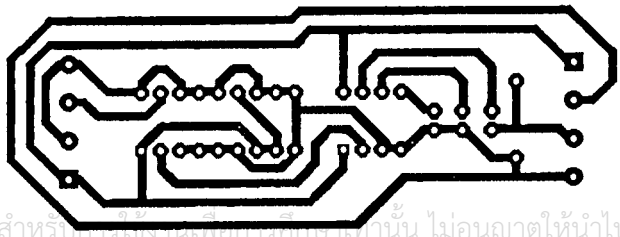




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





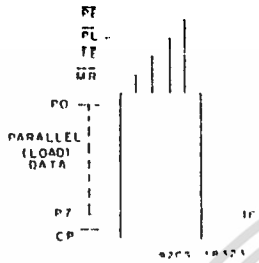


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD54/74HC40102, CD54/74HCT40102
CD54/74HC40103, CD54/74HCT40103

File Number 1596

High-Speed CMOS Logic



FUNCTIONAL DIAGRAM

8-Stage Synchronous Down Counters

40102 - 2-Decade BCD Type
40103 - 8-Bit Binary Type

Type Features:

- *Synchronous or asynchronous preset*
- *Cascadable in synchronous or ripple mode*

The RCA-CD54/74HC40102, 40103 and CD54/74HCT40102, 40103 are manufactured with high speed silicon gate technology and consist of an 8 stage synchronous down counter with a single output which is active when the internal count is zero. The 40102 is configured as two cascaded 4 bit BCD counters, and the 40103 contains a single 8-bit binary counter. Each type has control inputs for enabling or disabling the clock, for clearing the counter to its maximum count, and for presetting the counter either synchronously or asynchronously. All control inputs and the $\overline{TC}$ output are active-low logic.

In normal operation, the counter is decremented by one count on each positive transition of the CLOCK (CP). Counting is inhibited when the $\overline{TE}$ input is high. The $\overline{TC}$ output goes low when the count reaches zero if the $\overline{TE}$ input is low, and remains low for one full clock period.

When the $\overline{PE}$ input is low, data at the P0-P7 inputs are clocked into the counter on the next positive clock transition regardless of the state of the $\overline{TE}$ input. When the $\overline{PL}$ input is low, data at the P0-P7 inputs are asynchronously forced into the counter regardless of the state of the $\overline{PE}$, $\overline{TE}$, or CLOCK inputs. Input P0-P7 represent two 4 bit BCD words for the 40102 and a single 8-bit binary word for the 40103. When the MR input is low, the counter is asynchronously cleared to its maximum count (99_{10} for the 40102 and 225_{10} for the 40103) regardless of the state of any other input. The precedence relationship between control inputs is indicated in the truth table.

If all control inputs except $\overline{TE}$ are high at the time of zero count, the counters will jump to the maximum count, giving a counting sequence of 100 or 256 clock pulses long.

The 40102 and 40103 may be cascaded using the $\overline{TE}$ input and the $\overline{TC}$ output, in either a synchronous or ripple mode.

Family Features:

- *Fanout (Over Temperature Range):*
  Standard Outputs - 10 LSTTL Loads
  Bus Driver Outputs - 15 LSTTL Loads
- *Wide Operating Temperature Range*
  CD74HC/HCT: -40 to +85°C
- *Balanced Propagation Delay and Transition Times*
- *Significant Power Reduction Compared to LSTTL Logic ICs*
- *Alternate Source is Philips/Signetics*
- *CD54HC/CD74HC Types:*
  2 to 6 V Operation
  High Noise Immunity: N_{IL} = 30%, N_{IH} = 30% of V_{CC} @ V_{CC} = 5 V
- *CD54HCT/CD74HCT Types:*
  4.5 to 5.5 V Operation
  Direct LSTTL Input Logic Compatibility
  V_{IL} = 0.8 V Max., V_{IH} = 2 V Min.
  CMOS Input Compatibility
  $I_I \leq 1\ \mu A$ @ V_{OL}, V_{OH}

These circuits possess the low power consumption usually associated with CMOS circuitry, yet have speeds comparable to low power Schottky TTL circuits and can drive up to 10 LSTTL loads.

The CD54HC40102, 40103, and CD54HCT40102, 40103 are supplied in 16-lead hermetic dual-in-line ceramic packages (F suffix). The CD74HC40102, 40103 and CD74HCT40102, 40103 are supplied in 16-lead dual-in-line plastic packages (E suffix) and in 16-lead dual-in-line surface mount plastic packages (M suffix). Both types are also available in chip form (H suffix).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD54/74HC40102, CD54/74HCT40102
CD54/74HC40103, CD54/74HCT40103

MAXIMUM RATINGS, *Absolute-Maximum Values.*

DC SUPPLY-VOLTAGE, (V_{CC})
(Voltages referenced to ground) . . . . . -0.5 to +7 V
DC INPUT DIODE CURRENT, I_{IK} (FOR V_I < -0.5 V OR V_I > V_{CC} +0.5V) . . . ±20mA
DC OUTPUT DIODE CURRENT, I_{OK} (FOR V_O < -0.5 V OR V_O > V_{CC} +0.5V) . . . ±20mA
DC DRAIN CURRENT, PER OUTPUT (I_O) (FOR -0.5 V < V_O < V_{CC} + 0.5V) . ±25mA
DC V_{CC} OR GROUND CURRENT (I_{CC}) . ±50mA
POWER DISSIPATION PER PACKAGE (P_D)
For T_A = -40 to +60°C (PACKAGE TYPE E) . . . . 500 mW
For T_A = +60 to +85°C (PACKAGE TYPE E) . Derate Linearly at 8 mW/°C to 300 mW
For T_A = -55 to +100°C (PACKAGE TYPE F, H) . . . . 500 mW
For T_A = +100 to +125°C (PACKAGE TYPE F, H) . Derate Linearly at 8 mW/°C to 300 mW
For T_A = -40 to +70°C (PACKAGE TYPE M) . . . . 400 mW
For T_A = +70 to +125°C (PACKAGE TYPE M) . . . . Derate Linearly at 6 mW/°C to 70 mW
OPERATING TEMPERATURE RANGE (T_A)
PACKAGE TYPE F, H . -55 to +125°C
PACKAGE TYPE E, M . -40 to +85°C
STORAGE TEMPERATURE (T_{stg}) . . . . -65 to +150°C
LEAD TEMPERATURE (DURING SOLDERING)
At distance 1/16 ± 1/32 in (1.59 ± 0.79 mm) from case for 10 s max . . . . +265°C
Unit Inserted into a PC Board (min. thickness 1/16 in., 1.59 mm)
with solder contacting lead tips only . +300°C

RECOMMENDED OPERATING CONDITIONS:

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS MIN.	LIMITS MAX.	UNITS
Supply-Voltage Range (For T_A = Full Package Temperature Range) V_{CC}*			
CD54/74HC Types	2	6	V
CD54/74HCT Types	4.5	5.5	V
DC Input or Output Voltage V_I, V_O*	0	V_{CC}	V
Operating Temperature T_A:			
CD74 Types	-40	+85	°C
CD54 Types	-55	+125	°C
Input Rise and Fall Times, t_r, t_f			
at 2 V	0	1000	ns
at 4.5 V	0	500	ns
at 6 V	0	400	ns

*Unless otherwise specified, all voltages are referenced to Ground.

TRUTH TABLE

CONTROL INPUTS				PRESET MODE	ACTION
$\overline{MR}$	$\overline{PL}$	$\overline{PE}$	$\overline{TE}$		
1	1	1	1	Synchronous	Inhibit Counter
1	1	1	0		Count Down
1	1	0	X		Preset On Next Positive Clock Transition
1	0	X	X	Asynchronously	Preset Asynchronously
0	X	X	X		Clear to Maximum Count

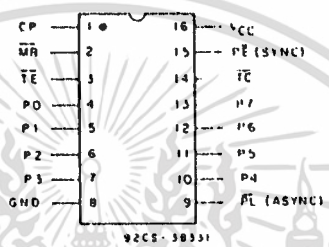
Notes:
1. 0 = Low Level
   1 = High Level
   X = Don't Care
2. Clock Connected to Clock Input
3. Synchronous operation: Changes Occur on Negative-to-Positive Clock Transitions.
4. Load Inputs: 40102 BCD: MSD = P7, P6, P5, P4 (P7 is MSB)
   LSD = P3, P2, P1, P0 (P3 is MSB)
   40103 Binary: MSB = P7, LSB = P0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD54/74HC40102, CD54/74HCT40102
CD54/74HC40103, CD54/74HCT40103

	CD54/74HC	CD54/74HCT
Input Level	Vcc	3 V
Vs	0.5 Vcc	1.3 V

Transition times, propagation delay times, setup and hold times, and removal times



TERMINAL ASSIGNMENT

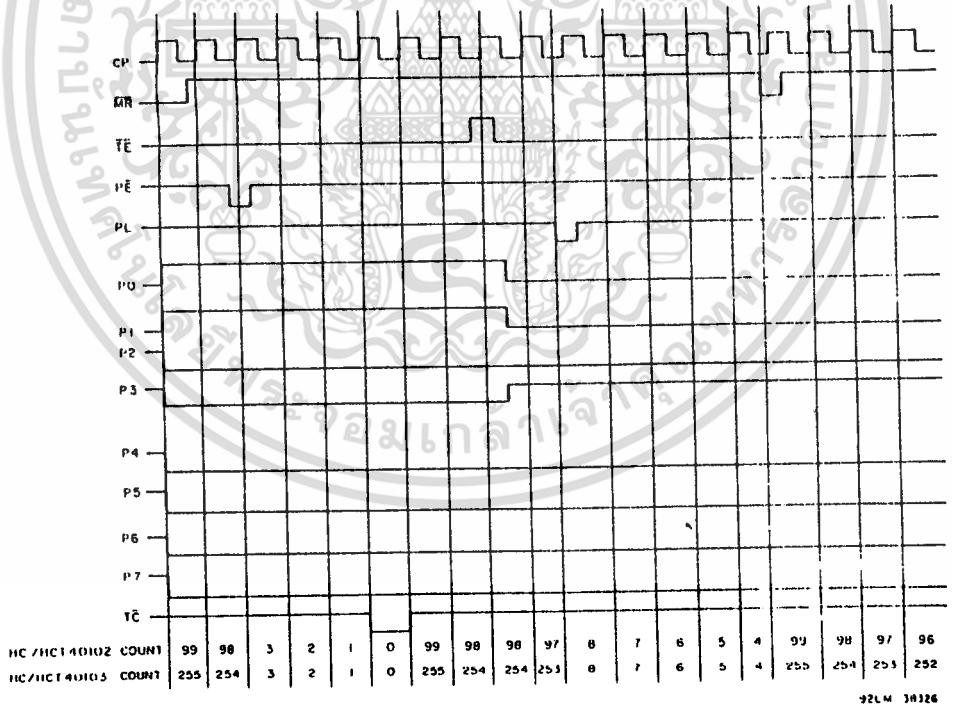


Fig. 3 - Timing diagram for HC/HCT40102 and HC/HCT40103

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

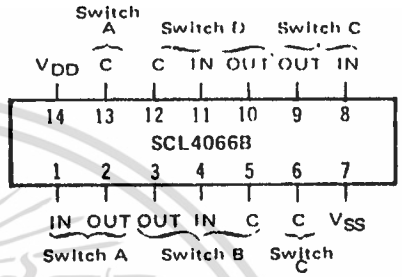
SCL4066B

CMOS QUAD ANALOG SWITCH

FEATURES

- Transmission or Multiplexing of Analog or Digital Signals
- 80Ω Typical ON-Resistance for 15-Volt operation
- Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ON-Resistance Flat over Full Peak-to-Peak Signal Range
- High Degree of Linearity:
  ⩽0.5% Distortion (typ) @ f_{is} = 1kHz, V_{is} = 5V_{p-p}, V_{DD}-V_{SS} ⩾ 10V, R_L = 10kΩ
- Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  10pA (typ) @ V_{DD}-V_{SS} = 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  10^{12}Ω (typ)
- Low Crosstalk between Switches:
  -50dB (typ) @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitance Reduces Output Signal Transients
- Frequency Response, Switch ON = 40MHz (typ)

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip	F	14-pin Flat
D	14-pin Ceramic	H	Chip
E	14-pin Epoxy		

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

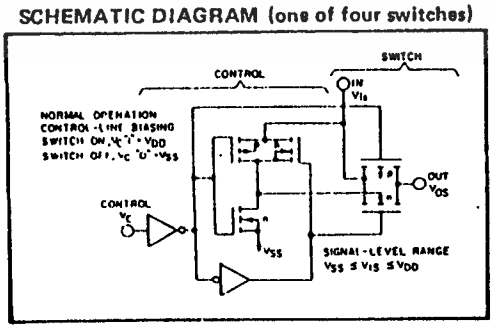
DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

DESCRIPTION

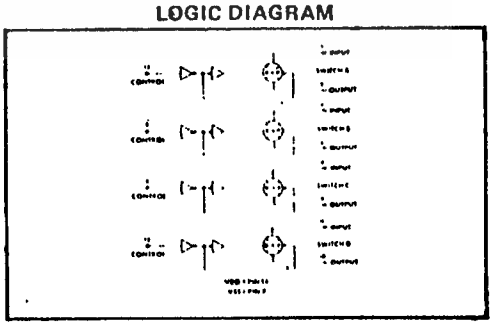
The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample and-hold applications, however, the SCL4016 is recommended.

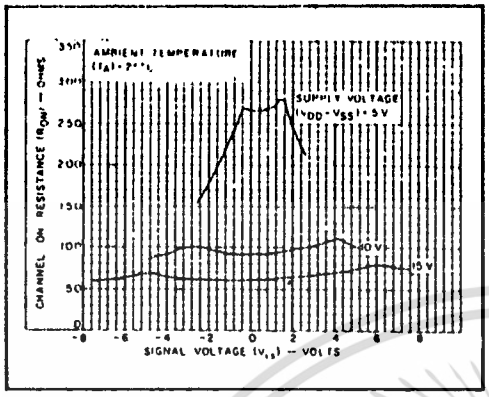
SCHEMATIC DIAGRAM (one of four switches)



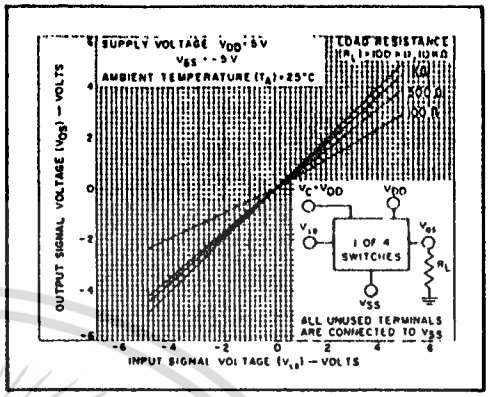
LOGIC DIAGRAM



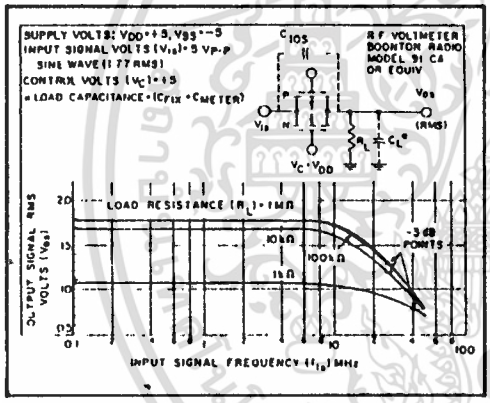
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



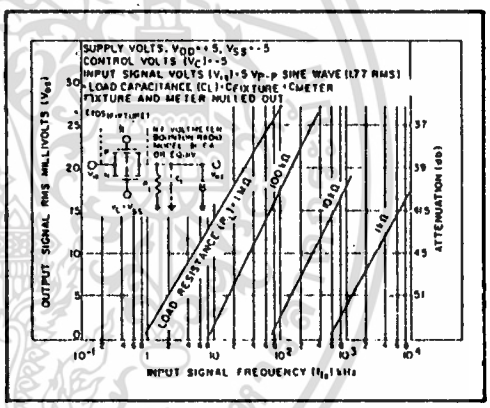
Typical channel ON resistance vs. signal voltage for three values of supply voltage (V_{DD}-V_{SS})



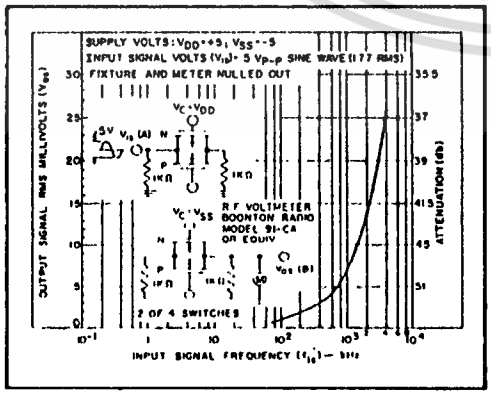
Typical ON characteristics for 1 of 4 channels.



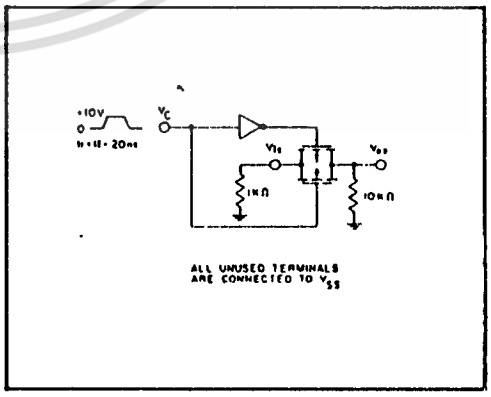
Typ. switch frequency response - switch "ON"



Typ. feedthru vs. freq. – switch "OFF"



Typ. crosstalk between switch circuits in the same package



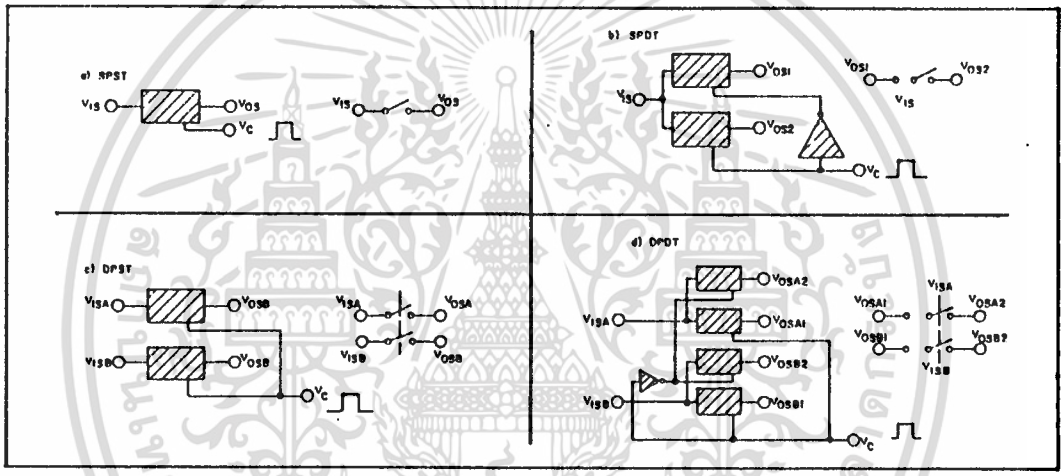
Test circuit, crosstalk-control input to signal output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

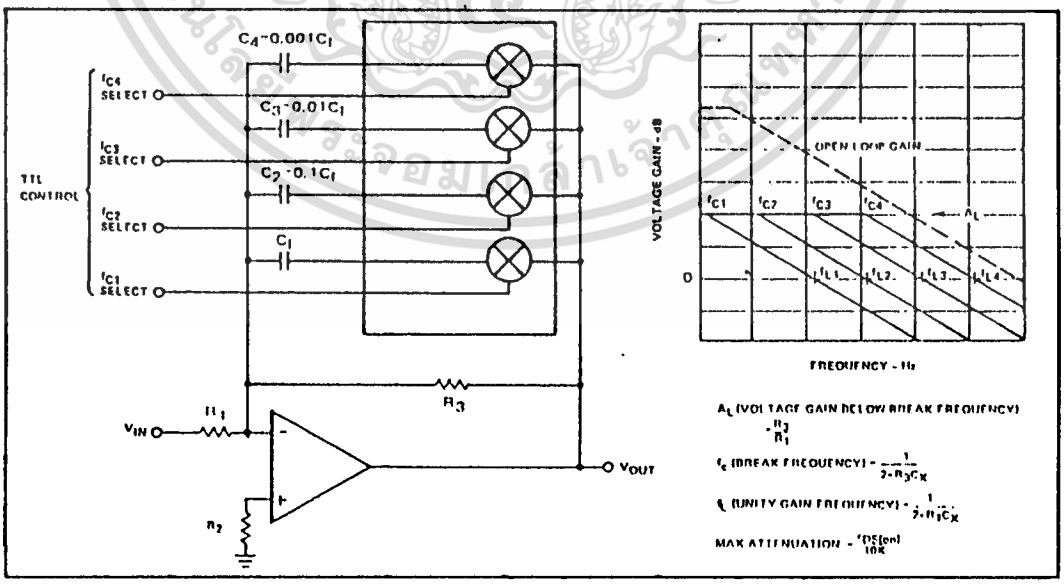
SPECIAL CONSIDERATIONS – SCL4066B

1. In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 SCL4066B bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from SCL4066B.
2. In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown).
   No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10. Failure to observe this condition may result in distortion of the signal.

APPLICATIONS INFORMATION



Basic Switch Functions using the SCL4066B



Active Low Pass Filter with Digitally Selected Break Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

DS8629 120 MHz Divide-by-100 Prescaler

General Description

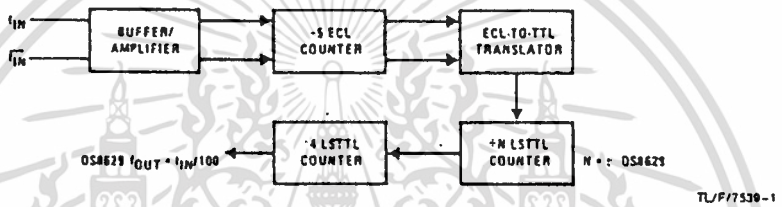
The DS8629 is a fixed ratio counter combining ECL and Low Power Schottky technology on a single monolithic substrate. This provides high frequency capability and TTL compatibility. A single 5.2V ±10% supply is needed.

The device can be operated in a single-ended or differential input mode, with the signal source typically capacitively coupled to the input. An input amplifier is included to allow use of extremely small amplitude, high frequency signals. The output of the device is a square wave of frequency $f_{OUT} = f_{IN}/100$ for the DS8629. The output is standard Low Power Schottky.

Features

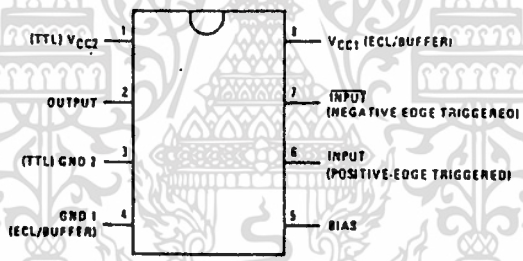
- High Frequency, dc—120 MHz—small input amplitude
- Sine wave input 30 MHz < f_{IN} < 120 MHz
- TTL compatible output
- May be used with TTL input
- Single supply operation 5.2V ±10%
- Single ended or differential input modes
- Positive or negative-edge triggered
- Count down sequence avoids broadcast FM IF harmonics

Logic and Connection Diagrams



TL/F/7539–1

Dual-In-Line Package

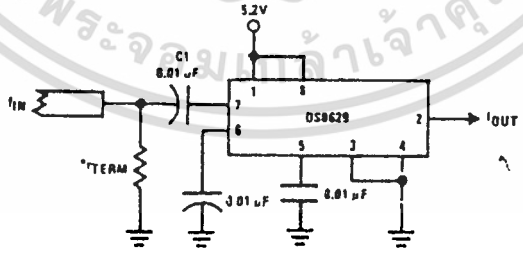


TL/F/7539–2

Order Number DS8629N
See NS Package Number N08E

Typical Applications

High Frequency—Single-Ended Input



TL/F/7539–3

*R_{TERM} is the termination impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

Specifications for Military/Aerospace products are not contained in this datasheet. Refer to the associated reliability electrical test specifications document.

Supply Voltage	7V
Input Voltage	5V
Output Voltage	5.5V
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	300°C

Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})	4.68	5.72	V
Temperature (T_A)	0	+70	°C

Electrical Characteristics (Notes 2 and 3)

Symbol	Parameter	Conditions		Min	Typ	Max	Units
$V_{IN1(p-p)}$	Input Voltage (Peak-To-Peak)	Single-Ended @ 120 MHz		200		1000	mV
$V_{IN2(p-p)}$	Input Voltage (Peak-To-Peak)	Differential @ 120 MHz		100		1000	mV
f_{SINE}	Input Frequency with Sine Wave	V_{IN} = 600 mVp-p		30		120	MHz
f_{TTL}	Input Frequency with TTL Input			0		120	MHz
dV	Minimum Slew Rate of Square Wave Input	V_{IN} = 600 mVp-p				100	V/μs
V_{OH}	Logical "1" Output Voltage	V_{CC} = Min, I_{OH} = −10 μA V_{CC} = Min, I_{OH} = −400 μA V_{CC} = Min, I_{OH} = −1.6 mA		2.9 2.4 2.0			V V V
I_{OS}	Output Short-Circuit Current	V_{CC} = Max		−10		−40	mA
V_{OL}	Logical "0" Output Voltage	V_{CC} = Min	I_{OL} = 8 mA DS8629			0.5	V
I_{CC}	Supply Current	V_{CC} = Max	DS8629		90	135	mA
Z_{IN}	Input Impedance	V_{IN} = 0.1 V_{p-p} to 1 V_{p-p} Freq. = 120 MHz		100	200	350	Ω

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the device should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Unless otherwise specified, min/max limits apply across the 0°C to 70°C range. All typical values are for T_A = 25°C and V_{CC} = 5.2V.

Note 3: All currents into device pins shown as positive, out of device pins negative, all voltage referenced to ground unless otherwise noted. All values shown as max or min on absolute value basis.

Application Hints

OPERATING NOTES

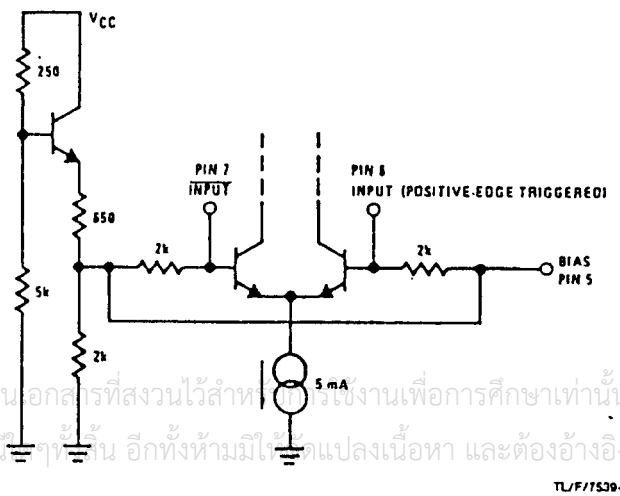
Two ground and two V_{CC} connections are provided separating the ECL and buffer/amplifier stages from the TTL section, isolating the noise transients inherent in the TTL structure. In most cases, shorting the two grounds externally to a good ground plane and the V_{CC}'s to a wide V_{CC} bus will provide sufficient isolation. All components used in the circuit layout should be suitable for the frequencies involved and leads should be kept short to minimize stray inductance. A well by-passed voltage source should be used.

The signal source is usually capacitively coupled to the input. At higher frequencies a 0.01 μF input capacitor (C1) is usually sufficient, with larger values used at the lower frequencies. If the input signal is likely to be interrupted, it may be desirable to connect a 100 kΩ resistor between one input and ground to stabilize the device. In the single-ended mode, it is preferable to connect the resistor to the unused input. In the differential mode, the resistor can be connected to either input. The addition of the 100 kΩ pull-down resistor causes a loss of input sensitivity, but prevents circuit oscillations under no signal (open circuit) conditions. In addition, in the single ended mode, a capacitor of 0.01 μF (C2) should be connected between the unused input and the ground plane to provide a good high frequency bypass. The capacitor should be made larger for lower frequencies.

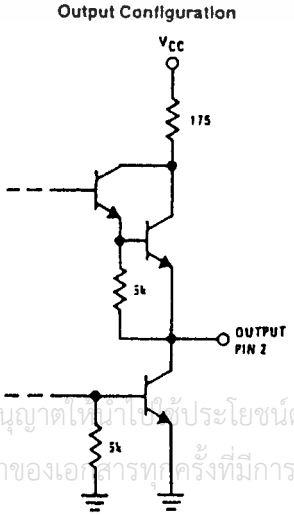
The input waveform may be sinusoidal, but below about 30 MHz the operation of the circuit becomes dependent on the slew rate of the input rather than amplitude. A square wave input with a slew rate of greater than 100 V/μs will permit correct operation down to lower frequencies, provided the proper input coupling capacitor is provided. If it is desired to use a TTL input signal source, the unused input should have a 10 kΩ resistor added to ground and the input coupling capacitor should be eliminated with the TTL source dc coupled to the input.

The device can be used in phase-locked loop applications such as FM radio or other communications bands to prescale the input frequency down to a more usable level. A digital frequency display system can also be derived separately or in conjunction with a phase-locked loop, and it can extend the useful range of many inexpensive frequency counters to 160 MHz (typically).

Input Configuration



Output Configuration



TL/F/7539–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES uA741M, uA741C
GENERAL-PURPOSE OPERATIONAL AMPLIFIERS

BULLETIN NO. DL-S 11363, NOVEMBER 1970—REVISED OCTOBER 1979

- Short-Circuit Protection
- Offset-Voltage Null Capability
- Large Common-Mode and Differential Voltage Ranges
- No Frequency Compensation Required
- Low Power Consumption
- No Latch-up

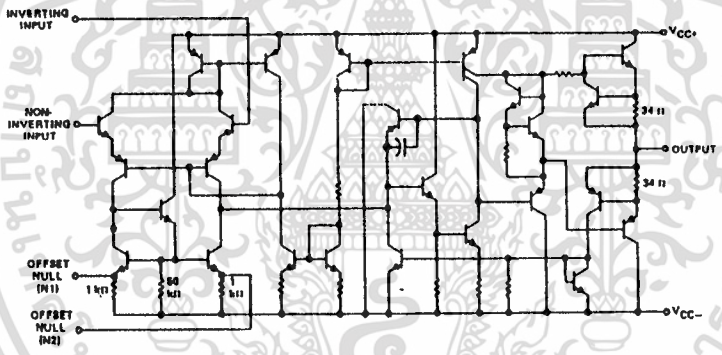
description

The uA741 is a general-purpose operational amplifier featuring offset-voltage null capability.

The high common-mode input voltage range and the absence of latch-up make the amplifier ideal for voltage-follower applications. The device is short-circuit protected and the internal frequency compensation ensures stability without external components. A low-value potentiometer may be connected between the offset null inputs to null out the offset voltage as shown in Figure 2.

The uA741M is characterized for operation over the full military temperature range of −55°C to 125°C; the uA741C is characterized for operation from 0°C to 70°C.

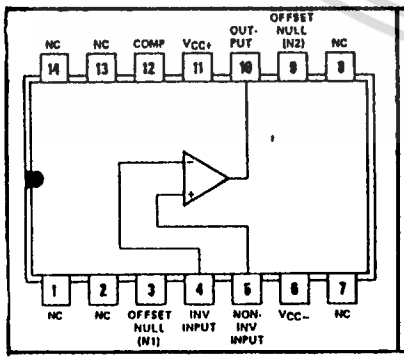
schematic



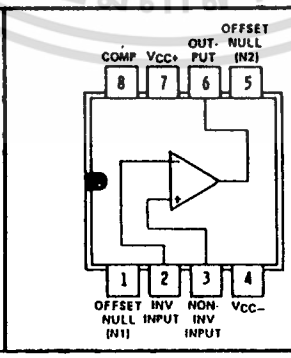
Resistor values shown are nominal

terminal assignments

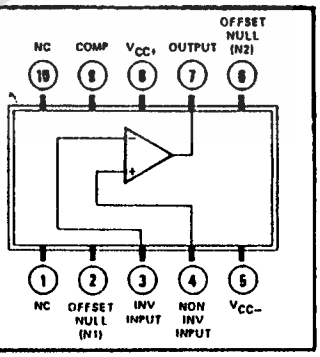
J OR N DUAL-IN-LINE OR W FLAT PACKAGE (TOP VIEW)



JG OR P DUAL-IN-LINE PACKAGE (TOP VIEW)



U FLAT PACKAGE (TOP VIEW)



NC—No internal connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้