# ระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม

# TDM VOICE AND VIDEO DATA TRANSMISSION SYSTEM


โดย

นาย เจริญ ณัฏฐวุฒิสิทธิ์ 34102071

นาย พิมล ปะนะสุนา 34105244


อาจารย์ที่ปรึกษา

รศ.ดร.วิวัฒน์ กิรานนท์

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2537

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม

ผู้จัดทำ

นาย เจริญ ณัฏฐวุฒิสิทธ์ รหัส 34102071

นาย พิมล ปะนะสุนา รหัส 34105244

_____ อาจารย์ที่ปรึกษา

( รศ.ดร.วิวัฒน์ กิรานนท์ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม

TDM Voice and Video Data Transmission System

โดย เจริญ ณัฏฐวุฒิสิทธิ์ 34102071
พิมล ปะนะสุนา 34105244

อาจารย์ที่ปรึกษา
รศ.ดร.วิวัฒน์ กิรานนท์
ปีการศึกษา 2537

บทคัดย่อ

รายงานฉบับนี้ กล่าวถึงระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม ความเร็ว 48 กิโลบิท/วินาที โดยส่วนของข้อมูลเสียงจะทำการเข้ารหัสแบบซีวีเอสดี ส่วนของข้อมูลภาพที่ส่ง เป็นภาพขาวดำขนาด 128 x 128 จุดภาพ ความละเอียด 6 บิท/จุดภาพ ข้อมูลทั้งหมดถูกมัลติเพล็กซ์แบบทีดีเอ็มในรูปแบบบิตอินเตอลีฟ ส่งออกไปในสายนำสัญญาณ

ABSTRACT

This thesis describes about " TDM Voice and Video Data Transmission System " at rate of 48 Kbits/sec. The voice data will encodeed in CVSD procedure and the video data is a 128x128 monochrome picture with the resolution of 6 bits/pixel. All data will be multiplexed in TDM by Bit interleaved procedure and sent in Transmission line.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | | หน้า |
|---|---|---|
| บทที่ 1 | บทนำ | 1 |
| บทที่ 2 | ทฤษฎีและหลักการที่ใช้ในระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม | 3 |
| | 2.1 การส่งผ่านข้อมูลดิจิตอลแบบเบสแบนด์ | 3 |
| | 2.2 หลักการเอทูดีและดีทูเอที่ใช้กับสัญญาณเสียง | 6 |
| | 2.3 หลักการพื้นฐานของวงจรกรองความถี่แบบแอคทีฟ | 10 |
| | 2.4 หลักการการมัลติเพล็กซ์สัญญาณแบบแบ่งเวลา | 13 |
| | 2.5 หลักการของลำดับไบนารี่แบบสุ่มเทียม | 19 |
| | 2.6 การเกิดภาพบนจอโทรทัศน์ | 22 |
| | 2.7 หลักการเอทูดีและดีทูเอที่ใช้กับสัญญาณภาพ | 27 |
| | 2.8 หลักการส่งและรับข้อมูลอนุกรม | 32 |
| | 2.9 หลักการทำงานของเฟสล็อคลูป | 38 |
| บทที่ 3 | การทำงานของระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม | 41 |
| | 3.1 วงจรภาคส่งและรับข้อมูลเสียงดิจิตอล | 42 |
| | 3.2 วงจรภาคมัลติเพล็กซ์และดีมัลติเพล็กซ์ | 50 |
| | 3.3 วงจรกู้สัญญาณนาฬิกา | 55 |
| | 3.4 วงจรภาคส่งและรับข้อมูลภาพดิจิตอล | 58 |
| บทที่ 4 | การทดลองและผลการทดลอง | 90 |
| บทที่ 5 | สรุปผลและแนวทางการพัฒนา | 93 |
| ภาคผนวก | | |
| กิตติกรรมประกาศ | | |
| หนังสืออ้างอิง | | |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

ปริญญานิพนธ์ฉบับนี้ จะกล่าวถึงระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม ซึ่งเป็นการสื่อสารที่ให้บริการอย่างพร้อมกัน ทั้งเสียงและภาพผ่านทางสายนำสัญญาณ โดยข้อมูลที่ส่งผ่าน จะอยู่ในรูปแบบดิจิตอล ส่วนประกอบของระบบแบ่งได้เป็น 4 ส่วนสำคัญคือ ส่วนแรกเป็นส่วนทำหน้าที่แปลงสัญญาณเสียงและภาพที่เป็นอนาลอกให้เป็นข้อมูลดิจิตอลแล้ว ส่งไปยังช่องสัญญาณของส่วนการมัลติเพล็กซ์ซึ่งเป็นส่วนที่สอง เพื่อส่งไปในสายนำสัญญาณ ส่วนที่สามคือส่วนของดีมัลติเพล็กซ์ จะรับข้อมูลที่ถูกมัลติเพล็กซ์ที่ส่งผ่านมาในสายนำสัญญาณ เพื่อแยกข้อมูลเสียงและภาพออกไปสู่ช่องสัญญาณได้ถูกต้อง และส่วนสุดท้ายคือ ส่วนที่ทำหน้าที่แปลงข้อมูลดิจิตอลที่ได้รับจากช่องสัญญาณดีมัลติเพล็กซ์ เป็นสัญญาณเสียงและภาพแบบอนาลอก ซึ่งเนื้อหาในปริญญานิพนธ์นี้ได้แบ่งออกเป็นบทต่างๆ 5 บท พร้อมทั้งภาคผนวก โดยมีรายละเอียดของเนื้อหาดังต่อไปนี้

บทที่ 1 เป็นการกล่าวนำเกี่ยวกับ ระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม พร้อมเนื้อหาต่างๆที่จะมีต่อไป

บทที่ 2 เป็นการกล่าวถึงทฤษฎี และหลักการของระบบการส่งข้อมูลดิจิตอล, หลักการแปลงสัญญาณอนาล็อกเป็นข้อมูลดิจิตอลและแปลงข้อมูลดิจิตอลกลับคืนมาเป็นสัญญาณอนาลอก โดยใช้เทคนิคการแปลงที่เรียกว่า เดลต้ามอดูเลชั่นที่มีการเปลี่ยนแปลงความชันอย่างต่อเนื่อง ( Continuous Variable Slope Delta Modulation ) หรือ ซีวีเอสดี ( CVSD ) ซึ่งใช้กับสัญญาณเสียง, หลักการของวงจรมัลติเพล็กซ์และดีมัลติเพล็กซ์ที่ใช้ในระบบ, หลักการสร้างวงจรกำเนิดลำดับไบนารี่แบบสุ่มเทียม ( Pseudo - Random Binary Sequence )ซึ่งนำมาใช้สร้างซิงค์เวอร์ด, หลักการออกแบบวงจรกรองความถี่แบบแอคทีฟ ( Active filter ) ที่ใช้กรองความถี่ต่ำในระบบ, หลักการเฟสล็อคลูป ซึ่งใช้ในการกู้สัญญาณนาฬิกา, หลักการการเกิดภาพบนจอโทรทัศน์, หลักการแปลงสัญญาณอนาลอกเป็นข้อมูลดิจิตอลของวงจรเอทูดีแบบขนานหรือแบบแฟลช ( Flash A/D converter ) และการแปลงกลับคืนจากข้อมูลดิจิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตอลเป็นสัญญาณอนาลอกของวงจรดีทูเอแบบR/2Rแลดเดอร์ ( R/2R Ladder D/A converter ) ซึ่งใช้กับสัญญาณภาพ และหลักการส่ง-รับข้อมูลในรูปแบบอนุกรม

บทที่ 3 เป็นการกล่าวถึง หน้าที่การทำงานของส่วนต่าง ๆในระบบ ซึ่งแบ่งได้เป็น 3 ส่วนใหญ่ๆ คือ ส่วนแรก เป็นส่วนการส่งและรับข้อมูลเสียงดิจิตอล ส่วนที่สอง เป็นส่วนของการมัลติเพล็กซ์และดีมัลติเพล็กซ์ข้อมูล และส่วนสุดท้าย เป็นส่วนของการส่งและรับข้อมูลภาพดิจิตอล

บทที่ 4 จะเป็นการกล่าวถึง วิธีการทดลองและผลการทดลอง

บทที่ 5 จะเป็นการสรุปและวิจารณ์

อนึ่งในภาคผนวก จะมีรายละเอียดของไอซีบางส่วนที่ได้รวบรวมไว้เพื่อเป็นประโยชน์ในศึกษาของปริญญานิพนธ์ฉบับนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

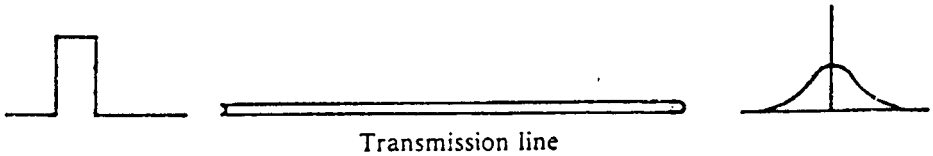
# บทที่ 2
# ทฤษฎีและหลักการของระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม
## 2.1 การส่งผ่านข้อมูลดิจิตอลแบบเบสแบนด์

การสื่อสารที่ใช้ส่งและรับสัญญาณซึ่งอยู่ในรูปของข้อมูลดิจิตอล โดยทั่วไปเรียกว่า การสื่อสารแบบดิจิตอล( Digital Communication )ซึ่งระบบสื่อสารแบบดิจิตอลมีข้อดีหลายอย่าง เช่น การทำงานร่วมกับระบบคอมพิวเตอร์ และเหมาะกับการพัฒนาของวงจรรวมขนาดใหญ่( VLSI )เป็นต้น โดยระบบการสื่อสารแบบดิจิตอลนี้ แบ่งประเภทของการส่งผ่านข้อมูลดิจิตอลออกเป็นการส่งผ่านข้อมูลดิจิตอลแบบเบสแบนด์ และการส่งผ่านสัญญาณดิจิตอลแบบแบนด์พาส สำหรับในโครงงานนี้ จะเป็นศึกษาและทดลองเฉพาะการส่งผ่านสัญญาณดิจิตอลแบบเบสแบนด์

การส่งผ่านข้อมูลแบบเบสแบนด์นั้น เป็นวิธีที่ใช้ในระบบข่ายวงจรท้องถิ่น( Local area network )และงานสื่อสารข้อมูลระยะใกล้ทั่วๆไป

โครงสร้างและความต้องการของระบบส่งผ่านข้อมูลดิจิตอลแบบเบสแบนด์

ในระบบการส่งผ่านข้อมูลแบบเบสแบนด์ ข้อมูลดิจิตอลถูกส่งออกไปโดยไม่ทำการมอดูเลตกับคลื่นพาห์ ผ่านไปตามสายนำสัญญาณที่ทำด้วยโลหะ เช่น สายคู่ตีเกลียวและสายโคแอกเชียล เป็นต้น ซึ่งเป็นระบบที่ง่าย เพราะไม่ต้องใช้อุปกรณ์ความถี่สูง แต่อย่างไรก็ตาม สายนำสัญญาณมักจะมีการตอบสนองต่อความถี่ไม่สม่ำเสมอ ทำให้สัญญาณดิจิตอลที่ส่งผ่านไปค่อยๆผิดเพี้ยนไป ทั้งเชิงขนาด และเชิงเวลาหน่วง จะเห็นได้ จากการส่งสัญญาณพัลส์สี่เหลี่ยมออกไปสัญญาณนั้นจะค่อยๆผิดเพี้ยนโดยลู่กว้างออกดังรูป




รูปที่ 2.1 การลู่ออกของสัญญาณพัลส์สี่เหลี่ยมเมื่อทำการส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบส่งผ่านข้อมูลนี้ จึงต้องติดตั้งอุปกรณ์ทวนสัญญาณไว้ระหว่างทาง เพื่อทำการดีเทค และสร้างสัญญาณดิจิตอลชุดเดิมขึ้นมาใหม่ ก่อนที่สัญญาณจะมีการผิดเพี้ยนมากจนทำให้การดีเทคสัญญาณมีการผิดเพี้ยนสูง

นอกจากนี้ ข้อมูลดิจิตอลที่ส่งออกมาควรมีคุณสมบัติดังนี้คือ มีแบนด์วิดท์ยิ่งแคบยิ่งดี มีกำลังไฟฟ้าที่ต้องการยิ่งต่ำก็ยิ่งดีและไม่ควรมีส่วนประกอบกระแสตรง เพื่อไม่ไปสร้างปัญหาให้กับวงจรเปรียบเทียบระดับสัญญาณที่ภาครับ ดังนั้นจึงต้องมีการสร้างข้อมูลดิจิตอล เพื่อที่จะส่งออกทางสายนำสัญญาณในระบบเบสแบนด์นี้ ซึ่งโดยทั่วไปเรียกว่า ไลน์โค้ดดิง ( Line coding )

ในโครงงาน จะทำการส่งข้อมูลดิจิตอลที่ได้จากวงจรรหัสข้อมูลดิจิตอลเข้าไปในสายส่งโดยตรง รูปแบบของรหัสข้อมูล จึงเป็นแบบ NRZ-L ( Non return to zero - L ) ซึ่งเป็นรหัสพื้นฐานที่ใช้กันอยู่ในอุปกรณ์ทั่วไป และมีความซับซ้อนน้อยที่สุด มีคุณลักษณะที่ดีคือ เป็นรหัสที่มีประสิทธิภาพมากในการใช้แถบความถี่ของตัวกลาง โดยพลังงานเกือบทั้งหมดของสัญญาณจะตกอยู่ในช่วงดีซีถึงประมาณครึ่งหนึ่งของอัตราบิท

ดังนั้น จะเห็นได้ว่า รหัสแบบนี้จะใช้แถบความถี่ของตัวกลางอย่างน้อยที่สุดเพียงครึ่งเดียวของอัตราส่งข้อมูล และมีความสัมพันธ์ระหว่างบิทเรทR$_b$กับแบนด์วิดท์B เป็นดังนี้คือ $R_b <= 2B$ นั่นคือเราใช้สายส่งที่มีแบนด์วิดท์ค่อนข้างต่ำในการส่งข้อมูลได้ ถ้าหากว่าสามารถทำให้อัตราการส่งข้อมูลมีค่าค่อนข้างต่ำได้เช่นเดียวกัน และจากการลดอัตราส่งข้อมูลดิจิตอล จะทำให้ข้อมูลมีการผิดเพี้ยนน้อยลง

แต่อย่างไรก็ตาม รหัส NRZ-L ก็มีข้อด้อยคือ มีข่าวสารของสัญญาณนาฬิกาน้อย, ส่วนประกอบกระแสตรงและกำลังไฟฟ้าที่ต้องการสูง ไม่เหมาะกับการส่งข้อมูลในระยะไกล

การแปลงสัญญาณอนาลอกให้อยู่ในรูปข้อดิจิตอลนี้ เป็นกระบวนเริ่มต้นในการสื่อสารข้อมูลดิจิตอล มีข้อดีเด่นมากคือ การที่สามารถมัลติเพล็กซ์เชิงเวลาได้ จึงมีเทคนิคการแปลงจำนวนมากถูกคิดค้นขึ้น การเลือกเทคนิคเหล่านี้ไปใช้ขึ้นกับการใช้งานและระดับประสิทธิภาพที่ต้องการ โดยค่าพารามิเตอร์ที่สำคัญมากตัวหนึ่ง ซึ่งนิยมนำมาใช้ในการประเมินผลของประสิทธิภาพคืออัตรา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนสัญญาณต่อความผิดเพี้ยน ( Signal to distortion ratio ) ซึ่งความผิดเพี้ยนที่เกิดขึ้นส่วนใหญ่ เป็นความผิดเพี้ยนเนื่องมาจากการจัดระดับ ( Quantization distortion ) และความผิดเพี้ยนเนื่องมาจากการโอเวอร์โหลดของความชัน หรือขนาดสัญญาณ ( Slope or amplitude over load distortion )

การเข้าแปลงสัญญาณอนาลอกเป็นข้อมูลดิจิตอล เรียกได้อีกอย่างหนึ่งว่า การเข้ารหัสข้อมูลดิจิตอล ซึ่งสามารถแบ่งได้เป็น 2 ประเภท

1. การเข้ารหัสรูปสัญญาณ ( Waveform coder )

ถูกทำขึ้น เพื่อจัดเตรียมการสร้างสัญญาณอินพุทขึ้นใหม่ โดยปราศจากการพิจารณาค่าข้อมูลที่อยู่ก่อนหน้านี้ เช่น พัลส์โค้ดมอดูเลชั่น แม้จะมีคุณสมบัติ ( Performance ) ที่สม่ำเสมอตลอดช่วงกว้างของระดับสัญญาณอินพุทและทนทานต่อสภาพต่างๆที่ทำให้สัญญาณเลวลง แต่ก็มีข้อเสียคือ มีอัตราบิทข้อมูลในการส่งที่สูง

2. การเข้ารหัสตัวสัญญาณ ( Source coder )

ถูกทำขึ้น เพื่อจัดเตรียมการสร้างสัญญาณอินพุทขึ้นใหม่ โดยการทำนายค่าตัวอย่างข้อมูลที่จะเกิดขึ้น อาศัยค่าตัวอย่างข้อมูลก่อนหน้านี้มาใช้ในการคาดคะเน สามารถกำจัดลักษณะที่ซ้ำซ้อนของข้อมูลได้ ปรับแบนด์วิดท์การส่งผ่านให้ใกล้เคียงกับค่าแบนด์วิดท์ของข้อมูลได้ และทำให้อัตราบิทข้อมูลในการส่งต่ำลง แต่สัญญาณที่ได้ก็จะมีความใกล้เคียงกับสัญญาณจากแหล่งกำเนิดน้อยลงด้วยเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.2 หลักการเอทูดีและดีทูเอที่ใช้กับสัญญาณเสียง

เนื่องจากสัญญาณเสียง เป็นสัญญาณที่มีการเปลี่ยนแปลงไปอย่างช้า ๆ ดังนั้น สัญญาณจากการสุ่มตัวอย่างสัญญาณเสียงที่อยู่ติดกัน มักมีความสัมพันธ์กัน เช่นมีขนาดใกล้เคียงกัน เป็นต้น ลักษณะเช่นนี้เมื่อพิจารณาจากทฤษฎีข่าวสาร จะเข้าลักษณะที่มีความซ้ำซ้อนกัน ดังนั้น ถ้าเราสามารถลดความซ้ำซ้อนนี้ลงได้ ก็จะมีโอกาสที่ทำการเข้ารหัสด้วยจำนวนบิทที่น้อยลง ซึ่งหมายถึงว่า จะสามารถลดอัตราการส่งข้อมูลดิจิตอลลงไปได้ เป็นผลให้การส่งผ่านข้อมูลต้องการแบนด์วิดท์ของตัวกลางน้อยลงด้วย เท่ากับเป็นการลดค่าใช้จ่ายลงไปได้ จึงมีการคิดค้นวิธีการมอดูเลตที่พยายามจะลดจำนวนบิทที่ใช้ในการส่งต่อวินาที ซึ่งรูปแบบการมอดูเลตที่มีการนำมาใช้งานทั่วไป มีดังต่อไปนี้

- ดิฟเฟอเรนเชียล พัลส์โค้ดมอดูเลชั่น
  ( Differential Pulse Code Modulation )
- อะแดปทีฟ ดิฟเฟ่นเรนเชียล พัลส์โค้ดมอดูเลชั่น
  ( Adaptive Differential Pulse Code Modulation )
- เดลต้ามอดูเลชั่น
  ( Delta Modulation )
- อะแดปทีฟ เดลต้ามอดูเลชั่น
  ( Adaptive Delta Modulation )
- ลิเนียร์ พรีดิคทีฟโค้ดดิง
  ( Linear Predictive Coding )

สำหรับในโครงงานนี้ เลือกวิธีการมอดูเลตแบบ อะแดปทีฟ เดลต้ามอดูเลชั่นในรูปแบบหนึ่ง ( ในหลายๆรูปแบบที่มีอยู่ ) ที่เรียกกันทั่วไปว่า เดลต้ามอดูเลชั่นที่มีการเปลี่ยนแปลงความชันต่อเนื่อง ( Continuously Variable Slope Delta Modulation ( CVSD ) ) มาใช้งาน เพราะว่า มีลักษณะที่ไม่ซับซ้อนยุ่งยาก, อัตราส่งข้อมูลค่อนข้างต่ำเมื่อเทียบกับ PCM และมีการผลิตขึ้น เป็นอุปกรณ์ไอซีแบบ Single integrated circuit ขึ้นอย่างแพร่หลาย ด้วยเหตุนี้ จึงมีความง่าย, ความเหมาะสม และความสะดวกต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การนำไปใช้งาน

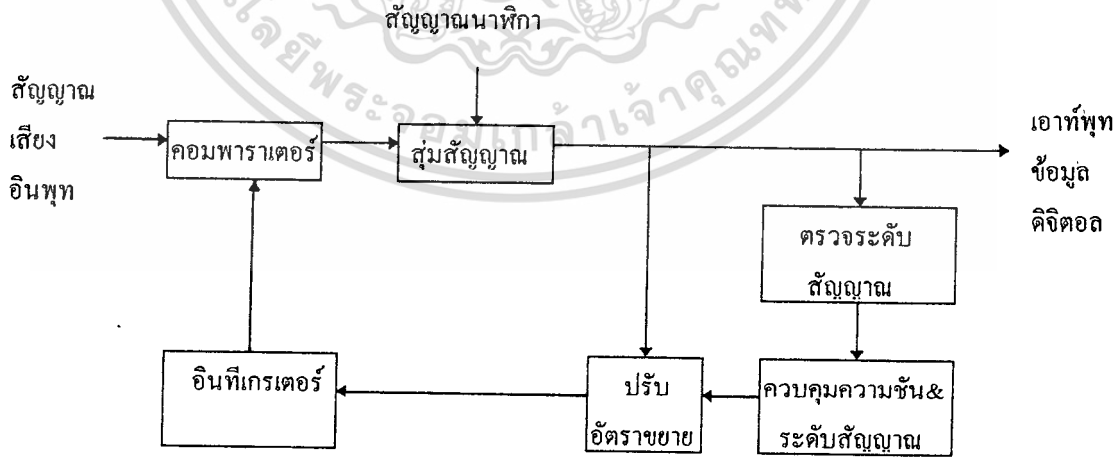
รูปแบบของวงจรและการทำงานของวงจรมอดูเลชั่นและดีมอดูเลชั่น

แบบเดลต้ามอดูเลชั่นมีมีการเปลี่ยนแปลงความชันต่อเนื่อง

วิธีการของซีวีเอสดี ( CVSD ) อาศัยการตรวจระดับสัญญาณที่ได้จากการเปรียบเทียบค่าสัญญาณปัจจุบันกับค่าสัญญาณที่คาดคะเนขึ้นจากวงจรอินทิเกรเตอร์ โดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์ สำหรับเก็บข้อมูลดิจิตอลล่าสุด จำนวน 3 ถึง 4 บิทแล้วตรวจดูว่าเป็น "0" หมดหรือ "1" หมดหรือไม่ ถ้าใช่แสดงว่า ในขณะนี้ อัตราขยายของอินทิเกรเตอร์ต่ำเกินไป ตอบสนองต่อความชันไม่ทัน ก็จะทำการเพิ่มอัตราขยายให้สูงขึ้นเฉพาะในช่วงนั้น

ในส่วนของการแปลงกลับ จะต้องมีการทำงานในลักษณะเดียวกัน คือ มีรีจิสเตอร์ตรวจดูข้อมูลว่า เป็น "0" หมดหรือ "1" หมดหรือไม่ แล้วจัดการควบคุมอัตราการขยายของอินทิเกรเตอร์ให้สอดคล้องกัน

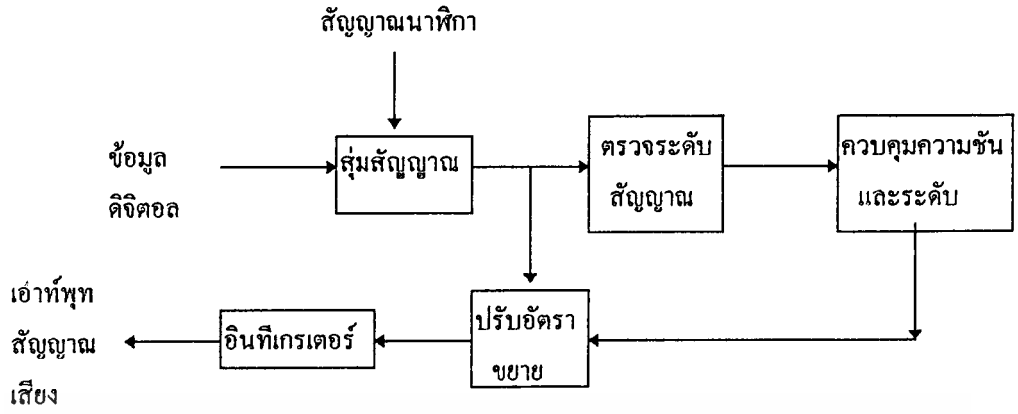
ในปัจจุบัน ได้มีผู้พัฒนาวงจรมอดูเลชั่นและดีมอดูเลชั่นแบบเดลต้ามอดูเลชั่นที่มีการเปลี่ยนแปลงความชันต่อเนื่องขึ้น เป็นอุปกรณ์ไอซี ซึ่งแสดงบล็อกไดอะแกรมของแผนผังการทำงานและวงจรในรูปแบบอย่างง่ายได้ดังนี้



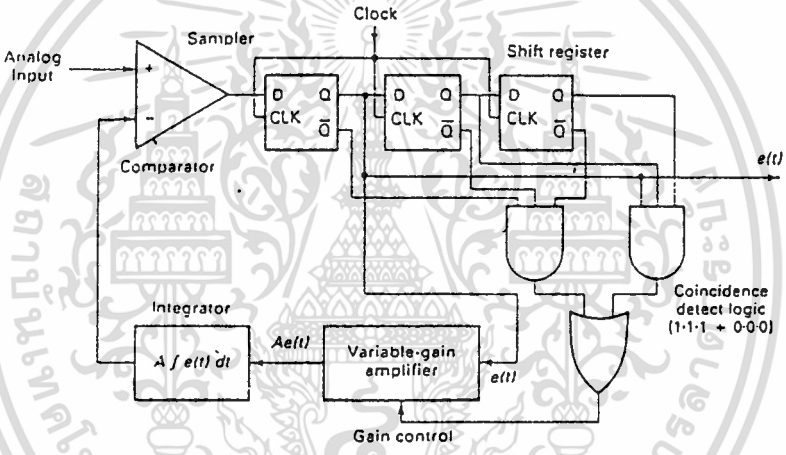

รูปที่ 2.2 แผนผังของระบบซีวีเอสดี

ในส่วนแปลงสัญญาณเสียงเป็นข้อมูลดิจิตอล

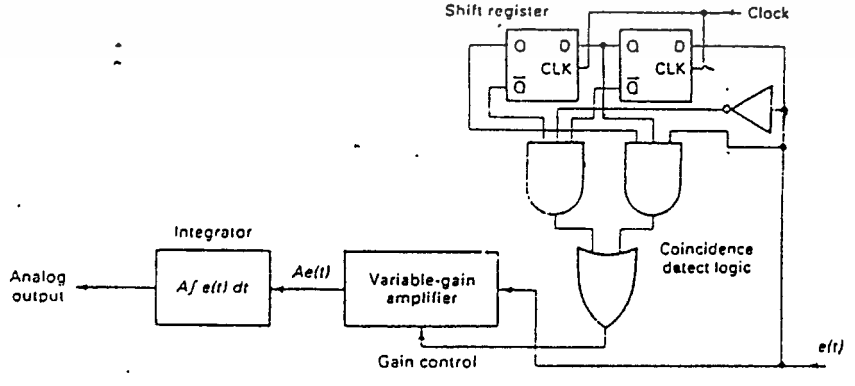
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.3 แผนผังของระบบซีวีเอสดี
ในส่วนการแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง




รูปที่ 2.4 ซีวีเอสดี มอดูเลเตอร์

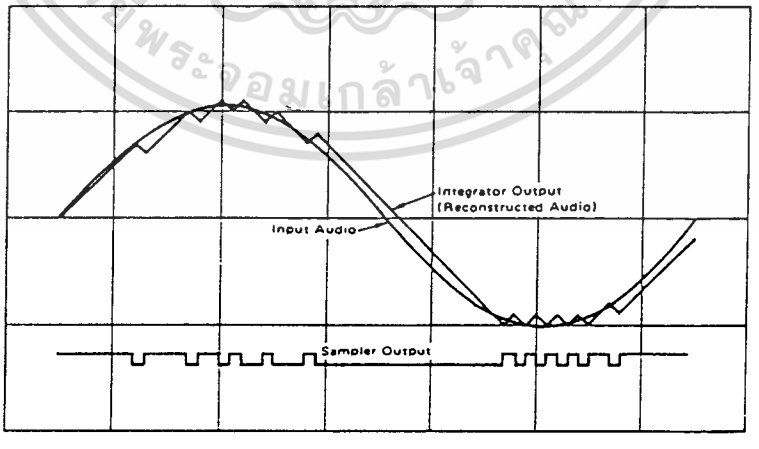



รูปที่ 2.5 ซีวีเอสดี ดีมอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่แสดง จะเห็นได้ว่าการทำงานของวงจร จะเกี่ยวข้องกับการสุ่มตัวอย่างค่าอันก่อนของสัญญาณผลต่างของ 2 สัญญาณกับค่าปัจจุบัน เพื่อมอดูเลตขนาดสัญญาณอินพุทของอินทิเกรเตอร์ ค่าสัญญาณผลต่างอันก่อน 2 ค่าe(t) ถูกเก็บชั่วคราวในชิพรีจิสเตอร์ วงจรโคอินซิแดนท์ดีเทคเตอร์(Coincidence detector)จะตรวจจับค่าอันก่อน 2 ค่าและค่าปัจจุบันของe(t) และสร้างสัญญาณควบคุมอัตราการขยาย(Gain-control signal) สัญญาณควบคุมอัตราการขยายจะเพิ่มค่าอินพุทอินทิเกรเตอร์ เมื่อไรก็ตามที่มันตรวจจับลอจิก "1" ได้ 3 ตัว หรือลอจิก "0" ได้ 3 ตัวต่อเนื่องกัน ลอจิก "1"จำนวน 3 ตัวต่อเนื่องที่เอาท์พุทของชิพรีจิสเตอร์ที่ต่อไปยังโคอินซิแดนท์ดีเทคเตอร์ แสดงให้ทราบว่าขนาดของสัญญาณอนาล็อกเพิ่มขึ้นชันเกินไป และลอจิก "0" จำนวน 3 ตัวต่อเนื่องกัน แสดงให้ทราบว่า มีการตกลงชันเกินไป ซึ่งจะกระตุ้นให้มีการเพิ่มค่าอินพุทของอินทิเกรเตอร์ เพื่อไม่ให้เกิดโอเวอร์โหลดทางความชันขึ้น

รูปคลื่นของสัญญาณอนาล็อกอินพุท , สัญญาณผลต่าง e(t) และสัญญาณเอาท์พุทของอินทิเกรเตอร์แสดงดังรูปข้างล่าง สำหรับกรณีนี้จะแสดงอนาลอกอินพุทเป็นสัญญาณรูปซายน์ ซึ่งรูปที่แสดงนำมาจากรายละเอียดของไอซีเบอร์ 3417 ซีวีเอสดี มอดูเลเตอร์/ดีมอดูเลเตอร์ ของโมโตโรล่า




รูปที่ 2.6 รูปแบบสัญญาณที่ได้จากไอซีเบอร์ MC3417

( CVSD Modulator/Demodulator )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
034956

## 2.3 หลักการพื้นฐานของวงจรกรองความถี่แบบแอคทีฟ

(1) ทรานสเฟอร์ฟังก์ชั่นของวงจรกรองความถี่

$$H(s) = \frac{a_n(s-z_1)(s-z_2).....(s-z_n)}{b_n(s-p_1)(s-p_2).....(s-p_n)}$$

ค่า $z_1, z_2, z_3, .....z_n$ เรียกว่าซีโร่(Zero)ของฟังก์ชั่นH(s)

ค่า $p_1, p_2, p_3, .....p_n$ เรียกว่าโพล(Pole)ของฟังก์ชั่นH(s)

ค่าโพล หรือ ซีโร่ อาจเป็นจำนวนจริงหรือจำนวนเชิงซ้อน วงจรจะเสถียรหรือไม่ ดูจากตำแหน่งโพลบนระนาบเชิงซ้อนเอส ( complex S - plane ) โดยโพลของฟังก์ชั่นอัตราการขยาย ( Gain function ) จะต้องอยู่ทางซ้ายของระนาบSเสมอ วงจรจึงจะเสถียร ในกรณีของวงจรกรองแบบพาสซีฟ( Passive filter ) ไม่จำเป็นต้องพิจารณาเสถียรภาพ เนื่องจากวงจรกรองแบบพาสซีฟไม่มีอัตราขยาย แต่สำหรับวงจรกรองแบบแอคทีฟ ( Active filter ) จะประกอบด้วยออปแอมป์, ความต้านทานและตัวเก็บประจุ เสถียรภาพวงจรมีความสำคัญมาก เพราะออปแอมป์ มีอัตราขยายและ R-C เน็คเวอร์ค เป็นเน็คเวอร์คที่มีการป้อนกลับ ซึ่งอาจออสซิลเลตได้

(2)ข้อดีของวงจรกรองความถี่แบบแอคทีฟ

- มีขนาดเล็ก น้ำหนักเบา ไม่ต้องพันL
- ความถูกต้องของวงจรสูง
- สามารถสร้างได้ในราคาถูก
- การออกแบบยุ่งยากน้อยกว่าวงจรกรองความถี่แบบพาสซีฟ จึงไม่มีปัญหาเรื่องMatching
- มีรูปแบบของวงจรให้เลือกใช้งานได้มาก
- มีอัตราขยาย ในขณะที่วงจรกรองความถี่แบบพาสซีฟ มีการลดทอน

(3)ฟังก์ชั่นของอัตราขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

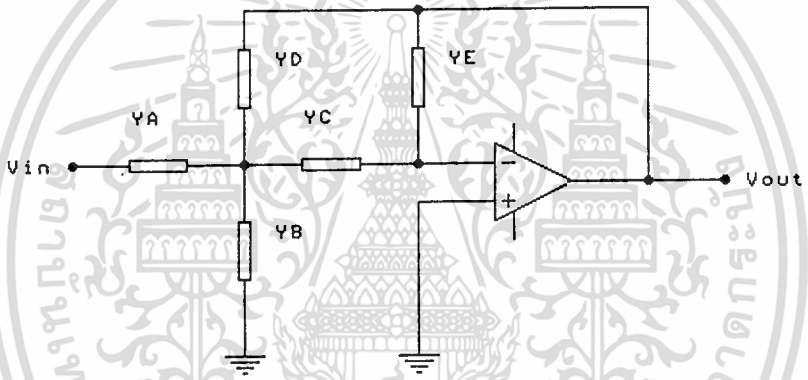
$$LPF(gain) = \frac{kw_p^2}{s^2+(w_p/Q_p)s+w_p^2}$$

$w_p$ : Cut off frequenc

k : Gain

$Q_p$ : Quality factor

(4) โครงสร้างการป้อนกลับแบบลบ




รูปที่ 2.7 โครงสร้างการป้อนกลับแบบลบ

จากรูป วงจรกรองความถี่ที่มีการป้อนกลับแบบลบโดยทั่วไป ใช้การวิเคราะห์โนด( Node analysis)ได้ดังนี้

$$\frac{V_o}{V_{in}} = \frac{-Y_a Y_c}{Y_e(Y_a+Y_b+Y_c+Y_d)+Y_d Y_c}$$

สำหรับวงจรกรองความถี่ต่ำให้

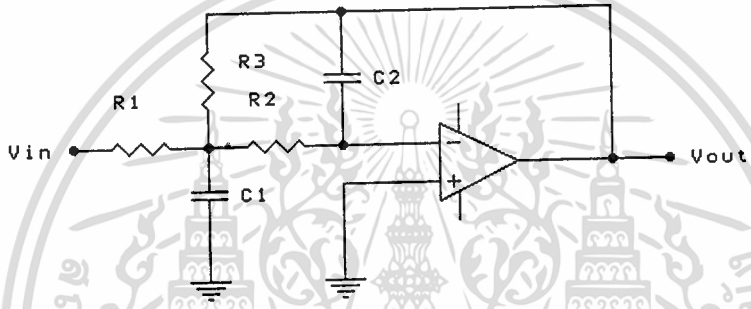
$$Y_a = \frac{1}{R_1}, Y_c = \frac{1}{R_2}, Y_d = \frac{1}{R_3}, Y_b = sc_1, Y_e = sc_2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้

$$\frac{V_o}{V_{in}} = \frac{1/R_1R_2C_1CR_2}{s^2+s(1/R_1C_1+1/R_2C_1+1/R_3C_1+1/R_2R_3C_1C_2)}$$

จะได้วงจรกรองความถี่ต่ำดังต่อไปนี้



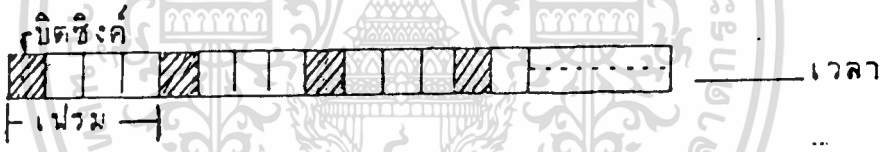

รูปที่ 2.8 วงจรกรองความถี่ต่ำผ่าน

จากหลักการของวงจรกรองความถี่แบบแอคทีฟที่ได้กล่าวมานี้ สามารถนำมาใช้ในการคำนวณค่าอัตราการขยายของวงจรกรองความถี่ต่ำแบบแอคทีฟที่ใช้ในระบบการส่งข้อมูลดิจิตอลได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.4 การมัลติเพล็กซ์สัญญาณแบบแบ่งเวลา
## ( Time Division Multiplex )

รูปแบบการมัลติเพล็กซ์ที่นำมาใช้ในโครงงานนี้ เป็นการมัลติเพล็กซ์สัญญาณแบบแบ่งเวลาสำหรับสัญญาณดิจิตอล ข่าวสารข้อมูลในแต่ละช่องสัญญาณซึ่งถูกส่งมาในรูปแบบอนุกรม จะถูกนำมาจัดลำดับลงในช่วงเวลาช่วงหนึ่งเรียกว่า ช่องเวลา( Time slot ) ใน 1 ช่วงของเวลา จะมีข้อมูลเพียง 1 บิท ข้อมูลจากช่องสัญญาณหนึ่งๆที่ส่งไปในหนึ่งเฟรม อาจใช้ช่องเวลามากกว่า1ช่องได้ แต่จะถูกกำหนดไว้แน่นอน การส่งข้อมูล1ชุดซึ่งเรียกว่าเฟรม( Frame ) จะเริ่มต้นด้วย ช่องเวลาที่ใช้เป็นตัวเก็บข้อมูล สำหรับกระบวนการซิงโครไนเซชั่น ตามด้วยช่องเวลาของข่าวสารแต่ละช่องสัญญาณ ซึ่งถูกกำหนดไว้แน่นอนเรียงตามลำดับและอาจปิดท้ายด้วยช่องเวลาของข้อมูลของระบบอีกจำนวนหนึ่ง




รูปที่ 2.9 แสดงช่องเวลาของการมัลติเพล็กซ์สัญญาณแบบทีดีเอ็ม

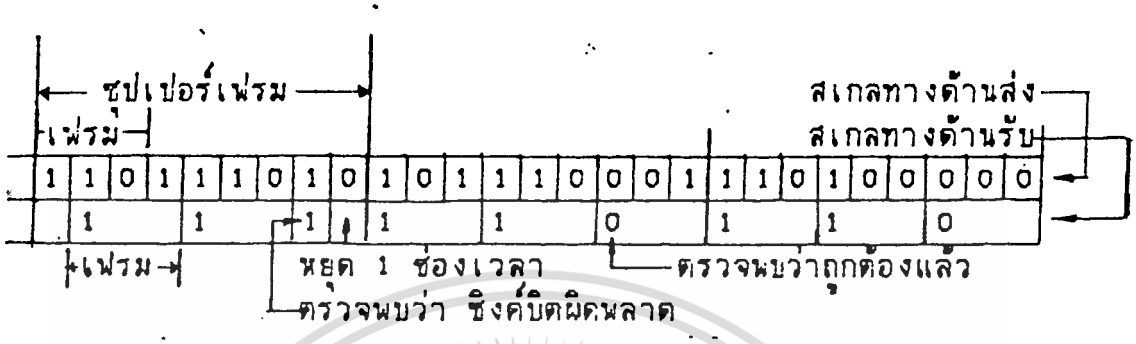
โดยทั่วไปใน 1เฟรม จะใช้ข้อมูลในการซิงโครไนซ์เพียง 1 บิท ซึ่งเรียกว่า ซิงค์บิท( Sync bit )และเมื่อนำหลายๆเฟรมมารวมกัน กลายเป็น 1 ซุปเปอร์เฟรม โดยที่ใน 1 ซุปเปอร์เฟรม เมื่อนำซิงค์บิทแต่ละเฟรมมารวมกัน จะได้ ซิงค์เวอร์ด( Sync word ) ซึ่งในแต่ละซุปเปอร์เฟรม จะมีซิงค์เวอร์ดเหมือนกัน ซิงค์เวอร์ดจะเป็นข้อมูลควบคุมที่จะบอกให้ทางด้านรับทราบว่าขณะนั้น การรับส่งข้อมูลอยู่ในสภาวะซิงโครไนซ์กันหรือไม่

กระบวนการซิงโครไนเซชั่น

สมมุติให้ข้อมูล 1 เฟรมมี 3 ช่องเวลาโดยเริ่มด้วยซิงค์บิทสัญญาณ 1 บิทจากช่องสัญญาณช่องที่ 1และสัญญาณ 1 บิทจากช่องสัญญาณช่องที่ 2ตามลำดับ และให้ซิงค์เวอร์ด มีขนาด 3 บิทเป็น 110 นั้น คือ ใน 1 ซุปเปอร์เฟรม จะประกอบด้วย เฟรมย่อยๆ 3 เฟรม ถ้าให้ลำดับการส่งสัญญาณจากช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่องที่ 1 เป็น 111010100 และจากช่องที่ 2 เป็น 010101000



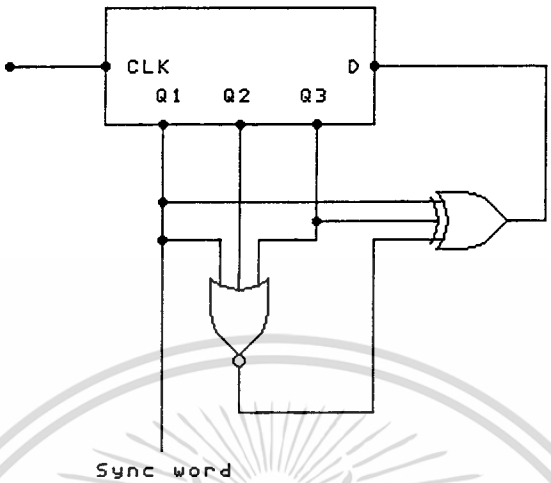

รูปที่ 2.10 แสดงการส่งซิงค์บิทของทางภาคส่งและการตรวจเช็คซิงค์บิทของทางภาครับ

สมมุติตอนแรก ให้สเกลเวลาด้านรับไม่ตรงกับด้านส่ง ดังรูปข้างบน เมื่อด้านรับตรวจเช็คซิงค์บิทจนครบ 3 บิท พบว่า ไม่ถูกต้องก็จะทำการเปลี่ยนสเกลเวลาใหม่ โดยการหยุดสเกลเวลาไป 1 ช่องเวลา แล้วตรวจเช็คซิงค์เวอร์ดในรอบต่อไป จนกระทั่งตรวจพบซิงค์เวอร์ดได้ถูกต้อง แสดงว่าซิงโครไนซ์แล้ว ด้วยเทคนิคดังกล่าว ถ้าซิงค์เวอร์ดขนาด N บิทและแต่ละเฟรมแบ่งเป็น M ช่องเวลา ดังนั้นเวลาที่ใช้จนกระทั่งได้รับซิงค์เวอร์ดคือ M X Nช่องเวลา จำนวนช่องเวลาที่อาจผิดพลาดได้สูงสุดคือ M ซึ่งทำให้เวลาซิงโครไนซ์มากที่สุดไม่เกิน M(M X N)ช่องเวลา เวลาที่ใช้น้อยที่สุดในกรณีที่ไม่ผิดพลาดเลยก็คือ M X N ช่องเวลา

การสร้างซิงค์เวอร์ดและการมัลติเพล็กซ์

วงจรสร้างซิงค์เวอร์ด จะใช้ชิพรีจิสเตอร์ ( shift register ) ขนาด 3 บิท ต่อเป็นวงจรดังรูปที่แสดงข้างล่าง สัญญาณที่ออกจากขา$Q_1$จะเป็นชุดลำดับไบนารี่แบบสุ่มเทียม( Pseudo-random series )ขนาด 7 บิท ซึ่งมีคุณสมบัติที่สำคัญคือ ถ้านำสัญญาณนี้บวกแบบมอดูโล 2 กับสัญญาณที่ถูกเลื่อนไปจำนวน K บิท( K = 7 )จะให้สัญญาณอนุกรมแบบเดิม ซึ่งทำให้สามารถตรวจจับ( Detect )ได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

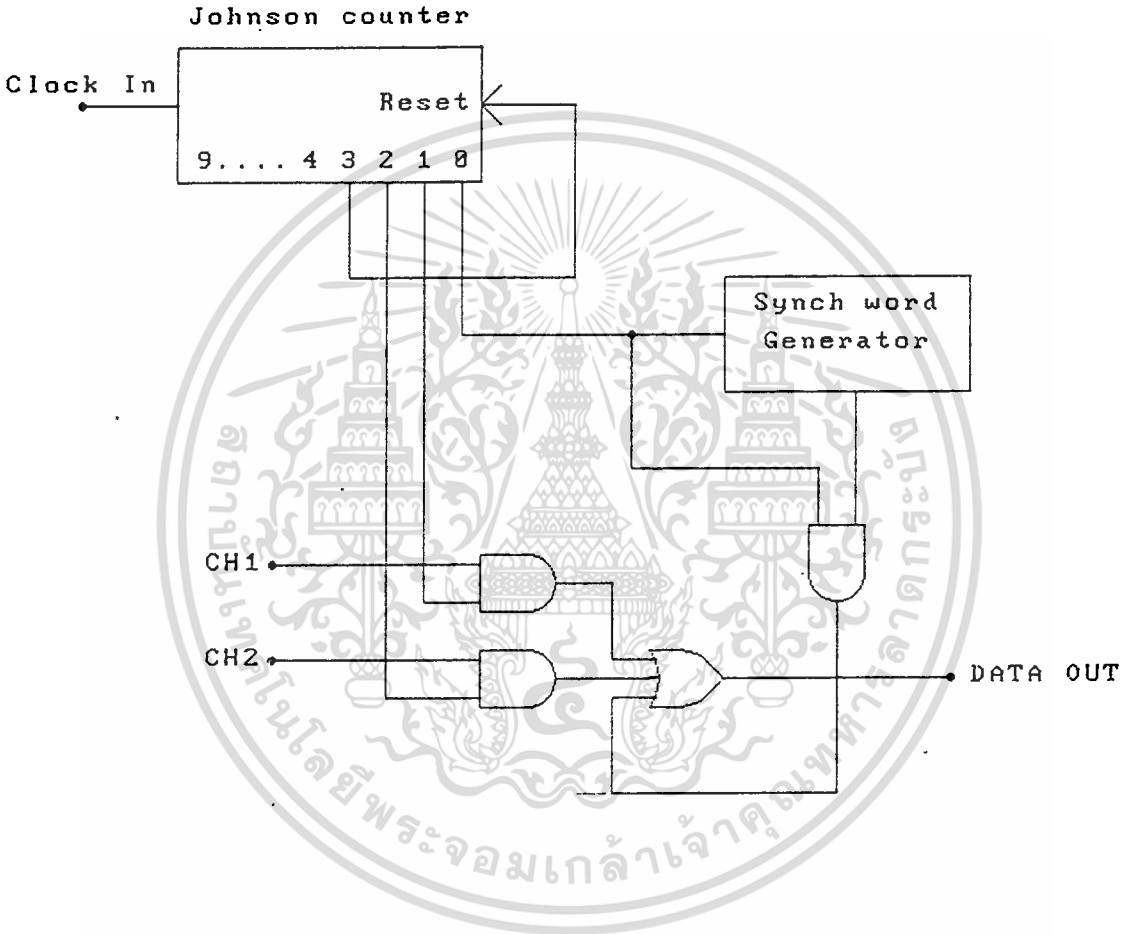



รูปที่ 2.11 แสดงการต่อวงจรชิพรีจิสเตอร์เพื่อสร้างสัญญาณซิงค์เวอร์ด

การออกแบบวงจรมัลติเพล็กซ์ เนื่องจาก ในการส่งเราจะทำการส่งทั้งสัญญาณเสียงและภาพ ซึ่งเป็นการมัลติเพล็กซ์แบบ 2 ช่องสัญญาณ โดยที่ 1 ช่องสัญญาณจะใช้ 1 ช่องเวลา ดังนั้นใน 1 เฟรม จะต้องใช้ 3 ช่องเวลา และกรณีใช้ซิงค์เวอร์ดขนาด 7 บิท ใน 1 ซุปเปอร์จะมี 7 เฟรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรมัลติเพล็กซ์ที่สมบูรณ์แสดงดังรูปข้างล่าง

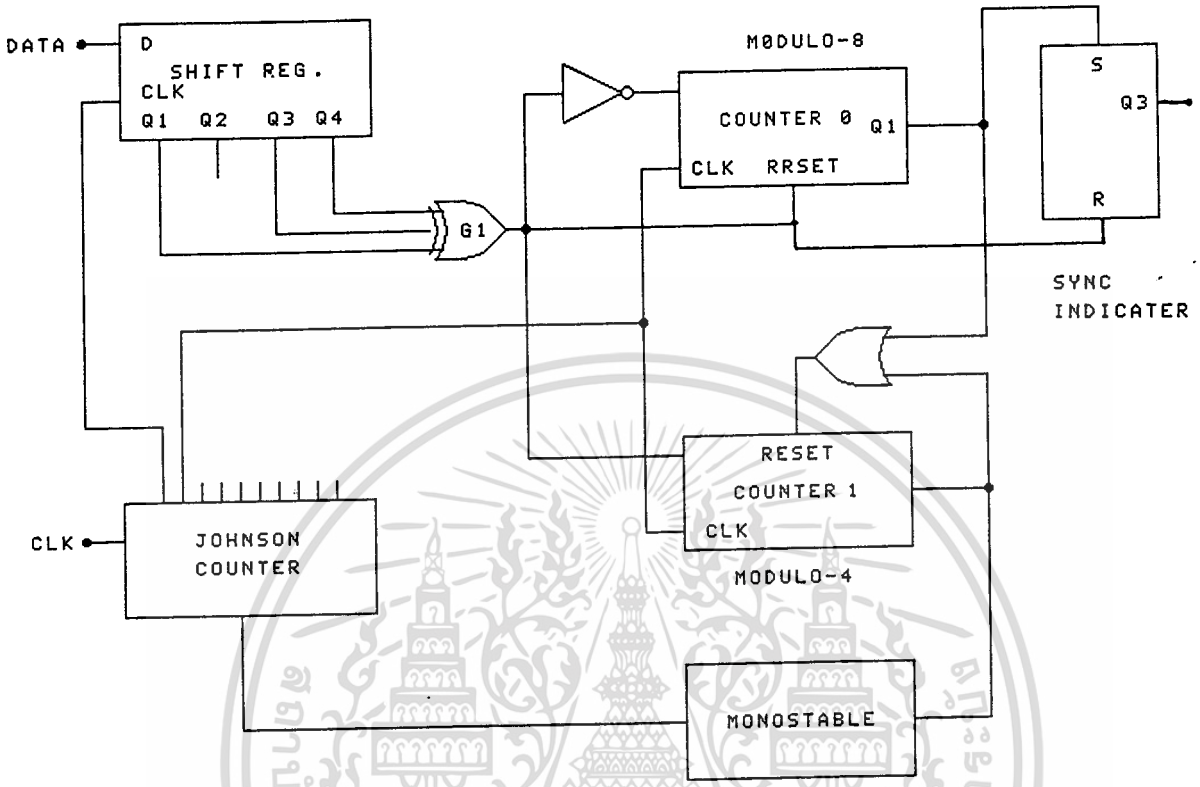



รูปที่ 2.12 แสดงวงจรมัลติเพล็กซ์

การตรวจสอบซิงค์เวอร์ดและการซิงโครไนเซชั่น

ข้อดีประการหนึ่งของการใช้ซิงค์เวอร์ดที่เป็นลำดับไบนารี่แบบสุ่มเทียม คือ ถ้านำสัญญาณซิงค์นี้บวกแบบมอดูโล 2 กับสัญญาณที่ถูกเลื่อนไป 2 และ4 บิท จะให้ผลลัพธ์เป็น "0" จากคุณสมบัตินี้ ทางด้านวงจรตรวจสอบจะใช้ชิพรีจิสเตอร์ ขนาด 4 บิท ต่อเป็นวงจรได้ดังรูปหน้าถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.13 แสดงวงจรการตรวจสอบซิงค์เวอร์ดและซิงโครไนซ์

การทำงานของวงจร สามารถพิจารณาได้ 3 กรณี คือ

- กรณีที่อยู่ในสภาวะซิงโครไนเซชั่น สัญญาณออกของ $G_1$ จะเป็น"0" ซึ่งทำให้เคาน์เตอร์(0) นับจนครบ 7 แล้วเซ็ตค่า Q ของฟลิปฟลอปเป็น "1" ซึ่งเป็นตัวแสดงสภาวะซิงโครไนซ์ ในขณะเดียวกันจะรีเซ็ตเคาน์เตอร์(1)

- กรณีที่เกิดการผิดพลาดเพียงชั่วขณะ $G_1$ จะให้สัญญาณออกเป็น"1" เพียงครั้งเดียว ซึ่งจะเป็นการรีเซ็ตเคาน์เตอร์(0) และหลังจากนั้น $G_1$ จะเป็น"0" ตลอด ทำให้เคาน์เตอร์(0)นับจนครบ 7 และเซ็ตค่า Q ของฟลิปฟลอปเป็น "1" พร้อมทั้งรีเซ็ตเคาน์เตอร์(1) ซึ่งเป็นการกลับเข้าสู่สภาวะซิงโครไนเซชั่นอีกครั้งหนึ่ง

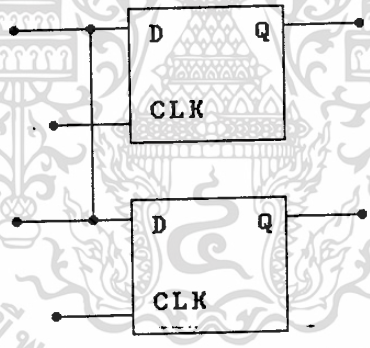
-กรณีที่ไม่ซิงโครไนซ์ สัญญาณที่ออกจาก $G_1$ อาจเป็น"0" หรือเป็น "1" ทุกครั้งที่ $G_1$ เป็น"1" เคาน์เตอร์(0)จะถูกรีเซ็ตและเคาน์เตอร์(1)จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นับค่าเพิ่มขึ้นอีกหนึ่ง ถ้าในขณะที่เคาน์เตอร์(1) นับครบ 4 แสดงว่า มีการตรวจสอบซิงค์บิตครบทั้ง 7 บิท และมีข้อผิดพลาด ซึ่งจะต้องเปลี่ยนสเกลเวลาใหม่โดยที่ $Q_2$ จะเป็น"1"และไปกระตุ้นวงจรโมโนสเตเบิ้ล เพื่อไปดิสอะเบิล ( disable ) วงจรจอห์นสันเคาน์เตอร์ ( Johnson counter ) ให้หยุดเวลาไป 1 ช่วงเวลาและเคาน์เตอร์(1)จะรีเซ็ตตัวเองเพื่อรอตรวจสอบซิงค์เวอร์ดในรอบต่อไป

วงจรดีมัลติเพล็กซ์

วงจรดีมัลติเพล็กซ์ที่ใช้ในที่นี้ แสดงดังรูปข้างล่าง ซึ่งจะใช้ ดี-ฟลิปฟลอป 2 ตัว เพื่อแยกสัญญาณจาก 2 ช่องเวลาออกเป็น 2 สัญญาณและสัญญาณนาฬิกาของ ดี-ฟลิปฟลอปแต่ละตัว จะถูกควบคุมจากวงจรจอห์นสันเคาน์เตอร์เพื่อซิงโครไนซ์สัญญาณในแต่ละช่องเวลา



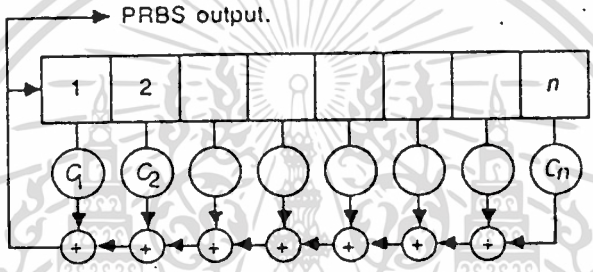

รูปที่ 2.14 แสดงวงจรดีมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.5 การสร้างลำดับไบนารี่แบบสุ่มเทียม

### ( Pseudo - Ramdom Binary Sequence )

ลำดับไบนารี่แบบสุ่มเทียม(PRBS)เป็นลำดับไบนารี่ที่ดูเหมือนมีลักษณะสุ่ม สร้างขึ้นโดยการจัดชิพรีจิสเตอร์ที่มีการป้อนกลับอย่างเป็นลำดับ พิจารณาชิพรีจิสเตอร์ n สเตจที่มีการป้อนกลับผ่านเอกซ์คลูซีฟ-ออร์เกท( Exclusive -or gate )ในรูปข้างล่าง เมื่อ$C_k$, k=1 ถึง n มีค่าเป็น"0"หรือ"1"อย่างใดอย่างหนึ่ง




รูปที่ 2.15 ตัวกำเนิดลำดับไบนารี่แบบสุ่มเทียม n - สเตจ

โดยการเลือกค่าที่เหมาะสมของสัมประสิทธิ์$C_k$ มันเป็นไปได้ที่จะทำให้การวนรอบของชิพรีจิสเตอร์ที่ผ่านไป ซึ่งเป็นไปได้ที่ n-ทูเปิล( tuple ) จะเป็นค่าใดๆก็ได้ในค่าที่มีอยู่ทั้งหมดอย่างเป็นลำดับ ยกเว้น n-ทูเปิลที่ค่าเป็นศูนย์ทั้งหมด สิ่งเหล่านี้จะให้เอาท์พุทของไบนารี่แบบสุ่มเทียมมีคาบเป็น$2^n-1$บิท ลำดับเช่นนั้นเป็นที่ทราบกันว่า เป็นลำดับความยาวสูงสุด ( m-sequence ) ถ้ารีจิสเตอร์บรรจุn-ทูเปิลที่เป็นศูนย์ทั้งหมดแล้ว มันจะคงสถานะนี้ไว้อย่างไม่มีกำหนด และเอาท์พุทจะล็อคสถานะ 0 ไว้อย่างถาวร ดังนั้นในบางกลไกการเริ่มต้น จำเป็นต้องรับรองว่า ชิพรีจิสเตอร์จะไม่เริ่มต้นการทำงานในสภาวะนี้ ( n-ทูเปิล เป็นศูนย์ทั้งหมด ) การทำงานของการจัดการชิพรีจิสเตอร์ขึ้นอยู่กับโพลิโนเมียลคุณลักษณะของมัน โพลิโนเมียลคุณลักษณะถูกกำหนดโดย

$$\phi(x) = 1 + \sum_{k=1}^{n} C_k X^k$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

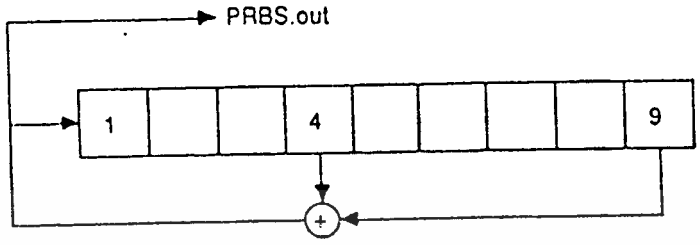
ตัวคูณ X อาจถูกพิจารณาเป็นตัวกระทำการดีเลย์( Delay )ที่มีคาบเป็น 1 คาบของพัลส์สัญญาณนาฬิกา เปรียบเสมือนฟังก์ชั่นการแปลงของZ( Z transform function ) ค่าของ X ยกกำลังค่าต่าง ๆในโพลิโนเมียลคุณลักษณะอาจจะมีอยู่หรือไม่มีก็ได้ ขึ้นอยู่กับค่าที่จัดไว้ของ C ว่ามีค่าเป็น 1 หรือ 0 ดังนั้นค่า X ยกกำลังซึ่งมีอยู่ในโพลิโนเมียล จะกำหนดการแยกต่อ( tap ) ที่ทำขึ้นกับชิพรีจิสเตอร์ มันจะเป็นสิ่งที่ดี ในการทำให้จำนวนการแยกต่อที่ต้องการสำหรับชิพรีจิสเตอร์ มีจำนวนน้อยที่สุดและมันมักจะเป็นไปได้ที่จะได้รับลำดับความยาวสูงสุดที่มีเพียง 2 จุดการแยกต่อ( tapping point ) จุดหนึ่งที่ตำแหน่งกลางและอีกจุดหนึ่งที่ตำแหน่งปลายของชิพรีจิสเตอร์ แต่มีปัญหาที่สิ่งนี้ไม่สามารถกระทำได้ โดยชิพรีจิสเตอร์ที่มีความยาว 8 บิทและความยาวอื่นๆอีกหลายค่าที่มากกว่า8บิท สิ่งเหล่านี้ต้องการ 4 จุดการแยกต่อเป็นอย่างน้อยที่สุด คือ 3 จุดที่ตำแหน่งและ 1 จุดที่ตำแหน่งปลายของชิพรีจิสเตอร์ โพลิโนเมียลที่เหมาะสม สำหรับชิพรีจิสเตอร์ที่มีความยาวตั้งแต่ 3 ถึง 20 บิท ถูกกำหนดในตารางข้างล่าง

ตาราง 2.1 โพลิโนเมียลคุณลักษณะสำหรับตัวกำเนิดลำดับความยาวสูงสุด

| $n$ | polynomial | $n$ | polynomial |
|---|---|---|---|
| 3 | $X^3 + X + 1$ | 4 | $X^4 + X + 1$ |
| 5 | $X^5 + X^2 + 1$ | 6 | $X^6 + X + 1$ |
| 7 | $X^7 + X + 1$ | 8 | $X^8 + X^7 + X^6 + X + 1$ |
| 9 | $X^9 + X^4 + 1$ | 10 | $X^{10} + X^3 + 1$ |
| 11 | $X^{11} + X^2 + 1$ | 12 | $X^{12} + X^{10} + X^2 + X + 1$ |
| 13 | $X^{13} + X^{12} + X^2 + X + 1$ | 14 | $X^{14} + X^{12} + X^2 + X + 1$ |
| 15 | $X^{15} + X + 1$ | 16 | $X^{16} + X^5 + X^3 + X^2 + 1$ |
| 17 | $X^{17} + X^3 + 1$ | 18 | $X^{18} + X^7 + 1$ |
| 19 | $X^{19} + X^5 + X^2 + X + 1$ | 20 | $X^{20} + X^3 + 1$ |

สิ่งเหล่านี้ไม่เพียงแต่เป็นโพลิโนเมียลพื้นฐาน สำหรับชิพรีจิสเตอร์ที่มีความยาวแต่ละค่า แต่ยังช่วยทำให้มีการใช้จำนวนจุดการแยกต่อที่น้อยที่สุด ตัวอย่างของตัวกำเนิดลำดับไบนารี่แบบสุ่มเทียมที่มีความสูงสุด 9 สเตจ แสดงดังรูปที่ 2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

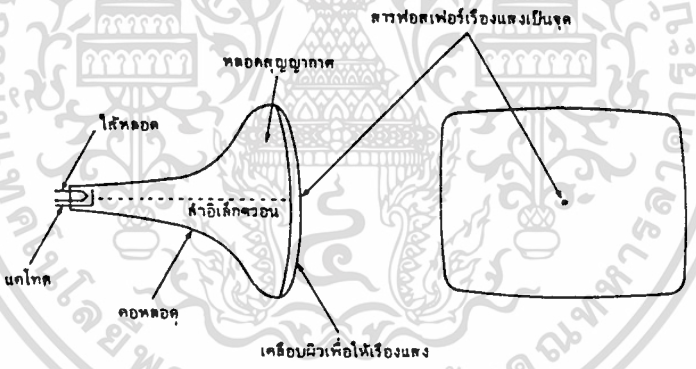



รูปที่ 2.16 ตัวกำเนิดลำดับไบนารี่แบบสุ่มเทียมที่มีความยาวสูงสุด 9 สเตจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.6 การเกิดภาพบนจอโทรทัศน์

ภาพที่ปรากฏบนจอโทรทัศน์ หากเราได้ทำการสังเกตอย่างละเอียด จะเห็นว่า ภาพนั้นประกอบขึ้นด้วยเส้นขวางเล็กๆในแนวนอนเป็นจำนวนมาก ที่เรียกว่า เส้นสแกนไลน์ และบนเส้นสแกนไลน์จะประกอบด้วยส่วนหรือจุดเล็กๆ ที่มีทั้งมืดและสว่างปะปนกัน ( ในที่นี้กล่าวถึงเฉพาะโทรทัศน์ขาวดำ ) ฉะนั้น จึงกล่าวได้ว่า ภาพ 1 ภาพนั้น จะประกอบขึ้นด้วยจุดเล็กๆที่มีระดับความสว่างแตกต่างกันรวมอยู่เป็นจำนวนมาก โดยสามารถอธิบายการเกิดเส้นขวางและจุดขาว จุดดำ จำนวนมากมายได้ดังนี้

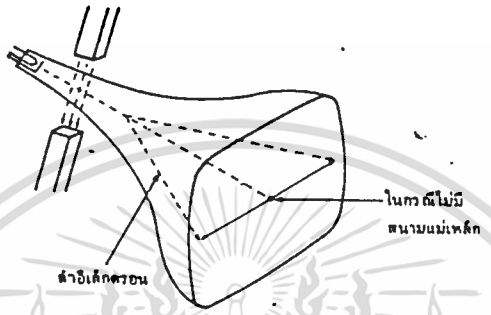



รูปที่ 2.17 แสดงอุปกรณ์จอภาพ

จากรูปข้างบน แสดงให้เห็นส่วนประกอบหลักของหลอดภาพ ซึ่งมีการทำงานโดยเริ่มจากแคโทด เมื่อได้รับความร้อนจากไส้หลอดมันก็จะปล่อยอิเล็กตรอนออกมา และอิเล็กตรอนที่หลุดออกนี้จะถูกดึงให้วิ่งไปกระทบแอโนด โดยอาศัยคุณสมบัติที่ว่า ประจุต่างชนิดกันจะวิ่งเข้าหากัน จากลบไปบวกและประจุชนิดเดียวกันจะผลักกัน ดังนั้นอิเล็กตรอนซึ่งเป็นประจุชนิดลบจึงวิ่งเข้าหาแอโนด ซึ่งเป็นประจุชนิดบวกบนหน้าจอที่ถูกฉาบไว้ด้วยสารเรืองแสงจำพวกฟอสฟอรัสเอาไว้ จึงทำให้มองเห็นเป็นจุดสว่างขึ้นบนหน้าจอ

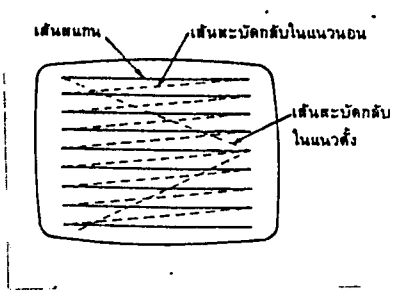
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเราทำให้ลำอิเล็กตรอนส่ายไปมาได้ตามแนวนอนก็จะเกิดเส้นสว่างขึ้นกลางจอภาพ การส่ายไปมานี้ในทางโทรทัศน์เรียกว่า การสแกน ทำได้โดยอาศัยสนามแม่เหล็กเป็นตัวควบคุม ดังรูปที่ 2.18




รูปที่ 2.18 แสดงการหักเหของลำอิเล็กตรอน

จากรูป หากต้องการเบนลำอิเล็กตรอนไปทางซ้ายมือในแนวนอน ก็จะใช้สนามแม่เหล็กที่มีขั้วเหนือ ขั้วใต้และเมื่อกลับขั้วแม่เหล็ก ลำอิเล็กตรอนก็จะเบนไปทางขวามือ นอกจากนี้ถ้ามีขั้วแม่เหล็กในแนวนอนด้วย ลำอิเล็กตรอนหรือจุดสว่าง ก็จะถูกเบนไปทางแนวตั้งของจอในโทรทัศน์ จะใช้ผลของสนามแม่เหล็กไฟฟ้าแทนแท่งแม่เหล็ก โดยมันเกิดจากการปล่อยกระแสไฟฟ้าผ่านเข้าไปในขดลวดที่พันอยู่รอบๆคอหลอดภาพหรือที่รู้จักกันว่า "โย้ค" ซึ่งแบ่งเป็นขดลวดของการหักเหแนวนอนและขดลวดของการหักเหแนวตั้ง นอกจากนี้เพื่อให้เกิดการสแกนตามรูปที่2.19จึงป้อนกระแสรูปฟันเลื่อยที่ความถี่ 15,625 Hz เข้าไปในขดลวดของการหักเหแนวนอนและป้อนกระแสรูปฟันเลื่อยที่ความถี่ 50Hz เข้าไปในขดลวดของการหักเหตามแนวตั้ง

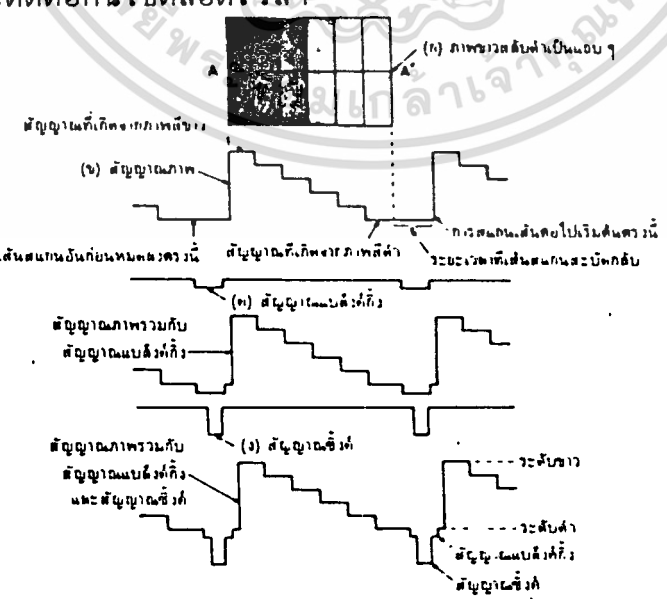



รูปที่ 2.18 แสดงการสแกนของลำอิเล็กตรอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสแกนจะเริ่มต้นขึ้น โดยการให้จุดสว่าง(ลำอิเล็กตรอน)เคลื่อนที่จากซ้ายมือด้านบนของจอไปขวามือในแนวนอน เมื่อไปถึงตำแหน่งขวาสุด มันจะถูกดึงในแนวตั้งนิดหนึ่งแล้วกลับไปตั้งต้นใหม่ เป็นเช่นนี้อยู่เรื่อยๆจนลำอิเล็กตรอนไปถึงตำแหน่งขวามือล่างสุดของจอภาพ ก็เป็นการเสร็จสิ้นการสแกนภาพนิ่ง 1 ภาพ หรือเรียกกันว่า 1 เฟรม ( ในขณะสแกน จำนวนอิเล็กตรอนที่ตกกระทบหน้าจอซึ่งเป็นตัวกำหนดความสว่างของจุดจุดนั้น จะเปลี่ยนแปลงไปตามระดับของสัญญาณภาพ ) หลังจากนั้นลำอิเล็กตรอนก็จะกลับไปเริ่มต้นใหม่ทางด้านซ้ายมือบนสุดของจอภาพอีก เพื่อสแกนภาพนิ่งอีกครั้งหนึ่งต่อไป อย่างไรก็ตามเพื่อลดการกระพริบของภาพ การสแกนภาพนิ่งแต่ละภาพมักนิยมแบ่งเป็น 2 ฟิลด์คือ ให้เริ่มสแกนเส้นคี่ก่อน เมื่อครบแล้วถึงจะกลับไปตั้งต้นสแกนเส้นคู่ต่อไป สำหรับระบบโทรทัศน์แบบPALจะใช้เฟรมละ 625 เส้น ฉะนั้น 1 ฟิลด์เท่ากับ 312.5 เส้นสแกน

เนื่องจากการสแกนภาพนิ่งที่กล่าวมาแล้วนั้น กระทำติดต่อกันไปเรื่อยๆ โดยมีจำนวนเส้นต่อภาพและจำนวนภาพต่อวินาทีตามชนิดของระบบโทรทัศน์ที่ใช้ ภาพที่ปรากฏบนจอโทรทัศน์จึงมีผลเหมือนการฉายภาพนิ่ง ซึ่งภาพนั้นมีความแตกต่างกันเพียงเล็กน้อยและเป็นจำนวนหลายๆภาพติดต่อกันไป จากคุณสมบัติของตามนุษย์ที่สามารถจดจำภาพไว้ชั่วขณะหนึ่ง จึงทำให้การมองภาพบนจอโทรทัศน์เคลื่อนไหวติดต่อกันไปตลอดเวลา



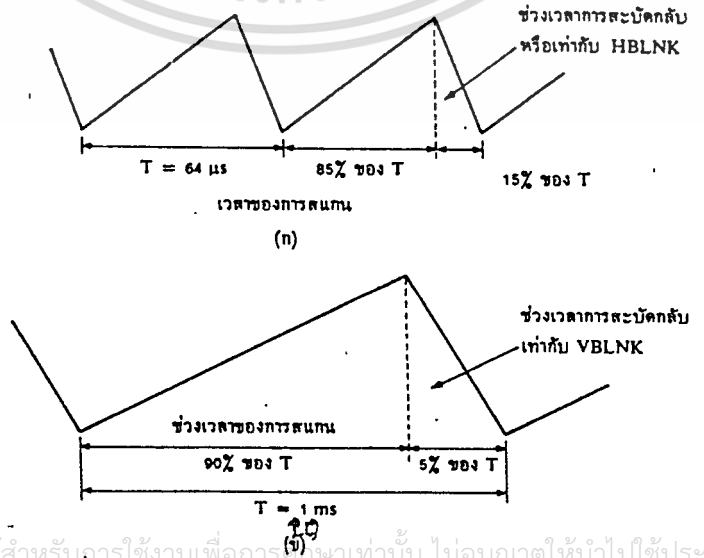

รูปที่ 2.20 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพรูปบาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.20 โทรทัศน์หรือมอนิเตอร์ทั่วๆไปจะแสดงภาพได้นั้น จะต้องมีสัญญาณภาพรวม ( Composite video ) ป้อนที่อินพุทภาควีดีโอแอมป์ของมัน ซึ่งสัญญาณภาพรวมนี้ประกอบไปด้วย สัญญาณซิงค์ สัญญาณแบลงกิ้งและสัญญาณภาพขี่กันอยู่บนระดับแรงดันที่ต่างกันไป นอกจากสัญญาณหลักๆเหล่านี้แล้ว ยังมีสัญญาณบางสัญญาณที่ไม่ได้กล่าวถึงอยู่อีก ในที่นี้จะกล่าวถึงเฉพาะสัญญาณที่เกี่ยวข้องกับโครงงานเท่านั้น ซึ่งสัญญาณเหล่านี้อธิบายรายละเอียดได้ดังนี้

- สัญญาณซิงค์ เป็นสัญญาณที่ใช้บังคับให้การสแกนทางเครื่องรับพร้อมกันกับทางเครื่องส่ง โดยจะประกอบด้วย สัญญาณซิงค์ทางแนวนอนและสัญญาณซิงค์ทางแนวตั้ง สำหรับสัญญาณซิงค์ทางแนวนอน ( Horizontal sync ) หรือHsync มีความถี่ 15,625Hz มีคาบเวลาเป็น 64 ไมโครวินาที นานประมาณ 5 ไมโครวินาที ส่วนสัญญาณซิงค์ทางแนวตั้ง ( Vertical sync ) หรือVsync มีความถี่ 50Hz มีคาบเวลา 20 มิลลิวินาที นาน 1 มิลลิวินาที

- สัญญาณแบลงกิ้ง เป็นสัญญาณที่บังคับให้การสแกนของลำอิเล็กตรอนมืดในช่วงสะบัดกลับ ซึ่งมีทั้งสัญญาณแบลงกิ้งทางแนวนอน ( Horizontal blanking: HBLNK )และสัญญาณแบลงกิ้งทางแนวตั้ง ( Vertical blanking: VBLNK ) ซึ่งเป็นช่วงของการลบเส้นสะบัดกลับของการสแกนทั้งแนวตั้งและแนวนอน พิจารณารายละเอียดของสัญญาณได้ดังรูปที่ 2.21




รูปที่ 2.21 แสดงรูปคลื่นของสัญญาณซิงค์ที่ถูกเปลี่ยนเป็นคลื่นรูปฟันเลื่อยแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) แสดงช่วงเวลาของสัญญาณซิงค์ทางแนวนอน

(ข) แสดงช่วงเวลาของสัญญาณซิงค์ทางแนวตั้ง

- สัญญาณภาพ เป็นสัญญาณที่ใช้แสดงผลบนจอภาพ ซึ่งอาจจะได้จากกล้องโทรทัศน์, เครื่องเล่นวีดีโอเทปหรืออื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.7 หลักการเอทูดีและดีทูเอที่ใช้กับสัญญาณภาพ

ลักษณะการส่งภาพในโครงงานนี้ เป็นการส่งภาพนิ่ง โดยนำสัญญาณภาพในช่วงเวลาหนึ่ง มาแปลงเป็นข้อมูลดิจิตอลแล้ว เก็บไว้ในหน่วยความจำ เมื่อต้องการส่งภาพไปยังด้านรับ ก็จะทำการอ่านข้อมูลที่เก็บไว้ออกมา ซึ่งเราสามารถกำหนดอัตราการส่งข้อมูลได้ จากการเลือกใช้ความถี่สัญญาณนาฬิกา ที่จะนำมาใช้ในการสร้างแอดเดรสอ่านข้อมูล เพื่อแปลงข้อมูลให้เป็นแบบอนุกรมส่งออกไปยังด้านรับ ให้ทำการเก็บไว้ในหน่วยความจำอีกครั้งหนึ่งแล้ว ทำการอ่านข้อมูลนี้ออกมาแปลงเป็นสัญญาณอนาลอก ด้วยแอดเดรสที่สร้างขึ้น โดยอาศัยสัญญาณนาฬิกาที่มีความถี่สูง เพื่อนำไปรวมเข้ากับสัญญาณซิงค์ และแบลงกิ้งเกิดเป็นสัญญาณภาพรวม ที่จะใช้ในการแสดงผลบนจอโทรทัศน์ ด้วยเหตุนี้การลดอัตราเร็วในการส่งข้อมูลภาพจึงทำได้ง่าย ไม่จำเป็นต้องใช้เทคนิคในการแปลงข้อมูลดิจิตอลที่ซับซ้อน

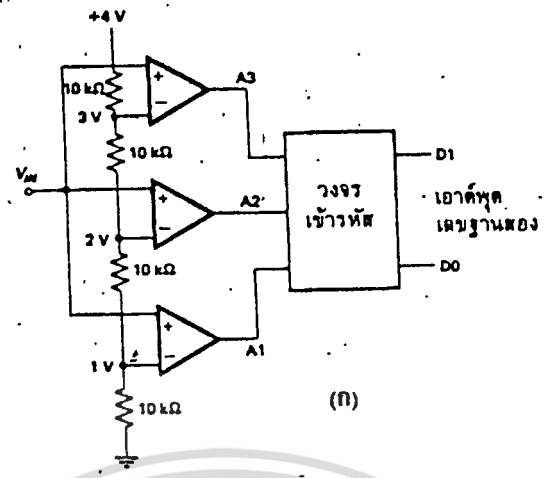
เนื่องจากสัญญาณภาพที่ได้จากกล้องวีดีโอ เป็นสัญญาณภาพแบบอนาลอก ซึ่งการสแกนของสัญญาณภาพมีความเร็วสูงมาก เมื่อต้องการแปลงสัญญาณภาพนี้ให้เป็นข้อมูลดิจิตอล จะต้องใช้วงจรเอทูดี ( วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล ) ที่ทำงานด้วยความเร็วสูงเช่นกัน ดังนั้นในโครงงานนี้ได้เลือกใช้ไอซีเอทูดีแบบแฟลช เบอร์ CA3306 ความละเอียด 6 บิท ซึ่งสามารถแสดงระดับสัญญาณได้ 64 ระดับ ความเร็วในการทำงานสูงสุด 5 MHz ซึ่งมีหลักการทำงานโดยทั่วไปดังนี้

วงจรเอทูดีแบบขนานหรือ"แฟลช"

( Parallel Comparator Simultaneous or "Flash" A/D Converter )

ถ้าคำนึงถึงความเร็วในการแปลงสัญญาณเป็นอันดับแรก ก็ควรจะใช้วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบขนานหรือแฟลช โดยวิธีการนี้จะเป็นการป้อนอินพุทพร้อมๆกัน เข้าไปในกลุ่มของคอมแพเรเตอร์ที่ต่อแบบขนาน ซึ่งแต่ละตัวประกอบด้วย ออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบและตัวต้านทานที่ต่อไว้ เพื่อแบ่งแรงดันที่ขาอินพุทแบบกลับ ( Inverting ) ให้มีขนาดต่างๆกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




(ก)

| แรงดัน อินพุต | เอาต์พุตของ วงจรเปรียบเทียบ | | | เอาต์พุต เลขฐานสอง | |
|---|---|---|---|---|---|
| $V_{in}$ (โวลต์) | A1 | A2 | A3 | D1 | D0 |
| 0 - 1 | 0 | 0 | 0 | 0 | 0 |
| 1 - 2 | 1 | 0 | 0 | 0 | 1 |
| 2 - 3 | 1 | 1 | 0 | 1 | 0 |
| 3 - 4 | 1 | 1 | 1 | 1 | 1 |

(ข)

รูปที่ 2.22 (ก)แสดงการต่อวงจรเอทูดีแบบขนานหรือแฟลช
(ข)ตารางความสัมพันธ์ระหว่างแรงดันอินพุทที่เป็นอนาลอก
กับเอาท์พุทที่เป็นดิจิตอล

จากหลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันที่ขาอินพุทแบบไม่กลับ ( Noninverting ) มีค่าสูงกว่าที่ขาอินพุทแบบกลับ เอาท์พุทจะได้แรงดันค่าสูง ดังรูปตารางที่แสดงไว้ข้างบน จะเข้าใจยิ่งขึ้นว่า ที่แรงดันค่าต่างๆ มีผลต่อเอาท์พุทวงจรเปรียบเทียบแต่ละตัวอย่างไร ซึ่งเอาท์พุทที่ได้จากวงจรเปรียบเทียบนี้ จะนำไปเข้ารหัสให้เป็นเลขฐานสองต่อไป จำนวนของวงจรเปรียบเทียบที่ต้องใช้ในวงจรขึ้นอยู่กับขนาดของสัญญาณอนาลอกที่อินพุท

จากรูปที่ 2.22 ถ้าแรงดันอินพุทมีค่า 1โวลต์ ไม่เพียงพอที่จะทำให้วงจรเปรียบเทียบตัวใดให้ค่าเอาท์พุทเป็นสัญญาณสูง ( high )ที่แรงดันระหว่าง 1 ถึง 2โวลต์ วงจรเปรียบเทียบที่ระดับเทรชโฮลด์ ( threshold )ต่ำสุดก็จะให้เอาท์พุทเป็นสัญญาณสูง

แรงดัน 2-3 โวลต์ วงจรเปรียบเทียบทั้ง$A_1$และ$A_2$ ให้เอาท์พุทเป็น "high" ถ้าแรงดันอินพุทมากกว่า 3 โวลต์ วงจรเปรียบเทียบก็จะให้เอาท์พุท

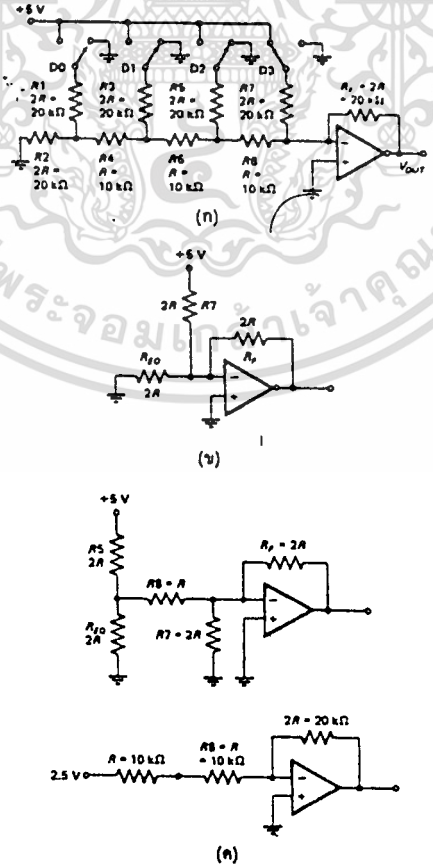
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นสัญญาณสูงทั้งหมด เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้น จำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่น ถ้าต้องการความละเอียด 3 บิท ต้องใช้วงจรเปรียบเทียบ 7 ตัว ความละเอียด 4 บิท ต้องใช้วงจรเปรียบเทียบ 15 ตัว ( 16ระดับ )โดยหาจำนวนวงจรเปรียบเทียบได้จาก $2^N-1$ เมื่อ N แทนจำนวนบิทหรือความละเอียดที่ต้องการ จะเห็นว่าที่ความละเอียด 8 บิท ต้องใช้วงจรเปรียบเทียบมากถึง 255 ตัว ซึ่งเป็นข้อเสียของวงจรเอทูดี แบบนี้ข้อเสียอีกประการหนึ่ง คือ เอาท์พุทที่ไม่ได้เป็นเลขฐานสอง ต้องมีวงจรเพิ่มเติมไปทำการเข้ารหัส

ข้อดีของวงจรเอทูดีแบบขนานนี้ คือ ความเร็วสูงมาก จึงเรียกวงจรเอทูดีแบบนี้ว่าแบบ "แฟลช" ( Flash type A/D converter ) ซึ่งใช้เวลาในการแปลงได้เร็วในระดับนาโนวินาที

วงจรดีทูเอแบบ R/2R แลดเดอร์

( R/2R Ladder D/A Converter )




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.23 วงจรดีทูเอแบบR/2Rแลดเดอร์

(ก)วงจรสมบูรณ์

(ข)วงจรเสมือนในขณะที่สวิตช์ของบิทที่มีนัยสำคัญสูงสุดปิด

(ค)วงจรเสมือนในขณะที่สวิตช์ของบิทที่มีนัยสำคัญรองลงมาปิด

เมื่อวงจรดีทูเอ ( วงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาลอก ) มีขนาดอินพุทมากกว่า 4 บิท วงจรดีทูเอแบบใช้ความต้านทานหลายค่า จะเกิดปัญหาเนื่องจากต้องการค่าความต้านทานที่มีช่วงกว้างมาก สำหรับวิธีที่จะกล่าวถึงนี้ ใช้หลักการไบนารี่เวตเหมือนกัน แต่ใช้ความต้านทานเพียง 2 ค่า ดังรูปที่ 2.23 ซึ่งกระแสจะถูกเปลี่ยนค่าแรงดันโดยออปแอมป์ และตัวต้านทานป้อนกลับ $R_f$ วิธีนี้เรียกว่าการใช้ความต้านทาน 2 ค่า

ในการอธิบายการทำงาน ขั้นแรกสมมุติว่า สวิตช์$D_3$ ซึ่งเป็นสวิตช์ในบิทที่มีนัยสำคัญสูงสุดนั้น ต่อกับแรงดันอ้างอิง 5 โวลต์ ในขณะที่สวิตช์ตัวอื่นปิดลงกราวด์ ดังนั้น $R_1$และ$R_2$ จึงต่อขนานกันลงกราวด์ สังเกตตัวต้านทาน2R ต่อขนานกับ2Rอีกตัวหนึ่งมีค่าเท่ากับR ค่าRนี้ถูกบวกกับ$R_4$ กลายเป็นค่า2Rแล้วขนานกันกับ$R_3$ ลงกราวด์ การรวมของ$R_3$และตัวต้านทานก่อนหน้า จึงทำให้เหลือเพียงค่าRต่ออนุกรมกับ$R_5$ พิจารณาเช่นเดียวกับวงจรส่วนที่เหลือก็จะได้เป็นวงจรที่ง่ายขึ้น ดังรูปที่ 2.23 ข

โดยเหตุที่กราวด์เทียมของออปแอมป์ มีแรงดัน 0 โวลต์ ทำให้ไม่มีกระแสไหลผ่านค่าความต้านทานเหล่านี้ลงกราวด์ จึงไม่ต้องสนใจส่วนนี้ ดังนั้นแรงดัน 5 โวลต์ที่ปลายข้างหนึ่งของ$R_7$ค่า 20 กิโลโอห์มทำให้มีกระแส 0.25 มิลลิแอมป์ ผ่านจุดที่ต่อและผ่าน$R_f$ค่า 20 กิโลโอห์ม แรงดันเอาท์พุทที่ได้จากบิทที่มีนัยสำคัญสูงสุดจึงมีค่า -5 โวลต์

แรงดันที่ได้จากบิทที่มีนัยสำคัญรองลงมา ก็หาได้โดยปิดสวิตช์$D_2$ ไปยัง +5โวลต์และ$D_3$ลงกราวด์ตัวต้านทานทั้งหมดที่อยู่ทางซ้ายของ$R_5$ในรูปที่ 2.23ก ลดรูปลงเหลือเพียง2R ต่อลงกราวด์ การวิเคราะห์วงจร สามารถนำทฤษฎีของเทวินินมาใช้ได้ โดยมีการแบ่งแรงดันระหว่าง$R_3$และ2Rที่ต่อลงกราวด์ดังรูปที่ 2.23ค แรงดันของเทวินินคือ แรงดันที่รอยต่อหรือ 2.5 โวลต์ ตัวต้านทานเทวินินมีค่าเท่ากับตัวต้านทาน 2 ตัวต่อขนานกัน ( หรือR ) อุปกรณ์ที่อยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้านซ้ายของ$R_8$ สามารถลดรูปได้เหลือค่าR ต่อกับ 2.5 โวลต์ และเราสามารถละทิ้ง$R_7$ได้ เพราะจุดปลายทั้งสองค่าต่อลงกราวด์ ค่าความต้านทานรวมระหว่างที่จุดรวม ( จุดกราวด์เทียม ) และแรงดันเทวินิน คือ 2Rหรือ20 กิโลโอห์ม กระแสที่จุดรวมคือ 2.5 โวลต์หรือ 0.125 มิลลิแอมป์ กระแสที่ผ่าน$R_F$ 20 กิโลโอห์ม ทำให้เกิดแรงดันเอาท์พุท -2.5 โวลต์ ( สำหรับบิทที่มีนัยสำคัญถัดมา )

ด้วยการวิเคราะห์ในทำนองเดียวกันนี้ สามารถหาแรงดันเอาท์พุทที่มีบิทต่ำลงมาได้อีก 1.25 โวลต์และที่ค่าดิจิตอลต่ำสุดได้ 0.625 โวลต์ ในขณะที่ค่าดิจิตอลสูงสุด ( สวิตช์ทุกตัวต่อไปที่ +5 โวลต์ ) ได้เอาท์พุทเต็มสเกลคือ 9.375โวลต์

แม้ว่า วงจรดีทูเอแบบ R/2R แลดเดอร์ ซึ่งใช้ความต้านทาน 2 ค่า จะวิเคราะห์ยากกว่าแบบใช้ตัวต้านทานหลายค่า ( Weighted resister ) แต่จะง่ายกว่าสำหรับการต่อวงจรให้ถูกต้อง เพราะใช้ค่าความต้านทานเพียง 2 ค่าเท่านั้น จำนวนบิทก็เพิ่มได้ โดยเพิ่มส่วนของR/2Rลงไป วงจรบัฟเฟอร์ที่เป็นทีทีแอลหรือซีมอส อาจนำมาต่อแทนตำแหน่งของสวิตช์ในวงจรรูปที่ 2.23 (ก) เพื่อให้แรงดันเอาท์พุทเป็นขั้นบันไดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.8 หลักการส่งและรับข้อมูลอนุกรม

การส่งและรับข้อมูลภาพดิจิตอลในลักษณะข้อมูลอนุกรมนี้ ทางด้านภาครับข้อมูลภาพ มีความจำเป็นที่จะต้องทราบว่า ทางด้านภาคส่งข้อมูลภาพได้ส่งข้อมูลมาแล้วหรือไม่ เพื่อกระตุ้นให้ภาครับข้อมูลภาพ เริ่มต้นบันทึกข้อมูลภาพที่ทางภาคส่งส่งมาให้ เพื่อนำไปใช้แสดงผลทางมอนิเตอร์ได้ถูกต้อง ดังนั้นทางด้านภาคส่ง จึงต้องมีการส่งข่าวสารแจ้งการเริ่มต้นข้อมูล ให้ภาครับข้อมูลภาพทราบ โดยจะใช้รูปแบบแฟลกหรือบิทเริ่มต้น ซึ่งขึ้นอยู่กับว่า การส่งข้อมูลภาพเป็นรูปแบบซิงโครนัสหรืออะซิงโครนัส สำหรับการพิจารณาในเรื่องนี้ เราจะเลือกส่งข้อมูลภาพในรูปแบบอะซิงโครนัสซึ่งมีความเหมาะสม เนื่องจากสัญญาณนาฬิกาที่ใช้ในการส่งข้อมูลภาพทางวงจรภาคส่ง และสัญญาณนาฬิกาในการรับข้อมูลภาพทางวงจรภาครับ กำเนิดจากออสซิลเลเตอร์คนละตัวกันโดยมีความถี่เท่ากัน และความเร็วในการส่งข้อมูลภาพไม่สูงนัก ( ประมาณ 16 กิโลบิท / วินาที )

ขอบเขตของโครงงานนี้ สามารถทำการสร้างวงจรให้สามารถส่งและรับข้อมูลกันได้ โดยไม่ได้มุ่งหมายให้ใช้งานในระยะทางไกล จึงไม่กล่าวถึงวงจรในการตรวจสอบและแก้ไขความผิดพลาดของข้อมูลที่เกิดขึ้น ในระหว่างที่ข้อมูลเดินทางผ่านไปตามสายส่ง

การส่งและรับข้อมูลอนุกรมที่ได้กล่าวในข้างต้น พิจารณารายละเอียดได้ดังนี้

- การส่งข้อมูลอนุกรม

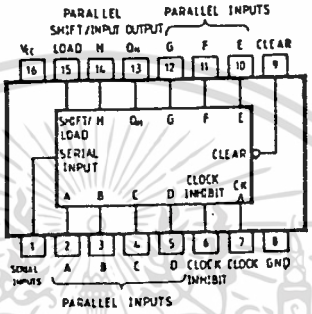
การส่งข้อมูลอนุกรมเริ่มจากการอ่านข้อมูลภาพที่บันทึกไว้ในหน่วยความจำ และนำข้อมูลที่ออกมาในลักษณะขนานนี้ ไปทำการแปลงให้อยู่ในลักษณะอนุกรม โดยเก็บข้อมูลขนานทุกบิทไว้ในชิพรีจิสเตอร์แล้วส่งออกไปทีละบิท บิทที่มีนัยสำคัญน้อยที่สุด ( LSB ) จะถูกส่งออกไปก่อน และบิทต่อมาทยอยส่งตามกันออกไป จนกระทั่งส่งบิทที่มีนัยสำคัญสูงสุดแล้ว จึงรับข้อมูลขนานชุดต่อไปเข้ามา นอกจากนี้ในกลุ่มบิทข้อมูลที่ส่งออกไป ควรมีบิทบอกการเริ่มต้นข้อมูลด้วย เพื่อให้รับข้อมูลได้อย่างมีประสิทธิภาพ ดังนั้นการส่งข้อมูลจะต้องอาศัยวงจรเลื่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลและวงจรสร้างบิทเริ่มต้น

- วงจรเลื่อนข้อมูล

เพื่อความสะดวกในที่นี้ ได้นำไอซีที่ทำหน้าที่ในการเลื่อนข้อมูล เบอร์ 74166 มาใช้ ไอซีนี้ประกอบด้วยอินพุทข้อมูลแบบขนาน 8 บิทและเอาท์พุทข้อมูลแบบอนุกรม การจัดขาและการทำงานของไอซีพิจารณาได้ดังรูป




รูปที่ 2.24 ส่วนประกอบภายในของไอซี 74166

| อินพุต | | | | | | เอาต์พุตภายใน | | เอาต์พุต |
|---|---|---|---|---|---|---|---|---|
| เคลียร์ | ชิฟท์/โหลด | ยับยั้งคล็อก | คล็อก | อนุกรม | ขนาน A..H | $Q_A$ | $Q_B$ | $Q_H$ |
| L | X | X | X | X | X | L | L | L |
| H | X | L | L | X | X | $Q_{A0}$ | $Q_{B0}$ | $Q_{H0}$ |
| H | L | L | ↑ | X | a...h | a | b | h |
| H | H | L | ↑ | H | X | H | $Q_{An}$ | $Q_{Gn}$ |
| H | H | L | ↑ | L | X | L | $Q_{An}$ | $Q_{Gn}$ |
| H | X | H | ↑ | X | X | $Q_{A0}$ | $Q_{B0}$ | $Q_{H0}$ |

ตาราง 2.1 รายละเอียดการทำงานของไอซี 74166

จากรูปและตารางข้างบน ขาเคลียร์และขายับยั้งสัญญาณนาฬิกาจะไม่นำใช้ในการทำงาน จึงต่อเข้าสัญญาณลอจิก "1" และลอจิก "0" ตามลำดับ ส่วนขาอินพุทอนุกรม จะต่อเข้ากับวงจรสร้างบิทสิ้นสุด ซึ่งกำหนดให้เป็นลอจิก "0" จึงต่อวงจรนี้เข้าสัญญาณลอจิก "0" เพื่อแทนวงจรสร้างบิทสิ้นสุดที่ขาอินพุทขนานทั้ง 8 ขา ( 8 บิท ) ต่อเข้ากับข้อมูลที่ต้องการส่ง ขาชิพ/โหลดซึ่งกำหนดโหมดการเลื่อนข้อมูลและโหมดการเลื่อนข้อมูล การใช้งานดูได้จากตาราง จะเห็นว่าในแถวที่ 3 จะเป็นโหมดของการโหลดข้อมูลเข้าไปเก็บในตัวเลื่อนข้อมูล ส่วนแถวที่ 4 และ 5 จะเป็นโหมดของการเลื่อนข้อมูล ซึ่งเรา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะต่อขานี้เข้ากับสัญญาณสโตรบ( Strobe ) เมื่อสัญญาณสโตรบเข้ามา ไอซี 74166 จะโหลดข้อมูลเข้าไป หลังจากนั้นก็จะเลื่อนข้อมูลออกไปทันที ขาเอาท์พุทในที่นี้ จะบอกสถานะการทำงานของเอาท์พุท$Q_A$และ$Q_B$ เพื่อให้ไล่การทำงานของไอซีได้ง่ายขึ้น ส่วนขาสัญญาณนาฬิกาจะต่อเข้ากับสัญญาณคล็อกของระบบ และขาที่เหลือคือ ขาเอาท์พุท$Q_H$ จะต่อออกเป็นเอาท์พุทของวงจร

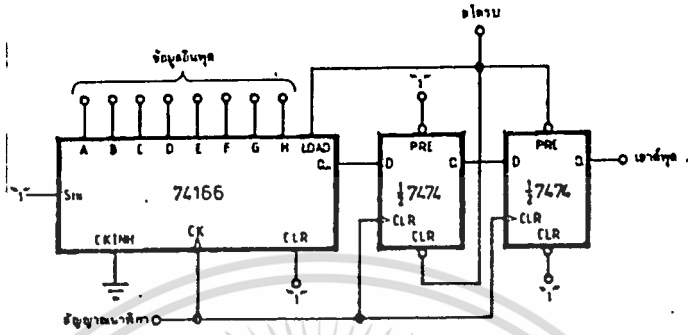
- วงจรสร้างบิทเริ่มต้น

วงจรนี้ทำหน้าที่ในการกำหนดบิทเริ่มต้น โดยสร้างพัลส์ที่มีระดับลอจิก "1" เมื่อสัญญาณสโตรบเข้ามา พัลส์ที่สร้างขึ้นจะต้องมีช่วงกว้างของพัลส์เท่ากับสัญญาณนาฬิกา 1 ลูกพอดี ในกรณีนี้ไม่ควรใช้วงจรโมโนสเตเบิล เนื่องจากวงจรดังกล่าว ใช้ตัวต้านทานและตัวเก็บประจุ กำหนดค่าความกว้างของพัลส์ หากสัญญาณนาฬิกามีความถี่สูง หรือมีการเปลี่ยนความถี่ของสัญญาณนาฬิกาแต่ละครั้ง ก็ต้องหาอุปกรณ์ทั้งสองนี้ที่จะให้ค่าความถี่ตามที่ต้องการ ทำให้เกิดความยุ่งยาก

วงจรสร้างบิทเริ่มต้น จึงควรเป็นวงจรที่ใช้ฟลิปฟลอปเป็นส่วนประกอบ เนื่องจากสัญญาณสโตรบนี้มีช่วงความกว้างขึ้นอยู่กับวงจรดิจิตอลที่นำไปประยุกต์ใช้งาน ดังนั้นต้องให้วงจรสร้างบิทเริ่มต้นทำงานหลังจากสัญญาณสโตรบสิ้นสุดลง ในการสร้างบิทเริ่มต้นนี้ การที่จะทำให้เอาท์พุทQ มีลอจิก "1" ได้นั้น มี 2 วิธีคือ ให้สัญญาณเข้าไปที่ขาพรีเซต และอีกวิธีหนึ่ง ให้ขาD เป็นลอจิก "1" แล้วป้อนสัญญาณนาฬิกาเข้าไป 1 ลูก จะเห็นว่า วิธีแรกนั้นทำได้ง่ายกว่า แต่เอาท์พุทQ อาจจะเป็นลอจิก "1" นานเกินไป ในกรณีที่สัญญาณเข้าขาพรีเซตมีช่วงเวลานานกว่าสัญญาณนาฬิกา ทำให้บิทเริ่มต้นผิดพลาดไป ซึ่งแก้ไขได้โดยให้ลอจิก "1" ออกมาหลังจากพรีเซตแล้ว จึงจำเป็นต้องเพิ่มอุปกรณ์มากั้นไม่ให้ลอจิก "1" ออกไประหว่างการพรีเซต ในที่นี้จะใช้ฟลิปฟลอปอีก 1 ตัวมาเป็นตัวกั้นและเพื่อให้ข้อมูลส่งผ่านออกไปได้ด้วย จึงต้องต่อฟลิปฟลอปในลักษณะชิพรีจิสเตอร์ ส่วนการบังคับให้ฟลิปฟลอปตัวหลังนี้ เป็นลอจิก "0" ในขณะที่เอาท์พุทของฟลิปฟลอปตัวแรก ถูกพรีเซตเป็นลอจิก "1" ทำได้โดยการให้สัญญาณเข้าที่ขาเคลียร์ จะทำให้เอาท์พุทQของฟลิปฟลอป เป็นลอจิก "0"ได้ ดังนั้นต้องนำเอาสัญญาณสโตรบที่ต่อเข้าขาพรีเซตของฟลิปฟลอปตัวแรก มาต่อกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาเคลียร์ของฟลิปฟลอปตัวที่สอง เมื่อนำเอาวงจรเลื่อนข้อมูลมาต่อเข้ากับวงจรสร้างบิทเริ่มต้น จะได้วงจรที่ทำหน้าที่ส่งข้อมูลอนุกรมที่สมบูรณ์ ดังรูป




รูปที่ 2.25 วงจรสมบูรณ์ของการส่งข้อมูลอนุกรม

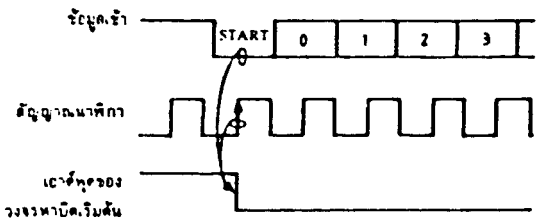
- การรับข้อมูลอนุกรม

วงจรที่ทำหน้าที่รับข้อมูลอนุกรมนี้จะมีความซับซ้อนน้อยกว่าวงจรการส่งข้อมูลอนุกรม มีหน้าที่คือ เมื่อพบลอจิก "1" ซึ่งเป็นบิทเริ่มต้นแล้ว จะให้เอาท์พุทไปเปิดเกท เพื่อให้สัญญาณนาฬิกาผ่านเกทไปสู่วงจรเลื่อนข้อมูล วงจรเลื่อนข้อมูลก็ทำการเลื่อนข้อมูลที่ได้จากอินพุท เข้ามาเก็บเรียงกันทีละบิท จนครบ 8 บิท จึงส่งออกไปพร้อมกันทั้ง 8 บิท ในการทำงานที่กล่าวมานี้ จะเป็นไปได้ต้องมีวงจรหาบิทเริ่มต้นและวงจรเลื่อนข้อมูล ซึ่งอธิบายรายละเอียดของวงจรทั้งสองได้ดังนี้

- วงจรหาบิทเริ่มต้น

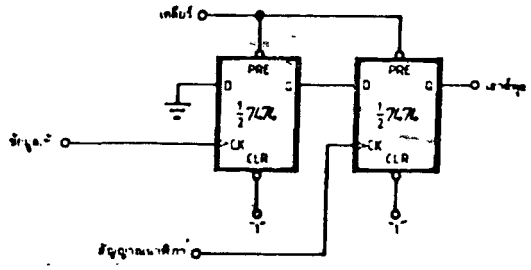
ปรกติสายส่งที่รับข้อมูลเข้ามา ถ้ายังไม่มีการส่งข้อมูล จะมีลอจิกเป็น "0" แต่ถ้าหากมีการส่งข้อมูลมาก็จะเริ่มต้นด้วย บิทเริ่มต้นซึ่งมีระดับลอจิกเป็น "1" ดังนั้นวงจรนี้จะทำการตรวจจับลอจิก "1" แต่เมื่อตรวจพบแล้ว ก็ยังส่งเอาท์พุทออกไปทันทีเลยไม่ได้ โดยจะต้องทำงานตามสัญญาณคล็อกของระบบดังรูปหน้าถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.26 ไดอะแกรมเวลาของวงจรหาบิทเริ่มต้น

จากรูป จะเห็นว่าข้อมูลที่เข้ามาและสัญญาณนาฬิกาของระบบ มีเฟสไม่ตรงกันซึ่งเป็นเรื่องปกติ เนื่องจาก ใช้วงจรออสซิลเลเตอร์กำเนิดสัญญาณนาฬิกาคนละวงจรกัน แต่ความถี่ของทั้งสองต้องเท่ากัน และจะสังเกตได้ว่าบิทเริ่มต้น ที่เป็นลอจิก "1" เข้ามาแล้ว ก็ยังต้องรอให้ถึงช่วงขอบขาขึ้นของสัญญาณนาฬิกาลูกถัดไปก่อน เอาท์พุทของวงจรหาบิทเริ่มต้น จึงจะเริ่มต้นทำงาน วงจรที่ทำงานตามสถานะของสัญญาณนาฬิกาอย่างนี้ จะต้องมีฟลิปฟลอปเป็นส่วนประกอบร่วมด้วยเสมอ ซึ่งเมื่อมีบิทเริ่มต้นเข้ามา วงจรจะรอให้ช่วงขอบขาขึ้นของสัญญาณนาฬิกามาถึงก่อน มันจึงทำงาน ในที่นี้จะทำได้โดยให้สัญญาณข้อมูลเข้ามาเป็นสัญญาณนาฬิกาของฟลิปฟลอปตัวแรก และต่อขา D กับสัญญาณลอจิก "0" หากมีข้อมูลที่เป็นลอจิก "1"เข้ามา ก็จะทำให้เอาท์พุทQ เป็นลอจิก "0" ได้ และทำการต่อฟลิปฟลอปซ้อนกันขึ้นอีกชั้นหนึ่ง เพื่อให้เอาท์พุทของวงจรหาบิทเริ่มต้นเป็นลอจิก "0" ได้ เมื่อมีขอบขาขึ้นของสัญญาณนาฬิกาเข้ามาก่อน ตรงกับไดอะแกรมเวลาในรูปที่แสดงไว้ข้างบนพอดี วงจรที่ออกแบบแล้วเป็นดังรูปข้างล่างนี้




รูปที่ 2.27 วงจรหาบิทเริ่มต้นที่ใช้ในการรับข้อมูลอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป วงจรหาบิทเริ่มต้นนี้ สร้างขึ้นโดยใช้ไอซีดี-ฟลิปฟลอป เบอร์ 7474 ขาสัญญาณนาฬิกาของไอซีฟลิปฟลอปตัวแรก ซึ่งทำงานที่ขอบขาขึ้นจะต่อเข้ากับข้อมูลที่ด้านส่งส่งมา ไอซี ดี-ฟลิปฟลอปตัวที่สอง ขาสัญญาณนาฬิกาของมันต่อเข้ากับสัญญาณนาฬิกาของระบบ เพื่อให้ทำงานพร้อมกับสัญญาณนาฬิกาของระบบ การทำงานจะเริ่มขึ้น เมื่อมีสัญญาณสโตรบเข้ามาเคลียร์ที่ขาพรีเซตของฟลิปฟลอปทั้งสองตัว ส่งผลให้ขาQของมันเป็นลอจิก "1" ดังนั้นถ้าหากมีข้อมูลจากด้านส่งเข้ามาขาเอาท์พุทQ จะเปลี่ยนจากลอจิก "1"เป็นลอจิก "0" และเมื่อถึงช่วงขอบขาขึ้นของสัญญาณนาฬิกา ลอจิก "0" ก็จะไปปรากฏที่ขาเอาท์พุทQของฟลิปฟลอปตัวที่สอง

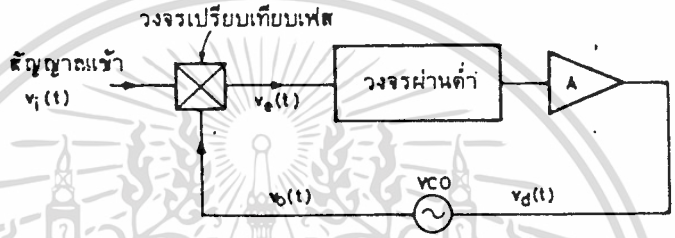
- วงจรเลื่อนข้อมูล

วงจรนี้ทำหน้าที่เลื่อนข้อมูลเข้าแบบอนุกรมแล้ว ให้เอาท์พุทออกมาแบบขนาน เพื่อความสะดวกจึงเลือกใช้ชิพรีจิสเตอร์ เบอร์ 74164 มาทำหน้าที่นี้ โดยขาควบคุมการเคลียร์ของไอซีนี้จะไม่นำมาใช้งาน จึงต่อเข้าสัญญาณลอจิก "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.9 การทำงานของวงจรเฟสล็อคลูป

วงจรเฟสล็อคลูป ประกอบด้วย วงจรเทียบเฟส, วงจรกรองความถี่ผ่านต่ำ, วงจรขยายและวงจรออสซิลเลเตอร์ควบคุมโดยแรงดัน ( voltage controlled oscillator (VCO) ) ต่อเป็นวงรอบ ( loop )อย่างเช่นวงจรป้อนกลับทั่วๆไป




รูปที่ 2.28 วงจร เฟสล็อคลูป

วงจรเทียบเฟสคือ วงจรที่ให้แรงดันออกเป็นปฏิภาคกับผลต่างระหว่างเฟสของสัญญาณเข้า 2 สัญญาณ วงจรนี้อาจเป็นวงจรคูณ ถ้าสัญญาณเข้า$v_i(t)$ มีความถี่ $w_i$ และเฟส $\theta_i$

$$v(t) = V_i \sin(w_i t+\theta_i)$$

และสัญญาณออกจาก VCO มีความถี่ $w_i$ และเฟส $\theta_i$

$$v_o(t) = v_o \cos(w_i t+\theta_i)$$

สังเกตได้ว่า ในการเขียนสมการเช่นนี้ $v_i$และ$v_o$มีมุมอ้างอิงต่างกันอยู่ 90 องศา เพราะ $v_i$เขียนเป็นไซน์, $v_o$ เป็นโคไซน์

ถ้าป้อน $v_i$และ$v_o$ เข้าที่วงจรเปรียบเทียบเฟส จะได้สัญญาณออก

$$v_e(t) = K_m v_i v_o$$

ถ้าละเลยเทอมความถี่$2w_i$ ซึ่งจะถูกจำกัด โดยผ่านวงจรกรองความถี่ต่ำ จะได้

$$v_e = (K_m v_i v_o)/2\sin(\theta_i-\theta_o)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าสมมุติว่าผลต่าง $\theta_1-\theta_0$ มีค่าน้อย จะได้

$$v = K_d(\theta_1-\theta_0)$$

โดยที่ $K_d$ คือ ความไวของวงจรเปรียบเทียบเฟส = $K_m v_1 v_0/2$ ( v/rad ) แรงดัน $v_d$ นี้ จะได้รับการขยายและใช้เป็นแรงดันควบคุมความถี่ของVCO ซึ่งในการทำงานปกติ การควบคุมนี้ จะมีผลให้สัญญาณ$v_0$จาก VCO มีความถี่ตรงกับสัญญาณเข้า $v_1$ และถ้าอัตราขยายวงรอบมีค่าสูง $v_d$จะมีค่าต่ำและเฟส$\theta_0$ กับ$\theta_1$ จะมีค่าใกล้เคียงกันดังที่สมมุติไว้

การทำงานของวงจรเฟสล็อคลูป อาจอธิบายได้คร่าวๆดังนี้ เมื่อไม่มีสัญญาณเข้า ( $v_1=0$ ) แรงดัน$v_m$และ$v_d$ ( ที่ใช้ควบคุม VCO )จะเป็นศูนย์ VCO จะกำเนิดสัญญาณที่ความถี่หนึ่งเรียกว่า ความถี่อิสระ ( free running frequency )$f_{00}$ เมื่อใส่สัญญาณเข้า$v_1$ ที่ความถี่$f_1$ ถ้า $f_1$ต่างจาก$f_{00}$ มาก สัญญาณ$v_m$ ซึ่งมีความถี่เท่ากับ $f_{00}-f_1$ จะไม่สามารถผ่านวงจรกรองความถี่ต่ำผ่าน แรงดัน$v_d$ ที่ใช้ควบคุมVCO จะยังคงเป็นศูนย์ และVCOยังคงทำงานที่ความถี่$f_{00}$

ถ้า $f_1$ไม่ต่างจาก$f_{00}$ มากนัก นั่นคือ $|f_1-f_{00}|<\Delta f_p$ ( $2\Delta f_p$ มีชื่อว่า ช่วงดึงเข้า หรือ pull-in range ) สัญญาณ$v_m$ จะมีลักษณะไม่สมมาตร กล่าวคือ มีองค์ประกอบไฟตรงไม่เท่ากับศูนย์ $v_d$จะค่อยๆเพิ่มค่าขึ้นและหลังจากช่วงเวลาหนึ่งเรียกว่า ช่วงดึงเข้า ความถี่$f_0$ ซึ่งค่อยๆแปรไปยังค่า $f_1$จะต่างจาก$f_1$เพียง$|f_1-f_0| = \Delta f_c$ ( $2\Delta f_c$ มีชื่อว่า ช่วงจับ หรือ cap ture range ) ถึงตอนนี้ $f_0$จะแปรเข้าสู่ค่า $f_1$อย่างรวดเร็วฉับพลัน เรียกว่า เกิดการล็อค( lock ) $v_d$ ก็จะเปลี่ยนแปลงฉับพลันเช่นกัน ทั้งนี้สำหรับVCOโดยทั่วไป ความถี่ $f_0$เป็นค่าปฏิภาคกับการบ่ายเบนจากความถี่อิสระ นั่นคือ

$$w_0 - w_{00} = K_0 v_d$$

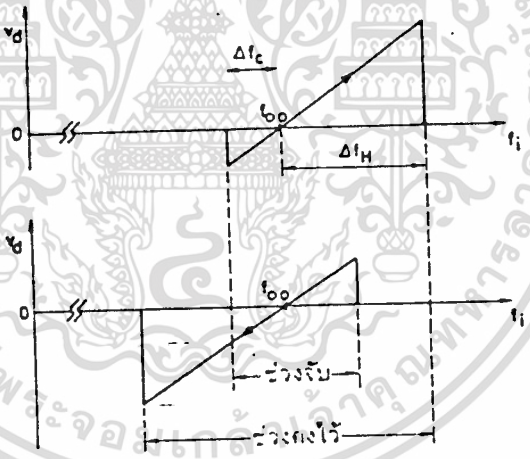
โดยที่ $K_0$ เรียกว่า ความไวของ VCO มีหน่วยเป็น( rad/sec )/V การได้มาซึ่งการล็อคอาจใช้วิธี ดังนี้

(ก) ณ ขณะหนึ่ง ความถี่ของVCO ต่างจากความถี่ขาเข้า$f_1$ น้อยกว่า $\Delta f_c$ จะเกิดการล็อคโดยฉับพลันเรียกว่า เกิดการจับ( capture )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ข) ณ ขณะหนึ่ง ความถี่ของVCO ต่างจากความถี่ขาเข้า$f_i$ มากกว่า $\Delta f_c$ แต่น้อยกว่า$\Delta f_H$ ความถี่ของ VCO จะค่อยๆเลื่อนเข้าหา$f_i$เรียกว่า เกิดการดึงเข้า( pull-in )

(ค) นอกช่วงดึงเข้าหรือในกรณีที่การดึงเข้าใช้เวลานานเกินไป อาจเพิ่มวงจร ที่จะควบคุมให้ความถี่VCOกวาด( sweep )ไป เพื่อเสาะหาความถี่ของสัญญาณ หรือ ถ้าเสียงรบกวน( noise )มีน้อย ก็อาจเพิ่มแถบความถี่( bandwidth )ของวงรอบ ซึ่งจะเพิ่มช่วงการจับและการดึงเข้า หรือเพิ่มเติมวงจรจำแนกความถี่( frequency discriminator ) ซึ่งจะปรับVCO เข้าสู่ช่วงการจับได้อย่างรวดเร็ว




รูปที่ 2.29 ลักษณะโอนย้ายจากความถี่เป็นแรงดัน

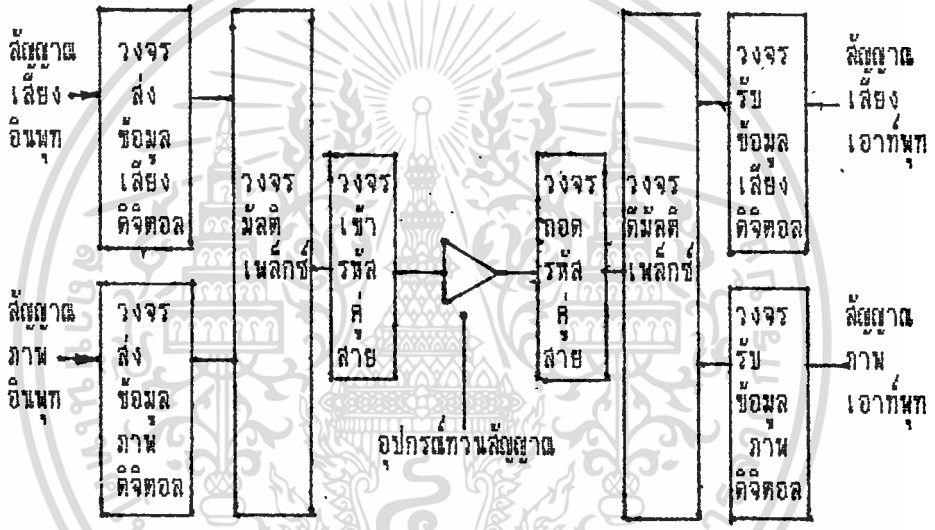
เมื่อเกิดการล็อคแล้ว ถ้าความถี่ของสัญญาณแปรไป ความถี่ของ VCO จะแปรตามไปด้วยเรียกว่า เกิดการตามรอย( tracking ) ความถี่ของVCO จะสามารถตามรอยความถี่$f_i$ได้ ตราบใดที่ $|f_i - f_{oo}| < \Delta f_H$( $2\Delta f_H$ มีชื่อว่าช่วงคงไว้ (=hold-in range ) บางทีก็เรียกว่า ช่วงตามรอยหรือช่วงล็อค )

สรุปแล้ว ถ้าเพิ่มหรือลดความถี่$f_i$ จะได้การเปลี่ยนแปลงของ$v_d$( ซึ่งควบคุมVCO และเป็นปฏิภาคกับ$f_i - f_{oo}$ ) ดังแสดงในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
# การทำงานของระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม

ระบบการส่งข้อมูลเสียง และภาพแบบทีดีเอ็ม จะประกอบด้วย ส่วนประกอบที่ทำหน้าที่ต่างๆหลายส่วน สามารถแสดงได้ดังบล็อกไดอะแกรมดังต่อไปนี้




รูปที่ 3.1 บล็อกไดอะแกรมระบบการส่งข้อมูลเสียงและภาพแบบทีดีเอ็ม

สำหรับ ระบบการส่งข้อมูลดิจิตอลที่ทำการสร้างขึ้นในโครงงานนี้จะทำการศึกษาและสร้างวงจรเฉพาะในส่วนที่สำคัญของระบบเพียง3ส่วนเท่านั้นคือ

- ส่วนการส่งและรับข้อมูลเสียงดิจิตอล
- ส่วนของการส่งและรับข้อมูลภาพดิจิตอล
- ส่วนของการมัลติเพล็กซ์และดีมัลติเพล็กซ์ข้อมูลดิจิตอล

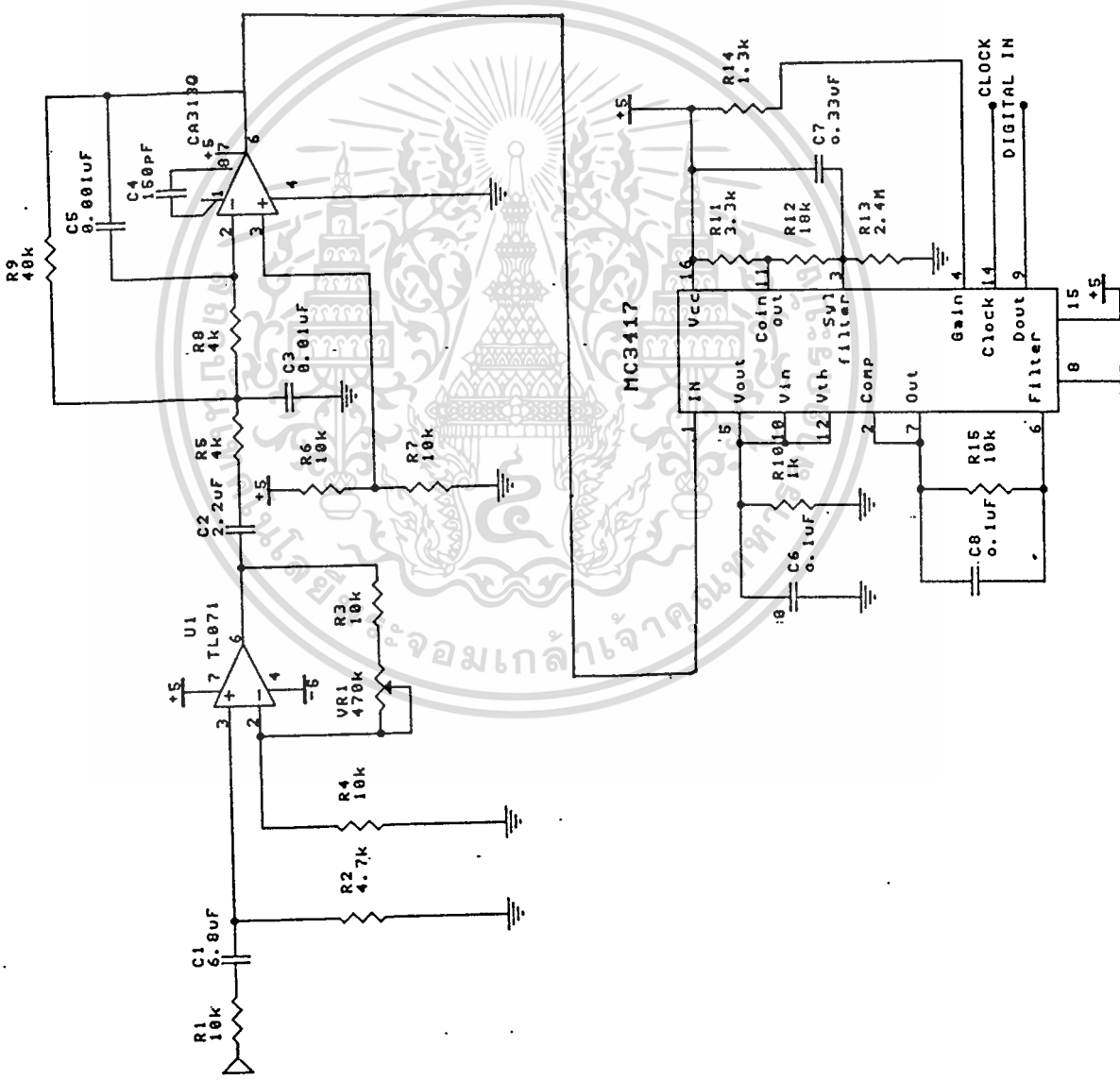
เนื่องด้วย ระบบการส่งข้อมูลดิจิตอลในโครงงานนี้ สร้างขึ้นเพื่อศึกษาและทดลองจึงมีจุดประสงค์เพียงเพื่อให้ใช้ได้ในงานสื่อสารข้อมูลระยะใกล้เท่านั้นและตลอดจนเวลาในการทำโครงงานที่มีอยู่จำกัด ดังนั้นในระบบการส่งข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มูลดิจิตอล ในโครงงานนี้จึงไม่สมบูรณ์แบบตามหลักการของระบบการส่งข้อมูลดิจิตอลที่ใช้อยู่จริงในงานด้านการสื่อสารแบบดิจิตอล

## 3.1 วงจรภาคส่งและรับข้อมูลเสียงดิจิตอลแบบทีดีเอ็ม

### -วงจรภาคส่งข้อมูลเสียงดิจิตอล




รูปที่ 3.2 วงจรส่งข้อมูลเสียงดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบของระบบการส่งผ่านข้อมูลดิจิตอลที่สร้างขึ้นในโครงงานนี้มีดังนี้คือ

1. ส่วนของวงจรการส่งและรับข้อมูลเสียงดิจิตอล
2. ส่วนของวงจรรับและส่งข้อมูลภาพดิจิตอล
3. ส่วนของวงจรมัลติเพล็กซ์และวงจรดีมัลติเพล็กซ์ข้อมูลแบบดิจิตอล

ทั้ง 3 ส่วนที่ได้สร้างขึ้นนี้ ประกอบเข้าด้วยกันเป็น ระบบการส่งข้อมูลเสียงดิจิตอลแบบทีดีเอ็ม การอธิบายการทำงานของระบบการส่งข้อมูลเสียงดิจิตอลแบบทีดีเอ็ม แบ่งการพิจารณาได้ 2 ส่วนใหญ่ๆคือ

1. ส่วนของภาคส่งข้อมูลเสียงดิจิตอล
2. ส่วนของภาครับข้อมูลเสียงดิจิตอล

ส่วนของภาคส่งข้อมูลเสียงดิจิตอล

พิจารณาการทำงานของภาคส่งได้ตามบล็อกไดอะแกรมดังต่อไปนี้

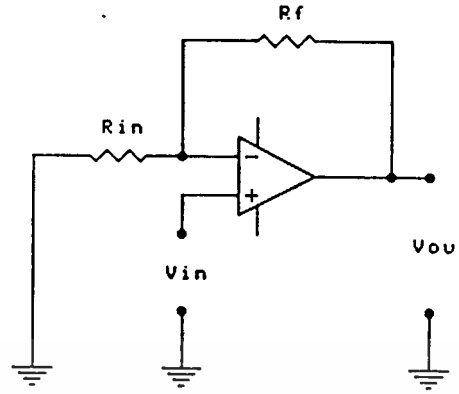
รูปที่ 3.3 บล็อกไดอะแกรมของภาคส่งข้อมูลเสียง

จากรูปบล็อกไดอะแกรมข้างบนส่วนของภาคส่ง จะประกอบไปด้วย วงจรขยายเสียงส่วนหน้า วงจรกรองความถี่ต่ำ วงจรการแปลงสัญญาณเสียงอนาล็อกเป็นข้อมูลดิจิตอล ( CVSD Modulator ) และวงจรมัลติเพล็กซ์ข้อมูลดิจิตอล

วงจรขยายส่วนหน้า

วงจรนี้ ทำหน้าที่ขยายสัญญาณเสียงที่เข้ามาครั้งแรก ให้มีความชัดเจน โดยสัญญาณที่ได้ จะถูกขยายให้มีความแรงเพิ่มขึ้น รูปแบบของวงจรจะเป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.4 วงจรขยายไม่กลับเฟส

จากรูปที่แสดง จะเห็นว่า วงจรนี้ มีชุดของความต้านทานป้อนกลับ$R_{in}$ และ$R_f$ ต่อเป็นแบบแบ่งแรงดันโดยที่ $V_{out}$ ของสัญญาณ จะมีเฟสเดียวกับ$V_{in}$ ดังนั้นจึงเรียกวงจรนี้ว่า วงจรไม่กลับเฟส( Noninverting amplifier ) สามารถทำการวิเคราะห์วงจรเพื่อหาอัตราการขยายได้ดังนี้

อัตราขยายเมื่อลูปปิด(close loop)หาได้จากสูตร

$$A_v = 1+(R_f/R_{in})$$

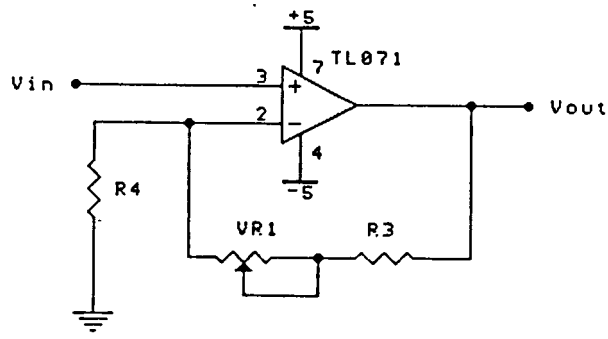
จะเห็นว่าอัตราขยายขึ้นกับค่า$R_f$ และ$R_{in}$ ดังนั้นในการออกแบบวงจร ควรเลือกค่า$R_f$ และ$R_{in}$ ให้เหมาะสม

สำหรับในโครงงานวงจรจะเป็นดังนี้

R4 = 10กิโลโอห์ม

R3 = 10กิโลโอห์ม

$VR_1$ = 470กิโลโอห์ม




รูปที่ 3.5 วงจรไม่กลับเฟสที่ใช้ในโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

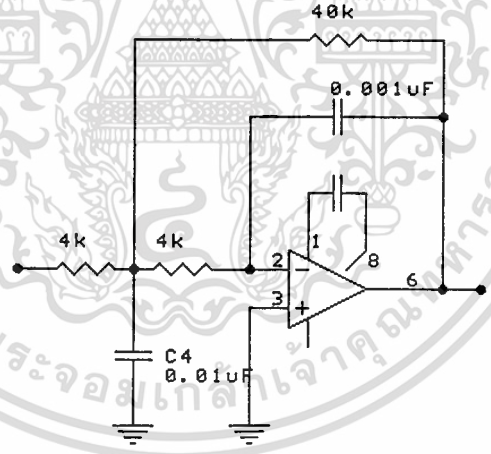
$$A_v = 1+(VR_1+10X10^3)/10x10^3$$

จะเห็นได้ว่า ค่าอัตราการขยายสามารถปรับค่าได้ โดยการเปลี่ยนค่า $VR_1$ ซึ่งมีค่าตั้งแต่ 0-470 กิโลโอห์ม จะมีผลทำให้ค่าอัตราการขยายต่ำไปด้วย

## วงจรกรองความถี่ต่ำผ่าน

เมื่อสัญญาณเสียงถูกขยาย โดยภาคขยายแรกแล้ว ก็จะมีสัญญาณแรงขึ้น หลังจากนั้น สัญญาณก็จะผ่านเข้าไปยังวงจรกรองความถี่ต่ำ เพื่อกำจัดองค์ประกอบของสัญญาณเสียงที่มีความถี่สูงทิ้งไป ในส่วนนี้ จะใช้ออปแอมป์ต่อกับความต้านทานและตัวเก็บประจุ เป็นวงจรกรองความถี่โดยทั่วไปจะเรียกว่า แอคทีฟฟิลเตอร์

ในโครงงานนี้ วงจรแอคทีฟฟิลเตอร์ที่ใช้ในภาคส่ง สร้างขึ้นจากไอซี CA3130, ความต้านทานและตัวเก็บประจุ ค่าต่างๆ ดังนี้




รูปที่ 3.6 วงจรกรองความถี่ต่ำผ่าน

จากหลักการ แอคทีฟฟิลเตอร์ ที่กล่าวมาแล้วจากบทที่ผ่านมา สามารถหาค่า อัตราการขยายของวงจรได้ดังนี้

แทนค่า $R_1, R_2$ = 4 กิโลโอห์ม

$R_3$ = 40 กิโลโอห์ม

$C_1$ = 0.01 ไมโครฟารัด

$C_2$ = 0.001ไมโครฟารัด

จะได้

$$W_p^2 = 1/R_2R_3C_1C_2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= 1/(4X10^{3}X40X10^{3}X0.01X10^{-6}X0.001X10^{-6})$$

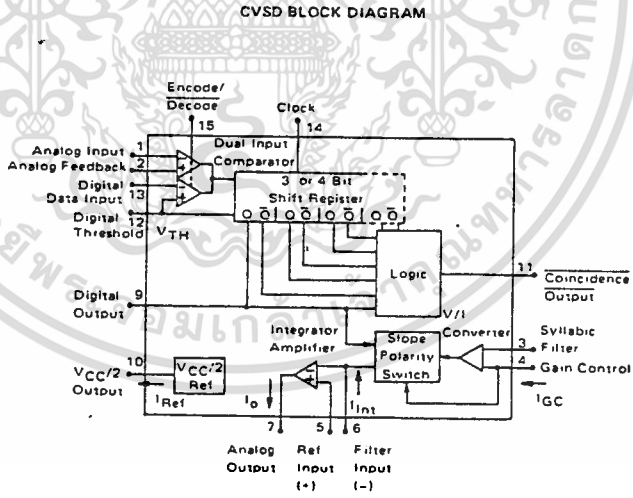
$$W_p = 3.98 \text{ kHz}$$

$$k = R_3/R_1 = 40k/4k = 10 \text{ เท่า}$$

ในวงจรกรองความถี่ต่ำส่วนแรก จะเห็นว่าความถี่คัฟออฟมีค่าค่อนข้างน้อย ถ้าความถี่ที่มากกว่านี้เข้ามา วงจรอาจตอบสนองได้ไม่ดีเท่าที่ควร แต่อย่างไรก็ตาม จะมีส่วนที่ชดเชยในส่วนนี้อยู่ โดยอาศัยคาปาซิเตอร์ค่า 150 พิโคฟารัดที่ต่ออยู่ ซึ่งจะทำให้ตอบสนองต่อความถี่สูงได้มากขึ้น วิธีนี้เรียกว่าการชดเชยความถี่

วงจรแปลงสัญญาณเสียงอนาล็อกเป็นข้อมูลดิจิตอล

ในโครงงานนี้ จะใช้ไอซี MC3417 ซึ่งเทคนิคที่ใช้ในการแปลงสัญญาณนี้เรียกว่า ซีวีเอสดี( CVSD ) โดยรายละเอียดได้กล่าวไว้แล้วในบทที่ 2 ในหัวข้อนี้ จะอธิบายโครงสร้างภายในไอซี MC3417 พร้อมทั้งการทำงานของมันในวงจรนี้




**รูปที่ 3.7** โครงสร้างภายในของไอซี MC3417

ไอซี MC3417 จะอาศัยการป้อนสัญญาณลอจิก 1 หรือ 0 เข้าไปยังขา 15 ที่ทำหน้าที่เป็นขาเข้ารหัส/ถอดรหัส( Encode/Decode ) เพื่อควบคุมการทำงานของคอมพาราเตอร์ ทำให้การเข้ารหัส(A/D)หรือถอดรหัส(D/A) ส่วนสัญญาณนาฬิกานำมาป้อนให้กับอุปกรณ์ไอซี เพื่อแซมปลิงสัญญาณและกำหนดอัตราการส่งข้อมูล

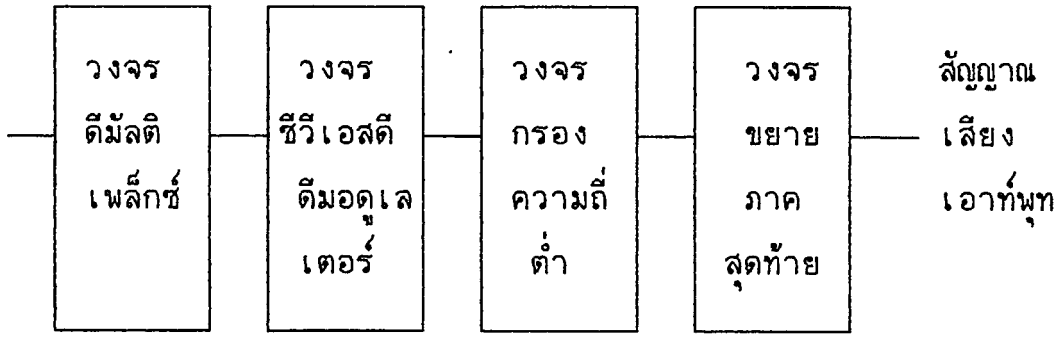
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงสัญญาณเสียงให้เป็นข้อมูลดิจิตอล ทำได้โดยต่อสัญญาณเสียงเข้ากับส่วนอินพุทของภาคส่ง (อินพุทของวงจรขยายภาคแรก) โดยในวงจรของภาคส่ง จะมีการป้อนสัญญาณลอจิก 1 ให้กับขา 15 ของไอซี ดังนั้นสภาวะของขาที่ 15 จึงเป็นการเข้ารหัส ซึ่งจะเลือกใช้คอมแพราเตอร์ตัวบน อัตราการแปลงสัญญาณ มีค่าเท่ากับความถี่ของสัญญาณนาฬิกา ข้อมูลดิจิตอลที่ได้จากการเปรียบเทียบค่า จะถูกส่งออกไปยังขา 9 เพื่อที่จะนำไปใช้เป็นอินพุทของช่องสัญญาณในวงจรมัลติเพล็กซ์ต่อไป ปัญหาของการเข้ารหัส คือ ในช่วงที่สัญญาณอินพุทมีความชันมากๆ จะทำให้ขนาดของสเต็ปไซด์( Step size ) ตามไม่ทัน เป็นผลทำให้การเข้ารหัสสัญญาณผิดเพี้ยนไป เมื่อแปลงเป็นสัญญาณอนาลอกเช่นเดิม ก็จะทำให้ข้อมูลคลาดเคลื่อนไปด้วย ไอซี MC3417 จะแก้ปัญหาโดยการตรวจสภาพข้อมูลทุกๆ 3 บิท ที่เรียงติดกัน ถ้าหากว่าสัญญานมีค่าเป็น "1"หรือเป็น "0" หมดทั้งสามบิต ก็จะเพิ่มสเต็ปไซด์ แต่ถ้าเป็นกรณีอื่นๆนอกจากนี้ ก็จะลดสเต็ปไซด์ โดยส่วนที่ทำหน้าที่ตรวจสถาพข้อมูลคือ ชิพรีจิสเตอร์ขนาด 3 บิท จะถ่ายเทลงที่ส่วนของลอจิก ผลของการตรวจสภาพว่าเป็น"1" หรือ"0"หมดหรือไม่ จะออกจากลอจิกไปยังส่วนควบคุมอัตราการขยาย( Gain Control ) เพื่อเพิ่มหรือลดขนาดสเต็ปไซด์ แล้วผ่านไปยังส่วนของการสวิตซ์สภาพขั้วทางความชัน( Slope Polarity Switch ) ซึ่งเป็นส่วนที่ตัดสินว่าสเต็ปไซด์ที่ได้จากส่วนควบคุมอัตราการขยาย จะอยู่ในทิศทางบวกหรือลบ และจะผ่านวงจรอินทิเกรเตอร์เพื่อนำไปใช้เปรียบเทียบต่อไป โดยสัญญาณดิจิตอลที่ได้จากขา 9 ซึ่งเป็นขาดิจิตอลเอาท์พุทนี้ จะนำไปต่อเข้ากับช่องสัญญาณของวงจรมัลติเพล็กซ เพื่อทำการมัลติเพล็กซ์ข้อมูลส่งไปในสายนำสัญญาณ

- วงจรภาครับข้อมูลเสียงดิจิตอล

ส่วนของภาคการรับข้อมูลเสียงดิจิตอล พิจารณาการทำงานได้จากรูปบล็อกไดอะแกรมดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.8 บล็อกไดอะแกรมของภาครับข้อมูลเสียงดิจิตอล

จากรูปบล็อกไดอะแกรม ส่วนของภาครับข้อมูลเสียงดิจิตอล จะประกอบด้วย วงจรซีวีเอสดีดีมอดูเลเตอร์, วงจรกรองความถี่ต่ำ และวงจรขยายภาคสุดท้าย

วงจรซีวีเอสดีดีมอดูเลเตอร์

วงจรส่วนนี้ในโครงงาน จะใช้ไอซี MC3417 ทำการแปลงข้อมูลเสียงดิจิตอลเป็นสัญญาณเสียงอนาลอกซึ่งเป็นไอซีเบอร์เดียวกันกับที่ใช้ในวงจรแปลงสัญญาณเสียงเป็นดิจิตอล โดยในวงจรนี้จะป้อนสัญญาณลอจิก "0" เข้าไปที่ ขา 15 ทำให้สถานะของขา 15 เป็นการถอดรหัส สวิตช์เลือกคอมแพเรเตอร์ก็จะสวิทช์ไปเลือก คอมแพเรเตอร์ตัวล่างวงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณเสียงนี้จะรับสัญญาณเสียงดิจิตอลจากทางช่องสัญญาณของวงจรดีมัลติเพล็กซ์มาเข้าขา 13 ซึ่งเป็นขาอินพุทดิจิตอลแล้ว คอมแพเรเตอร์ ตัวล่างจะทำการเปรียบเทียบค่า $V_{TH}$ ซึ่งมีค่าเท่ากับ Vcc/2 กับค่าของดิจิตอลอินพุท ถ้าหากสัญญาณดิจิตอลมีค่ามากกว่า Vcc/2 ก็จะมีค่าเป็น "1" ถ้าต่ำกว่าก็จะมีค่าเป็น"0" สัญญาณที่ได้นี้ จะถูกควบคุมอัตราขยาย โดยการตรวจสภาพของข้อมูลดิจิตอลที่ชิพรีจิสเตอร์ เมื่อตรวจพบว่าเป็น "1" หรือเป็น "0" ทั้ง 3 บิต ก็จะส่งสัญญาณควบคุมอัตราขยายไปควบคุมอัตราขยายของส่วนอินทิเกรเตอร์ ให้ได้ออกมาเป็นสัญญาณอนาลอกเช่นเดิม

วงจรกรองความถี่ต่ำ

เป็นวงจรกรองความถี่แบบแอคทีฟ เช่นเดียวกับวงจรกรองความถี่ทาง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคส่ง ซึ่งจะทำหน้าที่ในการกรองสัญญาณรบกวนที่ปนมากับสัญญาณเสียงที่แปลงมาจากข้อมูลดิจิตอล

สำหรับวงจรกรองความถี่ต่ำในภาครับ สร้างขึ้นโดยใช้ไอซีออปแอมป์ TL071, ตัวต้านทาน, ตัวเก็บประจุค่าต่างๆ ซึ่งสามารถวิเคราะห์จากอัตราขยายของวงจร โดยอาศัยหลักการวิเคราะห์วงจรกรองความถี่แบบแอคทีฟที่ได้กล่าวมาแล้วในบทที่ 2 ได้ดังต่อไปนี้

แทนค่า $R_1 = 20\ k$

$R_2 = 10\ k$

$R_3 = 20\ k$

$C_1 = 0.01\mu F$

$C_2 = 820\ pF$

จากสมการ $w_p^2 = 1/C_1C_2R_2R_3$

$w_p = 3.92k$

อัตราการขยาย $R_3/R_1 = 1$ เท่า

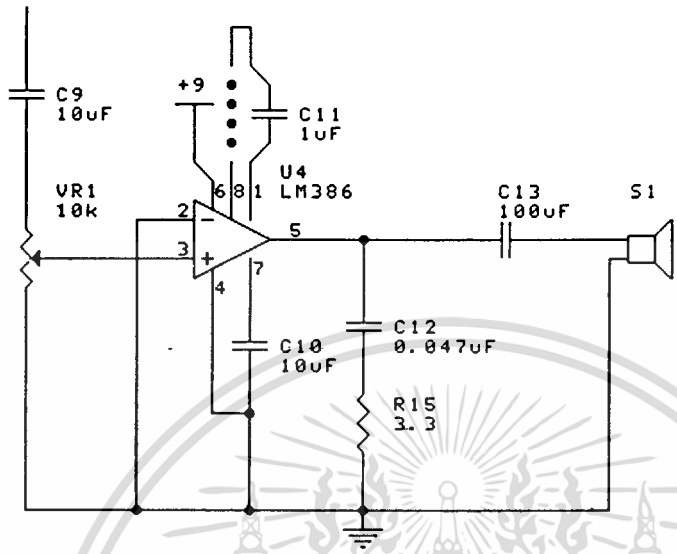
นั่นคือ วงจรกรองความถี่ต่ำที่ใช้ในภาครับ จะมีความถี่คัทออฟที่ 3.92 กิโลเฮิรตซ์

สำหรับในโครงงานนี้ จะเห็นว่า มีการนำวงจรกรองความถี่ต่ำ มาต่อในลักษณะเรียงกัน ( cascade ) 2 ชุด ที่เหมือนกัน ทั้งนี้เพื่อจะทำให้การกรองความถี่ มีประสิทธิภาพดีขึ้น

วงจรขยายภาคสุดท้าย

ภาคนี้เป็นการขยายสัญญาณเสียงที่ได้มาจากวงจรกรองความถี่ เพื่อที่จะนำมาขับลำโพง จะเห็นว่าวงจรในรายงานนี้ จะใช้ไอซี LM386 เป็นหลักในการขยายตามรูปข้างล่าง ถ้าหากเราไม่ต่อตัวเก็บประจุ 10 $\mu F$ ที่ขา 1กับขา 8 จะได้อัตราขยายประมาณ 20 เท่า แต่ถ้าต่อตัวเก็บประจุเข้าไป จะทำให้อัตราการขยายเพิ่มเป็น 200 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.10 วงจรภาคขยายสุดท้าย

## 3.2 วงจรภาคมัลติเพล็กซ์และดีมัลติเพล็กซ์

### วงจรมัลติเพล็กซ์

วงจรมัลติเพล็กซ์ที่นำมาใช้ในโครงงานนี้ เป็นแบบทีดีเอ็ม 2 ช่องสัญญาณ สำหรับการมัลติเพล็กซ์ข้อมูลดิจิตอลของเสียง, ภาพ และสัญญาณซิงค์เข้าด้วยกันเป็นเฟรม ส่งออกไปในสายนำสัญญาณ ซึ่งวงจรจะประกอบด้วย 2 ส่วน คือ

1. ส่วนการสร้างสัญญาณนาฬิกาควบคุมการสแกน
2. ส่วนการสวิตช์สัญญาณ

#### ส่วนการสร้างสัญญาณนาฬิกาควบคุมการสแกน

วงจรนี้ จะทำหน้าที่ในการสร้างสัญญาณนาฬิกาควบคุมการสวิตช์ข้อมูลในช่องสัญญาณต่างๆ รวมทั้งการสร้างสัญญาณซิงค์ สำหรับการสร้างสัญญาณนาฬิกา เพื่อควบคุมการสวิตช์ข้อมูลในช่องสัญญาณต่าง ๆนั้น ได้จากการพิจารณาไดอะแกรมเวลาของไอซี 4017 ในภาคผนวก จะเห็นว่า เอาท์พุทของไอซี 4017 จะให้สัญญาณเอาท์พุทที่ไม่ซ้อนทับกัน ( Overlap ) จึงใช้ไอซี 4017

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้เพื่อการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

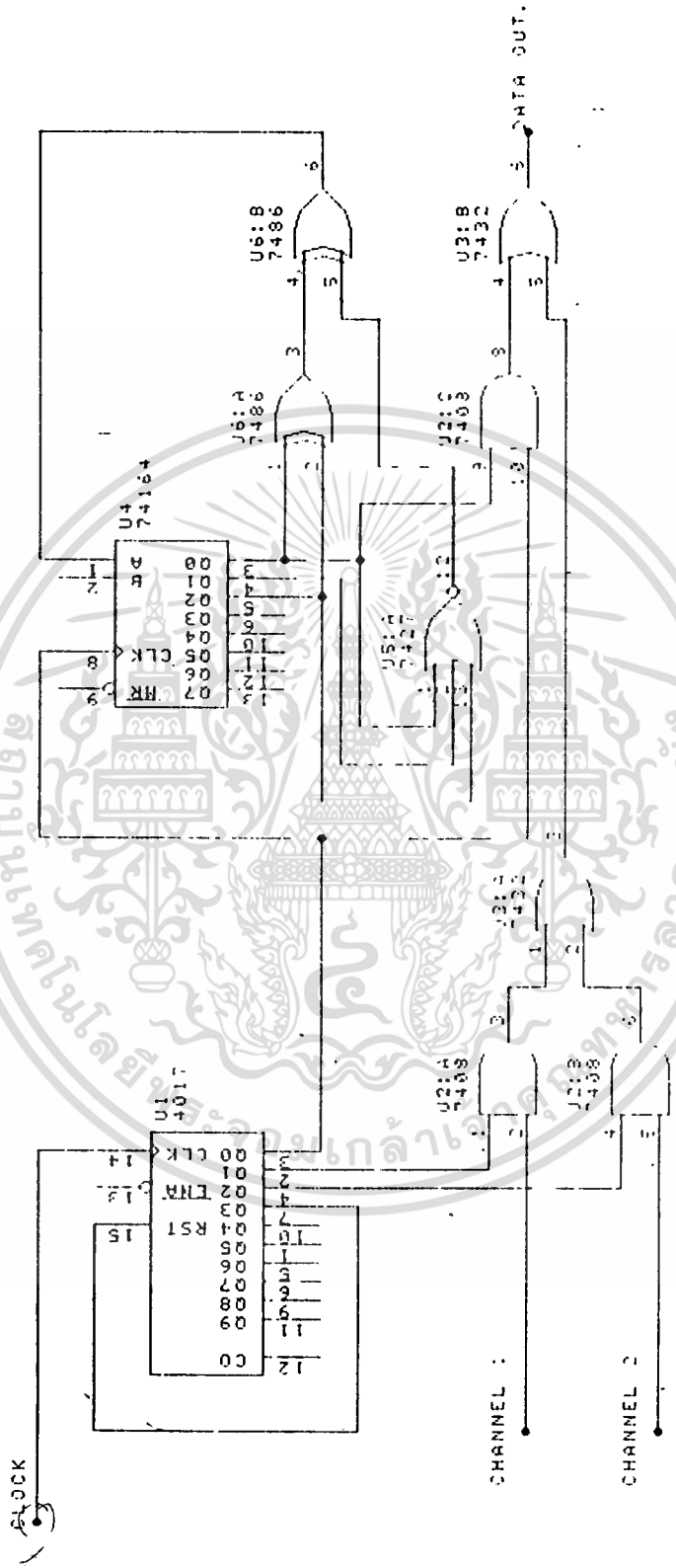
ให้สัญญาณนาฬิกา ซึ่งใช้ในการสแกน เพื่อสวิตช์เอาข้อมูลของแต่ละช่องสัญญาณทางด้านอินพุท ยิ่งความถี่ในการสแกนมากเท่าใด ก็จะทำให้การสวิตช์ของข้อมูลในช่องสัญญาณ มีความเร็วสูงขึ้น ส่วนการสร้างสัญญาณซิงค์ จะใช้ชิพรีจิสเตอร์ ขนาด 3 บิท ต่อเป็นวงจรกำเนิดซิงค์เวอร์ดที่มีลำดับไบนารี่เป็นแบบสุ่มเทียม ( Pseudu Random Bianary Sequence (PRBS) ) ตามหลักการที่ได้กล่าวไว้แล้วในรายละเอียดในบทที่ 2 โดยใช้ไอซี 4017 ( Johnson counter ) จะจ่ายสัญญาณที่ขา 3 ของมัน ป้อนเป็นสัญญาณนาฬิกาให้กับไอซี 74164 เอาท์พุทของชิพรีจิสเตอรินี้ ที่ขา 3, 4, 5 จะถูกป้อนกับไปที่อินพุทของชิพรีจิสเตอร์ จะได้เอาท์พุทเป็นสัญญาณลำดับไบนารี่แบบสุ่มเทียม ขนาด 7 บิท ใช้เป็นสัญญาณซิงค์เวอร์ด

ส่วนการสวิตช์สัญญาณ

วงจรนี้ จะทำหน้าที่ในการสวิตช์กวาดข้อมูลในช่องสัญญาณต่างๆ โดยจะอาศัยสัญญาณจาก ส่วนการสร้างสัญญาณนาฬิกาควบคุมการสแกน มาควบคุมและรวมข้อมูลที่ได้รับจากการสวิตช์ช่องสัญญาณต่างๆเข้าด้วยกัน กับสัญญาณซิงค์ทำการมัลติเพล็กซ์ให้อยู่ในรูปเฟรม โดยการมัลติเพล็กซ์จะมีช่องสัญญาณอินพุทอยู่ 2 ช่องสัญญาณป้อนเข้ากับแอนด์เกท โดยจะนำสัญญาณที่ได้จากเอาท์พุทของแอนด์เกทมาผ่านออร์เกท ซึ่งจะได้เป็นเอาท์พุทของวงจรมัลติเพล็กซ์

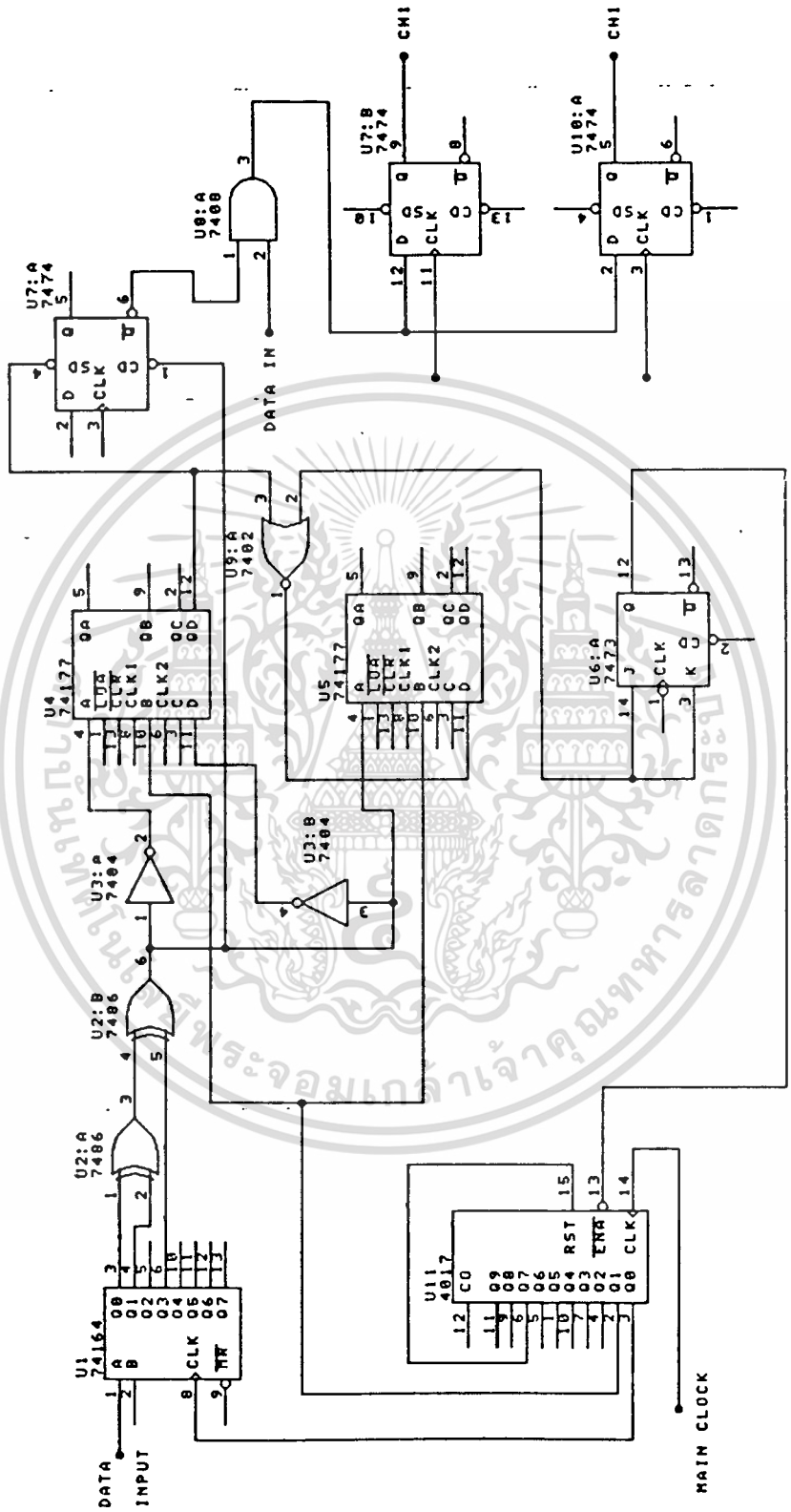
สำหรับรูปวงจรมัลติเพล็กซ์ที่สร้างขึ้นแสดงได้ดังรูปหน้าถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 3.11 วงจรมัลติเพล็กซ์แบบดิจิตอล**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.12 วงจรดีมัลติเพล็กซ์แบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วงจรดีมัลติเพล็กซ์

สำหรับ วงจรดีมัลติเพล็กซ์ที่ทำการสร้างขึ้น จะอาศัยหลักการที่ได้นำเสนอไว้ในบทที่ 2 ซึ่งการทำงานของวงจร แบ่งออกได้เป็น 3 ส่วนคือ

1. ส่วนการแยกสัญญาณซิงค์
2. ส่วนกู้สัญญาณนาฬิกาและควบคุมการซิงโครไนซ์ในการสแกน
3. ส่วนการสวิตซ์สัญญาณ

### ส่วนการแยกสัญญาณซิงค์

ในส่วนนี้ จะทำหน้าที่ในการแยกสัญญาณซิงค์ออกจากสัญญาณทีดีเอ็ม ซึ่งจะให้เอาท์พุทเป็นพัลส์ของสัญญาณซิงค์ และทำให้สัญญาณซิงค์มีเฟสตรงกันกับสัญญาณทีดีเอ็ม

### ส่วนกู้สัญญาณนาฬิกาและควบคุมการซิงโครไนซ์ในการสแกน

ในส่วนนี้ จะทำหน้าที่สร้างสัญญาณนาฬิกาของภาครับให้มีความถี่, เฟสตรงกันกับทางภาคส่ง โดยใช้หลักการของเฟสล็อกลูป

### ส่วนการสวิตซ์สัญญาณ

จะทำหน้าที่ในการสแกนช่องสัญญาณทางด้านรับ ให้ตรงกันกับการสแกนทางด้านส่ง โดยมีสัญญาณซิงค์เป็นตัวควบคุม ซึ่งจะให้เอาท์พุทที่ช่องสัญญาณด้านรับตรงกับที่อินพุทของช่องสัญญาณทางด้านส่ง

วงจรดีมัลติเพล็กซ์ที่สร้างขึ้น อธิบายการทำงานของวงจรได้ดังนี้

จากรูปวงจร จะเห็นว่า สัญญาณอินพุท ซึ่งเป็นสัญญาณทีดีเอ็มที่ได้รับมาจากทางด้านส่ง จะถูกป้อนเข้าไอซีชิพรีจิสเตอร์เบอร์ 74164 ซึ่งเป็นส่วนของการตรวจสอบซิงค์เวอร์ด และการซิงโครไนซ์ ดังที่ได้อธิบายการทำงานของส่วนนี้มาแล้วในหัวข้อ 2.4 นอกจากนี้ ในวงจรยังมีส่วนที่มีการบวกแบบมอดูโล 4และมอดูโล 8 โดยทั้งสองจะเป็นตัวตรวจสอบว่า สัญญาณซิงค์เวอร์ดตรงกับของทางด้านส่งหรือไม่ เมื่อตรวจสอบได้ว่าไม่ตรงกัน จะทำให้เกิดพัลส์ที่ฟลิปฟลอป2(U6:A) เพื่อกระตุ้นไอซีจอห์นสันเคาน์เตอร์เบอร์ 4017 ให้ทำการหน่วงเวลาไป 1 ช่วงเวลา เป็นผลให้สัญญาณทางด้านอินพุทและเอาท์พุทตรงกัน โดยไอซีเบอร์ 4017 นี้ จะต้องทำงานด้วยความถี่สัญญาณนาฬิกาเท่ากันกับความถี่ที่ใช้ในการสแกนช่องสัญญาณในวงจรมัลติเพล็กซ์ รวมทั้งเฟสของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

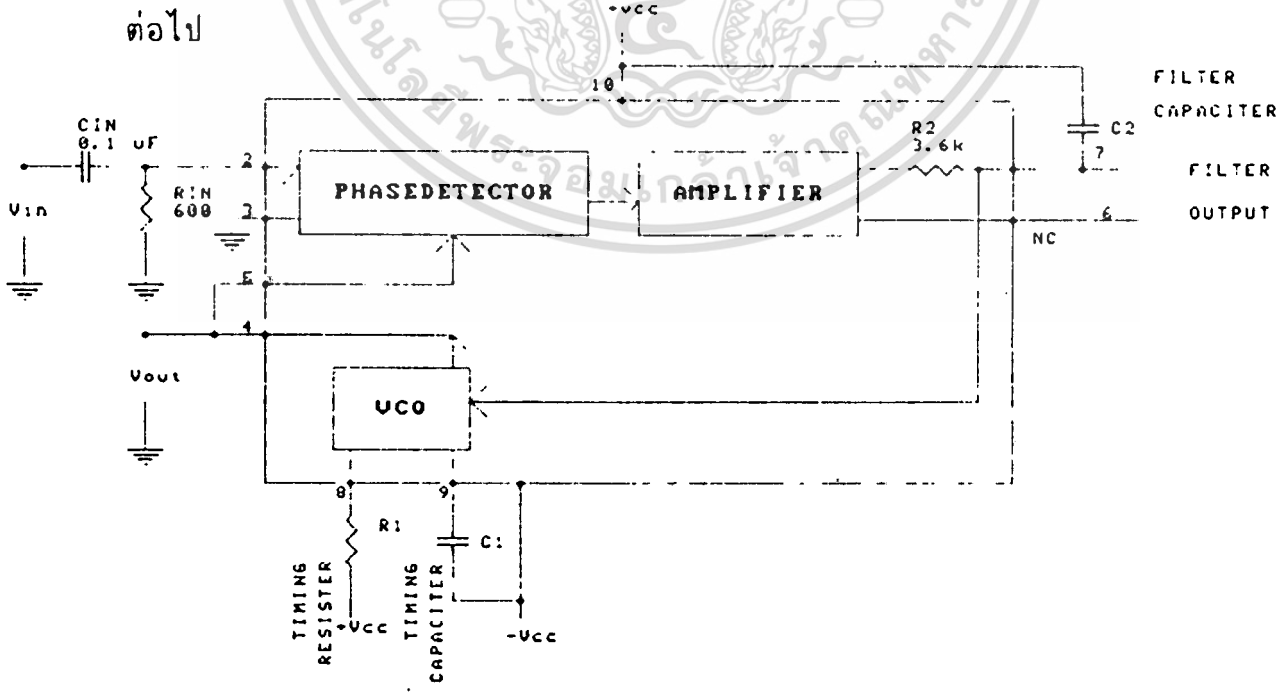
สัญญาณนาฬิกาควรใกล้เคียงกันมากที่สุดด้วย เพื่อให้หน้าที่ของมันในการแยกข้อมูลดิจิตอลออกไปช่องสัญญาณเอาท์พุทในวงจรดีมัลติเพล็กซ์ทำได้ถูกต้อง ดังนั้นสัญญาณนาฬิกาที่ป้อนให้ไอซีนี้ ควรเป็นสัญญาณนาฬิกาที่ได้มาโดยการกู้เอามาจากสัญญาณทีดีเอ็มทางด้านส่ง ในที่นี้จะใช้วงจรกู้สัญญาณนาฬิกา โดยอาศัยหลักการเฟสล็อคลูปทำหน้าที่นี้

## 3.3 วงจรกู้สัญญาณนาฬิกา

ในการส่งและรับข้อมูล จำเป็นอย่างยิ่งที่จะต้องทำให้ด้านส่งและด้านรับทำงานด้วยความสัมพันธ์กัน( Synchronize ) ดังนั้นจังหวะในการทำงานซึ่งอาศัยสัญญาณนาฬิกา จะต้องตรงกันทั้งฝ่ายส่งและรับ โดยทั่ว ๆไปแล้วทางด้านรับ จะทำการกู้สัญญาณนาฬิกาจากข้อมูลที่ทางด้านส่งได้ส่งออกไป วิธีการดังกล่าวนี้ จะอาศัยวงจรเฟสล็อคลูป เพื่อทำการกู้สัญญาณนาฬิกากลับคืนมา

### การออกแบบวงจรเฟสล็อคลูป

ในโครงงานนี้ ภาครับจะต้องกู้สัญญาณนาฬิกาจากข้อมูลที่รับมาจากทางด้านส่ง ที่อัตราการส่งข้อมูล 48 กิโลบิทต่อวินาที ดังนั้นต้องกู้สัญญาณนาฬิกาความถี่ 48 กิโลเฮิรตซ์ออกมาจากข้อมูล เพื่อจะป้อนให้กับวงจรดีมัลติเพล็กซ์ต่อไป




รูปที่ 3.13 วงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปวงจร จะใช้ไอซี LM565 ซึ่งไอซีนี้จะใช้กับไฟเลี้ยงทั้งบวกและลบ ($\pm V$) มีค่าอยู่ระหว่างแรงดัน $\pm 5$ โวลต์ถึง $\pm 12$ โวลต์

พิสัยการล็อค คือ ช่วงความถี่ของ $V_{in}$ ที่อยู่รอบๆ ความถี่ศูนย์กลางที่วิ่งได้อิสระของออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันไฟฟ้า( VCO )มีค่า $\pm 60\%$ เมื่อ $\pm v = \pm 6$ โวลต์

การล็อคจะเกิดขึ้นได้ เราจะต้องจูน VCO ให้มีความถี่ใกล้เคียงกับความถี่ของVinที่การล็อคยังคงเกิดขึ้น ซึ่งเรียกว่า พิสัยแคบเจอร์( capture range ) ตามปกติ VCO ควรได้รับการจูนให้มีความถี่ใกล้เคียงกับความถี่ศูนย์กลางของพิสัยการล็อคด้วยการปรับค่าไทม์มิ่งของความต้านทาน R1

พิสัยแคบเจอร์ กำหนดได้โดยค่าคงที่ทางเวลา RC ของวงจรฟิลเตอร์ ซึ่งประกอบด้วย $C_2$ และความต้านทานภายใน 3600 โอห์ม

สูตรการออกแบบ

(1) ความถี่ศูนกลางของ VCO

$$f_o = 0.3/R_1C_1 \quad H_z \quad \ldots\ldots\ldots\ldots(1)$$

(2) พิสัยการล็อค

$$f_L = 8f_o/V_{cc} \quad H_z \quad \ldots\ldots\ldots\ldots(2)$$

(3) พิสัยแคบเจอร์

$$f_c = (1/2\pi)\ 2\pi f_L/t \quad H_z \quad \ldots\ldots\ldots\ldots(3)$$

เมื่อ t เท่ากับ $3600 \times C_2$

ในโครงงานนี้ $f_o$ มีค่า 48 kHz จากสูตร (1) เราเลือกค่า $C_1 = 0.001\mu F$ เราจะได้ค่า $R_1 = 6.3k$

อนึ่ง วงจรแปลงข้อมูลดิจิตอลให้เป็นข้อมูลเสียงและภาพ จะใช้สัญญาณนาฬิกา 16 kHz ดังนั้น เราจะมีวงจรเฟสล็อคลูปอีกชุดหนึ่ง ทำการกู้สัญญาณนาฬิกา เพื่อป้อนกลับให้วงจรดังกล่าวด้วย โดยกระทำเช่นเดียวกันกับวิธีดังกล่าว เราจะได้ค่า $R_1 = 18.7k$ เมื่อเลือกค่า $C_1 = 0.001\mu F$ เวลา

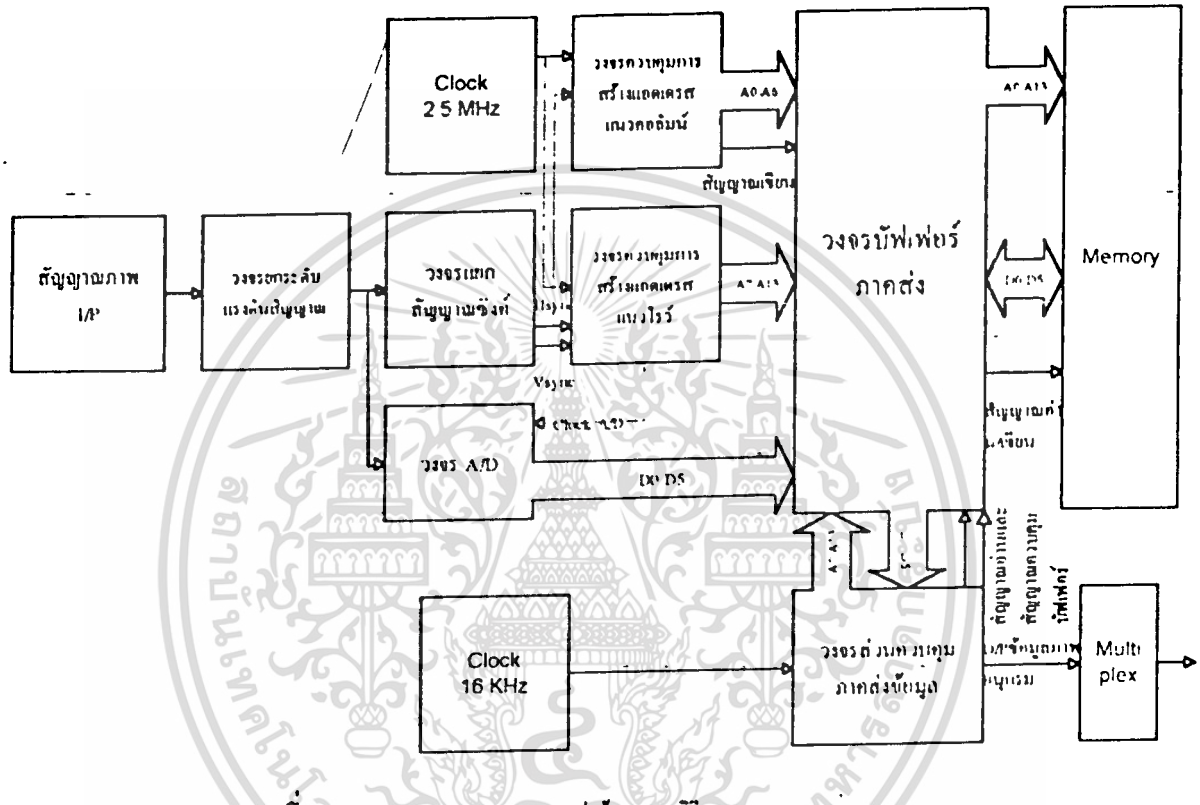
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปฏิบัติจริง ควรจะเลือกค่าความต้านทานปรับค่าได้ เพื่อปรับค่าความต้านทาน ให้วงจรเฟสล็อคลูปกับความถี่ที่ต้องการได้

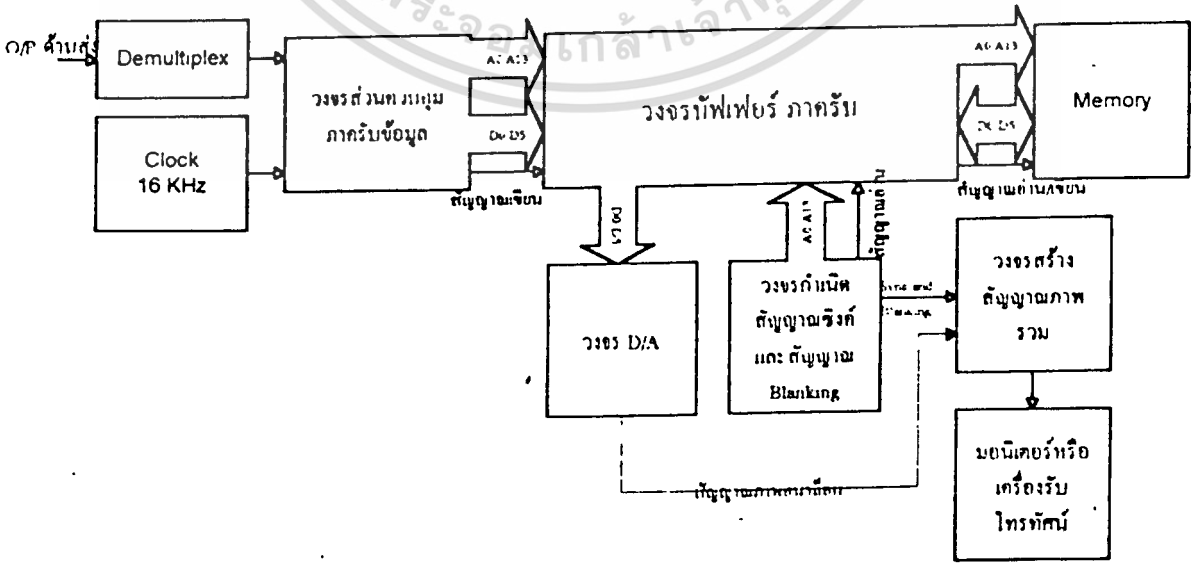
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 3.4 การทำงานของวงจรส่งและรับข้อมูลภาพดิจิตอล

บล็อกไดอะแกรมการทำงานของวงจรส่งและรับข้อมูลภาพดิจิตอลแสดงดังรูปต่อไปนี้




รูปที่ 3.14 Block Diagram ภาคส่งข้อมูลภาพดิจิตอล




รูปที่ 3.15 Block Diagram ภาครับข้อมูลภาพดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการทำงาน จะอธิบายตามรูปบล็อกไดอะแกรมที่แสดง ซึ่งแต่ละส่วนมีรายละเอียดดังต่อไปนี้

1.วงจรยกระดับสัญญาณดีซี

วงจรนี้ทำหน้าที่ยกระดับสัญญาณดีซีของภาพให้สูงขึ้น เนื่องจากสัญญาณจากกล้องวีดีโอ มีระดับสัญญาณประมาณ -1ถึง1.4 โวลต์ สัญญาณภาพที่ถูกยกระดับสัญญาณดีซีแล้ว จะมีระดับสัญญาณเป็น 0ถึง2.4 โวลต์ โดยสัญญาณภาพที่ผ่านวงจรนี้ จะถูกต่อตรงเป็นอินพุทของวงจรเอทูดี นอกจากนี้ ทรานซิสเตอร์เบอร์ 2SC1845 ที่อยู่ในวงจร จะทำหน้าที่เป็นวงจรขยายกำลัง ( Power Amplifier ) ซึ่งทำให้วงจรถัดมาที่ต่อถึงกัน ได้รับสัญญาณที่ไม่มีการโหลดที่อินพุทและเนื่องจากมีโครงสร้างเป็นแบบอิมิตเตอร์ฟอลโลว์เวอร์ ( Emitter Follower ) วงจรทรานซิสเตอร์นี้ จะจ่ายกระแสที่ค่อนข้างสูงตามความต้องการของไอซีเอทูดีแบบแฟลช เบอร์ CA3306

2.วงจรแยกสัญญาณซิงค์

วงจรในส่วนนี้ จะทำหน้าที่แยกสัญญาณซิงค์ออกไปจากสัญญาณภาพ และทำการแยกสัญญาณซิงค์ที่ได้ ออกเป็นสัญญาณซิงค์แนวนอนและสัญญาณซิงค์แนวตั้ง เพื่อนำสัญญาณซิงค์ที่ได้นี้ไปใช้ในการควบคุมระบบ สำหรับในส่วนของการแยกสัญญาณซิงค์ออกจากสัญญาณภาพ จะอาศัยระดับสัญญาณเป็นตัวเปรียบเทียบ โดยใช้วงจรแยกระดับสัญญาณ ซึ่งมีตัวต้านทานปรับค่าได้ 10 กิโลโอห์มเป็นตัวปรับระดับสัญญาณที่มีระดับอยู่ในช่วงสัญญาณซิงค์ ก็จะผ่านออกมา ในที่นี้จะเรียกสัญญาณที่ได้นี้ว่า สัญญาณ TV SYNC สัญญาณนี้ประกอบด้วยสัญญาณซิงค์แนวตั้งและสัญญาณซิงค์แนวนอน โดยทั้งสองสัญญาณมีความถี่ที่แตกต่างกันมาก เมื่อส่งผ่านสัญญาณ TV SYNC เข้าวงจรอินติเกรเตอร์และวงจรดิฟเฟอเรนทิเอเตอร์ ก็สามารถแยกสัญญาณทั้งสองให้ออกจากกันได้ สำหรับสัญญาณซิงค์แนวนอนมีความถี่สูงมาก ( 15,625Hz ) จะแยกออกมาได้ในส่วนเอาท์พุทของวงจรดิฟเฟอเรนทิเอเตอร์ และสัญญาณซิงค์แนวตั้งซึ่งมีความถี่ต่ำมาก ( 50Hz ) ก็จะแยกออกมาในส่วนเอาท์พุทของวงจรอินทิเกรเตอร์

3.วงจรแปลงสัญญาณอนาลอกเป็นข้อมูลดิจิตอล

เนื่องจากสัญญาณภาพเป็นสัญญาณที่มีความถี่สูง วงจรเอทูดีที่ใช้จำเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องมีความเร็วในการแปลงสัญญาณสูงเช่นกัน ในโครงงาน จึงเลือกใช้ไอซีเอทูดีแบบแฟลช ความละเอียด 6 บิท ด้วยเหตุผลที่ราคาไม่แพงนัก และสามารถทำงานที่ระดับไฟเลี้ยง +5 โวลต์ที่มีใช้อยู่ในวงจรได้

ความหมายของคำต่างๆที่เกี่ยวข้องกับการทำงานของวงจรเอทูดี มีดังนี้

- ความละเอียด ( Resolution ) เป็นจำนวนชั้นที่แบ่งจากช่วงระดับสัญญาณต่ำสุดถึงสูงสุด ซึ่งมันเป็นตัวกำหนดความกว้างของระดับสัญญาณในแต่ละชั้นอีกด้วย การบอกค่าความละเอียด จะเป็นการบอกจำนวนบิทของเอาท์พุท สำหรับไอซีเอทูดีที่ใช้อยู่นี้มีความละเอียด 6 บิทก็หมายความว่า สามารถแปลงสัญญาณได้ 64ระดับชั้น

- ศักดาเปรียบเทียบ ( Reference Voltage ) จะมีด้านต่ำเป็น $-V_{ref}$ และมีด้านสูงเป็น $+V_{ref}$ ซึ่งเป็นช่วงขอบเขตของศักดาที่ต้องการแบ่งให้เป็นชั้น

โดย ด้านต่ำจะเป็นระดับศักดาที่ให้ค่าเอาท์พุทเป็น0หมด

ด้านสูงจะเป็นระดับศักดาที่ให้ค่าเอาท์พุทเป็น1หมด

$-V_{ref}$ เป็นระดับสัญญาณภาพที่มืดที่สุด

$+V_{ref}$ เป็นระดับสัญญาณภาพที่สว่างที่สุด

ไอซีเอทูดี เบอร์ CA3306 ใช้เวลาในการแปลงเพียง 55-83 นาโนวินาที เอาท์พุทของไอซีมี 6 บิท ซึ่งอยู่ภายในช่วงที่กำหนดคือ ระหว่าง$+V_{ref}$ และ$-V_{ref}$ สำหรับตัวต้านทานปรับค่าได้ นำมาต่อร่วมกับวงจรนี้ เพื่อทำการปรับระดับเทรชโฮลด์ของการแปลงในการควบคุมความสว่างของภาพ การปรับตัวต้านทานที่ควบคุมความสว่าง จะทำให้ได้ความชัดเจนของภาพสูงสุด

4.วงจรสร้างความถี่ 2.5MHz

ในโครงงานนี้ ต้องการเก็บภาพที่มีขนาดองค์ประกอบภาพ( Picture Elements )128จุดX128เส้น ซึ่งสามารถคำนวณหาความถี่ของสัญญาณนาฬิกาที่ใช้ในการสุ่มตัวอย่างสัญญาณ( Sampling )ได้ดังนี้

เวลาของภาพในการสแกน1เส้น มี

-สัญญาณภาพรวม 64ไมโครวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-สัญญาณซิงค์และสัญญาณแบลงกิ้ง 12.8 ไมโครวินาที ( ประมาณ20% ของสัญญาณตามแนวนอน 1 เส้น )

ดังนั้น เวลาที่ใช้ในการแปลงสัญญาณภาพ 1 เส้น เท่ากับ 64-12.8 = 51.2 ไมโครวินาที จากข้อกำหนดต้องการเก็บภาพ 128จุด/เส้น จะต้องใช้สัญญาณนาฬิกา 128ลูก/เส้น

เพราะฉะนั้น เวลาที่ใช้ในการแปลงสัญญาณแต่ละจุด จะเท่ากับ 51.2 X $10^{-6}$ / 128 = 400 นาโนวินาที ทำให้สัญญาณนาฬิกาที่ใช้ ต้องมีความถี่ 2.5MHz สำหรับวงจรสร้างความถี่ 2.5MHzในที่นี้ ใช้คริสตอล 5MHz ประกอบกับอินเวอร์เตอร์เกท และตัวต้านทานต่อเข้าด้วยกัน เป็นวงจรออสซิลเลเตอร์แล้วทำการหารความถี่ลงครึ่งหนึ่งโดยวงจรเคาน์เตอร์ เพื่อให้ได้สัญญาณนาฬิกาความถี่ 2.5MHz

5.วงจรควบคุมการสร้างแอดเดรสแนวโรว์

การทำงานของวงจรโดยย่อ

-ดีเลย์$\overline{\text{Hsync}}$ ( สัญญาณซิงค์ทางแนวนอน ( Horisontal Sync ) ที่ผ่านอินเวอร์เตอร์เกท ) 16 ลูกแรกก่อน

-นำ$\overline{\text{Hsync}}$มาป้อนเข้าวงจรเคาน์เตอร์ โดยเลือกเอาHsyncลูกหนึ่งแล้วเว้นไปอีกลูกหนึ่ง เพื่อเลือก$\overline{\text{Hsync}}$ลูกต่อไป

-ทำการนับ$\overline{\text{Hsync}}$ที่เลือกมาจนครบ128ลูก ( จะได้เส้นภาพ 128 เส้น โดยเส้นภาพที่ได้จะเป็นแบบเส้นเว้นเส้น )

-ให้เอาท์พุท1ถึงเอาท์พุท6 ( $A_7$-$A_{13}$ ) ของเคาน์เตอร์ที่ทำการนับเป็นสัญญาณที่ใช้ป้อนเข้าขาแอดเดรสของแรมในการอ้างอิงถึงตำแหน่งเส้นภาพ

รายละเอียดการทำงานของวงจร

นำสัญญาณซิงค์แนวนอน( $\overline{\text{Hsync}}$ ) และสัญญาณซิงค์แนวตั้ง( $\overline{\text{Vsync}}$) ที่แยกมาแล้วจากสัญญาณภาพมาเป็นสัญญาณควบคุม โดยช่วงของสัญญาณภาพ 1 ภาพอาศัย Vsync 1 ลูก เป็นตัวกำหนด เมื่อสัญญาณVsync ( Vertical Sync ) ที่เข้ามา มีค่าลอจิกเป็น "0" จะเป็นการบอกให้ทราบว่า ได้เริ่มต้นสแกนฟิลด์ใหม่ ซึ่งกระตุ้นให้ฟลิปฟลอป1(U3:B), ฟลิปฟลอป2(U4:A), ฟลิปฟลอป4(U3:A) ถูกพรีเซ็ตให้มีค่าเอาท์พุทQของมันเหล่านี้เป็นลอจิก "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากช่วงแรกของสัญญาณภาพเป็นช่วงที่ไม่จำเป็นต้องใช้ เพื่อให้ได้สัญญาณเฉพาะช่วงที่ปรากฏออกมอนิเตอร์เท่านั้น จึงนำ$\overline{\text{Hsync}}$ช่วงแรกๆที่เมื่อสแกนแล้วจะไม่เห็นบนจอตัดทิ้งไป 16 เส้น โดยใช้ไอซี ซิงโครนัส อัพ/ดาวน์ ไบนารี่ เคาน์เตอร์ เบอร์ 74LS193

ดังนั้น เมื่อสิ้นสุดช่วงระยะเวลาที่Vsyncมีลอจิกเป็น "0" แล้ว เคาน์เตอร์นี้ ก็จะทำการนับ$\overline{\text{Hsync}}$ ( Hsyncเป็นช่วงระยะเวลาของสัญญาณภาพ 1 เส้น ) เมื่อครบ 16 ลูกแรก ก็จะกระตุ้นให้ฟลิปฟลอป1 มีค่าเอาท์พุท$Q_1$กลับมาเป็น "0"และค่า$Q_1$มีค่าลอจิกเป็น "1" $\overline{Q}_1.\overline{\text{Hsync}}$ จะเป็นอินพุทของเคาน์เตอร์1(U7) ซึ่งจะเริ่มนับหลังจาก$\overline{\text{Hsync}}$ 16 ลูกแรก ผ่านพ้นไปแล้ว เคาน์เตอร์ตัวนี้และเคาน์เตอร์2(U9) จะทำการนับ$\overline{\text{Hsync}}$ต่อไปอีก จนกระทั่งครบ 256 ลูก เอาท์พุท$C_8$( สัญญาณทด )ของเคาน์เตอร์2 จะกระตุ้นให้ฟลิปฟลอป2 มีเอาท์พุท$Q_2$ เป็นลอจิก "1" เกิดเป็นสัญญาณที่ทำการเคลียร์เคาน์เตอร์1และเคาน์เตอร์2 ให้หยุดการนับ จนกระทั่งVsync มีลอจิกกลับมาเป็น "0" อีกครั้ง( เริ่มต้นฟิลด์ใหม่ ) สภาวะการเคลียร์ของเคาน์เตอร์ทั้งสองจึงหายไป และเนื่องจาก ในโครงงานนี้ จะเลือกเส้นภาพแบบเส้นเว้นเส้น และทำการสแกนภาพแบบก้าวหน้า( Progressive Scanning )บนจอโทรทัศน์ทางด้านรับ ดังนั้น เอาท์พุท$Q_1$ของเคาน์เตอร์1 จึงถูกนำไปใช้เป็นอินพุทของเคาน์เตอร์3(U6) โดยที่เอาท์พุท$Q_1$นี้ จะได้สัญญาณ$\overline{\text{Hsync}}/2$ ซึ่งก็คือสัญญาณHsync ที่ถูกเลือกแบบเส้นเว้นเส้น เคาน์เตอร์3 ได้รับสัญญาณ$\overline{\text{Hsync}}/2$ ก็จะทำการนับร่วมกับเคาน์เตอร์4(U8) เมื่อนับ$\overline{\text{Hsync}}/2$ จนครบ 128 ลูกแล้ว จะกระตุ้นให้ฟลิปฟลอป4 มีเอาท์พุท$Q_4$เป็น "0" และ$Q_4$เป็น "1" ส่งผลให้เกิดการเคลียร์เคาน์เตอร์3และเคาน์เตอร์4ให้หยุดการนับ จนกระทั่งสัญญาณ Vsync มีลอจิกกลับมาเป็น "0" อีกครั้ง จึงจะเริ่มต้นการนับสัญญาณ$\overline{\text{Hsync}}/2$ ใหม่

การนำ$\overline{\text{Hsync}}$มาใช้โดยเลือกเอาลูกหนึ่งเว้นลูกหนึ่งนี้ ป้อนให้เคาน์เตอร์ทำการนับ เพื่อสร้างสัญญาณแอดเดรสในการเขียนข้อมูลภาพที่รับมาจากวงจรเอทูดีแบบแฟลชลงในหน่วยความจำ เมื่อส่งข้อมูลที่เก็บไว้ออกไปยังทางด้านรับ จะเป็นผลให้ภาพที่แสดงออกบนจอโทรทัศน์ด้านรับ มีเส้นภาพที่เรียงกันแบบไม่ต่อเนื่อง( ผลจากการเลือกเส้นภาพต้นฉบับแบบเส้นเว้นเส้น ) แม้ทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ภาพมีความใกล้เคียงภาพต้นฉบับน้อยลงบ้าง แต่ก็จะได้ภาพที่มีรายละเอียดครอบคลุมเนื้อที่มาก และเป็นการประหยัดหน่วยความจำในการเก็บข้อมูล รวมทั้งสามารถส่งข้อมูลภาพแต่ละภาพได้เร็วขึ้น

6.วงจรควบคุมการสร้างแอดเดรสแนวคอลัมน์

การทำงานของวงจรโดยย่อ

- ตัดสัญญาณเบิรสท์( Burst ) ที่ปนมาในแต่ละ$\overline{\text{Hsync}}$ออก โดยการดีเลย์ (Delay) $\overline{\text{Hsync}}$
- นำสัญญาณ$\overline{\text{Hsync}}$ที่ถูกดีเลย์ มาทำการแอนด์กับสัญญาณนาฬิกา 2.5MHz
- ป้อนสัญญาณนาฬิกาที่ได้จากการแอนด์ให้เคาน์เตอร์ทำการนับ128 เอาท์พุทของเคาน์เตอร์( $A_0$-$A_6$ ) ถูกใช้เป็นขาแอดเดรสของแรมในการอ้างอิงถึงตำแหน่งจุดภาพในเส้นภาพหนึ่งๆ

รายละเอียดการทำงานของวงจร

การสร้างสัญญาณแอดเดรสแนวคอลัมน์ จะต้องนำHsyncมาดีเลย์ก่อนเพื่อตัดสัญญาณช่วงแรกของ$\overline{\text{Hsync}}$นี้ออกไป เพราะในช่วงแรกของสัญญาณนี้จะรวมเอาสัญญาณเบิรสท์เข้าไว้ด้วย เนื่องจากไม่จำเป็นต้องใช้สัญญาณเบิรสท์ เพราะเป็นสัญญาณควบคุมสี ในที่นี้ต้องการส่งเพียงข้อมูลภาพขาวดำ เพื่อไม่ให้เปลืองเนื้อที่หน่วยความจำ จึงตัดสัญญาณเบิรสท์ทิ้งเสียโดยใช้ไอซีโมโนสเตเบิลมัลติไวเบรเตอร์เบอร์ 74221 เป็นตัวดีเลย์ จากนั้นนำสัญญาณที่ได้มาทำการแอนด์กับสัญญาณนาฬิกาความถี่ 2.5MHz สัญญาณนาฬิกานี้ผ่านไปยังอินพุทของแอนด์เกทได้ ก็ต่อเมื่อ $Q_1$และ$Q_2$ มีค่าลอจิกเป็น "1" ทั้งคู่ ผลของการแอนด์ ทำให้ได้สัญญาณนาฬิกาที่อยู่ในช่วง$\overline{\text{Hsync}}$ 1 ลูก ซึ่งปราศจากสัญญาณเบิรสท์ โดยจะนำไปใช้ในการป้อนเป็นอินพุทให้กับเคาน์เตอร์ เพื่อทำการนับเอาท์พุท1 ถึงเอาท์พุท7 ใช้เป็นสัญญาณแอดเดรสให้กับขาแอดเดรสของหน่วยความจำ ( $A_0$-$A_6$ ) เมื่อเคาน์เตอร์ทำการนับจนครบ128 เอาท์พุท1 ถึงเอาท์พุท7 ( $A_0$-$A_6$ ) จะมีค่าลอจิกเป็น "1" ทั้งหมด ส่งผลไปกระตุ้นฟลิปฟลอป3(U3:A) ให้ขาเอาท์พุท$Q_3$ของมัน เป็นลอจิก"1" ทำให้เคาน์เตอร์ทั้งสองในวงจรนี้ อยู่ในสภาวะเคลียร์ และจะพ้นจากสภาวะเคลียร์ เมื่อสัญญาณ$\overline{\text{Hsync}}$ที่ถูกดีเลย์แล้วมีค่าลอจิกเป็น "0" และจะคอยจนกว่าสัญญาณ$\overline{\text{Hsync}}$ที่ถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดีเลย์นี้ มีค่ากลับมาเป็นลอจิก "1" อีกครั้ง เคาน์เตอร์จึงจะเริ่มต้นทำการนับต่อไปดังที่ได้อธิบายไว้ข้างต้น

สัญญาณควบคุมการทำงานของวงจรนี้ สามารถสร้างขึ้นได้จากสัญญาณเอาท์พุทต่างๆของไอซีในวงจร ดังต่อไปนี้

สัญญาณควบคุมการเคลียร์ สร้างจากสัญญาณเอาท์พุท$Q_1+\overline{Q}_4+\overline{Q}_9+Q_{221}$ ซึ่งจะทำการเคลียร์เมื่อสัญญาณทั้งหมดทำการออร์กันได้ค่าลอจิกเป็น "1"( สัญญาณใดสัญญาณหนึ่งมีค่าลอจิกเป็น"1")

โดย $\overline{Q}_4$ มีค่าลอจิกเป็น "1" เมื่อนับ$\overline{Hsync}$/2 ครบ 128 ลูก

$Q_1$ มีค่าลอจิกเป็น "1" เมื่อสแกนจบ 1 ฟิลด์ โดยมี Vsyncมาช่วยกระตุ้นให้$Q_1$เป็น "1" ซึ่งจะเป็น "1" ตลอดช่วงเวลาที่มีVsyncเกิดขึ้นจนกระทั่ง$\overline{Hsync}$ถูกนับครบ 16 ลูกแรก

$\overline{Q}_9$ มีค่าลอจิกเป็น "1" เมื่อขาเอาท์พุท1 ถึงเอาท์พุท7 ( $A_0$-$A_6$ )ของเคาน์เตอร์ มีค่าลอจิกเป็น "1" หมด

$Q_{221}$ มีค่าลอจิกเป็น "1" เมื่ออยู่ในช่วงเวลาที่ Hsyncซึ่งถูกดีเลย์มีค่าลอจิกเป็น "0"

สัญญาณที่ทำหน้าที่ควบคุมการป้อนสัญญาณนาฬิกาให้กับเคาน์เตอร์ สร้างขึ้นจากสัญญาณเอาท์พุท $\overline{Q}_1.Q_2.\overline{Q}_{221}$

โดย $Q_1$ มีค่าลอจิกเป็น "1" เมื่อหลังจากทำการนับ $\overline{Hsync}$ครบ 16 ลูกแรกแล้ว จนกระทั่งสแกนจบ 1 ฟิลด์และมีVsyncลูกใหม่เข้ามา

$Q_2$ มีค่าลอจิกเป็น "1" เมื่อมี Vsyncปรากฏขึ้นและคงค่าลอจิก "1"ไว้ จนกระทั่งได้ทำการนับ$\overline{Hsync}$ 16 ลูกแรก และนับ$\overline{Hsync}$ลูกต่อไปอีก 256 ลูกจนครบแล้ว

$\overline{Q}_{221}$ มีค่าลอจิกเป็น "1" เมื่อ$\overline{Hsync}$ที่ถูกดีเลย์ มีค่าลอจิกเป็น "1"

7.วงจรส่วนควบคุมภาคส่งสัญญาณ

เมื่อต้องการส่งข้อมูล ก็จะทำการกดสวิตช์กดติดปล่อยดับ$SW_1$ ซึ่งต่ออยู่กับขาสัญญาณนาฬิกาของฟลิปฟลอป1 (U12:B) เมื่อสวิตช์ถูกกดลง แล้วปล่อยสถานะจะเปลี่ยนจาก"0"ไป"1" จะไปกระตุ้นฟลิปฟลอป1ให้สร้างสัญญาณร้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขอการส่ง นั่นคือ $Q_1$ มีค่าลอจิกเปลี่ยนจาก "0" เป็น "1"

เนื่องจากฟลิปฟลอปไม่มีความแน่นอนขณะเปิดเครื่อง จึงใช้โมโนสเตเบิล มัลติไวเบรเตอร์ มาพรีเซตฟลิปฟลอปขณะเปิดเครื่อง เพื่อให้ได้สถานะที่แน่นอน ส่งผลไปพรีเซตให้ฟลิปฟลอป1 มีค่าเอาท์พุท$Q_1$เป็น "1" ( $Q_1$เป็น "0" ) และพรีเซตฟลิปฟลอป2(U12:A) ให้ $Q_2$ มีค่าเป็น "1"

จากการที่ $Q_1$ มีค่าลอจิกเป็น "0" ส่งผลให้สัญญาณนาฬิกา 16 KHz สามารถผ่านแอนด์เกทไปเข้าอินพุทของเคาน์เตอร์1(U5) ซึ่งก็คือไอซี 74193 ในที่นี้ และขาสัญญาณนาฬิกาของไอซี74165 ที่ทำหน้าที่แปลงข้อมูลขนานให้ออกมาเป็นข้อมูลอนุกรมทุกขาขึ้นของสัญญาณนาฬิกาที่ป้อนให้มัน สัญญาณนาฬิกาที่เข้าอินพุทไอซี74165 และเคาน์เตอร์1กับข้อมูลที่ออกจากไอซี74165 จะพร้อมกันจากรูป เราจึงให้เอาท์พุท$Q_A$ ของเคาน์เตอร์1 แทนอัตราการไหลของข้อมูลอนุกรม โดยในส่วนของเคาน์เตอร์นี้ เมื่อได้รับสัญญาณนาฬิกา 16KHz เข้าที่อินพุท มันจะทำการนับร่วมกันกับเคาน์เตอร์อีก 4 ตัว ซึ่งเชื่อมต่อถึงกันทั้งหมด คือ ขาทดออก ( Carry out ($C_o$) ) ของไอซีตัวหนึ่งไปต่อเข้ากับขาอินพุท ( Up ) ของไอซีอีกตัวหนึ่งดังรูป

นอกจากนี้ ขาอินพุท$Q_A$ ของเคาน์เตอร์1 จะต่อเข้าขาสัญญาณนาฬิกาของฟลิปฟลอป3(U13:A) และขาเอาท์พุท$Q_B$ของเคาน์เตอร์(1) จะต่อเข้าขา Dของฟลิปฟลอป3 สัญญาณเอาท์พุทของฟลิปฟลอป$Q_3$ ที่ได้ในที่นี้ขอเรียกว่า สัญญาณ A

สัญญาณ A จะมีการเปลี่ยนแปลงที่จุดสิ้นสุดของข้อมูลบิทที่ 8 พอดี นั่นแสดงว่า ข้อมูลบิทที่ 8 ถูกดึงออกไปแล้ว เราจะนำสัญญาณA ที่ได้มาสร้างสัญญาณชิพ/โหลดให้แก่ไอซี 74165 โดยการนำไปป้อนเข้าไอซีเบอร์ 74123 ที่ทำหน้าที่เป็นโมโนสเตเบิล มัลติไวเบรเตอร์ สัญญาณAจะป้อนเข้าอินพุทBของไอซี 74123ตัวแรก อินพุทนี้จะแอกทีฟที่ลอจิก "1" มีผลให้เอาท์พุทเกิดการเปลี่ยนแปลงระดับสัญญาณเป็น "0" ในช่วงเวลาสั้นๆ ที่ขอบขาขึ้นของสัญญาณA ในที่นี้ขอเรียกสัญญาณเอาท์พุทที่ได้นี้ว่า สัญญาณB และป้อนสัญญาณAเข้าขาอินพุท A ซึ่งแอกทีฟที่ลอจิก"0"ของไอซี 74123ตัวที่สอง เป็นผลให้เอาท์พุทของไอซีนี้ มีการเปลี่ยนระดับสัญญาณจาก "1" ลงมาเป็น "0" ในช่วงเวลาสั้นๆ ที่ตำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แหน่งขอบขาลงของสัญญาณA สัญญาณเอาท์พุทนี้ขอเรียกว่า สัญญาณC

ดังนั้น เมื่อนำสัญญาณBและสัญญาณC มาแอนด์กัน ก็จะเกิดเป็นสัญญาณชิพ/โหลด ใช้สำหรับป้อนเข้าขาชิพ/โหลดของไอซี 74165 สัญญาณชิพ/โหลดจะพอดีกับช่วงเวลาของไอซี 74165ในการดึงข้อมูลขนานมาแปลงเป็นข้อมูลอนุกรมครบ 8 บิท และเมื่อดึงข้อมูลขนานแปลงเป็นอนุกรมครบ 16K จะมีส่งสัญญาณกระตุ้นให้หยุดการร้องขอการส่งเพื่อหยุดการส่งข้อมูล โดยสัญญาณกระตุ้นนี้ ได้จากการดีเทคสัญญาณที่มาขาเอาท์พุทของเคาน์เตอร์ทั้ง 5 ตัว รวม 14 เอาท์พุท ในขณะที่รับสัญญาณนาฬิกาเข้ามาทำการนับ ก็จะใช้เอาท์พุทของเคาน์เตอร์เหล่านี้เป็นขาแอดเดรสในการอ่านข้อมูลออกจากแรมด้วย โดยเอาท์พุท $Q_0$ ของเคาน์เตอร์1 จะใช้เป็น นัยสำคัญต่ำสุด(LSB) ของสัญญาณแอดเดรส ( $A_0$ )เรื่อยไป จนเอาท์พุท$Q_{12}$ของเคาน์เตอร์5(U1) ซึ่งเป็นนัยสำคัญสูงสุด ( MSB) ของสัญญาณแอดเดรส( $A_{12}$ ) จะเห็นว่า เมื่อส่งข้อมูลครบทุกๆ 8 บิทในแต่ละครั้ง ค่าแอดเดรสจะเปลี่ยนแปลงค่าไป 1 ค่า ขาเอาท์พุททั้ง 14 เอาท์พุทนี้ จะต่อเข้ากับอินพุทของแอนด์เกท

เมื่อเคาน์เตอร์ทำการนับสัญญาณนาฬิกาไป จนกระทั่งขาเอาท์พุททั้ง14 เอาท์พุท มีค่าลอจิกเป็น "1" ทั้งหมด นั่นคือแสดงว่า ได้อ่านข้อมูลจากหน่วยความจำจนหมดแล้ว จะมีผลให้เอาท์พุทของแอนด์เกท มีค่าลอจิกเป็น "1" ไปกระตุ้นขาสัญญาณนาฬิกาของฟลิปฟลอป2 ทำให้ขาเอาท์พุท $Q_2$ มีการเปลี่ยนแปลงค่าลอจิกเป็น "1" ผ่านไปเข้าอินพุทของแนนด์เกท และอีกอินพุทหนึ่งของแนนด์เกทจะมาจากขา A เมื่อมีการดึงข้อมูลจากแรมครบ 16K ตำแหน่ง ส่งออกเป็นข้อมูลอนุกรมหมดแล้ว ขาA ก็จะมีค่าลอจิกเป็น "1" จากการที่อินพุททั้งสองของแนนด์เกท มีค่าลอจิกเป็น "1" ทำให้เอาท์พุทของแนนด์เกทที่ได้มีค่าลอจิกเป็น "0" ค่าเอาท์พุทนี้จะหยุดสัญญาณร้องขอการส่ง โดยทำการพรีเซตฟลิปฟลอป1 เป็นผลให้ค่าเอาท์พุท$\overline{Q}_1$ที่ได้จะมีค่าลอจิกเป็น "0" รวมทั้งทำการพรีเซตฟลิปฟลอป2 ด้วยเช่นกัน นอกจากนี้ผลของการพรีเซตฟลิปฟลอป1 ทำให้เอาท์พุท$Q_1$ มีค่าลอจิกเป็น "1" ซึ่งจะเป็นสัญญาณลอจิกที่ทำการเคลียร์ค่าเอาท์พุทของเคาน์เตอร์ทั้ง 5 ตัวและหยุดการนับไป จนกระทั่งผู้ใช้ทางส่งกดสวิตช์$SW_1$ เพื่อทำการส่งภาพต่อไปอีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับในส่วนที่ทำการส่งข้อมูลซึ่งรับจากแรม โดยผ่านบัฟเฟอร์แล้วส่งออกไปเป็นข้อมูลอนุกรมจะเป็นหน้าที่ของไอซี 74165 เมื่อไอซีนี้ได้รับสัญญาณนาฬิกาและสัญญาณชิพ/โหลด ก็จะโหลดข้อมูลจากแรมผ่านทางบัฟเฟอร์มาแปลงเป็นข้อมูลอนุกรม ข้อมูลอนุกรมที่ได้นี้ จะถูกส่งต่อให้กับฟลิปฟลอป4 (U14:A) และฟลิปฟลอป5(U13:B) ซึ่งเป็นส่วนที่สร้างบิทเริ่มต้น( Start bit ) โดยนำมาไว้ข้างหน้าข้อมูลอนุกรมที่ต้องการส่ง เพื่อให้ด้านรับทราบได้ว่าด้านส่งได้ส่งข้อมูลภาพมาแล้ว

8.วงจรบัฟเฟอร์ภาคส่ง

ในวงจรนี้จะประกอบด้วย ไอซีบัฟเฟอร์เป็นส่วนหลักในการทำงาน ซึ่งทำหน้าที่ควบคุมการส่งผ่านข้อมูล, แอดเดรส และสัญญาณในการอ่านหรือเขียนข้อมูลให้กับหน่วยความจำ โดยอาศัยสวิตช์และสัญญาณควบคุมจากวงจรส่วนควบคุมภาคส่งข้อมูลมาควบคุมการทำงานของบัฟเฟอร์

จากรูปวงจร ไอซีบัฟเฟอร์1, บัฟเฟอร์2 และบัฟเฟอร์4 จะเป็นบัฟเฟอร์ ให้กับวงจรส่วนควบคุมภาคส่งข้อมูลในการติดต่อกับหน่วยความจำ เพื่อส่งแอดเดรส และสัญญาณอ่านเขียนข้อมูลให้กับหน่วยความจำ ในขณะเดียวกันก็จะรับข้อมูลจากหน่วยความจำเข้ามา เพื่อทำการส่งออกด้วยเช่นกัน ซึ่งบัฟเฟอร์เหล่านี้จะถูกอีนาเบิล ( Enable ) ก็ต่อเมื่อมีการกดสวิตช์ที่วงจรส่วนควบคุมภาคส่งข้อมูลและจะถูกดิสเอเบิล( Disable ) เมื่อทำการอ่านข้อมูลจากหน่วยความจำจนครบ 16K ตำแหน่ง สัญญาณแอดเดรสที่ส่งไปในที่นี้จะใช้ในการอ่านข้อมูล ออกมาจากหน่วยความจำ โดยนำสัญญาณที่ขาเอาท์พุทของเคาน์เตอร์ทั้ง 5 ตัวในวงจรส่วนควบคุมภาคส่งข้อมูลนี้ มาใช้เป็นสัญญาณแอดเดรส ซึ่งส่งผ่านบัฟเฟอร์1และบัฟเฟอร์2 ส่วนสัญญาณอ่านข้อมูล จะนำสัญญาณชิพ / โหลดที่สร้างขึ้นมาใช้ และให้สัญญาณเขียนข้อมูลเป็นสัญญาณสูง ( ลอจิก "1" ) ตลอด ทั้งสองสัญญาณนี้ จะส่งให้กับหน่วยความจำผ่านทางบัฟเฟอร์2 ข้อมูลที่ถูกอ่านออกมาจากหน่วยความจำจะส่งผ่านทางบัฟเฟอร์3 เพื่อเตรียมที่จะทำการส่งออกต่อไป

สำหรับ ไอซีบัฟเฟอร์5(U5) และบัฟเฟอร์6(U7)นั้น เป็นบัฟเฟอร์ให้กับวงจรควบคุมการสร้างแอดเดรสแนวคอลัมน์ และวงจรควบคุมการสร้างแอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดรสแนวโรว์ เพื่อส่งแอดเดรสที่รับมาจากวงจรทั้งสองและสัญญาณอ่านเขียนข้อมูลให้กับหน่วยความจำ บัฟเฟอร์เหล่านี้จะอีนาเบิล หากเรายังไม่ได้ทำการกดสวิตช์ส่งข้อมูลในวงจรส่วนควบคุมภาคส่งข้อมูล และในวงจรก็ยังมีบัฟเฟอร์ 4 ซึ่งเป็นบัฟเฟอร์ให้กับวงจรเอทูดี เพื่อเก็บข้อมูลภาพเข้าหน่วยความจำ โดยจะอีนาเบิล เมื่อยังไม่ได้ทำการกดสวิตช์ส่งข้อมูลในวงจรส่วนควบคุมภาคส่งข้อมูลด้วยเช่นกัน

9. วงจรส่วนควบคุมภาครับข้อมูล

จากรูปวงจร ฟลิปฟลอป1(U1:A) และฟลิปฟลอป2(U1:B) จะเป็นตัวตรวจจับบิทเริ่มต้น ซึ่งมาก่อนหน้าข้อมูล เมื่อตรวจจับบิทเริ่มต้นได้แล้ว ก็เกิดสัญญาณอีนาเบิล ( สัญญาณที่ขาเอาท์พุท Q ของฟลิปฟลอป2 ซึ่งเป็นลอจิก "0" ) สัญญาณอีนาเบิลที่ได้นี้ใช้ในการอีนาเบิลบัฟเฟอร์ในวงจรบัฟเฟอร์ภาครับ ทำให้แอดเดรส, ข้อมูล รวมทั้งสัญญาณอ่านและเขียนข้อมูล สามารถผ่านไปยังหน่วยความจำได้ ส่วนเอาท์พุท $\overline{Q}$ ของฟลิปฟลอป2 นี้ นำไปแอนด์กับสัญญาณนาฬิกาความถี่ 16KHz เมื่อตรวจพบบิทเริ่มต้นแล้ว จะส่งผลให้สัญญาณนาฬิกา สามารถผ่านเข้าไปที่ขาสัญญาณนาฬิกาของไอซีเบอร์74164 ได้ โดยในวงจรนี้ จะใช้ไอซีเบอร์ 74164 ในการแปลงข้อมูลอนุกรมเป็นข้อมูลขนาน ซึ่งทำการรับข้อมูลภาพที่ส่งมาในรูปอนุกรม เข้าทางขาAของไอซี เพื่อแปลงเป็นข้อมูลขนานไปบันทึกลงในหน่วยความจำ อาศัยการเลื่อนข้อมูลที่ทำทุก ๆขาขึ้นของสัญญาณนาฬิกาที่ป้อนให้ไอซีนี้ ข้อมูลอนุกรมบิทแรกจะถูกเลื่อนไปปรากฏที่ตำแหน่งเอาท์พุท $Q_H$ และข้อมูลอนุกรมบิทสุดท้ายถูกเลื่อนให้ไปปรากฏที่ตำแหน่งเอาท์พุท $Q_A$ พอดี ณ เวลานี้ จะได้ข้อมูลขนาน 1 เวิร์ด

สำหรับ สัญญาณนาฬิกาความถี่ 16KHz ควบคุมการทำงานของวงจรได้โดยป้อนเข้าขาสัญญาณนาฬิกาของไอซีเบอร์74164 และป้อนเข้าอินพุทของไอซีเคาน์เตอร์เบอร์74193 โดยสัญญาณนาฬิกาคล็อก 16KHz จะถูกป้อนให้เคาน์เตอร์ทำการนับไป จนกว่าเก็บข้อมูลอนุกรมที่ส่งมาจนครบแอดเดรสหน่วยความจำที่เรากำหนด นั่นคือเท่ากับจำนวนข้อมูลภาพ 1 ภาพ ขนาด 128x128 จุดภาพ ซึ่งมีค่าเป็น 16K ค่า 16K ในเลขฐานสอง คือ ค่า "1" จำนวน 14 หลัก จะใช้สัญญาณที่ขาเอาท์พุทของเคาน์เตอร์ทั้ง 5 ตัว ที่ทำการนับสัญญาณนา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟิกาความถี่ 16K มาเป็นสัญญาณแอดเดรส จำนวน 14 เอาท์พุท โดยในการสร้างสัญญาณแอดเดรสป้อนไปยังหน่วยความจำ ต้องมีการเปลี่ยนแปลงค่าสัญญาณ ณ ช่วงเวลาที่ข้อมูลอนุกรมถูกแปลงเป็นข้อมูลขนานครบ 1 เวิร์ด พอดี ดังนั้น เรากำหนดให้เอาท์พุทQ$_B$ของเคาน์เตอร์1(U5)เป็นตำแหน่งบิทนัยสำคัญต่ำสุด( $A_0$ ) ของค่าแอดเดรสเรื่อยไป จนถึงเอาท์พุทQ$_A$ ของเคาน์เตอร์5 (U10) ให้เป็นตำแหน่งบิทนัยสำคัญสูงสุด( $A_{13}$ ) ของค่าแอดเดรส เราจะใช้แอนด์เกทเป็นตัวดีเทคค่าแอดเดรสที่ได้นี้ เมื่อเคาน์เตอร์นับไปจนครบค่า 16K จะดีเทคสัญญาณออกมาเป็นลอจิก "0" ซึ่งนำไปแอนด์กับเอาท์พุทของไอซีโมโนสเตเบิล มัลติไวเบรเตอร์ เบอร์ 74123 ตัวที่ 1(U3:B) ค่าเอาท์พุทที่ได้จากการแอนด์ จะเป็นลอจิก "0" ส่งไปกระตุ้นไอซีเบอร์74123 ตัวที่ 2 (U3:A) เพื่อสร้างพัลส์ไปเคลียร์เคาน์เตอร์ทั้งหมดพร้อมกับพรีเซตฟลิปฟลอป1 และฟลิปฟลอป2 ยับยั้งไม่ให้คล็อกถูกป้อนเข้าอินพุทของเคาน์เตอร์เหล่านี้ จนกว่าจะมีการตรวจพบบิทเริ่มต้นของข้อมูลภาพชุดใหม่

สำหรับไอซีเบอร์ 74123 ตัวที่1 ทำหน้าที่กระตุ้นให้ฟลิปฟลอปมีสถานะที่แน่นอนคือ ให้ขาเอาท์พุทQของฟลิปฟลอปทั้งสองเป็นลอจิก "1" ในตอนเริ่มต้นการทำงานของวงจรส่วนควบคุมภาครับข้อมูลนี้

10.วงจรบัฟเฟอร์ภาครับ

วงจรนี้มีหน้าที่เช่นเดียวกันกับวงจรบัฟเฟอร์ภาคส่งคือ เป็นตัวกลางในการส่งผ่านแอดเดรส,ข้อมูล และสัญญาณอ่านเขียนข้อมูลให้กับหน่วยความจำ

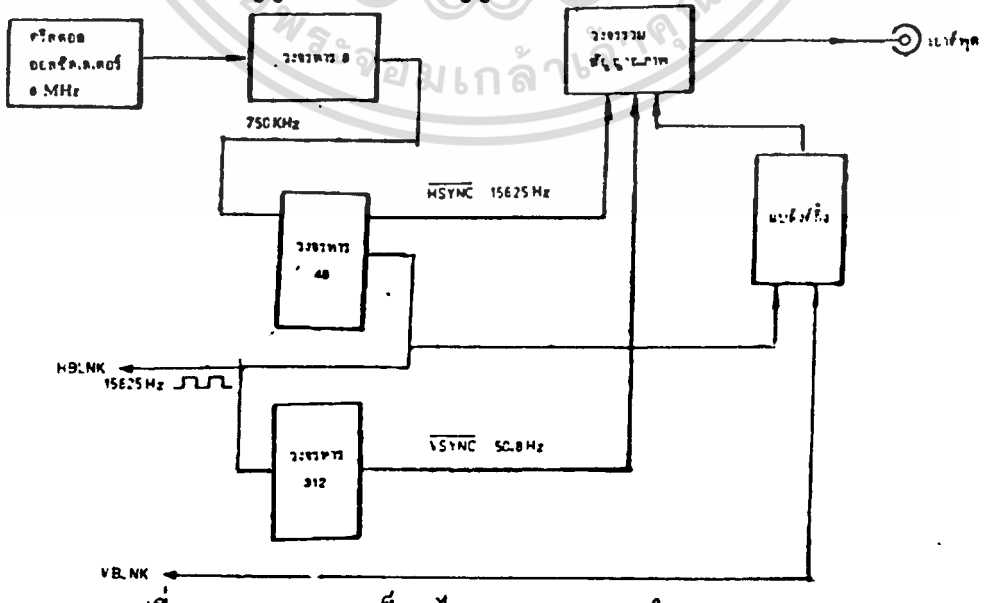
จากรูปวงจร ไอซีบัฟเฟอร์1(U7), บัฟเฟอร์2(U5) และบัฟเฟอร์3 (U6) จะเป็นบัฟเฟอร์ให้กับวงจรส่วนควบคุมภาครับข้อมูล เพื่อทำการส่งแอดเดรส, ข้อมูล รวมทั้งสัญญาณอ่านเขียนข้อมูลให้กับหน่วยความจำในช่วงเวลาที่ทำการบันทึกข้อมูล โดยจะนำสัญญาณที่ขาเอาท์พุททั้ง 5 ตัว จำนวน 14 เอาท์พุทจากวงจรส่วนควบคุมภาครับข้อมูลดังที่ได้กล่าวถึงมาแล้วมาใช้เป็นแอดเดรส และข้อมูลก็นำเอาข้อมูลขนานที่ได้จากเอาท์พุทของไอซีเบอร์ 74164 ส่วนสัญญาณเขียนข้อมูล ใช้สัญญาณจากขาเอาท์พุทQ$_A$ ของเคาน์เตอร์1ในวงจรส่วนควบคุมภาครับข้อมูล ซึ่งนำมาผ่านอินเวอร์เตอร์เกท เพื่อเป็นสัญญาณในการเขียนข้อมูลลงในหน่วยความจำ ในจังหวะเดียวกับการเปลี่ยนแอดเดรสไป 1 ครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทำงานที่ขอบหน้าของสัญญาณ ฉะนั้นเราจึงใช้สัญญาณ$Q_7$ โดยตรงไม่ได้และสัญญาณอ่านข้อมูลจะกำหนดให้เป็นสัญญาณสูง( ลอจิก "1" ) ตลอด บัฟเฟอร์เหล่านี้จะอีนาเบิล ก็ต่อเมื่อมีการตรวจพบบิทเริ่มต้นและจะดิสเอเบิลเมื่อบันทึกข้อมูลลงหน่วยความจำครบ 16K แล้ว

สำหรับ ไอซีบัฟเฟอร์4(U4) และบัฟเฟอร์5(U3) จะทำหน้าที่ส่งแอดเดรสและสัญญาณอ่านเขียนข้อมูลให้หน่วยความจำ ในช่วงเวลาของการอ่านข้อมูลที่เก็บไว้ เพื่อทำการแสดงผลออกทางจอภาพ โดยแอดเดรสนี้นำมาจากสัญญาณเอาท์พุท$Q_0$-$Q_4$ ของไอซีเคาน์เตอร์เบอร์ 74LS161, สัญญาณเอาท์พุท$Q_1$-$Q_8$ ของไอซีเคาน์เตอร์เบอร์ 4040 ตัวที่ 1 และสัญญาณเอาท์พุท$Q_2$-$Q_7$ ตัวที่ 2 ในวงจรกำเนิดสัญญาณซิงค์และสัญญาณแบลงกิ้ง โดยใช้เอาท์พุทของไอซีเคาน์เตอร์เบอร์ 74LS161และไอซีเคาน์เตอร์เบอร์ 4040 ตัวที่ 1(U3)เป็นสัญญาณแอดเดรส $A_0$-$A_8$ และใช้เอาท์พุทของไอซีเคาน์เตอร์เบอร์ 4040 ตัวที่ 2(U4) เป็นสัญญาณแอดเดรส $A_7$-$A_{13}$ ส่วนสัญญาณอ่านข้อมูลจะนำสัญญาณ CCLK ในวงจรกำเนิดสัญญาณซิงค์ และสัญญาณแบลงกิ้งที่ป้อนเข้าอินเวอร์เตอร์เกทมาใช้ และสัญญาณเขียนข้อมูล จะกำหนดให้เป็นสัญญาณสูง( ลอจิก "1" ) ตลอด โดยบัฟเฟอร์เหล่านี้ จะอีนาเบิล เมื่อทำการบันทึกข้อมูลลงหน่วยความจำครบ 16K แล้ว และยังไม่ตรวจพบบิทเริ่มต้นของข้อมูลภาพชุดใหม่

11.วงจรกำเนิดสัญญาณซิงค์และสัญญาณแบลงกิ้ง




รูปที่ 3.13 แสดงบล็อกไดอะแกรมการทำงานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่ของวงจรในส่วนนี้คือ การผลิตสัญญาณซิงค์และสัญญาณแบลงกิ้งขึ้นตามข้อกำหนดที่ใช้กันแล้ว นำไปผสมกับสัญญาณภาพที่รับมาจากด้านส่งให้ได้เป็นสัญญาณภาพรวม เพื่อนำไปป้อนให้กับมอนิเตอร์หรือโทรทัศน์

จากรูปที่ 3.13 จะเห็นว่า ได้มีการแบ่งการทำงานของวงจรออกเป็นภาคต่างๆ ซึ่งการทำงานของแต่ละภาคมีดังต่อไปนี้

-ภาคออสซิลเลเตอร์

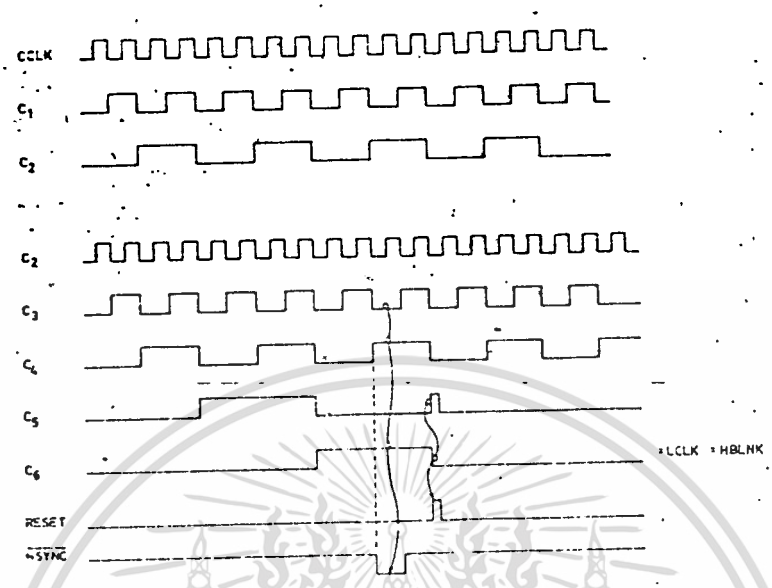
เป็นคริสตอลออสเลเตอร์ ซึ่งทำหน้าที่ในการกำเนิดสัญญาณนาฬิกาหลักของวงจรที่ความถี่ 6MHz แล้ว นำความถี่นี้ ไปผ่านวงจรหาร8 ให้เหลือเป็นความถี่ 750KHz แล้ว นำไปหาร48 อีกครั้งหนึ่ง ซึ่งจะเหลือความถี่ 15,625 Hz โดยเราจะนำความถี่นี้ไปเป็นสัญญาณ Hsync ( Horisontal Sync ) และจากผลของการหารในภาคนี้เอง ก็จะได้สัญญาณ HBLNK ( Horisontal Blanking ) ด้วย

จากนั้นเราจะนำความถี่ 15,625Hz ไปหาร312 ซึ่งจะได้ความถี่ประมาณ 50Hz โดยจะนำไปใช้เป็นสัญญาณ Vsync ( Vertical Sync ) ผลของการหารในภาคนี้ก็จะได้สัญญาณ VBLNK ( Vertical Blanking )ด้วยเช่นกัน

รายละเอียดของการสร้างHsyncและHBLNK

จากที่กล่าวมาแล้วข้างต้น เราต้องสร้างHsyncที่ความถี่ 15,625Hz หรือทุกๆ 64 ไมโครวินาที และนาน 5 ไมโครวินาที( ความกว้างของพัลส์ ) จากสัญญาณDCLKหาร8 มาเป็นสัญญาณCCLK 750KHz หรือมีคาบเวลาเท่ากับ 1.333 ไมโครวินาที เพื่อให้ได้ HsyncกับHBLNK จากวงจรดังรูปที่ 3.28 ซึ่งจัดเป็นวงจรหาร48( 30H ) โดยนำ$C_5$และ$C_6$มาแอนด์กัน และไปทำเป็นสัญญาณรีเซตไอซีเบอร์ 4040 ตัวที่ 1(U3) ที่ต้องการลอจิก"1" ในการรีเซต เราจะให้ช่วงเวลาการแสดงภาพจาก CCLK ลูกที่ 1 ถึง ลูกที่ 32 ของทุก ๆ Hsync 1 ลูก เวลาที่เหลือจะเป็นการแบลงค์ พิจารณาได้จากรูปที่ 3.14 ซึ่งแสดงค่าตามช่วงเวลาของมัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.16 ไดอะแกรมเวลาของHsync

สำหรับ วงจรสร้างHsync จะใช้เกทต่อกันดังรูปที่ 3.28 เพื่อให้ได้สัญญาณHsync เป็นลอจิก "0"ไป 4 CCLK ( คือ 4 x 1.3 = 5.2 ไมโครวินาที ) ซึ่งสามารถเขียนตามพีชคณิตบูลลีนได้คือ Hsync = $\overline{C_3}.C_4.C_6$

ส่วนคล็อกลูกที่ 33 ถึง 48 จัดให้เป็นช่วงเวลาแบลงค์ โดยต่อตรงมาจากขา $C_6$ของไอซีเบอร์ 4040 ตัวที่ 1. แล้วไปเข้าที่อินพุทของแนนด์เกทเบอร์7410 และที่ขา$C_6$นี้ ยังให้สัญญาณLCLKกับไอซีเบอร์ 4040 ตัวที่ 2(U4) ด้วย

รายละเอียดการสร้างVsyncและVBLNK

สัญญาณVsyncนี้ มีความถี่ 50Hz คาบเวลาเท่ากับ 20 มิลลิวินาทีและนานประมาณ 1 มิลลิวินาที จากรูปที่ จะเห็นว่าความถี่LCLK 15,625Hz เมื่อหารด้วย312 จะได้ความถี่ฟิลด์ประมาณ 50.08Hz ซึ่งใกล้เคียงกับค่ามาตรฐานและใช้ได้ ตัวหารนั้นจะใช้ไอซีเบอร์ 4040 ตัวที่ 2 โดยเลือกสัญญาณเอาท์พุทที่ได้มาต่อเข้าแนนด์เกท เพื่อให้ได้สัญญาณเวลาตามที่ต้องการ เราจะใช้ 16LCLKหรือเท่ากับ 16x( 1/15,625 ) = 1.024 มิลลิวินาที ฉะนั้น

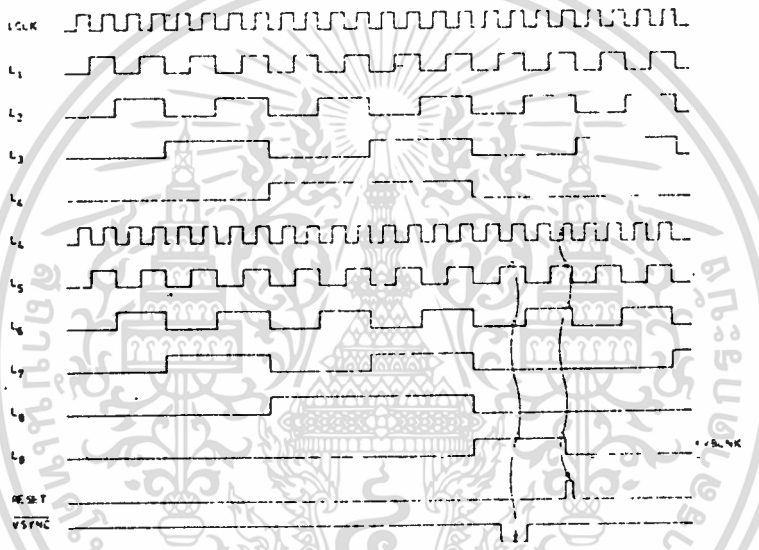
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่เหลือจะต้องแบลงค์ไว้ใช้เป็นสัญญาณVBLNK เราสรุปการจัดสัญญาณต่างๆ เขียนเป็นพีชคณิตบูลลีนได้ดังนี้

$$RESET = L_4 . L_5 . L_6 . L_9$$

$$VBLNK = L_9$$

$$Vsync = L_5 . \overline{L_6} . L_9$$



รูปที่ 3.17 แสดงไดอะแกรมเวลาของVsync

จะสังเกตได้ว่า มีการจัดให้ทั้งHsyncและVsyncอยู่ในช่วงลอจิก "0" เพื่อความสะดวกในการจัดวงจรรวมสัญญาณ เพราะระดับของสัญญาณซิงค์ในสัญญาณภาพรวมทั่วๆไป จะอยู่ในระดับแรงดัน 0 โวลต์ และจากการอินเวอร์ส สัญญาณทั้งสองนี้ จะได้สัญญาณเป็น$\overline{Hsync}$และ$\overline{Vsync}$

ดังนั้น ในขณะนี้เราได้สัญญาณต่างๆ ที่จะประกอบเป็นสัญญาณภาพรวม ขาดแต่สัญญาณภาพเท่านั้นที่ต้องรับมาจากด้านส่ง และจากที่กล่าวมาทั้งหมดในการทำงานของวงจร เราสรุปที่มาของสัญญาณต่างๆได้ดังนี้

-สร้างDCLK ความถี่ 6MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-นำDCLK มาหาร8 เป็นCCLK

-นำCCLK มาหาร48 เป็นLCLK และในวงจรหารนี้ได้จัดวงจรสำหรับ Hsyncชุดหนึ่ง ส่วนHBLNKได้โดยตรงจากขาเอาท์พุทQ$_8$( $C_8$ )ของไอซีเบอร์ 4040 ตัวที่ 1

-นำLCLK มาหาร312 เป็นความถี่ฟิลด์( 50Hz ) ในวงจรหาร312นี้ได้จัดวงจรไว้สำหรับ Vsync อีกเช่นกัน ส่วน VBLNKได้จากขาเอาท์พุทQ$_9$ ( $L_9$ )ของไอซีเบอร์ 4040 ตัวที่ 2

นอกจากนี้ ไอซีเบอร์74161, ไอซีเบอร์ 4040 ตัวที่ 1 และตัวที่ 2 ในวงจร ยังทำหน้าที่สร้างสัญญาณแอดเดรสในการอ่านข้อมูลที่เก็บไว้ในหน่วยความจำทางด้านรับ

- ภาคแบลงกิ้ง

จะทำหน้าที่รวมสัญญาณ HBLNKและVBLNK เข้าด้วยกัน โดยกลับลอจิกซึ่งอาศัยอินเวอร์เกท เพื่อให้สัญญาณแอคทีฟในลอจิก "0" และจะใช้ ดี-ฟลิปฟลอปหน่วงเวลาไป 2 CCLK ป้องกันไม่ให้ช่วงข้อมูลทางด้านขวาสุดของจอภาพหายไป ทำให้ได้ภาพกลางจอภาพพอดี ในรูปวงจรจะเรียกสัญญาณชุดนี้ว่า DSPEN( Display enable ) เพื่อความสะดวกในการอ้างถึง

12.วงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาลอก

วงจรนี้โดยทั่วไปเรียกว่า วงจรD/A Converter ในที่นี้จะใช้ในการแปลงข้อมูลภาพดิจิตอลที่อ่านออกมาจากหน่วยความจำ เป็นสัญญาณภาพอนาลอก วงจร D/A converter ที่นำมาใช้งานคือ วงจร R/2R SUMMING โดยมีไอซีบัฟเฟอร์เบอร์ 74LS245 กั้นอยู่ระหว่างวงจรนี้และหน่วยความจำ ช่วยขับกระแสที่ได้จากขาข้อมูลของหน่วยความจำให้สูงขึ้น

13.วงจรสร้างสัญญาณภาพรวม

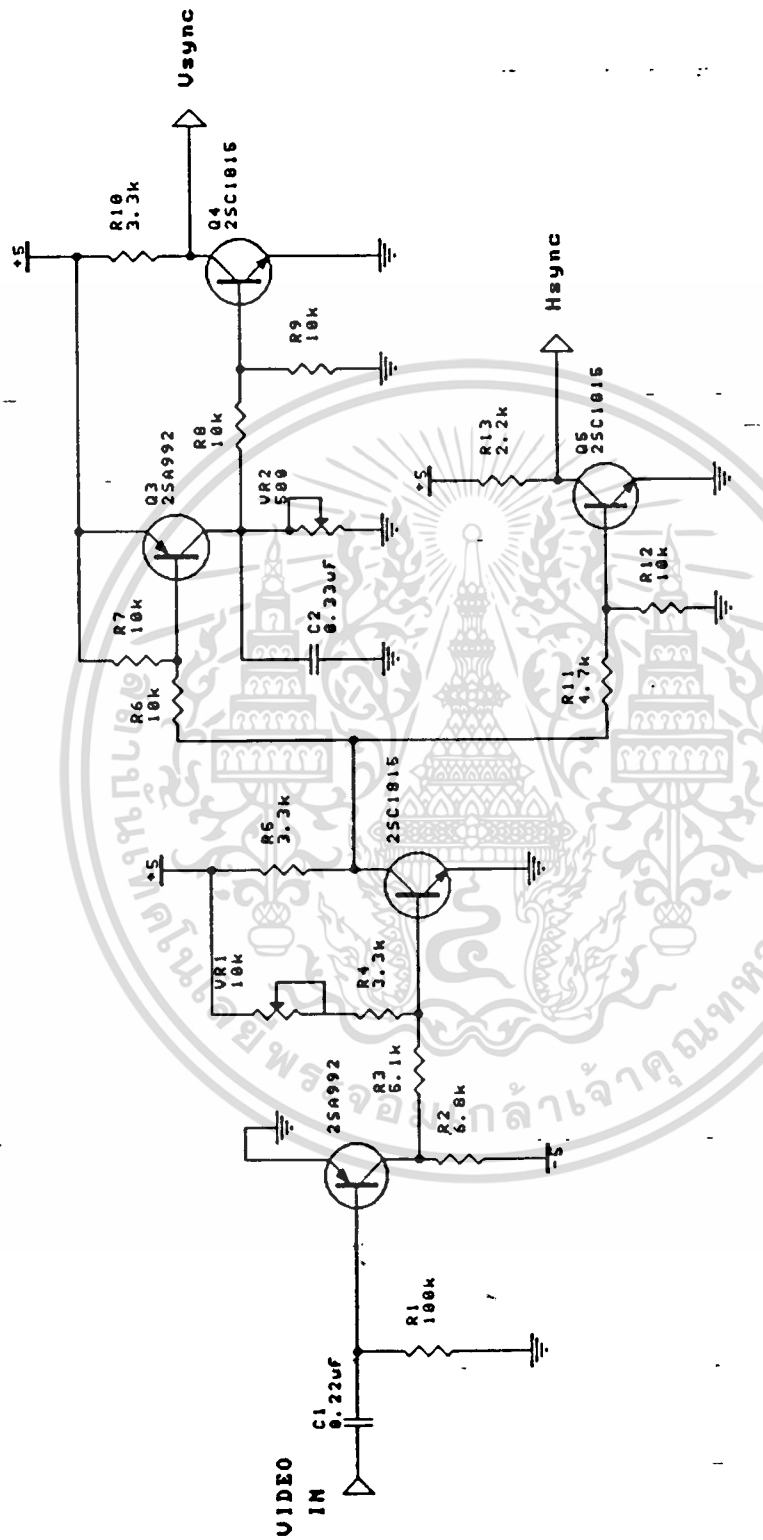
ในการเกิดภาพบนจอโทรทัศน์ได้นั้น นอกจากจะต้องมีสัญญาณภาพแล้วยังจำเป็นต้องมีสัญญาณซิงค์และสัญญาณแบลงกิ้งร่วมด้วย

เนื่องจากสัญญาณที่ได้จากวงจรดีทูเอ เป็นสัญญาณภาพเพียงอย่างเดียว ดังนั้นจึงต้องอาศัยวงจรนี้ทำการรวมสัญญาณภาพ, สัญญาณซิงค์และสัญญาณแบลงกิ้งเข้าด้วยกันให้เกิดเป็นสัญญาณภาพรวม ส่งเข้าเครื่องรับโทรทัศน์ เพื่อแสดงผลภาพที่ได้ส่งมาจากต้นทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

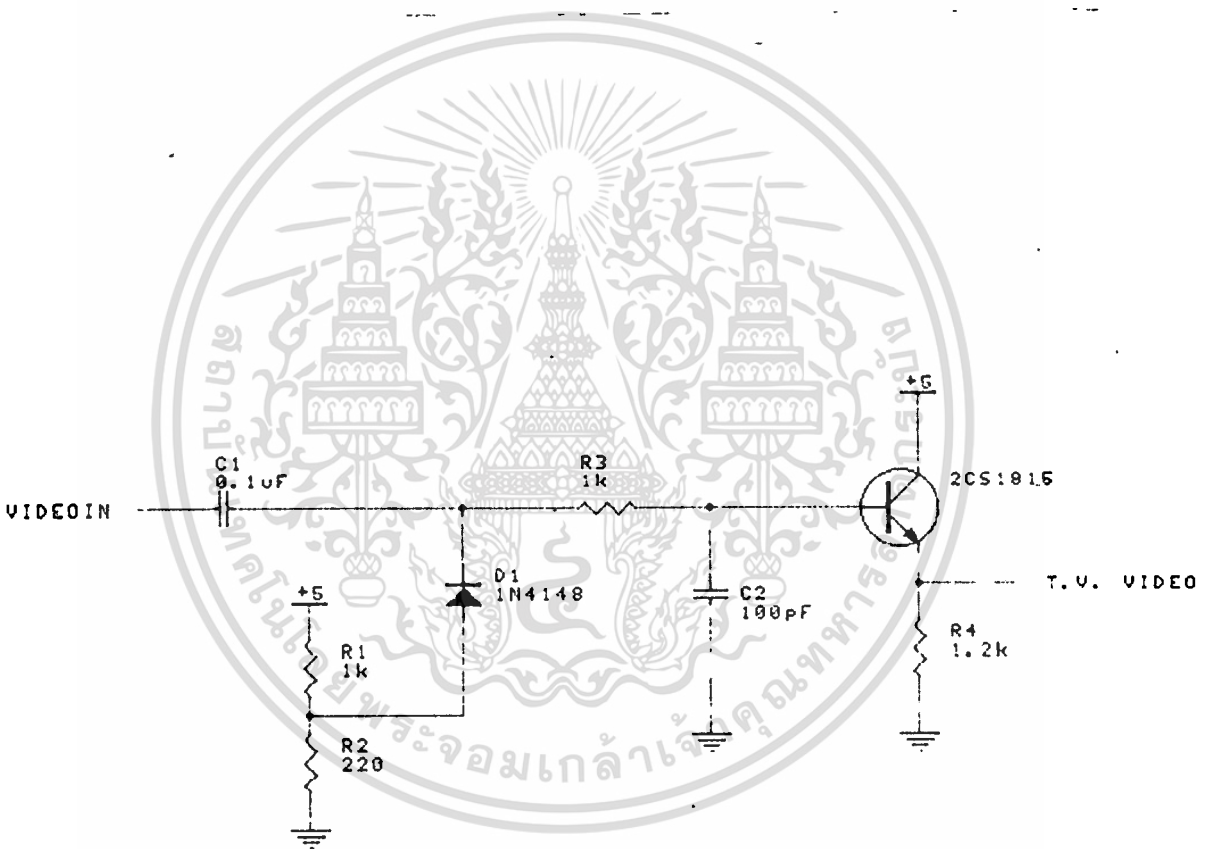
ผลภาพที่ได้รับมาจากด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



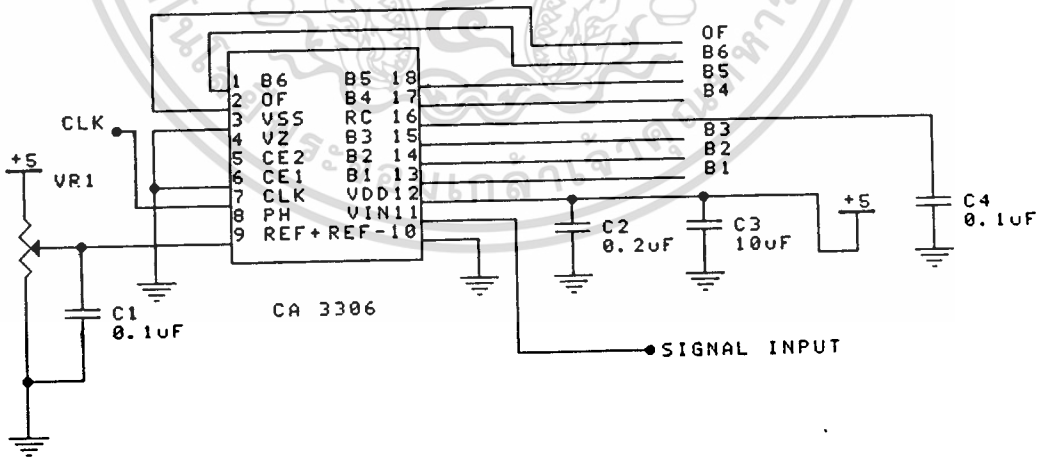

รูปที่ 3.19 วงจรแยกสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



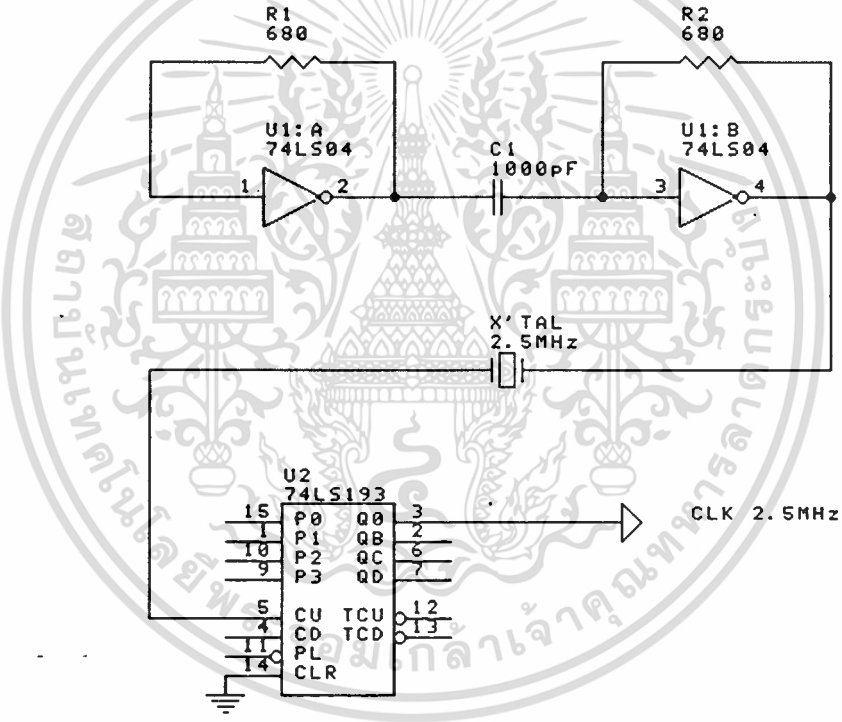

**รูปที่ 3.20 วงจรยกระดับสัญญาณดีซี**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



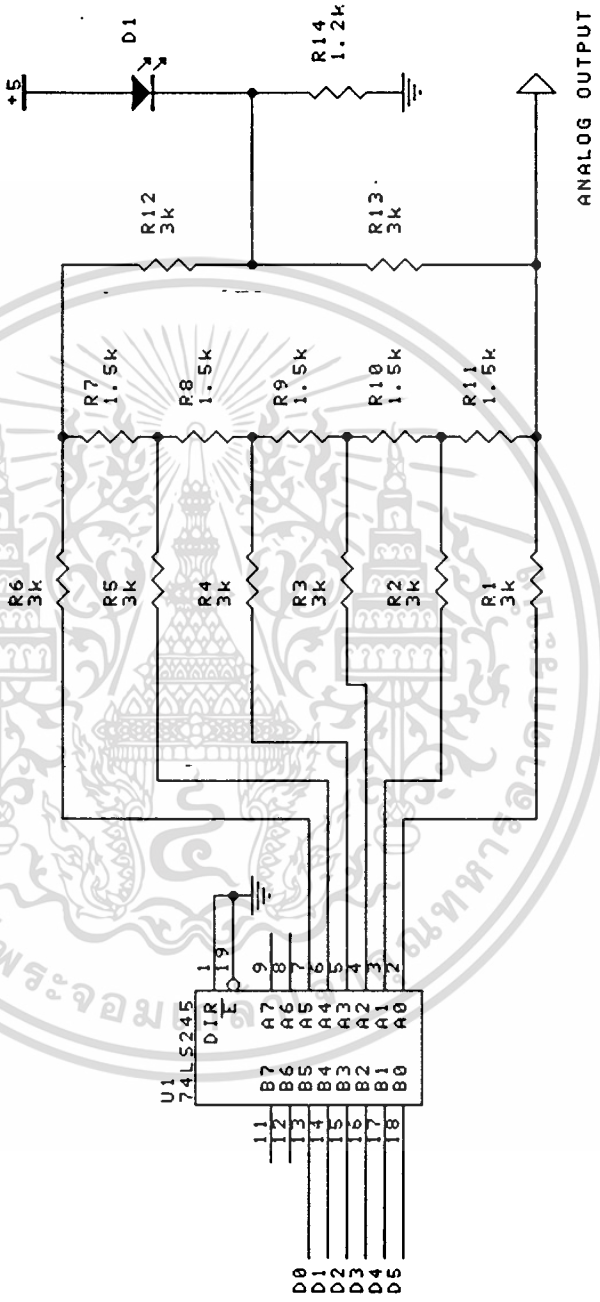

**รูปที่ ๓.21 วงจรแปลงสัญญาณอนาลอกเป็นข้อมูลดิจิตอล**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



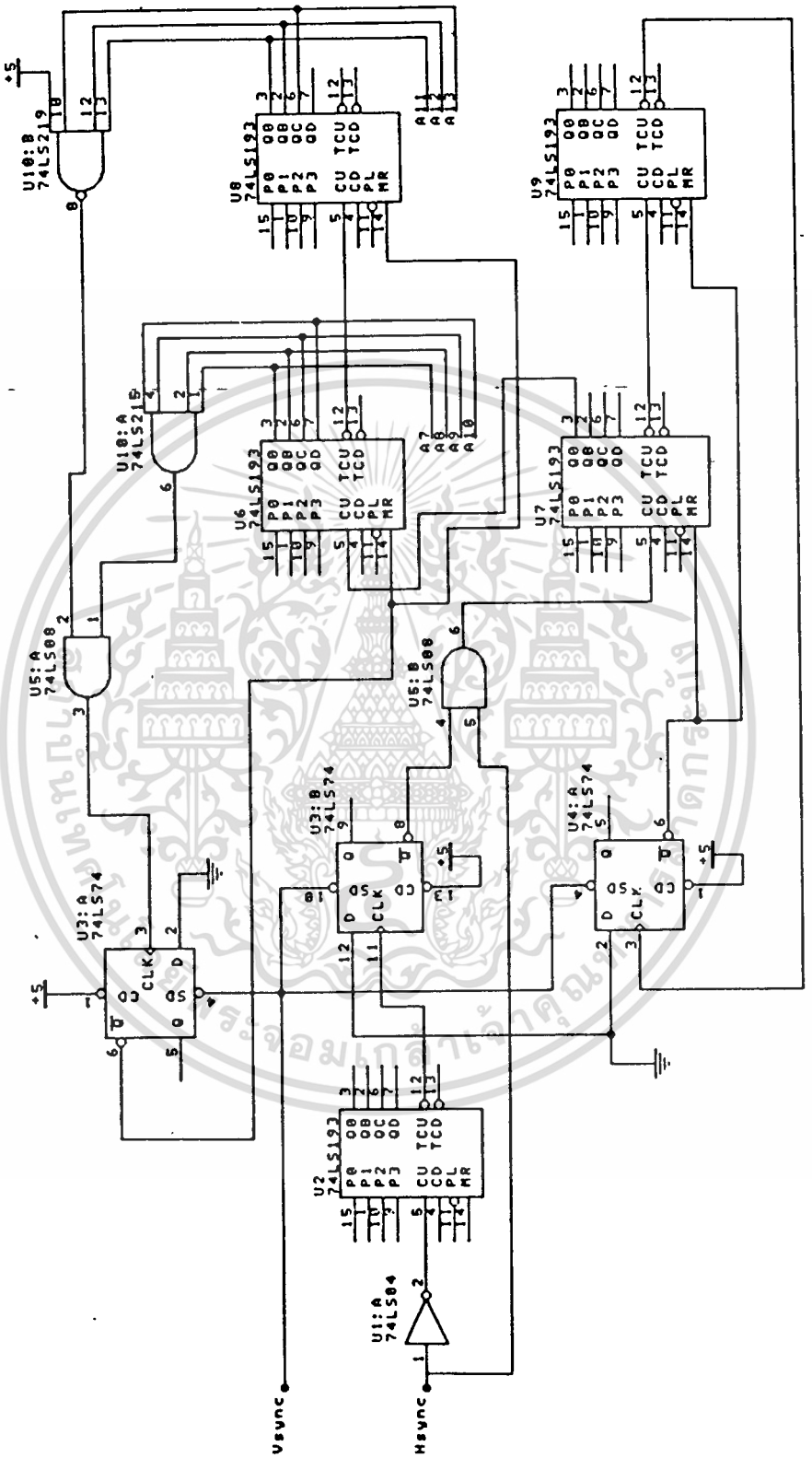

**รูปที่ 3.22 วงจรสร้างสัญญาณนาฬิกาความถี่ 2.5MHz**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



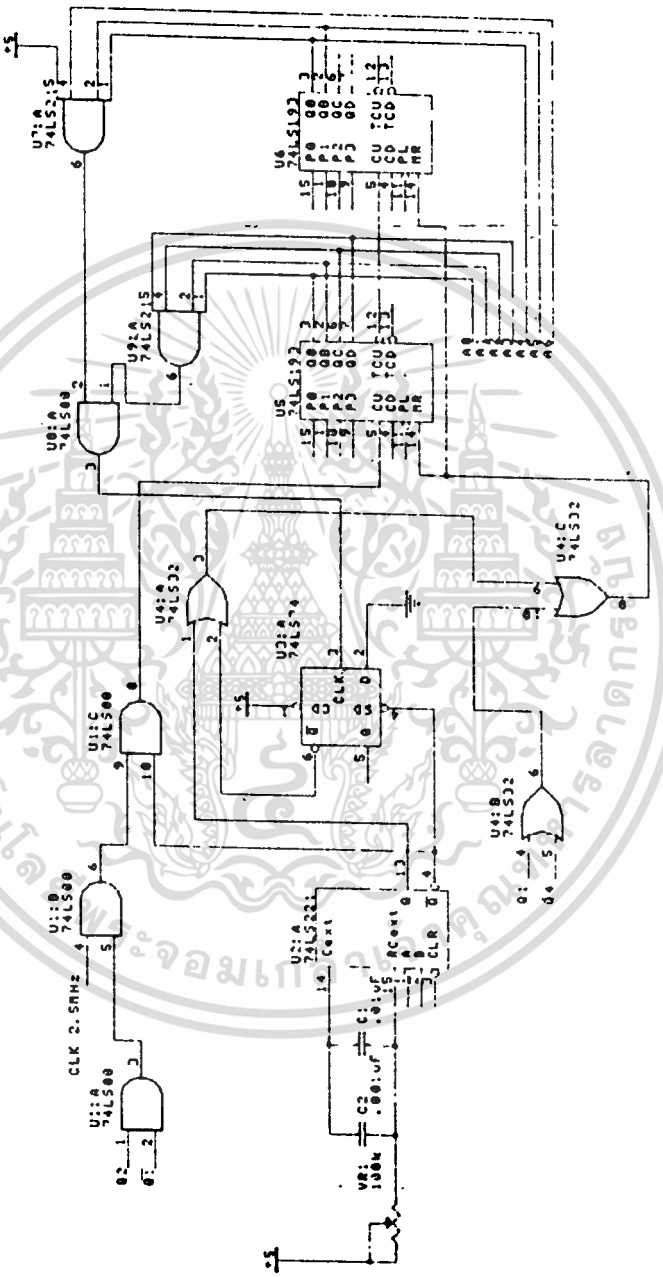

**รูปที่ 3.23 วงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาลอก**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



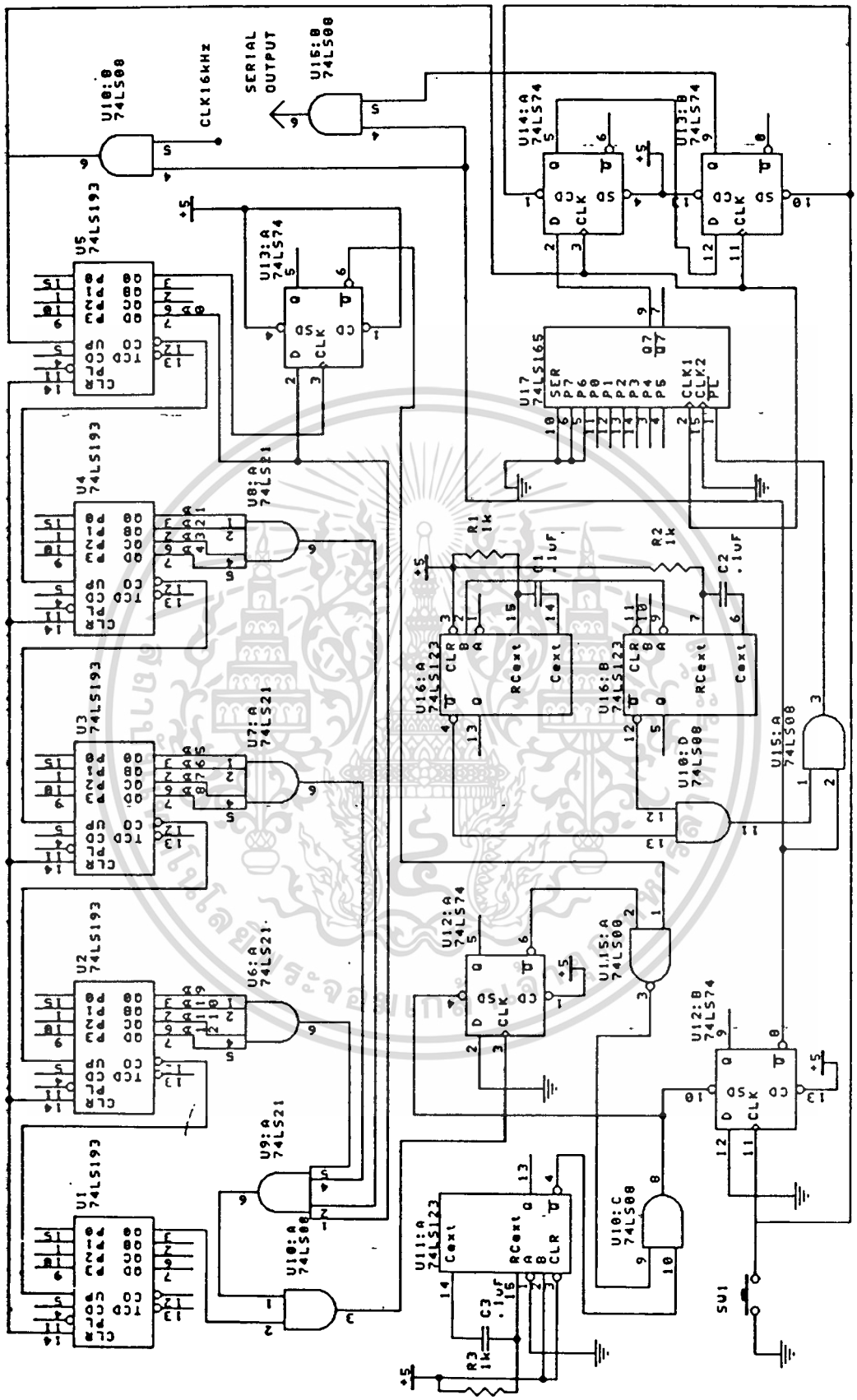

รูปที่ 3.24 วงจรควบคุมการสร้างแอดเดรสแนวโรว์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



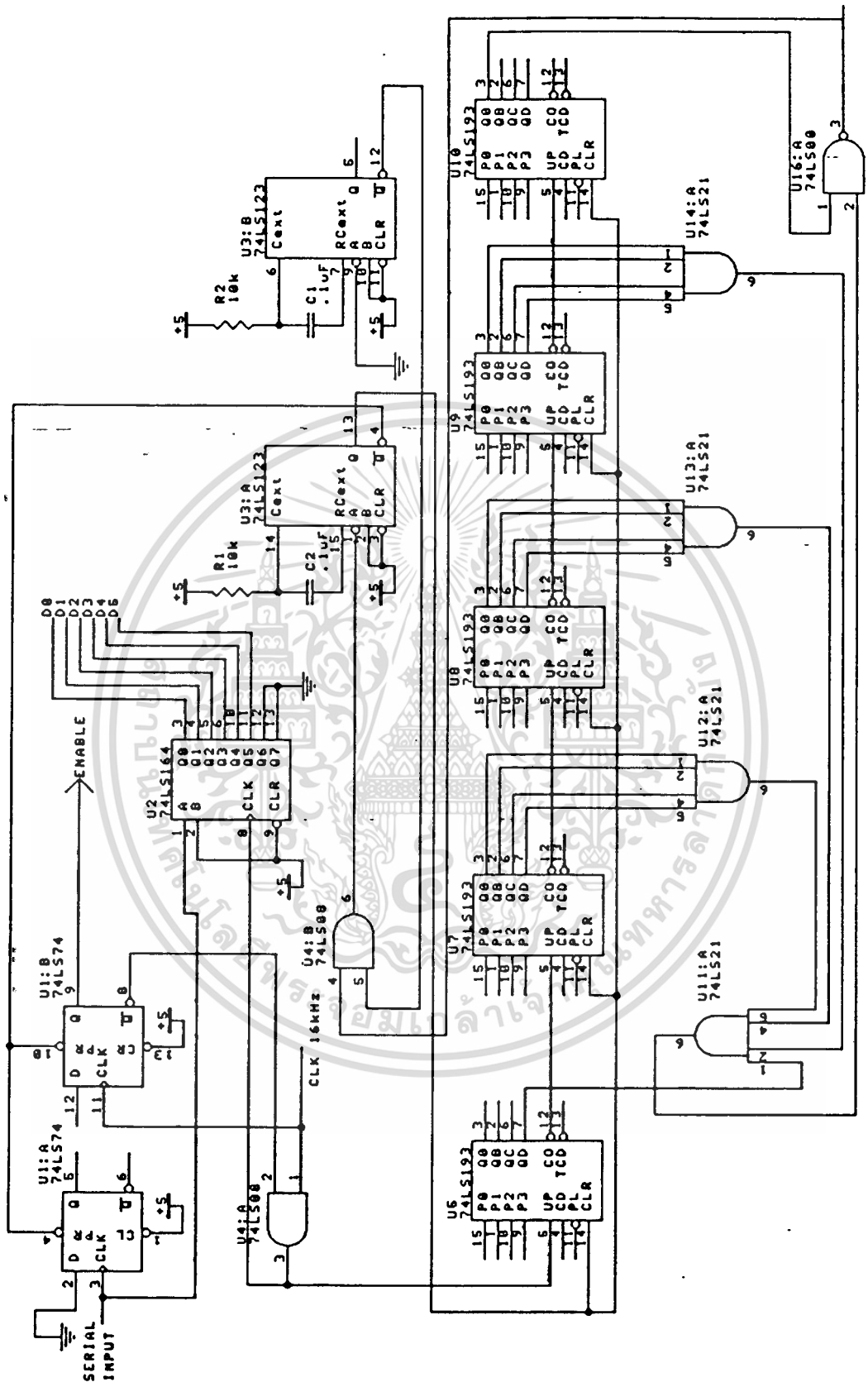
**รูปที่ 3.25 วงจรควบคุมการสร้างแอดเดรสแนวคอลัมน์**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



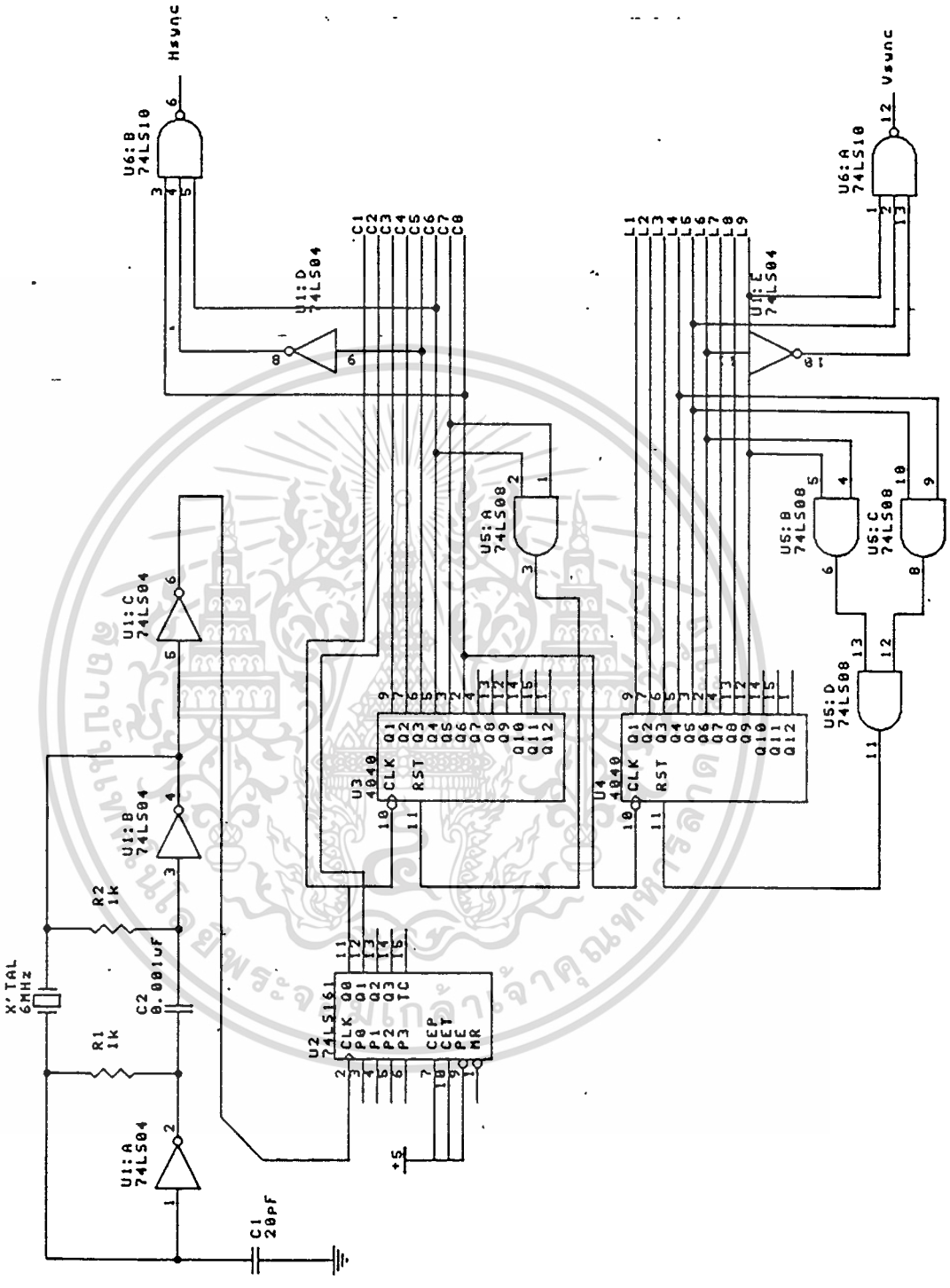

รูปที่ 3.26 วงจรส่วนควบคุมภาคส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



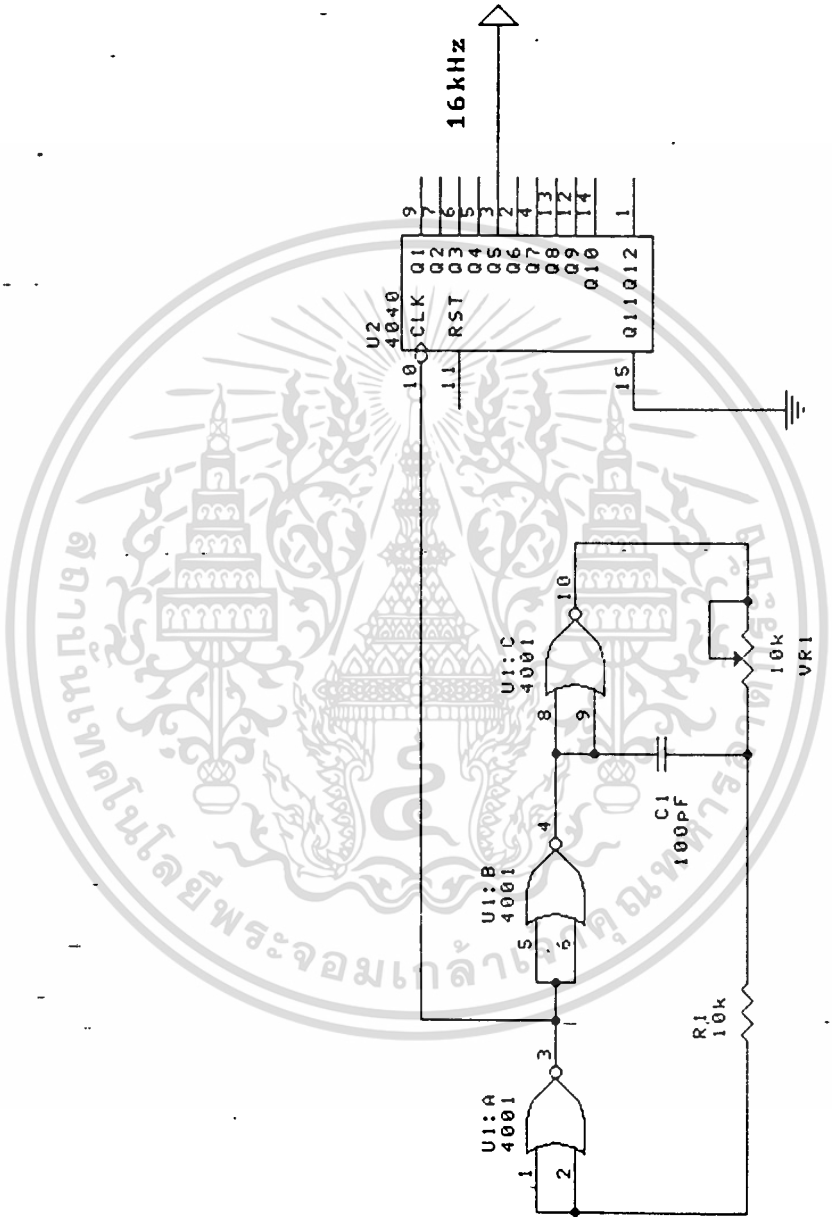

รูปที่ 3.27 วงจรส่วนควบคุมภาครับข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



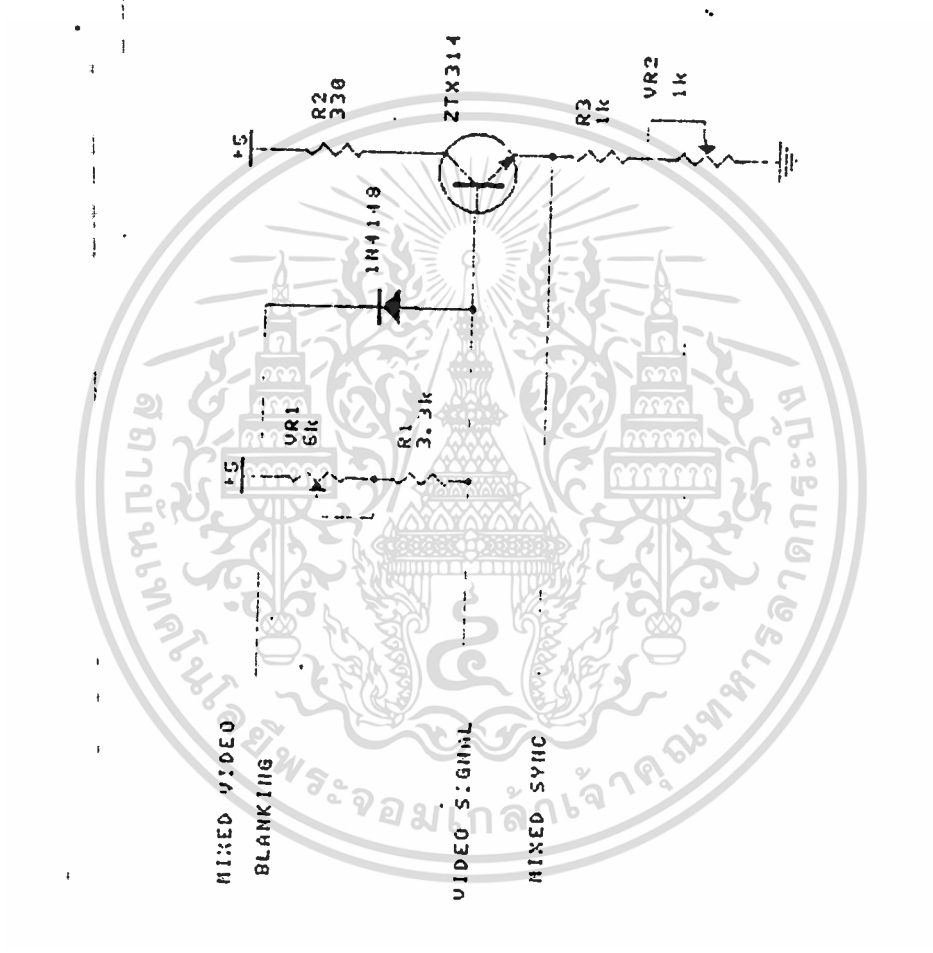

รูปที่ 3.28 วงจรกำเนิดสัญญาณซิงค์และแบลงกิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



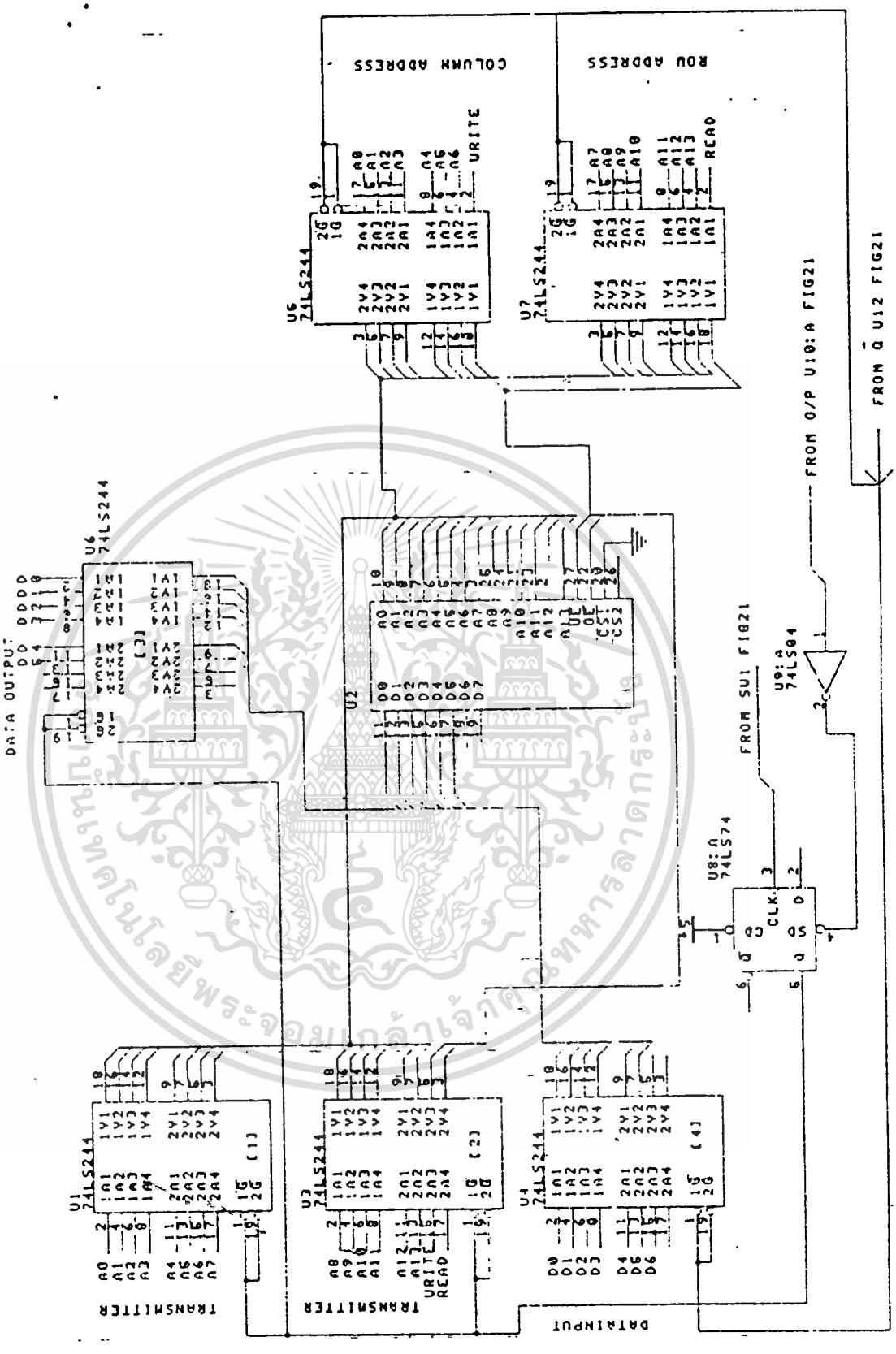

รูปที่ 3.29 วงจรสร้างสัญญาณนาฬิกาความถี่ 16kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



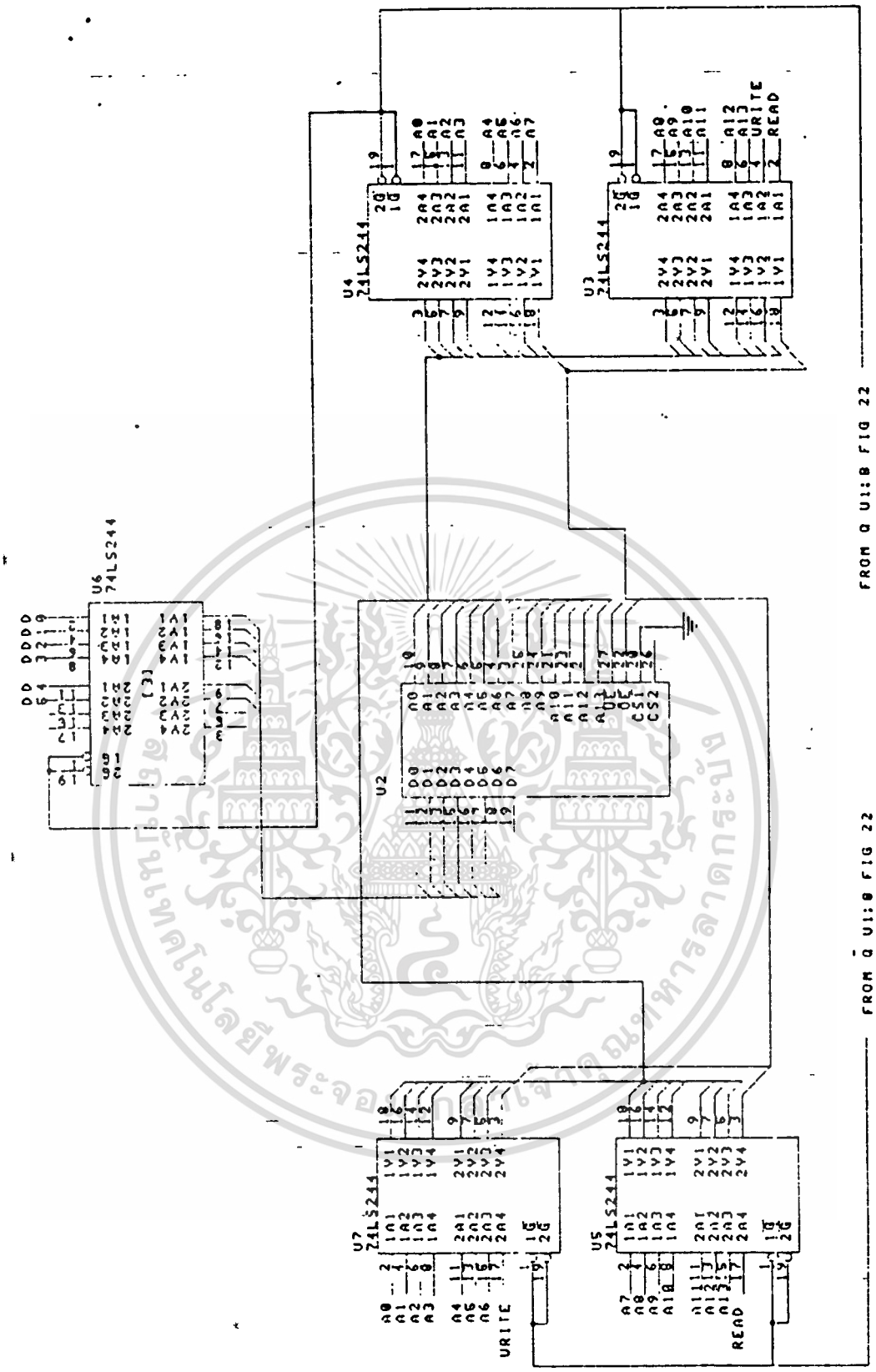

รูปที่ 3.30 วงจรสร้างสัญญาณภาพรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.31 วงจรบัฟเฟอร์ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.32 วงจรบัฟเฟอร์ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4

## การทดลองและผลการทดลอง

เนื่องจาก วงจรที่สร้างทำหน้าที่ในการส่งข้อมูลเสียงและภาพ โดยทำการมัลติเพล็กซ์ข้อมูลทั้งสองนี้แบบทีดีเอ็ม ดังนั้นการทดลอง จึงแบ่งเป็นสองส่วนคือ

- การทดลองในส่วนของเสียง

จะใช้วิธีการเปรียบเทียบรูปคลื่นสัญญาณที่กำเนิดจากฟังก์ชั่นเจนเนอเรเตอร์ก่อนการส่งและที่รับได้ โดยวงจรรับข้อมูลเสียงดิจิตอลว่ามีความผิดเพี้ยนของรูปคลื่นไปอย่างไรบ้าง ในที่นี้เราใช้สัญญาณทดสอบรูปซายน์ความถี่ 3kHz ,3 $V_{p-p}$ ซึ่งอยู่ในช่วงความถี่เสียง

- ผลการทดลอง

เมื่อทำการเปรียบเทียบสัญญาณทดสอบรูปซายน์ทั้งสอง จะเห็นว่าสัญญาณที่ได้จากเอาท์พุทของวงจรรับข้อมูลเสียงดิจิตอล จะมีความใกล้เคียงกันกับสัญญาณที่ได้ฟังก์เจนเนอเรเตอร์พอสมควร แต่อย่างไรก็ดี สัญญาณยังมีความผิดเพี้ยนอยู่บ้างที่ปลายยอดของสัญญาณรูปซายน์

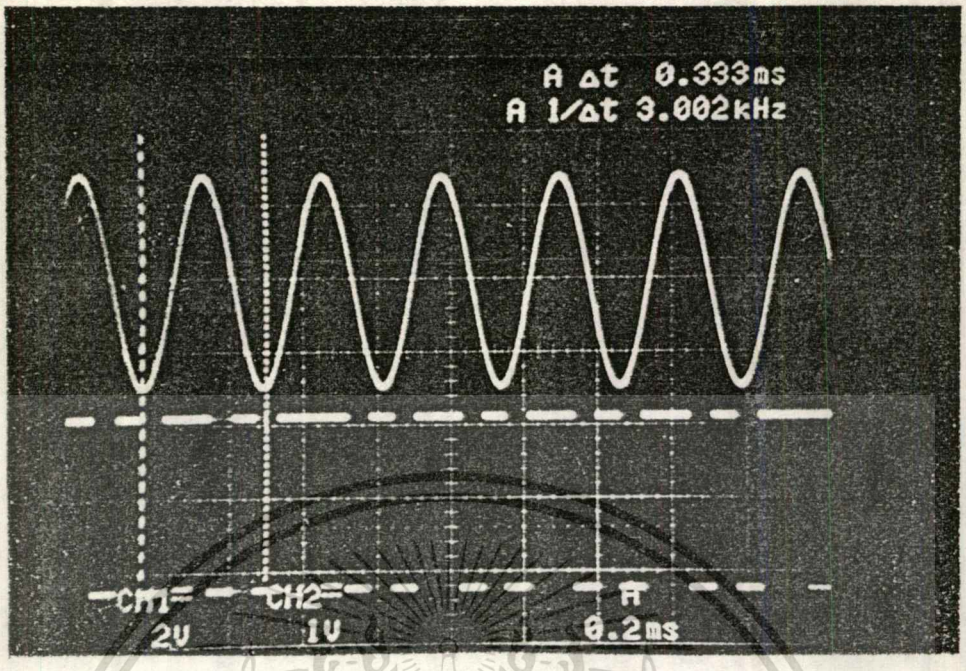
- การทดลองในส่วนของภาพ

ในการทดลอง จะใช้สัญญาณทดสอบภาพรูปบาร์ จากวงจรแพทเทอร์นเจนเนอเรเตอร์ที่สร้างขึ้นจากไอซีกำเนิดสัญญาณภาพเบอร์ ZNA 234 เป็นสัญญาณภาพอินพุทและทำการเปรียบเทียบสัญญาณทดสอบภาพรูปบาร์จากแพทเทอร์นเจนเนอเรเตอร์ก่อนการส่งกับที่รับได้โดยวงจรรับข้อมูลภาพดิจิตอลว่า มีความแตกต่างหรือผิดเพี้ยนไปอย่างไร

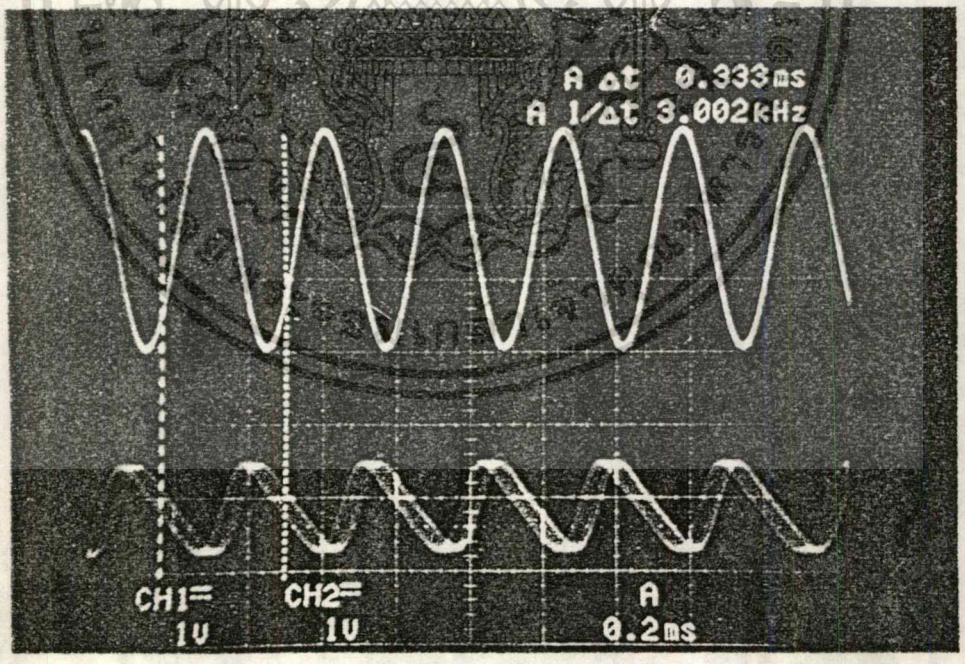
- ผลการทดลอง

เมื่อทำการเปรียบเทียบสัญญาณภาพรูปบาร์ทั้งสอง จะเห็นว่า สัญญาณภาพที่ได้จากแพทเทอร์นเจนเนอเรเตอร์นั้น ภาพรูปบาร์จะมีการไล่ระดับโทนสีและความคมชัดอยู่ในเกณฑ์ดี ส่วนสัญญาณภาพที่รับได้ ที่วงจรรับข้อมูลภาพดิจิตอลนั้น ที่ระดับความเข้มสีเทาสูงๆ จะไม่สามารถแยกระดับได้ และความคมชัดของภาพลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

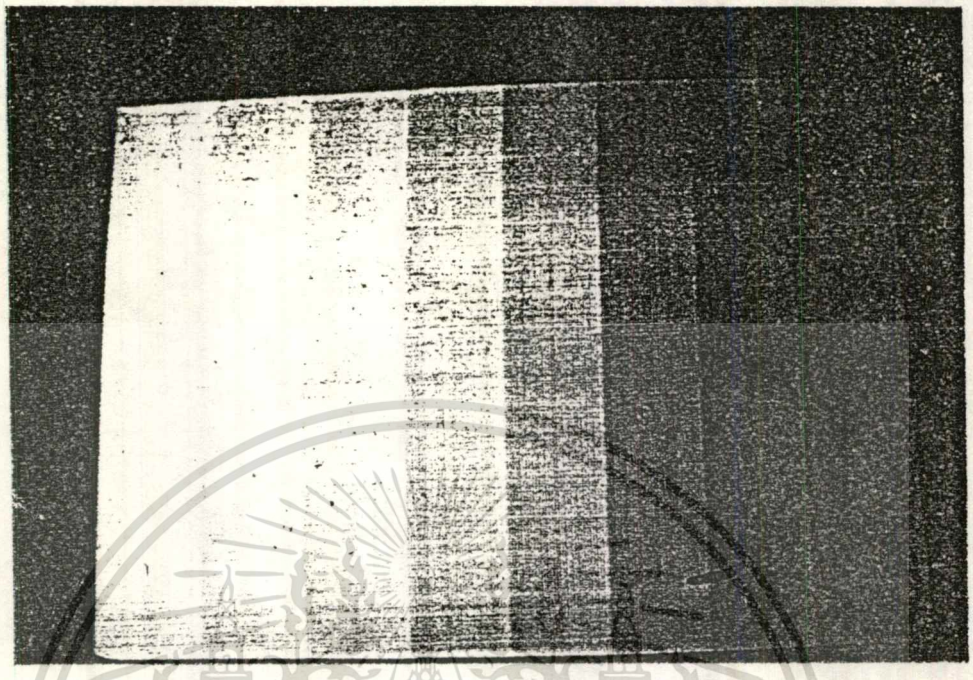



รูปที่ 4.1 สัญญาณทดสอบรูปซายน์ที่ได้จากฟังก์เจนเนอเรเตอร์ก่อนทำการส่ง (รูปบน) และสัญญาณเอาท์พุทที่ได้จากการเข้ารหัสดิจิตอล (รูปล่าง)

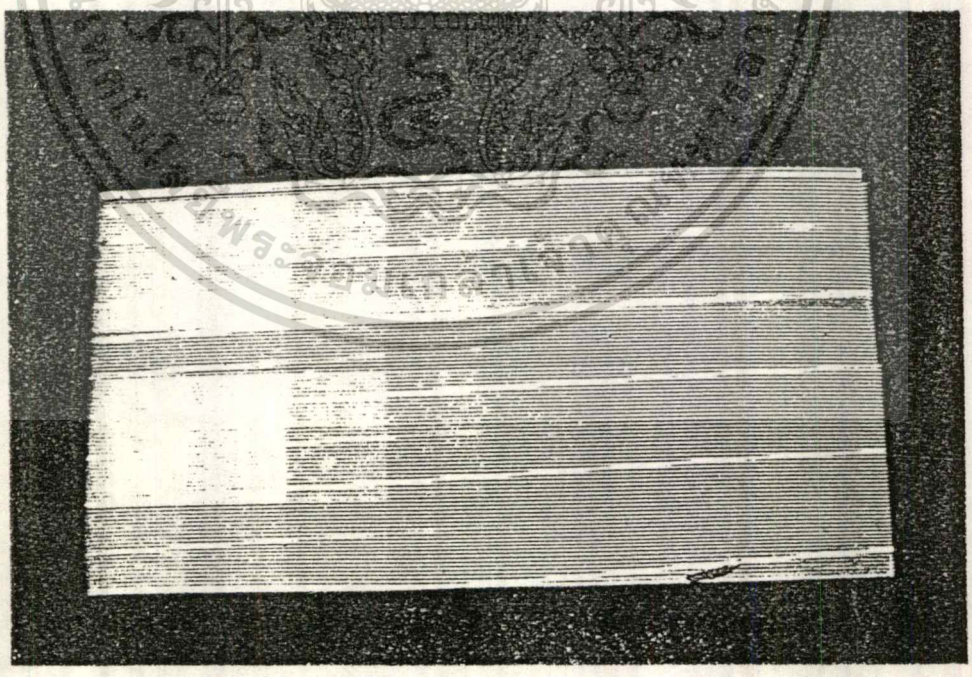



รูปที่ 4.2 สัญญาณทดสอบรูปซายน์ที่ได้จากฟังก์ชั่นเจอเนอเรเตอร์ (รูปบน) และสัญญาณทดสอบรูปซายน์ที่ได้จากเอาท์พุทวงจรรับข้อมูลเสียงดิจิตอล (รูปล่าง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 สัญญาณทดสอบภาพรูปบาร์ที่ได้จากแพทเทอร์นเจนเนอเรเตอร์ก่อนทำการส่ง



รูปที่ 4.4 สัญญาณทดสอบภาพรูปบาร์ที่รับได้จากวงจรรับข้อมูลภาพดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5

## สรุปผลการทดลองและแนวทางการพัฒนา

จากผลการทดลอง เราจะพบว่า สัญญาณทดสอบรูปซายน์ที่มีความถี่ในช่วงความถี่เสียง และสัญญาณทดสอบภาพรูปบาร์ที่ได้จากเอาท์พุทของวงจรภาครับ มีความผิดเพี้ยนของสัญญาณไปจากสัญญาณต้นกำเนิด

โดยสัญญาณทดสอบรูปซายน์ที่มีความถี่ในช่วงสัญญาณเสียง จะมีความผิดเพี้ยนที่ปลายยอดของสัญญาณ ซึ่งเป็นผลของการเกิดโอเวอร์โหลดทางความชันจากการแปลงข้อมูลดิจิตอลกลับคืนมาเป็นสัญญาณอนาลอก

ส่วนสัญญาณทดสอบภาพรูปบาร์ จะมีความคมชัดของภาพรูปบาร์น้อยลง โดยเฉพาะที่ระดับความเข้มสีเทาสูงๆ ไม่สามารถแยกแยะระดับได้ ซึ่งก็เป็นผลเนื่องมาจาก วงจรแปลงสัญญาณอนาลอกเป็นข้อมูลดิจิตอล มีความสามารถในการแปลงข้อมูลดิจิตอลให้อยู่ในระดับสัญญาณสีเทา ( Gray scale ) ได้เพียง 64 ระดับ อีกทั้งสัญญาณภาพที่นำมาแสดงผล มีจำนวนองค์ประกอบภาพค่อนข้างน้อยคือ มีเพียง 128 จุด X 128 เส้น

ด้วยเหตุที่ ระบบการส่งข้อมูลเสียงและภาพดิจิตอลที่สร้างนี้ พยายามที่ลดอัตราการส่งข้อมูลที่ถูกมัลติเพล็กซ์ ผ่านออกไปในสายนำสัญญาณ ให้มีค่าต่ำ เพื่อให้สามารถส่งข้อมูลผ่านสายนำสัญญาณทั่วไปได้ในระยะทางไกลกว่าการส่งข้อมูลด้วยความเร็วสูง โดยลดอัตราการส่งข้อมูลเสียงและอัตราการส่งข้อมูลภาพดิจิตอลให้ต่ำลง ด้วยวิธีการลดจำนวนข้อมูลเสียงและข้อมูลภาพให้น้อยลง จึงทำให้คุณภาพ และความชัดเจนของสัญญาณลดลงด้วย แต่อย่างไรก็ตาม สามารถใช้ในการสื่อสารทั่วๆไป ที่ไม่เน้นความสำคัญในเรื่องนี้มากนักได้

- แนวทางในการพัฒนา

ส่วนที่ควรพัฒนาและปรับปรุงคือ

1. ควรนำไมโครโปรเซสเซอร์ มาใช้ในการควบคุมระบบ เพื่อลดอุปกรณ์อิเล็กทรอนิกส์ในวงจร และดีงกระแสที่ค่อนข้างสูง รวมทั้งสะดวกในการแก้ไขปรับปรุง

2. ควรนำหลักการเข้ารหัสข้อมูลที่เหมาะสม หรือการแทรกไทม์มิ่งบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาใช้ เพื่อให้ข้อมูลที่ส่งออกมีข่าวสารนาฬิกาที่เพียงพอ ง่ายในการกู้สัญญาณนาฬิกา

3. ควรมีส่วนที่ทำหน้าที่ในการตรวจจับและแก้ไขความผิดพลาดของข้อมูล เพื่อให้ข้อมูลที่รับได้ทางด้านรับมีความน่าเชื่อถือ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC3417, MC3517
# MC3418, MC3518

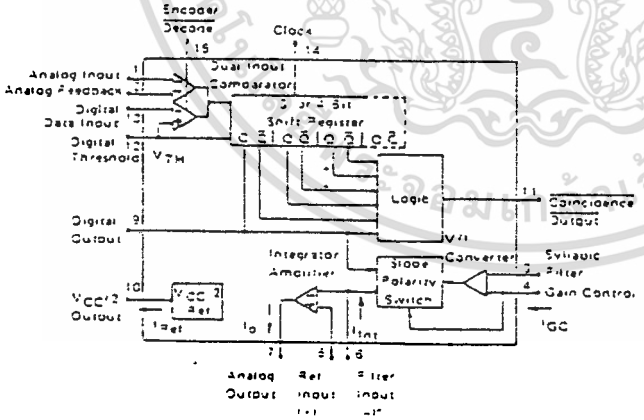
## Specifications and Applications Information

### CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Comoatible $I^2L$ – Linear Bipolar Technology
- CMOS Comoatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

### CVSD BLOCK DIAGRAM




### CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

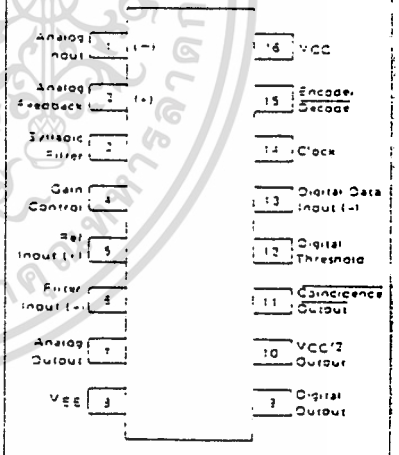
LASER-TRIMMED INTEGRATED CIRCUIT

L SUFFIX
CERAMIC PACKAGE
CASE 620-10

P SUFFIX
PLASTIC PACKAGE
CASE 648-08

DW SUFFIX
PLASTIC PACKAGE
CASE 751G-01
SO-16L

### PIN CONNECTIONS




### ORDERING INFORMATION

| Device | Package | Temperature Range |
|---|---|---|
| MC3417L | Ceramic DIP | 0°C to +70°C |
| MC3418DW | Plastic SOIC | 0°C to +70°C |
| MC3418L | Ceramic DIP | 0°C to +70°C |
| MC3418P | Plastic DIP | 0°C to +70°C |
| MC3517L | Ceramic DIP | −55°C to +125°C |
| MC3518L | Ceramic DIP | −55°C to +125°C |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MAXIMUM RATINGS

(All voltages referenced to $V_{EE}$. $T_A$ = 25°C unless otherwise noted.)

| Rating | Symbol | Value | Unit |
|---|---|---|---|
| Power Supply Voltage | $V_{CC}$ | −0.4 to +18 | Vdc |
| Differential Analog Input Voltage | $V_{ID}$ | ±5.0 | Vdc |
| Digital Threshold Voltage | $V_{TH}$ | −0.4 to $V_{CC}$ | Vdc |
| Logic Input Voltage (Clock, Digital Data, Encode/$\overline{\text{Decode}}$) | $V_{Logic}$ | −0.4 to +18 | Vdc |
| Coincidence Output Voltage | $V_{O(Coni)}$ | −0.4 to +18 | Vdc |
| Syllabic Filter Input Voltage | $V_{I(Syl)}$ | −0.4 to $V_{CC}$ | Vdc |
| Gain Control Input Voltage | $V_{I(GC)}$ | −0.4 to $V_{CC}$ | Vdc |
| Reference Input Voltage | $V_{I(Ref)}$ | $V_{CC}/2$ − 1.0 to $V_{CC}$ | Vdc |
| $V_{CC}/2$ Output Current | $I_{Ref}$ | −25 | mA |

## ELECTRICAL CHARACTERISTICS

($V_{CC}$ = 12 V, $V_{EE}$ = Gnd, $T_A$ = 0°C to +70°C for MC3417/18, $T_A$ = −55°C to +125°C for MC3517/18 unless otherwise noted.)

| Characteristic | Symbol | MC3417/MC3517 | | | MC3418/MC3518 | | | Unit |
|---|---|---|---|---|---|---|---|---|
| | | Min | Typ | Max | Min | Typ | Max | |
| Power Supply Voltage Range (Figure 1) | $V_{CCR}$ | 4.75 | 12 | 16.5 | 4.75 | 12 | 16.5 | Vdc |
| Power Supply Current (Figure 1) | $I_{CC}$ | | | | | | | mA |
| (Idle Channel) | | | | | | | | |
| ($V_{CC}$ = 5.0 V) | | – | 3.7 | 5.0 | – | 3.7 | 5.0 | |
| ($V_{CC}$ = 15 V) | | – | 5.0 | 10 | – | 6.0 | 10 | |
| Clock Rate | SR | – | 16 k | – | – | 32 k | – | Samples/s |
| Gain Control Current Range (Figure 2) | $I_{GCR}$ | 0.001 | – | 3.0 | 0.001 | – | 3.0 | mA |
| Analog Comparator Input Range (Pins 1 and 2) | $V_I$ | 1.3 | – | $V_{CC}$ − 1.3 | 1.3 | – | $V_{CC}$ − 1.3 | Vdc |
| (4.75 V ≤ $V_{CC}$ ≤ 16.5 V) | | | | | | | | |
| Analog Output Range (Pin 7) | $V_O$ | 1.3 | – | $V_{CC}$ − 1.3 | 1.3 | – | $V_{CC}$ − 1.3 | Vdc |
| (4.75 V ≤ $V_{CC}$ ≤ 16.5 V, $I_O$ = ±5.0 mA) | | | | | | | | |
| Input Bias Currents (Figure 3) | $I_{IB}$ | | | | | | | µA |
| (Comparator in Active Region) | | | | | | | | |
| Analog Input (I1) | | – | 0.5 | 1.5 | | 0.25 | 1.0 | |
| Analog Feedback (I2) | | – | 0.5 | 1.5 | – | 0.25 | 1.0 | |
| Syllabic Filter Input (I3) | | – | 0.06 | 0.5 | | 0.06 | 0.3 | |
| Reference Input (I5) | | | −0.06 | −0.5 | – | −0.06 | −0.3 | |
| Input Offset Current | $I_{IO}$ | | | | | | | µA |
| (Comparator in Active Region) | | | | | | | | |
| Analog Input/Analog Feedback (I1 − I2) – Figure 3 | | – | 0.15 | 0.6 | | 0.05 | 0.4 | |
| Integrator Amplifier (I5 − I6) – Figure 4 | | – | 0.02 | 0.2 | | 0.01 | 0.1 | |
| Input Offset Voltage | $V_{IO}$ | – | 2.0 | 6.0 | | 2.0 | 6.0 | mV |
| V/I Converter (Pins 3 and 4) – Figure 5 | | | | | | | | |
| Transconductance | $g_m$ | | | | | | | mA/mV |
| V/I Converter, 0 to 3.0 mA | | 0.1 | 0.3 | – | 0.1 | 0.3 | – | |
| Integrator Amplifier 0 to −5.0 mA Load | | 1.0 | 10 | – | 1.0 | 10 | – | |
| Propagation Delay Times (Note 1) | | | | | | | | µs |
| Clock Trigger to Digital Output | $t_{PLH}$ | – | 1.0 | 2.5 | – | 1.0 | 2.5 | |
| ($C_L$ = 25 pF to Gnd) | $t_{PHL}$ | – | 0.8 | 2.5 | – | 0.8 | 2.5 | |
| Clock Trigger to Coincidence Output | $t_{PLH}$ | – | 1.0 | 3.0 | – | 1.0 | 3.0 | |
| ($C_L$ = 25 pF to Gnd) | $t_{PHL}$ | – | 0.8 | 2.0 | – | 0.8 | 2.0 | |
| ($R_L$ = 4 kΩ to $V_{CC}$) | | | | | | | | |
| Coincidence Output Voltage – Low Logic State | $V_{OL(Coni)}$ | – | 0.12 | 0.25 | – | 0.12 | 0.25 | Vdc |
| ($I_{OL(Coni)}$ = 3.0 mA) | | | | | | | | |
| Coincidence Output Leakage Current – High Logic State | $I_{OH(Coni)}$ | – | 0.01 | 0.5 | – | 0.01 | 0.5 | µA |
| ($V_{OH}$ = 15.0 V, 0°C ≤ $T_A$ ≤ 70°C) | | | | | | | | |

NOTE 1. All propagation delay times measured 50% to 50% from the negative going (from $V_{CC}$ to +0.4 V) edge of the clock.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

| Characteristic | Symbol | MC3417/MC3517 Min | MC3417/MC3517 Typ | MC3417/MC3517 Max | MC3418/MC3518 Min | MC3418/MC3518 Typ | MC3418/MC3518 Max | Unit |
|---|---|---|---|---|---|---|---|---|
| Applied Digital Threshold Voltage Range (Pin 12) | $V_{TH}$ | +1.2 | – | $V_{CC}$ – 2.0 | +1.2 | – | $V_{CC}$ – 2.0 | Vdc |
| Digital Threshold Input Current (1.2 V ≤ $V_{th}$ ≤ $V_{CC}$ – 2.0 V) | $I_{I(th)}$ | | | | | | | µA |
| ($V_{IL}$ applied to Pins 13, 14 and 15) | | – | – | 5.0 | – | – | 5.0 | |
| ($V_{IH}$ applied to Pins 13, 14 and 15) | | – | –10 | –50 | – | –10 | –50 | |
| Maximum Integrator Amplifier Output Current | $I_O$ | ±5.0 | – | – | ±5.0 | – | – | mA |
| $V_{CC}$/2 Generator Maximum Output Current (Source only) | $I_{Ref}$ | +10 | – | – | +10 | – | – | mA |
| $V_{CC}$/2 Generator Output Impedance (0 to +10 mA) | $r_{Ref}$ | – | 3.0 | 6.0 | – | 3.0 | 6.0 | Ω |
| $V_{CC}$/2 Generator Tolerance (4.75 V ≤ $V_{CC}$ ≤ 16.5 V) | $e_r$ | – | – | ±3.5 | – | – | ±3.5 | % |
| Logic Input Voltage (Pins 13, 14 and 15) | | | | | | | | Vdc |
| Low Logic State | $V_{IL}$ | Gnd | – | $V_{th}$ – 0.4 | Gnd | – | $V_{th}$ – 0.4 | |
| High Logic State | $V_{IH}$ | $V_{th}$ + 0.4 | – | 18.0 | $V_{th}$ + 0.4 | – | 18.0 | |
| Dynamic Total Loop Offset Voltage (Note 2) – Figures 3, 4 and 5 | $\Sigma V_{offset}$ | | | | | | | mV |
| $I_{GC}$ = 12.0 µA, $V_{CC}$ = 12 V | | | | | | | | |
| $T_A$ = 25°C | | – | – | – | – | ±0.5 | ±1.5 | |
| 0°C ≤ $T_A$ ≤ +70°C MC3417/18 | | – | – | – | – | ±0.75 | ±2.3 | |
| –55°C ≤ $T_A$ ≤ +125°C MC3517/18 | | – | – | – | – | ±1.5 | ±4.0 | |
| $I_{GC}$ = 33.0 µA, $V_{CC}$ = 12 V | | | | | | | | |
| $T_A$ = 25°C | | – | ±2.5 | ±5.0 | – | – | – | |
| 0°C ≤ $T_A$ ≤ +70°C MC3417/18 | | – | ±3.0 | ±7.5 | – | – | – | |
| –55°C ≤ $T_A$ ≤ +125°C MC3517/18 | | – | ±4.5 | 10 | – | – | – | |
| $I_{GC}$ = 12.0 µA, $V_{CC}$ = 3.0 V | | | | | | | | |
| $T_A$ = 25°C | | – | – | – | – | ±1.0 | ±2.0 | |
| 0°C ≤ $T_A$ ≤ +70°C MC3417/18 | | – | – | – | – | ±1.3 | ±2.8 | |
| –55°C ≤ $T_A$ ≤ +125°C MC3517/18 | | – | – | – | – | ±2.5 | ±5.0 | |
| $I_{GC}$ = 33.0 µA, $V_{CC}$ = 3.0 V | | | | | | | | |
| $T_A$ = 25°C | | – | 4.0 | ±6.0 | – | – | – | |
| 0°C ≤ $T_A$ ≤ +70°C MC3417/18 | | – | ±4.5 | ±8.0 | – | – | – | |
| –55°C ≤ $T_A$ ≤ +125°C MC3517/18 | | – | ±5.5 | 10 | – | – | – | |
| Digital Output Voltage | | | | | | | | Vdc |
| ($I_{OL}$ = 1.6 mA) | $V_{OL}$ | – | 0.1 | 0.4 | – | 0.1 | 0.4 | |
| ($I_{OH}$ = –0.35 mA) | $V_{OH}$ | $V_{CC}$ – 1.0 | $V_{CC}$ – 0.2 | – | $V_{CC}$ – 1.0 | $V_{CC}$ – 0.2 | – | |
| Syllabic Filter Applied Voltage (Pin 3) (Figure 2) | $V_{f(Syl)}$ | +3.2 | – | $V_{CC}$ | +3.2 | – | $V_{CC}$ | Vdc |
| Integrating Current (Figure 2) | $I_{Int}$ | | | | | | | |
| ($I_{GC}$ = 12.0 µA) | | 8.0 | 10 | 12 | 8.0 | 10 | 12 | µA |
| ($I_{GC}$ = 1.5 mA) | | 1.45 | 1.50 | 1.55 | 1.45 | 1.50 | 1.55 | mA |
| ($I_{GC}$ = 3.0 mA) | | 2.75 | 3.0 | 3.25 | 2.75 | 3.0 | 3.25 | mA |
| Dynamic Integrating Current Match ($I_{GC}$ = 1.5 mA) Figure 6 | $V_{OI(Ave)}$ | – | ±100 | ±250 | – | ±100 | ±250 | mV |
| Input Current – High Logic State ($V_{IH}$ = 18 V) | $I_{IH}$ | | | | | | | µA |
| Digital Data Input | | – | – | +5.0 | – | – | +5.0 | |
| Clock Input | | – | – | +5.0 | – | – | +5.0 | |
| Encode/Decode Input | | – | – | +5.0 | – | – | +5.0 | |
| Input Current – Low Logic State ($V_{IL}$ = 0 V) | $I_{IL}$ | | | | | | | µA |
| Digital Data Input | | – | – | –10 | – | – | –10 | |
| Clock Input | | – | – | –360 | – | – | –360 | |
| Encode/Decode Input | | – | – | –36 | – | – | –36 | |
| Clock Input, $V_{IL}$ = 0.4 V | | – | – | –72 | – | – | –72 | |

NOTE 2. Dynamic total loop offset ($\Sigma V_{offset}$) equals $V_{IO}$ (comparator) (Figure 3) minus $V_{IOX}$ (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517 the clock frequency is 16.0 kHz. For the MC3418/MC3518, the clock frequency is 32.0 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to insure good idle channel performance.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 – CVSD WAVEFORMS

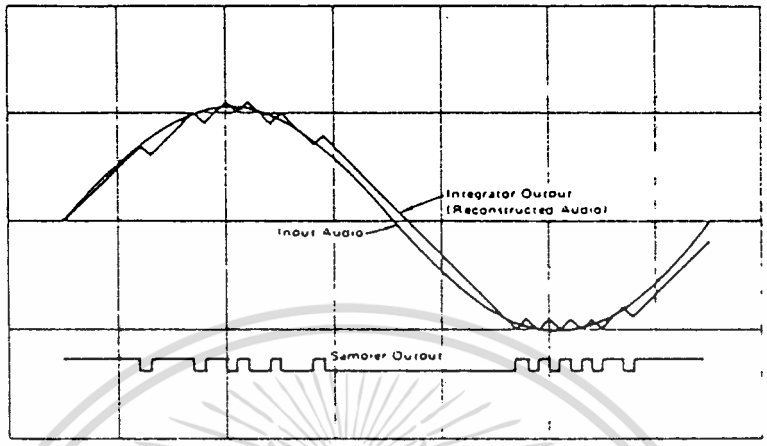
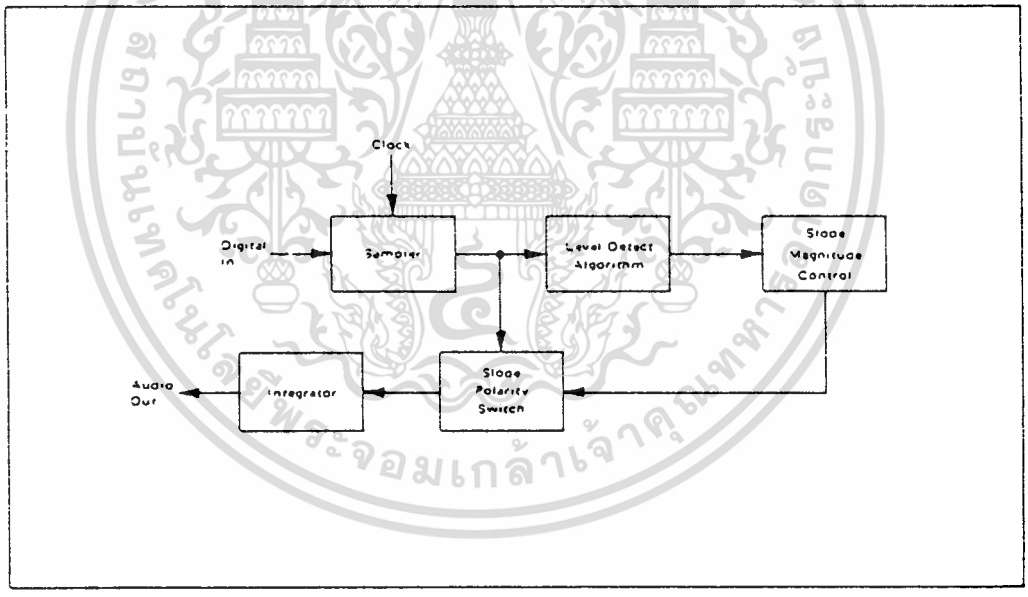



FIGURE 13 – BLOCK DIAGRAM OF THE CVSD DECODER






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL PERFORMANCE CURVES

FIGURE 7 – TYPICAL $I_{int}$ versus $I_{GC}$ (Mean ± 2σ)

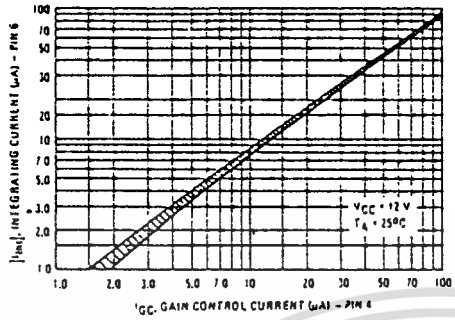



FIGURE 8 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus $V_{CC}$

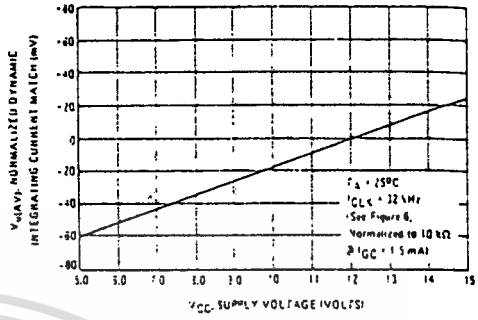



FIGURE 9 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus CLOCK FREQUENCY

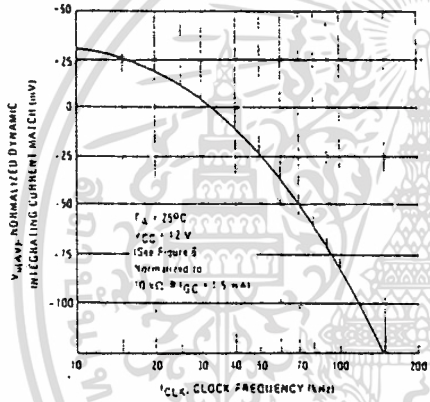



FIGURE 10 – DYNAMIC TOTAL LOOP OFFSET versus CLOCK FREQUENCY

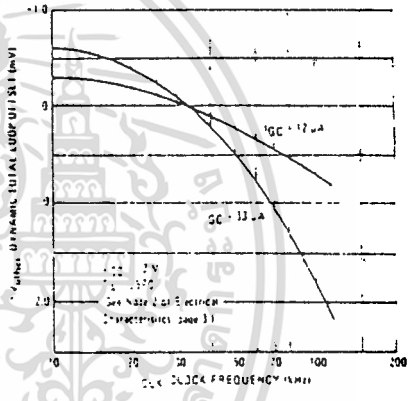
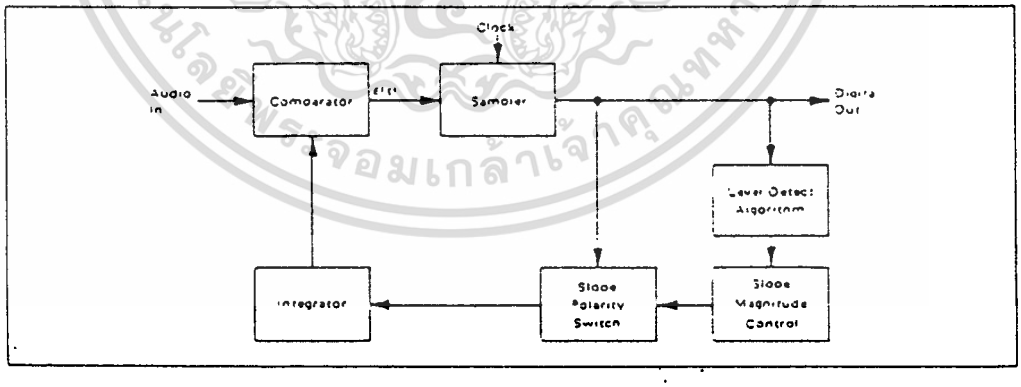


FIGURE 11 – BLOCK DIAGRAM OF THE CVSD ENCODER






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DEFINITIONS AND FUNCTION OF PINS

**Pin 1 — Analog Input**

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

**Pin 2 — Analog Feedback**

This is the non-inverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be pin 7 or a low pass filter output connected to pin 7. In a decode circuit pin 2 is not used and may be tied to $V_{CC}/2$ on pin 10, ground or left open.

The analog input comparator has bias currents of 1.5 μA max, thus the driving impedances of pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

**Pin 3 — Syllabic Filter**

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between pins 11 and 3. Typical time constant values of 6 ms to 50 ms are used in voice codecs.

**Pin 4 — Gain Control Input**

The syllabic filter voltage appears across $C_S$ of the syllabic filter and is the voltage between $V_{CC}$ and pin 3. The active voltage to current (V-I) converter drives pin 4 to the same voltage at a slew rate of typically 0.5 V/μs. Thus the current injected into pin 4 ($I_{GC}$) is the syllabic filter voltage divided by the $R_X$ resistance. Figure 6 shows the relationship between $I_{GC}$ (x-axis) and the integrating current, $I_{Int}$ (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The $R_X$ resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

**Pin 5 — Reference Input**

This pin is the non-inverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as pin 1 and is tied to pin 10.

**Pin 6 — Filter Input**

This inverting op amp input is used to connect the integrator external components. The integrating current ($I_{Int}$) flows into pin 6 when the analog input (pin 1) is high with respect to the analog feedback (pin 2) in the encode mode or when the digital data input (pin 13) is high in the decode mode. For the opposite states, $I_{Int}$ flows out of Pin 6. Single integration systems require a capacitor and resistor between pins 6 and 7. Multipole configurations will have different circuitry. The resistance between pins 6 and 7 should always be between 8 kΩ and 13 kΩ to maintain good idle channel characteristics.

**Pin 7 — Analog Output**

This is the integrator op amp output. It is capable of driving a 600-ohm load referenced to $V_{CC}/2$ to +6 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

**Pin 8 — $V_{EE}$**

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

**Pin 9 — Digital Output**

The digital output provides the results of the delta modulator's conversion. It swings between $V_{CC}$ and $V_{EE}$ and is CMOS or TTL compatible. Pin 9 is inverting with respect to pin 1 and non-inverting with respect to pin 2. It is clocked on the falling edge of pin 14. The typical 10% to 20% rise and fall times are 250 ns and 50 ns respectively for $V_{CC}$ = 12 V and $C_L$ = 25 pF to ground.

**Pin 10 — $V_{CC}/2$ Output**

An internal low impedance mid-supply reference is provided for use of the MC3417/18 in single supply applications. The internal regulator is a current source and must be loaded with a resistor to insure its sinking capability. If a +6 dBmo signal is expected across a 600 ohm input bias resistor, then pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is only possible if pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from pin 10 to $V_{EE}$ is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

**Pin 11 — $\overline{\text{Coincidence Output}}$**

The duty cycle of this pin is proportional to the voltage across $C_S$. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. In the MC3417 the register is 3 bits long



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

## DEFINITIONS AND FUNCTIONS OF PINS (continued)

while the MC3418 contains a 4 bit register. Pin 11 is an open collector of an NPN device and requires a pull-up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of Rp should be much less than $R_S$. In systems requiring different charge and discharge constants, the charging constant is $R_SC_S$ while the decaying constant is $(R_S + R_P)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for $R_L$ = 4 kΩ to +12 V and $C_L$ = 25 pF to ground.

Pin 12 – Digital Threshold

This input sets the switching threshold for pins 13, 14, and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above $V_{EE}$ for TTL interface.

Pin 13 – Digital Data Input

In a decode application, the digital data stream is applied to pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of pin 15. It is an inverting input with respect to pin 9. When pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 µs before and after the clock trigger for proper clocking.

Pin 14 – Clock Input

The clock input determines the data rate of the codec circuit. A 32K bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum width for a positive-going pulse on the clock input is 300 ns, whereas for a negative-going pulse, it is 900 ns.

Pin 15 – Encode/$\overline{\text{Decode}}$

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through pin 13 in an encoder.

Pin 16 – $V_{CC}$

The power supply range is from 4.75 to 16.5 volts between pin $V_{CC}$ and $V_{EE}$.

FIGURE 1 – POWER SUPPLY CURRENT

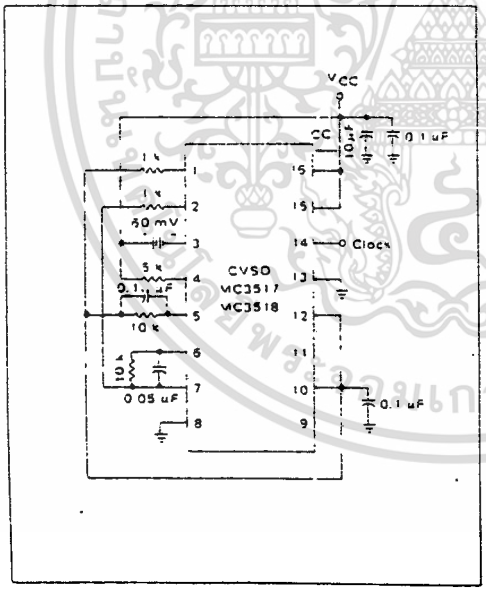
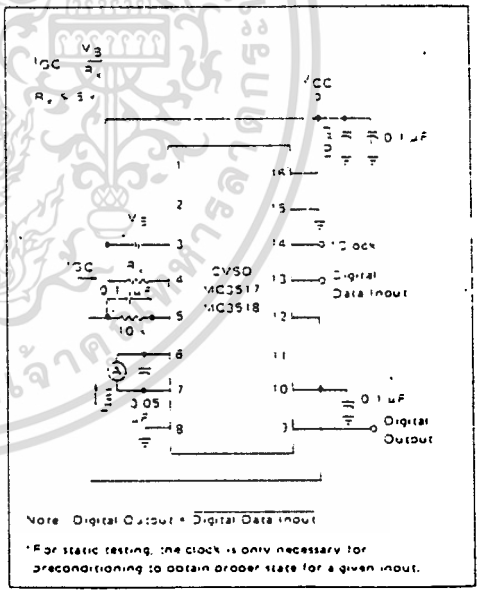



FIGURE 2 – $I_{GCR}$, GAIN CONTROL RANGE and $I_{INT}$ – INTEGRATING CURRENT

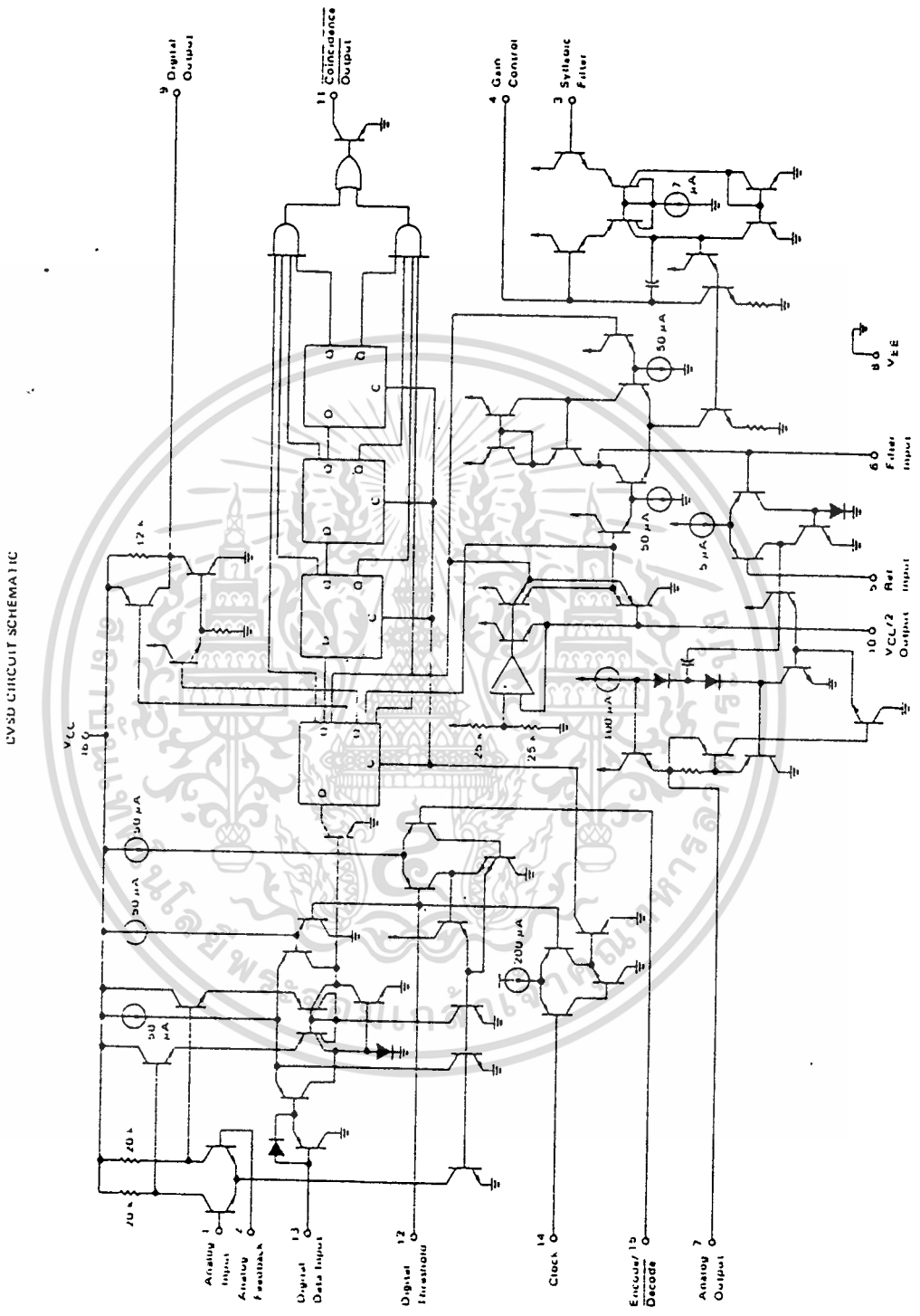



Note: Digital Output = $\overline{\text{Digital Data Input}}$

*For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

# TL071
# TL072
# TL074

## LOW NOISE, JFET INPUT OPERATIONAL AMPLIFIERS

SILICON MONOLITH
INTEGRATED CIRCUIT

# Low Noise, JFET Input Operational Amplifiers

These low noise JFET input operational amplifiers combine two state-of-the-art linear technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input devices for low input offset voltage. The BIFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents. Moreover, the devices exhibit low noise and low harmonic distortion making them ideal for use in high fidelity audio amplifier applications.

These devices are available in single, dual and quad operational amplifiers which are pin-compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar products.

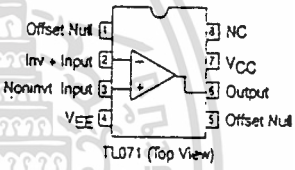
- Low Input Noise Voltage: 18 nV/$\sqrt{Hz}$ Typ
- Low Harmonic Distortion: 0.01% Typ
- Low Input Bias and Offset Currents
- High Input Impedance: $10^{12}$ Ω Typ
- High Slew Rate: 13 V/μs Typ
- Wide Gain Bandwidth: 4.0 MHz Typ
- Low Supply Current: 1.4 mA per Amp

P SUFFIX
PLASTIC PACKAGE
CASE 626

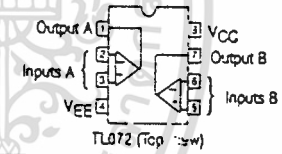
JG SUFFIX
CERAMIC PACKAGE
CASE 693

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO-8)

PIN CONNECTIONS




TL071 (Top View)

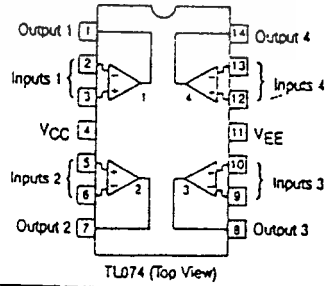



TL072 (Top View)

N SUFFIX
PLASTIC PACKAGE
CASE 646
(TL074 Only)

J SUFFIX
CERAMIC PACKAGE
CASE 632
(TL074 Only)

PIN CONNECTIONS




TL074 (Top View)

ORDERING INFORMATION

| Op Amp Function | Device | Temperature Range | Package |
|---|---|---|---|
| Single | TL071ACD, CD | 0° to +70°C | SO-8 |
| | TL071ACJG, CJG | | Ceramic DIP |
| | TL071ACP, CP | | Plastic DIP |
| Dual | TL072ACD, CD | 0° to +70°C | SO-8 |
| | TL072ACJG, CJG | | Ceramic DIP |
| | TL072ACP, CP | | Plastic DIP |
| Quad | TL074ACJ, CJ | 0° to +70°C | Ceramic DIP |
| | TL074ACN, CN | | Plastic DIP |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MAXIMUM RATINGS

| Rating | Symbol | TL07_C<br>TL07_AC | Unit |
|---|---|---|---|
| Supply Voltage | $V_{CC}$<br>$V_{EE}$ | +18<br>−18 | V |
| Differential Input Voltage | $V_{ID}$ | ±30 | V |
| Input Voltage Range (Note 1) | $V_{IDR}$ | ±15 | V |
| Output Short Circuit Duration (Note 2) | tSC | Continuous | |
| Power Dissipation<br>Plastic Package (N, P)<br>Derate above $T_A$ = +47°C<br>Ceramic Package (J, JG)<br>Derate above $T_A$ = +82°C | $P_D$<br>$1/\theta_{JA}$<br>$P_D$<br>$1/\theta_{JA}$ | <br>680<br>10<br>680<br>10 | <br>mW<br>mW/°C<br>mW<br>mW/°C |
| Operating Ambient Temperature Range | $T_A$ | 0 to +70 | °C |
| Storage Temperature Range | $T_{stg}$ | −65 to +150 | °C |

NOTES: 1. The magnitude of the input voltage must not exceed the magnitude of the supply voltage or 15 V, whichever is less.
2. The output may be shorted to ground or either supply. Temperature and or supply voltages must be limited to ensure that power dissipation ratings are not exceeded.

## ELECTRICAL CHARACTERISTICS ($V_{CC}$ = +15 V, $V_{EE}$ = −15 V, $T_A$ = $T_{high}$ to $T_{low}$ [Note 3])

| Characteristics | Symbol | TL07_C<br>TL07_AC<br>Min | Typ | Max | Unit |
|---|---|---|---|---|---|
| Input Offset Voltage ($R_S$ ≤ 10 k, $V_{CM}$ = 0)<br>TL071, TL072<br>TL074<br>TL07_A | $V_{IO}$ | <br>—<br>— | <br>—<br>— | <br>13<br>13<br>7.5 | mV |
| Input Offset Current ($V_{CM}$ = 0) (Note 4)<br>TL07_<br>TL07_A | $I_{IO}$ | <br>—<br>— | <br>—<br>— | <br>2.0<br>2.0 | nA |
| Input Bias Current ($V_{CM}$ = 0) (Note 4)<br>TL07_<br>TL07_A | $I_{IB}$ | <br>—<br>— | <br>—<br>— | <br>7.0<br>7.0 | nA |
| Large-Signal Voltage Gain ($V_O$ = ±10 V, $R_L$ ≥ 2.0 k)<br>TL07_<br>TL07_A | $A_{VOL}$ | <br>15<br>25 | <br>—<br>— | <br>—<br>— | V/mV |
| Output Voltage Swing (Peak-to-Peak)<br>($R_L$ ≥ 10 k)<br>($R_L$ ≥ 2.0 k) | $V_O$ | <br>24<br>20 | <br>—<br>— | <br>—<br>— | V |

NOTES: (continued)
3. $T_{low}$ = 0°C for TL071C, TL071AC, TL072C, TL072AC, TL074C, TL074AC; $T_{high}$ = +70°C for TL071C, TL071AC, TL072C, TL072AC, TL074C, TL074AC
4. Input Bias currents of JFET input op amps approximately double for every 10°C rise in Junction Temperature as shown in Figure 3. To maintain Junction Temperature as close to Ambient Temperature as possible, pulse techniques must be used during testing.

## TEST CIRCUITS

Figure 1. Unity Gain Voltage Follower

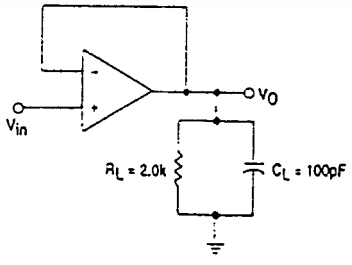
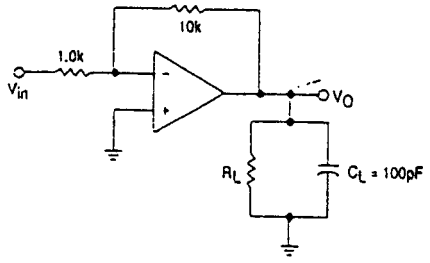



Figure 2. Inverting Gain of 10 Amplifier






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Representative Circuit Schematic**
(Each Amplifier)

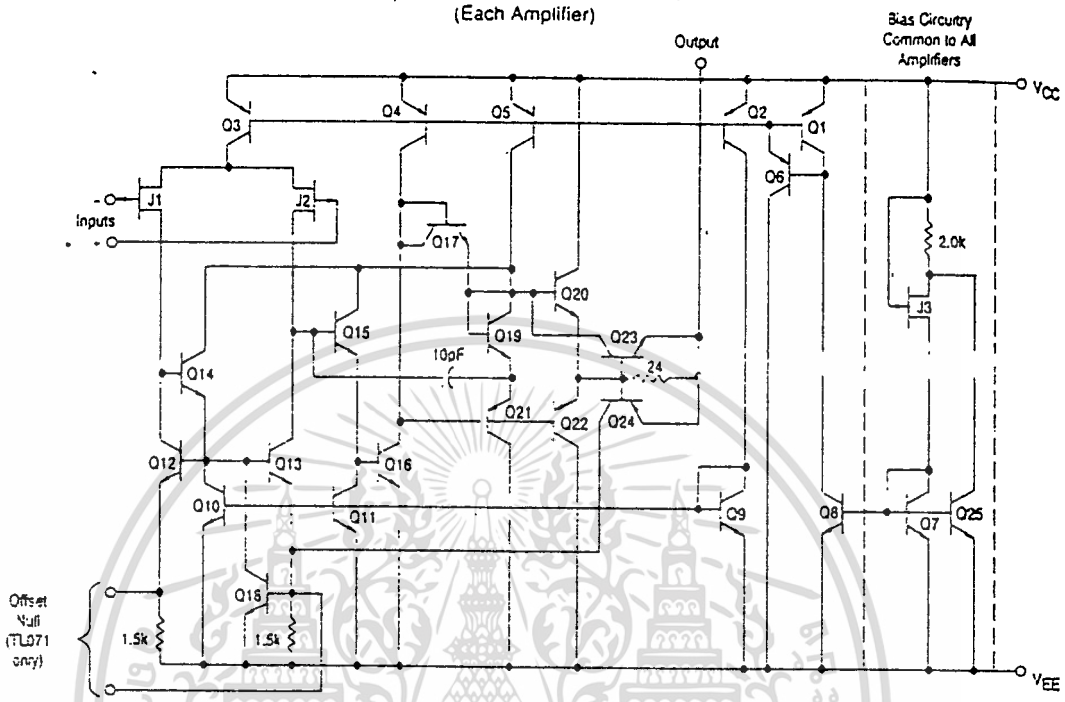



Figure 14. Audio Tone Control Amplifier

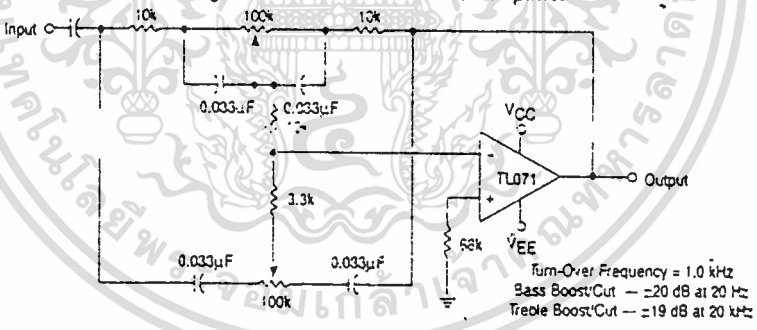
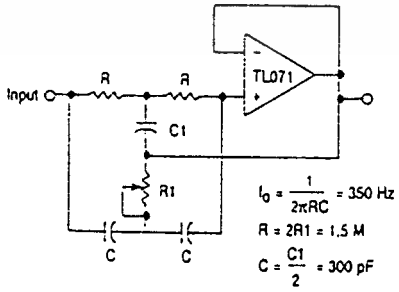



Figure 15. High Q Notch Filter






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ELECTRICAL CHARACTERISTICS** ($V_{CC}$ = +15 V, $V_{EE}$ = −15 V, $T_A$ = 25°C, unless otherwise noted.)

| Characteristics | Symbol | TL07_C / TL07_AC Min | TL07_C / TL07_AC Typ | TL07_C / TL07_AC Max | Unit |
|---|---|---|---|---|---|
| Input Offset Voltage ($R_S \le 10$ k, $V_{CM}$ = 0)<br>TL071, TL072<br>TL074<br>TL07_A | $V_{IO}$ | <br>—<br>—<br>— | <br>3.0<br>3.0<br>3.0 | <br>10<br>10<br>6.0 | mV |
| Average Temperature Coefficient of Input Offset Voltage<br>$R_S$ = 50 Ω, $T_A$ = $T_{low}$ to $T_{high}$ (Note 3) | $\Delta V_{IO}/\Delta T$ | — | 10 | — | μV/°C |
| Input Offset Current ($V_{CM}$ = 0) (Note 4)<br>TL07_<br>TL07_A | $I_{IO}$ | <br>—<br>— | <br>5.0<br>5.0 | <br>50<br>50 | pA |
| Input Bias Current ($V_{CM}$ = 0) (Note 4)<br>TL07_<br>TL07_A | $I_{IB}$ | <br>—<br>— | <br>30<br>30 | <br>200<br>200 | pA |
| Input Resistance | $r_i$ | — | $10^{12}$ | — | Ω |
| Common Mode Input Voltage Range<br>TL07_<br>TL07_A | $V_{ICR}$ | <br>±10<br>±11 | <br>+15, −12<br>+15, −12 | <br>—<br>— | V |
| Large-Signal Voltage Gain ($V_O$ = ±10 V, $R_L \ge$ 2.0 k)<br>TL07_<br>TL07_A | $A_{VOL}$ | <br>25<br>50 | <br>150<br>150 | <br>—<br>— | V/mV |
| Output Voltage Swing (Peak-to-Peak)<br>($R_L$ = 10 k) | $V_O$ | 24 | 28 | — | V |
| Common Mode Rejection Ratio ($R_S \le 10$ k)<br>TL07_<br>TL07_A | CMRR | <br>70<br>80 | <br>100<br>100 | <br>—<br>— | dB |
| Supply Voltage Rejection Ratio ($R_S \le 10$ k)<br>TL07_<br>TL07_A | PSRR | <br>70<br>80 | <br>100<br>100 | <br>—<br>— | dB |
| Supply Current (Each Amplifier) | $I_D$ | — | 1.4 | 2.5 | mA |
| Unity Gain Bandwidth | BW | — | 4.0 | — | MHz |
| Slew Rate (See Figure 1)<br>$V_{in}$ = 10 V, $R_L$ = 2.0 k, $C_L$ = 100 pF | SR | — | 13 | — | V/μs |
| Rise Time (See Figure 1) | $t_r$ | — | 0.1 | — | μs |
| Overshoot Factor<br>$V_{in}$ = 20 mV, $R_L$ = 2.0 k, $C_L$ = 100 pF | — | — | 10 | — | % |
| Equivalent Input Noise Voltage<br>$R_S$ = 100 Ω, f = 1000 Hz | $e_n$ | — | 18 | — | nV/√Hz |
| Equivalent Input Noise Current<br>$R_S$ = 100 Ω, f = 1000 Hz | $i_n$ | — | 0.01 | — | pA/√Hz |
| Total Harmonic Distortion<br>$V_O$ (RMS) = 10 V, $R_S \le$ 1.0 k<br>$R_L \ge$ 2.0 k, f = 1000 Hz | THD | — | 0.01 | — | % |
| Channel Separation<br>$A_V$ = 100 | — | — | 120 | — | dB |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 54164/74164 8-Parallel-Out Serial Shift Register

| | Schottky TTL | | | | High-Speed TTL | | | | Low-Power Schottky TTL | | | | Standard TTL | | | | Low-Power TTL | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Device Type | Package | | | Device Type | Package | | | Device Type | Package | | | Device Type | Package | | | Device Type | Package | | |
| | | C | P | M | CF | | C | P | M | CF | | C | P | M | CF | | C | P | M.CF | | | C | P | M | CF |
| T.I. | | | | | | | | | | | SN54LS164 | J | L | | W | SN54164 | J | L | | W | SN54L164 | J | L | | |
| | | | | | | | | | | | SN74LS164 | J | N | | | SN74164 | J | N | | | SN74L164 | J | N | | |
| FAIRCHILD | | | | | | | | | | | 9LS164/F9L164 | D | L | | F | FJH54164/FJH93164 | D | L | | F | | | | | |
| | | | | | | | | | | | 9LS164/F9L164 | D | L | | F | FC74164/FC93164 | D | L | P | L | | | | | |
| MOTOROLA | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | SN74LS164 | | P | L | | MC74164 | | P | L | |
| N.S.C. | | | | | | | | | | | DM74LS164 | | J | | | | | | | |
| | | | | | | | | | | | DM54LS164 | | J | | | DM74164 | | N | | |
| PHILIPS | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | N74LS164 | | N | | | N74164 | | N | | |
| SIGNETICS | | | | | | | | | | | | | | | | S54164 | F | L | A | L | W | | | | |
| | | | | | | | | | | | N74LS164 | | A | L | | N74164 | F | L | A | L | |
| SIEMENS | | | | | | | | | | | | | | | | | | | | |
| FUJITSU | | | | | | | | | | | | | | | | MJ4A41 | | | N | |
| | | | | | | | | | | | | | | | | | | | | |
| HITACHI | | | | | | | | | | | 74LS164 | | MP | | | | | | | |
| | | | | | | | | | | | HD74LS164 | | P | L | | HD74164 | | P | L | |
| MITSUBISHI | | | | | | | | | | | | | | | | | | | | |
| NEC | | | | | | | | | | | M74LS164 | | P | L | | MS3164 | | | P | L |
| | | | | | | | | | | | | | | | | | | | | |
| TOSHIBA | | | | | | | | | | | AM74LS | | C | J | | μPB2164 | | D | L | |
| | | | | | | | | | | | | | | | | | | | | |
| AMD | | | | | | | | | | | | | | | | TD3503A | | | P | L |
| | | | | | | | | | | | Am74LS164 | | | | | | | | | |

## Electrical Characteristics SN54LS164/SN74LS164

### absolute maximum ratings over operating free-air temperature range

| | | | | |
|---|---|---|---|---|
| Supply voltage, $V_{CC}$ | 7 V | Operating free-air temperature range | SN54' | −55°C to 125°C |
| Input voltage | 7 V | | SN74' | 0°C to 70°C |
| | | Storage temperature range | | −65°C to 150°C |

### recommended operating conditions

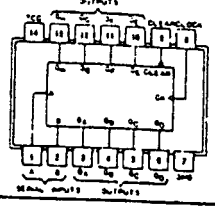
| | SN54LS164 | | | SN74LS164 | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −400 | | | −400 | μA |
| Low-level output current, $I_{OL}$ | | | 4 | | | 8 | mA |
| Clock frequency $f_{clock}$ | 0 | | 25 | 0 | | 25 | MHz |
| Width of clock or clear input pulse, $t_w$ | 20 | | | 20 | | | ns |
| Data setup time, $t_{setup}$ | 15 | | | 15 | | | ns |
| Data hold time, $t_{hold}$ | 5 | | | 5 | | | ns |
| Operating free-air temperature, $T_A$ | −55 | | 125 | 0 | | 70 | °C |

### electrical characteristics over recommended operating free-air temperature range

| PARAMETER | | TEST CONDITIONS† | | MIN | TYP‡ | MAX | UNIT |
|---|---|---|---|---|---|---|---|
| $V_{IH}$ | High-level input voltage | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.8 | V |
| $V_I$ | Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = −18mA | | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2V, $V_{IL}$ = 0.8V, $I_{OH}$ = −400μA | | 2.7 | 3.5 | | V |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2V, $V_{IL}$ = 0.8V, $I_{OL}$ = 8mA | | | 0.35 | 0.5 | V |
| $I_I$ | Input current maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 7V | | | | 0.1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.7V | | | | 20 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.4V | | | | 0.4 | mA |
| $I_{OS}$ | Short-circuit output current ⊕ | $V_{CC}$ = MAX | SN54LS | −20 | | −100 | mA |
| | | | SN74LS | −20 | | −100 | |
| $I_{CC}$ | Supply current | $V_{CC}$ = MAX, See Note 1 | | | 9 | 17 | mA |
| $f_{max}$ | Maximum clock frequency | $V_{CC}$ = 5V, $T_A$ = 25°C, $R_L$ = 2kΩ | $C_L$ = 15pF | 25 | 36 | | MHz |
| $t_{PHL}$ | Propagation delay time, high-to-low level Q outputs from clear input | | $C_L$ = 15pF | | 24 | 36 | ns |
| $t_{PLH}$ | Propagation delay time, low-to-high-level Q outputs from clock input | | $C_L$ = 15pF | | 17 | 27 | ns |
| $t_{PHL}$ | Propagation delay time, high-to-low level Q outputs from clock input | | $C_L$ = 15pF | | 21 | 32 | ns |

### Pin Assignment (Top View)

①



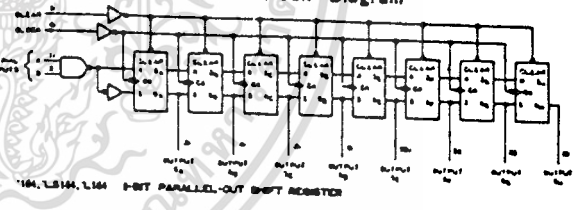
positive logic: see function table

### Function Table

'164, 'LS164, 'L164 (see Note 2)

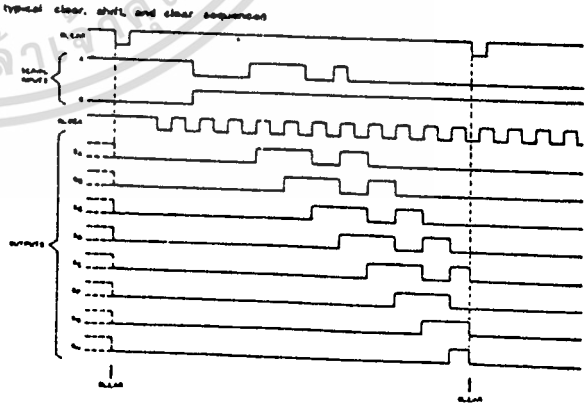
| INPUTS | | | | OUTPUTS | | |
|---|---|---|---|---|---|---|
| CLEAR | CLOCK | A | B | $Q_A$ | $Q_B$ | $Q_H$ |
| L | X | X | X | L | L | L |
| H | L | X | X | $Q_{A0}$ | $Q_{B0}$ | $Q_{H0}$ |
| H | ↑ | H | H | H | $Q_{An}$ | $Q_{Gn}$ |
| H | ↑ | L | X | L | $Q_{An}$ | $Q_{Gn}$ |
| H | ↑ | X | L | L | $Q_{An}$ | $Q_{Gn}$ |

### Functional Block Diagram



'164, 'LS164, 'L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequence



NOTES: 1. $I_{CC}$ is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.

2. H = high level (steady state), L = Low-level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
$Q_{A0}$, $Q_{B0}$, $Q_{H0}$ = the level of $Q_A$, $Q_B$, or $Q_H$, respectively, before the indicated steady-state input conditions were established.
$Q_{An}$, $Q_{Gn}$ = the level of $Q_A$ or $Q_G$ before the most-recent ↑ transition of the clock; indicates a one-bit shift.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 54193/74193 Synchronous 4-Bit Binary Up/Down Counter (Dual clock with clear)

| | Schottky TTL | | | | | High-Speed TTL | | | | | Low-Power Schottky TTL | | | | | Standard TTL | | | | | Low-Power TTL | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Device Type | Package | | | | Device Type | Package | | | | Device Type | Package | | | | Device Type | Package | | | | Device Type | Package | | | |
| | | C | P | M | CF | | C | P | M | CF | | C | P | M | CF | | C | P | M | CF | | C | P | M | CF |
| T. I. | | | | | | | | | | | SN54LS193 | | J L | | W L | SN54193 | | J L | | W L | SN54L193 | | J L | | |
| FAIRCHILD | | | | | | | | | | | SN74LS193 | | J L | N L | | SN74193 | | J L | N L | | SN74L193 | | J L | N L | |
| MOTOROLA | | | | | | | | | | | | | | | | FMS4193/FM9366 | | G L | | | | | | | |
| N. S. C. | | | | | | | | | | | SN74LS193 | | P L | | | MC74193 | | P L | | | | | | | |
| PHILIPS | | | | | | | | | | | DM54LS193 | | L | | | | | | | | DM54L193 | | J L | N L | F L |
| SIGNETICS | | | | | | | | | | | DM74LS193 | | | | | DM74193 | | | | | DM74L193 | | J L | N L | F L |
| SIEMENS | | | | | | | | | | | | | A L | | | N74193 | | F L | B L | W L | | | | | |
| FUJITSU | | | | | | | | | | | | | | | | FL1251 | | | | | | | | | |
| HITACHI | | | | | | | | | | | 74LS193 | | M L | | | | | | | | | | | | |
| MITSUBISHI | | | | | | | | | | | M74LS193 | | P L | | | M53393 | | P L | | | | | | | |
| NEC | | | | | | | | | | | 74LS193 | | C L | | | μPB2193 | | D L | | | | | | | |
| TOSHIBA | | | | | | | | | | | | | | | | TD74193 | | P L | | | | | | | |
| AMD | | | | | | | | | | | Am54LS193 | | | | | | | | | | | | | | |
| | | | | | | | | | | | Am74LS193 | | | | | | | | | | | | | | |

## Electrical Characteristics SN54LS193 SN74LS193

### absolute maximum ratings over operating free-air temperature range

| | | | | |
|---|---|---|---|---|
| Supply voltage, $V_{CC}$ | 7V | Operating free-air temperature range | SN54LS | -55°C to 125°C |
| Input voltage | 5.5V | | SN74LS | 0°C to 70°C |
| | | Storage temperature range | | -65°C to 150°C |

### recommended operating conditions

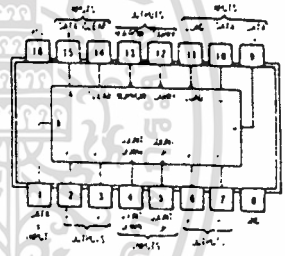
| | SN54LS193 | | | SN74LS193 | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | -400 | | | -400 | μA |
| Low-level output current, $I_{OL}$ | | | 4 | | | 8 | mA |
| Count frequency, $f_{count}$ | 0 | | 25 | 0 | | 25 | MHz |
| Width of any input pulse, $t_w$ | 20 | | | 20 | | | ns |
| Data setup time, $t_{setup}$ | 20 | | | 20 | | | ns |
| Data hold time, $t_{hold}$ | 0 | | | 0 | | | ns |
| Operating free-air temperature, $T_A$ | -55 | | 125 | 0 | | 70 | °C |

### electrical characteristics over recommended operating free-air temperature range

| PARAMETER* | | TEST CONDITIONS† | | MIN | TYP‡ | MAX | UNIT |
|---|---|---|---|---|---|---|---|
| $V_{IH}$ | High-level input voltage | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.8 | V |
| $V_I$ | Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = -18mA | | | | -1.5 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2V, $V_{IL}$ = 0.8V, $I_{OH}$ = -400μA | | 2.7 | 3.4 | | V |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2V, $V_{IL}$ = 0.8V, $I_{OL}$ = 8mA | | | 0.35 | 0.5 | V |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 7V | | | | 0.1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.7V | | | | 20 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.4V | | | | -0.4 | mA |
| $I_{OS}$ | Short-circuit output current§ | $V_{CC}$ = MAX | SN54LS | -20 | | -100 | mA |
| | | | SN74LS | -20 | | -100 | |
| $I_{CC}$ | Supply current | $V_{CC}$ = MAX, See Note 1 | SN54LS | | 19 | 34 | mA |
| | | | SN74LS | | 19 | 34 | |
| $f_{max}$ | maximum clock frequency | | | 25 | 32 | | MHz |
| $t_{PLH}$ | from Count-up to output Carry | $V_{CC}$ = 5V, $T_A$ = 25°C, $C_L$ = 15pF, $R_L$ = 2kΩ | | | 17 | 26 | ns |
| $t_{PHL}$ | | | | | 18 | 24 | |
| $t_{PLH}$ | from Count-down to output Borrow | | | | 16 | 24 | ns |
| $t_{PHL}$ | | | | | 15 | 24 | |
| $t_{PLH}$ | from Either Count to output Q | | | | 22 | 38 | ns |
| $t_{PHL}$ | | | | | 30 | 47 | |
| $t_{PLH}$ | from Load to output Q | | | | 24 | 40 | ns |
| $t_{PHL}$ | | | | | 25 | 40 | |
| $t_{PHL}$ | from Clear to output Q | | | | 23 | 35 | ns |

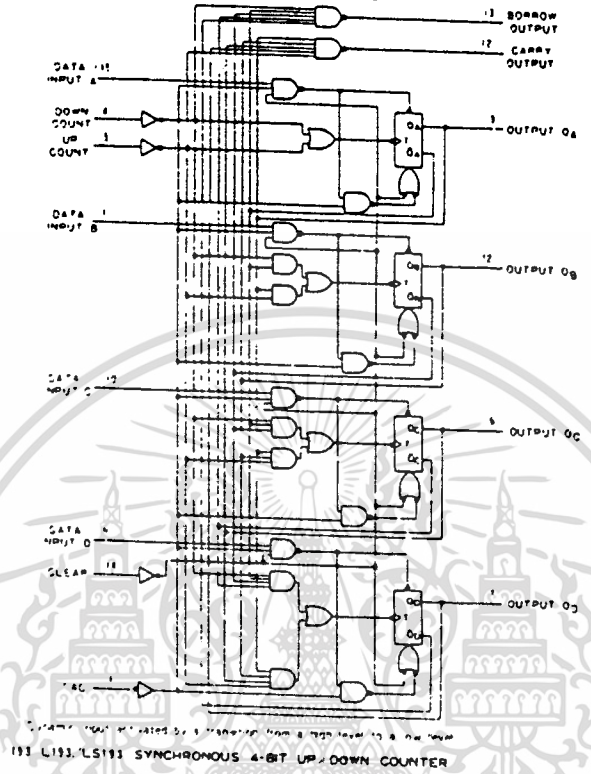
NOTES 1. $I_{CC}$ is measured with all outputs open, clear and load inputs grounded, and all other inputs at 4.5V.
A. Clear overrides load, data, and count inputs.
B. When counting up, count-down input must be high; when counting down, count-up input must be high.

### Pin Assignment (Top View)




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

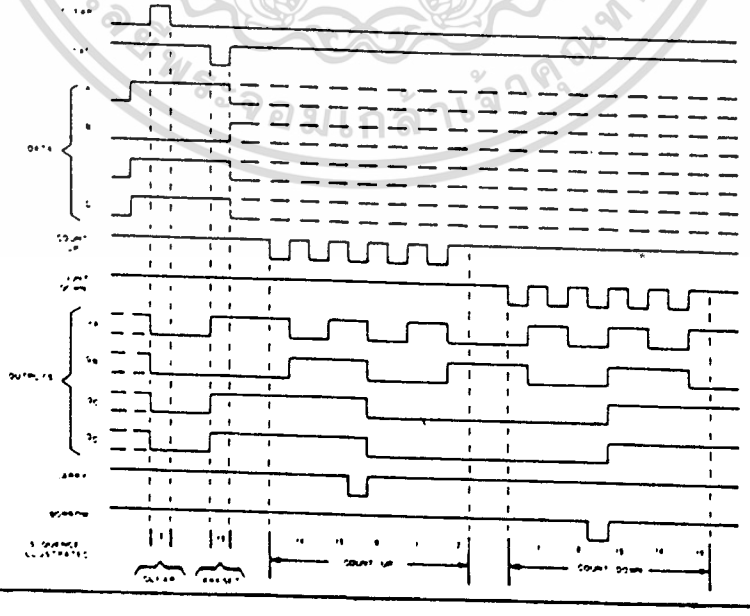
## Functional Block Diagram




'193, L193, LS193 SYNCHRONOUS 4-BIT UP/DOWN COUNTER

## typical clear, load, and count sequences

(See Notes A and B)




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

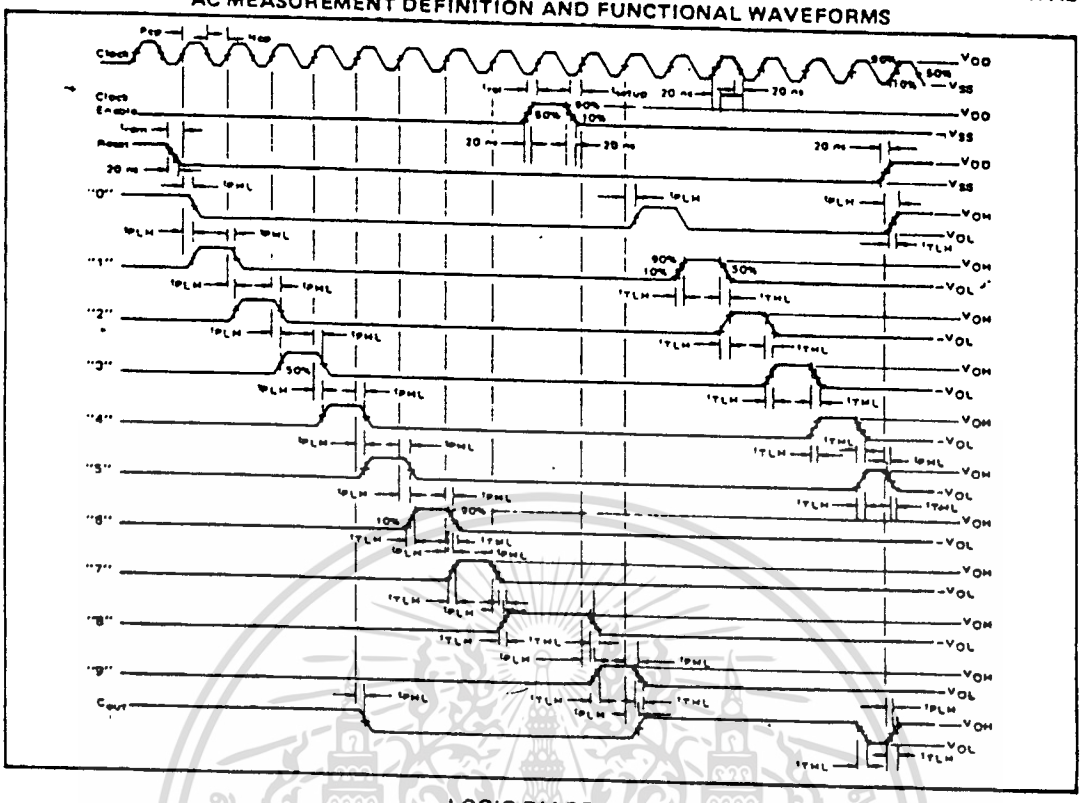
## ELECTRICAL CHARACTERISTICS

### STATIC CHARACTERISTICS [1]

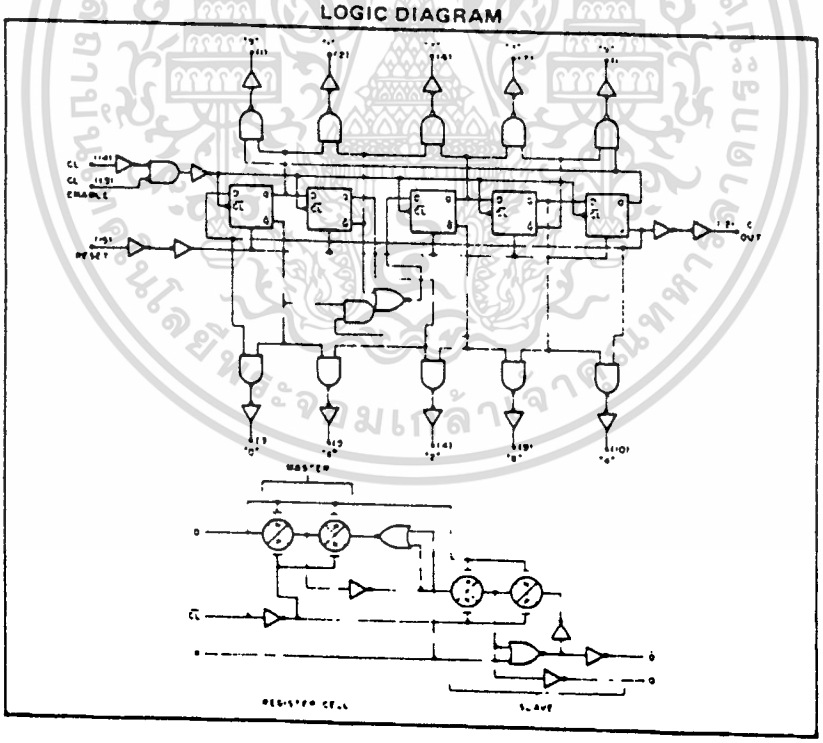
| PARAMETER | | $V_{DD}$ (Vdc) | CONDITIONS | $T_{LOW}$ [2] Min. | $T_{LOW}$ [2] Max. | +25°C Min. | +25°C Typ. | +25°C Max. | $T_{HIGH}$ [2] Min. | $T_{HIGH}$ [2] Max. | Units |
|---|---|---|---|---|---|---|---|---|---|---|---|
| QUIESCENT DEVICE CURRENT | $I_{DD}$ | 5 | $V_{IN}=V_{SS}$ or $V_{DD}$ | – | 5 | – | 0.05 | 5 | – | 150 | µAdc |
| | | 10 | All valid input | – | 10 | – | 0.1 | 10 | – | 300 | |
| | | 15 | combinations | – | 20 | – | 0.2 | 20 | – | 600 | |
| OUTPUT HIGH (SOURCE) CURRENT | | | | | | | | | | | |
| C, D, F, H device | | | | | | | | | | | |
| Decoded Outputs | $I_{OH}$ | 5 | $V_{OH}$ = 4.6V | -0.05 | – | -0.04 | -0.3 | – | -0.028 | – | mAdc |
| | | 10 | $V_{OH}$ = 9.5V | -0.125 | – | -0.1 | -0.75 | – | -0.07 | – | |
| | | 15 | $V_{OH}$ = 13.5V | -0.375 | – | -0.3 | -2.5 | – | -0.21 | | |
| | | | $V_{IN}=V_{SS}$ or $V_{DD}$ | | | | | | | | |
| Carry Output | | 5 | $V_{OH}$ = 4.6V | -0.25 | – | -0.2 | -0.75 | – | -0.14 | – | mAdc |
| | | 10 | $V_{OH}$ = 9.5V | -0.62 | – | -0.5 | -1.1 | – | -0.35 | – | |
| | | 15 | $V_{OH}$ = 13.5V | -1.9 | – | -1.5 | -3.5 | – | -1.1 | – | |
| | | | $V_{IN}=V_{SS}$ or $V_{DD}$ | | | | | | | | |
| E device | | | | | | | | | | | |
| Decoded Outputs | $I_{OH}$ | 5 | $V_{OH}$ = 4.6V | -0.048 | – | -0.04 | -0.3 | – | -0.032 | – | mAdc |
| | | 10 | $V_{OH}$ = 9.5V | -0.12 | – | -0.1 | -0.75 | – | -0.08 | – | |
| | | 15 | $V_{OH}$ = 13.5V | -0.36 | – | -0.3 | -2.5 | – | -0.24 | – | |
| | | | $V_{IN}=V_{SS}$ or $V_{DD}$ | | | | | | | | |
| Carry Output | | 5 | $V_{OH}$ = 4.6V | -0.24 | – | -0.2 | -0.75 | – | -0.16 | – | mAdc |
| | | 10 | $V_{OH}$ = 9.5V | -0.6 | – | -0.5 | -1.1 | – | -0.4 | – | |
| | | 15 | $V_{OH}$ = 13.5V | -1.8 | – | -1.5 | -3.5 | – | -1.2 | – | |
| | | | $V_{IN}=V_{SS}$ or $V_{DD}$ | | | | | | | | |
| OUTPUT LOW (SINK) CURRENT | | | | | | | | | | | |
| C, D, F, H device | | | | | | | | | | | |
| Decoded Outputs | $I_{OL}$ | 5 | $V_{OL}$ = 0.4V | 0.05 | – | 0.04 | 0.4 | – | 0.028 | – | mAdc |
| | | 10 | $V_{OL}$ = 0.5V | 0.125 | – | 0.1 | 1.0 | – | 0.07 | – | |
| | | 15 | $V_{OL}$ = 1.5V | 0.375 | – | 0.3 | 3.0 | – | 0.21 | – | |
| | | | $V_{IN}=V_{SS}$ or $V_{DD}$ | | | | | | | | |
| Carry Output | | 5 | $V_{OL}$ = 0.4V | 0.25 | – | 0.2 | 0.75 | – | 0.14 | – | mAdc |
| | | 10 | $V_{OL}$ = 0.5V | 0.62 | – | 0.5 | 1.3 | – | 0.35 | – | |
| | | 15 | $V_{OL}$ = 1.5V | 1.9 | – | 1.5 | 4.0 | – | 1.1 | – | |
| | | | $V_{IN}=V_{SS}$ or $V_{DD}$ | | | | | | | | |
| E device | | | | | | | | | | | |
| Decoded Outputs | $I_{OL}$ | 5 | $V_{OL}$ = 0.4V | 0.048 | – | 0.04 | 0.4 | – | 0.032 | – | mAdc |
| | | 10 | $V_{OL}$ = 0.5V | 0.12 | – | 0.1 | 1.0 | – | 0.08 | – | |
| | | 15 | $V_{OL}$ = 1.5V | 0.36 | – | 0.3 | 3.0 | – | 0.24 | – | |
| | | | $V_{IN}=V_{SS}$ or $V_{DD}$ | | | | | | | | |
| Carry Output | | 5 | $V_{OL}$ = 0.4V | 0.24 | – | 0.2 | 0.75 | – | 0.16 | – | mAdc |
| | | 10 | $V_{OL}$ = 0.5V | 0.6 | – | 0.5 | 1.3 | – | 0.4 | – | |
| | | 15 | $V_{OL}$ = 1.5V | 1.8 | – | 1.5 | 4.0 | – | 1.2 | – | |
| | | | $V_{IN}=V_{SS}$ or $V_{DD}$ | | | | | | | | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



## LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ ด้วยเพราะคำแนะนำ, ความช่วยเหลือและความกรุณาของอาจารย์ที่ปรึกษา,อาจารย์ ปราโมทย์ วาดเขียน ,อาจารย์ สมยศ จุณณะปิยะ รวมทั้งความร่วมมือ และกำลังใจจากเพื่อน ๆ จึงขอแสดงความขอบคุณมา ณ โอกาสนี้

นาย เจริญ ณัฏฐวุฒิสิทธิ์
นาย พิมล ปะนะสุนา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# หนังสืออ้างอิง


1. โคทม อารียา, "เฟสล็อคลูป" ,วงจรอิเล็กทรอนิกส์,บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2521, หน้า 378-381

2. บัณฑิต โรจน์อารยานนท์, "ทฤษฎีสุ่มตัวอย่างและการมอดูเลตโดยใช้พัลส์" ,"การส่งผ่านสัญญาณดิจิตอลแบบเบสแบนด์",หลักการไฟฟ้าสื่อสาร, สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย, 2534, หน้า 258-261 และ 273-275

3. ทรงชัย วีระทรีมาศ, "วงจรรับ-ส่งข้อมูลแบบอนุกรม" ,วารสารเซมิคอนดัคเตอร์อิเล็กทรอนิกส์ ฉบับที่ 111,บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2534, หน้า 118-126

4. ยืน ภู่วรวรรณ, ไพศาล สงวนหมู่, "การสื่อสารข้อมูล และไมโครคอมพิวเตอร์เนทเวอร์ค" ,บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2531, หน้า 231-232

5. Brewster,R.L, "Digital Local Access" ,ISDN Technology, , Chapman & Hall, 1993, หน้า 57-59



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้