เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล

DIGITAL PRIVATE AUTOMATIC BRANCH EXCHANGE SYSTEM

โดย

นางสาวจิราวรรณ สุรชาติกำธรกุล

นางสาวชุติมา นันท์ธนะวานิช

นางสาวรุ่งอรุณ คงดี

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IV 4933

เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล

DIGITAL PRIVATE AUTOMATIC BRANCH EXCHANGE SYSTEM

โดย

นางสาวจิราวรรณ	สุรชาติกำธรกุล	34102062
นางสาวชุติมา	นันท์ธนะวานิช	34102099
นางสาวรุ่งอรุณ	คงดี	34105289

อาจารย์ที่ปรึกษา

อาจารย์ปราโมทย์ วาดเขียน

วัน เดือน ปี 19 พ.ค. 2539
เลขทะเบียน 034933
เลขเรียกหนังสือ T 371233 ส.6

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2537

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล

(DIGITAL PRIVATE AUTOMATIC BRANCH EXCHANGE SYSTEM)

ผู้จัดทำ

1. นางสาวจิราวรรณ	สุรชาติกำธรกุล	รหัสประจำตัว	34102062
2. นางสาวชุติมา	นันท์ธนะวานิช	รหัสประจำตัว	34102099
3. นางสาวรุ่งอรุณ	คงดี	รหัสประจำตัว	34105289

_____อาจารย์ที่ปรึกษา

(อาจารย์ปราโมทย์ วาดเขียน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติแบบดิจิตอล

น.ส.จิราวรรณ สุรชาติกำธรกุล รหัส 34102062
น.ส.ชุติมา นันท์ธนะวานิช รหัส 341020099
น.ส.รุ่งอรุณ คงดี รหัส 34105289

อาจารย์ที่ปรึกษา
อ.ปราโมทย์ วาดเขียน
ปีการศึกษา 2537

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติแบบดิจิตอล 4 คู่สายโดยนำแจส-31 (JAZZ-31) มาเป็นตัวประมวลผลหลักและใช้สวิตชิ่งแบบดิจิตอลนอกจากนี้ยังใช้ไอซีโคเดคในการแปลงสัญญาณอนาล็อก (เสียงพูด) เป็นสัญญาณดิจิตอลและแปลงสัญญาณดิจิตอลเป็นอนาล็อก สำหรับหลักการทำงานของเครื่องชุมสายโทรศัพท์ภายในอัตโนมัติแบบดิจิตอล (พีเอบีเอ็กซ์แบบดิจิตอล) ในโครงงานนี้ใช้เทคนิคการมัลติเพล็กเซอร์แบบแบ่งเวลา

ABSTRACT

This thesis presents digital private Automatic branch Exchange (DPABX) by using the Jazz-31 as DPABX's main processor. The parts of switching are digital , convert signal processing is operated by codec. The basic of DPABX uses the time slot division multiplexed technique.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีและหลักการระบบการทำงานของชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล	2
บทที่ 3	การสร้างระบบชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอลที่ใช้ในโครงงาน	5
บทที่ 4	การทดลองและผลการทดลอง	17
บทที่ 5	บทวิจารณ์และสรุป	30
ภาคผนวก		
กิตติกรรมประกาศ		
หนังสืออ้างอิง		

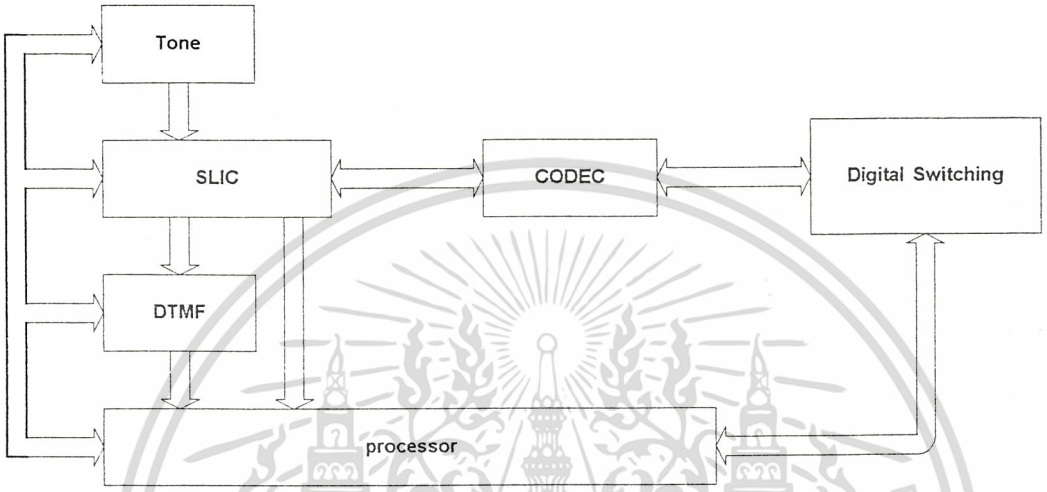
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปัจจุบันระบบสื่อสารโทรคมนาคมได้มีการพัฒนาก้าวหน้าไปอย่างรวดเร็ว ประเทศที่พัฒนาแล้วหลาย ๆ ประเทศได้ก้าวหน้าเข้าสู่ยุคของการสื่อสารข้อมูล ซึ่งระบบการทำงานในสำนักงานไม่ว่าจะเป็นหน่วยงานของราชการ วงการธุรกิจหรือสถาบันการศึกษา ได้ปฏิวัติจากลักษณะงานที่เต็มไปด้วยกระดาษและเครื่องพิมพ์ดีดไปสู่ลักษณะของอุปกรณ์อิเล็กทรอนิคส์ที่เชื่อมต่อกับโครงข่ายที่ให้บริการทางด้านข้อมูลแทน นอกจากนั้นแล้วความต้องการที่จะติดต่อสื่อสารกันได้หลายรูปแบบภายในโครงข่ายเดียวกัน โดยสามารถส่งสัญญาณเสียงพร้อมกับข้อมูลหรือการส่งสัญญาณเสียงพร้อมกับภาพได้ นอกจากจะทำให้ผู้ใช้ภายในสำนักงานมีความสะดวกสบายและเพิ่มประสิทธิภาพของงานมากขึ้น เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล (DPABX) เป็นอุปกรณ์สื่อสารที่สำคัญอย่างหนึ่งสำหรับการติดต่อสื่อสารภายในอาคารสำนักงาน บริษัท ฯลฯ ที่ทำหน้าที่เป็นอุปกรณ์สวิชชิ่งเพื่อการสวิทช์ข่าวสารของอุปกรณ์สื่อสารปลายทางต่างๆ สำหรับปริญญานิพนธ์ฉบับนี้ได้เสนอ เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอลที่ใช้ติดต่อภายในจำนวน 4 คู่สาย ซึ่งใช้ Microcontroller MCS-51 เป็นตัวควบคุมการวางคู่สายและควบคุมการจ่ายโทนต่าง ๆ ซึ่งระบบ DPABX นี้จะมีความคล่องตัวต่อการขยายระบบได้ต่อไปในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ระบบการทำงานของชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล
(DIGITAL PRIVATE AUTOMATIC BRANCE EXCHANGE SYSTEM)



รูปที่ 2.1 ผังแสดงระบบทั้งหมดของชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล

2.1 ระบบของชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอลภายในสำนักงานโดยทั่วไป ประกอบด้วยบล็อคต่างๆ ดังนี้

2.1.1 สวิทชิ่งแบบดิจิตอล (DIGITAL SWITCHING)

เป็นส่วนที่ทำหน้าที่เปลี่ยนช่องสัญญาณระบบดิจิตอล (Digital Switching) ระหว่างอินพุท (input) และ เอาท์พุท (output) โดยลักษณะสัญญาณภายในจะเป็นสัญญาณดิจิตอล ทั้งหมดถูกควบคุมโดยหน่วยประมวลผลกลาง (PROCESSOR) ซึ่งส่วนนี้เป็นหัวใจของชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล

2.1.2 โคเดค (CODEC)

เป็นส่วนที่เข้ารหัสสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลและถอดรหัสสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อก จากรูปที่ 2.1 ลักษณะสัญญาณที่ติดต่อกับสวิทชิ่งแบบดิจิตอลจะเป็นดิจิตอล และลักษณะสัญญาณด้านตรงข้ามจะเป็นอนาล็อก

2.1.3 สลิค (SLIC)

เป็นส่วนที่ติดต่อกับโทรศัพท์ภายใน ทำหน้าที่จ่ายไฟเลี้ยง (- 48 V) ให้กับโทรศัพท์ ตรวจสอบและรับรู้การยกหูและวางหูของโทรศัพท์ เป็นส่วนที่จ่ายสัญญาณเรียก (Ringing) ให้แก่ โทรศัพท์ในกรณีที่เครื่องโทรศัพท์เครื่องนั้น ๆ ถูกเรียกสัญญาณเสียงจะถูกแปลงจาก 2 สาย เป็น 4 สาย ที่ส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นี้เพื่อถูกส่งไปยังส่วนของโคเดค และวงจรป้องกันไฟฟ้าเกินจะต่ออยู่ที่อินพุทของส่วนนี้ ส่วนนี้ถูกควบคุมและตรวจสอบสถานะโดยหน่วยประมวลผลกลาง

2.1.4 สัญญาณเสียง (TONE)

- ส่วนสร้างสัญญาณเสียง สร้างสัญญาณเสียงซึ่งผลิตตลอดเวลาและจ่ายไปยังส่วนโคเดค ประกอบด้วยสัญญาณต่างๆ เหล่านี้

ชื่อสัญญาณ	ขนาดสัญญาณ	ความถี่สัญญาณ	ลักษณะสัญญาณ
Dial Tone	- 15 dBm	400 Hz MOD 20 Hz	Continuous
Ringback Tone	- 10 dBm	400 Hz	on 1 sec off 4 sec
Busy Tone	-10 dBm	400 Hz	on 0.5 sec off 0.5 sec

2.1.5. ส่วนสัญญาณคู่ความถี่ (DTMF)

ส่วนสัญญาณคู่ความความถี่ ส่านรับสัญญาณคู่ความถี่โดยส่วนนี้จะติดต่อกับหน่วยประมวลผลกลาง ในกรณีโทรศัพท์สายภายในกดหน้าปัดโทรศัพท์แบบสัญญาณคู่ความถี่ สัญญาณก็จะถูกส่งไปยังภาคคู่ความถี่ส่วนรับ เพื่อส่งให้หน่วยประมวลผลกลางทำการประมวลผล

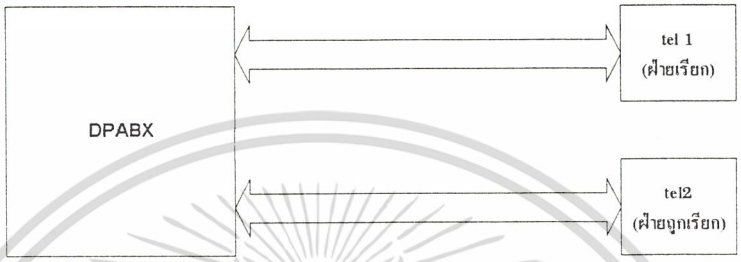
2.1.6 หน่วยประมวลผลกลาง (PROCESSOR)

เป็นส่วนที่ควบคุมการจ่ายสัญญาณ (TONE) ตรวจสอบสถานะจากส่วนสลิคโดยตรงรับและเก็บข้อมูลจากส่วนสัญญาณคู่ความถี่ พร้อมทั้งทำการวางช่องสัญญาณเสียงระหว่างคู่สายโทรศัพท์ที่เรียกถึงกัน

2.2 ระบบการทำงานหลัก ภายในของส่วนชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล

- การติดต่อระหว่างสายภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 การติดต่อระหว่างสายภายใน

ขั้นตอนการทำงาน

1.1 หน่วยประมวลผลกลาง ตรวจสอบพบการยกหูของโทรศัพท์เครื่องที่ 1

1.2 หน่วยประมวลผลกลาง ส่งคำสั่งให้สัญญาณไดอัล ไปยังโทรศัพท์เครื่องที่ 1

1.3 โทรศัพท์เครื่องที่ 1 กดหมายเลขที่ต้องการติดต่อ

1.4 หน่วยประมวลผลกลางรอรับเลขหมายจากเครื่องที่ 1 พร้อมส่งคำสั่งให้หยุดส่งสัญญาณไดอัล

1.5 หน่วยประมวลผลกลาง จ่ายสัญญาณเรียก ไปยังเครื่องที่ 2 พร้อมกับควบคุมให้ส่งสัญญาณเรียกกลับไปยังเครื่องที่ 1

1.6 หน่วยประมวลผลกลาง ตรวจสอบการยกหูของเครื่องที่ 2

1.7 ขณะเครื่องที่ 2 ยกหู หน่วยประมวลผลกลางควบคุมให้หยุดจ่ายสัญญาณเรียกพร้อมกับให้หยุดจ่ายสัญญาณเรียกกลับ และต่อช่องสัญญาณให้ทั้งสองคู่สายสามารถสนทนากันได้

1.8 หน่วยประมวลผลกลาง คอยตรวจสอบการวางหูของฝ่ายเรียก ในกรณีที่โทรศัพท์ฝ่ายถูกเรียกไม่ว่าง (ต่อจากขั้นตอนที่ 1.5)

(1) หน่วยประมวลผลกลางจะควบคุมให้ส่งสัญญาณไม่ว่าง (Busy Tone)ไปยังโทรศัพท์เครื่องที่ 1

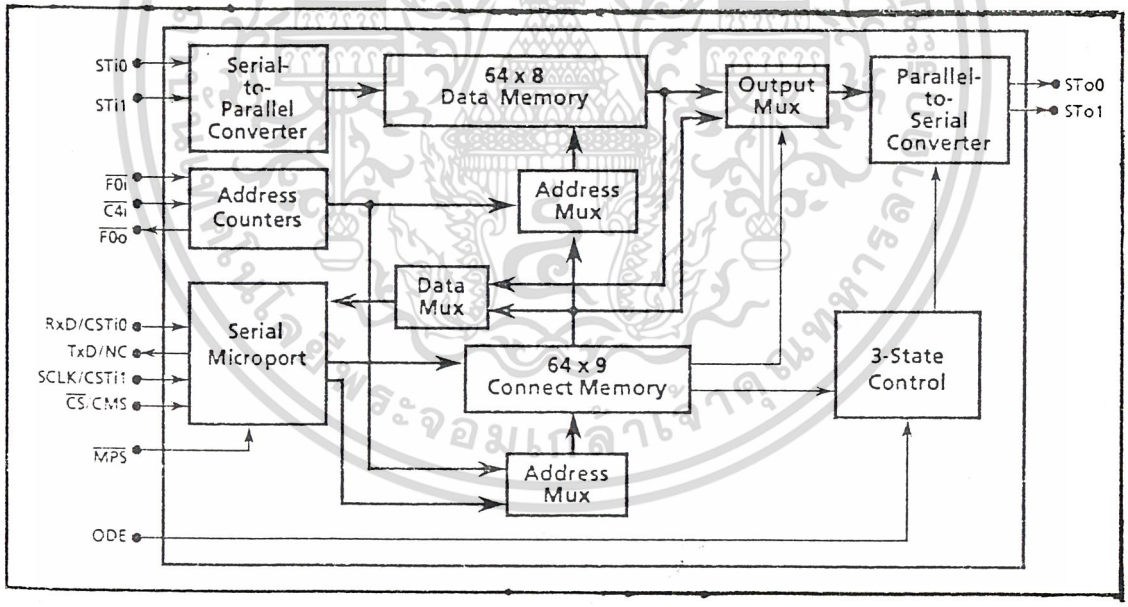
(2) โทรศัพท์เครื่องที่ 1 วางหู หน่วยประมวลผลกลาง ควบคุมให้หยุดส่งสัญญาณไม่ว่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การสร้างชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอลที่ใช้ในโครงงาน

ส่วนประกอบและหลักการทำงานของชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอลในโครงงานที่ทำขึ้น มีดังต่อไปนี้

3.1 ดิจิตอลสวิทช์ (Digital Switching) ใช้ MT 8982 ซึ่งเป็นอุปกรณ์สวิทชิ่งแบบดิจิตอลขนาดเล็ก (Small Digital Switch: MiniDX) โดยสวิทช์สัญญาณพัลส์ที่เข้ารหัสมาจากสัญญาณเสียงหรือ ข้อมูลภายใต้การควบคุมของไมโครคอนโทรลเลอร์ (MCS-51 Microcontroller) MT 8982 มีสตรีม (stream) อินพุทและเอาท์พุทอย่างละ 2 สตรีม ใน 1 สตรีม จะมีจำนวนช่องสัญญาณทั้งหมด 32 ช่องสัญญาณ ความเร็วในแต่ละช่องสัญญาณมีค่า 64 กิโลบิตต่อวินาที และใช้วิธีการมัลติเพลกซ์แบบแบ่งเวลา (Time Division Multiplex: TDM)

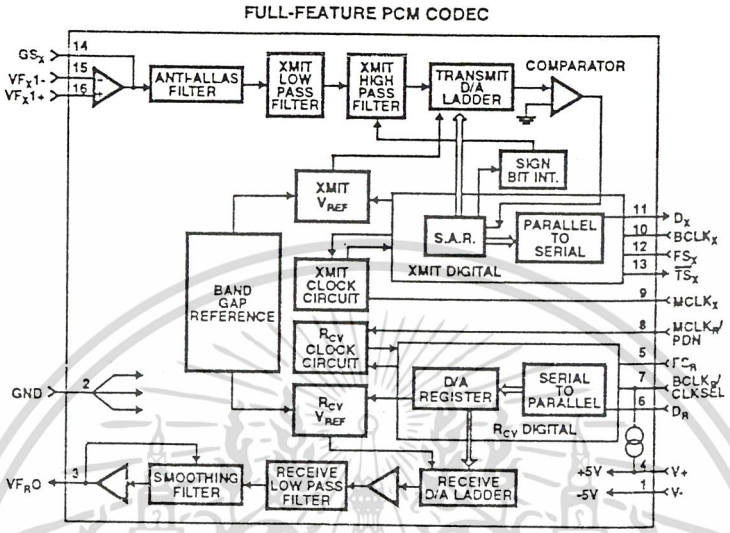


รูปที่ 3.1 โครงสร้างทางฮาร์ดแวร์ของ MT 8982

3.2 โคเดค (Codec: Coder and Decoder) ในโครงงานนี้ใช้ไอซี HARRIS CD 22357A โดยทำหน้าที่ในการเปลี่ยนสัญญาณอนาล็อก (เสียงพูด) เป็นสัญญาณดิจิตอล และเปลี่ยนสัญญาณดิจิตอลเป็น สัญญาณอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



รูปที่ 3.2 บล็อคไดอะแกรมแสดงฟังก์ชันต่างๆ ของโคเดค

การทำงานของโคเดค CD 22357A

(1) ทางภาคส่ง

จะมีการแปลงสัญญาณอนาล็อกที่มาจาก สัญญาณเสียงพูด ให้เป็น สัญญาณดิจิตอล เพื่อส่งไปให้ภาคสวิทชิ่ง จะประกอบด้วยออปแอมป์ ที่ทำหน้าที่ปรับค่าอัตราขยายในการแซมปลิ้ง ทฤษฎีไนควิสท์กล่าวไว้ว่า ต้องทำการแซมเปิ้ลด้วยอัตราสองเท่าหรือมากกว่าความถี่สูงสุดของสัญญาณอนาล็อก ซึ่งมาจากสัญญาณเสียง 3 กิโลเฮิร์ต จะใช้อัตราการแซมปลิ้ง 8 กิโลเฮิร์ต คือ การแซมปลิ้งทุก ๆ 125 ไมโครวินาที จะต้องใช้โลพาสฟิลเตอร์เพื่อกันความถี่สูงกว่า 3 กิโลเฮิร์ต และจะกัน 50/60 เฮิร์ต เพาเวอร์ไลน์คัปปลิ้งในสายโทรศัพท์ โดยใช้ไฮพาสฟิลเตอร์ก่อนจะส่งไปทำการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล โดยผ่านขบวนการแซมปลิ้ง คือ การทำสัญญาณซึ่งมีค่าต่อเนื่องกันให้เป็นแบบดิสครีทในช่วงเวลาที่ห่างกันก็จะได้ขบวนพัลส์แอทปลิจูดมอดูเลชั่นซึ่งถือว่าเป็นชนิดอนาล็อกจากนั้นก็ผ่านขบวนการควอนไทซ์ ซึ่งเป็นการจัดระดับสัญญาณโดยใช้วงจรคอมเพรสเซอร์แบบ A-LAW ถ้าเปรียบเทียบกับμ-LAW แล้วจะเห็นว่าสัญญาณที่มีเพาเวอร์สูงจะมีอัตราส่วนของสัญญาณต่อสัญญาณรบกวนดีกว่า เมื่อสัญญาณผ่านการจัดระดับแล้วก็ผ่านไปยังขบวนการเข้ารหัสจะมีการแปลงเป็นสัญญาณดิจิตอลส่งออก ไปทางขา 11 D_x

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) ทางภาครับ

จะมีการแปลงสัญญาณจากสัญญาณดิจิตอล (รับมาทางขาD_R) ไปเป็นสัญญาณอนาล็อก ส่งออกทางขา VF_R Oจะประกอบด้วย วงจรเอกซ์แพนเดอร์ เอทูดีคอนเวอเตอร์ และวงจรกรองความถี่ต่ำ สัญญาณ ดิจิตอลที่รับเข้ามาทางขา D_Rด้วยการควบคุมของ FS_R(เฟรมซิงค์พัลส์ ที่รับมาจากวงจรเฟรมซิงค์) และ BCLK (รับสัญญาณนาฬิกา)สามารถปรับค่าได้ตั้งแต่ 64 กิโลเฮิร์ตจนถึง

2.1 เมกกะเฮิร์ต ซึ่งจะรับสัญญาณดิจิตอลเข้าไปยังรีจิสเตอร์รับข้อมูลทางตัวเปลี่ยนสัญญาณดิจิตอลเป็นอนาล็อกจะมีการทำทีละ 8 บิทของข้อมูลดิจิตอล และสัญญาณอนาล็อก จะแปลงออกมาที่ดีทูเอคาปาซิเตอร์ สัญญาณที่ได้จะถูกส่งไปที่สวิตช์คาปาซิเตอร์ โลพาสฟิลเตอร์คล็อคที่ความถี่ 128 กิโลเฮิร์ตเพื่อที่จะปรับสัญญาณให้ดีเพื่อชดเชยการผิดเพี้ยนจาก SIN X/X ก็จะได้สัญญาณอนาล็อกออกมาทางขา VF_RO

3.3 ส่วนสร้างสัญญาณแบบดิจิตอล

สัญญาณที่ใช้ในชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล จะได้จากการอ่านข้อมูลที่เก็บไว้ในหน่วย ความจำ EPROM ขนาด 2K สำหรับการสร้างสัญญาณต่าง ๆ ที่ใช้ในการสื่อสารสามารถทำได้ดังนี้

(1) สัญญาณไดอัล (Dial Tone)

การส่งสัญญาณนี้ให้กับเครื่องโทรศัพท์จะทำได้โดยการอ่านข้อมูลจาก EPROM ที่เก็บข้อมูลสัญญาณ 400 เฮิร์ต มอดดูเลตกับ 50 เฮิร์ตโดยจะเป็นการอ่านข้อมูลอย่างต่อเนื่องกันไป ดังแสดงได้ตามรูปที่ 3.3

(2)สัญญาณไม่ว่าง (Busy Tone)

ลักษณะของสัญญาณนี้จะมีความถี่ 400 เฮิร์ต โดยมีช่วงดัง 1 วินาที และมีช่วงเงียบ 1 วินาที ดังนั้นในการอ่านข้อมูลจากหน่วยความจำ EPROM จะอ่านอย่างต่อเนื่อง โดยผ่านอนาลอกสวิทช์ซึ่งใช้ไอซี 555 ซึ่งกำเนิดลอจิก 1 เป็นเวลา 1 วินาทีและลอจิก 0 เป็นเวลา 1 วินาที เป็นตัวควบคุมการติด 1 วินาทีและดับ 1 วินาที ดังแสดงได้ตามรูปที่ 3.4

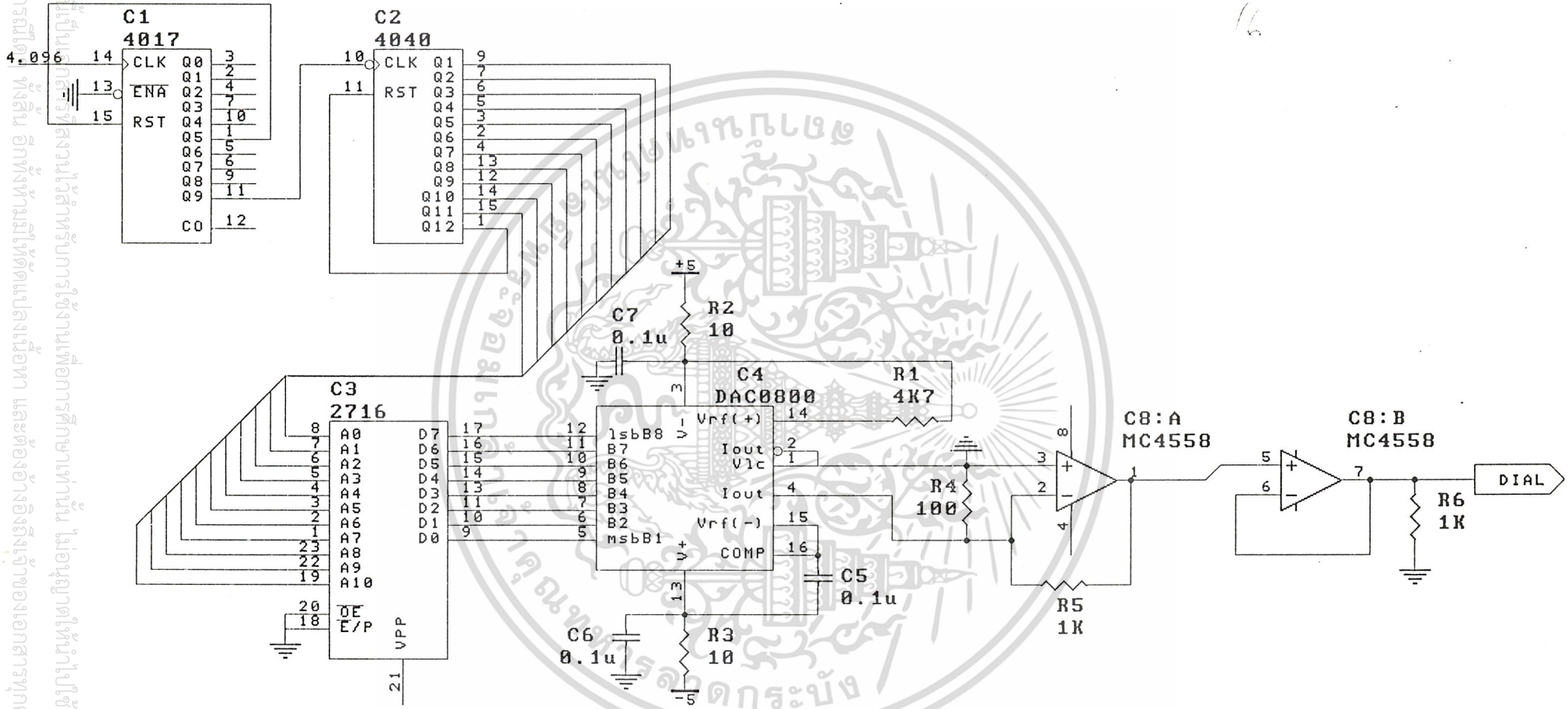
(3) สัญญาณเรียกกลับ (Ringback Tone)

ความถี่ของสัญญาณนี้เป็น 400 เฮิร์ต และมีช่วงจังหวะที่ดัง 1 วินาที เงียบ 3 วินาที หลักการควบคุมเหมือนสัญญาณไม่ว่างเพียงแต่เปลี่ยนแปลงวงจรไอซี 555 ให้กำเนิดลอจิก 0 เป็นเวลา 3 วินาที ลอจิก 1 เป็นเวลา 1 วินาที แล้วผ่านอินเวอร์สเตอร์ (Inverster) เพื่อให้เกิดสัญญาณซึ่งติด 1 วินาที และดับ 3 วินาที ดังแสดงได้ตามรูปที่ 3.5

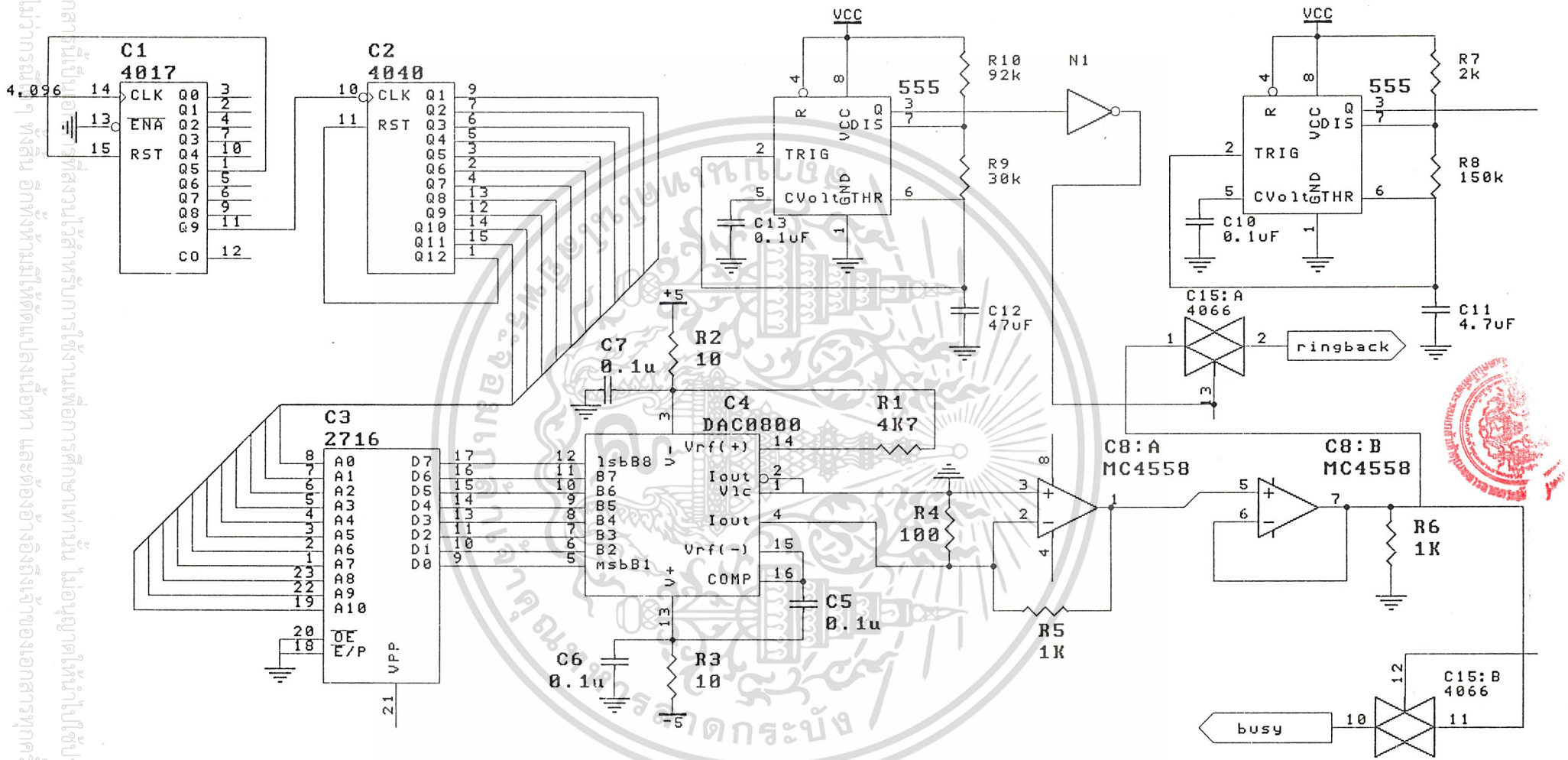
4) สัญญาณเรียก (Ringing signal)

เป็นสัญญาณเรียกที่มีความถี่ 50 เฮิร์ต 100 โวลต์ โดยมีจังหวะการปิด-เปิด เป็น 1 และ 3 วินาทีตามลำดับ

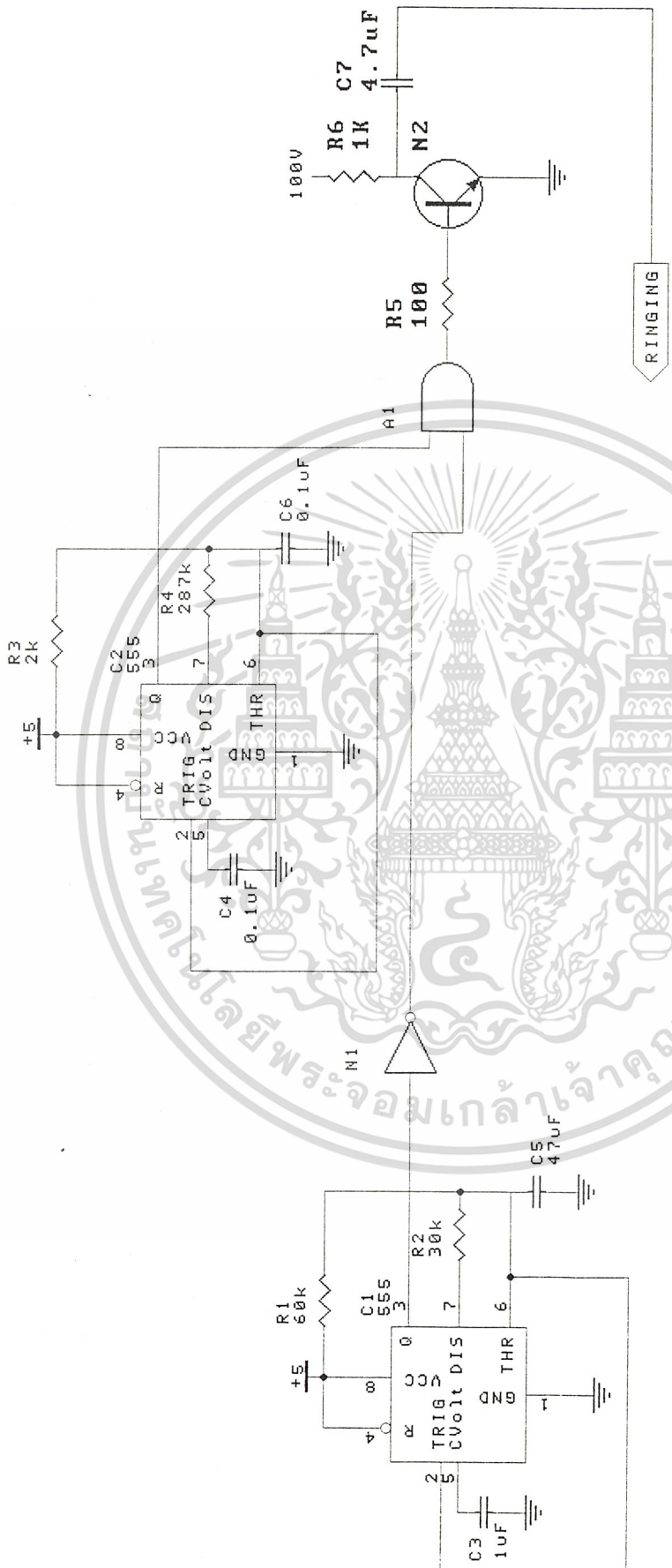
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรสร้างสัญญาณไดอัล



รูปที่ 3.4 วงจรสร้างสัญญาณไม่ว่างและสัญญาณเรียกกลับ



รูปที่ 3.5 วงจรสร้างสัญญาณเรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ส่วนสร้างสัญญาณนาฬิกาและสัญญาณซิงโครนัส

เป็นส่วนที่สร้างสัญญาณนาฬิกาขนาด 4.096 เมกกะเฮิร์ต, 2.048 เมกกะเฮิร์ต และสัญญาณเฟรมซิงค์ขนาด 8 กิโลเฮิร์ต เพื่อป้อนให้กับดิจิตอลสวิทช์และโคเดค ดังแสดงได้ตามรูปที่ 3.6

3.5 ส่วนถอดรหัสความถี่สัญญาณ (DTMF)

วงจรส่วนนี้ทำหน้าที่ถอดรหัสความถี่โทรศัพท์ ซึ่งเป็นความถี่ผสมที่เกิดจากการกดปุ่มของตัวเลขของโทรศัพท์ชนิดกดปุ่ม ให้เป็นตัวเลขทางดิจิตอล ที่สามารถใช้เป็นข้อมูลสำหรับวงจรส่วนควบคุมต่อไปได้

สำหรับวงจรถอดรหัสความถี่สัญญาณโทรศัพท์ในโครงงานนี้ ใช้ไอซีเบอร์ MT 8870D ซึ่งเป็นไอซีที่ทำหน้าที่แปลงความถี่โทรศัพท์ให้เป็นเลขฐานสองขนาด 4 บิต ตามค่าความถี่ที่เกิดขึ้น จากการกดปุ่มหมายเลขต่างๆ ของโทรศัพท์ ดังแสดงค่าที่ถอดรหัสได้ดังตาราง

Digit	TOE	INH	ESt	Q_4	Q_3	Q_2	Q_1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

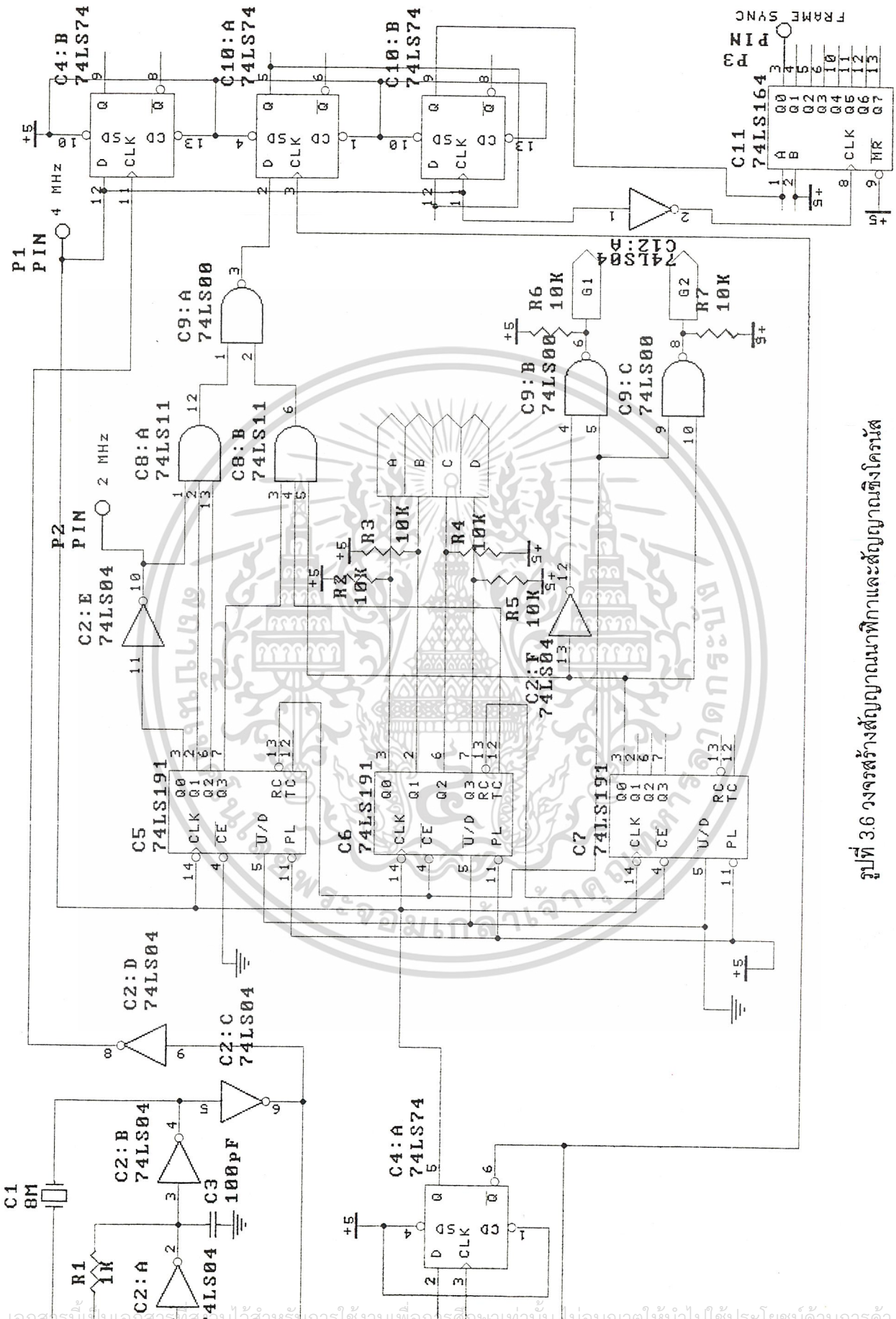
ตาราง 3-1 แสดงสถานะของการถอดรหัสสัญญาณ DTMF

หมายเหตุ Z หมายถึง สภาพความต้านทานสูง (High Impedance)

F_{low} คือ ช่วงความถี่ต่ำ

F_{high} คือ ช่วงความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจรสร้างสัญญาณนาฬิกาและสัญญาณซิงโครนัส

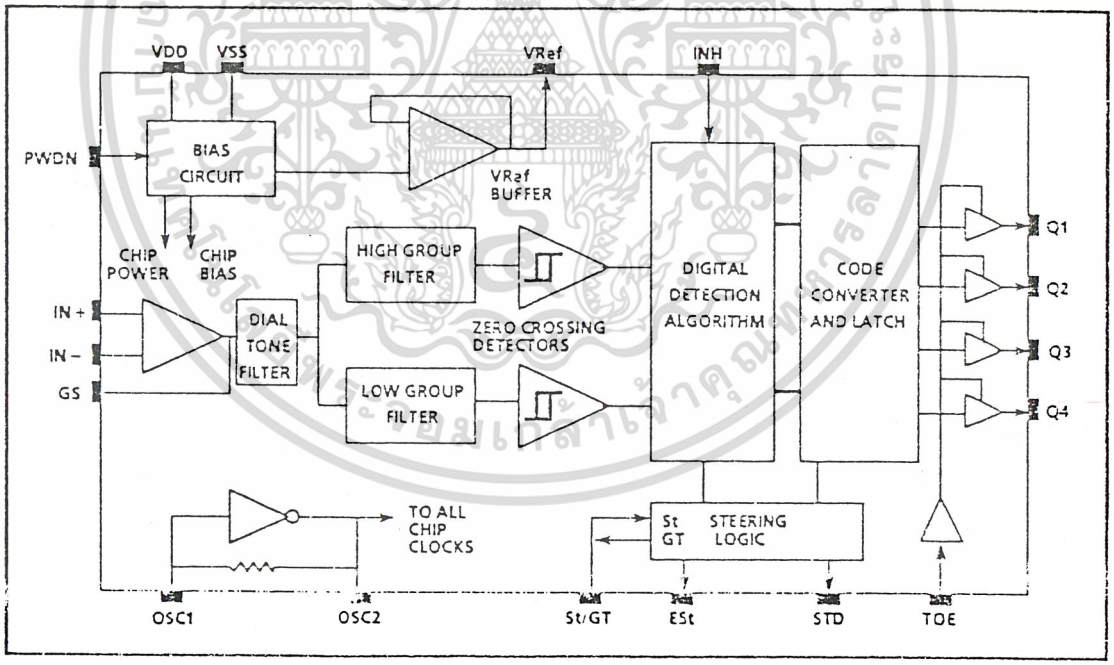
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.7 วงจรสร้างสัญญาณแทนแนลซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรถอดรหัสความถี่โทรศัพท์มีหลักการดังนี้

ไอซี MT 8870D จะทำการแยกสัญญาณความถี่ที่เข้ามาทางอินพุตออกเป็น 2 กลุ่มความถี่ คือ ช่วงความถี่สูงและช่วงความถี่ต่ำ โดยใช้วงจรกรองแถบความถี่ และทำการตรวจสอบความถี่ที่เข้ามาว่า เป็นความถี่มาตรฐานหรือไม่ เพื่อป้องกันไม่ให้ความถี่อื่นผสมเข้ามาด้วยนอกจากนี้ยังมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดไว้หรือไม่ โดยตรวจสอบระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงระยะเวลาพอสมควร มิฉะนั้นไอซีจะไม่รับสัญญาณความถี่ที่ถูกกดนั้นมาถอดรหัสเนื่องจากระยะเวลาจองสัญญาณความถี่นั้นน้อยเกินไป



รูปที่ 3.8 แสดงโครงสร้าง MT 8870D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

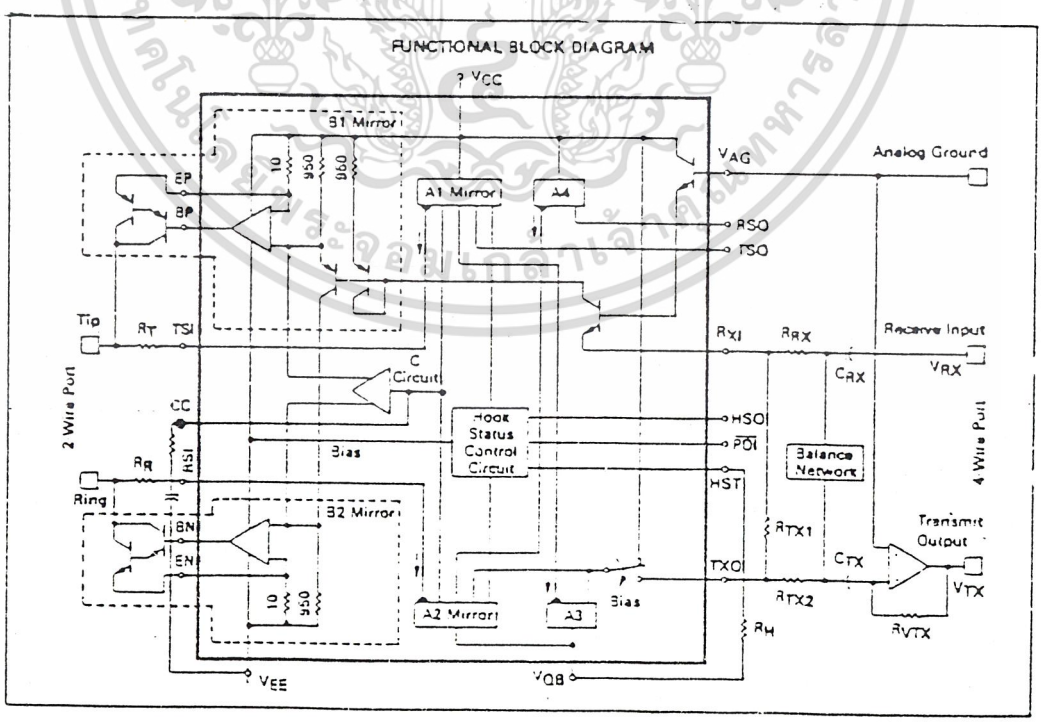
3.6 ส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน (SUBSCRIBER LOOP INTERFACE CIRCUIT หรือ SLIC) เป็นไอซีเบอร์ MC 3419-1L ทำหน้าที่จ่ายไฟเลี้ยงดีซีให้กับเครื่องโทรศัพท์ภายใน แปลงสัญญาณจากคู่สายโทรศัพท์ภายในให้เป็นสัญญาณรับ-ส่งที่แยกกัน แสดงสถานะการยกหูและควบคุมการส่งสัญญาณเรียกวงจรซับสไคร์เบอร์ลูปอินเตอร์เฟสเซอร์กิต

หน้าที่ของชุมสายโทรศัพท์ในเทคโนโลยีปัจจุบัน นอกจากจะทำหน้าที่ที่สำคัญในการตัดต่อวงจรโทรศัพท์ ตามความต้องการของผู้ใช้แล้ว ยังเป็นการสร้างสัญญาณต่างๆ และยังเป็นตัวจ่ายกระแสไฟฟ้าให้แก่โทรศัพท์ของผู้ใช้ และเนื่องจากการที่มีการเดินสายโทรศัพท์ที่ไกล ๆ จากชุมสายโทรศัพท์ทำให้สัญญาณมีการลดทอน จึงมีความจำเป็นต้องมีการขยายสัญญาณพูดที่ชุมสายโทรศัพท์เพื่อส่งต่อสัญญาณที่ขยายแล้วไปยังผู้รับปลายทาง ปัจจุบันนี้ได้มี ไอซีสำเร็จรูปเข้ามาทำหน้าที่อย่างเช่น ไอซีเบอร์ MC 3419-1L ซึ่งได้นำมาใช้ในโครงงานนี้ โดยทำหน้าที่

1) จ่ายกระแสไฟให้แก่โทรศัพท์

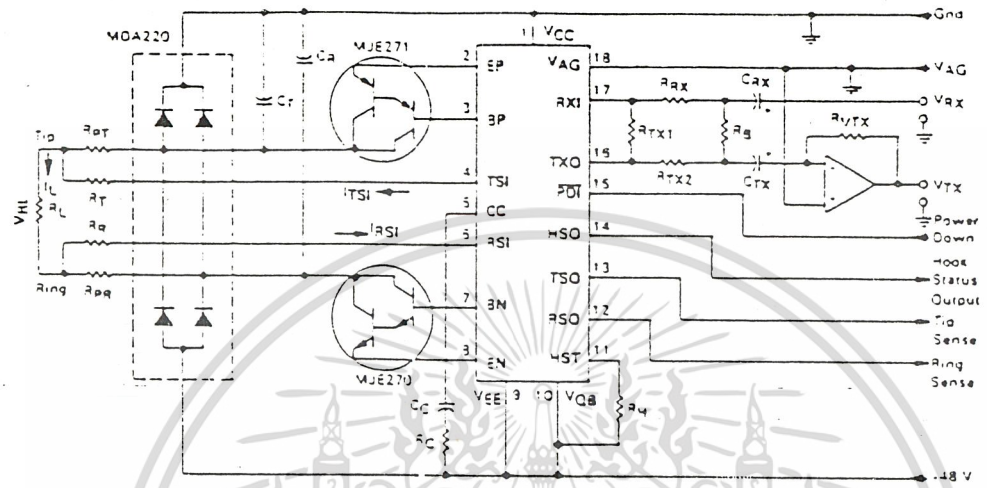
2) แยกสัญญาณจาก 2 สาย (TWO DIFFERENTIAL) ให้เป็น 4 สาย (FOUR WIRES SINGLE END)

3) ตรวจสอบสถานะ การวางหู-ยกหูโทรศัพท์ หรือเรียกอุปกรณ์ที่ทำหน้าที่ว่า ซับสไคร์เบอร์ลูปอินเตอร์เฟสเซอร์กิต ซึ่งจะเข้ามาทำหน้าที่แทนวงจรไฮบริดทรานสฟอร์เมอร์ (HYBRID TRANSFORMER) ซึ่งทำหน้าที่เปลี่ยนการส่งสัญญาณแบบ 2 สายให้เป็น 4 สาย



รูปที่ 3.9 แสดงโครงสร้างภายในของ MC 3419-1L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงตัวอย่างวงจรของส่วนเชื่อมต่อสายโทรศัพท์

3.7 แหล่งจ่ายไฟ (POWER SUPPLY)

จ่ายไฟขนาด 5 โวลต์, -5 โวลต์, 12 โวลต์, -12 โวลต์, 24 โวลต์, -24 โวลต์ และ 100โวลต์ เพื่อป้อนให้กับอุปกรณ์ต่างๆ ของระบบ

3.8 ส่วนประมวลผลกลาง

ในโครงงานนี้ใช้ JAZZ-31 เป็นส่วนประมวลผลกลางที่ทำหน้าที่รับสัญญาณหรือข้อมูลจากส่วนประกอบต่างๆ ซึ่งได้แก่ ส่วนซื่อมต่อคู่สายโทรศัพท์ภายใน ส่วนถอดรหัสความถี่สัญญาณ มาทำการประมวลผลแล้วส่งสัญญาณไปควบคุม การสลับช่องเวลาของวงจรสวิทชิ่ง และ จ่ายสัญญาณต่างๆให้แก่เครื่องโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

1.ส่วนสวิทชิ่งและโคเดค

ไอซี CD 22357 จะทำการแปลงสัญญาณอนาล็อกอินพุทขนาด 1 Khz เป็นสัญญาณดิจิตอล เอาท์พุทแบบอนุกรม โดยมีสัญญาณแซนแนลซิงค์ที่ 3 ขนาด 8 Khz เป็นตัวควบคุมจังหวะการแซมปลิ้ง ผ่านเข้ามาทางขา 1 ของ MT 8982 ด้วยอัตราประมาณ 2.048 Mb/s ส่วน ไอซี MT 8982 จะทำการสลับช่องสัญญาณอินพุทที่ 3 ให้ไปออกขา 3 ช่องสัญญาณเอาท์พุทที่ 4 ซึ่งสามารถควบคุมการสลับช่องสัญญาณได้โดยการโปรแกรมดังต่อไปนี้

```
PORTC     EQU     0FC02H
CONTP     EQU     0FC03H
          ORG     8000H
          MOV     DPTR,#CONTP
          MOV     A,#90H          กำหนดคอนโทรลไบต์
          MOVX    @DPTR,A         ส่งคอนโทรลไบต์สู่คอนโทรลพอร์ต
          CLR     SM0             กำหนดให้ใช้การส่งข้อมูลแบบโหมด 0
          CLR     SM1
          MOV     A,#04H          กำหนดแซนแนลเอาท์พุทที่ 4
          RL      A
          RL      A
          ORL     A,#02H
          MOV     R4,A
          MOV     A,#03H          กำหนดแซนแนลอินพุทที่ 3
          ANL     A,#1FH
          MOV     R5,A
          ACALL   INITIAL
          MOV     A,R4
          MOV     SBUF,A          ส่งคอมมานต์/แอดเดรสไบต์
          ACALL   DLAY.
          CLR     TI
          MOV     A,R5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            MOV         SBUF,A              ส่งดาต้าไบต์
;*************************************
;CREAT CS FOR MT8982
INITIAL:    MOV         DPTR,#PORTC         สร้างสัญญาณ CS เพื่อควบคุม MT8982
            MOV         A,#0FFH
            MOVX        @DPTR,A
            MOV         A,#00H
            MOVX        @DPTR,A
            CLR         TI
            RET
;*************************************
DLAY:       MOV         A,#0FH              โปรแกรมหน่วงเวลา
DECR:       DEC         A
            JNZ         DECR
            RET
            END
;*************************************
```

หลังจากนั้นสัญญาณดิจิตอลเอาท์พุทจะผ่านเข้ามาทางขา 6 ของไอซี CD 22357 ซึ่งใช้สัญญาณแซนแนลซิงค์ที่ 4 ในการแซมปลิ้ง ซึ่งจะได้สัญญาณอนาล็อกเอาท์พุทออกทางขา 16 โดยสามารถสร้างวงจรได้ตามรูปที่ 4.1

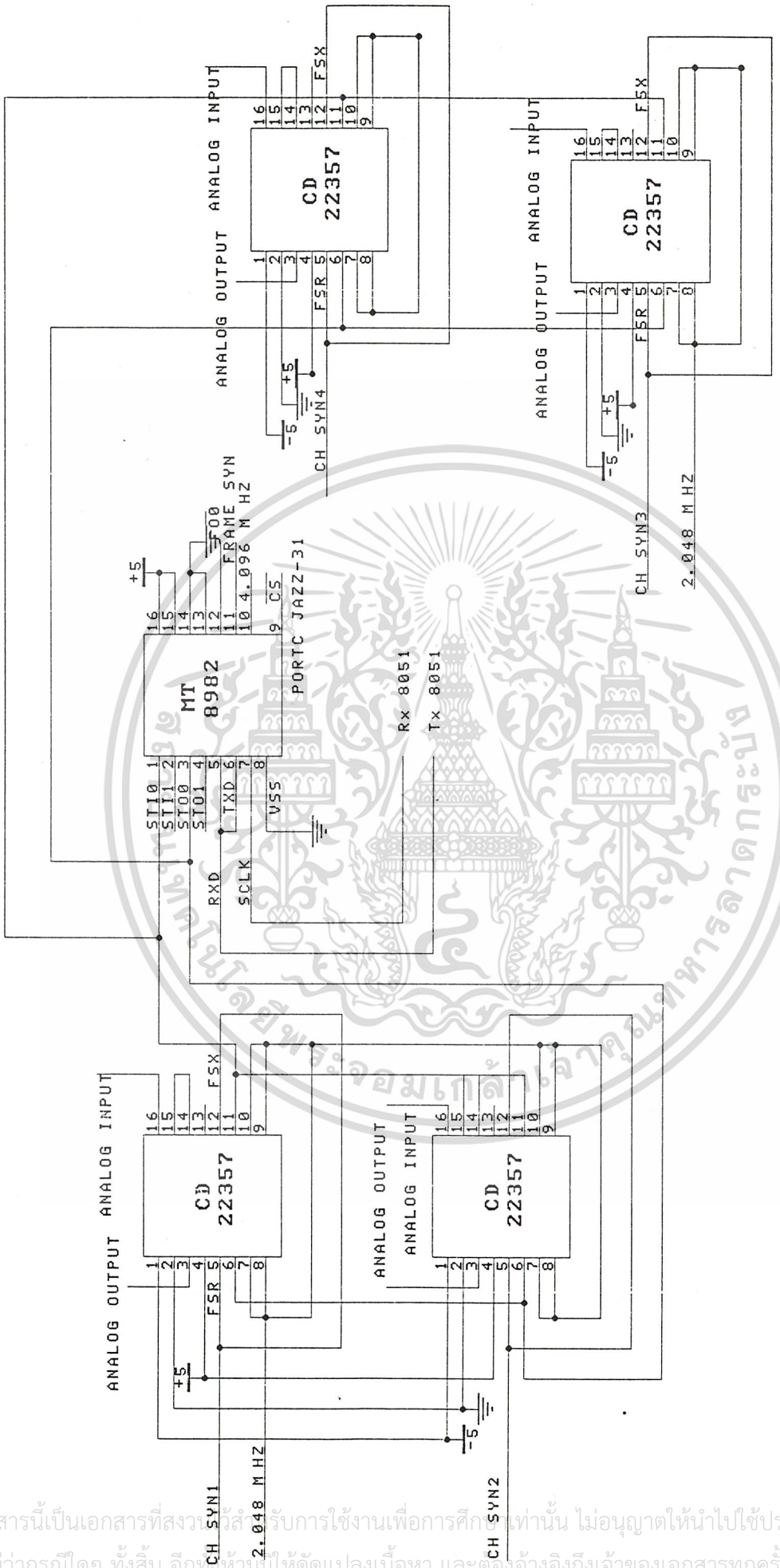
2.ส่วนสร้างสัญญาณ

2.1 สัญญาณไดอัลสามารถสร้างได้โดยใช้ การโปรแกรมสัญญาณ 400 Hz มอดูเลทกับสัญญาณ 20 Hz ลงใน EPROM โดยใช้ไอซีเบอร์ 4040 ในการสร้างแอดเดรส เพื่ออ่านข้อมูลดิจิตอลออกมาแล้วทำการแปลงกลับเป็นอนาล็อกโดยผ่าน DAC08000 ซึ่งสามารถแสดงได้ดังวงจรรูปที่ 3.3

2.2 สัญญาณไม่ว่างและสัญญาณเรียกกลับสร้างได้โดยการโปรแกรมสัญญาณ 400 Hz โดยใช้ไอซี 555 ควบคุมเป็นจังหวะปิดเปิด ดังรูปที่ 3.4

2.3 สัญญาณเรียก ทำได้โดยสร้างความถี่ 50 Hz ขึ้นจากไอซี 555 (C2) แล้วทำการควบคุมจังหวะให้มีการติด 1 วินาที และ ดับ 3 วินาที โดยใช้ไอซี 555 (C1) ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 วงจรดิจิตัลและโคเดค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.ส่วนถอดรหัสความถี่สัญญาณ

ทำการป้อนสัญญาณ DTMF จากเครื่องโทรศัพท์เข้าที่ขาอินพุทของวงจรถอดรหัสความถี่สัญญาณจะได้เอาท์พุทที่ขา 11 12 13 และ 14 สัญญาณที่ถอดรหัสได้นั้นจะแสดงเป็นรหัสไบนารี โดยรหัสไบนารีที่ได้นำไปต่อเข้ากับส่วนประมวลผลกลาง (รายละเอียดในภาคผนวก)

4.ส่วนสร้างสัญญาณนาฬิกาและสัญญาณซิงโครนัส

ต่อวงจรสร้างสัญญาณนาฬิกาและสัญญาณซิงโครนัสดังรูปที่ 3.6 และรูปที่ 3.7 ตามลำดับ

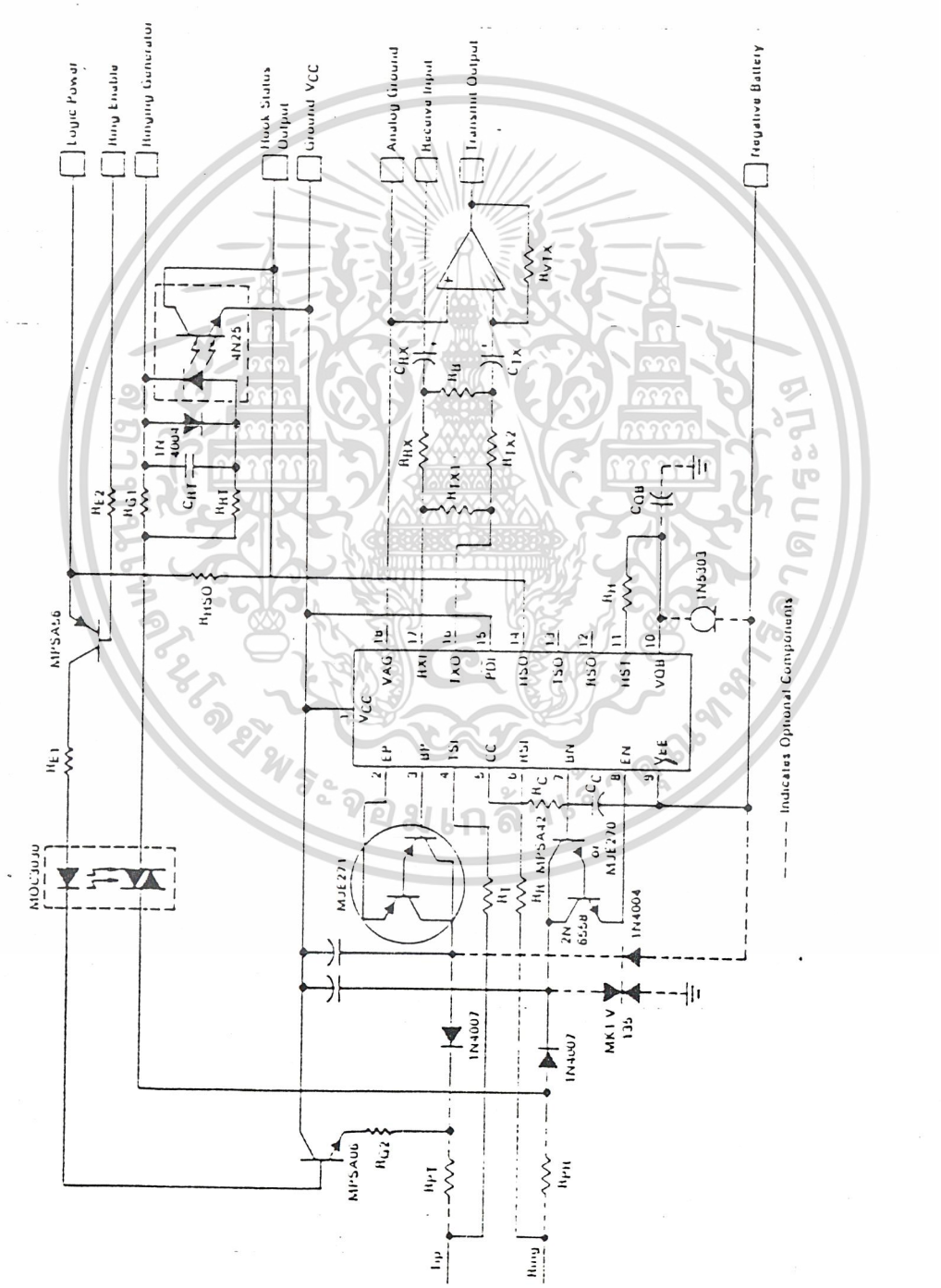
5.ส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายใน

ในโครงงานใช้ ไอซี MC 3419-1L เมื่อต่อวงจรดังรูปที่ 4.2 ขณะที่วางหูโทรศัพท์ที่ขา HOOK จะเป็น 5 โวลต์ ต่อเมื่อยกหูโทรศัพท์ที่ขา HOOK จะเป็น 0 โวลต์ และเมื่อให้ริงค์เอนาเบิลเป็นลอจิก 1 จะเกิดเสียงกระดิ่งขึ้นที่โทรศัพท์

6.ส่วนประมวลผลกลางและส่วนเชื่อมต่อ

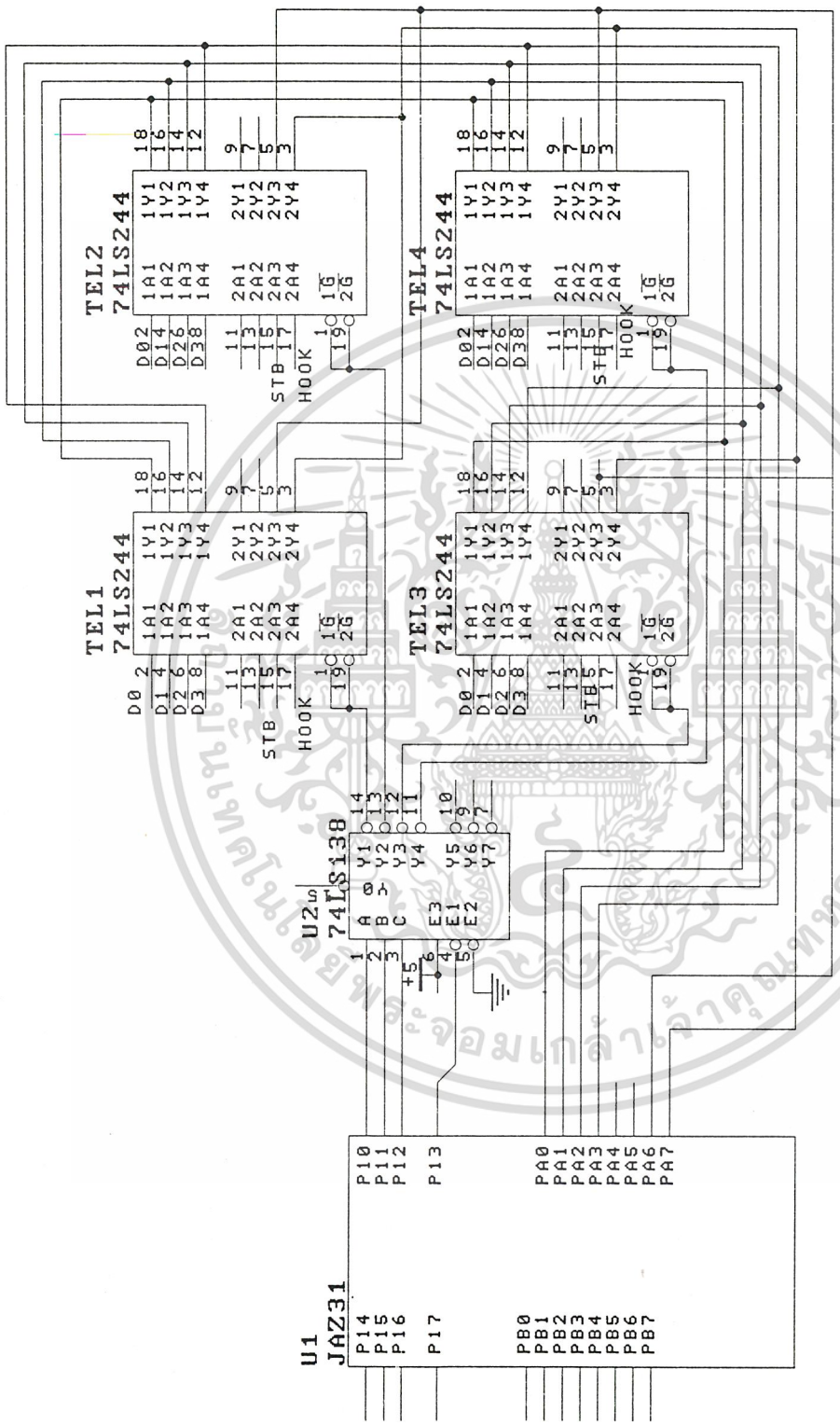
ในโครงงานจะใช้ พอร์ท 1 (สี่บิทล่าง) ของ JAZZ-31 ในการควบคุมการทำงานของไอซี 74HC138 ซึ่งไอซีตัวนี้จะส่งสัญญาณไปควบคุมไอซี 74HC244 ให้ทำการแลทช์ข้อมูลจากส่วนถอดรหัสความถี่สัญญาณ (D0 - D3) และ สัญญาณ STB พร้อมทั้งสถานะของ Hook จาก ส่วนเชื่อมต่อของคู่สายโทรศัพท์ภายในแต่ละเครื่อง โดยข้อมูลดังกล่าวจะผ่านเข้าสู่ JAZZ-31 ทางพอร์ท A เพื่อทำการประมวลสถานะของเครื่องโทรศัพท์ ส่วนพอร์ท 1 (สี่บิทบน) จะใช้ในการควบคุมไอซี 74HC138 ก็ต่อเมื่อต้องการจ่ายสัญญาณต่างๆ ให้แก่เครื่องโทรศัพท์ โดยจะส่งสัญญาณให้ไอซี 74HC374 ทำการแลทช์ข้อมูลจากพอร์ท B ออกไปควบคุมการปิดเปิดของอนาล็อกสวิทช์ เพื่อควบคุมให้สัญญาณต่างๆเข้าสู่โทรศัพท์ได้ตามความเหมาะสม โดยสัญญาณที่ออกจากขา Q0 จะใช้ในการควบคุมการจ่ายสัญญาณไดอัล สัญญาณที่ออกจากขา Q1 ควบคุมการจ่ายสัญญาณเรียกกลับ สัญญาณที่ออกจากขา Q2 ควบคุมการจ่ายสัญญาณไม่ว่าง สัญญาณที่ออกจากขา Q3 ควบคุมการจ่ายสัญญาณเรียกโดยต่อเข้ากับ SLIC โดยตรง โดยสามารถต่อวงจรได้ดังรูปที่ 4.3 และจากวงจร ขา Q0 - Q2 ของ 74LS374 ทุกตัวจะต้องต่อกับอนาล็อกสวิทช์เช่นเดียวกับ TEL1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



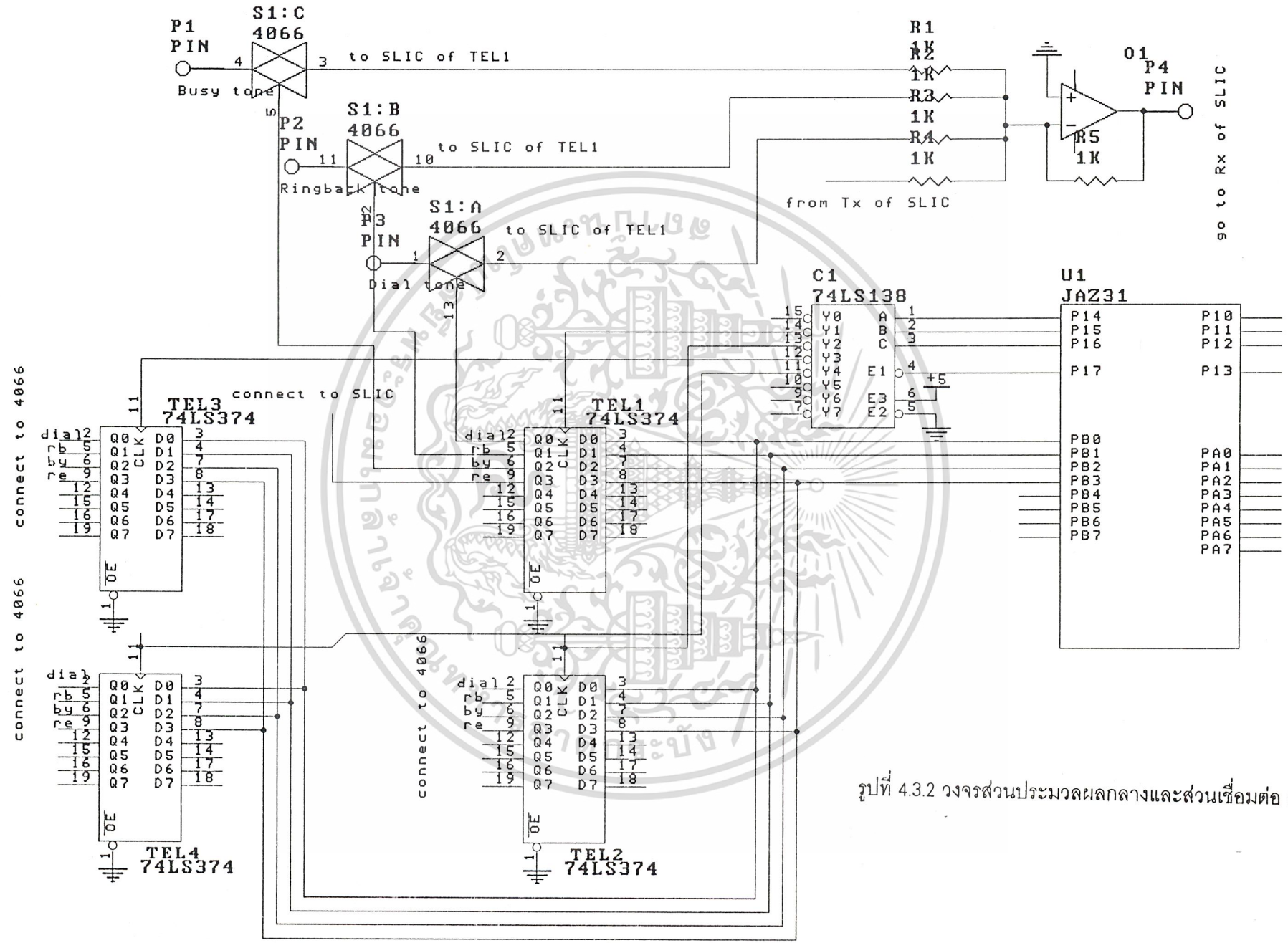
รูปที่ 4.2 วงจรเชื่อมต่อของคู่สายโทรศัพท์ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

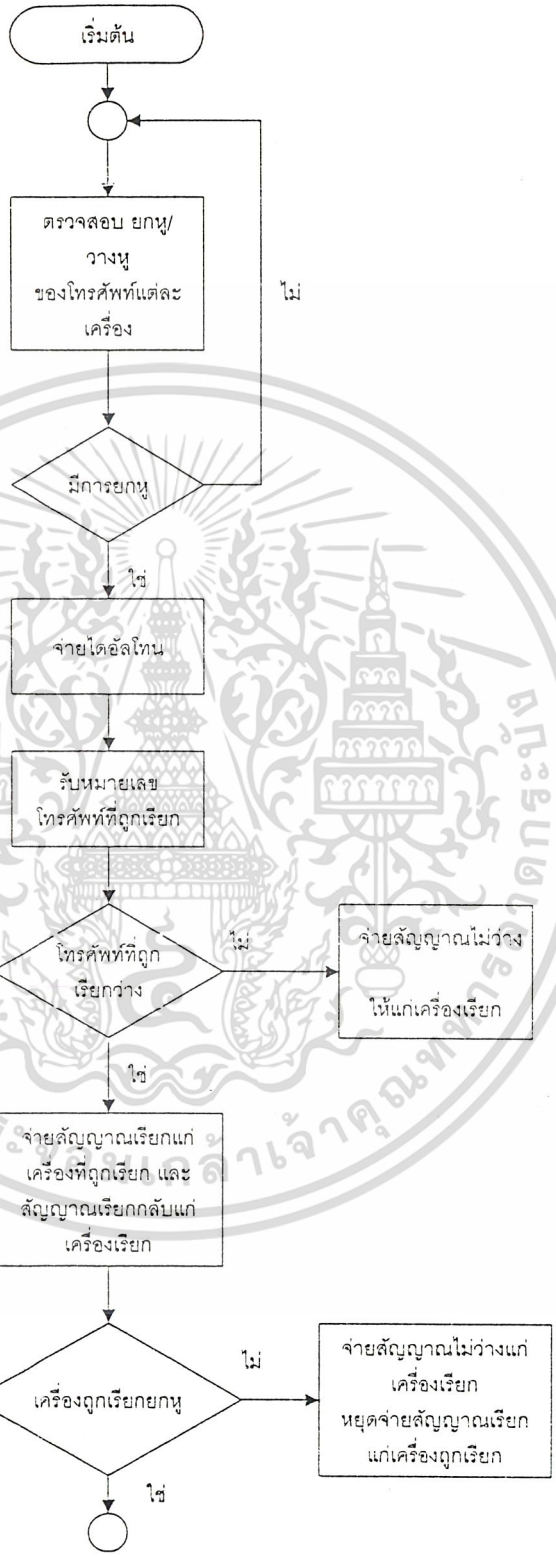


รูปที่ 4.3.1 วงจรส่วนประมวลผลกลางและส่วนเชื่อมต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3.2 วงจรส่วนประมวลผลกลางและส่วนเชื่อมต่อ (ต่อ)



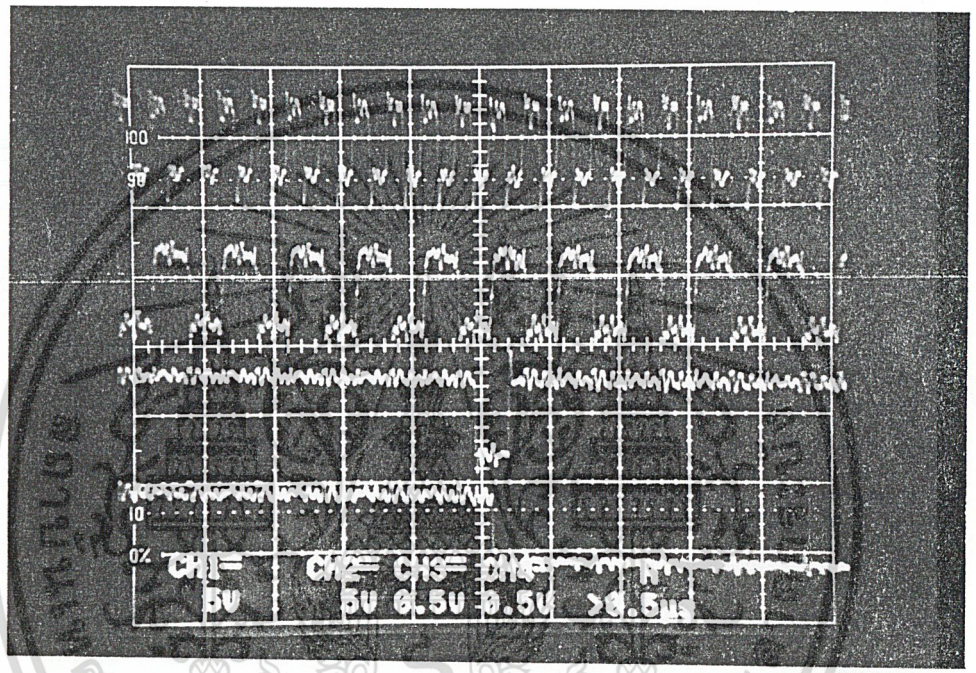
รูปที่ 4.4 โฟล์วชาร์ทแสดงระบบการทำงานทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.4 โฟลว์ชาร์ทแสดงระบบการทำงานทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแสดงผลการทดลอง



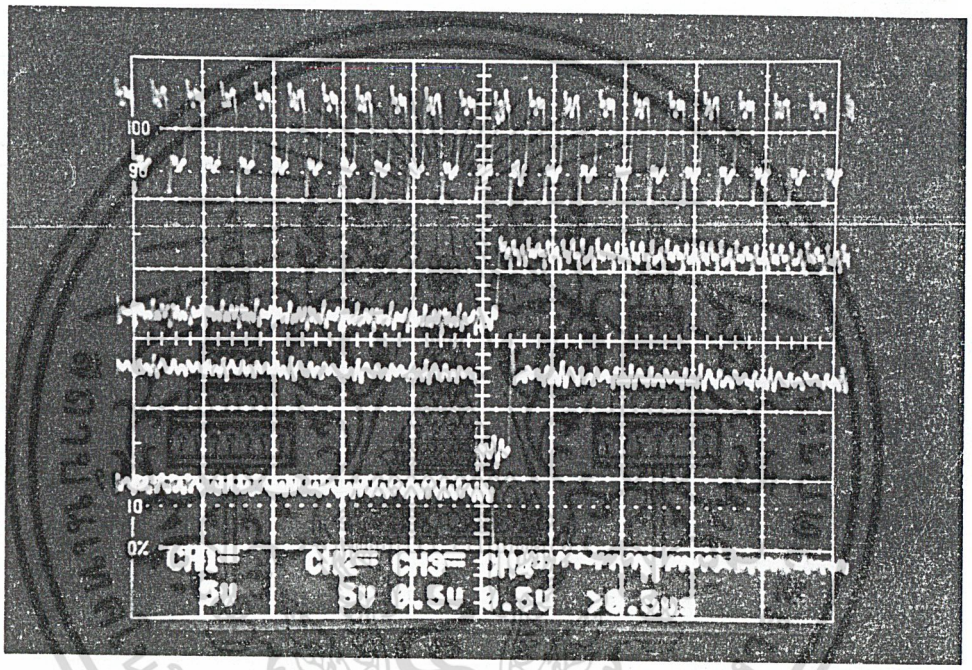
รูปที่ 4.5 แสดงสัญญาณนาฬิกา 4.006 เมกกะเฮิร์ต

สัญญาณนาฬิกา 2.003 เมกกะเฮิร์ต

สัญญาณเฟรมซิงค์ 8 กิโลเฮิร์ต

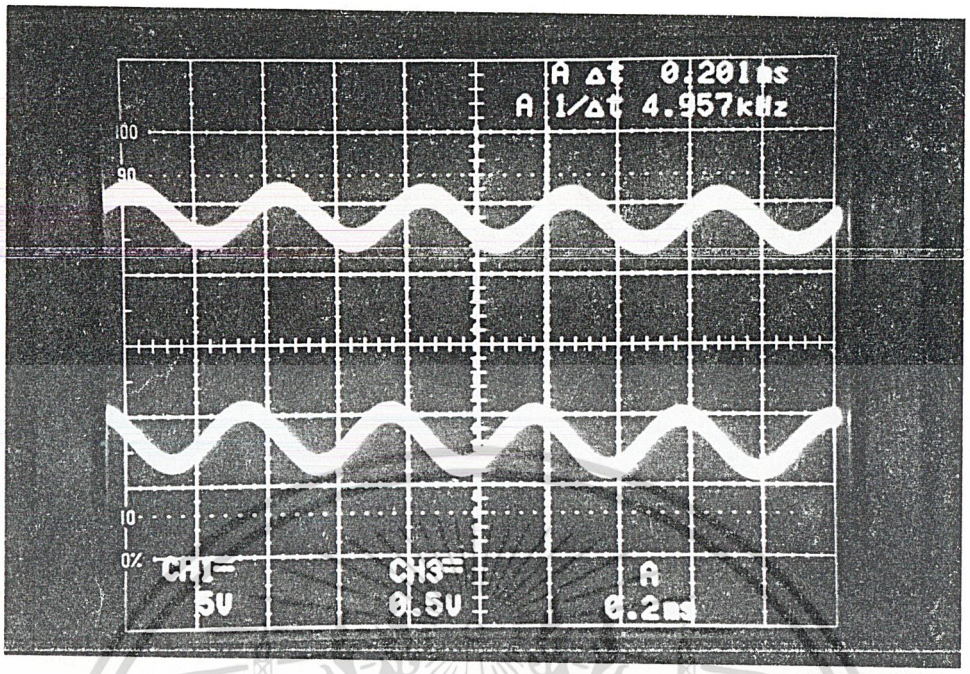
สัญญาณแซนแนลซิงค์ที่ 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

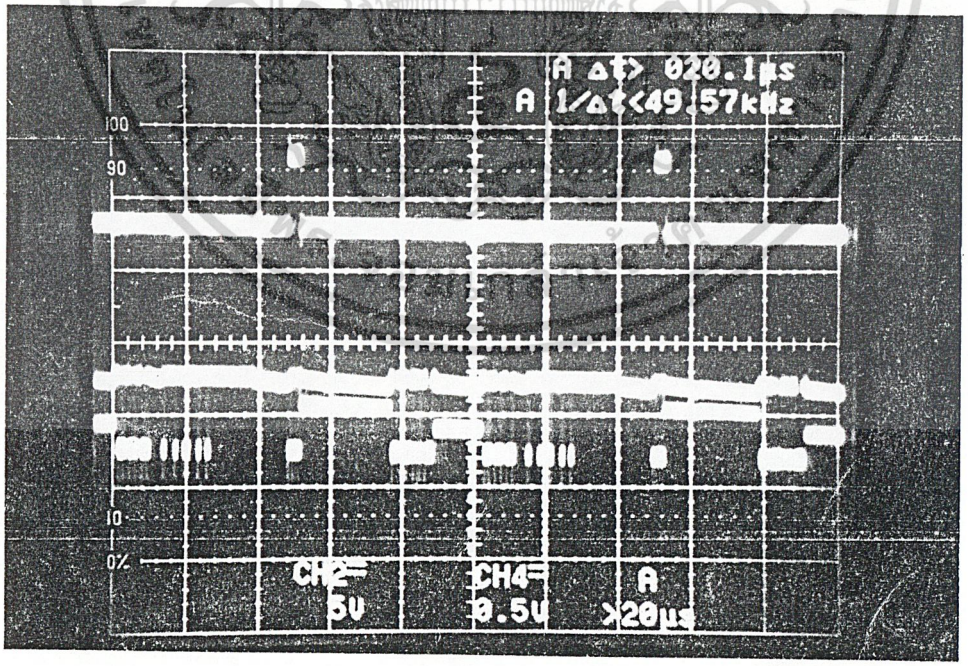


รูปที่ 4.6 แสดงสัญญาณนาฬิกา 4.006 เมกกะเฮิร์ต
สัญญาณแชนแนลซิงค์ที่ 3
สัญญาณเฟรมซิงค์ 8 กิโลเฮิร์ต
สัญญาณแชนแนลซิงค์ที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

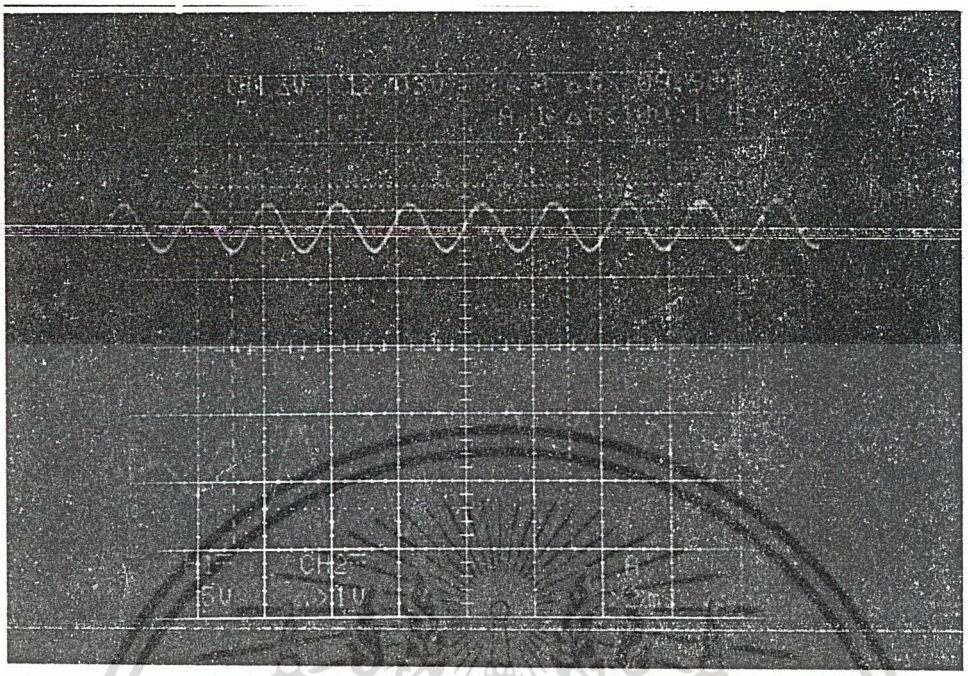


รูปที่ 4.7 แสดงสัญญาณอนาล็อกอินพุทและสัญญาณอนาล็อกเอาท์พุท



รูปที่ 4.8 แสดงสัญญาณแซนแนลซิงค์ที่ 4 และสัญญาณดิจิตอลเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 รูปแสดงสัญญาณ 400 เฮิร์ต และสัญญาณ 400 เฮิร์ตมอดดูเลทกับสัญญาณ 50 เฮิร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และสรุป

เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอลที่ใช้เทคนิคการมัลติเพลกซ์แบบแบ่งเวลา (Time Division Multiplex) สามารถทำการติดต่อภายในได้ แต่ในโครงงานนี้ยังเกิดปัญหาต่างๆ ซึ่งสามารถสรุปได้ดังนี้

1.เนื่องจากส่วนกำเนิดสัญญาณเรียก (Ringing Signal) กำเนิดสัญญาณเป็นรูปสี่เหลี่ยมขนาดประมาณ 100 โวลต์ ซึ่งในทางทฤษฎีแล้วควรจะเป็นสัญญาณไซน์ และสัญญาณรูปสี่เหลี่ยมที่ได้จะมีดีซีอยู่บางขณะทำให้ สัญญาณดีซีดังกล่าวเข้าไปกวนสัญญาณฮุคของสลิค โดยสัญญาณฮุคจะลงเป็นศูนย์ในขณะที่ยังไม่ได้ยกหู

2.สัญญาณนาฬิกาที่สร้างจากวงจรมีค่า 2.003 เมกกะเฮิร์ต และ 4.006 เมกกะเฮิร์ต ซึ่งสัญญาณนี้จะป้อนให้แก่โคเดคที่ต้องการสัญญาณนาฬิกา 2.048 เมกกะเฮิร์ต และ ดิจิตอลสวิทชิ่งซึ่งต้องการสัญญาณ 4.096 เมกกะเฮิร์ต ตามลำดับ ซึ่งจะทำให้เกิดความผิดพลาดอยู่บ้างเพียงเล็กน้อย

3.มีสัญญาณรบกวนเวลาพูดคุย

4.ซัพพลายมีขนาดใหญ่เกินไป

5.ซอฟแวร์ยังพัฒนาไม่ดีเท่าที่ควร

แนวทางการพัฒนา

1.ในส่วนกำเนิดสัญญาณเรียกควรใช้วงจรจูนในการกรองสัญญาณเพื่อจะได้สัญญาณที่มีลักษณะเป็นรูปไซน์

2.ควรใช้วงจรกรองความถี่ต่ำเพื่อขจัดเสียงรบกวนขณะพูด

3.ส่วนของแหล่งจ่ายไฟเป็นส่วนที่กินเนื้อที่ และมีน้ำหนักมากควรเปลี่ยนเป็นซัพพลายแบบสวิทช์ จะช่วยลดขนาดและน้ำหนักลงได้มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MITEL

ISO-CMOS ST-BUS™ FAMILY MT8982
Small Digital Switch (MiniDX)

9161-002-128-NA ISSUE 5 January 1992

Features

- ST-BUS/GCI compatible switch matrix
- 64 channel non-blocking time switch
- 2 x 32 channel serial inputs and outputs
- Per-channel tristate control
- 4-pin serial microprocessor interface
- Patented message mode
- Low power consumption (10 mW)
- Single 5 volt supply

Applications

- Cost sensitive digital switching applications
- Digital key telephone systems
- GCI/ST-BUS conversion
- ST-BUS device control interface
- ISDN telephone set support circuit
- Interprocessor communication

Ordering Information

MT8982AC	16 Pin Ceramic DIP
MT8982AE	16 Pin Plastic DIP
MT8982AS	16 Pin SOIC
	−40 to +85°C

Description

The MT8982 Small Digital Switch (MiniDX) is a non-blocking CMOS time switch with a capacity of up to 64 - 8 bit Time Division Multiplexed (TDM) encoded voice or data channels. It is a size-optimized version of MITEL's successful MT8980D Digital Switches, providing switching capability in cost sensitive applications such as telephone sets and digital key systems. The TDM interface to the device is via two pairs of 2048 kbit/s serial streams with 32 64 kbit/s channels per stream (ST-BUS). A serial microport provides access to the device for programming the required connections. The serial microport is compatible with most common microcontrollers. The unique message mode capability allows the MT8982 to act as a controller for other members of MITEL's ST-BUS family of components.

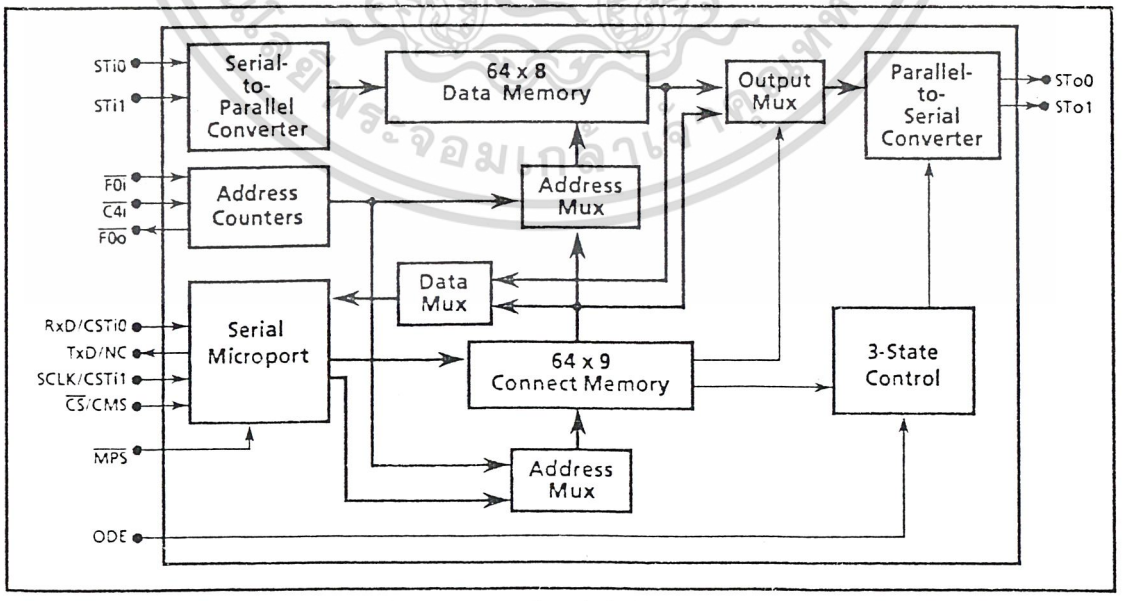
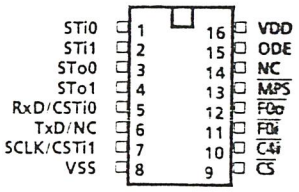


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



16 PIN CERDIP/PLASTIC/SOIC

Figure 2 - Pin Connections

Pin Description

Pin #	Name	Description
1-2	STi0-STi1	Serial TDM Input 0 and 1 (Inputs). 2048 kbit/s input data streams containing 32 8-bit channels synchronized to $\overline{F0i}$.
3-4	STo0-STo1	Serial TDM Output 0 and 1 (Outputs). 2048 kbit/s output data streams containing 32 8-bit channels synchronized to $\overline{F0i}$.
5	RxD/CSTi0	Received Data/Control Stream Input 0 (Input). When $\overline{MPS}$ is low, this pin receives serial microport data clocked in by the rising edge SCLK. When $\overline{MPS}$ is high, this pin receives a 2048 kbit/s serial TDM stream containing 32 8-bit channels, which are written into the Connect Memory locations corresponding to STo0.
6	TxD	Transmit Data (Output). When $\overline{MPS}$ is low, serial microport data is clocked out on this pin by the falling edge of SCLK. When $\overline{MPS}$ is high this output is disabled.
7	SCLK/CSTi1	Serial Microport Clock/Control Stream Input 1 (Input). When $\overline{MPS}$ is low, this pin receives a clock which is used to clock data to/from a microcontroller via a serial microport. When $\overline{MPS}$ is high, this pin receives a 2048 kbit/s serial TDM stream containing 32 8-bit channels, which are written into the Connect Memory locations corresponding to STo1.
8	V_{SS}	Power Input. Negative supply (ground).
9	$\overline{CS}$	Chip Select (Input). When $\overline{MPS}$ is low, a low on this pin enables the serial microport. A high on this pin disables RxD and tristates TxD. When $\overline{MPS}$ is high, this pin must be low.
10	$\overline{C4i}$	Serial TDM Clock (Input). This clock input is used to clock the TDM data into and out of the device and refreshes the internal dynamic RAM. The clock rate is 4.096 MHz and data is clocked in on the rising edge of $\overline{C4i}$ three-quarters of the way through a bit period.
11	$\overline{F0i}$	Frame Pulse (Input). This input is the frame synchronization pulse for the 2048 kbit/s serial TDM streams. It may be either active low stradling the frame boundary (ST-BUS) or active high at the beginning of timeslot 5 (GCI).
12	$\overline{F0o}$	Frame Pulse (Output). This pin outputs a frame pulse in the opposite format to $\overline{F0i}$ (GCI or ST-BUS) delayed or advanced by five channels.
13	$\overline{MPS}$	Microport Select (Input). When this pin is held low, the serial microport is in normal mode. When this pin is high, the microport is in serial bus mode.
14	IC	Internal Connection . Tie to V_{SS} for normal operation.
15	ODE	Output Drive Enable (Input). When this pin is held high, the STo0 and STo1 output drivers function normally. When this pin is low, STo0 and STo1 are tristated. NB: When ODE is high, individual channels on STo0 and STo1 can be tristated under software control.
16	V_{DD}	Power Input. Positive supply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8982 (MiniDX) provides cost effective time switching capability for small size applications utilizing up to two serial Time Division Multiplexed (TDM) streams. Each TDM stream consists of 32 64 kb/s channels, giving the MiniDX a maximum capacity of 64 channels. The input framing signal may be either a ST-BUS or a GCI frame pulse. The MT8982 will output a delayed or advanced frame pulse in the opposite format to permit conversion between the two formats.

The MiniDX can switch data from any channel in one of the two serial input TDM streams to any channel in either of the two serial output TDM streams. The microcontroller controlling the MiniDX writes to the MT8982 Connect Memory to establish the connection between the required input TDM channel and the selected output TDM channel(s). By reading the Connect Memory the microcontroller can check switched connections which have already been established.

The MiniDX can also operate in message mode where the microcontroller transmits the data on the TDM serial stream. The microcontroller writes to the MT8982 Connect Memory to transmit data on the required output TDM channels. Reading the Data Memory of the MT8982 allows the microcontroller to receive messages from TDM input channels. These operations are useful for control of other ST-BUS components or for interprocessor communication.

Hardware Description

TDM Interface

The MT8982 continuously receives TDM serial data at 2048 kbit/s through two serial inputs. These serial streams are then converted into a parallel format and stored sequentially in a 64x8 bit Data Memory. The sequential addressing is generated by an internal counter that is reset by the input 8 kHz frame pulse ($\overline{F0i}$) which marks the frame boundaries of the incoming serial data stream. This counter increments with each timeslot so that it matches the binary count of the timeslot of the incoming data. The TDM timeslot count always corresponds to the ST-BUS channel positions. An extra address bit is used to differentiate between the two input data streams.

The input 8 kHz frame pulse may be either ST-BUS or GCI formatted. A ST-BUS formatted frame pulse is an active low signal which straddles the frame boundary. It idles high the rest of the time. A GCI formatted frame pulse is active high at the beginning of timeslot 5 (relative to the MT8982) and idles low. The MT8982 automatically determines the type of frame pulse from the level of the idle over five clock periods. A ST-BUS formatted frame pulse resets the internal address counters to zero. A GCI formatted frame pulse resets the counters to five.

$\overline{F0o}$ outputs a frame pulse in the opposite format. If $\overline{F0i}$ is a ST-BUS formatted frame pulse, $\overline{F0o}$ will be a GCI formatted frame pulse delayed by five channels after F0i. If $\overline{F0i}$ is a GCI formatted frame pulse, $\overline{F0o}$ will be a ST-BUS formatted frame pulse delayed by 27 channels (32-5).

During normal operation every second falling edge of the clock marks a timeslot boundary and the input data is clocked in by the rising edge, three-quarters of the way into the bit cell. The master clock must be 4.096 MHz for the $\overline{F0o}$ signal to be valid and to receive a GCI formatted $\overline{F0i}$.

Data which is output onto a TDM serial output channel may come from two sources; the Data Memory or the Connect Memory. If a channel is configured in connection mode, the source of output data is the Data Memory. If a channel is configured in message mode, the source of the output data is the Connect Memory. Data destined for a particular channel on the serial output links is read from the data or connect memory in the previous channel timeslot. This allows for delay in RAM access and parallel-to-serial conversion. Each output data channel can also be placed in tristate mode.

When an output channel is in connection mode, the TDM output data is read from a Data Memory location pointed to by an address stored in the 64x8 bit Connect Memory. The Connect Memory locations are addressed sequentially, with each location corresponding to an output TDM link/channel. In the channel time before the data is to be output, the contents of each Connect Memory location are output to the address bus of the Data Memory. The contents of the Data Memory at the selected address are then transferred to the parallel-to-serial converter. The parallel-to-serial converter outputs onto the TDM serial stream during the correct channel time. By having the output channel specify the input channel, the user can route the same input channel to several output channels. This function is useful for broadcasting or resource channel uses.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When an output channel is in message mode, the data for the output channel originates from the microcontroller. The microcontroller writes data to the Connect Memory location which corresponds to the output link and channel number. The contents of the Connect Memory are transferred directly to the serial-to-parallel converter one channel time before it is to be output. The Connect Memory data is output MSB first, repetitively once per frame, until it is changed by the microcontroller.

If the output channel is configured in tristate mode, the TDM serial stream output will be placed in high impedance during that channel time. This mode is entered by configuring the channel into connection mode and then setting the tristate control bit. All channels on both output TDM streams can be tristated by pulling pin 16 (ODE) low. This overrides the individual channel programming.

The Data and Connect Memories are dynamic memories. They are refreshed by the sequential addressing generated by $\overline{C4i}$.

Microcontroller Interface

The MT8982 is controlled via a synchronous, serial microport. The microport is compatible with Intel's MCS-51 serial port Mode 0 specifications, Motorola's Serial Peripheral Interface (SPI) specifications, and National's MicroWire specifications. The port consists of a transmit data line (TxD), a receive data line (RxD), a chip select line ($\overline{CS}$), and a synchronous clock input (SCLK). All memory locations and control functions on the MiniDX are accessed through this port. The microport may also be configured in serial bus mode where data is clocked into the Connect Memory in the same way as STi0 and STi1 are clocked into Data Memory.

In serial microport mode, $\overline{CS}$ must be low to enable a microport access. SCLK clocks the serial microport data in or out through RxD and TxD, LSB first. The TxD output driver is tristated when it is inactive. This allows RxD and TxD to be connected together for a single TxD/RxD line as used in the INTEL MCS-51 microcontrollers. Figure 3 shows a serial microport access cycle.

A microport access cycle (microcycle) begins with a falling edge on $\overline{CS}$. Eight bits of data are clocked into RxD by the rising edge of SCLK. Two of these eight bits indicate whether the microcycle operation is a read or a write, the rest of the bits are used for addressing. These eight bits are defined as the command/ address byte (Table 1). If the

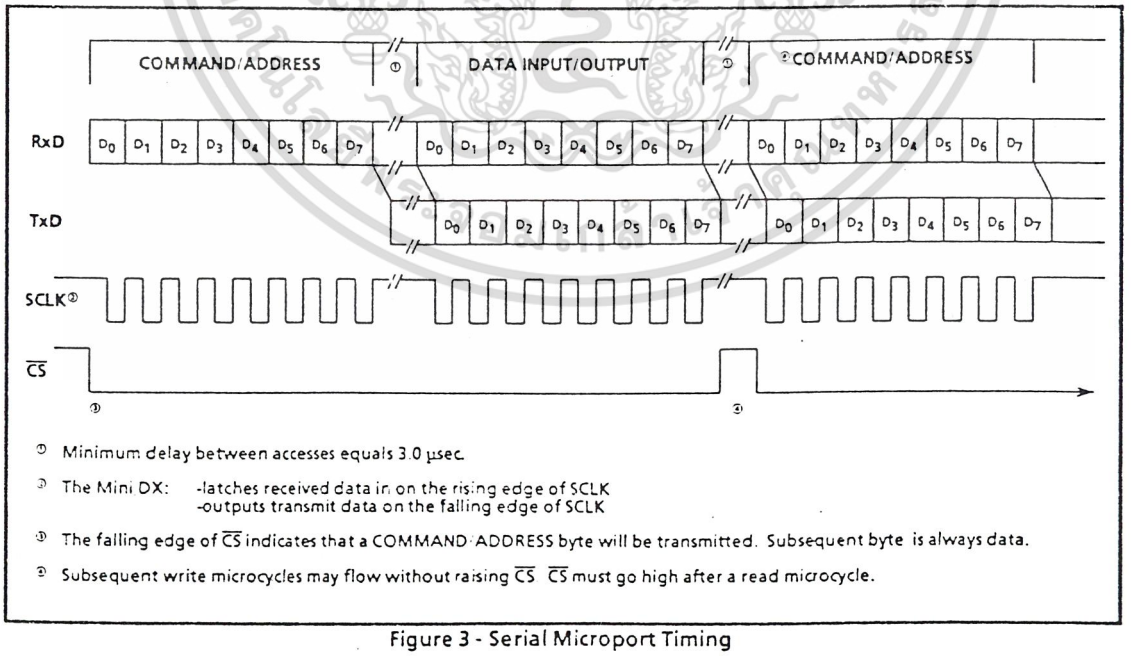


Figure 3 - Serial Microport Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

microcyle operation is a write, another eight bits are clocked into RxD by the rising edges of the next eight SCLK cycles. If the operation is a read, eight data bits are clocked from TxD by the falling edges of the next eight SCLK cycles. The rising edge of $\overline{CS}$ tristates TxD after the last transmitted bit.

Successive write microcycles can take place while $\overline{CS}$ remains low, with each microcycle following the sequence of a command/address byte followed by a data byte. $\overline{CS}$ must go high after a read microcycle. Note that a command/address byte must always follow the high to low transition on $\overline{CS}$.

When the $\overline{MPS}$ input is pulled high and the $\overline{CS}$ input is pulled low, the microport is put into serial bus mode. Pins RxD and SCLK become CSTi0 and CSTi1, respectively, and are configured as 2048 kbit/s serial streams with 32 channels each. The frame and timeslot boundaries are determined by $\overline{F0i}$ and $\overline{C4}$. Each channel on CSTi0 and CSTi1 is stored in the connect memory address corresponding to the link and channel number. The Data Memory and the Connect Memory cannot be read when the microport is in serial bus mode.

Device Timing

During each TDM timeslot, eight read or write operations occur internally in the MT8982. These are shown in Figure 4. During the first two bit periods, data received in the previous timeslot on the two input TDM streams is loaded into the Data Memory. Bit periods 2 and 6 are serial microport access windows; data may be read from, or written to any accessible memory location. During bit periods 3 and 5, data is read from the connect memory for the next timeslot on links 0 and 1 respectively. The Data Memory locations which are addressed by the previous reads of the connect memory are accessed during bit periods 4 and 7.

When the microport is in serial bus mode, bit periods 2 and 6 have a slightly different function. Data from the previous timeslot of CSTi0 and CSTi1 respectively is written to the corresponding connect memory locations.

The transfer of information from the input TDM streams to the output TDM streams results in a delay through the MT8982. This delay is dependent only on the combination of source and destination

Bit	Name	Description
7	Stream	**Stream.** This is the most significant bit of the address for the memory location that is to be accessed. It corresponds to one of the TDM serial streams (0-1).
2-6	Ch0-Ch4	**Channel 0-4.** These bits are the five least significant bits of the address for the memory location that is to be accessed. The binary value of these bits correspond to a TDM channel (0-31).
0-1	Cmd0-Cmd1	**Command Select 0-1.** These two bits define the four command operations for the MT8982. The destination addressed by the command is defined in bits 2-7 of the Command/Address byte. Cmd0-Cmd1 0-0 Read from Connect Memory. 0-1 Write to Connect Memory and set connection mode. 1-0 Read Data Memory. 1-1 Write to Connect Memory and set message mode.

Table 1 - Command/Address Byte

Bit	Name	Description
7	NA	Unused.
6	ODE	**Output Drive Enable.** When this bit is set, the addressed TDM channel is placed in tristate. When low, the output is enabled.
5	STi	**Input Stream.** This bit defines the input TDM stream from which the output data is sourced (0-1).
0-4	SC0-SC4	**Source Channel 0-4.** The binary value of these bits defines the input channel from which the output data is sourced (0-31).

Table 2 - Connect Memory Connection Mode Data Byte

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

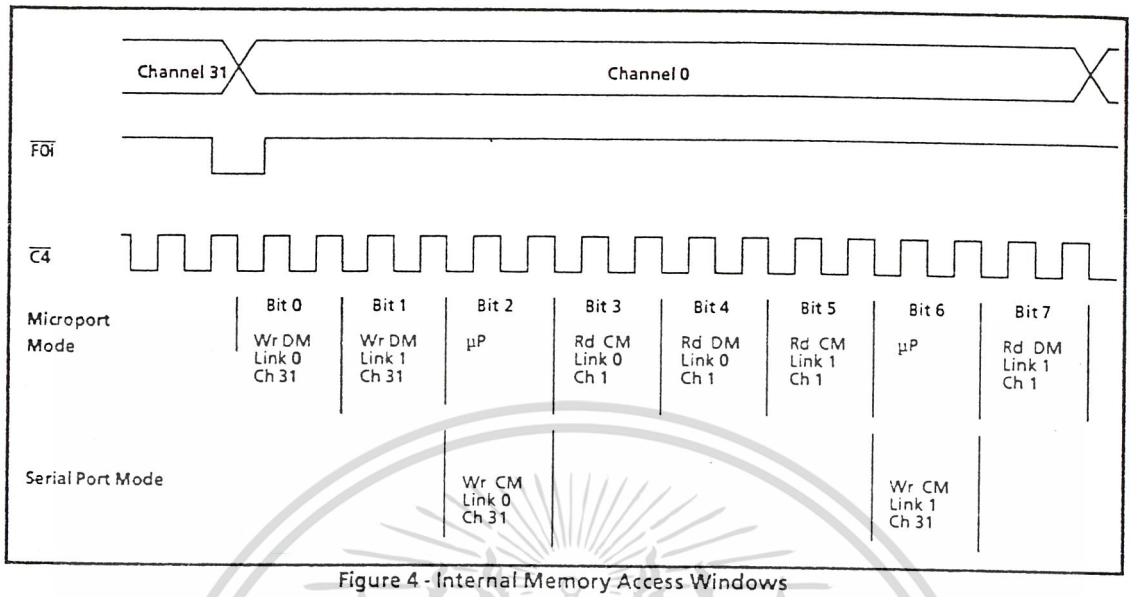


Figure 4 - Internal Memory Access Windows

channels and is not dependent on the input and output streams. The delays are given in Table 3. The maximum delay is one frame plus one channel; the minimum delay is two channels.

Input Channel	Output Channel	Delay
n	m = n, n+1	m− n + 32 channels
n	m > n+1	m− n channels
n	m < n	32− (n−m) channels

Table 3 - Input Channel to Output Channel Delay Times

The following delays apply to writing data to the Connect Memory in message mode. For stream 0, data must be written to a Connect Memory location at least one timeslot before the corresponding output channel or the output data will be delayed by one frame. For stream 1, data must be written at least two timeslots before the output channel or the output data will be delayed by one frame.

Device Programming

Microport Mode

In serial microport mode, the MT8982 is programmed and read using microcycles which consist of a command/address byte followed by a data byte.

The Command/Address Byte is shown in Table 1. Bits 0 and 1 are the command bits (Cmd0-1), and are used to indicate the type of microcycle access. The microcontroller can read the Data Memory, read or write the Connect Memory, and set per-channel message or connection mode. Bits 2 to 6 of the command/address byte (Ch0-Ch4) correlate to a channel on a TDM stream (0-31). Bit 7 (STREAM) correlates to stream 0 or stream 1. These bits address the corresponding Data Memory or Connect Memory location.

The microcycle operations selected by the command/address byte are as follows:

Read Connect Memory (Cmd0-1: 0,0)

Bits 0 to 7 of the addressed Connect Memory location will be transmitted to the microcontroller in the following data byte. Depending on what the last Connect Memory write mode was, the data transmitted could be a message byte or a Connection Mode data byte.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write Connect Memory - Set Connection Mode (Cmd0-1: 0,1)

The corresponding output channel to the addressed Connect Memory location is configured in connection mode. The Connection Mode Data Byte (Table 2) will be received by the MT8982 in the following data byte. Bits 0 to 4 (SC0-SC4) select the source input channel for switching to this output channel. Bit 5 (STi) selects the input stream. Bit 6 (ODE) enables/disables tristate for this channel. Bit 7 is unused in connection mode.

Read Data Memory (Cmd0-1: 1,0)

The contents of the addressed Data Memory location are transmitted to the microcontroller in the following data byte.

Write Connect Memory - Set Message Mode (Cmd0-1: 1,1)

The corresponding output channel to the addressed Connect Memory location is configured in message mode. The following data byte will be received by the MT8982 and written to the address Connect Memory location. The data byte will be output directly to the corresponding output channel.

The following example shows a typical programming sequence for the MT8982. A connection is to be made from stream 1 channel 6 to stream 0 channel 15:

- The microcontroller pulls $\overline{CS}$ low.
- The microcontroller transmits eight clock pulses to SCLK and a Command/Address byte, HEX 3E, to RxD. The Command/Address byte addresses output channel 15, stream 0, configures that channel as connection mode and identifies the microcycle as a write to the Connect Memory.
- The microcontroller transmits another eight clock pulses to SCLK and sends the Connection Mode Data Byte, HEX 26, to RxD. The Connection Mode Data Byte addresses input channel 6, stream 1 in the Data Memory. Note that at least two microseconds must occur between the two accesses.

The connection is now complete. The microcontroller may now check that the connection is correct:

- The microcontroller transmits eight clock pulses to SCLK and a Command/Address byte, HEX 3C, to RxD. The Command/Address byte addresses output channel 15, stream 0 and identifies the microcycle as a read from the Connect Memory.
- The microcontroller transmits another eight clock pulses to SCLK. The MT8982 outputs the Connect Memory data, HEX 26, on TxD. At least two microseconds must occur between the two accesses to ensure that the MiniDX can clock out the data.
- $\overline{CS}$ goes high to terminate the session.

This connection is only in one direction. To make a bidirectional connection the MT8982 must also be programmed to connect stream 0 channel 15 to stream 1 channel 6.

Serial Bus Mode

When the microport is in serial bus mode the MT8982 is programmed via the two ST-BUS serial streams CSTi0 and CSTi1. Each channel in these two streams is written directly into the corresponding address in the Connect Memory. The data written to the Connect Memory is always the Connection Mode Data Byte as described in Table 2. To set up a connection, the Connection Mode Data Byte is transmitted to the MT8982 on the CSTi stream and channel number which is the same as the desired STo stream and channel number. As long as the device remains in serial bus mode, the Connection Mode Data byte must be transmitted continuously, every frame, to maintain the connection.

Message mode is not available when the device is in serial bus mode. Also, neither the Connect Memory nor the Data Memory can be read while the device is in serial bus mode. MITEL's MT8980, MT9080 and MT8920 devices can all be used as programmable parallel-to-ST-BUS serial interfaces for CSTi0 and CSTi1.

Initialization

On power up the contents of the Connect Memory can be in any state. In order to prevent false programming of peripheral ST-BUS devices or false data transmission, ODE should be kept low during power up. This will keep the two TDM outputs in high impedance until the MT8982 Connect Memory is programmed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications

Digital Key Telephone System

Figure 5 shows a block diagram of a Digital Key Telephone System (DKTS) implemented with the MT8982. This DKTS can support up to 64 connections organized in any combination of subscriber lines or trunks. A very small system consisting of six lines and one trunk can very easily and economically be designed on one board. The MT8982 significantly reduces the tracking and board space required for competitive switch matrices.

Distributed Switching System

The MT8982 can be used to distribute switching capability in a very large system. In Figure 6 the MT8982 is shown with the microport in serial bus mode. This allows the central microprocessor to set up and tear down connections at the remote locations by programming the remote MT8982's through their CSTi pins. A microcontroller in each remote switch would not be required.

Primary Rate Serial Controller

Figure 7 shows the MT8982 used in a primary rate serial control application. The MT8982 is used as the control interface from a microcontroller to MITEL's MH89760/790 T1 Primary Rate Interfaces using the microcontroller's serial microport. The MT8982 offloads signalling and trunk control functions from the central switch matrix leaving more capacity for switching.

ST-BUS to GCI Conversion

The MT8982 MiniDX may be used to provide a gateway between MITEL's ST-BUS family of components and an architecture which utilizes the General Circuit Interface (GCI) operating at 2048 kbit/s (Figure 8). The MT8982 performs automatic adaptation of the different frame pulse signals. The master frame pulse to the MT8982 can be supplied either by the ST-BUS or the GCI components. The MT8982 will then provide either a delayed or advanced frame pulse to the other components as shown in Figures 9 and 10.

When an ST-BUS component is supplying the master frame pulse ($\overline{F0i}$), the MiniDX will supply the output frame pulse ($\overline{F0o}$) delayed by five channels. This ensures that frame integrity is maintained between the ST-BUS and GCI components. When a GCI component supplies the master frame pulse ($\overline{F0i}$), $\overline{F0o}$ is advanced by five channels.

Figure 8 shows a block diagram of a GCI to ST-BUS conversion circuit. External inversion of the clock signal is required between the ST-BUS and GCI components because the ST- BUS and GCI master C4 clocks use different edges to mark bit boundaries.

To program a connection between a ST-BUS channel and a GCI channel, some channel conversion is necessary. Figure 11 shows the relationship between the ST-BUS basic access frame and the GCI basic access frame. Because the MT8982 shifts the GCI frame pulse (input or output) by five channels, all of the GCI channels must be incremented by five to be correctly addressed by

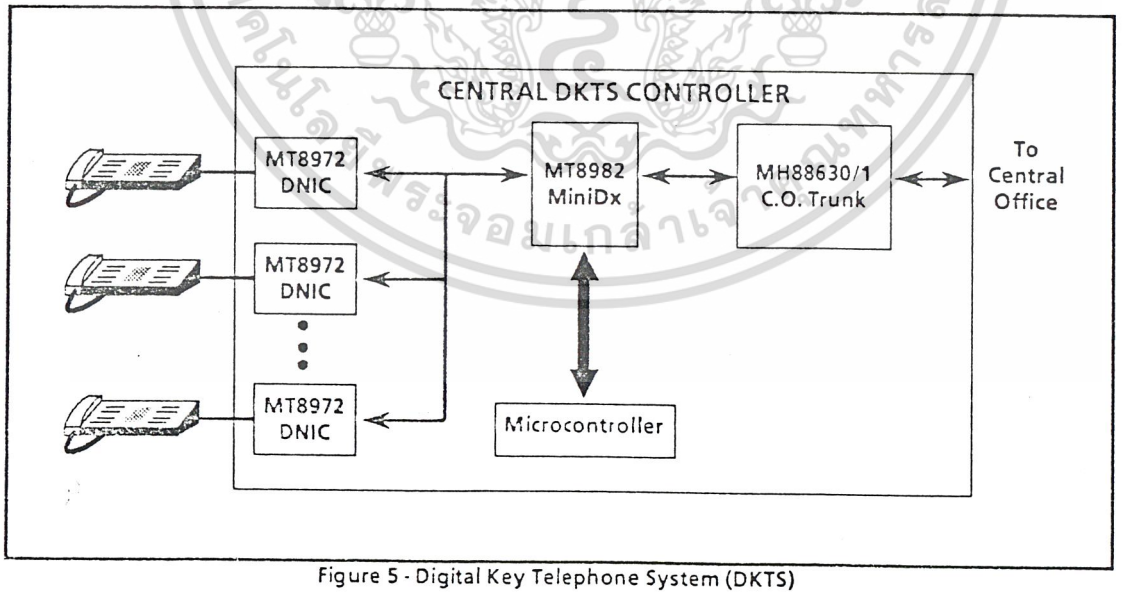


Figure 5 - Digital Key Telephone System (DKTS)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

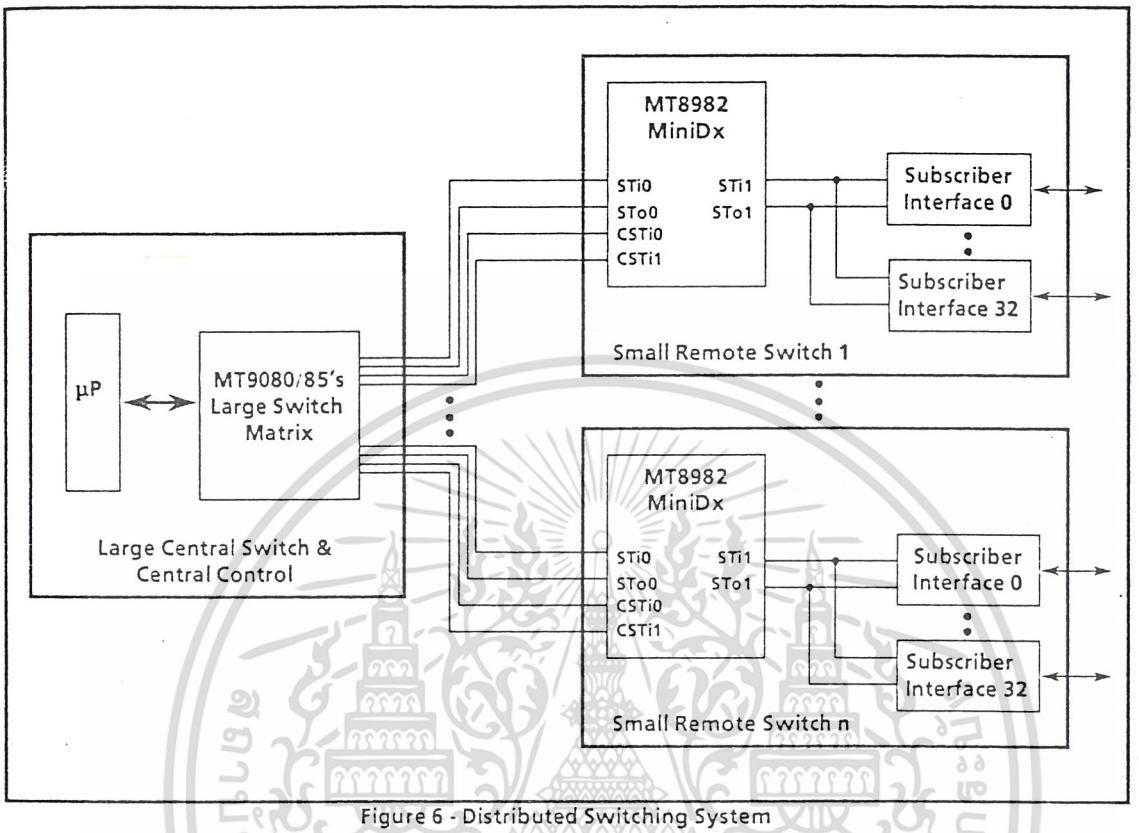


Figure 6 - Distributed Switching System

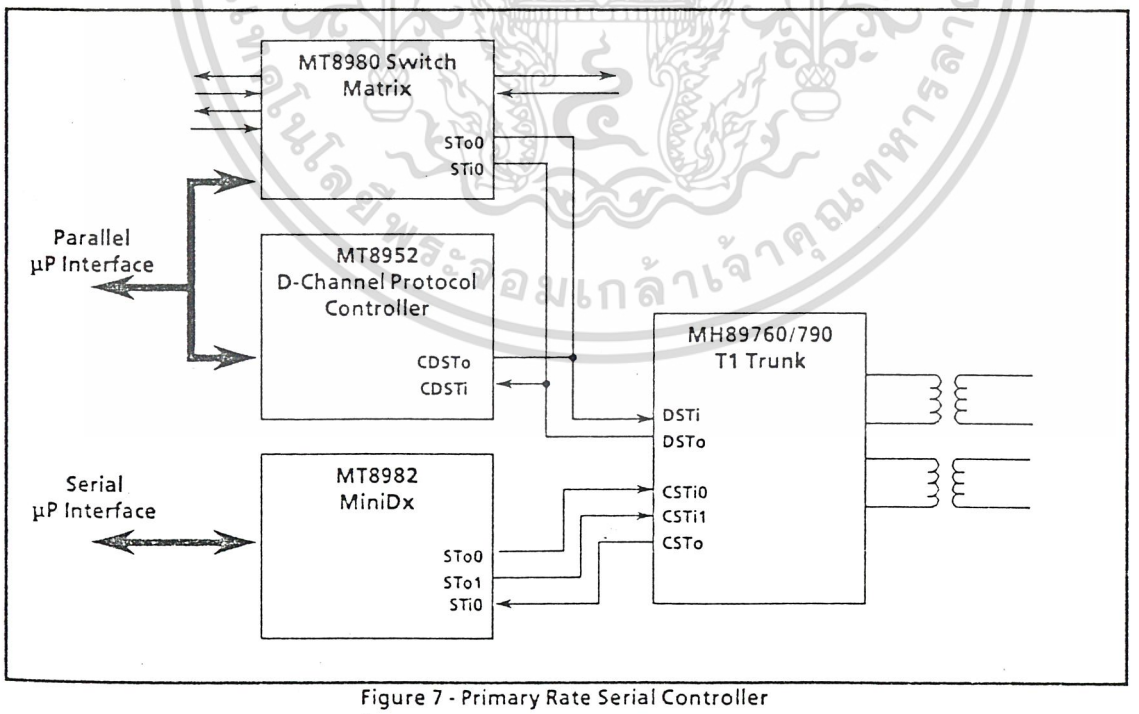


Figure 7 - Primary Rate Serial Controller

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

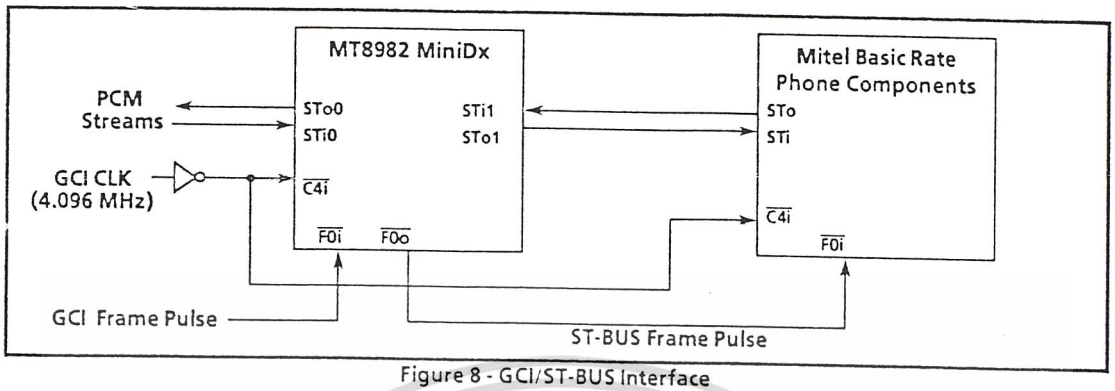


Figure 8 - GCI/ST-BUS Interface

the MT8982. Therefore, to connect GCI channel B1 to ST-BUS channel B1, the MT8982 must be programmed to connect channel 5 to channel 2. The five channel offset ensures that all four basic rate channels will be switched together within one frame period, regardless which direction the data is being switched.

The five channel offset for GCI channels is required even in GCI to GCI switching systems. For example, to switch GCI channel B1 to GCI channel B2, the MT8982 must be programmed to connect channel 5 to channel 6.

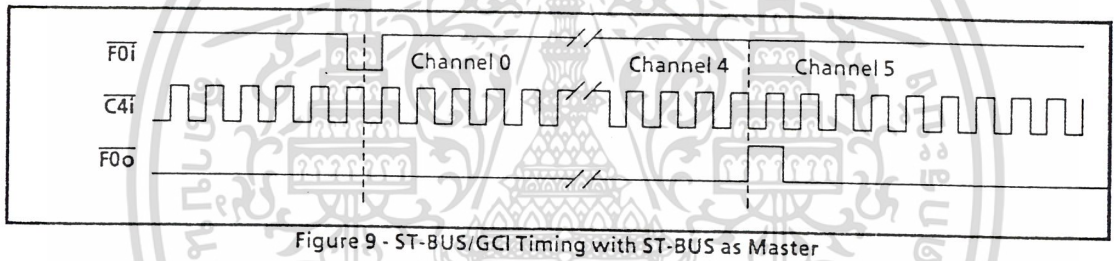


Figure 9 - ST-BUS/GCI Timing with ST-BUS as Master

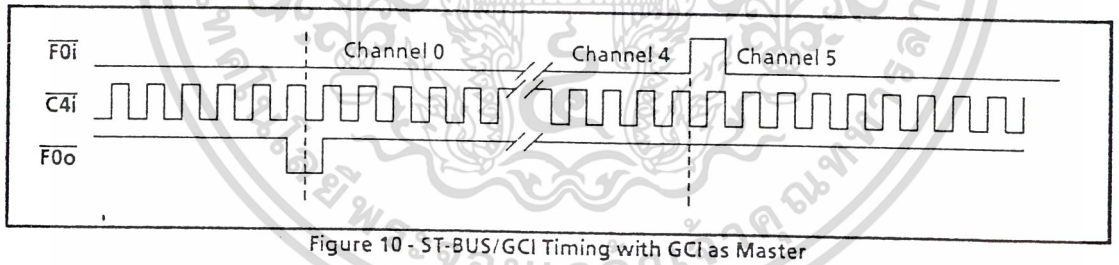


Figure 10 - ST-BUS/GCI Timing with GCI as Master

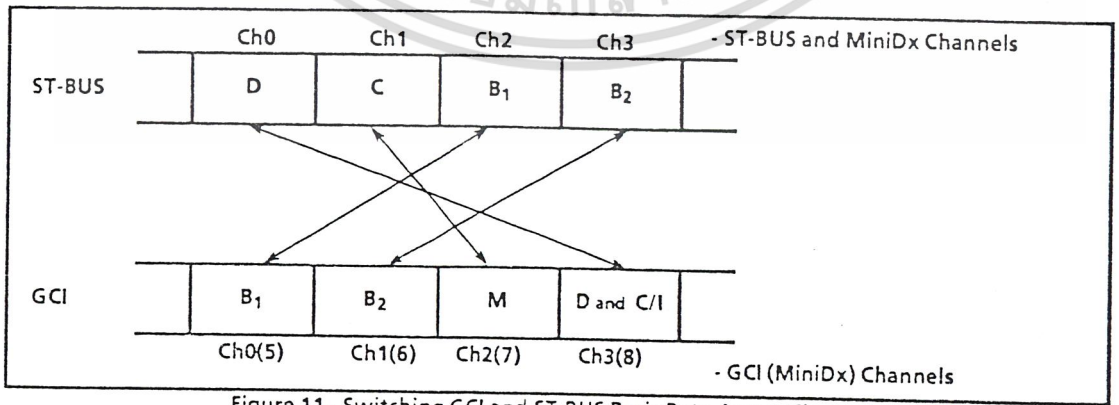


Figure 11 - Switching GCI and ST-BUS Basic Rate Access Channels

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

	Parameter	Symbol	Min	Max	Units
1	Power supply voltage V_{DD}-V_{SS}	V_{DD}-V_{SS}		6	V
2	Voltage on any pin	V_I	V_{SS}–0.3	V_{DD}+0.3	V
3	Current at any pin (other than supply)	I_O		100	mA
4	Storage temperature	T_S	–65	+150	°C
5	Package power dissipation	P_D		1000	mW

*Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Operating temperature	T_{OP}	-40		+85	°C	
2	Power supply	V_{DD}	4.5		5.5	V	
3	Input voltage	V_I	V_{SS}		V_{DD}	V	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Operating supply voltage	V_{DD}	4.5	5.0	5.5	V	
2	Operating supply current	I_{DD}			2.0	mA	Outputs unloaded
3	Static supply current	I_{DDS}			100	µA	All inputs = V_{DD}
4	High level input	V_{IH}	2.0			V	
5	Low level input voltage	V_{IL}			0.8	V	
6	Input leakage current	I_{IH}/I_{IL}			10.0	µA	$V_{IN} = V_{SS}$ or V_{DD}
7	Low level output voltage	V_{OL}			0.4	V	I_{OL} = 4.0 mA
8	High level output voltage	V_{OH}	2.4			V	I_{OH} = 2.0 mA
9	Output low (sink) current	I_{OL}	4.0			mA	V_{OUT} = 0.4 V
10	Output high (source) current	I_{OH}	2.0			mA	V_{OUT} = 2.4V, V_{DD} = 4.5V

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

AC Electrical Characteristics† - Serial Microport (see Figure 12) - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Chip Select Setup Time	t_{cs}	5			ns	
2	RxD Input Setup Time	t_{rs}	40			ns	
3	RxD Input Hold Time	t_{rh}	0			ns	
4	TxD Output Delay	t_{td}			80	ns	C_L = 50pF, R_L = 1kΩ
5	TxD Output Tristate Delay	t_{daz}			140	ns	C_L = 50pF, R_L = 1kΩ*
6	SCLK Pulse Width High	t_{ppwh}	190			ns	
7	SCLK Pulse Width Low	t_{ppwl}	190			ns	
8	Command/Data Byte Delay Time	t_{cdbd}		2		µs	

† Timing is over recommended temperature & power supply voltages.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.
*High impedance is measured by pulling to the appropriate rail with R_L, with timing corrected to cancel time taken to discharge C_L.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics* - TDM Bus (See Figures 13 and 14a, 14b). Voltages are with respect to ground (V_{SS}) unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1		Frame Pulse Input Setup Time	t_{fs}	10			ns	4 meg mode
2		Frame Pulse Input Hold Time	t_{fh}	5		5	ns cycles	
3		Serial Output Delay; Active to Active	t_{sdaa}			100	ns	$C_L = 50pF$
4		Serial Output Delay; Active to High Z	t_{sdaz}			200	ns	$C_L = 50pF$ $R_L = 1k\Omega$*
5		Serial Output Delay; High Z to Active	t_{sdza}			150	ns	$C_L = 150pF$
6		Serial Input Setup Time	t_{ss}	20			ns	
7		Serial Input Hold Time	t_{sh}	10			ns	
8		Frame Pulse Output Delay	t_{fd}			70	ns	
9		ODE Low to Serial Out High Z	t_{saz}			125	ns	$C_L = 50pF$, $R_L = 1k\Omega$*
10		ODE High to Serial Out Active	t_{sza}			50	ns	$C_L = 50pF$, $R_L = 1k\Omega$
11		C4 Clock Pulse Width Low	t_{c4l}	25	100	209	ns	t_{c4} = 244 ns
12		C4 Clock Pulse Width High	t_{c4h}	35	100	219	ns	t_{c4} = 244 ns
13		C4 Clock Period	t_{c4}	150	244		ns	

* Timing is over recommended temperature & power supply voltages
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.
* High impedance is measured by pulling to the appropriate rail with R_L, with timing corrected to cancel time taken to discharge C_L.

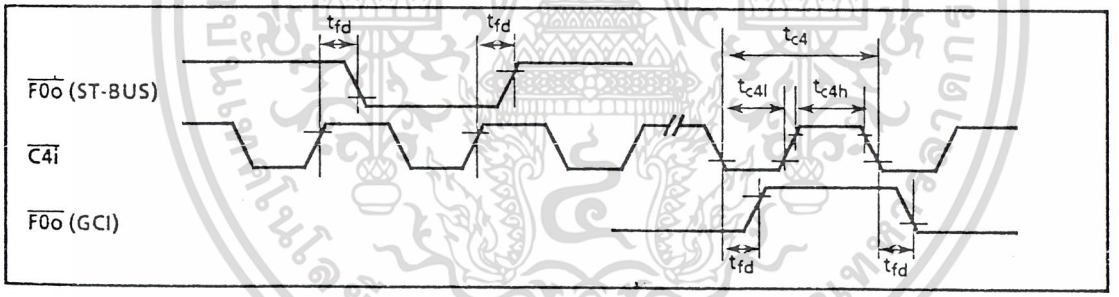


Figure 14a - TDM Bus Timing - $\overline{F0o}$/Clock Timing

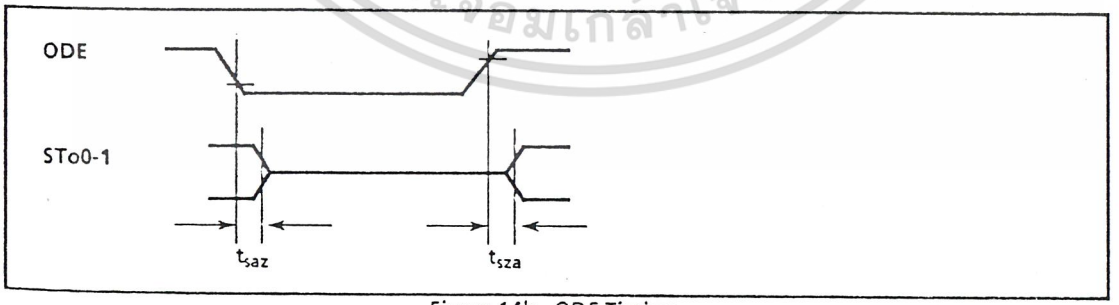


Figure 14b - ODE Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISO²-CMOS MT8870D/MT8870D-1
Integrated DTMF Receiver

9161-002-162-NA ISSUE 2 July 1993

Ordering Information

MT8870DE/DE-1	18 Pin Plastic DIP
MT8870DC/DC-1	18 Pin Ceramic DIP
MT8870DS/DS-1	18 Pin SOIC
	−40 °C to +85 °C

Features

- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

Applications

- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

Description

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

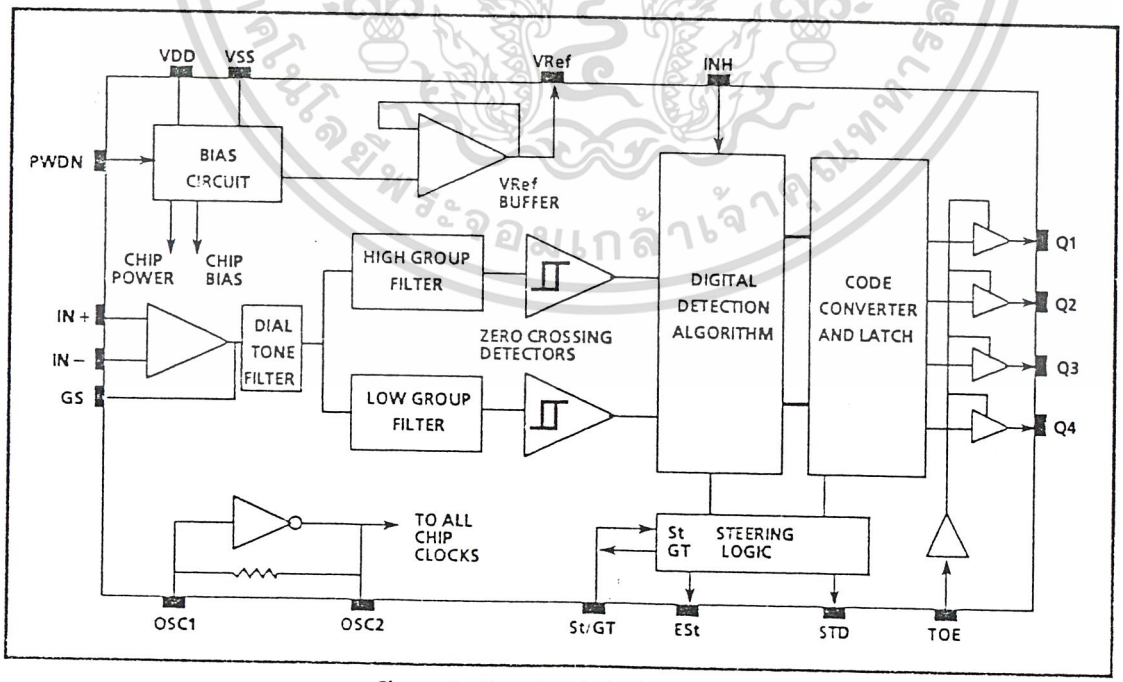
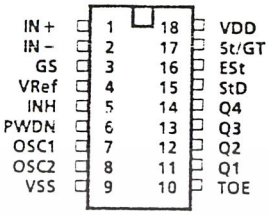


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



18 PIN CERDIP/PLASTIC DIP/SOIC

Figure 2 - Pin Connections

Pin Description

Pin #	Name	Description
1	IN+	Non-Inverting Op-Amp (Input).
2	IN−	Inverting Op-Amp (Input).
3	GS	Gain Select. Gives access to output of front end differential amplifier for connection of feedback resistor.
4	V_{Ref}	Reference Voltage (Output), Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	INH	Inhibit (Input). Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	PWDN	Power Down (Input). Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	OSC1	Clock (Input).
8	OSC2	Clock (Output). A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	V_{SS}	Ground (Input). 0V typical.
10	TOE	Three State Output Enable (Input). Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	Q1-Q4	Three State Data (Output). When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	StD	Delayed Steering (Output).Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	ESt	Early Steering (Output). Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	St/GT	Steering Input/Guard time (Output) Bidirectional. A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	V_{DD}	Positive power supply (Input). +5V typical.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

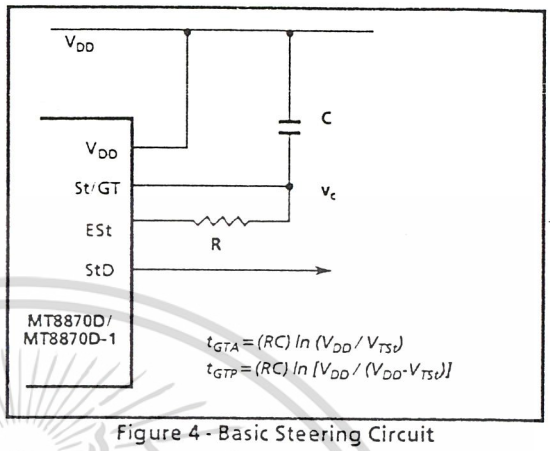


Figure 4 - Basic Steering Circuit

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 4) to rise as the capacitor discharges. Provided signal

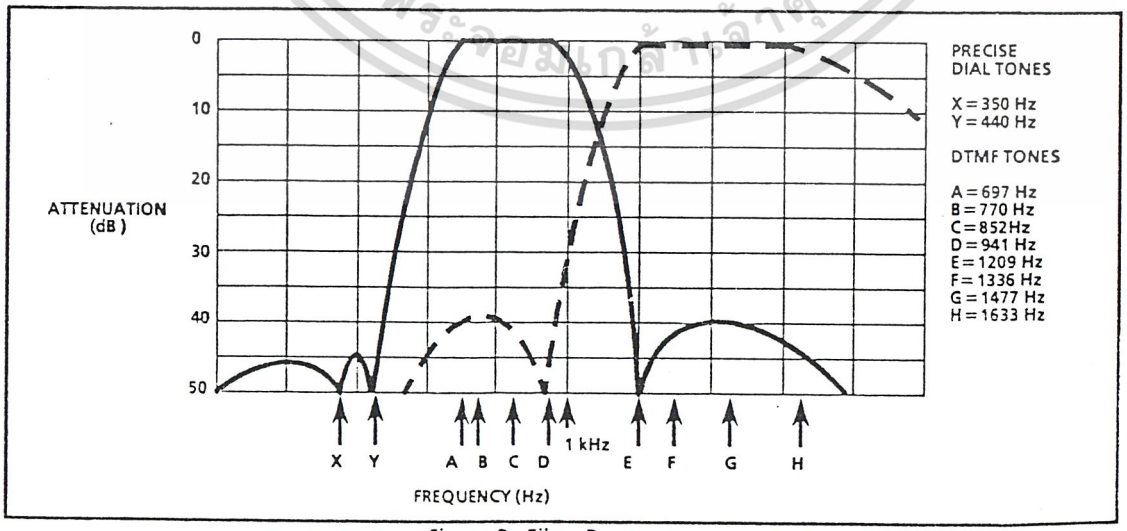


Figure 3 - Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Digit	TOE	INH	ESt	Q_4	Q_3	Q_2	Q_1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1 - Functional Decode Table
L = LOGIC LOW, H = LOGIC HIGH, Z = HIGH IMPEDANCE
X = DON'T CARE

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC} = t_{DP} + t_{GTP}$$
$$t_{ID} = t_{DA} + t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 µF is recommended for most applications, leaving R to be selected by the designer.

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

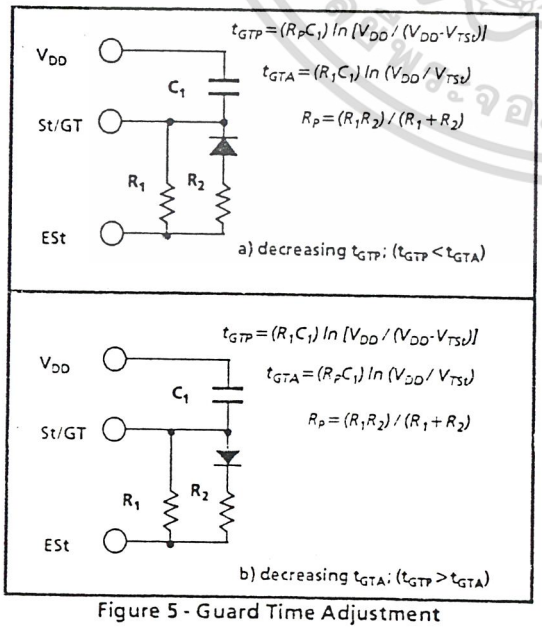


Figure 5 - Guard Time Adjustment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source(V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $\frac{1}{2}V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5.

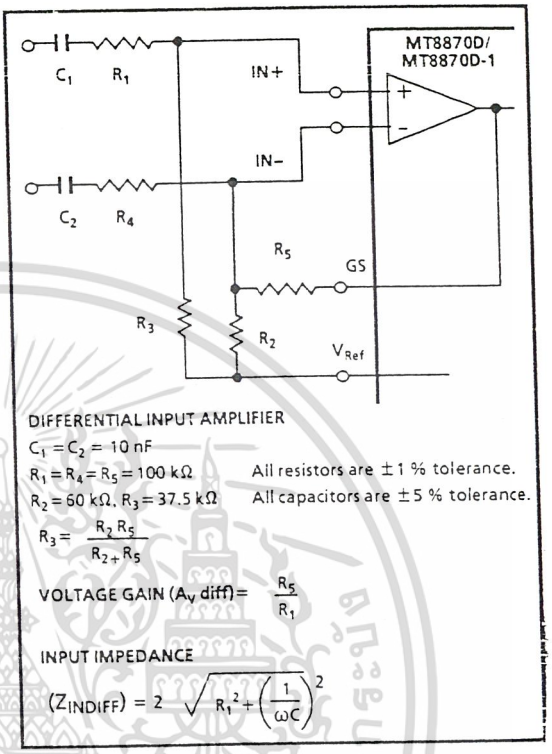


Figure 6 - Differential Input Configuration

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

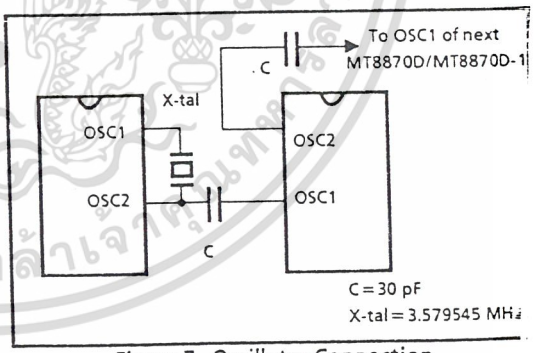


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	±0.2%

Table 2 - Recommended Resonator Specification

Note: Qm = quality factor of RLC model, i.e., $1/2\pi fR1C1$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

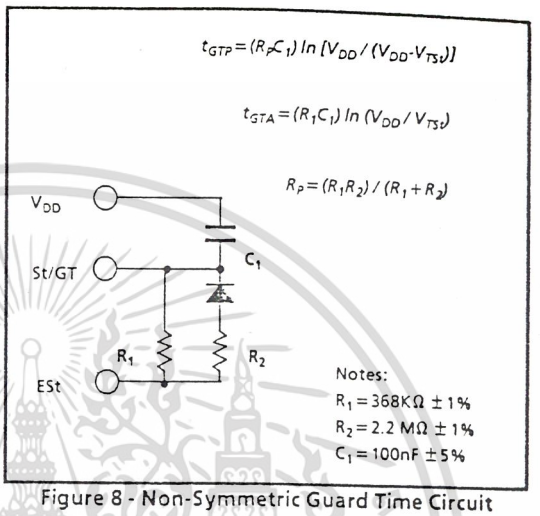


Figure 8 - Non-Symmetric Guard Time Circuit

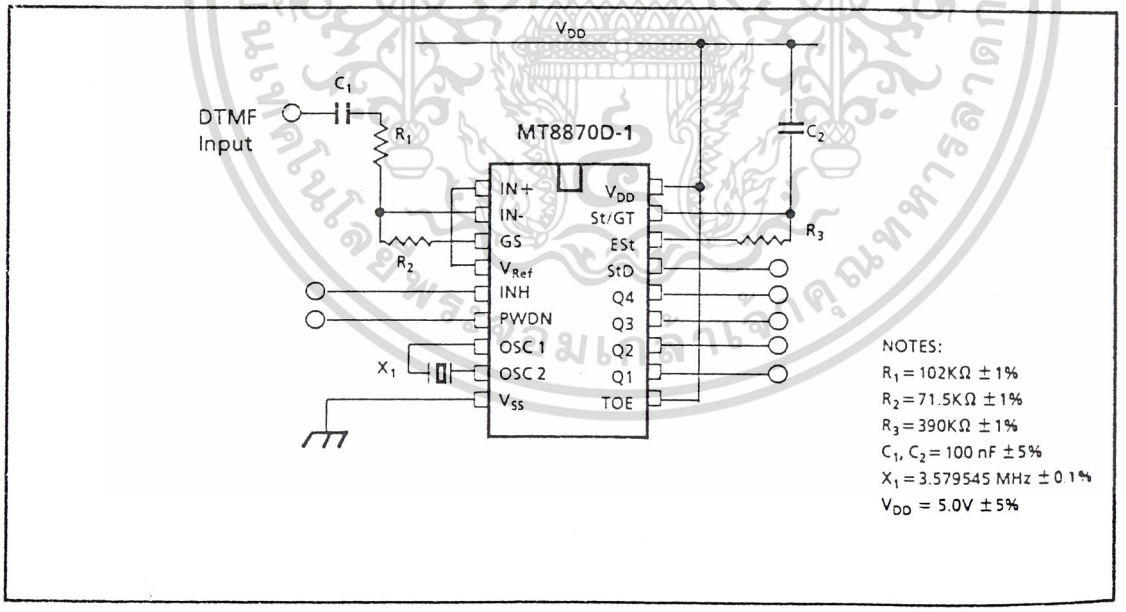


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V_{DD}		7	V
2	Voltage on any pin	V_I	$V_{SS}-0.3$	$V_{DD}+0.3$	V
3	Current at any pin (other than supply)	I_I		10	mA
4	Storage temperature	T_{STG}	−65	+150	°C
5	Package power dissipation	P_D		500	mW

†Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.
Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

		Parameter	Sym	Min	Typ‡	Max	Units	Test Conditions
1		DC Power Supply Voltage	V_{DD}	4.75	5.0	5.25	V	
2		Operating Temperature	T_O	−40		+85	°C	
3		Crystal/Clock Frequency	fc		3.579545		MHz	
4		Crystal/Clock Freq.Tolerance	Δfc		±0.1		%	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - $V_{DD}=5.0V\pm5\%$, $V_{SS}=0V$, $-40°C \le T_O \le +85°C$, unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	SUPPLY	Standby supply current	I_{DDQ}		10	25	μA	PWDN = V_{DD}
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_O		15		mW	fc = 3.579545 MHz
4	INPUTS	High level input	V_{IH}	3.5			V	$V_{DD}=5.0V$
5		Low level input voltage	V_{IL}			1.5	V	$V_{DD}=5.0V$
6		Input leakage current	I_{IH}/I_{IL}		0.1		μA	$V_{IN}=V_{SS}$ or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	20	μA	TOE (pin 10) = 0, $V_{DD}=5.0V$
8		Pull down (sink) current	I_{SI}		15	45	μA	INH = 5.0V, PWDN = 5.0V, $V_{DD}=5.0V$
9		Input impedance (IN+, IN−)	R_{IN}		10		MΩ	@ 1 kHz
10		Steering threshold voltage	V_{TSt}	2.2	2.4	2.5	V	V_{DD} = 5.0V
11	OUTPUTS	Low level output voltage	V_{OL}			$V_{SS}+0.03$	V	No load
12		High level output voltage	V_{OH}	$V_{DD}-0.03$			V	No load
13		Output low (sink) current	I_{OL}	1.0	2.5		mA	$V_{OUT}=0.4$ V
14		Output high (source) current	I_{OH}	0.4	0.8		mA	$V_{OUT}=4.6$ V
15		V_{Ref} output voltage	V_{Ref}	2.3	2.5	2.7	V	No load, V_{DD} = 5.0V
16		V_{Ref} output resistance	R_{OR}		1		kΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Characteristics - $V_{DD}=5.0V\pm5\%$, $V_{SS}=0V$, $-40°C \le T_O \le +85°C$, unless otherwise stated.

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}	10			MΩ	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	0.75 V≤ V_{IN} ≤4.25 V biased at V_{Ref} = 2.5 V
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_C	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load ≥ 100 kΩ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Resistive load (GS)	R_L			50	kΩ	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870D AC Electrical Characteristics - $V_{DD}=5.0V\pm5\%$, $V_{SS}=0V$, $-40°C \le T_O \le +85°C$, using Test Circuit shown in Figure 10.

		Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1		Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
				27.5		869	mV_{RMS}	1,2,3,5,6,9
2		Negative twist accept				8	dB	2, 3, 6, 9, 12
3		Positive twist accept				8	dB	2, 3, 6, 9, 12
4		Frequency deviation accept		±1.5% ± 2 Hz				2, 3, 5, 9
5		Frequency deviation reject		±3.5%				2, 3, 5, 9
6		Third tone tolerance			-16		dB	2, 3, 4. 5, 9, 10
7		Noise tolerance			-12		dB	2, 3, 4, 5, 7, 9, 10
8		Dial tone tolerance			+22		dB	2, 3, 4, 5, 8, 9, 11

‡Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration = 40 ms, tone pause = 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ± 1.5 % ± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870D-1 AC Electrical Characteristics - V_{DD} = 5.0V ± 5%, V_{SS} = 0V, -40°C ≤ T_O ≤ +85°C, using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at V_{DD} = 5.0V 1,2,3,5,6,9
			21.8		869	mV_{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at V_{DD} = 5.0V 1,2,3,5,6,9
			10.9			mV_{RMS}	
3	Negative twist accept				8	dB	2, 3, 6, 9, 13
4	Positive twist accept				8	dB	2, 3, 6, 9, 13
5	Frequency deviation accept		± 1.5% ± 2 Hz				2, 3, 5, 9
6	Frequency deviation reject		±3.5%				2, 3, 5, 9
7	Third tone tolerance			- 18.5		dB	2, 3, 4, 5, 9, 12
8	Noise tolerance			-12		dB	2, 3, 4, 5, 7, 9, 10
9	Dial tone tolerance			+22		dB	2, 3, 4, 5, 8, 9, 11

‡Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

***NOTES**

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration = 40 ms, tone pause = 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 % ± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics - V_{DD} = 5.0V ± 5%, V_{SS} = 0V, -40°C ≤ To ≤ +85°C, using Test Circuit shown in Figure 10.

		Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	Note 1
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 1
3		Tone duration accept	t_{REC}			40	ms	Note 2
4		Tone duration reject	$t_{\overline{REC}}$	20			ms	Note 2
5		Interdigit pause accept	t_{ID}			40	ms	Note 2
6		Interdigit pause reject	t_{DO}	20			ms	Note 2
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE = V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12	16	µs	TOE = V_{DD}
9		Output data set up (Q to StD)	t_{QStD}		3.4		µs	TOE = V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 kΩ, 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 kΩ, 50 pF
12	PDWN	Power-up time	t_{PU}		30		ms	Note 3
13		Power-down time	t_{PD}		20		ms	
14	CLOCK	Crystal /clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
15		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
16		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
17		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
18		Capacitive load (OSC2)	C_{LO}			30	pF	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES:

1. Used for guard-time calculation purposes only.
2. These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
3. With valid tone present at input, t_{PU} equals time from PDWN going low until ESt going high.

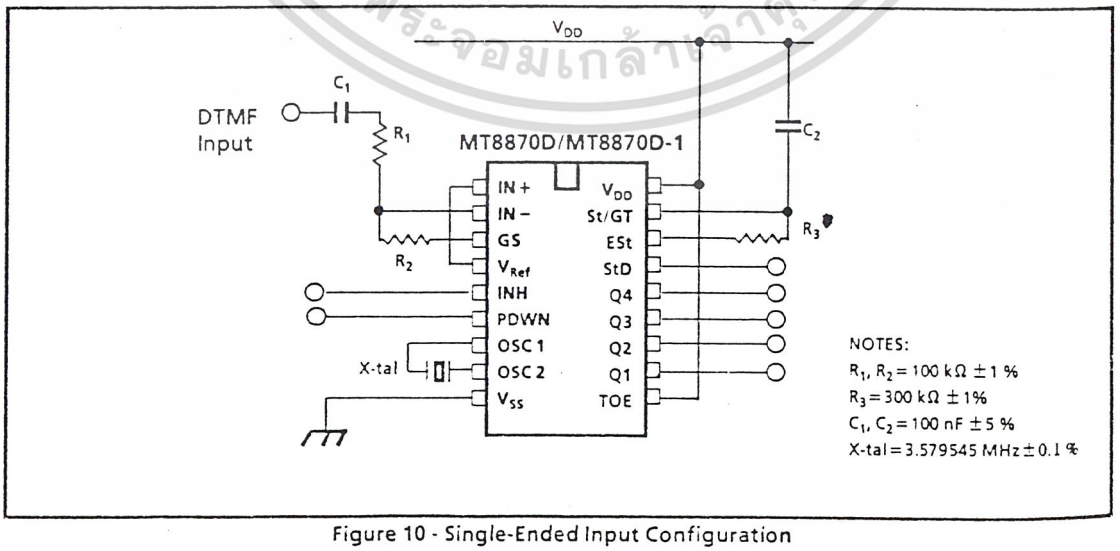
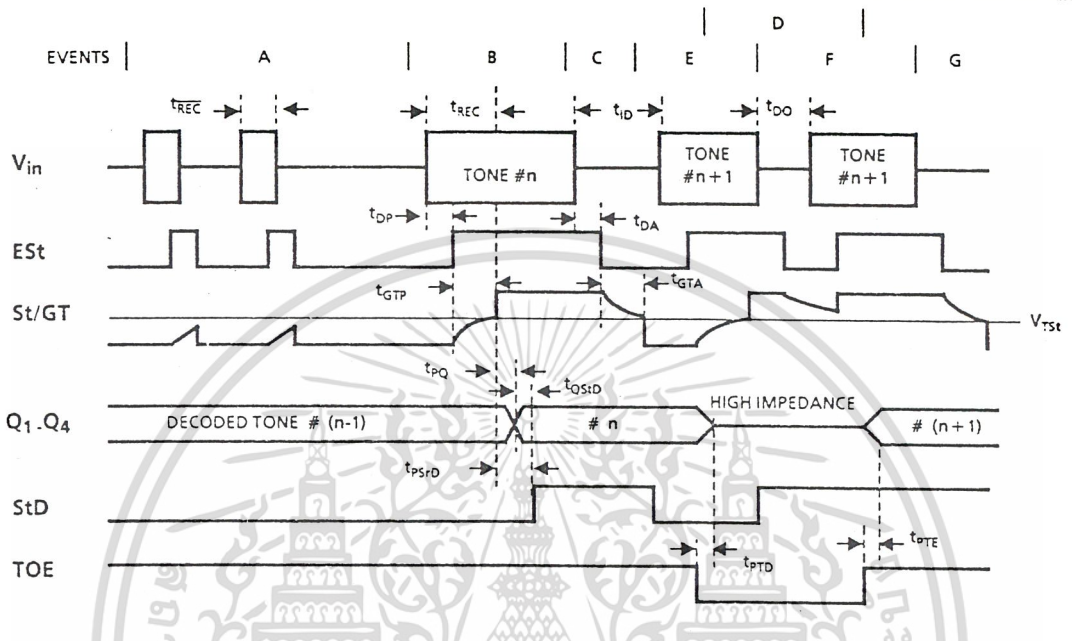


Figure 10 - Single-Ended Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.

B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS.

C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.

E) TONE #n+1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).

F) ACCEPTABLE DROPOUT OF TONE #n+1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.

G) END OF TONE #n+1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in} DTMF COMPOSITE INPUT SIGNAL.

ESt EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.

St/GT STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.

Q_1-Q_4 4-BIT DECODED TONE OUTPUT.

StD DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.

TOE TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.

$t_{\overline{REC}}$ MAXIMUM DTMF SIGNAL DURATION NOT DETECTED AS VALID.

t_{REC} MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION.

t_{ID} MINIMUM TIME BETWEEN VALID DTMF SIGNALS.

t_{DO} MAXIMUM ALLOWABLE DROF OUT DURING VALID DTMF SIGNAL.

t_{DP} TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.

t_{DA} TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.

t_{GTP} GUARD TIME, TONE PRESENT.

t_{GTA} GUARD TIME, TONE ABSENT.

Figure 11- Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

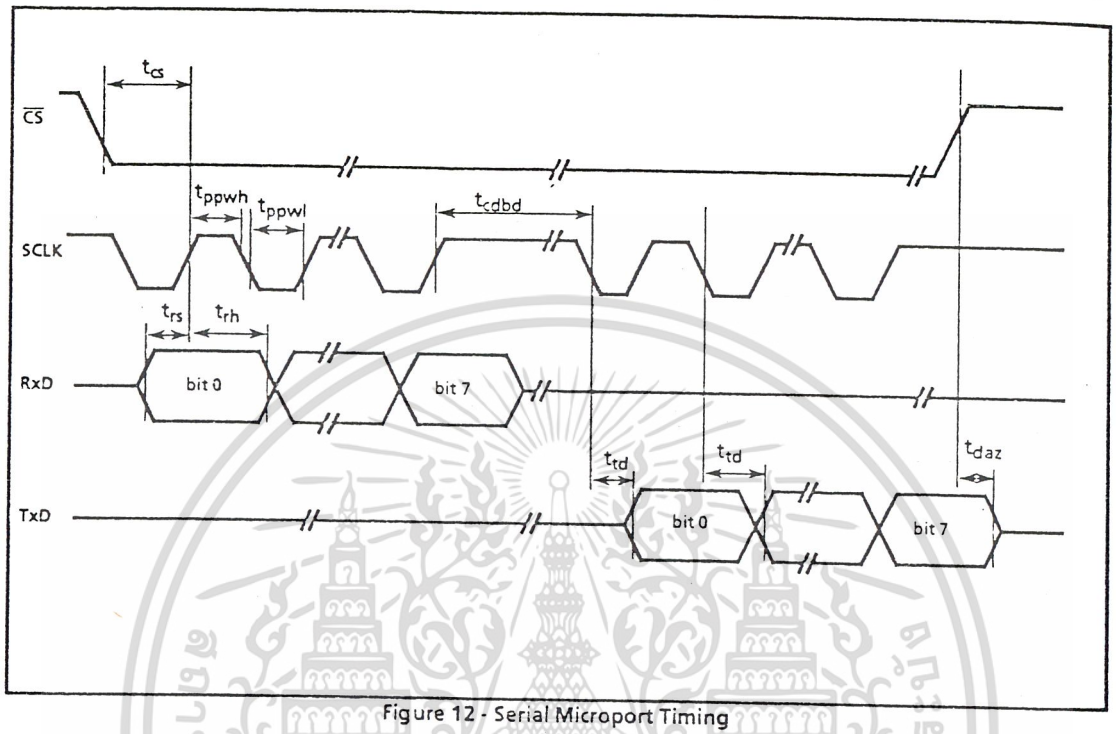


Figure 12 - Serial Microport Timing

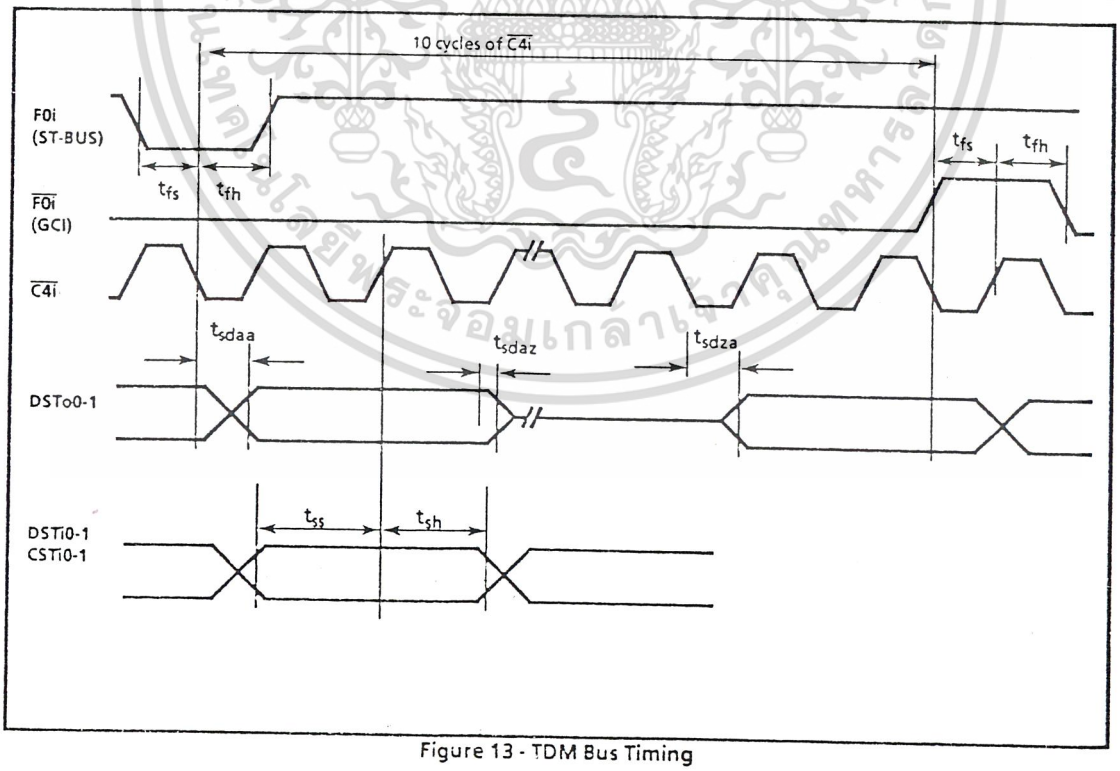


Figure 13 - TDM Bus Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ใช้ควบคุมการทำงานของทั้งหมดของเครื่องชุมสายโทรศัพท์สาขาอัตโนมัติระบบดิจิตอล

```
;*************************************************************************
;                          MAIN
;*************************************************************************
                ORG         8000H
PORTA           EQU         0FC00H
PORTB           EQU         0FC01H
PORTC           EQU         0FC02H
CONTP           EQU         0FC03H
BUSYBIT         EQU          01H
CONNECTB        EQU          02H
                MOV         DPTR,#CONTP             ;initial 8255 PORTA is INPUT
                MOV         A,#90H                  ;PORTB is OUTPUT
                                                    ;PORTC is OUTPUT
                MOVX        @DPTR,A                 ;(90H=10010000)
START:          ACALL       HOOK
                ACALL       SENDIAL
                ACALL       CHKBY
                JB          BUSYBIT,CALLED          ;off hook goto called
                SJMP        START
CALLED:         ACALL       HOOKCALL
                JNB         CONNECTB,START
                ACALL       CONNECT
                SJMP        START
              ;*************************************
HOOK:           ;MODUL ON/OFF HOOK
                ;MODUL CHKHK.ASM
                ;check on/off hook and
                ;check on hook for calling or on hook for called in buffer of tel.no
                ;and clear buffer when off hook
GETNUM:         MOV         R0,#4                   ;store number of tel.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
OUTP1:   MOV     A,R0              ;OUT PORT1
         SETB    P1.3
         MOV     P1,A
         CLR     P1.3
         MOV     DPTR,#PORTA
         MOVX    A,@DPTR           ;IN DATA FROM PORTA
         SETB    P1.3
         RLC     A                 ;shift left
         JNC     GODIAL            ;jump to dial when on hook
         MOV     A,R0              ;check buffer
         MOV     DPTR,#BUFFER
         MOVC    A,@A+DPTR
         CJNE    A,#0FFH,CLEAR     ;buffer != FF goto clear buffer
DECTEL:  DEC     R0                ;decrease number tel.
         CJNE    R0,#00H,OUTP1     ;tel. no. != 0 goto loopck
         SJMP    GETNUM            ;tel. no. = 0 goto getnum
CLEAR:   MOV     DPTR,#BUFFER
         MOV     A,R0              ;move r0 to r1
         MOV     R1,A
CHKDP:   CJNE    R1,#00H,ADDP      ;if r1 != 0 jump addp
         MOV     A,#0FFH
         MOVX    @DPTR,A           ;store FF to tel. buffer
         ACALL   CLRTONE
         SJMP    DECTEL
ADDP:    INC     DPTR              ;ADD DPTR
         DEC     R1
         SJMP    CHKDP
GODIAL:  MOV     A,R0
         MOV     DPTR,#BUFFER      ;check buffer
         MOVC    A,@A+DPTR
         CJNE    A,#0FFH,DECTEL    ;if buffer = FF mean
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                                    ;it on hook for CALLING
        RET                                         ;jump to send dial

;***********************************************
        ;MODUL SEND DIAL
        ;send dial
        ;get r0(tel.no) and buffer store FFH

SENDIAL: MOV        A,R0
        SWAP        A
        SETB        P1.7
        MOV         P1,A                    ;out port1.4-port1.6
        CLR         P1.7
        MOV         DPTR,#PORTB
        MOV         A,#01H
        MOVX        @DPTR,A                 ;send dial
        SETB        P1.7
        ACALL       STB
        RET
;*************************************************************************
;CHECK STB FROM DTMF
;get number of called tel. (number of calling tel. is in r0)
;store called tel.no. in calling buffer

STB:    MOV         DPTR,#PORTA
UNFALL: MOV         A,R0
        MOV         R1,A                    ;r1 store calling no.
        SETB        P1.3
        MOV         P1,A                    ;send tel.no. to port1
        CLR         P1.3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOVX    A,@DPTR             ;IN called no. from portA
        SETB    P1.3
        MOV     R3,A                ;R3 store called no.
        RLC     A
        RLC     A
        JC      UNFALL
        ACALL   CLRTONE
        MOV     DPTR,#BUFFER
CHKR1:  CJNE    R1,#00H,INTDP
        MOV     A,R3                ;R3 store in Buffer
        MOVX    @DPTR,A
        RET
INTDP:  INC     DPTR
        DEC     R1
        SJMP    CHKR1
;*************************************************************************
;CHECK BUSY
;check status of called tel.no. if
;get R3 (store called no.)
;get R0 (store calling no.)

CHKBY:  CLR     BUSYBIT
        MOV     A,R3
        MOV     R4,A
        MOV     DPTR,#BUFFER
        MOVC    A,@A+DPTR
        CJNE    A,#0FFH,BUSY        ;if called tel. on hook
                                    ;goto BUSY
        ;************************************
        ;STORE CALLING NUMBER TO CALLED BUFFER
        ;************************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
STRBUF:   CJNE    R4,#00H,INTBUF      ;store calling no. to
          MOV     A,R0                ;called buffer
          MOVX    @DPTR,A
          SJMP    RINGEN
INTBUF:   INC     DPTR                ;INCREASE BUFFER TO CALLED
                                       BUFFER
          DEC     R4
          SJMP    STRBUF

          ;****************************************
          ;SEND RINGING ENABLE AND RINGBACK
          ;****************************************

RINGEN:   MOV     A,R3
          SWAP    A
          SETB    P1.7
          MOV     P1,A
          CLR     P1.7
          MOV     DPTR,#PORTB
          MOV     A,#08H
          MOVX    @DPTR,A             ;send RING ENABLE
          SETB    P1.7
          MOV     A,R0
          SWAP    A
          SETB    P1.7
          MOV     P1,A                ;out port1.4-port1.6
          CLR     P1.7
          MOV     DPTR,#PORTB
          MOV     A,#02H
          MOVX    @DPTR,A             ;send RING BACK
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SETB    P1.7
        SETB    BUSYBIT
        SJMP    FINISH
BUSY:   CLR     BUSYBIT
        MOV     A,R0
        SWAP    A
        SETB    P1.7
        MOV     P1,A                    ;out port1.4-port1.6
        CLR     P1.7
        MOV     DPTR,#PORTB
        MOV     A,#04H
        MOVX    @DPTR,A                 ;send BUSY
        SETB    P1.7
FINISH: RET
;*****************************************************************************
;CHECK HOOK OF CALLED TEL.
;R3 store called tel.

HOOKCALL: MOV   A,R3
        SETB    P1.3
        MOV     P1,A
        MOV     DPTR,#PORTA
        CLR     P1.3
        MOV     R5,#0FFH
LIMIT:  ACALL   DLAY1                   ;delay
        ACALL   DLAY1
        .
        .
        .
        ACALL   DLAY1
        ACALL   DLAY1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            DJNZ        R5,CHK
            SJMP        OUT
CHK:        MOVX        A,@DPTR
            RLC         A                       ;check bit7 hook status
            JNC         CLRRING
            LJMP        LIMIT
OUT:        CLR         CONNECTB
            SETB        P1.3
            ACALL       CLRINGEN                ;clear ring enable
            MOV         A,R0
            SWAP        A
            SETB        P1.7
            MOV         P1,A                    ;out port1.4-port1.6
            CLR         P1.7
            MOV         DPTR,#PORTB
            MOV         A,#04H
            MOVX        @DPTR,A                 ;send BUSY
            SETB        P1.7
            SJMP        FIN1
CLRRING:    SETB        CONNECTB
            SETB        P1.3
            ACALL       CLRINGEN
FIN1:       RET
;*****************************************************************************
;CREAT CHANNEL use stream0

CONNECT:    CLR         SM0                     ;SET MODE0 in SCON
            CLR         SM1
            MOV         A,R3
            RL          A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        RL      A
        ORL     A,#02H
        MOV     R4,A                    ;SEND command/address byte
        MOV     DPTR,#TMP1
        MOVX    @DPTR,A
        MOV     A,R0
        ANL     A,#1FH
        MOV     R5,A                    ;SEND data byte
        MOV     DPTR,#TMP2
        MOVX    @DPTR,A
        ACALL   INITIAL
        MOV     A,R4
        MOV     SBUF,A
        ACALL   DLAY
        CLR     TI
        MOV     A,R5
        MOV     SBUF,A
;*************************************
        MOV     A,R0
        RL      A
        RL      A
        ORL     A,#02H
        MOV     R4,A                    ;SEND command/address byte
        MOV     DPTR,#TMP3
        MOVX    @DPTR,A
        MOV     A,R3
        ANL     A,#1FH
        MOV     R5,A                    ;SEND data byte
        MOV     DPTR,#TMP4
        MOVX    @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ACALL   INITIAL
        MOV     A,R4
        MOV     SBUF,A
        ACALL   DLAY
        CLR     TI
        MOV     A,R5
        MOV     SBUF,A
        CLR     TI
        ACALL   CLRTONE
        RET
;***************************************
;CREAT CS FOR MT8982
INITIAL:  MOV     DPTR,#PORTC
        MOV     A,#0FFH
        MOVX    @DPTR,A
        MOV     A,#00H
        MOVX    @DPTR,A
        CLR     TI
        RET
;***************************************
DLAY:   MOV     A,#0CH
DECR:   DEC     A
        JNZ     DECR
        RET
;***************************************
DLAY1:  MOV     A,#0FFH
DECR1:  DEC     A
        JNZ     DECR1
        RET

;***************************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;*****************************************************************************
;CLEAR TONE TO CALLING TEL. WHEN CALLED IS BUSY
  ;*****************************************************************************

CLRTONE:   MOV          A,R0
           SWAP         A
           MOV          DPTR,#PORTB
           SETB         P1.7
           MOV          P1,A
           CLR          P1.7
           MOV          A,#00H                ;CLEAR TONE FOR CALLING
           MOVX         @DPTR,A
           SETB         P1.7
           RET
;*****************************************************************************
;CLEAR RING ENABLE
CLRINGEN:  MOV          A,R3
           SWAP         A
           MOV          DPTR,#PORTB
           SETB         P1.7
           MOV          P1,A
           CLR          P1.7
           MOV          A,#00H                ;CLEAR TONE FOR CALLED
           MOVX         @DPTR,A
           SETB         P1.7
           RET
BUFFER:      DB          0FFH,0FFH,0FFH,0FFH,0FFH
TMP1:        DB          0FFH
TMP2:        DB          0FFH
TMP3:        DB          0FFH
TMP4:        DB          0FFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลุล่วงไปได้ด้วยดี โดยได้รับคำแนะนำและความช่วยเหลือจาก

1) อาจารย์ปราโมทย์ วาดเขียน

2) อาจารย์เกรียงไกร วงศ์โรจนภรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Motorola INC., "Telecommunication Device Data", 1989.

2. Motorola INC., "CMOS Application-Specific Standard ICs", 1990.

3. Motorola INC., "High-Speed CMOS Logic Data", 1985.

4. Microelectronic Digital Communication Handbook, Mitel; Canada

5. คู่มือไอซีไมโครโปรเซสเซอร์และไอซีที่เกี่ยวข้อง, ซีเอ็ดยูเคชั่น, หจก.เอซเอนการพิมพ์, กทม. 2533

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้