การออกแบบซิงโครนัสโมเดม
ในช่องสัญญาณ เอฟเอม
DESIGN OF SYNCHRONOUS MODEM
FOR FM-SCA CHENNELS

โดย

นาย กำพล เกษเพชร

นาย อนุพงษ์ พิศพรรณ

วัน เดือน ปี 19 ม.ค. 2539
เลขทะเบียน 034939
เลขเรียกหนังสือ T 371.32 ก6

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ การออกแบบชิงโครนัสดมเดมในช่องสัญญาณ เอฟ.เอม.

DESIGN OF SYNCHRONOUS MODEM FOR FM-SCA CHENNELS

ชื่อนักศึกษา นายกำพล เกษเพชร

นายอนุพงษ์ พิศพรรณ

อาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ

ปีการศึกษา 2537

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุสาหกรรมศาศตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

..... ประธานกรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

การออกแบบซิงโครนัสโมเดมในช่องสัญญาณ FM

โดย นายกำพล เกษเพชร 36012045
นายอนุพงษ์ พิศพรรณ 36012084

อาจารย์ที่ปรึกษา อาจารย์กฤดากร กล่อมการ

ปีการศึกษา 2537

บทคัดย่อ

ในปริญญานิพนธ์ฉบับนี้กล่าวถึงการออกแบบโมเดมซึ่งใช้ส่งข้อมูลในช่องสัญญาณ ส่งกระจายเสียงวิทยุ FM ที่เป็นส่วนที่เรียกว่า subsidiary Communication Authorization : SCA โดยภาคมอดูเลทใช้การมอดูเลทแบบ PSK ขนาดความถี่คลื่นพาห์เท่ากับ 76.8 KHz โดยการส่งใช้บิทเรทขนาด 9.6 Kbps โดยสัญญาณเบสแบนด์แบบ Bi-phase เพื่อให้สามารถทำการซิงโครไนซ์สัญญาณนาฬิกาได้ง่ายสำหรับภาครับสัญญาณ PSK ออกแบบโดยใช้วงจรกู้สัญญาณคลื่นพาห์แบบลูปยกกำลังสอง โดยวงจรทั้งภาคส่งและภาครับสามารถออกแบบโดยวงจรรวมพื้นฐานทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design of Synchronous Modem for FM-SCA channels

BY MR. KAMPHOL KATPHET 36012045

MR. ANUPRONG PISAPAN 36012084

ADVISOR MR . KITDAKORN KLOMKRAN

YEAR 1995

ABTRACT

This project is concerns about Modem design that use for transmission data in FM broadcasting channel in the part call Sub sidiary Communication Authorization:SCA. In the molulater uses phase shift keying molation which carrier at 76.8 KHz,and bit rate about 9.6 Kbps . The Bi - phase signal have been used as baseband signaling for simple clock synchronization. At the demodulator, the carrier recovery loop used squaring loop.All of the modulator and demodulater circuit can be Implement with basic integrated circuits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ ก

บทคัดย่อภาษาอังกฤษ ข

สารบัญ ค

กิตติกรรมประกาศ จ

บทที่ 1 บทนำ 1

1.1 แนวความคิดในการทำปริญญานิพนธ์ 1

1.2 การส่งสัญญาณ SCA ในระบบ FM STERIO 2

บทที่ 2 วงจรสื่อสารอนุกรม 3

2.1 โมเดม 4

2.2 USART 4

2.2.1 ข้อกำหนดการสื่อสาร 5

2.2.2 มาตรฐาน RS 232C 5

2.3 การอินเตอร์เฟส 8251A กับหน่วยประมวลผลและการออกแบบฮาร์ดแวร์ 7

2.4 บล็อคบัฟเฟอร์ของ 8251A 8

2.5 บล็อคควบคุมลอจิกของ USART 10

2.6 ข้อกำหนด 12

2.7 ตัวส่งและการออกแบบฮาร์ดแวร์ 13

2.8 ตัวรับและการออกแบบฮาร์ดแวร์ 15

2.9 ซิงโครนัสโมเด็ม 17

2.10 ขา SYNDET/BRKDET ของ 8251A 18

2.11 การทำงานของซอฟแวร์ 19

2.12 การส่งโหมดคำสั่งให้ 8251A 22

2.13 การส่งคำสั่งไปที่ 8251A 23

2.14 การตรวจดู (MONITORING) การทำงานของ 8251A 25

2.15 การอ่านสถานะไบต์ 27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.16 การนำตัวอักษรที่รับจาก 8251A 27

2.17 การเขียนตัวอักษรที่จะส่งไปยัง 8251A 28

บทที่ 3 หลักการของ BPSK MODULATING & DEMODULATING 31

3.1 โคฮีเรนท์ดีเทคชั่น 33

3.2 การผิดพลาดทางเฟส (PHASE AMBIGUITY) 38

บทที่ 4 การออกแบบโมเด็มแบบ PSK 45

4.1 สัญญาณดิจิตอลเบสแบนด์ 45

4.1.1 หลักการเข้ารหัสสัญญาณดิฟเฟอเรนเชียล 47

4.1.2 การเข้ารหัสสัญญาณไบเฟส 48

4.1.3 ความเข้มข้นของสเปคตรัมกำลังของสัญญาณเบสแบนด์ 48

4.2 การออกแบบวงจรสัญญาณมอดูเลทสัญญาณ PSK 50

4.2.1 วงจรเข้ารหัสสัญญาณ NRZ/NRZ-I 51

4.2.2 วงจรเข้ารหัสสัญญาณไบเฟส 52

4.2.3 วงจรสร้างความถี่อ้างอิง 9.6 kHz 53

4.2.4 วงจรสร้างความถี่คลื่นพาห์ 76.8 kHz 54

4.2.5 วงจรจัดรูปสัญญาณเบสแบนด์ 56

4.2.6 วงจรคูณสัญญาณเบสแบนด์ กับสัญญาณคลื่นพาห์ 59

4.2.7 วงจรกรองความถี่ผ่านย่าน 60

4.3 การออกแบบวงจรดีมอดูเลทสัญญาณ PSK 62

4.3.1 วงจรกรองความถี่สูงผ่าน 62

4.3.2 วงจรกู้สัญญาณคลื่นพาห์ 63

4.3.3 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK 67

4.3.4 วงจรกู้สัญญาณนาฬิกาและถอดรหัสสัญญาณ 68

บทที่ 5 สรุปผลและวิจารณ์ 72

เอกสารอ้างอิง

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ ได้สำเร็จลุล่วงไปได้ ด้วยความช่วยเหลือของ อาจารย์ กฤดากร กล่อมการ ซึ่งเป็นอาจารย์ที่ปรึกษาปริญญานิพนธ์ ที่คอยให้คำแนะนำคำปรึกษา และข้อคิดเห็นต่างๆ และ อาจารย์ดลชัย สุขเจริญผล ที่ให้คำแนะนำต่างๆ ตลอดจนเพื่อนๆห้อง 2M ที่ให้ความช่วยเหลือต่างๆจนปริญญานิพนธ์สำเร็จไปได้ด้วยดี และที่ขาดไม่ได้คือ สถาบันเทคโนโลยีพระจอมเกล้าศุนย์นนทบุรี เป็นสถานที่วิจัยและที่นอนของกลุ่มผู้วิจัย

คุณความดีใดๆ ที่เกิดจากปริญญานิพนธ์ฉบับนี้ ขอมอบให้แด่ บิดา มารดา และ ครูบาอาจารย์ที่ได้ประสิทธ์ประสาทวิชาความรู้ให้

กลุ่มผู้วิจัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 1

บทนำ

1.1 แนวความคิดในการทำปริญญานิพนธ์

เป็นที่ทราบกันว่าในปัจจุบันนี้เป็นยุคแห่งสังคมข่าวสาร การพัฒนาระบบโทรคมนาคมที่จะรองรับ ความต้องการ ติดต่อและบริการข่าวสาร ได้พัฒนาไปอย่างรวดเร็ว โดยเฉพาะการพัฒนาระบบโครงข่ายบริการสื่อสารร่วมแบบดิจิตอล (Integrated Services Digital Network : ISDN) ซึ่งเป็นการบริการข่าวสาร ในรูปของเสียงและข้อมูล

สำหรับในปริญญานิพนธ์ฉบับนี้ ได้นำเอาแนวความคิดที่จะใช้สถานีวิทยุกระจายเสียงแบบ FM มาบริการข่าวสารข้อมูล ส่งสัญญาณข้อมูลที่เป็นดิจิตอล เช่นเดียวกับระบบเทเลเท็กซ์ในระบบของโทรทัศน์ โดยใช้ช่องสัญญาณในช่วงที่เรียกว่า SCA ของสถานีวิทยุกระจายเสียง FM ซึ่งตามปกติ อาจจะใช้กระจายเสียงบริการงานเฉพาะประเภท เช่น ระบบบริการกระจายเสียงสำหรับรถโดยสารของ ขสมก. ในการทำโครงงานนี้จะใช้ช่องสัญญาณ FM-SCA แล้วนำออกกระจายเสียง พร้อมกับรายการปกติของสถานีวิทยุ FM โดยข่าวสารที่ฝากส่งนี้อาจจะเป็นข่าวสารของการซื้อขายหลักทรัพย์ ข้อมูลข่าวสารการจราจร โดยที่ภาครับของผู้ใช้บริการ ใช้เครื่องรับวิทยุกระจายเสียงแบบ FM ธรรมดา ต่อร่วมกับวงจรถอดรหัสสัญญาณ FM-SCA ก็จะได้สัญญาณข้อมูลที่ส่งมาจากฐานข้อมูลทางภาคส่ง โดยสัญญาณข้อมูลนี้ จะแสดงผลบนเครื่องไมโครคอมพิวเตอร์ส่วนบุคคล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 การส่งสัญญาณ SCA ในระบบ FM สเตอริโอ

สำหรับสัญญาณ FM SCA (subsidiary communication authorization) เป็นการใช้ภาคส่ง FM สเตอริโอ ส่งสัญญาณอื่นนอกเหนือโปรแกรมที่ส่งตามปกติ โดย FCC กำหนดคุณสมบัติของสัญญาณ SCA ซึ่งเป็นเบสแบนด์อันหนึ่งของคลื่นพาห์ FM ดังนี้

1. กำหนดความถี่ศูนย์กลางอยู่ที่ 76.8 KHz โดยเปลี่ยนแปลงได้เท่ากับ ± 500 Hz

2. ความถี่เบสแบนด์ SCA มีขนาดไม่เกิน 10% ของสัญญาณรวมทั้งหมด ก่อนมอดูเลท หรือทำให้ความถี่พาห์เบี่ยงเบนได้เท่ากับ ± 7.5 KHz โดยสัญญาณ (L+R),(L-R) จะมีขนาดแต่ละสัญญาณเท่ากับ 40 % หรือ ทำให้ความถี่คลื่นพาห์เบี่ยงเบนได้ไม่เกิน ± 30 KHz

3. สเปคตรัมของความถี่ SCA จำกัดอยู่ในช่วงความถี่ 57-77 KHz

4. สัญญาณรบกวนของ SCA ที่ข้ามช่อง (cross talk) เข้าไปในช่องของสัญญาณสเตอริโอ เบสแบนด์ต้องน้อยกว่า 60 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

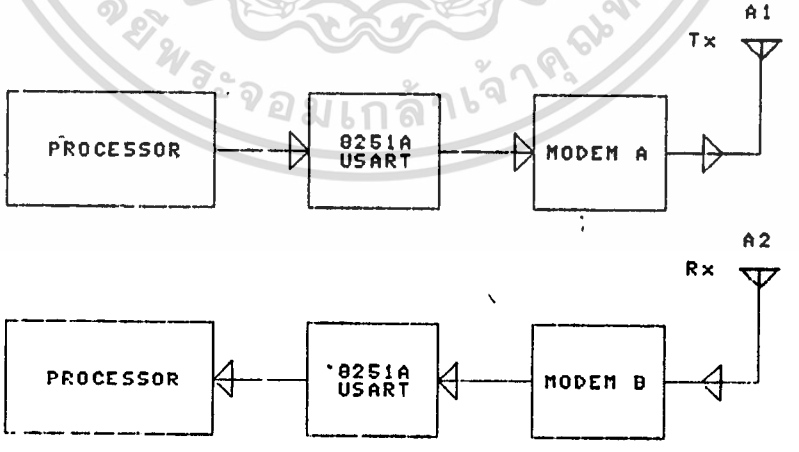
วงจรสื่อสารอนุกรม

วงจรสื่อสารอนุกรม

ในบทนี้จะพูดถึงวงจรสื่อสารพื้นฐาน ซึ่งทำการส่งและรับข้อมูล ผ่านระบบการกระจายเสียงแบบ FM-SCA จะเห็นว่า วงจรมีส่วนประกอบน้อยมาก การออกแบบในที่นี้ ทำอยู่บนชิพ USART 8251 รูปที่ 2.1 แสดงบล็อคไดอะแกรม อธิบายหลักการทำงานพื้นฐาน ของวงจรสื่อสารอนุกรม วงจร A, B ประกอบด้วย องค์ประกอบหลัก 2 ส่วน คือ ไมโครโปรเซสเซอร์ และอุปกรณ์ USART สมมติว่า วงจร A ส่งไบท์ไปยัง วงจร B ไมโครโปรเซสเซอร์ของวงจร A จะส่งไบท์ไปที่ USART แบบขนาน (8 บิทพร้อมๆกัน) และ USART รับไบท์นั้นแล้ว แปลงกลับให้อยู่ในรูป บิทที่เรียงตามลำดับก่อน ค่อยส่งต่อข้อมูล ในรูปอนุกรมไปยังโมเดม (MODEM)

เมื่อโมเดมรับข้อมูลที่มาแบบอนุกรม มันจะทำการแปลงข้อมูลกลับ (จากข้อมูลอนุกรมที่เป็นดิจิตอล เป็นสัญญาณอนาลอก) แล้วส่งสัญญาณอนาลอกนี้ ไปยังภาคส่งของเครื่องส่ง FM

สัญญาณอนาลอกนี้ เมื่อมาถึงโมเดม B ที่ภาครับ มันจะรับสัญญาณอนาลอกนั้น แล้วแปลงกลับเป็นสัญญาณดิจิตอลแบบอนุกรม (ลำดับของ 0 และ 1) โมเดมจะส่งสัญญาณดิจิตอลแบบอนุกรมนี้ไปที่ USART หลังจาก USART รับบิทที่เข้ามาแล้ว ก็จะแปลงกลับเป็นไบท์ เพื่อส่งไปที่ไมโครโปรเซสเซอร์



รูปที่ 2.1 การสื่อสารอนุกรมผ่านช่องสัญญาณกระจายเสียง FM-SCA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 โมเดม

จากรูปที่ 2.1 เมื่อโมเดมรับสัญญาณดิจิตอลแบบอนุกรมแล้ว จะแปลงกลับเป็นสัญญาณอนาลอก ฟังก์ชั่นการทำงานของโมเดมนี้เรียกว่า MODULATION

ส่วนฟังก์ชันการทำงานอื่นของโมเดม เมื่อมันรับสัญญาณอนาลอก มันจะแปลงกลับเป็นสัญญาณดิจิตอลแบบอนุกรม เรียกการทำงานนี้ว่า DEMODULATION

โมเดมนี้ได้ออกแบบให้มีเอาท์พุท ที่มีอัตราเร็วข้อมูลเหมือนกับอัตราเร็วข้อมูลที่ทำการรับนั่นคือ เอาท์พุทของโมเดมเป็นสัญญาณอนาลอกที่ส่งไป มีความถี่เหมือนบิทที่เข้ามาจาก USART ในทำนองเดียวกัน เอาท์พุทของโมเดมที่เป็นบิทส่งให้ USART ที่ความถี่เหมือนความถี่ สัญญาณอนาลอกที่เข้ามา

2.2 USART

ย่อมาจาก UNIVERSAL SYNCHRONOU/ASYNCHRONOUS RECEIVER/TRANSMITTER USART ครอบคลุมถึงการตรวจเช็ค ที่สามารถโปรแกรม การทำงานตามข้อกำหนดการสื่อสาร USART เป็นอุปกรณ์รับไบท์ และแปลงกลับเป็นข้อมูลแบบอนุกรม (ลำดับของ 0,1) ในทำนองเดียวกัน จะรับข้อมูลอนุกรมและแปลงกลับเป็นไบท์ ในบทนี้เราจะพูดถึงการออกแบบ USART เป็นเรื่องใหญ่ จะเห็นได้ว่า USART ไม่เพียงแต่เป็นอุปกรณ์ที่เปลี่ยนสัญญาณข้อมูลจากขนานเป็นอนุกรม หรือ จากอนุกรมเป็นขนาน แต่สามารถทำงานเกี่ยวกับการสื่อสารข้อมูลได้ทั้งหมดด้วย

USART (8251A) มันสามารถทำการรับและส่งข้อมูลอนุกรม ได้ในเวลาเดียวกันเรียกปฏิบัติการนี้ว่า Full Duplex Operation เมื่อไมโครโปรเซสเซอร์ส่งไบท์ไปยัง 8251A ข้อมูลที่ออกจาก 8251A เป็นบิทส่งไปยังโมเดม หลังการส่งบิทที่สมบูรณ์แล้ว ไมโครโปรเซสเซอร์จะรับทราบการรับไบท์ใหม่ ในทำนองเดียวกัน การรับบิทจากโมเดม ไมโครโปรเซสเซอร์จะรับสัญญาณ 8251A ว่าข้อมูลได้รับแล้ว

ในการประยุกต์ใช้งาน อัตราเร็วบิทเดินทาง กำหนดโดยสัญญาณนาฬิกาของโมเดม ใน 8251A เป็นอัตราเร็วที่เท่ากับบิทเอาท์พุท สัญญาณนาฬิกาจาก 8251A ไปยังโมเดม เรียกว่า baudrate ซึ่งค่าสูงสุดถูกกำหนดโดยโมเดม ซึ่งจะมีค่าน้อยกว่า อัตราเร็วที่ไบท์ถูกส่งระหว่างไมโครโปรเซสเซอร์ และ 8251A ดังนั้น เราจะพิจารณาเวลาที่ไมโครโปรเซสเซอร์เขียนไบท์ลงใน 8251A และเวลาที่สัญญาณ 8251A เขียนลงไปในไมโครโปรเซสเซอร์ ว่าได้รับไบท์ต่อไปจากไมโครโปรเซสเซอร์เรียบร้อยแล้ว ในระหว่างปฏิบัติการ full duplex ไมโครโปรเซส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

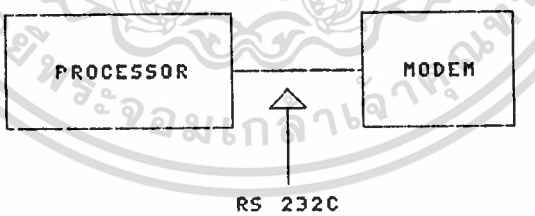
เซอร์จะใช้เวลาในการส่ง และ นำไบท์ไปและมาจาก 8251A น้อยมาก

2.2.1 ข้อกำหนดการสื่อสาร

เช่นการสื่อสารระหว่างวงจร A และ B ในรูปที่ 2.1 วงจรผู้ใช้ทั้งสองต้องอยู่ภายใต้กำหนดการสื่อสารที่จะใช้สื่อสารกัน ข้อกำหนดได้กำหนดรูปแบบของข้อมูลที่จะส่ง และอัตราเร็วของข้อมูล ข้อกำหนดการสื่อสารในทางปฏิบัติในอุตสาหกรรม ซึ่งทั้งหมดอยู่ในการทำงานของ 8251A

2.2.2 มาตรฐาน RS 232C

มาตรฐาน RS 232C ได้จัดพิมพ์ขึ้นเมื่อปี ค.ศ. 1969 โดยสมาคมผู้ผลิตอุปกรณ์อิเล็คโทรนิคส์แห่งสหรัฐอเมริกา RS ย่อมาจาก Recommened Standard ส่วน 232 เป็นหมายเลขบ่งบอกของมาตรฐานตัวนี้ C เป็นหมายเลขของฉบับท้ายสุดของมาตรฐานตัวนี้ จุดประสงค์ของมาตรฐานตัวนี้ ก็เพื่อบรรยายคุณลักษณะ ของการเชื่อมต่ออุปกรณ์รับ-ส่งข้อมูลปลายทาง (Data Terminal Equipment DTE) สำหรับผู้ใช้ไมโครคอมพิวเตอร์ DTE ก็หมายถึงตัวไมโครคอมพิวเตอร์ และ DCE ก็หมายถึง โมเดม หรือ อุปกรณ์อื่นๆ เช่น เครื่องพิมพ์ที่รับสัญญาณแบบอนุกรม อาจจะเป็นได้ทั้ง DTE และ DCE ขึ้นอยู่กับผู้ผลิต ข้อแตกต่างของ DTE และ DCE จะเห็นได้จาก



รูปที่ 2.2 การใช้ RS 232C เชื่อมต่ออุปกรณ์

รูปที่ 2.2 จากรูปนี้เราจะเห็นได้ว่า RS 232C มีส่วนสำคัญอย่างใหญ่หลวง สำหรับการสื่อสารข้อมูล ระหว่างไมโครคอมพิวเตอร์

ความจริงอีกประการหนึ่งของ RS 232C ก็คือ ความเร็วและระยะทางของการเชื่อมต่อ RS 232C สามารถเชื่อมต่อการถ่ายโอนข้อมูล ได้จาก 20,000 บิทต่อวินาที ซึ่งเพียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

พอสำหรับ ไมโครคอมพิวเตอร์ที่มีขนาดอัตราบอด 110 ถึง 9600 บอด ความยาวของสายเชื่อมต่อสัญญาณตามมาตรฐานของ RS 232 จำกัดอยู่แค่ 50 ฟุต ซึ่งเพียงพอสำหรับการสื่อสารไมโครคอมพิวเตอร์ กับ อุปกรณ์รอบนอก

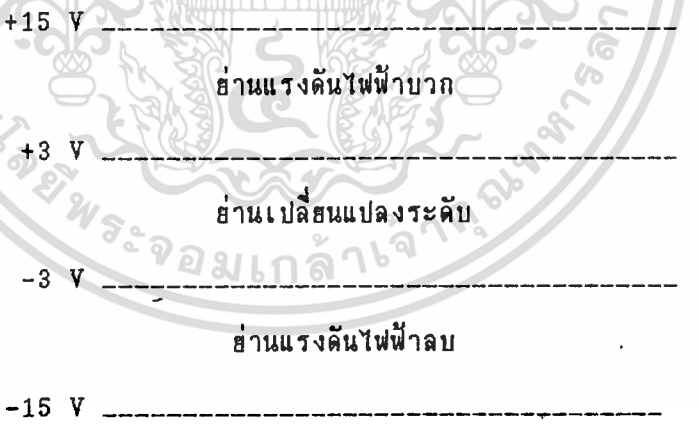
ลักษณะของสัญญาณ RS 232C

เพื่อเป็นหลักประกันว่า ข้อมูลถูกส่งออกไปอย่างถูกต้อง และ อุปกรณ์ถูกควบคุมอย่างถูกต้อง จำเป็นต้องมีข้อตกลงกัน ในเรื่องของสัญญาณที่ใช้มาตรฐาน RS 232C กำหนดย่านของแรงดันไฟฟ้าในสัญญาณ เพื่อสนองจุดประสงค์ข้างบน ดังแสดงในตารางที่ 1 และรูปที่ 2.3

ตารางที่ 1

มาตรฐานของการใช้แรงดันไฟฟ้า

แรงดันไฟฟ้า	สถานภาพลอจิก	สถานภาพของสัญญาณ	ฟังก์ชันในการควบคุม
บวก		SPACE	ON
ลบ		MARK	OFF



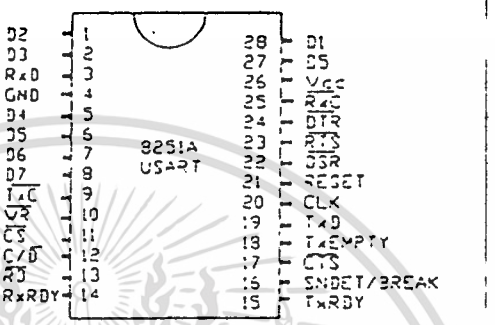
รูปที่ 2.3 ย่านของแรงดันไฟฟ้าที่ใช้ในสัญญาณ RS. 232C

สำหรับไมโครคอมพิวเตอร์บางเครื่อง ใช้แต่สัญญาณลอจิกออกมาเป็นสัญญาณ RS 232C เลย อย่างเช่น อะซิงโครนัสอะแดบเตอร์ของ IBM PC ในกรณีเช่นนี้ ระยะทางของสายเชื่อมต่ออาจจะไปได้สั้นกว่า 50 ฟุต ดังที่กล่าวเอาไว้ เนื่องจาก ระดับของกราวนด์ เปลี่ยนแปลงไปอันเนื่องจาก การสูญเสียไปในความต้านทานของสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2.3 การอินเทอร์เฟส 8251A กับ หน่วยประมวลผล และการออกแบบฮาดแวร์

8251A มีทั้งหมด 28 ขา เป็น DUAL IN LINE (DIP) ขาด้านนอก ของชิพ 8251A แสดงในรูปที่ 2.4



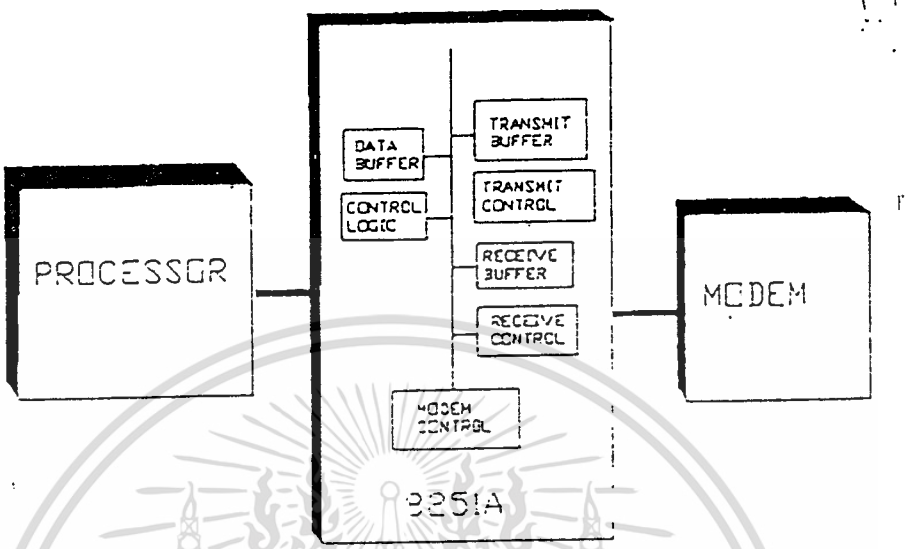
รูปที่ 2.4 8251A USART

ส่วนในรูปที่ 2.5 แสดงลอจิกภายใน ซึ่งเป็นโครงสร้างของ 8251A แบ่งออกเป็น 7 ส่วน คือ

- บล็อค บัฟเฟอร์ ข้อมูล
- บล็อค ควบคุมลอจิก
- บล็อค บัฟเฟอร์ การส่ง
- บล็อค ควบคุมการส่ง
- บล็อค ควบคุม การรับ
- บล็อค บัฟเฟอร์ การรับ
- บล็อค ควบคุมโมเดม

รูปที่ 2.5 แสดงตำแหน่งการวาง 8251A ที่อยู่ระหว่างไมโครโปรเซสเซอร์ และโมเดมนี่เป็นฟังก์ชั่นของ 8251A ที่อินเทอร์เฟสกับไมโครโปรเซสเซอร์ และ โมเดม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 2.5 ระบบพื้นฐานของ 8251A

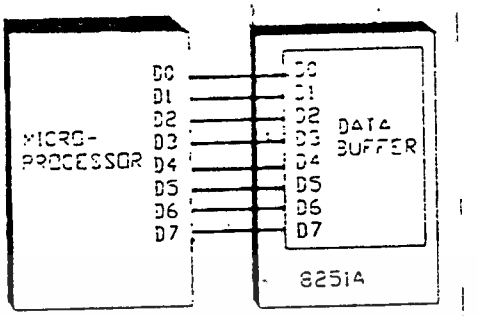
2.4 บล็อคบัฟเฟอร์ของ 8251A

รูปที่ 2.6 แสดงการต่อหน่วยประมวลผล และบล็อคบัฟเฟอร์ข้อมูลของ USART บล็อคบัฟเฟอร์ข้อมูล มีขาภายนอก 8 ขา คือ

- ขา Do แบบสองทิศทาง
- ขา D1 แบบสองทิศทาง
- ขา D2 แบบสองทิศทาง
- ขา D3 แบบสองทิศทาง
- ขา D4 แบบสองทิศทาง
- ขา D5 แบบสองทิศทาง
- ขา D6 แบบสองทิศทาง
- ขา D7 แบบสองทิศทาง

ขา D0 ถึง D7 ของ USART ต่อโดยตรงกับขา D0 ถึง D7 ของหน่วยประมวลผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 2.6 บัสข้อมูล

มีชนิดของไบท์ที่จะส่งอยู่ 4 แบบ บนบัสข้อมูล (D0 ถึง D7)

ชนิดที่ 1 การส่งแบบตัวอักษร

ชนิดที่ 2 การรับแบบตัวอักษร

ชนิดที่ 3 ไบท์คำสั่ง

ชนิดที่ 4 ไบท์สถานะ

2.4.1 การส่งแบบตัวอักษร

หน่วยประมวลผลเขียนไบท์ไป USART ผ่านบัสข้อมูล D0 ถึง D7 USART จะจัดไบท์ให้เป็นอนุกรม แล้วส่งไปยังโมเดมแบบบิทต่อบิท เรียกว่า เป็นการส่งแบบตัวอักษร (ซึ่งเป็นลักษณะของการส่งข้อมูลจริง)

2.4.2 การรับแบบตัวอักษร

USART รับลำดับของบิทจากโมเดม แปลบิทเป็นไบท์ และส่งไบท์ไปหน่วยประมวลผลผ่านบัสข้อมูล D0 ถึง D7 เราเรียกการรับแบบตัวอักษร

2.4.3 ไบท์คำสั่ง

หน่วยประมวลผลส่งคำสั่งให้ 8251A เป็นคำสั่งของการปฏิบัติการ (จุดเริ่มต้นของขบวนการส่งของมูล ซึ่งเป็นข้อกำหนดการสื่อสารที่เป็นการทำงานชนิดหนึ่ง) คำสั่งนี้ถูกส่งไป USART ผ่านบัสข้อมูล D0 ถึง D7 เราเรียกว่า ไบท์คำสั่ง

2.2.4 ไบท์สถานะทั้ง 4 ชนิด

เมื่อไหร่ก็ตามที่ USART รับบิทจากโมเดม มันตรวจสอบบิทที่เข้ามาและตัดสิน เมื่อบิทที่เข้ามาถูกต้องตามข้อกำหนดการสื่อสาร กำหนดเอาไว้ว่า ใช้ได้ ถ้า USART พบว่า มีข้อผิดพลาดจากที่กำหนด มันจะเซตข้อผิดพลาดที่รีจิสเตอร์ภายใน ยิ่งกว่านั้น มันจะเปลี่ยนแปลงค่ารีจิส

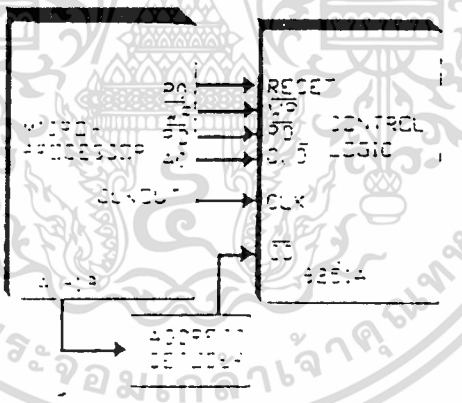
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เตอร์ภายในใหม่ ถึงสถานะของขบวนการสื่อสาร (การรับตัวอักษรที่สมบูรณ์) สถานะข่าวสารนี้ถูกอ่าน โดยประมวลผลผ่านบัสข้อมูล D0 ถึง D7 เราเรียกไบท์เหล่านี้ว่า ไบส์สถานะ

2.5 บล็อคควบคุมลอจิกของ USART

แสดงดังรูปที่ 2.7 บล็อคควบคุมลอจิกของ 8251A มีขาภายนอก 6 ขา คือ

- ขารีเซตอินพุท (RESET)
- ขา WR อินพุท
- ขา RD อินพุท
- ขา CLK อินพุท
- ขา C/D อินพุท
- ขา CS อินพุท



รูปที่ 2.7 วงจรควบคุมลอจิก

2.5.1 ขารีเซต (RESET) ของ 8251A

สัญญาณอย่างหนึ่งที่หน่วยประมวลผลส่งไปบล็อคควบคุมลอจิก คือ สัญญาณรีเซต ดังแสดงในรูปที่ 2.7 ขารีเซตของ 8251A ต่อโดยตรงกับขา PC ของหน่วยประมวลผล เราสมมติว่าหน่วยประมวลผลใช้เอาท์พุทพอร์ต มาใช้ประโยชน์ในการรีเซต USART

เมื่อไหร่ก็ตามที่ขารีเซตของ USART ถูกใช้ USART จะส่งสัญญาณสถานะว่างในระหว่างนี้ USART จะไม่ส่งตัวอักษรไปโมเดม และไม่ทำการรับตัวอักษรใดจากโมเดม

USART จะยังคงรักษาสถานะในโหมดว่างนี้ จนกระทั่งหน่วยประมวลผลเขียนคำสั่งให้ USART คำสั่งจะทำให้การรีเซต (IDLE) เปลี่ยนสถานะเป็นอย่างอื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

การใช้ขารีเซต หน่วยประมวลผลจะให้ค่า 1 ที่ขานี้ ในเวลาที่น้อยที่สุด การรีเซต การปฏิบัติการทำได้ทางด้านฮาร์ดแวร์ หน่วยประมวลผล อาจจะสร้างสถานะการรีเซต โดยส่งเป็นไบท์คำสั่งให้ USART ผ่านบัสข้อมูล D0 ถึง D7

2.5.2 ขา (WR) ของ 8251A

สัญญาณอีกอย่างที่ส่งไปให้ส่วนควบคุมลอจิกของ 8251A คือสัญญาณการเขียน (WR) ดังแสดงในรูปที่ 2.7 ขานี้ต่อโดยตรงกับขา (WR) ของหน่วยประมวลผล เมื่อไหร่ก็ตามที่หน่วยประมวลผลเขียนไปที่ 8251A (หรืออุปกรณ์อื่น) หน่วยประมวลผลจะใช้ขานี้ แต่เมื่อไหร่ก็ตามที่ขานี้ถูกเขียนให้มีค่า 0 มันจะวิเคราะห์ว่า หน่วยประมวลผล ได้เขียนไบท์ลงในบัฟเฟอร์ข้อมูล

2.5.3 ขาการอ่าน (RD) ของ 8251A

สัญญาณอย่างอื่นที่ถูกส่งไปยังบล็อคควบคุมลอจิก 8251A คือ สัญญาณ (RD) ดังแสดงในรูปที่ 2.7 ต่อตรงกับขา (RD) ของหน่วยประมวลผล เมื่อไหร่ก็ตามที่หน่วยประมวลผลอ่านไบท์จาก 8251A (หรือจากอุปกรณ์อื่น) ไมโครโปรเซสเซอร์จะใช้ประโยชน์จากขานี้ เมื่อขา RD ของ 8251A มีค่าเป็น 0 มันจะวิเคราะห์ว่า หน่วยประมวลผลทำการอ่านไบท์จากบัฟเฟอร์ข้อมูล

2.5.4 ขาสัญญาณนาฬิกา (CLK) ของ 8251A

ดังแสดงในรูปที่ 2.7 ขา CLK ต่อโดยตรงกับขา CLKOUT ของหน่วยประมวลผล ไมโครโปรเซสเซอร์ทั้งหมดจะมีขานี้ (หรือเทียบเท่าขานี้) ซึ่งจะสร้างสัญญาณนาฬิกาไปใช้โดยอุปกรณ์ภายนอก โดยปกติขาของไมโครโปรเซสเซอร์ออกแบบไว้ให้มี 2 เฟส (สัญญาณนาฬิกาที่มีเฟสต่างกัน) ที่ขา CLKOUT

เราทราบว่า สัญญาณนาฬิกาที่ส่งไปยัง 8251A ถูกกำหนดโดยอัตราเร็วของบิทเอาท์พุทจาก 8251A ไปยังโมเดม และสัญญาณนาฬิกาอีกอันหนึ่ง กำหนดอัตราเร็วบิทที่ส่งไปยัง 8251A จากโมเดม จะเห็นว่าสัญญาณนี้มีความสำคัญต่อการทำงาน ซึ่งทั้งสองสัญญาณนาฬิกา ทำบนขา CLK

นอกจากนี้ สัญญาณนาฬิกายังใช้ข้อมูลภายในบล็อค,ถอดรหัสคำสั่งและปฏิบัติการอื่นๆ

2.5.5 ขา C/D (Control/Data) ของ 8251A

ดังแสดงในรูปที่ 2.7 ของ C/D 8251A ต่อโดยตรงกับขา Ao ของหน่วยประมวลผล 8251A จำต้องรู้เมื่อไหร่ที่หน่วยประมวลผล เขียนไบท์อักษรหรือไบท์คำสั่ง และอ่านเพื่อรับรู้ไบท์สถานะและรับตัวอักษร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อไหร่ก็ตาม ที่หน่วยประมวลผลเขียนไบท์ตัวอักษร มันจะส่งค่า 0 ไปที่ขา C/D ของ 8251A และเมื่อไหร่ก็ตาม ที่หน่วยประมวลผลเขียนไบท์คำสั่ง มันจะส่งค่า 1 ไปที่ขา C/D ของ 8251A

ในทำนองเดียวกัน เมื่อไหร่ก็ตามที่หน่วยประมวลผลอ่านเพื่อรับตัวอักษรจาก 8251A มันจะส่งค่า 0 ไปที่ขา C/D ของ 8251A หรือเมื่อไหร่ก็ตาม ที่หน่วยประมวลผลอ่านไบท์สถานะจาก 8251A มันจะส่งค่า 1 ไปที่ขา C/D ของ 8251A เหตุผลที่ต่อขา A0 ของหน่วยประมวลผลกับขา C/D ของ 8251A จะอธิบายต่อไป

2.5.6 ขา CS (Chip Select) ของ 8251A

จากรูปที่ 2.7 ขา CS ของ 8251Aต่อโดยตรงกับเอาท์พุทของ ADDRESS DECODER เมื่อไหร่ก็ตาม ที่หน่วยประมวลผล ต้องการเขียนไบท์ลงใน 8251A หรืออ่านไบท์จาก 8251A มันจะให้ค่า 0 ที่ขา CS ของ USART ถ้าขา CS ของ 8251A ไม่ได้ใช้ 8251A จะปล่อยขา Do ถึง D7 ให้อยู่ในสภาวะลอยตัว

2.6 ข้อกำหนด

2.6.1 การสื่อสารอนุกรม

การสื่อสารอนุกรมเป็นรูปร่างแบบของการส่งข้อมูล ซึ่งบิทของข้อมูลจะส่งเป็นลำดับอนุกรม บิทต่อบิท 8251A จะทำการส่งข้อมูลที่มีความสำคัญน้อยที่สุดก่อน (LSB)

2.6.2 การสื่อสารแบบซิงโครนัส-อะซิงโครนัส

เป็นข้อกำหนดการสื่อสารข้อมูล 8251A สามารถรองรับ การสื่อสารอนุกรมตามมาตรฐานข้อกำหนด ที่มีใช้ในโรงงานอุตสาหกรรม ฉะนั้น ก่อนที่เราจะใช้ 8251A ในการออกแบบเราจำเป็นต้องเข้าใจ ข้อกำหนดการสื่อสารอนุกรม ที่ชิพสามารถรองรับการทำงานได้

8251A จำต้องรู้ล่วงหน้าถึงข้อกำหนด ที่เป็นชนิดของการส่งข้อมูลโดยโมเดม ว่าเป็นแบบซิงโครนัส หรือ อะซิงโครนัส

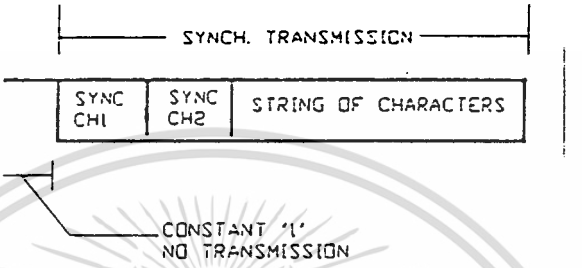
2.6.3 การส่งแบบซิงโครนัส

การส่งแบบนี้ ตัวอักษรจะถูกส่งอย่างต่อเนื่อง โดยไม่มีบิทว่าง รูปแบบของข้อมูลในการส่งแบบนี้ แสดงในรูปที่ 2.8 ขณะที่ไม่มีบิทส่ง ในการส่งแบบซิงโครนัส 8251A จำต้องมีการแสดงว่า เป็นจุดเริ่มต้นของการรับตัวอักษรจากข้อมูลที่เข้ามา ข้อกำหนดนี้ถูกเรียกว่า (SYNC) เป็นลำดับตัวอักษร ที่จุดเริ่มต้นของอักขระ ดังนั้น เมื่อไหร่ก็ตามที่ 8251A ตรวจสอบเจอลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอักษร มันวิเคราะห์ว่า กำลังมีตัวอักษรตามมา

เมื่อ 8251A ไม่มีข้อมูล (ตัวอักษร) ที่จะส่ง มันจะส่งค่าต่อเนื่อง 1วินาที



รูปที่ 2.8 การส่งแบบซิงโครนัส

2.6.4 ข้อกำหนดพารามิเตอร์

8251A สามารถทำงานทุกอย่าง เหนือข้อกำหนด ดังจะเห็นจากที่ได้กล่าวมาแล้วตั้งแต่ต้น มีข้อกำหนดที่เกิดจากการรวมกันอย่างน้อย 12 เรื่อง พารามิเตอร์ของข้อกำหนดซิงโครนัส คือ

- จำนวนของ (SYNC Character) เป็น 1 หรือ 2 SYNC Character
- ชนิดของพาริตี้ บิท (คี่, คู่ หรือไม่มี)
- จำนวนบิทาต่อตัวอักษร (5, 6, 7 หรือ 8 บิทต่อตัวอักษร)

2.7 ตัวส่งและการออกแบบฮาร์ดแวร์

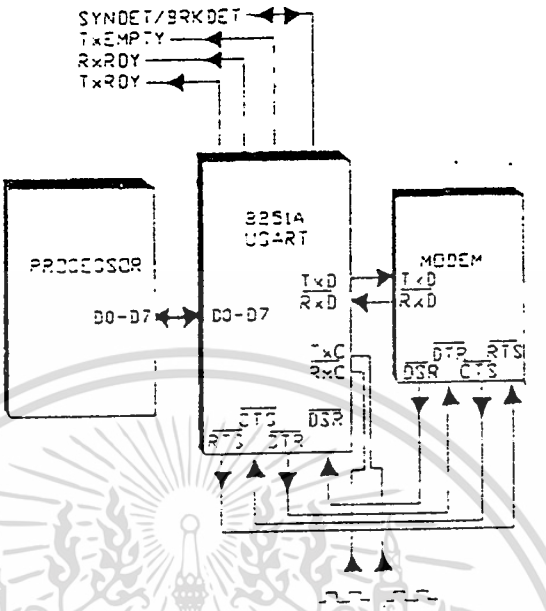
ปฏิบัติการส่ง

การส่งตัวอักษรจากหน่วยประมวลผลไปยังโมเดม มีขั้นตอนการทำงานดังนี้ (ดังรูปที่ 2.9)

- ขั้นตอนที่ 0 หน่วยประมวลผล 8251A และโมเดม ถูกทำให้ ทำงานพร้อมกันตามรายละเอียดของข้อกำหนดการสื่อสาร

- ขั้นตอนที่ 1 หน่วยประมวลผลส่งคำสั่งไปยัง 8251A ผลของคำสั่งนี้ มันจะเซตแฟลก TxEN 8251A มีการปฏิบัติการส่งภายใน (TxEN FLAG) ซึ่งสามารถปฏิบัติการ หรือขัดขวางการปฏิบัติการ 8251A จากการส่งบิทไปยังโมเดม หน่วยประมวลผล จะทำการเซต หรือรีเซตแฟลกนี้ โดยการส่งคำสั่งไปยัง 8251A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 2.9 วงจรโมเดม-8251A

- ขั้นตอนที่ 2 หน่วยประมวลผลส่งตัวอักษร ที่จะทำการส่งไปยังบัฟเฟอร์ข้อมูล ของ 8251A แล้ว 8251A ก็จะส่งผ่านตัวอักษรจากบัฟเฟอร์ข้อมูล ไปยังบัฟเฟอร์การส่งและเตรียมตัวอักษรสำหรับการส่ง ซึ่งรวมทั้ง บิทเริ่มต้น บิทพาริตี้ บิทสต็อบ SYNC Character ซึ่งทั้งหมดเป็นไปตามข้อกำหนด เมื่อ 8251A ส่งตัวอักษรจาก บัฟเฟอร์ข้อมูล ไปยังบัฟเฟอร์การส่งแล้ว บัฟเฟอร์ข้อมูลจะว่าง และพร้อมที่จะรับตัวอักษรใหม่ที่จะส่ง 8251A จะยกเลิกแฟลกภายใน TxRDY flag เพื่อแสดงว่าบัฟเฟอร์ข้อมูลว่างเปล่า และพร้อมที่จะรับตัวอักษรใหม่ หน่วยประมวลผล จะมีการอ่านแฟลก ถ้าหน่วยประมวลผลเขียนตัวอักษรใหม่ ไปยังบัฟเฟอร์ข้อมูล แฟลกนี้ (TxRDY flaf) จะถูกรีเซตโดยอัตโนมัติ

8251A มีขาเอาท์พุทเรียกว่า TxRDY 8251A จะใช้ขานี้เมื่อไหร่ก็ตามที่บัฟเฟอร์ข้อมูลว่างเปล่า ดังนั้น แทนที่จะทำการอ่านแฟลก TxRDY ผ่านซอฟต์แวร์ การต่อขา TxRDY กับขาอินเทอร์รัพท์ของหน่วยประมวลผล ในรูปที่ 2.9 จึงถูกนำมาใช้แทน เราแสดงให้เห็นขาที่ไม่ได้ต่อ ถ้าเราออกแบบ เราก็อ่านสถานะ RxRDY ผ่านซอฟแวร์ สำหรับความสมบูรณ์แล้ว เราติดตามเงื่อนไขสำหรับเซตขา TxRDY ที่แตกต่างกับเงื่อนไขการเซตแฟลกภายใน TxRDY แฟลก TxRDY เซตเมื่อไหร่ก็ตามที่บัฟเฟอร์ข้อมูลว่างเปล่า ขณะที่ขา TxRDY ถูกใช้งานเมื่อไหร่ก็ตามที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัฟเฟอร์ข้อมูลว่างและขา CTS ถูกใช้งานด้วย

- ขั้นตอนที่ 3 ขณะนี้โมเดมจำเป็นต้องเตรียมพร้อมสำหรับบิทที่จะส่งถึงมันเอง ปฏิบัติการนี้ผ่านขา RTS (RAEDY TO SEND) ซึ่งเป็นขาเอาท์พุทของ 8251A ขา RTS ของ 8251 และโมเดมต้องต่อเข้าด้วยกัน มันจะปฏิบัติการผ่านขา RTS นี้ ถ้า 8251A มีบิทที่จะส่งไปยังโมเดม

8251A ไม่มีการใช้ขา RTS โดยอัตโนมัติ หน่วยประมวลผลจะส่งคำสั่งไปให้ 8251A โดยใช้ขา RTS นี้

- ขั้นตอนที่ 4 เมื่อโมเดมวิเคราะห์ เกี่ยวกับบิทที่รับมาจาก 8251A มันจะยืนยัน (OK) การส่งส่วนหัวของเฟรมข้อมูล ขณะที่โมเดมเองสามารถทำการตัดสินใจ (NOT) ที่จะไม่ส่ง การยืนยันและยกเลิกนี้ กระทำโดยผ่านขา CTS

ขา CTS เป็นขาอินพุทของ 8251A ทั้งขา CTS ของโมเดมและขา CTS ของ 8251A จะต่อเข้าด้วยกัน บิทที่ทำการส่ง-รับ จะผ่านขาของโมเดมมาที่ขาของ 8251A

เมื่อโมเดมใช้ขา CTS 8251A จะทำการส่งบิทไปยังโมเดมโดยอัตโนมัติโดย การส่งบิทของ 8251A จะผ่านทางขาเอาท์พุท TxD เมื่อไหร่ก็ตาม ที่ไม่มีเอาท์พุทของ 8251A บนขา TxD ขา TxD จะมีค่าที่ต่อเนื่องเป็น 1 อัตราการส่งถูกกำหนดโดยอินพุทที่ขา TxC เรียกขานี้ว่า TRANSMITTER CLOCK

บิทเอาท์พุท 8251A บนขา TxD เป็นช่วงปลายที่ตกของสัญญาณนาฬิกา TxC เมื่อไหร่ก็ตามที่ 8251A ทำการส่งตัวอักษร ไปยังโมเดมสมบูรณ์แล้ว มันจะเซตค่าแฟลกภายในเรียก TxEMPTY ซึ่งแสดงว่า ไม่มีบิทส่งไปยังบัฟเฟอร์ภายในตัวส่ง หน่วยประมวลผลจะทำการอ่านค่าแฟลกนี้

8251A มีขาเอาท์พุท TxEMPTY เมื่อไหร่ก็ตามที่ 8251A ยกเลิกแฟลก TxEMPTY มันจะใช้ประโยชน์จากขา TxEMPTY ต่อเข้าขาอินเทอร์รัพท์สของหน่วยประมวลผล ในรูปที่ 2.9 จะเห็นว่าขานี้ไม่ได้ต่อกับอะไรเลย ถ้าเราออกแบบให้การอ่านสถานะ TxEMPTY โดยผ่านทางซอฟต์แวร์

2.8 ตัวรับและการออกแบบฮาร์ดแวร์

ปฏิบัติการของการรับ

การรับตัวอักษ (จากโมเดมไปยังหน่วยประมวลผล) มีลำดับการทำงานตามขั้นตอนดังนี้

เอกสารนี้เป็นเอกสารที่ ... ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขั้นตอนที่ 0 หน่วยประมวลผลเตรียม 8251Aให้พร้อมสำหรับที่จะทำงานตามข้อกำหนดการสื่อสาร

- ขั้นตอนที่ 1 หน่วยประมวลผลสั่งคำสั่งให้ 8251A คำสั่งนี้ จะเซตค่าแฟลก RxE 8251A มีแฟลกภายในที่สามารถปฏิบัติการรับได้ ซึ่งสามารถปฏิบัติการหรือขัดขวางการปฏิบัติการ 8251A จากการรับบิทจากโมเดม หน่วยประมวลผลจะทำการเซต หรือ รีเซตแฟลกนี้ โดยการส่งคำสั่งไป 8251A

- ขั้นตอนที่ 2 เมื่อ 8251A มีความต้องการใช้บิทที่จะส่ง มันจะทำโดยผ่านทางขา DSR ขา DSR (DATA SET READY) เป็นขาอินพุทของ 8251A และขา DSR ของโมเดมจะต่อเข้ากัน เมื่อโมเดมแจ้งให้ 8251A ทราบว่ามีบิทข้อมูลที่จะส่งมาถึง 8251A ก็จะทำผ่านทางขา DSR นี้

- ขั้นตอนที่ 3 เมื่อโมเดมวิเคราะห์ได้ว่า มันมีบิทที่จะส่ง มันจะยืนยัน (OK) ที่ส่วนหัวของการส่ง หน่วยประมวลผลสามารถแสดงให้เห็นว่า ไม่มีส่วนหัวของการส่ง การยืนยันหรือยกเลิกนี้ ทำได้โดยผ่านขา DTR

ขา DTR เป็นขาเอาท์พุทของ 8251A ขา DTR ของโมเดม และ 8251A ต่อเข้าด้วยกันเลย การส่งผ่านของ 8251A และโมเดมจะผ่านขานี้ ถ้ามีการรับบิทที่เรียบร้อยแล้ว

ถ้า 8251A ไม่มีการใช้ขา DTR โดยอัตโนมัติแล้วหน่วยประมวลผลจะส่งคำสั่งไปที่ 8251A โดยใช้ขา DTR ถ้าหากขา DTR ถูกใช้ โมเดมจะส่งบิทไปยัง 8251A โดยอัตโนมัติ

โมเดมส่งบิทผ่านขา TxD เมื่อไหร่ก็ตาม ที่โมเดมไม่มีบิท เอาท์พุทบนขา RxRDY 8251A จะพบว่า มีค่าต่อเนื่อง 1 อยู่บนขานี้ อัตราการส่งถูกกำหนดโดยขาอินพุท RxC เรียกขานี้ว่า RECEIVER CLOCK 8251A เราจะรับบิทบนขา RxD ตามช่วงจังหวะของสัญญาณนาฬิกา RxC

เมื่อ 8251A รับตัวอักษร มันจะแปลตัวอักษรนั้นรวมทั้ง บิทเริ่มต้น บิทพาริตี้ บิทสต๊อบ ซึ่งทั้งหมดเป็นไปตามข้อกำหนด

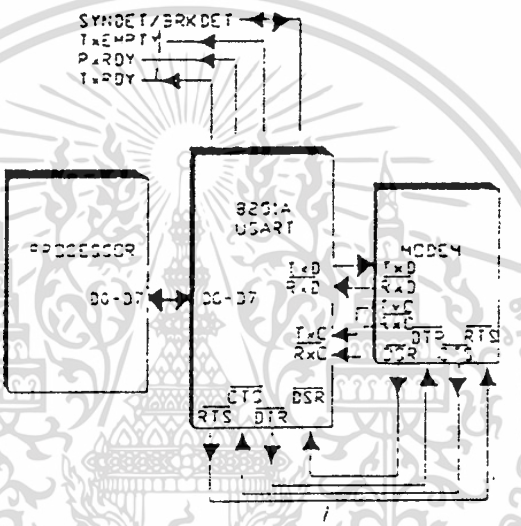
เมื่อ 8251A แปลตัวอักษรสมบูรณ์แล้ว มันจะเซตแฟลกภายในที่เรียกว่า RxRDY ซึ่งแสดงว่ามันทำการรับตัวอักษรได้สมบูรณ์แล้ว หน่วยประมวลผลก็สามารถอ่านค่าแฟลกนี้

8251A มีขาเอาท์พุทเรียกว่า RxRDY เมื่อไหร่ก็ตามที่ 8251A ยกเลิกแฟลก RxRDY หรือ มันใช้ประโยชน์ขา RxRDY แล้ว ขา RxRDY จะถูกต่อเข้ากับขาอินเทอร์รัพท์ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยประมวลผล ในรูปที่ 2.9 แสดงขาที่ไม่ได้ทำการต่อ ถ้าเราทำการออกแบบการอ่านค่าแฟลก RxRDY ที่ขานี้โดยผ่านทางซอฟต์แวร์

- ขั้นตอนที่ 4 หน่วยประมวลผลจะวิเคราะห์ว่า มีตัวอักษรที่พร้อมจะนำเข้ามา (Fetched) จาก 8251A โดยการอ่านแฟลก RxRDY แล้ว หน่วยประมวลผล จะอ่านตัวอักษรจาก 8251A



รูปที่ 2.10 ชิงโครนัสโมเดม

2.9 ชิงโครนัสโมเดม

รูปที่ 2.10 แสดงสัญญาณนาฬิกา 2 ค่าที่ป้อนให้ 8251A คือ สัญญาณนาฬิกา TxC และ RxC เราจะแสดงให้ทราบว่า จะทำการต่อสัญญาณนาฬิกาเหล่านี้ได้อย่างไร

2.9.1 ชิงโครนัสโมเดม

เมื่อชิงโครนัสโมเดมถูกนำมาใช้งาน โมเดมจะแสดงอัตราเร็วการส่ง-รับที่บิทเอาท์พุทของ 8251A และบิทอินพุท สัญญาณนาฬิกา TxC และ RxC ที่ส่งให้ 8251A โดยอุปกรณ์ภายนอกเป็นตัวสร้างสัญญาณนี้ (การสร้างสัญญาณนาฬิกาจากภายนอกอาจจะเป็น 555 หรือ วงจร CRYSTAL) จากรูปสัญญาณที่ป้อนให้ TxC และ RxC ทำให้อัตราการส่งและรับบิทของ 8251A มีค่าเท่ากัน

อย่างไรก็ตามในการประยุกต์ใช้งาน 8251A จะรับบิทจากโมเดม ที่อัตราเร็วค่าหนึ่ง (Baudrate) และส่งบิทไปยังโมเดมอื่น ด้วยอัตราเร็วอีกค่าหนึ่งที่ไม่เท่ากัน จึงมีความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นต้องใช้ การสร้างสัญญาณนาฬิกาที่ต่างกัน 2 ค่า จากอุปกรณ์ภายนอก

2.9.2 โหมดซิงโครนัส

เมื่อ 8251A ทำงานในโหมดซิงโครนัส อัตราการส่งบิท (baud rate) คือความถี่ที่ขา TxC และ RxC เรียกว่า อัตราการส่งบิท 1X

2.9.3 อัตราการส่งบิท (baud rate)

ถ้า 8251A ทำงานในโหมดซิงโครนัส เราไม่ต้องเป็นห่วงเรื่องอัตราการส่งเลย เพราะอัตราการส่งนี้ กำหนดโดยโมเดม 8251A สามารถเปลี่ยนแปลงอัตราการส่งได้ โดยการบอกให้โมเดมเป็นตัวกำหนด

2.10 ขา SYNDET/BRKDET ของ 8251A

จากรูปที่ 2.9,2.10 ขา SYNDET / BRKDET ของ 8251A สามารถเป็นได้เหมือนอินพุท หรือ เอาร์พุท

ก่อนการรีเซต ขานี้จะลักษณะภายนอกเป็นเหมือนขาเอาร์พุทโดยอัตโนมัติที่มีค่า 0 หลังจากรีเซต หน่วยประมวลผลสามารถทำให้ลักษณะภายนอกของขาเป็นได้ทั่งขาอินพุทหรือขาเอาร์พุท

2.10.1 SYNDET/BRKDET เหมือนเป็นขาเอาร์พุทในโหมดซิงโครนัส

สมมุติว่า หน่วยประมวลผลสั่งให้ 8251A ทำงานในโหมดซิงโครนัส ดังนั้นหน่วยประมวลผล จะสร้างลักษณะภายนอกของ 8251A ที่ขา SYNDET/BRKDET เหมือนเป็นขาเอาท์พุทภายใต้เงื่อนไขนี้ 8251A ที่ทำงานในโหมด SYNC DETECT (การเรียกกันภายในที่นิยมใช้)

8251A จะไม่รับตัวอักษรที่เข้ามา นอกเสียจากมันจะตรวจสอบ SYNC CHARACTER เมื่อ 8251A ทำการตรวจสอบ SYNC CHARACTER มันจะให้ค่าเอาท์พุทเป็น 1 ที่ขา SYNDET/BRKDET 8251A ก็จะทำการยกเลิกแฟลกภายในโดยอัตโนมัติ เมื่อไหร่ก็ตามที่มีเงื่อนไขที่เหมือนกันเกิดขึ้น

ดังนั้น หน่วยประมวลผล จะตรวจเช็คขานี้และ สรุปว่า 8251A รับ SYNC CHARACTER ในรูปที่ 2.9,2.10 เราแสดงขาที่ไม่ได้ต่อ เมื่อเราออกแบบหน่วยประมวลผลให้อ่านค่าแฟลก SYNDET/BRKDET ผ่านทางซอฟต์แวร์

สำหรับข้อกำหนด การ SYNC ใน IBM นั้นต้องการ SYNC CHARACTER 2 ค่า ในกรณีนี้ 8251A จะหาทั้งสองค่า (SYNC CHARACTER) ที่ตามกันมา ขาเอาท์พุทของ 8251A เป็น 1 และแฟลกถูกยกเลิก ถ้ามันตรวจสอบค่า SYNC CHARACTER ที่ตามกันมาสองค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10.2 SYNDET/BRKDET เหมือนเป็นขาอินพุท (เฉพาะในโหมดซิงโครนัส)

สมมติว่าหน่วยประมวลผลสร้าง 8251A เป็นโหมดซิงโครนัส นั่นคือ ลักษณะภายนอกของ 8251A มีขา SYNDET/BRKDET เหมือนขาอินพุท ภายใต้เงื่อนไขนี้ 8251A ทำงานในโหมดที่เรียกกันภายในว่า SYNC DETEC

เมื่ออุปกรณ์ภายนอกป้อนสัญญาณให้ขาที่แสดงว่า 8251A ค้นหา SYNC CHARACTER ไม่พบ แต่อยากจะเริ่มรับตัวอักษรจากโมเดม (ถ้า SYNC CHARACTER ยังไม่ตรวจสอบ)ในการประยุกต์ทั้งหมด เมื่อการส่งแบบซิงโครนัสถูกใช้ โหมดภายใน SYNC DETEC ก็ถูกใช้งาน

2.10.3 ข้อมูลเพิ่มเติมของฮาร์ดแวร์

ขา Vcc ของ 8251A ต่อกับ +5 Vdc และขากราวนด์จะต่อกับกราวนด์

2.10.4 สรุปฮาร์ดแวร์ของ 8251A

จากที่พิจารณากันมา เราจะเห็นการต่อ 8251A กับหน่วยประมวลผลและโมเดมแบบขาต่อขาโดยตรง และมีการต่อ LEDs จากบางขาของ 8251A ซึ่งการต่อ LEDs เหมือนเป็นการแสดงผลการปฏิบัติการของ 8251A โดยสังเกตจาก LEDs เราอาจจะเพิ่ม LEDs ก็ได้เพื่อให้สามารถเช็ค สถานะการทำงานของอุปกรณ์แต่ละตัว

2.11 การทำงานของซอฟต์แวร์

แนวคิดการออกแบบซอฟต์แวร์ของหน่วยประมวลผล สำหรับวงจร 8251A ทั้งนี้เพราะ 8251A สามารถทำงานได้ในหลายรูปแบบ มันถูกออบแบบให้สามารถอินเทอร์เฟส เหมือนอุปกรณ์ภายนอก กับ หน่วยประมวลผล

ความจริงแล้ว 8251A สามารถรองรับอุปกรณ์ภายนอก หมายความว่า 8251A ไม่ได้นำคำสั่งมาจาก RAM หรือ ROM แต่คำสั่งในการทำงานถูกป้อนมาจากหน่วยประมวลผล

ถ้า 8251A รับคำสั่งจากหน่วยประมวลผล มันถอดรหัสคำสั่งและปฏิบัติการคำสั่งนั้นโดยไม่มีการช่วยเหลือ จากอุปกรณ์ที่ส่งคำสั่งมาให้ (หน่วยประมวลผล)

ซอฟต์แวร์ของหน่วยประมวลผล ประกอบด้วยส่วนหลักๆ ของการทำงาน คือ

- ลักษณะภายนอกโดยทั่วไปของ 8251A
- ส่งคำสั่งให้ 8251A
- ตรวจดูการทำงานของ 8251A
- อ่านตัวอักษรจาก 8251A ซึ่งเป็นตัวอักษรที่ 8251A รับมาจากโมเดม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ส่งตัวอักษรไป 8251A ซึ่งเป็นตัวอักษรที่ 8251A ส่งไปให้โมเดม

เราจะได้พูดถึงรายละเอียดแต่ละส่วนตามลำดับต่อไป

2.11.1 ลักษณะภายนอกของ 8251A

8251A มีลักษณะภายนอก ที่จะทำงานได้ตามข้อกำหนดการสื่อสารอนุกรม ที่เคยกล่าวมา มีข้อกำหนด 2 แบบ คือ ข้อกำหนดการสื่อสารอะซิงโครนัส และข้อกำหนดซิงโครนัส การรวมทุกส่วนของลักษณะภายนอก เป็นปฏิบัติการของการเขียนโปรแกรมให้ 8251A โดยหน่วยประมวลผลพร้อมกับพารามิเตอร์ของข้อกำหนด (เช่น 1 หรือ 2 SYNC CHARACTER จำนวนบิทต่อตัวอักษร)

เราจะพูดถึงรายละเอียดพารามิเตอร์ 7 อย่าง ที่หน่วยประมวลผลใช้กับลักษณะภายนอกของ 8251A ให้ทำงานตามข้อกำหนด

2.11.2 พารามิเตอร์

- พารามิเตอร์ : ข้อกำหนดซิงโครนัส หรือ อะซิงโครนัส

8251A จำต้องทำงานตามข้อกำหนดนี้อาจจะเป็นซิงโครนัสหรืออะซิงโครนัส

- พารามิเตอร์ 1 : จำนวนบิทต่อตัวอักษร

จำนวนบิทต่อตัวอักษรอาจจะเป็น 5,6,7 หรือ 8 พารามิเตอร์นี้ใช้เหมือนกันทั้งในข้อกำหนดซิงโครนัส และอะซิงโครนัส

หน่วยประมวลผลส่งตัวอักษรมาให้ 8251A ผ่านบัสข้อมูล 8 บิท ถ้า 8251A เตรียมลักษณะภายนอก สำหรับจำนานบิทต่อตัวอักษรน้อยกว่า 8 บิท ต่อตัวอักษร 8251A จะไม่ใช้บิทที่เหลือนั้น และ ลำดับความสำคัญก็จะไม่ใช่ค่าแรก ที่ไม่ได้ใช้

เมื่อหน่วยประมวลผลนำตัวอักษรจาก 8251A มา เอาท์พุท 8 บิทบนบัสข้อมูลจะไม่คำนึงถึง จำนวนของบิทต่อตัวอักษร ซอฟต์แวร์ของหน่วยประมวลผลจะสนใจ เฉพาะบิทที่ได้ใช้ประโยชน์

- พารามิเตอร์ 2 : การทำงานของบิทพาริตี้ (Parity Bit)

8251A มีบิทพาริตี้ทำงานภายใต้ข้อกำหนด ใช้ได้ทั้ง ซิงโครนัส และ อะซิงโครนัส ถ้า 8251A ใช้บิทพาริตี้ ในการทำงานจากลักษณะภายนอก มันจะตรวจสอบบิทพาริตี้ทุกๆตัวอักษรที่เข้ามาจากโมเดม ถ้า 8251A พบข้อผิดพลาด บิทพาริตี้จะแสดง error ด้วยการเช็คค่าแฟลก ยิ่งกว่านั้น ถ้า 8251A จะส่งตัวอักษรไปให้โมเดม มันจะทำการใส่บิทพาริตี้ลงไปให้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของบิทพาริตี้ จะสมบูรณ์เพราะ 8251A เมื่อหน่วยประมวลผลส่งตัวอักษรมาให้ 8251A จะไม่มีบิทพาริตี้เลย ในทำนองเดียวกัน เมื่อหน่วยประมวลผลอ่านตัวอักษรที่รับมาจาก 8251A 8251A จะส่งตัวอักษรไปให้หน่วยประมวลผล โดยไม่มีบิทพาริตี้เช่นกัน

จะสังเกตได้ว่า จำนวนบิทต่อตัวอักษรนั้น ไม่ได้นับบิทพาริตี้เข้าไปด้วยเลย

- พารามิเตอร์ 3 : จำนวนบิทสต๊อบ (Stop Bit)

ใช้สำหรับข้อกำหนดการสื่อสารแบบอะซิงโครนัสเท่านั้น จะไม่มีในซิงโครนัส 8251A จะใส่จำนวนบิทสต๊อบที่ท้ายสุดของการส่งตัวอักษร ซึ่งอาจจะเป็น 1,2 หรือ $1^{1}/_{2}$ บิท

เมื่อ 8251A นับจำนวนบิทสต๊อบย้อนกลับ ในตัวอักษระที่รับจากโมเดม มันจะรู้จุดสิ้นสุดของตัวอักษร แล้วทำการตัดบิทสต๊อบออก เมื่อมีการส่งตัวอักษรไปยังโมเดม 8251A จะใส่บิทสต๊อบลงไปโดยอัตโนมัติ

- พารามิเตอร์ 4 : อัตราเร็วการส่ง - รับ (baud rate)

มีใช้เฉพาะในข้อกำหนดอะซิงโครนัส อัตราการส่ง - รับ นี้กำหนดโดย ผลคูณความถี่ของสัญญาณนาฬิกา (TxC) ด้วยค่าคงที่ ที่อาจจะเป็น 1, $^{1}/_{2}$ หรือ $^{1}/_{64}$

- พารามิเตอร์ 5 : SYNC DETEC ภายนอก หรือ ภายใน

ใช้เฉพาะในซิงโครนัส ในการส่งแบบซิงโครนัส โมเดมส่งลำดับตัวอักษร SYNC CHARACTER 1 หรือ 2 ค่าให้ 8251A

8251A จะตรวจสอบตัวอักษรที่เข้ามา และค้นหา SYNC CHARACTER ถ้าในตัวอักษรแรกไม่พบ มันจะไม่สนใจตัวอักษรเลย

ความสามารถในการค้นหา SYNC CHARACTER ของ 8251A ขบวนการนี้ขึ้นอยู่กับลักษณะภายนอกของ 8251A เองว่าทำงานในโหมด INTERNAL SYNC DETECT หรือไม่ ในโหมดนี้ 8251A จะทำให้ขา SYNDET/BRKDET เป็นขาเอาท์พุท 8251A จะให้ค่าเอาท์พุทเป็น 1 ที่ขา SYNDET/BRKDET โดยอัตโนมัติ ก่อนที่จะตรวจสอบ SYNC CHARACTER ที่รับเข้ามาจากโมเดม

อย่างไรก็ตาม หน่วยประมวลผลอาจจะทำให้ 8251A มีการทำงานในโหมด EXTERNAL SYNC DETECT ในโหมดนี้มีลำดับการปฏิบัติการ คือ

- ขา SYNDET/BRKDET กลายเป็นขาอินพุท

- 8251A จะรอ SYNC CHARACTER ช่วงสั้นๆจากโมเดม แต่รอจนกว่าจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีสัญญาณค่าบวกเข้ามาที่ขา SYNC/BRKDET

- ถ้า 8251A ตรวจพบสัญญาณค่าบวกที่ขา SYNC/BRKDET แล้วมันจะประมวลผลตัวอักษรที่เข้ามาอย่างต่อเนื่อง ถ้ามันทำการตรวจพบ SYNC CHARACTER แล้ว

- พารามิเตอร์ 6 : 1 หรือ 2 SYNC CHARACTERS

ข้อกำหนดนี้ใช้เฉพาะในซิงโครนัส ในการส่งแบบซิงโครนัสโมเดมจะส่งลำดับตัวอักษรให้ 8251A ที่เป็น 1 หรือ 2 SYNC CHARACTER จะค้น SYNC CHARACTER ที่เข้ามา 8251A จะใส่ SYNC CHARACTER ลงในตัวอักษร ที่จะส่งไปยังโมเดมโดยอัตโนมัติ

2.12 การส่งโหมดคำสั่งให้ 8251A

เมื่อหน่วยประมวลผลต้องการให้ 8251A เตรียมพร้อมลักษณะภายนอก สำหรับปฏิบัติการ มันจะส่งไบท์เดียว ที่มีลักษณะพารามิเตอร์ภายนอกทั้ง 7 ตามข้อกำหนด เรียกไบท์นี้ว่า Mode Instruction เมื่อ 8251A มีลักษณะภายนอก ทำงานในข้อกำหนดซิงโครนัส

ตัวอย่าง 2.1 ข้อกำหนด 8251A มีลักษณะภายนอกสำหรับการปฏิบัติการ คือ

- ข้อกำหนด : ซิงโครนัส
- จำนวนบิทต่อตัวอักษร : 7 บิท
- การสร้างบิทพาริตี้และการตรวจสอบ : มีการทำงานในส่วนนี้
- ชนิดของพาริตี้ : คี่
- โหมด SYNC DETECT : ภายใน
- จำนวนของ SYNC CHARACTERS : 2

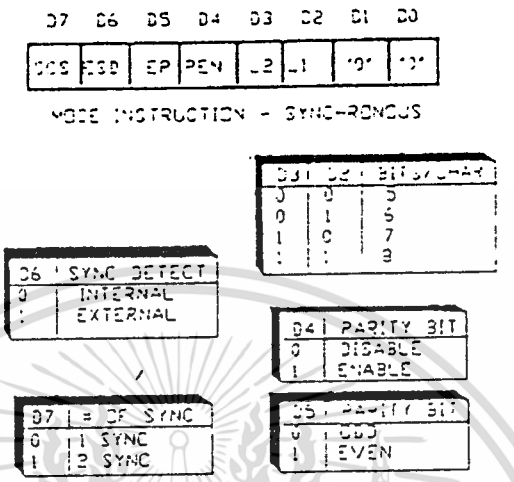
จากรูป 2.11

- D7 = 1 : 2 SYNC CHARACTERS
- D6 = 0 : โหมด INTERNAL SYNC DETECT
- D5 = 0 : พาริตี้คี่
- D4 = 1 : สามารถสร้างบิทพาริตี้ และการตรวจสอบ
- D3 = 1, D2 = 0 : 7 บิทต่อตัวอักษร
- D1 = 0, Do = 0 : ข้อกำหนดซิงโครนัส จะต้องมีค่า 0

หน่วยความจำจะส่งโหมดคำสั่งต่อไปนี้ให้ 8251A

1001 1000 = 93 (hex)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูป 2.11 โหมดคำสั่งสำหรับข้อกำหนดซิงโครนัส

การส่งโหมดคำสั่งให้ 8251A

ไบท์โหมดคำสั่งถูกคำนวณ โดยหน่วยประมวลผล มันจะส่งไบท์คำสั่งไปให้ 8251A หน่วยประมวลผลจะเขียนไบท์ไปที่แอดเดรสของ 8251A ที่ทำการถอดรหัสแล้ว

ตัวอย่าง 2.2 แอดเดรส 8251A ที่ถอดรหัส

01230 (hex) และ 01231 (hex)

8251A มีการถอดรหัสของ 2 แอดเดรส แอดเดรส 01230 ใช้สำหรับอ่านและเขียนตัวอักษร และ แอดเดรส 01231 ใช้อ่านและเขียนสถานะ และ คำสั่ง

ถ้าส่งโหมดคำสั่ง 98 (hex) หน่วยประมวลจะใช้คำสั่ง

Write 98 (hex) to address 01231

2.13 การส่งคำสั่งไป 8251A

บางส่วนของซอฟต์แวร์ปฏิบัติการ โดยหน่วยประมวลผล เป็นส่วนที่มีการส่งคำสั่งไปยัง 8251A

2.13.1 คำสั่งง่ายๆทั่ง 8

เซตของคำสั่งของ 8251A มีค่อนข้างจำกัด ; มีเพียง 8 คำสั่งที่หน่วยประมวลผลสามารถให้ 8251A ปฏิบัติการได้

- คำสั่ง 0 : คำสั่ง Transmit Enable/Disable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยประมวลผลจะสร้างคำสั่ง Transmit/disable ทั้งการปฏิบัติการหรือการขัดขวางปฏิบัติการ ซึ่งเป็นฟังก์ชันการส่งของ 8251A

- คำสั่ง 1 : DTR ENABLE/DISABLE

หน่วยประมวลผลจะสร้างคำสั่ง DTR ENABLE/DISABLE ให้ 8251A ที่เอาท์พุทของขา DTR เป็น 0 (ซึ่งเป็นขา DTR ของ 8251A)

- คำสั่ง 2 : RECEIVE ENABLE/DISABLE

หน่วยประมวลผลสร้างคำสั่ง ทั้งการสามารถปฏิบัติการ หรือ ขัดขวางการปฏิบัติการ ซึ่งเป็นฟังก์ชันการรับของ 8251A

- คำสั่ง 3 : SEND BREAK

หน่วยประมวลผล จะสร้างคำสั่งนี้ สำหรับทำการรีเซตทุกๆ บิท ที่แฟลกเกิดความผิดพลาด (ERROR) ขึ้น 8251A ทำงานในโหมดอะซิงโครนัสเท่านั้น

- คำสั่ง 4 : ERROR RESET

หน่วยประมวลผล จะสร้างคำสั่งนี้ สำหรับทำการรีเซตทุกๆ บิท ที่แฟลกเกิดความผิดพลาด (ERROR) ขึ้น 8251A มีรีจิสเตอร์ที่เรียกว่า status read ซึ่งประกอบด้วยแฟลก error 3 ค่า และอื่นๆเมื่อไหร่ก็ตามที่เกิด error จากการส่ง 8251A จะบันทึก error นั้นในรีจิสเตอร์สถานะโดยอัตโนมัติ

- คำสั่ง 5 : REQUEST TO SEND

หน่วยประมวลผลสร้างคำสั่งนี้ให้ 8251A กรณีที่ขาเอาท์พุท RTS ของ 8251A มีค่าเป็น 0

- คำสั่ง 6 : INTERNAL RESET

หน่วยประมวลผลสร้างคำสั่งนี้ เพื่อให้ 8251A สามารถเข้าไปทำการรีเซตสถานะ (การรีเซตซอฟต์แวร์)

- คำสั่ง 7 : ENTER HUNT

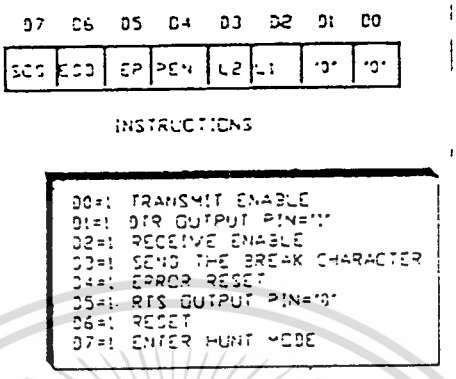
หน่วยประมวลผลสร้างคำสั่งนี้ให้ 8251A สามารถเข้าไปทำลายสถานะ (HUNT STATE) คำสั่งนี้ถูกต้อง ถ้า 8251A ปฏิบัติการในโหมดซิงโครนัส

2.13.2 <u>การคำสั่งไป 8251A</u>

เมื่อหน่วยประมวลผลต้องการส่งคำสั่งไป 8251A มันจะส่งไบท์เดียวไป 8251A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เรียกไบท์นี้ว่า Command Instruction รูปที่ 2 . 12 แสดงรูปแบบของ Command Instruction



รูปที่ 2.12 รูปแบบของคำสั่ง

2.13.3 การส่ง Command Instruction ไป 8251A

การสร้างไบท์คำสั่ง เป็นการปฏิบัติการโดยหน่วยประมวลผล หน่วยประมวลผลต้องการส่งไบท์ ไปที่ 8251A หน่วยประมวลผลจะเขียนไบท์แอดเดรสของ 8251A ที่ทำการถอดรหัสแล้ว

เช่นถ้า 8251A มีแอดเดรส ที่ทำการถอดรหัสแอดเดรสแล้ว เป็น 01230 และ 01231 ที่แอดเดรส 01230 ใช้อ่านและเขียนสถานะ และคำสั่ง

การส่ง Command Instruction 42 (hex) หน่วยประมวลผลจะใช้คำสั่ง

Write 42 (hex) Into Address 01231

2.14 การตรวจดู (Monitoring) การทำงานของ 8251A

แสดงข่าวสารสถานะของ 8251A ที่หน่วยประมวลผล สามารถได้กลับคืน จาก 8251A มีทั้งหมด 8 สถานะ

- สถานะ 0 : แฟลก TxRDY

แฟลก (flag) นี้ถูกเซต อัตโนมัติโดย 8251A เมื่อไหร่ก็ตามที่ 8251A พบว่าบัฟเฟอร์ข้อมูลว่างเปล่า (Empty) หน่วยประมวลผล จะแสดงว่า 8251A ทำการรับตัวอักษรใหม่จากหน่วยประมวลผลเรียบร้อยแล้ว 8251A จะรีเซตแฟลกนี้ ก่อนที่จะตรวจพบว่า หน่วยประมวลผล เขียนตัวอักษรลงในบัฟเฟอร์ข้อมูล

- สถานะ 1 : แฟลก TxEMPTY

แฟลกนี้ถูกเซตอัตโนมัติโดย 8251A เมื่อไหร่ก็ตามที่ 8251A ตรวจพบว่าบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

การส่งว่าง 8251A จะปฏิบัติการเพียงแค่เป็นคำสั่ง TRANSMIT ENABLE

- สถานะ 2 : แฟลก RxRDY

แฟลกนี้ถูกเซตอัตโนมัติโดย 8251A ก่อนขบวนการรับตัวอักษรจากโมเดมจะเสร็จสิ้น แฟลกนี้ แสดงให้เห็นถึงหน่วยประมวลผลว่า ตัวอักษรใน 8251A ได้รับการนำมา (FETCHED) เรียบร้อยแล้ว

- สถานะ 3 : แฟลก SYNDET/BRKDET

ในโหมดซิงโครนัส 8251A จะเซตแฟลกนี้ เมื่อไหร่ก็ตามที่ตรวจพบ SYNC CHARACTERS ในโหมดซิงโครนัส 8251A จะเซตแฟลกนี้ เมื่อไหร่ก็ตามที่ตรวจพบ BREAK CHARACTER

- สถานะ 4 : แฟลก DSR

แฟลกนี้จะถูกเซตเมื่อไหร่ก็ตาม ที่ขาอินพุท DSR ของ 8251A ถูกใช้งาน

- สถานะ 5 : แฟลก Parity - Error

ถ้าแฟลกนี้ เช็คได้ว่าเป็น Enable (โดยผ่านทางลักษณะภายนอกของ 8251A) และ 8251 รับตัวอักษณที่มี Parity Error แล้ว 8251A จะเซตแฟลก Parity Error

เมื่อ 8251A ตรวจ Parity Error ทุกๆ สิ่งยังคงทำงานอยู่อย่างต่อเนื่อง ถ้า Parity Error ถูกตรวจสอบ 8251A ยังคงส่งบิทไปยังโมเดม ทำนองเดียวกัน อาจจะรับบิทจากโมเดม

หน่วยประมวลผลสามารถ รีเซตแฟลก Parity Error โดยใช้คำสั่ง ERROR-RESET ถ้ารับ 1 ตัวอักษรที่มี Parity Error ขณะที่ตัวอักษรใหม่ที่รับไม่มี Parity Error มันจะยังคงเซต จนกว่าหน่วยประมวลผล จะได้แสดงคำสั่ง ERROR RESET ออกมาอย่างชัดเจน

- สถานะ 6 : แฟลก OVERRUN ERROR

หน่วยประมวลผลจะนำตัวอักษรที่เข้ามาจาก 8251A มาไว้ที่หน่วยประมวลผลก่อนรับจาก 8251A (ผ่านแฟลก RxRDY) ที่ตัวอักษรถูกรับแล้วแปลก่อนจะนำมา อย่างไรก็ตามหน่วยประมวลผล ไม่สามารถนำตัวอักษรได้โดยเรียบร้อย ต่อไป 8251A รับตัวอักษรใหม่จากโมเดม ซึ่งปฏิบัติการโดย 8251A ตัวอักษรใหม่นี้จะถูกนำไปไว้ใน บัฟเฟอร์การรับของ 8251A ถ้ามีเวลาไม่พอ หน่วยประมวลผล จะไม่นำตัวอักษระเก่ามา นั่นหมายความว่า มันจะถูกเขียนทับโดยตัวอักษรใหม่

เอกสารนี้เก็บรวบรวมไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีตัวอย่าง 8251A จะเซตแฟลก OVERRUN-ERROR หน่วยประมวลผลสามารถทำการตรวจเช็คตัวอักษรที่ผิด หน่วยประมวลผล สามารถรีเซตแฟลกโดยคำสั่ง ERROR RESET ถ้ามีตัวอักษรหนึ่งเขียนทับ ขณะที่ตัวอักษรตัวต่อไปนำมาใช้ในเวลาแฟลก error จะยังคงถูกเซต

- สถานะ 7 : แฟลก FRAMING ERROR

แฟลก Error นี้ใช้เฉพาะในกรณีที่ 8251A มีลักษณะภายนอกทำงาน ในโหมดอะซิงโครนัส ถ้าขณะที่รับตัวอักษรจากโมเดม 8251A พบว่าบิทสต๊อบผิดพลาด มันจะเซตแฟลก FRAMING ERROR

2.15 การอ่านสถานะไบท์

จากแฟลกทั้ง 8 มีรูปแบบดังแสดงในรูปที่ 2.13

รูปที่ 2.13 สถานะไบท์

การอ่าน (READ STATUS BYTE)

หน่วยประมวลผลอ่าน READ STATUS BYTE โดยอ่านแอดเดรสของ 8251A ซึ่งจะทำการถอดรหัสแอดเดรสทั้งสองค่า แอดเดรสหนึ่งมีบิท Ao เป็น o และ อีกแอดเดรสมีบิท Ao เป็น 1 การอ่าน READ STATUS BYTE จะอ่านแอดเดรสที่บิท Ao = 1

2.16 การนำตัวอักษรที่รับจาก 8251A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยประมวลผลจะนำตัวอักษรจาก 8251A โดยอ่านจากแอดเดรสของ 8251A ที่ถอดรหัสแล้ว ซึ่ง 8251A ทำการถอดรหัสแอดเดรส 2 ค่า แอดเดรสหนึ่งมีค่า Ao = o และ อีกแอดเดรสมีค่า Ao = 1 ตัวอักษรนี้จะถูกอ่านโดยการอ่านจากแอดเดรสที่มีค่า Ao = o

2.17 การเขียนตัวอักษรที่จะส่งไปยัง 8251A

หน่วยประมวลผล เขียนตัวอักษรที่จะทำการส่งไป 8251A โดยเขียนแอดเดรสของ 8251A ที่ถอดรหัสแล้ว 8251A จะถอดรหัสแอดเดรส 2 ค่า แอดเดรสหนึ่งมี Ao = o และแอดเดรสอื่นมี Ao = 1 ตัวอักษรที่จะส่ง เขียนไปแอดเดรสที่ถอดรหัส ที่มี Ao = o

เช่นถ้า 8251A มีแอดเดรส ที่ทำการถอดรหัสแอดเดรสเป็น 01230 และ 01231 8251A เขียนตัวอักษรที่จะทำการส่งเป็น 04 (hex) ไป 8251A หน่วยประมวลผลเขียนคำสั่ง

Write The Value 04 (hex) To Address 01230

2.17.1 ซอฟต์แวร์ของหน่วยประมวลผล

ที่จุดนี้เรามีส่วนประกอบที่เป็นซอฟต์แวร์ ที่สามารถทำให้หน่วยประมวลผลใช้ 8251A ทำงานได้ สำหรับการสื่อสารผ่านช่องสัญญาณ FM-SCA (การสื่อสารอนุกรม) มีส่วนประกอบที่สำคัญ คือ

- ลักษณะภายนอก 8251A (ในการส่งโหมดคำสั่งเป็นไบท์)
- การส่งคำสั่งให้ 8251A
- การอ่านสถานะของ 8251A
- การนำตัวอักษรที่ได้รับจาก 8251A มาใช้ปฏิบัติการ

ในการสื่อสาร ซอฟต์แวร์ของหน่วยประมวลผลจะปฏิบัติการ ตามลำดับที่จะกล่าวต่อไป ดังแสดงใน Flow chart รูปที่ 2.14

- ขั้นตอนที่ 1 การรีเซต 8251A

ก่อนที่หน่วยประมวลผลจะสามารถแอกเซส 8251A 8251A ต้องได้รับการรีเซต

- ขั้นตอนที่ 2 ลักษณะภายนอกของ 8251A

เมื่อ 8251A ถูกรีเซตแล้ว มันเตรียมพร้อมที่จะรับไบท์แรก จากหน่วยประมวลผล ไบท์แรกจำเป็นต้องเป็นไบท์ของโหมดคำสั่ง ซึ่งลักษณะภายนอกของ 8251A มันพร้อมปฏิบัติการไบท์แรกของโหมดคำสั่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขั้นตอนที่ 3 SYNC CHARECTER ที่ 1

ถ้า 8251A มีลักษณะภายนอก การทำงานในโหมดอะซิงโครนัส ขั้นตอนนี้จะถูกข้าม สมมติว่า 8251A มีลักษณะภายนอก การทำงานในโหมดอซิงโครนัส กับ SYNC CHARACTER 1 หรือ 2 SYNC CHARACTER ในกรณีนี้ 8251A รู้ว่ามันต้องค้นหา SYNC CHARACTER จากบิทที่เข้ามาจากโมเดม เมื่อมีการส่งตัวอักษรไปโมเดม 8251A จะปฏิบัติการ โดยการใส่ SYNC CHARACTER ลงไปด้วย

ในการปฏิบัติการทั้งสอง 8251A ว่าต้องทราบค่า SYNC CHARACTER ที่ทำการค้นหาการบรรจุ SYNC CHARACTER ลงในตัวอักษรที่ทำการส่งไปยังโมเดม ในขั้นตอนนี้หน่วยประมวลผลส่ง SYNC CHARACTER ไป 8251A เมื่อหน่วยประมวลผลส่ง SYNC CHARACTER ไป 8251A ครั้งหลังจากทำการรีเซต

การเขียน SYNC CHARACTER ไป 8251A ซอฟต์แวร์ของหน่วยประมวลผล จะปฏิบัติโดยการเขียนคำสั่งเป็น

Write The SYNC Character To The 8251A Decoded Address That Has Ao = 1

- ขั้นตอนที่ 4 SYNC CHARACTER ที่ 2

ถ้า 8251A มีลักษณะภายนอก การทำงานในโหมดอะซิงโครนัส ขั้นตอนนี้จะถูกข้ามไป

ถ้า 8251A ทำงานในโหมดซิงโครนัสกับ SYNC CHARACTER 1 ขั้นตอนนี้จะถูกข้ามไป

ถ้า 8251A มีลักษณะภายนอกการทำงานใน โหมดซิงโครนัสกับ SYNC CHARACTER 2 8215A จำเป็นต้องทราบค่าของ SYNC CHARACTER 2 ขั้นตอนนี้หน่วยประมวลผลจะแจ้งให้ 8251A ทราบค่าของ SYNC CHARACTER 2 โดยการเขียนค่าไปที่แอดเดรส ที่ทำการถอดรหัสแล้วของ 8251A ที่มี Ao = 1

- ขั้นตอนที่ 5 การส่งคำสั่งที่ 1 ไป 2851A

ที่จุดนี้ 8251A ปฏิบัติการรับคำสั่งแรกจากหน่วยประมวลผล

- ขั้นตอนสุดท้าย (Loop)

ในขั้นตอนนี้ หน่วยประมวลผล เขียนตัวอักษรที่จะส่งไปยัง 8251A แล้วนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

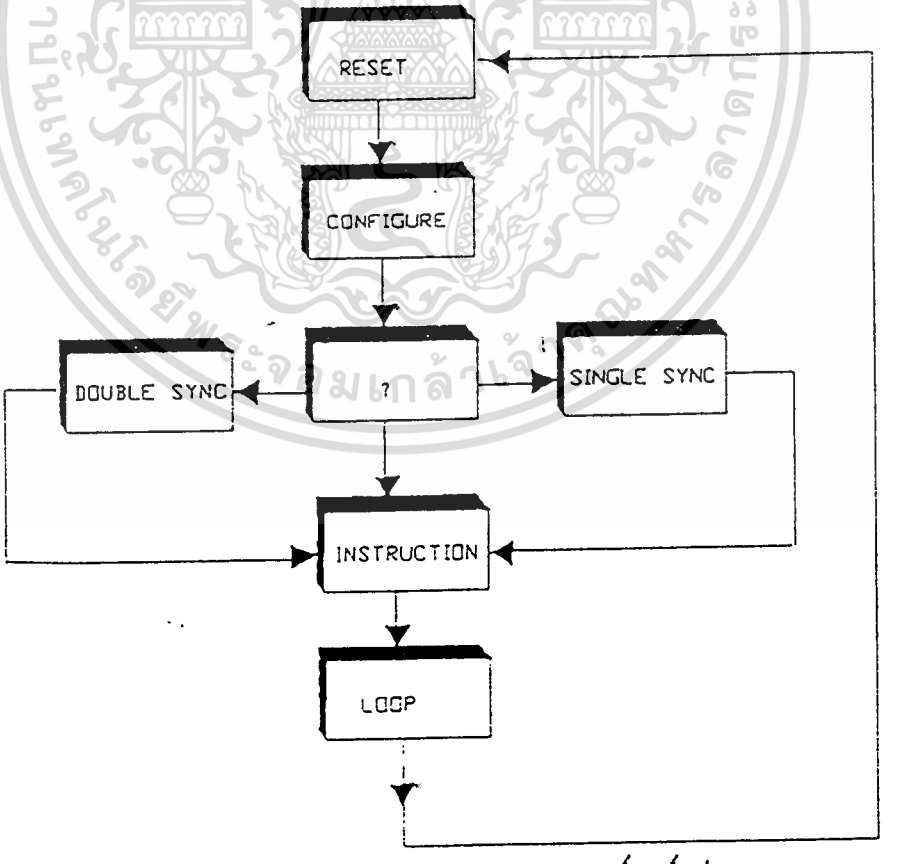
(fetch) ตัวอักษรที่รับมาจาก 8251A กลับมาแล้ว ทำการอ่านสถานะของ 8251A และเขียนคำสั่งไปยัง 8251A ในรูปที่ 2.14 ขั้นตอนนี้จะแสดงเหมือนบล็อคของการวนกลับ (Loop)

ลำดับการทำงาน ในขั้นตอนสุดท้ายขึ้นกับวัตถุประสงค์ของซอฟต์แวร์ (full-duplex, Half-duplex หรือ การรับเพียงอย่างเดียว)

จาก Flow chart ในรูปที่ 2.14 ถ้าหน่วยประมวลผลต้องการลักษณะภายนอก 8251A ในการทำงานในโหมดคำสั่งใหม่ หน่วยประมวลผลจำเป็นต้องทำการรีเซต 8251A อีก

2.17.2 การพัฒนาซอฟแวร์

การเขียนซอฟต์แวร์ของหน่วยประมวลผล สำหรับการทำงานของ 8251A ในการสื่อสาร มีลักษณะคล้ายการเขียนซอฟต์แวร์สำหรับการประยุกต์อื่นๆ ผู้เขียนโปรแกรมต้องลองปฏิบัติในแต่ละคำสั่ง หรือ ที่จะมีต่อไปที่ 8251A สามารถทำตามคำสั่งนั้นได้ โดยอาจทำการทดลองด้วย PC สองเครื่อง ให้เครื่องหนึ่งส่งบิท และ อีกเครื่องรับบิท มันง่ายมากที่จะทำการทดลองกับสถานีเดียว โดยต่อตัวส่งของ 8251A (ใช้ขา TxD) ไปยังขารับของ 8251A (ใช้ขา RxD) วิธีการนี้สามารถทำการส่งได้แบบ full-duplex คือ ส่งและรับได้พร้อม ๆ กันในเวลาเดียวกัน



รูป 2.14 Flow Chart แสดงการทำงานของซอฟต์แวร์หน่วยประมวลผล

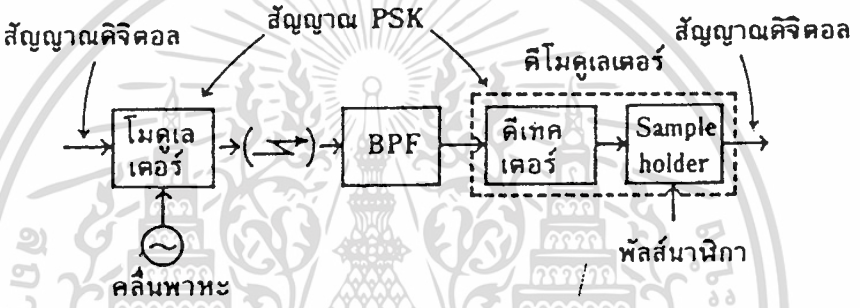
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการของ BPSK มอดูเลเตอร์ และ ดีมอดูเลเตอร์

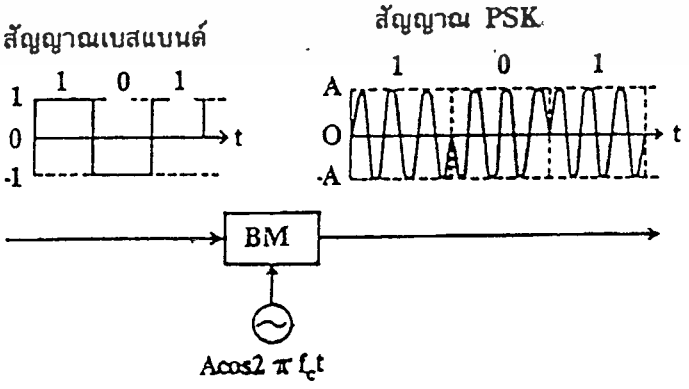
หลักการของ BPSK มอดูเลเตอร์และดีมอดูเตอร์

ทางด้านส่งมีมอดูเลเตอร์ ซึ่งเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณ PSK ทางด้านรับมี bandpass filter และดีมอดูเลเตอร์ ซึ่งจะเปลี่ยนสัญญาณ PSK เป็นสัญญาณดิจิตอลอันเดิม ดีมอดูเลเตอร์ ประกอบด้วย ดีเทคเตอร์ และ sample holder



รูปที่ 3.1 การรับ - ส่ง สัญญาณดิจิตอล

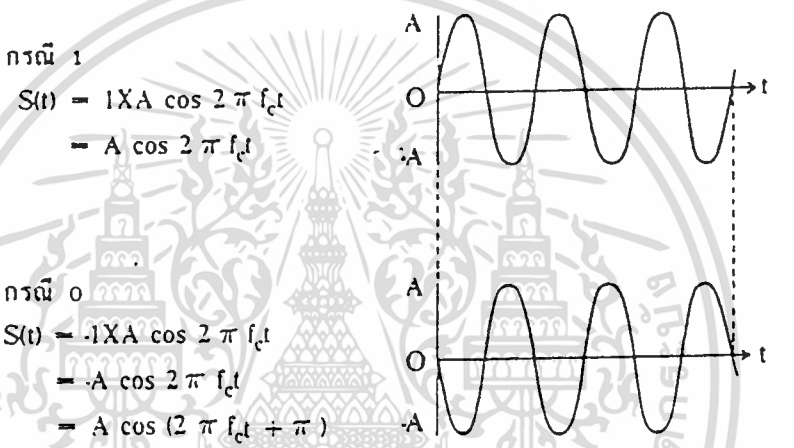
โดยทั่วไปแล้วการโมดูเลท PSK จะใช้ balanced modulator สมมติว่าสัญญาณดิจิตอลเบสแบนด์ อยู่ในรูปคลื่นสี่เหลี่ยมมีแอมปลิจูดเท่ากับ 1 สำหรับรหัส 1 และมีแอมปลิจูดเท่ากับ -1 สำหรับรหัส 0 เมื่อคลื่นรูปสี่เหลี่ยมนี้ถูกผสม โดยคลื่นแคเรียร์ $A\cos 2\pi f_c t$ ผ่านวงจร balanced modulator สัญญาณ PSK ที่ได้แสดงดังในรูปที่ 3.2



รูปที่ 3.2 การโมดูเลทสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

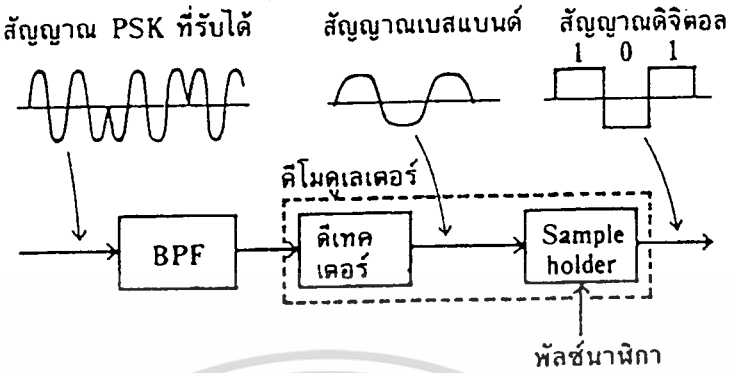
สัญญาณ PSK สำหรับรหัส 1 จะเป็น $S(t) = 1 \times A\cos 2\pi f_c t = A\cos 2\pi f_c t$ ส่วนสัญญาณ PSK สำหรับรหัส 0 จะเป็น $S(t) = -1 \times A\cos 2\pi f_c t = -A\cos 2\pi f_c t$ เราสามารถเขียน $-A\cos 2\pi f_c t = A\cos(2\pi f_c t + \pi)$ ตามหลักการนี้ แสดงว่าสำหรับรหัส 0 เฟสของคลื่นแคเรียร์จะเปลี่ยนไปเท่ากับ π ซึ่งจะเห็นได้ชัด ดังในรูป



รูปที่ 3.3 การเปลี่ยนแปลงทางเฟสของคลื่นพาหะ

band pass filter ทางด้านรับสัญญาณ ซึ่งมีเสียงรบกวนปนอยู่ด้วยจะถูกดีเทคออกมา ที่ดีมอดูเลเตอร์ ดีเทคเตอร์จะเอาสัญญาณเบสแบนด์ออกมา โดยตัดแคเรียร์คอมโปเนนท์ซึ่งรวมอยู่ในสัญญาณ PSK ออกไป สัญญาณเบสแบนด์จะไม่เป็นรูปสี่เหลี่ยมที่สมบูรณ์นัก เนื่องจากการกำหนดแถบความกว้าง โดยตัวกรองความถี่ และ เนื่องจากอิทธิพลของเสียงรบกวน sample holder จะสร้างสัญญาณดิจิตอลเดิมขึ้นมาใหม่ผ่านการพิจารณา polarity บวกหรือลบ ของสัญญาณเบสแบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

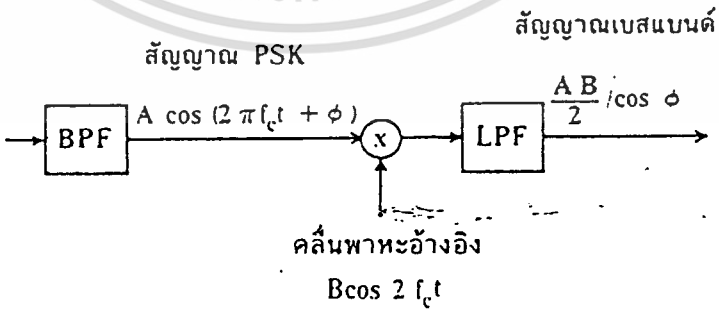


รูปที่ 3.4 การสร้างสัญญาณขึ้นใหม่ทางด้านรับ

3.1 โคฮีเรนท์ดีเทคชัน

การดีมอดูเลทสัญญาณ PSK ทางด้านรับเป็นแบบ coherent detection ซึ่งมีหลักการดังนี้ สัญญาณ PSK ที่ได้รับ ขั้นแรกจะผ่านวงจร multiplier ซึ่งจะคูณสัญญาณ PSK ที่รับได้ด้วย reference carrier สำหรับฮาร์โมนิคซึ่งรวมอยู่ในสัญญาณ output จะถูกตัดออกไปโดยผ่าน low pass filter และได้สัญญาณเบสแบนด์ออกมาทางด้านทางออก

ถ้าสัญญาณ PSK ที่รับเข้ามาคือ $A\cos(2\pi f_c t + \phi)$ คลื่นพาหะอ้างอิงมีไว้เพื่อการชิงโครไนซ์กับคลื่นพาหะทางด้านส่ง คือ $B\cos 2f_c t$ สัญญาณทางออก หลังจากผ่าน LPF แล้วสามารถกำหนดได้เป็น $AB/2 \cos \phi$



รูปที่ 3.5 การรับสัญญาณ PSK ทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งนี้เนื่องจาก

$$A\cos(2\pi f_c t + \phi).\ B\cos 2\pi f_c t$$

$$= AB/2\ \{\cos(2\pi f_c t + \phi + 2\pi f_c t) + \cos(2\pi f_c t + \phi - 2\pi f_c t)\}$$

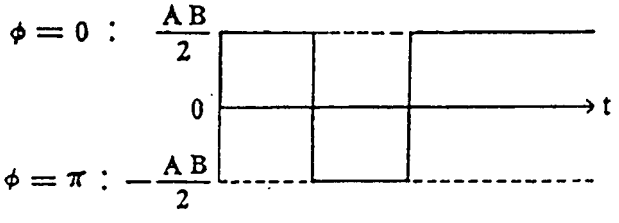
$$= AB/2\ \{\cos(4\pi f_c t + \phi) + \cos\phi\}$$

ซึ่ง $AB/2 \cos(4\pi f_c t + \phi)$ นี้คือฮาร์โมนิค โดยมีความถี่เป็น 2 เท่าของคลื่นพาหะเดิม ซึ่งจะถูกตัดออกไป เมื่อผาน LPF ดังนั้น ทางด้านทางออก จึงมีเพียง $AB/2 \cos\phi$ เท่านั้น

$AB/2 \cos\phi$ นี้ จะได้เป็น $AB/2$ เมื่อ $\phi = 0$ และจะได้เป็น $-AB/2$ เมื่อ $\phi = \pi$ ดังในรูปที่ 3.5

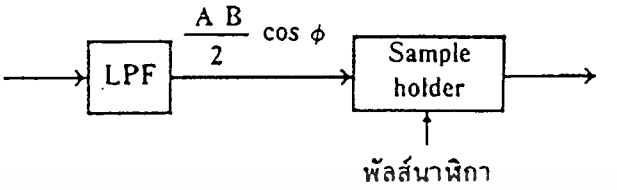
สัญญาณ output ในรูปข้างบน ในทางปฏิบัติแล้วจะไม่เป็นรูปสี่เหลี่ยมโดยสมบูรณ์ ทั้งนี้เนื่องจากอิทธิพลของ band limitation และ เสียงรบกวน

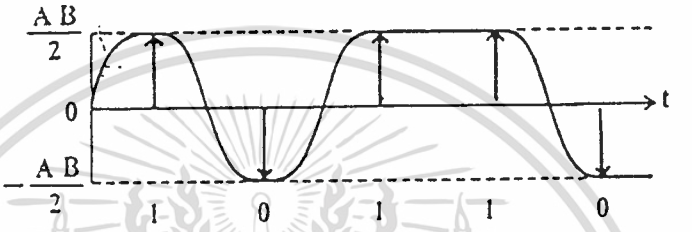
ต่อจากนี้ สัญญาณเบสแบนด์นี้จะถูกส่งไปยังวงจร sample holder ซึ่งวงจรจะทำการสุ่มตัวอย่าง สัญญาณเบสแบนด์ ด้วย clock pulse ที่จุดกึ่งกลางของแต่ละรหัสสัญญาณ และกำหนดว่ารหัสนั้นเป็น 1 หรือ 0 โดยการตัดสิน หรือ พิจารณาจาก polarity ของสัญญาณแซมเปิลนั้น แล้วทำการสร้างสัญญาณดิจิตอลดั้งเดิมขึ้นมาใหม่ ในรูปนี้รหัสเป็น 1 สำหรับสัญญาณที่มีแอมปลิจูดเป็นบวก และรหัสเป็น 0 สำหรับสัญญาณที่มีแอมปลิจูดเป็นลบ



รูปที่ 3.6 สัญญาณ output หลังจากผ่าน LPF

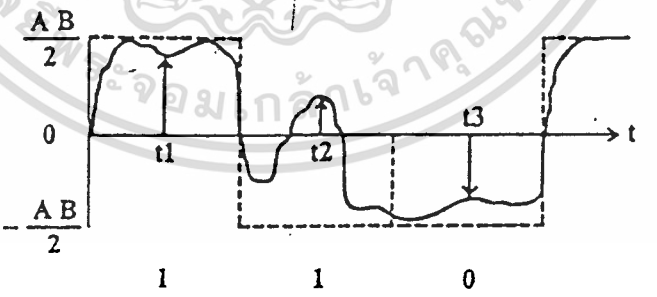
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า





รูปที่ 3.7 การพิจารณารหัสเป็น 1 หรือ 0 โดย sample holder

เมื่อสัญญาณมีการผิดเพี้ยน เนื่องจากอิทธิพลของเสียงรบกวน ถ้ามีการผิดเพี้ยนน้อย polarity ของสัญญาณก็ไม่เปลี่ยนแปลง เช่นที่ t_1 และ t_3 รหัสที่ได้ออกมาก็ถูกต้อง แต่ถ้าพิจารณาที่ t_2 polarity ของสัญญาณถูกเปลี่ยนไปในทางตรงข้ามเนื่องจากเกิดการผิดเพี้ยนมาก รหัสที่ได้ออกมาก็จะผิดไปจากรหัสเดิม bit error ก็จะเกิดขึ้น

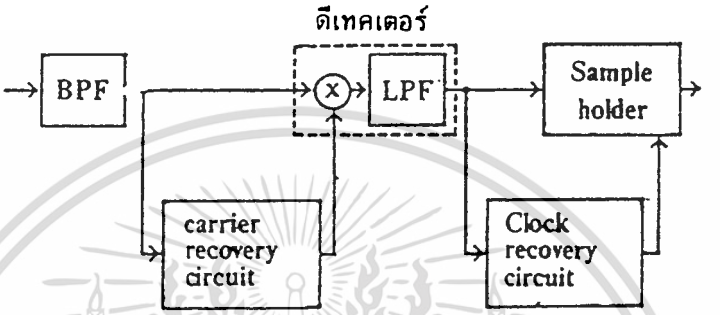


รูปที่ 3.8 รหัสผิดเพี้ยนเนื่องจากเสียงรบกวน

รูปต่อไปนี้เป็นบล็อคไดอาแกรมของ coherent demodulator มี BPF ดีเทคเตอร์ sample holder,carrier recovery circuit และ clock recovery circuit วงจร carrier recovery circuit จะสร้างคลื่นพาหะอ้างอิงขึ้นมาใหม่ โดยการทวีคูณสัญญาณ PSK ที่รับมาได้ ส่วน clock recovery circuit จะสร้างสัญญาณ clock ขึ้นมาใหม่เพื่อใช้สำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

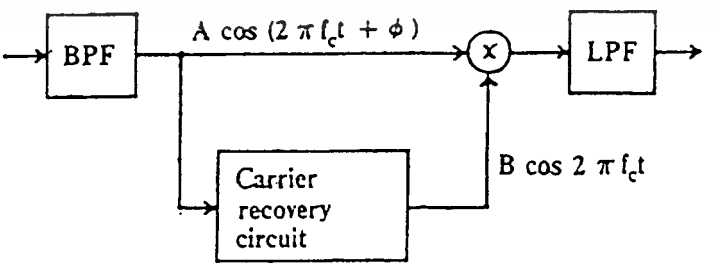
sample holding ในวิธีการ coherent detection นี้ ทั้งคลื่นพาหะอ้างอิง และสัญญาณ clock จะถูกสร้างขึ้นมาใหม่จากสัญญาณ PSK ที่รับเข้ามา



รูปที่ 3.9 บล๊อคไดอะแกรม coherent demodulator

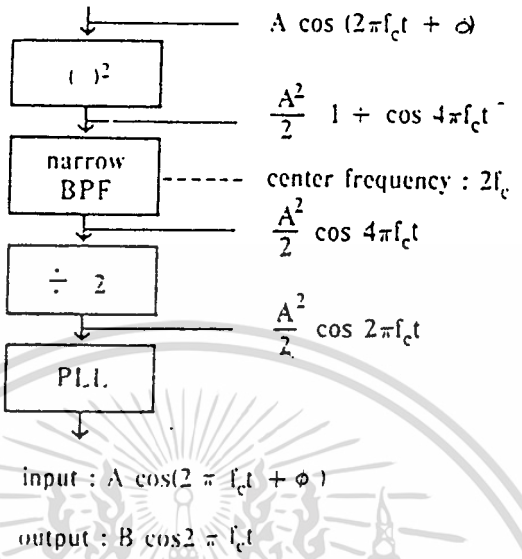
คลื่นพาหะอ้างอิงที่ใช้ใน coherent detection เพื่อการซิงโครไนซ์กับพาหะทางด้านส่ง เพื่อจุดประสงค์นี้ คลื่นพาหะอ้างอิงถูกสร้างขึ้นมาใหม่ จากสัญญาณ PSK ที่รับเข้ามา สัญญาณอินพุท ที่เข้าวงจร carrier recoverry circuit สามารถกำหนดโดย $A\cos(2\pi f_c t + \phi)$ สัญญาณ output คือ คลื่นพาหะอ้างอิง กำหนดโดย $B\cos 2\pi f_c t$

วงจร carrier recovery ประกอบด้วย squarer, narrow band, BPF โดยมีความถี่กึ่งกลางที่ $2f_c$, วงจร 1/2 frequency divider และวงจร phase locked loop



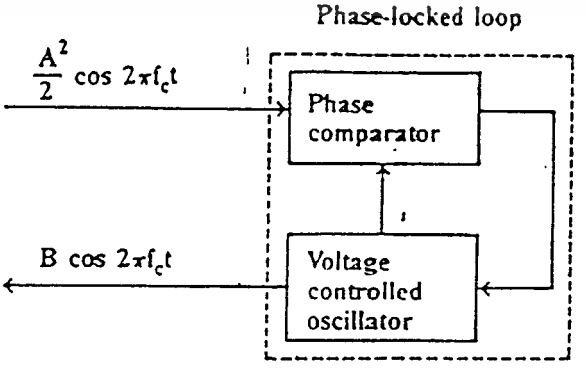
รูปที่ 3.10 หลักการของ carrier recovery circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 3.11 carrier recovery circuit และสัญญาณตามจุดต่าง ๆ

สัญญาณ ($A^2/2 \cos 2\pi f_c t$) ที่ออกจากวงจร divider ปกติจะมีเสียงรบกวนรวมอยู่ด้วย เพื่อที่จะตัดเสียงรบกวนออก และได้คลื่นพาหะอ้างอิงปราศจากการผิดเพี้ยน จำเป็นต้องใช้วงจร phase lock loop ช่วย วงจร PLL นี้ประกอบด้วย phase comparator และ voltage controlled oscillator (VCO) ที่วงจร phase comparator สัญญาณ output ของวงจร divider จะถูกเปรียบเทียบอย่างต่อเนื่องกับ output ของ VCO เมื่อมีความต่างเฟสระหว่างสัญญาณทั้งสองนี้ สัญญาณ output ของ VCO จะถูกควบคุมอย่างอัตโนมัติในการปรับเฟสของสัญญาณทั้งสอง โดยวิธีการนี้ คลื่นพาหะอ้างอิง $B\cos 2\pi f_c t$ ซึ่งไม่มี เสียงรบกวนรวมอยู่ด้วย สามารถที่จะสร้างขึ้นมาใหม่



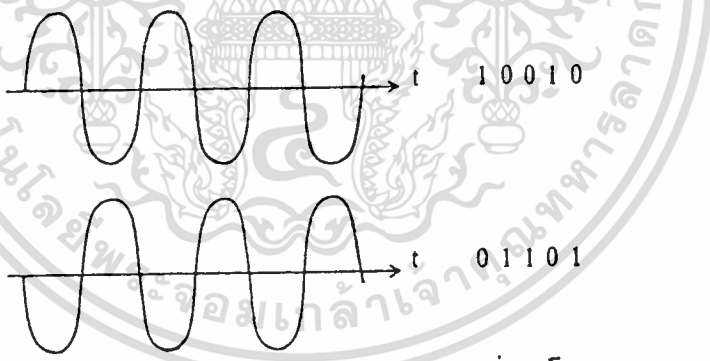
รูปที่ 3.12 การทำงานของ phase locked loop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

clock pulse ที่จำเป็นสำหรับ sample holding ก็ถูกสร้างขึ้นใหม่จากสัญญาณ PSK ที่รับได้เช่นกัน เพื่อจุดประสงค์นี้ ต้องใช้วงจร clock recovery สัญญาณเบสแบนด์ที่ได้ที่ output ของดีเทคเตอร์ โดยทั่วไปจะใช้เป็นสัญญาณ input ให้กับวงจร clock recovery

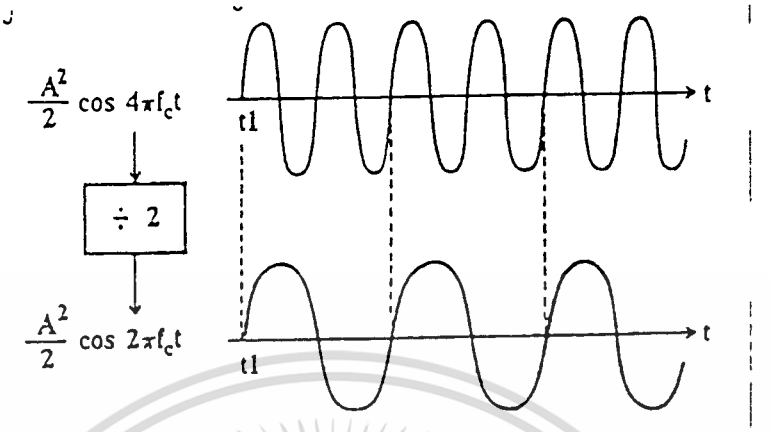
3.2 การผิดพลาดทางเฟส (phase ambiguity)

คลื่นพาหะอ้างอิงที่ใช้ใน coherent detection มีความจำเป็นเพื่อล็อคเฟสกับคลื่นพาหะทางด้านส่ง แต่อย่างไรก็ตาม ปกติแล้วเป็นไปไม่ได้ที่จะทำให้คลื่นพาหะสองชนิดนี้มีการล็อคเฟสซึ่งกันและกันอย่างสมบูรณ์ ใน BPSK ความต่างเฟสเท่ากับ อาจจะมีสาเหตุจากความต่างระหว่างคลื่นพาหะทั้งสอง แต่เป็นไปไม่ได้ ที่จะรู้ความต่างเฟสนี้ ที่ทางด้านรับ ความไม่สามารถที่จะ derect ความต่างเฟสนี้เป็นผลทำให้เกิดการผิดพลาดทางเฟส เมื่อคลื่นพาหะอ้างอิงเกิดการ out of phase เท่ากับ เครื่องหมายของบิทที่อยู่ในการดีโมดูเลทสัญญาณดิจิตอล จะเกิดการเปลี่ยนกลับจาก 1 เป็น 0 และจาก 0 เป็น 1



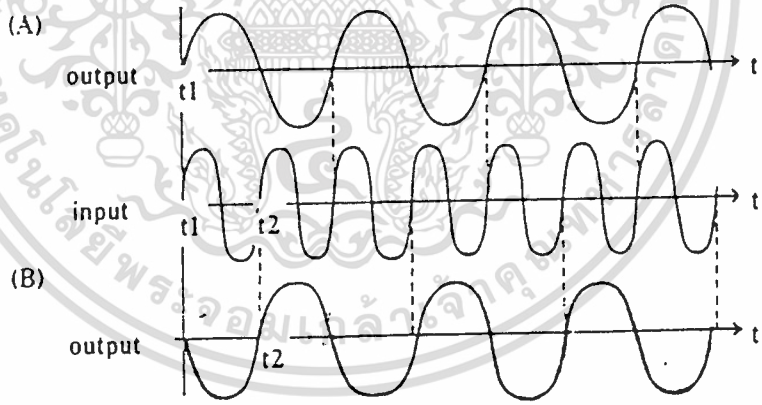
รูปที่ 3.13 การผิดพลาดทางเฟส

การผิดพลาดทางเฟส มีสาเหตุมาจาก frequency divider ในวงจร carrier recovery ในการหารความถี่นี้ สัญญาณ $\cos 4\pi f_c t$ ถูกหารความถี่ด้วย 2 จะได้ $\cos 2\pi f_c t$ รูปต่อไปนี้แสดงรูปคลื่นดั้งเดิม และรูปคลื่นทาง output ที่ได้ หลังจากผ่านวงจรหารความถี่ด้วย 2 ซึ่งมีจุดเริ่มแรกที่ t_1 โดยการกำหนดจุดเริ่มแรกที่ต่างกันเราจะได้รูปคลื่น output ที่ต่างกัน



รูปที่ 3.14 คลื่นสัญญาณเมื่อผ่านวงจรหารความถี่

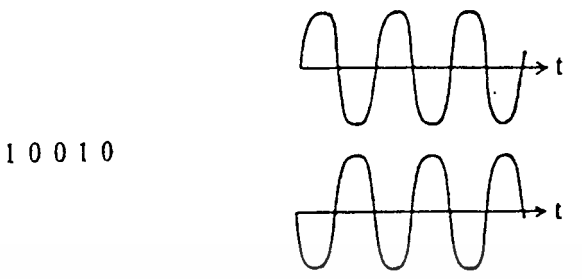
รูปข้างล่างนี้เป็น input และ output ของวงจรหารความถี่ ซึ่งใช้ในวงจร carrier recovery ซึ่ง output (A) ได้จากกรณี t_1 เป็นจุดเริ่ม ส่วน output (B) ได้จากกรณีให้ t_2 เป็นจุดเริ่ม จะเห็นว่า output ทั้งสองกรณี กลับเฟสกัน



รูปที่ 3.15 เปรียบเทียบ output กรณี t_1 และ t_2 เป็นจุดเริ่ม

เนื่องจากรูปคลื่น output2 แบบสามารถทำให้เกิดขึ้นได้ที่ output ของวงจรหารความถี่ ดังนั้นเราต้องมาพิจารณารูปคลื่นพาหะอ้างอิง 2 แบบ แบบหนึ่งเฟสตรงกับคลื่นพาหะทางด้านส่ง และอีกแบบหนึ่งต่างเฟส π กับคลื่นพาหะ ตามปกติแล้ว แบบใดแบบหนึ่งของคลื่นพาหะอ้างอิง ใน 2 แบบนี้ ใช้ในการดีโมดูเลทอยู่แล้ว อย่างไรก็ตามไม่มีการกำหนดแน่นอนว่าแบบไหนที่ใช้สำหรับการดีมอดูเลท และดังนั้น เราจึงไม่สามารถกำหนดได้ว่า สัญญาณดิจิตอลที่ได้รับ หลังจากผ่านการดีมอดูเลทเป็นปกติ หรือ แบบกลับเฟส

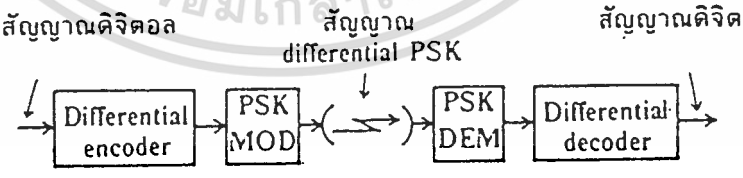
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 3.16 สัญญาณดิจิตอลหลังผ่านการดีมอดูเลท

วิธีการที่จะแก้ปัญหาการผิดพลาดทางเฟส คือ differential coherent PSK หรือเรียกย่อๆ ว่า DC.PSK โดยวิธีการนี้ ข่าวสารในสัญญาณดิจิตอลที่จะส่ง จะถูกทำให้เฟสของสัญญาณ PSK เปลี่ยนไป คือ ไม่ให้เป็น initial phase ของสัญญาณ PSK

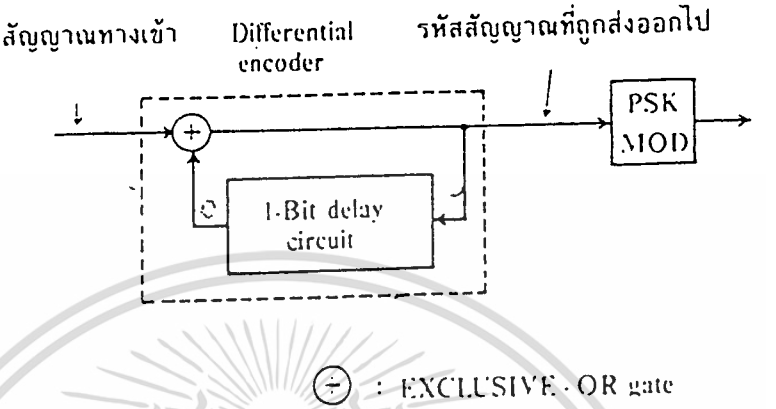
จากรูปสัญญาณดิจิตอลที่จะส่งทางด้านส่งจะถูก differential encode ก่อนที่จะทำการมอดูเลท แบบ PSK เพื่อจุดประสงค์นี้ differential encoder จะอยู่ข้างหน้าวงจร PSK modulator สำหรับทางด้านรับ สัญญาณ differential PSK จะถูกดีมอดูเลท แบบ coherent demodualate และป้อนเข้าวงจร differential decoder เพื่อสร้างสัญญาณดิจิตอลดั้งเดิมขึ้นมาใหม่



รูปที่ 3.17 differential coherent PSK

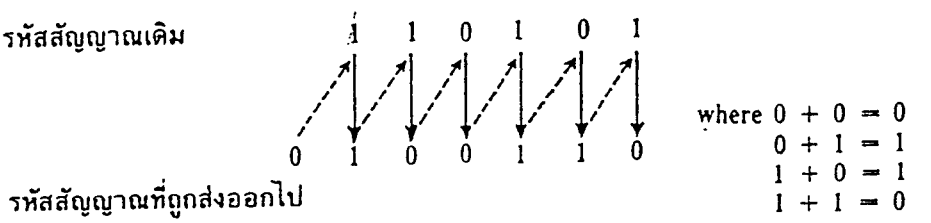
differential encoder ที่ใช้ประกอบด้วย Exclusive-OR gate และ one bit delay circuit รหัสสัญญาณถูกส่งไปหนึ่งบิทก่อน และถูกบวกกับแต่ละบิทโดย Exclusive OR gate สร้างรหัสใหม่ขึ้นมาเพื่อจะส่งไป รหัสที่ส่งไปนี้ถูกผ่าน PSK มอดูเลเตอร์ และในเวลาเดียวกันจะเข้าวงจร one-bit delay อีกครั้ง เพื่อบวกกับ สัญญาณดิจิตอลอินพุท ตัวต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 3.18 วงจร differential encoder

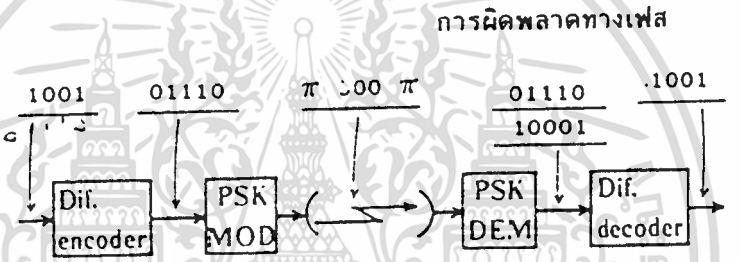
สมมติว่า เรามีสัญญาณที่จะส่งเป็น 110101 โลจิกต่อไปนี้ จะถูกนำมาใช้สำหรับ Exclusive-OR gate คือ 0 + 0 = 0 , 0 + 1 = 1 , 1 + 0 = 1 และ 1 + 1 = 0 ขั้นแรกให้ค่าเริ่มแรกของ one bit delay circuit เป็น 0 และให้ 0 นี้เป็นรหัสแรกที่จะส่งไปบวกบิทแรกของสัญญาณดั้งเดิม คือ 1 เข้ากับรหัสแรกที่จะส่งคือ รหัส 0 นั่นคือ 0 + 1 = 1 ตอนนี้ให้เรากำหนด รหัส 1 นี้เป็นรหัสที่สองที่จะส่งบวกบิทที่สองคือ 1 ของสัญญาณดั้งเดิมเข้ากับรหัสตัวที่สองที่จะส่ง นั่นคือ 1 + 1 = 0 ให้เรากำหนดรหัส 0 นี้ เป็นรหัสที่สามที่จะส่ง โดยการดำเนินขั้นตอนซ้ำกันไปอย่างนี้เรื่อยๆ ลำดับของรหัสที่จะต้องส่งจะเป็น 0100110 หลังจากขบวนการ differential encoding จะเห็นได้ว่ารหัสที่ส่ง หลังจากทำการ differential encoding จะเหมือนกันกับรหัสที่ส่งไปก่อนหนึ่งบิท เมื่อสัญญาณ input เป็น 0 และ จะกลับกันเมื่อสัญญาณ input เป็น 1



รูปที่ 3.19 การส่งรหัสสัญญาณที่ differential encoder

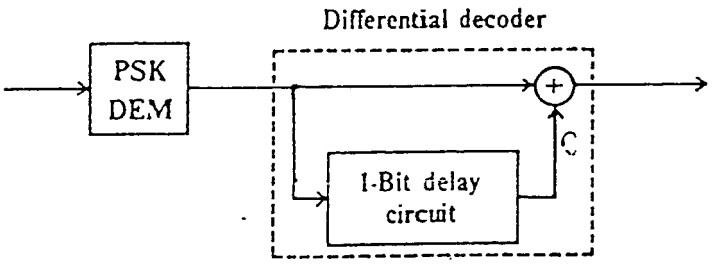
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ลำดับสัญญาณ different encode คือ PSK มอดูเลท โดยการทำให้ initial phase π แทนรหัส 0 และ initial phase 0 แทนรหัส 1 แล้วส่งออกไป ส่วนทางด้านรับ สัญญาณ differential PSK ถูกดีเทคแบบ coherent เพื่อสร้างสัญญาณดิจิตอลที่ส่งขึ้นมาใหม่ สัญญาณดิจิตอลที่ได้โดยผ่าน coherent detection นี้อาจจะเปลี่ยนจาก 1เป็น 0 หรือ จาก 0 เป็น 1 เนื่องจาก phase ambiguity อย่างไรก็ตามใน differential coherent PSK ลำดับของสัญญาณที่ได้รับหลังจากการ differential decoding จะพร้อมกันกับลำดับสัญญาณดั้งเดิมเสมอ โดยปราศจากผลจาก phase ambiguity



รูปที่ 3.20 รหัสสัญญาณ ณ ตำแหน่งต่าง ๆ

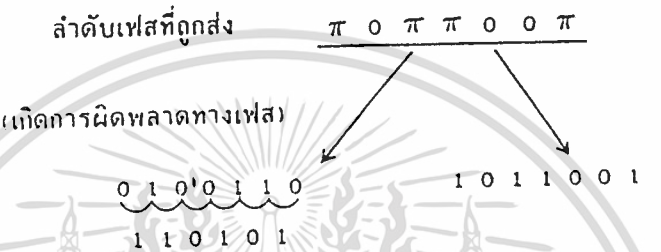
differential decoder ประกอบด้วยวงจร one bit delay และ Exclusive OR gate สัญญาณดิจิตอลที่ถูกดีมอดูเลท ผ่านขบวนการ coherent detection ถูกป้อนเข้า Exclusive OR gate และในขณะเดียวกันก็ป้อนเข้าวงจร one bit delay ใน Exclusive OR gate สัญญาณดิจิตอล input และ สัญญาณ output ของวงจร one bit delay ถูกบวกเข้าด้วยกัน นั่นคือ โดยการบวก 2 บิทข้างเคียง ในลำดับสัญญาณดิจิตอล ที่ได้ดีมอดูเลท โดย Exclusive OR gate การเปลี่ยนแปลงในทุก ๆ 2 บิทข้างเคียงจะถูกตรวจสอบตลอดเวลา



รูปที่ 3.21 differential decoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สมมุติว่าลำดับเฟสที่ส่งของสัญญาณ PSK เป็น π 0 π π 0 0 π ทางด้านรับ หนึ่งในสอง ลำดับสัญญาณดิจิตอล อาจจะได้รับที่ output ของดีมอดูเลเตอร์ เนื่องจาก phase ambiguity นั่นคือ 0100110 หรือ 1011001 ตอนนี้ให้เรา decode 0100110 Exclusive OR gate บวก 2 บิทข้างเคียง โดยการบวกบิทแรกกับบิทที่สอง จะได้ 0 + 1 = 1 บวกบิทที่สองกับบิทที่สามจะได้ 1 + 0 = 1 และการทำอย่างนี้เรื่อยๆไปจะได้ 110101

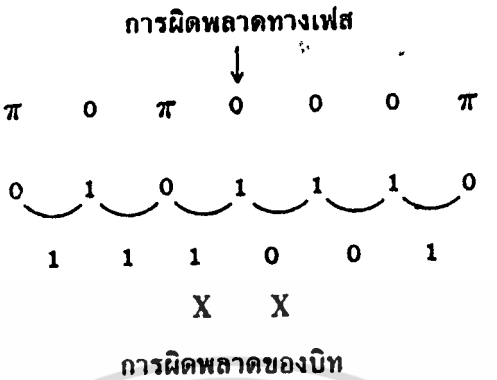


รูปที่ 3.22 ลำดับสัญญาณดิจิตอลด้านรับ

โดยการให้สัญญาณผ่าน differential encoder ทางด้านส่ง ลำดับสัญญาณดั้งเดิมถูกเปลี่ยนไป เพื่อให้ information ยังคงมีอยู่ แม้มีการเปลี่ยนแปลงใน 2 บิทข้างเคียงของลำดับรหัสส่ง ส่วนทางด้านรับ ลำดับรหัสที่ถูกดีมอดูเลท ถูกป้อนเข้าไปใน differential decoder เพื่อเอาลำดับสัญญาณดั้งเดิมออกมา โดยการตรวจสอบการเปลี่ยนแปลงใน 2 บิทข้างเคียง ในลักษณะนี้ information ยังคงมีอยู่ดังเดิม แม้มีการเปลี่ยนแปลงของ initial phase ในสัญญาณที่มอดูเลทแบบ PSK เนื่องจาก information ถูกทำให้คงอยู่ ถึงแม้ว่าถ้าคลื่นพาหะอ้างอิงที่ใช้ สำหรับ coherent detection ต่างเฟสไปก็ตาม และดังนั้นอิทธิพลของ phase ambiguity สามารถที่จะแก้ปัญหาได้

differential coherent PSK มีข้อดีตรงที่ว่า ไม่มีผลจากการที่เกิด phase ambiguity แต่มีข้อเสียเกี่ยวกับ bit error คือเมื่อ initial phase อันหนึ่งของสัญญาณ differential PSK ถูกการดีมอดูเลทอย่างไม่ถูกต้อง จะเป็น สาเหตุให้เกิด bit error คู่หนึ่ง เพราะว่าสัญญาณดั้งเดิมถูกสร้างขึ้นใหม่จาก 2 บิท ข้างเคียงจากการดีมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



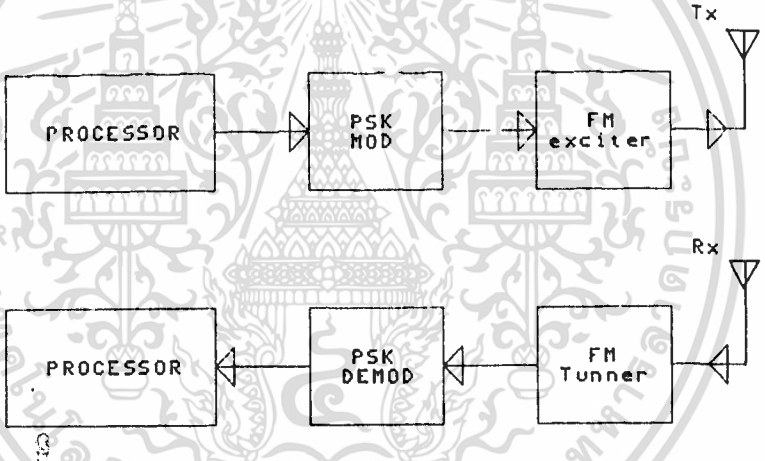
รูปที่ 3.23 การเกิดข้อผิดพลาดทางบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

การออกแบบวงจรโมเดมแบบ PSK

ในบทนี้จะกล่าวถึง การออกแบบวงจรมอดูเลท และ ดีมอดูเลท สัญญาณ PSK ซึ่งใช้สัญญาณแบบ BPSK หรือ Binary Phase Shift Keying ในการส่งสัญญาณข้อมูลต่างๆ ออกไปยังเครื่องรับ ซึ่งใช้รูปแบบการส่งแบบ Simplex หรือ ส่งแบบทางเดียว โดยสัญญาณเบสแบนด์หรือ ฐานข้อมูลจะถูกส่งออกจากสถานีวิทยุ โดยใช้ช่องสัญญาณ FM-SCA ในการส่งกระจายเสียง ทางภาครับจะรับสัญญาณวิทยุ แล้วนำมาทำการดีมอดูเลท เพื่อนำสัญญาณเบสแบนด์ออกมา สัญญาณข้อมูล มีบิทเรทเท่ากับ 9,600 บิทต่อวินาที ซึ่งความถี่ศูนย์กลางจะมีขนาดเป็น 8 เท่าของสัญญาณบิทเรท คือ 76.8 KHz โดยสัญญาณเบสแบนด์จะถูกมอดูเลทร่วมกับความถี่คลื่นพาห์ที่ 76.8 KHz



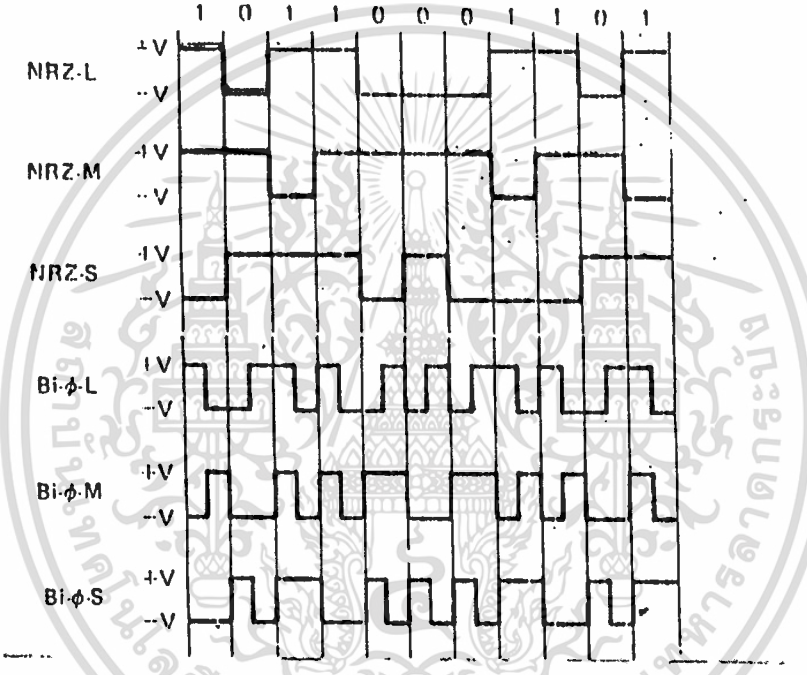
รูปที่ 4.1 แสดงระบบการส่งข้อมูลในช่องสัญญาณ FM-SCA

4.1 สัญญาณดิจิตอลเบสแบนด์

สำหรับสัญญาณเบสแบนด์เพื่อใช้ในการข้อมูลดิจิตอล สามารถทำการเข้ารหัส(encode) ได้หลายแบบ ขึ้นอยู่กับความเหมาะสมของช่องสัญญาณ ความต้องการของภาครับ ที่สามารถจะกู้สัญญาณนาฬิกา (clock) จากสัญญาณเบสแบนด์ที่รับได้หรือไม่ หรือ อาจจะทำการเข้ารหัสเพื่อแก้ไขการกลับ (invert) ของสัญญาณที่ภาครับ เนื่องจากการส่งสัญญาณผ่านวงจร ที่ทำให้เกิดการกลับเฟสในที่นี้จะกล่าวถึงเฉพาะสัญญาณไม่กลับศูนย์แบบระดับ (non return to zero-level) หรือเรียกย่อว่า NRZ-L และการเข้ารหัสสัญญาณ NRZ-L ให้เป็นสัญญาณไม่กลับศูนย์แบบอินเวอร์ส (non return to zero invert) หรือสัญญาณ NRZ-I สัญญาณ NRZ-I นั้นเป็นการใช้การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนระดับ (transition) ของสัญญาณเป็นข้อมูลข่าวสาร แทนการใช้ระดับแรงดันแทนข้อมูล ซึ่งในสัญญาณNRZ-L โดยอาจจะให้สัญญาณเอาท์พุทเปลี่ยนแปลงระดับทุกครั้งที่สัญญาณอินพุทเป็น"1 หรือให้เอาท์พุทเปลี่ยนแปลงระดับทุกครั้ง ที่สัญญาณอินพุทมีค่าเป็นศูนย์ หรือเรียกสัญญาณ NRZ-I สองประเภทนี้คือ สัญญาณไม่กลับศูนย์แบบ มาร์ค และสัญญาณไม่กลับศูนย์แบบสเปซ



รูปที่ 4.2 แสดงสัญญาณเบสแบนด์ดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.1 หลักการเข้ารหัสสัญญาณดิฟเฟอเรนเชียล

ทำได้โดยหาความแตกต่างระหว่าง สัญญาณที่เอาท์พุทล่วงหน้ากับสัญญาณอินพุทปัจจุบัน ถ้าเกิดความแตกต่างกันก็จะได้เอาท์พุทที่เป็น "1" (ในกรณี NRZ-M) แต่ถ้าไม่แตกต่างกันก็จะได้เอาท์พุทที่เป็น "1" โดยการเข้ารหัสแสดงในรูป การหาความแตกต่างของสัญญาณนั้นทำได้โดยการมอดูโลสัญญาณ a_k, a_{k-1} สมการสถานะชีเควนเชียลเอาท์พุทแสดงได้ดังนี้

$$a_k = b_k + a_{k-1} \qquad \text{-----(1)}$$

a_k = เอาท์พุทชีเควนเชียลเวลาปัจจุบัน NRZ-M

a_{k-1} = เอาท์พุทชีเควนเชียลถูกหน่วงไป 1 บิท NRZ-M

b_k = อินพุทชีเควนเชียลเวลาปัจจุบัน NRZ-L

สำหรับการถอดรหัสสัญญาณ NRZ-M ให้กลับเป็นสัญญาณ NRZ-L ดังเดิม ทำได้โดยนำเอาสัญญาณ NRZ-M ที่ส่งมาหน่วงเวลาเป็น 1 บิท แล้วทำการมอดูโลเข้ากับสัญญาณปัจจุบัน ดังสมการชีเควนเชียลคือ

$$b_k = a_k + a_{k-1} \qquad \text{-----(2)}$$

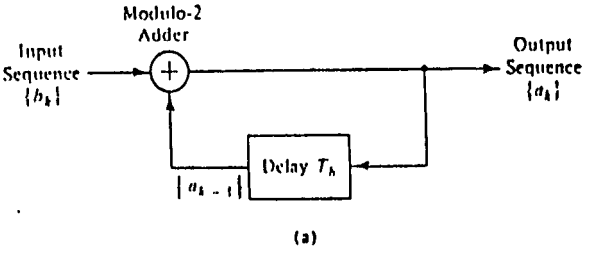
a_k = อินพุทชีเควนปัจจุบันของ NRZ-M

a_{k-1} = อินพุทชีเควนถูกหน่วงเวลาไป 1 บิท ของ NRZ-M

b_k = เอาท์พุทชีเควนของสัญญาณ NRZ-L

สำหรับการพิสูจน์เพื่อแสดงว่า สมการ (2) สามารถทำการถอดรหัสได้ แสดงได้โดยใช้ชีเควนเชียลของค่าไบนารี่ในรูป โดยให้สถานะเริ่มต้นของเอาท์พุทก่อนหน้าเวลา t_0 เป็นลอจิก "1" (a_{k-1} ที่เวลา $t_0 = 0$) แล้วแสดงจำนวน 14 บิท

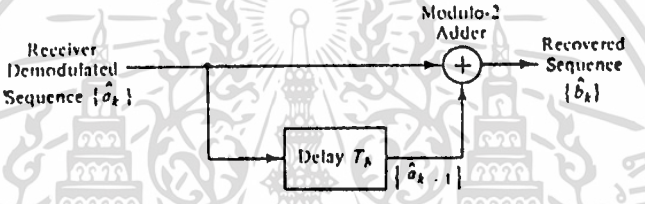
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



(a)

Input Sequence $\{b_k\}$		1	1	0	0	0	1	0	1	1	1	0	0	1	0
Output Sequence $\{a_k\}$	1	0	1	1	1	1	0	0	1	0	1	1	1	0	0
Initial Value	↑														
Sequence $\{a_{k-1}\}$		1	0	1	1	1	1	0	0	1	0	1	1	1	0

(b)



รูปที่ 4.3 แสดงการเข้าและถอดรหัสสัญญาณดิฟเฟอเรนเชียล

4.1.2 การเข้ารหัสสัญญาณ Bi- Phase

การเข้ารหัสสัญญาณ Bi-Phase ที่มีระดับสัญญาณแรงดันหรือ Bi-Phase Level โดยจะนำเอาสัญญาณ Baseband ที่เป็นสัญญาณแบบ NRZ-I หรือสัญญาณไม่กลับศูนย์แบบอินเวอร์ส (Non Return to Zero- Level) นำมาเทียบเฟสกับสัญญาณนาฬิกา เพื่อที่จะให้สำหรับการกู้สัญญาณนาฬิกาที่ด้านภาครับ จึงต้องเข้ารหัสอีกครั้งให้เป็นสัญญาณแบบไบเฟส (Bi-phase)โดยการนำสัญญาณไม่กลับศูนย์แบบมาร์ค (NRZ-M) มาเข้ารหัสอีกครั้ง สัญญาณแบบไบเฟสจะเปลี่ยนแปลงตามสัญญาณนาฬิกา สัญญาณไบเฟสนี้ จะช่วยป้องกันการหยุดการทำงานของเฟสล็อคลูปเนื่องจากการเกิดศูนย์เป็นเวลานานของสัญญาณเบสแบนด์ เพราะว่าสัญญาณแบบไบเฟสจะเปลี่ยนแปลงตลอดเวลาตามสัญญาณนาฬิกา

4.1.3 ความเข้มข้นของสเปคตรัมกำลังของสัญญาณเบสแบนด์

การหาความเข้มข้นของสเปคตรัมกำลังสัญญาณแรนดัมสามารถเขียนได้เป็น

$$S(f) = \frac{1}{T_b}\left|V(f)\right|^2 \qquad \text{-----(3)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย $|V(f)|^2$ เป็นค่าเฉลี่ยของฟูเรียทรานฟอร์มของสัญญาณ T_b เป็นช่วงเวลาที่วัดสัญญาณแรนดัม จากสัญญาณ NRZ ช่วงเวลา T เท่ากับช่วงเวลาของแต่ละบิท และ ถ้า t ที่ 0 เท่ากับ กึ่งกลางบิทของสัญญาณ NRZ สามารถเขียนสัญญาณในโดเมนของเวลาได้ว่า

$$V(t) = \begin{cases} V_b & |t| < T_b/2 \\ 0 & \text{ช่วงเวลาใดๆ} \end{cases} \qquad \text{-----(4)}$$

ฟูเรียทรานฟอร์ของสัญญาณ v(t) คือ

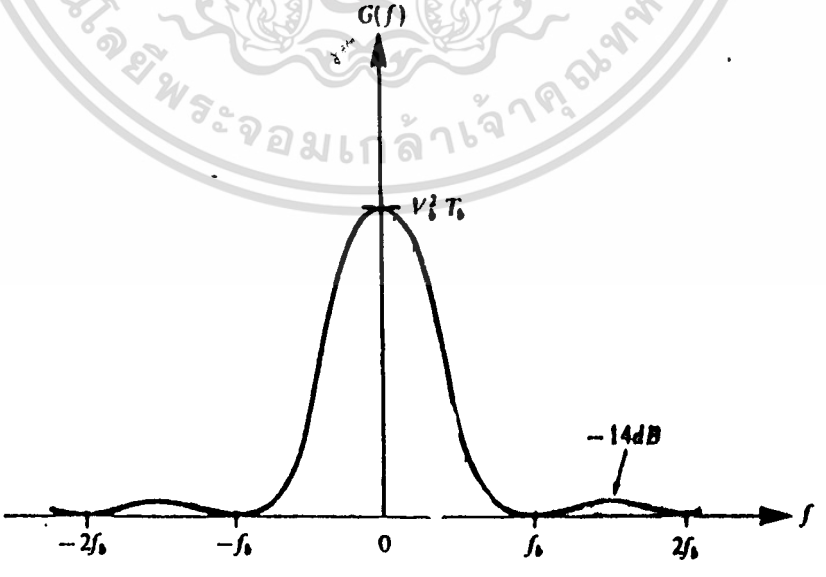
$$V(f) = \int_{-T_b/2}^{T_b/2} V_b \exp^{(j2\pi ft)}\, dt \qquad \text{-----(5)}$$

ดังนั้น

$$V(f) = V_b T_b (\sin \pi fT_b / \pi fT_b) \qquad \text{-----(6)}$$

จากสมการ (3) หาความเข้มข้นของสเปคตรัมที่เป็นแรนดัม ค่าเฉลี่ยเท่ากับค่าฟูเรียทรานฟอร์มของสัญญาณโดย T_b เท่ากับ T_b ดังนั้น

$$S_{NRZ}(f) = V_b^2 T_b [\sin \pi fT_b / \pi fT_b]^2 \qquad \text{-----(7)}$$



รูปที่ 4.4 แสดงความเข้มข้นของสเป็คตรัมกำลังของสัญญาณ NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเข้มข้นของสเป็คตรัมกำลังนั้นเกิดขึ้นเป็นลักษณะ sinc function โดยมีค่าเป็นศูนย์ (null) ทุกๆ ระยะความถี่ f_b ($f_b=1/T_b$) โดยกำลังส่วนใหญ่จะอยู่ในความถี่ 0-f_b ขนาดของสเป็คตรัมกระจายออกนอกช่วง f_b มีขนาดเล็กน้อย โดยขนาดของแมกนีจูดสูงสุดอยู่ในช่วง f_b-$2f_b$ นั้นเท่ากับ -14dB เมื่อเทียบกับความถี่ที่ 0 Hz สำหรับการมอดูเลทสัญญาณเบสแบนด์เข้ากับคลื่นพาห์ ในกรณีที่เป็นการมอดูเลทแบบเชิงเส้น เช่น แอมปิจูดชิฟคีย์อิ่ง (Amplitude Shift Keying : ASK) หรือ เฟสชิฟคีย์อิ่ง (Phase Shift Keying : PSK) การกระจายของความเข้มข้นของสเป็คตรัมกำลัง ของสัญญาณที่มอดูเลทแล้ว เท่ากับการย้ายแกนของความถี่จาก 0 Hz ไปยังความถี่ของคลื่นพาห์ ดังนั้นสเป็คตรัมของสัญญาณ NRZ ที่กระจายออกจากช่วง 0-f_b จะทำให้เกิดไซด์โลบ (side lobe)

4.2 การออกแบบวงจรมอดูเลทสัญญาณ PSK

สำหรับโมเดม ซึ่งได้ทำการออกแบบสำหรับปริญญานิพนธ์นี้ ใช้การมอดูเลทแบบ PSK หรือ เป็นการเปลี่ยนแปลงเฟสของสัญญาณ แทนการเปลี่ยนแปลง ทางความถี่ของสัญญาณ PSK สามารถเขียนได้

$$v(t) = m(t) \cos W_c t \qquad \text{-----(8)}$$

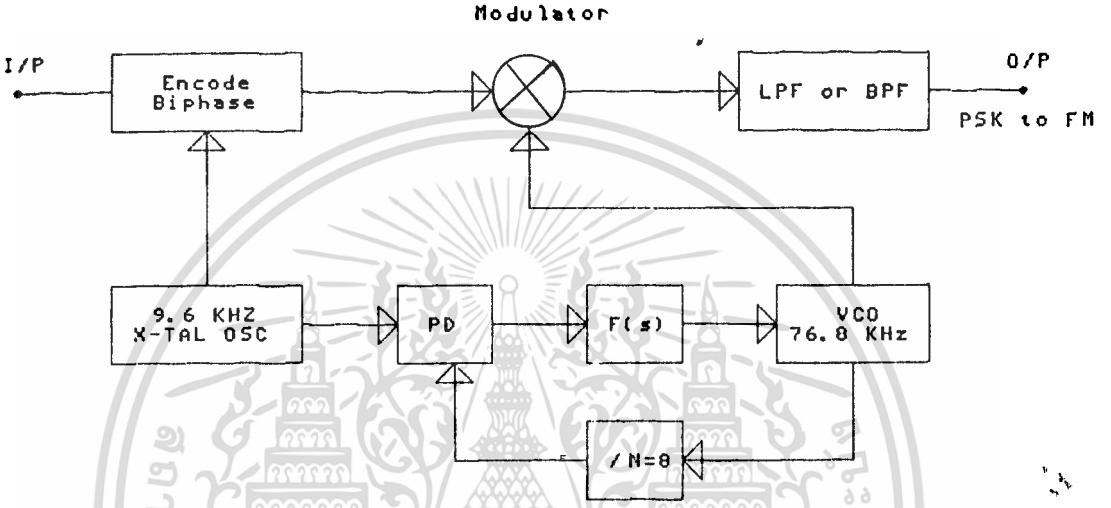
โดย $m(t) = +1,-1$ ขึ้นอยู่กับสัญญาณเบสแบนด์อินพุท ซึ่งความเข้มข้นของสเปคตรัมกำลังสำหรับสัญญาณ PSK ที่มอดูเลทสัญญาณเบสแบนด์ NRZ ที่เป็นแรนดัมจะเป็นการย้ายแทนความถี่ที่ 0 Hz ของความเข้มข้นของสเปคตรัมกำลังของสัญญาณ NRZ มาที่ความถี่คลื่นพาห์ ดังนั้นความเข้มข้นของสเปคตรัมของสัญญาณ PSK จึงแสดงได้โดยอาศัยสมการ แสดงได้คือ

$$S_{PSK} = V_b^2 T_b \left[\frac{\sin (f-f_c)}{(f-f_c)T_b} \right]^2 \qquad \text{-----(9)}$$

สำหรับการสร้างสัญญาณ PSK สามารถสร้างโดยนำเอา สัญญาณคลื่นพาห์คูณกับสัญญาณเบสแบนด์ไบเฟส สำหรับวงจรมอดูเลทสัญญาณ PSK จะประกอบด้วย วงจรเข้ารหัสสัญญาณไบเฟส วงจรจัดรูปสัญญาณเบสแบนด์ วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณเบสแบนด์ วงจรผลิตความถี่อ้างอิง 9.6 KHz วงจรสร้างความถี่คลื่นพาห์ 76.8 KHz วงจรกรองความถี่ผ่านย่าน ในการออกแบบวงจรมอดูเลทสัญญาณ PSK ซึ่งมีข้อกำหนดการทำงานดังนี้ โดยกำหนดอัตราเร็วของข้อมูลเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9.6 bps ความถี่คลื่นพาห์เท่ากับ 76.8 KHz จะมีโครงสร้างแสดงดังรูปที่ 4.5

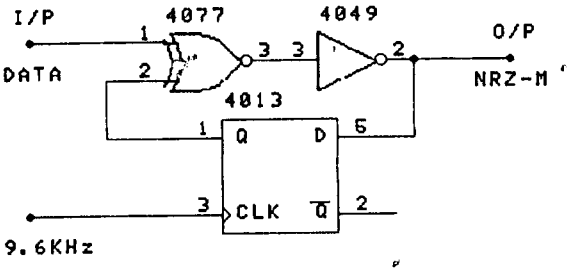


รูปที่ 4.5 แสดงโครงสร้างของวงจรมอดูเลทสัญญาณPSK

4.2.1 วงจรเข้ารหัสสัญญาณ NRZ/NRZ-I

สำหรับสาเหตุที่ต้องเข้ารหัสสัญญาณเบสแบนด์ NRZ เป็น NRZ-I หรือ different -ail encode ซึ่งใช้การเปลี่ยนแปลงขอบสัญญาณ แทนการเปลี่ยนแปลงระดับสัญญาณ สำหรับการมอดูเลทสัญญาณแบบ PSK เพื่อป้องกันการสับสนทางเฟส (phase ambiguity) ซึ่งเป็นเฟสของวงจรกู้สัญญาณคลื่นพาห์ ผิดจาก $\cos(w_c t)$ เป็น $-\cos(w_c t)$ ผลจะทำให้การดีมอดูเลทผิดจากความเป็นจริง ถ้าหากทำการส่งข้อมูลด้วยสัญญาณ NRZ แต่ถ้าหากเราทำการเข้ารหัสสัญญาณ NRZ เป็น NRZ-I แล้วการใช้การเปลี่ยนแปลงขอบของสัญญาณ แทนการส่ง 0 หรือ 1 จะสามารถแก้ไขปัญหาเนื่องจากการสับสนทางเฟสได้ สำหรับการเข้ารหัสสัญญาณ NRZ เป็น NRZ-I ซึ่งในการออกแบบใช้ NRZ-I แบบ NRZ-M สามารถแสดงวงจรได้ดังรูปที่ 4.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

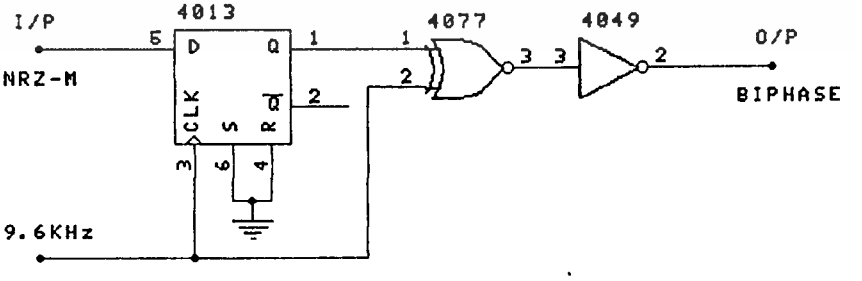


รูปที่ 4.6 แสดงวงจรเข้ารหัสสัญญาณ NRZ เป็น NRZ-M

การเข้ารหัสสัญญาณ NRZ หรือ Non Return to Zero Level : NRZ-L เป็น NRZ-M (Non Return to Zero-Mark) ใช้หลักการ differential encode ดังแสดงในหัวข้อ 4.1 โดยการมอดูโลแทนได้ด้วย เอกซ์คูซีฟออเกท ซึ่งในทางปฏิบัติใช้วงจรรวม 74LS86 และสำหรับการหน่วงเวลาไป 1 บิท ใช้ดีฟลิปฟลอป โดยสัญญาณนาฬิกาของฟลิปฟลอป ได้จากสัญญาณกำหนดบิทเรทของสัญญาณเบสแบนด์ โดยดีฟลิปฟลอปใช้วงจรรวม 74LS74

4.2.2 วงจรเข้ารหัสสัญญาณไบเฟส

การเข้ารหัสสัญญาณไบเฟสที่มีระดับสัญญาณแรงดัน หรือ Bi-phase Level โดยจะนำเอาสัญญาณเบสแบนด์ที่เป็นสัญญาณไม่กลับศูนย์แบบมาร์ค หรือ NRZ-M โดยนำมาหน่วงเวลาไป 1 บิท ด้วยดีฟลิปฟลอบใช้วงจรรวมเบอร์ 4013 แล้วนำสัญญาณที่ได้ไปทำการมอดูโลด้วยเอ็กซ์คูซีฟ (Excusive Or) โดยใช้วงจรรวมเบอร์ 4077 กับสัญญาณนาฬิกา นำเอาท์พุทไปผ่านนอทเกท (Not Gate)โดยใช้วงจรรวมเบอร์ 4049 จะได้สัญญาณไบเฟส วงจรแสดงดังรูปที่ 4.7

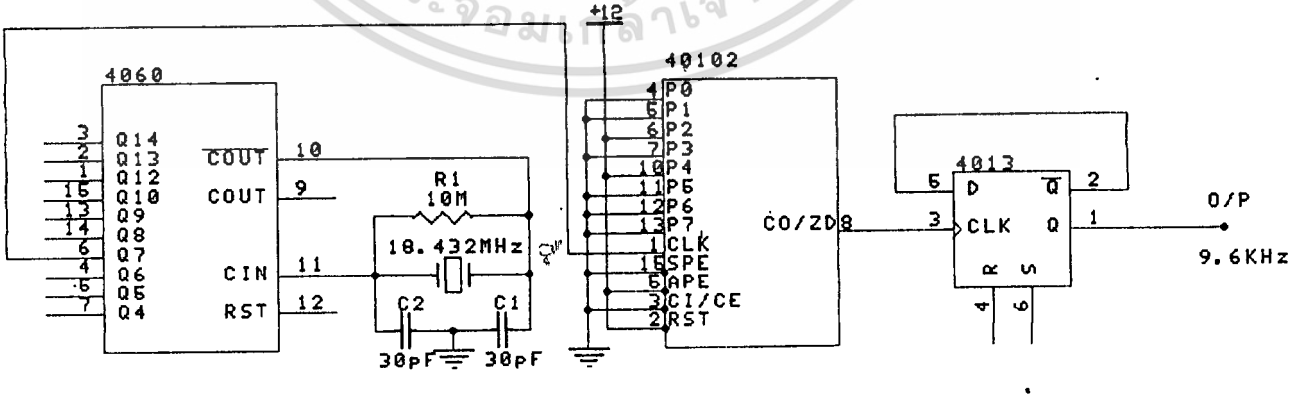


รูปที่ 4.7 แสดงวงจรเข้ารหัสสัญญาณไบเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 วงจรสร้างความถี่อ้างอิง 9.6 KHz

ความถี่อ้างอิงจะมีค่าเท่ากับอัตราเร็วในการส่งข้อมูล 9600 bps ความถี่อ้างอิงที่ต้องการ สามารถสร้างได้จากคริสตอล 18.432 MHz โดยนำความถี่มาหาร ด้วยวงจรรวมเบอร์ 4060 ตระกูลซีมอส เป็นวงจรนับไบนารี 14 หลัก และ ออสซิเลเตอร์ในตัว ใช้ไฟ 12 v โดย ความถี่ออสซิเลเตอร์จะถูกควบคุมด้วยขา 10 และ 11 ของ 4060 โดยเอาท์พุทของ 4060 เรา เลือก Q_8 ซึ่งจะทำการหารความถี่ 18.432 KHz ด้วย 64 ซึ่งจะได้เอาท์พุทที่ขา 4 เป็นความถี่ 288 KHz เราต้องทำการหารความถี่ให้เหลือ 9.6 KHz ดังนั้นจึงใช้วงจรรวมเบอร์ 40102 เป็นวงจรนับถอยหลัง (Binary Code digital) สองหลัก ซึ่งสามารถโปรแกรมค่า ในการหารได้ โดยอินพุทที่ต้องการหารจะเข้าที่ ขา 1 (Clock) การโปรแกรมค่าในการหารทำได้โดยตั้งค่าที่ขา P_0-P_7 โดย P_7 มีค่านัยสำคัญสูงสุด และ P_0 เป็นบิทที่มีนัยสำคัญต่ำสุด การโปรแกรมค่านี้ ต้องการหารความถี่ 288 KHz ด้วย 15 เพื่อให้ได้ความถี่ 19.2 KHz ดังนั้นเมื่อต้องการตั้งหาร 15 จะต้องตั้งโปรแกรมค่าที่ 15-1 ก็คือค่าที่ 14 ด้วยรหัส BCD โดยจะได้ P_0,P_1,P_3, P_5,P_6,P_7 เป็นลอจิก 0 โดยต่อลงกราวน์ และ P_2,P_4 เป็นลอจิก 1 ต่อเข้ากับ Vcc +12 v โดยเอาท์พุทที่ได้จะออกที่ 14 ซึ่งต่อร่วมกับขา 15 เมื่อได้ความถี่ 19.2 KHz จะต้องนำมาหารสอง อีกทีเพื่อให้ได้ความถี่ 9.6 KHz โดยใช้วงจรรวมเบอร์ 4013 ซึ่งเป็นฟลิปฟลอปชนิด D ที่ต้องใช้ D ฟลิปฟลอปมาหาร เพราะว่าเอาท์พุทของ 40102 นั้น ดิวตี้ไซเคิล (Duty Cycle) ไม่ได้ 50 % ซึ่งวงจรแสดงดังรูปที่ 4.8

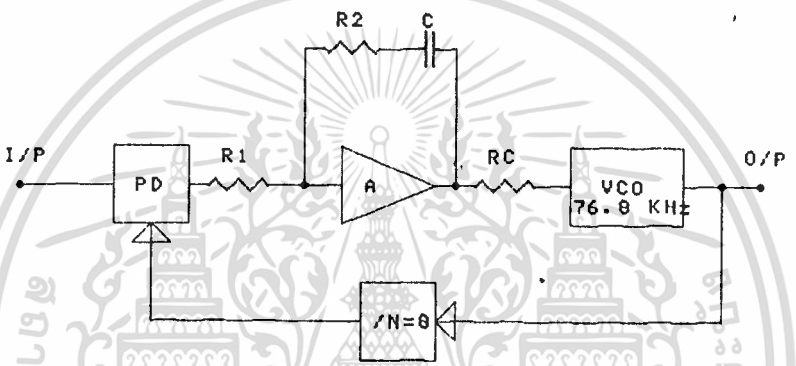


รูปที่ 4.8 แสดงวงจรสร้างความถี่อ้างอิง 9.6 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 วงจรสร้างความถี่คลื่นพาห์ 76.8 KHz

สำหรับการออกแบบวงจรผลิตความถี่ 76.8 KHz เพื่อให้มีเสถียร ภาพทางความถี่คงที่ จึงใช้การสังเคราะห์ความถี่จากแหล่งความถี่อ้างอิง ที่มีเสถียรภาพคงที่ ซึ่งสร้างได้จากสัญญาณนาฬิกา ที่เป็นตัวกำหนดบิทเรทของสัญญาณเบสแบนด์ มีความถี่ 9,600 Hz โดยใช้หลักการของ PLL ที่ทำหน้าที่สร้างความถี่ 76.8 KHz ซึ่งเป็นคลื่นพาห์สำหรับการมอดูเลทสัญญาณ PSK แสดงให้เห็นดังรูปที่ 4.9 โดยโครงสร้างของวงจรสร้างความถี่ มีความถี่อ้างอิงของลูปเท่ากับ 9.6 KHz และความถี่ศูนย์กลางของลูปเท่ากับ 76.8 KHz และ วงจรหารเท่ากับ 8



รูปที่ 4.9 แสดงโครงสร้างวงจรสร้างความถี่ 76.8 KHz

โดยลูปออกแบบให้มีความถี่อ้างอิงเท่ากับ 9.6 KHz สำหรับค่าความถี่ธรรมชาติของลูป ต้องออกแบบให้มีความถี่ต่ำที่สุด เลือกค่าความถี่ธรรมชาติของลูปเท่ากับ 10 Hz VCO เกนโดยในที่นี้ออกแบบให้มีขนาด 1600 Hz/V โดยโครงสร้างของลูป ใช้วงจรกรองแบบแอคทีฟเป็นวงจรกรองในลูป วงจร VCO ใช้วงจรรวม XR2206 และ เฟสดีเทคเตอร์ใช้วงจรรวม 4046

สมการความถี่ธรรมชาติของลูป แสดงได้ดังนี้

$$W_n = \sqrt{\frac{(KoKd)}{NT_1}} \qquad \text{-----(10)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าแดมปิ้งแฟคเตอร์ของลูป คือ

$$= W_n T_2 / 2 \qquad \text{-----(11)}$$

โดย $T_1 = R_1 C$

$T_2 = R_2 C$

สำหรับการกำหนดค่าความถี่ธรรมชาติของลูป กำหนดให้มีค่าเท่ากับ 10 Hz ซึ่งค่าเวลาเซตติ้ง (Setting Time : t_s) จะประมาณได้ t_s = 71 ms ซึ่งเป็นค่าที่ยอมรับได้สำหรับการออกแบบ ลูปที่ไม่ได้เปลี่ยนแปลงความถี่ของลูปตลอด ในการออกแบบค่าของเฟสดีเทคเตอร์เกน (K_d) มีค่าเท่ากับ

$$K_d = Vcc / 4\pi \qquad \text{----(12)}$$

การออกแบบใช้ Vcc ขนาด 12 V ดังนั้น K_d มีค่าเท่ากับ 0.95 V/rad สำหรับการกำหนดค่าเกนของ VCO จากวงจรรวม XR 2206 ค่า VCO เกนได้จากตาต้าชีทคือ

$$K_o = 0.32 / R_c C_c \qquad \text{-----(13)}$$

โดย RC เป็นความต้านทานที่อนุกรมระหว่างเอาท์พุทของวงจรในลูป และขาอินพุทแรงดันสำหรับควบคุมความถี่ของ XR 2206 และ C_c เป็นคาปาซิแตนซ์ที่ใช้ควบคุมขนาดของความถี่ VCO สำหรับการออกแบบให้ค่า K_o = 160 Hz/V ถ้าให้ C_c มีขนาด 0.01 uF และค่า RC จะมีขนาดเท่ากับ 200 Kohm ถ้าให้ค่าความถี่ธรรมชาติของลูปเท่ากับ 10 Hz และค่า damping factor ของลูปเท่ากับ 0.707 ถ้ากำหนดค่า C ของวงจรกรองเท่ากับ 1 uF หา R_1,R_2 ในวงจรกรองในลูปได้คือ

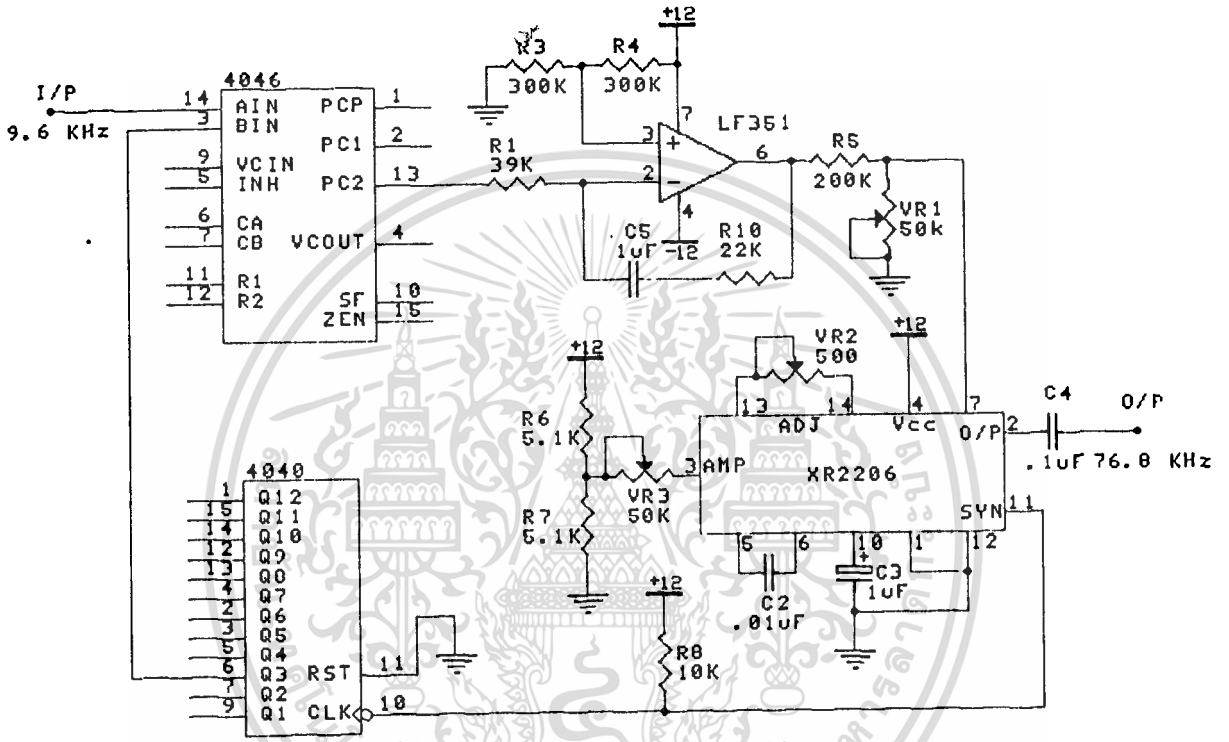
$$R_1 = (K_o K_d)/N(w_n^2)C \qquad \text{----(14)}$$

$$R_2 = (2)/w_n C \qquad \text{----(15)}$$

โดย R_1 มีค่าเท่ากับ 39.948 K และ R_2 มีค่าเท่ากับ 22.5 K โดยวงจรกรองในลูป ใช้วงจรรวม LF 351 ค่า R_1 ในทางปฏิบัติ ใช้ขนาด 39 K ค่า R_2 ใช้ขนาด 22 K สำหรับเอาท์พุทของ VCO ที่ขา 2 เป็นสัญญาณไซน์น์สำหรับการใช้งาน และเอาท์พุทที่ขา 11 เป็นสัญญาณสี่เหลี่ยมมีระดับแรงดัน 12 โวลท์ สำหรับลอจิก 1 และ 0 โวลท์สำหรับลอจิก 0 ความต้านทานที่ต่อขา 3 ของ VCO สำหรับปรับกระแส เพื่อที่จะปรับสัญญาณชายย์เอาท์พุทที่ขา 2 และค่า VR ที่ต่อระหว่างขา 13 และ ขา 14 ใช้ปรับให้เอาท์พุทที่เป็นสัญญาณไซน์ มีค่าดิสทรอชั่นให้น้อยที่สุดและ VR ที่ ขา 7 ใช้ปรับความถี่ศูนย์กลางของ VCO และสัญญาณเอาท์พุทที่ขา 11 ถูกนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปหารด้วย 8 เพื่อให้ได้ความถี่ 9.6 KHz เพื่อป้อนกลับไปป้อนกลับไปยังวงจรเฟสดีเทคเตอร์ โดยใช้วงจรรวมเบอร์ 4040 เป็นวงจรหารเลขไบนารี 12 สเตท อินพุทสัญญาณสี่เหลี่ยมป้อนเข้าขา 10 (clock) โดยตั้งหาร 8 ที่เอาท์พุท Q_3 ขา 6 จะได้สัญญาณ 9.6 KHz นำไปเข้าที่ขา 3 (COMPIN) ของวงจรรวม 4046 เพื่อเทียบเฟสกับสัญญาณอ้างอิง แสดงรูปวงจรได้ดังนี้



รูปที่ 4.10 วงจรสร้างสัญญาณคลื่นพาห์ 76.8 KHz

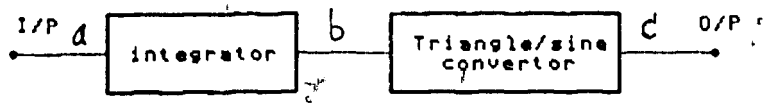
4.2.5 วงจรจัดรูปสัญญาณเบสแบนด์

สำหรับวงจรจัดรูปสัญญาณ (wave shaping) สำหรับสัญญาณเบสแบนด์ NRZ ที่อยู่ในรูปของสัญญาณรีสโคไซน์ เพื่อเป็นการลดไซด์โลบของสัญญาณ หลังจากผ่านการมอดูลทชั่นแล้ว สมการของความเข้มข้นของสเปคตรัมกำลังของสัญญาณ PSK ที่สัญญาณเบสแบนด์เป็นรีสโคไซน์จะเป็นการย้ายแกนความถี่ที่ 0 Hz ของความถี่เบสแบนด์รีสโคไซน์ไปที่ความถี่คลื่นพาห์ซึ่งแสดงได้คือ

$$S(f) = V^2T \left[\frac{\sin 2\pi(f-f_c)T}{2\pi(f-f_c)T_b(1-4(f-f_c)^2T_b^2)} \right]^2 \quad \text{----(16)}$$

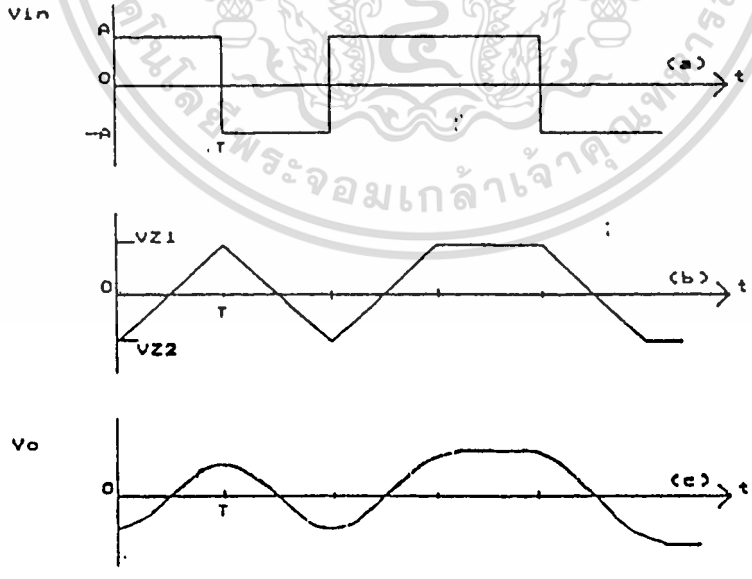
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรจัดรูปสัญญาณในทางปฏิบัติอาจใช้วงจรกรองถี่ต่ำผ่านแบบรีสโคไซน์ หรือวงจรจัดรูปสัญญาณซึ่งมีหลักการดังรูปที่ 4.11



รูปที่ 4.11 โครงสร้างวงจรจัดรูปสัญญาณ

วงจรจัดรูปสัญญาณประกอบด้วย วงจรอินเวอร์ติ้งอินทีเกรทเตอร์ วงจรปรับสามเหลี่ยมเป็นไซน์ โดยอินพุทของวงจรจัดรูปสัญญาณเป็นเบสแบนด์ แบบไบเฟส (A) โดยถ้าสัญญาณเป็นระดับแรงดันบวกและลบสลับกันไป วงจรอินทีเกรทจะทำการอินทีเกรท ให้เอาท์พุทของสัญญาณเป็นสัญญาณสามเหลี่ยม linear ramp (B) แต่ถ้าอินพุทเป็นแรงดันบวกหรือลบคงที่ เอาท์พุทของวงจรอินทีเกรทเตอร์จะให้ระดับแรงดันคงที่ สำหรับวงจรปรับสัญญาณสามเหลี่ยมเป็นไซน์ทำหน้าที่ปรับสัญญาณสามเหลี่ยมเป็นไซน์ครึ่งลูกแสดงในรูป (C)
สำหรับสัญญาณจุดต่าง ๆ ของโครงสร้างในรูป 4.11 แสดงได้ดังรูป 4.12



รูปที่ 4.12 แสดงสัญญาณจุดต่าง ๆ ของวงจรจัดรูปสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรอินทีเกรทจะประกอบด้วย ซีเนอร์ไดโอดสำหรับให้แรงดันเอาท์พุทของวงจรมีค่าคงที่เท่ากับ V_{z1} , V_{z2} และความต้านทานกับคาปาซิเตอร์ ใช้สำหรับกำหนดค่าเวลาคงตัวในการอินทีเกรท ซึ่งค่าเวลาคงที่ของการอินทีเกรทคือค่า RC ของวงจรแสดงค่าได้คือ

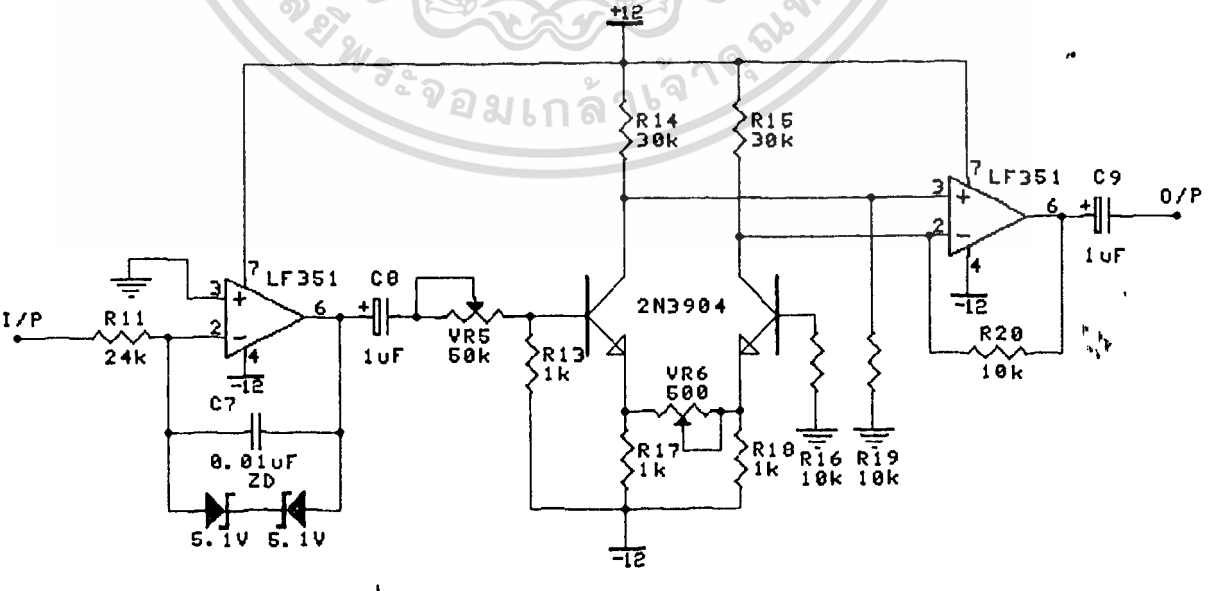
$$RC = AT/(V_{z1}+V_{z2}) \qquad \text{-----(17)}$$

โดย A เป็นขนาดแรงดันบวกและลบของสัญญาณไบเฟส และช่วงเวลา T แต่ละบิทซึ่งมีขนาดเท่ากันถ้าให้ $V_{z1} = V_{z2} = V_z$ ดังนั้น

$$RC = AT/2V_z \qquad \text{----(18)}$$

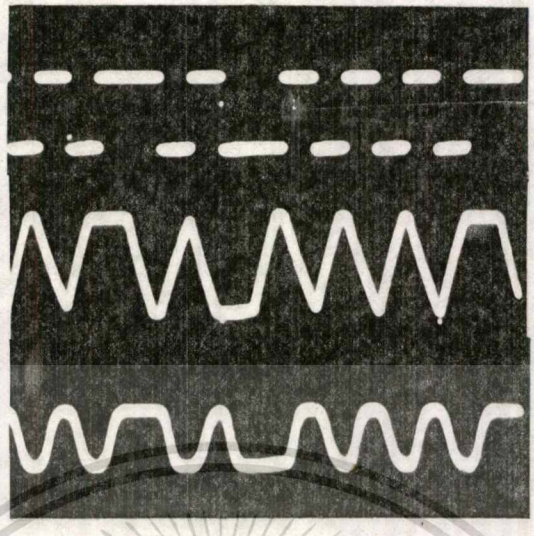
ให้ขนาดแรงดัน A ของไบเฟส เท่ากับ 12 V และใช้ V_z ขนาด 5.1 V และขนาด C กำหนดเท่ากับ 0.01 uF ค่า R ในวงจรอินทีเกรท หาได้คือ 24.47 K โดยในทางปฏิบัติใช้ขนาด 24 K สำหรับวงจรปรับสัญญาณสามเหลี่ยมเป็นไซน์สำหรับวงจรจัดรูปสัญญาณใช้วงจรดิฟแอมป์ซึ่งแสดงวงจรดังรูปที่ 4.13

วงจรปรับสัญญาณสามเหลี่ยมเป็นไซน์ประกอบด้วยวงจรออปแอมป์ขยายความแตกต่าง (Differtial amplifier) สำหรับเปลี่ยนกระแสเป็นแรงดันและคู่ทรานซิสเตอร์ Q_1 , Q_2 โดยทรานซิสเตอร์ Q_1 , Q_2 จะทำงานในย่านที่ไม่เป็นเชิงเส้น (non linear) โดย VR 50K เป็นความต้านทาน สำหรับปรับแรงดันรูปสามเหลี่ยมที่ป้อนเข้าขาเบสของทรานซิสเตอร์ โดย VR 50K ที่ระหว่างขาอิมิเตอร์ของทรานซิสเตอร์ ใช้สำหรับปรับสัญญาณไซน์ที่เอาท์พุทให้มีความผิดเพี้ยนต่ำสุด โดยแสดงรูปสัญญาณเอาท์พุทของวงจรจัดรูปสัญญาณที่ออกแบบได้ดังรูปที่ 4.13



รูปที่ 4.13 แสดงวงจรจัดรูปสัญญาณ

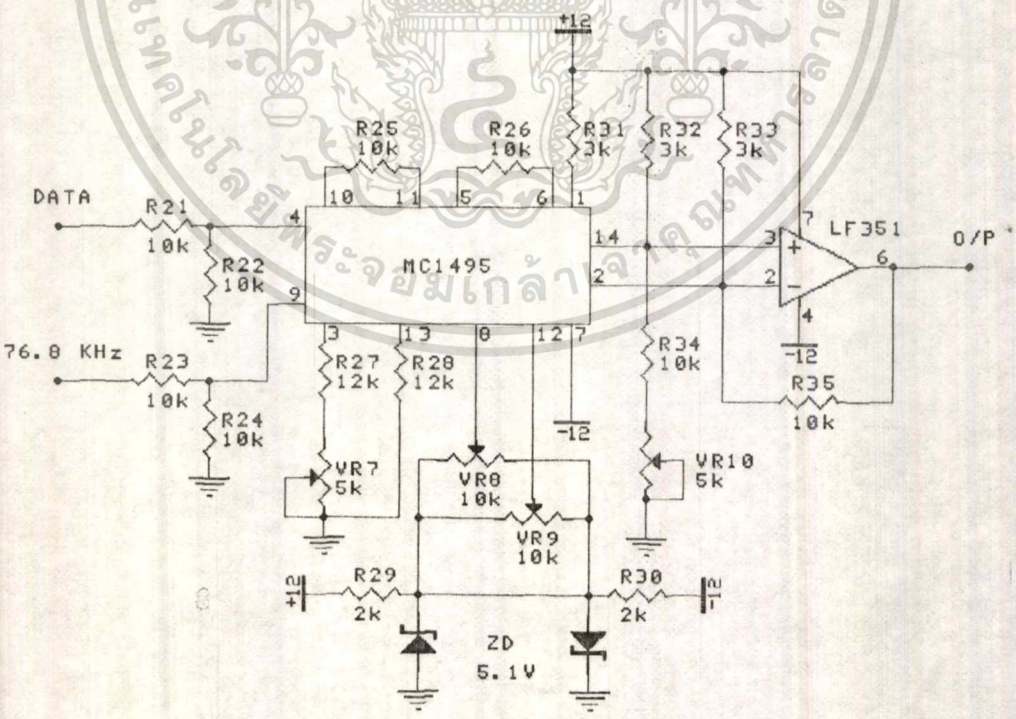
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 แสดงสัญญาณเบสแบนด์รีสโคไซน์ของวงจรจัดรูปสัญญาณ

4.2.6 วงจรคูณสัญญาณเบสแบนด์กับสัญญาณคลื่นพาห์

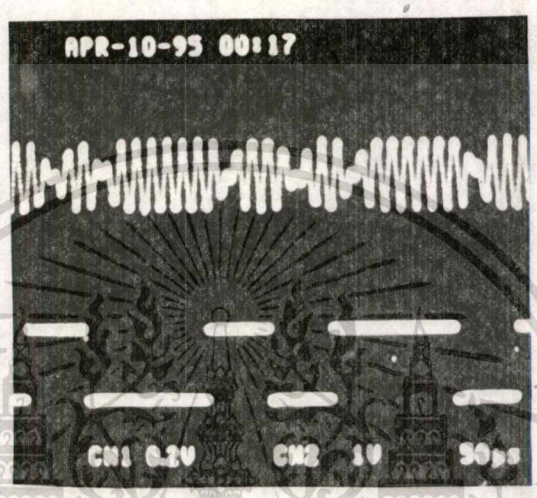
สำหรับวงจรคูณสัญญาณเบสแบนด์ ที่ผ่านการจัดรูปสัญญาณให้เป็นสัญญาณรีสโคไซน์ กับความถี่คลื่นพาห์ขนาด 76.8 KHz นั้นใช้วงจรรวม LM1495 ซึ่งเป็นวงจรรวมที่ทำหน้าที่คูณ โดย LM1495 สามารถทำการคูณสัญญาณที่มีขนาดใหญ่ สำหรับวงจรคูณสัญญาณแสดงได้ดังรูป 4.15



รูปที่ 4.15 วงจรคูณสัญญาณเบสแบนด์รีสโคไซน์เข้ากับสัญญาณความถี่คลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

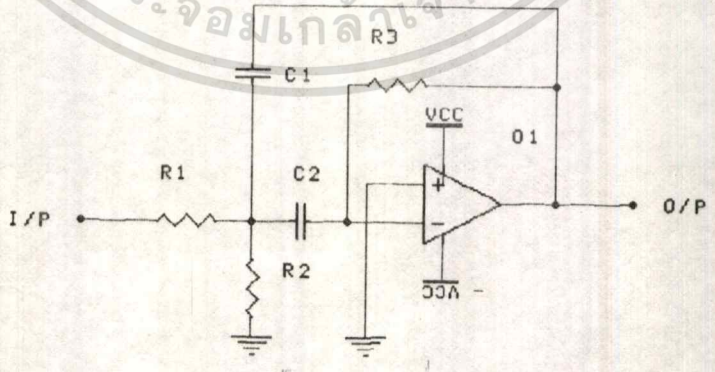
จากรูปสัญญาณรีสโคไซน์ถูกป้อนเข้าที่ขา 9 และสัญญาณความถี่ 76.8 KHz ป้อนเข้าที่ขา 4 ของ LM1495 โดยจัดความต้านทาน สำหรับค่าสเกลการคูณ คือความต้านทานที่ต่อที่ขา 5 ,6 ขา 10,11 ขา 3 กับกราวน์ ขา 13 กับกราวน์ โดยเอาท์พุทของ LM1495 ที่อยู่ในรูปของกระแสจะเปลี่ยนเป็นแรงดัน โดยใช้วงจรรวม LF351 ซึ่งเอาท์พุทที่ขา 6 ของ LF351 จะเป็นส่วนที่ป้อนเข้าวงจรกรองความถี่ผ่าน 76.8 KHz



รูปที่ 4.16 แสดงสัญญาณเบสแบนด์ และ สัญญาณ PSK

4.2.7 วงจรกรองความถี่ผ่านย่าน

สำหรับวงจรกรองความถี่ผ่านย่าน 76.8 KHzเลือกใช้วงจร Multiple feedback ขนาดออร์เดอร์ 2 ที่มีโครงสร้าง ดังรูปที่ 4.17



รูปที่ 4.17 แสดงวงจรกรองความถี่ผ่านย่านแบบ Multiple feedback

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าให้ Q เป็นค่า Quality factor ของวงจร

w_o ความถี่ศูนย์กลาง

H เกนของวงจรที่ความถี่ผ่าน

ทรานเฟอร์ฟังก์ชั่นของวงจรแสดงได้คือ

$$Q = \frac{1}{1/R_3(1/R_1 + 1/R_3)(C_1/C_2 + C_2/C_1)} \quad \text{----(19)}$$

$$W_o^2 = 1/R_3C_1C_2\ (1/R_1 + 1/R_2) \quad \text{----(20)}$$

$$\frac{V_o}{V_i} = \frac{H(W/Q)S}{S^2+[(W_o/Q)S]+W_o^2} \quad \text{----(21)}$$

$$H = \frac{-R_3R_2}{R_1(C_1+C_2)} \quad \text{----(22)}$$

สำหรับการออกแบบกำหนดค่า Q , H , w_o และกำหนดค่า C_1 และ C_2 โดยให้ $C_1 = C_2$ ค่า R_1, R_2, R_3 สามารถหาได้จาก

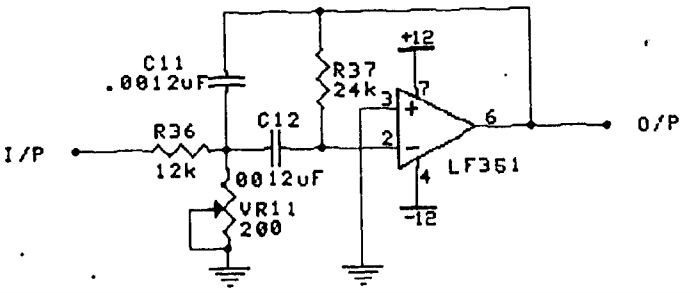
$$R1 = Q / HW_oC_1 \quad \text{----(23.1)}$$

$$R2 = Q/(2Q^2-HW_oC_1) \quad \text{----(23.2)}$$

$$R3 = 2Q/W_oC_1 \quad \text{----(23.3)}$$

การออกแบบวงจรกรองความถี่ผ่าน 76.8 KHz กำหนดอัตราขยายที่ความถี่ศูนย์กลาง เท่ากับ 1 สำหรับขนาดของแบนด์วิทต์ต้องให้มีขนา มากกว่า 2 เท่าของความถี่บิทเรทของสัญญาณเบสแบนด์ ดังนั้นค่า Q ของวงจรจิงต้องน้อยกว่า 4 ในออกแบบเลือกให้ค่า Q มีขนาดเท่ากับ .6 โดยขนาดของแบนด์วิทต์จะประมาณเท่ากับ 20 KHz ค่าความต้านทานและค่าคาปาซิแตนซ์ ของวงจรหาได้ จากสมการ 23.1,23.2,23.3 โดยค่า R_1,R_2,R_3 คือ R36 , VR11 และ R37 ตามลำดับ โดยวงจรในทางปฏิบัติแสดงได้ดังรูปที่ 4.18

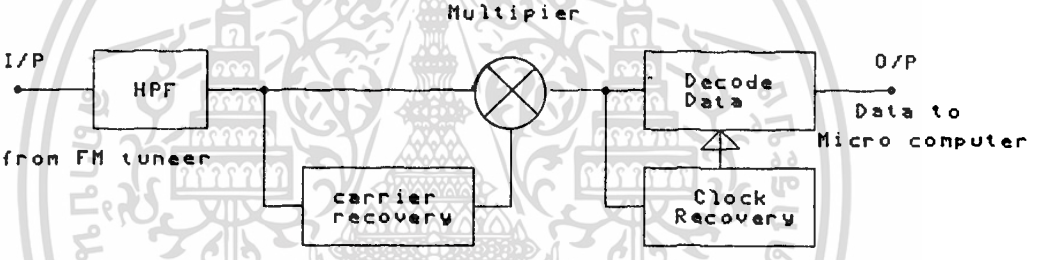
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 4.18 แสดงวงจรกรองความถี่ผ่าน

4.3 การออกแบบวงจรดีมอดูเลทสัญญาณ PSK

สำหรับภาคดีมอดูเลทสัญญาณ PSK ในปริญญานิพนธ์นี้แสดงโครงสร้างได้ ดังรูปที่ 4.19



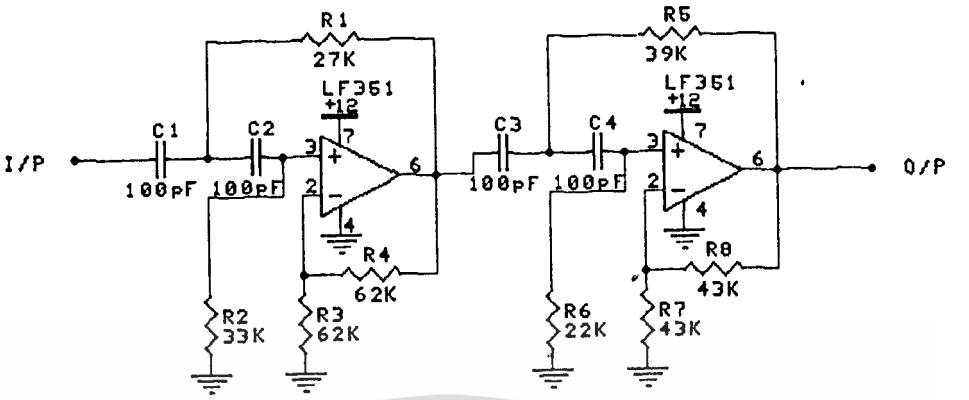
รูปที่ 4.19 แสดงโครงสร้างภาคดีมอดูเลทสัญญาณ PSK

โครงสร้างวงจรดีมอดูเลทสัญญาณ PSK ซึ่งประกอบด้วยส่วนใหญ่ๆ คือ วงจรกรองความถี่สูงผ่าน วงจรโคฮีเรนท์ดีมอดูเลทเตอร์ (coherent demodulator) ซึ่งประกอบด้วย วงจรกู้สัญญาณคลื่นพาห์ (carrier recovery) วงจรคูณสัญญาณ วงจรกู้สัญญาณนาฬิกา และวงจรถอดรหัสไบเฟส

4.3.1 วงจรกรองความถี่สูงผ่าน

สำหรับภาคดีมอดูเลทสัญญาณ PSK เป็นสัญญาณข้อมูลจะรับมาจากจูนเนอร์ของเครื่องรับ FM โดยใช้วงจรกรองความถี่สูงผ่าน ที่มีความถี่ F_L อยู่ที่ 76.8 KHz โดยเลือกใช้วงจรวงจรกรองความถี่สูงผ่านอันดับ 4 (4 Order Butterworth Filter) วงจรกรองความถี่สูงผ่าน แสดงได้ดังรูปที่ 4.20

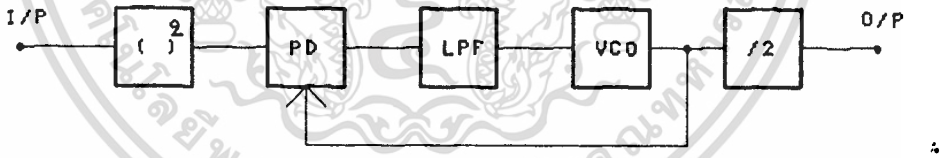
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 วงจรกรองความถี่สูงผ่าน 76.8 KHz สำหรับภาคดีมอดูเลทสัญญาณ PSK

4.3.2 วงจรกู้สัญญาณคลื่นพาห์

วงจรกู้สัญญาณคลื่นพาห์ เป็นวงจรสร้างสัญญาณคลื่นพาห์ ขั้นที่ภาครับของวงจรดีมอดูเลทสัญญาณ PSK โดยสัญญาณที่สร้างขึ้นมา จะมีคุณสมบัติซิงโครไนซ์ทางเฟส กับคลื่นพาห์ที่ภาคส่ง โดยวงจรกู้สัญญาณคลื่นพาห์ หรือ วงจรสร้างสัญญาณ $\cos(w_c t)$ ขั้นที่ภาครับ มีหลายชนิด เช่น squaringloop , costas loop แต่ในการทดลองนี้จะกล่าวถึง squaring loop หรือ ลูปยกกำลังสอง สำหรับการกู้สัญญาณคลื่นพาห์โดยสามารถแสดงหลักการของวงจรได้ดังรูปที่ 4.21



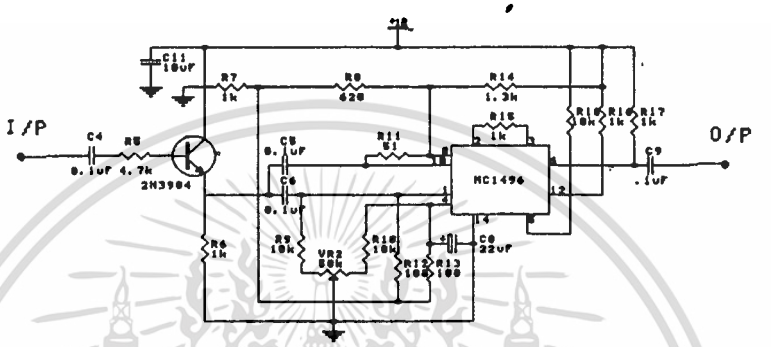
รูปที่ 4.21 แสดงโครงสร้างลูปยกกำลังสองสัญญาณ

โดยลูปยกกำลังสอง (squaring loop) จะประกอบด้วย ภาคยกกำลังสองของสัญญาณ (squaring),วงจร PLL,วงจรหารสอง การทำงานของลูปยกกำลังสองเมื่อรับสัญญาณอินพุท PSK ซึ่งมีเฟส $\cos(w_c t)$ หรือ $-\cos(w_c t)$ ขึ้นอยู่กับสัญญาณเบสแบนด์ วงจรยกกำลังสอง ทำหน้าที่ยกกำลังสองของสัญญาณคลื่นพาห์โดยเอาท์พุทของวงจรยกกำลังสองจะได้อาร์โมนิคที่ 2 ของ $\cos(w_c t)$ หรือ $\cos 2w_c t$ สัญญาณ $\cos 2w_c t$ จะเป็นอินพุท หรือสัญญาณอ้างอิงของ PLL โดย PLL จะล็อกเฉพาะสัญญาณ $\cos 2w_c t$ เอาท์พุทของ PLL จะเป็นอินพุทของวงจรหารสอง ซึ่งจะหารความถี่ให้เป็น $\cos w_c t$ สำหรับเป็นสัญญาณอ้างอิง เพื่อการดีมอดูเลทสัญญาณ PSK ต่อไป โดยในทางปฏิบัติสามารถแสดงการออกแบบของส่วนต่าง ๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. วงจรยกกำลังสอง

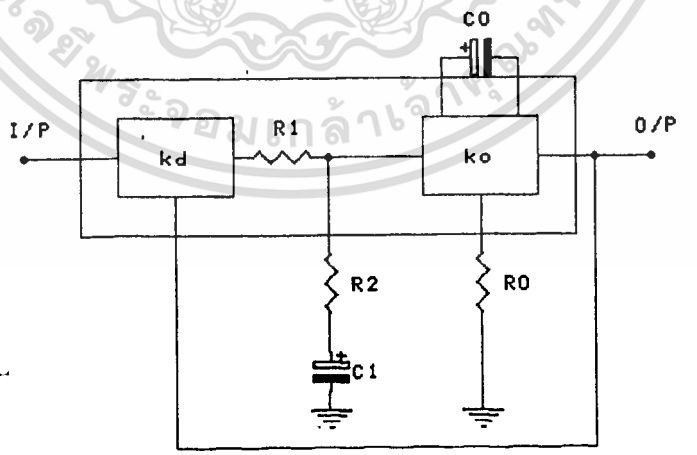
หลักการวงจรยกกำลังสอง จะใช้วงจรคูณสัญญาณ โดยอินพุททั้งสองของวงจรคูณสัญญาณ ต่อเข้าด้วยกัน กับสัญญาณที่ต้องการยกกำลัง โดยวงจรที่ใช้คูณ เป็นวงจรรวมสำหรับคูณสัญญาณขนาดเล็ก ซึ่งใช้วงจรรวม LM1496 โดยอินพุทมีขนาดสัญญาณ 100 mv ซึ่งเป็นสัญญาณเอาท์พุทของวงจรเครื่องรับ FM (FM tunner)



รูปที่ 4.22 แสดงวงจรสำหรับยกกำลังสองสัญญาณ

2. วงจร PLL

วงจร PLL สำหรับล็อกสัญญาณ cos $2w_c t$ ที่ความถี่ศูนย์กลางเท่ากับ 2 เท่าของ 76.8 KHz หรือเท่ากับ 153.6 KHz โดยใช้วงจรของ LM 565 ซึ่งมีโครงสร้างในการทำงานเป็น PLL ดังรูปที่ 4.23



รูปที่ 4.23 แสดงโครงสร้าง PLL ของ IC LM565

โดยค่าความถี่ fo กำหนดเท่ากับ 153.6 KHz

$$f_o = 1/(3.7R_oC_o) \qquad \text{----(24)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกำหนด C_o เท่ากับ 330 pF จะได้ค่า Ro เท่ากับ 5388 โอห์ม ในทางปฏิบัติเราจะใช้ขนาด 5K ต่ออนุกรมร่วมกับ ความต้านทานปรับค่าได้ 1K สำหรับการกำหนดค่าเวลาคงตัวของวงจรกรองความถี่ต่ำผ่านในลูป ซึ่งเป็นตัวกำหนดลูปนอยส์แบนด์วิดท์ (Loop noise bandwidth) และ ความถี่ธรรมชาติของลูปต้องมีขนาดแคบที่สุดเท่าที่จะทำได้ โดยความถี่ธรรมชาติ หาได้จาก

$$f_o = \frac{1}{3.7R_oC_o} \qquad \text{----(25)}$$

เมื่อ T_p คือขนาดของเวลาพูลอิน(Pull in time)ของลูปซึ่งกำหนดได้จากจำนวน bit ของ preamble ต่ออัตราเร็วของบิทในการส่งและ w_o คือ ผลต่างของความถี่ระหว่างความถี่อินพุทและความถี่เอาท์พุทของ VCO ควรจะให้มีค่าน้อยๆ การกำหนดว่าลูปนอยส์แบนด์วิดท์ควรจะต้องมีขนาดไม่แคบเกินไป หาได้จากโดยกำหนดค่าแดมปิ้งแฟคเตอร์ในลูปมีค่าเท่ากับ 0.707 และค่าลูปนอยส์แบนด์วิดท์ของ PLL ของวงจรกรองแบบลีดแล็คจะแสดงได้ดังนี้

$$B_L = 0.53W_n \qquad \text{----(26)}$$

โดยค่า SNR_L สำหรับ PLL ที่อินพุทเป็นวงจรยกกำลังสอง จะต้องมีขนาดมากกว่าหรือเท่ากับ 12 dB ค่า B_i เป็นแบนด์วิดท์ของวงจรกรองความถี่ที่อินพุทของวงจรยกกำลังสองซึ่งมีขนาดเท่ากับ 20 KHz

กำหนดค่า SNR_L ได้จากสมการ

$$SNR_L = \frac{SNRi\ Bi}{2B_L} \qquad \text{----(27)}$$

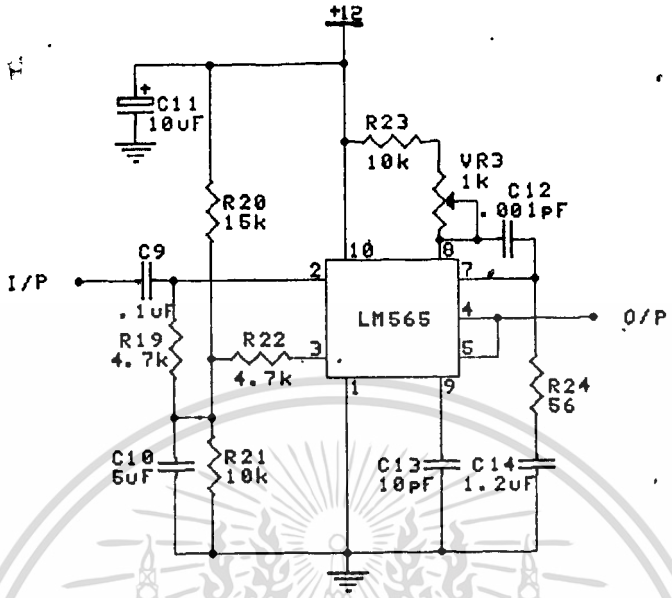
สำหรับค่า SNRL หรือ อัตราส่วนระหว่างกำลังของสัญญาณต่อสัญญาณรบกวน ที่อินพุทของวงจรดีมอดูเลท PSK จะมีมากกว่า 10 dB และค่า W_n กำหนดได้จาก

$$W_n = \sqrt{\frac{K_oK_d}{(R_1+R_2)C}} \qquad \text{----(28)}$$

$$\zeta = \frac{R_2CW_n}{2} \qquad \text{----(29)}$$

จากค่า B_L กำหนดให้เท่ากับ 4.6 KHz เมื่อค่า R_1 ที่อยู่ภายในวงจรรวม LM565 มีค่าเท่ากับ 3600 โอห์ม จากสมการ จะได้ค่า C ในวงจรกรองเท่ากับ 1 uF และค่า R_2 มีค่าเท่ากับ 130 โอห์ม โดยค่า R_o หาได้จากสมการที่ 16 จะได้ R_o มีค่าเท่ากับ 5.388 K

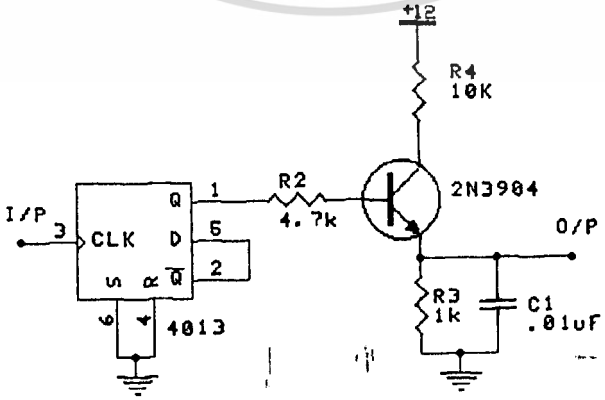
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.24 แสดงวงจร PLL สำหรับลูปยกกำลังสอง

3. วงจรหารสอง

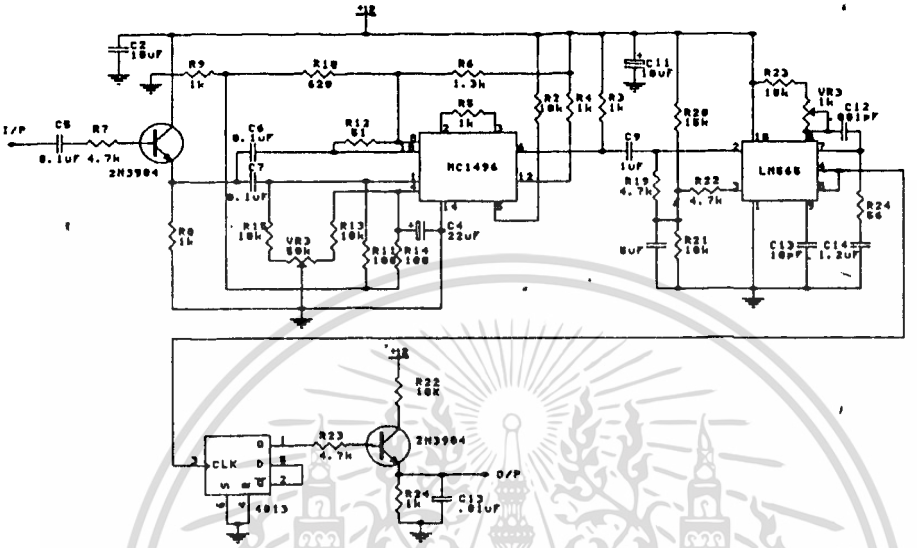
วงจรหาร 2 สำหรับสัญญาณเอาท์พุทที่มาจากวงจร PLL ของวงจรลูปยกกำลังสอง โดยวงจรประกอบด้วย วงจรรวม 4013 แบบ CMOS ซึ่งจะใช้ระดับแรงดัน 12 V วงจรรวม 4013 เป็นฟลิบฟลอบชนิด D ใช้หาร 2 กับความถี่ที่ป้อนเข้ามา โดยเอาท์พุทจะออกที่ขา 1 ของวงจร 4013 และจะได้เอาท์พุทออกมา 76.8 KHz และ สัญญาณจะป้อนให้กับวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK วงจรจะแสดงได้ดังรูปที่4.25



รูปที่ 4.25 แสดงวงจรหาร 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สำหรับวงจรกู้สัญญาณคลื่นพาห์ทั้งหมดแสดงได้ดังรูปที่ 4.26

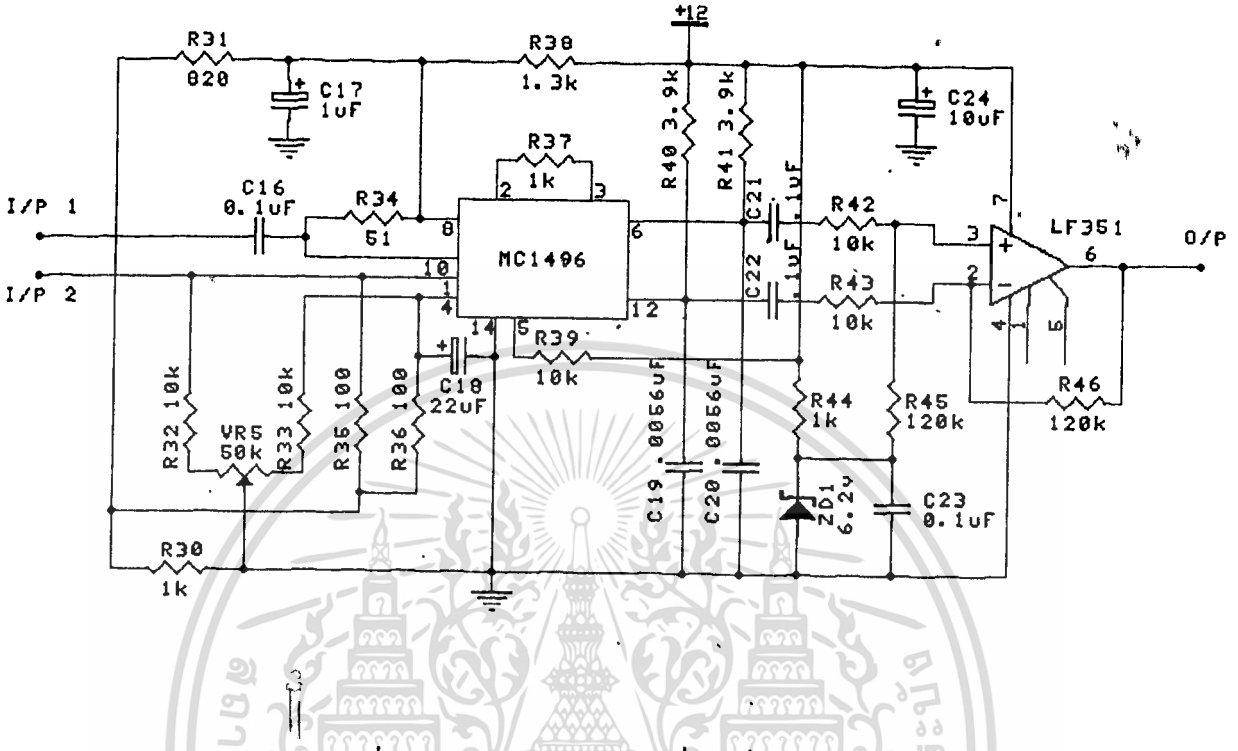


รูปที่ 4.26 แสดงวงจรกู้สัญญาณคลื่นพาห์แบบยกกำลังสอง

4.3.3 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK

วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK ใช้วงจรรวม LM1496 เช่นเดียวกับวงจรยกกำลัง (squaring) โดยสัญญาณที่คูณจะป้อนเข้าที่ขา 1 และ ขา 10 โดยสัญญาณอินพุทที่ขา 1 เป็นอินพุทจากสัญญาณ PSK และสัญญาณอินพุทที่ขา 10 เป็นสัญญาณจากวงจรกู้สัญญาณคลื่นพาห์โดยขนาดของสัญญาณเป็นขนาดเล็กไม่เกิน 100 mv เช่นเดียวกับวงจรยกกำลังสอง สำหรับเอาท์พุทของวงจรคูณ คือขา 6 และ ขา 12 ให้สัญญาณที่กลับเฟสกัน โดยสัญญาณเอาท์พุทความถี่สูงจะถูกคัปปิ้งลงกราวน์ และสัญญาณเบสแบนด์ที่ดีมอดูเลทได้ ใช้เป็นอินพุทเวอร์ติ้งและนอนอินเวอร์ติ้งของออปแอมป์ สำหรับอัตราการขยายออปแอมป์ของสามารถกำหนดได้โดย กำหนดอัตราส่วนระหว่างความต้านทานที่ป้อนกลับและความต้านทานอินพุท โดยในที่นี้ กำหนดอัตราขยายเท่ากับ 12 และสำหรับการออกแบบเพื่อให้ใช้กับแหล่งจ่าย +12 V กับกราวน์นั้น ที่ขานอนอินเวอร์ติ้งอินพุทของออปแอป์ต้องจัดไบอัสแรงดัน ที่มีขนาดประมาณกึ่งหนึ่งของ แหล่งจ่าย VCC ซึ่งกำหนดโดยใช้ซีเนอร์ไดโอดขนาด 6.2 V สำหรับวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK แสดงดังรูปที่ 4.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 4.27 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK

4.3.4 วงจรกู้สัญญาณนาฬิกาและวงจรถอดรหัสสัญญาณ

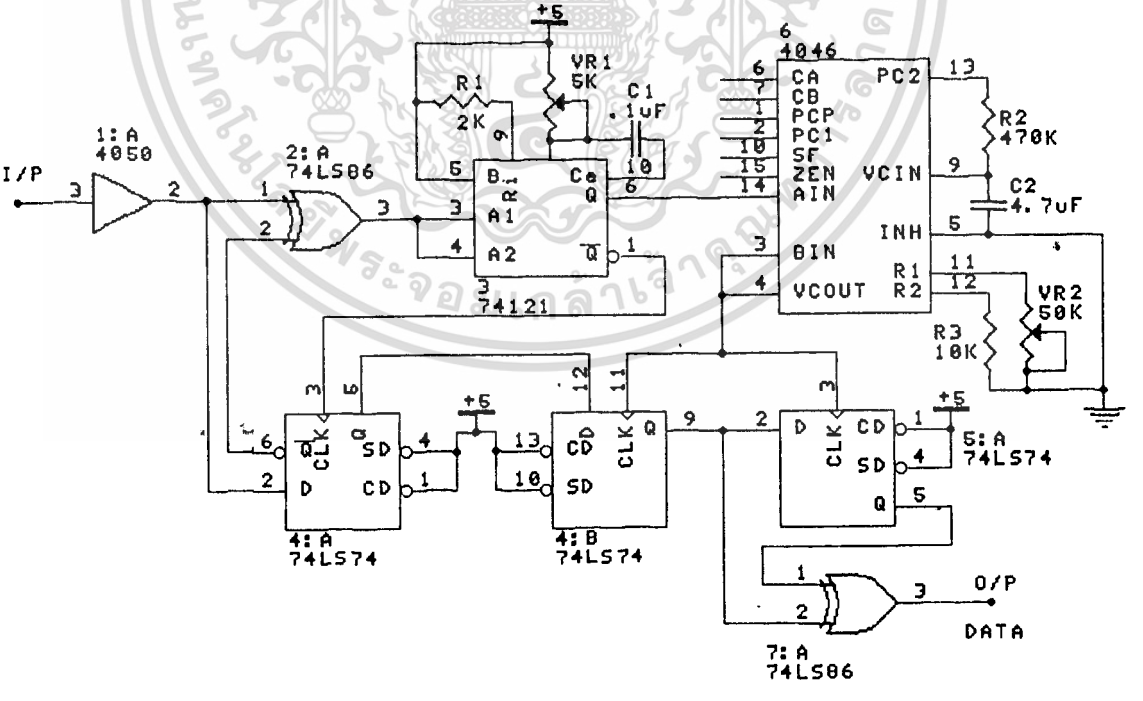
สัญญาณที่ได้จากภาคดีมอดูเลทเป็นสัญญาณดิจิตอลแบบไบเฟส (bi-phase)แต่สัญญาณที่ได้ยังมีการสั่นอยู่เนื่องจากสัญญาณรบกวน จึงนำมาผ่านเกทบัฟเฟอร์เอาท์พุจะได้สัญญาณที่แน่นอนขึ้น การกู้สัญญาณนาฬิกา ทำได้จากการนำสัญญาณ bi-phase เข้า D ฟริบฟรอบเพื่อให้ได้สัญญาณ NRZ-Mกลับมาซึ่ง D ฟริบฟรอบใช้ IC เบอร์ 7474 เป็นแบบ TTL โดยเอาท์พุทที่ Q ขา6 จะเป็น NRZ-M ที่กลับเฟสอยู่ นำไปเอกซ์คูซีฟออร์กับสัญญาณ bi-phase เดิมโดยใช้ IC เบอร์ 7486 แบบ TTL จะได้สัญญาณนาฬิกามีการสั่นอยู่มาก จึงต้องทำการสร้างสัญญาณนาฬิกาขึ้นใหม่โดยใช้วงจรรวมเบอร์ 74121 เป็นตระกูล TTL เป็นวงจรโมโนสเตเบิ้ลจะทำงานที่ขอบขาลงของสัญญาณโดยตั้งเวลาให้หน่วงเท่ากับ 104 us ตามขนาดของสัญญาน นาฬิกาขนาด 9.6 KHz

กำหนดได้ดังสมการ

$$Tw = 0.75R_tC_t \qquad \text{-----(30)}$$

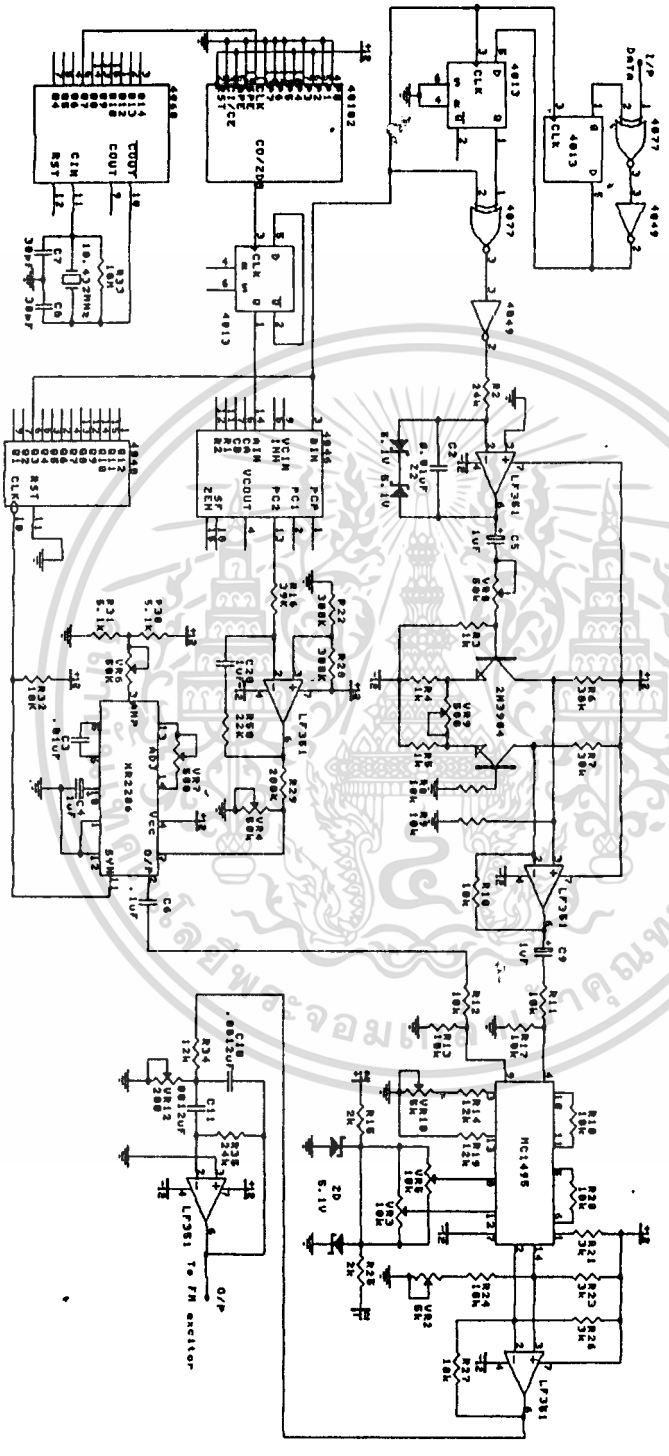
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เมื่อ Tw เป็นช่วงเวลาของสัญญาณนาฬิกาที่ 104 uS และ R_tC_t เป็นความต้านทานและค่า คาปาซิเตอร์ที่ขา Rext/Cext กับขา Cextของโมโนสเตเบิลโดยค่าความต้านทานที่ได้เท่ากับ 1386 Ohm ในทางปฏิบัติใช้ความต้านทานปรับค่า 5 K ' โดยกำหนดค่าคาปาซิเตอร์เท่ากับ 0.1 uF สัญญาณนาฬิกาอินพุท จะมาเข้าที่ขา 3 และ 4ของ 74121 เป็นขาA_1และ A_2 ตามลำดับโดย เอาท์พุทที่ขา 1 จะเป็น Q ซึ่งเป็นสัญญาณนาฬิกาที่ป้อนให้กับ D ฟลิปฟลอบตัวแรกที่ถอดรหัส NRZ-M สัญญาณเอาท์พุทที่ขา 6 จะเป็น Q ของ 74121 นำไปเข้าที่ภาคเฟสดีเทคเตอร์ของเฟสลอคลูป เพื่อลดการสั่น (Jitter). ของสัญญาณนาฬิกาโดยใช้วงจรรวมเบอร์ 4046 เป็นตระกูล C-MOS สัญญาณนาฬิกาที่ได้จะเป็นสัญญาณที่เหมือนกับภาคส่งและนำมาป้อนให้ฟลิปฟลอบตัวที่สองจะชิงค์เข้ากับสัญญาณ NRZ-M จาก D flipflop ตัวแรกโดยเอาท์พุทจะไปเข้าวงจรถอดรหัสดิฟเฟอร์เรนเชียล สัญญาณ NRZ-M จะถูกนำไปดีเลย์บิทไป 1 บิทข้อมูลด้วย D ฟลิปฟลอปตัวที่ 3เอาท์พุทจะนำไป เอกซ์คูซีฟออร์กับ NRZ-M ที่ก่อนดีเลท์บิทเอาท์พุทของเอกซ์คูซีฟออร์เบอร์7486 จะได้สัญญาณ NRZ-L ซึ่งเป็นข้อมูลที่ส่งต่อไปยังคอมพิวเตอร์ ซึ่งวงจรกู้สัญญาณนาฬิกาและ วงจรถอดรหัสทั้งหมดแสดงได้ดังรูปที่ 4.28



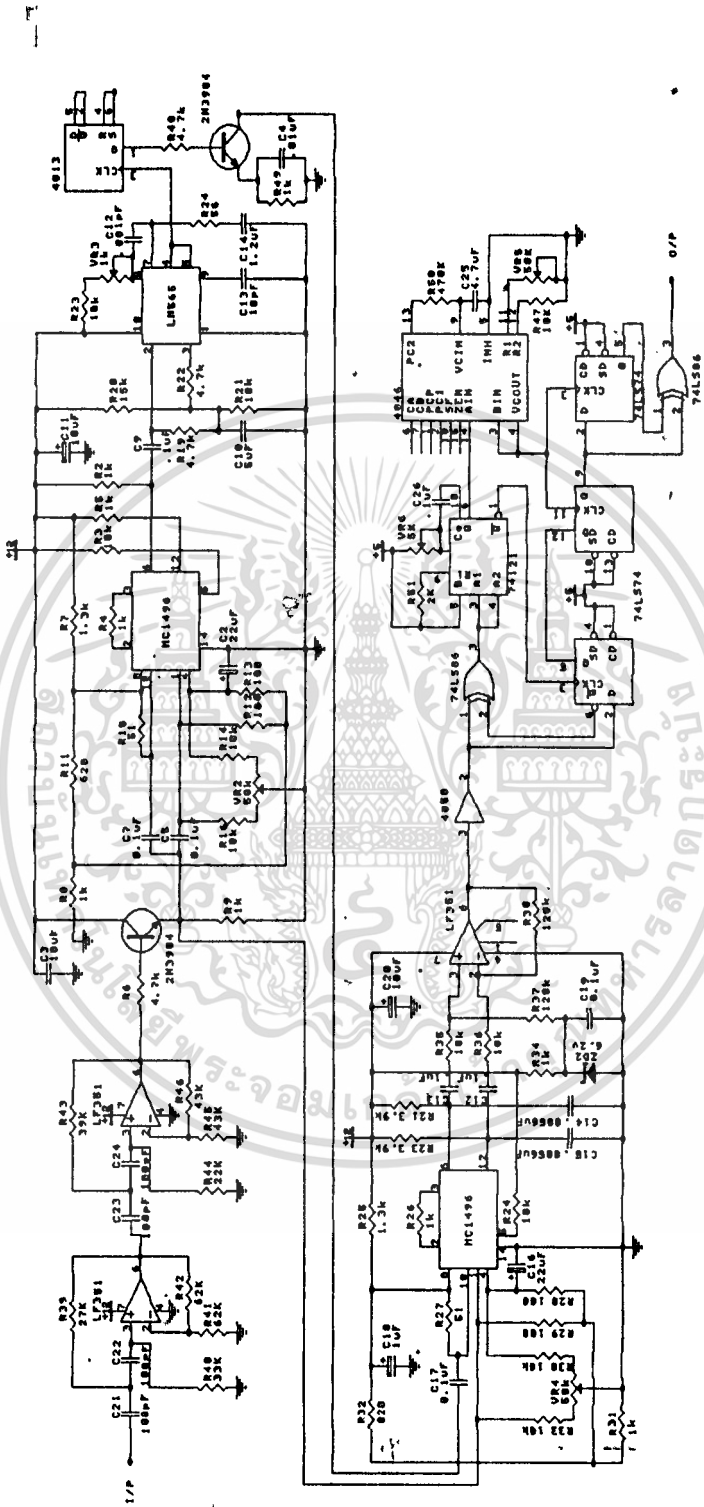
รูปที่ 4.28 วงจรกู้สัญญาณนาฬิกาและวงจรถอดรหัสข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.29 แสดงวงจรมอดูเลทสัญญาณ PSK ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.30 แสดงวงจรดีมอดูเลทสัญญาณ PSK ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

จากการศึกษาและออกแบบระบบการส่งข้อมูล โดยเฉพาะกวรออก์แบบโมเดมแบบ PSK ที่กำหนดความเร็วในการส่งข้อมูล 9600 bps และมีความถี่คลื่นพาร์ 76.8 KHz สรุปและวิจารณ์ผลได้ดังนี้

จากบทที่ 4 การออกแบบโมเดมแบบ PSK โดยมีแนวความคิดที่จะส่งข้อมูลขนาด 9600 bps และคลื่นพาร์ขนาด 76.8 KHz สัญญาณเบสแบนด์ที่ส่งมาจากคอมพิวเตอร์แบบอนุกรม โดยมาจากพอร์ตอนุกรม 8251A ที่มีการทำงานแบบซิงโครนัส โดยข้อมูลถูกส่งออกมาเป็นกลุ่มข้อมูลสัญญาณดิจิตอลเบสแบนด์นี้ ส่งผ่าน RS-232C มายังโมเดม ซึ่งทำการเปลี่ยนสัญญาณดิจิตอลให้เป็น สัญญาณอนาลอกแบบ BPSK เพื่อที่จะส่งไปยัง FM-Exciter โดยใช้ช่องสัญญาณ FM-SCA ในการส่งออกอากาศ ส่วนทางด้านภาครับ สัญญาณ PSK ที่มีคลื่นพาร์ 76.8 KHz จะถูกรับเข้ามาทาง FM-Tunner แล้วถูกส่งผ่านไปยังโมเดม เพื่อแปลงสัญญาณกลับเป็นสัญญาณดิจิตอลเบสแบนด์ แล้วส่งผ่าน RS-232C ไปยังคอมพิวเตอร์โดยผ่านการ์ดอนุกรม 8251A ก็จะได้สัญญาณข้อมูลแสดงที่หน้าจอ

การออกแบบและปัญหาจากการทำงาน โมเดมแบบ PSK ที่ภาคมอดูเลทสัญญาณ สัญญาณเบสแบนด์จะถูกนำมาเข้ารหัสสัญญาณ โดยทำการเข้ารหัสสองครั้ง ครั้งแรกจะเข้ารหัสแบบเฟอร์เรนเชียล คือการเปลี่ยนสัญญาณเบสแบนด์แบบ NRZ-L ให้เป็นสัญญาณแบบ NRZ-M เพื่อแก้ไขการสับสนทางเฟสทางด้านภาครับ ในการเข้ารหัสครั้งที่สอง จะทำการเข้ารหัสสัญญาณเบสแบนด์แบบ NRZ-M ให้เป็นสัญญาณแบบไบเฟส เพื่อให้สำหรับการกู้สัญญาณนาฬิกาและการซิงโครไนซ์สัญญาณทางภาครับ โดยสัญญาณเบสแบนด์ที่จะนำมาทำสัญญาณไบเฟส จะต้องมีความกว้างของบิทเป็นสองของสัญญาณนาฬิกา สัญญาณเบสแบนด์ที่เป็นไบเฟสแล้ว จะนำมาทำการจัดรูปสัญญาณให้มีลักษณะเป็นสัญญาณรีสโคไซน์ เพื่อเป็นการลดไซด์โลบของสัญญาณเบสแบนด์ ที่อินพุทของวงจรคูณสัญญาณเบสแบนด์กับสัญญาณคลื่นพาห์ จะมีระดับสัญญาณประมาณ 100 mV เอาท์พุทจะได้สัญญาณ PSK ที่มีรูปร่างเปลี่ยนแปลงตามเฟสของสัญญาณเบสแบนด์ สัญญาณเอาท์พุทที่ได้จะผ่านวงจรกรองความถี่ผ่านย่าน ซึ่งในการออกแบบสัญญาณเบสแบนด์ที่เป็นแบบไบเฟส โดยสัญญาณจะอยู่ในรูป Upper และ Lower จากความถี่ศูนย์กลางทำให้แบนด์วิดท์ของสัญญาณ PSK เป็น 4fb ซึ่งจากสัญญาณ NRZ มีแบนด์วิดท์เพียง 2fb ดังนั้นการออกแบบวงจรกรองความถี่ผ่านย่าน จะต้องออกแบบให้มีแบนด์วิดท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น

40 KHz หรือ 4 เท่าของความถี่บิทเรท 9.6 KHz ซึ่งไม่สามารถจะส่งในช่องสัญญาณ FM-SCA ได้ เนื่องจากมีแบนด์วิดท์กว้างเกินไป การแก้ไขคือจะต้องลดความถี่คลื่นพาห์องอยู่ในช่วง 57.6 KHz ที่บิทเรทเท่าเดิม แล้วกรองความถี่เฉพาะช่วง Upper ไปใช้งาน ซึ่งจะอยู่ในช่วงความถี่ 56.7 KHz ถึง 76.8 KHz ซึ่งสามารถส่งในช่องสัญญาณ FM-SCA ได้ หรือลดทั้งบิทเรทและความถี่คลื่นพาห์ โดยบิทเรทมีขนาด 4.8 bps และ ความถี่คลื่นพาห์อยู่ที่ 67.2 KHz โดยจะได้แบนด์วิดท์ของสัญญาณอยู่ในช่วง 57.6 KHz ถึง 76.8 KHz ที่ความถี่ศูนย์กลาง 67.2 KHz ในการออกแบบ BPF กำหนดแบนด์วิดท์ประมาณ 20 KHz ซึ่งสามารถส่งช่องสัญญาณ FM-SCA ได้

เอกสารอ้างอิง

1. กฤดากร กล่อมการ,"การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบ FM", วิทยานิพนธ์,คณะวิศวกรรมศาสตร์,สถาบันเทคโนโลยีพระจอมเกล้าลาดกระบัง,2536
2. รัชนัย อินทุใส,ไตรภพ อินทุใส,"การออกแบบ LAN ",พิสิกซ์เซ็นเตอร์,กทม
3. ณรงค์ เหมกรณ์,"การสื่อสารผ่านดาวเทียม",คณะวิศวกรรมศาสตร์,สถาบันเทคโนโลยีพระจอมเกล้าลาดกระบัง,2534

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

EXAR

XR-2206

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

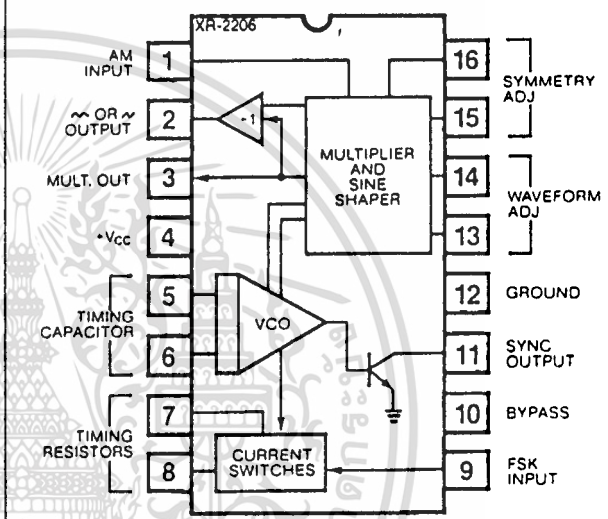
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency porportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTCS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\ pF$, $R_1 = 1\ k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\ \mu F$, $R_1 = 2\ M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C \leq T_A \leq 75°C$, $R_1 = R_2 = 20\ k\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\ k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ $R_1 = 1\ k\Omega$, f_L @ $R_1 = 2\ M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1$ kHz, $f_H = 10$ kHz
1000:1 Sweep		8			8		%	$f_L = 100$ Hz, $f_H = 100$ kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor C	0.001		100	0.001		100	µF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\ k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10$ pF
Fall Time		50			50		nsec	$C_L = 10$ pF
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2$ mA
Leakage Current		0.1	20		0.1	100	µA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

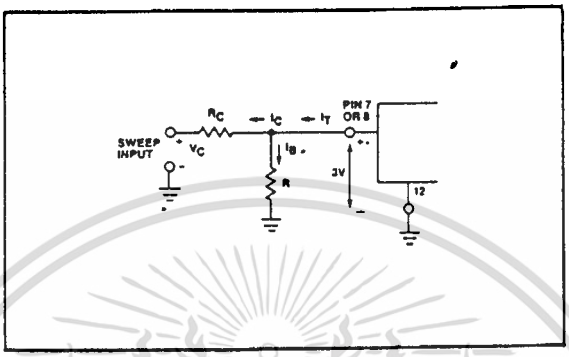


Figure 9: Circuit Connection for Frequency Sweep.

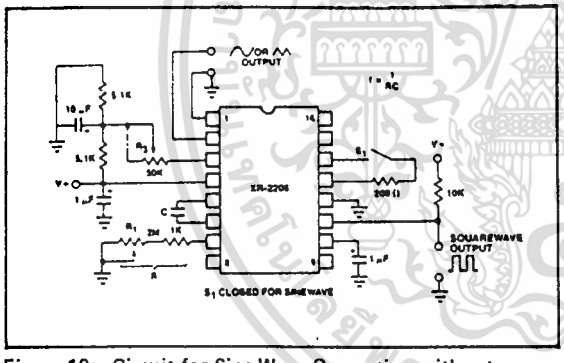


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3.)

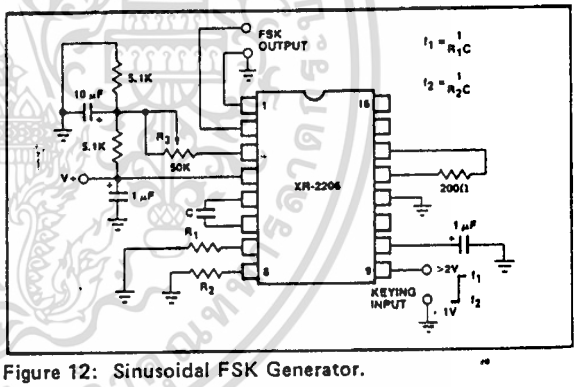


Figure 12: Sinusoidal FSK Generator.

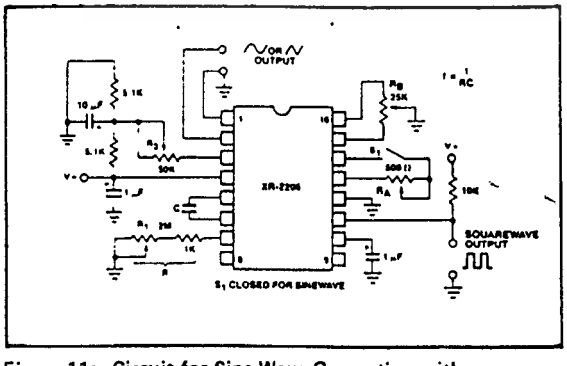


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing — See Figure 2.)

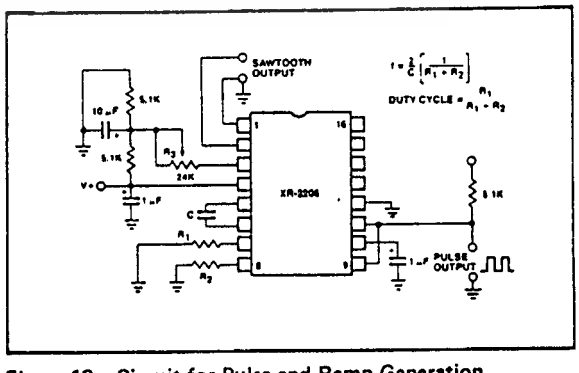


Figure 13: Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to ≈0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

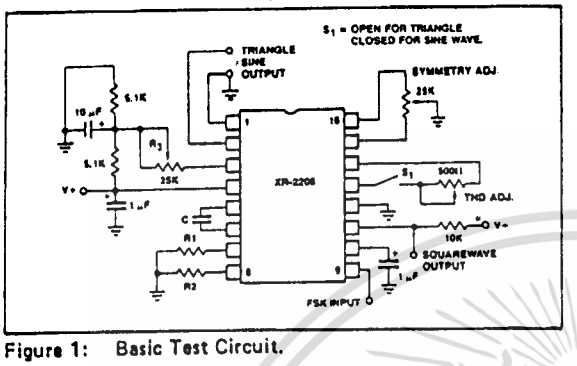


Figure 1: Basic Test Circuit.

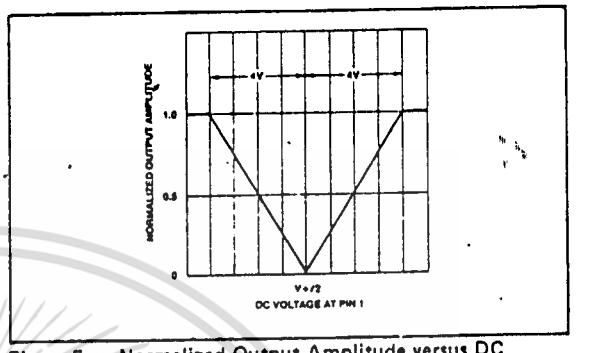


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

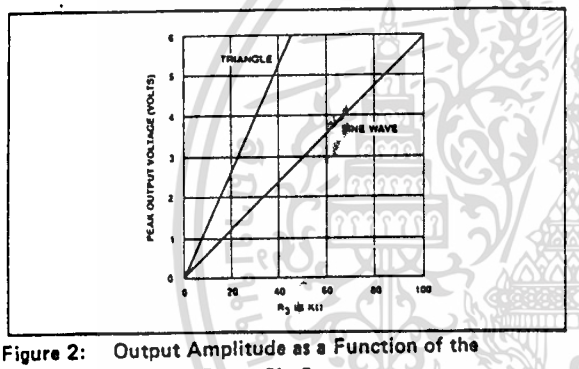


Figure 2: Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

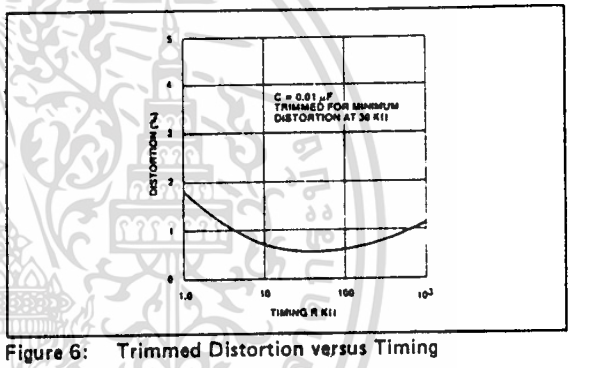


Figure 6: Trimmed Distortion versus Timing Resistor.

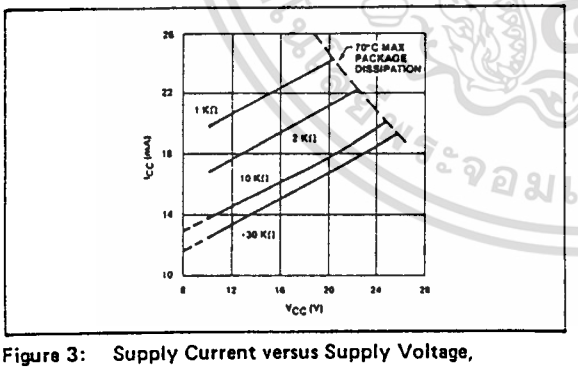


Figure 3: Supply Current versus Supply Voltage, Timing, R.

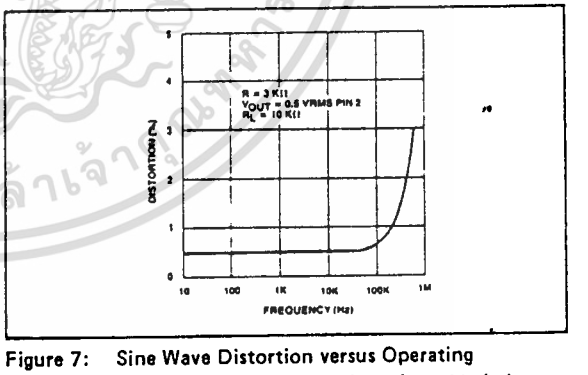


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

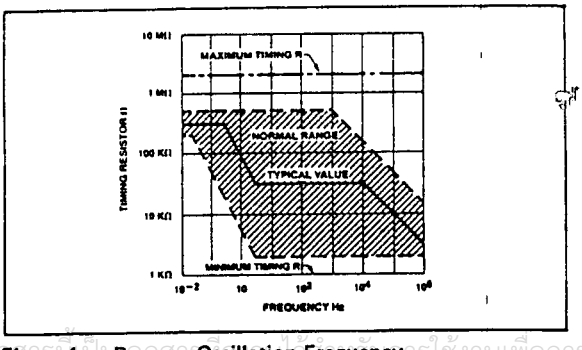


Figure 4: R versus Oscillation Frequency.

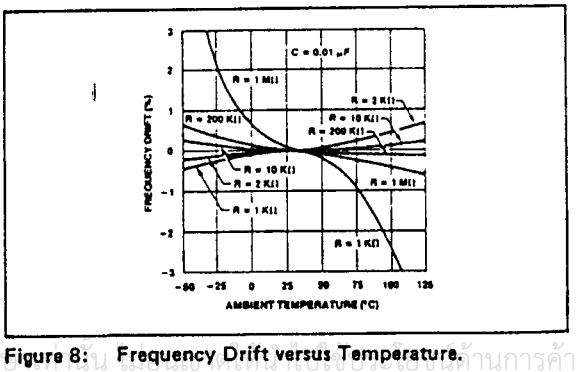


Figure 8: Frequency Drift versus Temperature.

เอกสารนี้ใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:
The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, are shown in Figure 4. Temperature stability is optimum for $4\ k\Omega < R < 200\ k\Omega$. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:
Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T \text{ (mA)}}{C \text{ } (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\left[1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right] \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

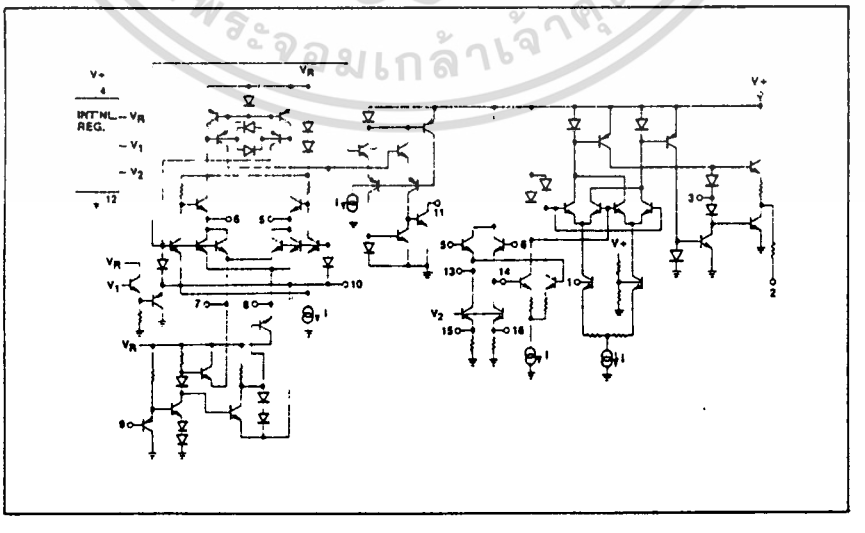
CAUTION: For safe operation of the circuit, I_T should be limited to ≤ 3 mA.

Output Amplitude:
Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3, for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, $R_3 = 50\ k\Omega$ would produce approximately ± 3V sinusoidal output amplitude.

Amplitude Modulation:
Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1 for values of dc bias at this pin, within ± 4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.

EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AN-14 APPLICATION NOTE

HIGH QUALITY FUNCTION GENERATOR SYSTEM WITH THE XR-2206

January 1982

INTRODUCTION

Waveform or function generators capable of producing am/fm modulated sine wave outputs find a wide range of applications in electrical measurement and laboratory instrumentation. This application note describes the design, construction and the performance of such a complete function generator system suitable for laboratory usage or hobbyist applications. The entire function generator is comprised of a single XR-2206 monolithic IC and a limited number of passive circuit components. It provides the engineer, student, or hobbyist with a highly versatile laboratory instrument for waveform generation at a very small fraction of the cost of conventional function generators available today.

GENERAL DESCRIPTION

The basic circuit configuration and the external components necessary for the high-quality function generator system is shown in Figure 1. The circuit shown in the figure is designed to operate with either a 12 V single power supply, or with ±6 V split supplies. For most applications, split-supply operation is preferred since it results in an output dc level which is nearly at ground potential.

The circuit configuration of Figure 1 provides three basic waveforms: sine, triangle and square wave. There are four overlapping frequency ranges which give an overall frequency range of 1 Hz to 100 kHz. In each range, the frequency may be varied over a 100:1 tuning range.

The sine or triangle output can be varied from 0 to over 6 V (peak to peak) from a 600 ohm source at the output terminal.

A squarewave output is available at the sync output terminal for oscilloscope synchronizing or driving logic circuits.

TYPICAL PERFORMANCE CHARACTERISTICS

The performance characteristics listed below are not guaranteed or warranted by Exar. However, they represent the typical performance characteristics measured by Exar's application engineers during the laboratory evaluation of the function generator system shown in Figure 1. The typical performance specifications listed below apply only when all of the recommended assembly instructions and adjustment procedures are followed:

(a) **Frequency Ranges:** The function generator system is designed to operate over four overlapping frequency ranges.

1 Hz to 100 Hz
10 Hz to 1 kHz
100 Hz to 10 kHz
1 kHz to 100 kHz

The range selection is made by switching in different timing capacitors.

(b) **Frequency Setting:** At any range setting, frequency can be varied over a 100:1 tuning range with a potentiometer (see R_{13} of Figure 1).

(c) **Frequency Accuracy:** Frequency accuracy of the XR-2206 is set by the timing resistor R and the timing capacitor C, and is given as:

$$f = 1/RC$$

The above expression is accurate to within ±5 % at any range setting. The timing resistor R is the series combination of resistors R_4 and R_{13} of Figure 1. The timing capacitor C is any one of the capacitors C_3 through C_6 shown in the figure.

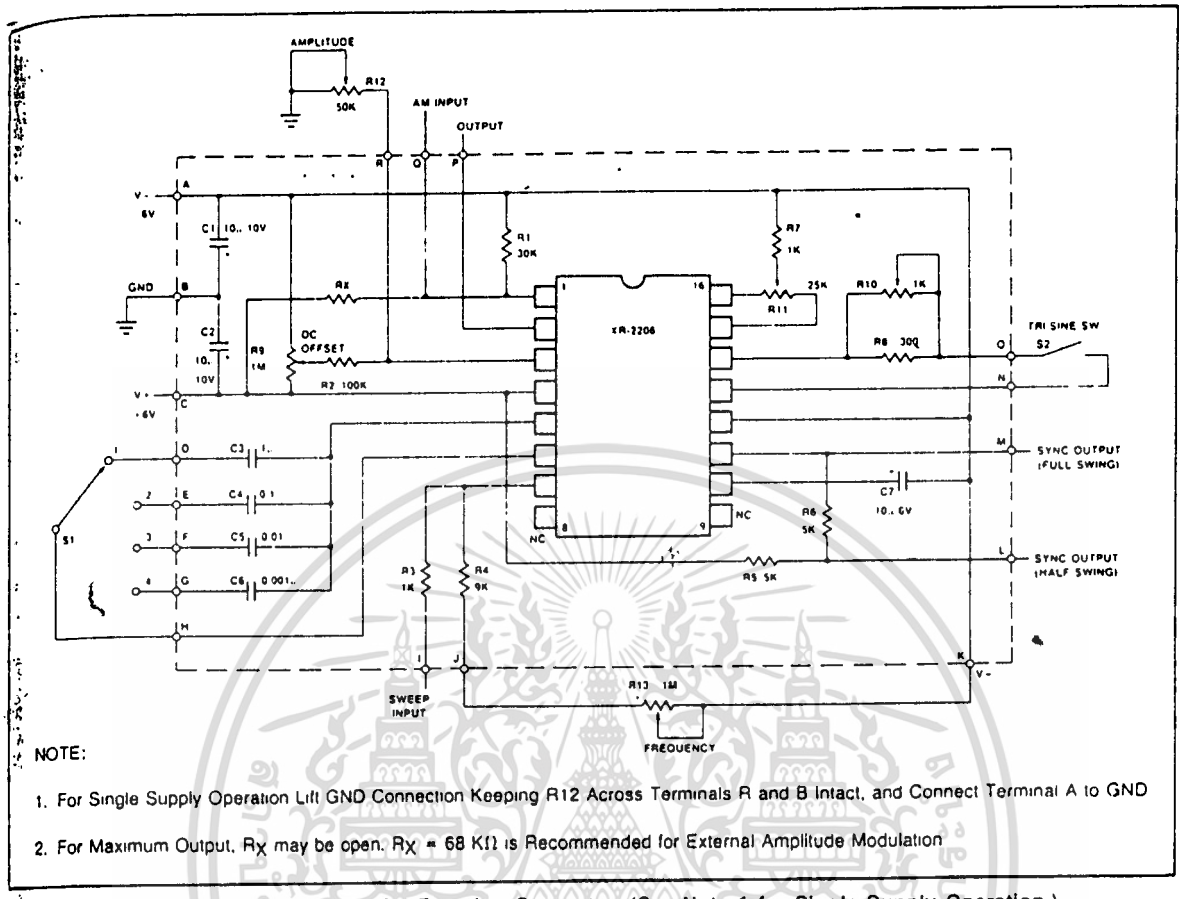
(d) **Sine and Triangle Output:** The sine and triangle output amplitudes are variable from 0 V to 6 V_{pp}. The amplitude is set by an external potentiometer, R_{12} of Figure 1. At any given amplitude setting, the triangle output amplitude is approximately twice as high as the sinewave output. The internal impedance of the output is 600 Ω.

(e) **Sinewave Distortion:** The total harmonic distortion of sinewave is less than 1 % from 10 Hz to 10 kHz and less than 3 % over the entire frequency range. The selection of a waveform is made by the triangle/sine selector switch, S_2.

(f) **Sync Output:** The sync output provides a 50 % duty cycle pulse output with either full swing or upper half swing of the supply voltage depending on the choice of sync output terminals on the printed circuit board (see Figure 1).

EXAR INTEGRATED SYSTEMS, INC.
750 Palomar Avenue, Sunnyvale, CA 94088 (408) 732-7970 TWX 910-339-9233

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE:

1. For Single Supply Operation Lift GND Connection Keeping R12 Across Terminals R and B Intact, and Connect Terminal A to GND
2. For Maximum Output, R_X may be open. R_X = 68 KΩ is Recommended for External Amplitude Modulation

Figure 1. Circuit Connection Diagram for Function Generator. (See Note 1 for Single Supply Operation.)

(g) **Frequency Modulation (External Sweep):** Frequency can be modulated or swept by applying an external control voltage to sweep terminal (Terminal I of Figure 1). When not used, this terminal should be left open-circuited. The open circuit voltage at this terminal is approximately 3 V above the negative supply voltage and its impedance is approximately 1000 ohms.

(h) **Amplitude Modulation:** The output amplitude varies linearly with modulation voltage applied to am input (terminal Q of Figure 1). The output amplitude reaches its minimum as the am control voltage approaches the half of the total power supply voltage. The phase of the output signal reverses as the amplitude goes through its minimum value. The total dynamic range is approximately 55 dB, with am control voltage range of 4 V referenced to the half of the total supply voltage. When not used, am terminal should be left open-circuited.

(i) **Power Source:** Split supplies: ±6 V, or single supply: +12 V. Supply Current 15 mA (see Figure 3).

EXPLANATION OF CIRCUIT CONTROLS:

Switches

Range Select Switch, S1: Selects the frequency range of operation for the function generator. The frequency is inversely proportional to the timing capacitor connected across Pins 5 and 6 of the XR-2206 circuit. Nominal capacitance values and frequency ranges corresponding to switch positions of S1 are as follows:

Position	Nominal Range	Timing Capacitance
1	1 Hz to 100 Hz	1 μF
2	10 Hz to 1 kHz	0.1 μF
3	100 Hz to 10 kHz	0.01 μF
4	1 Hz to 100 kHz	0.001 μF

If additional frequency ranges are needed, they can be added by introducing additional switch positions.

Triangle/Sine Waveform Switch, S2: Selects the triangle or sine output waveform.

Trimmers and Potentiometers

Dc Offset Adjustment, R9: The potentiometer used for adjusting the dc offset level of the triangle or sine output waveform.

Sinewave Distortion Adjustment, R10: Adjusted to minimize the harmonic content of sinewave output.

Sinewave Symmetry Adjustment, R11: Adjusted to optimize the symmetry of the sinewave output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Amplitude Control, R12: Sets the amplitude of the triangle or sinewave output.

Frequency Adjust, R13: Sets the oscillator frequency for any range setting of S1. Thus, R13 serves as a frequency dial on a conventional waveform generator and varies the frequency of the oscillator over an approximate 100 to 1 range.

Terminals

A. Negative Supply −6 V
B. Ground
C. Positive Supply −6 V
D. Range 1, timing capacitor terminal
E. Range 2, timing capacitor terminal
F. Range 3, timing capacitor terminal
G. Range 4, timing capacitor terminal
H. Timing capacitor common terminal
I. Sweep Input
J. Frequency adjust potentiometer terminal
K. Frequency adjust potentiometer negative supply terminal
L. Sync output (1.2 swing)
M. Sync output (full swing)
N. Triangle/sine waveform switch terminals
O. Triangle/sine, waveform switch terminals
P. Triangle or sinewave output
Q. AM input
R. Amplitude control terminal

PARTS LIST

The following is a list of external circuit components necessary to provide the circuit interconnections shown in Figure 1.

Capacitors:

C1, C2, C7	Electrolytic, 10 μF, 10 V
C3	Mylar, 1 μF, nonpolar, 10 %
C4	Mylar, 0.1 μF, 10 %
C5	Mylar, 0.01 μF, 10 %
C6	Mylar, 1000 pF, 10 %

Resistors:

R1	30 KΩ, 1/4 W, 10 %
R2	100 KΩ, 1/4 W, 10 %
R3, R7	1 KΩ, 1/4 W, 10 %
R4	9 KΩ, 1/4 W, 10 %
R5, R6	5 KΩ, 1/4 W, 10 %
R8	300 Ω, 1/4 W, 10 %
RX	62 KΩ, 1/4 W, 10 % (RX can be eliminated for maximum output)

Potentiometers:

R9	Trim, 1 MΩ, 1/4 W
R10	Trim, 1 KΩ, 1/4 W
R11	Trim, 25 KΩ, 1/4 W

The following additional items are recommended to convert the circuit of Figure 1 to a complete laboratory instrument:

Potentiometers:

R12	Amplitude control, linear 50 KΩ
R13	Frequency control, audio taper, 1 MΩ

Switches:

S1	Rotary switch, 1-pole, 4 positions
S2	Toggle or slide, SPST

Case:

7" × 4" × 4" (approx.) Metal or Plastic
(See Figures 4(a) and 4(b).)

Power Supply:

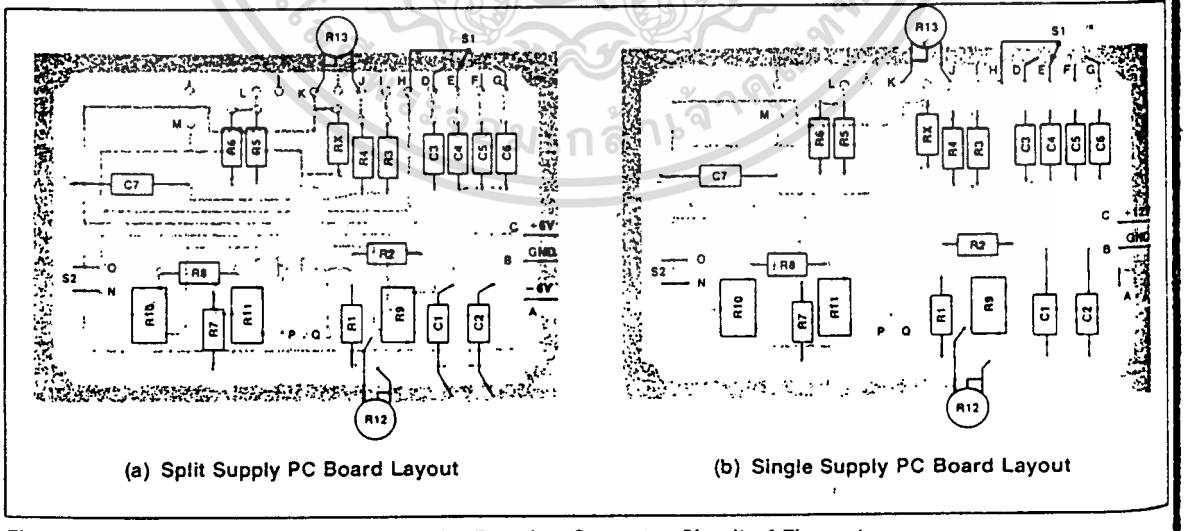
Dual supplies ±6 V or single +12 V
Batteries or power supply unit
(See Figures 3(a) and 3(b).)

Miscellaneous:

Knobs, solder, wires, terminals, etc.

BOARD LAYOUT

Figures 2(a) and 2(b) show the recommended printed-circuit board layout for the function generator circuit of Figure 1.



(a) Split Supply PC Board Layout

(b) Single Supply PC Board Layout

Figure 2. Recommended PC Board Layout for Function Generator Circuit of Figure 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED ASSEMBLY PROCEDURE

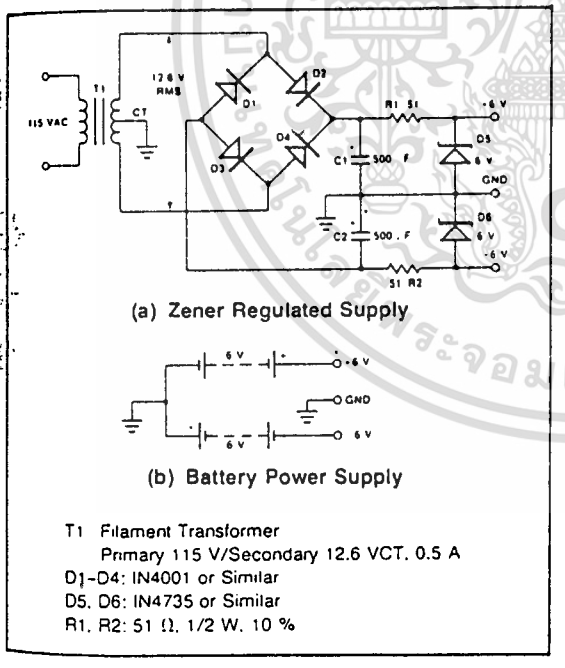
The following instructions and recommendations for the assembly of the function generator assume that the basic PC board layout of Figure 2(a) or 2(b) is used in the circuit assembly.

All the parts of the generator, with the exception of frequency adjust potentiometer, amplitude control potentiometer, triangle/sine switch and frequency range select switch, are mounted on the circuit board.

Install and solder all resistors, capacitors and trimmer resistors on the PC board first. Be sure to observe the polarity of capacitors C1, C2, C7. The timing capacitors C3, C4, C5 and C6 must be non-polar type. Now install IC1 on the board. We recommend the use of an IC socket to prevent possible damage to the IC during soldering and to provide for easy replacement in case of a malfunction.

The entire generator board along with power supply or batteries and several switches and potentiometers will fit into a case of the type readily available at electronic hobby shops. It will be necessary to obtain either output jacks or terminals for the outputs and am and frequency sweep inputs.

Install the frequency adjust pot, the frequency range select switch, the output amplitude control pot, the power switch, and the triangle/sine switch on the case. Next, install the PC board in the case, along with a power supply.



(a) Zener Regulated Supply

(b) Battery Power Supply

T1 Filament Transformer
Primary 115 V/Secondary 12.6 VCT, 0.5 A
D1-D4: IN4001 or Similar
D5, D6: IN4735 or Similar
R1, R2: 51 Ω, 1/2 W, 10 %

Figure 3. Recommended Power Supply Configurations.

Any simple power supply having reasonable regulation may be used. Figure 3 gives some recommended power supply configurations.

Precaution: Keep the lead lengths small for the range selector switch.

ADJUSTMENT PROCEDURE

When assembly is completed and you are ready to put the function generator into operation, make sure that the polarity of power supply and the orientation of the IC unit are correct. Then apply the dc power to the unit.

To adjust for minimum distortion, connect the scope probe to the triangle/sine output. Close S2 and adjust the amplitude control to give non-clipping maximum swing. Then adjust R10 and R11 alternately for minimum distortion by oberving the sinusoidal waveform. If a distortion meter is available, you may use it as a final check on the setting of sine-shaping trimmers. The minimum distortion obtained in this manner is typically less than 1 % from 1 Hz to 10 kHz and less than 3 % over the entire frequency range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

LM565/LM565C Phase Locked Loop

General Description

The LM565 and LM565C are general purpose phase locked loops containing a stable, highly linear voltage controlled oscillator for low distortion FM demodulation, and a double balanced phase detector with good carrier suppression. The VCO frequency is set with an external resistor and capacitor, and a tuning range of 10:1 can be obtained with the same capacitor. The characteristics of the closed loop system—bandwidth, response speed, capture and pull in range—may be adjusted over a wide range with an external resistor and capacitor. The loop may be broken between the VCO and the phase detector for insertion of a digital frequency divider to obtain frequency multiplication.

The LM565H is specified for operation over the −55°C to +125°C military temperature range. The LM565CH and LM565CN are specified for operation over the 0°C to +70°C temperature range.

Features

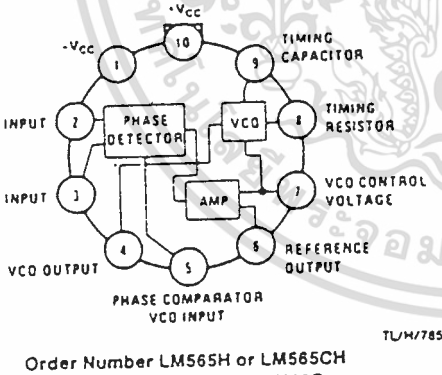
- 200 ppm/°C frequency stability of the VCO
- Power supply range of ±5 to ±12 volts with 100 ppm/% typical
- 0.2% linearity of demodulated output
- Linear triangle wave with in phase zero crossings available
- TTL and DTL compatible phase detector input and square wave output
- Adjustable hold in range from ±1% to > ±60%

Applications

- Data and tape synchronization
- Modems
- FSK demodulation
- FM demodulation
- Frequency synthesizer
- Tone decoding
- Frequency multiplication and division
- SCA demodulators
- Telemetry receivers
- Signal regeneration
- Coherent demodulators

Connection Diagrams

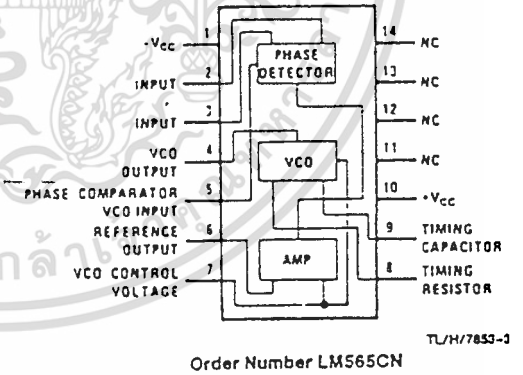
Metal Can Package



TL/H/7853–2

Order Number LM565H or LM565CH
See NS Package Number H10C

Dual-In-Line Package



TL/H/7853–3

Order Number LM565CN
See NS Package Number N14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	± 12V
Power Dissipation (Note 1)	1400 mW
Differential Input Voltage	± 1V
Operating Temperature Range	
LM565H	−55°C to + 125°C
LM565CH, LM565CN	0°C to + 70°C
Storage Temperature Range	−65°C to + 150°C
Lead Temperature (Soldering, 10 sec.)	260°C

Electrical Characteristics AC Test Circuit, $T_A = 25°C$, $V_{CC} = \pm 6V$

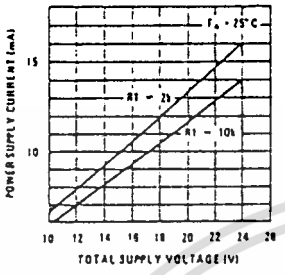
Parameter	Conditions	LM565			LM565C			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Current			8.0	12.5		8.0	12.5	mA
Input Impedance (Pins 2, 3)	$-4V < V_2, V_3 < 0V$	7	10			5		kΩ
VCO Maximum Operating Frequency	$C_o = 2.7$ pF	300	500		250	500		kHz
VCO Free-Running Frequency	$C_o = 1.5$ nF $R_o = 20$ kΩ $f_o = 10$ kHz	−10	0	+10	−30	0	+30	%
Operating Frequency Temperature Coefficient			−100			−200		ppm/°C
Frequency Drift with Supply Voltage			0.1	1.0		0.2	1.5	%/V
Triangle Wave Output Voltage		2	2.4	3	2	2.4	3	V_{p-p}
Triangle Wave Output Linearity			0.2			0.5		%
Square Wave Output Level		4.7	5.4		4.7	5.4		V_{p-p}
Output Impedance (Pin 4)			5			5		kΩ
Square Wave Duty Cycle		45	50	55	40	50	60	%
Square Wave Rise Time			20			20		ns
Square Wave Fall Time			50			50		ns
Output Current Sink (Pin 4)		0.6	1		0.6	1		mA
VCO Sensitivity	$f_o = 10$ kHz		6600			6600		Hz/V
Demodulated Output Voltage (Pin 7)	± 10% Frequency Deviation	250	300	400	200	300	450	mV_{p-p}
Total Harmonic Distortion	± 10% Frequency Deviation		0.2	0.75		0.2	1.5	%
Output Impedance (Pin 7)			3.5			3.5		kΩ
DC Level (Pin 7)		4.25	4.5	4.75	4.0	4.5	5.0	V
Output Offset Voltage $\lvert V_7 - V_6 \rvert$			30	100		50	200	mV
Temperature Drift of $\lvert V_7 - V_6 \rvert$			500			500		μV/°C
AM Rejection		30	40			40		dB
Phase Detector Sensitivity K_D			.68			.68		V/radian

Note 1: The maximum junction temperature of the LM565 and LM565C is + 150°C. For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of + 150°C/W junction to ambient or + 45°C/W junction to case. Thermal resistance of the dual-in-line package is + 85°C/W.

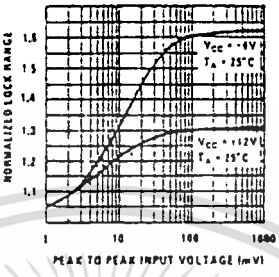
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

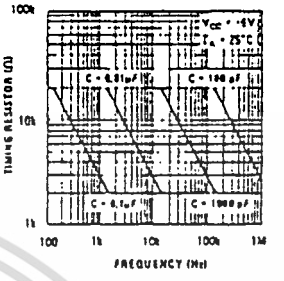
Power Supply Current as a Function of Supply Voltage



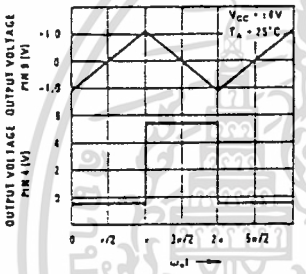
Lock Range as a Function of Input Voltage



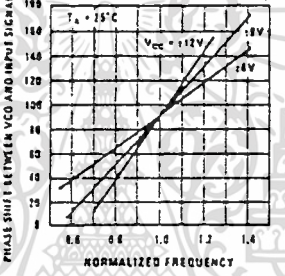
VCO Frequency



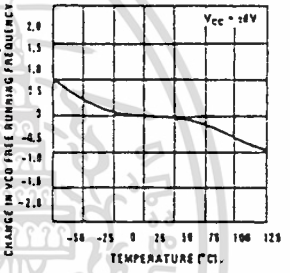
Oscillator Output Waveforms



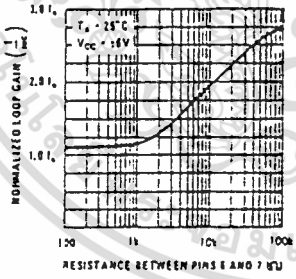
Phase Shift vs Frequency



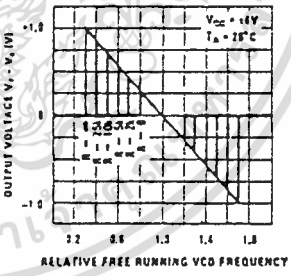
VCO Frequency as a Function of Temperature



Loop Gain vs Load Resistance



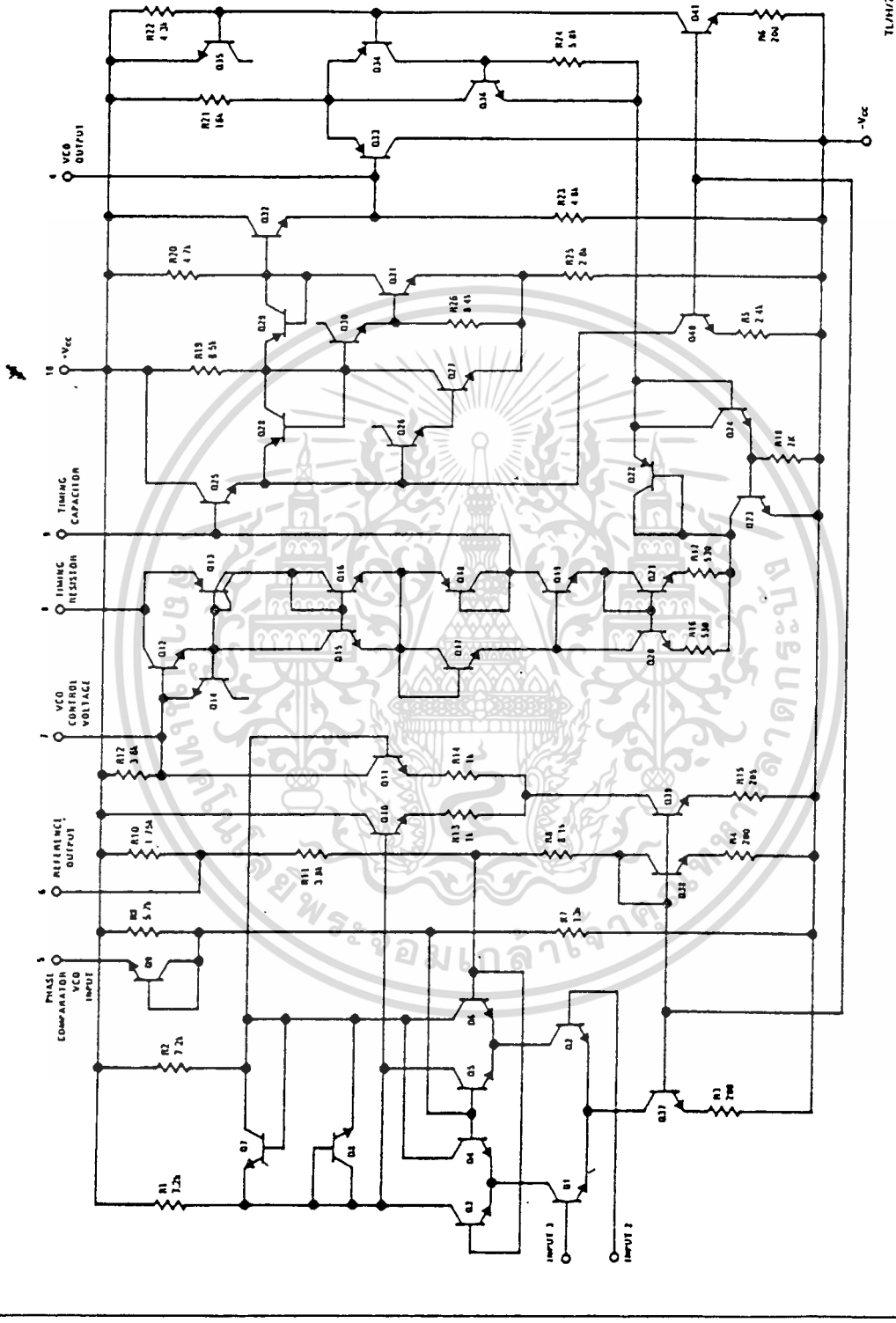
Hold In Range as a Function of R_{6-7}



TL/H/7853–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

In designing with phase locked loops such as the LM565, the important parameters of interest are:

FREE RUNNING FREQUENCY

$$f_o \approx \frac{0.3}{R_o C_o}$$

LOOP GAIN: relates the amount of phase change between the input signal and the VCO signal for a shift in input signal frequency (assuming the loop remains in lock). In servo theory, this is called the "velocity error coefficient."

$$\text{Loop gain} = K_o K_D \left(\frac{1}{\text{sec}}\right)$$

$$K_o = \text{oscillator sensitivity} \left(\frac{\text{radians/sec}}{\text{volt}}\right)$$

$$K_D = \text{phase detector sensitivity} \left(\frac{\text{volts}}{\text{radian}}\right)$$

The loop gain of the LM565 is dependent on supply voltage, and may be found from:

$$K_o K_D = \frac{33.6\, f_o}{V_c}$$

f_o = VCO frequency in Hz

V_c = total supply voltage to circuit

Loop gain may be reduced by connecting a resistor between pins 6 and 7; this reduces the load impedance on the output amplifier and hence the loop gain.

HOLD IN RANGE: the range of frequencies that the loop will remain in lock after initially being locked.

$$f_H = \pm \frac{8\, f_o}{V_c}$$

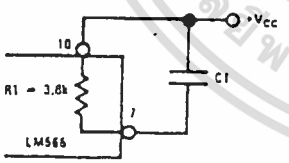
f_o = free running frequency of VCO

V_c = total supply voltage to the circuit

THE LOOP FILTER

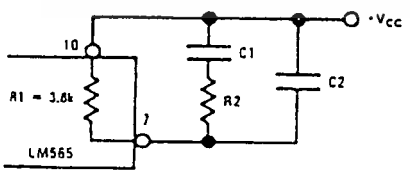
In almost all applications, it will be desirable to filter the signal at the output of the phase detector (pin 7); this filter may take one of two forms:

Simple Lag Filter



TL/H/7853–11

Lag-Lead Filter



TL/H/7853–12

A simple lag filter may be used for wide closed loop bandwidth applications such as modulation following where the frequency deviation of the carrier is fairly high (greater than 10%), or where wideband modulating signals must be followed.

The natural bandwidth of the closed loop response may be found from:

$$f_n = \frac{1}{2\pi}\sqrt{\frac{K_o K_D}{R_1 C_1}}$$

Associated with this is a damping factor:

$$\delta = \frac{1}{2}\sqrt{\frac{1}{R_1 C_1 K_o K_D}}$$

For narrow band applications where a narrow noise bandwidth is desired, such as applications involving tracking a slowly varying carrier, a lead lag filter should be used. In general, if $1/R_1C_1 < K_o K_D$, the damping factor for the loop becomes quite small resulting in large overshoot and possible instability in the transient response of the loop. In this case, the natural frequency of the loop may be found from

$$f_n = \frac{1}{2\pi}\sqrt{\frac{K_o K_D}{\tau_1 + \tau_2}}$$

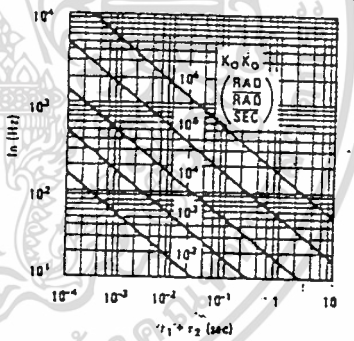
$$\tau_1 + \tau_2 = (R_1 + R_2)\, C_1$$

R_2 is selected to produce a desired damping factor δ, usually between 0.5 and 1.0. The damping factor is found from the approximation:

$$\delta \simeq \pi\, \tau_2 f_n$$

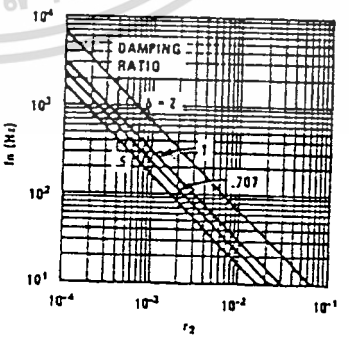
These two equations are plotted for convenience.

Filter Time Constant vs Natural Frequency



TL/H/7853–13

Damping Time Constant vs Natural Frequency



TL/H/7853–14

Capacitor C_2 should be much smaller than C_1 since its function is to provide filtering of carrier. In general $C_2 \leq 0.1\, C_1$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS ($V^+ = +32$ V, $V^- = -15$ V, $T_A = +25°C$, $I_3 = I_{13} = 1.0$ mA, $R_X = R_Y = 15$ kΩ, $R_L = 11$ kΩ unless otherwise noted)

Characteristic		Figure	Symbol	Min	Typ	Max	Unit
Linearity:		5					%
Output Error in Percent of Full Scale:							
$T_A = -25°C$							
$-10 < V_X < +10$ ($V_Y = \pm 10$ V)	MC1495		E_{RX}	—	±1.0	±2.0	
	MC1595			—	±0.5	±1.0	
$-10 < V_Y < +10$ ($V_X = \pm 10$ V)	MC1495		E_{RY}	—	±2.0	±4.0	
	MC1595			—	±1.0	±2.0	
$T_A = 0$ to $+70°C$	MC1495						
$-10 < V_X < -10$ ($V_Y = \pm 10$ V)			E_{RX}	—	±1.5	—	
$-10 < V_Y < +10$ ($V_X = +10$ V)			E_{RY}	—	±3.0	—	
$T_A = -55°C$ to $+125°C$	MC1595						
$-10 < V_X < +10$ ($V_Y = \pm 10$ V)			E_{RX}	—	±0.75	—	
$-10 < V_Y < +10$ ($V_X = \pm 10$ V)			E_{RY}	—	±1.5	—	
Squaring Mode Error:		5	E_{SQ}				%
Accuracy in Percent of Full Scale After Offset and Scale Factor Adjustment							
$T_A = +25°C$	MC1495			—	±0.75	—	
	MC1595			—	±0.5	—	
$T_A = 0$ to $-70°C$	MC1495			—	±1.0	—	
$T_A = -55°C$ to $+125°C$	MC1595			—	±0.75	—	
Scale Factor (Adjustable)		—	K	—	0.1	—	
$(K = \frac{2R_L}{I_3 R_X R_Y})$							
Input Resistance	MC1495	7	R_{INX}	—	30	—	MΩ
($f = 20$ Hz)	MC1595			—	35	—	
	MC1495		R_{INY}	—	20	—	
	MC1595			—	35	—	
Differential Output Resistance ($f = 20$ Hz)		8	R_O	—	300	—	kΩ
Input Bias Current		6					μA
$I_{bx} = \frac{(I_9 - I_{12})}{2}$, $I_{by} = \frac{(I_4 - I_8)}{2}$	MC1495		I_{bx}	—	2.0	12	
	MC1595			—	2.0	8.0	
	MC1495		I_{by}	—	2.0	12	
	MC1595			—	2.0	8.0	
Input Offset Current		6					μA
$I_9 - I_{12}$	MC1495		$\lvert I_{iox} \rvert$	—	0.4	2.0	
	MC1595			—	0.2	1.0	
$I_4 - I_8$	MC1495		$\lvert I_{ioy} \rvert$	—	0.4	2.0	
	MC1595			—	0.2	1.0	
Average Temperature Coefficient of Input Offset Current		6	$TC_{\lvert io \rvert}$				nA/°C
($T_A = 0$ to $-70°C$)	MC1495			—	2.5	—	
($T_A = -55°C$ to $-125°C$)	MC1595			—	2.5	—	
Output Offset Current	MC1495	6	I_{oo}		20	100	μA
$\lvert I_{14} - I_2 \rvert$	MC1595			—	10	50	
Average Temperature Coefficient of Output Offset Current		6	$TC_{I_{oo}}$				nA/°C
($T_A = 0$ to $-70°C$)	MC1495			—	20	—	
($T_A = -55°C$ to $+125°C$)	MC1595			—	20	—	
Frequency Response		9,10					
3.0 dB Bandwidth, $R_L = 11$ kΩ			BW_{3dB}	—	3.0	—	MHz
3.0 dB Bandwidth, $R_L = 50$ Ω (Transconductance Bandwidth)			$T_{BW3\ dB}$	—	80	—	MHz
3° Relative Phase Shift Between V_X and V_Y			f_ϕ	—	750	—	kHz
1% Absolute Error Due to Input-Output Phase Shift			f_θ	—	30	—	kHz
Common Mode Input Swing (Either Input)	MC1495	11	CMV	±10.5	±12	—	Vdc
	MC1595			±11.5	±13	—	
Common Mode Gain (Either Input)	MC1495	11	ACM	−40	−50	—	dB
	MC1595			−50	−60	—	
Common Mode Quiescent Output Voltage		12	V_{o1}	—	21	—	Vdc
			V_{o2}	—	21	—	
Differential Output Voltage Swing Capability		9	V_O	—	±14	—	V_{peak}
Power Supply Sensitivity		12	S^+	—	5.0	—	mV/V
			S^-	—	10	—	
Power Supply Current		12	I_7	—	6.0	7.0	mA
DC Power Dissipation		12	P_D	—	135	170	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC1495L
MC1595L

WIDEBAND MONOLITHIC FOUR-QUADRANT MULTIPLIER

. . designed for uses where the output is a linear product of two input voltages. Maximum versatility is assured by allowing the user to select the level shift method. Typical applications include: multiply, divide*, square root*, mean square*, phase detector, frequency doubler, balanced modulator/demodulator, electronic gain control.

*When used with an operational amplifier.

- Wide Bandwidth
- Excellent Linearity – 1% max Error on X-Input, 2% max Error on Y-Input – MC1595L
- Excellent Linearity – 2% max Error on X-Input, 4% max Error on Y-Input – MC1495L
- Adjustable Scale Factor, K
- Excellent Temperature Stability
- Wide Input Voltage Range – ± 10 Volts
- ± 15 Volt Operation

LINEAR FOUR-QUADRANT MULTIPLIER

SILICON MONOLITHIC INTEGRATED CIRCUIT

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)

L SUFFIX
CERAMIC PACKAGE
CASE 632

FIGURE 1 – FOUR-QUADRANT MULTIPLIER TRANSFER CHARACTERISTIC

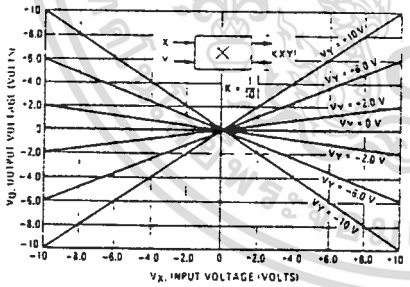


FIGURE 2 – TRANSCONDUCTANCE BANDWIDTH

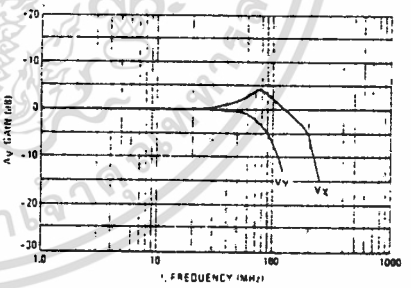
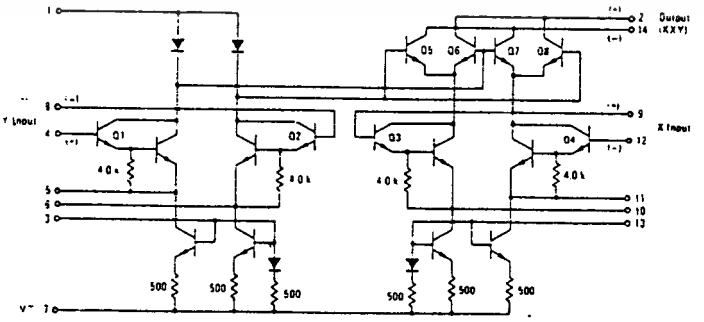


FIGURE 3 – CIRCUIT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V_2-V_1, $V_{14}-V_1$, V_1-V_9, V_1-V_{12}, V_1-V_4, V_1-V_8, $V_{12}-V_7$, V_9-V_7, V_8-V_7, V_4-V_7)	ΔV	30	Vdc
Differential Input Signal	$V_{12}-V_9$ V_4-V_8	$\pm(6+I_{13}R_X)$ $\pm(6+I_3R_Y)$	Vdc Vdc
Maximum Bias Current	I_3 I_{13}	10 10	mA
Power Dissipation (Package Limitation) Ceramic Package Derate above T_A = +25°C	P_D	750 5.0	mW mW/°C
Operating Temperature Range MC1495 MC1595	T_A	 0 to +70 -55 to +125	°C °C °C
Storage Temperature Range	T_{stg}	-65 to +150	°C

TEST CIRCUITS

FIGURE 4 – LINEARITY (USING NULL TECHNIQUE)

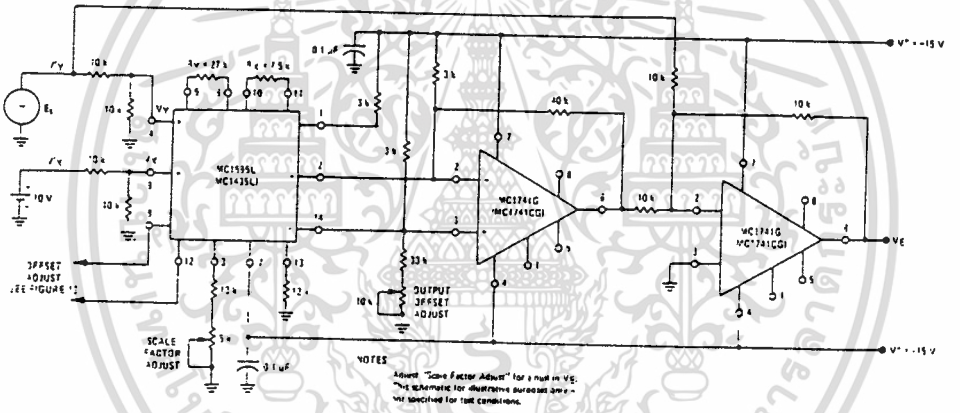
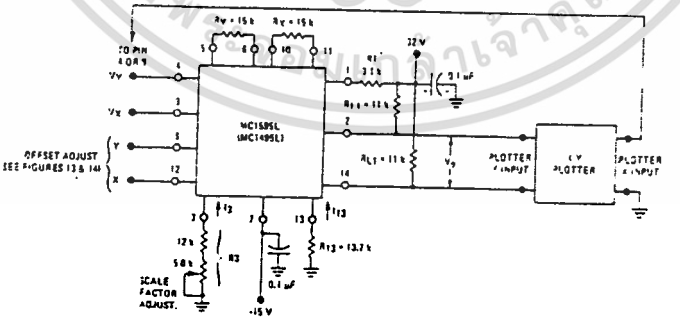


FIGURE 5 – LINEARITY (USING X-Y PLOTTER TECHNIQUE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 6 – INPUT AND OUTPUT CURRENT

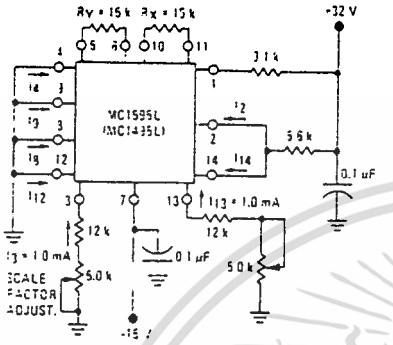


FIGURE 7 – INPUT RESISTANCE

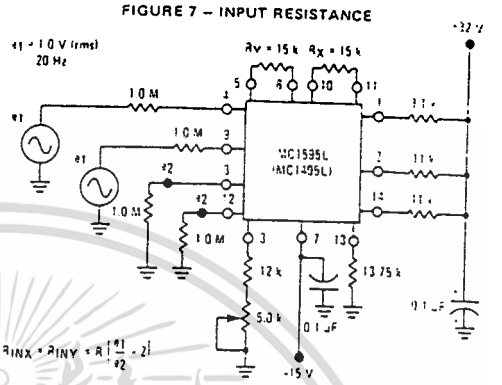


FIGURE 8 – OUTPUT RESISTANCE

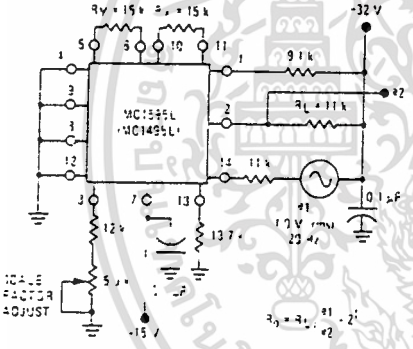


FIGURE 9 – BANDWIDTH (R_L = 11 kΩ)

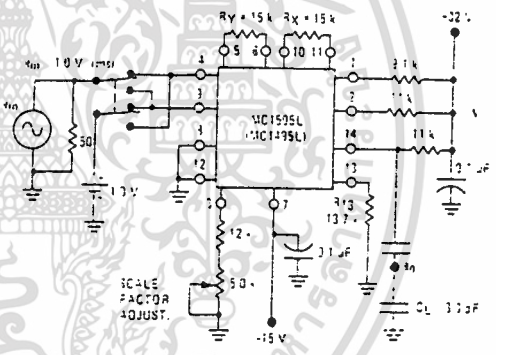


FIGURE 10 – BANDWIDTH (R_L = 50 Ω)

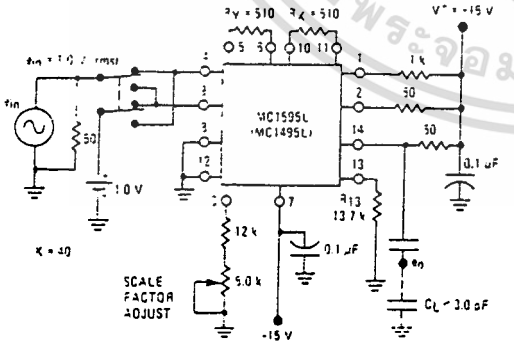
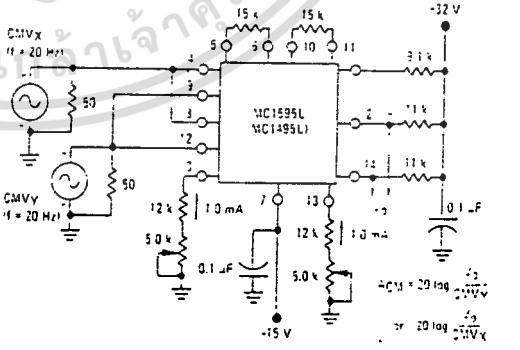


FIGURE 11 – COMMON-MODE GAIN and COMMON-MODE INPUT SWING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 12 – POWER SUPPLY SENSITIVITY

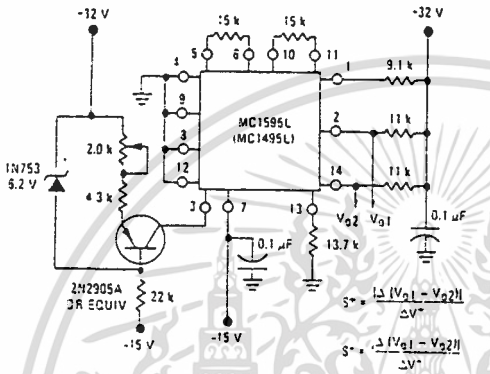


FIGURE 13 – OFFSET ADJUST CIRCUIT

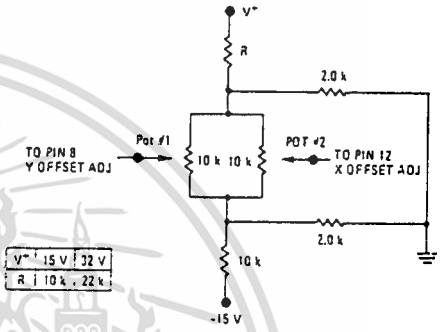
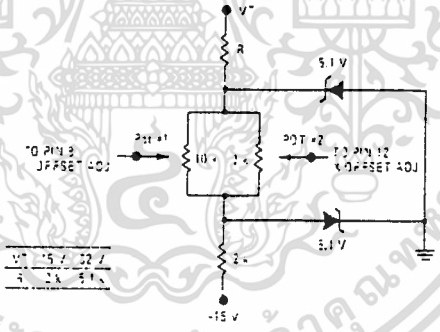


FIGURE 14 – OFFSET ADJUST CIRCUIT (ALTERNATE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

FIGURE 15 – LINEARITY versus TEMPERATURE

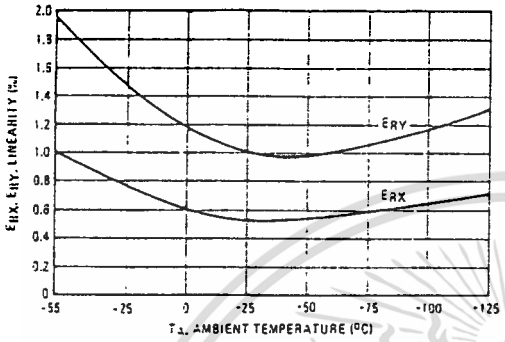


FIGURE 16 – SCALE FACTOR versus TEMPERATURE

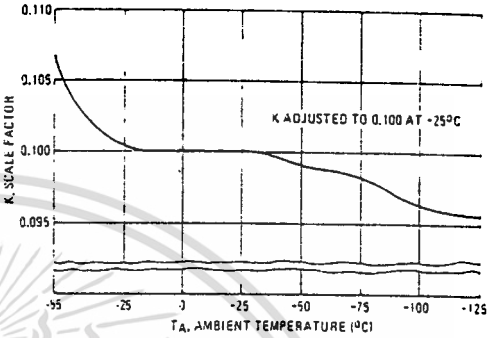


FIGURE 17 – ERROR CONTRIBUTED BY INPUT DIFFERENTIAL AMPLIFIER

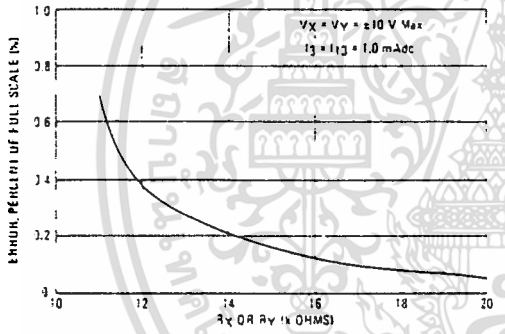


FIGURE 18 – ERROR CONTRIBUTED BY INPUT DIFFERENTIAL AMPLIFIER

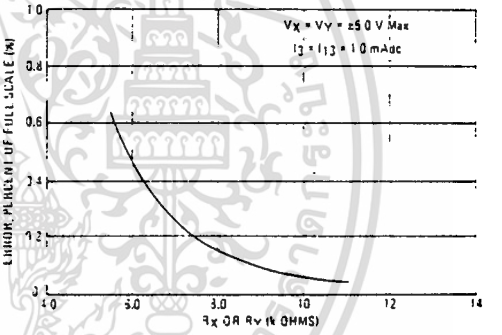
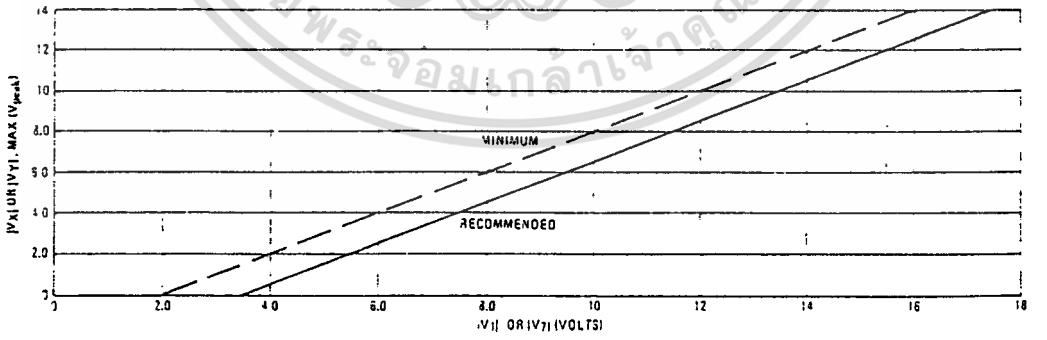


FIGURE 19 – MAXIMUM ALLOWABLE INPUT VOLTAGE versus VOLTAGE AT PIN 1 OR PIN 7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION

THEORY OF OPERATION

The MC1595 (MC1495) is a monolithic, four-quadrant multiplier which operates on the principle of variable transconductance. The detailed theory of operation is covered in Application Note AN-489, Analysis and Basic Operation of the MC1595. The result of this analysis is that the differential output current of the multiplier is given by

$$I_A - I_B = \Delta I = \frac{2V_X V_Y}{R_X R_Y I_3}$$

where I_A and I_B are the currents into pins 14 and 2, respectively, and V_X and V_Y are the X and Y input voltages at the multiplier input terminals.

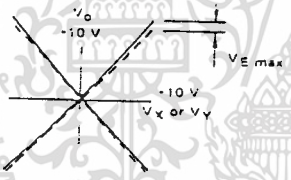
DESIGN CONSIDERATIONS

General

The MC1595 (MC1495) permits the designer to tailor the multiplier to a specific application by proper selection of external components. External components may be selected to optimize a given parameter (e.g. bandwidth) which may in turn restrict another parameter (e.g. maximum output voltage swing). Each important parameter is discussed in detail in the following paragraphs.

Linearity, Output Error, E_{RX} or E_{RY}

Linearity error is defined as the maximum deviation of output voltage from a straight line transfer function. It is expressed as error in percent of full scale (see figure below).



For example, if the maximum deviation, $V_{E(max)}$, is ±100 mV and the full scale output is 10 volts, then the percentage error is

$$E_R = \frac{V_{E(max)}}{V_{o(max)}} \times 100 = \frac{100 \times 10^{-3}}{10} \times 100 = \pm 1.0\%.$$

Linearity error may be measured by either of the following methods:

1. Using an X – Y plotter with the circuit shown in Figure 5, obtain plots for X and Y similar to the one shown above.
2. Use the circuit of Figure 4. This method nulls the level shifted output of the multiplier with the original input. The peak output of the null operational amplifier will be equal to the error voltage, $V_{E(max)}$.

One source of linearity error can arise from large signal nonlinearity in the X and Y-input differential amplifiers. To avoid introducing error from this source, the emitter degeneration resistors R_X and R_Y must be chosen large enough so that nonlinear base-emitter voltage variation can be ignored. Figures 17 and 18 show the error expected from this source as a function of the values of R_X and R_Y with an operating current of 1.0 mA in each side of the differential amplifiers (i.e., $I_3 = I_{13} = 1.0$ mA).

3 dB Bandwidth and Phase Shift

Bandwidth is primarily determined by the load resistors and the stray multiplier output capacitance and/or the operational amplifier used to level shift the output. If wideband operation is desired, low value load resistors and/or a wideband operational amplifier should be used. Stray output capacitance will depend to a large extent on circuit layout.

Phase shift in the multiplier circuit results from two sources: phase shift common to both X and Y channels (due to the load resistor-output capacitance pole mentioned above) and relative phase shift between X and Y channels (due to differences in transadmittance in the X and Y channels). If the input to output phase shift is only 0.6°, the output product of two sine waves will exhibit a vector error of 1%. A 3° relative phase shift between V_X and V_Y results in a vector error of 5%.

Maximum Input Voltage

$V_{X(max)}$, $V_{Y(max)}$ maximum input voltages must be such that:

$$V_{X(max)} < I_{13} R_Y$$

$$V_{Y(max)} < I_3 R_Y.$$

Exceeding this value will drive one side of the input amplifier to "cutoff" and cause non-linear operation.

Currents I_3 and I_{13} are chosen at a convenient value (observing power dissipation limitation) between 0.5 mA and 2.0 mA, approximately 1.0 mA. Then R_X and R_Y can be determined by considering the input signal handling requirements.

For $V_{X(max)} = V_{Y(max)} = 10$ volts:

$$R_X = R_Y > \frac{10\ V}{1.0\ mA} = 10\ k\Omega.$$

The equation $I_A - I_B = \dfrac{2V_X V_Y}{R_X R_Y I_3}$

is derived from $I_A - I_B = \dfrac{2V_X V_Y}{\left(R_X + \frac{2kT}{qI_{13}}\right)\left(R_Y + \frac{2kT}{qI_3}\right) I_3}$

with the assumption $R_X \gg \dfrac{2kT}{qI_{13}}$ and $R_Y \gg \dfrac{2kT}{qI_3}$.

At $T_A = +25°C$ and $I_{13} = I_3 = 1$ mA,

$$\frac{2kT}{qI_{13}} = \frac{2kT}{qI_3} = 52\ \Omega.$$

Therefore, with $R_X = R_Y = 10\ k\Omega$ the above assumption is valid. Reference to Figure 19 will indicate limitations of $V_{X(max)}$ or $V_{Y(max)}$ due to V_1 and V_7. Exceeding these limits will cause saturation or "cutoff" of the input transistors. See Step 4 of Section 3 (General Design Procedure) for further details.

Maximum Output Voltage Swing

The maximum output voltage swing is dependent upon the factors mentioned below and upon the particular circuit being considered.

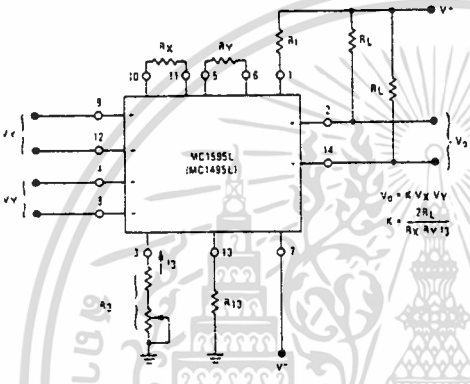
For Figure 20 the maximum output swing is dependent upon V^+ for positive swing and upon the voltage at pin 1 for negative swing. The potential at pin 1 determines the quiescent level for transistors Q_5, Q_6, Q_7, and Q_8. This potential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

should be related so that negative swing at pins 2 or 14 does not saturate those transistors. See Section 3 for further information regarding selection of these potentials.

FIGURE 20 – BASIC MULTIPLIER



If an operational amplifier is used for level shift, as shown in Figure 21, the output swing (of the multiplier) is greatly reduced. See Section 3 for further details.

GENERAL DESIGN PROCEDURE

Selection of component values is best demonstrated by the following example: assume resistive dividers are used at the X and Y inputs to limit the maximum multiplier input to ±5.0 volts ($V_X = V_{Y(max)}$) for a ±10-volt input ($V_{X'} = V_{Y'(max)}$). (See Figure 21). If an overall scale factor of 1/10 is desired, then

$$V_o = \frac{V_{X'} V_{Y'}}{10} = \frac{(2V_X)(2V_Y)}{10} = 4/10\, V_X V_Y .$$

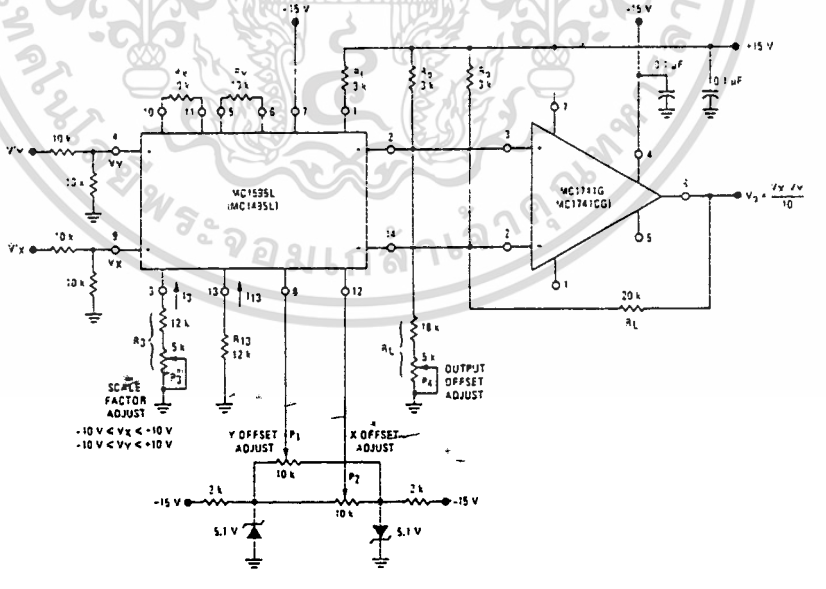
Therefore, K = 4/10 for the multiplier (excluding the divider network).

Step 1. The first step is to select current I_3 and current I_{13}. There are no restrictions on the selection of either of these currents except the power dissipation of the device. I_3 and I_{13} will normally be one or two milliamperes. Further, I_3 does not have to be equal to I_{13}, and there is normally no need to make them different. For this example, let

$$I_3 = I_{13} = 1\ mA.$$

To set currents I_3 and I_{13} to the desired value, it is only necessary to connect a resistor between pin 13 and ground, and between pin 3 and ground. From the schematic shown in Figure 3,

FIGURE 21 – MULTIPLIER WITH OP-AMPL. LEVEL SHIFT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

it can be seen that the resistor values necessary are given by:

$$R_{13} + 500\ \Omega = \frac{|V^-| - 0.7\ V}{I_{13}}$$

$$R_3 + 500\ \Omega = \frac{|V^-| - 0.7\ V}{I_3}$$

Let $V^- = -15$ V

Then $R_{13} + 500 = \frac{14.3\ V}{1\ mA}$ or $R_{13} = 13.8\ k\Omega$

Let $R_{13} = 12\ k\Omega$

Similarly, $R_3 = 13.8\ k\Omega$

Let $R_3 = 15\ k\Omega$

However, for applications which require an accurate scale factor, the adjustment of R_3 and consequently, I_3, offers a convenient method of making a final trim of the scale factor. For this reason, as shown in Figure 21, resistor R_3 is shown as a fixed resistor in series with a potentiometer.

For applications not requiring an exact scale factor (balanced modulator, frequency doubler, AGC amplifier, etc.), pins 3 and 13 can be connected together and a single resistor from pin 3 to ground can be used. In this case, the single resistor would have a value of one-half the above calculated value for R_{13}.

Step 2. The next step is to select R_X and R_Y. To insure that the input transistors will always be active, the following conditions should be met:

$$\frac{V_X}{R_X} < I_{13} \qquad \frac{V_Y}{R_Y} < I_3.$$

A good rule of thumb is to make $I_3 R_Y \geq 1.5\ V_{Y(max)}$ and $I_{13} R_X \geq 1.5\ V_{X(max)}$.

The larger the $I_3 R_Y$ and $I_{13} R_X$ product in relation to V_Y and V_X respectively, the more accurate the multiplier will be (see Figures 17 and 18).

Let $R_X = R_Y = 10\ k\Omega$

Then $I_3 R_Y = 10$ V

$I_{13} R_X = 10$ V

since $V_{X(max)} = V_{Y(max)} = 5.0$ volts the value of $R_X = R_Y = 10\ k\Omega$ is sufficient.

Step 3. Now that R_X, R_Y and I_3 have been chosen, R_L can be determined:

$$K = \frac{2R_L}{R_X R_Y I_3} = \frac{4}{10}$$

$$\text{or} \quad \frac{(2)(R_L)}{(10\ k)(10\ k)(1\ mA)} = \frac{4}{10}$$

Thus $R_L = 20\ k\Omega$.

Step 4. To determine what power-supply voltage is necessary for this application, attention must be given to the circuit schematic shown in Figure 3. From the circuit schematic it can be seen that in order to maintain transistors Q_1, Q_2, Q_3 and Q_4 in an active region when the maximum input voltages are applied ($V_X' + V_Y' = 10$ V or $V_X = 5.0$ V, $V_Y = 5.0$ V), their respective collector voltage should be at least a few tenths of a volt higher than the maximum input voltage. It should also be noticed that the collector voltage of transistors Q_3 and Q_4 are at a potential which is two diode-drops below the voltage at pin 1. Thus, the voltage at pin 1 should be about two volts higher than the maximum input voltage. Therefore, to handle ±5.0 volts at the inputs, the voltage at pin 1 must be at least +7.0 volts. Let $V_1 = 9.0$ Vdc.

Since the current following into pin 1 is always equal to $2I_3$, the voltage at pin 1 can be set by placing a resistor, R_1 from pin 1 to the positive supply:

$$R_1 = \frac{V^+ - V_1}{2I_3}$$

Let $V^+ = -15$ V

Then $R_1 = \frac{15\ V - 9\ V}{(2)(1\ mA)}$

$R_1 = 3\ k\Omega$.

Note that the voltage at the base of transistors Q_5, Q_6, Q_7 and Q_8 is one diode-drop below the voltage at pin 1. Thus, in order that these transistors stay active, the voltage at pins 2 and 14 should be approximately halfway between the voltage at pin 1 and the positive-supply voltage. For this example, the voltage at pins 2 and 14 should be approximately 11 volts.

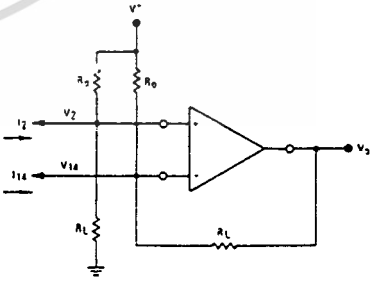
Step 5. For dc applications, such as the multiply, divide and square-root functions, it is usually desirable to convert the differential output to a single-ended output voltage referenced to ground. The circuit shown in Figure 22 performs this function. It can be shown that the output voltage of this circuit is given by:

$$V_o = (I_2 - I_{14})R_L$$

And since $I_A - I_B = I_2 - I_{14} = \frac{2I_X I_Y}{I_3} = \frac{2\ V_X V_Y}{I_3 R_X R_Y}$

Then $V_o = \frac{2R_L V_X' V_Y'}{4R_X R_Y I_3}$ where $V_X' V_Y'$ is the voltage at the input to the voltage dividers.

FIGURE 22 – LEVEL SHIFT CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

The choice of an operational amplifier for this application should have low bias currents, low offset current, and a high common-mode input voltage range as well as a high common-mode rejection ratio. The MC1556, and MC1741 operational amplifiers meet these requirements.

Referring to Figure 21, the level shift components will be determined. When $V_X = V_Y = 0$, the currents I_2 and I_{14} will be equal to I_{13}. In Step 3, R_L was found to be 20 kΩ and in Step 4, V_2 and V_{14} were found to be approximately 11 volts. From this information, R_o can be found easily from the following equation (neglecting the operational amplifiers bias current):

$$\frac{V_2}{R_L} + I_{13} = \frac{V^+ - V_2}{R_o}$$

And for this example, $\frac{11\ V}{20\ k\Omega} + 1\ mA = \frac{15\ V - 11\ V}{R_o}$.

Solving for R_o, $R_o = 2.6\ k\Omega$

Thus, select $R_o = 3.0\ k\Omega$

For $R_o = 3.0\ k\Omega$, the voltage at pins 2 and 14 is calculated to be

$$V_2 = V_{14} = 10.4\ volts.$$

The linearity of this circuit (Figure 21) is likely to be as good or better than the circuit of Figure 5. Further improvements are possible as shown in Figure 23 where R_Y has been increased substantially to improve the Y linearity, and R_X decreased somewhat so as not to materially affect the X linearity, this avoids increasing R_L significantly in order to maintain a < of 0.1.

The versatility of the MC1595 (MC1495) allows the user to to optimize its performance for various input and output signal levels.

OFFSET AND SCALE FACTOR ADJUSTMENT

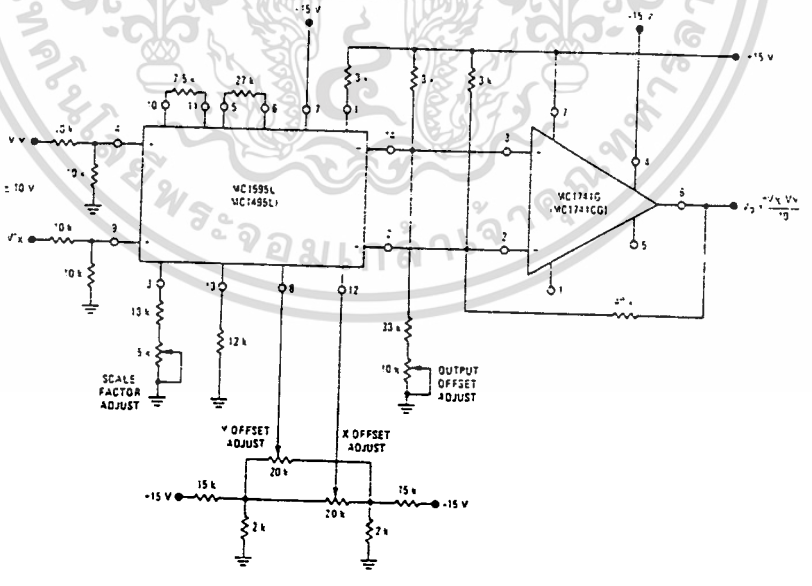
Offset Voltages

Within the monolithic multiplier (Figure 3) transistor base-emitter junctions are typically matched within 1 mV and resistors are typically matched within 2%. Even with this careful matching, an output error can occur. This output error is comprised of X-input offset voltage, Y-input offset voltage, and output-offset voltage. These errors can be adjusted to zero with the techniques shown in Figure 21. Offset terms can be shown analytically by the transfer function:

$$V_o = K(V_X \pm V_{IOX} \pm V_{X\,off})(V_Y \pm V_{IOY} \pm V_{Y\,off}) \pm V_{oo} \quad (1)$$

Where K = scale factor
V_X = X input voltage
V_Y = Y input voltage
V_{IOX} = X input offset voltage
V_{IOY} = Y input offset voltage
$V_{X\,off}$ = X input offset adjust voltage
$V_{Y\,off}$ = Y input offset adjust voltage
V_{oo} = output offset voltage.

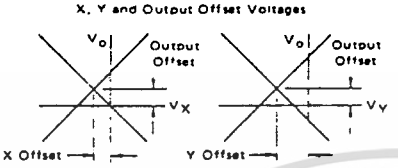
FIGURE 23 – MULTIPLIER WITH IMPROVED LINEARITY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

X, Y and Output Offset Voltages



For most dc applications, all three offset adjust potentiometers (P_1, P_2, P_4) will be necessary. One or more offset adjust potentiometers can be eliminated for ac applications (See Figures 28, 29, 30, 31).

If well regulated supply voltages are available, the offset adjust circuit of Figure 13 is recommended. Otherwise, the circuit of Figure 14 will greatly reduce the sensitivity to power supply changes.

Scale Factor

The scale factor, K, is set by P_3 (Figure 21). P_3 varies I_3 which inversely controls the scale factor K. It should be noted that current I_3 is one-half the current through R_1. R_1 sets the bias level for Q_5, Q_6, Q_7, and Q_8 (See Figure 3). Therefore, to be sure that these devices remain active under all conditions of input and output swing, care should be exercised in adjusting P_3 over wide voltage ranges (see Section 3, General Design Procedure).

Adjustment Procedures

The following adjustment procedure should be used to null the offsets and set the scale factor for the multiply mode of operation. (See Figure 21)

1. X Input Offset
   (a) Connect oscillator (1 kHz, 5 Vpp sinewave) to the "Y" input (pin 4)
   (b) Connect "X" input (pin 9) to ground
   (c) Adjust X offset potentiometer, P_2, for an ac null at the output
2. Y Input Offset
   (a) Connect oscillator (1 kHz, 5 Vpp sinewave) to the "X" input (pin 9)
   (b) Connect "Y" input (pin 4) to ground
   (c) Adjust "Y" offset potentiometer, P_1, for an ac null at the output
3. Output Offset
   (a) Connect both "X" and "Y" inputs to ground
   (b) Adjust output offset potentiometer, P_4, until the output voltage V_O is zero volts dc
4. Scale Factor
   (a) Apply +10 Vdc to both the "X" and "Y" inputs
   (b) Adjust P_3 to achieve + 10.00 V at the output.
5. Repeat steps 1 through 4 as necessary.

The ability to accurately adjust the MC1595 (MC1495) depends upon the characteristics of potentiometers P_1 through P_4. Multi-turn, infinite resolution potentiometers with low-temperature coefficients are recommended.

DC APPLICATIONS

Multiply

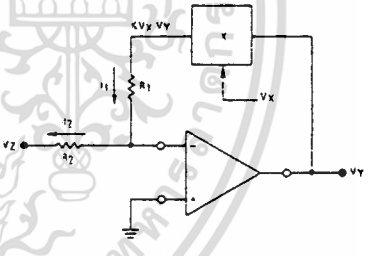
The circuit shown in Figure 21 may be used to multiply signals from dc to 100 kHz. Input levels to the actual multiplier are 5.0 V (max). With resistive voltage dividers the maximum could be very large – however, for this application two-to-one dividers have been used so that the maximum input level is 10 V. The maximum output level has also been designed for 10 V (max).

Squaring Circuit

If the two inputs are tied together, the resultant function is squaring; that is $V_O = KV^2$ where K is the scale factor. Note that all error terms can be eliminated with only three adjustment potentiometers, thus eliminating one of the input offset adjustments. Procedures for nulling with adjustments are given as follows:

1. AC Procedure:
   (a) Connect oscillator (1 kHz, 15 Vpp) to input
   (b) Monitor output at 2 kHz with tuned voltmeter and adjust P_3 for desired gain (be sure to peak response of the voltmeter)
   (c) Tune voltmeter to 1 kHz and adjust P_1 for a minimum output voltage
   (d) Ground input and adjust P_4 (output offset) for zero volts dc output
   (e) Repeat steps a through d as necessary.
2. DC Procedure:
   (a) Set $V_X = V_Y = 0$ V and adjust P_4 (output offset potentiometer) such that $V_O = 0.0$ Vdc
   (b) Set $V_X = V_Y = 1.0$ V and adjust P_1 (Y input offset potentiometer) such that the output voltage is +0.100 volts
   (c) Set $V_X = V_Y = 10$ Vdc and adjust P_3 such that the output voltage is +10.00 volts
   (d) Set $V_X = V_Y = -10$ Vdc. Repeat steps a through d as necessary

FIGURE 24 – BASIC DIVIDE CIRCUIT



Divide Circuit

Consider the circuit shown in Figure 24 in which the multiplier is placed in the feedback path of an operational amplifier. For this configuration, the operational amplifier will maintain a "virtual ground" at the inverting (–) input. Assuming that the bias current of the operational amplifier is negligible, then $I_1 = I_2$ and

$$\frac{KV_XV_Y}{R1} = \frac{-V_Z}{R2} \quad (1)$$

Solving for V_Y,

$$V_Y = \frac{-R1}{R2\,K}\,\frac{V_Z}{V_X}. \quad (2)$$

If R1 = R2

$$V_Y = \frac{-V_Z}{KV_X} \quad (3)$$

If R1 = KR2

$$V_Y = \frac{-V_Z}{V_X}. \quad (4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

Hence, the output voltage is the ratio of V_Z to V_X and provides a divide function. This analysis is, of course, the ideal condition. If the multiplier error is taken into account, the output voltage is found to be

$$V_Y = -\left[\frac{R1}{R2\,K}\right]\frac{V_Z}{V_X} + \frac{\Delta E}{K V_X}, \qquad (5)$$

where ΔE is the error voltage at the output of the multiplier. From this equation, it is seen that divide accuracy is strongly dependent upon the accuracy at which the multiplier can be set, particularly at small values of V_Y. For example, assume that R1 = R2, and K = 1/10. For these conditions the output of the divide circuit is given by,

$$V_Y = \frac{-10\,V_Z}{V_X} + \frac{10\,\Delta E}{V_X}. \qquad (6)$$

From equation 6, it is seen that only when V_X = 10 V is the error voltage of the divide circuit as low as the error of the multiply circuit. For example, when V_X is small, (0.1 volt) the error voltage of the divide circuit can be expected to be a hundred times the error of the basic multiplier circuit.

In terms of percentage error,

$$\text{percentage error} = \frac{\text{error}}{\text{actual}} \times 100\%$$

or from equation (5),

$$P.E._D = \frac{\frac{\Delta E}{K V_X}}{\left[\frac{R1}{R2\,K}\right]\frac{V_Z}{V_X}} = \left[\frac{R2}{R1}\right]\frac{\Delta E}{V_Z}. \qquad (7)$$

From equation 7, the percentage error is inversely related to voltage V_Z (i.e., for increasing values of V_Z, the percentage error decreases).

A circuit that performs the divide function is shown in Figure 25.

Two things should be emphasized concerning Figure 25.

1. The input voltage (V'_X) must be greater than zero and must be positive. This insures that the current out of pin 2 of the multiplier will always be in a direction compatible with the polarity of V_Z.
2. Pins 2 and 14 of the multiplier have been interchanged in respect to the operational amplifiers input terminals. In this instance, Figure 25 differs from the circuit connection shown in Figure 21; necessitated to insure negative feedback around the loop.

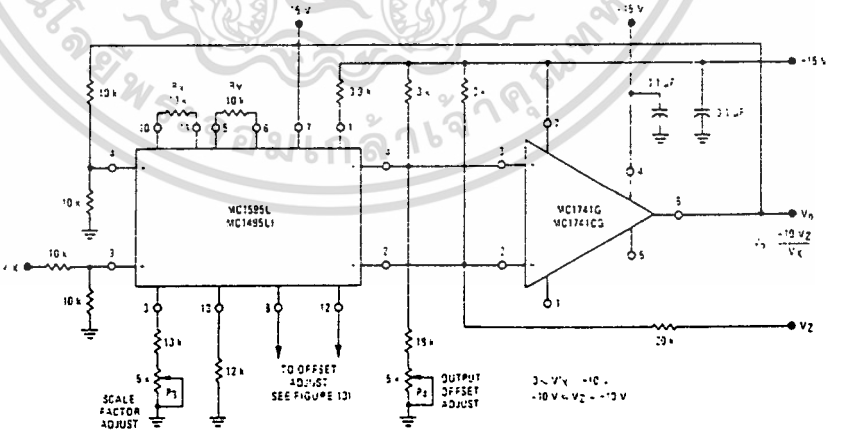
A Suggested Adjustment Procedure for the Divide Circuit

1. Set V_Z = 0 volts and adjust the output offset potentiometer (P_3) until the output voltage (V_O) remains at some (not necessarily zero) constant value as V_X' is varied between +1.0 volt and +10 volts.
2. Keep V_Z at 0 volts, set V_X at −10 volts and adjust the Y input offset potentiometer (P_1) until V_O = 0 volts.
3. Let $V_X' = V_Z$ and adjust the X input offset potentiometer (P_2) until the output voltage remains at some (not necessarily −10 volts) constant value as $V_Z = V_X'$ is varied between +1.0 and +10 volts.
4. Keep $V_X' = V_Z$ and adjust the scale factor potentiometer (P_3) until the average value of V_O is −10 volts as $V_Z = V_X'$ is varied between +1.0 volt and +10 volts.
5. Repeat steps 1 through 4 as necessary to achieve optimum performance.

Square Root

A special case of the divide circuit in which the two inputs to the multiplier are connected together is the square root function.

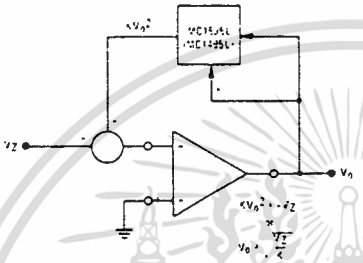
FIGURE 25 – DIVIDE CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION (continued)

FIGURE 26 – BASIC SQUARE ROOT CIRCUIT



as indicated in Figure 26. This circuit may suffer from latch-up problems similar to those of the divide circuit. Note that only one polarity of input is allowed and diode clamping (see Figure 27) protects against accidental latch-up.

This circuit also may be adjusted in the closed-loop mode as follows:

1. Set V_Z to −0.01 volts and adjust P_4 (output offset) for V_o = −0.316 volts, being careful to approach the output from the positive side to preclude the effect of the output diode clamping.
2. Set V_Z to −0.9 volts and adjust P_2 (X adjust) for V_o = −3.0 volts.
3. Set V_Z to −10 volts and adjust P_3 (scale factor adjust) for V_o = +10 volts.
4. Steps 1 through 3 may be repeated as necessary to achieve desired accuracy.

AC APPLICATIONS

The applications that follow demonstrate the versatility of the monolithic multiplier. If a potted multiplier is used for these cases, the results generally would not be as good because the potted units have circuits that, although they optimize dc multiplication operation, can hinder ac applications.

Frequency doubling often is done with a diode where the fundamental plus a series of harmonics are generated. However, extensive filtering is required to obtain the desired harmonic, and the second harmonic obtained under this technique usually is small in magnitude and requires amplification.

When a multiplier is used to double frequency the second harmonic is obtained directly, except for a dc term, which can be removed with ac coupling.

$$e_o = KE^2 \cos^2 \omega t$$

$$e_o = \frac{KE^2}{2}(1 + \cos 2\omega t).$$

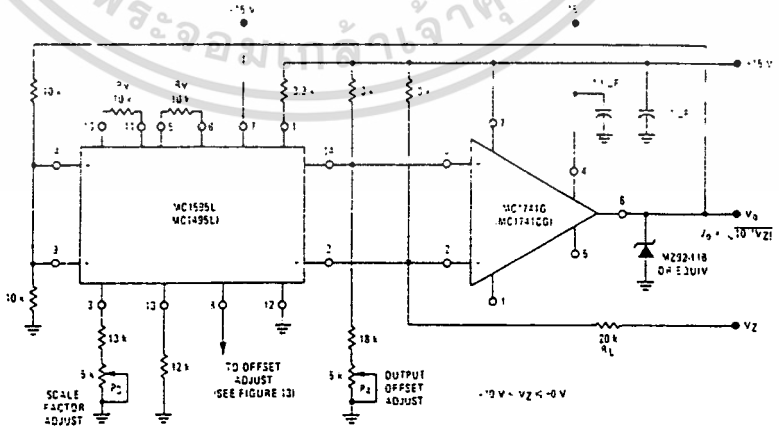
A potted multiplier can be used to obtain the double frequency component, but frequency would be limited by its internal level-shift amplifier. In the monolithic units, the amplifier is omitted.

In a typical doubler circuit, conventional ± 15-volt supplies are used. An input dynamic range of 5.0 volts peak-to-peak is allowed. The circuit generates wave-forms that are double frequency; less than 1% distortion is encountered without filtering. The configuration has been successfully used in excess of 200 kHz; reducing the scale factor by decreasing the load resistors can further expand the bandwidth.

A slightly modified version of the MC1595 (MC1495) – the MC1596 (MC1496) – has been successfully used as a doubler to obtain 400 MHz. See Figure 28.)

Figure 29 represents an application for the monolithic multiplier as a balanced modulator. Here, the audio input signal is 1.5 kHz and the carrier is 40 kHz.

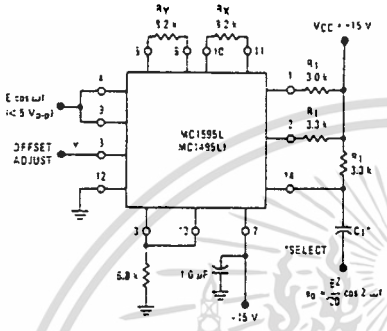
FIGURE 27 – SQUARE ROOT CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

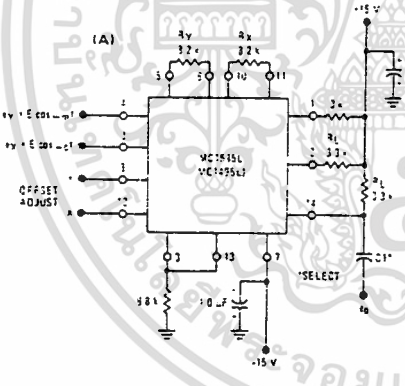
OPERATION AND APPLICATIONS INFORMATION (continued)

FIGURE 28 – FREQUENCY DOUBLER

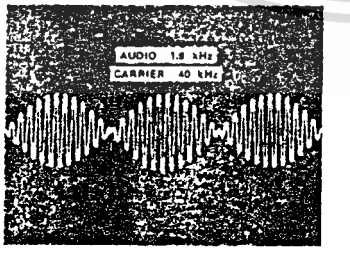


When two equal cosine waves are applied to X and Y the result is a wave shape of twice the input frequency. For this example the input was a 10 kHz signal. Output was 20 kHz.

FIGURE 29 – BALANCED MODULATOR



(B)



The defining equation for balanced modulation is

$$e_o = K(E_m \cos \omega_m t)(E_c \cos \omega_c t) =$$

$$\frac{KE_cE_m}{2} [\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t]$$

where ω_c is the carrier frequency, ω_m is the modulator frequency and K is the multiplier gain constant.

AC coupling at the output eliminates the need for level translation or an operational amplifier; a higher operating frequency results.

A problem common to communications is to extract the intelligence from single-sideband received signal. The ssb signal is of the form

$$e_{ssb} = A \cos(\omega_c + \omega_m)t$$

and if multiplied by the appropriate carrier waveform, $\cos \omega_c t$,

$$e_{ssb}e_{carrier} = \frac{AK}{2} [\cos(2\omega_c + \omega_m)t + \cos(\omega_c)t].$$

If the frequency of the band-limited carrier signal, ω_c, is ascertained in advance the designer can insert a low-pass filter and obtain the $(AK/2)(\cos \omega_c t)$ term with ease. He also can use an operational amplifier for a combination level shift-active filter, as an external component. But in potted multipliers, even if the frequency range can be covered, the operational amplifier is inside and not accessible, so the user must accept the level shifting provided, and still add a low-pass filter.

Amplitude Modulation

The multiplier performs amplitude modulation, similar to balanced modulation, when a dc term is added to the modulating signal with the Y offset adjust potentiometer. (See Figure 30.)

Here, the identity is

$$E_m(1 + m \cos \omega_m t) E_c \cos \omega_c t = KE_mE_c \cos \omega_c t +$$

$$\frac{KE_mE_cm}{2} [\cos(\omega_c - \omega_m)t + \cos(\omega_c + \omega_m)t]$$

where m indicates the degree of modulation. Since m is adjustable, via potentiometer P_1, 100% modulation is possible. Without extensive tweaking, 96% modulation may be obtained where ω_c and ω_m are the same as in the balanced-modulator example.

Linear Gain Control

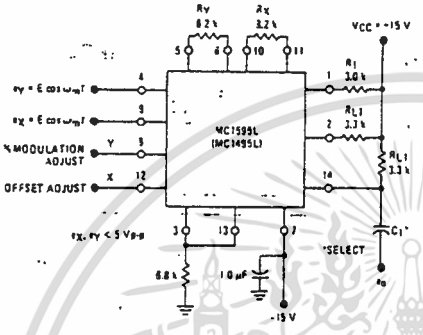
To obtain linear gain control, the designer can feed to one of the two MC1595 (MC1495) inputs a signal that will vary the unit's gain. The following example demonstrates the feasibility of this application. Suppose a 200 kHz sine wave, 1.0 volt peak-to-peak, is the signal to which a gain control will be added. The dynamic range of the control voltage V_C is 0 to +1.0 volt. These must be ascertained and the proper values of R_X and R_Y can be selected for optimum performance. For the 200-kHz operating frequency, load resistors of 100 ohms were chosen to broaden the operating bandwidth of the multiplier, but gain was sacrificed. It may be made up with an amplifier operating at the appropriate frequency. (See Figure 31.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

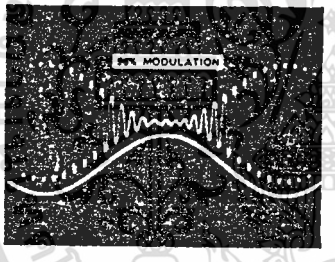
OPERATION AND APPLICATIONS INFORMATION (continued)

FIGURE 30 — AMPLITUDE MODULATION

(A)



(B)



The signal is applied to the unit's Y input. Since the total input range is limited to 1.0 volt p-p, a 2.0-volt swing, a current source of 2.0 mA and an R_Y value of 1.0 kilohm is chosen. This takes best advantage of the dynamic range and insures linear operation in the Y-channel.

Since the X input varies between 0 and +1.0 volt, the current source selected was 1.0 mA and the R_X value chosen was 2.0 kilohms. This also insures linear operation over the X input dynamic range.

Choosing $R_L = 100$ assures wide-bandwidth operation. Hence, the scale factor for this configuration is

$$K = \frac{R_L}{R_X R_Y I_3}$$

$$= \frac{100}{(2\text{ k})(1\text{ k})(2 \times 10^{+3})}\ V^{-1}$$

$$= \frac{1}{40}\ V^{-1}$$

The 2 in the numerator of the equation is missing in this scale-factor expression because the output is single-ended and ac coupled.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	−55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

MC1496
MC1596

Specifications and Applications Information

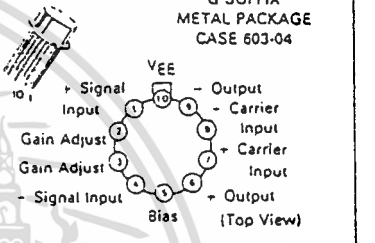
BALANCED MODULATOR/DEMODULATOR

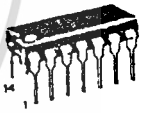
SILICON MONOLITHIC
INTEGRATED CIRCUIT

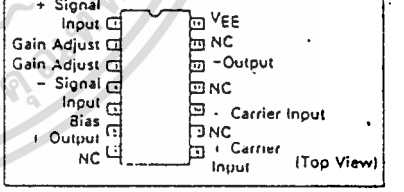
BALANCED MODULATOR/DEMODULATOR

. . . designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression – 65 dB typ @ 0.5 MHz
  – 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection – 85 dB typ







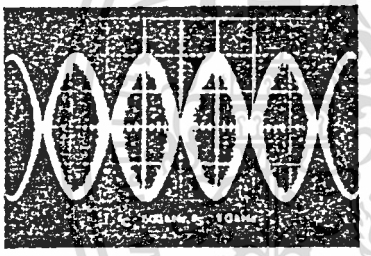


FIGURE 1 – SUPPRESSED-CARRIER OUTPUT WAVEFORM

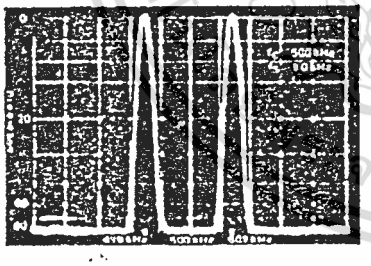


FIGURE 2 – SUPPRESSED-CARRIER SPECTRUM

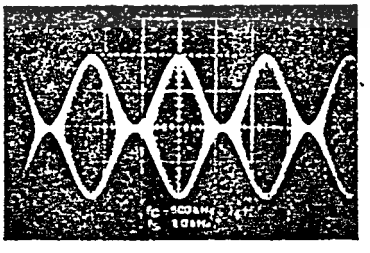
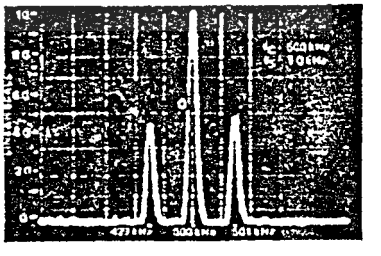


FIGURE 3 – AMPLITUDE MODULATION OUTPUT WAVEFORM

FIGURE 4 – AMPLITUDE-MODULATION SPECTRUM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V_5 – V_7, V_8 – V_1, V_8 – V_7, V_8 – V_4, V_7 – V_1, V_8 – V_4, V_8 – V_5, V_8 – V_2, V_5 – V_3, V_5)	ΔV	30	Vdc
Differential Input Signal	$V_7 - V_8$ $V_4 - V_1$	±5.0 ±($5 + I_5R_e$)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	$R_{\theta JA}$	 100 100 160	°C/W
Operating Temperature Range MC1496 MC1596	T_A	 0 to +70 −55 to +125	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = −8.0 Vdc, I_5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = +25°C unless otherwise noted) (All input and output characteristics are single-ended unless otherwise noted.)

Characteristic		Fig.	Note	Symbol	MC1596 Min	MC1596 Typ	MC1596 Max	MC1496 Min	MC1496 Typ	MC1496 Max	Unit
Carrier Feedthrough		5	1	V_{CFT}							μV(rms)
V_C = 50 mV(rms) sine wave and offset adjusted to zero	f_C = 1.0 kHz				—	40	—	—	40	—	
	f_C = 10 MHz				—	140	—	—	140	—	
V_C = 300 mVp-p square wave:											mV(rms)
offset adjusted to zero	f_C = 1.0 kHz				—	0.04	0.2	—	0.04	0.4	
offset not adjusted	f_C = 1.0 kHz				—	20	100	—	20	200	
Carrier Suppression		5	2	V_{CS}							dB
f_S = 10 kHz, 300 mV(rms)											
f_C = 500 kHz, 60 mV(rms) sine wave					50	65	—	40	65	—	
f_C = 10 MHz, 60 mV(rms) sine wave					—	50	—	—	50	—	
Transadmittance Bandwidth (Magnitude) (R_L = 50 ohms)		3	8	BW_{3dB}							MHz
Carrier Input Port, V_C = 60 mV(rms) sine wave					—	300	—	—	300	—	
f_S = 1.0 kHz, 300 mV(rms) sine wave											
Signal Input Port, V_S = 300 mV(rms) sine wave					—	80	—	—	90	—	
V_{Cl} = 0.5 Vdc											
Signal Gain		10	3	A_{VS}	2.5	3.5	—	2.5	3.5	—	V/V
V_S = 100 mV(rms), f = 1.0 kHz; $\|V_{Cl}\|$ = 0.5 Vdc											
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz		6	—								
Parallel Input Resistance				r_{io}	—	200	—	—	200	—	kΩ
Parallel Input Capacitance				c_{io}	—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz		6	—								
Parallel Output Resistance				r_{oo}	—	40	—	—	40	—	kΩ
Parallel Output Capacitance				c_{oo}	—	5.0	—	—	5.0	—	pF
Input Bias Current		7	—								μA
$I_{bS} = \frac{I_1 + I_4}{2}$; $I_{bC} = \frac{I_7 + I_8}{2}$											
				I_{bS}	—	12	25	—	12	30	
				I_{bC}	—	12	25	—	12	30	
Input Offset Current		7	—								μA
$I_{ioS} = \|I_1 - I_4\|$; $I_{ioC} = \|I_7 - I_8\|$											
				$\|I_{ioS}\|$	—	0.7	5.0	—	0.7	7.0	
				$\|I_{ioC}\|$	—	0.7	5.0	—	0.7	7.0	
Average Temperature Coefficient of Input Offset Current (T_A = −55°C to +125°C)		7	—	$\|TC_{Iio}\|$	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current ($I_6 - I_9$)		7	—	$\|I_{oo}\|$	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = −55°C to +125°C)		7	—	$\|TC_{Ioo}\|$	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f_S = 1.0 kHz		9	4	CMV	—	5.0	—	—	5.0	—	Vp-p
Common-Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_{Cl}\|$ = 0.5 Vdc		9	—	ACM	—	−85	—	—	−85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)		10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Differential Output Voltage Swing Capability		10	—	V_{out}	—	8.0	—	—	8.0	—	Vp-p
Power Supply Current		7	6								mAdc
$I_6 + I_9$				I_{CC}	—	2.0	3.0	—	2.0	4.0	
I_{10}				I_{EE}	—	3.0	4.0	—	3.0	5.0	
DC Power Dissipation		7	5	P_D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION *

Note 1 – Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Note 2 – Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Note 3 and Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Note 3 – Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\text{ mV}}{I_5\text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_5

$$V_S \leq I_5 R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Note 4 – Common-Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen (see Note 6).

Note 5 – Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_9 = V_6$, $I_5 = I_6 = I_9$ and ignoring base current, $P_D = 2I_5 (V_6 - V_{10}) + I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers.

Note 6 – Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions. See Note 3 for R_e equation.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_B \ll I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V^- - \phi}{I_5} - 500\ \Omega \quad \text{where: } R_5 \text{ is the resistor between pin 5 and ground}$$
$$\phi = 0.75\text{ V at } T_A = +25^\circ C$$

The MC1596 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Note 7 – Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table:

$$30\text{ Vdc} \geq [(V_6, V_9) - (V_7, V_8)] \geq 2\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_7, V_8) - (V_1, V_4)] \geq 2.7\text{ Vdc}$$

$$30\text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7\text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9, \quad V_7 = V_8, \quad V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 8 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Note 8 – Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left.\frac{i_o \text{ (with sideband)}}{v_s \text{ (signal)}}\right|_{V_o = 0}$$

Signal transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} = \left.\frac{i_o \text{ (signal)}}{v_s \text{ (signal)}}\right|_{V_c = 0.5\text{ Vdc}, V_o = 0}$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Note 9 – Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Note 10 – Output Signal, V_o

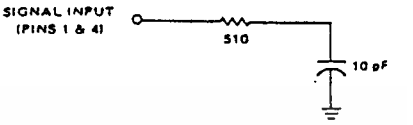
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Note 11 – Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Note 12 – Signal Port Stability

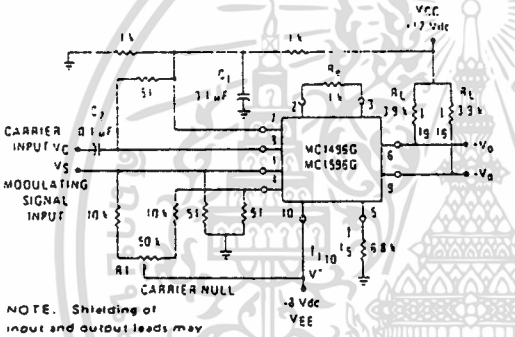
Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 k-ohm resistor in series with the inputs, pins 1 and 4. In this case, input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 - CARRIER REJECTION AND SUPPRESSION



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 6 – INPUT-OUTPUT IMPEDANCE

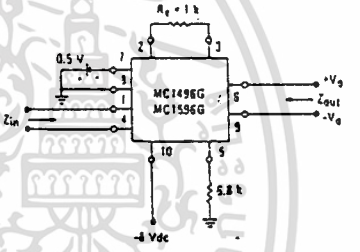


FIGURE 7 – BIAS AND OFFSET CURRENTS

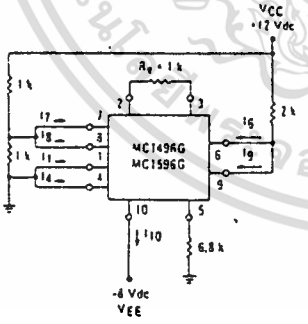
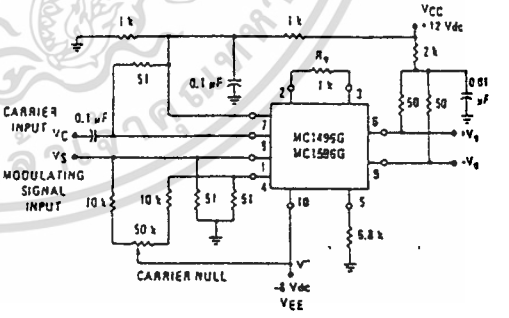


FIGURE 8 – TRANSCONDUCTANCE BANDWIDTH



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS (continued)

FIGURE 9 – COMMON-MODE GAIN

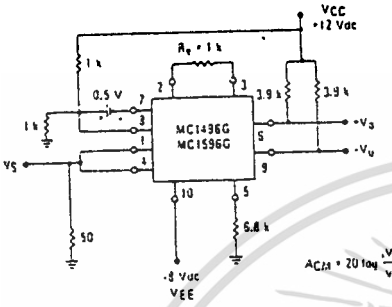
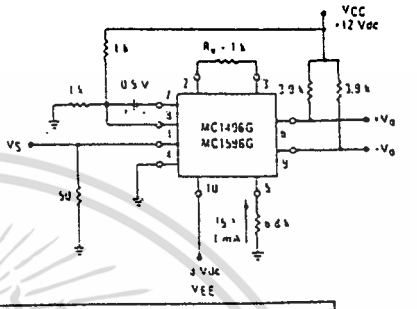


FIGURE 10 – SIGNAL GAIN AND OUTPUT SWING



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5. f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 11 – SIDEBAND OUTPUT versus CARRIER LEVELS

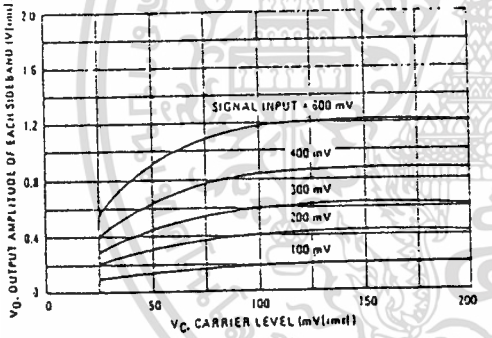


FIGURE 12 – SIGNAL-PORT PARALLEL EQUIVALENT INPUT RESISTANCE versus FREQUENCY

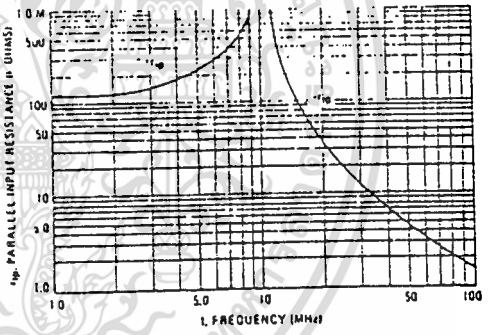


FIGURE 13 – SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

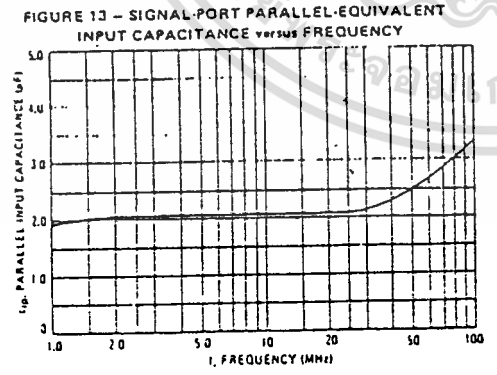
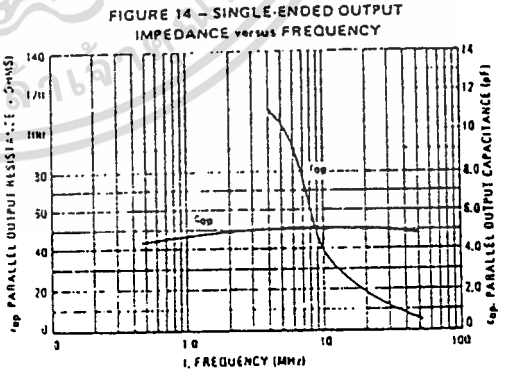


FIGURE 14 – SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mV(rms), f_S = 1 kHz, V_S = 300 mV(rms), T_A = +25°C unless otherwise noted.

FIGURE 15 – SIDEBAND AND SIGNAL PORT TRANSADMITTANCES versus FREQUENCY

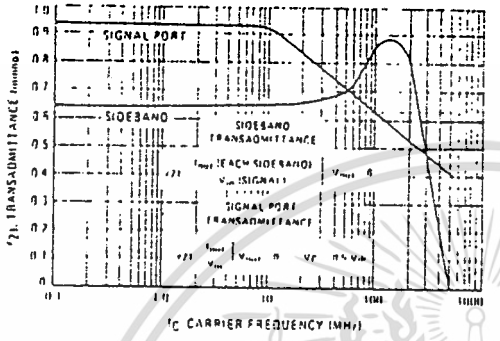


FIGURE 16 – CARRIER SUPPRESSION versus TEMPERATURE

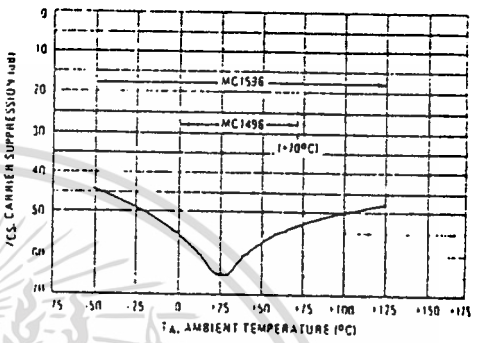


FIGURE 17 – SIGNAL PORT FREQUENCY RESPONSE

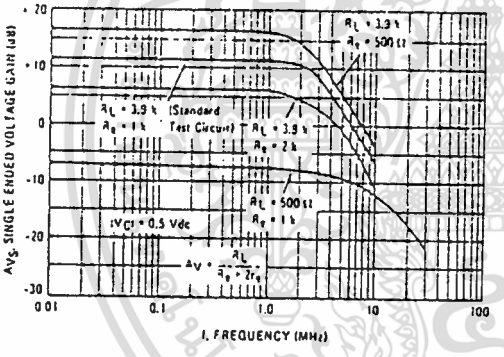


FIGURE 18 – CARRIER SUPPRESSION versus FREQUENCY

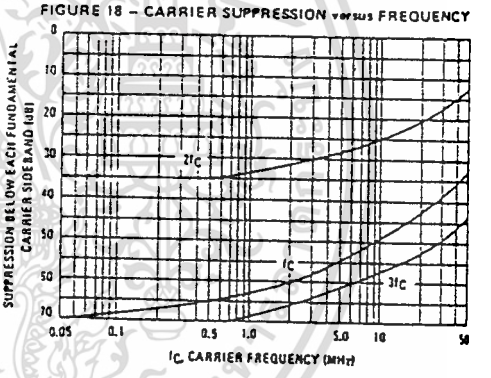


FIGURE 19 – CARRIER FEEDTHROUGH versus FREQUENCY

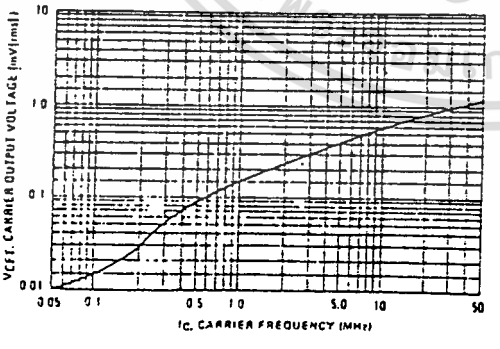
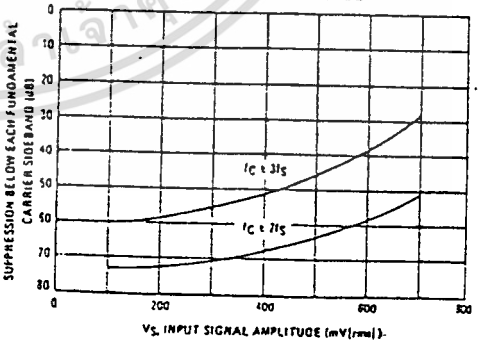


FIGURE 20 – SIDEBAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 – SUPPRESSION OF CARRIER HARMONIC SIDEBANDS versus CARRIER FREQUENCY

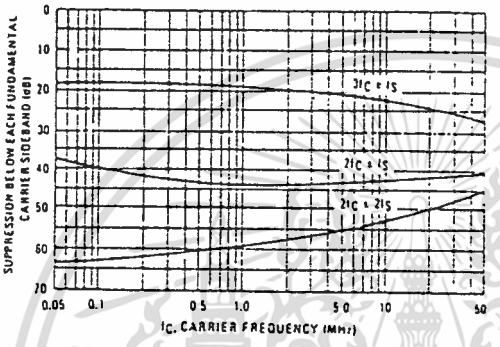
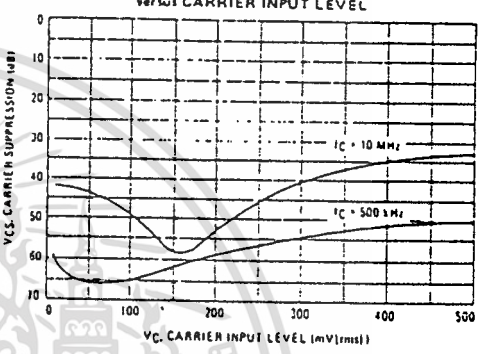


FIGURE 22 – CARRIER SUPPRESSION versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

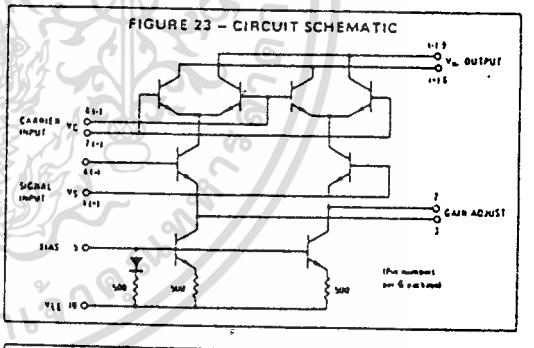
The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

FIGURE 23 – CIRCUIT SCHEMATIC



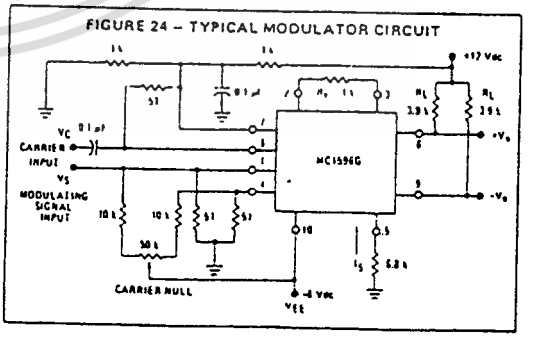
Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 24 – TYPICAL MODULATOR CIRCUIT



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้