เครื่องกำเนิดข้อมูลสำหรับทดสอบโมเด็มความเร็วสูง

BIT RATE GENERATOR FOR TEST HIGH SPEED MODEM

โดย

นายพูลสุข ตันเจริญ

นายวินิจ ว่องปรีชาวงศ์

นส.สุกัญญา ชุมคง

วัน เดือน ปี 19 ม.ค. 2539

เลขทะเบียน 034931

เลขเรียกหนังสือ T 371231 พ 7

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

034931

หัวข้อปริญญานิพนธ์ เครื่องกำเนิดข้อมูลสำหรับทดสอบโมเด็มความเร็วสูง

BIT RATE GENERATOR FOR TEST HIGH SPEED MODEM

ชื่อนักศึกษา นายพูลสุข ตันเจริญ

นายวินิจ ว่องปรีชาวงศ์

นส.สุกัญญา ชุมคง

อาจารย์ที่ปรึกษา อาจารย์ดลชัย สุขเจริญผล

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2537

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องกำเนิดข้อมูลกึ่งแรนดอมสำหรับทดสอบโมเด็มความเร็วสูง

โดย นายพูลสุข ตันเจริญ รหัส 36012060
นายวินิจ ว่องปรีชาวงศ์ รหัส 36012068
นส.สุกัญญา ชุมคง รหัส 36012078

อาจารย์ที่ปรึกษา อาจารย์ดลชัย สุขเจริญผล

ปีการศึกษา 2537

บทคัดย่อ

ในการสื่อสารข้อมูลแบบดิจิตอล สิ่งที่จะต้องคำนึงถึงคือ ประสิทธิภาพในการส่งและการรับข้อมูลเพื่อแสดงประสิทธิภาพของความน่าเชื่อถือในการสื่อสารข้อมูล ดังนั้นจึงมีความจำเป็นที่จะต้องใช้เครื่องมือในการทดสอบระบบโมเด็มทั้งภาคส่งและภาครับ ตลอดจนสามารถตรวจสอบวัดอัตราความผิดพลาดในการดีเทคของโมเด็มที่ภาคส่งและภาครับ

โครงงานปริญญานิพนธ์นี้เป็นการศึกษา และออกแบบสร้างเครื่องกำเนิดสัญญาณกึ่งแรนดอมที่ใช้ในการทดสอบโมเด็ม และตรวจสอบวัดอัตราการผิดพลาดในการสื่อสารของโมเด็มที่ภาครับและแสดงอัตราความผิดพลาดของบิทที่เกิดขึ้นได้บน SEVEN - SEGMENT และได้ออกแบบให้สามารถเลือกอัตราความเร็วของข้อมูลให้เหมาะสมกับการทดสอบได้ทั้งในโหมดอัตโนมัติ และโหมด MANUAL ตั้งแต่ 2.4 Kbps - 5 Mbps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BIT RATE GENERATOR FOR TEST HIGH SPEED MODEM

BY MR.POONSOOK TANCHAROEN NO.36012060

MR.VINIT VEONGPRECHAVONG NO.36012068

MISS SUKANYA CHUMKONG NO.36012078

ADVISER MR.DOLCHAI SOOKCHAROENPHOL

YEAR 1995

ABSTRACT

IN DIGITAL COMMUNICATION WE MUST TO THINK ABOUT THE EFFICIENCY OF TRANSMISSION AND RECEIVTION . FOR SHOW THE EFFICIENCY OF SYSTEM ARE SURE.IT NECESSARY FOR USED THE EQUIPMENT TO TESTS MODEM IN TRANSMITER AND RECEIVER . AND CAN CHECK ERROR RATE FROM MODEM DETECTOR BY IT .

THIS THESIS ARE STUDY AND DESIGNS THE BIT RATE GENERATOR FOR PRODUCE THE PSEUDO RANDOM BINANY SEQUENCE . IT USED FOR TESTS ERROR OF MODEM COMMUNICATION AT TRANSMITRE AND RECEIVER . IT CAN SHOW THE ERROR RATE ON SEVEN SEGMENT AND DESIGNS FOR SELECT BIT RATE OF DATA AND TEST (AUTOMATIC AND MANNUL TESTING BIT RATE BETWEEN 2.4 Kbps - 5 Mbps) TO APPROPRIATE .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้ได้สำเร็จลุล่วงลงได้ด้วยความร่วมมือ และความตั้งใจในการทำงานของเพื่อนร่วมงานในกลุ่ม PROJECT ทั้งยังได้รับคำแนะนำจากอาจารย์ที่ปรึกษาทางด้านเทคนิคและแนวความคิดต่างๆ อีกทั้งยังได้รับความช่วยเหลือและคำแนะนำจากเพื่อนๆ หลายท่านและสำคัญที่จะขาดเสียมิได้คือ บิดา มารดา ผู้มีพระคุณทุกๆ ด้าน

ทางคณะผู้จัดทำ ขอกล่าวขอบพระคุณไว้ ณ. โอกาสนี้ด้วย

คณะผู้จัดทำ

พูลสุข ตันเจริญ

วินิจ ว่องปรีชาวงศ์

สุกัญญา ชุมคง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
ABSTRACT	ข
กิตติกรรมประกาศ	ค
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักพื้นฐาน	2
2.1 หลักการทำงานของ BIT RATE GENERATOR	2
2.2 ทฤษฎีของสัญญาณ PSEUDO RANDOM SEQUENCE	3
2.3 หลักการทำงานของวงจรกำเนิดสัญญาณ CLOCK	9
2.4 ทฤษฎีและหลักการของวงจรแสดงผล	11
2.5 ทฤษฎีแพทเทินรูปดวงตา	12
2.6 ทฤษฎีวงจรโมโนสเตเบิ้ลมัลติไวเบรเตอร์	14
บทที่ 3 การออกแบบและการทำงานของวงจร	17
3.1 การทำงานของวงจร PRBS ขนาด 25,17,9 บิท	17
3.2 การออกแบบวงจรกำเนิด CLOCK	21
3.3 เทคนิคการออกแบบวงจรวัดอัตราการผิดพลาดของบิท	24
3.4 การออกแบบภาคแสดงผล	30
บทที่ 4 การทดลองและผลการทดลอง	32
4.1 การทดลองวงจรกำเนิดสัญญาณ BINARY RANDOM	32
4.2 การทดลองวงจรกำเนิดสัญญาณ CLOCK	33
4.3 การทดลองวงจรวัดอัตราการผิดพลาด	35
บทที่ 5 สรุปและวิจารณ์	37
บทที่ 6 การนำไปใช้งาน	38
6.1 การใช้ทดสอบหา SPECTRUM ของ MODEM	39
6.2 การใช้ทดสอบ SET วงจร INTEGRATE AND DUMP	40
6.3 การใช้ทดสอบวงจรกู้สัญญาณนาฬิกา (CLOCK RECOVERY)	41
ภาคผนวก	

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

การสื่อสารข้อมูลตามสายโทรศัพท์หรือการสื่อสารข้อมูลและระบบ wireless PCN (Personal Communication Networks) ที่ใช้โมเด็มในการส่งข้อมูลให้มีประสิทธิภาพสูงนั้นจำเป็นที่จะต้องมีเครื่องมือในการทดสอบโมเด็มนั้น ให้มีการทำงานมีประสิทธิภาพในการส่งข้อมูลมากที่สุดซึ่งก็คือ การส่งข้อมูลและรับข้อมูลมีความผิดพลาดของข้อมูลน้อยที่สุด แต่สิ่งที่จำเป็นในการทดสอบโมเด็มนั้นก็คือ สัญญาณกึ่งแรนดอมแบบ NRZ (NRZ pseudo random binary sequence) ซึ่งทำหน้าที่เหมือนเป็นการจำลองข้อมูลจริงป้อนเข้าที่อินพุทของโมเด็มในการทดสอบต่างๆ ดังนั้นเราจึงสร้างเครื่อง BIT RATE GENERATOR FOR TEST HIGH SPEED MODEM ซึ่งเครื่องกำเนิดสัญญาณนี้แบ่งได้เป็น 2 ภาคด้วยกัน คือ

ภาคส่งเป็นภาคที่ทำหน้าที่ในการผลิตสัญญาณ PRBS หรือ NRZ กึ่งแรนดอมออกมาโดยมีวงจร SHIFT REGISTER ต่อแบบอนุกรม และมีการป้อนกลับแบบโมดูโล 2 (MODULO-2) ซึ่งสัญญาณที่ได้สามารถเลือกความยาวของ REGISTER (REGISTER LENGHT)ได้ คือ 9,17,25 บิท ซึ่งสามารถเลือกปรับความเร็วของข้อมูลในการทดสอบได้ จะได้กล่าวต่อไป

ในส่วนของภาครับนั้นจะทำหน้าที่หลักในการตรวจสอบอัตราการผิดพลาดของสัญญาณที่รับได้ตั้งแต่ 2.4 Kbps - 5 Mbps โดยประกอบไปด้วยส่วนที่สำคัญๆ คือ วงจรตรวจอัตราการผิดพลาด และวงจรแสดงผลซึ่งจะกล่าวถึงต่อไป

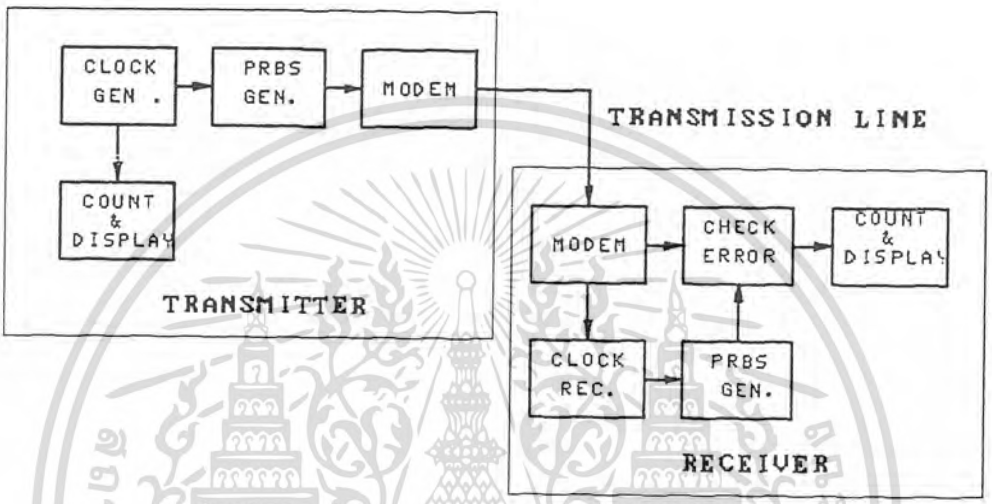
ในปริญญานิพนธ์ฉบับนี้จะกล่าวถึง ทฤษฎีและหลักการพื้นฐานในการทำงาน การออกแบบและการทำงานของวงจร การทดลองและผลการทดลอง สรุปและวิจารณ์ผลการทดลอง ตลอดจนการนำไปใช้งานในการทดสอบวัดประสิทธิภาพของระบบโมเด็ม เช่น การวัดอัตราข้อมูลที่ผิดพลาด (bit error rate monitor) พร้อมกับสังเกตลักษณะของไดอะแกรมรูปดวงตา (eye pattern diagram) เป็นต้น ซึ่งจะกล่าวไว้ในบทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการทำงานเบื้องต้น

2.1 หลักการทำงานของ BIT RATE GENERATOR



รูปที่ 2.1 บล็อกไดอะแกรมของ BIT RATE GENERATR

จากบล็อกไดอะแกรมจะเห็นว่า BIT RATE GENERATOR จะมีการทำงานเป็น 2 ส่วนคือ ทางด้านภาครับ และทางด้านภาคส่งจะประกอบด้วยวงจรกำเนิดสัญญาณพัลซ์ซึ่งมี 2 แบบ คือ แบบที่ใช้การโปรแกรมค่า และแบบที่ปรับเลือกค่าความถี่จาก VCO วงจรนับและวงจรแสดงความถี่ และวงจรกำเนิดสัญญาณ PRBS ส่วนทางด้านภาครับประกอบด้วย วงจรตรวจจับสัญญาณผิดพลาด วงจรกำเนิดสัญญาณ PRBS วงจรนับค่าความผิดพลาดและวงจรแสดงค่าความผิดพลาด

หลักการทำงานทางด้านภาคส่งมีดังนี้คือ มีวงจรกำเนิดสัญญาณพัลซ์ซึ่งเราสามารถเลือกค่าได้ อาจจะใช้เลือกค่าส่วนที่เป็นโปรแกรมความถี่ได้หรือเลือกใช้การปรับความถี่จาก VCO เป็นตัวกำเนิดสัญญาณนาฬิกาเพื่อป้อนให้กับวงจรกำเนิดสัญญาณกึ่งแรนดอม PRBS ที่วงจรกำเนิดสัญญาณกึ่งแรนดอมนี้จะสามารถทำการเลือกบิทของสัญญาณกึ่งแรนดอมนี้โดย มีบิทให้เลือก 9,17,25 บิท ซึ่งสัญญาณนาฬิกาจะเป็นตัวกำหนดบิทเรทของสัญญาณแล้วจึงนำเอาสัญญาณกึ่งแรนดอมที่ได้นี้ป้อนเข้าเป็นอินพุทของภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนการทำงานทางด้านภาครับก็คือชุด BIT RATE GENERATOR ของภาครับนี้จะถูกต่อเข้ากับ MODEM ทางภาครับเพื่อรับข้อมูลที่เป็น PRBS จากภาคส่งออกมาทำการตรวจจับโดยวงจรตรวจจับสัญญาณผิดพลาดที่เกิดขึ้น โดยจะนำเอาสัญญาณกึ่งแรนดอมจากวงจรกำเนิดสัญญาณที่ภาครับเข้าไปทำการเปรียบเทียบกับสัญญาณที่รับได้ แล้วจึงนำเอาค่าความผิดพลาดที่ได้ส่งไปยังวงจรนับความผิดพลาด เพื่อนำค่าความผิดพลาดที่เกิดขึ้นส่งไปแสดงผลยังภาคการแสดงผลด้วย LED แบบ 7 - SEGMENT ส่วนทฤษฎีและรายละเอียดของการทำงานของวงจรส่วนต่างๆ ที่สำคัญจะได้แยกกล่าวในหัวข้อถัดไป

2.2 ทฤษฎีของสัญญาณ PSEUDO RANDOM BINARY SEQUENCE

2.2.1 การกำเนิดสัญญาณ PSEUDO RANDOM BINARY SEQUENCE

PSEUDO RANDOM BINARY SEQUENCE จะทำงานโดยการใช้ SHIFT REGISTER ที่มีการต่อป้อนกลับแบบวงจรบวกแบบ MODULO 2 โดยที่ SHIFT REGISTER ก็คือ FLIP-FLOP จำนวนหนึ่งทำการต่อเป็นแบบ SERIES กันและ SHIFT REGISTER แต่ละตัวจะมีการต่อเข้ากับสัญญาณนาฬิกา เมื่อ SHIFT REGISTER ได้รับสัญญาณนาฬิกาข้อมูลไบนารีที่อยู่ใน FLIP-FLOP ก็จะถูกย้ายไปยัง FLIP-FLOP ตัวถัดไปและจะมีการกำหนดจุดต่อป้อนกลับเพื่อกำหนดความยาวของPESEUDO RANDOM BINARY SEQUENCE โดยใช้สมการ PRIMITIVE POLYNOMAIL ยกกำลัง m เป็นตัวกำหนดจำนวน SHIFT REGISTER ทั้งหมดที่ใช้และสามารถกำหนดจุดต่อป้อนกลับได้ด้วยสมการ PRIMITIVE POYNOMAIL ที่มีกำลังตั้งแต่ 1 ถึง 40 ซึ่งจะแสดงได้ดังตารางที่ 2.1

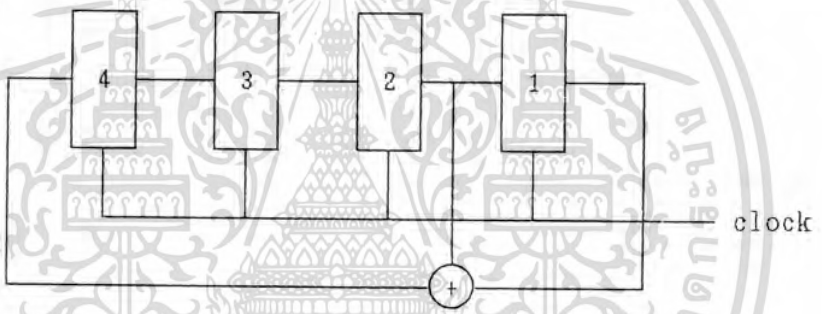
deg m	$h(x)$	deg m	$h(x)$
1	$x+1$	21	$x^{21}+x^2+1$
2	x^2+x+1	22	$x^{22}+x+1$
3	x^3+x+1	23	$x^{23}+x^5+1$
4	x^4+x+1	24	$x^{24}+x^4+x^3+x+1$
5	x^5+x^2+1	25	$x^{25}+x^3+1$
6	x^6+x+1	26	$x^{26}+x^8+x^7+x+1$
7	x^7+x+1	27	$x^{27}+x^8+x^7+x+1$
8	$x^8+x^6+x^5+x+1$	28	$x^{28}+x^3+1$
9	x^9+x^4+1	29	$x^{29}+x^2+1$
10	$x^{10}+x^3+1$	30	$x^{30}+x^{16}+x^{15}+x+1$
11	$x^{11}+x^2+1$	31	$x^{31}+x^3+1$
12	$x^{12}+x^7+x^4+x^3+1$	32	$x^{32}+x^{28}+x^{27}+x+1$
13	$x^{13}+x^4+x^3+x+1$	33	$x^{33}+x^{13}+1$
14	$x^{14}+x^{12}+x^{11}+x+1$	34	$x^{34}+x^{15}+x^{14}+x+1$
15	$x^{15}+x+1$	35	$x^{35}+x^2+1$
16	$x^{16}+x^5+x^3+x^2+1$	36	$x^{36}+x^{11}+1$
17	$x^{17}+x^3+1$	37	$x^{37}+x^{12}+x^{10}+x^3+1$
18	$x^{18}+x^7+1$	38	$x^{38}+x^6+x^5+x+1$
19	$x^{19}+x^6+x^5+x+1$	39	$x^{39}+x^4+1$
20	$x^{20}+x^3+1$	40	$x^{40}+x^{21}+x^{19}+x^2+1$

ตารางที่ 2.1 แสดงความสัมพันธ์ระหว่างสมการ

PRIMITIVE POLYNOMAIL กับ DEGREE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการ PRIMITIVE POLYNOMAIL นี้จะให้สัญญาณ PSEUDO RANDOM BINARY SEQUENCE ที่มีความยาว $n=2^m-1$ เนื่องจากจะไม่ให้เกิดสภาวะที่เป็น 0 ก่อนที่จะกลับไปให้มีสภาวะซ้ำกับข้อมูลเดิมจากตารางในรูปที่ 2.1 จึงให้สัญญาณ PSEUDU RANDOM BINARY SEQUENCE ที่มีความยาวสูงสุดถึง $2^{40}-1=10^{12}$ จากตารางนี้ถ้าเรานำสมการ PRIMITIVE POLYNOMAIL $h(x)= x^4 + x + 1$ มาพิจารณาจะเห็นว่ากำลังสูงสุดของสมการ=m=4 จึงแสดงว่า SEQUENCE นี้จะต้องใช้ SHIFT REGISTER จำนวนทั้งหมด 4 ตัวและแสดงถึงการต่อจุดป้อนกลับได้ดังรูปที่ 2 คือ นำเอาสัญญาณเอาท์พุทของ SHIFT REGISTER ตัวที่ 4 และตัวที่ 1 มาใช้ในการบวกแบบ MODULO 2 (โดยในสมการ PRIMITIVE POLYNOMAIL จะแทนด้วยเครื่องหมายบวก) นั่นก็คือการใช้ EXCLUSIVE OR GATE



รูปที่ 2.2 แสดงการต่อ SHIFT REGISTER

จากรูปที่ 2.2 ถ้าเราสมมติให้สภาวะการเริ่มต้นการทำงานของ SHIFT REGISTER เป็นลอจิก 1111 เมื่อมีการให้สัญญาณนาฬิกาเข้าไป ข้อมูลเดิมใน SHIFT REGISTER ก็จะถูกเลื่อนไปทางซ้ายมือ 1 ตำแหน่งคือข้อมูลเดิมใน FLIP-FLOP จะถูกย้ายไปเก็บใน FLIP-FLOP ตัวถัดไป โดยที่ข้อมูลที่อยู่ใน FLIP-FLOP ตัวที่ 1 2 3 จะถูกเลื่อนไปเก็บไว้ใน FLIP-FLOP ตัวที่ 2 3 4 ตามลำดับ แล้วนำเอาเอาท์พุทเดิมของ FLIP-FLOP ในตัวที่ 1 และตัวที่ 4 ก่อนที่จะมีสัญญาณนาฬิกาเข้ามาทำการบวกกับแบบ MOODULO 2 แล้วป้อนกลับไปเป็นอินพุทใหม่ให้กับ FLIP-FLOP ตัวแรก จะเห็นว่าข้อมูลที่อยู่ใน SHIFT REGISTER จะเปลี่ยนแปลงไปเรื่อยๆ จนครบ 15 สภาวะ คือ 1111 0111 1011 0101 1010 1101 0110 0011 1001 0100 0010 0001 1000 1100 1110 1111 ส่วนเอาท์พุทของวงจร SEQUENCE นี้จะถูกนำมาจาก

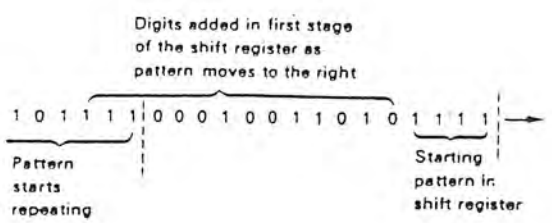
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทของ SHIFT REGISTER ตัวสุดท้ายซึ่งจะได้ข้อมูลเป็น 111101011001000 โดยข้อมูลจะต่อเนื่องกัน 15 บิท(แสดงดังตารางที่ 2.2) และทำให้เกิดการ RANDOM จึงเรียกวงจรว่า PSEUDO RANDOM BINARY SEQUENCE

Length of Shift Register	Feedback Taps	Period of Sequence
3	1, 3	7
4	1, 4	15
5	2, 5	31
6	1, 6	63
7	1, 7	127
8	1, 6, 7, 8	255
9	4, 9	511
10	3, 10	1,023
11	2, 11	2,047
12	2, 10, 11, 12	4,095
13	1, 11, 12, 13	8,191
14	2, 12, 13, 14	16,383
15	14, 15	32,767
16	11, 13, 14, 16	65,535
17	14, 17	131,071
18	11, 18	262,143
19	14, 17, 18, 19	524,287
20	17, 20	1,048,575

ตารางที่ 2.2 แสดงความสัมพันธ์ระหว่างการแท็บกับ PERIOD ของ SEQUENCE

ความยาวของ PSEUDO RANDOM BINARY SEQUENCE กำหนดได้จากความยาวของ SHIFT REGISTER ที่ใช้และจุดต่อป้อนกลับที่ได้จากสมการ PRIMITIVE POLYNOMAIL และสภาวะเริ่มต้นการทำงานของ SHIFT REGISTER สังเกตได้จากรูปที่ 2.3 ถ้ามีการกำหนดให้สภาวะเริ่มต้นของ FLIP-FLOP เป็น 0 ทั้งหมด ข้อมูลก็จะไม่มีการเปลี่ยนแปลงและจะไม่สามารถทำให้วงจร SEQUENCE ทำงานได้ ดังนั้นวงจร SEQUENCE นี้จะไม่ยอมให้เกิดสภาวะเอาท์พุทที่ข้อมูลเป็น 0 ส่วนความยาวสูงสุดของข้อมูลของ SEQUENCE ที่สร้างขึ้นกำหนดได้เมื่อใช้ SHIFT REGISTER จำนวน m STAGE จะเท่ากับ 2^m-1 ตัวอย่างค่าความยาวสูงสุดที่ได้จากการป้อนกลับที่ความยาวของ SHIFT REGISTER ขนาดต่างๆ แสดงได้ดังรูปที่ 2.3



รูปที่ 2.3 แสดงค่าความยาวสูงสุดจากการป้อนกลับของรีจีสเตอร์ขนาดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุดต่อป้อนกลับแต่ละจุดในความเป็นจริงแล้วอาจจะมีจุดต่อป้อนกลับได้ 2 จุดเพราะการเรียงสลับข้อมูลที่แตกต่างกันก็สามารถทำให้มีความยาวของ sequence เท่ากันได้แต่จะมีข้อมูลสลับกันดังนั้นการป้อนกลับจาก flip-flop ตัวที่ 2 และที่ 3 ก็จะทำงานเหมือนกับการป้อนกลับจากตัวที่ 1 และตัวที่ 3 ในการสร้าง sequence ที่มีความยาวเท่ากับ 7 ในทำนองเดียวกันการป้อนกลับจาก flip-flop ตัวที่ 3 และที่ 4 ก็ทำงานเช่นเดียวกับการป้อนกลับจาก 1 และ 4 สำหรับ sequence ที่มีความยาว 15 คุณสมบัติอื่นๆ ของความยาว sequence สูงสุดมีดังนี้

- จะมีจำนวนของลอจิก 1 ในแต่ละ 1 รอบของเอาท์พุท sequence มากกว่าจำนวนลอจิก 0
- ค่าที่ได้จะเป็นการเรียงลอจิก 0 หรือ ลอจิก 1 ตามความยาว n จะเป็นสองเท่าของการทำงานของความยาว n+1 ซึ่งถ้าเป็น 1/2 การทำงานจะมีความยาวเป็น 1 ที่ 1/4 จะมีความยาวเป็น 2 และที่ 1/8 จะมีความยาวเป็น 3
- autocorrelation ของ sequence มีค่าสูงสุด เท่ากับความยาวของ sequence $(2^n - 1)$ ที่ zero shift และที่ multiples ของความยาว sequence ที่ shift register ตัวอื่นๆ มีค่า correlationเป็น -1 ค่า autocorrelation ของ pseudo random binary sequence ขนาด 7 บิท แสดงได้ดังรูปที่ 2.4

รูปที่ 2.4 แสดงการคำนวนและรูป AUTOCORRELATION FUNCTION

ของสัญญาณ PRBS n บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 คุณสมบัติของสัญญาณกึ่งแรนดอม

1.จำนวน "1" ที่เกิดในชีเควนมากกว่า "0" อยู่เท่ากับหนึ่งหรือถ้ารหัสมีความยาว $2^3 - 1$จะมี "1"อยู่เท่ากับ $2^n / 2$ หรือถ้ามีจำนวนชิพท์รีจิสเตอร์แล้วระมาณได้ว่าโอกาศเกิดหนึ่งเท่ากับโอกาศที่เกิดศูนย์

2.จำนวนบิตติดกันสำหรับชิพท์รีจิสเตอร์ขนาด n สภาวะแล้ว

จำนวนบิท 1 ติดกัน n บิทจะมี 1 ครั้งในชีเควน

จำนวนบิท 0 ติดกัน n-1 บิทจะมี 1 ครั้งในชีเควน

จำนวนบิท 0 และ 1 ติดกัน n-2 บิทจะมี 2 ครั้งในชีเควน

จำนวนบิท 0 และ 1 ติดกัน n-3 บิทจะมี 4 ครั้งในชีเควน

จำนวนบิท 0 และ 1 ติดกันสองครั้ง บิทจะมี 2^{n-4} ครั้งในชีเควน

จำนวนบิท และ 1 เป็นบิทเดี่ยวๆ จะมี 2^{n-3} ในชีเควน

3.ค่าออสโตคอรีเรชั่นสัญญาณจะมีค่าสูงสุดที่จุดศูนย์ และ ค่าสูงสุดทุกระยะชิพท์ของออโตคอรีเรชั่นจะมีค่าเท่ากับ $-1/2^{n-1}$ ดังนั้นอาจจะกล่าวได้ว่าถ้าหากสเตทของชิพท์รีจิสเตอร์หรือ n มีจำนวนมากๆ แล้วรหัสกึ่งแรนดัมก็จะมีความใกล้เคียงในความเป็นแรนดัมดังนั้นความเข้มข้น ของสเป็คตรัมกำลังของสัญญาณข้อมูลกึ่งแรนดันสามารถหาได้จากทฤษฎีของวินเดอร์ คินชิน ที่กล่าวว่าความเข้มข้นของสเป็คตรัมกำลังเป็นฟูเรียร์ทรานฟอร์มของออโตคอรีเรชั่นฟังก์ชั่น

$$S(f) = \int_{-\infty}^{\infty} R_x(\tau) e^{-j2\pi f\tau} d\tau$$

และ

$$R_x = \int_{-\infty}^{\infty} S(f) e^{j2\pi f\tau} df$$

โดยจากคุณสมบัติข้างต้นค่าออโตคอรีเรชั่นของสัญญาณกึ่งแรนดัมแสดงได้ดังนี้

$$R_x(\tau) = \begin{cases} A^2[1-(N+1)/NT] & |\tau| \quad |\tau| <= T \\ -A^2/N & \text{สำหรับช่วงเวลาที่เหลือ} \end{cases}$$

จากออโตคอรีเรชั่นในสมการด้านบน สามารถหาความเข้มข้นของสเป็คตรัมกำลังของสัญญาณข้อมูลแรนดัมได้โดยทำการใช้ฟูเรียร์ทรานฟอร์ม

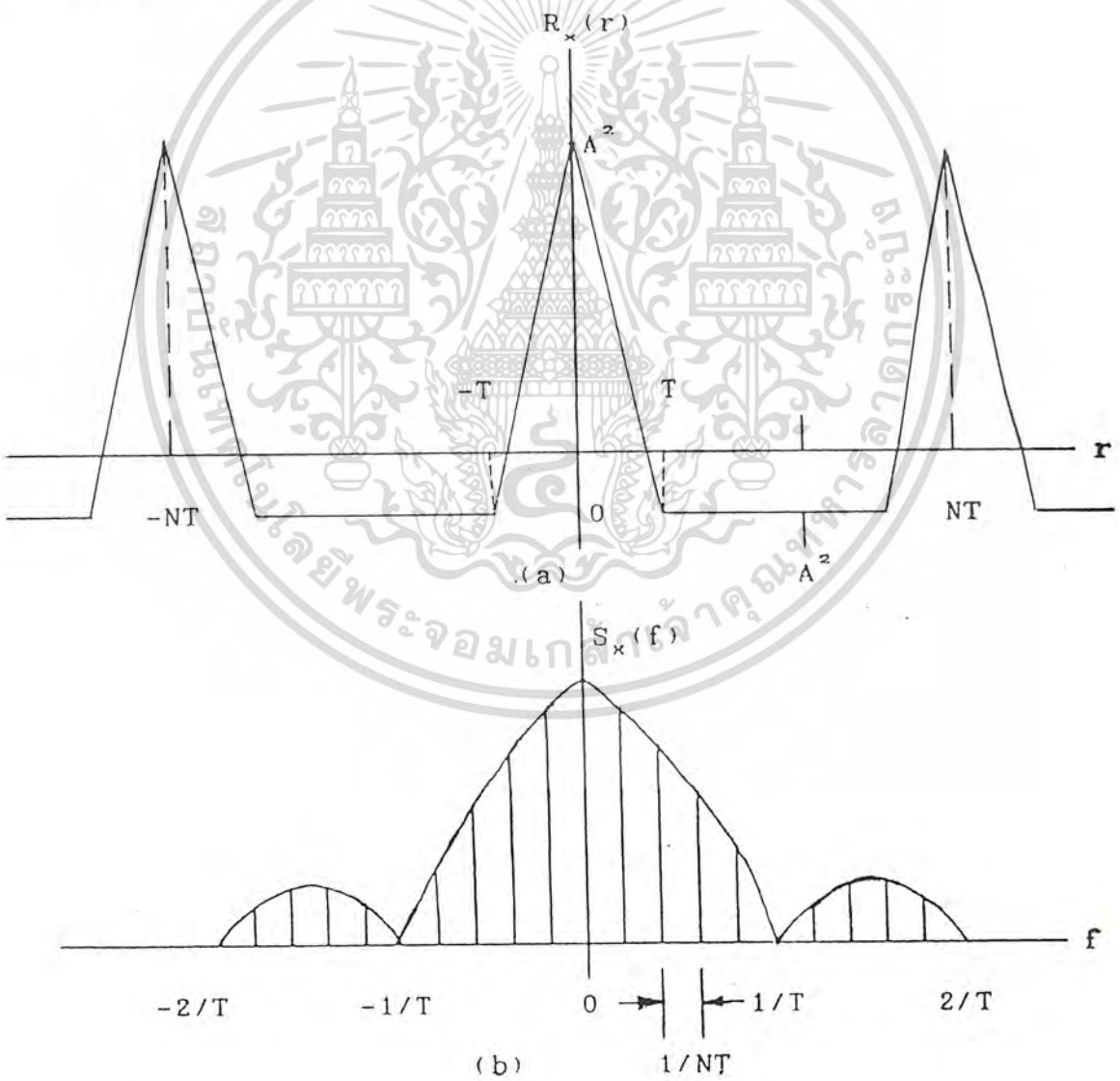
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_x(f) = \int_{-\infty}^{\infty} R(\tau)e^{-j2\pi f\tau}d\tau$$

ซึ่งจะได้

$$S_x(f) = (A^2/N)d(f)+(A^2/N^2)(1+N)\sum_{n=-\infty}^{\infty} \text{sinc}^2(n/N)d(f-n/NT)$$

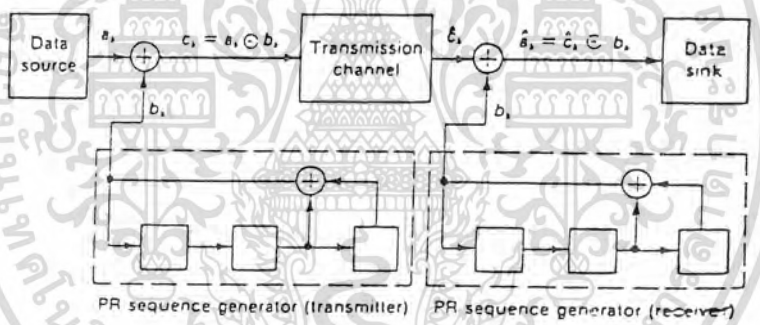
จากสมการแสดงรูปความเข้มข้นสเป็คตรัมกำลังได้ในรูปที่ 2.5 โดยไลน์สเป็คตรัมเกิดขึ้นทุกๆ ระยะ 1/NT และจะมีเอนวิโลปของไลน์สเป็คตรัมเป็นฟังก์ชั่น $[\sin\pi fT/\pi fT]^2$ โดยเสป็คตรัมจะเท่ากับศูนย์ทุกๆ ระยะเท่ากับ 1/T



รูปที่ 2.5 แสดงค่าออโตคอรีเรชั่นและความเข้มของสเป็คตรัมกำลังสัญญาณกึ่งแรนดัม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

pseudorandom sequence สามารถนำไปใช้ในการscramble ข้อมูลโดยทำการบวกแบบ modulo 2 ระหว่างข้อมูลกับ pseudorandom sequence ดังรูปที่ 2.6 เป็น block diagram ของการทำ scrambler และdescrambler ซึ่งใช้prescribed pseudorandome (PR)sequence สังเกตว่า PR sequence ที่ใช้ในการทำ scrambler และ descrambler เป็นตัวเดียวกัน สภาวะของ synchronism จะต้องเข้ากันได้ระหว่างทางด้าน encoder และ decoder ซึ่งหมายความว่าสัญญาณ pseudorandom และข้อมูลที่อยู่ในกลุ่มเดียวกันจะต้องเข้ามายังอินพุทของ encoder และ decoder พร้อมกัน การกำหนด synchronization เริ่มแรกสามารถทำได้โดยการ handshaking exchange ของ preamble เพื่อกำหนดค่าเริ่มต้นของ prestore sequence หรือโดยการทำ forward-acting operation เมื่อสภาวะเริ่มต้นของ shift register ที่ถูกส่งไปโดยเครื่องส่งและจะถูกนำมาใช้ในการ initialize ค่าที่ shift register ของเครื่องรับด้วย



รูปที่ 2.6 แสดงการต่อวงจร PRBS ใช้งาน

2.3 หลักการทำงานของวงจรกำเนิดสัญญาณ CLOCK

จากบล็อกไดอะแกรมจะเห็นว่าวงจรกำเนิดสัญญาณ CLOCK สามารถเลือกได้ 2 แบบคือ แบบโปรแกรมค่าความถี่ และ แบบปรับเลือกค่าความถี่จาก VCO

2.3.1 หลักการทำงานของเครื่องกำเนิดสัญญาณ CLOCK แบบโปรแกรมค่าความถี่

การสร้างสัญญาณ pulse ในวงจรนี้โดยจะใช้สัญญาณป้อนเข้าที่input ของIC MC14411 ซึ่งในวงจรใช้งานจะเป็นการต่อ crystal ขนาดความถี่ 1,8432 MH_z ซึ่งเป็นความถี่ที่สูงที่สุดที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
034931

IC MC14411 สามารถรับได้ เมื่อ IC MC14411ได้รับความถี่อินพุทแล้ว สามารถที่จะจ่ายสัญญาณออกที่เอาท์พุทได้จำนวน 16 ช่องซึ่งแต่ละช่องจะมีขนาดของความถี่แสดงไว้ดังตารางที่ 2.3

Output Number	Output Rates (Hz)			
	X64	X16	X8	X1
F1	614.4 k	153.6 k	76.8 k	9600
F2	460.8 k	115.2 k	57.6 k	7200
F3	307.2 k	76.8 k	38.4 k	4800
F4	230.4 k	57.6 k	28.8 k	3600
F5	153.6 k	38.4 k	19.2 k	2400
F6	115.2 k	28.8 k	14.4 k	1800
F7	76.8 k	19.2 k	9600	1200
F8	38.4 k	9600	4800	600
F9	19.2 k	4800	2400	300
F10	12.8 k	3200	1600	200
F11	9600	2400	1200	150
F12	8613.2	2153.3	1076.6	134.5
F13	7035.5	1758.8	879.4	109.9
F14	4800	1200	600	75
F15	921.6 K	921.6 K	921.6 K	921.6 K
F16*	1.843 M	1.843 M	1.843 M	1.843 M

*F16 is buffered oscillator output

ตารางที่ 2.3 ตารางแสดง OUTPUT RATE

จากตารางที่ 2.3 จะเห็นว่าในแต่ละช่องของความถี่ยังสามารถเพิ่มจำนวนเท่าของความถี่ได้อีก 4 ช่องคือ *1,*8,*16,*64 การเพิ่มจำนวนเท่านี้สามารถควบคุมได้จาก rate select ซึ่งจะมีขาที่ใช้ควบคุม 2 ขา คือ ขาที่ 23(A)และขาที่ 22(B) จะมีโหมดการควบคุมซึ่งแสดงไว้ในตารางที่ 2.4

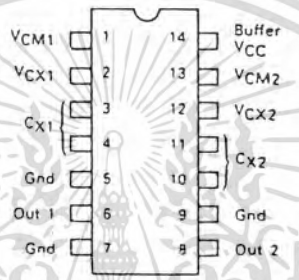
RATE SELECT		RATE
B	A	
0	0	*1
0	1	*8
1	0	*16
1	1	*64

ตารางที่ 2.4 ตารางแสดง OUTPUT RATE (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

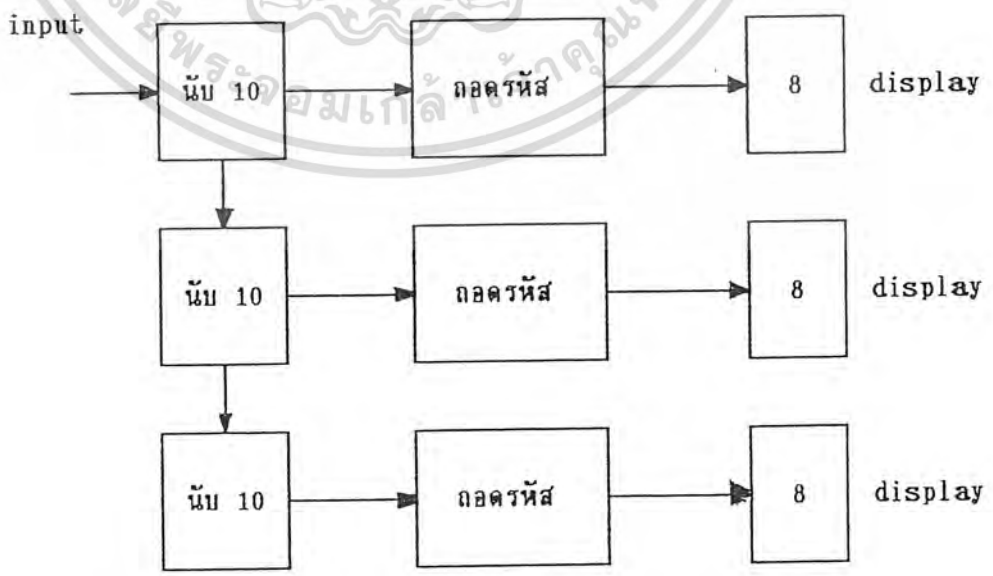
2.3.2 หลักการทำงานของเครื่องกำเนิดสัญญาณ CLOCK แบบเลือกความถี่จาก VCO

วงจร VCO จะเป็นวงจรกำเนิดความถี่ที่ให้แรงดันอินพุทเป็นตัวควบคุมความถี่ที่สร้างออกมาโดยจะสร้างสัญญาณที่มีความถี่สูงขึ้นเมื่อมีแรงดันอินพุทมากขึ้น และจะสร้างสัญญาณที่มีความถี่ต่ำลง เมื่อมีแรงดันอินพุทต่ำลง ในที่นี้จะใช้ IC ที่ทำหน้าที่ในการกำเนิดสัญญาณ SQUARE WAVE แบบรายคาบ (CLOCK)โดยใช้แรงดันควบคุมความถี่ของ CLOCK ที่ส่งออกมา และสามารถควบคุมย่านความถี่ด้วยค่า C ที่ต่อใช้งานระหว่างขา 3 และขา 4



รูปที่ 2.7 แสดงรูปร่างของ IC MC 4024

2.4 ทฤษฎีและหลักการของวงจรแสดงผล



รูปที่ 2.8 บล็อกไดอะแกรมการต่อวงจรตรวจวัดอัตราการผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดอะแกรมจะเห็นว่าภาคแสดงผลจะประกอบด้วยวงจรนับ 10 วงจรถอดรหัส และวงจรขับ LED แบบ 7-SEGMENT เพื่อนำไปจุดให้แต่ละส่วนของ LED แบบ 7-SEGMENT ที่ต้องการนั้นติด ซึ่งโดยทั่วไปมักจะใช้วงจรการแสดงผลที่มากกว่า 1 หลักเสมอก็สามารถทำได้นำเอาเอาท์พุทของวงจรนับหลักหน่วยป้อนเป็นอินพุทของวงจรนับ 10 ตัวถัดไป(หลัก 10)ส่วนอุปกรณ์ LED แบบ 7-SEGMENT มีอยู่ 2 ชนิดคือCOMMON ANODE และ COMMOM CATHODE

COMMON ANODE คือ การนำเอาขั้ว ANODE ของLED แบบ 7-SEGMENT ต่อลงกราวด์ทั้งหมดเมื่อต้องการให้ SEGMENT ส่วนใดติดก็ทำการจุด SEGMENT นั้นด้วยลอจิก "0"

COMMON CATHODE คือ การนำเอาขั้ว CATHODE ของ LED แบบ 7-SEGMENT ลงกราวด์เมื่อต้องการต่อ SEGMENT ส่วนใดติดก็ทำการจุด SEGMENT นั้นด้วยลอจิก "1"

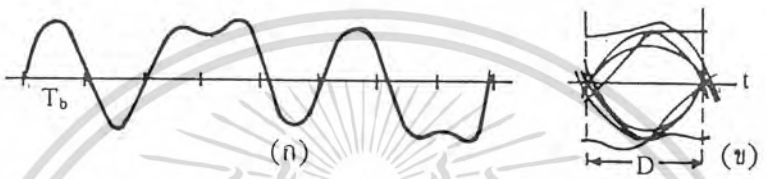
2.5 ทฤษฎีแพทเทินรูปดวงตา (EYE PATTERN)

เมื่อส่งสัญญาณจากต้นทางเป็นสัญญาณแรนดอมหรือสัญญาณกึ่งแรนดอม และเรามาทำการมอนิเตอร์สัญญาณที่ภาครับตรงตำแหน่งก่อนเข้าวงจรตัดสินระดับโดยใช้ออสซิลโลสโคป โดยทั่วไปเราจะพบว่า การผิดเพี้ยนของสัญญาณ การรบกวนกันระหว่างสัญญลักษณ์ และเฟสจิสเตอร์ที่เกิดขึ้นจะทำให้ขบวนของสัญญาณดิจิตอลที่เข้ามาซ้อนๆ กันให้เห็นบนจอเกิดเป็นสัญญาณรูปดวงตาขึ้นมา ดังรูปที่ 2.9 แสดงตัวอย่างแพทเทินรูปดวงตาที่เกิดขึ้น ในกรณีที่สัญญาณดิจิตอลมีไลน์โคดดิ้งแบบ NRZ และเมื่อทำการเขียนขอบเขตของบริเวณต่างๆ จะได้ตามรูปที่ 2.10 โดยส่วนที่แรเงาไว้นั้นเป็นบริเวณที่มีสัญญาณปรากฏอยู่ เมื่อพิจารณารายละเอียดของส่วนต่างๆ ในแพทเทินรูปดวงตาก็จะเเป็นตามที่แสดงไว้ในรูปที่ 2.10 กล่าวคือ ส่วนที่เป็นแถบอยู่ด้านบนสุดและด้านล่างสุด ก็จะเป็นผลกระทบจากกระบวนการระหว่างสัญญลักษณ์ ส่วนที่เป็นแถบอยู่ตรงกลางนั้นจะเกิดจากเฟสจิสเตอร์ เมื่อพิจารณารูปดวงตาที่เกิดขึ้นนี้ จะเห็นได้ว่าในการตัดสินระดับสัญญาณนั้น ตำแหน่งการสุ่มตัวอย่างที่เหมาะสมที่สุด คือ ตำแหน่งตรงกลางดวงตาพอดีซึ่งเป็นส่วนที่กว้างที่สุดของดวงตา เพราะเป็นระดับที่ใกล้นอยส์มาจินทางด้าน"1" และ"0" เท่ากัน ซึ่งจะส่งผลให้พรอบบะบิลิตีของการตัดสินการผิดพลาดเนื่องจากสัญญาณรบกวนแบบเกาส์เซียนต่ำที่สุด สำหรับความชันของกรอบดวงตานั้นจะบ่งบอกความไวที่มีต่อการคลาดเคลื่อนของจังหวะการสุ่มตัวอย่าง โดยทั่วไปสัญญาณที่มีอัตราข้อมูลสูงก็จะมีความชันสูงด้วย ซึ่งหมายถึงผลการกระทบของจังหวะการสุ่มตัวอย่างที่

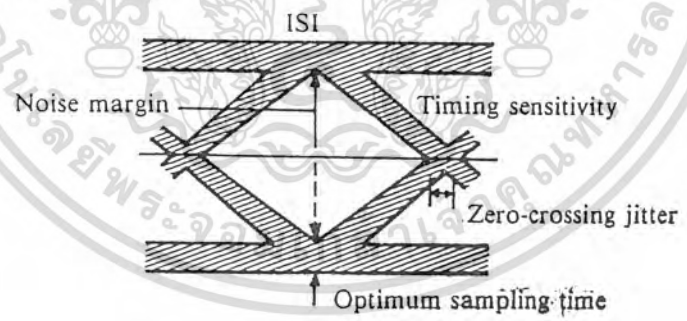
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คลาดเคลื่อนไปก็จะมีสูงตามไปด้วย

เมื่อกล่าวโดยสรุปแล้ว แพทเทินรูปดวงตานี้จะบ่งบอกคุณสมบัติของช่องสัญญาณที่ทำการส่งผ่านสัญญาณดิจิตอลอยู่ และแพทเทินรูปดวงตาที่มีดวงตาที่เปิดกว้างทั้งในแนวตั้งและแนวนอนก็จะหมายถึงคุณสมบัติที่ดีของสัญญาณ ซึ่งจะส่งผลให้การตัดสินระดับสัญญาณมีโอกาสผิดพลาดน้อยที่สุด



รูปที่ 2.9 ตัวอย่างของแพทเทินรูปดวงตาในการเข้ารหัส NRZ



รูปที่ 10.3 – 7 แพทเทินรูปดวงตากับความหมายของส่วนต่างๆ

รูปที่ 2.10 แพทเทินรูปดวงตากับความหมายของส่วนต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจรโมโนสเตเบิลมัลติไวเบรเตอร์

วงจรโมโนสเตเบิลมัลติไวเบรเตอร์จะประกอบด้วย วงจรกลับสัญญาณ (Inverter circuit)สองวงจร ซึ่งเอาท์พุทของวงจรกลับสัญญาณวงจรแรกจะถูกนำมาเป็นอินพุทของวงจรที่สอง โดยวิธีอาร์ซีคัปปลิ้ง (RC COUPLING) และเอาท์พุทของวงจรที่สองจะถูกนำเอามาเป็นอินพุทของวงจรแรกโดยวิธีรีซีสทีฟคัปปลิ้ง (RESISTIVE COUPLING) ดังแสดงไว้ในรูปที่ 2.11

สัญญาณแรงดันที่เป็นสัญญาณทริกเกอร์ของวงจรนี้ โดยปกติมักมีลักษณะแบบสัญญาณดิฟเฟอร์เรนชิเอเตด ที่มีครึ่งล่างเพียงครึ่งเดียว และจะทำให้เอาท์พุทของวงจรโมโนสเตเบิ้ล มัลติไวเบรเตอร์นี้มีรูปร่างเป็นคลื่นรูปสี่เหลี่ยมมุมฉาก (RECTANGULAR) สัญญาณเอาท์พุทที่ได้นี้ มักถูกนำไปใช้ในการควบคุมวงจรพัลส์อื่น ๆ เช่นวงจรเกท (GRATE CIRCUIT)เป็นต้น และวงจรมัลติไวเบรเตอร์แบบนี้อาจถูกกเรียกอีกอย่างหนึ่งได้ว่า "วงจรหน่วงสัญญาณ" (DELAY CIRCUIT)

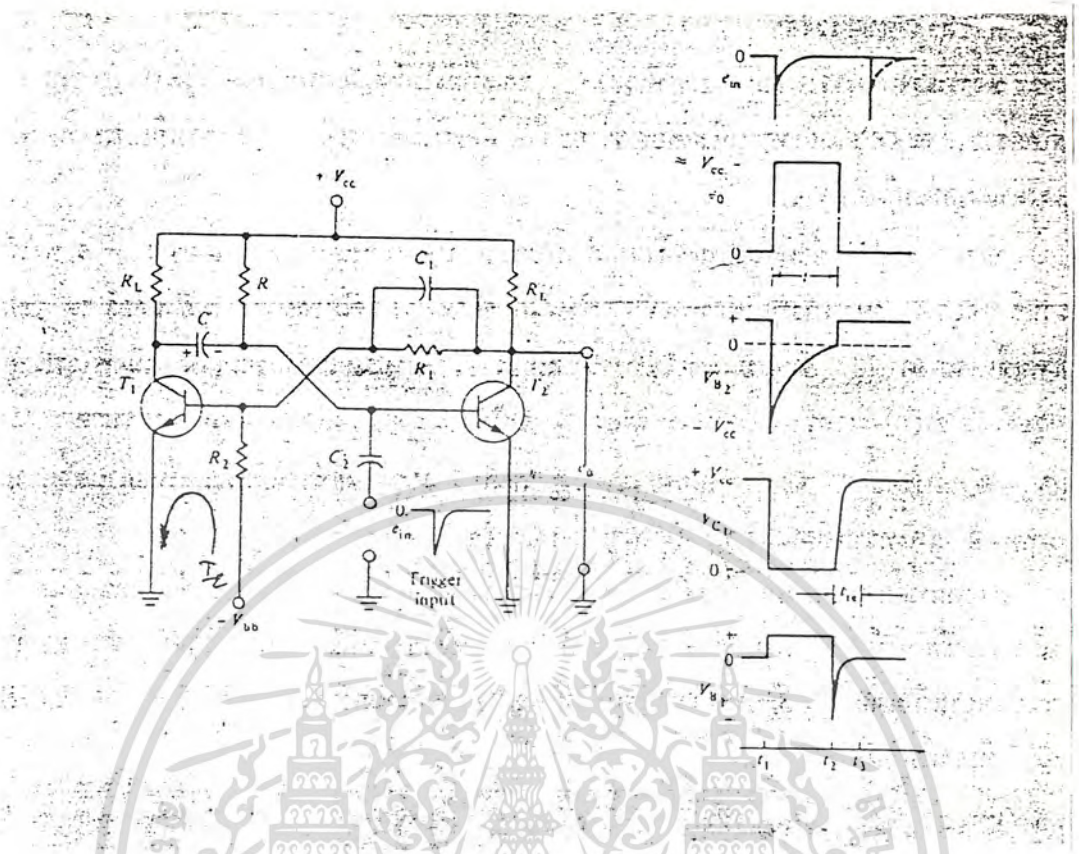
หลักการทำงานของวงจร

พิจารณาจากวงจรในรูปที่ 2.11 ที่เวลา t_{-1} ขณะที่ยังไม่มีสัญญาณทริกเกอร์ใด ๆ เข้ามาทรานซิสเตอร์ T_2 จะ OFF และทรานซิสเตอร์ T_2 จะ ON และตัวเก็บประจุ C จะทำการเก็บประจุกระทั่งมีแรงดันตกคร่อมถึงค่า V_{cc}

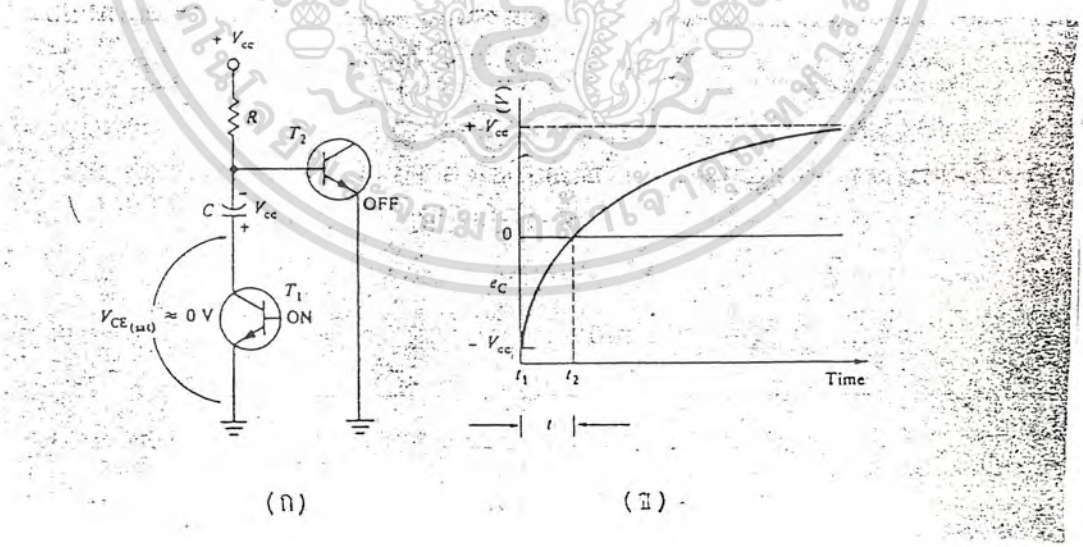
ที่เวลา t_{+1} เมื่อมีสัญญาณทริกเกอร์แบบลบเข้ามายังเบสของทรานซิสเตอร์ T_2 จะทำให้ทรานซิสเตอร์ T_2 หยุดทำงานมีสภาพ OFF ดังนั้นศักดาย์ที่คอลเลคเตอร์ของทรานซิสเตอร์ T_2 จะมีค่าเพิ่มขึ้นจนถึงค่า V_{cc} ซึ่งจะมีผลทำให้ทรานซิสเตอร์ T_1 ทำงานมีสภาพเป็น ON เมื่อพิจารณาดูจากรูปที่ 2.12 (ก) ที่เวลา t_{+1} ทรานซิสเตอร์ T_2 จะได้รับแรงดันไบอัสย้อนกลับ ซึ่งมีขนาดเท่ากับค่า V_{cc} ตัวเก็บประจุ C จะเก็บประจุจากค่า $-V_{cc}$ ถึงค่า $+V_{cc}$ โดยทำ ให้มีกระแสไหลผ่านตัวความต้านทาน R และทรานซิสเตอร์ T_1

แรงดันที่ตกคร่อมตัวเก็บประจุ C จะทำให้ทรานซิสเตอร์ T_2 ได้รับแรงดันไบอัสย้อนกลับดังนั้นทรานซิสเตอร์ T_2 จะคงสภาพ OFF อยู่นี้ ก็คือ "ขนาดความกว้างของพัลซ์" (PULSE DURATION TIME) t ที่เอาท์พุทนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดงวงจรโมโนสเตเบิ้ล มัลติไวเบรเตอร์



(ก) (ข)

รูปที่ 2.12 (ก) แสดงวงจรการทำงานของวงจรที่เวลา t+1

(ข) แสดงการเก็บประจุของตัวเก็บประจุ C จากเวลา t+1 ถึง t-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความกว้างของพัลซ์ที่เอาท์พุท

จากวงจรในรูปที่ 2.12 ช่วงเวลาซึ่งตัวเก็บประจุ C ใช้ในการเก็บประจุกระทั่งมีแรงดันตกคร่อมเป็น 0 โวลท์ โดยทำให้มีกระแสไหลผ่านตัวต้านทาน R อาจหาได้จากสมการของการเก็บประจุดังนี้คือ

$$e_c = E - (E +- E_{co})\epsilon^{-t/RC}$$

ซึ่งในกรณีของวงจรโมโนสเตเบิ้ล เมื่อแทนค่าต่าง ๆลงในสมการจะเขียนได้ว่า

$$0 = V_{cc} - (V_{cc} + V_{cc})\epsilon^{-t/RC}$$

$$0 = V_{cc} - 2V_{cc}\epsilon^{-t/RC}$$

$$2V_{cc} = V_{cc}\epsilon^{+t/RC}$$

$$\epsilon^{+t/RC} = 2$$

$$t = RC \log_{10} 2 \; / \; \log_{10} \epsilon$$

$$t = 0.69\ RC$$

$$e_c = E = (E +- E_{co})\ \epsilon^{-t/RC}$$

$$0.9V_{cc} = V_{cc} - (V_{cc} + 0) + t_{re}/R_LC$$

$$0.9V_{cc} = V_{cc} - (V_{cc} / \epsilon + t_{re}/R_LC)$$

$$V_{cc} / + t_{re}/R_LC = 0.1V_{cc}$$

$$\epsilon + t_{re}/R_LC = 10$$

$$t_{re} = R_L * C \log_{10} 10 / \log_{10} \epsilon$$

$$= 2.3\ R_LC$$

ดังนั้นช่วงเวลาอย่างน้อยที่สุดจะต้องให้สำหรับการทริกเกอร์ริ่งวงจรโมโนสเตเบิ้ล มัลติไวเบรเตอร์ก็คือ T

$$T = t + t_{re}$$

$$= 0.69\ RC + 2.3\ R_LC$$

$$= (0.69R + 2.3R_L)C$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและการทำงานของวงจร

3.1 การทำงานของวงจร PRBS ขนาด 25 บิท , 17 บิท และ 9 บิท

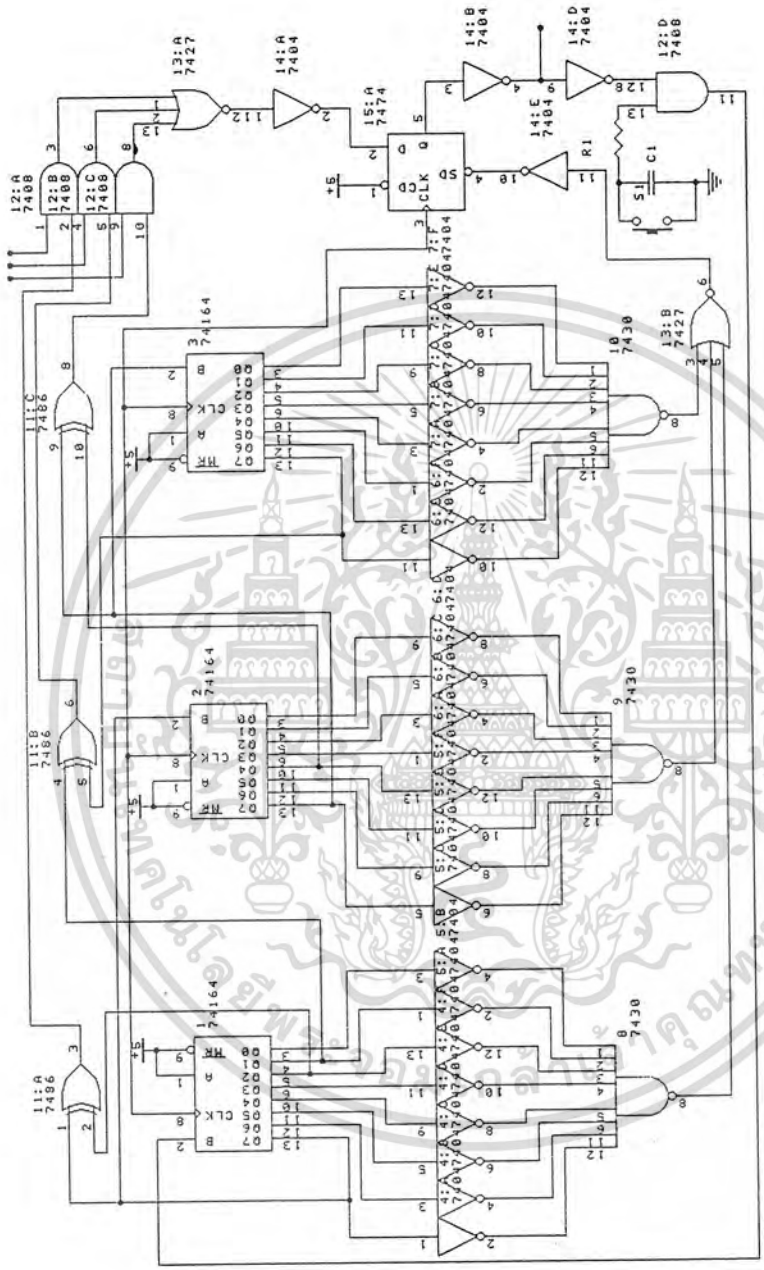
การทำงานของวงจรที่ได้ทำการทดลองจะเป็น PRBS ขนาด 25 บิทซึ่งวงจรทั้งหมดจะประกอบด้วย shift register ขนาด 25 บิทซึ่งจะใช้ IC 74164 เป็น shift register แบบ serial in parallel out ขนาด 8 บิท 3 ตัวและ d flip-flop 1 ตัว เป็น register ขนาด 1 บิทโดยต่ออนุกรมกัน ให้บิทที่ 1 เป็น d flip-flop และเอาท์พุทของบิทที่ 1 จะส่งไปเข้าที่อินพุทของ 74164 ตัวแรกที่ขา 2 และเอาท์พุทของ shift register ตัวแรกที่ขา 13 ส่งเข้าไปเป็นอินพุทของ 74164 ตัวที่ 2 และเอาท์พุทของตัวที่ 2 ไปส่งเข้าไปเป็นอินพุทของ 74164 ตัวที่ 3 วงจรทั้งหมดจะเป็น shift register ขนาด 25 บิท เมื่อป้อนสัญญาณนาฬิการเข้ามา วงจรจะทำการสร้างสัญญาณ binary random ขนาด 25 บิท และมีจำนวน sequence ทั้งหมด 2^{25} - 1 sequence โดยจะไม่มี sequence ที่มีค่าเป็น 0 หรือเกิดลอจิก 0 ทั้งหมด ส่วนการป้อนกลับของ PRBS ขนาด 25 บิทจะนำบิทที่ 3 และบิทที่ 25 มาทำการ exclusive or กัน (modulo 2)เพื่อป้อนกลับมาเป็นอินพุทของบิทที่ 1

การทำงานของ PRBS ขนาด 17 บิท จะไม่สนใจการทำงานของบิทที่ 18 ถึง 25 คือลดการทำงานลงเหลือ 17 บิท การทำงานก็จะมีลักษณะเหมือนกับ PRBS ขนาด 2 บิทโดยจะต่างกันที่จำนวน sequence ที่จะทำการ random ซึ่งจะลดลงเหลือเพียง 2^{17} - 1 sequenceและจะไม่มี sequence ที่เกิดลอจิก 0 ทั้งหมดเหมือนกัน ส่วนการป้อนกลับไปยังบิทที่ 1 จะทำการ exclusiveor ระหว่างบิทที่ 14 และบิทที่ 17

การทำงานของ PRBS ขนาด 9 บิทก็จะลด shift register ลงเหลือเพียง 9 บิทโดยจะไม่สนใจการทำงานของบิทที่ 10 ถึงบิทที่ 25 การป้อนกลับก็จะทำการ exclusive or กันระหว่างบิทที่ 4 และบิทที่ 7 จำนวน sequenceก็จะลดลงเหลือเพียง 2^{9} - 1 sequence

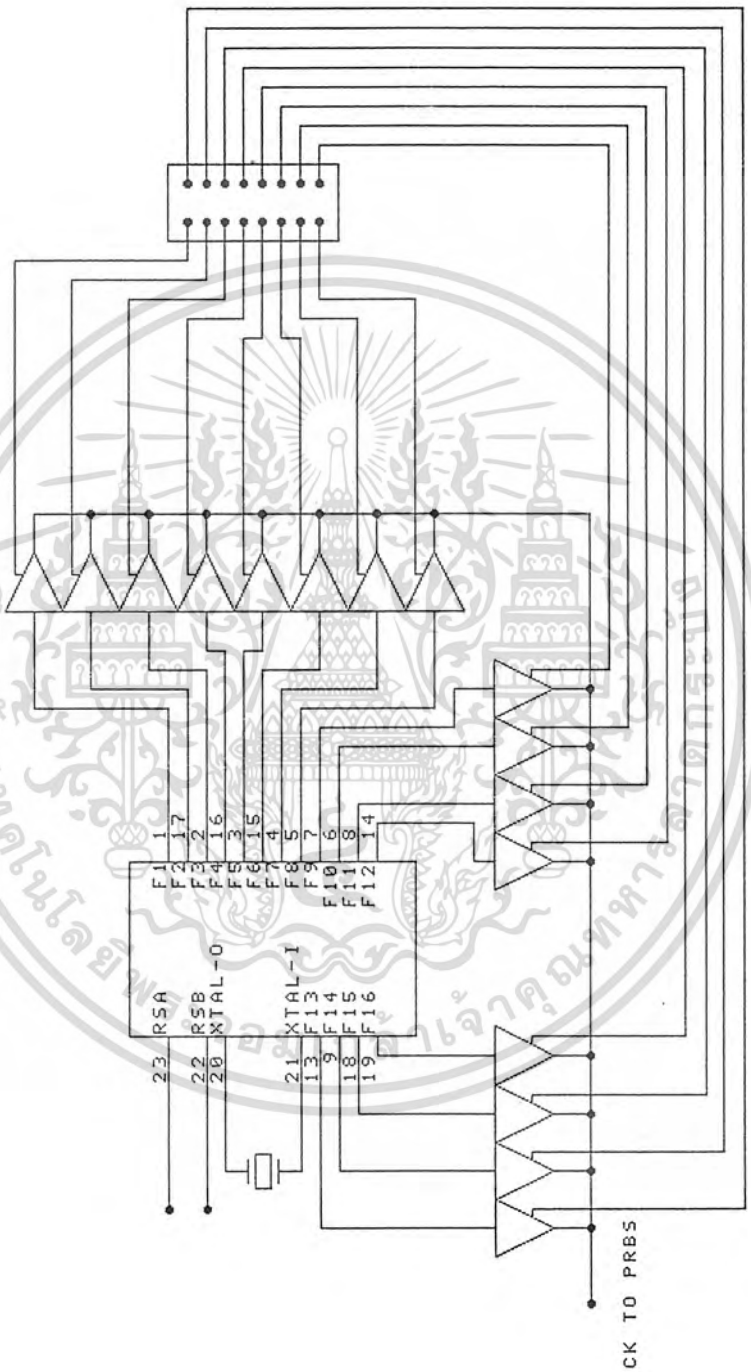
ในวงจรที่ใช้ทดลองจะนำการป้อนกลับของทั้งวงจร 9,17 และ 25 บิทมา and กับสัญญาณการเลือกบิท โดยถ้าเลือก 25 บิท สัญญาณป้อนกลับที่จะผ่านไปยังบิทที่ 1 ได้คือการป้อนกลับระหว่างบิทที่ 18 และ25 ส่วนสัญญาณป้อนกลับที่ไม่ได้เลือกเมื่อ and กันแล้วจะให้เอาท์พุทเป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



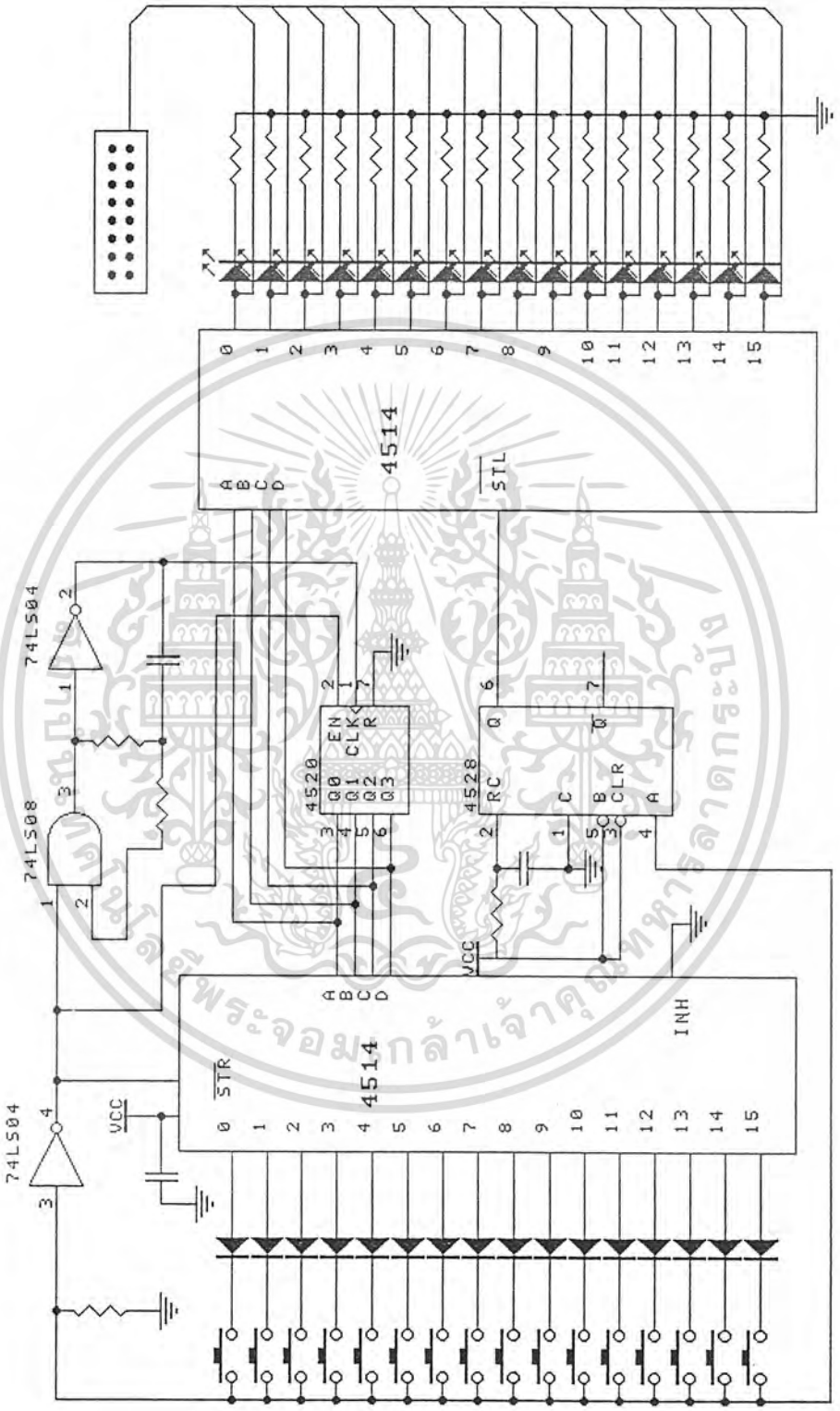
รูปที่ 3.1 แสดงวงจรกำเนิดสัญญาณ PRBS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



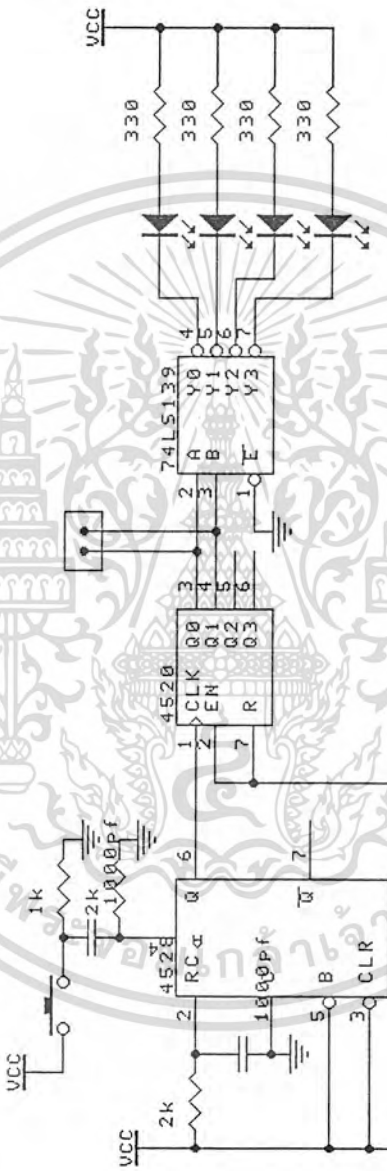
รูปที่ 3.2 แสดงวงจรกำเนิดสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงวงจรการเลือกสัญญาณเข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงวงจร MULTIPLE MODE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร detect ลอจิก 0 จะมีการทำงานดังนี้คือ เมื่อเกิด sequence ที่มีค่าเป็นลอจิก 0 หรือเกิดลอจิก 0 ทั้งหมดในวงจรสร้างสัญญาณ random จะหยุดสร้างสัญญาณและให้เอาท์พุทเป็น 0 ที่เอาท์พุทของบิทที่ 2 ถึง25 จะมีการต่ออินเวอร์ตั้งเกทเพื่อทำการกลับสัญญาณจากลอจิก 0 ทั้งหมดให้เป็นลอจิก 1 ทั้งหมดและนำสัญญาณที่ได้นี้มาเข้าnand gate สัญญาณที่ผ่าน nand gate มาได้จะเป็นลอจิก 0 และป้อนกลับไปยังขา preset ของ d flip-flop ซึ่งจะทำงานที่ลอจิก 0 จะทำการ setให้เอาท์พุทของ d flip-flop หรือบิทที่ 1 เป็นลอจิก 1 เพื่อทำให้วงจรสร้างสัญญาณ binary random ต่อไป

3.2 การออกแบบวงจรกำเนิด CLOCK

จากบล็อกไดอะแกรมในรูปที่ 2.1 จะเห็นว่าโครงงานชิ้นนี้มีการกำเนิดสัญญาณ CLOCK เป็น 2 ส่วนคือ ส่วนที่ทำการล็อกค่าตามที่โปรแกรมไว้ และส่วนที่เลือกค่าความถี่โดยการปรับเลือกค่า

วงจรกำเนิดสัญญาณ CLOCK แบบเลือกค่าตามที่โปรแกรมไว้จะใช้ IC 14411 ต่อร่วมกับ CRYSTAL ขนาดความถี่ 1.8432 MHz ดังรูปที่ 3.2-3.4

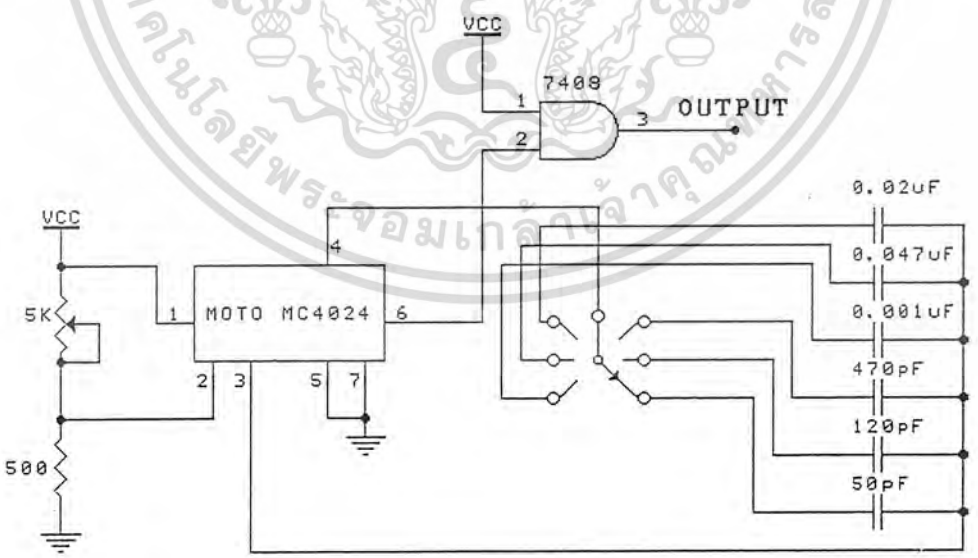
จากรูปจะเห็นว่าเมื่อเรานำ IC MC14411 ไปต่อใช้งานร่วมกันกับ buffer 3 state ซึ่งแสดงดังวงจรรูปที่ 3.2 การทำงานของ buffer 3 state ถ้าไม่มีลอจิก 1 เข้ามาทริกที่ขา control จะทำให้เอาท์พุทที่ได้เป็น high impedance ดังนั้นจึงทำให้สามารถนำเอาท์พุททั้งหมด มารวมกันเป็นเอาท์พุทเส้นเดียวกันได้ การที่จะเลือกเอาท์พุทช่องใดช่องหนึ่งมาใช้งานนั้นจะมีลอจิกมาควบคุมการเลือกเอาท์พุท จากแผงควบคุมซึ่งจะให้ลอจิก 1 มาทริกให้ buffer ปล่อย CLOCK ในช่องที่ต้องการใช้งานออกมา วงจรแสดงไว้ในรูปที่ 3.3

สำหรับวงจรที่ใช้ในการควบคุม multiple เอาท์พุทแสดงดังรูปที่ 3.4 วงจรจะมีการทำงานดังนี้คือ เมื่อกดสวิทช์ 1 ครั้งจะมีการเปลี่ยน code ที่ใช้ในการควบคุมหรือการเปลี่ยนการ multiplier โดยเมื่อกดคีย์สวิทช์จะมีสัญญาณไปทริกวงจร monostable ให้จ่าย CLOCK 1 ลูกไปเข้าวงจร counter โดยจะใช้เพียง 2 บิท คือ Q_0 และ Q_1 ไปใช้ในการควบคุม IC MC14411 ให้การ multiple เอาท์พุทที่ทำการปล่อยออกไปจะมีการเปลี่ยนแปลงดังนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

00 01 10 11 ตามลำดับ การ multiplier ก็จะได้ดังนี้คือ *1,*8,*16,*6

วงจรกำเนิดสัญญาณ CLOCK แบบปรับเลือกค่าวงจรนี้จะใช้หลักการของ VCO ซึ่งในโครงงานนี้จะใช้ IC MC4024 เป็น VCO ในการกำเนิดสัญญาณนาฬิกาโดยจะมีตัวเก็บประจุที่ต่ออยู่ระหว่างขา 3 และขา 4 เป็นตัวกำหนดย่านความถี่และจากหลักการของ VCO ที่ใช้แรงดันอินพุทของวงจรเป็นตัวเพิ่มและลดความถี่ที่วงจรสร้างออกมา ในที่นี้จะใช้ตัวต้านทานต่อเป็นวงจรแบ่งแรงดันเพื่อปรับแรงดันอินพุทของ IC MC4024 เมื่อต้องการเลือกปรับค่าความถี่ในย่านใดย่านหนึ่งก็สามารถทำได้ โดยทำการปรับเลือกค่าตัวเก็บประจุที่ครอบคลุมย่านความถี่นั้น แล้วมาทำการปรับแรงดันอินพุทอีกครั้งหนึ่งเพื่อเลือกเอาความถี่ที่ต้องการโดยการปรับค่าตัวต้านทาน เนื่องจากเอาท์พุทที่ได้ในย่านความถี่สูงจะมีรูปร่างของสัญญาณผิดเพี้ยนไปจากสัญญาณรูปสี่เหลี่ยมมากจึงต้องทำการลดสัญญาณผิดเพี้ยนนี้ลงไปและต้องปรับปรุงรูปร่างของสัญญาณให้ดีขึ้นด้วย AND GATE เข้ามาช่วยลดสัญญาณส่วนที่ผิดเพี้ยนไป โดยการต่อสัญญาณอินพุทข้างหนึ่งให้เป็นลอจิก 1 และขาอินพุทที่เหลือก็จะจ่ายสัญญาณนาฬิกาเข้าไปใน AND GATE ก็จะทำหน้าที่เป็นสวิทช์เปิดปิดให้ระดับสัญญาณเอาท์พุทออกมาเป็นระดับสัญญาณ 5 โวลท์และกราวด์ สัญญาณเอาท์พุทที่ได้จึงมีรูปร่างที่ดีขึ้น ซึ่งวงจรดังกล่าวนี้จะแสดงไว้ในรูปที่ 3.5



รูปที่ 3.5 แสดงวงจรกำเนิดสัญญาณนาฬิกาแบบปรับเลือกค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 เทคนิคการออกแบบวงจรวัดอัตราการผิดพลาดของบิท

สำหรับการวัดอัตราผิดพลาดของบิทโดยใช้สัญลักษณ์ข้อมูลกึ่งแรนดัม วิธีการเปรียบเทียบที่ภาครับกับภาคส่งเพื่อวัดความผิดพลาดทำได้โดย

1.กำเนิดสัญญาณ PRBS แล้วส่งผ่านช่องสัญญาณแล้วทำการรับข้อมูลที่ส่งมาเปรียบเทียบกับภาคส่ง(loop back) ซึ่งวิธีนี้เป็นการทดสอบระบบที่ใช้การส่งแบบ Full Duplex

2.กำเนิดสัญญาณ PRBS ที่ภาคส่งแล้วส่งผ่านช่องสัญญาณแล้ว ที่ภาครับให้รับสัญญาณที่รับได้ผ่านชุดอินเวิร์ดชิพรีจิสเตอร์มาอดูโลกับสัญญาณ PRBS ที่รับได้โดยเอาท์พุทมอดูโลจะให้เป็นรูปแบบของบิทที่ผิด

3.กำเนิดสัญญาณ PRBS ที่ภาคส่งแล้วส่งผ่านช่องสัญญาณแล้วที่ภาครับสร้างสัญญาณ PRBS ที่ซิงโครไนซ์กับภาคส่งขึ้นมาเปรียบเทียบ ซึ่งเป็นวิธีที่ใช้ในปริญญานิพนธ์

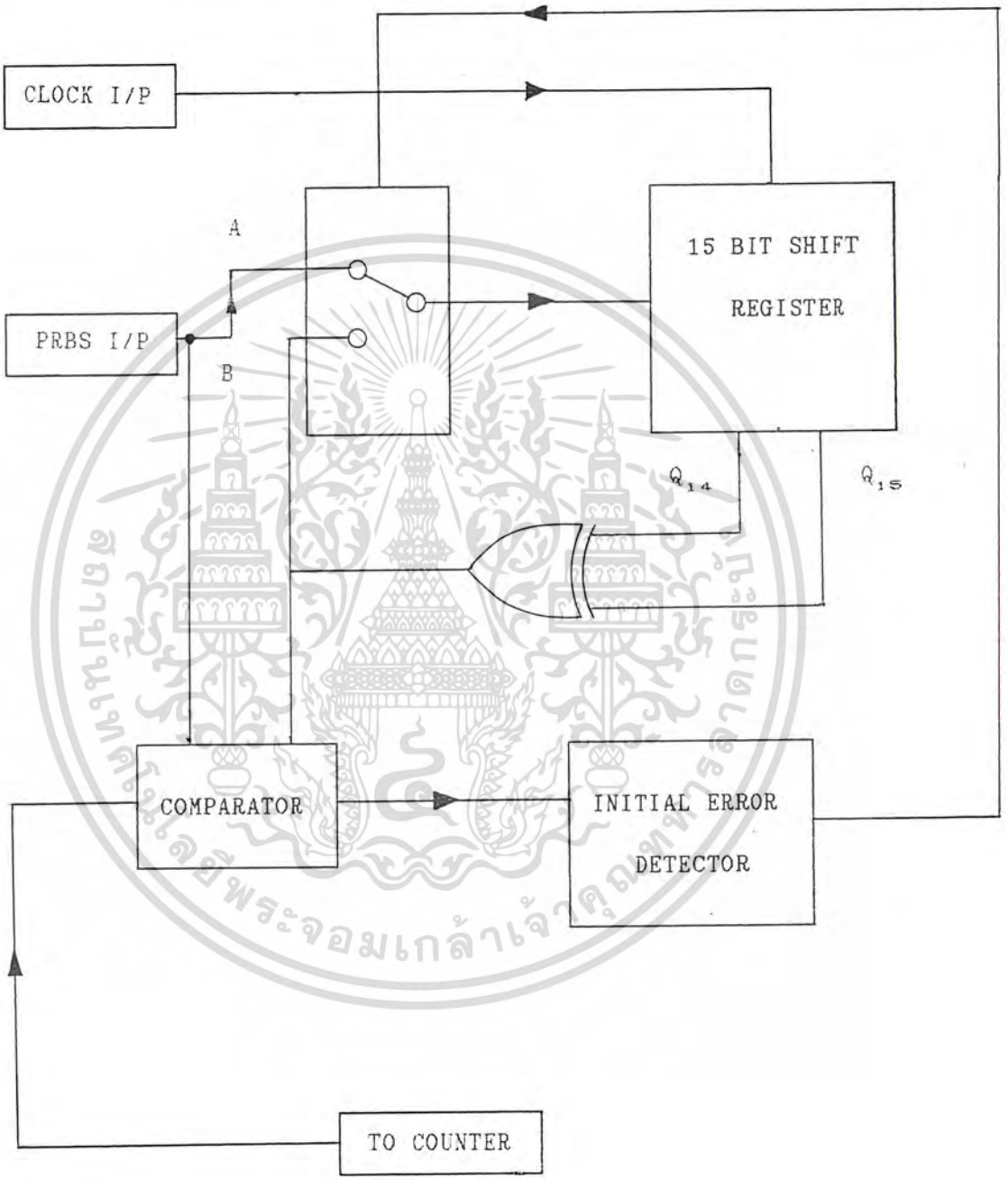
3.3.1 หลักการออกแบบเครื่องวัดอัตราการผิดพลาดของบิท

การวัดความผิดพลาดของบิทที่เกิดขึ้นโดยใช้ข้อมูลกึ่งแรนดัมที่กล่าวมาแล้วนั้น ที่ภาครับจะสร้างสัญญาณที่มีชีเควนตรงกันข้ามในเวลาเดียวกัน หรือสัญญาณภาครับมีการซิงโครไนซ์กับภาคส่งโดยโครงสร้างของวงจรภาครับแสดงดังรูปที่ 3.5

โดยในตอนแรกที่ภาครับวงจรกำเนิดข้อมูลกึ่งแรนดัมอย่างเป็นอิสระ หรือสวิทช์อยู่ในตำแหน่ง B สัญญาณข้อมูลกึ่งแรนดัมที่ภาครับจะถูกเปรียบเทียบกับสัญญาณภาคส่งที่วงจรเปรียบเทียบ (COMPARATOR) แล้วป้อนเข้าสู่เริ่มต้นที่ภาคดีเทคความผิดพลาด (TNITIAL ERROR DETECTOR) ซึ่งจะพบบิทที่ผิดพลาดมากนช่วงเวลาสั้น ๆ ดังนั้นจะทำให้วงจรเริ่มต้นดีเทคความผิดพลาดให้สัญญาณเอาท์พุทที่ทำให้สวิทช์ไปอยู่ที่ตำแหน่ง A ซึ่งเป็นการซิงโครไนซ์ข้อมูลหลังจากที่สวิทช์อยู่ในตำแหน่ง A แล้ว ในช่วงเวลาหนึ่งก็จะกลับมาอยู่ในตำแหน่ง B อีกซึ่งเป็นการสร้างสัญญาณกึ่งแรนดัมที่ภาครับที่มีชีเควนตรงกันกับภาคส่งตลอดไป สำหรับส่วนที่เป็นวงจรเปรียบเทียบเอ็กคลูซีฟอเช่นกันกับโมดูโลสอง คือถ้าอินพุททั้งสองต่างกันก็จะให้เอาท์พุทออกมาเป็น "1"ถ้าอินพุทของทั้งคู่เหมือนกันก็จะให้เอาท์พุทออกมาเป็น " 0 " สำหรับส่วนที่เป็นสวิทช์สำหรับเลือกสัญญาณให้กับชุดชิพท์รีจิส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

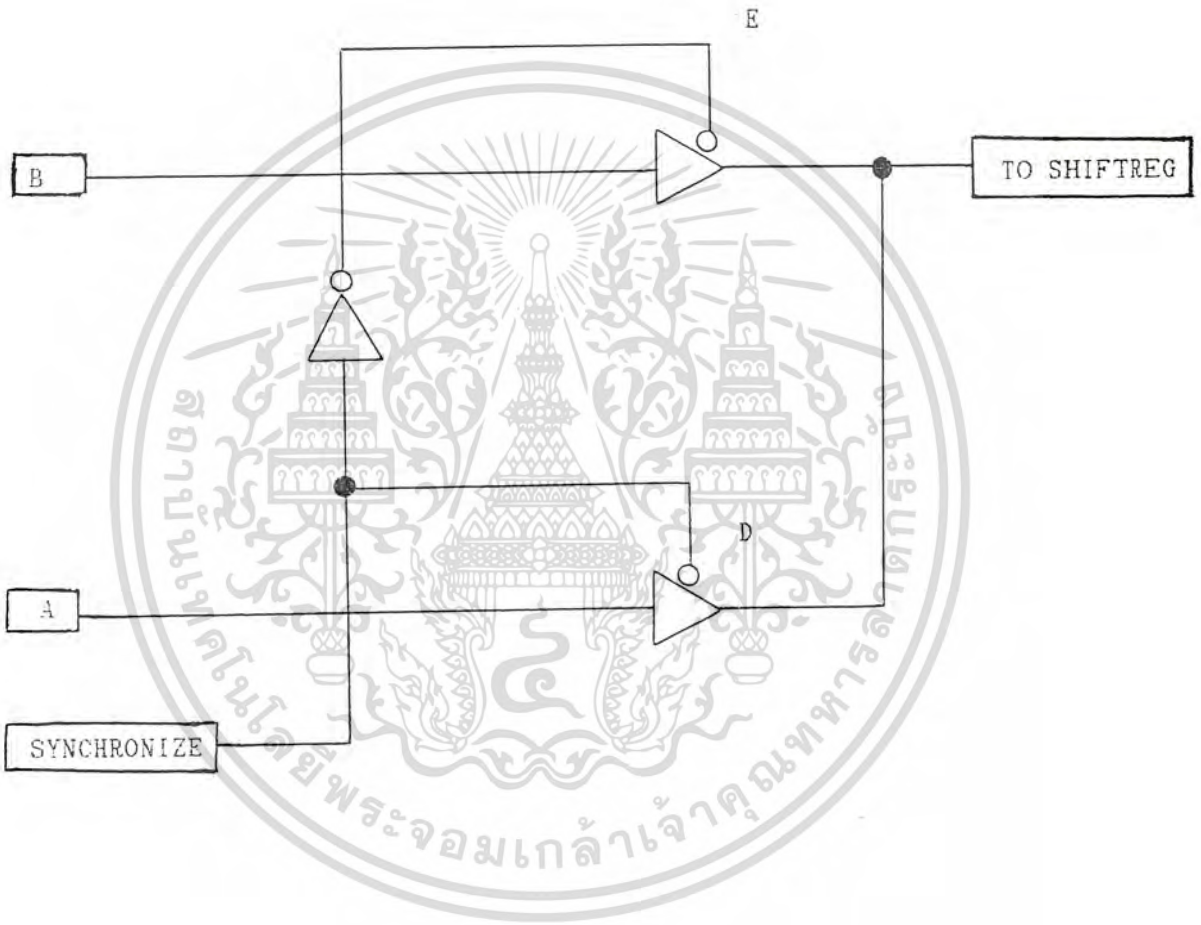
เตอร์งมีขนาด 9 บิทเช่นเดียวกันกับภาคส่งนั้นสามารถใช้วงจรมัลติเพล็ก(MULTIPLEXER)แต่การออกแบบในที่นี้ออกแบบโดยใช้วงจรรวมบัฟเฟอร์ที่สามารถควบคุมให้อยู่ในสภาวะ ไฮอิมพีแดนซ์ได้โดยการต่อเป็นสวิทช์ 2 ทางสามารถแสดงในรูปที่ 3.6



รูปที่ 3.5 แสดงโครงสร้างการวัดอัตราความผิดพลาดของบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปสัญญาณ SYNCHRONIZE เป็นสัญญาณเอาท์พุทของวงจรเริ่มต้นดีเทคความผิดพลาดถ้าสัญญาณสภาวะ"0"สัญญาณจากอินพุท A ซึ่งเป็นสัญญาณที่รับจากภาคส่งโดยตรงมาทำการชิงโครไนซ์ให้ชิพท์รีจีสเตอร์ ที่ภาครับกำเนิดสัญญาณให้มีชีเควนตรงกับภาคส่ง แต่ถ้าสัญญาณ SYNCHRONIZE เป็นสภาวะ"1" จะทำให้สัญญาณจากอินพุท B ซึ่งเป็นการป้อนกลับจากชุดชิพท์รีจีสเตอร์เข้าที่ชิพท์รีจีสเตอร์ที่ภาครับนั่นเอง



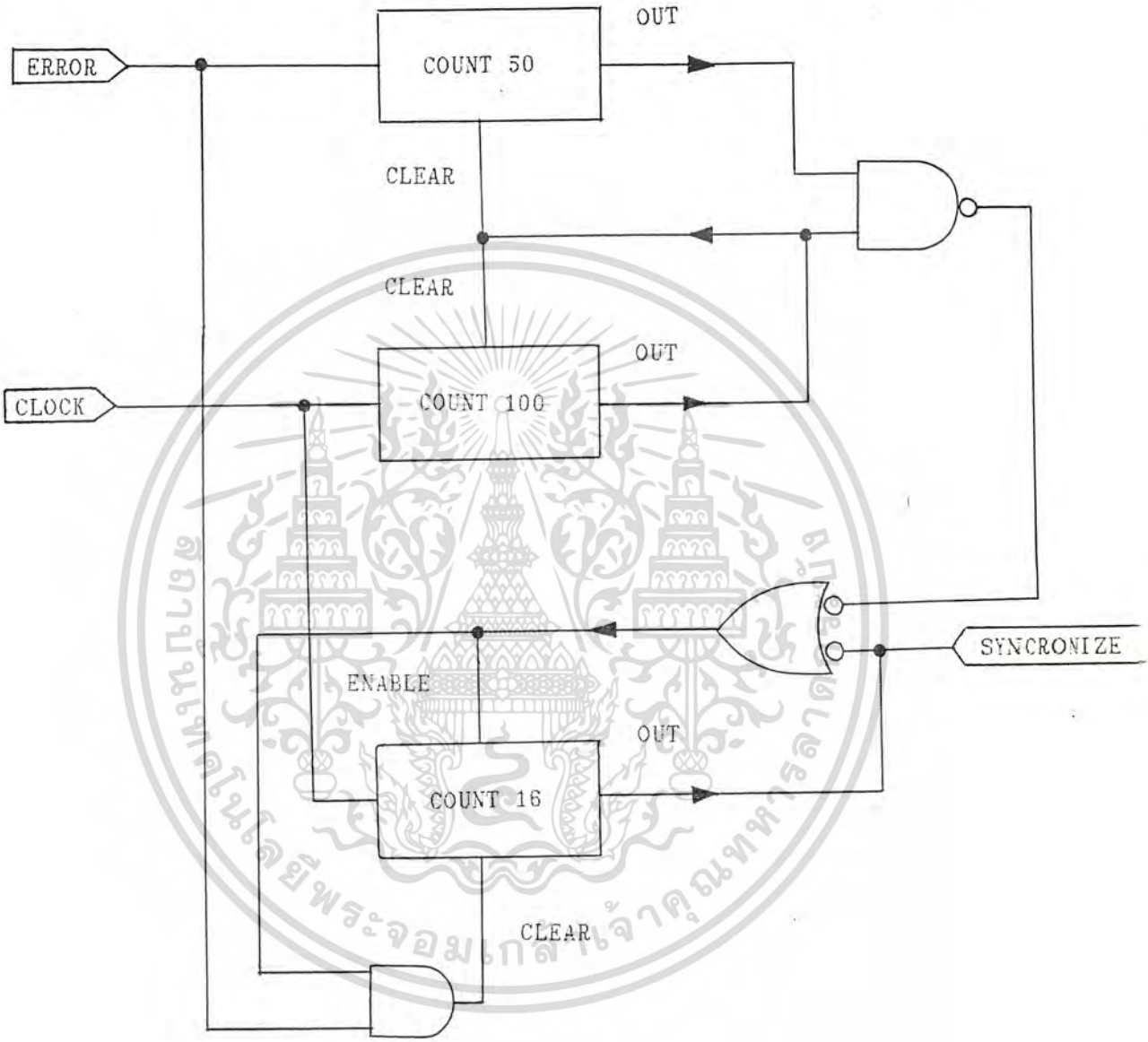
รูปที่ 3.6 แสดงวงจรที่ใช้ทำหน้าที่เป็นสวิทช์

3.3.2 การออกแบบวงจรเริ่มต้นดีเทคความผิดพลาด

สำหรับการออกแบบวงจรนับและวงจรเริ่มต้นดีเทคความผิดสามารถอธิบายหลักการได้คือ วงจรนี้จะให้เอาท์พุทเป็นลอจิก "0" เพื่อให้ชิพท์รีจีสเตอร์ที่วงจรภาครับทำการชิงโครไนซ์กับภาคส่งใหม่เมื่อปรากฏว่ามีบิทจากการเปรียบเทียบที่ภาคส่งและภาครับมากกว่า 50% ขึ้นไปหรือจำนวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกา 100 ลูกมีความผิดพลาดถึง 50 ลูกสัญญาณเอาท์พุทชิงวงจรจะเป็นลอจิก "0" อยู่เท่ากับจำนวนสัญญาณ 16 ลูก ซึ่งเพียงพอที่จะทำให้ชุดชิพท์รีจีสเตอร์ที่ภาครับบรรจุเอาชีเควนของภาคส่งเข้าไป เพื่อทำการชิงโครไนซ์โดยหลักการของวงจรสามารถอธิบายได้ดังรูปที่ 3.7

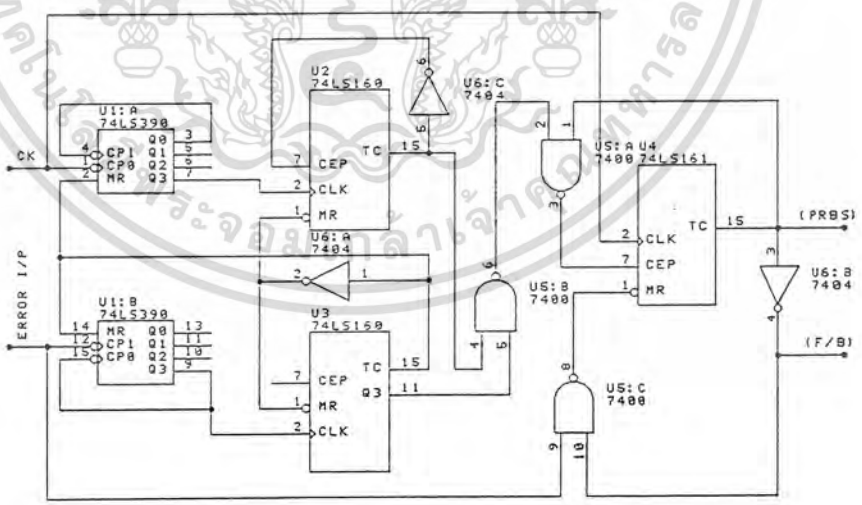


รูปที่ 3.7 แสดงหลักการวงจรเริ่มต้นดีเทคความผิด

จากโครงสร้างของวงจรสามารถอธิบายได้คือเมื่อตอนเริ่มต้นสัญญาณ SYNCHRONIZER หรือเอาท์พุทของวงจรนับ 16 จะมีสภาวะเป็น"0" หรือเริ่มต้นบรรจุชีเควนของสัญญาณภาคส่งเข้าไปเป็นจำนวน 16 ลูกซึ่งจะเป็นการชิงโครไนซ์ระหว่างภาคส่งและภาครับ หลังจากนั้นเอาท์พุทของวงจรนับ 16 จะมีสภาวะเป็น "1" ซึ่งทำให้ภาครับกำเนิดสัญญาณข้อมูลกึ่งแรนดัมที่เป็นอิสระชี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เควนเดียวกับภาคส่งแต่ถ้าเกิดเหตุการณ์ที่ซีเควนของภาคส่งและรับเกิดเลื่อนไม่ตรงกัน ซึ่งอาจจะเกิดขึ้นได้ เนื่องจากการรบกวนของสัญญาณอิมพัลซ์ที่ภาคส่งหรือภาครับ โดยเมื่อลำดับของซีเควนของภาคส่งและภาครับไม่ตรงกันหรือหลุดการชิงโครไนซ์สัญญาณข้อมูลจะผิดพลาดเกิดขึ้นเป็นจำนวนมากหรือมากกว่าจำนวน 50 บิทขึ้นไปภายในสัญญาณนาฬิกาจำนวน 100 บิท วงจรจะเกิดสัญญาณอีนาเบิ้ล(ENABLE) ทำให้เอาท์พุทของวงจรนับ 16 เป็นลอจิก "0" ทำการบรรจุสัญญาณกึ่งแรนดัมภาคส่งเข้าไปในชิพท์รีจีสเตอร์ของภาครับจนครบ เมื่อครบสัญญาณนาฬิกา 16 ลูกจึงทำให้เอาท์พุทของวงจรนับ 16 เป็น "1" แต่ภายในช่วงเวลาสัญญาณนาฬิกา 16 ลูกนี้ เกิดสัญญาณบิทที่เข้ามาทางอินพุท ERROR สัญญาณบิทที่ผิดนี้จะเคลียร์วงจรนับ 16 ให้เป็น"0" ซึ่งเป็นการบรรจุซีเควนที่ภาคส่งเข้าไปอีก 16 บิท เพื่อเป็นการป้องกันไม่ให้เกิดการบรรจุซีเควนที่ผิดเข้าไปในวงจรรีจีสเตอร์ทางภาครับ สำหรับวงจรในทางปฏิบัติวงจรนับ 50 ใช้วงจรรวม 74LS390 (U1B) ต่อรวมกับ 74LS160 (U2)และวงจรนับ 100 ใช้วงจร 74LS390 ต่อร่วมกับ 74LS160 วงจรนับ 16 ใช้วงจรรวม 74LS161 (U6)

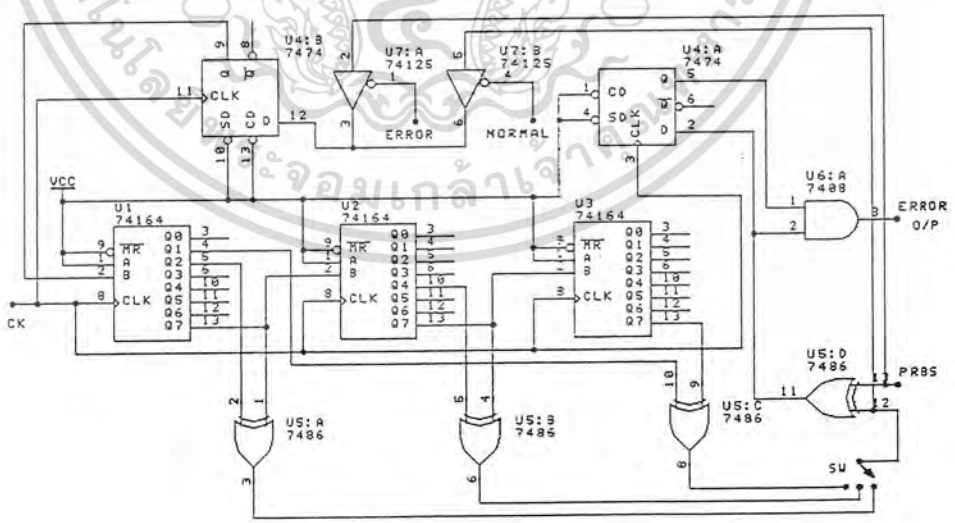


รูปที่ 3.6 แสดงวงจรเริ่มดีเทคความผิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรนับ 100 และ 50 จะถูกทำการเคลียร์ทุก ๆ สัญญาณนาฬิกา 100 ลูกโดยนำเอาสัญญาณ QD วงจรรวม 74LS390 (U1A) และจาก RCO ของวงจรรวม 74LS160 ผ่านแนนเกต ไปเป็นสัญญาณเคลียร์วงจรรวม 74LS390 สำหรับสัญญาณที่เกิดจากความผิดพลาดจำนวน 50 บิท ขึ้นภายใน 100 ได้จากการนำเอาสัญญาณขา 74LS160 (U2),74LS160 (U3) โดยผ่านแนนเกต U5A โดยการนำเอาท์พุทดังกล่าวจะมีสภาวะเป็น "0" เมื่อมีความผิดพลาดขนาด 50 บิทในร้อยบิท ทำให้เอาท์พุทของแนนเกต U5B มีสภาวะเป็น "1"ทำให้สภาวะลอจิกที่ขา ENP หรือขาอีนาเบิ้ลของวงจรรวม 74LS161เกิดการอีนาเบิ้ลให้ 74LS161 เริ่มนับโดยขณะนี้เอาท์พุทขา RCO เป็นสัญญาณเอาท์พุทแนนเกต U5A ผ่านแนเกต U5B ดังนั้นทำให้วงจรรวม 74LS161 ทำการนับสัญญาณนาฬิกาไป 16 ลูก ดังนั้น เราจึงสามารถนำเอาสัญญาณ ขา RCO เป็นสัญญาณ SYNCHRONIZE

สำหรับวงจรภาครับได้แต่ถ้าภายในช่วงการนับของ 74LS161 มีบิทที่ผิดพลาดเข้ามาในระบบ วงจรรวม 74LS161 จะถูกเคลียร์ให้เริ่มต้นนับใหม่โดยนำเอาสัญญาณขา RCO ผ่านอินเวอร์เตอร์ U4D มาแนนกับสัญญาณที่ผิดพลาดเข้ามาในระบบเป็นสัญญาณเคลียร์ ดังนั้นที่ขาเอาท์พุทของ U4D จึงสามารถใช้เป็นสัญญาณซิงโครไนซ์ เพื่อเกทสวิทช์เช่นเดียวกันกับสัญญาณ SYNCHRONIZE



รูปที่ 3.9 แสดงวงจร สวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแสดงวงจรสวิทช์ วงจรกำเนิดสัญญาณเปรียบเทียบ และวงจรดีเทคบิทผิดพลาดโดยสวิทช์ใช้ IC 74LS125 และ ได้สัญญาณควบคุมจากวงจรเริ่มต้นดีเทคความผิดพลาดเมื่อเกิดบิทผิดพลาดขึ้นตามเงื่อนไขที่ จุด D หรือ ขา 1 ของ 74LS125 จะเป็น "0" และที่จุด E หรือขา 4 จะเป็น "1" ทำให้วงจรกำเนิดสัญญาณเปรียบเทียบรับสัญญาณจากด้านส่งโดยตรง แต่เมื่อไม่มีบิทที่ผิดพลากเกิดขึ้นแล้ว จุด R จะเป็น "1" และ E จะเป็น "0" วงจรกำเนิดสัญญาณเปรียบเทียบจะกำเนิดสัญญาณโดยอิสระป้อนกลับ
ด้วยตัวมันเอง

3.4 การออกแบบภาคแสดงผล

การแสดงผลนี้ได้ออกแบบให้มีการแสดงผลการนับจำนวนบิทที่ผิดพลาดด้วยอุปกรณ์ LED (IC SHIP) ซึ่งมีวงจร LATCH และถอดรหัส BCD อยู่ภายในสามารถอ่านได้โดยง่าย 4 ชุด แสดงตัวเลข 4 หลักวงจรนับซึ่งอาศัยIC 7490 จำนวน 4 ตัวทำงานร่วมกันจะนับได้สูงสุด 9999 นอกจากนี้ยังประกอบไปด้วยวงจรกำหนดจำนวนบิทที่ต้องการตรวจสอบซึ่งประกอบด้วย IC 7490 จำนวน 10 ตัวแบ่งเป็น 10^5 และ 10^2 เพื่อใช้ในกรณีการนับบิทผิดพลาดต่อจำนวนบิท 10^5 และ 10^0 สภาวะการนับจะแสดงให้เห็นจากLED

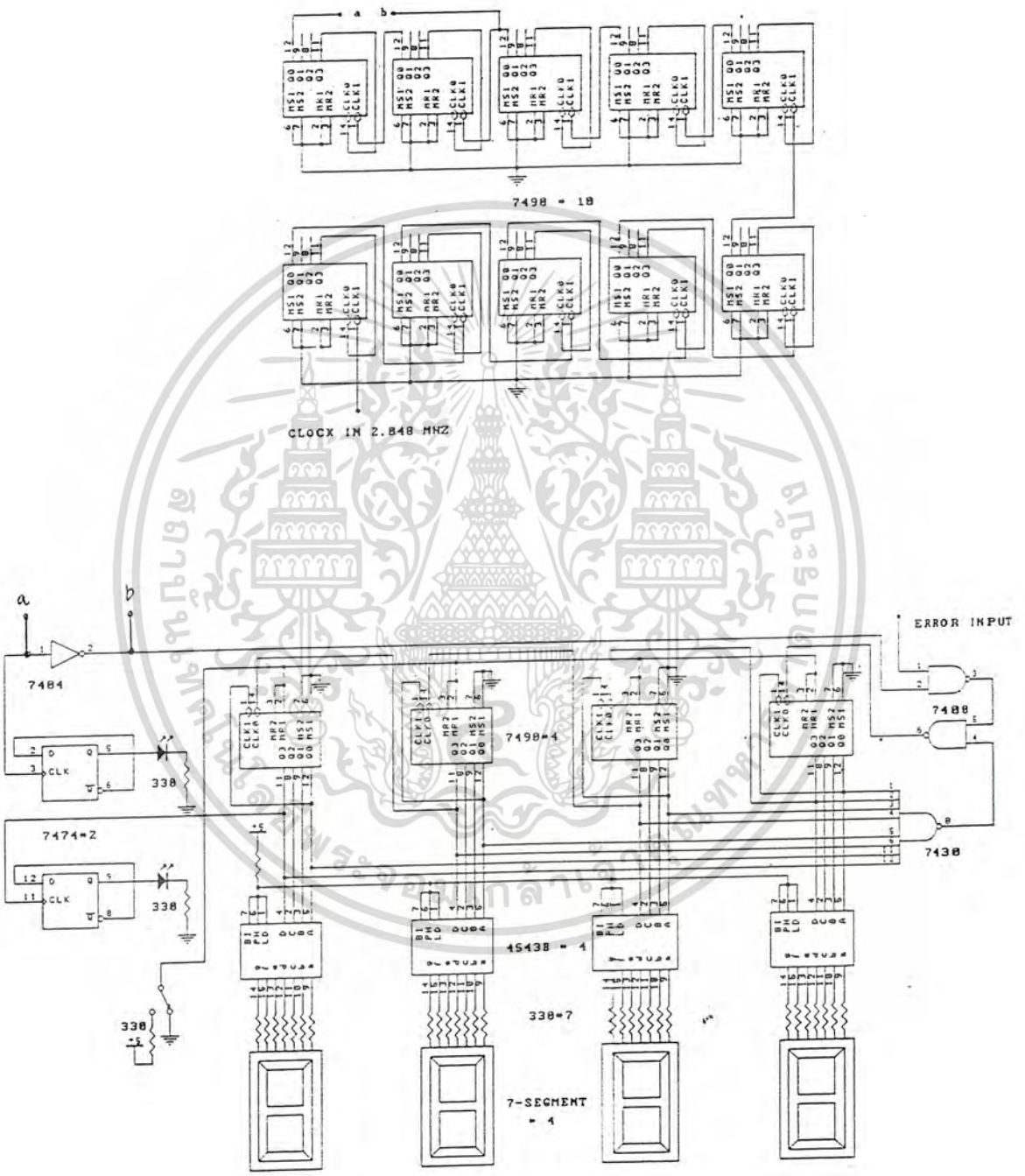
กรณีที่ 1.ไม่มีสัญญาณเข้ามาทางอินพุท LED INPUT ARARM

2.เครื่องไม่สามารถ SYNCHRONIZE ได้เนื่องจากมี ERROR สูงใน LINE เครื่องจะแสดงสภาวะด้วย LED และ BUZZER

3.เมื่อมี ERROR สูงเครื่องจะแสดงสภาวะด้วย LED

สำหรับวงจรการทำงานแสดงได้ดังรูปต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงวงจรตรวจวัดอัตราการผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 การทดลองวงจรกำเนิดสัญญาณ BINARY RANDOM

เมื่อประกอบวงจรตามรูปที่ 3.1 แล้วทำการป้อนสัญญาณ CLOCK PLUSE ที่ได้จากวงจรสร้างสัญญาณนาฬิกา มาเป็นสัญญาณนาฬิกาให้กับวงจร PRBS ซึ่งการทดลองจะแบ่งได้ดังนี้

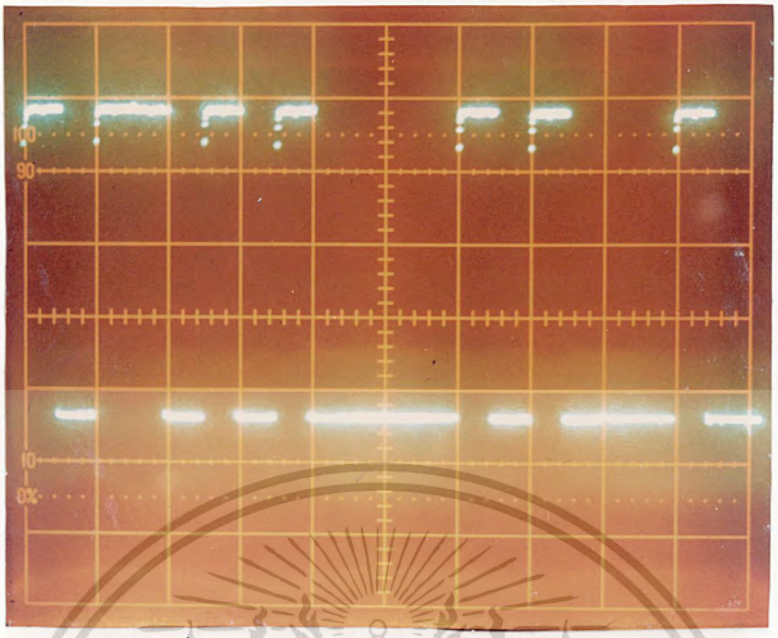
4.1.1 การทดลองวงจรกำเนิดสัญญาณ PRBS ขนาด 9 บิทสามารถสร้างได้ดังรูป 4.1 เมื่อป้อนสัญญาณนาฬิกาขนาด 500 KHz

รูปที่ 4.1 แสดงสัญญาณ PRBS ขนาด 9 บิท

4.1.2 การทดลองวงจรกำเนิดสัญญาณ PRBS ขนาด 17 บิท

ผลการทดลอง วงจรกำเนิดสัญญาณ PRBS ขนาด 17 บิท สามารถสร้างได้ดังรูปที่ 4.2 เมื่อป้อนสัญญาณนาฬิกาขนาด 500 KHz

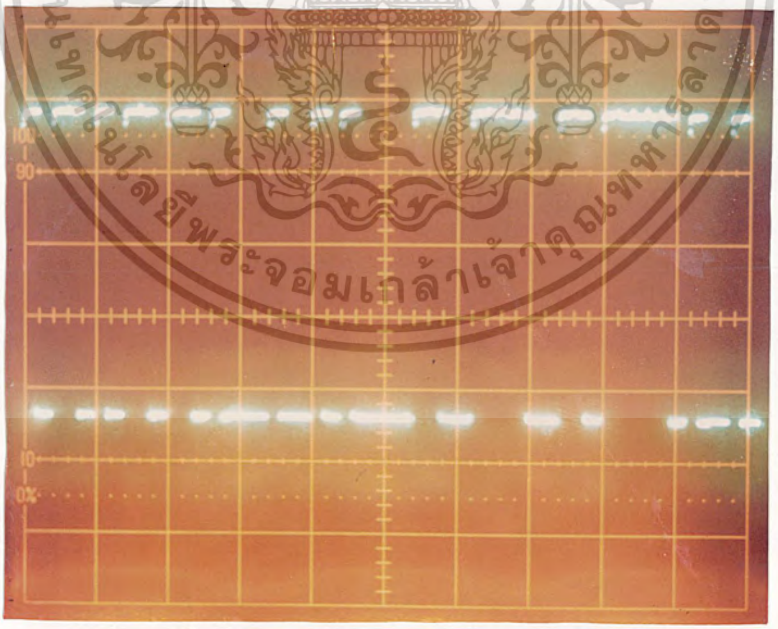
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงสัญญาณ PRBS ขนาด 17 บิท

4.1.3 วงจรกำเนิดสัญญาณ PRBS ขนาด 25 บิท

ผลการทดลองวงจรกำเนิดสัญญาณ PRBS ขนาด 25 บิท สามารถวัดสัญญาณได้ดังรูปที่ 4.3 เมื่อสัญญาณนาฬิกาขนาด 500 KHz



รูปที่ 4.3 แสดงสัญญาณ PRBS ขนาด 25 บิท

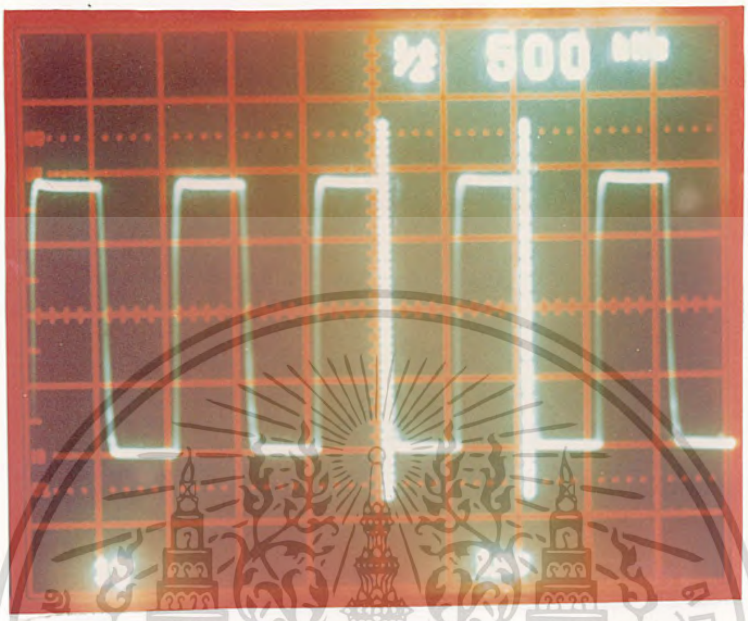
4.2 การทดลองวงจรกำเนิดสัญญาณนาฬิกา

4.2.1 การทดลองวงจรกำเนิดสัญญาณนาฬิกาแบบโปรแกรมเลือกค่า

เมื่อต่อวงจรตามรูปที่ 3.2 และ 3.3 แล้วผลการทดลองที่ได้รับจะเป็นสัญญาณนาฬิกาที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ขนาดต่าง ๆ จากเอาท์พุทของ IC MC14411 ซึ่งจะมีช่องความถี่ 16 ช่องความถี่ การเลือกความถี่สามารถทำการเลือกได้จากสวิทช์และวงจรสามารถเพิ่มความถี่ได้คือ *1,*8,*16, *64 สัญญาณที่ได้จะเป็นไปตามสัญญาณรูปบนในรูปที่ 4.4



รูปที่ 4.4 แสดงสัญญาณที่ได้จากการสร้าง CLOCK REFERRENCE

4.2.2 การทดลองวงจรกำเนิดสัญญาณนาฬิกาแบบปรับเลือกค่าต่อวงจรตามรูปที่ 3.5 ทดลองทำการเปลี่ยนค่าตัวเก็บประจุที่ต่ออยู่ระหว่างขา 3 และขา 4 ของ IC MC4024 ซึ่งจากการทดลองจะได้ค่าความถี่ดังแสดงไว้ในตาราง

คาปาซิเตอร์	ช่วงความถี่
0.002 μF	5.2 KHz – 23.6 KHz
4700 pF	25.3 KHz – 120 KHz
1000 pF	111 KHz – 497 KHz
470 pF	268 KHz – 1.1 MHz
120 pF	951 KHz – 4.0 MHz
56 pF	3.26 KHz – 6.0 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

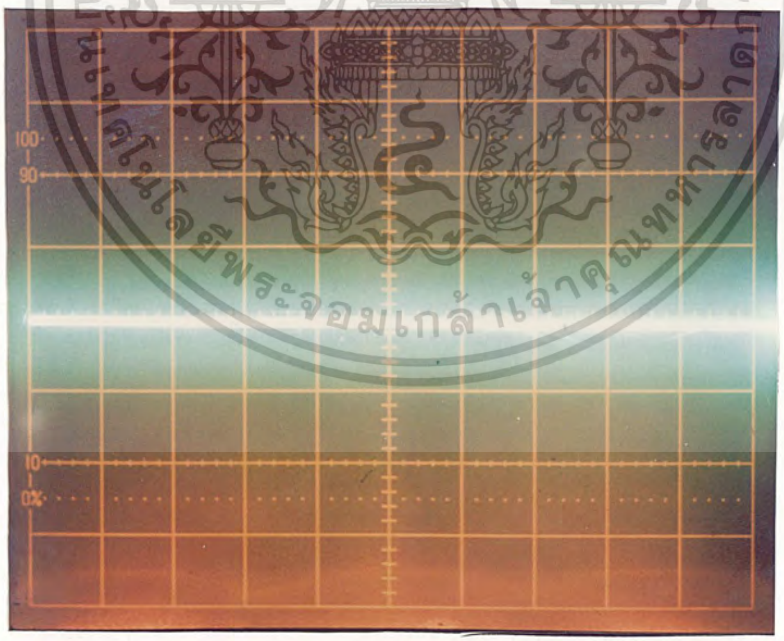
และรูปสัญญาณที่วัดได้จะแสดงไว้ในรูปที่ 4.2 จะเห็นว่า สัญญาณเอาท์พุทที่ได้จากการผ่าน AND GATE ซึ่งอยู่ในช่องสัญญาณ จะมีรูปร่างของสัญญาณดีขึ้นกว่าเอาท์พุทของ IC MC4024 ซึ่งอยู่ในช่องสัญญาณด้านล่าง

4.3 การทดลองวงจรวัดอัตราการผิดพลาด

ประกอบวงจรตามรูปที่ 3.10 และ 3.11 ซึ่งเป็นวงจรวัดอัตราการผิดพลาดและวงจรการแสดงผล ผลที่ได้จากการทดลองจะแบ่งออกเป็น 2 กรณีคือ

4.3.1 กรณีที่ไม่บิทที่ผิดพลาดเลย

ในกรณีที่ไม่มีการส่งบิทที่ผิดพลาดเลยนั้น ทางภาครับก็จะทำการตรวจสอบบิตที่ผิดพลาดซึ่งเมื่อใช้อสซิโลสโคปจับสัญญาณที่เอาท์พุทของวงจรตรวจสอบการผิดพลาดจะได้ผลดังรูปที่ 4.5 ซึ่งภาคการแสดงผลของวงจรตรวจสอบบิทที่ผิดพลาดก็จะแสดงเลข " 0 "



รูปที่ 4.5 แสดงสัญญาณที่วัดได้จากเอาท์พุทของวงจร ตรวจสอบอัตราการผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า. ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 กรณีที่มีบิทผิดพลาดเกิดขึ้น

ในกรณีที่มีบิทผิดพลาดเกิดขึ้นที่ภาครับก็จะแตกต่างจากกรณีที่ 1 คือสัญญาณที่วัดได้จากเอาท์พุทของวงจรตรวจสอบอัตราการผิดพลาด จะมีลักษณะเป็นรูปสัญญาณสี่เหลี่ยมเกิดขึ้นดังรูปที่ 4.6 และในส่วนของการแสดงผลอัตราการผิดพลาดนั้นก็จะแสดงเป็นตัวเลขจำนวนบิทที่ผิดพลาด

รูปที่ 4.6 แสดงสัญญาณที่วัดได้จากเอาท์พุทของวงจรตรวจสอบอัตราการผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 5

สรุปและวิจารณ์

1.ความเร็วของอัตราการส่งข้อมูลหรือสัญญาณ PRBS สามารถปรับค่าความเร็วในการส่งสัญญาณได้จากการปรับความถี่ของสัญญาณนาฬิกาที่ป้อนให้กับวงจรกำเนิดสัญญาณ PRBS ซึ่งจะมาจาก 2 ส่วนคือ

- ส่วนที่ได้จากการโปรแกรมไว้ทั้งหมด 16 ช่องสัญญาณซึ่งแต่ละช่องสัญญาณสามารถที่จะเพิ่มความถี่ขึ้นไปได้อีกคือ *1,*4,*8 และ *16
- ส่วนที่ทำการปรับเลือกความถี่ตามที่ต้องการ ซึ่งสามารถปรับความถี่ได้ตั้งแต่ 5 kHz ถึง 5 MHz

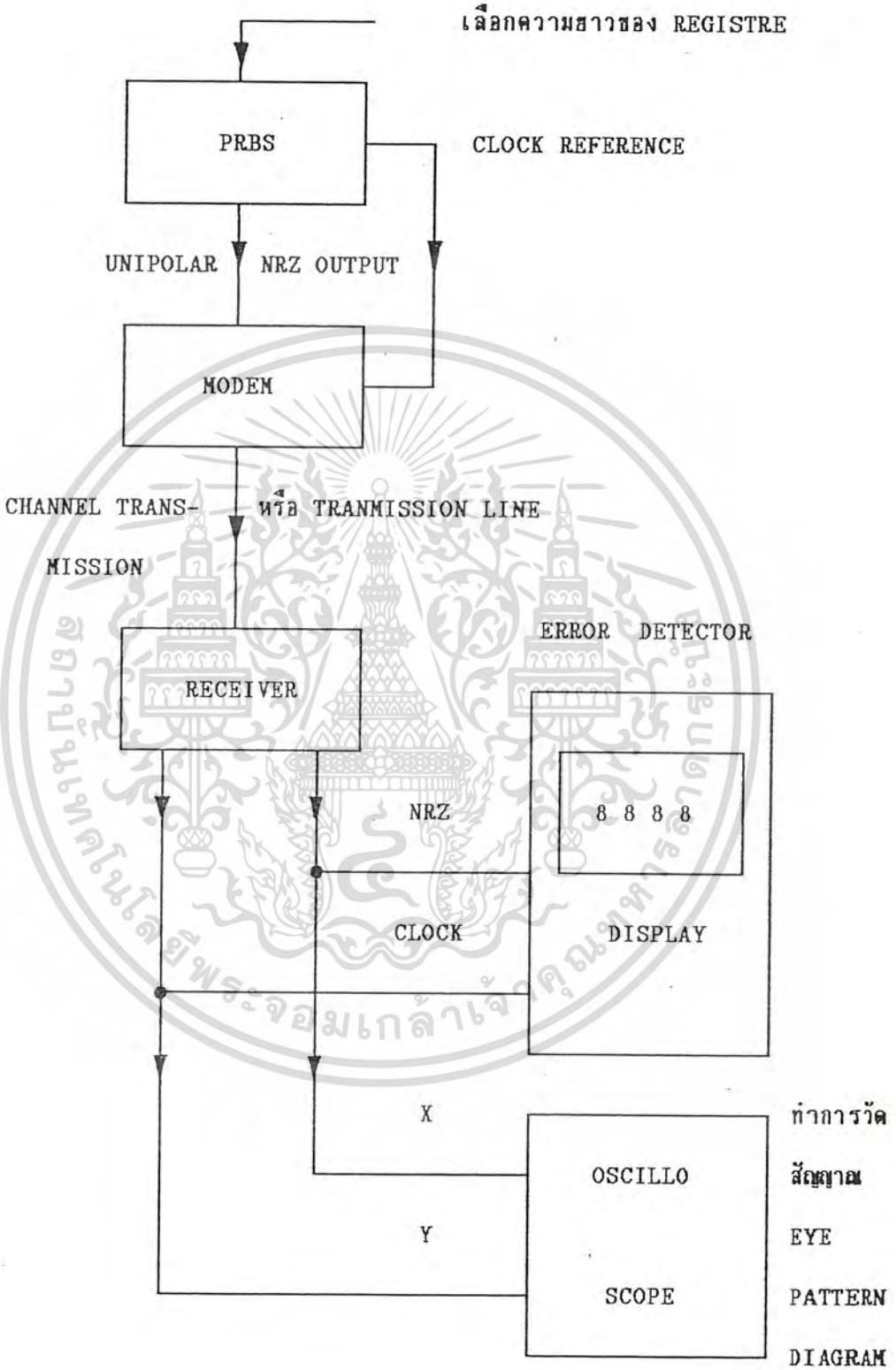
2.จำนวนบิทของข้อมูลหรือสัญญาณ PRBS สามารถที่จะปรับเลือกได้จากวงจร ซึ่งจะมีให้เลือกได้ 3 ช่วง คือ 9 บิท,17 บิท และ 25 บิท

3.เนื่องจากที่ความถี่สูง วงจรที่ทำงานที่กำเนิดสัญญาณนาฬิกาให้กับวงจรกำเนิดสัญญาณ PRBS จะมีปัญหาในเรื่องของสัญญาณนาฬิกาจะเป็นสัญญาณที่ไม่เป็นสี่เหลี่ยมอย่างแท้จริง ทำให้สัญญาณ PRBS ที่ได้มีความผิดเพี้ยนเกิดขึ้นและอุปกรณ์บางตัวไม่สามารถทำงานได้ที่ความถี่สูงๆ จึงทำให้เกิดความผิดเพี้ยนของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การนำไปใช้งาน

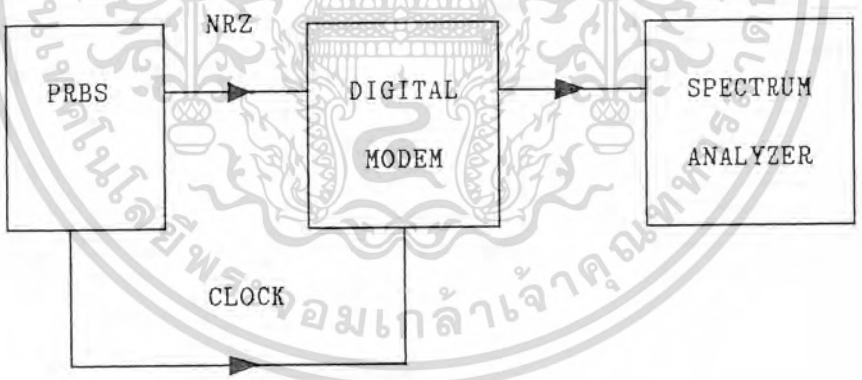


รูปที่ 6.1 แสดงบล็อกไดอะแกรมการต่อเครื่องใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของบล็อกไดอะแกรมดังรูปที่ 6.1เป็นตัวอย่างการต่อวงจร PRBS และวงจร BIT ERROR RATE ใช้งานเราสามารถใช้สัญญาณ NRZ จากวงจร PRBS มาเป็นสัญญาณในการทดสอบโมเด็มได้ โดยเริ่มต้นโดยการเลือกบิทเรทของสัญญาณ NRZ ว่าต้องการใช้บิทเรทเท่าไร ซึ่งเราสามารถเลือกได้ 9,17,25 บิทจากนั้นสัญญาณก็จะถูกมอดูเลทกับสัญญาณนาฬิกาเพื่อเป็นการชิงโครไนซ์ สัญญาณที่ได้นี้จะเป็นสัญญาณที่เป็นสัญญาณ ไรด์โคไซน์ ซึ่งจะถูกส่งต่อไปยังภาครับต่อไป ในส่วนของภาครับ เราสามารถนำวงจร PRBS ไปใช้ในงานเรื่องของการกู้สัญญาณ นาฬิกาเพื่อป้อนให้กับระบบทางภาครับเพื่อการชิงโคร์ไนซ์กันระหว่างภาครับและภาคส่ง จากนั้นสามารถนำไปใช้ในการตรวจสอบอัตราการผิดพลาดของสัญญาณที่รับได้จากภาครับอีกด้วย ส่วนวิธีการตรวจสอบคุณภาพของสัญญาณที่รับได้นั้นเราสามารถตรวจดูได้จาก การต่อออสซิโลสโคปเพื่อดูสัญญาณรูปคลื่นว่าสัญญาณมีลักษณะอย่างไร และจะแก้ไขอย่างไร

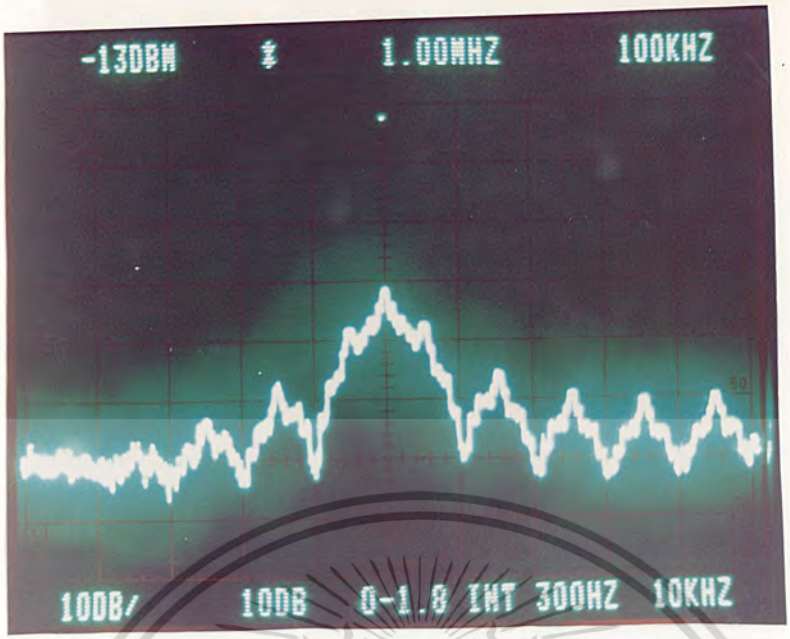
6.1 การใช้ทดสอบหา SPECTRUM ของ MODEM



รูปที่ 6.2 แสดงการทดสอบวัดแบนด์วิดท์ของโมเด็มร่วมกับ SPCETRUM ANALYZER

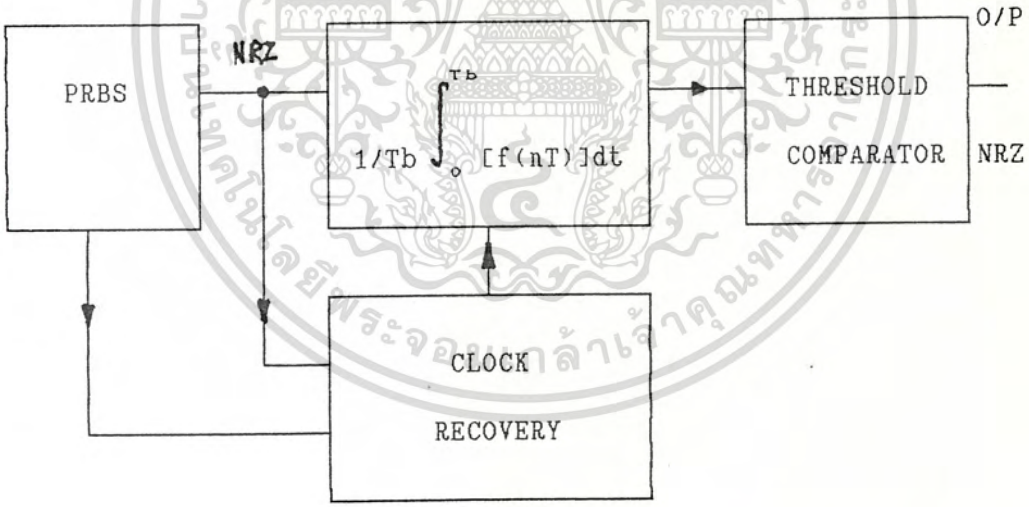
จากบล็อกไดอะแกรมข้างบนเป็นตัวอย่างการทดสอบหาสเป็คตรัมของโมเด็มโดยการป้อนสัญญาณ NRZ และสัญญาณนาฬิกาของวงจร PRBS ให้กับโมเด็มและนำเอาท์พุทที่ได้ไปเข้ากับสเปกตรัม จากการทดลองโดยการป้อนสัญญาณที่ความถี่ 100 Kbps ป้อนให้กับโมเด็มจะมีรูปสัญญาณดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 แสดง SPECTRUM ของ MODEM โดยการป้อนข้อมูลที่บิทเรท 100 Kbps

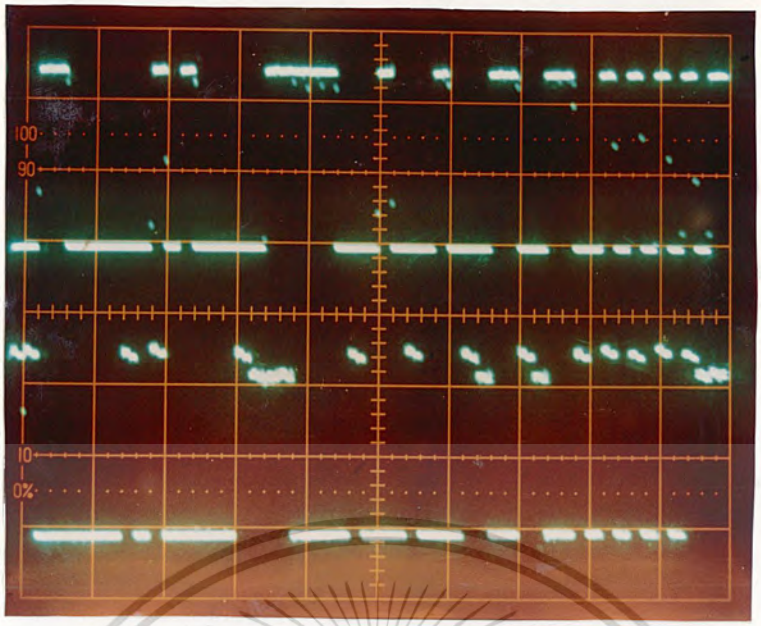
6.2 การใช้ทดสอบ SETUP วงจร INTEGRATE AND DUMP (RESET TO ZERRO)



รูปที่ 6.4 แสดงการทดสอบและปรับแต่ง วงจร INTEGRATE AND DUMP และวงจร LEVEL DECISION

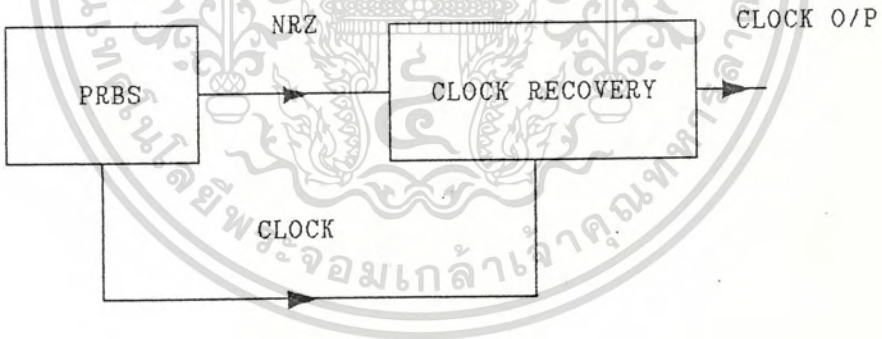
จากบล็อกไดอะแกรมเป็นการต่อ PRBS เป็นวงจร SETUP วงจร INTEGRATE AND DUMP ทางภาครับเพื่อ SET วงจรให้ทำหน้าที่ในการจัดสัญญาณที่รับมาได้จากภาคส่งให้เป็นสัญญาณ NRZ ซึ่งเหมือนกับข้อมูลก่อนเข้าโมเด็มการทดลองเราก็ป้อนสัญญาณ PRBS ที่ความเร็ว 100Kbps ให้กับวงจรตามรูปที่ 6.4 จะได้ผลดังรูปที่ 6.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.5 แสดงสัญญาณที่ได้จากการ SETUP วงจร INTEGRATE AND DUMP ด้วย PRBS

6.3 การใช้ทดสอบวงจรกู้สัญญาณนาฬิกา (CLOCK RECOVERY)



รูปที่ 6.6 แสดงการต่อ PRBS ทดสอบวงจรกู้สัญญาณ

จากบล็อกไดอะแกรมเป็นการนำเอาสัญญาณ NRZ และสัญญาณนาฬิกาป้อนเป็นอินพุทของวงจร CLOCK RECOVERY จากการทดลองนี้โดยการป้อนสัญญาณอินพุทที่ความเร็ว 100 Kbps จะได้ผลการทดสอบดังรูปที่ 6.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1) รศ.บัณฑิต โรจน์อารยานนท์, หลักการไฟฟ้าสื่อสาร, สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย, 2532

2) กฤดากร กล่อมการ การออกแบบระบบส่งข้อมูลในช่องสัญญาณกระจายเสียงแบบ FM วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2536

3) สุรวัตร์ มณีตานนท์ , การออกแบบและสร้างเครื่องวัดอัตราการผิดพลาดของการรับส่งข้อมูล วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต , รายงานผลการวิจัย , จุฬาลงกรณ์มหาวิทยาลัย

4) F.J.MacWilliams and N.J.A. Slonane , " Psuedo Random Sequence and Arrays ", Proc. IEEE , Vol.64 , No. 12 December 1976.

5) E.ALEXANDER NEWCOMBE and SUBBARAYANPASUPATHY,"Error Rate Monitoring For Digital Communications", Proc. IEEE ,Vol.70, No.8 ,August 1982.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14411

CMOS LSI

(LOW-POWER COMPLEMENTARY MOS)

BIT RATE GENERATOR

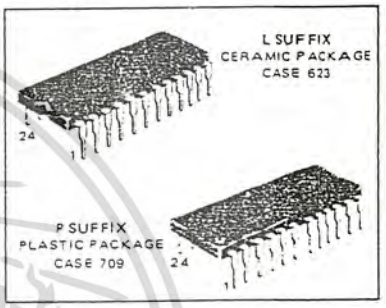
BIT RATE GENERATOR

The MC14411 bit rate generator is constructed with complementary MOS enhancement mode devices. It utilizes a frequency divider network to provide a wide range of output frequencies.

A crystal controlled oscillator is the clock source for the network. A two-bit address is provided to select one of four multiple output clock rates.

Applications include a selectable frequency source for equipment in the data communications market, such as teleprinters, printers, CRT terminals, and microprocessor systems.

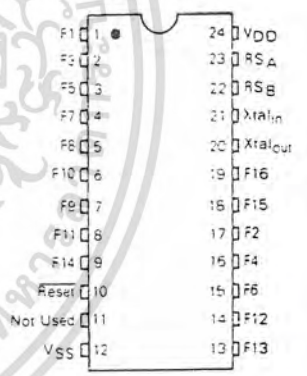
- Single 5.0 Vdc (±5%) Power Supply
- Internal Oscillator Crystal Controlled for Stability (1.8432 MHz)
- Sixteen Different Output Clock Rates
- 50% Output Duty Cycle
- Programmable Time Bases for One of Four Multiple Output Rates
- Buffered Outputs Compatible with Low Power TTL
- Noise Immunity = 45% of V_{DD} Typical
- Diode Protection on All Inputs
- External Clock May be Applied to Pin 21
- Internal Pullup Resistor on Reset Input



MAXIMUM RATINGS (Voltages referenced to V_{SS}, Pin 12.)

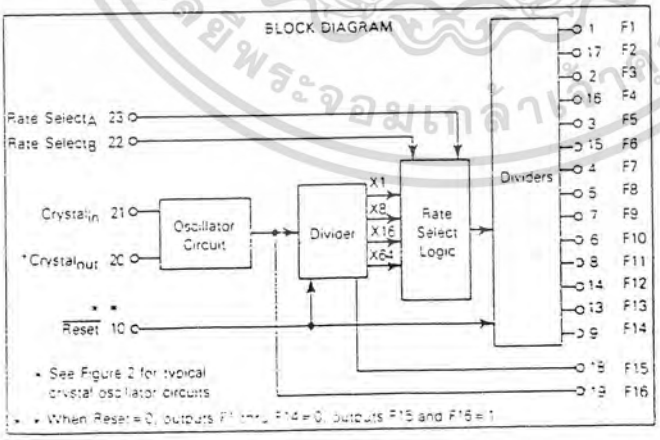
Rating	Symbol	Value	Unit
DC Supply Voltage Range	V_{DD}	5.25 to −0.5	V
Input Voltage, All Inputs	V_{in}	V_{DD} + 0.5 to V_{SS} − 0.5	V
DC Current Drain per Pin	I	10	mA
Operating Temperature Range	T_A	−40 to +85	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

PIN ASSIGNMENT



V_{DD} = Pin 24
V_{SS} = Pin 12

BLOCK DIAGRAM



* See Figure 2 for typical crystal oscillator circuits

** When Reset = 0, outputs F1 thru F14 = 0, outputs F15 and F16 = 1

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	− 40°C Min	− 40°C Max	25°C Min	25°C Typ	25°C Max	− 85°C Min	− 85°C Max	Unit
Supply Voltage	V_{DD}	–	4.75	5.25	4.75	5.0	5.25	4.75	5.25	V
Output Voltage "0" Level	V_{out}	5.0	–	0.05	–	0	0.05	–	0.05	V
"1" Level		5.0	4.95	–	4.95	5.0	–	4.95	–	V
Input Voltage (V_O = 4.5 or 0.5 V)	V_{IL}	5.0	–	1.5	–	2.25	1.5	–	1.5	V
(V_O = 0.5 or 4.5 Vdc)	V_{IH}	5.0	3.5	–	3.5	2.75	–	3.5	–	V
Output Drive Current (V_{OH} = 2.5 V) Source	I_{OH}	5.0	− 0.23	–	− 0.20	− 1.7	–	− 0.16	–	mA
(V_{OL} = 0.4 V) Sink	I_{OL}	5.0	0.23	–	0.20	0.78	–	0.16	–	mA
Input Current Pins 21, 22, 23	I_{in}	–	–	± 0.1	–	± 0.00001	± 0.1	–	± 1.0	µA
Pin 10		5.0	–	–	− 1.5	–	− 7.5	–	–	µA
Input Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	–	–	–	pF
Quiescent Dissipation	P_Q	5.0	–	2.5	–	0.015	2.5	–	15	mW
Power Dissipation**† (Dynamic plus Quiescent) (C_L = 15 pF)	P_D	5.0	P_D = (7.5 mW/MHz) f + P_Q							mW
Output Rise Time** t_r = (3.0 ns/pF) C_L + 25 ns	t_{TLH}	5.0	–	–	–	70	200	–	–	ns
Output Fall Time** t_f = (1.5 ns/pF) C_L + 47 ns	t_{THL}	5.0	–	–	–	70	200	–	–	ns
Input Clock Frequency	f_{CL}	5.0	–	1.85	–	–	1.85	–	1.85	MHz
Clock Pulse Width	$t_{W(C)}$	–	200	–	200	–	–	200	–	ns
Reset Pulse Width	$t_{W(R)}$	–	500	–	500	–	–	500	–	ns

†For dissipation at different external capacitance (C_L) refer to corresponding formula:
$P_T = (C_L + P_D + 2.6 \times 10^{-3} (C_L - 15\ pF)\ V_{DD}^2 f$
where: P_T, P_D in mW, C_L in pF, V_{DD} in Vdc, and f in MHz.
**The formula given is for the typical characteristics only.

TABLE 1 — OUTPUT CLOCK RATES

Rate Select B	Rate Select A	Rate
0	0	X1
0	1	X8
1	0	X16
1	1	X64

Output Number	Output Rates (Hz) X64	X16	X8	X1
F1	614.4 k	153.6 k	76.8 k	9600
F2	460.8 k	115.2 k	57.6 k	7200
F3	307.2 k	76.8 k	38.4 k	4800
F4	230.4 k	57.6 k	28.8 k	3600
F5	153.6 k	38.4 k	19.2 k	2400
F6	115.2 k	28.8 k	14.4 k	1800
F7	76.8 k	19.2 k	9600	1200
F8	38.4 k	9600	4800	600
F9	19.2 k	4800	2400	300
F10	12.8 k	3200	1600	200
F11	9600	2400	1200	150
F12	8613.2	2153.3	1076.6	134.5
F13	7035.5	1758.8	879.4	109.9
F14	4800	1200	600	75
F15	921.6 k	921.6 k	921.6 k	921.6 k
F16*	1.843 M	1.843 M	1.843 M	1.843 M

*F16 is buffered oscillator output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 – DYNAMIC SIGNAL WAVEFORMS

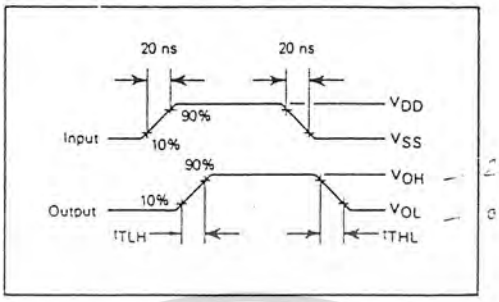
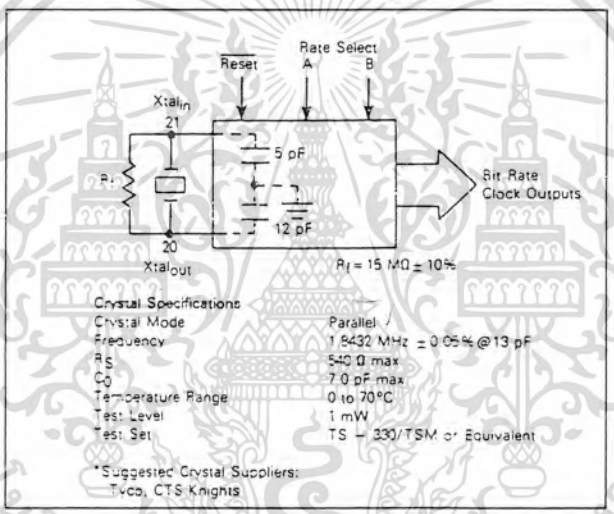


FIGURE 2 – TYPICAL CRYSTAL OSCILLATOR CIRCUIT



Crystal Specifications	
Crystal Mode	Parallel
Frequency	1.8432 MHz ± 0.05% @ 13 pF
RS	540 Ω max
C0	7.0 pF max
Temperature Range	0 to 70°C
Test Level	1 mW
Test Set	TS – 330/TSM or Equivalent

*Suggested Crystal Suppliers:
Tyco, CTS Knights

Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications; consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc., or others.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC4324
MC4024

DUAL VOLTAGE-CONTROLLED MULTIVIBRATOR

The MC4324/4024 consists of two independent voltage-controlled miltivibrators with output buffers. Variation of the output frequency over a 3.5-to-1 range is guaranteed with an input dc control voltage of 1.0 to 5.0 voltage.

Operating frequency is specified at 25 MHz at 25°C. Operation to 15 MHz is possible over the specified temperature range. For higher frequency requirements, see the MC1648 (200 MHz) or the MC1658 (125 MHz) data sheet.

This device was designed specifically for use in phase-locked loops for digital frequency control. It can also be used in other applications requiring a voltage-controlled frequency, or as a stable fixed frequency oscillator (3.0 MHz to 15 MHz) by replacing the external control capacitor with a series mode crystal.

Maximum Operating Frequency = 25 MHz Guaranteed @ 25°C
Power Dissipation = 150 mW typ pkg
Output Loading Factor = 7

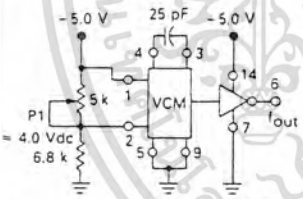
DUAL VOLTAGE-CONTROLLED MULTIVIBRATOR

L SUFFIX
CERAMIC PACKAGE
CASE 632
(TO-116)

P SUFFIX
PLASTIC PACKAGE
CASE 646
(MC4024 only)

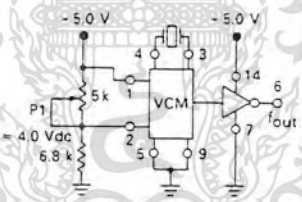
TYPICAL APPLICATIONS

FIGURE 1 — ASTABLE MULTIVIBRATOR



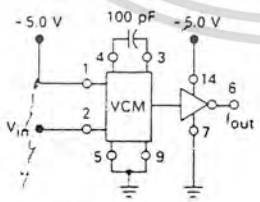
f_{out} = 10 MHz

FIGURE 2 — CRYSTAL CONTROLLED MULTIVIBRATOR



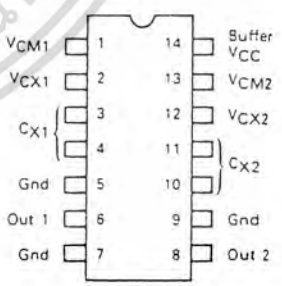
Crystal frequency can be pulled slightly by adjusting P1.

FIGURE 3 — VOLTAGE-CONTROLLED MULTIVIBRATOR



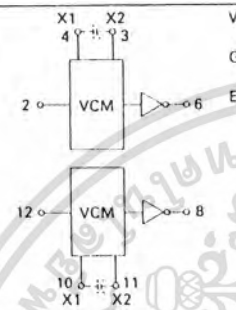
V_{in} = 2.5 V to 5.5 V
f_{out} = 1.0 MHz min, 5.0 MHz max

PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

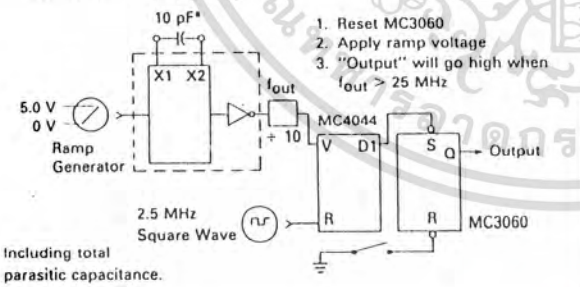


V_{CC}: VCM = 1, 13
Output Buffer = 14
Gnd: VCM = 5, 9
Output Buffer = 7
External Capacitor for Frequency Range Determination

Test Temperature		TEST CURRENT/VOLTAGE VALUES mA I_{OL1}	I_{OL2}	I_{OH}	Volts V_{IH}	V_{CC}	V_{CCL}	V_{CCH}
MC4324	-55°C	9.8	11.2	-1.6	5.0	5.0	4.5	5.5
	+25°C	9.8	11.2	1.6	5.0	5.0	4.5	5.5
	+125°C	9.8	11.2	-1.6	5.0	5.0	4.5	5.5
MC4024	0°C	9.8	11.2	1.6	5.0	5.0	4.75	5.25
	+25°C	9.8	11.2	1.6	5.0	5.0	4.75	5.25
	+75°C	9.8	11.2	1.6	5.0	5.0	4.75	5.25

Characteristic	Symbol	Pin Under Test	MC4324 Test Limits -55°C Min	-55°C Max	+25°C Min	+25°C Max	+125°C Min	+125°C Max	MC4024 Test Limits 0°C Min	0°C Max	+25°C Min	+25°C Max	+75°C Min	+75°C Max	Unit	TEST CURRENT/VOLTAGE APPLIED TO PINS LISTED BELOW: I_{OL1}	I_{OL2}	I_{OH}	V_{IH}	V_{CC}	V_{CCL}	V_{CCH}	Gnd
Input Forward Current	I_{in}	7	—	100	—	100	—	100	—	100	—	100	—	100	μAdc	—	—	—	2	—	—	14	5,7,9
		12	—	100	—	100	—	100	—	100	—	100	—	100	μAdc	—	—	—	12	—	—	14	5,7,9
Output Output Voltage	V_{OL}	6	—	0.4	—	0.4	—	0.4	—	0.4	—	0.4	—	0.4	Vdc	6	—	—	2	—	1,4,14	—	5,7,9
		8	—	↓	—	↓	—	↓	—	↓	—	↓	—	↓	↓	8	—	—	12	—	10,13,14	—	↓
		6	—		—		—		—		—		—			—	6	—	7	—	—	1,4,14	
		8	—		—		—		—		—		—			—	8	—	12	—	—	10,13,14	
	V_{OH}	6	2.4	—	2.4	—	2.4	—	2.5	—	2.5	—	2.5	—	Vdc	—	—	6	2	—	1,3,14	—	5,7,9
		8	2.4	—	2.4	—	2.4	—	2.5	—	2.5	—	2.5	—	Vdc	—	—	8	12	—	11,13,14	—	5,7,9
Short-Circuit Current	I_{OS}	6	-20	-65	-20	-65	-20	-65	-20	-65	-20	-65	-20	-65	mAdc	—	—	—	2	1,3,14	—	—	5,6,7,9
		8	-20	-65	-20	-65	-20	-65	-20	-65	-20	-65	-20	-65	mAdc	—	—	—	12	11,13,14	—	—	5,7,8,9
Power Requirements (Total Device) Power Supply Drain	I_{CC}	1,3,14	—	—	—	37	—	—	—	—	—	37	—	—	mAdc	—	—	—	2,4,10,12	1,13,14	—	—	5,7,9

FIGURE 4 — AC TEST CIRCUIT AND WAVEFORMS



1. Reset MC3060
2. Apply ramp voltage
3. "Output" will go high when f_{out} > 25 MHz

(V_{CC} = 5.0 Vdc, T_A = 25°C)

TEST	SYMBOL	CONDITIONS	VALUE Min	VALUE Typ
Maximum Operating Frequency	F_{max}	C_X = 10 pF, V_{in} = 5.0 Vdc Frequency Ratio = 3.5:1	25 MHz	30 MHz
Ratio of Frequency of Oscillation Over Specified Input Voltage Range	$\frac{F_{high}}{F_{low}}$	C_X = 100 pF, V_{in} high = 5.0 Vdc, V_{in} low = 1.0 Vdc	3.5:1.0	4.5:1.0

FIGURE 5 — FREQUENCY-CAPACITANCE PRODUCT

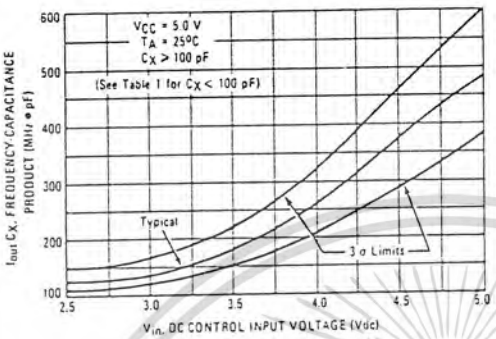


FIGURE 6 — FREQUENCY-VOLTAGE GAIN CHARACTERISTICS

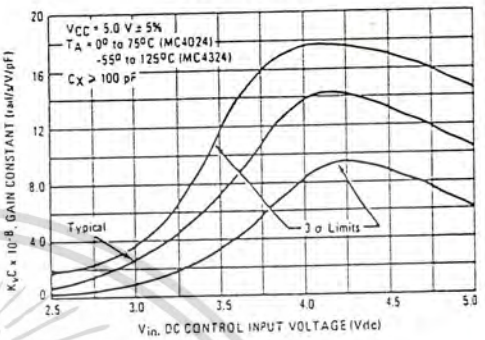


FIGURE 7 — TYPICAL FREQUENCY DEVIATION versus SUPPLY VOLTAGE

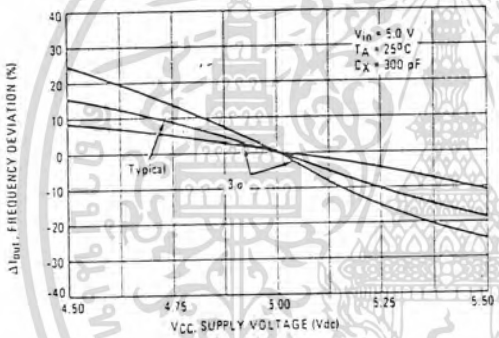


FIGURE 8 — TYPICAL FREQUENCY DEVIATION versus SUPPLY VOLTAGE

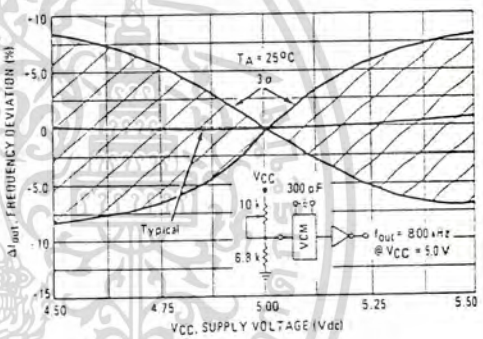


FIGURE 9 — FREQUENCY DEVIATION versus AMBIENT TEMPERATURE

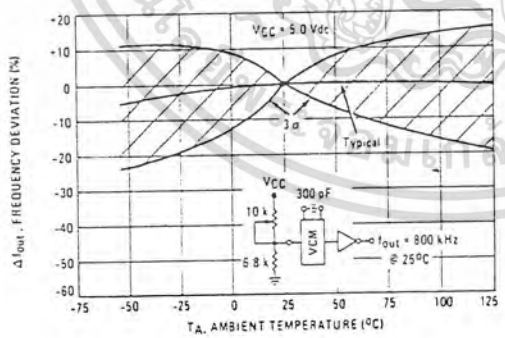
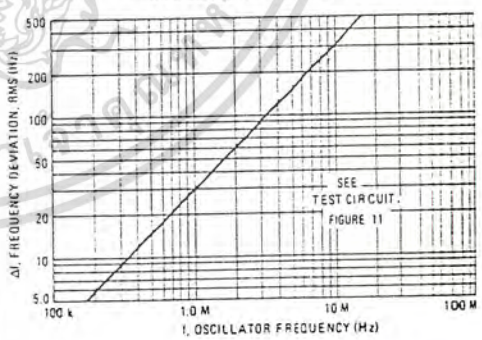


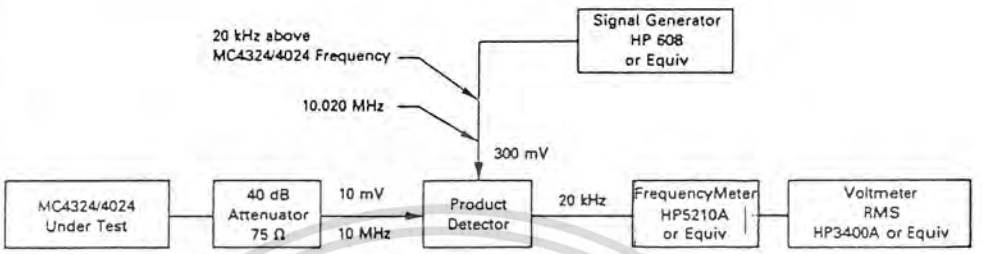
FIGURE 10 — RMS NOISE DEVIATION versus OSCILLATOR FREQUENCY



NOTE: Curves labeled as 3 σ limits denote that 99.7% of the devices tested fell within these limits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 11 — NOISE DEVIATION TEST CIRCUIT



$$\text{Frequency Deviation} = \frac{\text{(HP5210A output voltage) (Full Scale Frequency)}}{\text{1.0 Volt}}$$

NOTE: Frequency deviation values of either the signal generator or power supply should be determined prior to testing.

APPLICATIONS INFORMATION

Suggested Design Practices

Three power supply and three ground connections are provided in this circuit (each multivibrator has separate power supply and ground connections, and the output buffers have common power supply and ground pins). This provides isolation between VCM's and minimizes the effect of output buffer transients on the multivibrators in critical applications. The separation of power supply and ground lines also provides the capability of disabling one VCM by disconnecting its V_{CC} pin. However, all ground lines must always be connected to insure substrate grounding and proper isolation.

General design rules are:

1. Ground pins 5, 7, and 9 for all applications, including those where only one VCM is used.
2. Use capacitors with less than 50 nA leakage at plus and minus 3.0 volts. Capacitance values of 15 pF or greater are acceptable.
3. When operated in the free running mode, the minimum voltage applied to the DC Control input should be 60% of V_{CC} for good stability. The maximum voltage at this input should be V_{CC} + 0.5 volt.
4. When used in a phase-locked loop, the filter design should have a minimum DC Control input voltage of 1.0 volt and a maximum voltage of V_{CC} + 0.5 volt. The maximum restriction may be waived if the output impedance of the driving device is such that it will not source more than 10 mA at a voltage of V_{CC} + 0.5 volt.
5. The power supply for this device should be bypassed with a good quality RF-type capacitor of 500 to 1000 pF. Bypass capacitor lead lengths should be kept as short as possible. For best results, power supply voltage should be maintained as close to +5.0 V as possible. Under no conditions should the design require operation with a power supply voltage outside the range of 5.0 volts ± 10%.

External Control Capacitor (C_X) Determination (See Table 1)

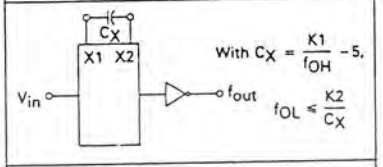
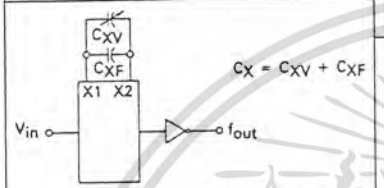
The operating frequency range of this multivibrator is controlled by the value of an external capacitor that is connected between X1 and X2. A tuning ratio of 3.5-to-1 and a maximum frequency of 25 MHz are guaranteed under ideal conditions (V_{CC} = 5.0 volts. T_A = 25°C). Under actual operating conditions, variations in supply voltage, ambient temperature, and internal component tolerances limit the tuning ratio (see Figures 7 thru 12). An improvement in tuning ratio can be achieved by providing a variable tuning capacitor to facilitate initial alignment of the circuit.

Figures 5 through 9 show typical and suggested design limit information for important VCM characteristics. The suggested design limits are based on operation over the specified temperature range with a supply voltage of 5.0 volts ± 5% unless otherwise noted. They include a safety factor of three times the estimated standard deviation.

Figures 5 and 6 provide data for any external control capacitor value greater than 100 pF. With smaller capacitor values, the curves are effectively moved downward. For example, a typical curve of frequency versus control voltage would be very nearly identical to the lower suggested design limit of Figure 5 if a 15 pF capacitor is used. To use Figure 5 divide on the ordinate by the capacitor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1 — EXTERNAL CONTROL CAPACITOR VALUE DETERMINATION

CONFIGURATION	T_A	V_{CC}	VALUES OF K				
			K1	K2	K3	K4	K5
 With $C_X = \frac{K1}{f_{OH}} - 5$, $f_{OL} \approx \frac{K2}{C_X}$	25°C ± 3°C	5.0 V	385	150	600	110	1.0
		5.0 V ± 5%	325	175	680	125	1.14
		5.0 V ± 10%	290	190	750	140	1.25
 $C_X = C_{XV} + C_{XF}$ Choose C_{XF} and C_{XV} such that C_X can be adjusted to: $\frac{K1}{f_{OH}} - 5 \le C_X \le \frac{K3}{f_{OH}} - 5$ With $V_{in} = V_{CC} = 5.0$ V, adjust C_X to obtain: $f_{out} = K5\ (f_{OH})$ Then: $f_{OL} \le \frac{K4}{K1} f_{OH}$	0°C to 75°C	5.0 V	335	165	660	120	1.10
		5.0 V ± 5%	280	190	750	140	1.25
		5.0 V ± 10%	250	200	840	150	1.40
	−55°C to 125°C	5.0 V	300	175	690	125	1.15
		5.0 V ± 5%	260	200	780	145	1.30
		5.0 V ± 10%	230	210	860	155	1.45

Definitions: f_{OH} = Output frequency with $V_{in} = V_{CC}$
f_{OL} = Output frequency with $V_{in} = 2.5$ V
(Frequencies in MHz, C_X in pF)

value in picofarads to obtain output frequency in megahertz. In Figure 6 the ordinate axis is multiplied by the capacitor value in picofarads to obtain the gain constant (K_V) in radians/second/volt.

Frequency Stability

When the MC4324/4024 is used as a fixed-frequency oscillator (V_{in} constant), the output frequency wll vary slightly because of internal noise. This variation is indicated by Figure 10 for the circuit of Figure 11. These variations are relatively independent (< 10%) of changes in temperature and supply voltage.

10-to-1 Frequency Synthesizer

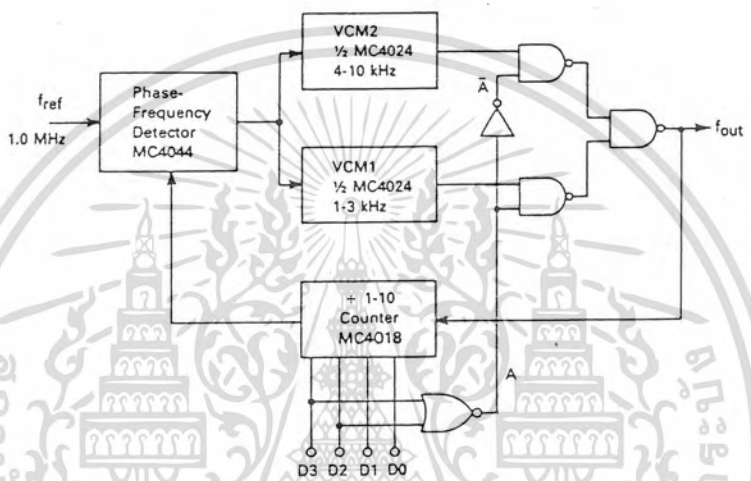
A frequency synthesizer covering a 10-to-1 range is shown in Figure 14.Three packages are required to complete the loop: The MC4344/4044 phase-frequency detector, the MC4324/4024 dual voltage-controlled multivibrator, and the MC4318/4018 programmable counter. Two VCM's (one package) are used to obtain the required frequency range. Each VCM is capable of operating over a 3-to-1 range, thus VCM1 is used for the lower portion of the times ten range and VCM2 covers the upper end. The proper divide ratio is set into the programmable counter and the VCM for that frequency is selected by control gates. The other VCM is left to be free running since its output is gated out of the feedback path.

Normally with a single VCM the loop gain would vary over a 10-to-1 range due to the range of the counter ratios. This affects the bandwidth, lockup time, and damping ratio severely. Utilizing two VCM's reduces this change in loop gain rom 10-to-1 to 3-to-1 as a result of the different sensitivities of the two VCM's due to the different frequency ranges. This change of VCM sensitivity (3-to-1) is of such a direction of compensate for loop gain variations due to the programmable counter.

The overall concept of multi-VCM operation can be expanded for ranges greater than 10-to-1. Four VCM's (two packages) could be used to cover a 100-to-1 range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 — 10-TO-1 FREQUENCY SYNTHESIZER



÷N	Input D3	D2	D1	D0	A	VCM1 kHz	VCM2 kHz	f_{out} kHz
1	0	0	0	1	1	1	X	1
2	0	0	1	0	1	2	X	2
3	0	0	1	1	1	3	X	3
4	0	1	0	0	0	X	4	4
5	0	1	0	1	0	X	5	5
6	0	1	1	0	0	X	6	6
7	0	1	1	1	0	X	7	7
8	1	0	0	0	0	X	8	8
9	1	0	0	1	0	X	9	9
10	1	0	1	0	0	X	10	10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4543B
Preliminary

BCD-TO-SEVEN SEGMENT LATCH/DECODER/DRIVER

FEATURES

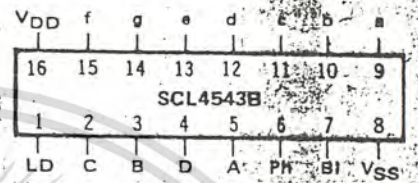
- Phase Input Signal Reproduced on Outputs for Liquid Crystal Display
- Latched Storage of Input Code
- Blanking Input for Display Intensity Modulation
- Readout Blanking for Illegal Input Combinations
- Pin Compatible with CD4056A (with Pin 7 Tied to V_{SS})
- Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4543B BCD-to-7 Segment Latch/Decoder/Driver is designed for use with liquid crystal readouts and is constructed with complementary MOS (CMOS) enhancement-mode devices. The circuit provides the functions of a 4-bit storage latch and a 8421 BCD-to-seven segment decoder and driver. The device has the capability to invert the logic levels of the output combinations. The Phase (Ph), Blanking (Bl), and Latch Disable (LD) inputs are used to reverse the truth-table phase, blank the display, and store a BCD code, respectively. For liquid crystal readouts, a square wave is applied to the Ph input of the circuit and the electrically common backplane of the display. The outputs of the circuit are connected directly to the segments of the readout. For other types of readouts, such as light-emitting diode (LED), incandescent, gas discharge, and fluorescent readouts, connection diagrams are given on this data sheet.

Applications include instrument (e.g., counter, DVM, etc.) display driver, computer/calculator display driver, cockpit display driver, and various clock, watch, and timer uses.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

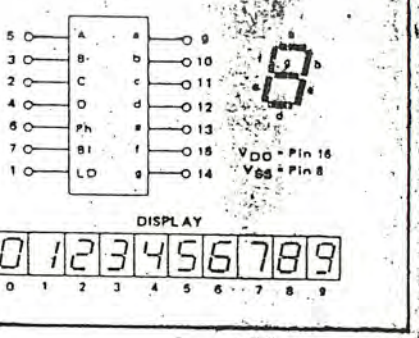
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

TRUTH TABLE

INPUTS							OUTPUTS							
LD	Bl	Ph*	D	C	B	A	a	b	c	d	e	f	g	Display
X	1	0	X	X	X	X	0	0	0	0	0	0	0	Blank
1	0	0	0	0	0	0	1	1	1	1	1	1	0	0
1	0	0	0	0	0	1	0	1	1	0	0	0	0	1
1	0	0	0	0	1	0	1	1	0	1	1	0	1	2
1	0	0	0	0	1	1	1	1	1	1	0	0	1	3
1	0	0	0	1	0	0	0	1	1	0	0	1	1	4
1	0	0	0	1	0	1	1	0	1	1	0	1	1	5
1	0	0	0	1	1	0	1	0	1	1	1	1	1	6
1	0	0	0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	0	0	1	1	1	1	1	0	1	1	9
1	0	0	1	0	1	0	0	0	0	0	0	0	0	Blank
1	0	0	1	0	1	1	0	0	0	0	0	0	0	Blank
1	0	0	1	1	0	0	0	0	0	0	0	0	0	Blank
1	0	0	1	1	0	1	0	0	0	0	0	0	0	Blank
1	0	0	1	1	1	0	0	0	0	0	0	0	0	Blank
1	0	0	1	1	1	1	0	0	0	0	0	0	0	Blank
0	0	0	X	X	X	X	**	**	**	**	**	**	**	**
0	0	1					Inverse of Output Combinations Above							Display as Above

X = Don't care
† = Above Combinations
* = For liquid crystal readouts, apply a square wave to Ph.
For common cathode LED readouts, select Ph = 0.
For common anode LED readouts, select Ph = 1.
** = Depends upon the BCD code previously applied when LD = 1.

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

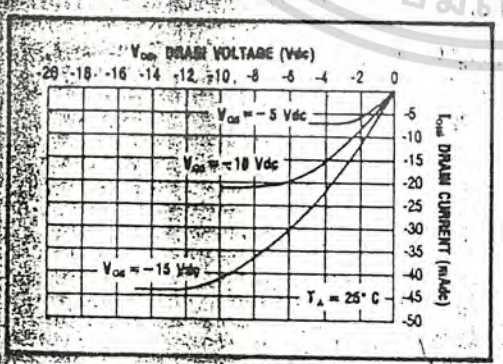
STATIC CHARACTERISTICS [1,3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	15	–	0.2	15	–	600	

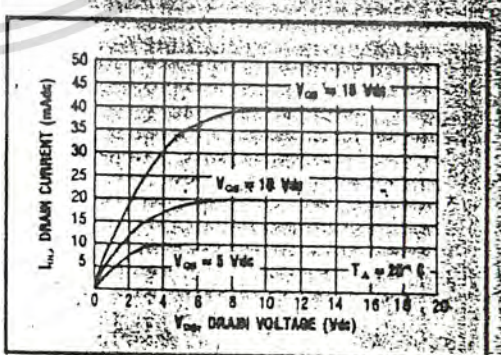
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL40008 Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= +85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	550	1100	ns
		10	–	210	420	
		15	–	160	320	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
MINIMUM DATA INPUT SETUP TIME	t_{setup}	5	–	40	0	ns
		10	–	15	0	
		15	–	10	0	
MINIMUM DATA INPUT HOLD TIME	t_{hold}	5	–	40	80	ns
		10	–	15	30	
		15	–	10	20	
MINIMUM LD PULSE WIDTH	PW_{LD}	5	–	125	250	ns
		10	–	50	100	
		15	–	40	80	



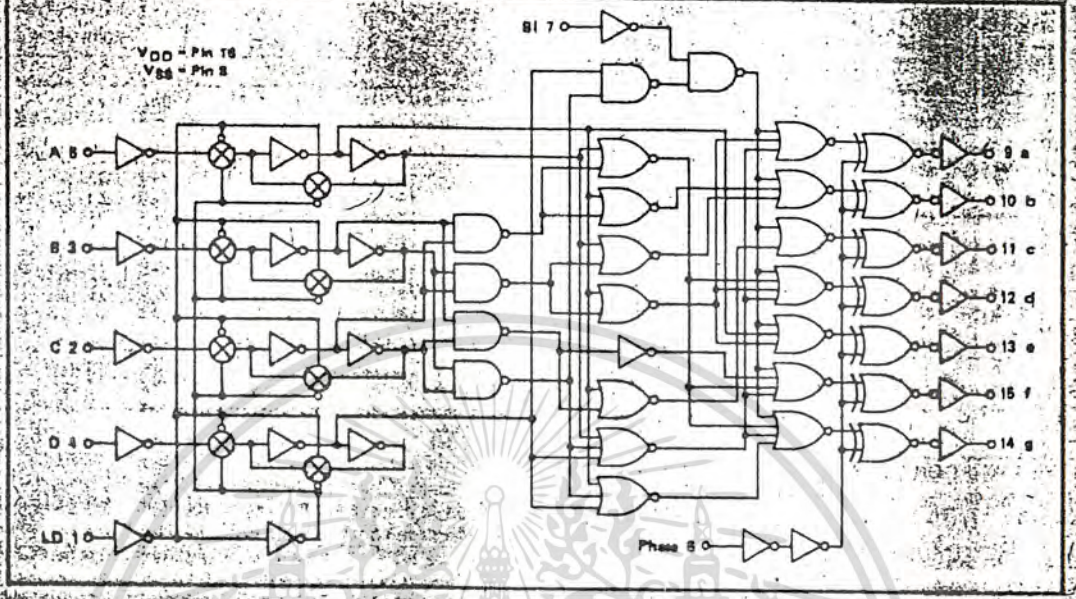
Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

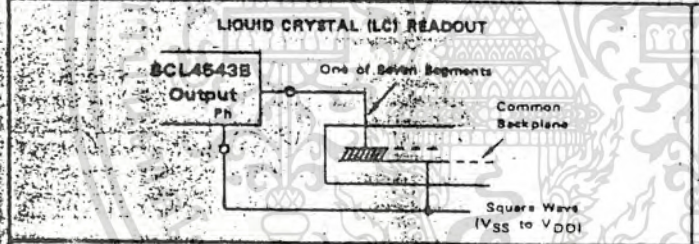
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

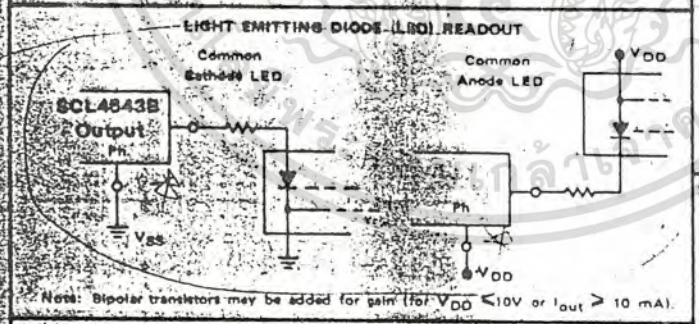
LOGIC DIAGRAM

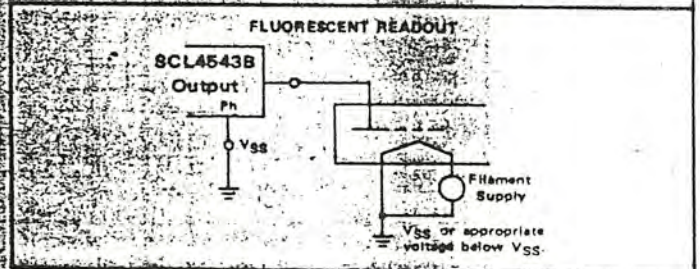


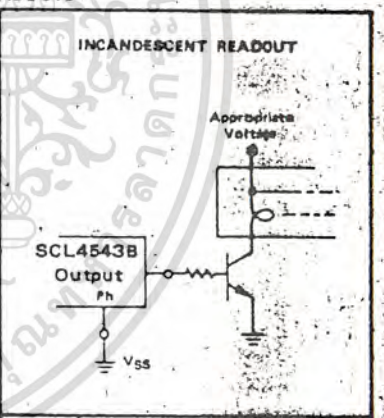
APPLICATIONS INFORMATION

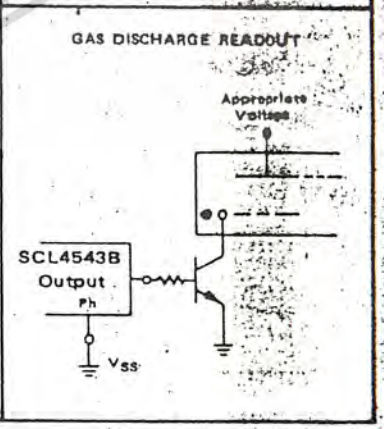
CONNECTIONS TO VARIOUS DISPLAY READOUTS











เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4011UB

CMOS NAND GATE (Unbuffered)

FEATURES

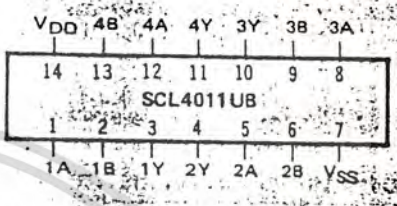
- Unbuffered Outputs for Quasi-Linear Applications
- Quad 2-Input NAND Configuration
- Diode Protection on all Inputs
- Output Drive Current Compatible with "B" Series
- Pin Compatible with Buffered SCL4011B
- Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4011UB consists of four positive-logic NAND gates. The outputs are unbuffered, making the device suitable for quasi-linear applications, such as gated oscillators, multivibrators, and pulse shaping circuits.

For digital applications, the buffered SCL4011B is recommended for its higher gain and input pattern insensitivity.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

TRUTH TABLE

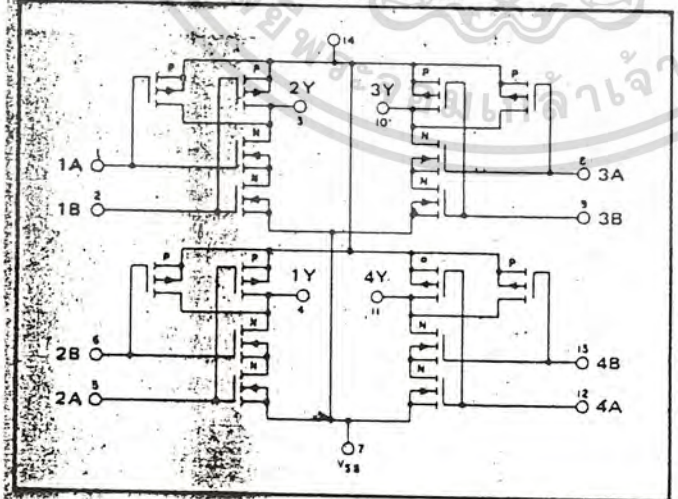
Inputs	Output
1 1	0
All other combinations	1

RECOMMENDED OPERATING CONDITIONS

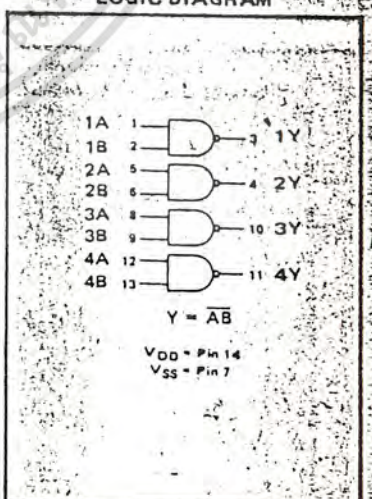
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

SCHEMATIC DIAGRAM



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

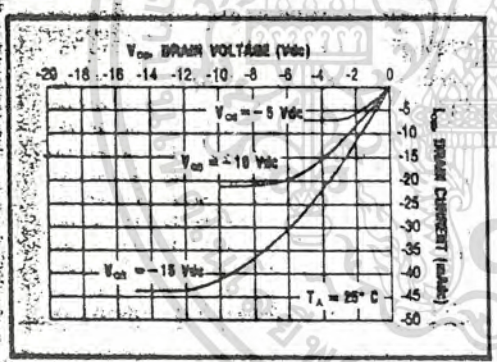
STATIC CHARACTERISTICS [1,3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	0.05	–	0.0005	0.05	–	1.5	μAdc
		10	All valid input	–	0.10	–	0.001	0.10	–	3.0	
		15	combinations	–	0.20	–	0.002	0.20	–	6.0	

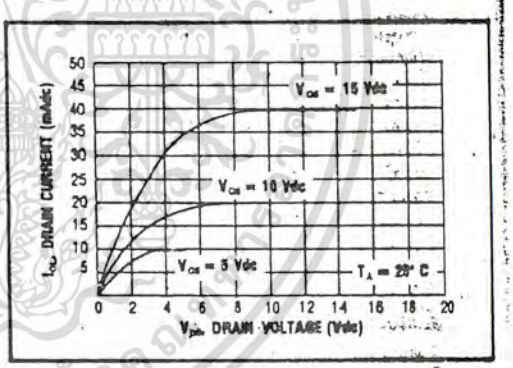
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = −55°C for C, D, F, H device.
= −40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	75	150	ns
		10	–	35	70	
		15	–	25	50	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	



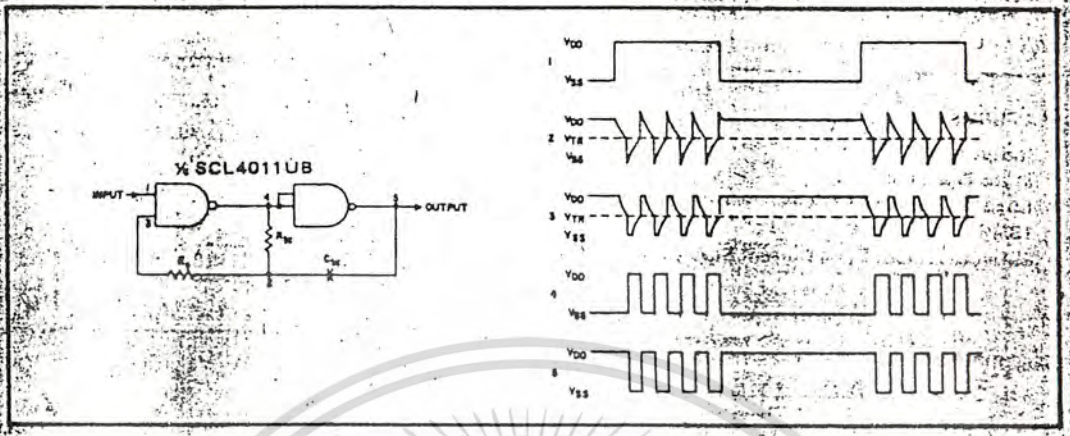
Typical P-Channel
Source Current Characteristics



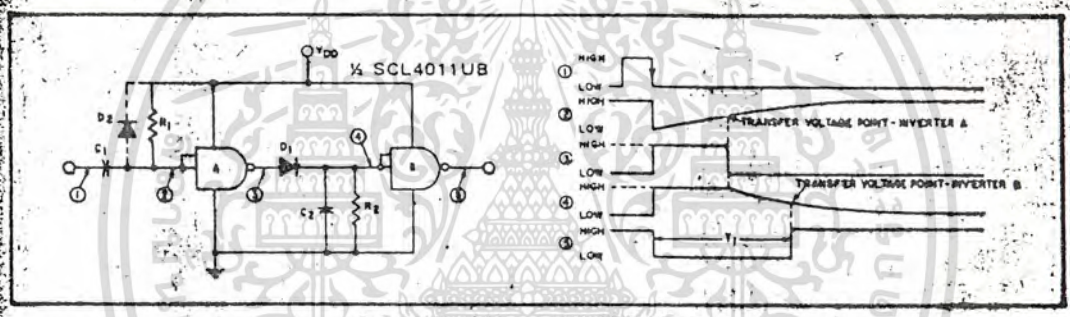
Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

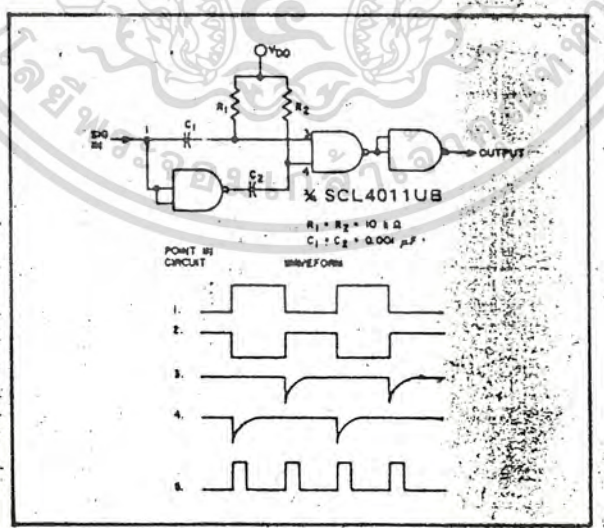
APPLICATIONS INFORMATION



Gated Oscillator



Compensated Monostable Multivibrator
(Independent of Transfer Voltage)



Frequency Doubler

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4514B
SCL4515B

CMOS 4-TO-16 LINE DECODERS WITH LATCH

FEATURES

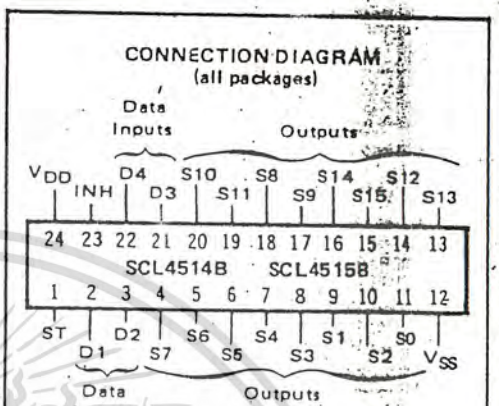
- Strobed Input Latch
- Inhibit Control
- Selected Output Active High (SCL4514B) or Active Low (SCL4515B)

DESCRIPTION

The SCL4514B and SCL4515B are two output options of a 4-to-16 Line Decoder with Latched Inputs. The SCL4514B presents a logic "1" at the selected output, and the SCL4515B presents a logic "0" at the selected output. The latches hold the last input data presented prior to the Strobe transition from "1" to "0". Inhibit allows all outputs to be placed at "0" (SCL4514B), or "1" (SCL4515B), regardless of the state of the Data or Strobe inputs.

Applications include code conversion, address decoding, memory selection control, demultiplexing, and readout decoding.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:
- D 24-pin Ceramic
- E 24-pin Epoxy
- H Chip

TRUTH TABLE (Strobe = 1)

Inhibit	Data Inputs D	C	B	A	Selected Output SCL4514B = Logic "1" SCL4515B = Logic "0"
0	0	0	0	0	S0
0	0	0	0	1	S1
0	0	0	1	0	S2
0	0	0	1	1	S3
0	0	1	0	0	S4
0	0	1	0	1	S5
0	0	1	1	0	S6
0	0	1	1	1	S7
0	1	0	0	0	S8
0	1	0	0	1	S9
0	1	0	1	0	S10
0	1	0	1	1	S11
0	1	1	0	0	S12
0	1	1	0	1	S13
0	1	1	1	0	S14
0	1	1	1	1	S15
1	X	X	X	X	All Outputs = "0", SCL4514B All Outputs = "1", SCL4515B

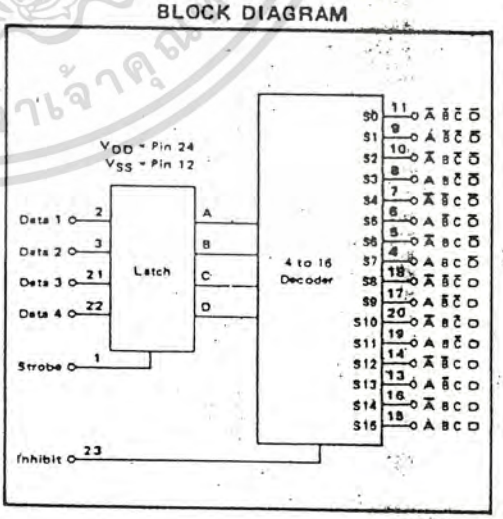
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
D, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

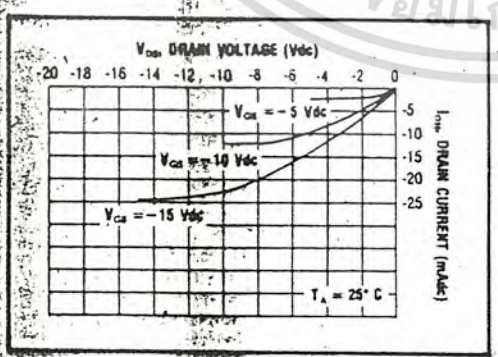
STATIC CHARACTERISTICS[1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[2] Min.	T_{LOW}[2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH}[2] Min.	T_{HIGH}[2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

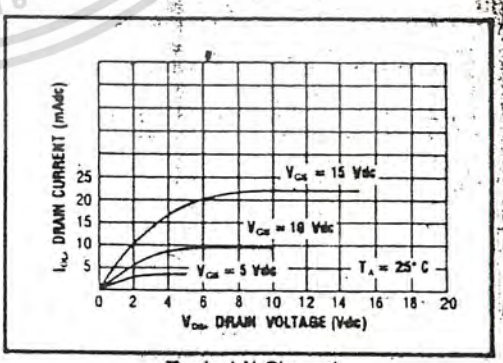
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME From Data Inputs	t_{PLH}, t_{PHL}	5	–	550	1100	ns
		10	–	225	450	
		15	–	150	300	
From Inhibit Input		5	–	400	800	ns
		10	–	150	300	
		15	–	100	200	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	
MINIMUM DATA INPUT SETUP TIME	t_{setup}	5	–	125	250	ns
		10	–	50	100	
		15	–	40	80	
MINIMUM STROBE PULSE WIDTH	PW_{ST}	5	–	175	350	ns
		10	–	50	100	
		15	–	40	80	



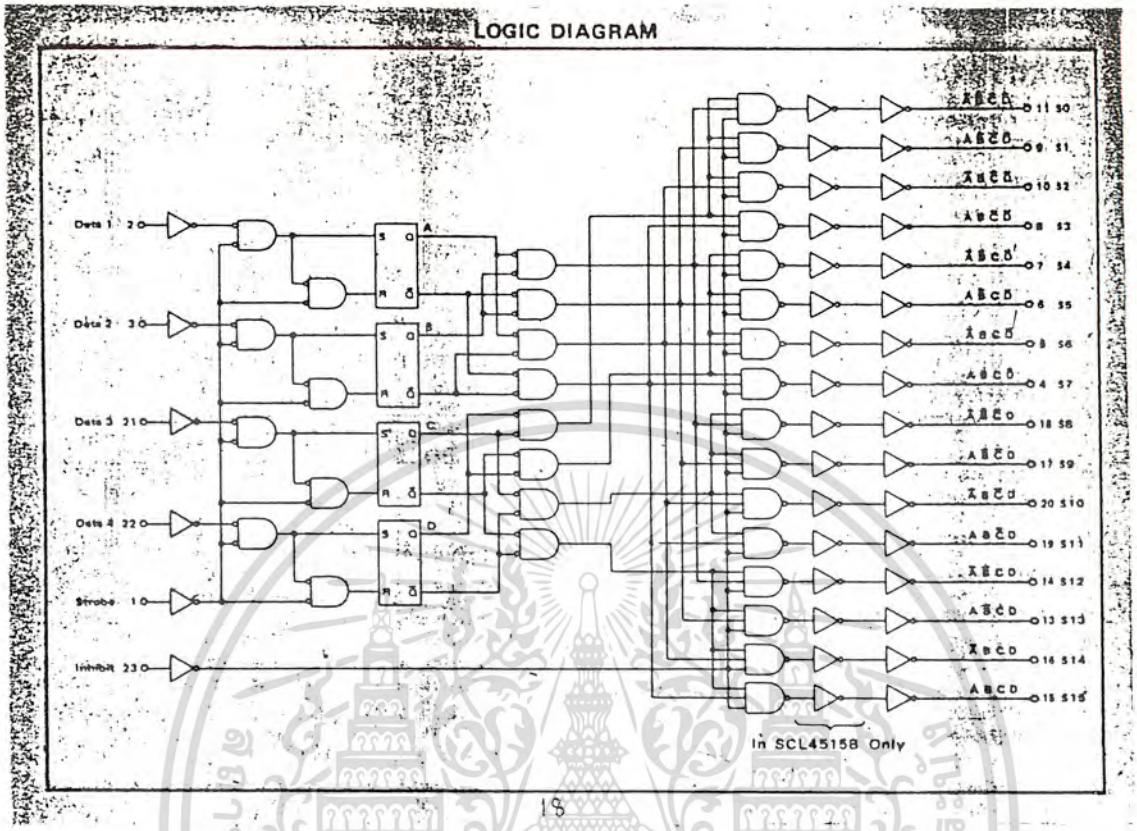
Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4518B
SCL4520B

CMOS DUAL UP COUNTERS

FEATURES

- Two Independent 4-Bit Counters
- Internally Synchronous for High Speed
- Dual BCD (SCL4518B) and Dual Binary (SCL4520B) Configurations
- Direct Reset
- Logic-Edge-Clocked Design
- Trigger from either Edge of Clock Signal
- Static Operation — DC to 5MHz @ 10Vdc

DESCRIPTION

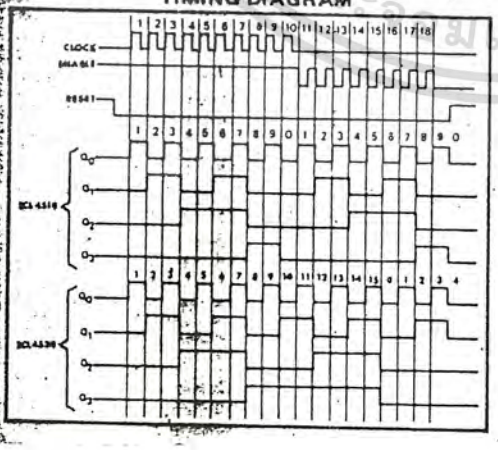
The SCL4518B Dual BCD Counter and the SCL4520B Dual Binary Counter are constructed with MOS P-channel and N-channel enhancement-mode devices in a single monolithic structure. Each consists of two identical, independent, internally synchronous 4-stage counters. The counter stages are type-D flip-flops, with interchangeable Clock and Enable lines for incrementing on either the positive-going or negative-going transition as required when cascading multiple stages. Each counter can be cleared by applying a high level on the Reset line. In addition, the SCL4518B will count out of all undefined states within two clock periods. These complementary MOS up counters find primary use in multi-stage synchronous or ripple counting applications requiring low power dissipation and/or high noise immunity.

TRUTH TABLE

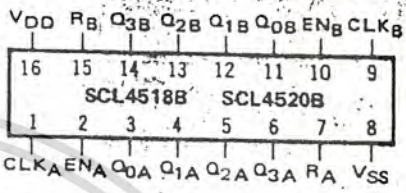
CLOCK	ENABLE	RESET	ACTION
⌐	1	0	Increment Counter
0	¬	0	Increment Counter
⌐	X	0	No Change
X	¬	0	No Change
¬	0	0	No Change
1	¬	0	No Change
X	X	1	Q0 thru Q3 = 0

X = Don't Care

TIMING DIAGRAM



CONNECTION DIAGRAM
(all packages)



Add suffix for package:

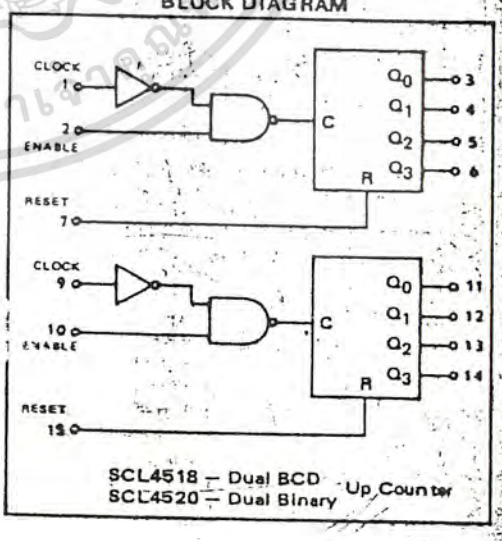
- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM



SCL4518 — Dual BCD Up Counter
SCL4520 — Dual Binary

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC CHARACTERISTICS

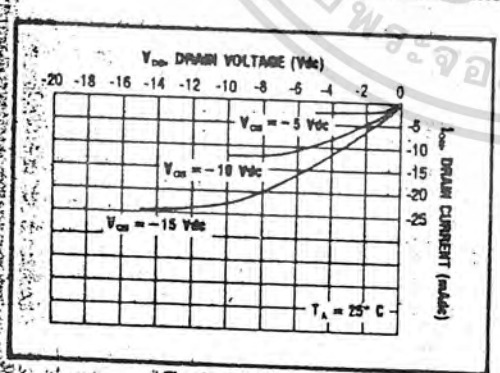
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[2]		+25°C			T_{HIGH}[2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	µAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL40008 Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

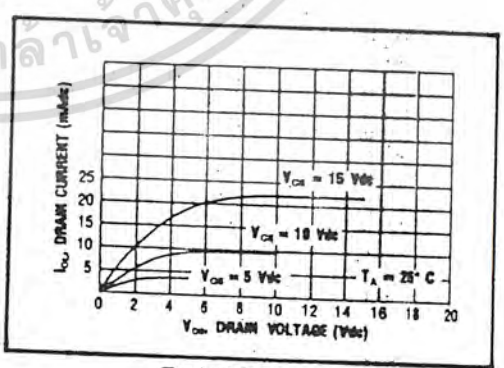
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME From Clock or Clock Enable	t_{PLH}, t_{PHL}	5	–	225	450	ns
		10	–	100	200	
		15	–	80	160	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	120	240	ns
		10	–	50	100	
		15	–	40	80	
MINIMUM CLOCK ENABLE PULSE WIDTH	PW_{CE}	5	–	200	400	ns
		10	–	90	180	
		15	–	75	150	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.0	2.0	–	MHz
		10	2.5	5.0	–	
		15	3.0	6.0	–	
MAXIMUM CLOCK OR CLOCK ENABLE RISE & FALL TIME[1]	t_{rCL}, t_{fCL}	5	15	–	–	µs
		10	5	–	–	
		15	3	–	–	
RESET OPERATION						
PROPAGATION DELAY TIME	t_{PHL}	5	–	225	450	ns
		10	–	100	200	
		15	–	80	160	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	120	240	ns
		10	–	50	100	
		15	–	40	80	
RESET REMOVAL TIME	t_{rm}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	

[1] When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



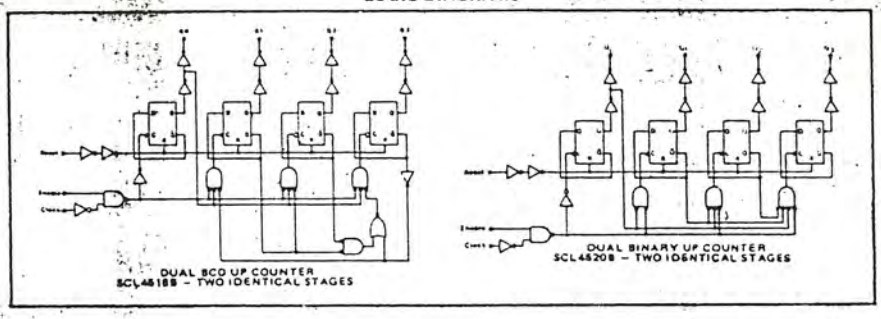
Typical P-Channel
Source Current Characteristics



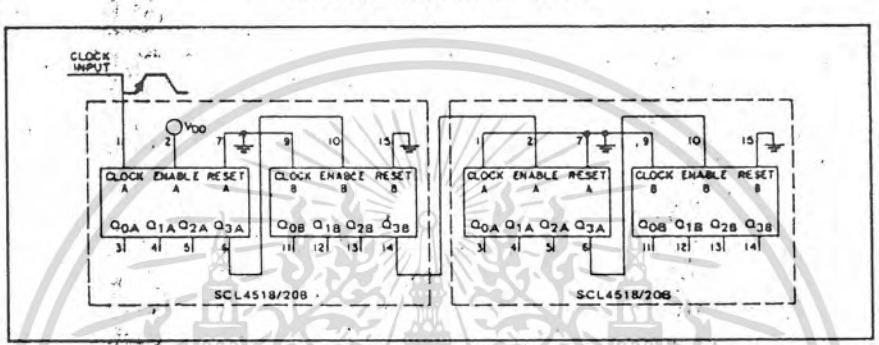
Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

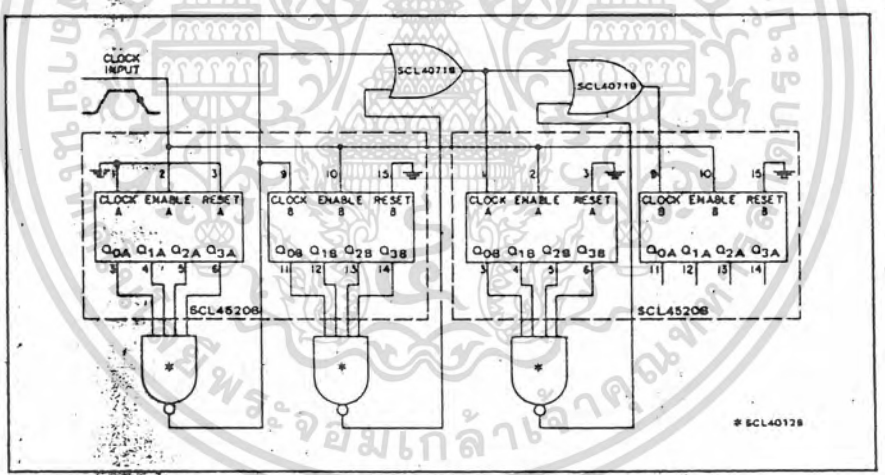
LOGIC DIAGRAMS



APPLICATIONS INFORMATION



Ripple cascading of four counters with positive-edge triggering.



Synchronous cascading of four binary counters with negative-edge triggering.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4528B

CMOS DUAL MONOSTABLE MULTIVIBRATOR

FEATURES

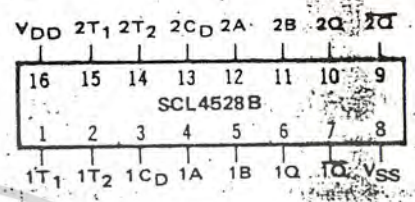
- Two Independent Multivibrators on One Chip
- Triggerable from Leading- or Trailing-Edge Pulse
- Retriggerable
- Resettable
- Q and $\overline{Q}$ Buffered Outputs Available
- Wide Range of Output Pulse Widths

DESCRIPTION

The SCL4528B Dual Multivibrator provides stable retriggerable/resettable one-shot operation for any fixed-voltage timing application. Timing for the circuit is controlled by an external resistor-capacitor combination (R_X-C_X). Adjustment of these components permits generation of output pulse widths from nanoseconds to minutes. Leading-edge and trailing-edge Trigger inputs are provided, and both positive-going and negative-going pulses are available from complementary outputs.

Timing pulses may be terminated at any time by applying a low logic level to the Reset input C_D.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

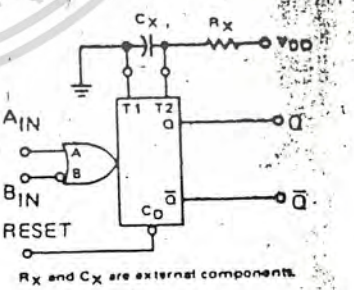
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

FUNCTION TABLE

INPUTS			OUTPUTS	
C_D	A	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	↑	H	⎍	⎎
H	L	↓	⎍	⎎

H = High Level (Steady State)
L = Low Level (Steady State)
↑ = Transition, Low-to-High
↓ = Transition, High-to-Low
X = Irrelevant (Inc. Transitions)
⎍ = One High-Level Pulse
⎎ = One Low-Level Pulse

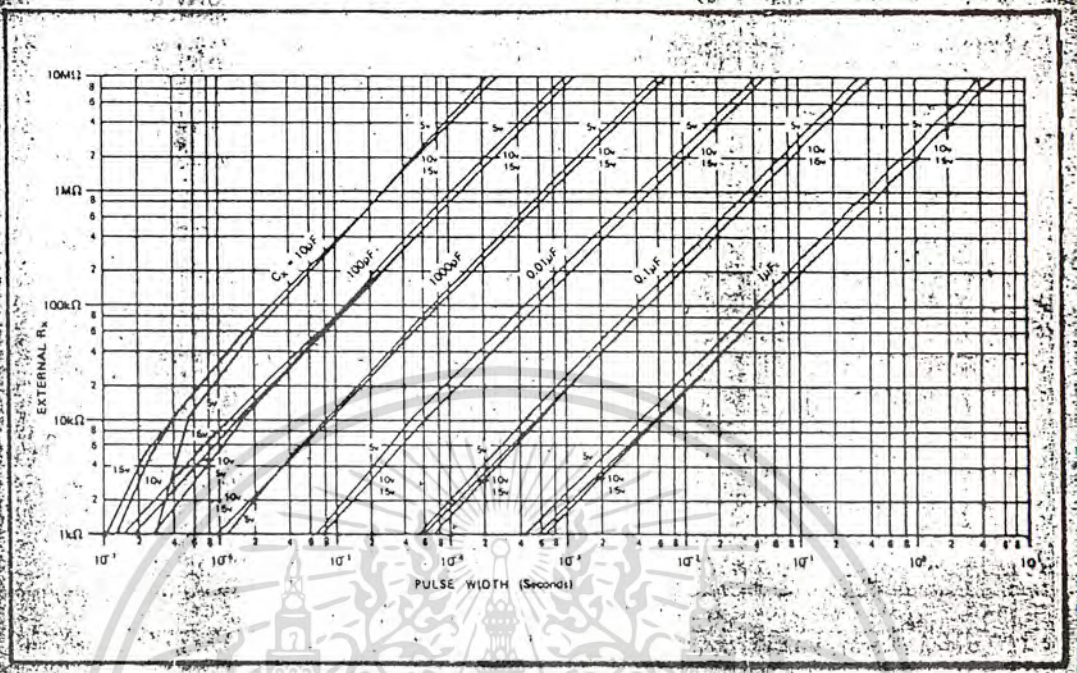
BLOCK DIAGRAM
(one of two devices)



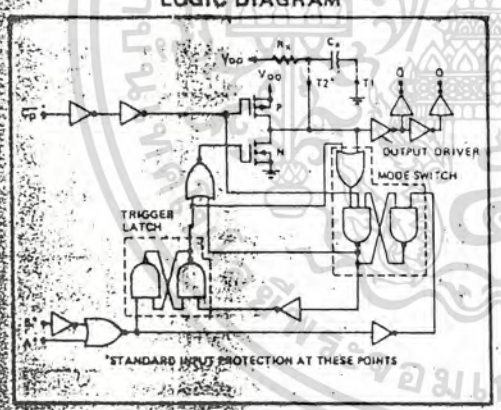
R_X and C_X are external components.

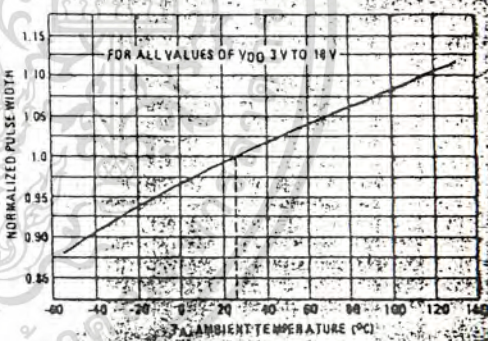
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4528B PULSE WIDTH VS R_X, C_X, V_{DD}



LOGIC DIAGRAM





Normalized Pulse Width versus Temperature

Notes:

1. There is no effective maximum limit on R_X; recommended minimum value for R_X is 1KΩ. There are no restrictions on the value of C_X.
2. For proper operation all unused inputs should be tied to a logic level. The mode point (T2) of a unused half of device should be tied high through an external resistor to V_{DD}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

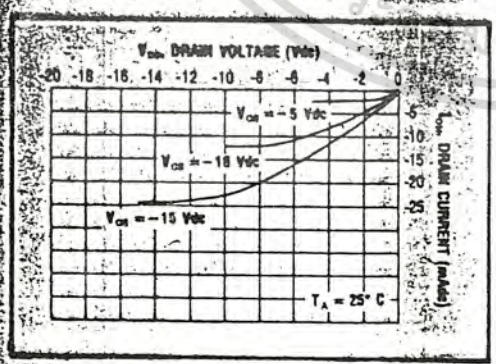
STATIC CHARACTERISTICS

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[1] Min.	T_{LOW}[1] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH}[1] Min.	T_{HIGH}[1] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		20	combinations	–	20	–	0.2	20	–	600	

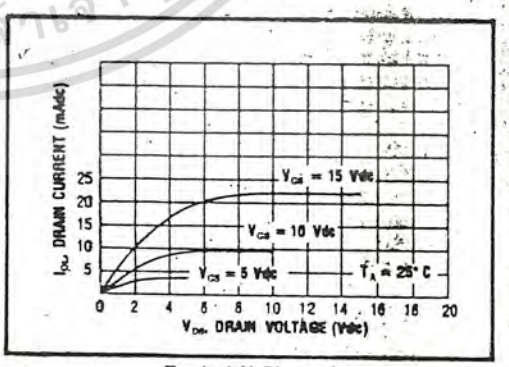
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL40008 Series Family Specifications"
T_{LOW} = -55°C for C, D, F, H device
= -40°C for E device
T_{HIGH} = +125°C for C, D, F, H device
= +85°C for E device

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		Cx (pF)	Rx (kΩ)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}							
From A or B		15	5	5	–	270	540	ns
				10	–	90	180	
				15	–	70	140	
		1000	10	5	–	510	1020	ns
				10	–	170	340	
				15	–	120	240	
From C_D		15	5	5	–	270	540	ns
				10	–	90	180	
				15	–	70	140	
		1000	10	5	–	550	1100	ns
				10	–	300	600	
				15	–	250	500	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}							
		–	–	5	–	130	260	ns
				10	–	65	130	
				15	–	50	100	
Note: Q Output	t_{TLH}	15	5	5	–	130	260	ns
				10	–	65	130	
				15	–	50	100	
		1000	10	5	–	270	540	ns
				10	–	240	480	
				15	–	220	440	
MINIMUM INPUT PULSE WIDTH A or B Input	PW_{in}	–	–	5	–	70	140	ns
				10	–	30	60	
				15	–	25	50	
OUTPUT PULSE WIDTH MATCH	ΔPW_{out}							
Same package		1000	10	5	–	± 7.5	±15	%
				10	–	±10	±20	
				15	–	±10	±20	
Different package		1000	10	5	–	–	±50	%
				10	–	–	±50	
				15	–	–	±50	



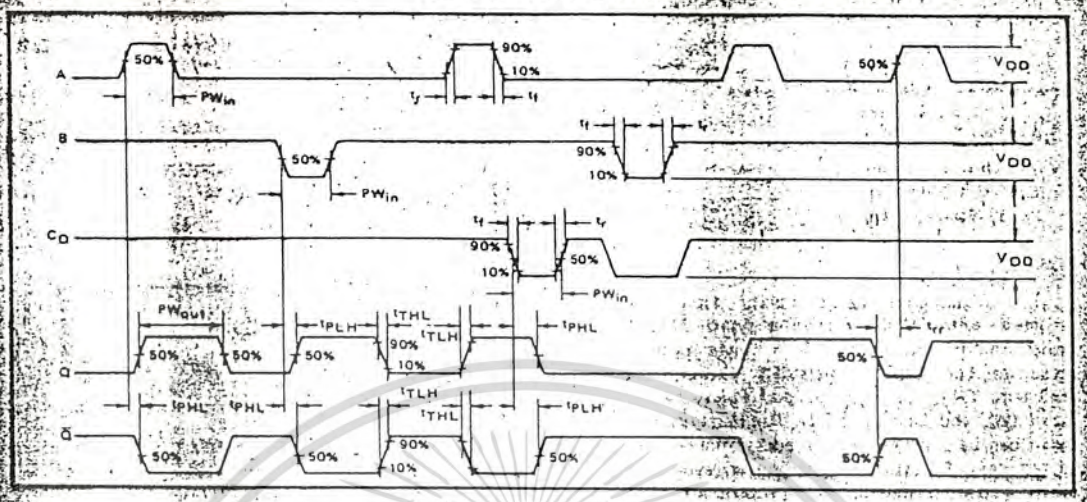
Typical P-Channel
Source Current Characteristics



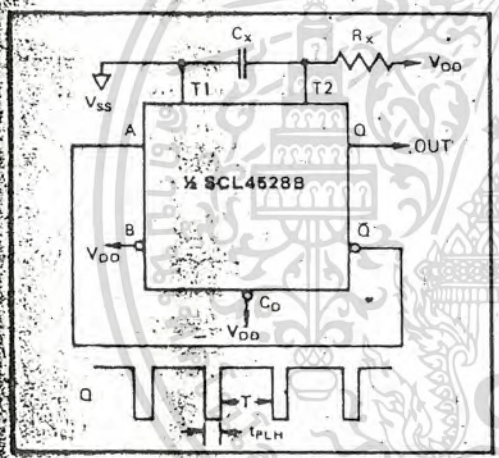
Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

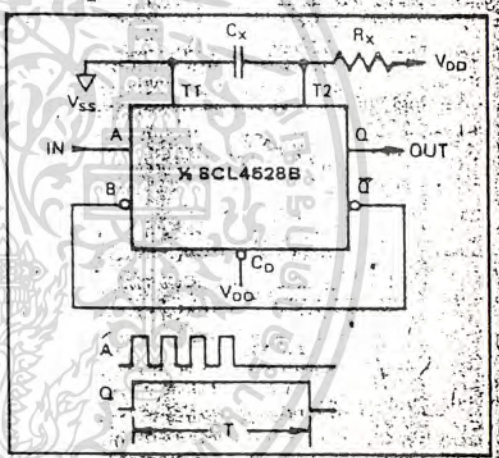
AC TEST WAVEFORMS



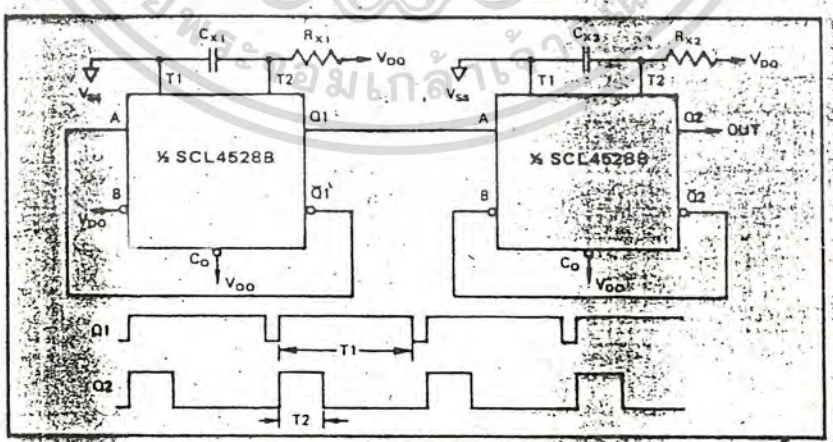
APPLICATIONS INFORMATION



Astable Operation



Connection for Non-Retriggerable Operation



Astable Multivibrator with Adjustable Period and Duty Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS164	J①			W①	SN54164	J①			W①	SN54L164	J①	N①		T①
											SN74LS164	J①	N①			SN74164	J①	N①			SN74L164	J①	N①		T①
FAIRCHILD											FN54LS164/FMM5164	D①			F①	FN54164/FM93164	D①								
											FC74LS164/FC93LS164	D①	P①		F①	FC74164/FC93164	D①	P①							
MOTOROLA																									
											SN74LS164		P①			MC74164		P①							
N.S.C.											DM74LS164		J①								DM54L164		J①	N①	
											DM54LS164		J①			DM74164		N①			DM74L164		J①	N①	
PHILIPS																									
											N74LS164		J①			N74164		J①							
SIGNETICS																S54164	F①	A①		W①					
											N74LS164		A①			N74164	F①	A①							
SIEMENS																									
																FLJ441		J①							
FUJITSU																									
											74LS164		MJ①												
HITACHI																									
											HD74LS164		P①			HD74164		J①	P①						
MITSUBISHI																									
											M74LS164		P①			M53364		P①							
NEC																									
											AM74LS		C①			μPB2164	D①								
TOSHIBA																									
																TD3503A		P①							
AMD																									
											Am74LS164														

Electrical Characteristics SN54LS164/SN74LS164

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54	−55°C to 125°C
Input voltage	1V		SN74	0°C to 70°C
		Storage temperature range		−65°C to 150°C

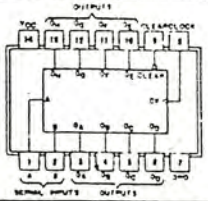
recommended operating conditions

	SN54LS164			SN74LS164			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{setup}	15			15			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX	SN54LS	−20		100	mA
			SN74LS	−20		100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 1.			15	27	mA
f_{max}	Maximum clock frequency	V_{CC} = 5V, T_A = 25°C, R_L = 2kΩ	C_L = 15pF	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clear input		C_L = 15pF		24	36	ns
t_{PLH}	Propagation delay time, low-to-high level Q outputs from clock input		C_L = 15pF		17	27	ns
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clock input		C_L = 15pF		21	32	ns

Pin Assignment (Top View)



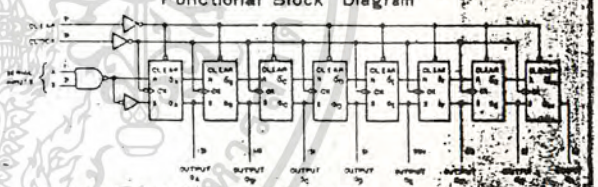
positive logic: see function table

Function Table

'164, 'LS164, 'L164 (see Note 2)

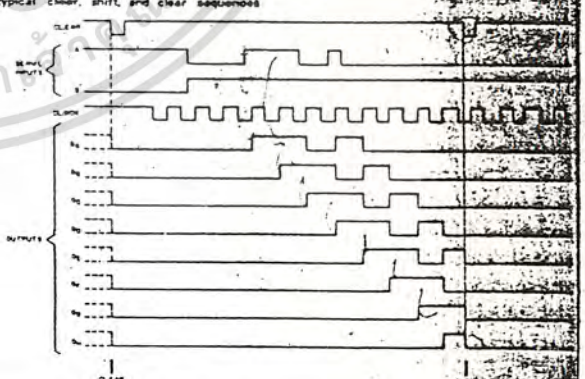
INPUTS				OUTPUTS			
CLEAR	CLOCK	A	B	QA	QB	...	QH
L	X	X	X	L	L		L
H	L	X	X	Q_{A0}	Q_{B0}		Q_{H0}
H	↑	H	H	H	Q_{An}		Q_{Gn}
H	↑	L	X	L	Q_{An}		Q_{Gn}
H	↑	X	L	L	Q_{An}		Q_{Gn}

Functional Block Diagram



'164, 'LS164, 'L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequences



NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.

2. H = high level (steady state), L = Low-level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most-recent ↑ transition of the clock; indicates a one-bit shift.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
*Not more than two outputs should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54126/74126 Quadruple Bus Buffer Gate with Three-State Output

	Schottky TTL					High-Speed TTL					Low-Power Schotty TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.																SN54125									
																SN74125									
FAIRCHILD																									
MOTOROLA																									
N.S.C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS126 SN74LS126

absolute maximum ratings over operating free-air temperature range

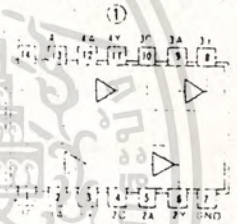
Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		-65°C to 150°C

recommended operating conditions

	SN54LS126			SN74LS126			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			-1			-2.6	mA
Low-level output current I_{OL}			12			24	mA
Operating free-air temperature T_A	-55		125	0		70	°C

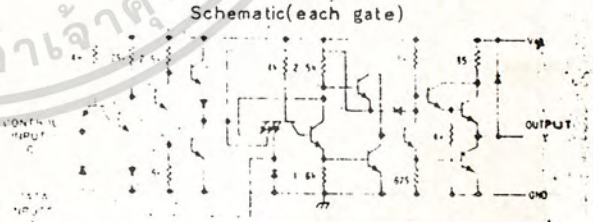
electrical characteristics over recommended operating free-air temperature range

	PARAMETER	TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = -18mA				-1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX	54LS Family	2.4			V
			74LS Family	2.4			
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = MAX			0.25	0.5	V
$I_{O(off)}$	Off-state (high-impedance state) output current	V_{CC} = MAX, V_{IH} = 2V, V_{IL} = 0.8V	V_O = 2.4V			20	μA
			V_O = 0.4V			-20	
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				-0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX	54LS Family	-40		-225	mA
			74LS Family	-40		-225	
I_{CC}	Supply current	V_{CC} = MAX, DATA INPUT = 0V, OUTPUT CONTROL = 0V			12	22	mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, T_A = 25°C	C_L = 45pF, R_L = 667Ω		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				8	18	ns
t_{ZH}	Output enable time to high level				18	25	ns
t_{ZL}	Output enable time to low level				21	35	ns
t_{HZ}	Output disable time from high level		C_L = 5pF, R_L = 667Ω			25	ns
t_{LZ}	Output disable time from low level					25	ns

Pin Assignment (Top View)

positive logic:

Output is off (disabled) when C is low

Schematic(each gate)



'126 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้