เครื่องทดลองและทดสอบออปแอมป์ด้วยไมโครคอมพิวเตอร์

OPAMP EXPERIMENTAL AND TESTING EQUIPMENT WITH MICROCOMPUTER

โดย

นายบุญชนะ ภู่ระหงษ์

นายสมเกียรติ อุดมหรรษากุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาเทคโนโลยีอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

034921

เครื่องทดลองและทดสอบออปแอมป์ด้วยไมโครคอมพิวเตอร์

(OPAMP EXPERIMENTAL AND TESTING EQUIPMENT WITH MICROCOMPUTER)

นายบุญชนะ ภู่ระหงษ์ รหัส 35-103104

นายสมเกียรติ อุดมหรรษากุล รหัส 35-103120

อาจารย์ที่ปรึกษา

อาจารย์ไพศาล สิทธิโยภาสกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาเทคโนโลยีอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องทดลองและทดสอบออปแอมป์ด้วยไมโครคอมพิวเตอร์

(OPAMP EXPERIMENTAL AND TESTING EQUIPMENT WITH MICROCOMPUTER)

นายบุญชนะ ภู่ระหงษ์ รหัส 35-103104

นายสมเกียรติ อุดมหรรษากุล รหัส 35-103120

ได้รับพิจารณาอนุมัติให้นับเป็นส่วนหนึ่งของการศึกษา

ตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์

คณะกรรมการตรวจสอบปริญญานิพนธ์

..... ประธานกรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

..... กรรมการ

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อเรื่องปริญญานิพนธ์ เครื่องทดลองและทดสอบออปแอมป์ด้วยไมโครคอมพิวเตอร์

ชื่อผู้จัดทำ นายบุญชนะ ภู่ระหงษ์
นายสมเกียรติ อุดมหรรษากุล
อาจารย์ที่ปรึกษา อาจารย์ไพศาล สิทธิโยภาสกุล

ภาควิชาเทคนิคอุตสาหกรรม
ปีการศึกษา 2537

บทคัดย่อ

เครื่องทดลองและทดสอบออปแอมป์ด้วยไมโครคอมพิวเตอร์ เป็นเครื่องที่ใช้สำหรับทำการทดสอบคุณสมบัติทางพารามิเตอร์และทดลองวงจรพื้นฐานของออปแอมป์ โดยใช้ซอฟแวร์ควบคุมแผงวงจรทดลองให้ได้ตามรูปแบบของวงจรที่เราจะทดลองหรือทดสอบ และทำการคำนวณค่าของเอาท์พุทแสดงผลที่จอคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROJECT REPORT TITLE OPAMP EXPERIMENTAL AND TESTING EQUIPMENT WITH MICROCOMPUTER

NAME MR.BOONCHANA PHURAHONG

MR.SOMKIAT UDOMHUNSAKUL

PROJECT REPORT ADVISOR MR.PAISAN SITTIYOPASAKUL

DEPARTMENT OF INDUSTRIAL TECHNOLOGY

ACADEMIC YEAR 1994

ABSTRACT

Opamp experimental and testing equipment with microcomputer is used to test parameter and basic circuits of operational amplifier. By the software is controled test and experiment on the circuit board. It has been from the spectification circuit. And calculate output showed on the monitor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์เรื่อง เครื่องทดลองและทดสอบออปแอมป์ด้วยไมโครคอมพิวเตอร์ ฉบับนี้สำเร็จลงได้ โดยได้รับความช่วยเหลือและคำแนะนำแนวทางการทดลองต่าง ๆ เป็นอย่างดี จาก อาจารย์ไพศาล สิทธิโยภาสกุล ซึ่งเป็นอาจารย์ที่ปรึกษารวมทั้งอาจารย์ประจำภาควิชาเทคนิคอุตสาหกรรมท่านอื่น ๆ ตลอดจนเพื่อนและครู – อาจารย์ แผนกช่างอิเล็กทรอนิกส์และเทคนิคคอมพิวเตอร์ สถาบันเทคโนโลยีราชมงคล วิทยาเขตนนทบุรี ซึ่งได้ช่วยเหลือให้คำแนะนำเพิ่มเติม และให้กำลังใจตลอดมา ผู้จัดทำใคร่ขอขอบพระคุณทุกท่านเป็นอย่างสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ		I
กิตติกรรมประกาศ		II
บทที่ 1	คุณสมบัติของออปแอมป์	1
บทที่ 2	การทดสอบพารามิเตอร์ของออปแอมป์	18
บทที่ 3	แนวความคิดและการออกแบบวงจร	27
	Z-80 กับ PIA 8255	29
	เส้นทางการสื่อสารพอร์ตแบบอนุกรม	37
	การออกวงจรที่ใช้งาน	39
บทที่ 4	การทดลองและทดสอบ	46
	การใช้งานของเครื่อง	47
	การทดลอง	48
	ปัญหาและอุปสรรค	73
	สรุปวิจัยและข้อเสนอแนะ	73
เอกสารอ้างอิง		74
ภาคผนวก		75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

คุณสมบัติของออปแอมป์

ออปแอมป์คืออุปกรณ์ชนิดหนึ่งที่ถูกออกแบบมาให้สามารถทำงานได้หลายรูปแบบ และยังเน้นความสะดวกในการนำไปใช้งานได้ด้วย โดยสามารถประกอบเป็นวงจรได้โดยการต่อร่วมกับอุปกรณ์ภายนอกเพียงไม่กี่ตัวเท่านั้น ในอดีตออปแอมป์จะประกอบขึ้นจากอุปกรณ์หลายตัวที่ถูกนำมาบรรจุไว้ในภาชนะชิ้นเดียวกัน ซึ่งนอกจากจะทำให้ออปแอมป์มีขนาดใหญ่แล้ว ยังอาจมีประสิทธิภาพค่อนข้างต่ำด้วย แต่ปัจจุบันเราสามารถซื้อออปแอมป์ในรูปแบบของวงจรรวม(IC) ได้ตามท้องตลาด และจากคุณสมบัติ IC ออปแอมป์ที่ได้พัฒนาขึ้นทำให้อุปกรณ์ชนิดนี้เป็นที่รู้จักกันอย่างแพร่หลาย

คุณสมบัติทั่วไป

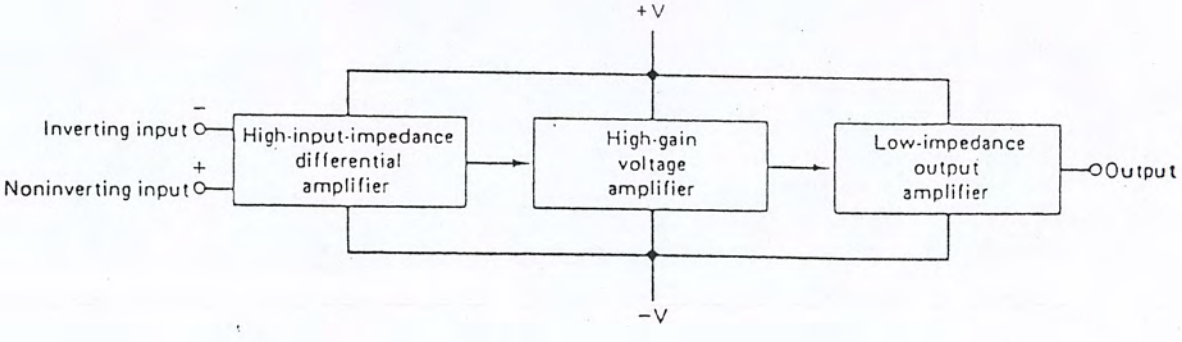
โดยทั่วไปแล้ว เราสามารถกล่าวได้ว่า ไอซีออปแอมป์คือ อุปกรณ์โซลิดเสตท (SOLIDSTATE) ชนิดหนึ่งที่สามารถตรวจวัดระดับสัญญาณไฟตรงและไฟสลับได้ และยังสามารถนำไปใช้ขยายสัญญาณได้อีกด้วย ไอซีออปแอมป์พื้นฐานจะต้องประกอบด้วยวงจรภายในภาคต่าง ๆ ดังนี้ คือ

1.ดิฟเฟอเรนเชียลแอมป์ หรือ วงจรขยายผลต่าง (DIFFERENTIAL AMPLIFIER) ที่มีอินพุทอิมพีแดนซ์สูงมาก

2.วงจรขยายแรงดันซึ่งมีอัตราขยายสูงมาก

3.วงจรขยายภาคเอ้าท์พุทที่มีเอ้าท์พุทอิมพีแดนซ์ต่ำมาก

รูปที่ 1.1 แสดงบล็อคไดอะแกรมของวงจรภายในภาคต่าง ๆ ของออปแอมป์ดังกล่าวและจากรูปจะสังเกตว่า แรงดันไฟตรงที่จ่ายให้แก่ออปแอมป์มักประกอบด้วยไฟบวกและลบ เพื่อให้เอ้าท์พุทสามารถสวิงได้ทั้งซีกบวกและลบเทียบกับกราวด์



รูปที่ 1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

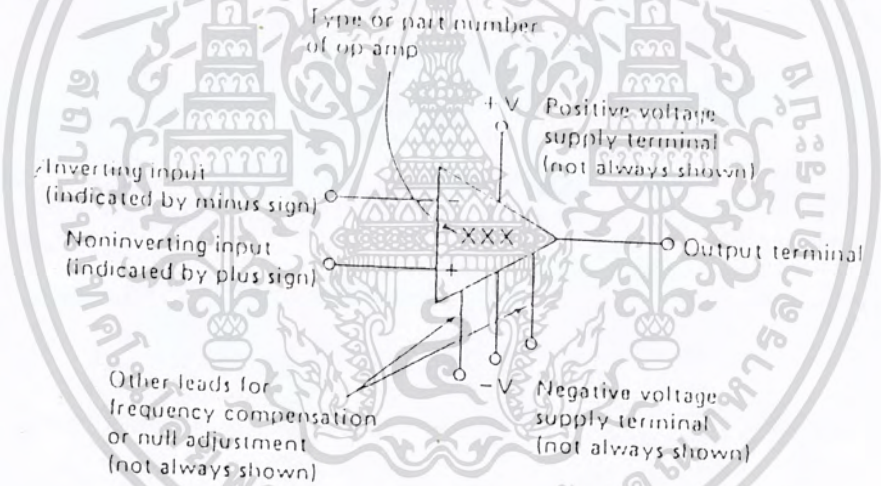
จากคุณสมบัติดังกล่าวของออปแอมป์ที่กล่าวมา ทำให้เราสามารถสรุปคุณสมบัติที่สำคัญบางประการของออปแอมป์ในอุดมคติ ดังนี้

1. เนื่องจากอินพุทอิมพีแดนซ์ของออปแอมป์ค่าสูงเป็นอนันต์ กระแสเข้าที่อินพุทจะต่ำจนเกือบเท่าศูนย์ หรืออีกนัยหนึ่ง ไม่มีกระแสอินพุทเข้าสู่ออปแอมป์เลย

2. อัตราขยายขณะเปิดลูป A (ขณะที่ยังไม่มีการป้อนกลับ) จะมีค่าสูงมาก ซึ่งหมายความว่า แรงดันระหว่างขั้วอินพุทควรมีค่าใกล้ศูนย์ (เนื่องจาก $V_{out}/A = V_{in}$)

3. เอ้าท์พุทอิมพีแดนซ์มีค่าต่ำมากจนไม่ทำตัวเป็นโหลดต่อภาคเอ้าท์พุทของวงจรขยาย

รูป I.2 แสดงสัญลักษณ์ทั่วไปของออปแอมป์ ซึ่งประกอบด้วยขั้วอินพุท 2 ขั้ว ขั้วสำหรับแหล่งจ่ายไฟ 2 ขั้ว ขั้วเอ้าท์พุท 1 ขั้ว และขั้วสำหรับปรับออฟเซ็ทหรือการชดเชยความถี่อีก 2ขั้ว



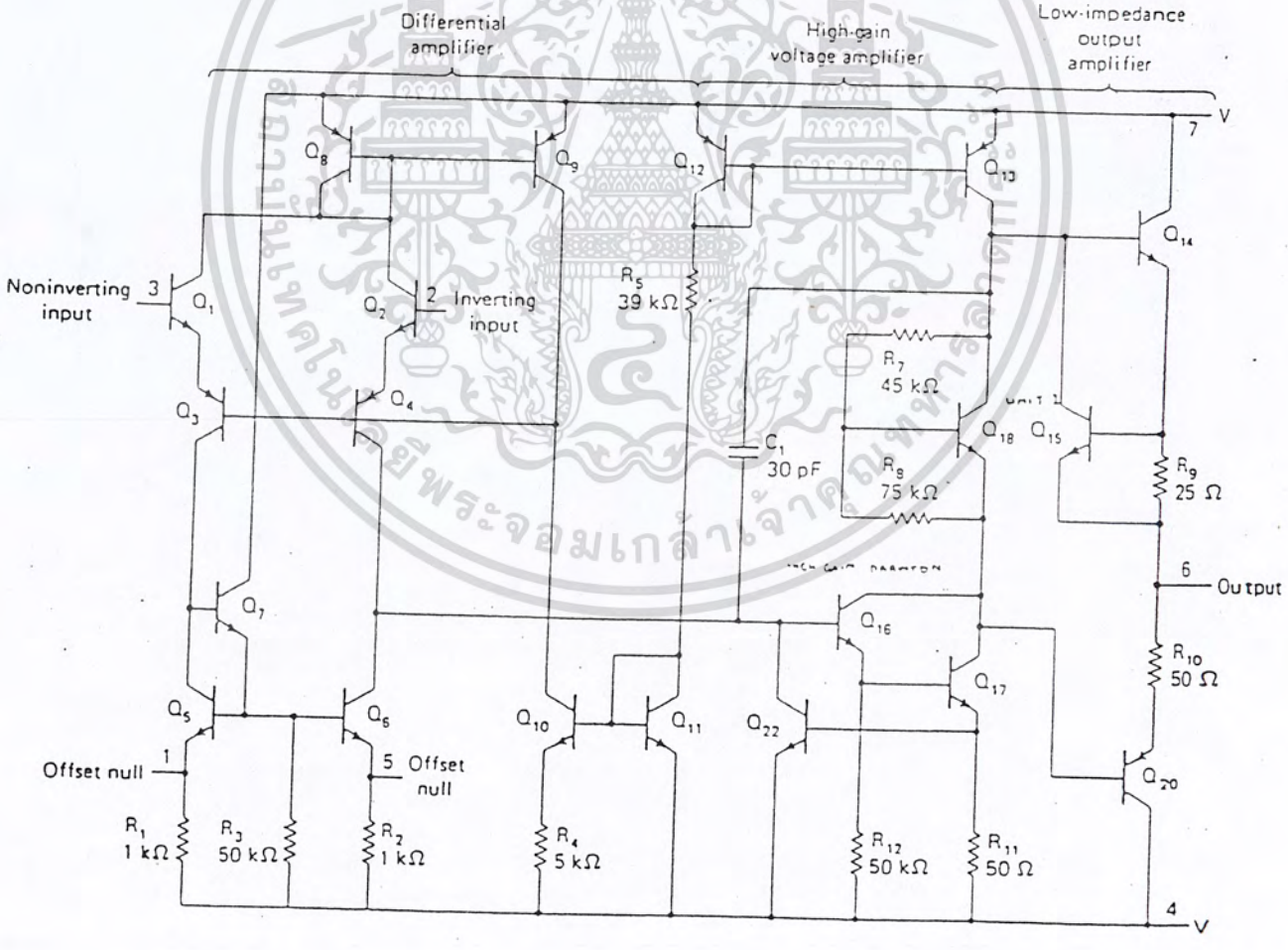
รูปที่ I.2

ขั้วอินพุททั้งสองของออปแอมป์มีลักษณะต่างกันดังนี้ คือ สำหรับขั้วลบเมื่อป้อนไฟตรงหรือไฟสลับเข้าไป ในขณะที่ขั้วบวกต่อกับจุดอ้างอิงจุดหนึ่ง สัญญาณที่ออกมาที่เอ้าท์พุทจะกลับเฟสกับอินพุท 180 องศา ส่วนการป้อนสัญญาณที่ขั้วบวกเอ้าท์พุทจะมีเฟสตรงกับอินพุท ดังนั้นจึงกล่าวได้ว่าเครื่องหมายที่อินพุท คือการแสดงเฟสของเอ้าท์พุทเทียบกับอินพุท ส่วนขั้วสำหรับปรับออฟเซ็ท หรือชดเชยความถี่นั้น โดยมากมักไม่ถูกแสดงในวงจรทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการนำออปแอมป์ไปใช้งานจริงนั้น เราอาจไม่จำเป็นต้องศึกษาให้ลึกซึ้งถึงวงจรภายใน แต่อย่างไรก็ตาม ในรูป 1.1 จะแสดงวงจรภายในของออปแอมป์ 741 ซึ่งผู้สนใจสามารถศึกษารายละเอียดเพิ่มเติมจากสเป็ค หรือ รายละเอียดของผู้ผลิต

หากนำวงจรในรูป 1.3 มาเปรียบเทียบกับรูป 1.1 จะสามารถแยกวงจรออกเป็น 3 ภาค ได้เช่นกัน โดยมีทรานซิสเตอร์ Q_1 และ Q_2 ทำหน้าที่เป็นดิฟเฟอเรนเชียลแอมป์ ทรานซิสเตอร์ Q_{16} , Q_{17} ซึ่งถูกต่อแบบดาร์ลิงตันทำหน้าที่เป็นวงจรขยายแรงดันที่มีอัตราขยายสูงมาก ส่วนภาคเอ้าท์พุทจะประกอบด้วย Q_{14} และ Q_{20} ทรานซิสเตอร์ Q_{15} นั้น มีไว้สำหรับจำกัดกระแสและป้องกันออปแอมป์เสียหาย เมื่อเอ้าท์พุทถูกลัดวงจร ส่วนอุปกรณ์ตัวอื่นๆ จะมีหน้าที่ในการจัดไบอัส และช่วยในการขยายสัญญาณสำหรับออปแอมป์



รูปที่ 1.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติและพารามิเตอร์บางชนิดของออปแอมป์

1. อินพุทอิมพีแดนซ์

ในทางอุดมคติควรมีค่าเท่ากับอนันต์ แต่ในความเป็นจริง อินพุทอิมพีแดนซ์จะมีค่าประมาณ 1 เมกกะโอห์ม ($1x10^6$) ค่าอินพุทอิมพีแดนซ์นี้ยิ่งมีค่ามากขึ้นเท่าใด ออปแอมป์ตัวนั้นก็จะทำงานได้ดียิ่งขึ้น นอกจากนี้ เมื่อนำออปแอมป์ไปใช้งานในย่านความถี่สูง ควรระวังผลจากอินพุทคาปาซิแดนซ์ของวงจรด้วยซึ่งมักมีค่าประมาณ 2 พิโคฟารัด ($2x10^{-12}$ ฟารัด) เมื่อขั้วอินพุทขั้วหนึ่งต่อกับกราวด์

2. เอ้าท์พุทอิมพีแดนซ์

ดังที่ได้กล่าวมาแล้วว่า ออปแอมป์ในอุดมคติจะมีเอ้าท์พุทอิมพีแดนซ์เป็นศูนย์ แต่ในความเป็นจริง ค่านี้อาจมีได้ตั้งแต่ 25 ถึงหลายพันโอห์มขึ้นไป แต่อย่างไรก็ตาม เรามักสมมติให้เอ้าท์พุทอิมพีแดนซ์ในวงจรมีค่าเป็นศูนย์ เพื่อง่ายต่อการคำนวณและวิเคราะห์

จากคุณสมบัติของออปแอมป์ที่มีอินพุทอิมพีแดนซ์สูง และมีเอ้าท์พุทอิมพีแดนซ์ต่ำ ออปแอมป์จึงเปรียบเสมือนเป็นอุปกรณ์ซึ่งมีคุณสมบัติเป็นอิมพีแดนซ์แมทชิง (IMPEDANCE MATCHING) ที่ดี ตัวหนึ่ง

3. กระแสไบอัสด้านอินพุท

เนื่องจากอินพุทอิมพีแดนซ์ของออปแอมป์ไม่เป็นอนันต์ ดังนั้น จึงมีกระแสค่าน้อย ๆ (มีหน่วยเป็น นาโน(10^{-9})ถึง ไมโคร (10^{-6})ออปแอมป์) ไหลผ่านขั้วอินพุททั้งสอง ซึ่งค่าเฉลี่ยของกระแสดังกล่าวถูกเรียกว่าเป็น "กระแสไบอัสด้านอินพุท" กระแสจะก่อให้เกิดความไม่สมดุลในวงจรภายใน ซึ่งจะเป็นผลกระทบต่อภาคเอ้าท์พุทด้วย ดังนั้น กระแสนี้ควรถูกกำจัดให้มีค่าต่ำสุด (อาจทำได้โดยการใช้ออปแอมป์ที่มีอินพุทเป็น FET)

4. แรงดันออฟเซ็ท (OFFSET) ที่เอาท์พุท

แรงดันออฟเซ็ทที่เอ้าท์พุทเกิดขึ้นจากกระแสไบอัสด้านอินพุทซึ่งในทางอุดมคติ เมื่อแรงดันอินพุทระหว่างขั้วทั้งสองมีค่าเท่ากัน แรงดันที่เอ้าท์พุทควรเป็นศูนย์ แต่โดยทั่วไปมักไม่เป็นเช่นนั้น คือ มักมีแรงค่าหนึ่งปรากฏที่เอ้าท์พุทขณะที่อินพุทเป็นศูนย์ ซึ่งเราสามารถแก้ไขได้โดยการป้อนแรงดัน หรือ กระแสออฟเซ็ทที่อินพุท แล้วปรับจนได้ $V_{out} = 0$ โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

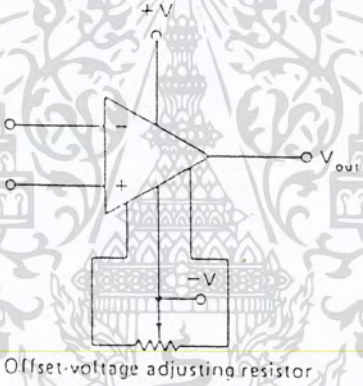
5. กระแสออฟเซ็ทที่อินพุท

ในการปรับแรงดันออฟเซ็ทที่เอาท์พุทให้มีค่าเป็นศูนย์ กระแสอินพุททั้งสองขั้วควรมีค่าเท่ากัน แต่ในทางปฏิบัติจะพบว่า เราต้องจ่ายกระแสให้แก่อินพุทขั้วหนึ่งมากกว่าอีกขั้วหนึ่งเสมอ เพื่อทำให้แรงดันเอาท์พุทมีค่าเป็นศูนย์ ซึ่งกระแสออฟเซ็ทนี้อาจมีค่าประมาณ 20 มิลลิแอมป์

6. แรงดันออฟเซ็ทที่อินพุท

ในอุดมคติ แรงดันเอาท์พุทจะเท่ากับศูนย์ก็ต่อเมื่อแรงดันระหว่างขั้วอินพุทมีค่าเป็นศูนย์เช่นกัน แต่ในทางปฏิบัติ ความไม่สมดุลภายในวงจรมักทำให้เราต้องป้อนแรงดันค่าหนึ่งแก่อินพุทใดๆเสมอ เพื่อทำให้แรงดันเอาท์พุทเป็นศูนย์

7. การปรับออฟเซ็ทให้เป็นศูนย์ (OFFSET NULLING)



รูปที่ 1.4

ในการปรับแรงดันเอาท์พุทให้เป็นศูนย์ หรือ การปรับแรงดันออฟเซ็ทที่อินพุทให้เป็นศูนย์นั้นเราอาจใช้ขั้ว OFFSET NULLING ที่ผู้ผลิตได้เตรียมไว้ให้แล้ว โดยให้ศึกษาข้อมูลรายละเอียดของออปแอมป์เบอร์นั้นๆ รูปที่ 1.4 แสดงวงจรที่ใช้ในการตั้งค่าศูนย์ให้แก่ออปแอมป์โดยมีขั้นตอนดังนี้

1. ตรวจสอบวงจรให้เรียบร้อยและเช็คอุปกรณ์ที่ต้องนำมาต่อ

2. ลดระดับสัญญาณอินพุทจนเหลือศูนย์ ถ้ามีตัวต้านทานต่ออนุกรมกับอินพุทอยู่ ให้ตรวจสอบดังนี้

ก) ถ้าตัวต้านทานนั้นมีค่าสูงกว่าอิมพีแดนซ์ของแหล่งกำเนิดสัญญาณอินพุทตั้งแต่ 1% ขึ้นไป ปล่อยตัวต้านทานไว้เช่นเดิม

ข) ห่ากตัวต้านทานดังกล่าวมีค่าน้อยกว่าหรือเท่ากัน ให้นำแหล่งกำเนิดสัญญาณอินพุทนั้นออก แล้วต่อตัวต้านทานที่มีขนาดเท่ากับอินพุทอิมพีแดนซ์ของแหล่งกำเนิดอินพุทเข้าแทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค) ต่อโหลดเข้ายังขั้วเอาท์พุท

ง) ป้อนไฟตรงให้วงจร

จ) วัดแรงดันที่เอาท์พุทด้วย โวลท์มิเตอร์ หรือ ออสซิลโลสโคป(แรงดันเอาท์พุทอาจมีค่าต่ำเพียงไม่กี่มิลลิโวลท์ ดังนั้น ควรใช้อุปกรณ์สำหรับวัดที่เหมาะสม)

ฉ) ปรับตัวต้านทานชนิดปรับค่าได้จน V_{out} มีค่าเป็นศูนย์

ช) ถอดอุปกรณ์ที่เพิ่มเข้าไป แล้วต่อวงจรดังเดิม แต่ห้ามแตะต้องตัวต้านทานปรับค่าได้

8. ผลของอุณหภูมิ

อุณหภูมิมีผลต่ออุปกรณ์โซลิดสเตททุกชนิด รวมทั้งออปแอมป์ ดังนั้น ผลกระทบจากอุณหภูมิจะทำให้ กระแสและแรงดันออฟเซ็ทเปลี่ยนแปลงไป ซึ่งเราเรียกการเปลี่ยนแปลงอันเกิดขึ้นจากอุณหภูมิว่า "ดริฟท์" ดังนั้นในการทำงาน ควรตรวจสอบด้วยว่าออปแอมป์จะมีเปอร์เซนต์การผิดพลาดมากน้อยเพียงใด หากอุณหภูมิเปลี่ยนไป

9. การชดเชยความถี่

ปัญหาที่เกิดขึ้นกับออปแอมป์ ที่ใช้ในย่านความถี่สูงก็คือ การออสซิลเลท (OSCILLATION) ซึ่งเกิดจากอัตราการขยายที่มีค่าค่อนข้างสูงของออปแอมป์เอง และยังเกิดจากการเลื่อนเฟส (PHASE SHIFT) ณ. จุดต่างๆภายในวงจร เป็นผลให้เราไม่สามารถควบคุมอัตราขยายของสัญญาณป้อนกลับได้ วิธีแก้ปัญหาก็คือ ต่อตัวเก็บประจุชดเชยให้แก่วงจร ซึ่งจะทำให้อัตราขยายของออปแอมป์มีขนาดลดลงเมื่อความถี่สูงขึ้น

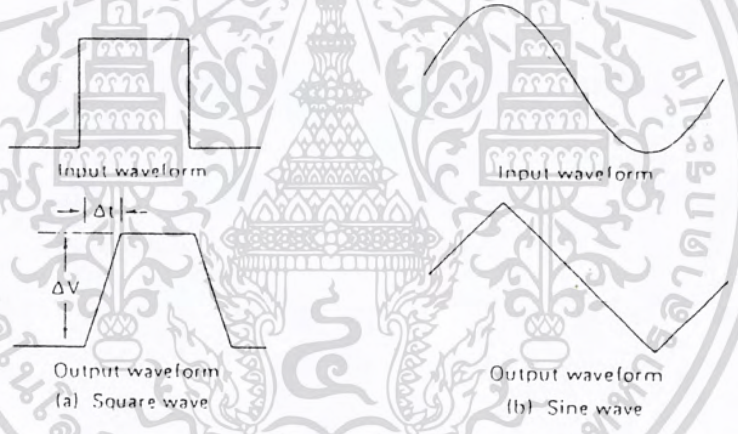
10. อัตราสลูว์ (SLEW RATE)

อัตราสลูว์ คือ อัตราการเปลี่ยนแปลงสูงสุดของแรงดันเอาท์พุทเทียบกับเวลา ดังสมการ อัตราสลูว์ =การเปลี่ยนแปลงสูงสุดของแรงดันเอาท์พุท / การเปลี่ยนแปลงเวลา

$$= (\Delta V_{out} (max)) / (\Delta t)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเช่น ออปแอมป์ 741 ซึ่งมีอัตราสลูว์เท่ากับ 0.5 โวลท์/ไมโครวินาที แสดงว่าการเปลี่ยนแปลงสูงสุดของแรงดัน เอาท์พุทสำหรับออปแอมป์ตัวนี้มีค่า 0.5 โวลท์ภายในช่วงเวลา 1×10^{-6} วินาทีโดยมีค่าคาปาซิแตนซ์ของตัวเก็บประจุเป็นตัวจำกัดอัตราสลูว์ของออปแอมป์ (ตัวเก็บประจุที่ว่านี้อาจเป็นชนิดที่ต่อจากภายนอก หรือตัวเก็บประจุภายใน IC เองก็ได้) อัตราสลูว์ที่มีค่าต่ำจะเป็นผลให้แรงดันที่เอาท์พุทมีการสนองตอบเปลี่ยนแปลงช้าลง เมื่อเทียบกับอินพุทดังแสดงในรูปที่ 1.5 เมื่อสัญญาณอินพุทมีความถี่สูงมากขึ้นเท่าใด อัตราสลูว์จะมีบทบาทต่อการตอบสนอง ณ เอาท์พุทอย่างเด่นชัดยิ่งขึ้นซึ่งสามารถจะสังเกตได้จากเอาท์พุทที่จะเพี้ยนมากขึ้น หากอัตราสลูว์มีค่าน้อย หรืออีกนัยหนึ่งออปแอมป์ที่มีอัตราสลูว์สูงจะมีแบนด์วิดธ์กว้างกว่านั่นเอง



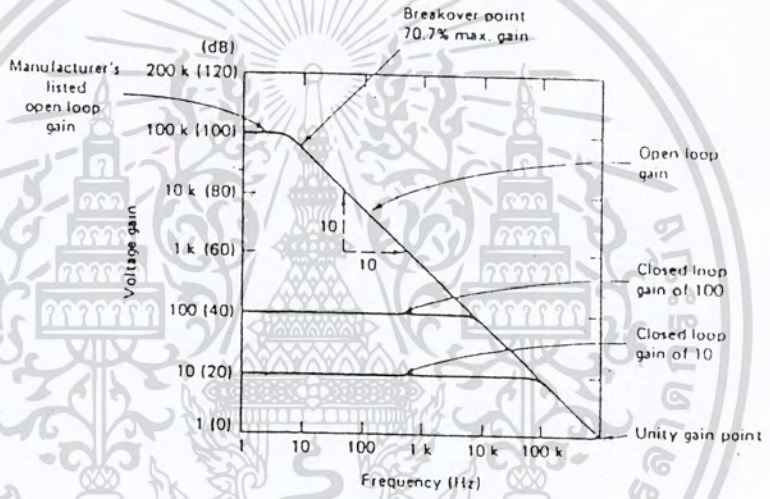
รูปที่ 1.5

11. การตอบสนองต่อความถี่

อัตราขยายของออปแอมป์จะลดลงเมื่อความถี่สูงขึ้น ดังแสดงในรูป 6 จะพบว่าอัตราขยายที่ผู้ผลิตแสดงไว้ในดาต้าชีท (data sheet) จะเป็นอัตราขยายที่ความถี่ 0 เฮิร์ทซ หรือไฟตรง (ซึ่งแสดงให้เห็นความถี่สูงสุดของออปแอมป์) ในการทำงานแบบลูปเปิด จะเห็นได้ว่าวงจรมีเสถียรภาพต่ำมาก นั่นคือ เมื่อความถี่เพิ่มขึ้นสิบเท่า อัตราขยายจะลดลง 10 เท่าพันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไปแบนด์วิดธ์ของวงจรจะหมายถึงช่วงอัตราความถี่ที่อัตราขยายมีค่า 70.7 % ของอัตราขยายสูงสุด จากตัวอย่างในรูป แบนด์วิดธ์ของออปแอมป์ขณะเปิดลูป จะมีค่าประมาณ 10 เฮิร์ทซ ดังนั้นหากต้องการให้วงจรที่ออกแบบขึ้นสามารถทำงานได้ที่ความถี่อินพุทสูง ๆ จะต้องป้อนสัญญาณจากอินพุทกลับมายังเอาท์พุท(การป้อนกลับแบบลบ) ซึ่งจะทำให้อัตราขยายของลูปปิดลง แต่ในขณะเดียวกัน ความถี่ที่อัตราขยายเท่ากับ 70.7 % ของอัตราขยายสูงสุดก็จะเพิ่มขึ้นด้วย อัตราเท่ากันส่วนจุดที่มีอัตราขยายเท่ากับหนึ่ง (UNITY-GAIN POINT) จะแสดงความถี่สูงสุดของออปแอมป์เมื่ออัตราขยายมีค่าเป็นหนึ่ง



รูปที่ 1.6

12. ผลคูณของอัตราขยายและแบนด์วิดธ์

จากที่ได้อธิบายมาในหัวข้อที่แล้วว่า เมื่ออัตราขยายลดลงเมื่อใด ความถี่ก็จะสูงขึ้นด้วยจำนวนเท่าของค่านั้นด้วย ซึ่งแสดงว่า ผลคูณระหว่างอัตราขยายและแบนด์วิดธ์จะมีค่าคงที่เสมอไป และเราสามารถหาค่านั้นได้จากจุดซึ่งมีอัตราขยายเท่ากับหนึ่ง(ค่านี้จะหาได้จากดาต้าชีท) ผลคูณนี้มีประโยชน์อย่างมากในการประมาณความถี่สูงสุดที่วงจรสามารถทำงานได้ ตัวอย่างเช่น หากเราพบว่า ความถี่ที่อัตราขยายมีค่าเท่ากับหนึ่ง (หาจาก DATA SHEET) มีค่าเป็นหนึ่งเมกกะเฮิรท์ซ (ดังแสดงในรูป1.6) และอัตราขยายของวงจรที่ออกแบบมีค่าเท่ากับ 10 ดังนั้น ความถี่สูงสุดที่เราประมาณไว้ควรมีค่าอยู่ในราว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BW (แบนด์วิดธ์) = $\frac{1,000,000}{100}$ = 10 กิโลเฮิร์ทซ

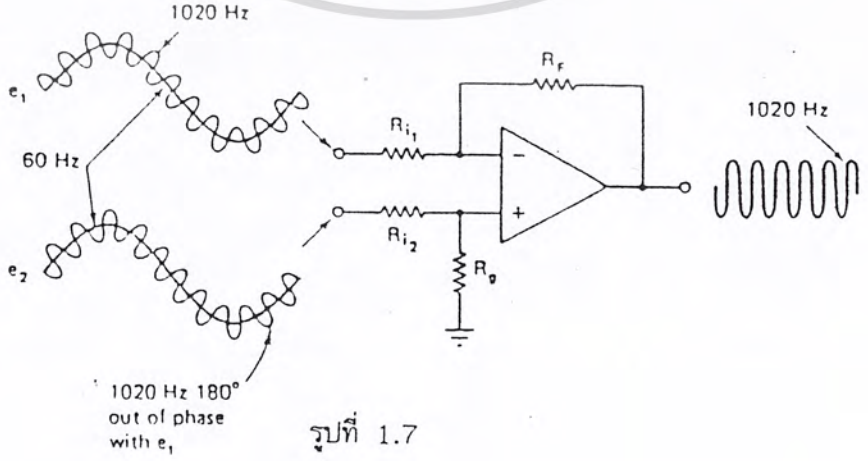
13.อัตราการลดสัญญาณชนิดคอมมอนโหมด (CMRR)

COMMOM-MODE REJECTION RATIO เป็นคุณสมบัติอย่างหนึ่งของออปแอมป์ที่ได้มาจากภาคอินพุทที่เป็นดิฟเฟอเรนเชียลแอมป์ หมายความว่า หากสัญญาณที่เข้ามายังขั้วอินพุททั้งสองมีเฟสตรงกัน และยังมีขนาดเท่ากัน (สัญญาณแบบนี้เรียกว่าอยู่ในคอมมอนโหมด) สัญญาณทั้งสองนี้จะถูกกำจัดทิ้งไป ดังนั้น เอาท์พุทจะเป็นศูนย์ ส่วนสัญญาณที่มีขนาดต่างกันและมีเฟสต่างกันจะเรียกว่าอยู่ในดิฟเฟอเรนเชียลโหมด

ตัวอย่างเช่น วงจรในรูป1.7 สัญญาณในดิฟเฟอเรนเชียลโหมดทั้งสองตัวซึ่งมีความถี่ 1020 เฮิร์ทซ ถูกป้อนเข้าไปยังขั้วอินพุทของออปแอมป์ แต่ในขณะเดียวกัน สัญญาณทั้งสองจะเก็บสัญญาณรบกวน 60 เฮิร์ทซขึ้นมาในขณะเดินทาง ทำให้เกิดรูปคลื่นดังภาพ ทว่า เมื่อป้อนสัญญาณเข้าไปแล้วสัญญาณรบกวนความถี่ 60 เฮิร์ทซ จะถูกกำจัดออกไป เนื่องจากเป็นสัญญาณชนิดคอมมอนโหมด ซึ่งความสามารถในการกำจัดสัญญาณคอมมอนโหมดนี้ เราเรียกย่อว่า CMRR หาได้จากสมการ

$$CMRR = A_D / A_{cm}$$

โดย A_D คือ อัตราขยายสำหรับสัญญาณแบบดิฟเฟอเรนเชียล ส่วน A_{cm} คือ อัตราขยายสำหรับสัญญาณคอมมอนโหมด ดังนั้น ยิ่ง CMRR ของออปแอมป์มีค่าสูงเท่าไร หมายความว่า สัญญาณรบกวนจะถูกกำจัดลงมากขึ้นเท่านั้น



รูปที่ 1.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
034921

วงจรพื้นฐานของออปแอมป์

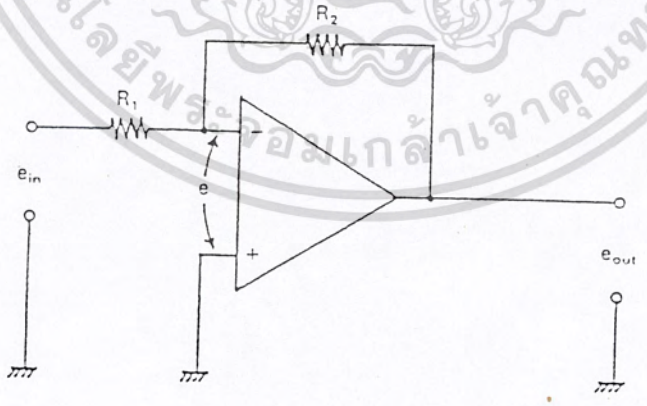
1. INVERTING AMPLIFIER

Inverting amplifier ได้แสดงไว้ในรูปที่ 1.8 " + input" ต่อลง ground ในบางกรณีอาจผ่านตัว resistorเป็น bias compensation ด้วย ตามรูป R_2 เป็น feedback path จาก output มายัง input ถ้าให้ e เป็นค่าของ voltage ระหว่าง inverting input กับ ground

$$e_{in} - e / R_1 = e - e_{out} / R_2$$

แต่เนื่องจาก input impedance ของ operational amplifier มีค่า infinite นั่นคือไม่มีกระแสไหลเข้าไปใน amplifier กระแสไหลผ่าน R_1 จึงมีค่าเท่ากับกระแสที่ไหลผ่าน R_2 อีกทั้ง open loop gain ของ operational amplifier มีค่า infinite , voltage e จึงเป็นศูนย์ เพราะฉะนั้น

$$e_{out} / e_{in} = - R_2 / R_1$$



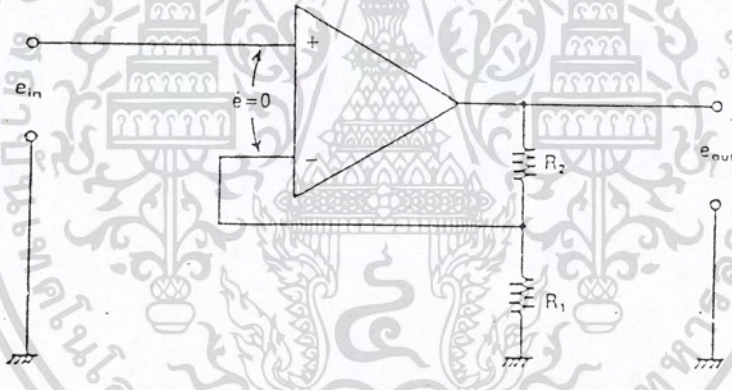
รูปที่ 1.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. NON-INVERTING AMPLIFIER

Non-inverting amplifier ได้แสดงในรูปที่ 1.9 เมื่อ open loop gain ของ amplifier มีค่า infinite . voltage ระหว่าง inverting terminal และ non-inverting terminal จึงมีค่าน้อยมากแทบไม่ต้องคำนึงถึง voltage คร่อม R_1 ก็มีค่าเท่ากับ e_{in} และเมื่อไม่มีกระแสไหลผ่าน inverting input กระแสผ่าน R_2 จะเท่ากับกระแสผ่าน R_1 เพราะฉะนั้น

$$e_{out} / e_{in} = 1 + R_2 / R_1$$



รูปที่ 1.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

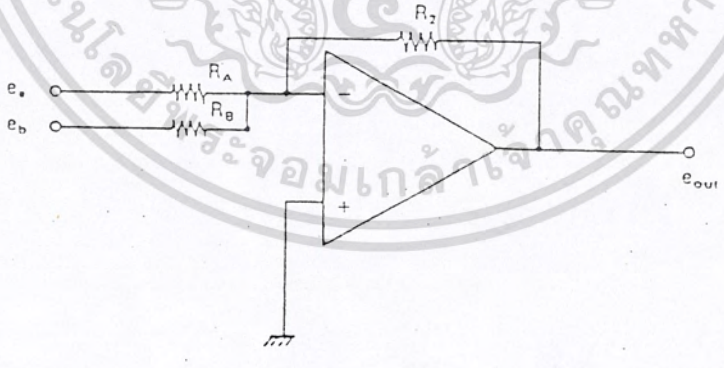
3. SUMMING AMPLIFIER

วงจร adder ให้ output signal ที่เป็นสัดส่วนกับผลรวมของ input signal หลาย ๆ อันดังแสดงในรูป 1.10 ซึ่งเป็น 2 input adder circuit. input ทั้ง 2 ป้อนแยกผ่าน resistor ให้กับ inverting input แต่ voltage ที่ non-inverting input มีค่าใกล้เคียงกันเหมือนเช่นเคย inverting input จึงเป็น virtual ground source voltage e_a , e_b ที่เป็นสัญญาณ input จึงมอง input ของ op-amp เป็นเพียง resistor เท่านั้น ผลรวมของ input current ที่ผ่าน R_A , R_B จะมีค่าเท่ากับกระแสที่ไหลผ่าน R_2 และ amplifier นี้มี open loop gain สูงมาก ไม่ดึง input current เพราะฉะนั้น

$$e_A / R_A + e_b / R_B = - e_{out} / R_2$$

หาก $R_A = R_B = R$ เราจะได้

$$e_{out} = - R_2 / R (e_a + e_b)$$

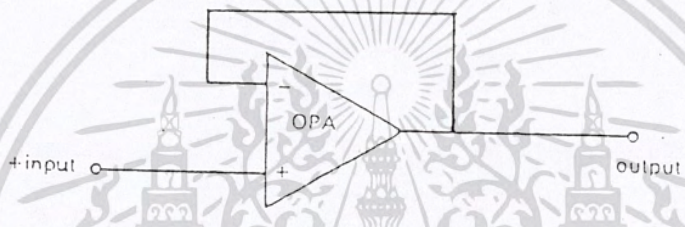


รูปที่ 1.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. VOLTAGE FOLLOWER

เป็นการ modify แบบเฉพาะของ noninvertinng amplifier มีค่าเป็น unit gain ดังรูปที่ I.11 ในวงจรนี้ Rin จะเพิ่มเป็น infinity, Rf จะเป็น 0 และ feedback เป็น 100% นั่นคือ Eo จะเท่ากับ Ein และเนื่องจาก Es = 0, วงจรในรูป จึงเรียกว่า "Voltage follower". Impedance สองวงจรจะมีค่าเป็น infinty



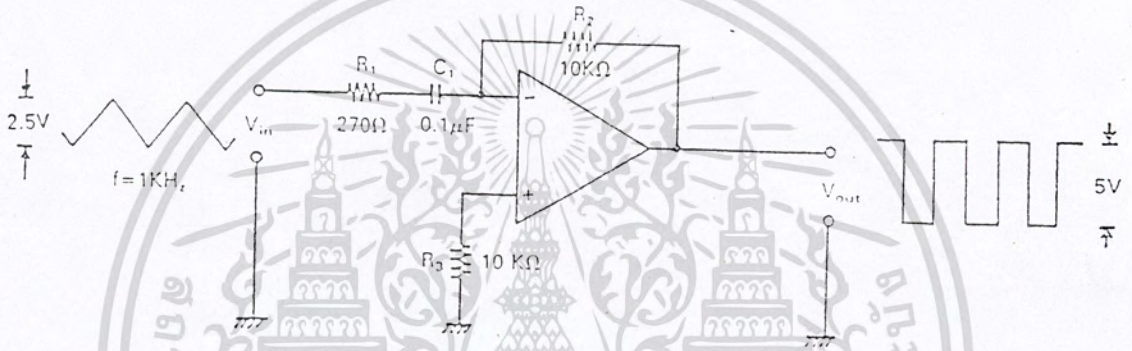
รูปที่ 1.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Differentiator

วงจร differentiator ได้แสดงไว้ในรูปที่ 1.12 ใช้ประโยชน์ในการทำ differentiate ในทาง mathematic.output signal จะเป็นสัดส่วนกับอนุพันธ์ของ input signal

$$V_{out} = -R_2C_1.(dV_1/D_t)$$



รูปที่ 1.12 differentiator circuit

ด้วยเหตุที่การทำงานของ differentiator ตรงกันข้ามกับ integrator จึงได้ output เป็น square wave จาก input ที่เป็น trianger signal ในที่นี้เราให้ trianger signal มีขนาด 2.5 V_{P-P} ที่ความถี่ 1 KH_z หรือ period เท่ากับ 1 msec ดังนั้น

dV/dt = 2.5 V/0.5 msec = 5 V/ msec

แทนค่า dV/dt

V_{out} = -(10Kohms x 0.1μFx 5v/msec)

= 5 Vp-p

ตามรูปความต้านทาน R_1 ทำหน้าที่จำกัด gain ของ differentiator ที่ความถี่สูงโดยมี corner frequency อยู่ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$f = 1/(2\pi R_1 C_1)$

f ควรมีค่าอย่างน้อยเป็น 10 เท่าของ input frequency โดยทั่วไป f ควรมีค่าอยู่ในระหว่าง $1/2\pi R_2 C_1$ กับค่า gain-bandwidth product ของ opamp ซึ่งμA741 มี gain bandwidth product ประมาณ $1MH_z$

เพราะฉะนั้น ขอบเขตจำกัดของ f จึงเป็น

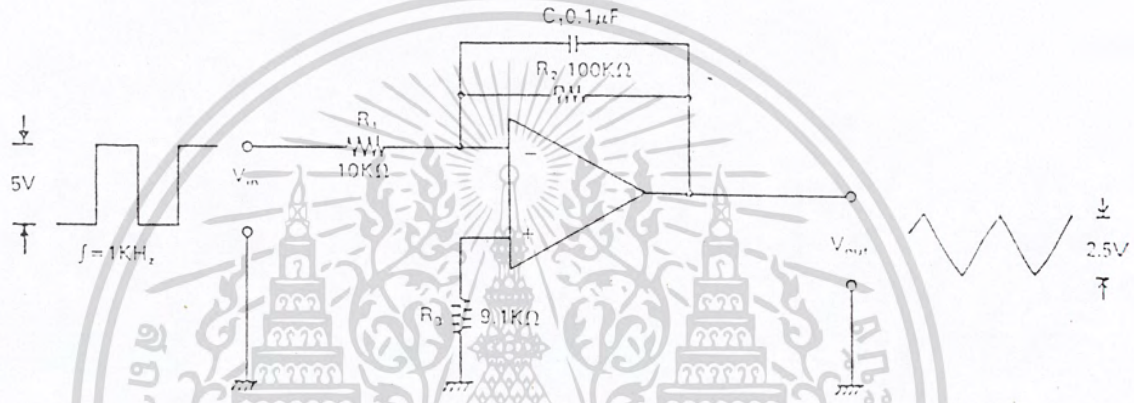
$$f < \sqrt{(1 \times 10^6)/(2\pi R_2 C_1)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. INTEGRATOR

วงจร Integrator ได้แสดงไว้ในรูปที่ 1.13 output signal จะเป็นสัดส่วนกับ time integral ของ INPUT SIGNAL โดยมี

$$V_{out} = \frac{-1}{R_1 C_1} \int V_{in} \, dt$$



รูปที่ 1.13 Integrator Circuit

พิจารณาถึง response ของวงจร integrator ที่ทีผลต่อสัญญาณ square wave ที่ symmetry มี average value เป็น 0 V หากสัญญาณ input มี peak amplitude เป็น A V ใน period T เราสามารถหา p-p output ได้โดยการ integrate ตลอดครึ่ง period ของ input signal ดังนั้น

$$\left| V_{out\ p-p} \right| = \frac{1}{R_1 C_1} \int_0^{T/2} A \, dt$$

$$= \frac{A}{R_1 C_1} * \frac{T}{2} \quad V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

output waveform เป็น integral ของ input waveform ที่เป็น square wave เราจึงได้ output เป็นรูป triangular เมื่อ A = 5 V และ T = 1 msec ดังรูปข้างบนจะได้

$$R_1 C_1 = 10^{-3} \text{ sec}$$

$$V_{out} = \frac{5}{10^{-3}} * \frac{10^{-2}}{2} = 2.5\ V_{p-p}$$

Resistor R_2 ในรูปทำหน้าที่ DC stabilization ให้กับวงจร integrator โดยจำกัด gain ที่ความถี่ต่ำของ amplifier เพื่อลด drift ให้เกิดได้น้อยที่สุดและความถี่ที่วงจรเริ่มต้นทำงานเป็น integrator ได้คือ

$$f = \frac{1}{2\pi R_2 C_1} \text{ Hz}$$

เพื่อให้ได้ linearrity ที่ดี ความถี่ของสัญญาณ input ควรจะมีค่าอย่างน้อยเป็น 10 เท่าของความถี่ที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

การทดสอบพารามิเตอร์ของออปแอมป์

การ Test Operationnal Amplifier

ใน IDEAL operationnal amplifier จะมีคุณลักษณะทั่วไปดังต่อไปนี้ คือ

1. Input impedance เป็น infinity
2. Output impedance เป็น 0
3. มี Gain เป็น infinity
4. ไม่มี Offset voltage และ offset current
5. ไม่มี Internal noise
6. อุณภูมิไม่มีผลต่อการเปลี่ยนแปลงของ parameter ใด ๆ

จากคุณสมบัติทั่วไปของ ideal op-amp ทางวิศวกรฝ่ายตรวจสอบ (Test Eng.) ต้องการที่จะรู้ว่า Parameter ต่าง ๆ ที่ทางวิศวกรออกแบบ (Design Engineer) ได้ออกแบบวงจรไปนั้นทำงานได้ผลดีที่สุดตามกฎเกณฑ์ (Specification) เพียงไร ดังนั้นจึงมีการกำหนด DC parameter เพื่อการตรวจสอบในผลิตภัณฑ์ที่ได้ผลิตขึ้นหรือที่จะนำไปใช้งาน เพื่อจะได้รู้คุณภาพของ Op-amp ตัวนั้น ๆ โดยทั่วไปวิศวกรตรวจสอบได้กำหนด DC parameter สำหรับการตรวจสอบใน Op-amp ประมาณ 6 อย่าง คือ

1. Input offset voltage (VOS)
2. Input offset current (IOS)
3. Input bias current (IB)
4. Voltage gain (AVS)
5. Power supply rejection ratio (PSRR)
6. Output voltage swing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Parameter ของ Operationnal Amplifier

1 Input offset voltage (VOS)

ในทางอุดมคติของ op-amp นั้น output volt. ควรมีค่าเป็นศูนย์ (0) เมื่อ input voltage เป็นศูนย์ แต่ในทางปฏิบัติแล้วเป็นไปไม่ได้ เพราะจะเกิดการไม่สมมาตร (Mismatches) ในส่วนประกอบของ amplifier ทั้งที่การออกแบบได้อย่างดีที่สุดแล้ว ด้วยเหตุนี้ input offset voltage จึงเป็น input voltage ที่ต้องการทำให้ output voltage มีค่าเป็นศูนย์ ซึ่งอาจจะมีค่าเป็น 1 millivolt หรือ 2 millivolts

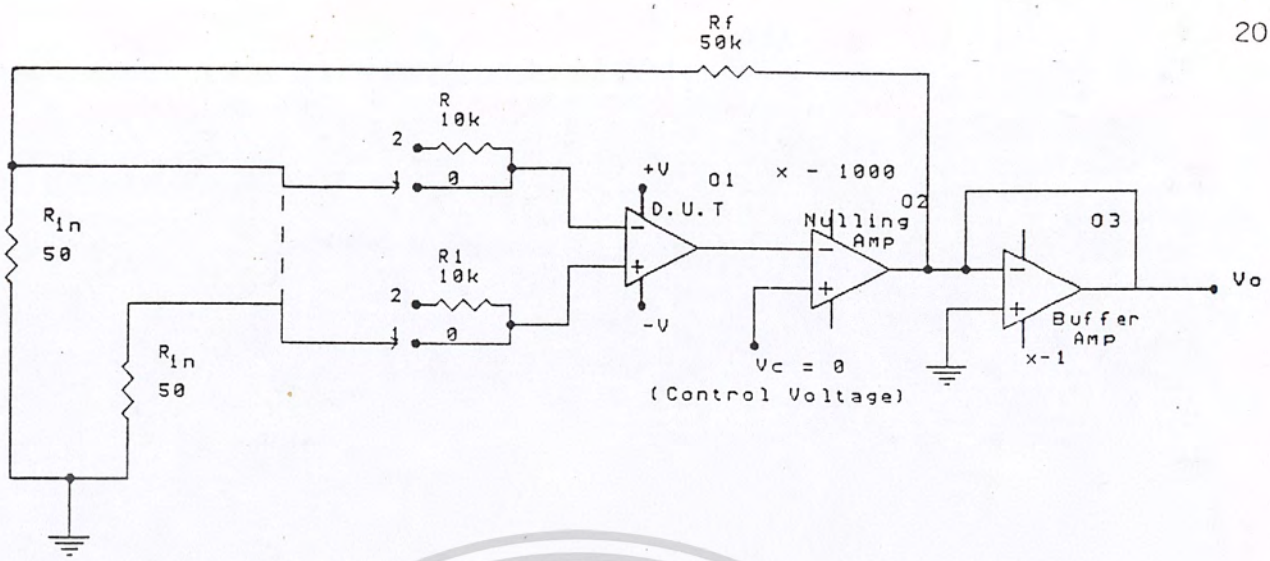
VOS ในทางอุดมคติควรจะวัดได้ที่ zero source impedance ซึ่งเป็น source impedance ที่มีความต้านทานจากแต่ละ input ไปยัง ground. สำหรับการ Test มีค่าที่ใช้ต่ำโดยทั่วไปเราใช้ 50 โอห์ม

การวัด Input offset voltage (VOS)

วงจรที่ใช้สำหรับการ test แสดงดังรูปที่ 2.1 ซึ่งประกอบด้วย Nulling Amplifier ทำหน้าที่เป็นตัว Control volt. ที่ output ของ D.U.T. (Device test)ซึ่งใน loop ของมันมี gain เป็น -1000, Buffer Amplifier ทำหน้าที่เป็น Buffer ให้กับ output ของ loop gain ซึ่งมี gain =-1

ถ้าเราจัด voltage ที่ Vc (Control voltage) ให้เป็นศูนย์ที่ Nulling Amp. มันจะปรับจน loop output ที่ D.U.T. output เป็นศูนย์ ถ้า input voltage =Vos เนื่องจาก loop output เป็น 1000 เท่าของ VOS ด้วยวิธีนี้ ถ้า loop output ของเราอ่านค่าได้ 1.0 นั่นคือ VOS มีค่าเท่ากับ 1/1000= 1mV.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงการวัด VOS ของ Op-amp

เนื่องจาก gain feedback loop = -50k/50 = -1000

ประกอบกับ gain ของ Nulling Amp = -1

และถ้า input ในกรณีนี้เป็น VOS

ดังนั้น Output loop จึงมีค่าเป็น 1000(VOS)

ถ้าเราอ่านค่าที่ output loop ได้เป็น 1 Volt เราก็จะสามารถคำนวนหาค่า VOS ได้ดังนี้คือ

$$Vo = 1000Vos$$

(เพราะว่า Vo = 1Volt) จึงได้ $1 = 1000Vos$

$$Vos = 1/1000 = 1mV$$

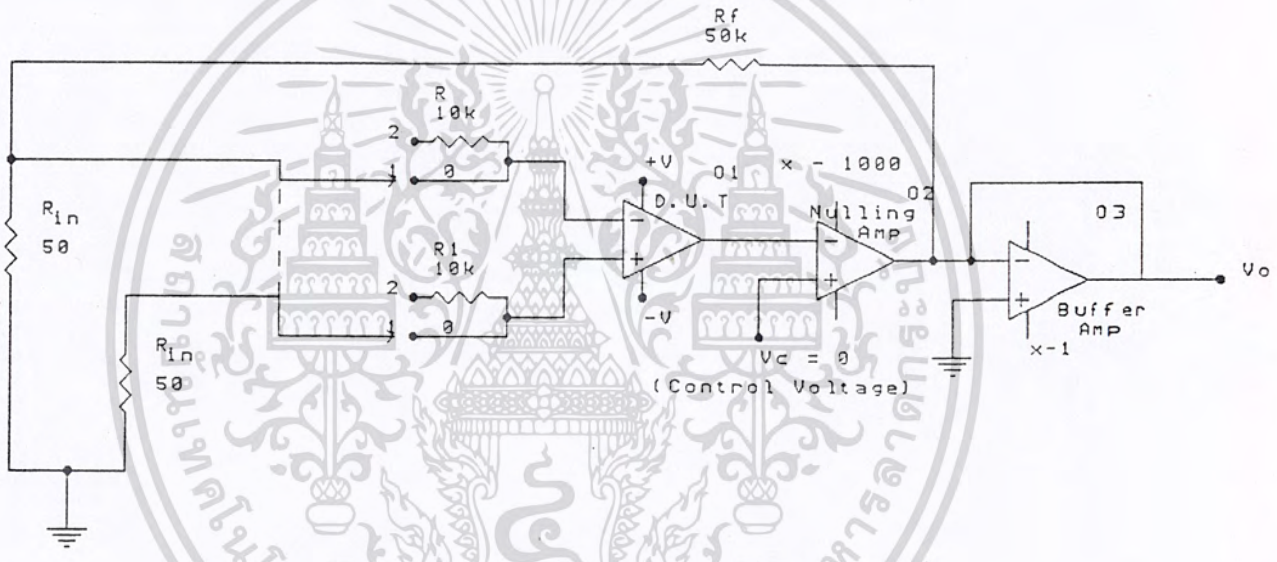
2 Input offset current (IOS)

Input offset current เป็นผลต่างระหว่างกระแสที่ไหลเข้า input ทั้ง 2 input เมื่อ Op-amp ไม่ได้ใช้ (Nulled) ซึ่ง IOS ขึ้นอยู่กับการสมมาตรกันของการ Supply ของ current source ใน input transistors ทั้งสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวัด Input offset current (IOS)

การวัด IOS ใช้วงจรการวัดเดียวกัน ต่างกันตรงวิธีการเท่านั้น แสดงวงจรดังรูป 2.2เรา เริ่มวัดโดยการตั้งสวิทไปที่ตำแหน่ง 1 (ใช้ Input resistor 50) และเก็บค่าไว้ ค่าที่ได้ให้เป็น Vo ที่ input 50 เรียกว่า Vo(50) จากนั้นตั้งสวิทไปที่ตำแหน่ง 2 (ใช้ Resistor 10k) และวัดค่าที่ Vo ค่าที่วัดได้เป็น VO ที่ Resistor 10k เรียกว่า Vo 10k นำค่าแรกที่เก็บไว้คือ Vo (50) มาลบกับค่าที่ได้ใหม่ Vo(10K) เมื่อนำไปคำนวนแล้วจะได้ค่า offest current เป็น 1000(IOS) X10k ดังจะแสดงวิธีคำนวนดังต่อไปนี้



รูปที่ 2.2 แสดงวงจรการวัด IOS ของ Op-amp

เมื่อสวิทตั้งไว้ที่ตำแหน่ง 1 จะได้ Vo มีค่าเรียกว่า Vo(50) เก็บบันทึกไว้เมื่อ switch ตั้งไว้ที่ตำแหน่ง 2 จะได้ Vo มีค่าเรียกว่า Vo(10k) เก็บบันทึกไว้ นำผลลัพธ์ของ Vo(10k)-Vo(50) ไปคำนวนหาค่า IOS ได้ดังนี้

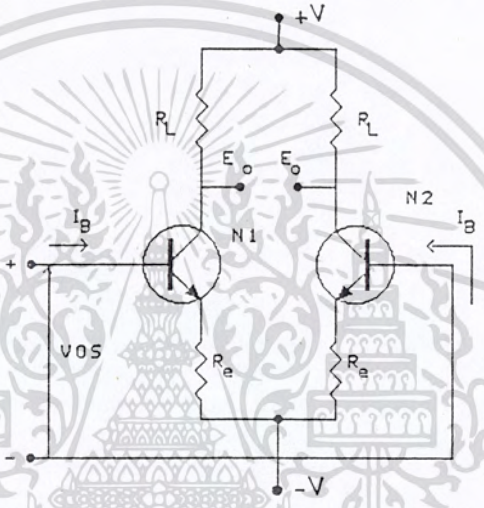
$$IOS = 1/1000\ [VO(10k)-Vo(50)/10k\ ]$$

NOTE การวัด IOS เป็นวิธีการวัดที่ต้องใช้ความเข้าใจวิธีการและใช้การคำนวนเข้ามาเกี่ยวข้องด้วย ในกรณีเมื่อเราใช้ J237 system ทำการวัด จะใช้เป็นวิธีการ sample และDifferrent ทำการวัดทำให้ง่ายขึ้น ซึ่งจะกล่าวในตอนต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Input bias Current (IB)

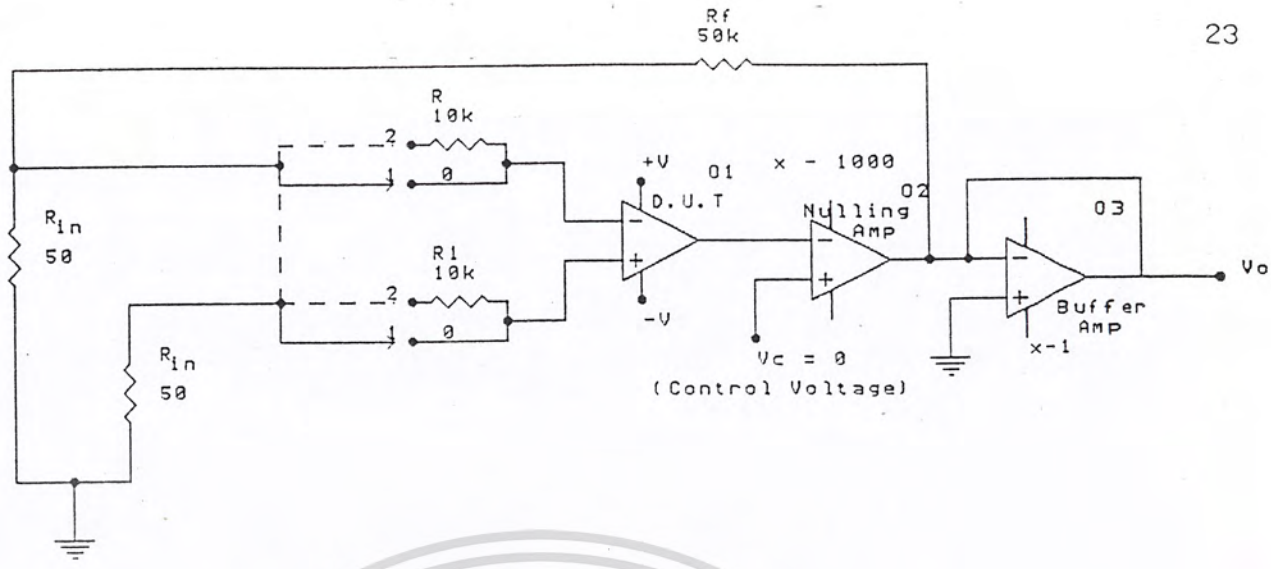
ในทางอุดมคติ input ของ Op-amp ไม่ควรมี current ไหลเข้าไปภายใน แต่ในทางปฏิบัติจะมี input bias current (IB) ไหลเข้าไปภายในแต่ละ input ของ Op-amp, IB เป็น base currentของ input transistor ดังแสดงในรูป 2.3 โดยทั่วไปมีค่าราว ๆ 100 nA จะไม่มีผลใน Low source impedance แต่ใน high source impedance จะมีผลอย่างมากเพราะ Voltage ที่ปรากฏที่ input ของ Amplifier มีค่าเป็น I_BX(Source impedance)



รูปที่ 2.3 แสดงวงจร input ของ Op-amp

การวัด IB ใช้วงจรตามรูปที่ 2.4 และตั้งสวิทไปที่ตำแหน่ง 1 (ด้าน inverting) และตำแหน่ง 2 (ด้าน non-inverting) จากนั้นบันทึกค่า Vo ที่ Source impedance 50 เรียกว่า Vo(50) หลังจากนั้นสวิทไปที่ตำแหน่ง 1 ของทั้งสอง input ด้วยวิธีนี้จะได้ค่า Vo ที่ 0 k เป็น Vo (10k) ที่ output นำค่าที่บันทึกไว้ของ Vo (50) มาลบกันทางพีชคณิตกับ Vo (10k) แล้วนำค่านี้ไปคำนวน I_B+ ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงการวัด IB- และ IB+ ของ Op-amp

$$I_B = 1/1000\ [Vo(10k)-Vo(50)/10k\ ]$$

วัด IB+ ตั้งสวิทที่ตำแหน่ง 2 ของทั้งสอง input เพื่อวัด IB- ด้วยวิธีนี้จะวัดค่า Vo (10k) ที่ output ได้ นำค่า Vo (10k) ที่วัดได้ที่ loop output มาลบกับค่าที่บันทึกไว้ของ Vo (50) และไปคำนวนหา IB- ได้ดังสมการ

$$IB- = 1/1000[Vo(10k)-Vo9500/10k\ ]$$

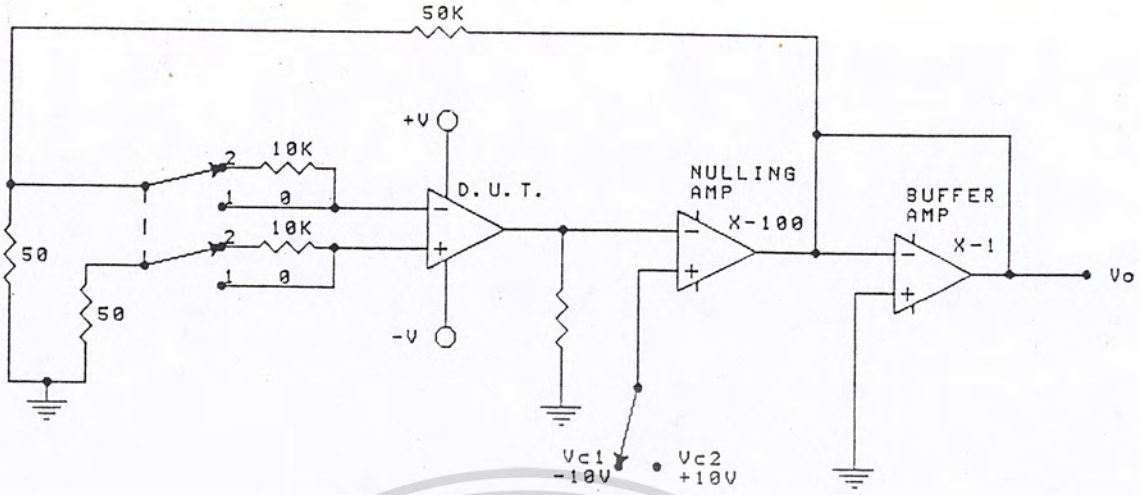
4. Voltage Gain

Voltage gain เป็นอัตราส่วนของการเปลี่ยนแปลงของ output voltage ต่อการเปลี่ยนแปลงของ Input voltage ซึ่งเป็น gain ของ op-amp ในกรณี open-loop gain

การวัด Voltage Gain

การวัดเรารู้ว่าเป็นการวัดในกรณีของ Open loop gain ของ D.U.T. ใช้วงจรดังรูปที่ 2.5 สมมุติว่าเราต้องการค่าเฉลี่ย DC gain ที่output ของ D.U.T. เป็น -10v และ +10v เราก็ตั้ง Vc = -10V แล้วเลื่อน switch VC. ไปอยู่ตำแหน่ง VC1 Nulling Amp. จะดึงให้ output ของ D.U.T. เป็น +10V แล้ววัดค่า Vo ออกมาเป็น Vo(Vc2) เมื่อนำค่าผลต่างของ Vo (Vc1) และ Vo (Vc2) มาหารด้วย 1000 ก็จะได้ค่าการเปลี่ยนแปลงของ input voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงการวัด Voltage gain Op-amp

ค่าการเปลี่ยนแปลง Output voltage ของ D.U.T. มีค่าเท่ากับ Vc1-Vc2

จากนิยามความหมายของ AVS

นั่นคือ $$AVS = 1000 \frac{V_{c1}-V_{c2}}{V_o(V_{c1})-V_o(V_{c2})}$$

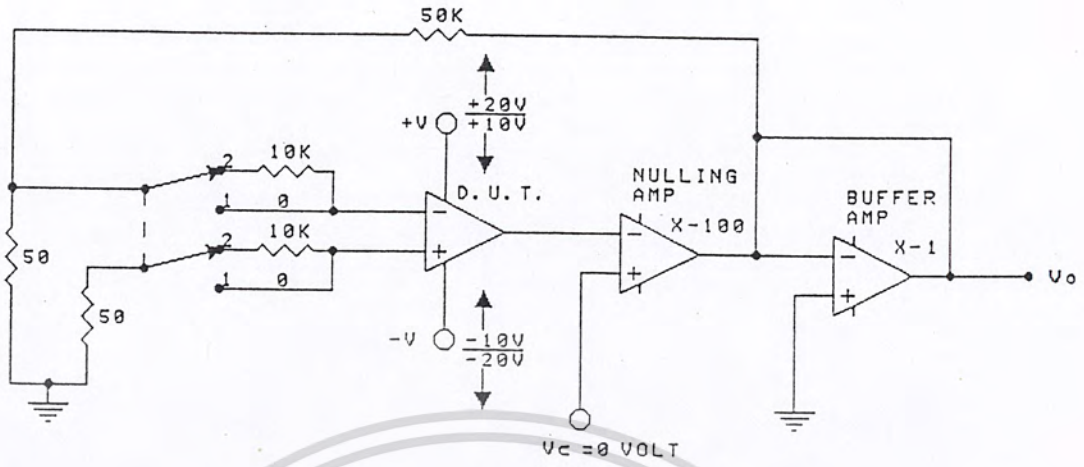
5. Power Supply Rejection Ratio (PSRR)

เป็นการวัดความสามารถในการทำงานของ Op-amp ที่จะ ไม่ใส่ใจต่อการเปลี่ยนแปลงของ Power Supply Voltage การตรวจสอบ Parameter นี้จะวัดการเปลี่ยนแปลงของ VOS ที่ค่า Supply ถูกเปลี่ยนไป PSRR เป็นอัตราส่วนของการเปลี่ยนแปลงของ VOS ต่อการเปลี่ยนแปลงของ Power Supply Voltage

การวัด Power Supply Rejection Ratio (PSRR)

วงจรที่ใช้วัด PSRR ใช้ได้ดังรูปที่ 2.6 ตั้ง Vc = 0 Volt และปรับค่า Supply Volt. ของ D.U.T ให้เป็นค่าที่ต่ำสุด (Min) ทั้งบวกและลบสมมุติให้เป็น +10,-10 Volts วัดค่า Vo (Vcc min) และบันทึกไว้ ต่อไปปรับค่า Supply voltage ของ D.U.T ให้เป็นค่าสูงสุด (Max) ทั้งบวกและลบ สมมุติให้เป็น +20, -20 volts วัดค่า Vo (Vcc max) ต่อจากนั้นนำ Vo(max) และ Vo(min) มาคำนวณหา PSRR ใช้ค่า 10 Kohm source impedance สำหรับการ test (swith อยู่ตำแหน่ง 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงการวัด PSRR ของ op-amp

$$VOS = 1/1000 \quad Vo\ (Vcc\ max) - Vo\ (Vcc\ min)$$

และเนื่องจาก $PSRR = VOS/Vo(Vcc)$

นั่นคือ $$PSRR = 1/1000 \quad \frac{Vo\ (Vcc\ max) - Vo\ (vCC\ min)}{Vcc\ max - Vcc\ min}$$

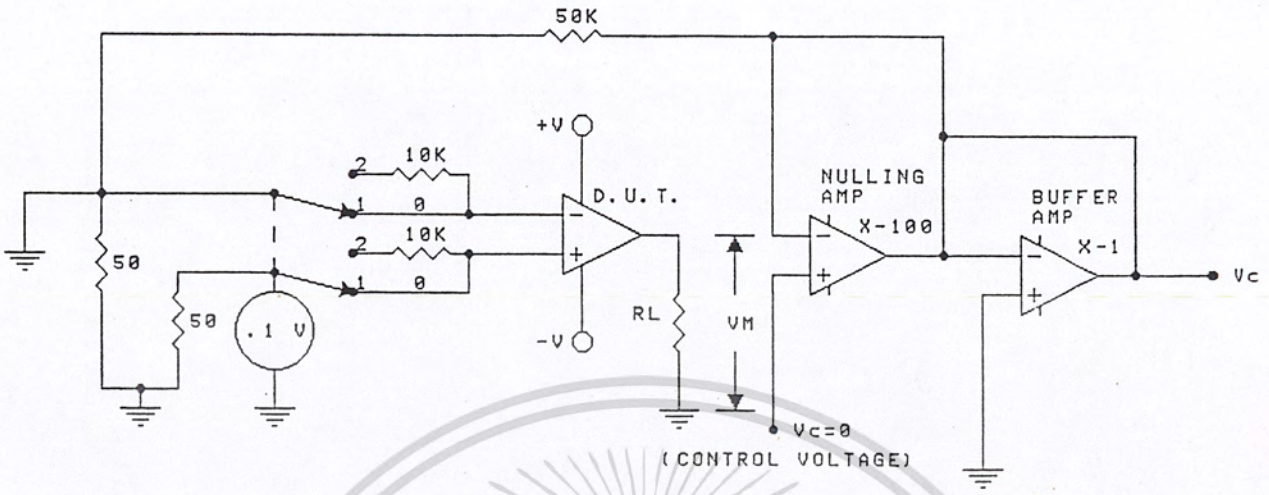
6.Output Voltage Swing

ในทางอุดมคติ Output Voltage ของออปแอมป์ ควรจะสามารถ Swing ได้ทุกวิถีทางของ Supply ซึ่งในออปแอมป์จริง ๆ แล้ว จะ Saturate ภายใน 1 หรือ 2 Volts ของ Supply เท่านั้น ซึ่งขึ้นอยู่กับว่ามี Base - emitter junction ของทรานซิสเตอร์อยู่กี่ตัวและขึ้นอยู่กับการ Saturate ของทรานซิสเตอร์ ภาวะ Output ของ Opamp จะอยู่ในลักษณะ Complementary - symmetry emitter follower เสมอ จึงทำให้ Output impedance เป็นค่าต่ำ ๆ เพื่อให้แน่ใจว่า NPN และ PNP ทำงานได้ดีพอ จึงมีการ Test output voltage swing

การวัด Output voltage swing

ใช้วงจรสำหรับการ Test ตามรูปที่ 2.7 ซึ่งจะเห็นว่า Output ของ D.U.T จะมี RL ต่ออยู่ และไม่ต่อกับ Loop input ของ D.U.T จะมี Voltage source ป้อน Voltage ค่า 0.1 V ให้ D.U.T ที่ Inverting input และ Switch ตั้งไว้ที่ตำแหน่งหนึ่ง ด้วยวิธีนี้จะสามารถวัดค่า Voltage swing ที่ RL ของ D.U.T โดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงการวัด Output voltage swing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

แนวความคิดและการออกแบบวงจร

เครื่องทดลองและทดสอบออปแอมป์ด้วยไมโครคอมพิวเตอร์ เป็นเครื่องที่ใช้สำหรับทำการทดลองและทดสอบ คุณสมบัติทางพารามิเตอร์ และทดลองวงจรพื้นฐานของออปแอมป์ โดยใช้ซอฟแวร์ควบคุมแผงวงจรทดลอง ให้ได้ตามรูปแบบของวงจรที่เราจะทดลองหรือทดสอบและทำการคำนวณค่าของเอาท์พุทแสดงผลออกที่จอคอมพิวเตอร์

<u>รูปแบบของวงจรที่สามารถทดสอบและทดลองได้</u>

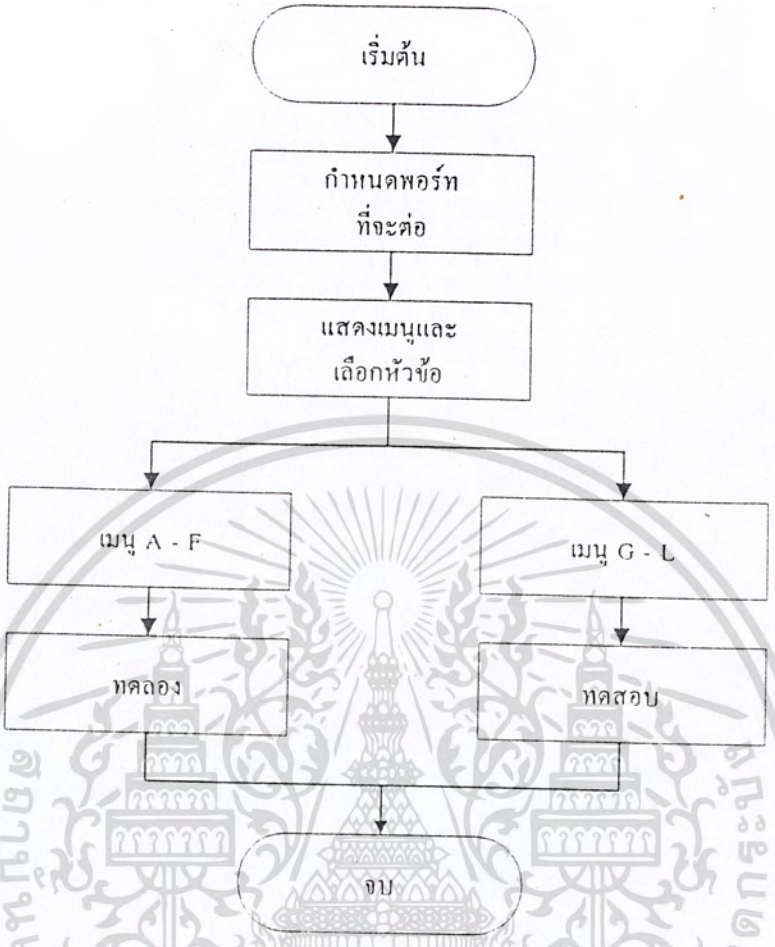
ส่วนของการทดลองวงจรพื้นฐาน

- วงจร Inverting Amplifier
- วงจร Non-Inverting Amplifier
- วงจร Summing Amplifier
- วงจร Voltage Follower
- วงจร Differentiator
- วงจร Integrator

ส่วนของการทดสอบพารามิเตอร์

- Input Offset Voltage
- Input Offset Current
- Input Bias Current
- Voltage Gain
- Power Supply Rejection Ratio
- Output Voltage Swing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 บล็อคไดแกรมการทำงานของชุดสาธิต

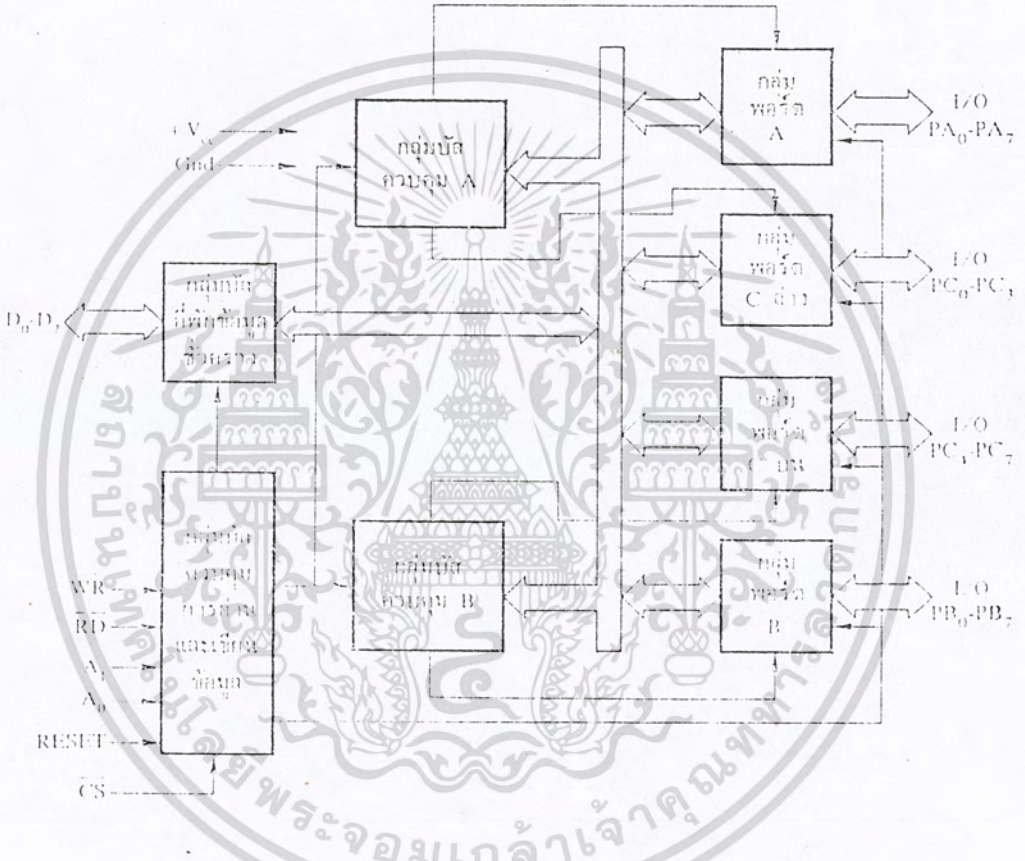
จากรูปที่ 3.1 เราจะต้องกำหนดพอร์ทที่จะต่อเพื่อเลือกว่าจะใช้พอร์ท Com1 หรือ Com2 และทำการกำหนด Broad rate เท่ากับ 9600 bps เพราะในการออกแบบของชุดสาธิตเราได้กำหนดให้การเชื่อมต่อระหว่าง PC กับ ฮาร์ดแวร์ จะใช้การเชื่อมต่อแบบอนุกรม (Asynchronous) เราจึงต้องมีการกำหนด Broad Rate ให้ตรงกัน

ในส่วนของเครื่องเราได้แบ่งออกเป็น 2 ชุด คือ ส่วนของการทดลองวงจรพื้นฐานของออปแอมป์ซึ่งอยู่ในเมนูตั้งแต่ A-F และส่วนของการ test parameter อยู่ในเมนูตั้งแต่ G-L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z-80 กับ PIA 8255

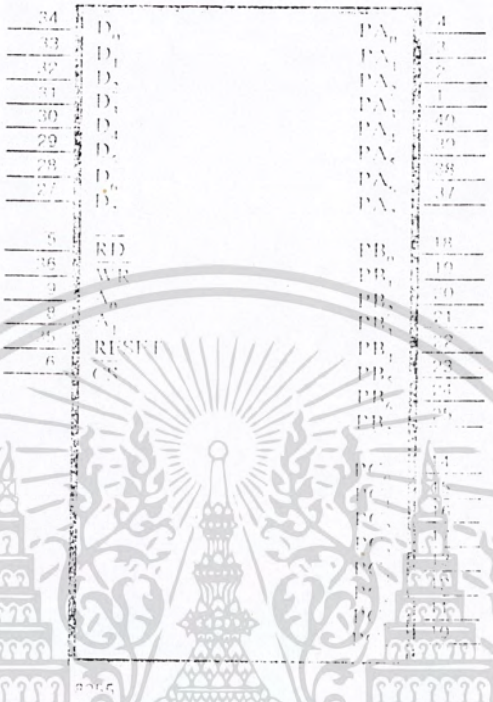
8255 เป็น IC 40 ขา ของบริษัทอินเทล ได้รับการออกแบบเพื่อให้ใช้งานกับ CPU 8080 แต่อย่างไรก็ตาม เราสามารถประยุกต์ใช้ในการเชื่อมต่อเข้ากับซีพียู Z-80 ได้



รูปที่ 3.2 แสดงบล็อกไดอะแกรมของ IC 8255

โครงสร้างพื้นฐานของ PIA (PIA ย่อมาจากคำว่า programmable interface adapter) 8255 แสดงบล็อกไดอะแกรมได้ดังรูปที่ 3.2 ส่วนรายละเอียดของสัญญาณต่าง ๆ แสดงไว้ในรูปที่ 3.3 ตามลำดับ พบว่า 8255 จะประกอบด้วย I/O พอร์ต 3 พอร์ต ขนาด 8 บิต คือ พอร์ต A, B และ C ที่สามารถโปรแกรมให้พอร์ตใด ๆ เป็นได้ทั้งอินพุตพอร์ตหรือเอาท์พุตพอร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงรายละเอียดขาสัญญาณต่าง ๆ ของ IC 8255 (PIA)

รายละเอียดของขาสัญญาณต่าง ๆ มีดังนี้ คือ

D_0-D_7 เป็นบัสข้อมูล

CS เป็นขาอินพุตเพื่อเลือกชิป (select ship) โดยเมื่อขาสัญญาณนี้เป็น 0 จะมีการอ่านข้อมูลและเขียนข้อมูลเกิดขึ้น

RD เป็นขาสัญญาณการอ่านข้อมูล เมื่อขาสัญญาณนี้เป็น 0 และขา CS เป็น 0 จะมีการอ่านข้อมูลเกิดขึ้นบนบัสข้อมูล

WR เป็นขาสัญญาณการเขียนข้อมูล เมื่อ CS และ WR เป็น 0 จะเกิดการเขียนข้อมูลขึ้นบนบัสข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RESET เป็นขาสัญญาณเคลียร์สถานะต่าง ๆ ภายใน 8255 โดยจะมีการเซตให้ทุกพอร์ตเป็นอินพุตพอร์ต

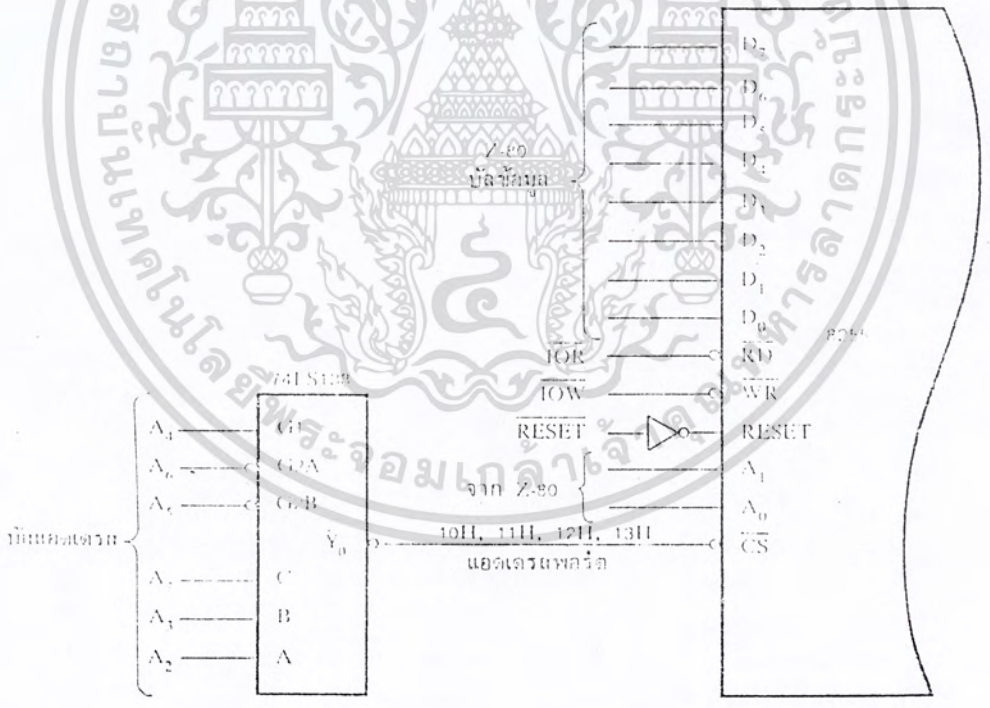
PA_0-PA_7 เป็นสายสัญญาณพอร์ต A ขนาด 8 บิต

PB_0-PB_7 เป็นสายสัญญาณพอร์ต B ขนาด 8 บิต

PC_0-PC_7 เป็นสายสัญญาณพอร์ต C ขนาด 8 บิต

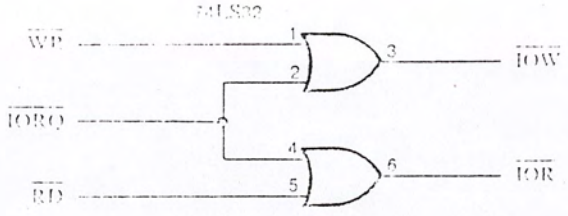
A_1-A_0 เป็นแอดเดรสเลือกพอร์ต A,B,C และ ควบคุมพอร์ต (control port)

การเชื่อมต่อ CPU Z-80 กับ 8255 สามารถกระทำได้โดยการถอดรหัสแอดเดรส ใช้ IC เบอร์ 74LS138 แสดงรายละเอียดของวงจรดังรูปที่ เมื่อแอดเดรส 10H หมายถึงพอร์ต A, 11H หมายถึงพอร์ต B, 12H หมายถึงพอร์ต C และ 13H หมายถึงพอร์ตควบคุม ตามลำดับและวงจรที่ใช้เชื่อมต่อเพื่อให้เกิดการเขียนและการอ่านข้อมูลแสดงดังรูปที่ 3.4



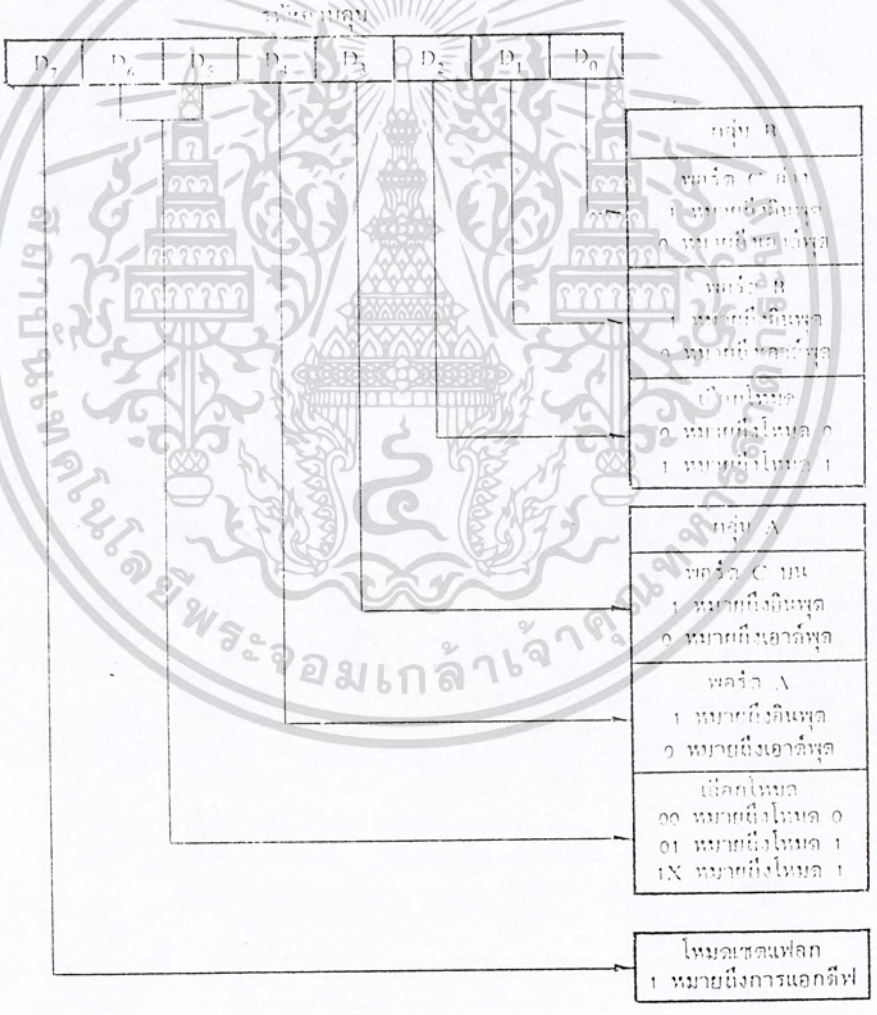
รูปที่ 3.4 แสดงรายละเอียดของวงจรที่เชื่อมต่อซีพียู Z-80 เข้ากับ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงรายละเอียดของวงจรที่ใช้ในการเขียนและอ่านข้อมูล

IC 8255 สามารถใช้งานได้ 3 โหมด ซึ่งแต่ละโหมดจะมีการทำงานแตกต่างกับออกไปดังต่อไปนี้



รูปที่ 3.6 แสดงรายละเอียดความหมายแต่ละบิตที่ใช้เป็นรหัสในการควบคุมพอร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

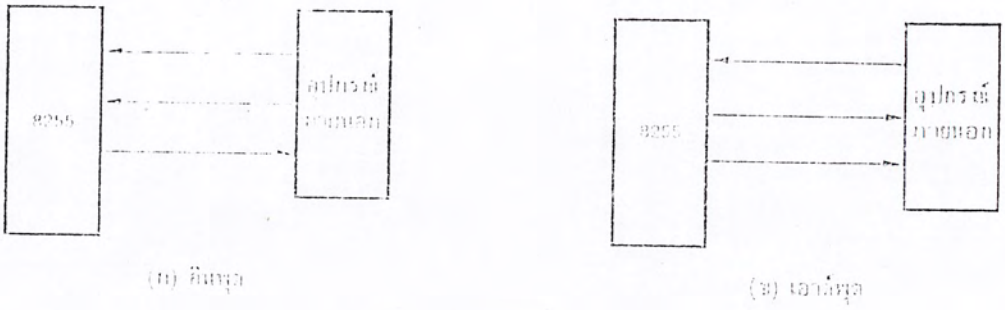
โหมด 0 (หรือโหมดพื้นฐานอินพุต/เอาท์พุต) การกำหนดโหมดการทำงาน ต้องมีการส่งข้อมูลโปรแกรมที่พอร์ตควบคุม (ในที่นี้หมายถึงพอร์ต 13H) แต่ละบิตของข้อมูลที่ส่งไปจะมีความหมายในตัวเอง ลักษณะความหมายของแต่ละบิตที่เป็นรหัสในการควบคุมแสดงถึงรายละเอียดดังรูปที่ 3.6 ตัวอย่างเช่น ถ้า $D_7 \ldots D_0$ เป็น 1000 0000 เท่ากับ 80H จะหมายถึงโปรแกรมควบคุมให้ทุกพอร์ต(A,B และ C) เป็นเอาท์พุตพอร์ตเป็นต้น

การเขียนซอฟต์แวร์เพื่อให้ทุกพอร์ตเป็นเอาท์พุตพอร์ต โดยมีการส่งข้อมูล (เขียนข้อมูล) ค่า 23H ออกทางพอร์ต A,ค่า 41H ออกทางพอร์ต B และ 73H ออกทางพอร์ต C ตามลำดับ รายละเอียดของโปรแกรมแสดงดังต่อไปนี้

```
XOR A
LD A,80H
OUT (13H),A ;ตั้งพอร์ตควบคุมให้ A,B,C เป็นเอาท์พุต
LD A,23H
OUT (10H),A ;ส่งข้อมูล 23H ออกทางพอร์ต A
LD A,41H
OUT (11H),A ;ส่งข้อมูล 41H ออกทางพอร์ต B
LD A,73H
OUT (12H),A ;ส่งข้อมูล 73H ออกทางพอร์ต C
```

โหมด 1 การทำงานในโหมดนี้มีการตรวจสอบ (handshaking) โดยใช้อินพุตเอาท์พุตของพอร์ต A และ B เป็นหลัก และพอร์ต C จะใช้เป็นพอร์ตในการตรวจสอบสัญญาณโดยที่พอร์ต C (บน)ตรวจสอบสำหรับพอร์ต A และ พอร์ต C (ล่าง) ตรวจสอบสำหรับพอร์ต B ตามลำดับ แสดงบล็อกไดอะแกรมการทำงานดังรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงบล็อกไดอะแกรมการทำงาน 8255 ในโหมด 1 แบบมีการตรวจสอบ

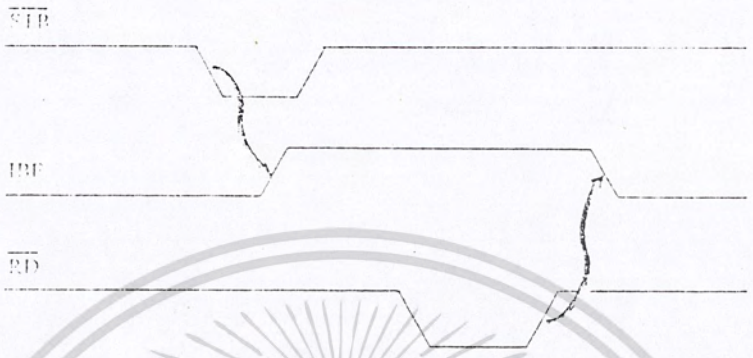
หน้าที่ของขาสัญญาณต่าง ๆ ของพอร์ต C ในการทำงานแบบตรวจสอบ (handshakes) เมื่อ 8255 ทำงานในโหมด 1 แสดงดังในตารางที่ 3.1

ขา	อินพุต	เอาต์พุต
PC_6	$INTR_B$	$INTR_B$
PC_1	INF_B	OBF_B
PC_2	STB_B	ACK_B
PC_3	$INTR_A$	$INTR_A$
PC_4	STB_A	I/O
PC_5	IBF_A	I/O
PC_6	I/O	ACK_A
PC_7	I/O	OBF_A

จากตารางที่ 3.1 พบว่าให้สัญญาณ INTR บอกแก่ซีพียู เมื่อมีการทำงานในโหมดเกิดขึ้นสัญญาณนี้แอกทีฟ ที่ลอจิก "1" ซึ่งตรงกับซีพียู 8080 แต่เมื่อนำไปใช้ในซีพียู Z-80 ขา INT จะรับลอจิก "0" สายสัญญาณที่สำคัญในการทำงานตรวจสอบเมื่อมีการรับข้อมูลเข้า 8255 จากอุปกรณ์ภายนอกคือ STB (strobe data into 8255) และ IBF (input buffer full) ซึ่งมีลักษณะการทำงานคือ อุปกรณ์ภายนอกส่งข้อมูลแบบขนาน พร้อมทั้งสไตรบ (STB) บอกแก่ 8255 ซึ่ง

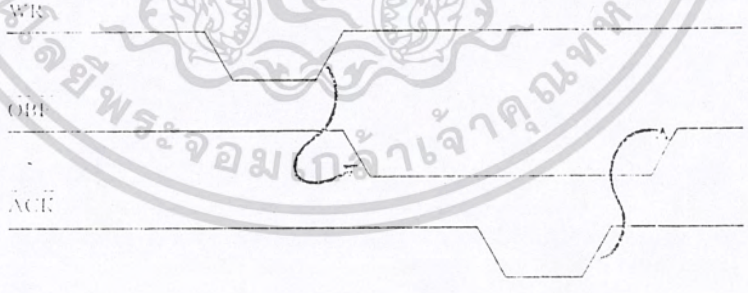
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255 จะนำข้อมูลเก็บไว้ในรีจีสเตอร์ภายในเพื่อส่งให้ซีพียู โดยส่งสัญญาณ IBF บอกแก่อุปกรณ์ภายนอกว่าบัฟเฟอร์ของข้อมูลเต็มอยู่ ห้ามส่งข้อมูลเข้ามา แสดงไดอะแกรมของเวลาดังรูปที่ 3.8



รูปที่ 3.8 แสดงไดอะแกรมของเวลาของสัญญาณ STB และ IBF เมื่อมีการอ่าน

ทำนองเดียวกันกับการส่งข้อมูลออกให้แก่อุปกรณ์ภายนอก เมื่อซีพียูส่งข้อมูลให้แก่ 8255 ตัว 8255 จะส่งสัญญาณบอกแก่ อุปกรณ์ภายนอกทาง OBF เมื่อรับทราบอุปกรณ์ภายนอกจะส่งทั้งรับข้อมูลไป แสดงไดอะแกรมของเวลาดังรูปที่ 3.9 ตามลำดับ



รูปที่ 3.9 แสดงไดอะแกรมของเวลาของสัญญาณ OBF และ ACK เมื่อมีการเขียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการโปรแกรมโหมด 1 จะใช้รหัสควบคุม (contral word) ดังนี้

D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	x	0	1	x	0

ถ้า X เป็น 1 หมายถึงอินพุต แต่ถ้าเป็น 0 หมายถึงเอาท์พุต โดยที่ D5 หมายถึงพอร์ต A และ D1 หมายถึงพอร์ต B ตามลำดับ

โหมด 2 การทำงานในโหมด 2 8255 จะใช้พอร์ต A ทำหน้าที่เป็นพอร์ต 2 ทิศทาง (อินพุต/เอาท์พุต) ส่วนพอร์ต C จะเป็พอร์ตที่ทำหน้าที่ตรวจสอบที่สัญญาณแต่ละขาดังตารางที่ 3.2

ขา	ความหมาย
PC_0	I/O
PC_1	I/O
PC_2	I/O
PC_3	INTR
PC_4	STB
PC_5	IBF
PC_6	ACK
PC_7	OBF

ในขณะที่พอร์ต A และ C ทำงานในโหมด 2 พอร์ต B เราสามารถจะโปรแกรมให้ทำงานในโหมด 0 หรือ 1 ก็ได้ ซึ่งสามารถแยกทำงานได้อย่างอิสระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เส้นทางการสื่อสาร : พอร์ตแบบอนุกรม

ส่วนที่สำคัญที่สุดอีกส่วนหนึ่งที่ทำหน้าที่เป็นช่องทางการส่งผ่านข้อมูล ได้แก่ พอร์ตแบบอนุกรม (Serial Post) หรือการสื่อสารแบบอนุกรม (Serial Interface) ในบางครั้งเราจะเรียกการสื่อสารข้อมูลแบบนี้ว่า การสื่อสารแบบอสมวาร หรือ Asynchronous Communications Interface การสื่อสารแบบอนุกรมนี้มีจุดเด่นที่ความสามารถในการส่งข้อมูลได้ทั้ง 2 ทิศทาง ซึ่งยึดมาตรฐาน RS-232 ในการรับ-ส่งข้อมูล การส่งข้อมูลแบบอสมวารนี้จะ ไม่มีการปรับสัญญาณนาฬิกาของตัวรับและตัวส่งให้ตรงกัน (catch-as-catch-can) ส่วนความหมายของการส่งแบบอนุกรม คือการรับส่งข้อมูลคราวละ 1 บิต

ตรงกันข้ามกับการสื่อสารแบบขนานที่มีความเรียบง่ายและรูปแบบที่คงที่แน่นอน การสื่อสารแบบอนุกรมจะมีการออกแบบที่หลากหลายยิ่ง ซึ่งถึงแม้จะให้ความยืดหยุ่นในการทำงานมากกว่า แต่การควบคุมการทำงานให้สมบูรณ์และเหมาะสมตามความต้องการนั้นจะต้องกระทำโดยการเซตค่าพารามิเตอร์ต่างๆ ให้ถูกต้อง อันเป็นเรื่องวุ่นวายพอสมควร แต่เราก็จะพยายามอธิบายกันไว้ในที่นี้

ค่าของพารามิเตอร์ในการสื่อสารเป็นตัวกำหนดคุณลักษณะที่เครื่องคอมพิวเตอร์หรืออุปกรณ์แต่ละจุดใช้ในการสื่อสารกัน พูดถึงเรื่องการสื่อสารโดยทั่วๆ ไป ซึ่งรวมถึงการสื่อสารแบบอนุกรมนั้นจะมีการติดต่อกัน 2 ทาง ดังนั้นอุปกรณ์ที่อยู่ ณ จุดปลายทางทั้ง 2 นี้จะต้องเข้าใจกติกาที่ใช้ในการสื่อสาร และถ้ามีการเซตค่าพารามิเตอร์ที่เกี่ยวข้องไม่สอดคล้องกันแล้ว ก็จะต้องพยายามปรับค่าพารามิเตอร์เหล่านี้ได้โดยอัตโนมัติ ดังนั้นในการเชื่อมเครื่องพีซีเข้ากับสายสื่อสารนั้น จึงมีความจำเป็นที่ผู้ใช้ต้องมีความเข้าใจเกี่ยวกับค่าพารามิเตอร์เหล่านี้ ซึ่งก็คงไม่ใช่เรื่องยากเย็นอะไรสำหรับผู้ใช้ที่มีประสบการณ์และความรู้ แต่สำหรับผู้ใช้มือใหม่ก็คงก่อให้เกิดความสับสนกันพอควร อย่างไรก็ดี ปัญหาในส่วนนี้จะไม่มีอะไรเกี่ยวข้องกับความรู้ทางด้านอิเล็กทรอนิกส์แต่อย่างใด หน้าที่ของเราก็ยังคงเป็นแต่เสียบต่ออุปกรณ์ และเซตค่าต่าง ๆ เท่านั้น

ค่าพารามิตอร์ที่ใช้ในการสื่อสารแบบอนุกรมตัวแรกที่เราต้องรู้จัก คือความเร็วที่พอร์ตใช้ในการรับ-ส่งข้อมูล ซึ่งจะวัดเป็นจำนวนบิตต่อวินาที (bit per second) หรือ bps ซึ่งในหลาย ๆ ครั้งที่เราจะเป็นคนเรียกหน่วย bps นี้ว่า baud (อ่านว่า บอด) ซึ่งขอทำความเข้าใจไว้คร่าว ๆ ว่าหน่วยของ baud กับ bps นั้น จะเท่ากันในบางกรณีเท่านั้น ส่วนรายละเอียดของความแตกต่างนั้นอยู่นอกเหนือเนื้อหาของหนังสือเล่มนี้

ความเร็วที่พอร์ตแบบอนุกรมสามารถรองรับได้มีตั้งแต่ 110 bps (ใช้ในอุปกรณ์เก่า) จนถึง 19.2 K หรือ 19.200 bps โดยมีความเร็วทั่วไปที่ใช้ต่อกับสายโทรศัพท์คือ 2400 และ 9600 bps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาเราพูดอัตราเร็วเป็น bps อาจจะทำให้มองภาพไม่ออกว่า การรับ-ส่งข้อมูลนั้นจะทำได้เร็วขนาดไหน เราก็ขอเสนอเทคนิคการแปลงหน่วยแบบง่าย ๆ คือ เอา 10 หารค่า bps ก็จะได้เป็นจำนวนไบต์ หรือจำนวนอักขระต่อวินาที เช่นถ้ามีอัตราเร็ว 2400 bps ก็จะประมาณได้เท่ากับว่าความเร็วในการสื่อสารคือ สามารถรับ-ส่งข้อมูลได้ 240 อักขระต่อวินาที

พารามิเตอร์ตัวที่ 2 คือ ขนาดของข้อมูล หรือจำนวนบิตในข้อมูลแต่ละอักขระ ซึ่งจะมี 2 ทางเลือกคือ 7 บิต หรือ 8 บิต โดยส่วนใหญ่เราจะใช้กัน 7 บิต แต่สำหรับข้อมูลที่มีภาษาไทยปะปนอยู่ด้วยและเราใช้แอสกีก็ส่วนล่างสำหรับภาษาไทยก็อาจจะต้องเซตพารามิเตอร์ตัวนี้ให้เท่ากับ 8

พารามิเตอร์ตัวต่อไป คือ ค่าพาริตี้ (parity) ซึ่งมีศัพท์ไทยบัญญัติไว้ว่า "ภาวะเสริม" แต่เราขอเรียกทับศัพท์ว่า พาริตี้ก็แล้วกัน พาริตี้มีความสำคัญในการตรวจสอบความผิดพลาดที่อาจจะเกิดได้ในการรับ-ส่งข้อมูล ซึ่งตามมาตรฐาน RS-232 สามารถให้เราระบุค่าพาริตี้ได้จากทางเลือก 3 แบบ คือ แบบคี่ (odd) แบบคู่ (even) และไม่ต้องใช้พาริตี้ และค่าพารามิเตอร์ตัวสุดท้ายที่จะกล่าวถึงคือจำนวน stop bit ในการส่งข้อมูลนั้น ข้อมูลแต่ละอักขระจะถูกล้อมกรอบไว้ด้วยบิต start และ บิต stop เพื่อเป็นตัวแสดงกรอบของข้อมูลแต่ละอักขระ ซึ่งเราอาจจะเลือกใช้จำนวน stop bit เป็น 1 หรือ 2 ก็ได้

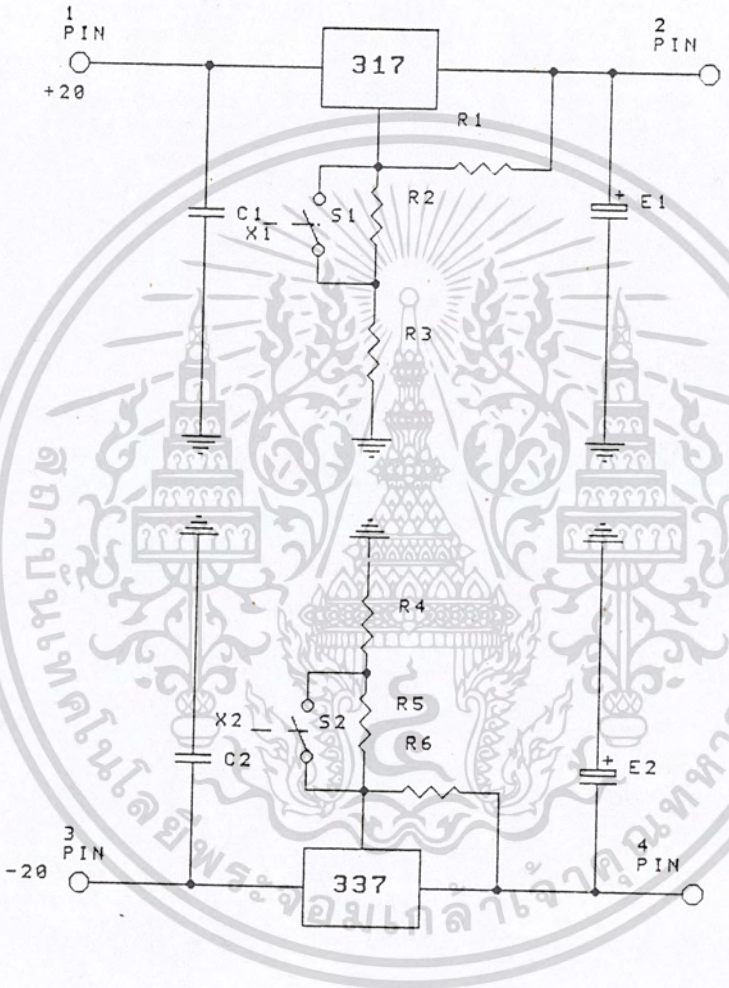
และที่ได้กล่าวถึงไปแล้วก็เป็นพารามิเตอร์ตัวหลัก ๆ ที่ใช้ในการสื่อสาร จริง ๆ แล้วยังมีพารามิเตอร์ และ ข้อมูลทางเทคนิคมากกว่านี้ แต่ในส่วนของผู้ใช้ก็เพียงแต่ยึดหลักไว้ว่าจะต้องเซตค่าพารามิเตอร์ในอุปกรณ์ปลายทางทั้ง 2 จุดให้ตรงกันก็พอ

การใช้ประโยชน์จากพอร์ตแบบอนุกรมนั้น แบ่งหลัก ๆ ได้เป็น 2 อย่าง อย่างแรกก็ได้แก่การต่อเครื่องพิมพ์แบบอนุกรม และอย่างหลัง ได้แก่การต่อเครื่องคอมพิวเตอร์ 2 เครื่อง เข้าด้วยกัน โดยอาจต่อกันโดยตรงเลยก็ได้ หรือถ้าเครื่องทั้ง 2 อยู่ห่างกันเกินไปก็ต้องต่อผ่านทางสายโทรศัพท์ ซึ่งในกรณีหลังนี้ เราต้องใช้อุปกรณ์ที่เรียกว่า โมเด็ม (modem) ต่อไว้ตรงกลางระหว่างคอมพิวเตอร์กับโทรศัพท์ โดยโมเด็มจะทำหน้าที่แปลงสัญญาณคอมพิวเตอร์ให้เป็นสัญญาณที่ใช้กับสายโทรศัพท์ และเมื่อถึงปลายทางก็จะแปลงสัญญาณกลับ

นอกเหนือจากการต่อเครื่องพิมพ์และสายโทรศัพท์แล้ว พอร์ตแบบอนุกรมก็ยังใช้ต่อกับอุปกรณ์อื่น ๆ อีก ที่จะเห็นมากก็คงได้แก่ พล็อตเตอร์ (plotter) และเมาส์

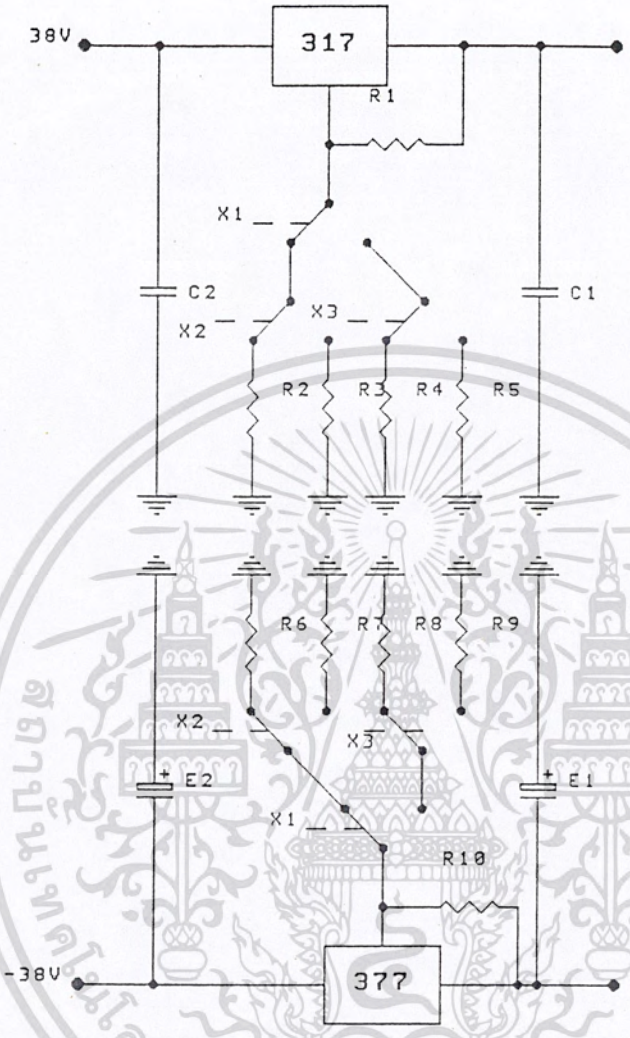
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบและวงจรที่ใช้งาน



รูปที่ 3.10 รูปแสดงวงจรแหล่งจ่ายไฟ ± 10 V , ± 15 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 รูปแสดงวงจรแหล่งจ่ายไฟ ±5V , ±15V , ±20V , ±35V

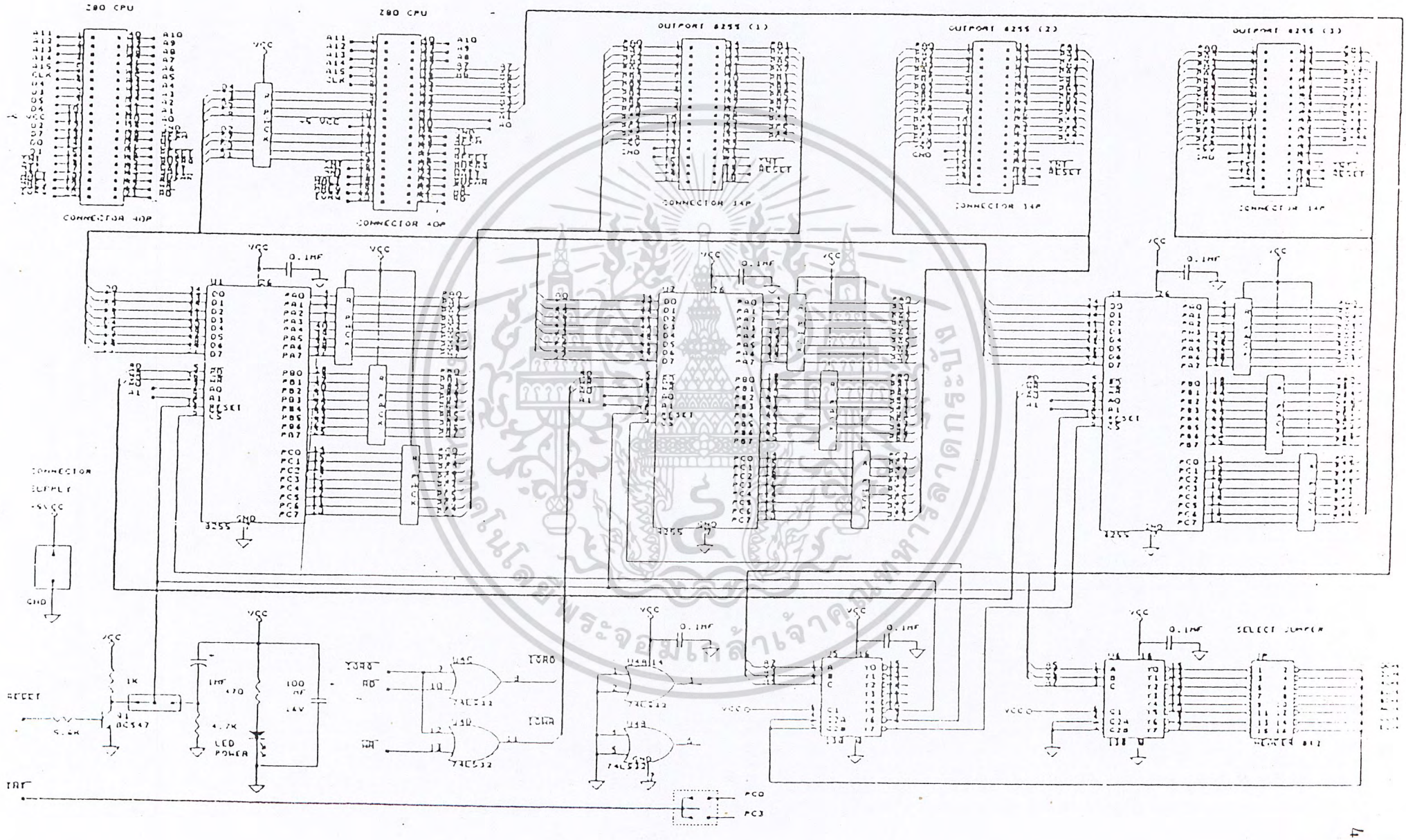
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบและวงจรที่ใช้งาน

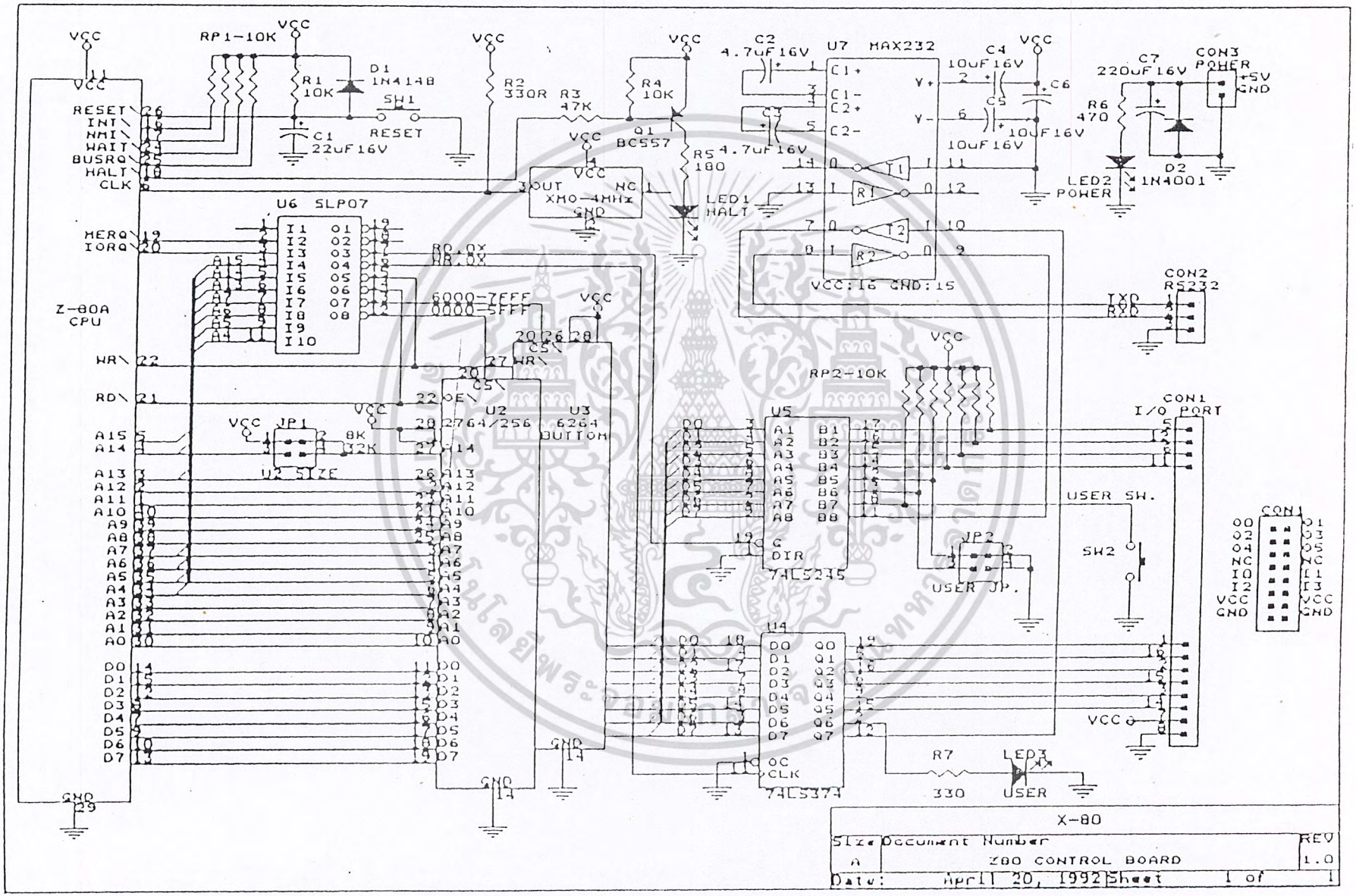
ในส่วนของภาคแหล่งจ่ายไฟของเครื่องทดลองและทดสอบออปแอมป์ด้วยไมโครคอมพิวเตอร์ เราใช้ IC เบอร์ 317 และ 337 และทำการออกแบบคำนวณหาค่าความต้านทานให้ได้แรงดันเอาท์พุท 5 V 10 V ,15 V, 20 V และ 35 V ทั้งไฟบวกและลบซึ่งได้แสดงไว้ในรูปที่ 3.10 และรูปที่ 3.11 ส่วนของวงจร I/O Board Z-80 และ ส่วนของวงจร Z-80 Enbedd Controller ได้แสดงไว้ในรูปที่ 3.12 และ 3.13

ส่วนรูปแบบวงจรภายในของวงจรสาธิต ได้แสดงไว้ในรูปที่ 3.14 ลักษณะของวงจรสาธิตจะใช้รีเลย์ในการตัดต่อวงจร เพื่อให้ได้รูปแบบตามวงจรที่เราจะทดลองและทดสอบ ดังตารางที่ 3.3 ซึ่งจะแสดงให้เห็นว่าแต่ละวงจรที่เราจะทดลองและทดสอบจะต้องให้รีเลย์ตัวใดทำการตัดและต่อวงจร ดังนั้นจะเห็นได้ว่ารีเลย์แต่ละตัวจะต้องทำการตัดและต่อวงจร เพื่อป้องกันหน้าสัมผัสของรีเลย์ จึงใช้ไดโอดต่อคร่อมที่ขาของรีเลย์ดังแสดงรูปที่ 3.15

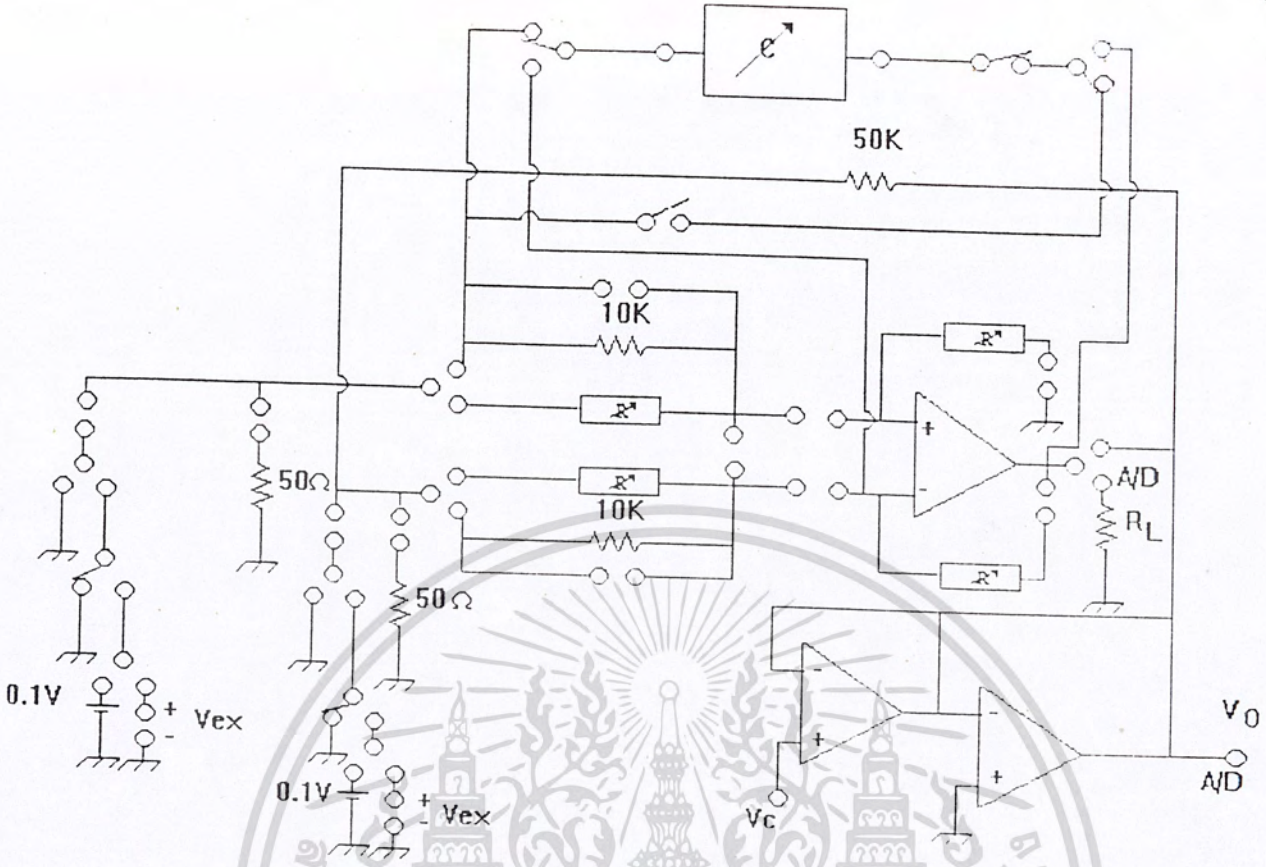
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



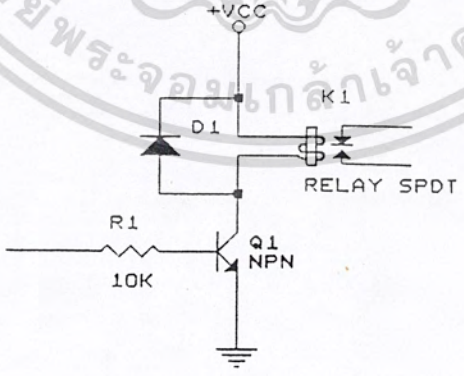
รูปที่ 3.12 รูปแสดงวงจรส่วนของ I/O BOARD Z-80



รูปที่ 3.13 รูปแสดงวงจรส่วนของ Z-80 ENBEDDED CONTROLER



รูปที่ 3.14 รูปแสดงรูปแบบของวงจรที่สาธิต



รูปที่ 3.15 รูปแสดงวงจรควบคุมรีเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

																						SUPPLY	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	VC	+	-
INV	X	X		X			X			X	X		X	X		X							
NON INV	X			X	X		X			X	X		X	X		X							
SUM	X	X		X	X		X	X			X	X		X	X	X							
BUFFER				X	X					X			X	X		X							
INT	X	X		X			X			X	X		X			X		X					
DIF	X	X		X						X			X			X	X	X	X				
VOS			X			X			X	X	X		X							X	0	15	15
IOS			X			X			X	X	X		X							X			
"			X			X					X		X							X			
IB			X			X			X		X		X							X			
"			X			X				X	X		X							X			
VOLTAGE GAIN			X			X			X	X	X		X							X	-10		
"			X			X			X	X	X		X							X	10		
PSRR			X			X					X		X							X	0	10	10
"			X			X					X		X							X	0	20	20
CMMR			X			X					X		X							X	15	35	5
"			X			X					X		X							X	-15	5	35

ตารางที่ 3.3 แสดงรูปแบบการต่อของรีเลย์

บทที่ 4

การทดลองและทดสอบ

เครื่องทดลองและทดสอบออปแอมป์ด้วยไมโครคอมพิวเตอร์ เป็นเครื่องที่ใช้สำหรับทำการทดลองและทดสอบ คุณสมบัติทางพารามิเตอร์ และทดลองวงจรพื้นฐานของออปแอมป์ โดยใช้ซอฟแวร์ควบคุมแผงวงจรทดลอง ให้ได้ตามรูปแบบของวงจรที่เราจะทดลองหรือทดสอบและทำการคำนวณค่าของเอาท์พุทแสดงผลออกที่จอคอมพิวเตอร์

การทดลองแบ่งออกเป็น 2 ส่วนคือ

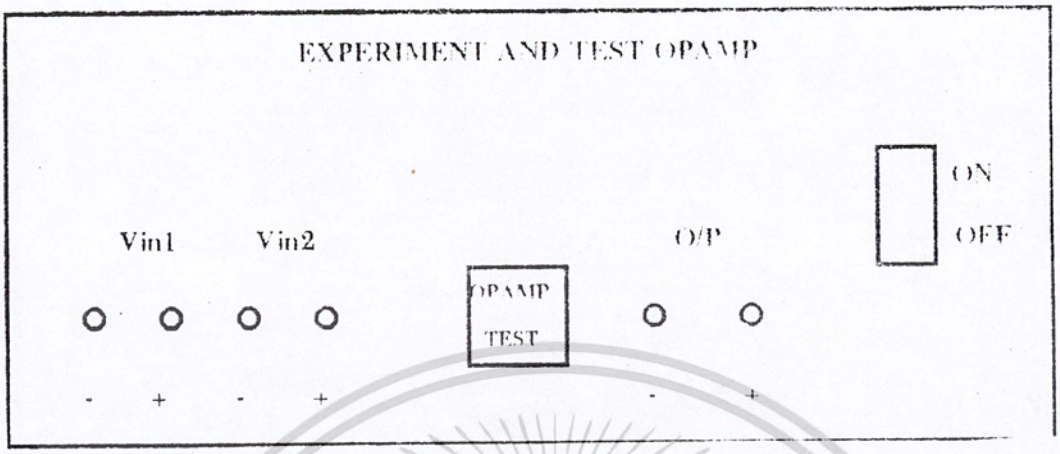
ส่วนของการทดลองวงจรพื้นฐาน

- วงจร Inverting Amplifier
- วงจร Non-Inverting Amplifier
- วงจร Summing Amplifier
- วงจร Voltage Follower
- วงจร Differentiator
- วงจร Integrator

ส่วนของการทดสอบพารามิเตอร์

- Input Offset Voltage
- Input Offset Current
- Input Bias Current
- Voltage Gain
- Power Supply Rejection Ratio
- Output Voltage Swing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

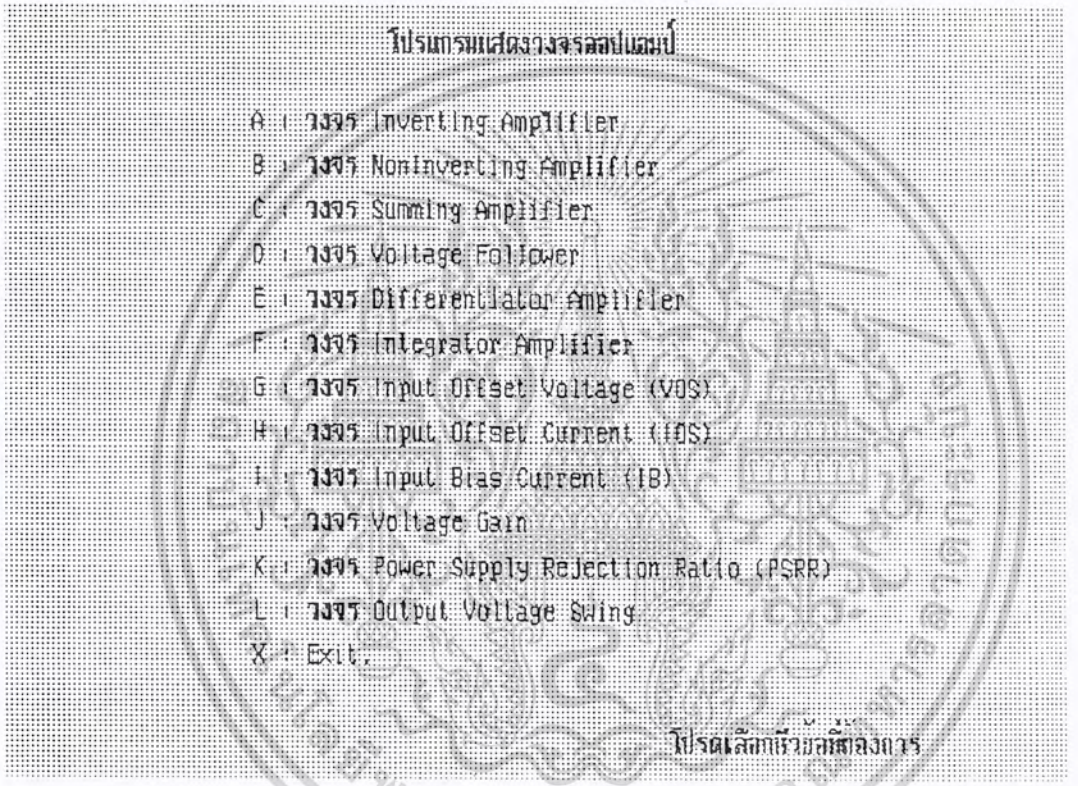


รูปที่ 4.1 แสดงหน้าปัทม์ของชุดสาธิต

ลำดับขั้นการใช้งาน

1. ต่อชุดทดลองเข้ากับพอร์ทของคอมพิวเตอร์
2. นำออปแอมป์ที่ต้องการจะทดลองและทดสอบมาเสียบไว้ที่ ช่อง OPAMP TEST
3. เลือกเมนูตามต้องการจาก A-L
4. ทำการป้อนค่าพารามิเตอร์ที่ Vin1 และ Vin2
5. วัดค่าเอาท์พุทที่ O/P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

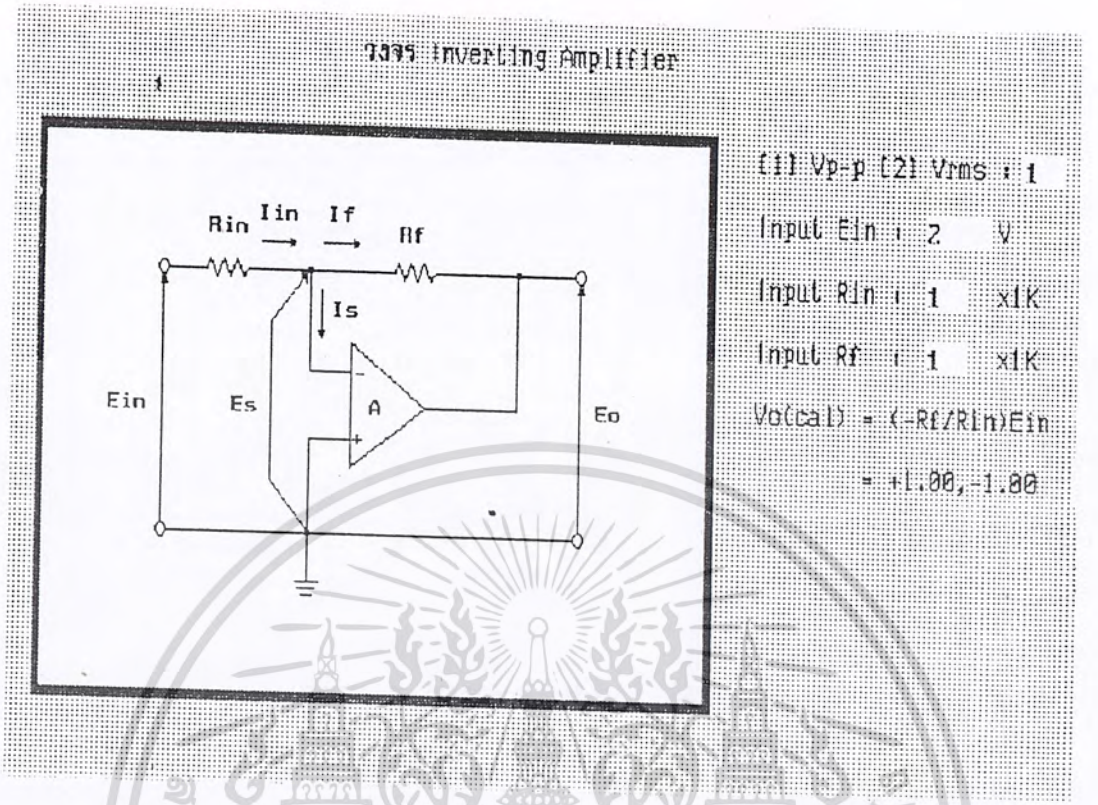


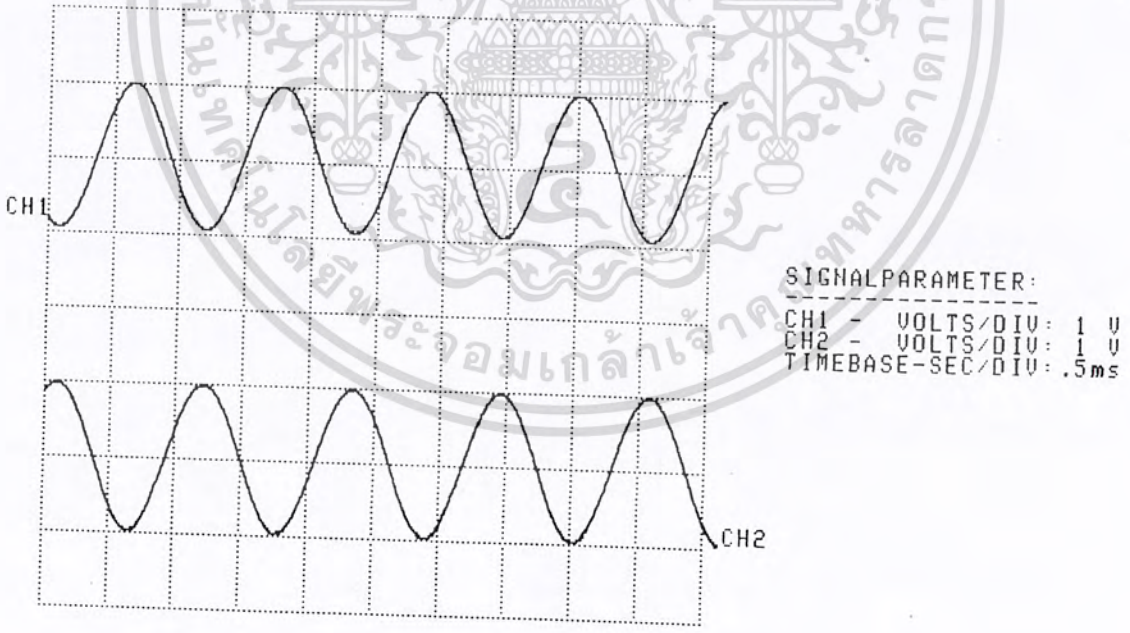
รูปที่ ๔.2 แสดงเมนูของการเลือกหัวข้อวงจรที่จะทดลองและทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3 Flow chart แสดงผลการทดลองวงจร Inverting Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



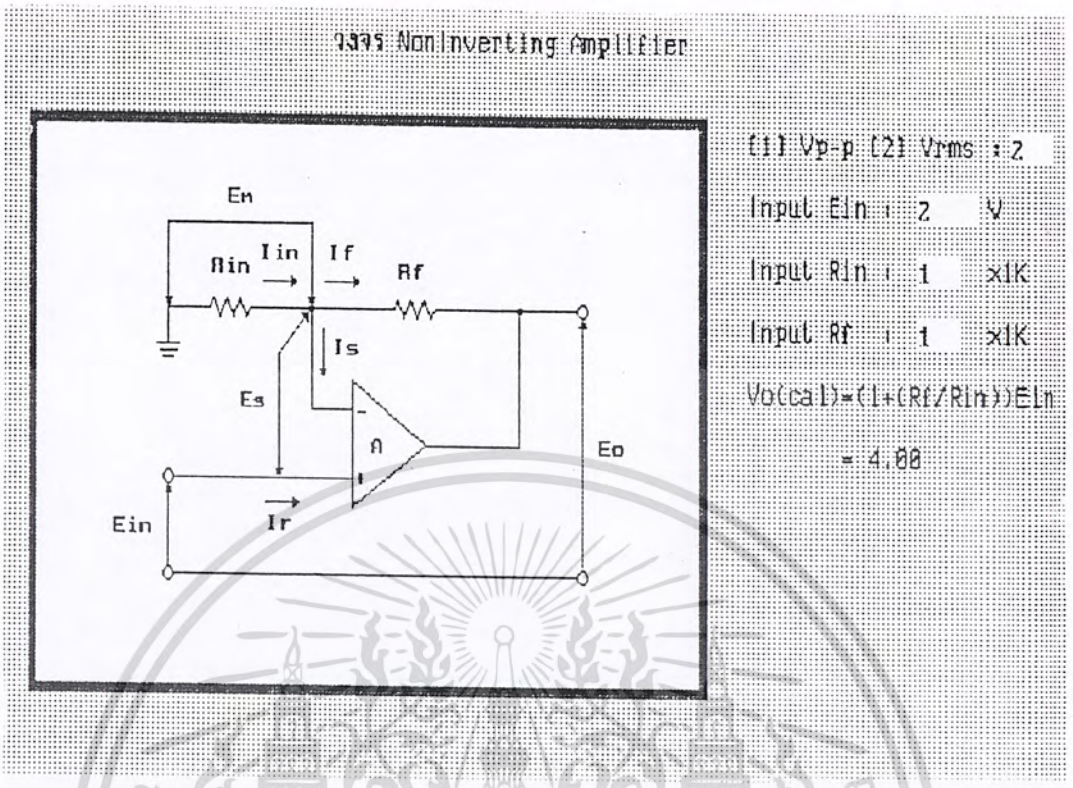


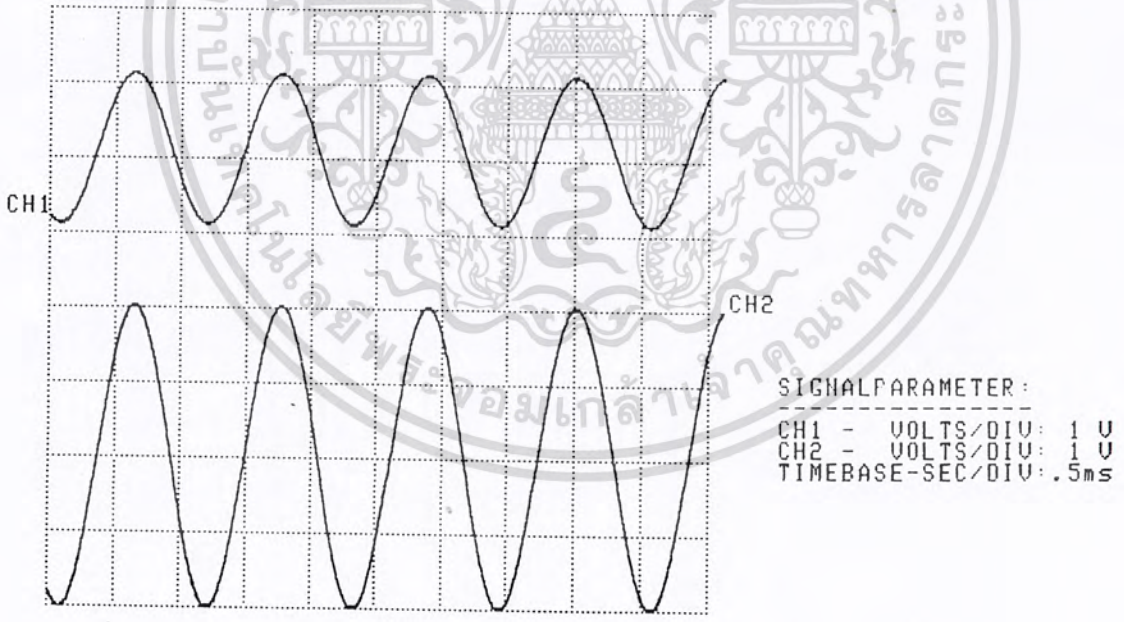
รูปที่ 4.4 แสดงผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.5 Flow chart แสดงผลการทดลองวงจร Non-Inverting Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



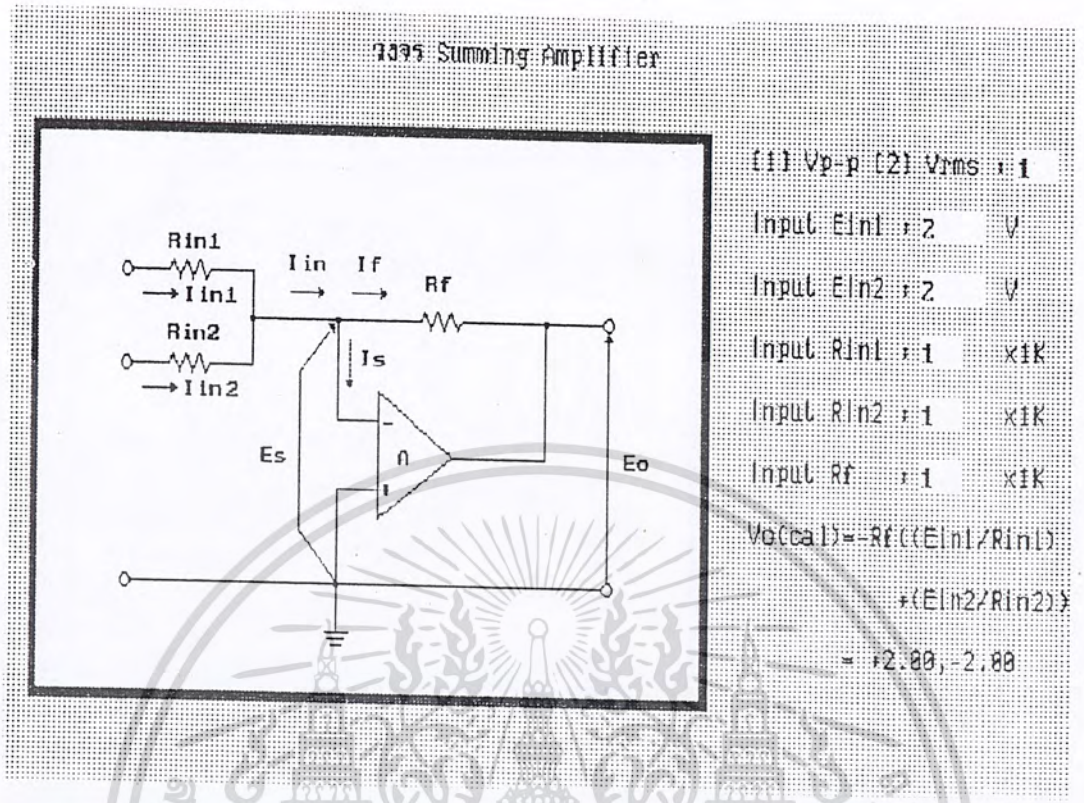


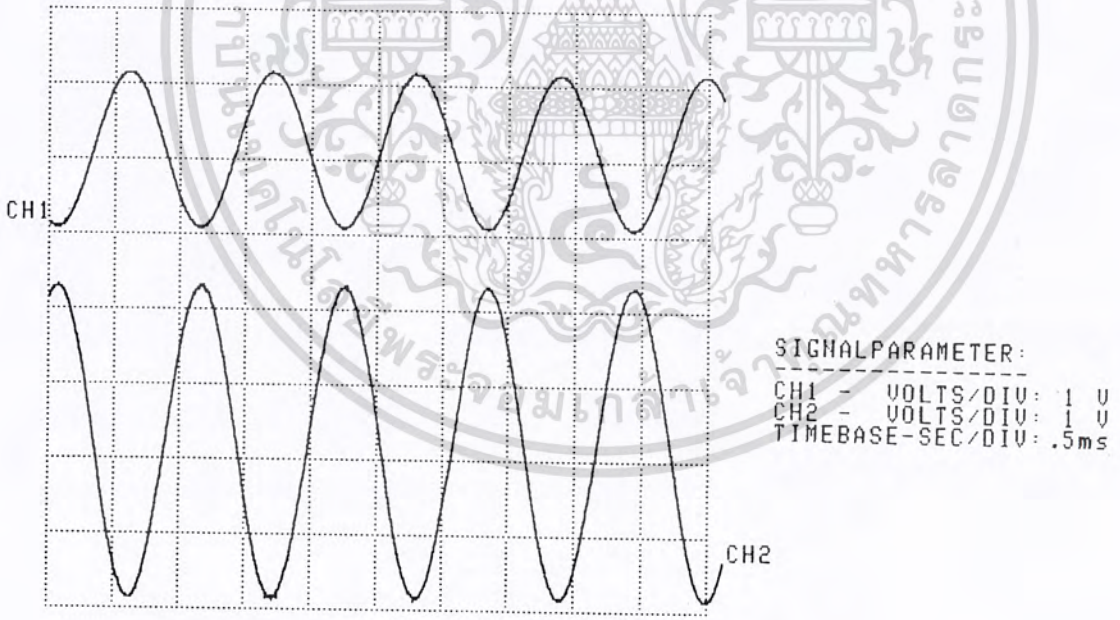
รูปที่ 4.6 แสดงผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.7 Flow chart แสดงผลการทดลองวงจร Summing Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



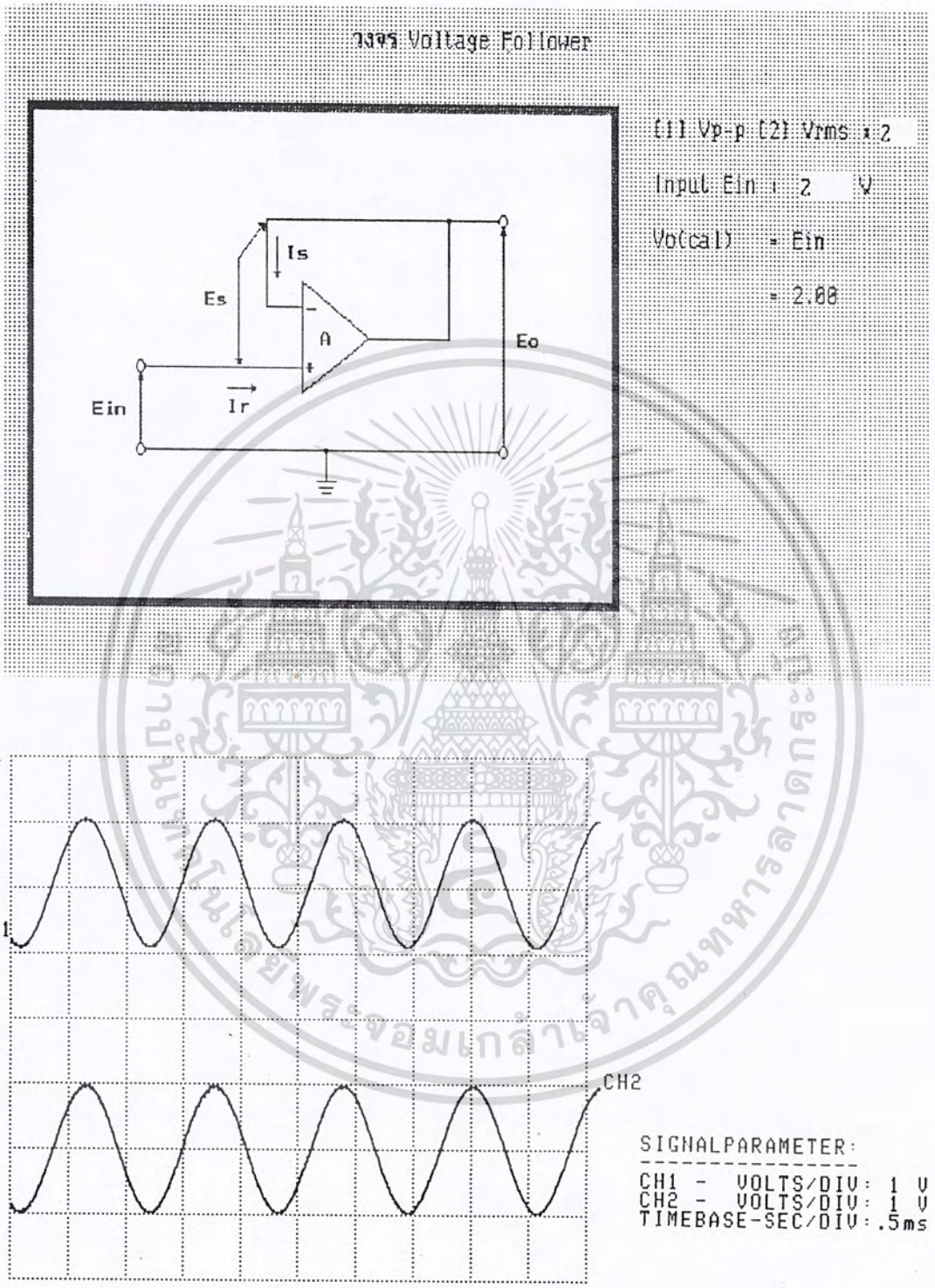


รูปที่ 4.8 แสดงผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

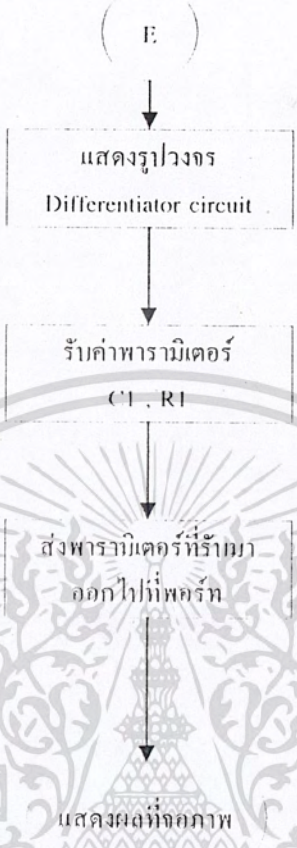
รูปที่ 4.9 Flow chart แสดงผลการทดลองวงจร Voltage Follower

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



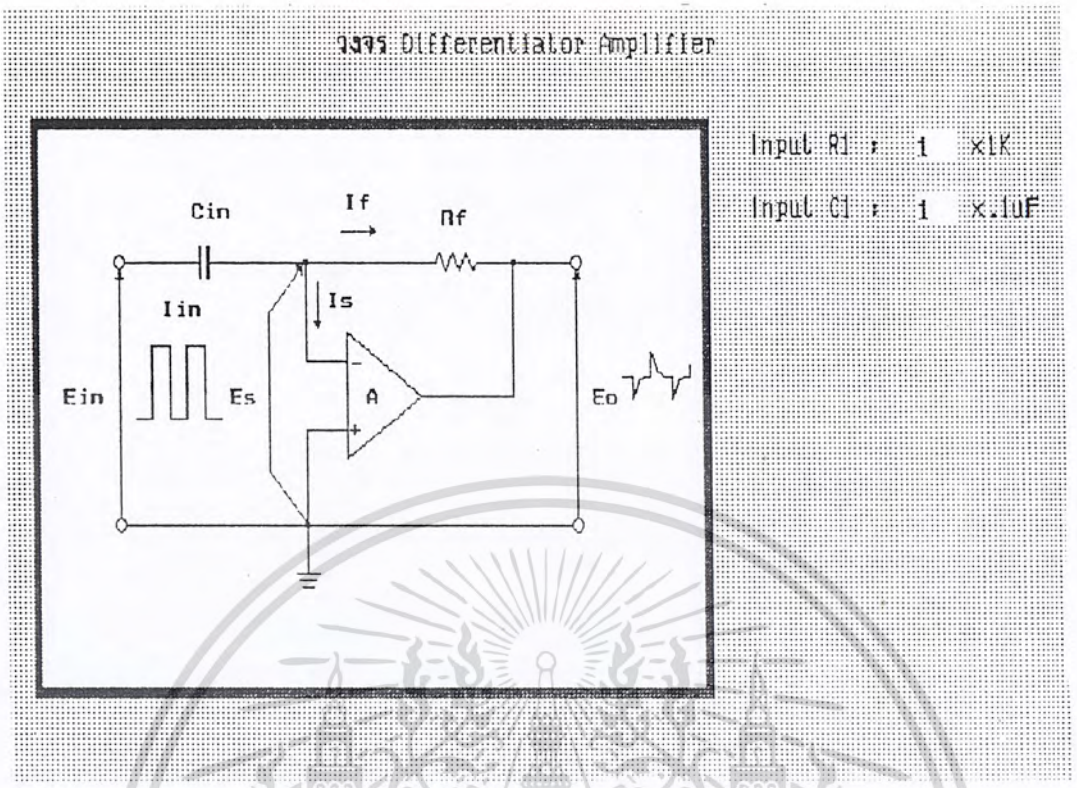
รูปที่ 4.10 แสดงผลการทดลอง

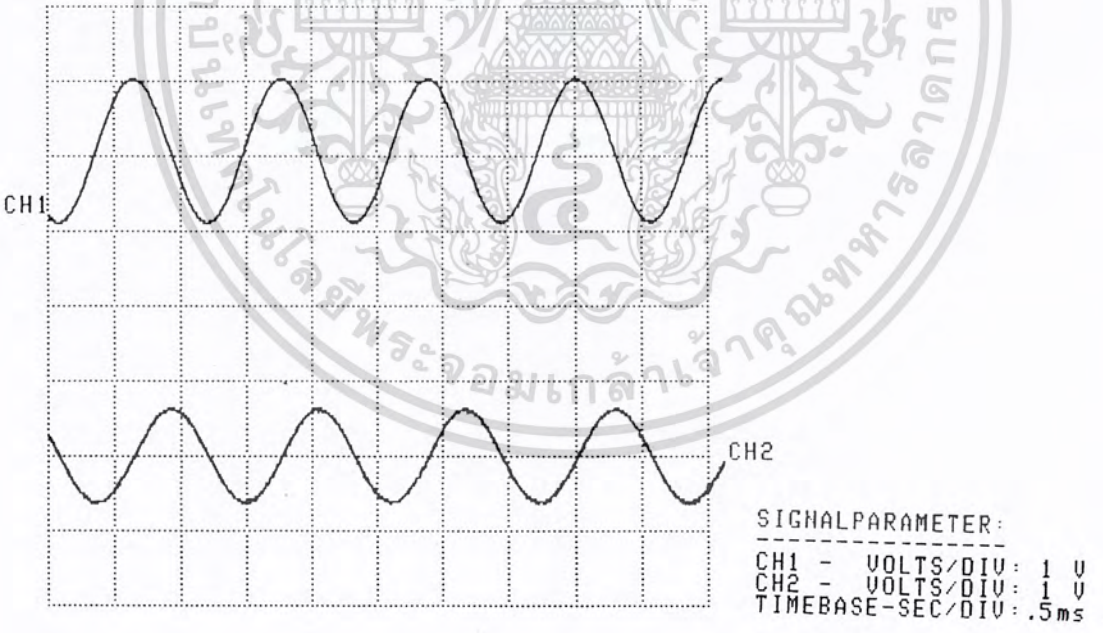
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 Flow chart แสดงผลการทดลองวงจร Differentiator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



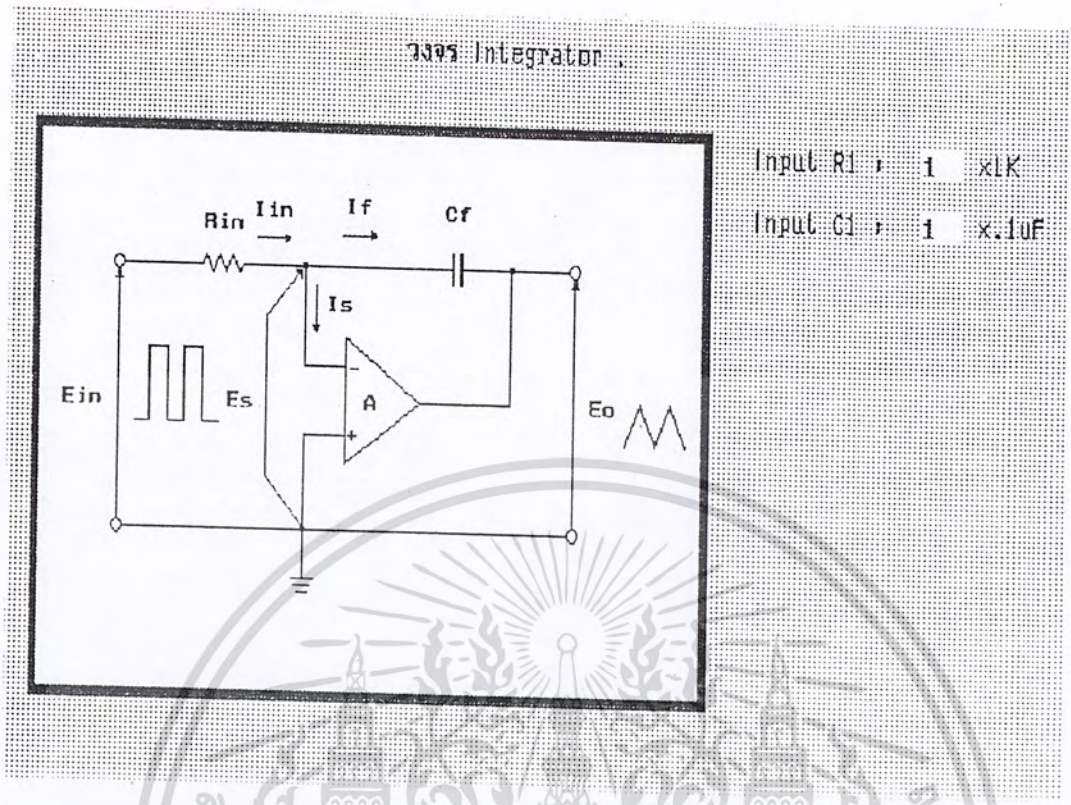


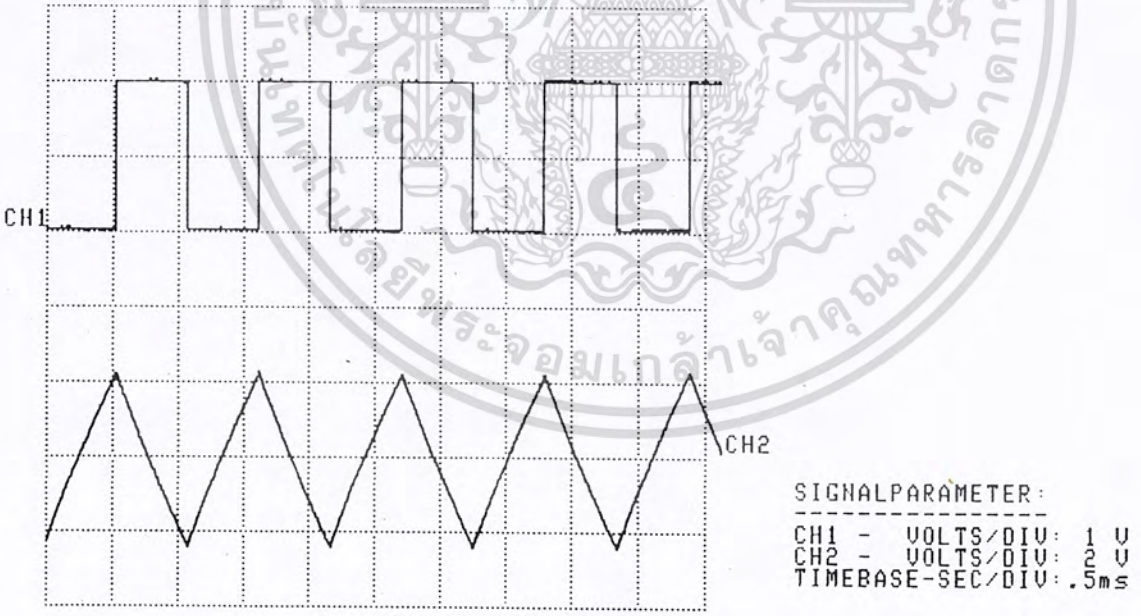
รูปที่ 4.12 แสดงผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.13 Flow chart แสดงผลการทดลองวงจร Integrator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



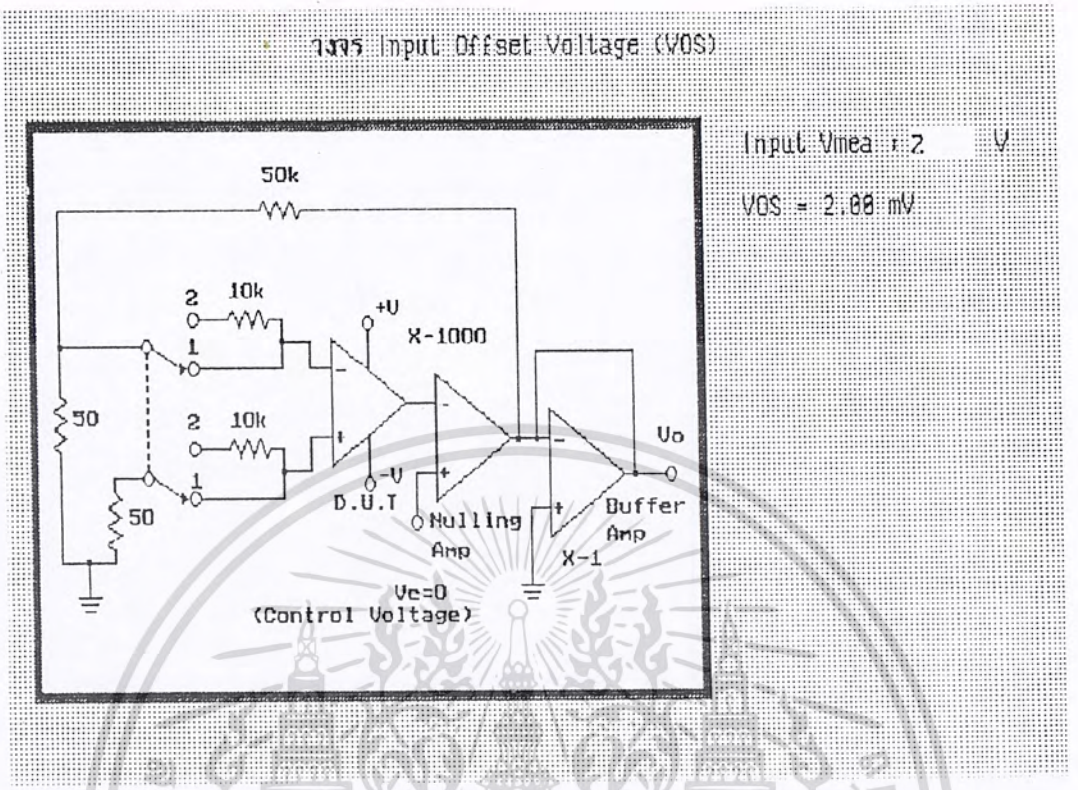


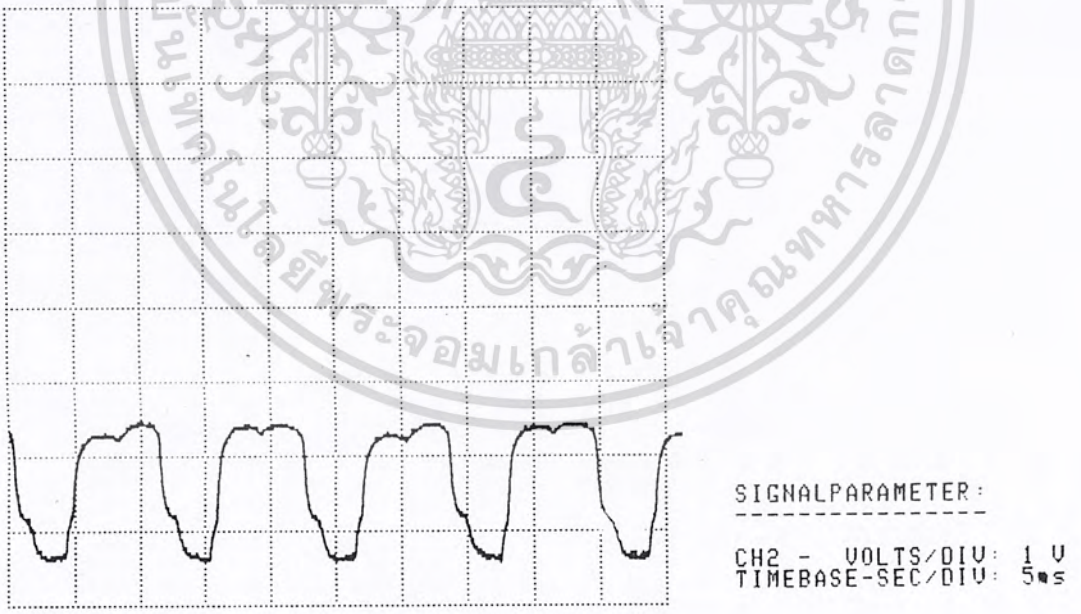
รูปที่ 4.14 แสดงผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.15 Flow chart แสดงผลการทดสอบ Input Offset Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



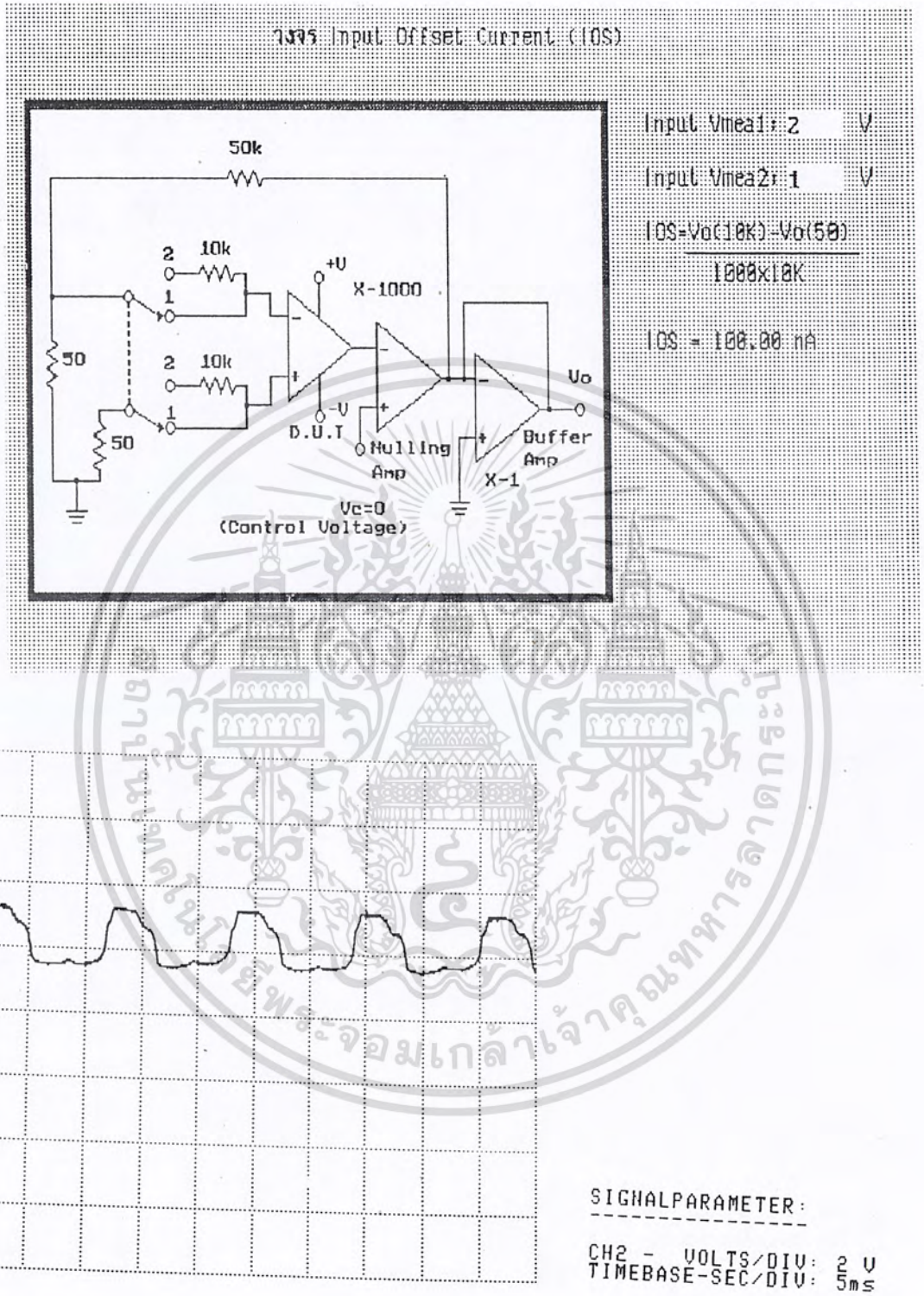


รูปที่ 4.16 แสดงผลการทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.17 Flow chart แสดงผลการทดสอบ Input Offset Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

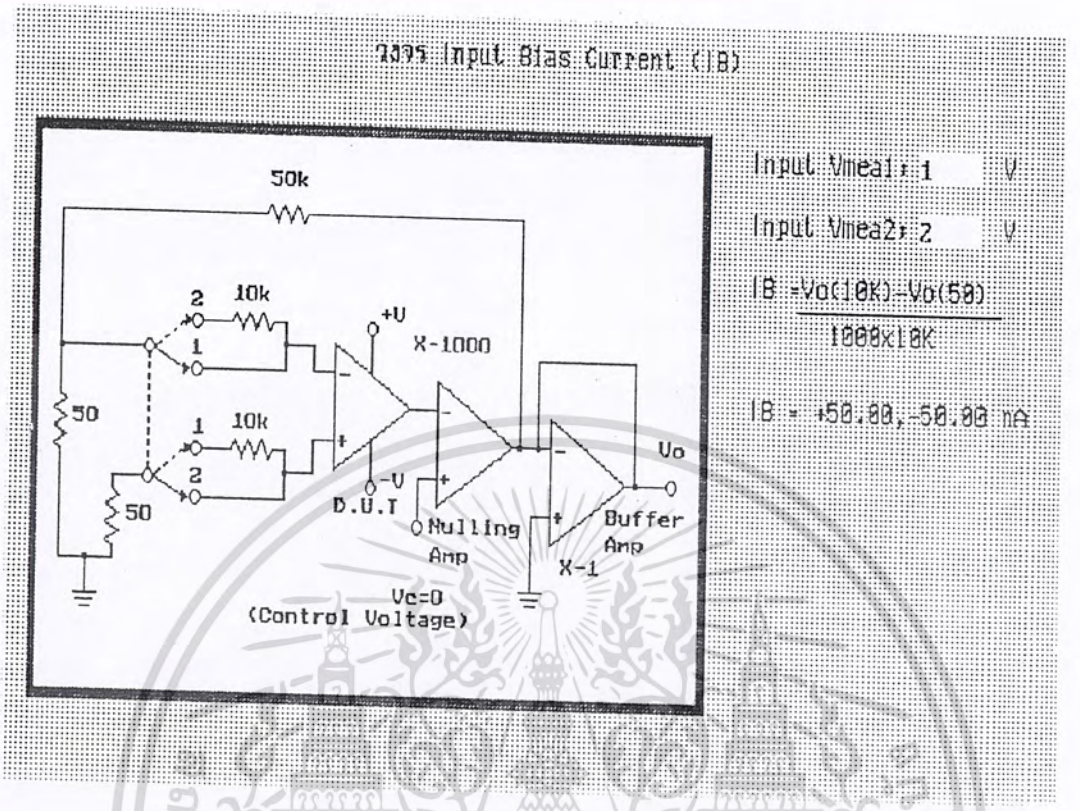


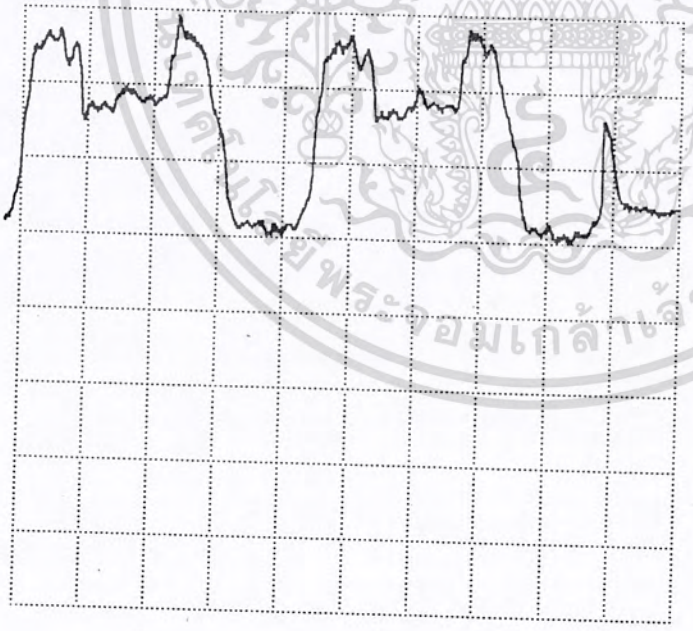
รูปที่ 4.18 แสดงผลการทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.19Flow chart แสดงผลการทดสอบ Input bias Current

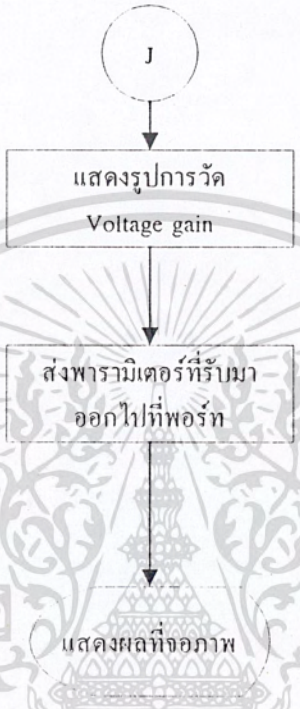
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





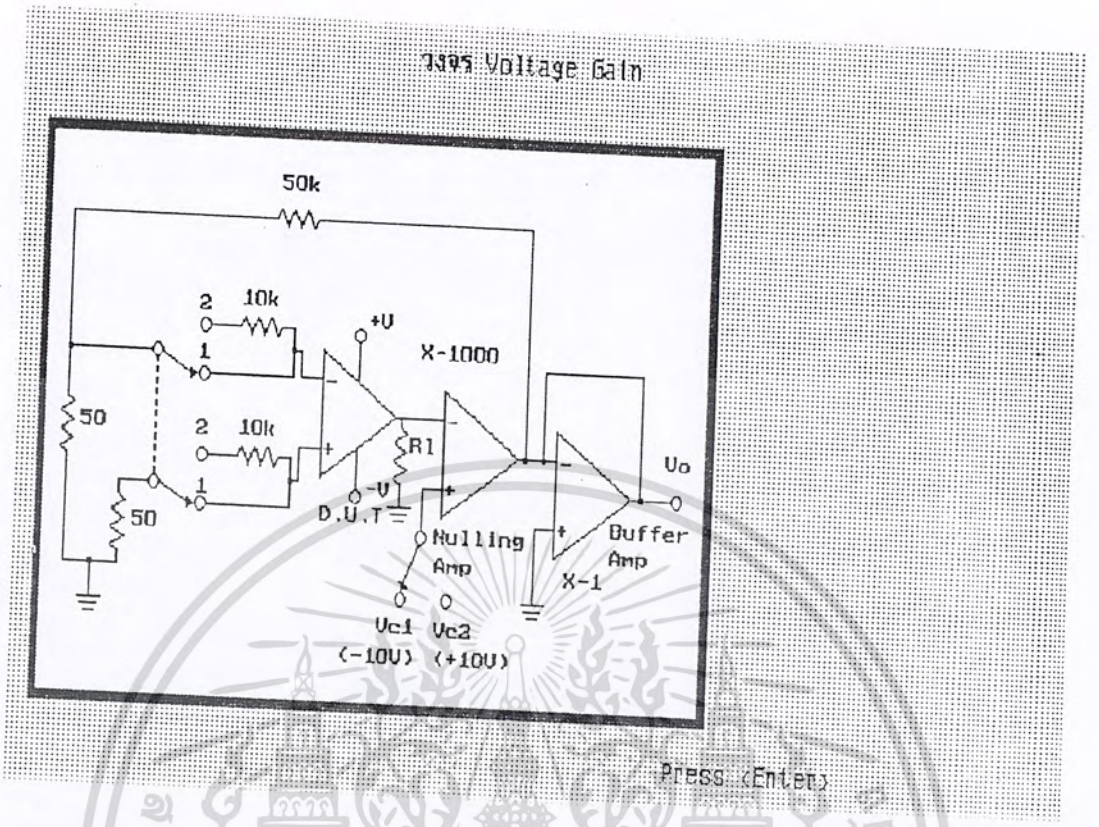
รูปที่ 4.20 แสดงผลการทดสอบ

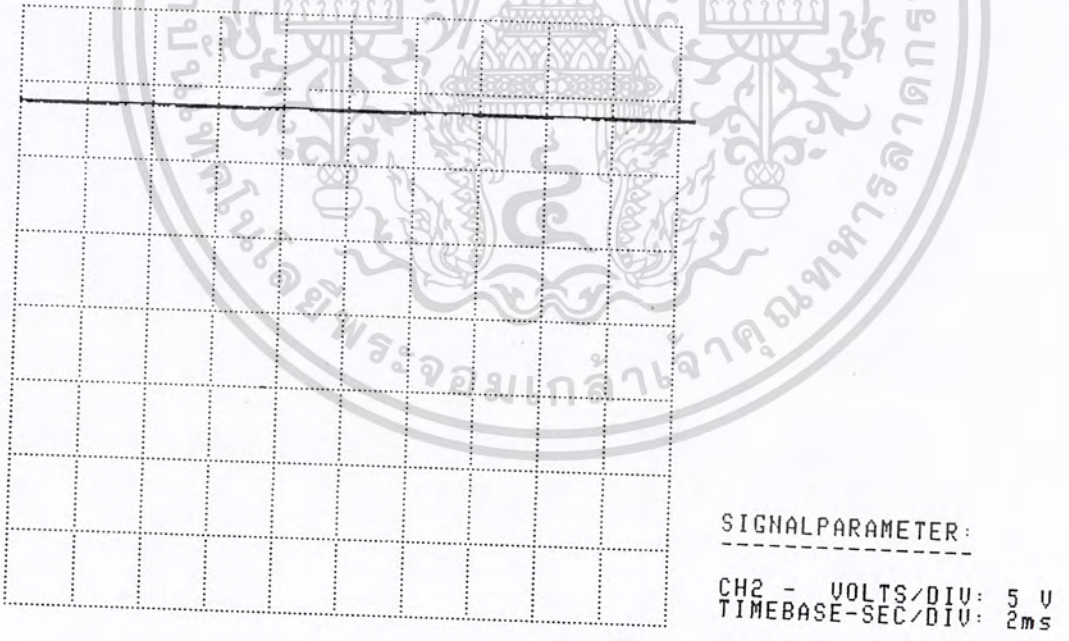
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 Flow chart แสดงผลการทดสอบ Voltage gain

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



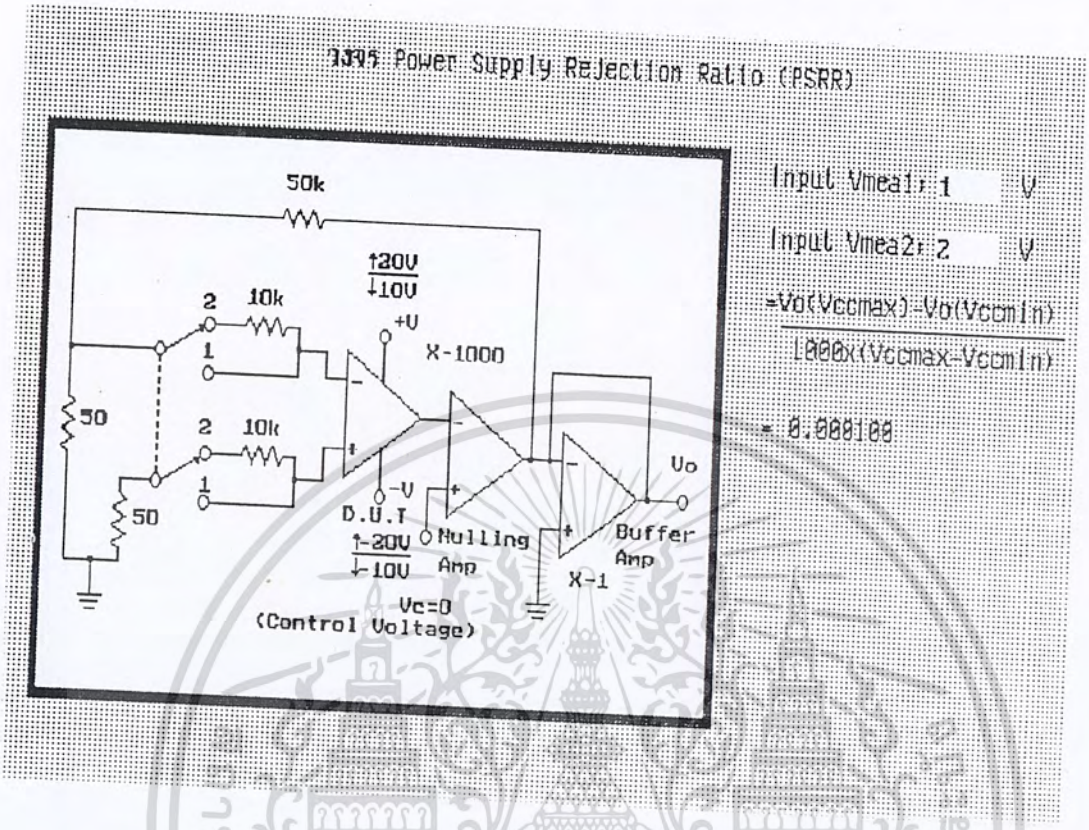


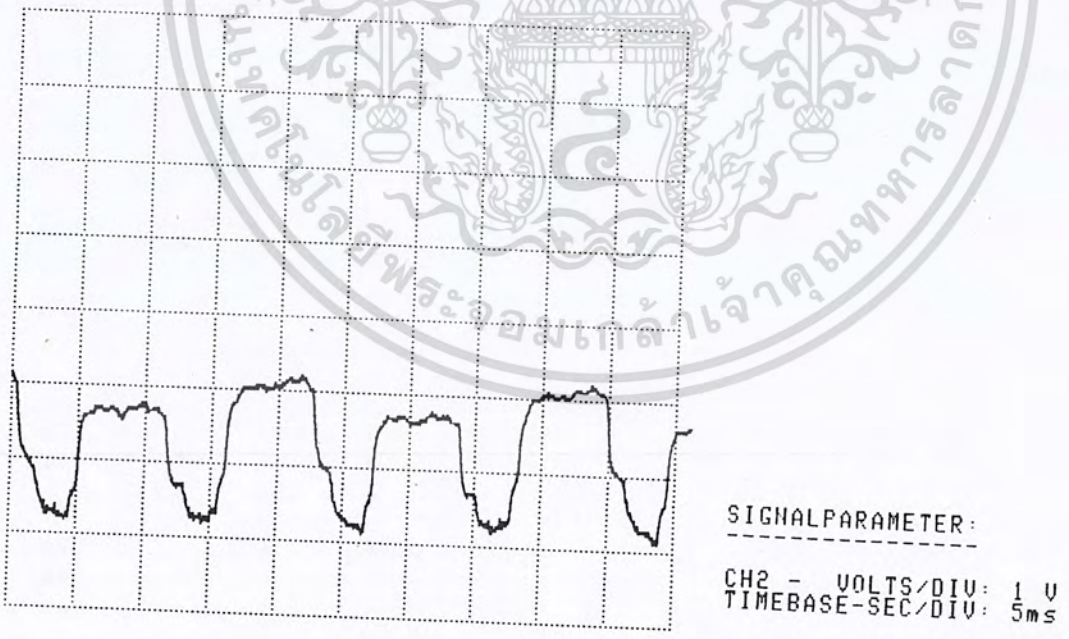
รูปที่ 4.22 แสดงผลการทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.23 Flow chart แสดงผลการทดสอบ Power Supply Rejection Ratio

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



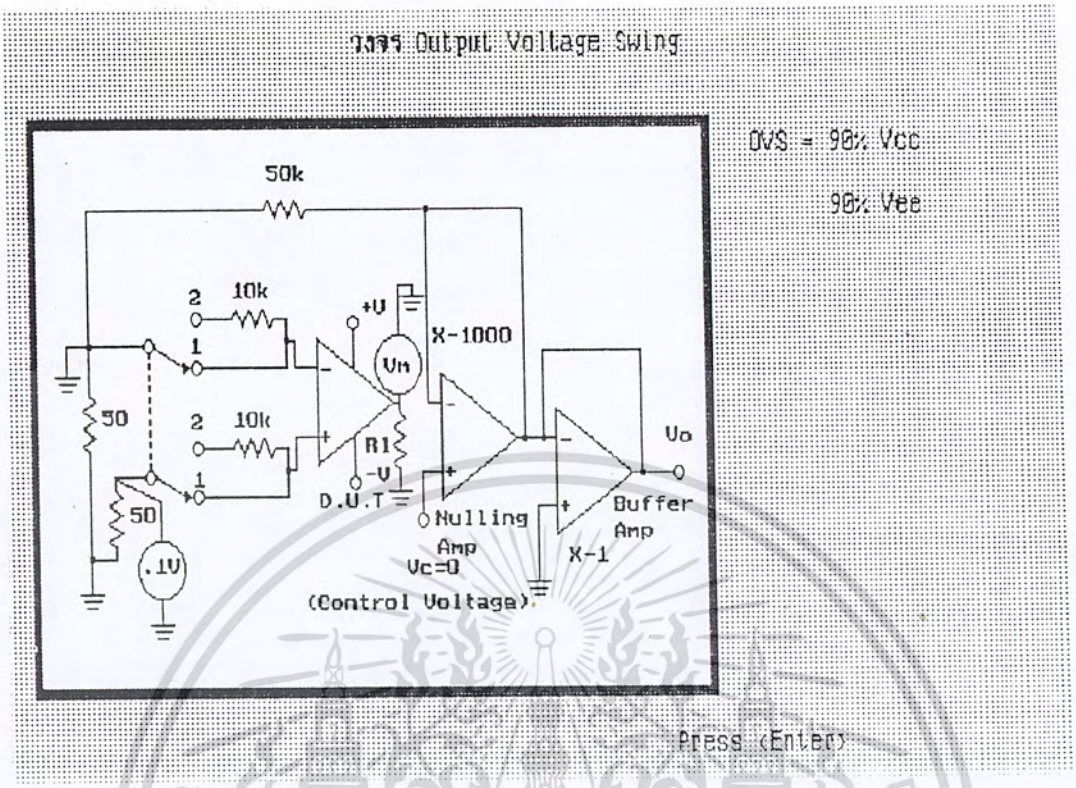


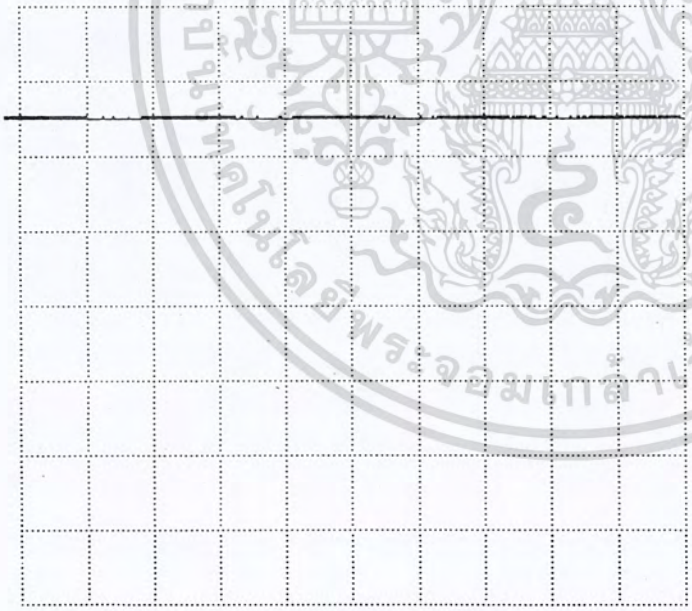
รูปที่ 4.24 แสดงผลการทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.25 Flow chart แสดงผลการทดสอบ Output Voltage Swing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





SIGNALPARAMETER:

CH2 - VOLTS/DIV: 5 V
TIMEBASE-SEC/DIV: 2ms

รูปที่ 4.26 แสดงผลการทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาและอุปสรรค

เกิดจากการวางอุปกรณ์ ซึ่งส่วนใหญ่อุปกรณ์เป็นรีเลย์ จึงเกิดสนามแม่เหล็กรบกวนส่วนของวงจรที่ทำหน้าที่ควบคุม เนื่องจากชิ้นงานของวงจรต่าง ๆ ตอนแรกมีไม่มากได้แก้ไขดัดแปลงจนมากทำให้กล่องบรรจุซึ่งมีขนาดพอดี ทำให้คับแคบลงจึงเกิดปัญหาวงจรต่างวงจรรบกวนกัน รวมไปถึงทรานฟอร์เมอร์ด้วย ซึ่งจะมีสนามแม่เหล็กมารบกวนจึง ทำการป้องกันโดยการแบ่งชีลด์เหล็กกันไว้จึงลดปัญหาลงไปได้

ถ้าเปลี่ยนจากรีเลย์ ซึ่งจะตัดปัญหาสนามแม่เหล็กจาก Coil ของรีเลย์ 4066 ทำหน้าที่แทนแต่เมื่อมันทำงาน มันจะมีค่าความต้านทาน ประมาณ 90 โอห์ม ซึ่งมันไม่ได้ 0 โอห์ม เหมือนรีเลย์ แต่ถ้าเป็น 4066 จะกินกระแสน้อยกว่ารีเลย์มาก ในการทำงานแต่ละครั้ง

สรุปวิจัย และข้อเสนอแนะ

ในการทำชิ้นงานนี้ สามารถทดสอบออปแอมป์ ได้เพียงเบอร์ 741 ซึ่งเป็นที่รู้จักทั่วไป สามารถใช้เป็นสื่อการสอน โดยไม่ต้องยุ่งยากในการประกอบวงจร และเป็นการฝึกทักษะในการใช้คอมพิวเตอร์

ชิ้นงานนี้ควรพัฒนาให้มีการแสดงผลที่หน้าจอคอมพิวเตอร์ และสามารถทดสอบออปแอมป์เบอร์อื่น ๆ ได้ ถ้าหากต้องการเครื่องที่มีความเที่ยงตรงสูงควรใช้รีเลย์เป็นตัวตัดต่อวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. นิกร สุขุตมตันติ อิเล็กทรอนิกส์พื้นฐาน สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง พิมพ์ครั้งที่ 1 พ.ศ.2533

2. วันชัย คุณากรวงศ์,บัณฑิต บัวบูชา,รัฐวุฒิ ปทุมราช,รุ่งแสง เครือไวศยวรรณ์ การคำนวนวงจรทรานซิสเตอร์ หจก.สำนักพิมพ์ฟิสิกส์เซ็นเตอร์

3. นรินทร์ เนาวประทีป ออปแอมป์ หจก.สำนักพิมพ์ฟิสิกส์เซ็นเตอร์

4. Robert F. Coughlin Frederick F. Operational Amplifier & Linear Integrated Circuit Prentice Hall Inc. Driscoll Fourth Edition

5. Floyo Electronic Devices Macmilan Pubisling Company. Third Edition

6. Jerald G. Grame Gene E. Tobey Operational Amplifier Design and Application Mc Graw-Hill Book Company

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

μA741

FREQUENCY-COMPENSATED OPERATIONAL AMPLIFIER

FAIRCHILD LINEAR INTEGRATED CIRCUIT

GENERAL DESCRIPTION — The μA741 is a high performance monolithic Operational Amplifier constructed using the Fairchild Planar* epitaxial process. It is intended for a wide range of analog applications. High common mode voltage range and absence of latch-up tendencies make the μA741 ideal for use as a voltage follower. The high gain and wide range of operating voltage provides superior performance in integrator, summing amplifier, and general feedback applications. Electrical characteristics of the μA741A and E are identical to MIL-M-38510/10101.

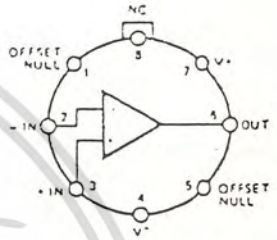
- NO FREQUENCY COMPENSATION REQUIRED
- SHORT CIRCUIT PROTECTION
- OFFSET VOLTAGE NULL CAPABILITY
- LARGE COMMON MODE AND DIFFERENTIAL VOLTAGE RANGES
- LOW POWER CONSUMPTION
- NO LATCH-UP

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	
μA741A, μA741, μA741E	±22 V
μA741C	±18 V
Internal Power Dissipation (Note 1)	
Metal Can	500 mW
Molded and Hermetic DIP	670 mW
Mini DIP	310 mW
Flatpak	570 mW
Differential Input Voltage	±30 V
Input Voltage (Note 2)	±15 V
Storage Temperature Range	
Metal Can, Hermetic DIP, and Flatpak	−65°C to +150°C
Mini DIP, Molded DIP	−55°C to +125°C
Operating Temperature Range	
Military (μA741A, μA741)	−55°C to +125°C
Commercial (μA741E, μA741C)	0°C to +70°C
Lead Temperature (Soldering)	
Metal Can, Hermetic DIPs, and Flatpak (60 s)	300°C
Molded DIPs (10 s)	260°C
Output Short Circuit Duration (Note 3)	Indefinite

CONNECTION DIAGRAMS

8-LEAD METAL CAN
(TOP VIEW)
PACKAGE OUTLINE 5B

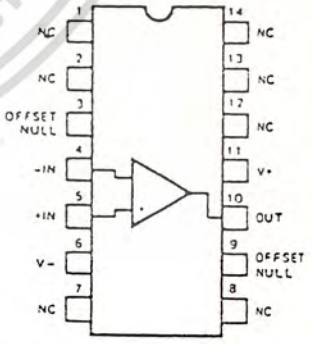


Note: Pin 4 connected to case

ORDER INFORMATION

TYPE	PART NO.
μA741A	μA741AHM
μA741	μA741HM
μA741E	μA741EHC
μA741C	μA741HC

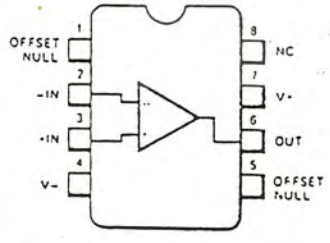
14-LEAD DIP
(TOP VIEW)
PACKAGE OUTLINE 6A, 9A



ORDER INFORMATION

TYPE	PART NO.
μA741A	μA741ADM
μA741	μA741DM
μA741E	μA741EDC
μA741C	μA741DC
μA741C	μA741PC

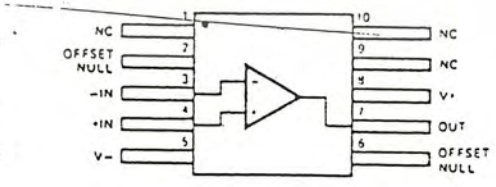
8-LEAD MINIDIP
(TOP VIEW)
PACKAGE OUTLINES 6T 9T
PACKAGE CODES T R



ORDER INFORMATION

TYPE	PART NO.
μA741C	μA741TC
μA741C	μA741RC

10-LEAD FLATPAK
(TOP VIEW)
PACKAGE OUTLINE 3F



ORDER INFORMATION

TYPE	PART NO.
μA741A	μA741AFM
μA741	μA741FM

Notes on following pages.

*Planar is a patented Fairchild process.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

μA741A

ELECTRICAL CHARACTERISTICS (V_S = ±15V, T_A = 25°C unless otherwise specified)

PARAMETERS (see definitions)		CONDITIONS		MIN	TYP	MAX	UNITS
Input Offset Voltage		$R_S \leq 50\Omega$			0.8	3.0	mV
Average Input Offset Voltage Drift						15	μV/°C
Input Offset Current					3.0	30	nA
Average Input Offset Current Drift						0.5	nA/°C
Input Bias Current					30	80	nA
Power Supply Rejection Ratio		V_S = +10, −20; V_S = +20, −10V, R_S = 50Ω			15	50	μV/V
Output Short Circuit Current				10	25	35	mA
Power Dissipation		V_S = ±20V			80	150	mW
Input Impedance		V_S = ±20V		1.0	6.0		MΩ
Large Signal Voltage Gain		V_S = ±20V, R_L = 2kΩ, V_{OUT} = ±15V		50			V/mV
Transient Response	Rise Time				0.25	0.8	μs
(Unity Gain)	Overshoot				6.0	20	%
Bandwidth (Note 4)				.437	1.5		MHz
Slew Rate (Unity Gain)		V_{IN} = ±10V		0.3	0.7		V/μs
The following specifications apply for −55°C ≤ T_A ≤ +125°C							
Input Offset Voltage						4.0	mV
Input Offset Current						70	nA
Input Bias Current						210	nA
Common Mode Rejection Ratio		V_S = ±20V, V_{IN} = ±15V, R_S = 50Ω		80	95		dB
Adjustment For Input Offset Voltage		V_S = ±20V		10			mV
Output Short Circuit Current				10		40	mA
Power Dissipation		V_S = ±20V	−55°C			165	mW
			+125°C			135	mW
Input Impedance		V_S = ±20V		0.5			MΩ
Output Voltage Swing		V_S = ±20V,	R_L = 10kΩ	±16			V
			R_L = 2kΩ	±15			V
Large Signal Voltage Gain		V_S = ±20V, R_L = 2kΩ, V_{OUT} = ±15V		32			V/mV
		V_S = ±5V, R_L = 2kΩ, V_{OUT} = ±2 V		10			V/mV

NOTES

1. Rating applies to ambient temperatures up to 70°C. Above 70°C ambient derate linearly at 6.3mW/°C for the metal can, 8.3mW/°C for the DIP and 7.1mW/°C for the Flatpak.
2. For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.
3. Short circuit may be to ground or either supply. Rating applies to +125°C case temperature or 75°C ambient temperature.
4. Calculated value from: $BW(MHz) = \frac{0.35}{\text{Rise Time } (\mu s)}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z8400
Z80® CPU Central Processing Unit

Zilog

Product Specification

April 1985

FEATURES

- The instruction set contains 158 instructions. The 78 instructions of the 8080A are included as a subset; 8080A software compatibility is maintained.
- Eight MHz, 6 MHz, 4 MHz, and 2.5 MHz clocks for the Z80H, Z80B, Z80A, and Z80 CPU result in rapid instruction execution with consequent high data throughput.
- The extensive instruction set includes string, bit, byte, and word operations. Block searches and block transfers, together with indexed and relative addressing, result in the most powerful data handling capabilities in the microcomputer industry.
- The Z80 microprocessors and associated family of peripheral controllers are linked by a vectored interrupt system. This system may be daisy-chained to allow implementation of a priority interrupt scheme. Little, if any, additional logic is required for daisy-chaining.
- Duplicate sets of both general-purpose and flag registers are provided, easing the design and operation of system software through single-context switching, background-foreground programming, and single-level interrupt processing. In addition, two 16-bit index registers facilitate program processing of tables and arrays.
- There are three modes of high speed interrupt processing: 8080 similar, non-Z80 peripheral device, and Z80 Family peripheral with or without daisy chain.
- On-chip dynamic memory refresh counter.

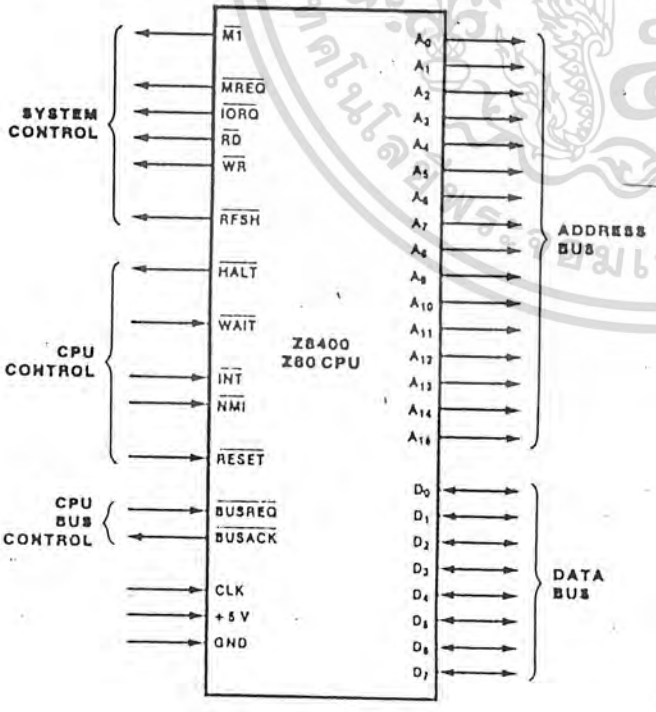


Figure 1. Pin Functions

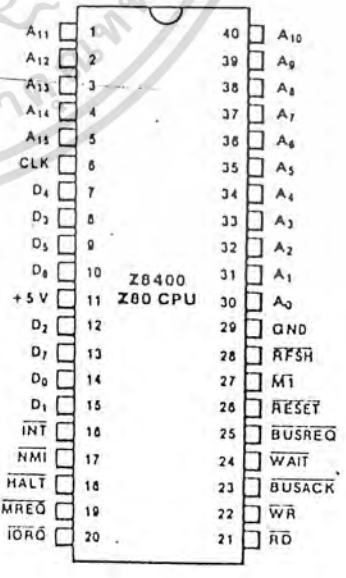


Figure 2a. 40-Pin Dual-In-Line Package (DIP) Pin Assignments

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

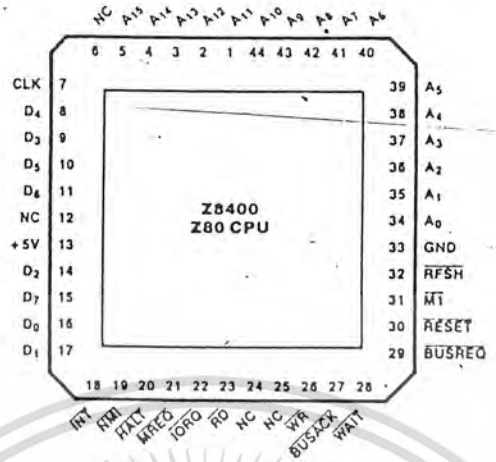


Figure 2b. 44-Pin Chip Carrier Pin Assignments

GENERAL DESCRIPTION

The Z80, Z80A, Z80B, and Z80H CPUs are third-generation single-chip microprocessors with exceptional computational power. They offer higher system throughput and more efficient memory utilization than comparable second- and third-generation microprocessors. The internal registers contain 208 bits of read/write memory that are accessible to the programmer. These registers include two sets of six general-purpose registers which may be used individually as either 8-bit registers or as 16-bit register pairs. In addition, there are two sets of accumulator and flag registers. A group of "Exchange" instructions makes either set of main or alternate registers accessible to the programmer. The alternate set allows operation in foreground-background mode or it may be reserved for very fast interrupt response.

The Z80 also contains a Stack Pointer, Program Counter, two index registers, a Refresh register (counter), and an Interrupt register. The CPU is easy to incorporate into a system since it requires only a single + 5V power source. All output signals are fully decoded and timed to control standard memory or peripheral circuits; the CPU is supported by an extensive family of peripheral controllers. The internal block diagram (Figure 3) shows the primary functions of the Z80 processors. Subsequent text provides more detail on the Z80 I/O controller family, registers, instruction set, interrupts and daisy chaining, and CPU timing.

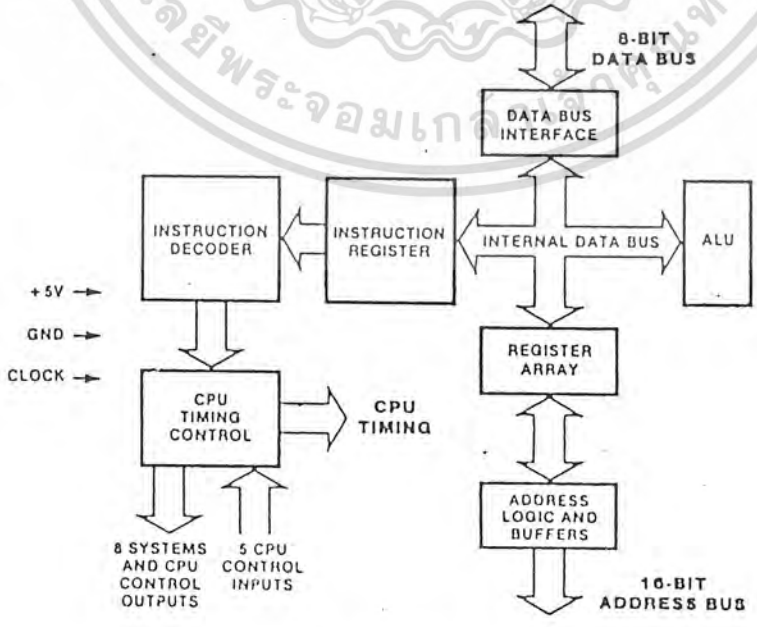


Figure 3. Z80 CPU Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z80 MICROPROCESSOR FAMILY

The Zilog Z80 microprocessor is the central element of a comprehensive microprocessor product family. This family works together in most applications with minimum requirements for additional logic, facilitating the design of efficient and cost-effective microcomputer-based systems.

Zilog has designed five components to provide extensive support for the Z80 microprocessor. These are:

- The PIO (Parallel Input/Output) operates in both data-byte I/O transfer mode (with handshaking) and in bit mode (without handshaking). The PIO may be configured to interface with standard parallel peripheral devices such as printers, tape punches, and keyboards.
- The CTC (Counter/Timer Circuit) features four programmable 8-bit counter/timers, each of which has an 8-bit prescaler. Each of the four channels may be configured to operate in either counter or timer mode.
- The DMA (Direct Memory Access) controller provides dual port data transfer operations and the ability to terminate data transfer as a result of a pattern match.
- The SIO (Serial Input/Output) controller offers two channels. It is capable of operating in a variety of programmable modes for both synchronous and asynchronous communication, including Bi-Synch and SDLC.
- The DART (Dual Asynchronous Receiver/Transmitter) device provides low cost asynchronous serial communication. It has two channels and a full modem control interface.

Z80 CPU REGISTERS

Figure 4 shows three groups of registers within the Z80 CPU. The first group consists of duplicate sets of 8-bit registers: a principal set and an alternate set (designated by ' [prime], e.g., A'). Both sets consist of the Accumulator Register, the Flag Register, and six general-purpose registers. Transfer of data between these duplicate sets of registers is accomplished by use of "Exchange" instructions. The result is faster response to interrupts and easy, efficient implementation of such versatile programming techniques as background-foreground data processing. The second set of registers consists of six registers with assigned functions. These are the I (Interrupt Register), the R (Refresh Register), the IX and IY (Index Registers), the SP (Stack Pointer), and the PC (Program Counter). The third group consists of two interrupt status flip-flops, plus an additional pair of flip-flops which assists in identifying the interrupt mode at any particular time. Table 1 provides further information on these registers.

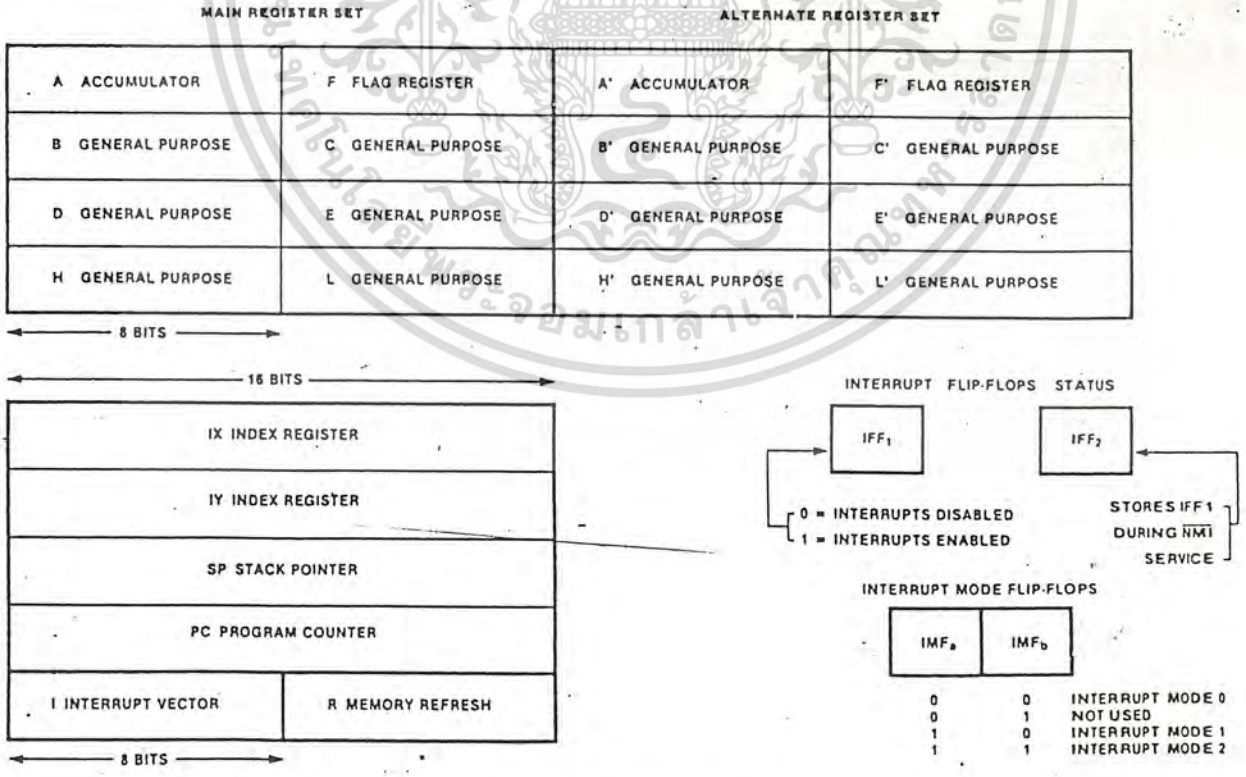


Figure 4. CPU Registers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z80 CPU REGISTERS (Continued)

Table 1. Z80 CPU Registers

Register		Size (Bits)	Remarks
A, A′	Accumulator	8	Stores an operand or the results of an operation.
F, F′	Flags	8	See Instruction Set.
B, B′	General Purpose	8	Can be used separately or as a 16-bit register with C.
C, C′	General Purpose	8	See B, above.
D, D′	General Purpose	8	Can be used separately or as a 16-bit register with E.
E, E′	General Purpose	8	See D, above.
H, H′	General Purpose	8	Can be used separately or as a 16-bit register with L.
L, L′	General Purpose	8	See H, above.
			Note: The (B,C), (D,E), and (H,L) sets are combined as follows: B — High byte C — Low byte D — High byte E — Low byte H — High byte L — Low byte
I	Interrupt Register	8	Stores upper eight bits of memory address for vectored interrupt processing.
R	Refresh Register	8	Provides user-transparent dynamic memory refresh. Automatically incremented and placed on the address bus during each instruction fetch cycle.
IX	Index Register	16	Used for indexed addressing.
IY	Index Register	16	Used for indexed addressing
SP	Stack Pointer	16	Holds address of the top of the stack. See Push or Pop in instruction set.
PC	Program Counter	16	Holds address of next instruction.
IFF_1-IFF_2	Interrupt Enable	Flip-Flops	Set or reset to indicate interrupt status (see Figure 4).
IMFa-IMFb	Interrupt Mode	Flip-Flops	Reflect Interrupt mode (see Figure 4).

INTERRUPTS: GENERAL OPERATION

The CPU accepts two interrupt input signals: $\overline{NMI}$ and $\overline{INT}$. The $\overline{NMI}$ is a non-maskable interrupt and has the highest priority. $\overline{INT}$ is a lower priority interrupt and it requires that interrupts be enabled in software in order to operate. $\overline{INT}$ can be connected to multiple peripheral devices in a wired-OR configuration.

The Z80 has a single response mode for interrupt service for the non-maskable interrupt. The maskable interrupt, $\overline{INT}$, has three programmable response modes available. These are:

- Mode 0 — similar to the 8080 microprocessor.
- Mode 1 — Peripheral Interrupt service, for use with non-8080/Z80 systems.
- Mode 2 — a vectored interrupt scheme, usually daisy-chained, for use with Z80 Family and compatible peripheral devices.

The CPU services interrupts by sampling the $\overline{NMI}$ and $\overline{INT}$ signals at the rising edge of the last clock of an instruction. Further interrupt service processing depends upon the type of interrupt that was detected. Details on interrupt responses are shown in the CPU Timing Section.

Non-Maskable Interrupt ($\overline{NMI}$). The nonmaskable interrupt cannot be disabled by program control and therefore will be accepted at all times by the CPU. $\overline{NMI}$ is usually reserved for servicing only the highest priority type interrupts, such as that for orderly shutdown after power failure has been detected. After recognition of the $\overline{NMI}$ signal (providing $\overline{BUSREQ}$ is not active), the CPU jumps to restart location 0066H. Normally, software starting at this address contains the interrupt service routine.

Maskable Interrupt ($\overline{INT}$). Regardless of the interrupt mode set by the user, the Z80 response to a maskable interrupt input follows a common timing cycle. After the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

interrupt has been detected by the CPU (provided that interrupts are enabled and $\overline{BUSREQ}$ is not active) a special interrupt processing cycle begins. This is a special fetch ($\overline{M1}$) cycle in which $\overline{IORQ}$ becomes active rather than $\overline{MREQ}$, as in a normal $\overline{M1}$ cycle. In addition, this special $\overline{M1}$ cycle is automatically extended by two $\overline{WAIT}$ states, to allow for the time required to acknowledge the interrupt request.

Mode 0 Interrupt Operation. This mode is similar to the 8080 microprocessor interrupt service procedures. The interrupting device places an instruction on the data bus. This is normally a Restart instruction, which will initiate a call to the selected one of eight restart locations in page zero of memory. Unlike the 8080, the Z80 CPU responds to the Call instruction with only one interrupt acknowledge cycle followed by two memory read cycles.

Mode 1 Interrupt Operation. Mode 1 operation is very similar to that for the $\overline{NMI}$. The principal difference is that the Mode 1 interrupt has only one restart location, 0038H.

Mode 2 Interrupt Operation. This interrupt mode has been designed to utilize most effectively the capabilities of the Z80 microprocessor and its associated peripheral family. The interrupting peripheral device selects the starting address of the interrupt service routine. It does this by placing an 8-bit vector on the data bus during the interrupt acknowledge cycle. The CPU forms a pointer using this byte as the lower 8 bits and the contents of the I register as the upper 8 bits. This points to an entry in a table of addresses for interrupt service routines. The CPU then jumps to the routine at that address. This flexibility in selecting the interrupt service routine address allows the peripheral device to use several different types of service routines. These routines may be located at any available location in memory. Since the interrupting device supplies the low-order byte of the 2-byte vector, bit 0 (A_0) must be a zero.

Interrupt Priority (Daisy Chaining and Nested Interrupts). The interrupt priority of each peripheral device is determined by its physical location within a daisy-chain configuration. Each device in the chain has an interrupt enable input line (IEI) and an interrupt enable output line (IEO), which is fed to the next lower priority device. The first device in the daisy chain has its IEI input hardwired to a High level. The first device has highest priority, while each succeeding device has a corresponding lower priority. This arrangement permits the CPU to select the highest priority interrupt from several simultaneously interrupting peripherals.

The interrupting device disables its IEO line to the next lower priority peripheral until it has been serviced. After servicing, its IEO line is raised, allowing lower priority peripherals to demand interrupt servicing.

The Z80 CPU will nest (queue) any pending interrupts or interrupts received while a selected peripheral is being serviced.

Interrupt Enable/Disable Operation. Two flip-flops, IFF_1 and IFF_2, referred to in the register description, are used to signal the CPU interrupt status. Operation of the two flip-flops is described in Table 2. For more details, refer to the *Z80 CPU Technical Manual* (03-0029-01) and *Z80 Assembly Language Programming Manual* (03-0002-01).

Table 2. State of Flip-Flops

Action	IFF_1	IFF_2	Comments
CPU Reset	0	0	Maskable interrupt INT disabled
DI instruction execution	0	0	Maskable interrupt INT disabled
EI instruction execution	1	1	Maskable interrupt INT enabled
LD A,I instruction execution	•	•	$IFF_2 \rightarrow$ Parity flag
LD A,R instruction execution	•	•	$IFF_2 \rightarrow$ Parity flag
Accept NMI	0	IFF_1	$IFF_1 \rightarrow IFF_2$ (Maskable interrupt INT disabled)
RETN instruction execution	IFF_2	•	$IFF_2 \rightarrow IFF_1$ at completion of an NMI service routine.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2764A
ADVANCED 64K (8Kx8) UV ERASABLE PROM

- Fast 180 nsec Access Time —HMOS II*-E Technology
- Low Power —60 mA Maximum Active —20 mA Maximum Standby
- Two Line Control
- Intelligent Programming™ Algorithm —Fastest EPROM Programming
- Intelligent Identifier™ Mode —Automated Programming Operations
- Compatible with 2764, 27128, 27256
- ±10% V_{CC} Tolerance Available

The Intel 2764A is a 5V only, 65,536-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 2764A is an advanced version of the 2764 and is fabricated with Intel's HMOSII-E technology which significantly reduces die size and greatly improves the device's performance, power consumption, reliability and producibility.

The 2764A provides access times to 180 ns/2764A-1). This is an improvement over the fastest 2764 access time of 200 ns. This is compatible with high-performance microprocessors, such as Intel's 8 MHz iAPX 186 allowing full speed operation without the addition of WAIT states. The 2764A is also directly compatible with the 12 MHz 8051 family.

Several advanced features have been designed into the 2764A that allow fast and reliable programming—the intelligent Programming Algorithm and the intelligent Identifier Mode. Programming equipment that takes advantage of these innovations will electronically identify the 2764A and then rapidly program it using an efficient programming method.

The 2764A also offers reduced power consumption compared to the 2764. The maximum active current on faster speed parts is 60 mA while the maximum standby current is only 20 mA. The standby mode lowers power consumption without increasing access time.

Two-line control and JEDEC-approved, 28 pin packaging are standard features of all Intel higher density EPROMs. This ensures easy microprocessor interfacing and minimum design efforts when upgrading, adding or choosing between non-volatile memory alternatives.

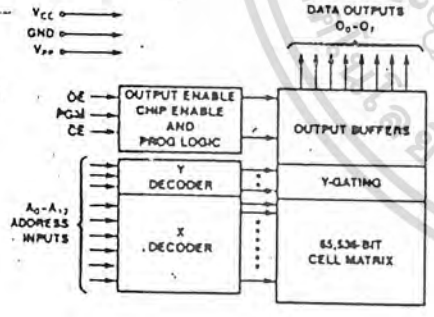
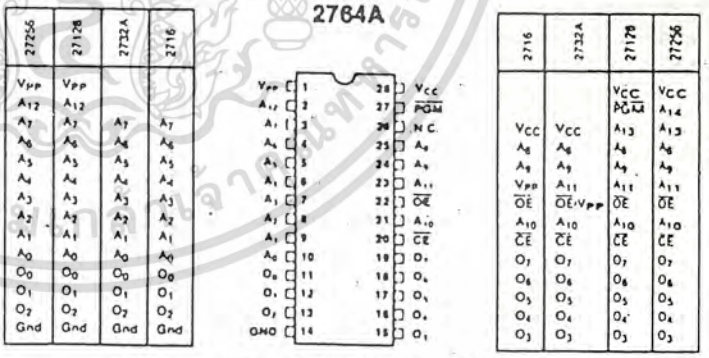


Figure 1. Block Diagram



NOTE: INTEL "UNIVERSAL SITE"-COMPATIBLE EPROM PIN CONFIGURATIONS ARE SHOWN IN THE BLOCKS ADJACENT TO THE 2764A PINS

Figure 2. Pin Configurations

MODE SELECTION

MODE \ PINS	CE (20)	OE (22)	PGM (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11-13, 15-19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High Z
Verify	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High Z
Intelligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_H	V_{CC}	V_{CC}	Code
Intelligent Programming	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}

1. X can be V_{IH} or V_{IL}
2. V_H = 12.0V ±0.5V

PIN NAMES

A_0-A_{12}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}$	OUTPUT ENABLE
O_0-O_7	OUTPUTS
PGM	PROGRAM
N.C.	NO CONNECT

*HMOS is a patented process of Intel Corporation

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.
©INTEL CORPORATION, 1984.

ไมวากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias ..... −10°C to +80°C
Storage Temperature ..... −65°C to +125°C
All Input or Output Voltages with Respect to Ground ..... +6.5V to -0.6V
Voltage on Pin 24 with Respect to Ground ..... +13.5V to −0.6V
V_{PP} Supply Voltage with Respect to Ground During Programming ..... +14V to −0.6V

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	2764A-1, 2764A-2, 2764A 2764A-3, 2764A-4	2764A-20, 2764A-25 2764A-30, 2764A-45
Operating Temperature Range	0°−70°C	0°−70°C
V_{CC} Power Supply[1,2]	5V ±5%	5V ±10%
V_{PP} Voltage[2]	$V_{PP} = V_{CC}$	$V_{PP} = V_{CC}$

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits			Unit	Conditions
		Min	Typ[3]	Max		
I_{LI}	Input Load Current			10	μA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	μA	$V_{OUT} = 5.5V$
I_{PP1}[2]	V_{PP} Current Read			5	mA	$V_{PP} = 5.5V$
I_{CC1}[2]	V_{CC} Current Standby			20/35[5]	mA	$\overline{CE} = V_{IH}$
I_{CC2}[2]	V_{CC} Current Active			60/75[5]	mA	$\overline{CE} = \overline{OE} = V_{IL}$
V_{IL}	Input Low Voltage	-.1		+.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -400\,\mu A$
V_{PP}[2]	V_{PP} Read Voltage	3.8		V_{CC}	V	$V_{CC} = 5.0V \pm 0.25V$

A.C. CHARACTERISTICS

Symbol	Parameter	2764A-1 Limits		2764A-20 & 2764A-2 Limits		2764A-25 & 2764A Limits		2764A-30 & 2764A-3 Limits		2764A-45 & 2764A-4 Limits		Unit	Test Conditions
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
t_{ACC}	Address to Output Delay		180		200		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		180		200		250		300		450	ns	$\overline{OE} = V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		65		75		100		120		150	ns	$\overline{CE} = V_{IL}$
t_{DF}[4]	$\overline{OE}$ or $\overline{CE}$ High to Output Data Float	0	55	0	55	0	60	0	105	0	130	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

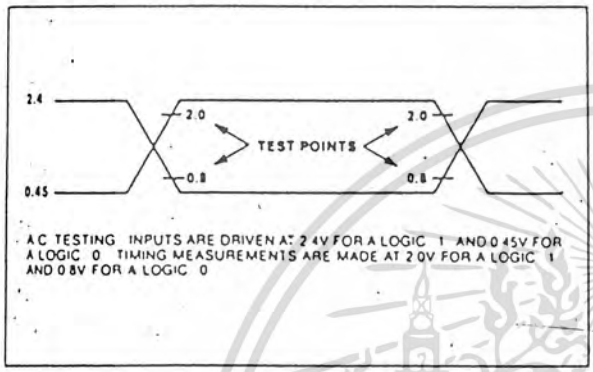
NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP}.
3. Typical values are for $t_A = 25°C$ and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven — see timing diagram on the following page.
5. Max I_{CC} rating differs with access time. Rating of 60 mA active and 20 mA standby are for 2764As at 200 nsec and 180 nsec access time only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

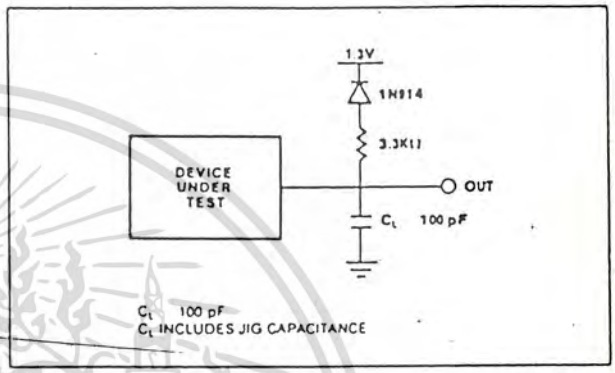
CAPACITANCE[2] (T_A = 25°C, f = 1MHz)

Symbol	Parameter	Typ.[1]	Max.	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

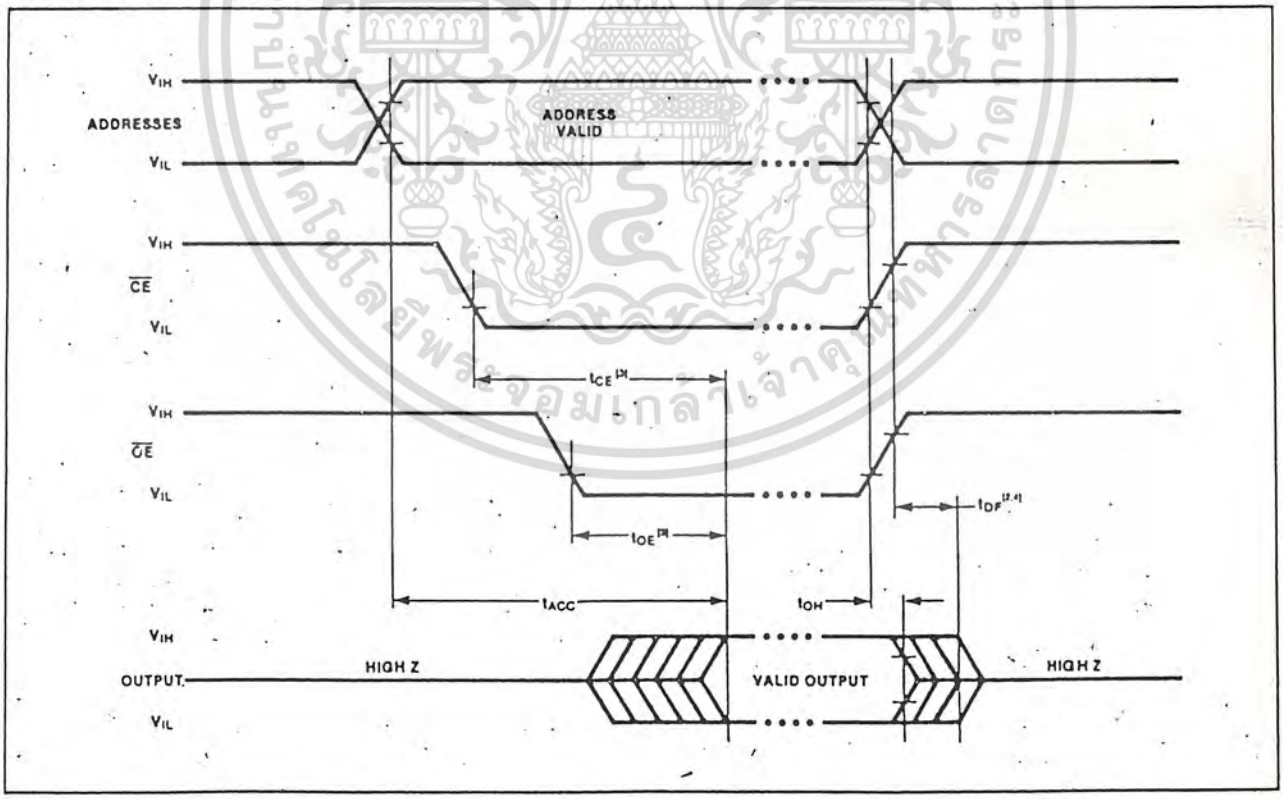
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



NOTES:
1. Typical values are for T_A = 25°C and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3. $\overline{OE}$ may be displayed up to $t_{CE} - t_{OE}$ after the falling edge of $\overline{CE}$ without impact on t_{CE}.
4. t_{DF} is specified from $\overline{OE}$ or $\overline{CE}$, whichever occurs first.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE OPERATION

The seven modes of operation of the 2764A are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for intelligent identifier mode.

Table 1. MODE SELECTION

MODE \ PINS	$\overline{CE}$ (20)	$\overline{OE}$ (22)	$\overline{PGM}$ (27)	A_9 (24)	V_{PP} (1)	V_{CC} (28)	Outputs (11–13, 15–19)
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	V_{CC}	D_{OUT}
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	V_{CC}	High Z
Standby	V_{IH}	X	X	X	V_{CC}	V_{CC}	High Z
Verify	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	V_{CC}	D_{OUT}
Program Inhibit	V_{IH}	X	X	X	V_{PP}	V_{CC}	High Z
intelligent Identifier	V_{IL}	V_{IL}	V_{IH}	V_H	V_{CC}	V_{CC}	Code
intelligent Programming	V_{IL}	V_{IH}	V_{IL}	X	V_{PP}	V_{CC}	D_{IN}

NOTES:
1. X can be V_{IH} or V_{IL}
2. V_H = 12.0V ± 0.5V

READ MODE

The 2764A has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after a delay of t_{OE} from the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC} - t_{OE}$.

STANDBY MODE

The 2764A has standby mode which reduces the maximum current from 75 mA to 35 mA. The 2764A is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Output OR-Tieing

Because EPROMs are usually used in larger memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, $\overline{CE}$ (pin 20) should be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 22) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

System Considerations

The power switching characteristics of HMOSII-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note AP-72, Order Number 8566, and by properly selected decoupling capacitors. It is recommended that a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effect of PC board-traces.

PROGRAMMING MODES

Caution: Exceeding 14V on pin 1 (V_{PP}) will permanently damage the 2764A.

Initially, and after each erasure, all bits of the 2764A are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2764A is in the programming mode when V_{PP} input is at 12.5V and $\overline{CE}$ and $\overline{PGM}$ are both at TTL low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Inteligent Programming™ Algorithm

The 2764A inteligent Programming Algorithm rapidly programs Intel 2764A EPROMs using an efficient and reliable method particularly suited to the production programming environment. Typical programming time for individual devices is on the order of one and a half minutes. Programming reliability is also ensured as the incremental program margin of each byte is continually monitored to determine when it has been successfully programmed. A flowchart of the 2764A inteligent Programming Algorithm is shown in Figure 3.

The inteligent Programming Algorithm utilities two different pulse types: initial and overprogram. The duration of the initial $\overline{PGM}$ pulse(s) is one millisecond, which will then be followed by a longer overprogram pulse of length 3X msec. X is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular 2764A location, before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the overprogram pulse is applied.

The entire sequence of program pulses and byte verifications is performed at V_{CC} = 6.0V and V_{PP} = 12.5V. When the inteligent Programming cycle has been completed, all bytes should be compared to the original data with $V_{CC} = V_{PP} = 5.0V$.

Program Inhibit

Programming of multiple 2764As in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level $\overline{CE}$ or $\overline{PGM}$ input inhibits the other 2764As from being programmed.

Except for $\overline{CE}$, all like inputs (including $\overline{OE}$) of the parallel 2764As may be common. A TTL low-level pulse applied to the $\overline{CE}$ input with V_{PP} at 12.5V will program the selected 2764A.

Verify

A verify should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with $\overline{OE}$ at V_{IL}, $\overline{CE}$ at V_{IL}, $\overline{PGM}$ at V_{IH} and V_{PP} at 12.5V.

Inteligent Identifier™ Mode

The inteligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ±5°C ambient temperature range that is required when programming the 2764A.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the 2764A. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 10) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during inteligent Identifier Mode.

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the Intel 2764A, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

Table 2. 2764A inteligent Identifier™ Bytes

Identifier \ Pins	A_0 (10)	O_7 (19)	O_6 (18)	O_5 (17)	O_4 (16)	O_3 (15)	O_2 (13)	O_1 (12)	O_0 (11)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	V_{IH}	0	0	0	0	1	0	0	0	08

NOTES:
1. $A_9 = 12.0V \pm 0.5V$
2. A_1–A_6, A_{10}–A_{13}, $\overline{CE}$, $\overline{OE} = V_{IL}$
3. $A_{14} = V_{IH}$ or V_{IL}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

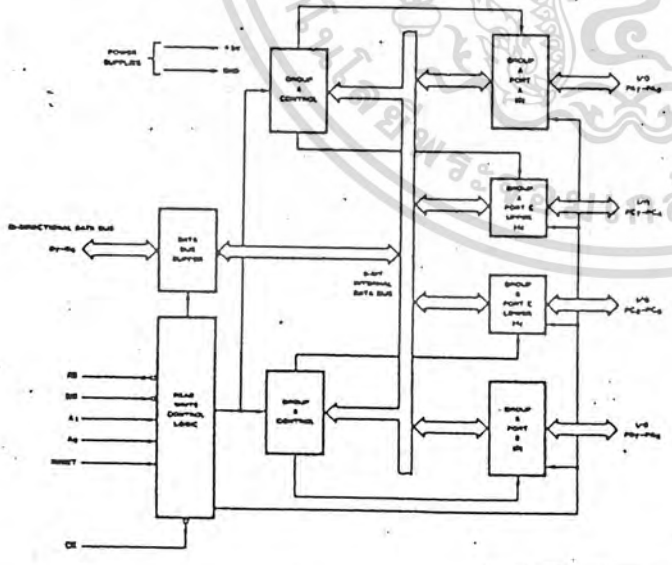


Figure 1. 8255A Block Diagram

Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS – PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3-STATE

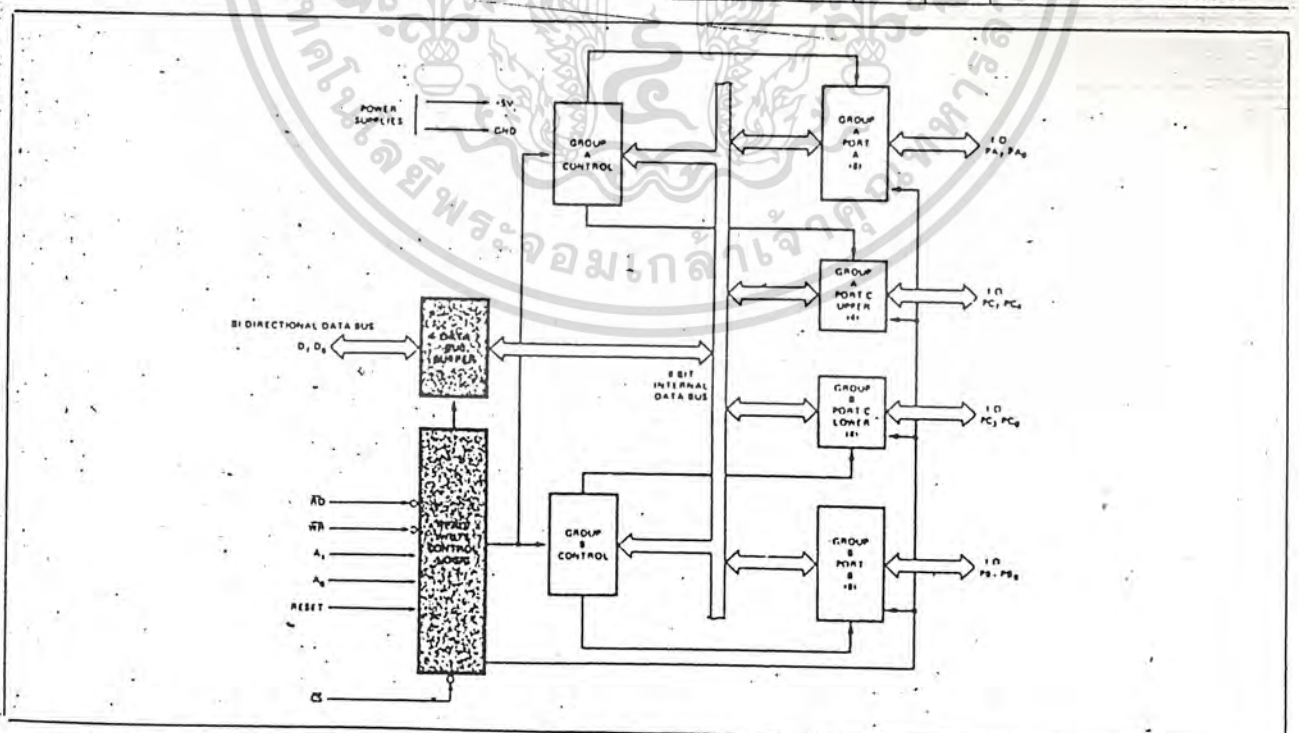


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

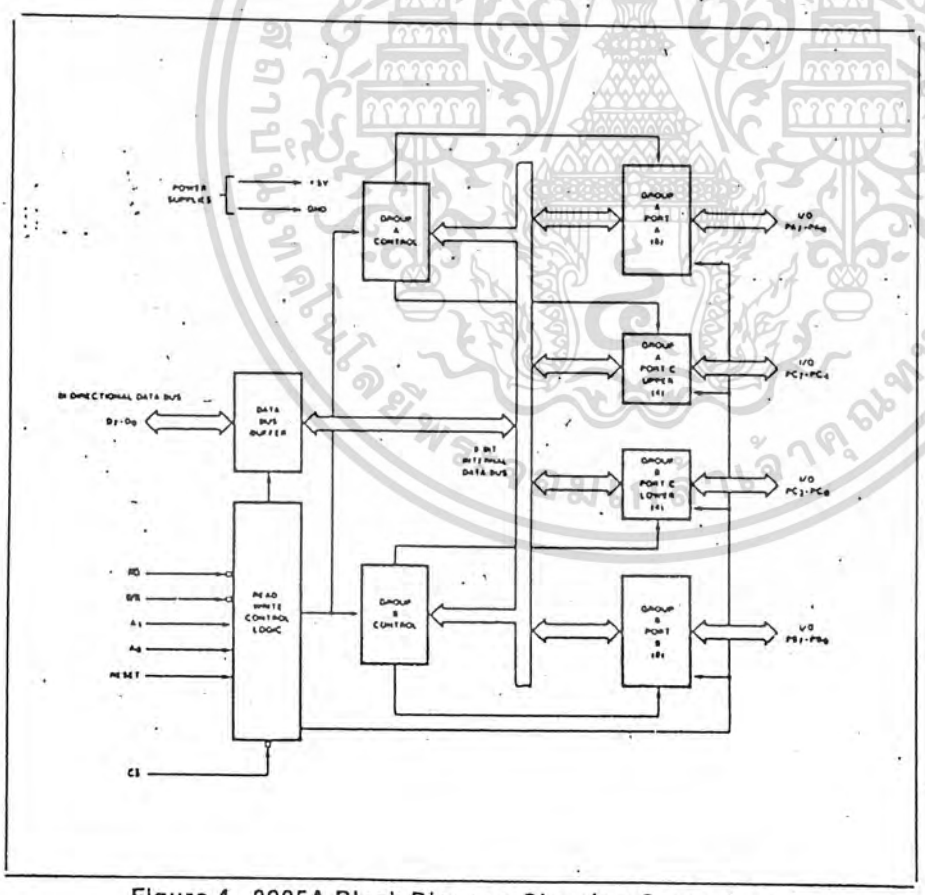
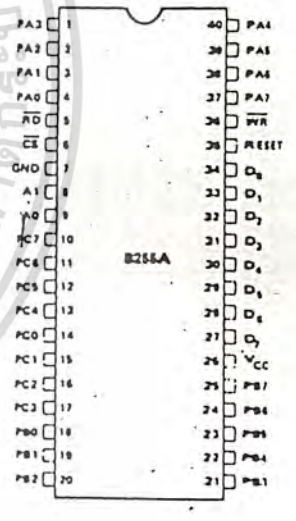


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D_7 - D_0	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic Input/Output
Mode 1 — Strobed Input/Output
Mode 2 — Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance: Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

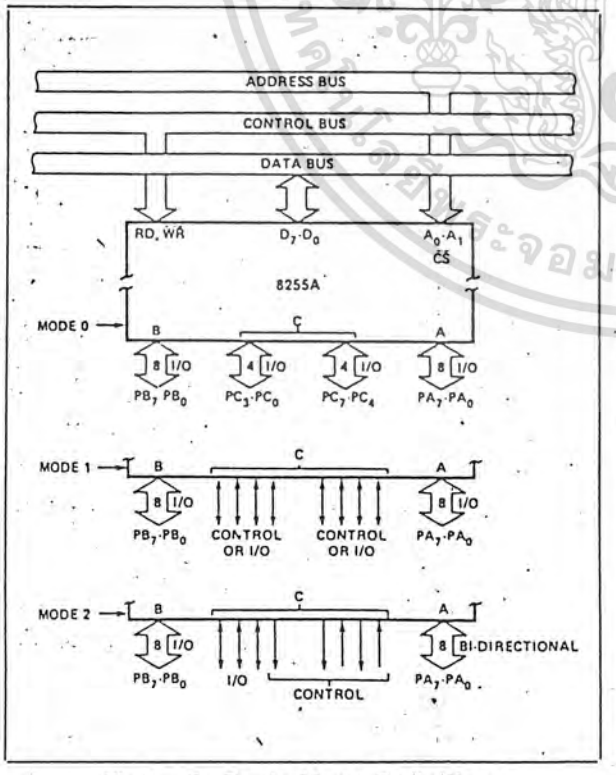


Figure 5. Basic Mode Definitions and Bus Interface

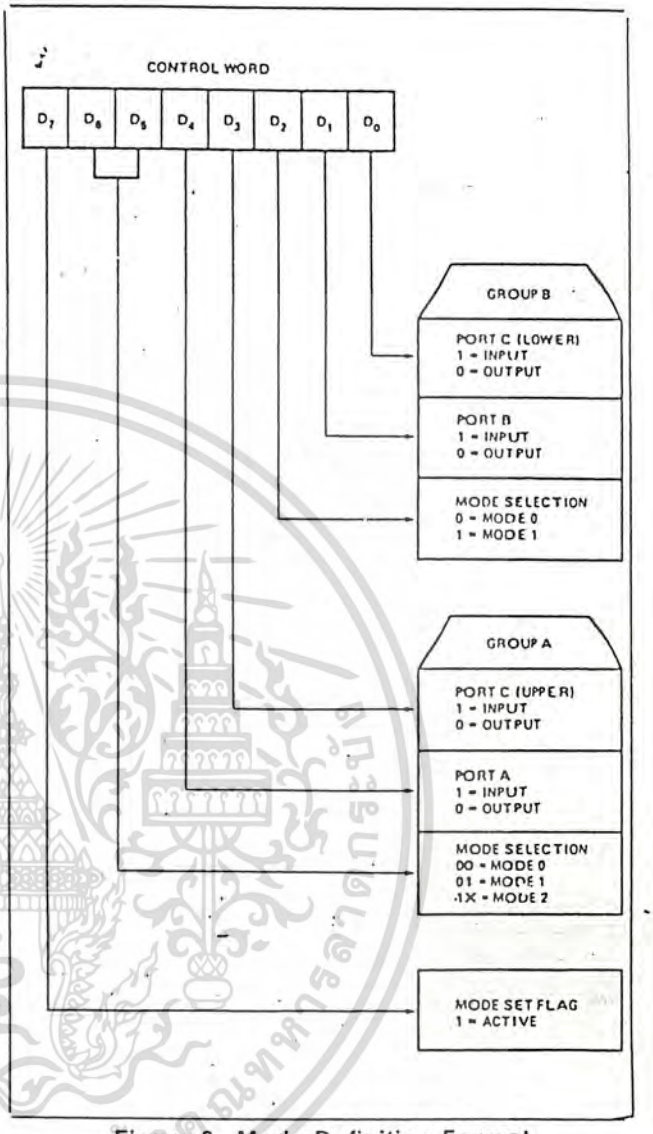


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

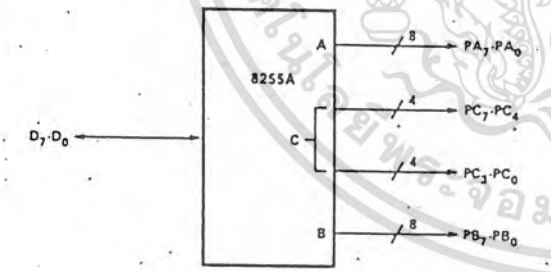
MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

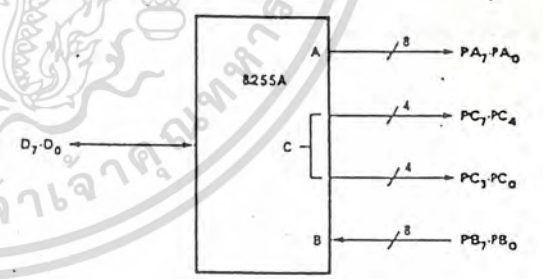
CONTROL WORD #0

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	0	0	0	0



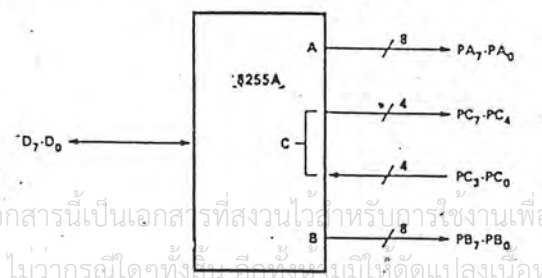
CONTROL WORD #2

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	0	0	1	0



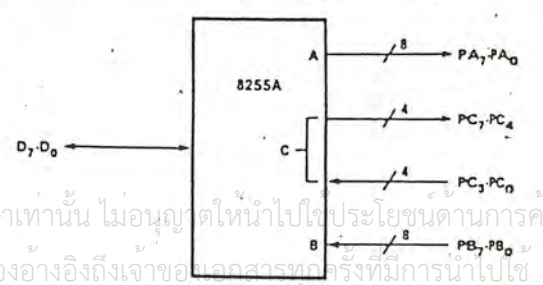
CONTROL WORD #1

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	0	0	0	1



CONTROL WORD #3

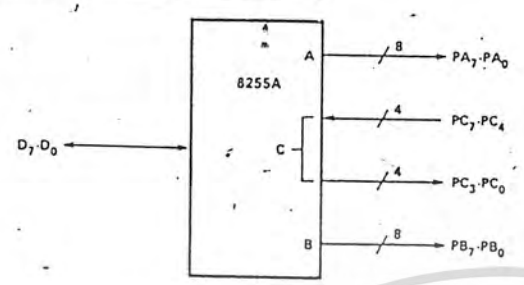
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	0	0	1	1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

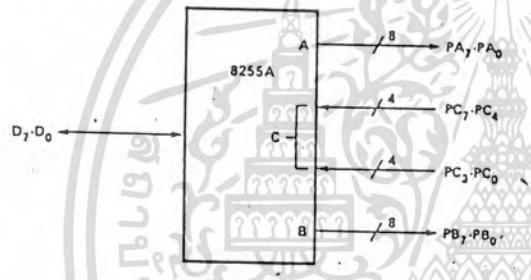
CONTROL WORD #4

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0



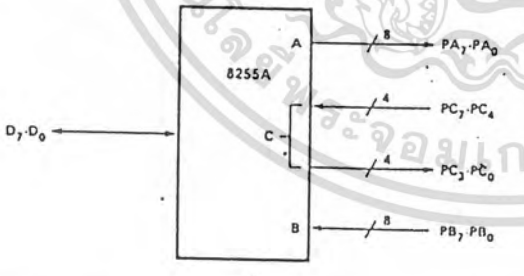
CONTROL WORD #5

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	1



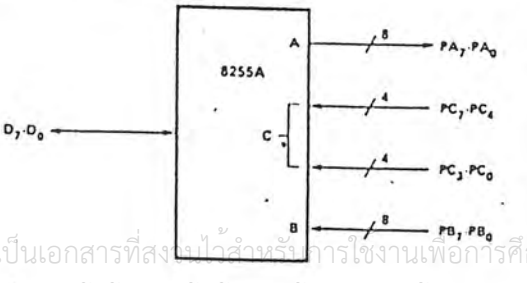
CONTROL WORD #6

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	0



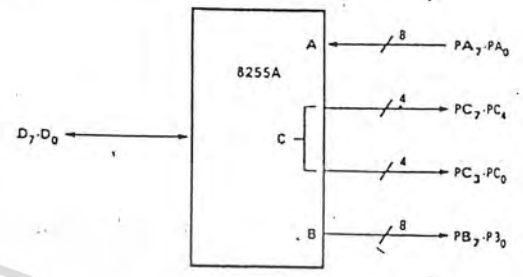
CONTROL WORD #7

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	1



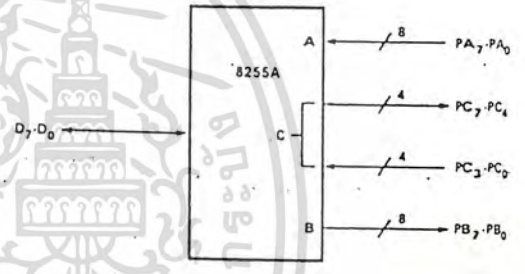
CONTROL WORD #8

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	0



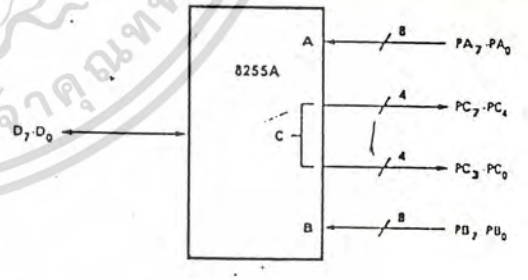
CONTROL WORD #9

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	1



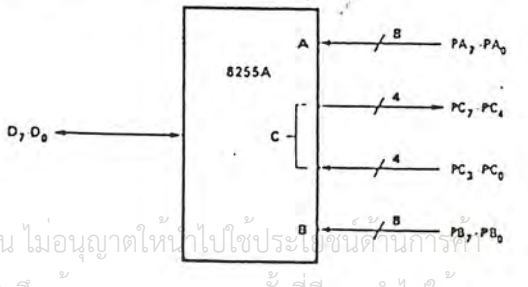
CONTROL WORD #10

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	0



CONTROL WORD #11

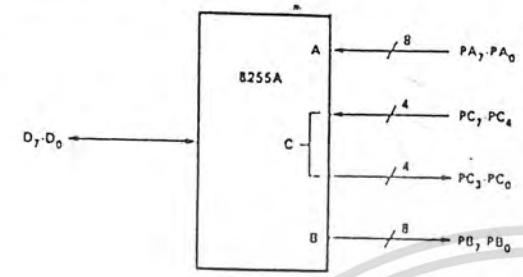
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

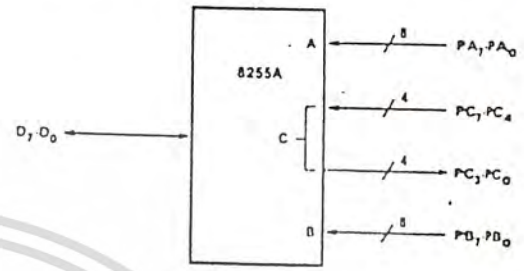
CONTROL WORD #12

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0	0	0



CONTROL WORD #14

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0	1	0

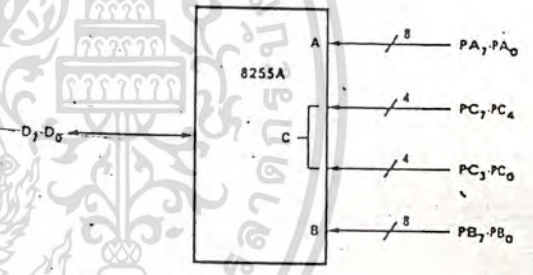


CONTROL WORD #13

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0	0	1

CONTROL WORD #15

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0	1	1



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

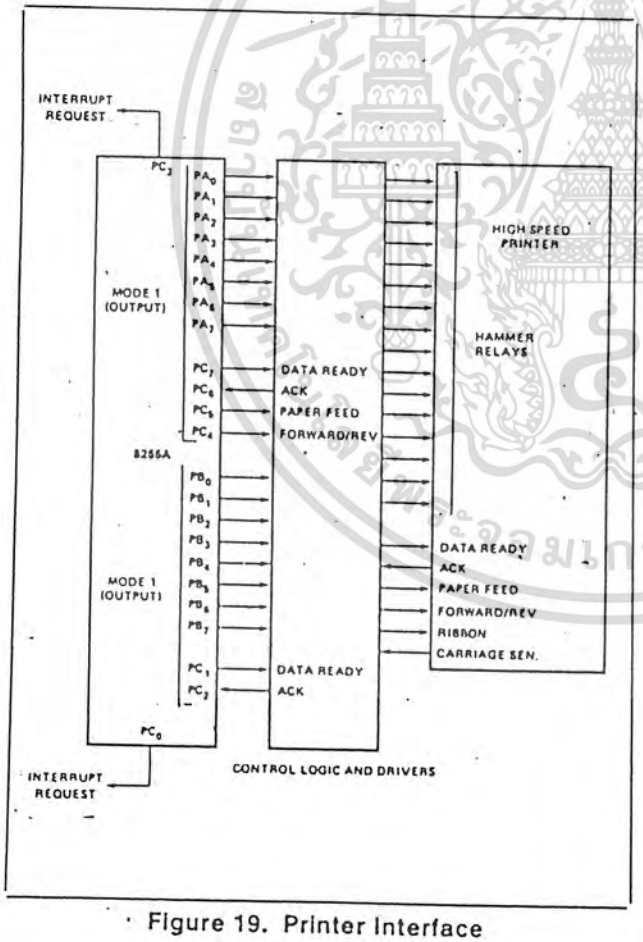


Figure 19. Printer Interface

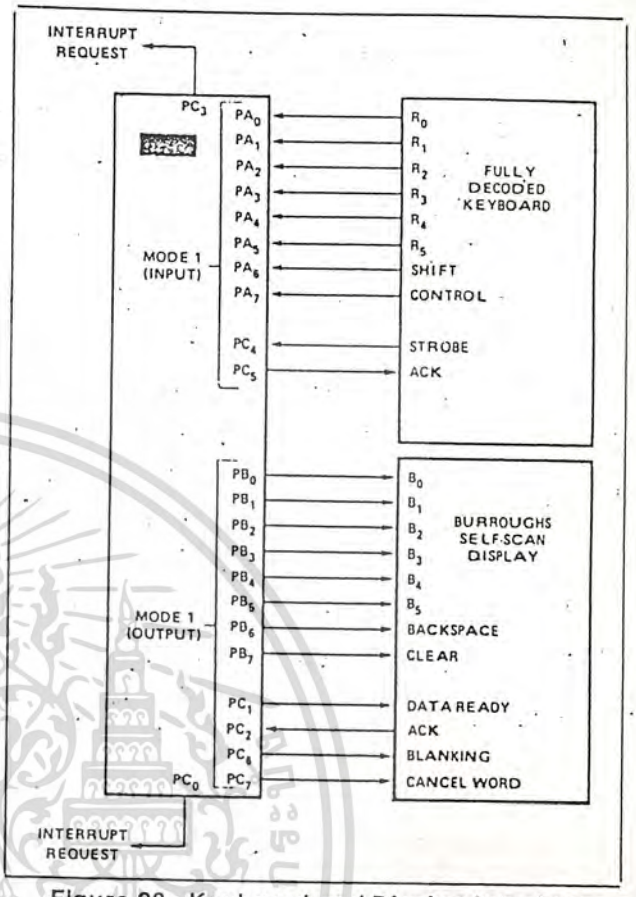


Figure 20. Keyboard and Display Interface

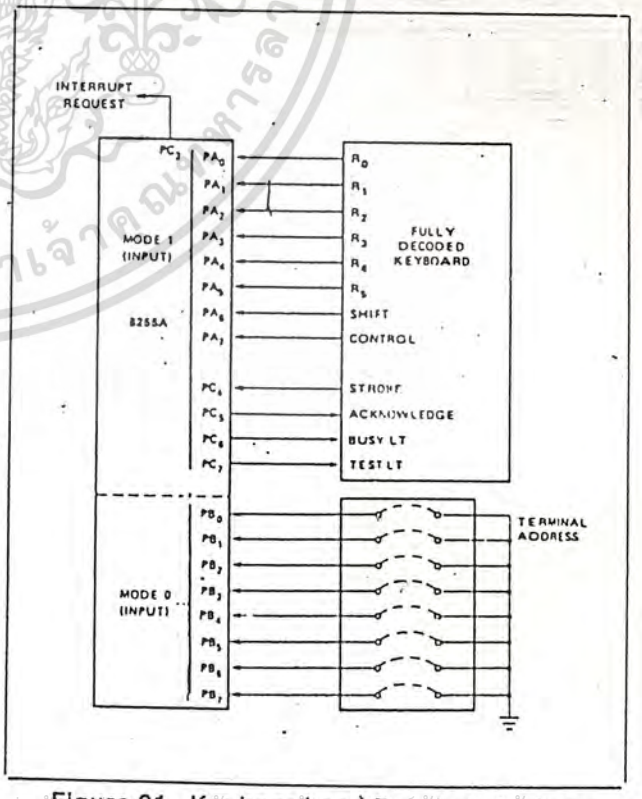


Figure 21. Keyboard and Terminal Address Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

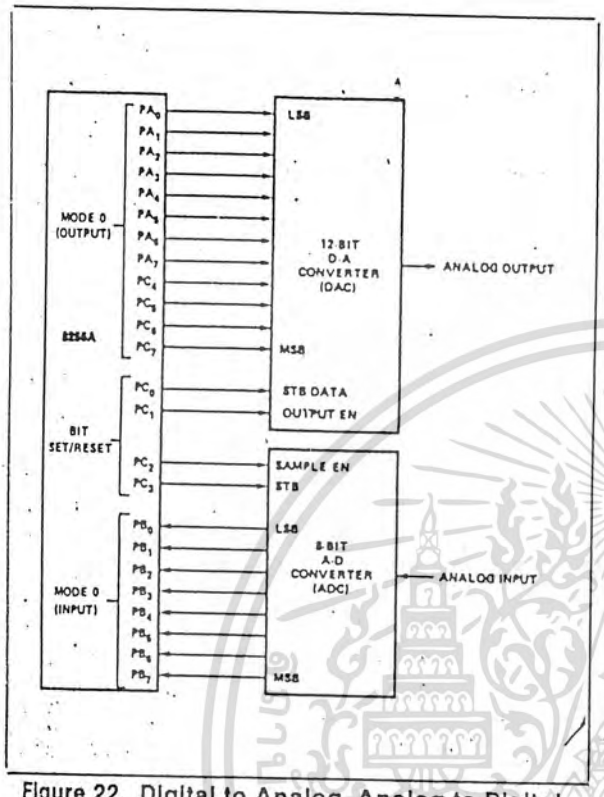


Figure 22. Digital to Analog, Analog to Digital

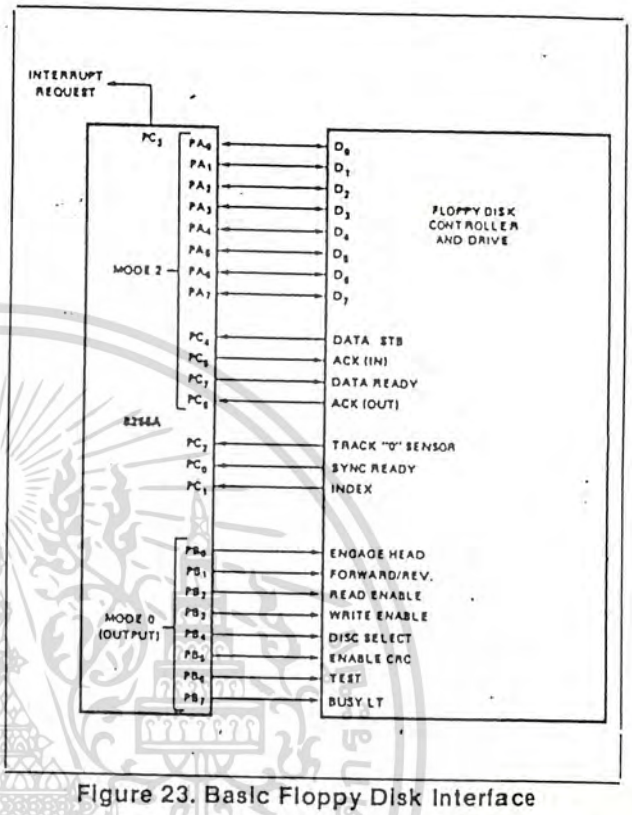


Figure 23. Basic Floppy Disk Interface

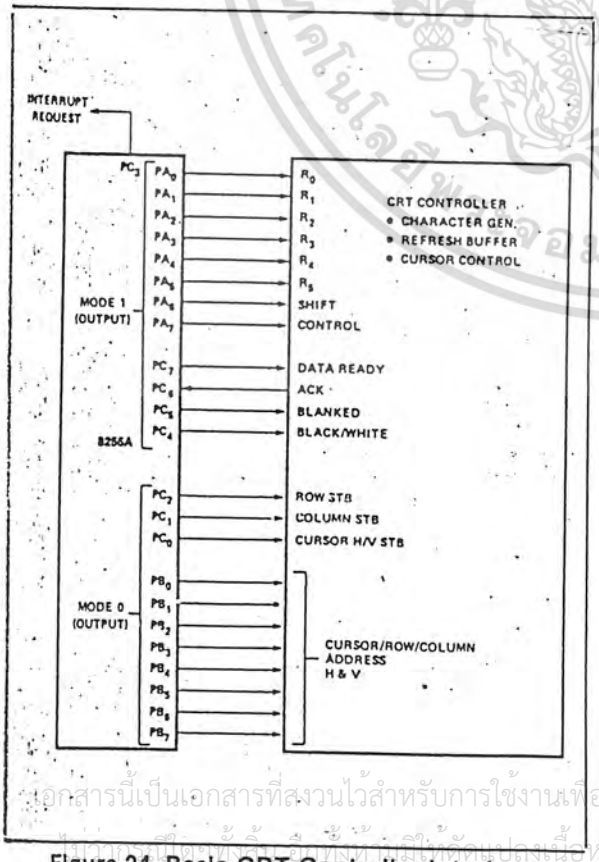


Figure 24. Basic CRT Controller Interface

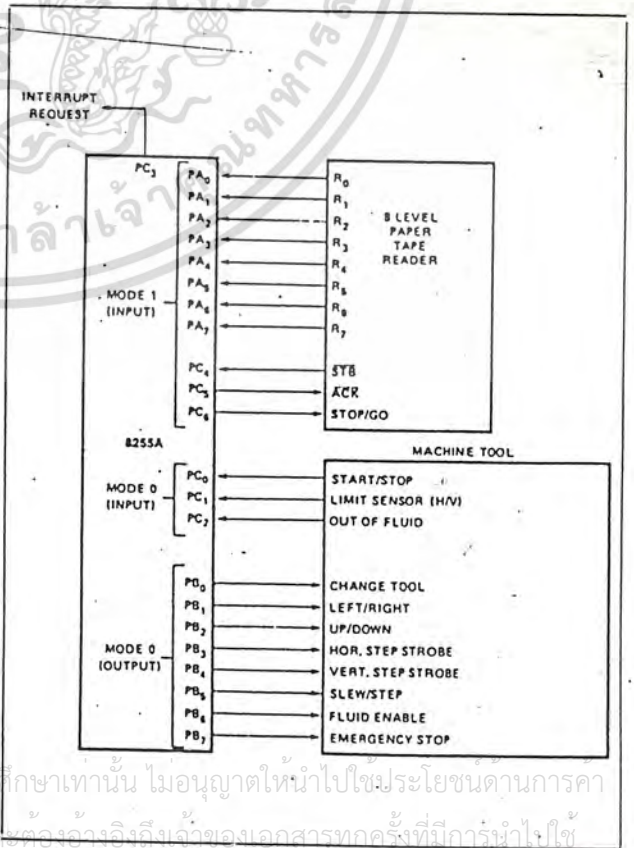


Figure 25. Machine Tool Controller Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805
8-Bit μP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

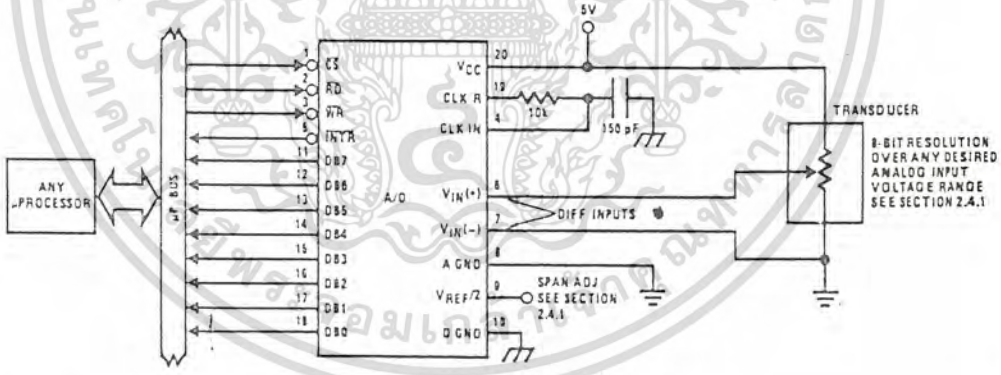
Features

- Compatible with 8080 μP derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

Key Specifications

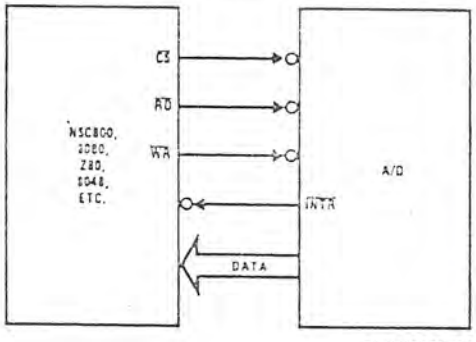
- Resolution: 8 bits
- Total error: ±¼ LSB, ±½ LSB and ±1 LSB
- Conversion time: 100 μs

Typical Applications



TL/H/5671-

8080 Interface



TL/H/5671-31

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)			
Part Number	Full-Scale Adjusted	$V_{REF}/2 = 2.500\ V_{DC}$ (No Adjustments)	$V_{REF}/2$ = No Connection (No Adjustments)
ADC0801	±¼ LSB		
ADC0802		±½ LSB	
ADC0803	±½ LSB		
ADC0804		±1 LSB	
ADC0805			±1 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	−0.3V to +18V
At Other Input and Outputs	−0.3V to (V_{CC} + 0.3V)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0801/02LJ	$-55°C \le T_A \le +125°C$
ADC0801/02/03/04LCJ	$-40°C \le T_A \le +85°C$
ADC0801/02/03/05LCN	$-40°C \le T_A \le +85°C$
ADC0804LCN	$0°C \le T_A \le +70°C$
ADC0802/03/04LCV	$0°C \le T_A \le +70°C$
ADC0802/03/04LCWM	$0°C \le T_A \le +70°C$
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC}, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±¼	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±½	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±½	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$-No Connection			±1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	Gnd−0.05		V_{CC} + 0.05	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±⅛	LSB
Power Supply Sensitivity	V_{CC} = 5 V_{DC} ±10% Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		±1/16	±⅛	LSB

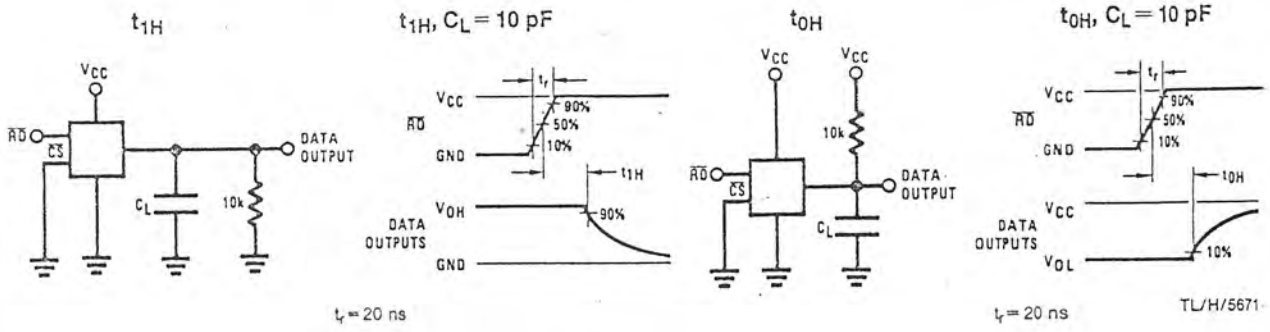
AC Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

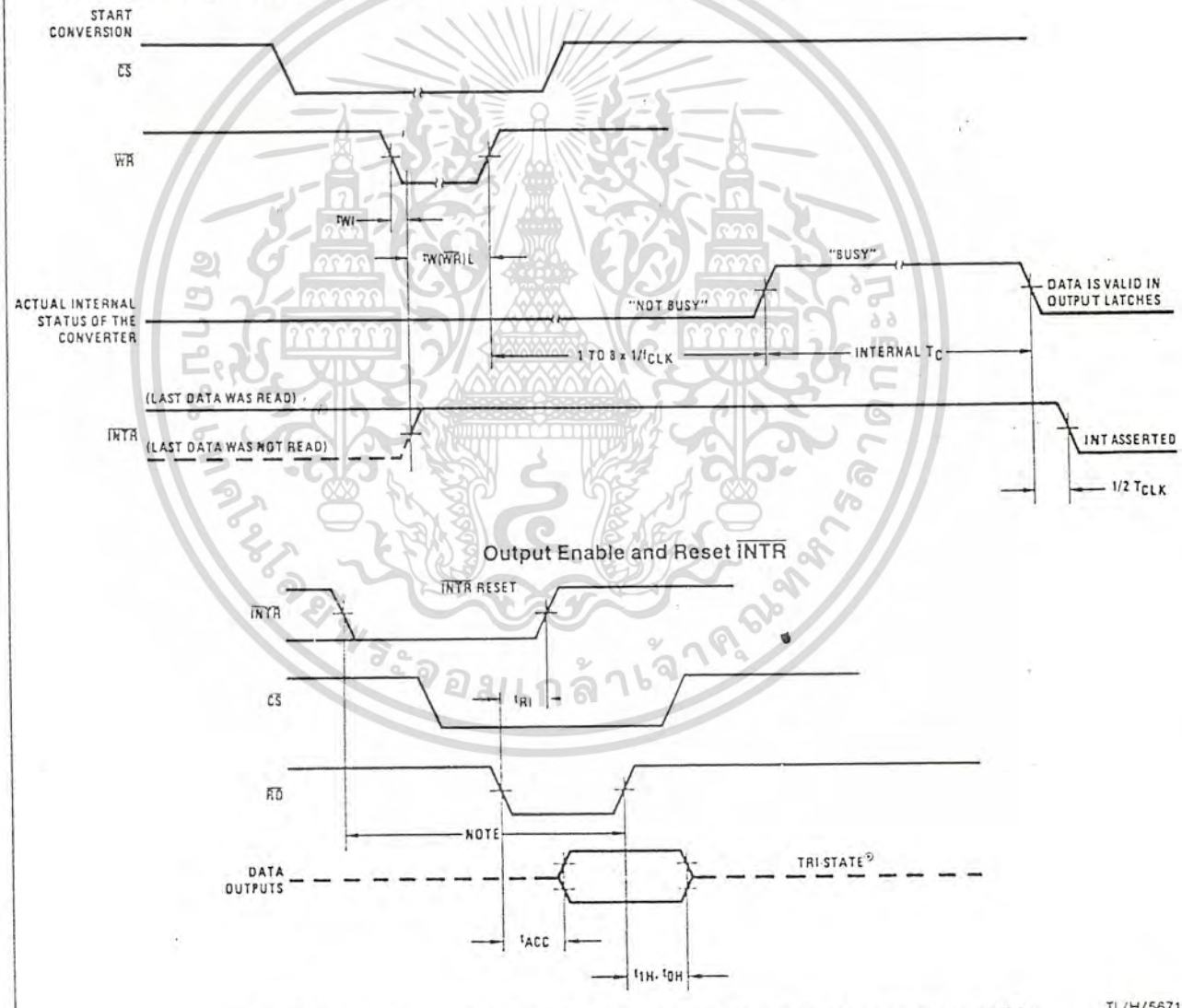
Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	f_{CLK} = 640 kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency Clock Duty Cycle	V_{CC} = 5V, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 V_{DC}, f_{CLK} = 640 kHz	8770		9708	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ = 0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L = 100 pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L = 10 pF, R_L = 10k (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRI-STATE Test Circuits and Waveforms



Timing Diagrams (All timing is measured from the 50% voltage points)



Note: Read strobe must occur 8 clock periods (8/f_{CLK}) after assertion of interrupt to guarantee reset of $\overline{INTR}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

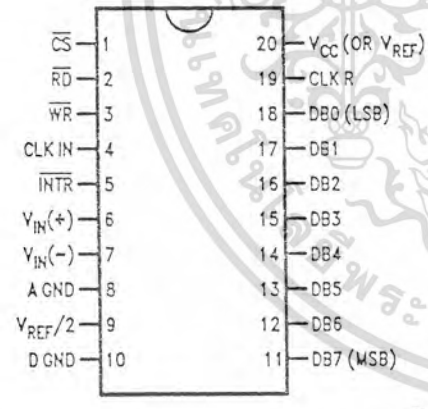
Ordering Information

TEMP RANGE		0°C TO 70°C	0°C TO 70°C	0°C TO 70°C	−40°C TO +85°C
ERROR	± ¼ Bit Adjusted				ADC0801LCN
	± ½ Bit Unadjusted	ADC0802LCWM	ADC0802LCV		ADC0802LCN
	± ½ Bit Adjusted	ADC0803LCWM	ADC0803LCV		ADC0803LCN
	± 1Bit Unadjusted	ADC0804LCWM	ADC0804LCV	ADC0804LCN	ADC0805LCN
PACKAGE OUTLINE		M20B—Small Outline	V20A—Chip Carrier	N20A—Molded DIP	

TEMP RANGE		−40°C TO +85°C	−55°C TO +125°C
ERROR	± ¼ Bit Adjusted	ADC0801LCJ	ADC0801LJ
	± ½ Bit Unadjusted	ADC0802LCJ	ADC0802LJ
	± ½ Bit Adjusted	ADC0803LCJ	
	± 1Bit Unadjusted	ADC0804LCJ	
PACKAGE OUTLINE		J20A—Cavity DIP	J20A—Cavity DIP

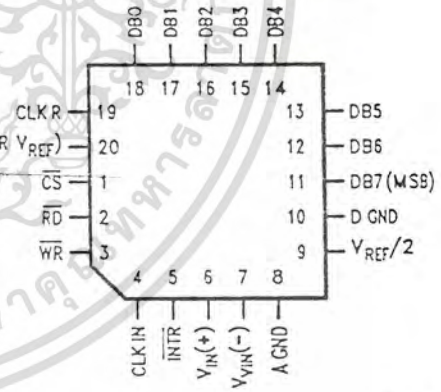
Connection Diagrams

ADC080X
Dual-In-Line and Small Outline (SO) Packages



TL/H/5671-30

ADC080X
Molded Chip Carrier (PCC) Package



TL/H/5671-32

See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S138	J			W						SN54LS138	J			W										
	SN74S138	J	N								SN74LS138	J	N												
FAIRCHILD	/FM93S138	D									FM54LS138/FM74LS138	D			F										
	FC74S138/FC93S138	D									FC74LS138/FC93LS138	D		M	F										
MOTOROLA																									
						a					SN74LS138		P												
N.S.C.						*					DM74LS138		J												
	DM74S138		J								DM54LS138		J												
PHILIPS																									
	N74S138		J								N74LS138		J												
SIGNETICS	S54S138	F	B		W																				
	N74S138	F	B								N74LS138		A												
SIEMENS																									
FUJITSU																									
											74LS138		M												
HITACHI																									
											HD74LS138		P												
MITSUBISHI	M74S138		P								M74LS138		P												
NEC																									
											74LS138		C												
TOSHIBA																									

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operarating conditions

	SN54LS138			SN74LS138			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

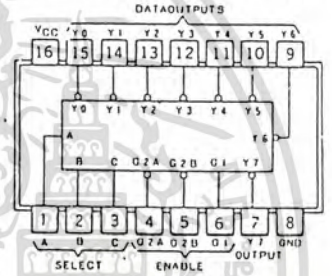
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA	SN54LS	2.5	3.4		V
			SN74LS	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 3V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX		−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, Outputs enabled and open			6.3	10	mA
t_{PLH}	from Binary select to Any output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	levels of delay 2		13	20	ns
t_{PHL}					27	41	
t_{PLH}			3		18	27	ns
t_{PHL}					26	39	
t_{PLH}	from Enable to Any output		2		12	18	ns
t_{PHL}					21	32	
t_{PLH}			3		17	26	ns
t_{PHL}					25	38	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type
‡ All typical values are at V_{CC} = 5V, T_A = 25°C
* Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)

(1)



positive logic:
see function table

Function Table

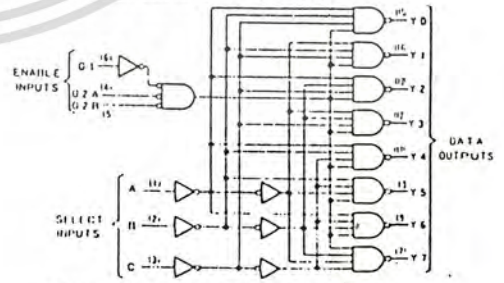
'S138 'LS138

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

* G2 = G2A + G2B

H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138 'LS138 DECODER/DEMULTIPLEXER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5437/7437 Quadruple 2-Input Positive-NAND Buffer

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S37	J(D)			W(L)						SN54LS37	J(D)			W(L)	SN5437	J(D)			W(L)					
	SN74S37	J(D)	N(D)								SN74LS37	J(D)	N(D)			SN7437	J(D)	N(D)							
FAIRCHILD											DM54LS37/DM74LS37	D(L)			F(L)	DM5437/DM7437	D(L)			F(L)					
											54LS37/74LS37	D(L)	P(L)		F(L)	54S37/74S37	D(L)	P(L)							
MOTOROLA											SN74LS37		P(L)			SN7437		P(L)							
N.S.C.											DM54LS37		J(L)		W(L)	DM5437	J(L)	N(L)		W(L)					
											DM74LS37		J(L)			DM7437	J(L)	N(L)		W(L)					
PHILIPS	N74S37		N(D)								N74LS37		N(D)			N7437		N(L)							
SIGNETICS																S5437	F(J)	A(L)		W(L)					
	N74S37		A(D)								N74LS37		A(D)			N5437	F(J)	A(L)		W(L)					
SIEMENS																									
																FLH531		N							
FUJITSU																									
											74LS37		M(L)			MB435		M(L)							
HITACHI																									
											HD74LS37		P(L)			HD7437/HD7552		P(L)							
MITSUBISHI																									
											M53LS37		P(L)			M53237		P(L)							
NEC																									
											74LS37		P(L)			μPD237		P(L)							
TOSHIBA																									
																TD7437		P(L)							

Electrical Characteristics SN54LS37/SN74LS37

absolute maximum ratings over operating free-air temperature range†

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

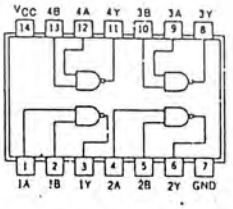
recommended operating conditions

	SN54LS37 MIN	NOM	MAX	SN74LS37 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−1.2			−1.2	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

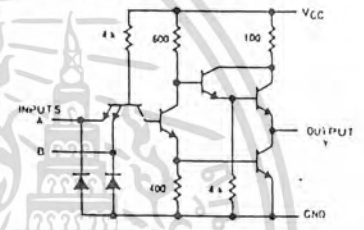
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OL} = 12mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current ♦	V_{CC} = MAX	54LS Family	−30		−130	mA
			74LS Family	−30		−130	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		0.9	2	mA
I_{CCL}	Supply current		Total, outputs low		6	12	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		0.66		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, T_A = 25°C, C_L = 45pF, R_L = 667Ω			12	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				12	24	ns

Pin Assignment (Top View)

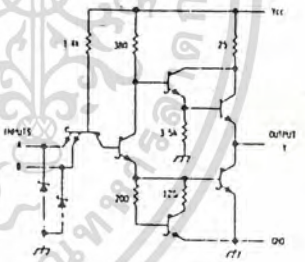


positive logic:
Y = $\overline{AB}$

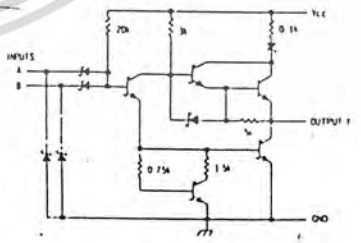
Schematics (each gate)



'37 CIRCUIT



'S37 CIRCUIT



'LS37 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
♦ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second for '37.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S32	J(D)			W(L)						SN54LS32	J(D)			W(L)	SN5432	J(L)			W(L)					
	SN74S32	J(D)	N(P)								SN74LS32	J(D)	N(P)			SN7432	J(L)	N(P)							
FAIRCHILD	9N54S32/9N74S32	D(J)			F(D)						9N54LS32/9N74S32	D(J)			F(D)	9N5432/9N7432	D(J)			F(L)					
	DM54S32/DM74S32	D(J)	P(N)		F(D)						DM54LS32/DM74LS32	D(J)	P(N)		F(D)	DM5432/DM7432	D(J)	P(N)							
MOTOROLA											SN74LS32		P(N)												
N.S.C.											DM74LS32		P(N)			DM5432	J(D)	P(N)		W(L)	DM54L32				
											DM54LS32		P(N)			DM7432	J(D)	P(N)			DM74L32				
PHILIPS	N74S32		P(N)								N74LS32		P(N)			N7432		P(N)							
SIGNETICS																5432	F(L)	A(L)		W(L)					
											N74LS32		A(N)			N7432	F(L)	A(N)							
SIEMENS																FLH631		P(N)							
FUJITSU											74LS32		P(N)												
HITACHI											HD74LS32		P(N)			HD7432		P(N)							
MITSUBISHI											M53L32		P(N)												
NEC											74LS32		C(I)												
TOSHIBA																									

Electrical Characteristics SN54LS32/SN74LS32

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

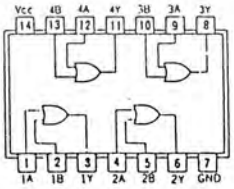
	SN54LS32 MIN	NOM	MAX	SN74LS32 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OL} = 4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 3V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		3.1	6.2	mA
I_{CCL}	Supply current		Total, outputs low		4.9	9.8	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		1.0		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		14	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				14	22	ns

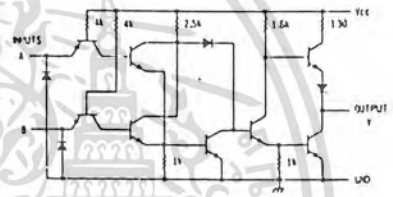
Pin Assignment (Top View)

①

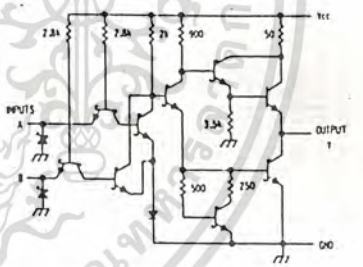


positive logic:
Y = A + B

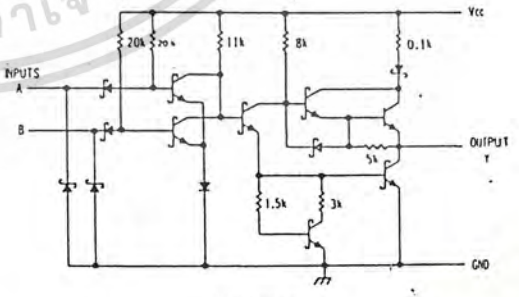
Schematics (each gate)



'32 CIRCUIT



'S32 CIRCUIT



'LS32 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
*Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54245/74245 Octal Bus Transceivers with 3-state Outputs

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.											SN54LS245		J		W									
											SN74LS245		J	N										
FAIRCHILD																								
MOTOROLA																								
N. S. C.																								
PHILIPS																								
SIGNETICS																								
SIEMENS																								
FUJITSU																								
HITACHI																								
MITSUBISHI																								
NEC																								
TOSHIBA																								

Electrical Characteristics SN54LS245/SN74LS245

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7 V		SN74LS	0°C to 70°C*
		Storage temperature range		−65°C to 150°C

recommended operating conditions

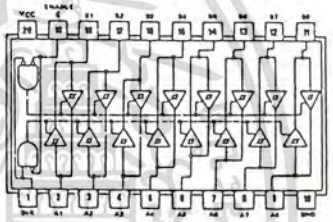
	SN54LS245			SN74LS245			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−12			−15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		SN74LS245 MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
	Hysteresis ($V_{T+} - V_{T-}$) A or B input	V_{CC} = MIN			0.2	0.4	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OH} = −3mA	2.4	3.4		V
			I_{OH} = MAX	2			
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 12mA			0.4	V
			I_{OL} = 24mA			0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, G at 2V	V_O = 2.7 V			10	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4V			−200	
I_I	Input current at maximum input voltage: A or B	V_{CC} = MAX,	V_I = 5.5V			0.1	mA
	DIR or $\overline{G}$		V_I = 7V			0.1	
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.2	mA
I_{OS}	Short-circuit output current	V_{CC} = MAX		−40		−225	mA
I_{CC}	Supply current: Total, outputs high	V_{CC} = MAX, Outputs open			48	70	mA
	Total, outputs low				62	90	
	Outputs at Hi-Z				64	95	

switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω, See Note 2		8	12	ns
t_{PHL}	Propagation delay time, high-to-low-level output			8	12	ns
t_{PZL}	Output enable time to low level			27	40	ns
t_{PZL}	Output enable time to high level			25	40	ns
t_{PLZ}	Output disable time from low level	C_L = 5pF, R_L = 667Ω, See Note 2		15	25	ns
t_{PHZ}	Output disable time from high level			15	25	ns



SN54LS245 (J) SN74LS245 (J, N)

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
*Not more than one output should be shorted at a time, and duration of the short-short should not not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54374/74374 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S374	J									SN54LS374	J													
	SN74S374	J	N								SN74LS374	J	N												
FAIRCHILD																									
MOTOROLA																									
N.S.C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS374/SN74LS374

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		-65°C to 150°C

recommend operating conditions

		SN54LS374			SN74LS374			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output voltage, V_{OH}				-400			-400	μA
High-level output current, I_{OH}				16			16	mA
Width of clock enabling pulse, t_w	High	15			15			ns
	Low	15			15			
Data hold time, t_{hold}		0↑			0↑			ns
Setup time, t_{setup}		20↑			20↑			ns
Operating free-air temperature, T_A		-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS‡		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC}=MIN, I_I=-18mA				-1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=V_{IL} max, I_{OH}=MAX		2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=V_{IL} max	I_{OL}=24mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC}=MAX, V_{IH}=2V, V_O=2.7V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC}=MAX, V_{IH}=2V, V_O=0.4V				-20	μA
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				-0.4	mA
I_{OS}	Short-circuit output current §	V_{CC}=MAX		-30		-130	mA
I_{CC}	Supply current	V_{CC}=MAX, Output control at 1.5V	'LS374		27	40	mA

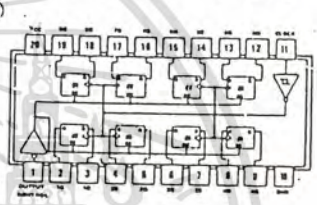
switching characteristics, V_{CC}=5V, T_A=25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			C_L=45pF, R_L=667Ω, See Notes 2 and 3	35	50		MHz
t_{PLH} / t_{PHL}	Data	Any Q					
t_{PLH}	Clock or enable	Any Q			15	28	ns
t_{PHL}					19	28	
t_{PZH}	Output Control	Any Q			20	28	ns
t_{PZL}					21	28	
t_{PHZ}	Output Control	Any Q	C_L=5pF, R_L=667Ω, See Note 3		12	20	ns
t_{PLZ}					14	25	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
§Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.
3. See load circuits and waveforms on page 3-11.
f_{max} = maximum clock frequency
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{PZH} = output enable time to high level
t_{PZL} = output enable time to low level
t_{PHZ} = output disable time from high level
t_{PLZ} = output disable time from low level

Pin Assignment (Top View)



SN54LS374 (J) SN74LS374 (J, N)
SN54S374 (J) SN74S374 (J, N)

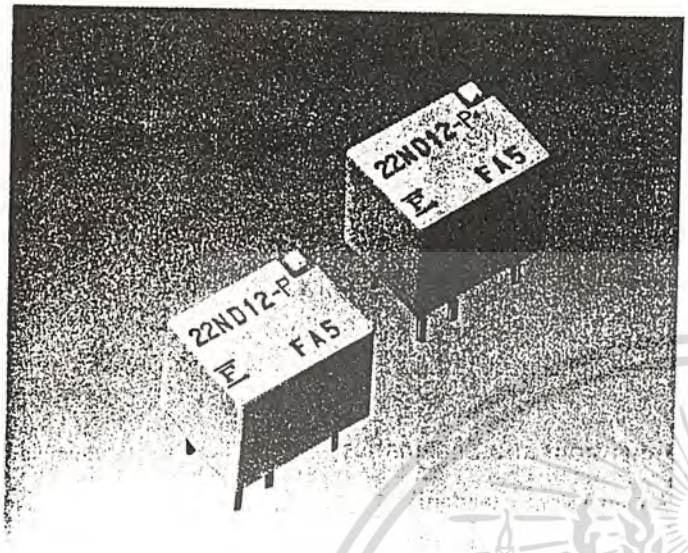
'LS374, 'S374
FUNCTION TABLE

OUTPUT CONTROL	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RELAYS

FBR20 Relays



Features

- **Microminiature size**
  Two FBR20-series relays can be mounted in the space required for a single FBR210-series relay.
- **1A contact rating**
  Despite their microminiature size, FBR20-series relays have a contact rating of 2A.
- **Strong shock resistance**
  Even with a 50 G shock, FBR20 series relays never miss an operation.
- **Makes pattern design easy**
  Separate location of drive (coil) and output (contact) terminals allows easy PC board pattern design.
- **Formed terminals for temporary mounting**
  The uniquely designed terminals allow FBR20-series relays to be mounted temporarily on PC boards.
- **Applied for UL, CSA standards**
- **Conforms to FCC68·302**

Specifications

Item	Specification
Contact arrangement	1 form C (SPDT)
Contact shape	Single contact (FBR21) Bifurcated contact (FBR22)
Contact material	Gold-overlay silver Gold-overlay silver-palladium (–P)
Contact resistance	100 mΩ max. (measured at 6V DC, 0.1A) initial value
Insulation resistance	1,000 MΩ min. (at 500V DC) initial value
Dielectric withstand voltage	Between coil and contacts: 500V AC for 1 minute (standard), 1,000V AC for 1 minute (high withstand voltage) Between open contacts: 500V AC for 1 minute
Vibration	At 20G 10 Hz to 300 Hz (3.0 mm dual amplitude max.) no contact bounce for more than 1.0 ms
Shock	No contact opening: At 50G (11 ms sine half-wave) no contact bounce for more than 1.0 ms No damage: 100G (11 ms sine half-wave)
Operate time	5 ms max. (at rated voltage, not including bounce time)
Release time	3 ms max. (after rated operation, not including bounce time)
Service life Mechanical Electrical	5×10^6 ops. min. (max. switching frequency 18,000 ops./hr) Gold-overlay silver contact – 1×10^5 ops. min. Gold-overlay silver-palladium contact –2×10^5 ops. min. (at rated load, maximum switching frequency 1,800 ops./hr)
Ambient temperature	-30°C to +65°C (at rated ops.)
Operating humidity	45% to 85% RH
Weight	Approx. 1.7g

Contact Capacities

Item	DC load	AC load	Remarks
Contact rating	24V – 1A	120V – 0.5A	With resistive load
Maximum switching voltage*1	125V		
Maximum carrying current	2A		
Maximum switching power*2	24W	60VA	

*1. If the switching voltage exceeds the rated contact voltage, reduce the current. Since current values vary according to the type of load.
*2. Values when switching a resistive load at normal room temperature and humidity and in a clean atmosphere. The minimum applicable load varies with the switching frequency and operating environment.

Part Numbers

[Example] **FBR21** (A) **(N)** (B) **D 12** (C) **-** **P** (D) **(- 02)** (E)

(A) Series name
  FBR21: FBR20 series (Single contact)
  FBR22: FBR20 series (Bifurcated contact)

(B) Construction
  No designation: Automatic soldering
  N: Automatic soldering + immersion-cleanable N type

(C) Rated coil voltage
  (Example) D03: 3V DC standard coil
  See Coil Ratings table "Voltage Specifications Symbols" for details

(D) Contact material
  No designation: Gold-overlay silver contacts
  P: Gold-overlay silver-palladium contacts

(E) **No designation:** Standard
  02: High withstand voltage type (at 1,000V AC for 1 minute)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FBR20 Relays

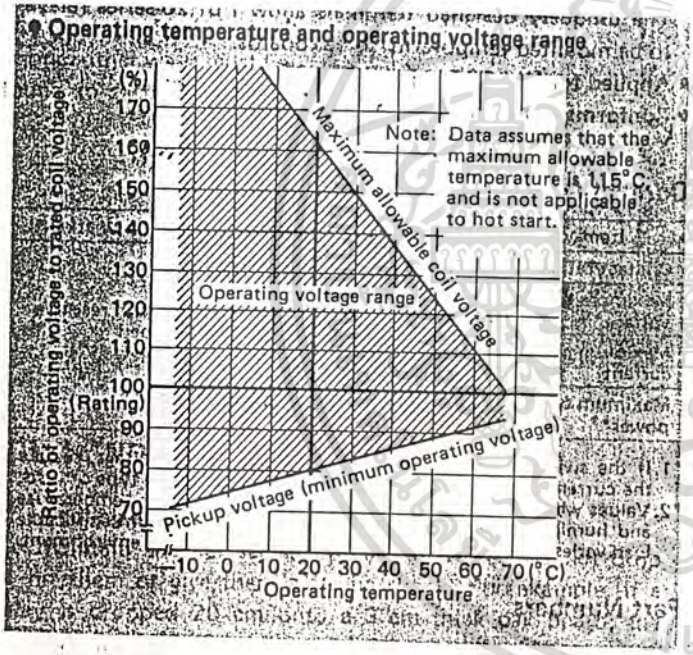
Coil Ratings

Voltage designation	Rated coil voltage	Coil resistance (±10%)	Rated current (at rated voltage)	Pickup voltage	Dropout voltage	Maximum allowable voltage	Coil power consumption	Coil temperature rise
D01	1.5V DC	7.5Ω	Approx. 200mA	80% max. of rated coil voltage	5% min. of rated coil voltage	160% of rated coil voltage	Approx. 300mW (at raged coil voltage)	Approx. 45° (at rated coil voltage)
D03	3V DC	30 Ω	Approx. 100mA					
D05	5V DC	83 Ω	Approx. 60mA					
D06	6V DC	120 Ω	Approx. 50mA					
D09	9V DC	270 Ω	Approx. 33mA					
D12	12V DC	480 Ω	Approx. 25mA					
D18	18V DC	1,080 Ω	Approx. 17mA					
D24	24V DC	1,920 Ω	Approx. 12.5mA					

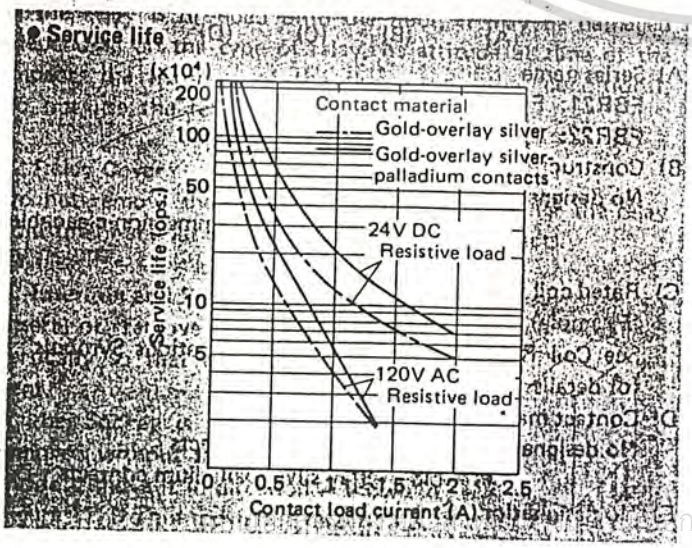
Note 1: All values in the table are measured at 20°

Reference Data

● Operating temperature and operating voltage range



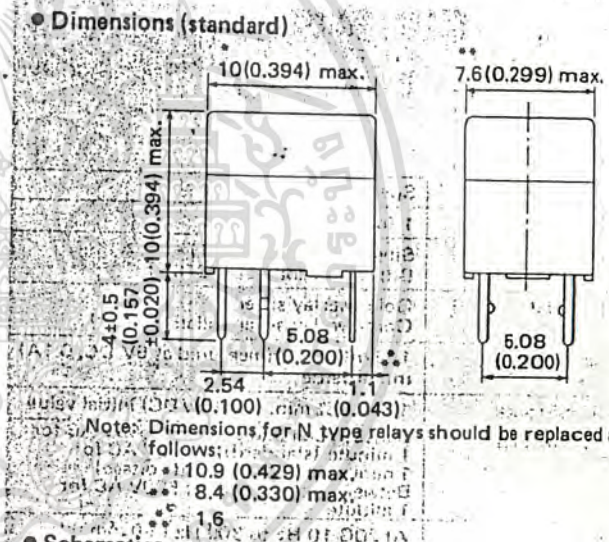
● Service life



Dimensions and Schematics

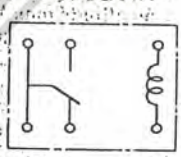
Unit: mm (in.)

● Dimensions (standard)

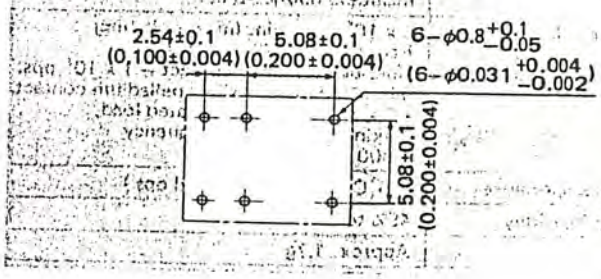


Note: Dimensions for N type relays should be replaced as follows:
10.9 (0.429) max.
8.4 (0.330) max.
1.6

● Schematics



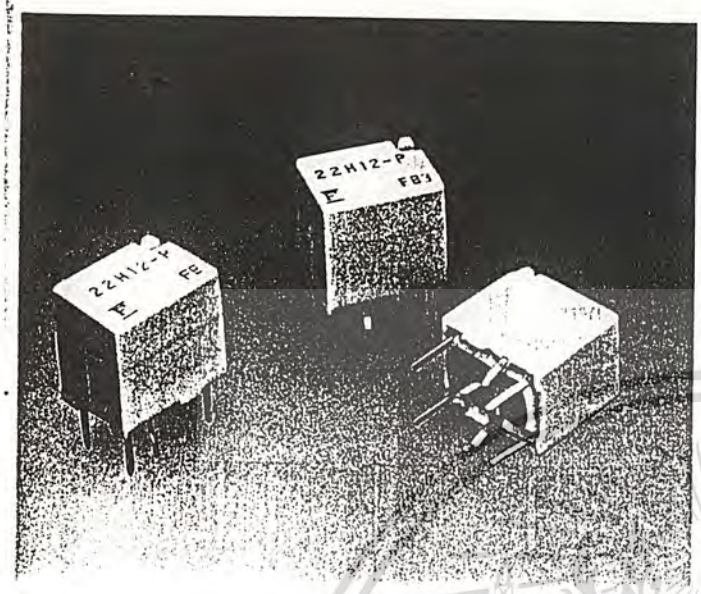
● PC board mounting hole diagram



เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RELAYS

FBR20H Relays

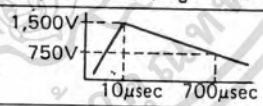


Fujitsu FBR20H serids relays are ultra miniature relays with a 1 form C contact arrangement, designed for PC board mounting. Their high efficiency electromagnetic circuits use less power-200 mW rated power consumption.

Features

- **Low power consumption**
  High efficiency electromagnetic circuit saves power consumption
  Rated power consumption: 200 mW
  pick up power consumption: 98 mW
- **FCC68-302**
  High withstand-voltage type meets FCC68-302 requirements.
- **Strong shock resistance**
  FBR20H series relays operate perfectly even under a 50G shock.
- **Easy pattern design**
  Separate location of drive and output terminals allows easy PC board design.
- **Pre-formed terminals available for temporary retention**
  The unique design of the preformed terminals allows FBR20H series relays to be temporarily fixed to PC board before dip soldering.

Specifications

Item	Specifications
Contact arrangement	SPDT (1 form C)
Contact material	Gold-overlay silver Gold-overlay silver-palladium (–P)
Contact resistance	100 mΩ max. (measured at 6V DC·0.1A) initial value
Insulation resistance	1,000 MΩ min. (at 500V DC)
Dielectric withstand voltage	500V AC for 1 min. (standard) High withstand-voltage type, 1,000V AC for 1 min (between open contacts 500V AC for 1 min) (high withstand voltage)
Surge voltage (high withstand-voltage types)	1,500V/10 μs/700 μs (between contacts and coil) 
Static electricity capacity (reference)	between open contacts approx. 1 pF between coil and contacts approx. 2 pF
Vibration	20G, 10 Hz to 300 Hz (dual amplitude, maximum 3.0 mm). No contact chatter longer than 1.0 ms.
Shock	No contact opening: 50G (sine half-wave of 11 ms). No contact chatter longer than 1.0 ms. No damage: 100G (sine half-wave of 11 ms).
Operate time	5 ms max. (at rated voltage)
Release time	3 ms max. (after rated operation)
Service life	Mechanical: 5×10^6 ops. min. Electrical: Gold-overlay silver contacts: 100×10^3 ops. min. (24V DC, 1A resistive load) Gold-overlay silver-palladium alloy contacts: 200×10^3 ops. min. (24V DC, 1A resistive load) 100×10^3 ops. min. (120V AC, 0.5A resistive load) (See REFERENCE 2)
Maximum switching frequency	Mechanical: 18×10^3 ops./hr Electrical: 1,800 ops./hr (at rated contact load)
Operating temperature	–30°C to +70°C (See REFERENCE 1)
Operating humidity	45% to 85% RH
Weight	1.7g (approx.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Part Numbers

(EX.) FBR21 N H12–P 02
(A) (B) (C) (D) (E)

(A) Series name
FBR21: Single contact
FBR22: Bifurcated contact

(B) Construction
No designation: Standard type (Automatic soldering)
N: Automatic soldering + immersion cleaning N type

(C) Rated coil voltage
(Ex.) H03: 3V DC (see coil ratings table for details)

(D) Contact material
No designation: Gold-overlay silver
P: Gold-overlay silver-palladium alloy

(E) Others
No designation: Standard type
02: High withstand-voltage type

Contact Capacities

(Table 2)

Item	DC load	AC load	Remarks
Contact rating	24V – 1A	120V – 0.5A	With resistive load
Maximum switching voltage*1	125V	125V	
Maximum carrying current	2A		
Maximum switching power	24W	60VA	
Minimum applicable load*2 (reference values)	Single contact type . . . . 5V–1mA, 1V–1mA (-P) Bifurcated contact type . . . . 1V–1mA, 0.1V–100μA (-P)		

*1 If the switching voltage exceeds the rated contact voltage, reduce the current. Since current values vary according to the type of load, please consult your dealer.

*2 Denotes the typical minimum load to be used when switching the resistance under normal atmospheric conditions (normal temperature, normal humidity, clean atmosphere). Note that the minimum rated load changes depending on the frequency of application and the environment.

Coil Ratings

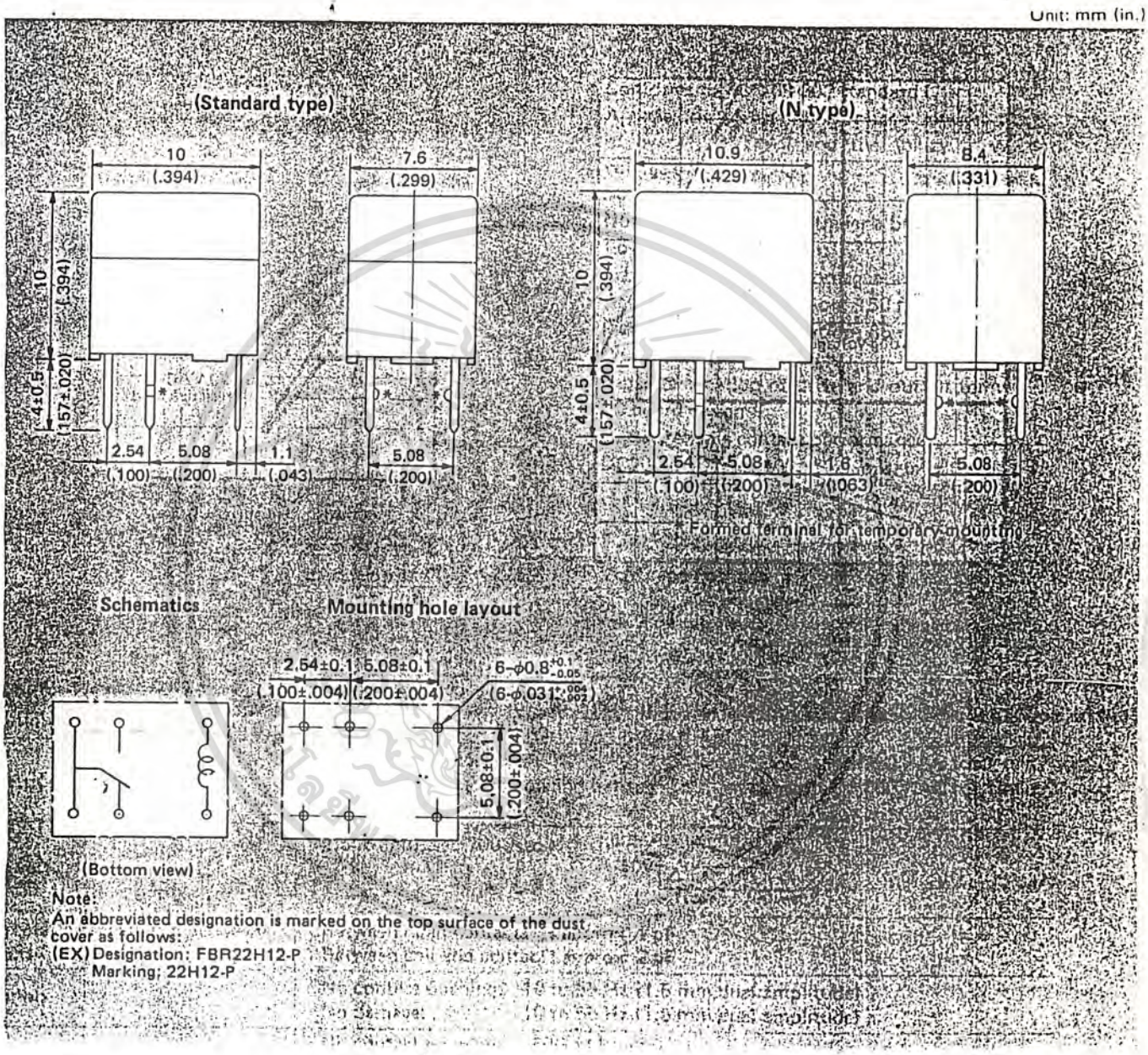
(Table 3)

Voltage designation	Rated coil voltage	Coil resistance (±10%)	Rated current (at rated voltage)	Pick up voltage	Drop out voltage	Maximum allowable voltage	Coil power consumption	Pick up power consumption	Coil temperature rise
H01	1.5V DC	11Ω	Approx. 136 mA	75% max. of rated coil voltage	10% min. of rated coil voltage	200% of rated coil voltage	Approx. 200 mW (at rated coil voltage)	Approx. 112 mW max.	Approx. 35°C (at rated coil voltage)
H03	3V DC	45Ω	Approx. 67 mA						
H05	5V DC	125Ω	Approx. 40 mA						
H06	6V DC	180Ω	Approx. 33 mA						
H09	9V DC	405Ω	Approx. 22 mA						
H12	12V DC	720Ω	Approx. 17 mA						
H18	18V DC	1,620Ω	Approx. 11 mA						
H24	24V DC	2,300Ω	Approx. 10 mA			180%	Approx. 250 mW	Approx. 140 mW max.	Approx. 40°C

Note 1: 98 mW (70% of pick-up voltage) pick up power consumption type is also available.
Note 2: Measured at 20°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit: mm (in.)

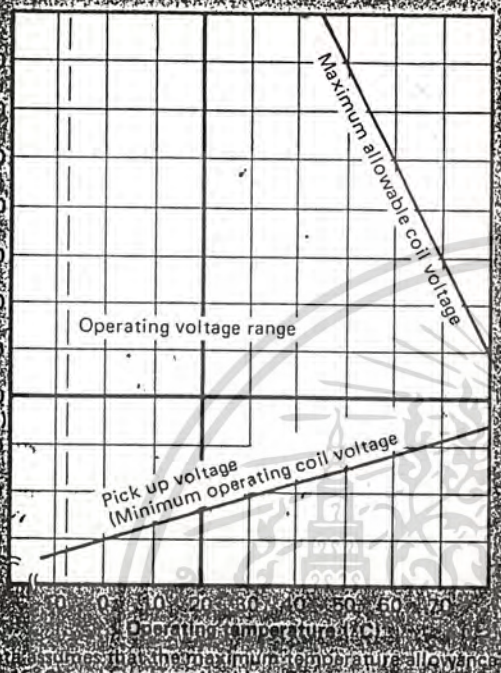


Note:
An abbreviated designation is marked on the top surface of the dust cover as follows:
(EX) Designation: FBR22H12-P
Marking; 22H12-P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

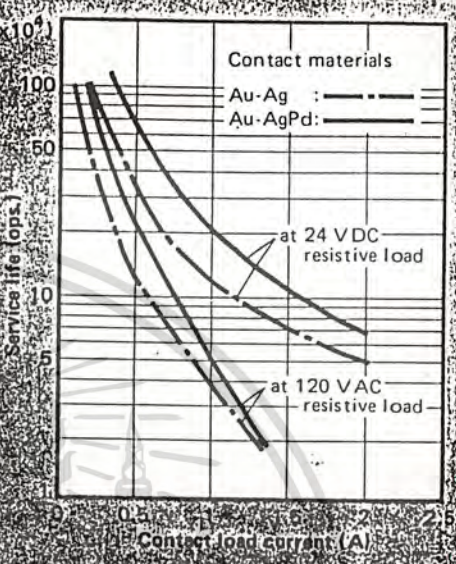
Reference Data

1. Operating temperature and operating voltage



Note: Data assumes that the maximum temperature allowance is 115°C and is not applicable to hot starts.

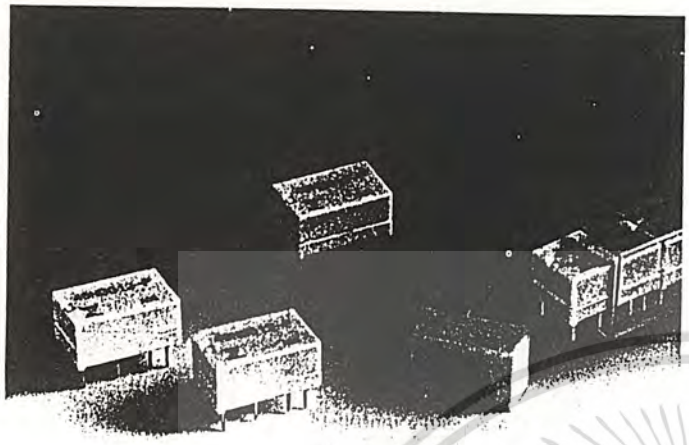
2. Service life



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RELAYS

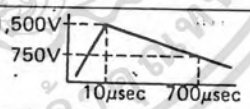
FBR 46 Series



Features

- Ultra-miniature low-profile design
  Nearly half the size of the FBR240 series relays
- Conforms to FCC 68-302 standard
  A dielectric withstanding voltage between contacts and coil of over 1,000V AC and the ability to withstand a surge voltage of over 1,500V
- Strong shock resistance
  Normal operation even under a 50G shock
- Low power consumption
  A high efficiency electromagnetic circuit saves power.
  Rated power consumption: 150 mW
  Pick-up power consumption: 85 mW
- Convenient pattern design
  Separate location of drive and output terminals allows easy PC board design
- Highly reliable contact performance
  DC200 x 10^3, AC100 x 10^3 ops. min. rated contact load

Specifications

Item	Specification
Contact arrangement	DPDT (2 Form C) bifurcated contact
Contact material	Gold-overlay silver Gold-overlay silver-palladium (–P)
Contact resistance	100 mΩ max. (measured at 6V DC, 0.1A)
Insulation resistance	100 MΩ min. (at 500V DC)
Dielectric withstand voltage	Between open contacts : 750V AC for 1 min. Between contact and coil and between adjacent contacts : 1,000V AC for 1 min.
Surge voltage	1,500V/10 μsec/700 μsec 
Electrostatic capacitance between contacts (reference)	Between open contacts : approx. 1 pF Between coil and contact : approx. 2 pF
Vibration	No contact opening: 10 to 55 Hz (1.5 mm dual amplitude) No damage: 10 to 55 Hz (1.5 mm dual amplitude)
Shock	No contact opening: 50G (11 msec) No damage: 100G (11 msec)
Operate time	5 msec max. (not including bounce time)
Release time	5 msec max. (not including bounce time)
Service life	Mechanical : 10 x 10^6 ops. min. Electrical : DC 200 x 10^3 ops. min. AC 100 x 10^3 ops. min. (at rated contact load)
Maximum switching frequency	Mechanical : 18 x 10^3 ops./hr Electrical : 1800 ops./hr (at rated contact load)
Operating temperature	–30°C to +70°C (Do not freeze)
Operating humidity	45 to 85% RH
Weight	3g (approx.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

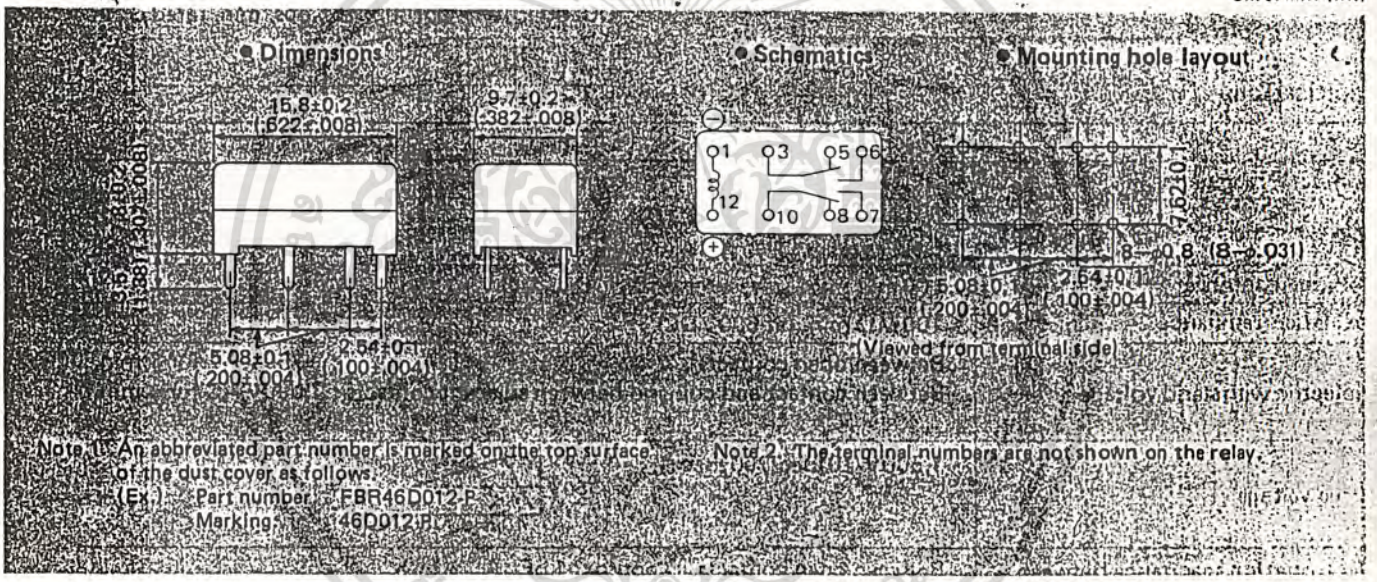
Contact Capacities

Item	Specification
Contact rating	30V DC – 1A 120V AC – 0.5A (at resistive load)
Maximum switching voltage*1	125V DC, 125V AC
Maximum carrying current	1A
Maximum switching power	30W, 60VA
Minimum applicable load*2 (reference)	Gold overlay silver . . . 1V DC, 1 mA Gold overlay silver-palladium alloy 100 mV DC, 100 μA Gold overlay silver-palladium alloy (Sealed type) . . . 10 mV DC, 10 μA

Notes:
*1. If the switching voltage exceeds the rated contact voltage, reduce the current since current values vary according to the type of load.
*2. Values when switching a resistive load at normal room temperature and humidity and in a clean atmosphere. The minimum applicable load varies with the switching frequency and operating environment.

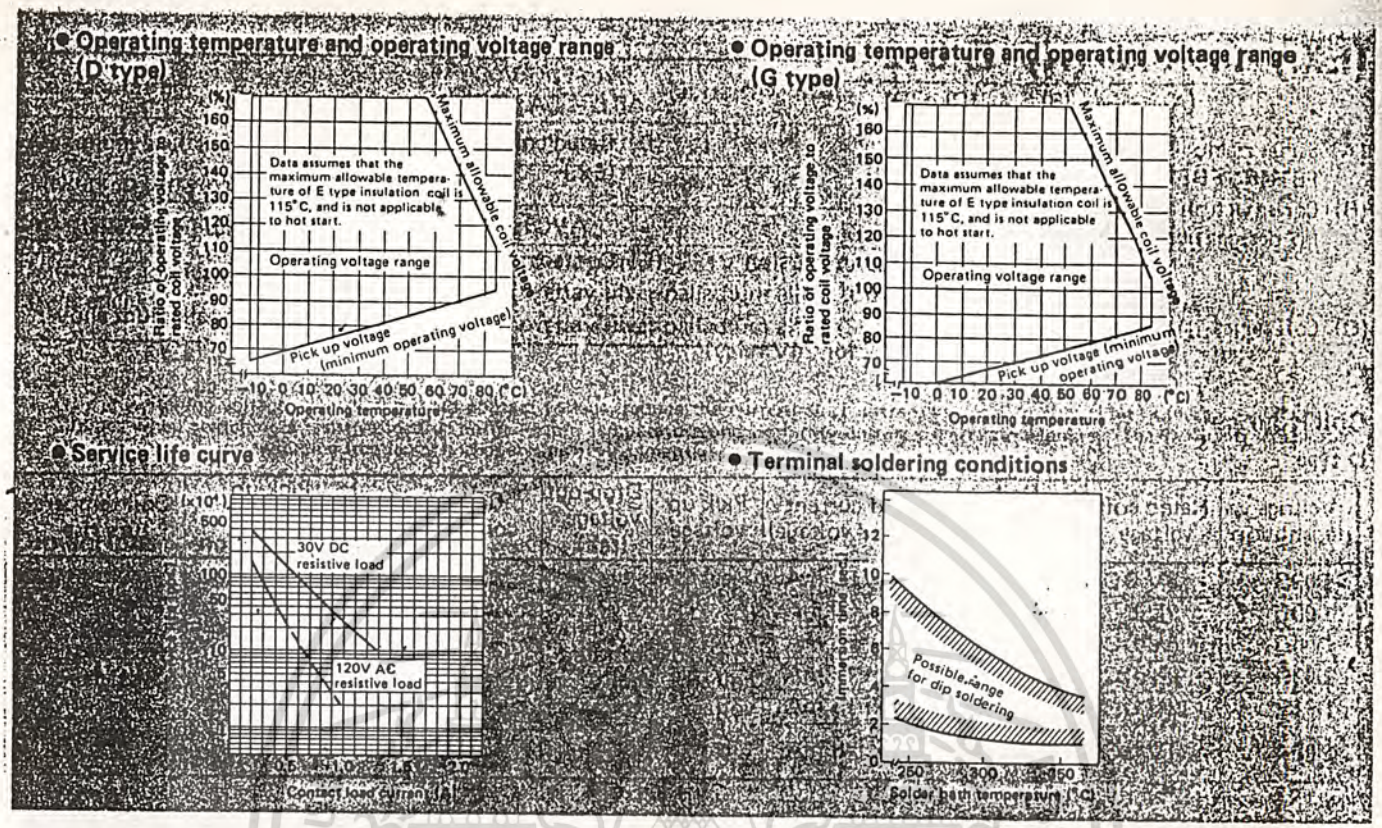
Dimensions

Unit: mm (in.)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Reference Data



Soldering and Cleaning Conditions

1. Terminal Treatment

- Do not apply a force of more than 0.5kg to the terminals.
- Do not bend the terminals more than 45 degrees.

2. Soldering

• Flux	Rosin type (non-corrosive)
• Flux temperature	23 ± 3°C
• Pre-heating temperature	100°C max. (PC board temperature)
• Pre-heating time	30 sec. max.
• Soldering bath temperature	See Reference Data
• Soldering time	See Reference Data

3. Cleaning

- Method

Standard relay	Partial cleaning
N series relays	Immersion cleaning

• Fluids	Alcohol, freon, warm water, and chlorosen.
• Fluid temperature	60°C max. (Freon and chlorosen at room temperature.)
• Time	2 minutes max.

4. Drying

• Temperature	65°C max.
• Time	1 hour

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้