# การถอดรหัสสัญญาณภาพ

# VIDEO DESCRAMBLE


โดย

นางสาวพัชรินทร์ ตุ่นกลาง 34105237

นางสาวมยุเรศร์ สายนาโก 34105268


ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

# การถอดรหัสสัญญาณภาพ

# VIDEO DESCRAMBLE


โดย

นางสาวพัชรินทร์ ตุ่นกลาง 34105237

นางสาวมยุเรศร์ สายนาโก 34105268


อาจารย์ที่ปรึกษา

ผศ.สมยศ จุณณะปิยะ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2537

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การถอดรหัสสัญญาณภาพ

ผู้จัดทำ

1. นางสาวพัชรินทร์ ตุ่นกลาง
2. นางสาวมยุเรศร์ สายนาโก

.....อาจารย์ที่ปรึกษา

(ผศ. สมยศ จุณณะปิยะ)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การถอดรหัสสัญญาณภาพ

นางสาวพัชรินทร์ ตุ่นกลาง 34105237
นางสาวมยุเรศร์ สายนาโก 34105268

อาจารย์ที่ปรึกษา
ผศ. สมยศ จุณณะปิยะ
ปีการศึกษา 2537

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ กล่าวถึงการออกแบบและสร้างวงจร ถอดรหัสสัญญาณภาพ (VIDEO DESCRAMBL) ซึ่งเป็นวงจรที่ใช้ในการเปลี่ยนสัญญาณภาพที่ทางด้านส่งทำการสแกรมแบบผสมสัญญาณไซน์ให้กลับเป็นสัญญาณภาพเหมือนเดิม ในการสร้างสัญญาณไซน์นี้เราได้พัฒนาจากการใช้ ไอซี มาเป็นการใช้ไมโครคอนโทรลเลอร์ตระกูล MCS - 51 เบอร์ 8032 ซึ่งจะทำให้สะดวกในการสร้างสัญญาณ และการพัฒนาการทำงานต่อไป โดยสามารถเปลี่ยนความถี่และแอมปลิจูดของสัญญาณไซน์ได้โดยการเปลี่ยนข้อมูลที่ซอฟท์แวร์ และเนื่องจากการสแกรมแบบผสมสัญญาณไซน์นี้จะให้ความปลอดภัยในการป้องกันการขโมยสัญญาณในระดับปานกลาง ดังนั้นเพื่อเพิ่มความปลอดภัยให้กับข้อมูลสูงขึ้น เราจะเปลี่ยนความถี่ของสัญญาณไซน์ไปเรื่อยๆ โดยจะใช้การใส่รหัสไปในช่วงแบลงค์กิ้งของสัญญาณภาพด้วย ซึ่งทางด้านรับก็ต้องทำการถอดรหัสนั้นออกมา เพื่อนำข้อมูลนั้นไปใช้ในการเปลี่ยนสัญญาณภาพให้กลับเป็นเหมือนเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# VIDEO DESCRAMBLE

Miss Patcharin Toonklang 34105237

Miss Mayures Sainako 34105268

Advisor

Asst.Prof. Somyot Junnapiya

Academic Year 1994

ABSTRACT

This project report present for designing of Descramble circuit, which is Sine Wave Descramble. This circuit used for changing video signal that is scrambed by Sine Wave Scramble to the pure video signal.

To generate sine wave we use microcontroller MCS - 51 No 8032, that is comfortable to generate sine wave and change the frequency or amplitude of sine wave by improving the software.

Sine Wave Scramble is saved in medium level so in improvment to high level save scramble, we will encode the code transmitted with video signal. Receiver part must be have the decoder to detect code for detecting the video signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | | หน้า |
|---|---|---|
| บทที่ 1 | บทนำ | 1 |
| บทที่ 2 | ทฤษฎี | 2 |
| บทที่ 3 | โครงสร้างและการทำงานของวงจร | 50 |
| บทที่ 4 | การทดลองและผลการทดลอง | 62 |
| บทที่ 5 | บทสรุปและแนวทางในการพัฒนา | 73 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญภาพ


| เรื่อง | หน้า |
|---|---|
| รูปที่ 2.1 ทฤษฎีการหักเหทางแม่เหล็กและทางไฟฟ้าสถิตย์ | 2 |
| รูปที่ 2.2 รูปร่างของกระแสรูปฟันเลื่อย | 3 |
| รูปที่ 2.3 การสแกนจากซ้ายไปขวาและบนลงล่าง | 4 |
| รูปที่ 2.4 การสแกนไขว้กัน | 4 |
| รูปที่ 2.5 รูปร่างของสัญญาณซิงก์ | 5 |
| รูปที่ 2.6 รูปร่างของสัญญาณซิงค์ที่ใช้ในการส่งโทรทัศน์ | 5 |
| รูปที่ 2.7 พัลส์ที่เกิดขึ้นในระยะเวลาที่มีสัญญาณแบล้งกิ้งทางแนวตั้ง ในฟิลด์ที่หนึ่งและฟิลด์ที่สอง | 7 |
| รูปที่ 2.8 แสดงผลของการกลับสัญญาณภาพ | 8 |
| รูปที่ 2.9 แสดงผลของการแทนสัญญาณซิ้งก์ | 10 |
| รูปที่ 2.10 สแดงผลของแอคทีฟอินเวอร์ชั่น | 10 |
| รูปที่ 2.11 แสดงผลของการตัดและกลับ | 11 |
| รูปที่ 2.12 แสดงผลของการตัดและหมุน | 12 |
| รูปที่ 2.13 แสดงผลของไลน์ชัฟเฟิล | 13 |
| รูปที่ 2.14 แสดงผลของการเลื่อนพัลส์คลื่นไซน์ | 13 |
| รูปที่ 2.15 แสดงผลของการเลื่อนพัลส์ซิ้งก์ | 14 |
| รูปที่ 2.16 แสดงหลักการทำงานของ Sinewave scrambling | 15 |
| รูปที่ 2.17 แสดงหลักการทำงานของ Gate pulse scrambling | 16 |
| รูปที่ 2.18 แสดงบล็อคไดอะแกรมของเทลิสสแกรมบลิ้ง | 16 |
| รูปที่ 2.19 แสดงบล็อคไดอะแกรมของคลื่นไซน์สแกรมบลิ้ง | 17 |
| รูปที่ 2.20 แสดงบล็อคไดอะแกรมของเกทพัลส์ดีสแกรมบลิ้ง | 17 |
| รูปที่ 2.21 แสดงบล็อคไดอะแกรมของเทลิสดีสแกรมบลิ้ง | 18 |
| รูปที่ 2.22 สถาปัตยกรรมภายในของ 8051 | 19 |
| รูปที่ 2.23 ไดอะแกรมของ 8051 แบบ DIF | 19 |
| รูปที่ 2.24 โครงสร้างของพอร์ท 0 | 20 |
| รูปที่ 2.25 โครงสร้างของพอร์ท 1 | 21 |
| รูปที่ 2.26 โครงสร้างของพอร์ท 2 | 22 |
| รูปที่ 2.27 โครงสร้างของพอร์ท 3 | 23 |
| รูปที่ 2.28 ตารางค่ารีจิสเตอร์เมื่อเกิดการรีเซท | 24 |
| รูปที่ 2.29 วงจรออสซิลเลเตอร์ภายใน 8051 | 25 |
| รูปที่ 2.30 8051 ที่ทำงานโดยสัญญาณที่มาจากภายนอก | 26 |


เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.31 รีจิสเตอร์ฟังก์ชั่นพิเศษ 27
รูปที่ 2.32 แผนภาพค่าตำแหน่งหน่วยความจำแต่ละบิท 28
รูปที่ 2.33 ชุดข้อมูลอนุกรมในโหมด 1 29
รูปที่ 2.34 ชุดข้อมูลอนุกรมในโหมด 2 30
รูปที่ 2.35 Serial Port Control Register (SCON) 31
รูปที่ 2.36 TMOD Timer/Counter Mode Register 33
รูปที่ 2.37 Timer Mode 0:13 bit count 34
รูปที่ 2.38 Timer mode 2 35
รูปที่ 2.39 Timer 0 Mode 3 36
รูปที่ 2.40 TCON Timer Count Register 37
รูปที่ 2.41 แหล่งกำเนิดสัญญาณขัดจังหวะ 38
รูปที่ 2.42 Interrupt enable Register 39
รูปที่ 2.43 IP : Interrupt Piority Register 41
รูปที่ 2.44 ระบบการขัดจังหวะของ 8052 และ 83154 41
รูปที่ 2.45 PCON : Power Control Register
42
รูปที่ 2.46 Power Down และ Idle Mode 43
รูปที่ 2.47 ไดอะแกรมเวลาของการตอบสนองการขัดจังหวะ 45
รูปที่ 3.1 บล็อคไดอะแกรมของวงจรทั้งหมด 50
รูปที่ 3.2 วงจรรวมของดีสแกรมเบิล 51
รูปที่ 3.3 วงจรแยกสัญญาณซิ้งก์ 52
รูปที่ 3.4 วงจรเลือกเส้นสแกน 53
รูปที่ 3.5 วงจรทำข้อมูลให้ชัดเจน 53
รูปที่ 3.6 วงจรแปลงข้อมูลจากอนุกรมเป็นขนาน 54
รูปที่ 3.7 วงจรสร้างสัญญาณอินเตอร์รัพท์ 54
รูปที่ 3.8 แสดงไดอะแกรมของการต่อซีพียูกับ DAC 55
รูปที่ 3.9 โฟลชาร์ทการทำงานของโปรแกรม 56
รูปที่ 4.1 สัญญาณภาพที่ถูกสแกรมรหัสต่าง ๆ 62
รูปที่ 4.2 สัญญาณภาพที่ถูกสแกรมเทียบกับสัญญาณ odd/even 65
รูปที่ 4.3 สัญญาณภาพที่ถูกสแกรมเทียบกับสัญญาณ ver sync 66
รูปที่ 4.4 สัญญาณภาพที่ถูกสแกรมเทียบกับสัญญาณควบคุม 66
รูปที่ 4.5 สัญญาณภาพที่ถูกสแกรมเทียบกับเส้นสแกนที่เลือก 67
รูปที่ 4.6 สัญญาณที่ถูกสแกรมเทียบกับเอาท์พุทจาก LM 339 67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.7 สัญญาณไซน์จากวงจรแปลงดิจิตอลเป็นอนาล็อก 68
รูปที่ 4.8 สัญญาณภาพที่ถูกสแกรมเทียบกับสัญญาณอินเตอร์รัพท์
69
รูปที่ 4.9 รูปสัญญาณภาพที่ถูกสแกรม 69
รูปที่ 4.10 สัญญาณไซน์ที่สร้างขึ้น 70
รูปที่ 4.11 เอาท์พุทของวงจรกำจัดไซน์ 70
รูปที่4.12 สัญญาณเอาท์พุทจากวงจรดีสแกรมเบิล 71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

ในยุคโลกาภิวัตน์ทุกสิ่งทุกอย่างต้องเป็นไปอย่างถูกต้องแม่นยำและรวดเร็ว มีการติดต่อสื่อสารและการส่งข่าวสารข้อมูลต่างๆมากมาย ทั้งที่อยู่ในรูปของสัญญาณภาพ สัญญาณเสียง และที่อยู่ในรูปแบบของข้อมูล โดยทุกสิ่งที่เกี่ยวกับด้านนี้ในปัจจุบันกลายเป็นธุรกิจที่ได้รับความสนใจจากหน่วยงานต่างๆมากมาย โดยเฉพาะทางด้านเอกชนได้มีการลงทุนในด้านการติดต่อสื่อสารเกิดขึ้นมากมายหลายบริษัท ทำให้เกิดสภาพการแข่งขันมากขึ้นด้วย

ธุรกิจหนึ่งที่เกี่ยวกับการสื่อสารที่ได้รับความนิยมอยู่ในปัจจุบัน ก็คือธุรกิจการส่งสัญญาณภาพแก่ผู้รับที่เป็นสมาชิกเท่านั้นหรือระบบเคเบิลทีวี (cable tv) นั่นเองซึ่งสมาชิกต้องเสียค่าบริการให้แก่บริษัท จึงจะสามารถใช้บริการได้

ซึ่งในการส่งสัญญาณนี้มีกรณีที่เมื่อติดตั้งจานรับแล้วทำให้มีการรับสัญญาณของอีกบริษัทหนึ่งได้โดยไม่ต้องเสียค่าบริการ ทำให้บริษัทได้รับความเสียหาย ดังนั้นจึงต้องมีการป้องกันสัญญาณของตนไม่ให้ผู้ที่ไม่ใช่สมาชิกสามารถรับได้ โดยใช้อุปกรณ์เฉพาะตัวมีลักษณะพิเศษซึ่งมีราคาแพงเพราะต้องมีการออกแบบมาโดยเฉพาะ และอุปกรณ์ที่ใช้ก็หาได้ลำบาก ดังนั้นจึงได้มีการพัฒนาวิธีการป้องกันสัญญาณนี้ โดยการทำให้สัญญาณนั้นผิดเพี้ยนไปทางด้านรับจะสามารถสัญญาณได้ก็ต่อเมื่อมีอุปกรณ์ที่จะทำให้สัญญาณนั้นกลับเป็นเหมือนเดิม ในการรับสัญญาณนี้จะทำให้ง่ายและปลอดภัย โดยทางด้านส่งจะเพิ่มวงจรเข้ารหัส (encoder) เข้าไป และทางด้านรับจะเพิ่มวงจรถอดรหัส (decoder) เข้าไป ก็สามารถป้องกันการขโมยสัญญาณได้

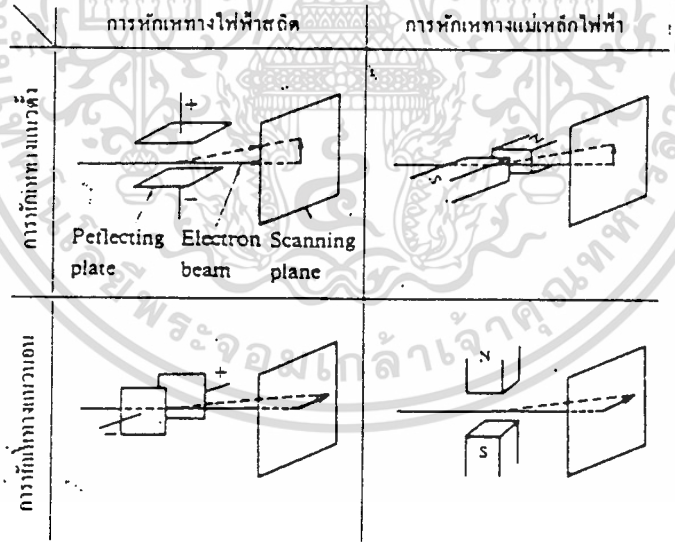
ระบบการถอดรหัสสัญญาณภาพ(video desoramble) ในปริญญานิพนธ์ฉบับนี้ เพื่อศึกษาถึงระบบการถอดรหัสแบบอนาลอก ซึ่งเป็นระบบที่ประยุกต์ใช้งานจากระบบอนาลอกธรรมดาโดยใช้ไมโครคอนโทรลเลอร์สร้างสัญญาณไซน์ โดยสามารถกำหนดความถี่จากรหัสที่รับเข้ามาโดยที่เครื่องรับจะรับสัญญาณที่เข้ารหัสแล้วมาแยกรหัสที่ส่งมากับสัญญาณภาพแล้วแปลงค่ารหัสที่เหมาะสมป้อนให้ไมโครคอนโทรลเลอร์เพื่อสร้างสัญญาณไซน์ตามค่ารหัสที่แปลงมา ส่งเข้าวงจรกำจัดสัญญาณไซน์ โดยนำสัญญาณไซน์ที่สร้างขึ้นมาใหม่ป้อนเข้าไปเพื่อหักล้างกับสัญญาณไซน์ที่เข้ารหัสมาจะได้สัญญาณภาพกลับคืนมาดังเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# ทฤษฎี

## 2.1 หลักการการสแกนของโทรทัศน์

ภาพบนจอของหลอดภาพของเครื่องรับโทรทัศน์โดยทั่วไป จะประกอบด้วยเส้นขวางเล็ก ๆ ในแนวนอนเป็นจำนวนมาก ซึ่งแต่ละเส้นเหล่านี้ มีทั้งส่วนที่ดำสนิทหรือมีสีเข้ม ส่วนที่ดำจางหรือมีสีจางและส่วนที่สว่างมากปะปนกันอยู่ เส้นขวางเล็ก ๆ ในแนวนอนเหล่านี้ มีชื่อเรียกว่า เส้นสแกน เส้นเหล่านี้ประกอบไปด้วยจุดเล็ก ๆ ซึ่งมีทั้งมืดและสว่างปะปนกันอยู่ ภาพที่ปรากฏบนจอหลอดภาพจึงประกอบด้วยจุดเล็ก ๆ ที่มีระดับความสว่างแตกต่างกันเป็นจำนวนมาก จุดเล็ก ๆ เหล่านี้ เรียกว่า ส่วนประกอบของภาพ (Pioture element) ซึ่งมีส่วนสัมพันธ์กับความละเอียดของภาพเช่นเดียวกับจุดดำหรือจุดสีเล็ก ๆ ในรูปภาพของสิ่งตีพิมพ์ ภาพที่เห็นบนจอหลอดภาพ จะมองดูละเอียดน่าดู หากมีจำนวนจุดเล็ก ๆ หรือจำนวนเส้นสแกนในแนวนอนมากเพียงพอ ด้วยเหตุนี้ โทรทัศน์ระบบยุโรปซึ่งมีจำนวนเส้นสแกน 625 เส้น ต่อภาพ จึงให้ภาพที่มองดูละเอียดกว่าโทรทัศน์ระบบอเมริกันซึ่งมีจำนวนเส้นสแกนเพียง 525 เส้น ต่อภาพเท่านั้น อย่างไรก็ตาม ภาพที่ปรากฏบนจอหลอดภาพจะมองดูละเอียดหรือหยาบ ยังขึ้นอยู่กับส่วนประกอบอีกหลายอย่าง เช่นความสว่างของภาพและระยะทางที่มองดูภาพ เป็นต้น

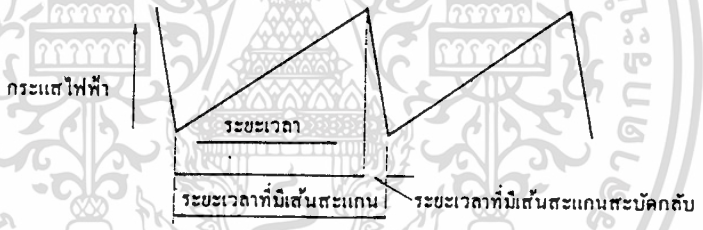



รูปที่ 2.1 ทฤษฎีการหักเหทางแม่เหล็กและทางไฟฟ้าสถิตย์

จุดที่เห็นสว่างในจอหลอดภาพของเครื่องรับโทรทัศน์ เกิดขึ้นเพราะอิเล็กตรอนที่หลุดออกไปจากแคโถดและถูกดึงดูดให้วิ่งเป็นลำไปกระทบแอโนดหรือจอหลอดภาพ ซึ่งฉาบด้วยวัสดุเรืองแสงบางชนิดเอาไว้ จุดที่มีการก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระทบกัน ก็จะมองเห็นเป็นจุดสว่างขึ้นที่จอ การสแกนก็คือ การทำให้จุดสว่างนี้เคลื่อนที่ไปในจังหวะที่ต้องการ ซึ่งในเรื่องของโทรทัศน์ ก็ต้องการให้จุดสว่างนี้เคลื่อนที่ไปในแนวนอนและแนวตั้ง โดยอาศัยความเข้มของสนามแม่เหล็กเข้าช่วยเหลือ ทำให้เกิดการดึงดูดหรือการผลักกันกับอีเล็กตรอน ในหลักการการทำให้เกิดการดึงดูดหรือการผลักกันกับ อีเล็กตรอนนี้ อาจทำได้โดยวิธีการหักเหของไฟฟ้าสถิต (electrostatic deflection) หรือวิธีการหักเหของแม่เหล็กไฟฟ้า (electromagnetic deflection) ตามที่แสดงไว้ในรูปที่ 2.1 ซึ่งวิธีการนี้นิยมกันมากในทางปฏิบัติ สนามแม่เหล็กนี้เกิดขึ้นโดยการปล่อยกระแสไฟฟ้ารูปฟันเลื่อยตามที่แสดงไว้ในรูปที่ 2.2 ให้ไหลผ่านขดลวดของการหักเห (deflection coil) ที่พันอยู่รอบ ๆ คอหลอดภาพ ซึ่งมีอยู่สองชุดด้วยกันคือ ขดลวดที่พันอยู่รอบคอหลอดภาพในแนวนอนชุดหนึ่ง และขดลวดที่พันอยู่รอบคอหลอดภาพในแนวตั้งอีกชุดหนึ่ง. สำหรับโทรทัศน์ระบบยุโรป ความถี่ของกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหในแนวนอน จะมีค่า 15,625 เฮิร์ตซ์ ส่วนกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหในแนวตั้ง จะมีค่าเพียง 50 เฮิร์ตซ์ เท่านั้น โดยปกติ การสแกนจะเริ่มต้นขึ้นโดยการทำให้จุดสว่างบนจอหลอดภาพเคลื่อนที่จากซ้ายมือด้านบนของจอไปทางขวามือในแนวนอน ซึ่งเมื่อถึงตำแหน่งขวามือสุดก็จะถูกเบนต่ำลงเล็กน้อย อันเป็นผลจากการที่มีกระแสรูปฟันเลื่อยไหลผ่านขดลวดของการหักเหในแนวตั้ง แล้วก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือเพื่อเคลื่อนที่มาทางขวามือในแนวนอนอีก เป็นอยู่เช่นนี้เรื่อย ๆ จนกระทั่งจุดสว่างนั้นไปถึงตำแหน่งขวามือข้างล่างสุดของจอหลอดภาพ จึงเป็นอันเสร็จสิ้นการสแกนภาพนิ่งภาพหนึ่ง หรือเรียกกันว่า เฟรมหนึ่ง ตามที่แสดงไว้ในรูปที่ 2.3

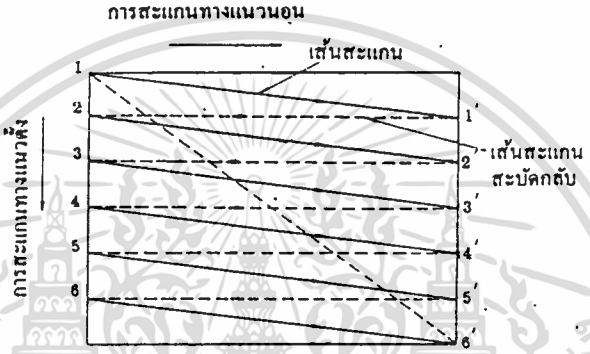



รูปที่ 2.2 รูปร่างของกระแสรูปฟันเลื่อย

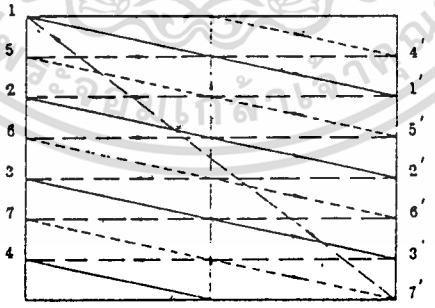
หลังจากนั้น ลำอีเล็กตรอนก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือด้านบนสุดของจอหลอดภาพอีก เพื่อสแกนภาพนิ่งอันดับถัดไป อย่างไรก็ตาม เพื่อลดอาการระพริบของภาพการสแกนภาพนิ่งแต่ละภาพ มักนิยมจัดทำสองครั้งในแบบของการสแกนไขว้กัน ซึ่งเรียกว่า interlace scanning ตามที่แสดงไว้ในรูปที่ 2.4 โดยกำหนดให้ภาพนิ่งหนึ่งเฟรม (frame) ประกอบด้วยภาพนิ่งสองฟิลด์ (field) และเริ่มต้นด้วยการสแกนภาพนิ่งฟิลด์เส้นคี่ก่อน เมื่อสิ้นถึงตำแหน่งขวามือล่างสุดของจอหลอดภาพแล้ว จึงกลับไปเริ่มตั้งต้นใหม่ทางด้านซ้ายมือบนสุดของจอ แล้วเริ่มต้นสแกนภาพนิ่งฟิลด์เส้นคู่ต่อไป จนถึงตำแหน่งขวามือล่างสุด หลังจากนั้น จึงจะเริ่มต้นสแกนภาพนิ่งอันดับอื่นต่อไปใหม่ ฉะนั้น ภาพนิ่งหนึ่งภาพหรือภาพนิ่งหนึ่งเฟรม จึงประกอบด้วยฟิลด์เส้นสแกนเส้นคี่และฟิลด์เส้นสแกนเส้นคู่ สำหรับโทรทัศน์ระบบยุโรป ซึ่งใช้เส้นสแกน 625 เส้น ต่อภาพ และ 50 ภาพ ต่อวินาที ภาพนิ่งแต่ละภาพหรือแต่ละเฟรมจะประกอบด้วยเส้นสแกนแนวนอน 625 เส้นภาพนิ่งแต่ละฟิลด์จะมีเส้นสแกนแนวนอนครึ่งหนึ่งของ 625 เส้น หรือ 312.5 เส้น ภาพนิ่งแต่ละภาพนี้ จะเกิดภายในระยะเวลา 1/25 วินาทีความถี่ของกระแสรูปฟันเลื่อยที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการหักเหทางแนวนอน ซึ่งในระยะเวลา 1/25 วินาที จะเกิดเส้นสแกน 625 เส้น จะมีค่า (625) (25) หรือ 15,625 เฮิร์ตซ์ ส่วนความถี่ของกระแสรูปฟันเลื่อยที่ใช้ในการหักเหทางแนวตั้ง ซึ่งใช้เวลาในการสแกนจากบนสุดมาล่างสำหรับฟิลด์หนึ่ง ๆ เพียง 1/50 วินาที จะมีค่า 50 เฮิร์ตซ์ การสแกนภาพนิ่งจะกระทำติดต่อกันไปเรื่อย ๆ โดยมีจำนวนภาพนิ่งหรือจำนวนเส้นสแกนต่อภาพ กับจำนวนภาพต่อวินาทีแตกต่างกันไปตามแต่ชนิดของระบบโทรทัศน์ที่ใช้ ภาพที่มาปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์ จึงมีผลคล้ายกับการฉายภาพนิ่ง ซึ่งแต่ละภาพมีความแตกต่างกันบ้างเพียงเล็กน้อยเป็นจำนวนหลาย ๆ ภาพต่อหนึ่งวินาที ด้วยเหตุที่สายตาของคนเรามีคุณลักษณะพิเศษในเรื่องของ persistance of vision จึงทำให้ผู้ชมโทรทัศน์สามารถมองเห็นภาพบนจอหลอดภาพของเครื่องรับโทรทัศน์เป็นภาพเคลื่อนไหวติดต่อกันไปตลอดเวลา




รูปที่ 2.3 การสแกนจากซ้ายไปขวาและจากบนลงล่าง

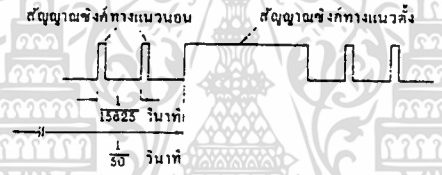


รูปที่ 2.4 การสแกนไขว้กัน ( interlace scanning )

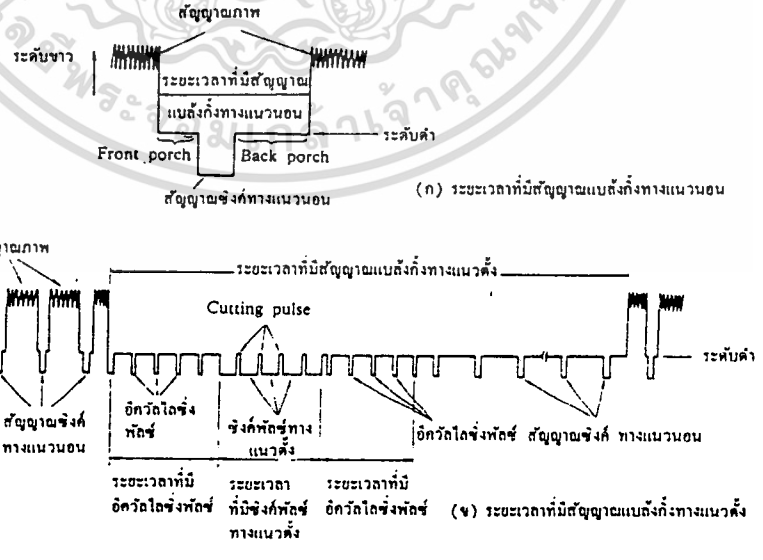
เรื่องที่สำคัญอีกอย่างหนึ่งของการส่งและการรับโทรทัศน์ก็คือ จะต้องสามารถหาวิธีการซึ่งทำให้การสแกนของภาพที่เกิดขึ้นในกล้องโทรทัศน์นั้น เกิดขึ้นพร้อมกันกับการสแกนของภาพที่จอหลอดภาพของเครื่องรับโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือทำให้ความถี่ของกระแสรูปฟันเลื่อยของวงจรหักเหทางแนวนอนและแนวตั้งทางกล้องโทรทัศน์เท่ากันตลอดเวลา กับความถี่ของวงจรหักเหทางแนวนอนและแนวตั้งทางจอหลอดภาพของเครื่องรับโทรทัศน์ หากความถี่ของกระแสรูปฟันเลื่อยในวงจรทางเครื่องส่งโทรทัศน์ไม่เท่ากันตลอดเวลากับความถี่ของกระแสรูปฟันเลื่อยในวงจรทางเครื่องรับโทรทัศน์ ก็จะพบว่า ภาพจะล้มหรือไม่มีภาพทางเครื่องรับโทรทัศน์การทำให้ความถี่ของกระแสรูปฟันเลื่อยทางด้านเครื่องส่งโทรทัศน์เท่ากันตลอดเวลา กับความถี่ของกระแสรูปฟันเลื่อยทางด้านเครื่องรับโทรทัศน์นี้ เรียกว่า เกิดการเข้าจังหวะ (synchronization) ขึ้น ในทางปฏิบัติสถานีโทรทัศน์จะต้องส่งสัญญาณชนิดหนึ่งเรียกว่า สัญญาณซิงก์ (synchronizing signal หรือ sync pulse signal) ไปพร้อมกับสัญญาณภาพ ตามที่แสดงไว้ในรูปที่ 2.5 และรูปที่ 2.6 สัญญาณซิงก์นี้จะประกอบด้วยสัญญาณซิงก์ทางแนวนอน (horizontal synchonizing signal) ซึ่งมีความถี่ 15,625 เฮิร์ตซ์ หรือจะมี sync pulse ครั้งหนึ่งในทุก ๆ ครั้งที่มีการสแกนในแนวนอนกับสัญญาณซิงก์ทางแนวตั้ง (vertical synchonizing signal) ซึ่งมีความถี่ 50 เฮิร์ตซ์ หรือจะมี sync pulse ครั้งหนึ่งในขณะที่มีการสแกนฟิลด์เส้นคี่หรือฟิลด์เส้นคู่เสร็จสิ้นลงสัญญาณซิงก์เหล่านี้จะส่งไปพร้อม ๆกับสัญญาณภาพในช่วงระยะเวลาของเส้นสแกนสะบัดกลับ หรือช่วงระยะเวลาที่เส้นสแกนกำลังหัน กลับไปเริ่มต้นใหม่ (flyback period)




รูปที่ 2.5 รูปร่างของสัญญาณซิงก์




รูปที่ 2.6 รูปร่างของสัญญาณซิงก์ที่ใช้ในการส่งโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางปฏิบัติ สถานีโทรทัศน์ขาวดำจะต้องส่งสัญญาณต่างๆ หลายอย่างออกอากาศไปให้เครื่องรับโทรทัศน์ เพื่อทำให้เกิดภาพขาวดำที่จอหลอดภาพของเครื่องรับโทรทัศน์ในลักษณะเดียวกันและพร้อมกันกับการสแกนภาพของกล้องโทรทัศน์ สัญญาณต่างๆสำหรับทำให้เกิดภาพขาวดำเหล่านี้ แสดงไว้ในรูปที่ 2.6 ซึ่งประกอบด้วย

-สัญญาณภาพ (video signal)

-สัญญาณแบล้งกิ้ง (blanking signal)

-สัญญาณซิ้งก์ (synchronizing signal)

-สัญญาณอีควอไลซิ่ง (equalizing signal)

สัญญาณต่างๆ ตามรูปนี้ จะรวมอยู่เป็นรูปร่างเดียวกัน ซึ่งเรียกว่าสัญญาภาพรวม(composite vedeo signal) แล้วใช้คลื่นพาห์ของภาพเป็นตัวพาออกอากาศ รวมกับคลื่นพาห์ของสัญญาณเสียง เหตุผลและความจำเป็นในการใช้สัญญาณต่างๆ มีดังต่อไปนี้

(ก) สัญญาณภาพ (video signal) และสัญญาณเสียง (sound signal) เป็นสัญญาณที่ใช้ทำให้เกิดภาพขาวดำที่จอหลอดภาพ และมีเสียงที่ลำโพงเครื่องรับโทรทัศน์ตามต้องการ สัญญาณภาพ (video signal) บางครั้งเรียกว่า สัญญาณส่องสว่าง (brightness signal หรือ luminance signal)

(ข) สัญญาณแบล้งกิ้ง (blanking signal) เป็นสัญญาณที่ใช้ลบเส้นสแกนสะบัดกลับทั้งในแนวนอนและในแนวตั้ง เพื่อมิให้เป็นที่สังเกตเห็นได้ชัดทางจอหลอดภาพ รูปที่ 2.6 (ก) เป็นรูปขยายของระยะเวลาที่มีสัญญาณแบล้งกิ้งทางแนวนอน (horizontal blinking period) และในช่วงระยะเวลาที่มีสัญญาณแบล้งกิ้งทางแนวนอนนี้ ก็จะส่งสัญญาณซิ้งก์ทางแนวนอน (horizontal synchroniizing signal)ไปด้วยแต่จะอยู่ในระดับดำสนิทกว่าสัญญาณแบล้งกิ้งส่วนที่เหลื่อมล้ำกันระหว่างแบล้งกิ้งพัลส์ กับซิ้งก์พัลส์นี้ จะมีอยู่สองส่วนตามรูปที่แสดงไว้ ส่วนหน้าเรียกว่า front porch และส่วนหลังเรียกว่า back porch สำหรับโทรทัศน์ระบบอเมริกัน ความถี่ของกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหในแนวนอนมีค่า 17,750 เฮิร์ตซ์ ฉะนั้น ในระยะเวลา 1 / 15,750 วินาที หรือ 63.5 ไมโครวินาที จะต้องเกิดเส้นสแกนสะบัดกลับอีกครั้งหนึ่ง จึงจำเป็นต้องใช้แบล้งกิ้งพัลซ์ทางแนวนอนครั้งหนึ่ง โดยมีขนาดประมาณ 10 ไมโครวินาที ส่วนรูปที่ 2.6 (ข) นั้น เป็นรูปขยายของระยะเวลาที่มีสัญญาณแบล้งกิ้งทางแนวตั้ง (vertical blanking signal) สำหรับโทรทัศน์ระบบอเมริกัน ทุกๆ ระยะเวลา 1/60 วินาที หรือ16.667 ไมโครวินาที จำเป็นต้องให้มีแบล้งกิ้งพัลซ์ทางแนวตั้งครั้งหนึ่งโดยมีขนาดประมาณ 1,250 ไมโครวินาที ในระยะที่มีแบล้งกิ้งพัลซ์ทางแนวตั้งนี้ ก็จะส่งสัญญาณซิงค์ทางแนวตั้งออกไปด้วย และเพื่อประโยชน์ในการช่วยทำให้สัญญาณซิงค์ทางแนวตั้ง ยังคงมีรูปร่างดีเหมือนเดิม หลังจากแยกออกมาจากสัญญาณซิงค์ทางแนวนอนทางเครื่องรับโทรทัศน์แล้วจะนิยมใส่อีควอไลซิงค์ (equalizing pulses) กับ คัตติ้งพัลซ์ (outting pulses) ไปด้วย ตามรูปที่ 2.6 (ข) ความถี่ของอีควัลไลซิ่งพัลซ์และคัทติ้งพัลซนี้ จะมีค่าเป็นสองเท่าของความถี่สัญญาณซิงค์ทางแนวนอน เพื่อช่วยให้การสแกนแบบหนึ่งเฟรมแบ่งออกเป็นสองฟิลด์ทางด้านเครื่องรับโทรทัศน์ เป็นไปอย่างถูกต้องและเหมาะสม จุดตั้งต้นของสัญญาณซิงค์ทางแนวนอนและสัญญาณซิงค์ทางแนวนอนหนึ่งๆ แล้ว จะต้องเกิดขึ้นพร้อมกันเพื่อทำการสแกนฟิลด์ต่อๆ ไป ตามที่แสดงไว้แล้วในรูปที่ 2.7 มิฉะนั้น การสแกนไขว้กันทางเครื่องรับโทรทัศน์อาจไม่เป็นไปในจังหวะที่ถูกต้องได้

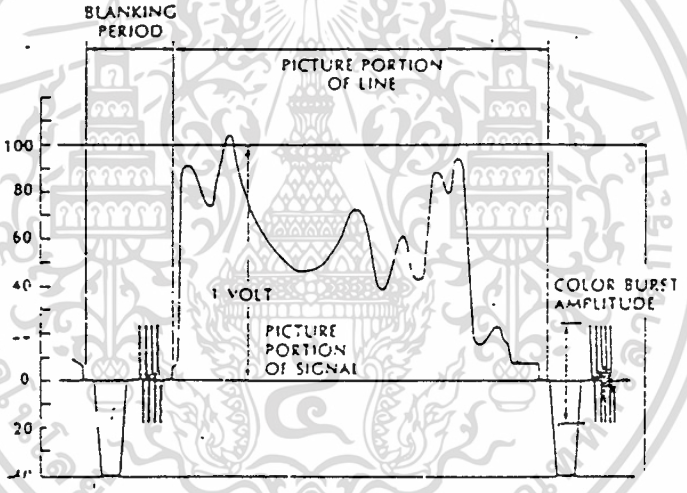
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.2 เทคนิคการสแกรมเบิลและดีสแกรมเบิล

การสแกรมบลิ้ง ( scrambling ) มีคำจำกัดความที่กว้างมาก โดยหมายถึง "การเปลี่ยนแปลงข้อมูลจากแบบปกติให้อยู่ในรูปแบบพิเศษ ซึ่งไม่สามารถรับรู้ได้ด้วยระบบปกติและสามารถเปลี่ยนแปลงข้อมูลจาก รูปแบบพิเศษนั้น ให้กลับมาอยู่ในรูปแบบปกติได้ " ซึ่งจะเห็นได้ว่าแม้แต่การเกิดนอยส์ ( noise ) ในการส่งก็อาจจะจัดว่าเป็นการสแกรมบลิ้งได้ถ้านอยส์นั้นจะทำให้เราไม่สามารถรับรู้ภาพจากสัญญาณภาพนั้นได้ และเราก็สามารถที่จะกำจัดสัญญาณนอยส์ นั้นออกไปได้หมด จนสามารถดูภาพได้ชัดเจนเหมือนปกติ ในการสแกรมบลิ้งสัญญาณภาพนั้นทำได้หลายแบบดังนี้

### 2.2.1 การกลับสัญญาณภาพ (Video Inversion)

หลักการ วิธีการนี้จะทำการกลับสัญญาณภาพ, ซิ้งก์พัลส์, เบิร์ตส์ รวมทั้ง แบล้งกิ้ง หรือกล่าวได้ว่ากลับสัญญาณทุกสัญญาณ โดยจะกลับจากบวกเป็นลบและจากลบเป็นบวก



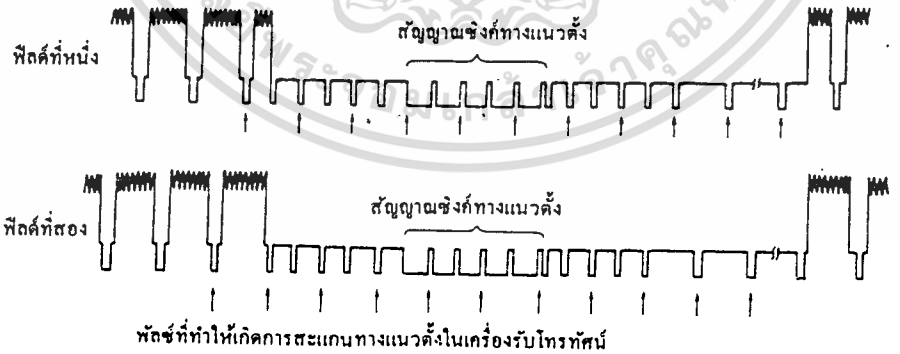

รูปที่ 2.8 แสดงผลของการกลับสัญญาณภาพ

เทคนิคการสแกรมบลิ้งแบบนี้ ได้เริ่มต้นใช้ในระบบ cable TV และจัดได้ว่าเป็นการสแกรมบลิ้งแบบที่เป็นธรรมชาติมากที่สุด เพราะไม่มีการเปลี่ยนแปลงรูปแบบของสัญญาณที่มีอยู่ในสัญญาณภาพรวม (Composite Video)เลย เพียงแต่กลับขั้วของสัญญาณเท่านั้น ดังนั้นเราจึงสามารถดีสแกรมบลิ้งกลับมารูปแบบเดิมได้ง่าย เพียงใส่วงจร สลับขั้วของสัญญาณที่เครื่องรับเท่านั้น แต่การที่สามารถดีสแกรมบลิ้งได้ง่ายนี้ ทำให้เทคนิคนี้มีการรักษาความปลอดภัยของข้อมูลในระดับที่ต่ำมาก เพราะถ้าผู้ที่ต้องการดูข้อมูลจากสัญญาณภาพนี้รู้ว่าใช้เทคนิคการสแกรมแบบนี้ ก็สามารถดีสแกรมบลิ้งได้ง่ายเช่นกัน ซึ่งผลของการใช้เทคนิคนี้จะมีผลดังรูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ค) สัญญาณซิงค์ (synchronizing signal) เป็นสัญญาณที่ใช้เพื่อช่วยทำให้ความถี่ของกระแสรูปฟันเลื่อยที่ใช้ในวงจรของการหักเหทางแนวนอนกับวงจรหักเหทางแนวตั้งของเครื่องส่งโทรทัศน์ มีค่าตรงกันกับที่ใช้ในเครื่องรับโทรทัศน์ อันจะมีผลทำให้การสแกนของภาพทางด้านเครื่องส่งโทรทัศน์ ตรงกันกับทางด้านเครื่องรับโทรทัศน์ตลอดเวลาสัญญาณซิงค์ทางแนวนอนจะมีความถี่เท่ากันกับความถี่ ของกระแสรูปฟันเลื่อยที่ใช้ในวงจรการหักเหทางแนวนอน และสัญญาณซิงค์ทางแนวตั้งก็จะมีความถี่เท่ากับความถี่ของกระแสรูปฟันเลื่อยที่ใช้ในวงจรของการหักเหทางแนวตั้ง เนื่องจากความถี่ของสัญญาณซิงก์นี้เท่ากันกับความถี่ของสัญญาณแบล้งกิ้ง จึงจำเป็นต้องป้องกันการรบกวนที่เกิดขึ้น โดยจำเป็นต้องกำหนดขนาดของซิงก์พัลส์ให้น้อยกว่าขนาดของแบล้งกิ้งพัลส์ กล่าวคือ ทำให้ซิงค์พัลส์ทางแนวนอนมีขนาดเพียง 5 ไมโครวินาที และซิงก์พัลส์ทางแนวตั้งมีขนาดเพียง 190 ไมโครวินาทีเท่านั้น นอกจากนี้ ยังใช้วิธีส่งซิงก์พัลส์เหล่านี้ปะปนกับแบล้งกิ้งพัลส์โดยทำให้ฐานของซิงก์พัลส์อยู่ทับขอบบนของแบล้งกิ้งพัลส์อีกชั้นหนึ่ง เมื่อได้กำหนดให้ระดับสูงสุดของแบล้งกิ้งพัลส์เป็นระดับดำมืดจนมองไม่เห็นทางจอหลอดภาพแล้ว ระดับของซิงก์พัลส์ที่อยู่บนยอดสูงสุดของแบล้งกิ้งพัลส์ ก็จะเป็นระดับดำมืดสนิท และไม่ทำให้เกิดการรบกวนภาพที่จอหลอดภาพแต่ประการใด

(ง) สัญญาณอีควอไลซิ่ง (equalizing signal) เป็นสัญญาณที่ใช้เพื่อช่วยทำให้สัญญาณซิงก์ทางแนวตั้งยังคงมีรูปร่างดีเหมือนเดิม หลังจากแยกออกมาจากสัญญาณซิงค์ทางแนวนอนในเครื่องรับโทรทัศน์แล้ว สัญญาณนี้มีความถี่เป็นสองเท่าของสัญญาณซิงก์ทางแนวนอน ซึ่งจะช่วยทำให้การสแกนไขว้ทางเครื่องรับโทรทัศน์เป็นไปโดยเรียบร้อย รวมทั้งสัญญาณซิงค์ทางแนวนอนก็จะไม่ขาดหายไปในช่วงเวลาที่มีสัญญาณซิงค์ทางแนวตั้งอีกด้วย ขนาดของอีควัลไลซิ่งพัลซ์ ก็มีขนาดของซิงค์พัลซ์ทางแนวตั้ง คือประมาณ 190 ไมโครวินาที หรือประมาณสามเท่าของซิงค์พัลซ์ทางแนวนอน นอกจากนี้ ยังนิยมแบ่งพัลซ์นี้ออกเป็นพัลซ์เล็กๆ ตามรูปที่ 2.6 เพื่อทำให้เกิดซิงค์พัลซ์ทางแนวนอนครั้งหนึ่ง ในทุกๆ สองครั้งที่มีพัลซ์เล็กๆ เหล่านี้




รูปที่ 2.7 พัลส์ที่เกิดขึ้นในระยะเวลาที่มีสัญญาณแบล้งกิ้งทางแนวตั้ง ในฟิลด์ที่หนึ่งและฟิลด์ที่สอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.8 จะเห็นว่าเส้นสัญญาณภาพรวม (Complete Video Line ) จะถูกกลับจากบวกเป็นลบ และลบเป็นบวก ทำให้ที่เครื่องรับไม่สามารถเช็คซิ้งก์ได้ และข้อมูลของภาพจะอยู่ในรูปลบ ( Negative )นอกจากนี้เบิร์ตส์สี(Color burst )จะถูกเลื่อนเฟสไป 180 องศาด้วย

สำหรับระบบโทรทัศน์ผ่านดาวเทียมจะไม่สามารถใช้เทคนิคการสแกรมบลิ้งแบบนี้ได้ เพราะแรงดันไฟของระบบจะถูกแปลงลงทั้งสูง( High )และต่ำ( Low )ซึ่งหมายความว่า ในเครื่องรับโทรทัศน์ผ่านดาวเทียมนั้น จะมีอุปกรณ์สลับขั้วของสัญญาณอยู่แล้ว จะทำให้สัญญาณที่ถูกสแกรมบลิ้งแบบนี้ไม่มีผล เพราะจะสามารถรับได้อย่างปกติ

**2.2.2 การแทนสัญญาณซิ้งก์(Sync Replacement)**

หลักการ จะมีการแทนสัญญาณซิ้งก์พัลส์ทางแนวนอน (Horizontal Synch) และทางแนวตั้ง (Vertical Synch) ด้วยสัญญาณรูปแบบอื่น

เทคนิคการสแกรมแบบนี้ มีการใช้ในอเมริกาเหนือ และยุโรป และเป็นส่วนหนึ่งในหลาย ๆ เทคนิค ที่มีการใช้ในระบบ OAK Orion และ Video Cipher ll ทั้งสองระบบในระบบ Orion ช่วงของ ซิ้งก์แนวนอนและรวมถึงสัญญาณซิ้งก์เบิร์ตส์ความถี่ 25 MHz ซึ่งตามด้วยสัญญาณเบิร์ตส์ข้อมูลส่วนระบบ Video Cipher ll นั้นจะมีการนำสัญญาณเบิร์ตส์ข้อมูล( Data Burst )มาแทนสัญญาณซิ้งก์นั้นเข้าไปรวมอยู่ในส่วนของสัญญาณเบิร์ตส์ข้อมูล

เทคนิคนี้จะไม่มีการรักษาความปลอดภัยของข้อมูลเลย เช่นเดียวกับเทคนิคการสแกรมแบบ Video Inversion (แบบที่ 1) ทำให้สามารถทำการดีสแกรมได้ง่าย ซึ่งทำได้ 2 แบบคือ

1. แบบที่เสียค่าใช้จ่ายต่ำจะใช้วิธีการดีเทค( Deteot )สัญญาณเพื่อให้ได้สัญญาณซิ้งก์ โดยใช้วงจรโมโนสเตเบิ้ล( Monostable)

2.แบบที่เสียที่เสียค่าใช้จ่ายสูง จะใช้วงจรซิ้งรีเจนเนอเรชั่น( Synoh Regeneration) โดยใช้สัญญาณเบิร์ตสีหรือสัญญาณส่วนอื่น ๆ ในการล็อกเพื่อสร้างสัญญาณซิ้งก์ขึ้นมาใหม่

**2.2.3 Active Inversion**

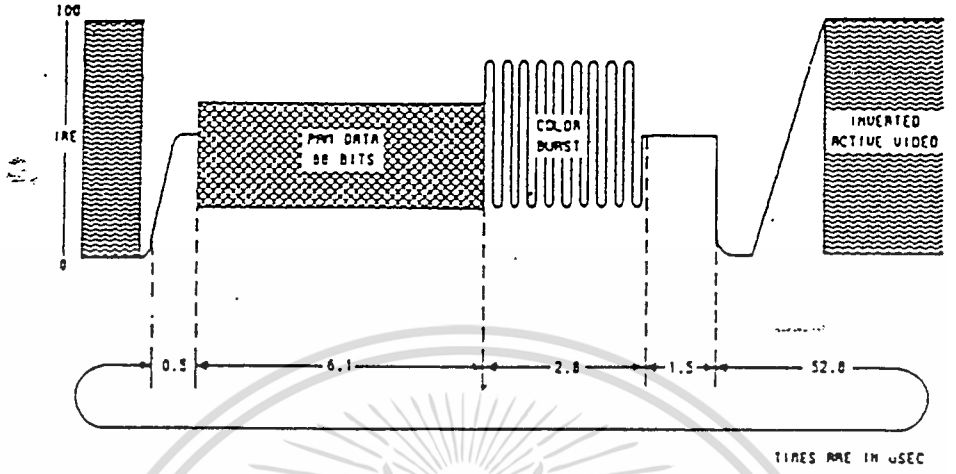
หลักการ จะทำการกลับขั้วของสัญญาณภาพแบบแอคทีฟ( Aotive)

การสแกรมสแกรมบลิ้งแบบแอคทีฟอินเวอร์ชั่นนี้ เป็นการกลับขั้วของข้อมูลภาพของ Video ทีละ Line ต่อ Line ซึ่งให้ผลในด้านการรักษาความปลอดภัยที่ดีกว่าระบบที่ผ่านมา แต่อย่างไรก็ตามในสภาพทั่วๆไปแล้วสัญญาณภาพจะกลับขั้วโดยใช้พื้นฐานของเส้นสลับ( Alternat Line ) ซึ่งมีการรักษาความปลอดภัยที่ต่ำอยู่ดีและในบางระบบจะใช้ในลักษณะฟิลด์( Field )ต่อฟิลด์

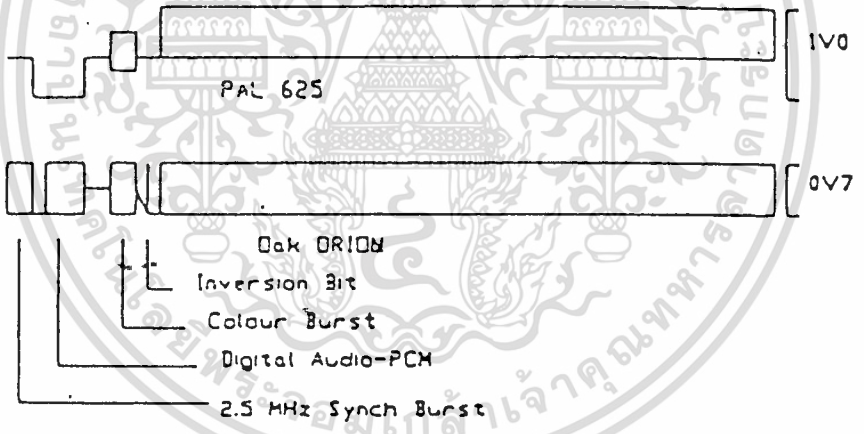
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

034918

จากรูปที่ 2.9 จะพบว่า การเปลี่ยนแปลงของคีย์ (Key) ของดีสแกรม (Descrambling) แบบแอคทีฟอินเวอร์ชั่น (Active Video Inversion) คือวิธีการที่ง่ายที่จะทำให้เหมือนกับว่ามันมีคีย์ที่แสดงขั้วของสัญญาณภาพสำหรับแต่ละเส้น




รูปที่ 2.9 แสดงผลของการแทนสัญญาณซิ้งก์




รูปที่ 2.10 แสดงผลของ Active Inversion

นอกจากนี้ เทคนิคนี้ยังแบ่งได้ 2 แบบคือ

1. แบบที่มีคีย์ ( Key )

2.แบบที่ไม่มีคีย์ (No Key)

แบบมี Key จะมีการรักษาความปลอดภัยในระดับที่ต่ำกว่า (Key คือ Pulse ในช่วงของสัญญาณ ซึ่งใช้แสดงขั้วของสัญญาณ Video) Key Pulse นี้จะสามารถ Deteot ได้อย่างง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

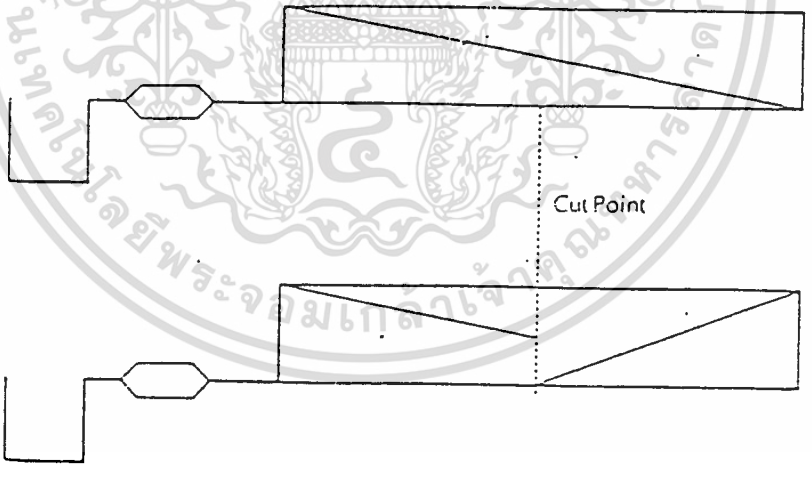
แบบไม่มี Key จะมีลักษณะที่แตกต่างออกไป เพราะไม่มีสิ่งที่ใช้แสดงขั้วของสัญญาณ Video ในส่วนประกอบของ Line เลย

### 2.2.4 ตัด และกลับขั้ว (Cut And Invert)

หลักการ สัญญาณเส้นภาพจะถูกแบ่งออกเป็นส่วนย่อย ๆ ที่เรียกว่า "Segment" จำนวนหลาย ๆ Segment ตามที่ต้องการ และทำการสลับขั้วของสัญญาณเส้นภาพในส่วนของ Segment ใด segment หนึ่ง หรือจะทำพร้อมกันทีเดียวทีละหลาย ๆ Segment เลยก็ได้ จากจำนวนของ Segment ที่ได้แบ่งเอาไว้ในตอนแรก ดูรูปที่ 2.10

จากรูปที่ 2.10 จะพบว่ามีการแบ่งสัญญาณ Line Video ออกเป็น 2 Segment และทำการกลับขั้วของสัญญาณเส้นภาพในช่วง Segment หลัง

เทคนิคการสแกรมแบบนี้ จะไม่เหมาะกับวงจรทางด้านอนาลอกเพราะจะออกแบบได้ยากมาก แต่มันจะเหมาะกับการออกแบบทางดิจิตอลซึ่งจะทำได้ง่าย และมีประสิทธิภาพที่ดี กว่า ซึ่งมีระบบบที่ใช้ในยุโรปหลายระบบที่ใช้หลักการนี้ไปประยุกต์ใช้งาน ซึ่งผลของระดับความสำเร็จในการรักษาความปลอดภัย ที่ได้ของแต่ละระบบนั้นจะขึ้นอยู่กับจำนวนของ Segment ต่อเส้นภาพและจำนวนของ Segment ที่ถูกกลับขั้วที่ระบบนั้นใช้




2.11 แสดงผลของการตัดและกลับ

### 2.2.5 ตัด และ หมุน (Cut and Rotate)

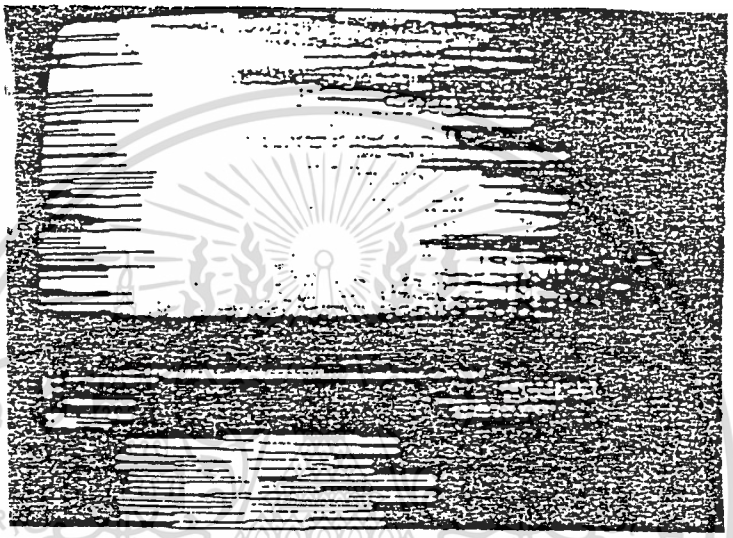
หลักการ จะคล้ายกันกับการสแกรมแบบตัดและกลับขั้วในส่วนที่มีการแบ่งสัญญาณ ออกเป็น Segment หลายๆ Segment แต่เทคนิคนี้จะทำการเลื่อน Segment มาไว้ที่ Segment และเลื่อน Segment แรกไปที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Segment ที่สอง ไปเรื่อยๆตามลำดับจนครบทั้งหมด ซึ่งจะมีลักษณะเป็นการหมุน Segment เป็นวงกลมโดย Segment สุดท้ายจะต่ออยู่กับ Segment แรก ในขณะที่แบบตัดและหมุนจะกลับขั้ว Segment ของเส้นภาพ

จากรูปที่ 2.12 จะเป็นการสแกรมแบบตัดและหมุนโดยจะแบ่งออกเป็น 5 Segment ด้วยกัน แล้วทำการหมุน Segment 1 ครั้ง

การสแกรมแบบนี้ ที่มีใช้ในยุโรป จะมีประสิทธิภาพดีมาก จำนวนของจุดตัวอย่าง หรือ Segment ต่อเส้นที่เลือกใช้คือ 256 ซึ่งจำนวนจุดตัดที่ค่านี้ เราสามารถที่จะกำหนดให้อยู่ในรูป ของข้อมูลขนาด 8 บิทได้ โดยจะอยู่ในรูปแบบของเวิร์ด( Word )หรือไบท์( Byte )ก็ได้



รูปที่ 2.12 แสดงผลของการตัดและหมุน

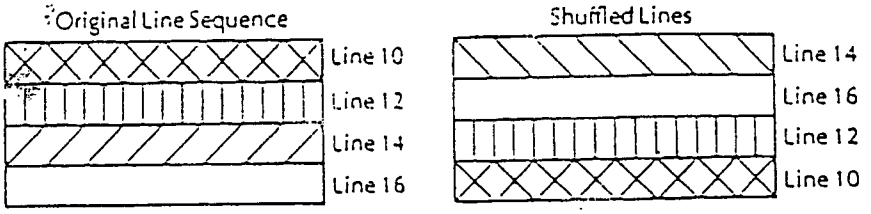
**2.2.6 ไลน์ชัฟเฟิล (Line Shuffle)**

หลักการ จะทำการสับเปลี่ยนอันดับของเส้นในฟิลด์หรือเฟรม( Frame )เพื่อให้ส่งเส้นในคำ-สั่งที่ไปจากปกติ เช่นเส้นที่ 10 อาจจะถูกส่งไปในอันดับของเส้นที่ 99 ก็จะถูกส่งไปในอันดับที่ 10 แทน เป็นต้น ทำให้การแสดงภาพบนหน้าจอเครื่องรบแสดงภาพที่ผิดพลาด เพราะเส้นภาพที่รับเข้ามา สลับอันดับกันอยู่

จากรูปที่ 2.12 จะพบว่ามีการจัดลำดับของเส้นใหม่จากลำดับที่ต่อเนื่องคือเส้นที่ 10, เส้น 12, เส้น 14, และเส้น 16, ตามลำดับ มาเป็นเส้น 14 ขึ้นก่อน และตามด้วยเส้น 16, เส้น 12, และ เส้น 10 แทน

การสแกรมวิธีนี้จะต้องใช้ฟิลด์หรือเฟรม เพื่อใช้เก็บข้อมูลในการสลับเส้นและวงจรดิจิตอลเป็นจำนวนมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.13 แสดงผลของ Line Stuffle

**2.2.7 การเลื่อนซิ้งก์คลื่นไซน์ (Sinewave Synch shifting)**

หลักการเพิ่มคลื่นไซน์เข้าไปในสัญญาณเส้นภาพโดยมีความถี่เท่ากับความถี่เส้น( Line )หรือเป็นจำนวนเทาของความถี่เส้น

เทคนิคการสแกรมแบบนี้มี 2 รูปแบบคือ

1. ใช้ความถี่คลื่นไซน์เท่ากับความถี่เส้น
2. ใช้ความถี่คลื่นไซน์เป็นจำนวนเท่าของความถี่เส้น

ซึ่งทั้งสองแบบจะมีการทำงานที่เรียบง่าย กล่าวคือแรงดันคลื่นไซน์จะไปดันให้ส่วนของซิ้งก์พัลส์เลื่อนเข้าไปอยู่ในย่านของสัญญาณภาพผลก็คือ จะทำให้เครื่องรับโทรทัศน์ไม่สามารถล็อกหรือ ซิ้งโครไนซ์ (Synchonize )ได้ ทำให้ภาพที่ได้มาจะม้วนหรือขาด ดังรูปที่2.13

การเพิ่มคลื่นไซน์เข้าไป จะมีผลทำให้ไปเพิ่มขนาด(Amplitude )ของสัญญาณภาพถ้าสัญญาณภาพไม่ถูกลดทอนก่อนที่จะทำการสแกรม โดยยังคงเหลืออยู่ในระดับมาตรฐานแล้ว การเพิ่มคลื่นไซน์เข้าไป จะทำให้เกิดการเบี่ยงเบนเกิน( Overdeviation )ดังนั้นจะทำให้ภาพเพี้ยนไป

การเลื่อนซิ้งก์คลื่นไซน์นี้ จะทำให้ซิ้งก์พัลส์แนวนอนและแนวตั้งถูกเลื่อนเข้าไปในย่านของภาพแอคทีฟ( Active Video )ซึ่งคลื่นไซน์มอดูเลท( Modulate )กับภาพแอคทีฟด้วย หมายความว่าขนาดของภาพจะต้องถูกลดทอนก่อนที่จะทำการสแกรมเพื่อให้สัญญาณที่จะสแกรมตกลงมาอยู่ภายในการจำกัดแรงดันในการส่งแยกสัญญาณซิ้งก์( Synch Seperater )ของเครื่องรับโทรทัศน์ จะไม่สามารถที่จะแยก Active Video ออกจากข้อมูลของ Synchได้

รูปที่ 2.14 แสดงผลของ Sinewave Pulse Shifting

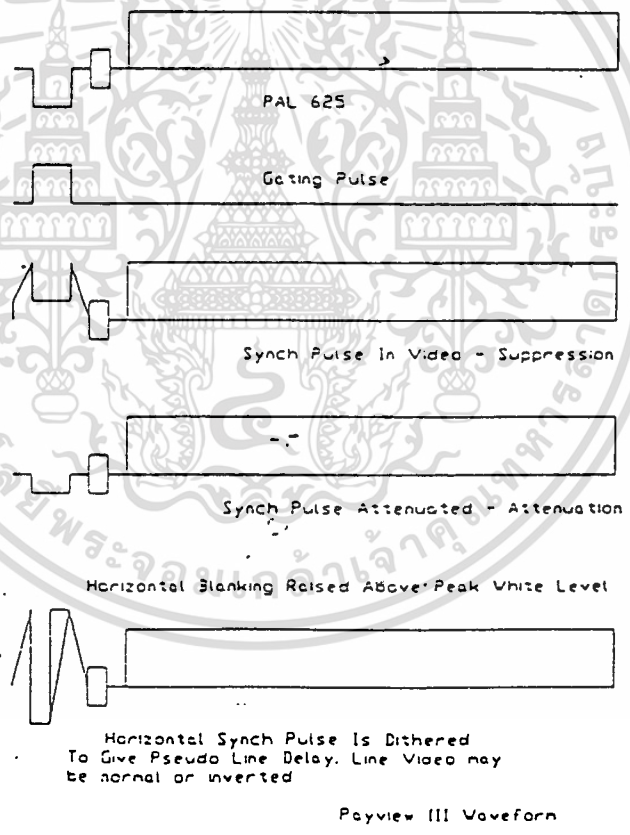
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.2.8 การเลื่อนซิ้งก์พัลส์ (Pulse Synch Shifting)

หลักการใส่ซิ้งก์เข้าไปในย่านของสัญญาณภาพซึ่งใช้ได้ทั้งทางซิ้งก์แนวนอนและซิ้งก์แนวตั้ง

การเลื่อนซิ้งก์พัลส์สามารถป้องกันเครื่องรับโทรทัศน์จากการล็อกภาพได้อย่างมีประสิทธิภาพ วิธีนี้จะมีการทำงานที่ไม่เหมือนกับการเลื่อนซิ้งก์พัลส์เพราะวิธีนี้จะมีผลต่อช่วงสัญญาณซิ้งก์เท่านั้นรูปคลื่น( Wavefrom )ของการสแกรมและดีสแกรมที่ถูกเพิ่มเข้าไปในสัญญาณภาพคือขบวนของพัลส์(pulse Train)

เมื่อขบวนพัลส์ซึ่งจำเป็นสำหรับการดีสแกรมสัญญาณที่ถูกส่งไปตามคู่สายที่แยกจากกันจะใช้การเลื่อนเกทพัลส์( Gate pulse )



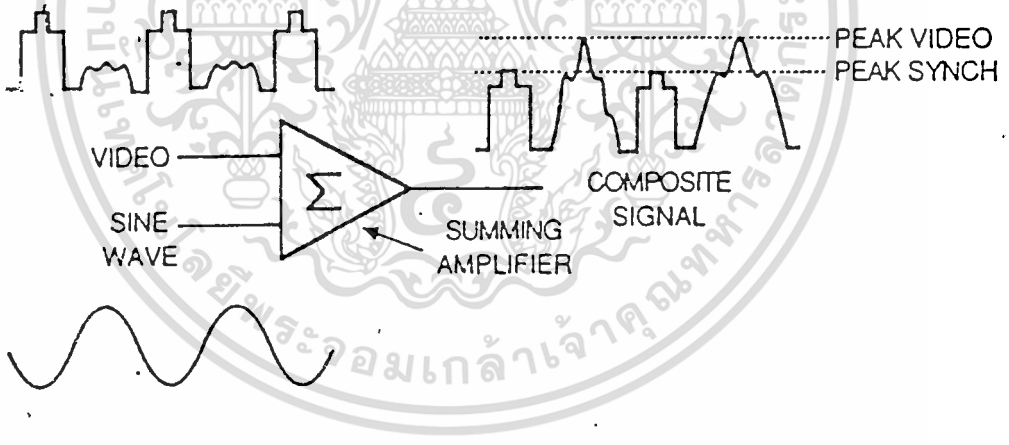

รูปที่ 2.15 แสดงผลของ Pulse Sych Shifting

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.3 ตัวอย่างการนำไปใช้งาน

### 2.3.1 การสแกรมคลื่นไซน์( Sinewave Scrambling )

การสแกรมคลื่นไซน์ใช้เทคนิคการเลื่อนคลื่นไซน์ซึ่งเป็นที่นิยมใช้กันมาเพราะสามารถทำได้ง่าย เพียงแต่นำสัญญาณคลื่นไซน์ความถี่ต่าง ๆ นำมาทำการรวม (Summing) กับสัญญาณเส้นภาพ ถ้าเป็นระบบ PAL จะใช้ความถี่ 15,625 KHz ส่วนระบบ NTSC จะใช้ความถี่ 15.75 KHz ทั้งนี้เพื่อให้เข้าใจง่าย เพราะที่ความถี่นี้จะเท่ากับความถี่ของเส้นภาพ ของระบบนั้น ๆ ในการรวมสัญญาณคลื่นไซน์เข้าไปนั้น เราจะต้องยกระดับสัญญาณคลื่นไซน์ก่อน โดยให้ค่าสูงสุดทางลบมีค่าเท่ากับ 0 จากนั้นก็จะจัดเฟสให้ส่วนที่มีค่าเทากับ 0 นั้นไปตรงกับส่วนที่เป็สัญญาณซิ้งก์พัลส์และส่วนที่มีค่าบวกจะอยู่ตรงส่วนของเส้นภาพซึ่งจะทำให้ระดับของสัญญาณของเส้นภาพเปลี่ยนแปลงเพิ่มขึ้น จนมีบางส่วนที่มีค่าเกินค่าของซิ้งก์พัลส์ ทำให้เครื่องรับทั่ว ๆ ไปไม่สามารถเช็คสัญญาณซิ้งก์พัลส์ ได้อย่างถูกต้อง ทำให้ภาพที่รับได้ผิดเพี้ยนไป หลักการทำงานสามารถดูได้จากรูปที่ 2.16

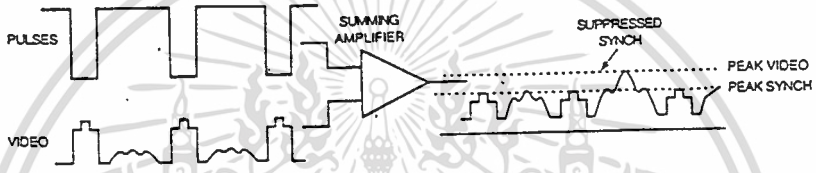



รูปที่ 2.16 แสดงหลักการทำงานของ Sine Wave Scrambling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.3.2 การสแกรมแบบเกทพัลส์ (Gate Pulse Scrambling )

การสแกรมแบบเกทพัลส์ใช้วิธีการเลื่อนเกทพัลส์(Gate Pulse) ซึ่งจะคล้ายกับการสแกรมคลื่นไซน์จะต่างกันก็ตรงที่สัญญาณที่นำมารวมนั้น เป็นสัญญาณเกทพัลส์แทนที่จะเป็นคลื่นไซน์ ผลที่ได้จะคล้ายกัน คือสัญญาณเส้นภาพจะมีค่าเกินค่าของซิ้งก์พัลส์ ทำให้เครื่องรับรับภาพไม่ได้ แต่ลักษณะของภาพที่เพี้ยนไปจะต่างจากแบบคลื่นไซน์ หลักการทำงานดูได้จากรูปที่ 2.17

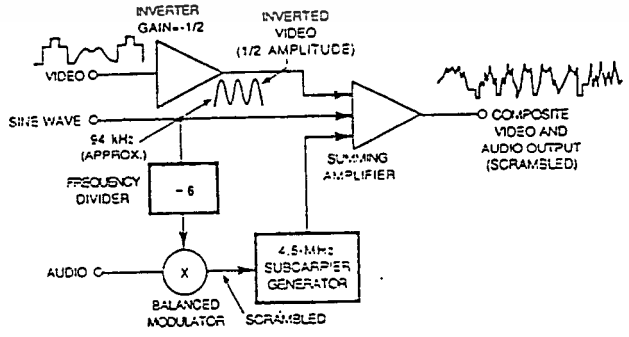



รูปที่ 2.17 แสดงหลักการทำงานของ Gate Pulse Scrambling

### 2.3.3 การสแกรมแบบเทลีส (Telease Scrambling )

การสแกรมแบบเทลีสใช้เทคนิคการเลื่อนคลื่นไซน์โดยระบบนี้จะทำการสแกรมทั้งสัญญาณภาพและเสียง ลักษณะการทำงานแสดงในรูปที่ 2.18

จากหลักการทำงานของการสแกรมทั้ง 3 แบบที่กล่าวมาแล้ว ในที่นี้เราจะกล่าวถึงหลักการทำงานของการดีสแกรมของทั้ง 3 แบบดังนี้

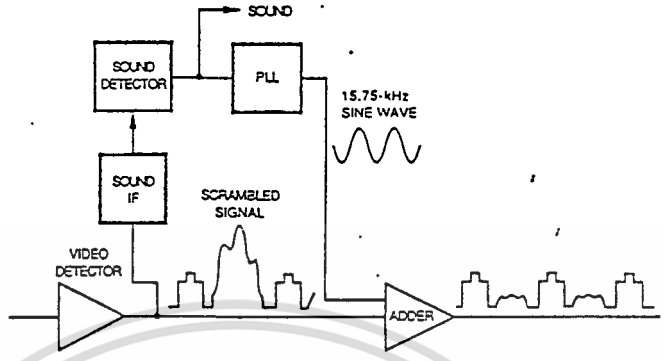



รูปที่ 2.18 แสดง Block Diagram ของ Telease Scrambling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.3.4 การดีสแกรมคลื่นไซน์ (Sinewave Descrambling)

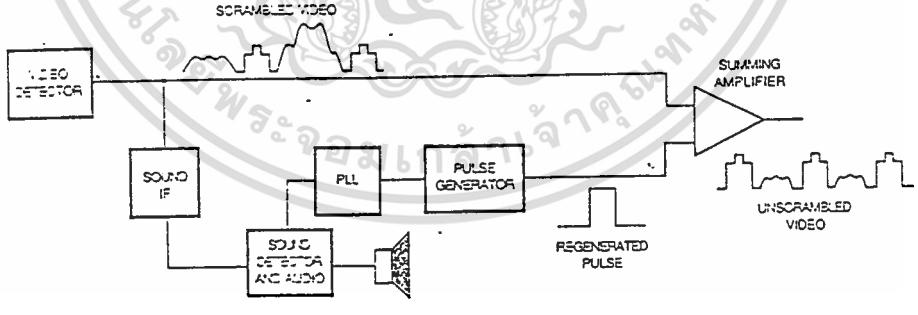
การดีสแกรมคลื่นไซน์เป็นการหักล้างคลื่นไซน์ที่เพิ่มเข้ามาตอนการสแกรมเพื่อให้ได้สัญญาณภาพดังเดิม หลักการทำงานดังรูปที่ 2.19




รูปที่ 2.19 แสดง Block Diagram ของ Sine Wave Descrambling

### 2.2.5 การดีสแกรมแบเกทพัลส์ (Gated Pulse Descrambling )

การดีสแกรมแบบเกทพัลส์จะคล้ายกับการดีสแกรมแบบคลื่นไซน์แต่จะหักล้างเกทพัลส์ออกไปแทนลคลื่นไซน์หลักการทำงานดังรูปที่ 2.20

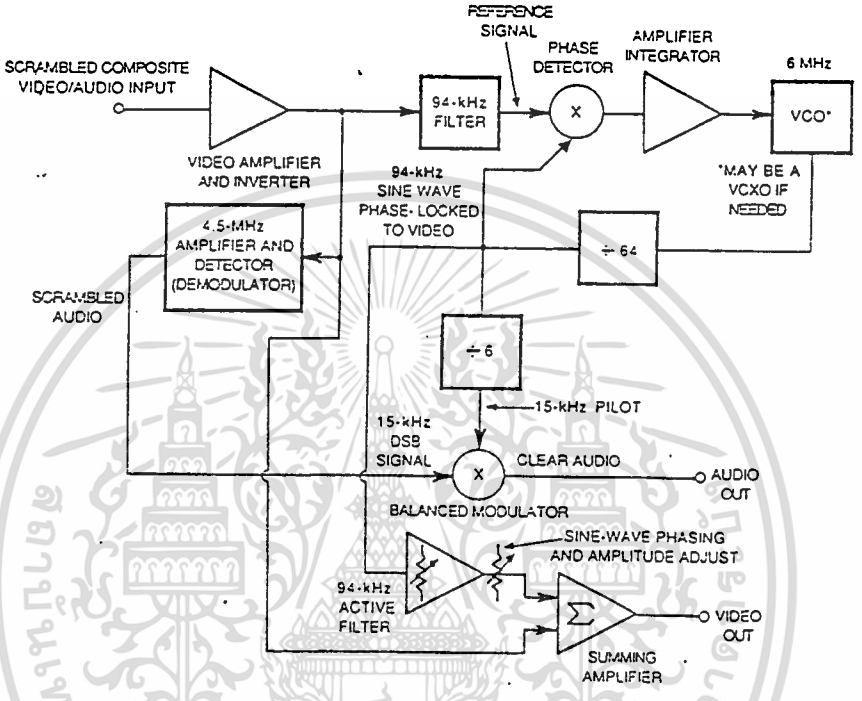



รูปที่ 2.20 แสดง Block Diagram ของ Gate Pulse Descrambling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.3.6 การดีสแกรมแบบเทลีส (Telease Descrambling )**

การดีสแกรมแบบเทลีสเป็นการหักล้างคลื่นไซน์จากส่วนภาพและเสียงโดยในส่วนของเสียงจะต้องมีการดีมอดูเลท( Demodulate)ก่อน เพราะตอนการสแกรมจะมีการมอดูเลทกับคลื่นพาห์เสียง( Sound Carrier )หลักการทำงานดังรูปที่ 2.21



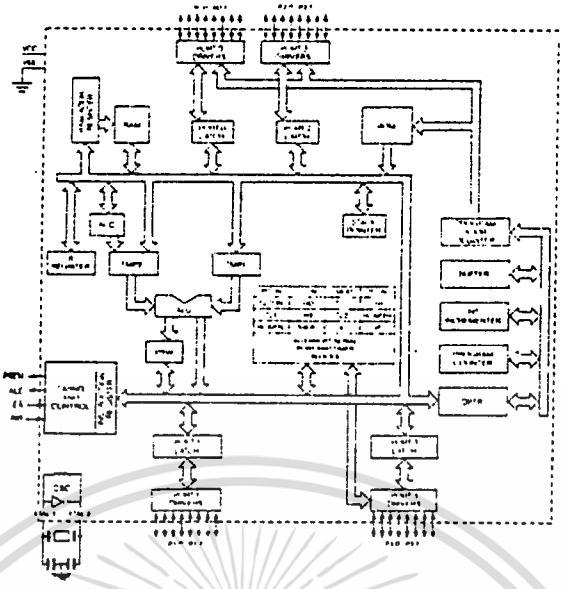

รูปที่ 2.21 Block Diagram ของ Telease Descrambling

**2.4 สถาปัตยกรรมของ 8051**

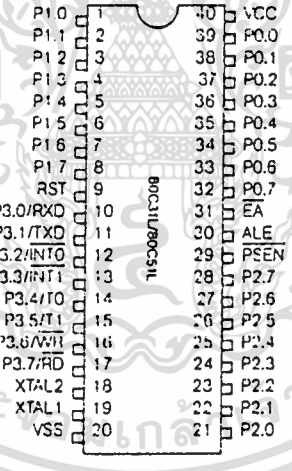
ในรูปที่ 2.22 เป็นสถาปัตยกรรมภายในของ 8051 ซึ่งจะอธิบายถึงส่วนย่อย ๆ ของภายใน 8051 เพียงชิพเดียว และสัญญาณภายในจะต่อออกสู่ภายนอกทางขา (Pin) ของ 8051 ที่มีอยู่ 40 ขา ดังรูปที่ 2.23

8051 ไมโครคอนโทรเลอร์ที่บรรจุอยู่ภายในวงจรรวมแบบ Dual Inline Package (DIP) ซึ่งแต่ละข้างของ 8051 มีขาอยู่ทั้งหมด 20 ขารวมทั้งหมด 40 ขานั้นจะใช้งานต่าง ๆ กันดังนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 สถาปัตยกรรมภายในของ 8051




รูปที่ 2.25 ไดอะแกรมของ 8051 แบบ DIP

**Vcc**

ขา 40 เป็นที่ต้องป้อนไฟเลี้ยง +5 โวลท์เข้าไปเพื่อให้วงจรรวมทำงานได้ ระดับโวลเตจของลอจิก 0 และ 1 ของ 8051 จึงต่อเข้ากับอุปกรณ์ลอจิกแบบ TTL ได้โดยตรง

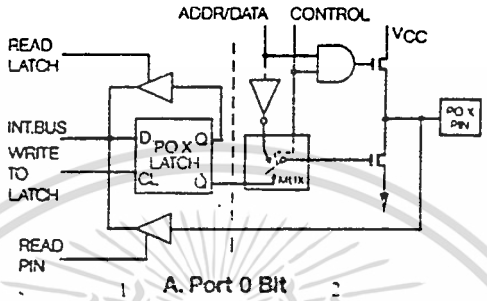
**Vss**

ขา 20 เป็นขาที่ต้องต่อกับกราวด์ (Ground) การต่ออุปกรณ์ทั้งหมดจะต้องมีกราวด์ของอุปกรณ์ต่อเข้าด้วยกัน

**Port 0**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นพอร์ทขนานขนาด 8 บิท อยู่ที่ขา 39 ถึง 32 เริ่มจากบิท 0 ถึง บิท 7 ตามลำดับดังในรูป 3.6 แต่ละขาจะเขียนว่า P0.0, P0.1,....., P0.7 นั้น P0.7 หมายถึงบิท 7 ของพอร์ท 0 ซึ่งเป็นบิทที่มีนัยสำคัยสูงสุด (Most Significant) และ P0.0 คือบิท 0 ของพอร์ท 0 เป็นบิทที่มีนัยสำคัญต่ำสุด (Least Significant) พอร์ท 0 นี้ใช้ได้ทั้งการรับ-ส่งตำแหน่งและข้อมูลกับหน่วยความจำหรือใช้เป็นพอร์ทรับ-ส่งข้อมูลก็ได้ ข้อมูลที่ส่งออกทางพอร์ท 0 จะถูก Latch ไว้ที่ขาของพอร์ท 0 เป็นแบบ Open Drain Bidirectional ดังรูปที่ 2.24




รูปที่ 2.24 โครงสร้างของพอร์ท 0

ในรูปที่ 2.24 เมื่อเปรียบเทียบกับรูป 2.22 ส่วนที่ 1 ของรูป 2.24 ก็คือ Port 0 Latch ในรูปที่ 2.22 และส่วนที่ 2 ของรูป 2.24 ก็คือ Port 0 Driver ของรูป 2.22 นั่นเอง

จากโครงสร้างในรูปที่ 2.24 เมื่อมีคำสั่งการเขียนข้อมูลมายังพอร์ท 0 ข้อมูลจาก Internal Data Bus จะถูก Latch ไว้ที่ D-FF โดยสัญญาณ "Write to Latch" ที่ถูกสร้างมาจากส่วน Timing and Control และการอ่านข้อมูลจกพอร์ท 0 จะอ่านได้ 2 แบบคือการอ่านข้อมูลที่ส่งไปเก็บไว้ที่พอร์ทก็จะมีสัญญาณ Read Latch มาอ่านข้อมูลจาก D-FF กลับเข้าไปยัง Internal Data Bus การอ่านข้อมูลอีกแบบก็คือการอ่านสภาวะของสัญญาณที่เข้ามาทางพอร์ท 0 ก็จะมีสัญญาณ Read Pin มาควบคุมการอ่าน พอร์ท 0 จะใช้งานหลายอย่างดังนี้

1. ใช้สำหรับส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อด้วย ตำแหน่งหน่วยความจำสูงสุดที่จะติดต่อได้ก็คือ 64 kbite จึงมีค่าหน่วยความจำ 18 บิทของเลขฐาน 2 ค่าตำแหน่งหน่วย-ความจำ 8 บิทล่าง จะถูกส่งออกไปทางพอร์ท 0 และ 8 บิทบนจะส่งอกกไปทางพอร์ท 2

2. ใช้รับ-ส่งข้อมุลกับ Data Memory หรือใช้รับข้อมูลจาก Program Memory

3. ใช้รับ-ส่งข้อมูลผ่านพอร์ทโดยตรง ในกรณีที่ไม่มีการใช้หน่วยความจำของ Program Memory หรือ Data Memory ภายนอก

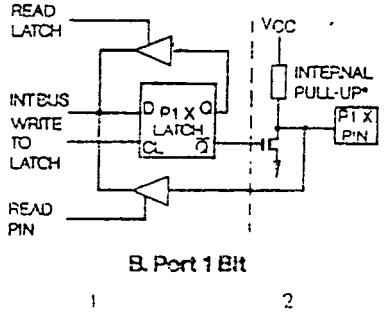
วงจรภายในส่วน Timing and Control จะเป็นตัวสร้างสัญญาณมาควบคุมวงจรในรูปที่ 3.7 เพื่อให้การทำงานแต่ละอย่างข้างต้น เมื่อแต่ละบิทของพอร์ท 0 ทำงานตามข้อ 1 และ 2 ข้างต้น วงจร Timing and Control จะทำให้สภาวะลอจิกของขา Control เป็น 1 ซึ่งทำให้สวิทช์ MUX อยู่ในตำแหน่งข้างบน เมื่อพอร์ท 0 จะส่งข้อมูลซึ่งเป็นค่าตำแหน่งหน่วยความจำหรือข้อมูลที่จะเขียนอกกไปยังหน่วยความจำภายนอกก็จะส่งค่าดัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวมายัง ADDR/DATA ถ้าข้อมูลที่ส่งมาเป็น 1 จะทำให้สัญญาณออกจาก AND GATE เป็น 1 และสัญญาณที่ออกจาก Inverter เป็น 0 ดังนั้น FET ตัวบน ON (สภาวะ ON ของ FET คือความต้านระหว่างขา D และ S มีค่าต่ำมากเสมือนกับเป็นวงจรปิด) ส่วน FET ตัวล่าง OFF (สภาวะ OFF ของ FET คือความต้านทานระหว่างขา D กับ S มีค่าสูงมากเสมือนกับวงจรเปด) สภาวะลอจิกที่ขา PO.X PIN จะเป็น 1 แต่ถ้าข้อมูลที่ส่งออกมายัง ADDR/DATA เป็น 0 ก็จะทำให้สัญญาณจาก AND GATE เป็น 0และสัญญาณที่ออกจาก Inverter เป็น 1 ดังนั้น FET ตัวบนจะ OFF ส่วน FET ตัวล่างจะ ON ทำให้สภาวะลอจิกที่ขา P0.X Pin เป็น 0 เมื่อ 8501ต้องการใช้พอร์ท 0 สำหรับการอ่านข้อมูลจากหน่วยความจำภายนอก หรือใช้งานในข้อ 3 ข้างบน ก้จะทำได้โดยวงจร Timing and Control ทำให้สภาวะลอจิกของสัญญาณ Control ในรูปเป็น 0 ทำให้เอาท์พุทจาก AND GATE เป็น 0 FET ตัวบนจะ OFF และสวิทช์ MUX จะอยู่ในตำแหน่งข้างล่าง ดังนั้น FET ตัวล่าง ON หรือ OFF ก็แล้วแต่ข้อมูลที่ขา Q ของ D-FF เมื่อมีการเขียนข้อมูลจาก Internal Data Bus มายัง D-FF ก็จะมีสัญญาณ White to Latch มายัง D-FF ด้วย ถ้าข้อมูลที่เขียนมาเป็นหนึ่งก็จะทำให้ขา Q มีสภาวะลอจิกเป็น 0 ทำให้ FET ตัวล่าง OFF ดังนั้นขา PO.X จะอยู่ในสภาวะอิมพีแดนซ์สูง (High Impedance) เพราะ FET ทั้งสองตัว OFF แต่ค่าข้อมูลที่เขียนมายัง D-FF เป็น 0 จะทำให้ FET ตัวล่าง ON แต่ตัวบน OFF ทำให้สภาวะลอจิกที่ขา PO.X เป็น 1 ดังนั้น PORT 0 เมื่อให้ทำงานเป็นพอร์ทส่งข้อมูล (ไม่ให้ส่งตำแหน่งหน่วยความจำ) จะไม่สามารถแสดงสภาวะลอจิก 1 ได้จึงต่อตัวต้านทาน Pull Up ไว้ภายนอก ระหว่างขา PO.X กับไฟเลี้ยงวงจร ถ้าจะใช้พอร์ท 0 สำหรับรับข้อมูลของจะต้องเขียน 1 มาเก็บไว้ยัง D-FF เสียก่อนเพื่อให้ขา PO.X อยู่ในสภาวะ High Impedance แล้วจึงใช้คำสั่งอ่านสภาวะลอจิกเข้าไปยัง Internal Data Bus ต่อไป โดยคำสั่งอ่านสภาวะลอจิกทางพอร์ท 0 ก็จะทำให้วงจร Timing and Control สร้างสัญญาณ Read Pin สำหรับการอ่านสภาวะลอจิกข้างต้น ถ้าไม่เขียน 1 มาเก็บไว้ยัง D-FF ก่อนที่จะอ่านข้อมูลแล้วมีข้อมูลค้างอยู่ที่ D-FF ทำให้ Q เป็น 0 และ $\overline{Q}$ เป็น 1 ซึ่งทำให้ FET ตัวล่าง ON สัญญาณที่ต่อมาที่ขา P0.X ไม่ว่าจะมีสภาวะลอจิกใดจะถูกดึงลงกราวด์ ดังนั้นเมื่ออ่านข้อมูลลงไปก็จะพบว่าเป็ 0 เสมอ ในการอ่านข้อมูลจากหน่วยความจำภายนอกนั้นวงจร Timing and Control ก็จะเขียนข้อมูลมายัง D-FF ให้เป็น 1 และสร้างสัญญาณ Control ให้มีลอจิกเป็น 0 ก่อนจะอ่าน ข้อมูลเข้าด้วย

**Port 1**

เป็นพอร์ทขนานขนาด 8 บิทขา P1.0 ถึง P1.7 (ขา 1-8) P1.0 หมายถึงบิท 0 ของพอร์ท 1 ซึ่งเป็นบิท Least Significant Bit และบิท P1.7 หมายถึงบิทที่ 7 ของพอร์ทที่ 1 ซึ่งเป็นบิท Most Significant Bit โครงสร้างของพอร์ท 1 แต่ละบิทมีดังรูปที่ 2.25




รูปที่ 2.25 โครงสร้างของพอร์ท 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

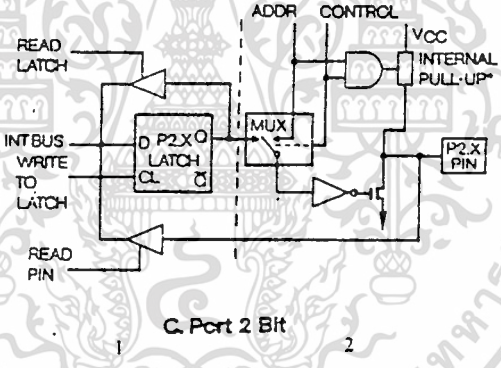
ส่วนที่ 1 คือ Port 1 Latch ในรูปที่ 2.25 ซึ่งจะมีการทำงานเหมือนส่วนที่ 1 ของพอร์ท 0 ในรูปที่ 2.24 ส่วนที่ 2 คือ Port 1 Driver ในรูปที่ 2.25 Port 1 Driver นี้จะมีตัวต้านทานต่ออยู่เป็น Internal Pull Up พอร์ท 1 นี้จะใช้ทำหนาที่เป็นตัวรับ-ส่งข้อมูลเท่านั้นข้อมูลที่ส่งออกมาทางพอร์ท 1 จะถูก Latch ไว้แล้วส่งออกไปทางแต่ละขา ก่อนที่จะอ่านข้อมูลเข้าไปทางพอร์ท 1 จะต้องเขียน 1 ไปยังทุกบิทของพอร์ท 1 เสียก่อนเพื่อให้ FET อยู่ในสภาวะ OFF ก่อน มิฉะนั้นแล้วถ้ามีข้อมูล 0 ส่งออกมาค้างอยู่ที่ D-FF จะทำให้ FET อยู่ในสภาวะ ON ดังนั้นถ้าสัญญาณภายนอกส่งเข้ามาที่ขานี้ก็จะถูกลัดวงจรลงกราวด์ โดยไม่สนใจว่าสภาวะลอจิกของสัญญาณที่เข้ามาจะเป็นอะไร ข้อ- มูลที่อ่านเข้าไปจะเป็น 0 เสมอ

**Port 2**

พอร์ทขนานขนาด 8 บิท คือขา P2.0 ถึง P2.7 (บิท 0 ถึง 7 ของพอร์ท 2) โครง-สร้างของพอร์ท 2 แต่ละบิทจะมีดังรูปที่ 2.26

ลักษณะโครงสร้างจะเหมือนกับพอร์ท 0 แตกต่างกันที่ในพอร์ท 2 นั้นภาค Driver จะใช้งานเพียง 2 ลักษณะคือ

1. ใช้ส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อ ค่าตำแหนงนี้เป็น 8 บิทบนของค่าตำแหน่ง
2. ใช้เป็นพอร์ทรับและส่งข้อมูลกับภายนอก



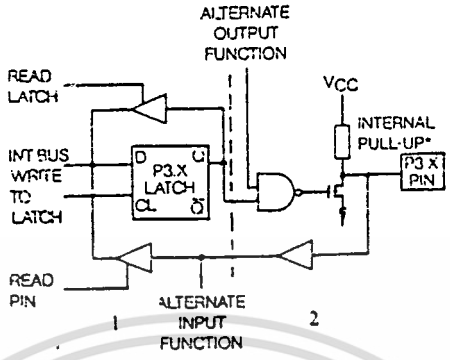

รูปที่ 2.26 โครงสร้างของพอร์ท 2

ดังนั้นภาค Driver ของพอร์ท 2 จึงแตกต่างจาก Driver ของพอร์ท 0 โดยที่ในพอร์ท 2 นั้นจะมีเฉพาะ ADDR (ตำแหน่งหน่วยวามจำ) เข้ามาที่ MUX (Multiplexer) เท่านั้น นอกนั้นแล้วการทำงานจะเหมือนกันและที่เอาท์พุทของพอร์ท 2 จะมี Internal Pull-Up ซึ่งเป็นตัวต้านทานและจะทำให้เอาท์พุทของพอร์ท 2 แสดงสถานะลอจิกเป็น 1 ได้ ถ้า FET อยู่ในสภาวะ OFF บางครั้งเรียกว่า "Quasi-bidirectional" เมื่อใช้เป็นพอร์ทอินพุทก็สามารถทำได้โดยการต่อสัญญาณภาย-นอกเข้ามาโดยตรง ถ้าสัญญาณภายนอกเป็น 0 ก็จะมีกระแสไหลจากพอร์ท (Source Cerrent) ในการที่จะใช้พอร์ทนี้เป็นพอร์ทรับข้อมูลเข้า จะต้องเขียน 1 ไปยังแต่ละบิทของพอร์ทเสียก่อน ดังอธิบายไว้ในเรื่อง Port 0 และ Port 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Port 3**

คือขา P3.0 ถึง P3.7 หรือขา 10-17 ตามลำดับในรูปที่ 2.24 พอร์ทนี้มีโครงสร้างดังรูปที่ 2.27




รูปที่ 2.27 โครงสร้างของพอร์ท 3

ส่วนที่ 1 ในรูปที่ 2.27 เป็นส่วน Latch ข้อมูลที่เขียนมายังพอร์ท 3 ทาง Internal Bus เหมือนกับพอร์ทอื่น ๆ และพอร์ท 3 จะมี Internal Pull Up อยู่ทุกบิท แต่พอร์ท 3 นี้แต่ละ บิทจะใช้การทำงานอื่นได้โดยใช้คำสั่งควบคุมการทำงาน ในส่วนที่ 2 จะมีสัญญาณ Alternative Output Function ที่สร้างมาจากส่วน Timing and Control สัญญาณ Alternative Output Function เป็นสัญญาณที่ส่งออกในกรณีที่ใช้พอร์ท 3 ทำงานในฟังก์ชั่นอื่น และ Alternative Input Function เป็นจุดที่จะเอาสัญญาณไปเข้ากับส่วนอื่นตามการทำงานของบิทนั้น แต่ละบิทของพอร์ท 3 จะมีฟังก์ชั่นอื่นดังนี้

P3.0/RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม

P3.1/TXD (serial Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม

P3.2/INTO (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.3/INT1 (Internal Interrupt) ใช้รับสัญญารขัดจังหวะจากภายนอก

P3.4/TO (Time/Counter 0 External Input)ขารับสัญญาณเข้าไปยังวงจร Timer/Counter 0 ที่ทำหน้าที่นับจำนวนไซเคิลของสัญญาณ TO นี้หรือสัญญาณนาฬิกาก็ได้

P3.5/T1 (Timer/Counter 1 External Input) ขารับสัญญาณเข้าไปยัง Timer/Counter 1 ซึ่งมีการทำงานเหมือนกับ T0

P3.6/WR (External Data Memory Write Strobe) ขาสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก 8051

P3.7/RD (External Data Memory Read Strobe) ขาสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูลภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขารีเซ็ท ขานี้จะใช้ทำการรีเซ็ทการทำงานของ 8051 ที่ขา RST ภายใน 8051 จะมีตัวต้านทานต่อระหว่างขานี้กับกราวด์ (Ground) ถ้าป้อนสัญญาณที่มีสภาวะลอจิก 1 เข้าไปที่ขานี้จะเป็นการรี-เซ็ทการทำงานของ 8051 ดังนั้นจึงสามารถต่อตัวเก็บประจุ (Capacitor) ภายนอกระหว่างขา RST กับไฟเลี้ยง +5 โวลท์ เพื่อให้เกิดการรีเซ็ทเมื่อป้อนไฟเลี้ยงให้กับ 8051 ซึ่งเรียกว่า Power on reset การรีเซ็ทจะทำให้ค่าในรีจิสเตอร์ต่าง ๆ เปลี่ยนไปเป็นค่าหนึ่ง

เมื่อสัญญาณที่ขา RST กลับเป็น 0 ก็จะออกจากการรีเซ็ท 8051 จะเริ่มทำงานจากคำสั่งที่อยู่ใน Program Memory ตำแหน่ง 0000H เพราะค่าของรีจิสเตอร์ PC (Prgram Control) ซึ่งใช้ชี้ตำแหน่งโปรแกรมที่จะทำงานถูกเปลี่ยนให้เป็น 0000H ดังนั้นผู้ใช้จะต้องเขียนโปรแกรมมาเก็บไว้ที่ตำแหน่ง 0000H ในเครื่องไมโครคอมพิวเตอร์แบบบอร์ดเดียว (Single Board Microcomputor) จะมีโปรแกรมที่เขียนเก็บไว้เริ่มจากตำแหน่ง 0000H นี้เรียกว่ามอนิเตอร์โปรแกรม (Monitor Program )ที่คอยรับการกดแป้นพิมพ์ (Keyboard) และแสดงผลทางตัวแสดงผล (Displáy) แบบ 7 Segment

| REGISTER | CONTENT |
|---|---|
| PC | 0000H |
| ACC | 00H |
| B | 00H |
| PSW | 00H |
| SP | 00H |
| DPTR | 0000H |
| P0-P3 | 0FFH |
| IP | 00H |
| IE | 0X000000B |
| TMOD | 00H |
| TCON | 00H |
| T2CON | 00H |
| THO | 00H |
| TLO | 00H |
| TH1 | 00H |
| TL1 | 00H |
| TH2 | 00H |
| TL2 | 00H |
| RCAP2H | 00H |
| RCAP2L | 00H |
| SCON | 00H |
| SBUF | Indeterminate |
| IOCON | 00H |

รูปที่ 2.28 ตารางค่ารีจิสเตอร์เมื่อเกิดการรีเซท

**ALE**

Address Latch Enable ขานี้จะส่งสัญญาณที่มีความถี่ 1/6 เท่าของสัญญาณออสซิลเลเตอร์สัญญาณนี้จะส่งออกมาตลอดเวลา ยกเว้นบางครั้งของการติดต่อกับหน่วยความจำสำหรับข้อมูล ภายนอก 8051 สัญญาณนี้จะใช้บอกกับอุปกรณ์ภายนอก 8051 ว่าขณะนี้สัญญาณนี้ Active (เป็นลอจิก 1 ) มีจะการส่งข้อมูลที่เป็น 8 บิทล่างของตำแหน่งหน่วยความจำภายนอก 8051 ที่ต้องการติดต่อออกไปทางพอร์ท 0 จะส่งค่าตำแหน่งหน่วยความจำออกมาเพียงชั่วขณะเท่านั้น ซึ่งในเวลาต่อมาพอร์ท 0 จะใช้รับ-ส่งข้อมูลกับหน่วยความจำภายนอก สัญญาณ ALE จะสามารถต่อเข้ากับอุปกรณ์ TTL ชนิด LS ได้ถึง 8 อินพุท

**PSEN**

Program Store Enable เป็นขาที่ 29 ในรูปที่ 2.26 ขานี้ปกติจะให้ลอจิก 1 แต่จะส่งลอจิก 0 เมื่อต้องการอ่านคำสั่ง (Fetch Instruction) ที่จะนำไปทำงานจากหน่วยความจำสำหรับโปรแกรมภายนอก 8051 ในกรณีที่อ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

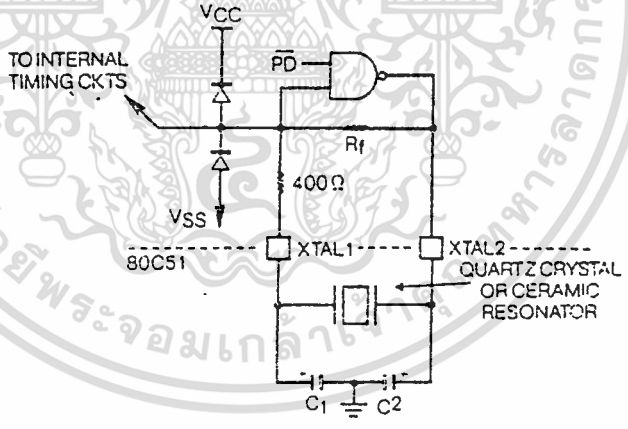
คำสั่งซึ่งเก็บอยู่ในหน่วยความจำสำหรับโปรแกรมภายใน 8051 แล้วสัญญาณนี้จะไม่เปลี่ยนลอจิกเป็น 0 ขา PSEN นี้สามารถต่อไปยังขาอินพุทของ TTL ชนิด LS ได้ถึง 8 อินพุท

**EA**

External Access ขา 31 ของรูปที่ 2.26 ขานี้เป็นขาอินพุทที่ต่อเข้าไปยังวงจร Timing And Control ในรูปที่ 2.25 เพื่อควบคุมการสร้างสัญญาณ PSEN ถ้าป้อนลอจิก 0 เข้าไปที่ขา EA นี้ แสดงว่าโปรแกรมในตำแหน่ง 0000H ถึง 0FFFH ที่ต้องการให้ทำงานถูกเก็บไว้ภายนอก 8051 จะต้องสร้างสัญญาณ PSEN ออกไปยังภายนอกเพื่อทำการ FETCH คำสั่งเข้ามาทำงาน แต่ถ้าสัญญาณที่ป้อนให้ขา EA เป็น 1 หมายความว่าโปรแกรมในตำแหน่ง 0000H ถึง 0FFFH ถูกเก็บไว้ภายใน 8051 การทำงานในตำแหน่งหน่วยความจำช่วงนี้จะอ่านคำสั่งต่าง ๆ จาก ROM ภายใน 8051

**EXTAL 1**

ขาที่ 19 ของรูปที่ 2.26 ขานี้จะต่อเข้ากับขาของ Inverting Amplifier (วงจรขยายแบบป้อน กลับเฟสสัญญาณ) ที่ประกอบเป็นวงจรออสซิลเลเตอร์ ในรูปที่ 2.32 จะเห็นวงจรภายในของออส- ซิลเลเตอร์ NAND GATE จะทำหน้าที่เป็นวงจรขยายแบบกลับเฟสของสัญญาณที่จะควบคุมให้มีการออสซิลเลตหรือไม่ก็ขึ้นกับสัญญาณ PD ซึ่งต่อมาจากบิท PD ของรีจิสเตอร์ PCON ถ้าต้องการใช้สัญญาณนาฬิกา (Clock Signal) จากภายนอกมาเป็นสัญญาณนาฬิกา ควบคุมการทำงาของ 8051 ก็ให้ป้อนสัญญาณเข้ามาที่จุดนี้ แต่ถ้าต้องการใช้วงจรออสซิลเลเตอร์ภายในก็ให้ต่อ Crytal หรือเซ-รามิคเรโซเนเตอร์ดังรูปที่ 2.29 คาปาซิเตอร์ในวงจรควรมีค่าประมาณ 20 PF

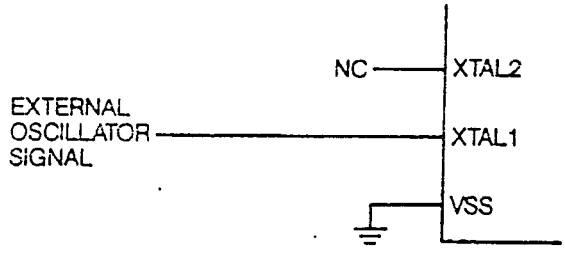



รูปที่ 2.29 วงจรออสซิลเลเตอร์ภายใน 8051

**XTAL 2**

ขานี้เป็นเอาท์พุทของวงจรขยายแบบกลับเฟสสัญญาณที่ประกอบเป็นวงจรออสซิลเลเตอร์ (อินพุทคือขา XTAL1) ถ้าจะใช้สัญญาณนาฬิกาที่สร้างจากภายนอกมาเป็นสัญญาณนาฬิกาของ 8051 แล้ว ให้ปล่อยขานี้ลอยไว้ แล้วป้อนสัญญาณนาฬิกาจากภายนอกเข้ามาที่ขา XTAL 1 ดังรูปที่ 2.30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.30 8051 ที่ทำงานโดยสัญญาณที่มาจากภายนอก

**2.5รีจิสเตอร์ฟังก์ชั่นพิเศษ (Special function Register, SFR)**

ใน 8051 จะใช้วิธีการกำหนดชื่อให้กับตำแหน่งของหน่วยความจำสำหรับข้อมูลภายใน (Internal Data Memory) ที่เรียกว่าการ Symbolize เช่น การให้ชื่อหน่วยความจำแต่ละตำแหน่งในแต่ละ Bank ซึ่งอยู่ในช่วงหน่วยความจำตำแหน่ง 00H ถึง 1FH แล้วในคำสั่งจะอ้างอิงหน่วย-ความจำแต่ละตำแหน่งโดยการใช้ชื่อ R0, R1, R2, R3, R4, R5, R6 และ R7 หน่วยความจำตำแหน่งเหล่านี้ จะเรียกอีกอย่างหนึ่งว่าเป็นรีจิสเตอร์ซึ่งมีหน้าที่ในการเก็บหรือพักข้อมูล หรือใช้สำหรับการกระทำบางอย่าง รีจิสเตอร์กลุ่มหนึ่งใน 8051 ที่เรียกว่า Special Funotion Register (SFR) เป็นรีจิสเตอร์ที่ใช้สำหรับงานเฉพาะ คือข้อมูลที่ถูกนำไปเก็บไว้ในรีจิสเตอร์เหล่านี้จะมีความหมายเฉพาะตัวของรีจิสเตอร์ ที่แต่ละตำแหน่งของ SFR อาจจะไม่ใช่เป็นหน่วยความจำ (RAM) แต่อาจเป็นตัวนับ (Count Register), Shift Register หรือ Latoh ซึ่งการอ้างอิงข้อมูลในแต่ละตำแหน่งนั้น 8051 จะถือเสมือนว่าเป็นหน่วยความจำตำแหน่งหนึ่ง จึงเรียกการมองข้อมูลแต่ละตำแหน่งนี้ว่า Memory Map I/O รีจิสเตอร์กลุ่มนี้มีดังในรูปที่ 2.31

ในรูปที่ 2.31 ช่อง Symbol ทางซ้ายจะเป็นสัญญลักษณ์ของรีจิสเตอร์ ในช่องถัดมาคือชื่อของรีจิสเตอร์ตามสัญญลักษณ์ที่อยู่ทางซ้าย ในช่องขวาสุดจะเป็นตำแหน่งของหน่วยความจำสำหรับข้อมูลภายใน 8051 ที่แทนด้วยชื่อหรือหรือสัญญลักษณ์ทางซ้ายนั่นเอง เช่นในบรรทัดแรกคือรีจิสเตอร์ชื่อ Aooumulator ที่มีสัญญลักษณ์ ACC รีจิสเตอร์นี้คือหน่วยความจำสำหรับข้อมูลภายใน 8051 ที่ตำแหนง 0E0H การอ่านหรือเขียนข้อมูลกับรีจิสเตอร์เหล่านี้สามารถทำได้โดยการใช้คำสั่งในกลุ่มการเคลื่อนย้ายข้อมูล(เช่น MOV A, # 25H หรือ MOV 0E0H, # 25 H) และรีจิสเตอร์บางตัวในกลุ่มนี้ยังสามารถใช้คำสั่งในกลุ่ม Boolean Instruotion เพื่อทำงานกับแต่ละบิทในรีจิสเตอร์เหล่านี้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| Symbol | Name | Address |
|---|---|---|
| *ACC | Accumulator | 0E0H |
| *B | B Register | 0F0H |
| *PSW | Program Status Word | 0D0H |
| SP | Stack Pointer | 81H |
| DPTR | Data Pointer 2 Bytes | |
| DPL | Low Byte | 82H |
| DPH | High Byte | 83H |
| *P0 | Port 0 | 80H |
| *P1 | Port 1 | 90H |
| *P2 | Port 2 | 0A0H |
| *P3 | Port 3 | 0B0H |
| *IP | Interrupt Priority Control | 0B8H |
| *IE | Interrupt Enable Control | 0A8H |
| TMOD | Timer/Counter Mode Control | 89H |
| *TCON | Timer/Counter Control | 88H |
| *T2CON | Timer/Counter 2 Control | 0C8H |
| TH0 | Timer/Counter 0 High Byte | 8CH |
| TL0 | Timer/Counter 0 Low Byte | 8AH |
| TH1 | Timer/Counter 1 High Byte | 8DH |
| TL1 | Timer/Counter 1 Low Byte | 8BH |
| *TH2 | Timer/Counter 1 High Byte | 0CDH |
| *TL2 | Timer/Counter 2 Low Byte | 0CCH |
| *RCAP2H | T/C 2 Capture Reg High Byte | 0CBH |
| *RCAP2L | T/C Capture Reg Low Byte | 0CAH |
| *SCON | Serial Control | 98H |
| SBUF | Serial Data Buffer | 99H |
| PCON | Power Control | 87H |
| *IOCON (0) | I/O Control | 0E8H |

รูปที่ 2.31 รีจิสเตอร์ฟังก์ชั่นพิเศษ

จากตารางในรูปที่ 2.32 รีจิสเตอร์ที่มีเครื่องหมาย * อยู่ข้างหน้าจะสามารถใช้คำ-สั่งในกลุ่ม Boolean Instruction จัดการกับแต่ละบิทได้ รีจิสเตอร์ที่มีเครื่องหมาย + นำหน้าหมาย-ความว่า รีจิสนั้นมีเฉพาะใน 80C52 และ 83C154 เท่านั้นไม่มีใน 8051

รูปที่ 2.32 ในช่องสี่เหลี่ยมเล็ก ๆ จะเป็นตำแหน่งของบิทนั้นในแต่ละรีจิสเตอร์เช่นในช่องซ้ายสุดของรีจิสเตอร์ TCON มีค่า 8FH ซึ่งเป็นค่าตำแหน่งบิท 7 ของหน่วยความจำตำแหน่ง 88H ถ้าต้องการทำให้บิทนี้มีค่าเป็น 0 ก็สามารถทำได้โดยใช้คำสั่ง CLR 8 FH หรือจะทำบิทนี้ให้เป็น 1 ก็ทำได้โดยคำสั่ง SETB 8FH

**Special Function Register**

รีจิสเตอร์ในกลุ่ม Special Function Register มีดังนี้

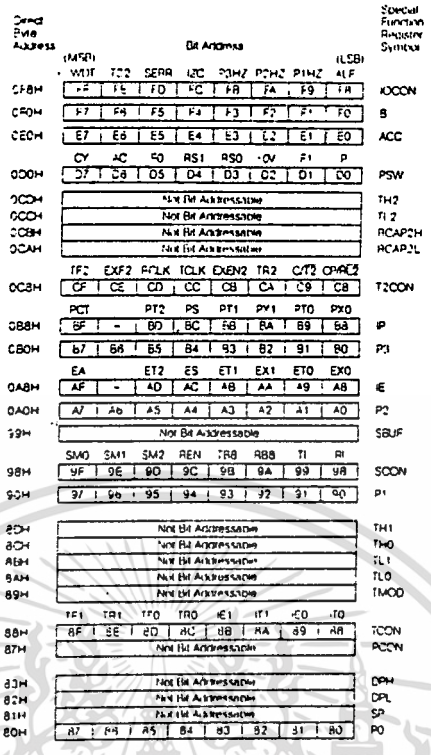
**1) Accumulater ตำแหน่งหน่วยความจำภายในเท่ากับ 0E0H**

รีจิสเตอร์นี้มีขนาด 8 บิท เป็นรีจิสเตอร์ที่ใช้มาก ซึ่งในรหัสคำสั่งช่วยจำจะอ้างอิงถึง รีจิสเตอร์นี้โดยใช้สัญลักษณ์ A เช่น MOV A,#15H คำสั่งที่จะอ่านหรือเก็บข้อมูลกับหน่วยความจำภายนอกจะต้องกระทำผ่านรีจิสเตอร์เท่านั้น เช่น MOVX @RO,A หรือ MOVX A, @ RO เป็นต้น และข้อมูลที่อยู่ภายในรีจิสเตอร์นี้ก็สามารถที่จะให้โปรแกรมตรวจสอบเพื่อกระโดดการทำงานไปยังตำแหน่งอื่นได้เช่น JZ rel

**2 )B Register ตำแหน่งหน่วยความจำภายในเท่ากับ 0F0H**

เป็นรีจิสเตอร์ขนาด 8 บิทที่ใช้ในคำสั่งการคูณ (MUL AB) และคำสั่งการหาร (DIV AB) เท่านั้น โดยรีจิสเตอร์ B นี้จะเก็บตัวคูณและผลลัพธ์บิท 8 ถึง 15 ในคำสั่งการคูณ ส่วนในคำ-สั่งการหารนั้น รีจิสเตอร์ B จะเก็บตัวหารและผลการหาร การเขียนข้อมูลไปยังรีจิสเตอร์นี้จะต้องใช้คำสั่งเคลื่อนย้ายข้อมูลไปยังตำแหน่ง 0F0H เช่น MOV 0F0, 25H จะเป็นการกำหนดค่า 25H ให้กับรีจิสเตอร์ B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.32 แผนภาพค่าตำแหน่งหน่วยความจำแต่ละบิท

**3 ) Program Status Word ตำแหน่งหน่วยความจำภายในเท่ากับ 0D0H**

เป็นรีจิสเตอร์ขนาด 8 บิทที่แต่ละบิทจะบอกสภาวะต่าง ๆ แต่บิทของ PSW จะสามารถกำหนดให้เป็น 1 หรือ 0 ได้ด้วยคำสั่ง SETB หรือ CLR ตามลำดับค่าตำแหน่งบิท 0 ถึงบิท 7 ของรีจิสเตอร์ PSW เท่ากับ D0H ถึง D7H ตามลำดับ

**4 ) Stack Pointer ตำแหน่งหน่วยความจำภายในเท่ากับ 081H**

เป็นรีจิสเตอร์ขนาด 8 บิท รีจิสเตอร์นี้จะใช้ชี้ตำแหน่งหน่วยความจำภายใน 8051 ที่ใช้เก็บตำแหน่ง (Address) เดิมของโปรแกรมก่อนทำงานคำสั่ง CALL หรือตำแหน่งที่ใช้เก็บข้อมูลด้วยคำสั่ง PUSH และตำแหน่งที่จะอ่านข้อมูลออกมาในคำสั่ง POP เมื่อทำการรีเซ็ท 8051 โดยการป้อนสัญญาณสภาวะลอจิก 1 เข้าไปที่ขา RST ของ 8051 จะทำให้ข้อมูลในรีจิสเตอร์นี้มีค่าเป็น 07H หมายความว่ารีจิสเตอร์ SP ชี้หน่วยความจำภายใน 8051 ที่ตำแหน่ง 07H ค่าของ SP จะเปลี่ยนแปลงไปโดยการใช้คำสั่งเคลื่อนย้ายข้อมูลหรือการทำงานของคำสั่ง PUSH , POP และ CALL

**5 ) Data Pointer Register ตำแหน่งหน่วยความจำภายในเท่ากับ 82H และ 83H**

รีจิสเตอร์ DPTR มีขนาด 16 บิท หน้าที่ของรีจิสเตอร์นี้ก็คือใช้สำหรับชี้ตำแหน่งในหน่วยความจำรีจิสเตอร์ DPTR นี้สามารถใช้อ้างอิงตำแหน่งหน่วยความจำได้สูงสุด 60 x 1024 ตำแหน่ง เช่นคำสั่ง MOVX A, @ DPTR คือใช้ชี้ตำแหน่งโปรแกรมที่ต้องการกระโดดข้ามไปทำงานเช่นคำสั่ง JUM @ A+DPTR รีจิสเตอร์ DPTR นี้ ประกอบด้วยรีจิสเตอร์ขนาด 8 บิท 2 ตัว คือ DPH ซึ่งอยู่ที่ตำแหน่ง 83H และ DPL ซึ่งอยู่ที่ตำแหน่ง 82H ในหน่วยความจำสำหรับข้อมูลภายใน 8051 ดังนั้นการแก้ไขข้อมูลในรีจิสเตอร์ DPTR จึงทำได้ทั้งทีละ 16 บิท เช่นคำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สั่ง MOV DPTR, #data16 หรือจัดการทีละ 8 บิท โดยการแก้ไขข้อมูลใน DPH หรือ DPL ด้วยคำสั่ง MOV 83 H, #data8 หรือ MOV 82H, #data8

**6 ) PORT 0 ถึง 3 ตำแหน่งหน่วยความจำภายในเท่ากับ 80H, 90H, 0A0H, 0B0H**

Special Function Register ชื่อ P0, P1, P2, และ P3 เป็นรีจิสเตอร์ขนาด 8 บิทของหน่วยความจำสำหรับข้อมูลภายใน 8051 ที่ตำแหน่ง 80H, 90H, 0A0H, และ 0B0H ตามลำดับ การเขียนข้อมูลลงไปยังหน่วยความจำแต่ละตำแหน่งเป็นการส่งข้อมูลไปยังพอร์ทนั้น ๆ ของ 8051 ข้อมูลที่เขียนออกไปจะถูก LATCH ค้างไว้และปรากฏที่แต่ละบิทของพอร์ท เช่น MOV 80H, #18H จะปรากฏสภาวะลอจิก LLLHHLLL ที่ขาบิท 7 ถึง 0 ของพอร์ท 0 ตามลำดับในการอ่านข้อมูลจาก รีจิสเตอร์แต่ละตัวก็จะเป็นการอ่านสภาวะลอจิกของสัญญาณที่ปรากฏอยู่ที่แต่ละขาของพอร์ทนั้น ๆ เช่น MOV A, 80H เป็นการอ่านสภาวะลอจิกจากพอร์ท 0 เข้ามายัง Accumulator การอ่านข้อมูลจากพอร์ทจะต้องเขียนข้อมูล 11111111B ไปไว้ที่พอร์ทนั้น ๆ เสียก่อน

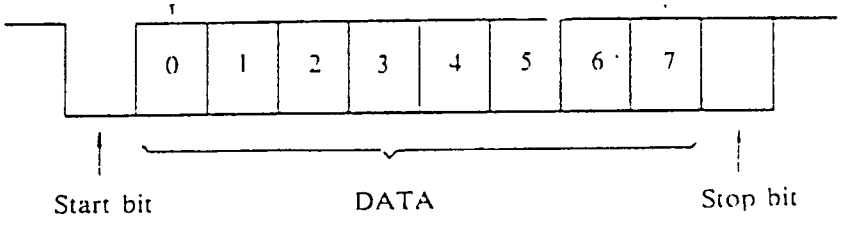
**7 ) Serial Data Buffer ตำแหน่งหน่วยความจำภายในเท่ากับ 99H**

รีจิสเตอร์นี้มีขนาด 8 บิท และมีตำแหน่งของหน่วยความจำสำหรับข้อมูลภายใน 8051 เท่ากับ 99H โครงสร้างภายในแล้วรีจิสเตอร์นี้มี 2 ตัวที่มีชื่อเดียวกัน ตัวหนึ่งสำหรับเก็บข้อมูลที่จะส่งแบบอนุกรมออกจาก 8051 และอีกตัวหนึ่งสำหรับข้อมูลแบบอนุกรมที่เข้ามาดังนั้น Serial Port ของ 8051 จึงเรียกว่ามีการทำงานแบบ Full Duplex เพราะสามารถส่งและรับข้อมูลได้ในเวลาเดียวกันเนื่องจากมีรีจิสเตอร์สำหรับส่งและรับแยกออกจากกัน ข้อมูลที่ต้องการจะส่งออกก็ให้เขียนไปยังรีจิสเตอร์ SBUF แล้วสั่งงานให้ส่งข้อมูลออกมา ข้อมูลในรีจิสเตอร์จะเริ่มส่งออกโดยเริ่มจากบิท 0 ถึง 7 ตามลำดับ ถ้าข้อมูลมีข้อมูลเข้ามาทางขา RXD ก็จะถูกเก็บไปไว้ในรีจิสเตอร์นี้โดยถือว่า ข้อมูลบิทแรกที่เข้ามาคือบิท 0

Serial Port จะสามารถกำหนดให้การทำงานรับ-ส่งข้อมูลแบบอนุกรมได้ 4 โหมด (MODE) โดยการกำหนดในรีจิสเตอร์ SCON (Serial Port Control Registeter) ซึ่งจะอธิบายต่อไปในข้อ 5.1.8 แต่ละโหมดการทำงานของ Serial Port มีดังนี้

**MODE 0 :** ในโหมดนี้จะมีการรับหรือส่งข้อมูลแบบอนุกรมทางขา RXD และขา TXDจะส่งสัญญาณ Clock ที่ใช้สำหรับเลื่อน (Shift) ข้อมูล 1 ชุดของข้อมูลจะประกอบด้วยข้อมูล 8 บิทเท่านั้นและจะเริ่มการับ-ส่งข้อมูลจากบิท 0 ถึง 7 ตามลำดับ อัตราการส่งข้อมูลแบบอนุกรมจะเท่ากับ 1/12 เท่าของความถี่สัญญาณนาฬิกาที่ใช้กับ 8051

**MODE 1 :** ข้อมูลที่รับ-ส่ง 1 ชุดในโหมดนี้จะมี 10 บิท ผ่านทางขา RXD และ TXD ตามลำดับเริ่มต้นการรับส่งข้อมูลด้วย Start bit 1 บิท ( ลอจิกเป็น 0), ข้อมูล 8 บิท (เริ่มจากบิท 0), Stop bit 1 บิท (ลอจิก 0) การส่งข้อมูลโหมดนี้มีดังรูปที่ 2.33

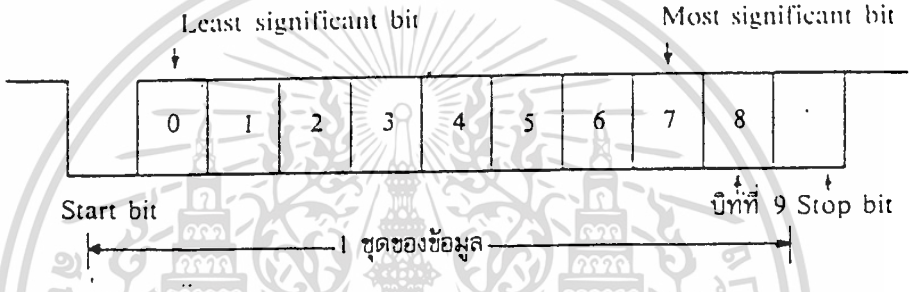



รูปที่ 2.33 ชุดข้อมูลอนุกรมในโหมด 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อรับข้อมูลอนุกรมเข้ามาข้อมูล 8 บิทจะถูกเก็บในรีจิสเตอร์ SBUF และ Stop Bit จะถูกเก็บไปที่บิท RB8 ในรีจิสเตอร์ SCON ในการส่งข้อมูลออกก็จะเขียนข้อมูลที่ต้องการส่งไปยัง รีจิสเตอร์ SBUF อัตราการส่งข้อมูลในโหมดนี้สามารถกำหนดได้ตามต้องการโดยจะขึ้นกับการเกิด Overflow ใน Timer 1

**MODE 2 :** การรับ-ส่งข้อมูลของโหมด 2 หนึ่งชุดจะมี 11 บิท ข้อมูลจะส่งออกผ่านทางขา TDX และรับเข้ามาทางขา RDX ข้อมูลแต่ละชุดจะเริ่มต้นด้วย Start bit 1 บิท, ข้อมูล 8 บิท (เริ่มจากบิท 0), ข้อมูลบิทที่ 9 จำนวน 1 บิทและ Stop Bit อีก 1 บิทข้อมูลบิทที่ 9 ที่จะส่งออกนี้สามารถกำหนดได้ว่าจะให้เป็น 1 หรือ 0 โดยการกำหนดในบิท RB8 ของรีจิสเตอร์ SCON บิทนี้มีประโยชน์มากในการส่งข้อมูลแบบอนุกรมเช่นอาจส่งค่าพาริตี้ของข้อมูลไปบิทที่ 9 เพื่อว่าเมื่อปลายทางรับข้อมูลแล้วจะได้ใช้ตรวจสอบว่าข้อมูลที่รับเข้ามา 8 บิทมีพาริตี้บิทตรงกับบิทที่ 9 หรือไม่ ถ้าไม่ตรงก็แสดงว่ามีข้อผิดพลาดเกิดขึ้นระหว่างการส่งข้อมูล เมื่อรับข้อมูลเข้ามานั้นข้อมูลบิทที่ 9 ก็จะถูกนำไปเก็บในบิท RB8 ของรีจิสเตอร์ SCON ชุดข้อมูลที่รับ-ส่งจะมีดังรูปที่ 2.34




รูปที่ 2.34 ชุดข้อมูลอนุกรมในโหมด 2

อัตราการส่งข้อมูลจะกำหนดให้เป็น 1/32 หรือ 1/64 เท่าของความถี่สัญญาณนาฬิกาที่ใช้กับ 8051 โดยการกำหนดบิท SMOD ในรีจิสเตอร์ PCON

**MODE 3 :** การส่งข้อมูลในโหมดนี้ 1 ชุดมี 11 บิท เหมือนกับโหมด 2 ทุกประการแตกต่างกันตรงอัตราการส่งข้อมูลเท่านั้น คืออัตราการส่งข้อมูลในโหมด 3 นี้สามารถกำหนดได้ตามต้องการโดยจะขึ้นกับการเกิด Overflow ใน Timer 1 เหมือนกับโหมด 1

**8 ) SCON (Serial Port Control Register) ตำแหน่งหน่วยความจำภายในเท่ากับ 98H**

รีจิสเตอร์ SCON มีขนาด 8 บิทใช้สำหรับควบคุมการส่งและรับข้อมูลผ่านทาง Serial Port แต่ละบิทของข้อมูลในรีจิสเตอร์นี้มีความหมายดังรูปที่ 2.35

ในรูปที่ 2.35 บิท RI จะเป็นชื่อของบิท 0 และ SMO จะเป็นบิท 7 ของรีจิสเตอร์ SCON ซึ่งความหมายหรือการทำงานของแต่ละบิทมีดังนี้

**RI Receive Titerrupt Flag**

บิทนี้จะถูกกำหนดโดยฮาร์ดแวร์ให้มีค่าเป็น 0 หรือ 1 โดยที่ในการรับข้อมูลโหมด 0 นั้นบิท RB8 จะมีค่าเป็น 1 เมื่อมีข้อมูลเข้ามาครบทั้ง 8 บิท ส่วนในโหมดอื่นบิท RB8 จะเป็นหนึ่งก็ต่อเมื่อ ข้อมูลเข้ามาถึงเวลาครึ่งหนึ่งของ Stop bit (ยกเว้นบางกรณีให้ดูที่เรื่องบิท SM2 ของรีจิสเตอร์ SCON) บิทนี้จะสามารถ Clear ให้มีค่าเป็น 0 ได้โดยใช้คำสั่ง CLR bit โดยค่าตำแหน่งของบิทมีค่าเท่ากับ 98H บิทนี้มีประโยชน์ให้รู้ว่าข้อมูลได้เข้ามาอยู่ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SBUF ครบทั้งชุดแล้วพร้อมที่ CPU จะอ่านไปเก็บในหน่วยความจำต่อไป หรืออาจกำหนดค่าในรีจิสเตอร์ IE และ IP เพื่อเมื่อมีข้อมูลเข้ามาทางพอร์ทอนุกรมแล้ว จะทำให้เกิดการขัดจังหวะ (Interrupt) การทำงานของโปรแกรมหลัก (Main Program) และกระโดดไปทำงานในโปรแกรมตอบสนองการขัดจังหวะ (Interrupt Service Routine)

**SCON : SERIAL PORT CONTROL REGISTER. BIT ADDRESSABLE.**

| SM0 | SM1 | SM2 | REN | TB8 | RB8 | TI | RI |
|---|---|---|---|---|---|---|---|

| | | |
|---|---|---|
| SM0 | SCON.7 | Serial Port mode specifier.(NOTE 1). |
| SM1 | SCON.6 | Serial Port mode specifier. (NOTE 1). |
| SM2 | SCON.5 | Enables the multiprocessor communication feature in mode 2 & 3. In mode 2 or 3, if SM2 is set to 1 then RI will not be activated if the received 9th data bit (RB8) is 0. In mode 1, if SM2 = 1 then RI will not be activated if a valid stop bit was not received. In mode 0, SM2 should be 0. (See Table 9). |
| REN | SCON.4 | Set/Cleared by software to Enable/Disable reception. |
| TB8 | SCON.3 | The 9th bit that will be transmitted in modes 2 & 3. Set/Cleared by software. |
| RB8 | SCON.2 | In modes 2 & 3, is the 9th data bit that was received. In mode 1, if SM2 = 0, RB8 is the stop bit that was received. In mode 0, RB8 is not used. |
| TI | SCON.1 | Transmit interrupt flag. Set by hardware at the end of the 8th bit time in mode 0, or at the beginning of the stop bit in the other modes. Must be cleared by software. |
| RI | SCON.0 | Receive interrupt flag. Set by hardware at the end of the 8th bit time in mode 0, or halfway through the stop bit time in the other modes (except see SM2). Must be cleared by software. |

รูปที่ 2.35 Serial Port Control Register (SCON)

**TI Transmit Interrupt Flag**

ค่าในบิท TI จะถูกกำหนดให้เป็น 1 หรือ 0 ด้วยฮาร์ดแวร์ โดยในการส่งข้อมูลแบบอนุกรมโหมด 0 บิทนี้จะเป็น 1 เพื่อจะบอกการส่งข้อมูลในรีจิสเตอร์ SBUF ออกไปทางพอร์ทอนุกรมครบทั้ง 8 บิท แต่ถ้าเป็นการส่งข้อมูลแบบอนุกรมในโหมดอื่นจะทำให้ข้อมูลในบิท TI เป็น 1 เมื่อเริ่มการส่ง Stop bit ข้อมูลบิทนี้จะสามารถ Clear เป็น 0 ได้โดยคำสั่ง CLR bit โดยที่ค่าตำแหน่งของ บิทนี้เท่ากับ 99H บิทนี้ยังมีประโยชน์เพื่อบอกว่าการส่งข้อมูลจาก SBUF ออกไปทางพอร์ทอนุ-กรมนั้นสิ้นสุดแล้ว พร้อมที่จะให้โปรแกรมเขียนข้อมูลลงไปยัง SBUF สำหรับการส่งออกต่อไปได้ นอกจากนี้การกำหนดค่าในรีจิสเตอร์ IE และ IP ยังสามารถที่จะกำหนดให้เกิดการขัดจังหวะการทำงานของโปรแกรมได้ เมื่อบิทนี้ถูกฮาร์ดแวร์ทำให้มีค่าเป็น 1

**RB8**

เมื่อมีการกำหนดให้รับข้อมูลในโหมด 2 ใน 3 จะใช้บิทนี้สำหรับเก็บข้อมูลบิทที่ 9 ที่เข้ามาทางพอร์ทอนุกรม ส่วนในโหมด 1 นั้นบิทนี้จะเก็บ Stop bit ซึ่งมีค่าเป็น 1 นั้นเอง ในโหมด 0 บิทนี้จะไม่ถูกใช้งาน ค่าตำแหน่งของบิทนี้คือ 9AH

**TB8**

ในการส่งข้อมูลแบบอนุกรมโหมด 2 และ 3 จะใช้บิทนี้เก็บข้อมูลบิทที่ 9 ส่วนในโหมดอื่นจะไม่ใช้งานบิทนี้ การกำหนดค่าในบิทนี้สามารถทำได้โดยใช้คำสั่ง SETB bit หรือ CLR bit ค่าตำแหน่งของบิทนี้คือ 9BH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**REN Receive Enable**

เป็นบิทที่จะใช้กำหนดให้ทำการรับข้อมูลเข้ามาจากพอร์ทอนุกรม (Serial Port) หรือไม่ถ้า บิทนี้เป็น 1 ก็จะรับข้อมูลเข้ามา แต่ถ้าเป็น 0 ก็จะไม่รับข้อมูลที่ขา RXD เข้ามา การให้บิทนี้เป็น 1 หรือ 0 ทำได้โดยใช้คำสั่ง SETB bit หรือ CLR bit ค่าตำแหน่งของบิทนี้คือ 9CH

**SM2**

เป็นบิทสำหรับควบคุมการทำงานของฮาร์ดแวร์ที่จะทำให้บิท R1 เป็น 1 หรือไม่ ในกรณีที่ บิท SM2 เป็น 0 ค่าในบิท R1 ก็จะเป็นไปตามที่ได้อธิบายมาแล้วในเรื่องบิท R1 แต่ถ้าบิท SM2=1

โหมด 2 และ 3 ซึ่งปกติแล้วบิท R1 จะเป็น 1 เมื่อข้อมูลบิทที่ 9 เข้ามา แต่เมื่อ SM2 เป็น 1 แล้ว RI จะเป็น 1 ก็ต่อเมื่อข้อมูลบิทที่ 9 ที่เข้ามามีค่าเป็น 1 ถ้าข้อมูลบิทที่ 9 เข้ามาเป็น 0 จะไม่ทำให้บิท RI มีค่าเป็น 1 (คือ บิท RI จะเป็น 0)

ในโหมด 1 บิท RI มีค่าเป็น 1 เมื่อข้อมูล Stop bit เข้ามายังพอร์ทอนุกรมถูกต้อง แต่ถ้า Stop bit ไม่เข้ามายังพอร์ทอนุกรม อันอาจเกิดจากปัญหาในการส่งข้อมูล แล้วบิท RI จะมีค่าเป็น 0

ในโหมด 0 บิทนี้จะมีค่าเป็น 0 เสมอ

**SM0, SM1**

เป็น 2 บิทที่ใช้งานร่วมกันเพื่อกำหนดโหมดของการรับ-ส่งข้อมูลของพอร์ทอนุกรม ค่าใน 2 บิทนี้จะกำหนดโหมดได้ดังนี้

| SM0 | SM1 | MODE | Description |
|---|---|---|---|
| 0 | 0 | 0 | Shift Register |
| 0 | 1 | 1 | 8 -bit UART |
| 1 | 0 | 2 | 9 -bit UART |
| 1 | 1 | 3 | 9 -bit UART |

การทำงานของแต่ละโหมดจะมีดังในข้อ .7)

**9 ) TIMER Register TH0, TL0, TH1, TL1**

**ตำแหน่งหน่วยความจำภายในเท่ากับ 8CH, 8AH, 8DH, 8BH**

ใน 8051 จะมีวงจร Timer อยู่ 2 ชุด คือ Timer 0 และ Timer 1 (8052 จะมี Timer 2 อีก 1 ชุด) ใน Timer แต่ละชุดจะมีรีจิสเตอร์ขนาด 8 บิทอยู่ 2 ตัว เพื่อเก็บค่าการนับของ Timer ได้สูงสุดถึง 16 บิท ใน Timer 0 รีจิสเตอร์นี้คือ TH0, TL0 และใน Timer 1 คือรีจิสเตอร์ TH1, TL1, TLx (x หมายถึง 0 หรือ 1) จะเก็บค่าของการนับ 8 บิทล่างและ THxจะเก็บค่าของการนับ 8 บิท บน ผู้ใช้จะสามารถกำหนดการทำงานของวงจร Timer ในโหมด Timer หรือโหมด Counter ได้โดยการกำหนดในรีจิสเตอร์ชื่อ TMOD (Timer/Counter Mode Control Register) การทำงานเป็น Timer นั้น จะให้รีจิสเตอร์ใน Timer 0 หรือ 1 ทำการนำจำนวนไซเคิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Cycle) ของสัญญาณนาฬิกาที่ผ่านวงจรหาร 12 ดังรูปที่ 5.7 เมื่อการนับครบถึงค่าสูงสุดที่รีจิสเตอร์ Tlxและ Thx จะเก็บได้คือค่า FFFFH แล้วยังนับต่อไปค่าที่ได้จากการนับจะเป็น 0000H ทำให้เกิดการเซต บิทบาง บิทในรีจิสเตอร์ TCON เพื่อบอกสภาวะ Timer Overflow นี้ ในการให้วงจร Timer ทำงานเป็น Counter ก็คือการใช้รีจิสเตอร์ Thx และ TLxทำการนับจำนวนไซเคิลของสัญญาณที่เข้ามาทางขา T0 หรือ T1 ของ 8051 สัญญาณที่เข้ามาทางขา T0 หรือ T1 อาจจะมาจากอุปกรณ์ตรวจจับ (Sensor) ก็ได้แต่สภาวะของสัญญาณนี้จะต้องมีระดับโวลเตจของสภาวะลอจิก 0 หรือ 1 เป็นแบบ TTL คือลอจิก 0 จะต้องมีโวลเตจไม่เกิน 0.6 โวลท์ และลอจิก 1 จะต้องมีโวลเตจมากกว่า 2.4 โวลท์

**10 ) TMOD Timer/Counter Mode Register**

**ตำแหน่งหน่วยความจำภายในเท่ากับ 89H**

TMOD เป็นรีจิสเตอร์ขนาด 8 บิท ที่มีหน้าที่ควบคุมการทำงานของ Timer 0 และ Timer 1 แต่ละบิทในรีจิสเตอร์นี้มีความหมายเฉพาะ ดังรูปที่ 2.36

| GATE | C/T | M1 | M0 | GATE | C/T | M1 | M0 |
|---|---|---|---|---|---|---|---|
| TIMER 1 | | | | TIMER 0 | | | |

| | |
|---|---|
| GATE | When TRx (in TCON) is set and GATE = 1, TIMER/COUNTERx will run only while INTx pin is high (hardware control). When GATE = 0, TIMER/COUNTERx will run only while TRx = 1 (software control). |
| C/T | Timer or Counter selector. Cleared for Timer operation (input from internal system clock). Set for Counter operation (input from Tx input pin). |
| M1 | Mode selector bit. (NOTE 1) |
| M0 | Mode selector bit. (NOTE 1) |

NOTE 1 :

| M1 | M0 | | Operating Mode |
|---|---|---|---|
| 0 | 0 | 0 | 13-bit Timer |
| 0 | 1 | 1 | 16-bit Timer/Counter |
| 1 | 0 | 2 | 8-bit Auto-Reload Timer/Counter |
| 1 | 1 | 3 | (Timer 0) TL0 is an 8-bit Timer/Counter controlled by the standard Timer 0 control bits. TH0 is an 8-bit Timer and is controlled by Timer 1 control bits. |
| 1 | 1 | 3 | (Timer 1) Timer/Counter 1 stopped. |

รูปที่ 2.36 TMOD Timer/Counter Mode Register

ในรูปที่ 2.36 M0 เป็นชื่อของบิท 0 และ GATE ทางซ้ายสุดเป็นชื่อของบิท 7 รีจิสเตอร์นี้แบ่งข้อมูลออกเป็น 2 ชุด ชุดละ 4 บิท คือบิท 0-3 ใช้สำหรับควบคุมการทำงานของ Timer 0 และบิท 4-7 ใช้ควบคุมการทำงานของ Timer 1 หน้าที่ในการควบคุม Timer ของแต่ละบิทที่มีชื่อเดียวกันจะเหมือนกัน

**GATE** เป็นบิทที่ใช้ควบคุมให้ Timer ทำงานหรือไม่ ถ้าบิทนี้ของ Timer x จะตั้งเป็น 1 จะทำให้ Timer ทำงานก็ต่อเมื่อที่ขา INTxมีสภาวะลอจิกเป็น 1 และบิท TRx ในรีจิสเตอร์ TCON เป็น 1 ด้วย

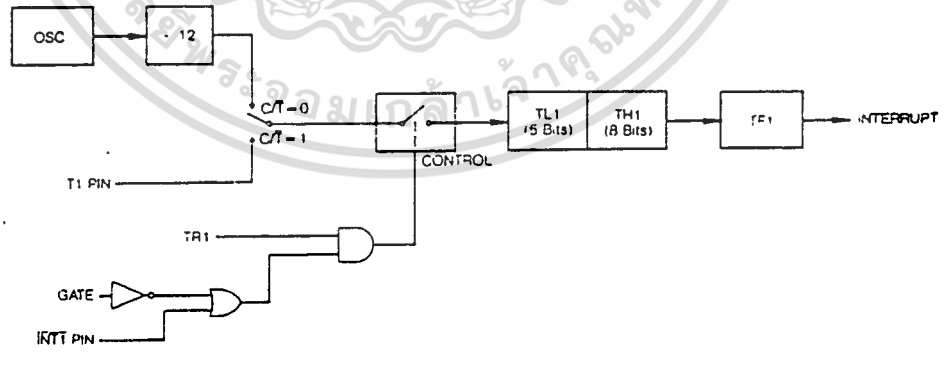
**C/ $\overline{\text{T}}$** บิทนี้ใช้สำหรับเลือกการทำงานของ Timer ว่าจะใช้เป็น Timer หรือ Counter ถ้า บิทนี้เป็น 1 ก็หมายความว่าเลือกการทำงานเป็น Counter ซึ่งจะนับจำนวนไซเคิลของสัญญาณที่เข้ามาทางขา Tx

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**M1, M0** เป็น 2 บิท ที่ใช้ร่วมกันเพื่อเลือกโหมดการทำงานของ Timer การทำงานโหมด 0, 1 และ 2 ของ Timer 0 จะเหมือนกับ Timer 1 แต่ในโหมด 3 การทำงานของทั้ง 2 จะต่างกัน ค่าใน M1 และ M0 จะเลือกโหมดการทำงานดังนี้

| M1 | M0 | การทำงาน |
|---|---|---|
| 0 | 0 | โหมด 0 รีจิสเตอร์ THx และ TLx ทำตัวเป็นตัวนับ 13 บิท ค่าจากการนับ 8 บิท บน มาจาก 8 บิทของ THx และอีก 5 บิทล่างมาจากค่า 5 บิทล่างของรีจิสเตอร์ TLx โดยที่ 3 บิทบนของ TLx จะไม่ต้องสนใจเลย |
| 0 | 1 | โหมด 1 ของรีจิสเตอร์ THxและTLx ทำตัวเป็นตัวนับ 16 บิท ค่าจากการนับ 8 บิทบน นอยู่ในรีจิสเตอร์ THxและค่าจากการนับ 8 บิทล่างอยู่ในรีจิสเตอร์ TLx |
| 1 | 0 | โหมด 2 ในการนับของรีจิสเตอร์ TLx ขนาด 8 บิท เมื่อนับถึงค่าสูงสุด FFH เมื่อทำการนับต่อไปจะเกิดการ Overflow แล้วก็จะ "Reload" เข้าข้อมูลจาก THxเข้าไปยัง TLx เพื่อเป็นค่าเริ่มต้นในการนับครั้งต่อไป |
| 1 | 1 | โหมด 3 การทำงานของ Timer 0 และ Timer 1 จะต่างกันดังที่จะกล่าวต่อไป |

การทำงานของโหมดจะมีรายละเอียดดังนี้




รูปที่ 2.37 Timer Mode 0 : 13 bit count

รูปที่ 2.37 เป็นไดอะแกรมของวงจร Timer ภายใน 8051 ที่ทำงานในโหมด 0 ซึ่ง Timer 0 และ Timer 1 ก็จะมีการทำงานเหมือนกันทุกประการ ในการอธิบายนี้จะใช้วงจรของ Timer 1 จากรูปจะเห็นสวิตช์ C/T ซึ่งถ้า

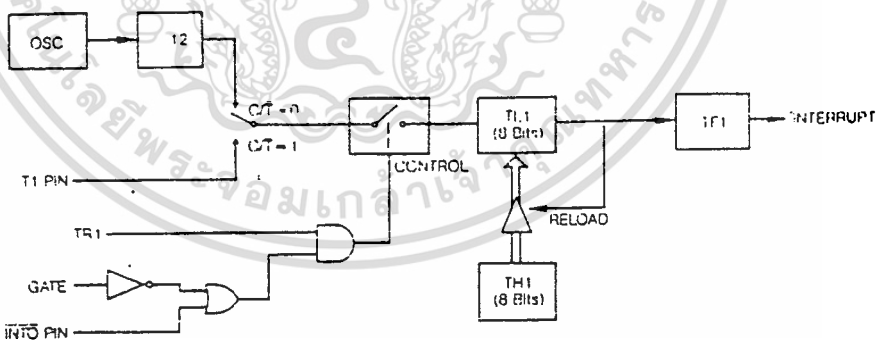
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดค่าในบิท C/T ของ TMOD เป็น 0 จะทำให้สวิตช์อยู่ในตำแหน่งบนเพื่อให้สัญญาณนาฬิกาที่ออกจากวงจรออสซิลเลเตอร์ผ่านวงจรหาร 12 ไปยังสวิตช์ควบคุม ถ้าออสซิลเลเตอร์ผลิตสัญญาณนาฬิกาความถี่ 12 เมกกะเฮิรตซ์ก็จะมีสัญญาณความถี่ 1 เมกกะเฮิรตซ์ออกจากวงจรหาร 12 ถ้าบิท C/T เป็น 1 จะทำให้สวิตช์ C/T อยู่ในตำแหน่งข้างล่าง เพื่อให้สัญญาณที่เข้ามาทาง T1 (หรือ TO ถ้าเป็น Timer 0) ผ่านไปยังสวิตช์ควบคุมสัญญาณที่เข้ามายังสวิตช์ควบคุมจะส่งผ่านไปยังวงจรนับหรือไม่ก็ขึ้นอยู่กับสัญญาณควบคุมที่ออกมาจาก AND GATE ถ้าบิท TR1 (หรือ TR0 ถ้าเป็น Timer 0) ในรีจิสเตอร์ TCON เป็น 0 จะทำให้สภาวะของสัญญาณที่ออกจาก AND GATE เป็น 0 เสมอ และจะไม่มีสัญญาณใดออกจากสวิตช์ควบคุมไปยังวงจรนับเลย รีจิสเตอร์ TL1 และ TH1 จะไม่ทำงาน แต่ถ้าบิท TR1 เป็น 1 จะทำให้สภาวะของสัญญาณออกจาก AND GATE ไปควบคุมสวิตช์ควบคุมขึ้นกับสภาวะของสัญญาณ INT1 (หรือ INT0 ถาเป็น Timer 0) และข้อมูลที่บิท GATE ของรีจิสเตอร์ TMOD ถ้าบิท GATE เป็น 0 หรือสัญญาณที่ขา INT1 มีสภาวะลอจิกเป็น 1 จะทำให้สัญญาณควบคุมสวิตช์ ควบคุมเป็น 1 ทำให้มีสัญญาณออกไปยังตัวนับรีจิสเตอร์ TL1 และ TH1 (หรือ TL0 และ TH0 ถ้าเป็น Timer 0) รีจิสเตอร์ TL1 จะทำการนับโดยมีการนับเพียง 5 บิทเท่านั้น (ทำหน้าที่เป็นวงจร Prescaler ขนาด 5 บิท) ซึ่งนับได้ตั้งแต่ 0 ถึง 31 เมื่อ TL1 นับสัญญาณที่ออกจากสวิตช์ควบคุมครบ 32 ไซเคิลจะมีสัญญาณส่งไปยัง TH1 1 ไซเคิล บิท 5 ถึง 7 TLxที่ไม่ได้ใช้งานก็จะไม่ต้องสนใจ การทำงานของ Timer 0 และ 1 ในโหมดนี้จะเหมือนกับการทำงานของ Timer ในไมโครคอนโทรลเลอร์เบอร์ 8048 ทุกประการ

**โหมด 1**

ในโหมดนี้จะมีการทำงานของวงจรภายในของ Timer 0 หรือ 1 เหมือนกับโหมด 0 ทุกประการแตกต่างกันที่ Tlxจะถูกใช้งานทั้ง 8 บิท ทำให้ผลการนับใน Tlxและ Thxจะมีถึง 16 บิท

**โหมด 2**




รูปที่ 2.38 Timer Mode 2

ในรูปที่ 2.48 เป็นไดอะแกรมของวงจร Timer 1 ใน 8051 ที่ทำงานโหมด 2 Timer 0 และ Timer 1 มีการทำงานในโหมด 2 เหมือนกันโดยจะสามารถกำหนดให้ทำหน้าที่เป็น Timer หรือ Counter ได้โดยบิท C/T และควบคุมการนับได้โดยข้อมูลในบิท TR1 และ GATE ในรีจิสเตอร์ TMOD กับสัญญาณที่เขา INTxเมื่อเริ่มการทำงานข้อมูลในรีจิสเตอร์ TH1จะถูกโหลด (Load) ไปยังรีจิสเตอร์ TL1ทำให้รีจิสเตอร์ TH1 และ TL1 มีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

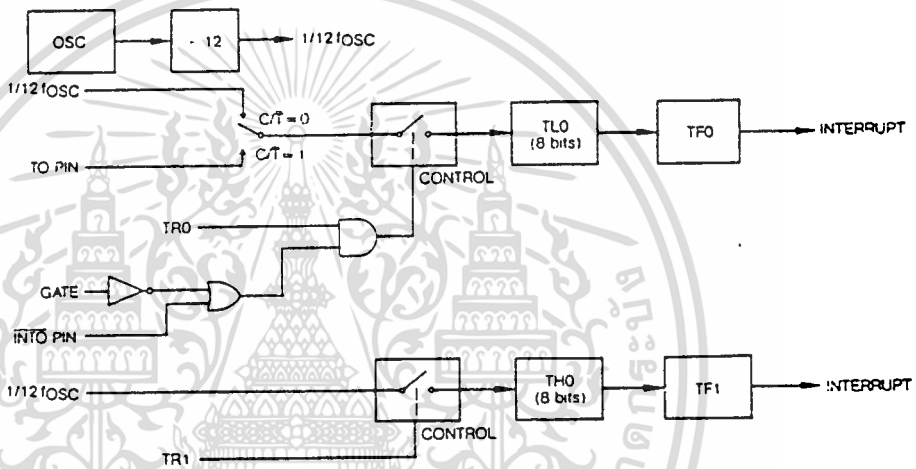
เหมือนกัน เมื่อเกิดการนับจำนวนไซเคิลของสัญญาณที่ออกจากสวิตช์ควบคุมจะทำให้ค่าจากการนับในรีจิสเตอร์ TL1 เพิ่มขึ้นไปเรื่อย ๆ ที่ละ 1 จนถึง 0FFH ในการนับครั้งต่อไปจะทำให้บิท TF1 ในรีจิสเตอร์ TCON ไม่เป็น 1 และในข้อมูลในรีจิสเตอร์ TH1 จะถูกโหลดไปยังรีจิสเตอร์ TL1 เพื่อเป็นค่าเริ่มต้นการนับต่อไป

**โหมด 3**

การทำงานโหมด 3 ของ Timer 0 และ 1 จะต่างกัน

Timer 1 ในโหมด 3 จะไม่ทำงาน

Timer 0 ในโหมด 3 จะทำงานเป็นตัวนับที่เสมือนมีตัวนับ 8 บิทอยู่ 2 ตัว คือ TL0 และ TH0 ทำงานแยกกันดังรูปที่ 2.39




รูปที่ 2.39 Timer 0 Mode 3

รีจิสเตอร์ TL0 จะเป็นตัวนับ 8 บิท ที่มีการนับสัญญาณจากออสซิลเลเตอร์หารด้วย 12 หรือนับสัญญาณที่เข้ามาทางขา T0 ขึ้นกับบิท C/T ในรีจิสเตอร์ TMOD และการนับจะควบคุมโดยบิท TR0 และ GATE ในรีจิสเตอร์ TMOD กับสภาวะลอจิกของสัญญาณที่ขา INT0 เหมือนกับการทำงานโหมด 0,1 และ 2 แต่ค่าจากการนับนี้สูงสุดจะมีเพียง 255 เท่านั้น เมื่อค่าการนับเปลี่ยนจาก 0FFH เป็น 00H คือเกิดการ Over Flow จะทำให้บิท TF0 ถูก Set เป็น 1 และอาจเกิดการขัดจังหวะ (Interrupt) การทำงานของโปรแกรมได้ ถ้ามีการกำหนดค่าในรีจิสเตอร์ IE และ IP

ตัวนับอีกตัวคือรีจิสเตอร์ TH0 จะทำงานในโหมดของ Timer เท่านั้น คือจะนับจำนวนไซเคิลของสัญญาณที่ออกจากออสซิลเลเตอร์ แล้วหารด้วย 12 การนับจะควบคุมได้ด้วยบิท TR1 ในรีจิสเตอร์ TMOD ถ้าบิทนี้เป็น 1 ก็จะมีสัญญาณเข้าไปยัง TH0 แต่ถ้าบิทนี้เป็น 0 ก็จะไม่มีสัญญาณเข้าไปยัง TH0

**11 ) TCON Timer Control Register ตำแหน่งหน่วยความจำภายในเท่ากับ 088H**

รีจิสเตอร์ขนาด 8 บิทนี้ใช้ควบคุมการทำงานและบอกสภาวะของ Timer 0 และ Timer 1 แต่บิทของรีจิสเตอร์ทำงานต่างกันดังรูปที่ 2.40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.50 T0 เป็นชื่อของบิท 0 และ TF เป็นชื่อของบิท 7 ในรีจิสเตอร์ TCON แต่ละบิทมีหน้าทำงานดังนี้

**IT0** Interrupt 0 เป็นบิทที่ใช้กำหนดวิธีการขัดจังหวะโปรแกรม อันเนื่องจากสภาวะสัญญาณที่เข้ามาทางขา INT0

ถ้า IT0 เป็น 1 จะเกิดการขัดจังหวะโปรแกรม ถ้าสภาวะของสัญญาณที่ขา INT0 เปลี่ยนจาก 1 เป็น 0

ถ้า IT0 เป็น 0 จะเกิดการขัดจังหวะโปรแกรม ถ้าสภาวะของสัญญาณที่ขา INT0 เป็น 0

| TF1 | TR1 | TF0 | TR0 | IE1 | IT1 | IE0 | IT0 |
|---|---|---|---|---|---|---|---|

| | | |
|---|---|---|
| TF1 | TCON.7 | Timer 1 overflow flag. Set by hardware when the Timer/Counter 1 overflows. Cleared by hardware as processor vectors to the interrupt service routine. |
| TR1 | TCON.6 | Timer 1 run control bit. Set/cleared by software to turn Timer/Counter 1 ON/OFF. |
| TF0 | TCON.5 | Timer 0 overflow flag. Set by hardware when the Timer/Counter 0 overflows. Cleared by hardware as processor vectors to the service routine. |
| TR0 | TCON.4 | Timer 0 run control bit. Set/cleared by software to turn Timer/Counter 0 ON/OFF. |
| IE1 | TCON.3 | External Interrupt 1 edge flag. Set by hardware when External interrupt edge is detected. Cleared by hardware when interrupt is processed. |
| IT1 | TCON.2 | Interrupt 1 type control bit. Set/cleared by software to specify falling edge/low level triggered External Interrupt. |
| IE0 | TCON.1 | External Interrupt 0 edge flag. Set by hardware when External Interrupt edge detected. Cleared by hardware when interrupt is processed. |
| IT0 | TCON.0 | Interrupt 0 type control bit. Set/cleared by software to specify falling edge/low level triggered External Interrupt. |

รูปที่ 2.40 TCON Timer Counter Register

**IE0** บิทนี้จะเป็น 1 ถ้าสัญญาณที่เข้ามาทางขา INT0 มีสภาวะลอจิกของสัญญาณ ตามที่กำหนดในบิท IT0 แล้วทำให้เกิดการขัดจังหวะโปรแกรม เมื่อเกิดการกระโดดไปทำงานยังโปรแกรมตอบสนองการขัดจังหวะ จะทำให้บิทนี้กลับเป็นศูนย์

**IT1** Interrupt 1 เป็นบิทที่ใช้กำหนดวิธีการขัดจังหวะโปรแกรมอันเนื่องจากสภาวะของสัญญาณที่เข้ามาทางขา INT1

ถ้า IT1 เป็น 1 จะเกิดการขัดจังหวะโปรแกรม ถ้าสภาวะของสัญญาณที่ขา INT1 เปลี่ยนจาก 1 เป็น 0

ถ้า IT1 เป็น 0 จะเกิดการขัดจังหวะโปรแกรม ถ้าสภาวะของสัญญาณที่ขา INT1 เป็น 0

**IE1** บิทนี้จะเป็น 1 ถ้ามีสัญญาณเข้ามาที่ขา INT1 มีสภาวะลอจิกของสัญญาณ ตามที่กำหนดในบิท IT1 แล้วทำให้เกิดการขัดจังหวะโปรแกรมเหมือนกับบิท IT0 ที่ทำงานกับสัญญาณ INT0

**TR0** Timer 0 Run Control bit บิทนี้ ถ้าเป็น 0 Timer 0 ไม่ทำการนับสัญญาณไม่ว่ากรณีใด ๆ ทั้งสิ้น และถ้าบิทใดเป็น 1 จะทำให้ Timer 0 ทำงานโดยขึ้นกับสัญญาณ GATE ข้อมูลในบิทนี้จะสามารถเซตเป็น 1 หรือเคลียร์เป็น 0

**TF0** Timer 0 Overflow Flag บิทนี้จะเป็น 1 เมื่อการนับของรีจิสเตอร์ใน Timer 0 (TL0 หรือ TH0 ขึ้นกับโหมดของการทำงาน) เกิด Over Flow ขึ้น คือการนับเพิ่มไปจนถึงค่าสูงสุด และนับต่อไปทำให้ค่าการนับกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาเริ่มต้นใหม่ที่ 0 หรือค่า Reload เมื่อ 8051 กระโดดไปทำงานที่โปรแกรมตอบสนอง การขัดจังหวะจะทำให้บิทนี้กลับเป็น 0

**TR1** Timer 1 Run Control Bit การทำงานจะเหมือนกับการทำงานของบิท TR0 แต่บิทนี้จะทำงานการ Timer 1

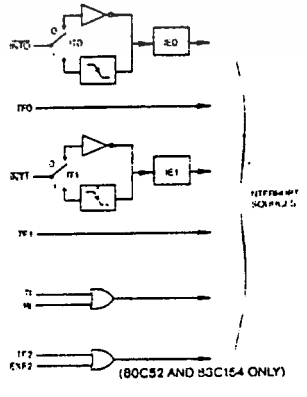
**TF1** Timer 1 Overflow Flag บิทนี้เหมือนกับบิท TF0 ต่างกันที่ขึ้นอยู่กับการทำงานของ Timer 1

4 บิทแรกที่กลาวมานั้นจะเกี่ยวข้องกับการขัดจังหวะ (Interrupt) ส่วน 4 บิทหลังนั้นได้กล่าวมาแล้วโดยละเอียดในเรื่องโหมดการทำงานของ Timer

ในขณะที่ Timer ทำงานในโหมด Timer นั้นรีจิสเตอร์ที่ทำหน้าที่เป็นตัวนับจะมีค่าเพิ่มขึ้น 1 ทุก ๆ 1 ไซเคิลของเครื่อง ซึ่งเท่ากับ 12 คาบของสัญญาณจากออสซิลเลเตอร์ ในกรณีที่ Timer ทำงานเป็น Counter เพื่อนับจำนวนไซเคิลของสัญญาณที่เข้ามาทางขา T0 หรือ T1 รีจิสเตอร์จะเพิ่มค่าไป 1 ไม่มีการเปลี่ยนสถานะของสัญญาณที่ขาดังกล่าวจาก 1 เป็น 0 โดยวงจรภายใน 8051 จะตรวจสอบสถานะของสัญญาณที่ขาดังกล่าวในช่วงเวลาเฟส 2 ของสเตท 5 ในทุก ๆ 1 ไซเคิลของเครื่อง เช่นในเวลา S5P2 ครั้งหนึ่งพบว่าสัญญาณที่ขาที่ 0 มีสภาวะลอจิกเป็น 1 และในเวลา S5P2 ของไซเคิลของเครื่องถัดมา พบว่าสัญญาณที่ขาที่ 0 มีสภาวะลอจิกเป็น 0 ก็จะทำให้ค่าในรีจิสเตอร์ตัวนับเพิ่มค่าไป 1 แต่ละไซเคิลของสัญญาณจากออสซิลเลเตอร์ ดังนั้นสัญญาณที่จะนับได้จะต้องเป็น 1 อย่างน้อยให้ถูกจับได้ใน 1 ไซเคิลของเครื่องและเป็น 0 อย่างน้อยก็ต้องให้ถูกตรวจจับได้ใน 1 ไซเคิลของเครื่องเช่นกัน ทำให้ความถี่สูงสุดของสัญญาณที่ขา T0 หรือ T1 ที่จะนับได้จะต้องไม่เกิน 1/24 เท่าของความถี่สัญญาณจากออสซิลเลเตอร์

**12.) IE Interrupt Enable Register ตำแหน่งหน่วยความจำภายในเท่ากับ 0A8H**

การขัดจังหวะการทำงาน (Interrupt) เป็นการที่มีสัญญาณหนึ่งหรือคำสั่งหนึ่งที่ (ไม่ใช่คำสั่ง CALL หรือ JMP) ที่จะทำให้การทำงานปกติของโปรแกรมถูกขัดจังหวะและข้ามไปทำงานยังตำแหน่งหนึ่งตำแหน่งใดที่กำหนดไว้ เมื่อทำงานในโปรแกรมขัดจังหวะเสร็จสิ้นก็จะกลับมาทำงานในโปรแกรมที่ตำแหน่งก่อนจะไปทำงานยังโปรแกรมขัดจังหวะ โปรแกรมที่ถูกกระโดดไปทำงานเรียกว่าโปรแกรมตอบสนองการขัดจังหวะ (Interrupt Service Routine) ใน 8051 จะสามารถขัดจังหวะด้วยสัญญาณจาก 6 แหล่ง ดังรูปที่ 2.41 ถ้าเป็น 8052 หรือ 83154 จะสามารถขัดจังหวะได้ด้วยสัญญาณจาก 8 แหล่ง คือสัญญาณในชุดล่างสุดของรูปท 2.41




รูปที่ 2.41 แหล่งกำเนิดสัญญาณขัดจังหวะ

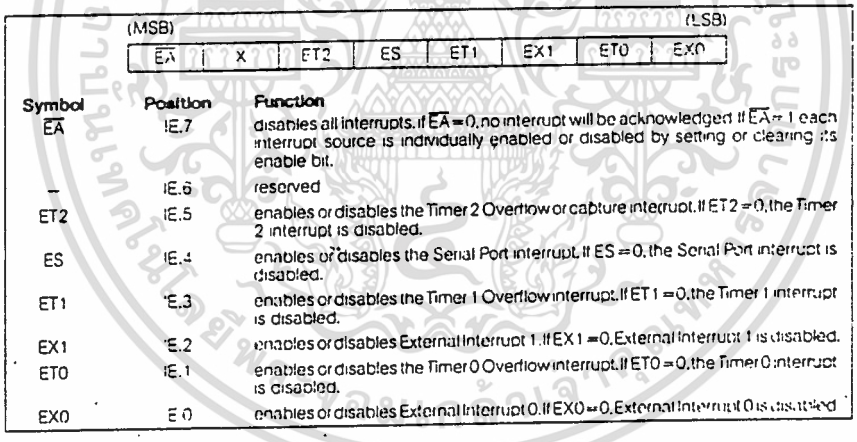
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณขัดจังหวะที่ 5 ในรูปที่ 2.41 จะสามารถทำให้เกิดการขัดจังหวะได้ 2 วิธี คือมีข้อมูลเข้ามาทางพอร์ทอนุกรมเก็บอยู่ที่รีจิสเตอร์ SBUF ในกรณีที่ข้อมูลใน SBUF ส่งออกไปทางพอร์ทอนุกรมหมดแล้ว ไม่ว่าเกิดกรณีใด ๆ ก็ทำให้เกิดการขัดจังหวะขึ้น

สัญญาณภายนอกที่เข้ามายัง 8051 ทางขา INT0 และ INT1 จะสามารถทำให้เกิดการขัดจังหวะ การทำงาน 8051 ได้ โดยสภาวะของสัญญาณนั้นเปลี่ยนจาก 1 เป็น 0 หรือเมื่อสัญญาณนั้นเป็น 0 แล้วแต่การกำหนดในบิท IT0 และ IT1 ของรีจิสเตอร์ TCON จะทำให้บิท IE0 กับ IE1 เป็นตัวสร้างสัญญาณขัดจังหวะต่อไป

จาก Timer 0 และ Timer 1 เมื่อค่าการนับในแต่ละโหมดถึงค่าสูงสุดในโหมดนั้นแล้ว เมื่อทำการนับต่อไปค่าการนับต่อไปจะเป็น 0 (หรืออาจเป็ค่าที่ Reload จาก Thxในโหมด 2) และทำให้โหมด TF0,TF1 เป็น 1 ซึ่งสัญญาณจาก 2 บิทนี้ จะสามารถจะทำให้เกิดการขัดจังหวะได้เช่นกัน ดังเช่นสัญญาณขัดจังหวะที่ 2 และ 4 ในรูปที่ 2.51

แหล่งกำเนดสัญญาณทั้ง 6 ที่สามารถทำให้เกิดการขัดจังหวะได้ 5 แบบนี้ ผู้ใช้สามารถกำหนดใหสัญญาณใดบ้างเกิดการขัดจังหวะเรียกว่า Enable หรือไม่ให้เกิดการขัดจังหวะเรียกว่า Disable ในการกำหนดในรีจิสเตอร์ IE (Interrupt Enable Register) ซึ่งมี 8 บิท แต่ละบิทสามารถ Enable ให้ขัดจังหวะได้จากแต่ละสัญญาณดังรูปที่ 2.42



(MSB) (LSB)

| $\overline{EA}$ | X | ET2 | ES | ET1 | EX1 | ET0 | EX0 |
|---|---|---|---|---|---|---|---|

| Symbol | Position | Function |
|---|---|---|
| $\overline{EA}$ | IE.7 | disables all interrupts. If $\overline{EA}$ = 0, no interrupt will be acknowledged. If $\overline{EA}$ = 1 each interrupt source is individually enabled or disabled by setting or clearing its enable bit. |
| – | IE.6 | reserved |
| ET2 | IE.5 | enables or disables the Timer 2 Overflow or capture interrupt. If ET2 = 0, the Timer 2 interrupt is disabled. |
| ES | IE.4 | enables or disables the Serial Port interrupt. If ES = 0, the Serial Port interrupt is disabled. |
| ET1 | IE.3 | enables or disables the Timer 1 Overflow interrupt. If ET1 = 0, the Timer 1 interrupt is disabled. |
| EX1 | IE.2 | enables or disables External Interrupt 1. If EX1 = 0, External Interrupt 1 is disabled. |
| ET0 | IE.1 | enables or disables the Timer 0 Overflow interrupt. If ET0 = 0, the Timer 0 interrupt is disabled. |
| EX0 | IE.0 | enables or disables External Interrupt 0. If EX0 = 0, External Interrupt 0 is disabled |

รูปที่ 2.42 Interrupt Enable Register

ถ้าต้องการ Enable บิทใดก็ให้โปรแกรมกำหนดค่าในบิทนั้นเป็น 1 ถ้าค่าในบิทนั้นเป็น 0 หมายถึง Disable การ Disable จะทำให้ไม่มีการขัดจังหวะการทำงานของโปรแกรมเนื่องจากสัญญาณขอขัดจังหวะนั้น ๆ EX0 เป็นชื่อบิท 0 และ EA เป็นชื่อของบิท 7

EX0 บิทนี้ใช้สำหรับการ Enable สัญญาณที่เข้ามาทางขา INT0 ให้เกิดการขัดจังหวะหรือไม่

ET0 Timer 0 Interrupt Enable bit ข้อมูลบิทนี้จะใช้ Enable หรือ Disable สัญญาณขัดจังหวะที่มาจากวงจร Timer 0 (TF0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

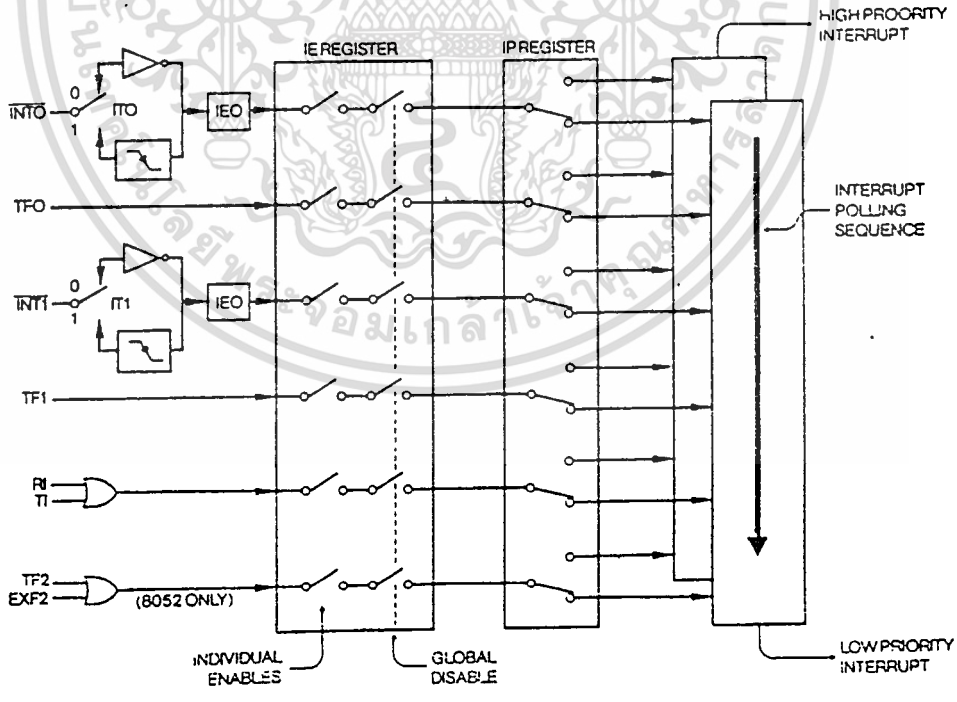
ข้อมูลเป็น 1 จะทำให้สวิตช์ปิดวงจร (Closed Circuit) การควบคุมสวิตช์ทางซ้ายสุดของแต่ละสัญญาณจะไม่ขึ้นแก่กัน (Individual) สวิตช์ที่ 2 ถัดมาของทุกสัญญาณจะควบคุมร่วมกันด้วยบิท EA ในรีจิสเตอร์ IE ถ้าบิทนี้เป็น 0 สวิตช์ที่ 2 ของทุกสัญญาณจะเปิดวงจร (Opened Circuit) ทำให้สัญญาณขอขัดจังหวะผ่านไปได้ สวิตช์ที่ 3 ทางขวาสุด จะใช้สำหรับเลือกว่า

(MSB) (LSB)

| X | X | PT2 | PS | PT1 | PX1 | PT0 | PX0 |
|---|---|---|---|---|---|---|---|

| Symbol | Position | Function |
|---|---|---|
| PCT | IP.7 | PCT = 1, only one level |
| — | IP.6 | reserved |
| PE2 | IP.5 | defines the Timer 2 interrupt priority level. PT2 = 1 programs it to the higher priority level. |
| PS | IP.4 | defines the Serial Port interrupt priority level. PS = 1 programs it to the higher priority level. |
| PT1 | IP.3 | defines the Timer 1 interrupt priority level. PT1 = 1 programs it to the higher priority level. |
| PT0 | IP.1 | defines the Timer 0 interrupt priority level. PT0 = 1 programs it to the higher priority level. |
| PX0 | IP.0 | defines the External interrupt 0 priority level. PX0 = 1 programs it to the higher priority level. |

รูปที่ 2.43 IP : Interupt Piority Register




รูปที่ 2.44 ระบบการขัดจังหวะของ 8052 และ 83154

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนั้นจะอยู่ในกลุ่มลำดับความสำคัญสูง (High Priority Interrupt) หรือลำดับความสำคัญต่ำ (Low Priority Interrupt)

ถ้าต้องการให้สัญญาณใดมีลำดับความสำคัญสูงก็ให้กำหนดบิทนั้นในรีจิสเตอร์ IP เป็น 1 สวิตช์ที่ 3 จะเลื่อนไปอยู่ในตำแหน่งบน ถ้าไม่ต้องการก็กำหนดให้บิทนั้นเป็น 0 บิทใดเป็น1 เรียกว่าสัญญาณนั้นอยู่ในกลุ่มลำดับความสำคัญสูงและบิทใดเป็น 0 เรียกว่าสัญญาณนั้นอยู่ในกลุ่มลำดับความสำคัญต่ำ ถ้าในกลุ่มลำดับความสำคัญสูงมีเพียง 1 สัญญาณก็จะเรียกว่าสัญญาณนั้นมีความสำคัญสูงสุด ในกลุ่มลำดับความสำคัญเดียวกนก็จะมีการจัดลำดับความสำคัญเฉพาะกลุ่มโดยวิธี Polling เหมือนเดิม เช่นกรณีที่มีการกำหนดในบิทของรีจิสเตอร์ IP ให้มีลำดับความสำคัญสูงหรือต่ำเหมือนกัน แล้วเกิดมีความต้องการขอการขัดจังหวะจากสัญญาณนั้นมาพร้อมกัน 8051 ก็จะทำงานในโปรแกรมตอบสนองการขัดจังหวะเรียงตามลำดับความสำคัญ 5 ลำดับที่กล่าวมาแล้วข้างต้น เช่นให้ PT1 PX1 และ PT0 เป็น 1 เมื่อมีสัญญาณขอขัดจังหวะการทำงานมาจาก Timer 1 External Interrupt 1 และ Timer 0 พร้อมกัน 8051 ก็จะทำงานตอบสนองการขัดจังหวะของ Timer 0 External Interrupt 1 และ Timer 1 ตามลำดับ ในขณะท 8051 กำลังทำงานโปรแกรมตอบสนองการขัดจังหวะของสัญญาณขัดจังหวะที่มีลำดับความสำคัญต่ำอยู่ ถ้ามีสัญญาณขัดจังหวะที่มีลำดับความสำคัญสูงกว่าเกิดขึ้นการทำงานของโปรแกรมก็จะกระโดดไปทำงานในตำแหน่งโปรแกรมตอบสนองการขัดจังหวะของสัญญาณที่มีลำดับความสำคัญสูง เสร็จแล้วจึงกลับมาทำงานที่โปรแกรมตอบสนองการขัดจังหวะลำดับความสำคัญต่ำต่อไป แต่ละบิทของรีจิสเตอร์ IP นั้นจะบอกลำดับความสำคัญของแหล่งกำเนิดสัญญาณขัดจังหวะดังนี้

PX0 บิท 0 เป็นลำดับความสำคัญของสัญญาณขอขัดจังหวะจากภายนอก 8051 คือ INT0

PT0 บิท 1 เป็นลำดับความสำคญของสัญญาณขอขัดจังหวะจาก Timer 0

PX1 บิท 2 เป็นลำดับความสำคัญของสัญญาณขอขัดจังหวะจากภายนอก 8051 คือ INT1

PT1 บิท 3 เป็นลำดับความสำคัญของสัญญาณขอขัดจังหวะจาก Timer 1

PT2 บิท 5 เป็นลำดับความสำคัญของสัญญาณขอขัดจังหวะจาก Timer 2 บิทนี้ใช้เฉพาะใน 8052 ที่มี Timer 2

PS บิท 3 เป็นลำดับความสำคัญของสัญญาณขอขัดจังหวะจาก Serial Port ในกรณีที่มีข้อมูลเข้ามาหรือส่งข้อมูลออกสิ้นสุดแล้ว

**14 ) PCON (Power Control Register) ตำแหน่งหน่วยความจำภายในเท่ากับ 87H**

| Symbol | Position | Name and Function |
|---|---|---|
| SMOD | PCON 7 | Double Baud rate bit When set to a 1, the baud rate is doubled when the serial port is being used in either modes 1, 2 or 3 |
| HPD | PCON 6 (83C154 only) | Hard Power Down bit. Setting this bit allows CPU to enter in Power Down state on an external event (1 to 0 transition) on bit T1 (p.3-5) the CPU exit the Hard Power Down mode when bit T1 (p. 3-5) go high or when reset is activated. |
| RPD | PCON.5 (83C154 only) | Recover from idle or Power Down bit When 0 RPD has no effect. When 1 RPD permits to exit from idle or Power Down with any non enabled interrupt source (except timex 2). In this case the program start at the next address. When interrupt is enabled the appropriate interrupt routine is serviced. |
| – | PCON.4 | (Reserved) |
| GF1 | PCON 3 | General-purpose flag bit. |
| GF0 | PCON.2 | General-purpose flag bit. |
| PD | PCON 1 | Power Down bit. Setting this bit activates power down operation. |
| IDL | PCON 0 | Idle mode bit. Setting this bit activates idle mode operation |

รูปที่ 2.45 PCON : Power Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8051 เป็นไมโครคอนโทรลเลอร์ที่สร้างขึ้นด้วยเทคโนโลยีทั้งแบบ CHMOS และ HMOS ซึ่งแบบ CHMOS มีข้อดีตรงที่ใช้กำลังไฟต่ำกว่าแบบ HMOS ดังนั้นต่อไปในอนาคตจึงจะมีแต่เฉพาะรุ่น CHMOS เท่านั้น นอกจากนี้แล้ว 8051 ยังมีข้อดีอีกตรงที่สามารถลดการใช้กำลังไฟลงได้โดยการทำงานใน Idle Mode และ Power Down Mode ใน Idle Mode นั้นสัญญาณนาฬิกาจากออสซิลเลเตอร์จะป้อนให้เฉพาะส่วน Interrupt, Serial Port และ Timer ในส่วนอื่นจะไม่มีสัญญาณนาฬิกาไปเลี้ยงแต่มีไฟเลี้ยงให้กับทกส่วนในวงจร การใช้กำลังไฟจึงลดลงมาก ส่วนใน Power Down Mode นั้น ออสซิลเลเตอร์จะหยุดทำงานทำให้ไม่มีสัญญาณนาฬิกาไปเลี้ยงส่วนใด ๆ ในวงจรเลย แต่ข้อมูลภายในรีจิสเตอร์จะยังคงอยู่ไม่สูญหายไป รายละเอียดของแต่ละ Mode จะได้กล่าวต่อไป

การสั่งงานให้ 8051 ทำงานในโหมดของ Idle หรือ Power Down จะสามารถทำได้โดยใช้กำหนดค่าในรีจิสเตอร์ PCON (Power Control Register) แต่ละบิทในรีจิสเตอร์ PCON มีดังนี้

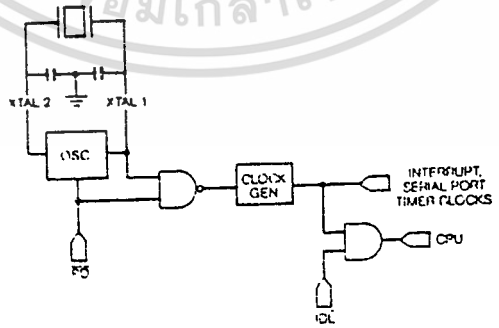
IDC บิท 0 ถ้าบิทนี้ถูกเซตให้เป็น 1 8051 จะเข้าสู่การทำงานใน Idle Mode ทันที

PD บิท 1 ถ้าบิทนี้ถูกเซตให้เป็น 1 8051 จะเข้าสู่การทำงานใน Power Down Mode

GF0, GF1 บิท 2,3 เป็น General Purpose Flag Bit บิทนี้สามารถกำหนดให้มีค่าเป็น 0 หรือ 1ได้โดยโปรแกรม เพื่อส่งผ่านสถานะการทำงานของ 8051ระหว่างแต่ละโปรแกรมย่อย

SMOD บิท 7 เป็นบิทที่ใช้ร่วมในการกำหนดอัตราการส่งข้อมูล (Baud Rate) ผ่านทางพอร์ทอนุกรม ซึ่งในการรับส่งข้อมูลผ่านทางพอร์ทอนุกรม โหมด 1 และ 3 จะสามารถกำหนดอัตราการส่งข้อมูลได้ตามอัตราการเกิด Overflow ใน Timer 1 ถ้าบิทนี้เป็น 1 จะทำให้อัตราการส่งข้อมูลเพิ่มขึ้น 2 เท่า รายละเอียดการส่งข้อมลผ่านพอร์ทอนุกรมอยู่ในข้อ 5.3

บิท 4,5,6 ไม่ได้ใช้งาน




รูปที่ 2.46 Power Down และ Idle Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Idle Mode**

ในรูปที่ 2.46 ขณะที่ 8051 ทำงานตามปกติไปจนถึงคำสั่งที่ทำให้บิท 0 ของรีจิสเตอร์ PMOD มีค่าเป็น 1 ก็จะเข้าสู่การทำงานใน Idle Mode โดยสัญญาณ IDL จะเป็น LOW(สัญญาณจะตรงข้ามกับข้อมูลในบิท 0 ขณะนี้สัญญาณนาฬิกาจากออสซิลเลเตอร์จะไม่ออกจาก AND GATE ไปยังส่วน CPU โดยจายเฉพาะส่วน Interrupt, Timer และ Seri

al Port ในขณะนี้ 8051 จะเสมือนหยุดการทำงาน โดยข้อมูลใน Staot Pointer, Program Counter, Program Status Word, Accumulator และรีจิสเตอร์อื่น ๆ จะไม่เปลี่ยนแปลงข้อมูลที่พอร์ทต่าง ๆ จะยงคงค่าเดิมไว้ เหมือนกับก่อนเข้าสู่ Idle Mode และสัญญาณ ALE กับ PSEN จะเป็นลอจิก High ขณะนี้การใช้กระแสไฟของ 8051 จะลดต่ำลงมา เนื่องจากภายใน 8051 จะไม่มีการเปลี่ยนสภานะลอจิก การที่จะออกจาก Idle Mode ทำได้ 2 วิธี

วิธีที่ 1 โดยการขัดจังหวะจากสัญญาณขัดจังหวะทั้ง 6 ที่กล่าวมาแล้วเมื่อมีสัญญาณขอขัดจังหวะจากแหล่งใดก็ตามจะทำให้บิท 0 ของรีจิสเตอร์ PCON มีค่าเป็น 0 และการทำงานของ 8051 จะออกจาก Idle Mode โดยกระโดดไปทำงานจากตำแหน่งของโปรแกรมตอบสนองของการขัดจังหวะนั้น ๆ เมื่อเสร็จสิ้นการทำงานในโปรแกรมตอบสนองการขัดจังหวะ โดยการทำงานคำสั่ง RET1 ก็จะกลับมาทำงานในคำสั่งที่อยู่ต่อจากคำสั่งที่ทำให้บิท 0 ของรีจิสเตอร์ PMOD เป็น 1 ซึ่งทำให้การทำงานเข้าสู่ Idle Mode เช่นคำสั่งที่ตำแหน่ง 2000H คือ MOV PCON # 1 H ที่เป็นคำสั่งที่ทำให้บิท IDC มีค่า 1 ดังนั้นเมื่อทำงานที่คำสั่งนี้เสร็จสิ้นก็จะหยุดการทำงานและเมื่อเกิดการขัดจังหวะเนื่องจากสัญญาณขัดจังหวะใด ๆ ก็ตาม 8051 จะออกจาก Idle Mode ไปทำงานที่โปรแกรมตอบสนองการขัดจังหวะ เมื่อเสร็จสิ้นการทำงานโปรแกรมตอบสนองการขัดจังหวะแล้วจะกระโดดมาทำงานที่ตำแหน่งของคำสั่งต่อจากคำสั่ง MOV PCON # 1H

วิธีที่ 2 ก็คือการป้อนสัญญาณที่มีสภาวะลอจิก 1 เข้าไปยังขา RST เพื่อทำการรีเซ็ท 8051 สัญญาณรีเซ็ทนี้จะต้องมีลอจิกเป็น 1 ในระหว่างนี้ 8051 จะทำงานในคำสั่งต่อจากคำสั่งที่ทำให้บิท 0 ของ PCON เป็น 1 เข้าสู่ Idle Mode ต่อไปอีก 2-3 คำสั่ง ก่อนที่ทุกอย่างจะเข้าสู่การรีเซ็ท (ดูรายละเอียดการรีเซ็ทในบทที่ 2.4.6 ) ดังนั้นจะต้องระวังคำสั่งที่อยู่ต่อจากคำสั่งที่ทำให้เข้าสู่ Idle Mode อาจทำให้ข้อมูลบนพอร์ทเปลี่ยนแปลงจนทำให้อุปกรณ์ที่มาต่อเสียหายเมื่อกลับออกจาก Idle Mode

ในวิธีที่ 1 นั้นแสดงว่าการเข้าสู่โปรแกรมตอบสนองการขัดจังหวะจะเป็นได้ 2 กรณีคือขณะที่ทำงานตามปกติแล้วมีสัญญาณขัดจังหวะก็จะกระโดดไปทำงานในโปรแกรมตอบสนองการขัดจังหวะ หรือในกรณีที่อยู่ใน Idle Mode แล้วมีสัญญาณขัดจังหวะก็จะกระโดดไปทำงานในโปรแกรมตอบสนองการขัดจังหวะ จึงอาจให้โปรแกรมกำหนดข้อมูลในบิท GF0 หรือ GF1 หรือทั้งสองเพื่อให้โปรแกรมตอบสนองการขัดจังหวะรู้ได้ว่า การเข้าสู่โปรแกรมตอบสนองการขัดจังหวะนั้นมาจากกรณีใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Power Down Mode**

ในการเข้าสู่ Power Down Mode นั้นจะทำได้โดยการใช้โปรแกรมกำหนดให้บิท PD หรือบิท 1 ของรีจิสเตอร์ PCON มีค่าเป็น 1 เช่น MOV PCON, # 2 เมื่อ 8051 ทำงานที่คำสั่งนี้เสร็จสิ้น สัญญาณ PD ในรูปที่ 2.56 จะเป็น 0 เพราะจะตรงข้ามกับข้อมูลในบิท PD ทำให้การทำงานจะเข้าสู่ Power Down Mode ทันที ในโมดนี้ออสซิลเลเตอร์จะหยุดการทำงานทำให้ไม่มีสัญญาณนาฬิกาไปยังส่วนต่าง ๆ ภายใน 8051 ดังนั้นจะไม่มีการทำงานใด ๆ รวมทั้งข้อมูลในรีจิสเตอร์ทุกตัวจะไม่เปลี่ยนแปลง และข้อมูลใน RAM ภายในก็จะไม่เปลี่ยนแปลง ขณะนี้สัญญาณออกจากขา ALE และ PSEN จะเป็น 0 การใช้กำลังไฟของ 8051 จะต่ำมาก อีกทั้งสามารถบลดไฟเลี้ยงวงจรที่ขา VCC ลงได้จนถึง 2 โวลท์ โดยไม่ทำให้ข้อมูลใด ๆ ใน 8051 สูญหายไป การออกจาก Power Down Mode ทำได้วิธีเดียวคือการป้อนสัญญาณลอจิก 1 เข้าไปยังขา RST ของ 8051 ซึ่งทำให้เข้าสู่การรีเซ็ท 8051 แต่จะทำให้ข้อมูลใน SFR เปลี่ยนแปลงไป ถ้าในขณะที่อยู่ใน Power Down Mode มีการลดไฟเลี้ยงวงจรจะต้องให้ไฟเลี้ยงวงจรกลับมาอยู่ที่ 5 โวลท์ก่อนที่จะเข้าสู่การรีเซ็ท

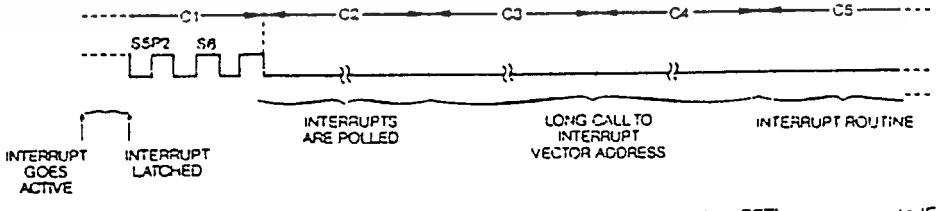
2.6 การขัดจังหวะ (Interupt )

การขัดจังหวะคือสภาวะหนึ่งที่คอมพิวเตอร์กำลังทำงานอยู่แล้วถูกขัดจังหวะด้วยสัญญาณ หรือคำสั่งพิเศษที่ทำให้คอมพิวเตอร์ต้องละจากงานที่กำลังทำอยู่ไปทำงานในโปรแกรมตอบสนองการขัดจังหวะนั้น เมื่อเสร็จแล้วก็จะกลับมาทำงานเดิมต่อไปได้ ใน 8051 จะสามารถขัจังหวะการม่างานได้ 6 แหล่ง คือ

1. INT0 , INT1 เป็น 2 ขาของ 8051 ที่จะรับสัญญาณจากภายนอก การขัดจังหวะจะเกิดขึ้นถ้าสัญญาณที่ขาดังกล่าวมีสภาวะลอจิกเป็น 0 หรือเปลี่ยนจาก 1 เป็น 0 โดยเลือกที่การกำหนดในบิท IT0 หรือ IT1 ในรีจิสเตอร์ TCON

2. TF0 , TF1 เป็นบิทหนึ่งที่จะบอกการทำงานของ Timer0 Timer1 เมื่อเกิด Overflow ขึ้นใน Timer จะทำให้บิทนี้เป็น 1 และเกิดการขัดจังหวะการทำงานของ 8051 ได้

3. TI , RI เป็น 2 บิทในรีจิสเตอร์ SCON ถ้าบิทนี้ถูก set ให้เป็น 1 โดยฮาร์ดแวร์อันเนื่องจากเสร็จสิ้นการส่ง รับข้อมูล จะสามารถทำให้เกิดการขัดจังหวะได้




รูปที่ 2.47 ไดอะแกรมเวลาของการตอบสนองการขัดจังหวะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8051 จะทำการอ่านสัญญาณจากทั้ง 6 แหล่งที่เวลา S5P2 ของทุกๆไซเคิลของเครื่องเข้ามาเก็บในช่วงของไซเคิลของเครื่องถัดไปก็จะตรวจสอบสถานะของสัญญาณทั้ง 6 ที่เก็บเข้ามา ถ้าสัญญาณนั้นมีการขัดจังหวะที่ถูกต้อง 8051 ก็จะละทิ้งการทำงานเดิมไว้ชั่วคราวแล้วสร้างคำสั่ง LCALL ขึ้นมาภายใน 8051 เพื่อไปทำงานในโปรแกรมตอบสนองการขัดจังหวะแต่ละสัญญาณนั้น เมื่อทำงานในโปรแกรมตอบสนองการขัดจังหวะเสร็จสิ้นก็จะสามารถกลับมาทำงานเดิมได้ โดยใช้คำสั่ง RETI เป็นคำสั่งสุดท้ายในโปรแกรมตอบสนองการขัดจังหวะ สัญญาณขัดจังหวะจากแต่ละแหล่งจะมีตำแหน่งหน่วยความจำที่จะเก็บโปรแกรมตอบสนองการขัดจังหวะไว้ต่างกันดังนี้

| | สัญญาณที่ขอขัดจังหวะ | ตำแหน่งเริ่มต้นโปรแกรมตอบสนองการขัดจังหวะ |
|---|---|---|
| 1. | INT0 | 0003H |
| 2. | TF0 | 000BH |
| 3. | INT1 | 0013H |
| 4. | TF1 | 001BH |
| 5. | TI,RI | 0023H |

ตำแหน่งเริ่มต้นโปรแกรมนี้เป็นตำแหน่งในโปรแกรม AREAเช่น ถ้ามีสัญญาณของ INT0 เข้ามาแล้ว 8051 ตรวจสอบว่ามีการขอขัดจังหวะถูกต้องก็จะละทิ้งการม่างานเดิมแล้วไปทำงานที่โปรแกรมตอบสนองการขัดจังหวะที่มีตำแหน่งเริ่มต้นอยู่ที่ตำแหน่ง 0003H เมื่อเสร็จสิ้นการทำงานของโปรแกรมตอบสนองการขัดจังหวะจะต้องมีคำสั่ง RTIอยู่เพื่อกลับมาสู่การทำงานเดิมได้ 8051 จะทำการตรวจสอบสัญญาณดังกล่าวว่ามีสัญญาณใดขอการขัดจังหวะมาบ้างโดยใช้วิธี Polling คือการตรวจสอบเรียงตามลำดับจาก 1,2,3,4และ5 ตามลำดับ ดังนั้นถ้ามีการขอการขัดจังหวะเข้ามาพร้อมๆกัน 8051 ซึ่งตรวจสอบการขอขัดจังหวะแบบ Polling จะพบว่าสัญญาณมีการขอขัดจังหวะจากสัญญาณต้นๆก่อนจึงตอบสนองต่อการขอขัดจังหวะของสัญญาณต้นๆก่อน อย่างไรก็ตามสามารถที่จะจัดลำดับความสำคัญของสัญญาณขัดจังหวะนี้ใหม่ เพื่อให้มีการตอบสนองการขัดจังหวะสัญญาณขอการขัดจังหวะลำดับหลังได้ โดยการโปรแกรมในรีจิสเตอร์ IP (Interupt Priority Register ) และจะสามารถกำหนดว่าจะให้ทำโปรแกรมตอบสนองการขัดจังหวะเมื่อมีสัญญาณขอขัดจังหวะเข้ามาหรือไม่ก็ได้โดยการโปรแกรมในรีจิสเตอร์ IE (Interupt Enable Register)

เมื่อ 8051 ทำการตรวจสอบสัญญาณขอการขัดจังหวะที่เก็บเข้ามาเมื่อเวลา S5P2 แล้วพบว่ามีการขัดจังนั้นแม้ว่าจะมีการ Enable ในรีจิสเตอร์ IE ถูกต้อง แต่จะต้องมีเงื่อนไขดังนี้ด้วย

1. ไม่ได้กำลังทำงานในโปรแกรมตอบสนองการขัดจังหวะของสัญญาณขัดจังหวะที่มีลำดับความสำคัญสูงกว่าหรือเท่ากัน เช่น กำลังทำงานในโปรแกรมตอบสนองการขัดจังหวะของสัญญาณ INT0 อยู่แล้วมีการขอขัดจังหวะจากสัญญาณ INT1 อีกจะไม่เกิดการทิ้งงานเดิม คือไม่มีการไปทำงานที่โปรแกรมตอบสนองการขัดจังหวะของสัญญาณ INT1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. เนื่องจากการส่งสัญญาณเข้าไปเพื่อตรวจสอบนั้นจะทำที่เวลา S5P5 ในไซเคิลสุดท้ายของคำสั่งและคำสั่งที่อยู่ถัดมาจะต้องใช้เวลาทำงาน 2 ไซเคิลของเครื่อง ดังนั้นการตรวจสอบจะกระทำในไซเคิลแรก แม้ว่าจะมีการขอการขัดจังหวะเข้ามาก็จะไม่ทำโปรแกรมตอบสนองการขัดจังหวะ จะต้องอ่านสัญญาณที่เวลา S5P2 อีกครั้งแล้วไปตรวจสอบที่ไซเคิลที่ 2 ของคำสั่ง ถ้ามีการขอการขัดจังหวะถูกต้อง จึงจะข้ามไปทำงานในโปรแกรมตอบสนองการขัดจังหวะ

3. คำสั่งที่กำลังทำงานอยู่ขณะที่ตรวจสอบสัญญาณขอขัดจังหวะจะต้องไม่ใช่คำสั่ง RET หรือคำสั่งใดๆก็ตามที่พยายามเขียนข้อมูลไปยังรีจิสเตอร์ IE หรือ IP

สัญญาณขอขัดจังหวะที่ถูกอ่านเข้าไปที่เวลา S5P2 นี้ไม่ว่าจะได้รับการตอบสนองหรือไม่ก็จะถูกทิ้งไปแล้วอ่านเข้าไปใหม่ทุกเวลา S5P2

## 2.5 องค์ประกอบของสัญญาณเทเลเทกซ์

### 2.5.1 การรวมข่าวสารและการผลิตข้อมูล

ข้อมูลข่าวสารส่วนหนึ่งถูกส่งตรงมาจากแหล่งข้อมูลอื่น ๆ โดยผ่านทางสายโทรศพท์จะถูกแปลงให้เป็นข้อมูลเดียวกันเก็บไว้ ในหน่วยความจำของคอมพิวเตอร์กลาง ซึ่งข่าวสารที่รวบรวมมานี้จะต้องเป็นข่าวสารที่ทันต่อเหตุการณ์ ดังนั้น จะต้องมีทีมข่าวที่ดี มีระบบการออนไลน์ที่ดี

### 2.5.2 การส่งข้อมูล

ข้อมูลที่พร้อมจะเผยแพร่จะถูกเปลี่ยนเป็น สัญญาณโทรทัศน์ โดยเครื่องเอ็นโค้ดเดอร์และส่งไปพร้อมกับสัญญาณโทรทัศน์ ประกอบไปด้วยเส้นจำนวนหลายร้อยเส้น แต่มีเส้นส่วนหนึ่งที่สำรองไว้สำหรับ สัญญาณเทเลเทกซ์ เทเลเทกซ์ระบบ UK จะทำการส่งข้อในช่วงแบลงค์กิ้งซึ่งเป็นช่วงที่ไม่ได้ใช้งานของสัญญาณโทรทัศน์ ซึ่งในช่วงนี้จะมีเส้นสแกนอยู่ประมาณ 16 เส้นต่อฟิลด์ ส่วนการใช้งานจะใช้เพียง 2 เส้นเท่านั้น แต่ละเส้นข้อมูลนี้จะถูกทำให้อยู่ในรูปแบบที่เหมาะสมโดยการเข้าโค้ดแบบ NRZ และมีบิตเรทประมาณ 6.9375 Mb/s รูปคลื่นของข้อมูลจะซิงโครไนซ์ เพื่อสะดวกต่อการคืนตัวบิต และไบต์ข้อมูลโดยจะประกอบไปด้วยแอดเดรสของแถวอักขระ คำสั่งควบคุมและโค้ดของอักขระของเทเลเทกซ์

รูปคลื่นของสัญญาณ จะถูกจัดให้เหมาะสมด้วยฟิลเตอร์เพื่อลดทอนการแทรกสอดของสัญญาณในเส้นทางการส่งและให้มีความคงทนต่อสัญญาณรบกวนที่ดีที่สุด

ในรูปแบบการเข้าโค้ดสัญญาณไบนารีแบบต่าง ๆ นั้น พิจารณาที่ความเร็วในการส่งและความสะดวกในการถอดรหัสแล้วเราเลือกโค้ดแบบ NRZ เนื่องจากมีบิตเรทที่สูงมาก แบนวิดธ์กว้างและมีรูปแบบที่ง่ายต่อการดีโค้ดที่เครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมีบิตเรทสูง ๆ นั้นจะทำให้มีการ Access Time ที่สั้น และจากการทดลองภาคสนามในปี 1974 พบว่าที่ความเร็วดังใช้งานอยู่นี้มีความเหมาะสมกับแบนวิดธ์ 5.5 MHz และ 5 Mhz ที่ใช้ในยุโรปบางประเทศของระบบโทรทัศน์มากที่สุด โดยเฉพาะอย่างยิ่งได้มีการปรับปรุงภาคเครื่องรับ เช่น การใช้ SAF (Surface Accoustic Filter) ซิงโครนัสดีเทคเตอร์และการปรับปรุงเครื่องถอดรหัส ทำให้ความเชื่อถือได้ของระบบมีมากขึ้น เพื่อลดทอนความผิดพลาดที่อาจเกิดจากสัญญาณรบกวนและการผิดเพี้ยนของข้อมูลแอดเดรสของอักขระและคำสั่งควบคุมจะถูกเข้าโค้ดแบบแอมมิ้งโค้ด ซึ่งจะทำการแก้ไขการผิดพลาดครั้งแรก และทำการตรวจ ข้อผิดพลาดครั้งที่ 2 ให้อีกครั้งส่วนการตรวจสอบของข้อมูลจะใช้ไบต์ของพาริตี้คี่ขนาด 128 ไบต์สำหรับโค้ดของข้อมูล 123 ตัว การใช้พาริตี้นี้เป็นรูปแบบการตรวจสอบความผิดพลาดของข้อมูบแบบง่าย ๆ ที่นำมาใช้ หากดีโค้ดข้อมูลและพบว่าพาริตี้ผิดพลาดก็จะไม่นำไบต์ของอักขระตัวนั้นไปเก็บโดยจะแทนตำแหน่งนั้นด้วยอักขระว่างเราจะใช้ วิธีเช่นนี้กับการแก้ไขข้อผิดพลาดของโค้ดอักขระ 256 ตัว ที่ใช้ในระบบเทเล-เทกซ์ และเนื่องจากระบบจะใช้การส่งข้อมูลวนเวียนกันมาดังนั้น ข้อมูลที่ถูกต้องจะถูกส่งวนมาอีกครั้ง

**2.5.3 การรับข้อมูล**

เครื่องรับโทรทัศน์ ที่สามารถรับสัญญาณเทเลเทกซ์ได้นั้นจะต้องมีเครื่องดีโคดเดอร์ซึ่งทำหน้าที่ในการแยกสัญญาณโทรทัศน์ที่เป็นส่วนของสัญญาณเทเลเทกซ์ออกจากสัญญาณภาพโทรทัศน์นอกจากนี้ดีโคดเดอร์ยังมีหน่วยความจำที่ใช้ในการเก็บข้อมูลไว้

ข้อมูลในแต่ละหน้าจะถูกส่งไปยังเครื่องรับโทรทัศน์ และวนเวียนตั้งแต่หน้าแรกไปจนถึงหน้าสุดท้าย จะวิ่งวนอยู่อย่างนี้ดวยความเร็วสูง

ในการปรากฏภาพบนจอโทรทัศน์ให้เราเห็นนั้น เกิดจากการสแกนของหลอดภาพจำนวน 25 ภาพใน 1 วินาที และในระบบ 625 เส้น โดยวิธีสแกนนั้นจะแบ่ง 1 ภาพเป็น 2 ฟิลด์ (1 FLAME : 2 FIELD) ฟิลด์ละ 625/2 = 314.5 เส้น ฟิลด์หนึ่งจะสแกนเฉพาะเส้นคี่ อีกฟิลด์หนึ่งจะสแกนเฉพาะเส้นคู่ ดังภาพ

ดังนั้นสัญญาณภาพที่สถานีส่งมาจะแบ่งเป็นเส้น ๆ โดยมีสัญญาณที่เรียกว่า สัญญาณซิงค์ทางแนวนอน (Horizontal Synchronizing : Hsync) เป็นตัวบอก มีสัญญาณซิงค์ทางแนวตั้ง (Vertical Syncronizing : Vsync) เป็นตัวบอกการสแกนแต่ละฟิลด์

ในช่วง สัญญาณเวอร์แบล้งค์กิ้งค์หรือฟิลด์แบล้งค์กิ้งค์ นั้นจะมีเส้นวาง ๆ ที่ไม่มีสัญญาณภาพอยู่ 25 เส้น เรียกว่า เส้นแบล้งค์กิ้งค์ เพื่อให้เป็นช่วงเวลาของการกลับไปเริ่มต้นฟิลด์ใหม่ของหลอดภาพ

**ลักษณะของสัญญาณเทเลเทกซ์**

ในช่วงเส้นแบลงกิ้ง 25 เส้น (line) คือช่วงเส้นที่ 625.5 ถึง 22.5 ของฟิลด์แรก และเส้นที่ 311 ถึง 335 ของฟิลด์หลัง เราสามารถใส่สัญญาณใด ๆ ได้ทุกเส้นแต่เส้นที่เหมาะสมที่สุดคือ เส้นที่ 7-22 และ 320-335 ซึ่งสัญญาณที่ทำการใส่ลงไปนี้จะเป็นสัญญาณ ทางดิจิตอลเกิดจากการเข้ารหัสของข้อมูลซึ่งในหนึ่งเส้นสามารถทำการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรจุข้อมูลได้ถึง 45 ไบต์ หรือ 360 บิต ขนาดข้อมูล 45 ไบต์นี้ จะใช้ในการแสดงผลในหนึ่งบรรทัดของจอภาพ และในหนึ่งจอภาพจะมีข้อมูลอยู่ 24 บรรทัด (0-23) ซึ่งเรากำหนดเป็นหนึ่งหน้าข้อมูล (page) ซึ่งในระบบของเทเลเทกซ์แล้วจะทำการส่งข้อมูลเป็นแม็กกาซีน (magazine) และแม็กกาซีนอาจมีตั้งแต่ 1-8 แม็กกาซีน และภายในหนึ่งแม็กกาซีนอาจมีจำนวนหน้าหลายหน้าด้วยกันเช่น 00-99 (ของ ททบ. 5)

ในการที่จะนำข้อมูลใส่ลงไปในสัญญาณเทเลเทกซ์ ขึ้นอยู่กับความสามารถของเครื่องส่งกับเครื่องรับ และระบบเทเลเทกซ์ของแต่ละสถานีโทรทัศน์ ถึงแม้ว่าเส้นที่ใช้ในการสง คือ ส่งที่ 7-22 และ 320-335 แต่เส้นที่ดีที่สุดในการส่งก็คือ เส้นที่ 17-18 และเส้นที่ 330-331 ดังนั้นถ้าใช้เส้นในการส่งมากเท่าใด โอกาสที่จะส่งข้อมูลผิดพลาดก็จะมีมากขึ้น แต่ถ้าทำการส่งเฉพาะเส้นที่ 17-18 และ 330-331 ในการส่งข้อมูลให้ครบหนึ่งแม็กกาซีนก็จะใช้เวลานานมากเพราะการส่งสัญญาณจะเป็น 50 ฟิลด์/วินาทีคงที่ และถ้าหากใช้ 2 เส้น ก็จะส่งข้อมูลได้ 100 บรรทัดต่อวินาที ถ้าข้อมูลมีหลายเส้นผู้ชมก็จะต้องรอรับข้อมูลนาน ดังนั้นการเลือกจำนวนเส้นในการส่งข้อมูลก็จะขึ้นอยู่กับจำนวนข้อมูลที่จะทำการส่งด้วย

ในส่วนของประเทศไทยนั้น สถานีโทรทัศน์กองทัพบกช่อง 5 ได้ทำการส่งสัญญาณเทเลเทกซ์โดยมีชื่อว่าอาร์เทกซ์ (Armtext) โดยมีจำนวนข่าวสาร 8 แม็กกาซีน โดยมีแม็กาซีนละ 100 หน้าคือส่งตั้งแต่ 100-899 และใช้เส้นในการส่ง 8 เส้นต่อฟิลด์ โดยใช้เส้นที่ 11-16 และ 19-20 ในกรณีของฟิลด์ที่ 1 ส่วนในกรณีของฟิลด์ที่ 2 จะใช้เส้นที่ 324-329 และ 330-331 และในเส้นที่ 17-18 และ 330-331 ทางสถานีจะใช้ในการส่งสัญญาณทดสอบ และในปัจจุบันนี้ทาง ททบ. 5 ได้ทำการส่งข้อมูลเพิ่มขึ้นอีกหนึ่งเส้นคือเส้นที่ 21 (332) ทำให้การรับข้อมูลมีความเร็วเพิ่มขึ้นอีกระดับหนึ่ง

**สัญญาณเทเลเทกซ์**

ในหัวข้อนี้เราจะมากล่าวถึงสัญญาณเทเลเทกซ์ โดยเมื่อทางเครื่องส่งได้ทำการส่งสัญญาณเทเลเทกซ์มา ในทางเครื่องรับจะต้องทำการดีโคดเอาสัญญาณนั้นออกมา ซึ่งลักษณะของสัญญาณก็จะมีดังต่อไปนี้

1) ในการส่งสัญญาณเทเลเทกซ์นั้นจะส่งรวมมากับสัญญาณโทรทัศน์ แต่สัญญาณเทเลเทกซ์นั้นจะเป็นสัญญาณแบบดิจิตอล (Digital Signal) ซึ่งเป็นข้อมูลอนุกรมในลักษณะของสัญญาณซิงโคนัส (Synchronous Serial Data Signal) โดยมีสัญญาณลอจิก 1 เท่ากับ 66% ของระดับขาว หรือระดับสูงสุดของสัญญาณภาพ และระดับลอจิก 0 เท่ากับ ระดับดำ หรือระดับต่ำสุดของสัญญาณภาพ

2 ) เส้นสแกน (scan line) ซึ่งมความถี่เท่ากับ 15625 Hz หรือมีคาบเวลา 64 ไมโครวินาที แต่เราใช้สัญญาณเทเลเทกซ์ที่มีคาบเวลาเท่ากับ 52 ไมโครวินาที ดังนั้นจึงมีข้อมูลทั้งหมด 45 ไบต์ หรือ 360 บิตต่อเส้น อัตราการส่งข้อมูลจึงเป็น 6.9375 เมกะบิตหรือ 1 บิตมีค่าเท่ากับ 144 นาโนวินาที

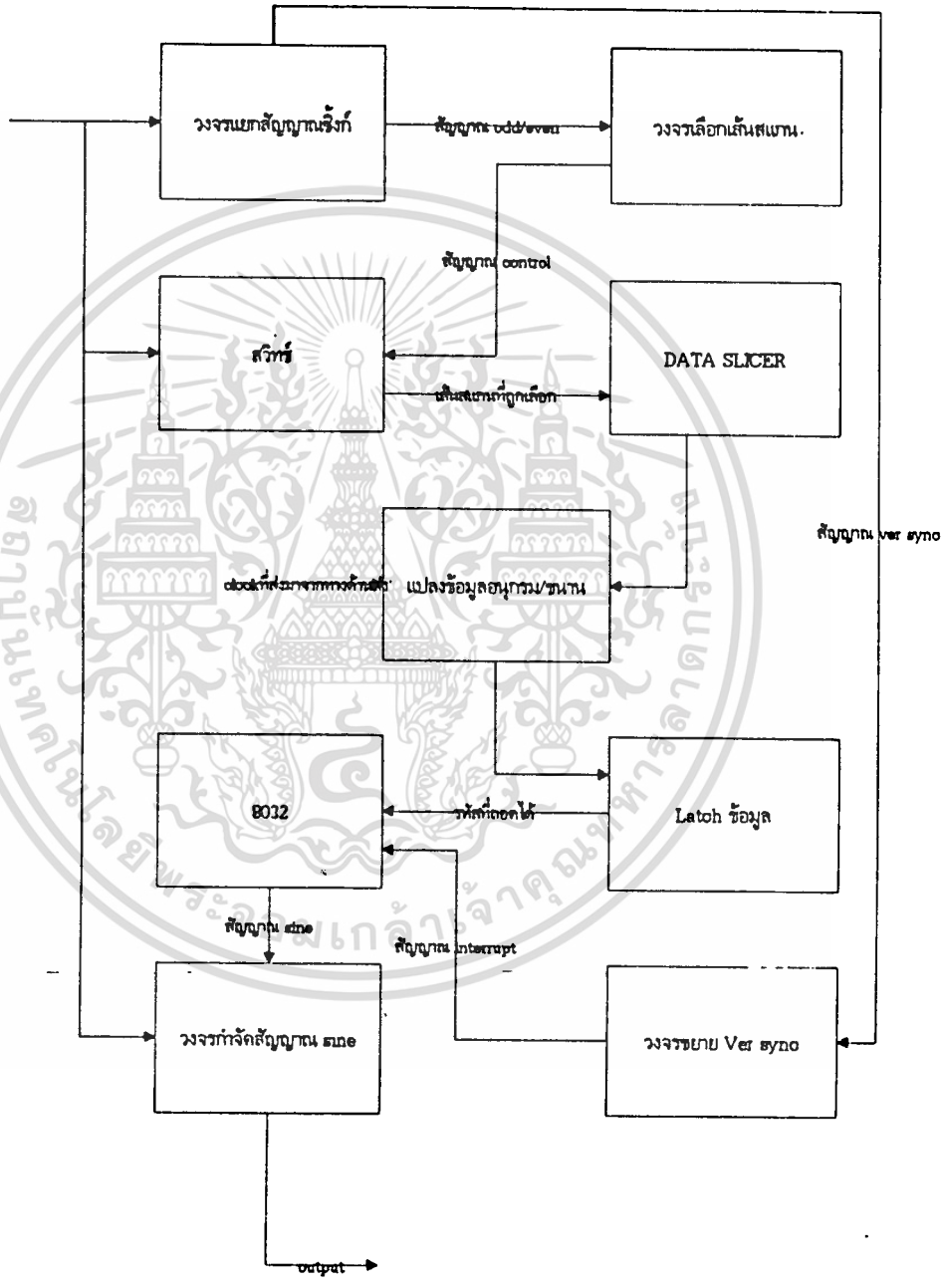
3) รูปร่างของสัญญาณเทเลเทกซ์ ในการส่งสัญญาณเทเลเทกซ์ รวมมากับสัญญาณโทรทัศน์ ซึ่งจะทำให้สัญญาณเทเลเทกซ์มีความเพี้ยนเกิดขึ้น มีรูปร่างคล้ายกับสัญญาณ Sine Wave ดังนั้นเราจึงต้องมีการปรับแต่งสัญญาณให้กลับคืนมาอยู่ในลักษณะเช่นเดิม คือในลักษณะของสัญญาณดิจิตอล (Digital) ดังรูป

4 ) ข้อมูลหนึ่งเส้นซึ่งมีอยู่ด้วยกัน 45 ไบต์จะแทนข้อมูลในหนึ่งบรรทัดและจะมีข้อมูลเป็นมาตราฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

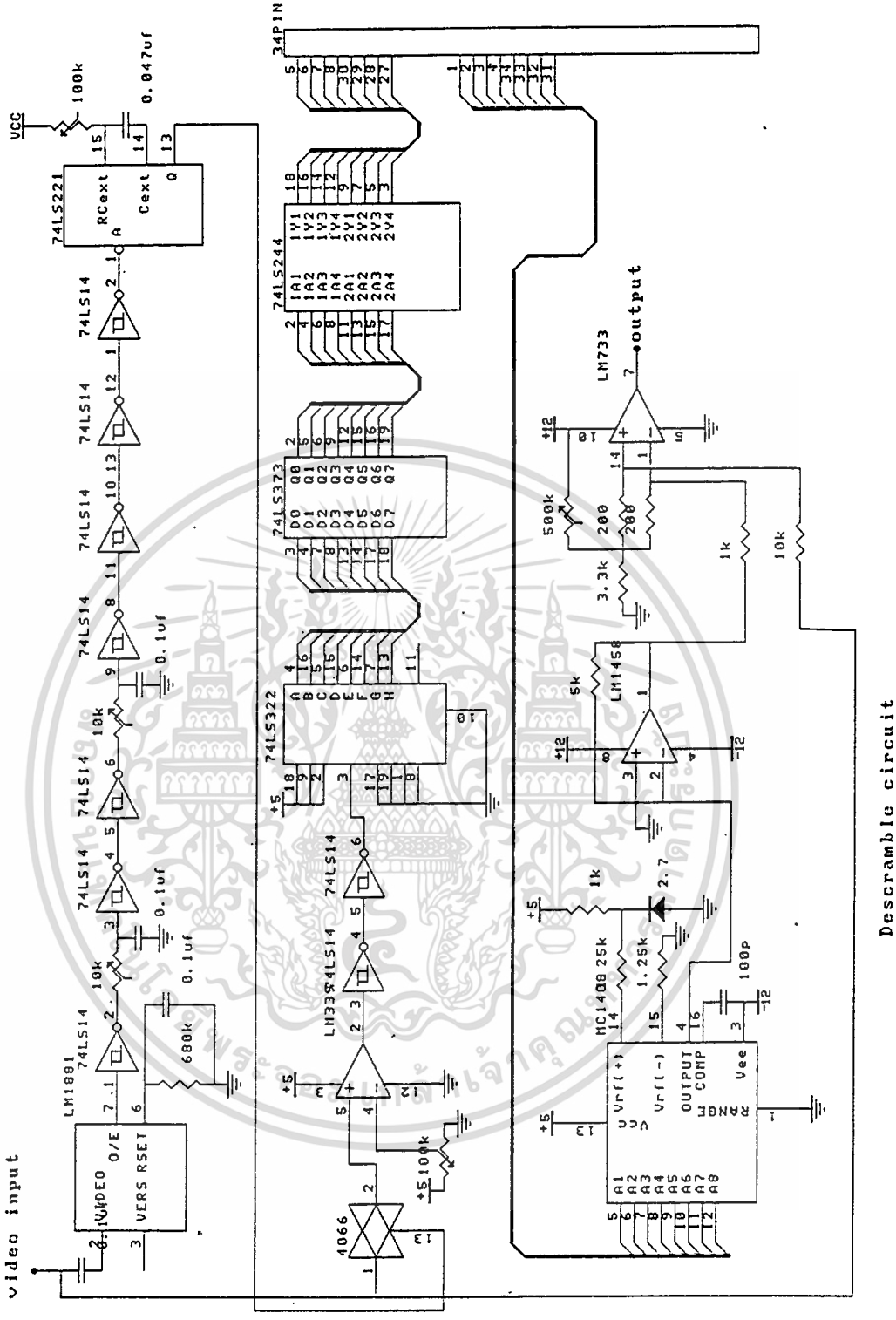
# บทที่ 3
# โครงสร้างและการทำงานของวงจร

เพื่อให้การทำความเข้าใจในการทำงานง่ายขึ้น ในส่วนนี้เราจะกล่าวถึงวงจรที่ใช้งานจริงในการทำโครงงานนี้ ซึ่งมีโครงสร้างของวงจรสามารถแสดงเป็นบล็อคไดอะแกรมได้ดังนี้รูปที่ 3.1




รูปที่ 3.1 บล็อกไดอะแกรมของวงจรทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.2 วงจรรวมของดีสแกรมเบิล

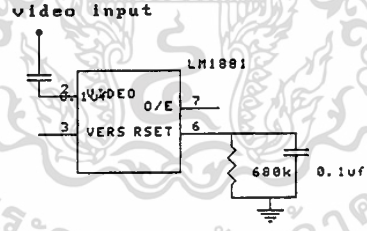
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโครงสร้างของวงจรทั้งหมดของวงจรดีสแกรมเบิลจะประกอบด้วยวงจรส่วนต่างๆดังนี้

1. วงจรแยกสัญญาณซิงซิ้งก์ (Vedio Sync Seperate)
2. วงจรเลือกเส้นสแกน (Line Selector)
3. วงจรแปลงข้อมูลอนุกรมเป็นขนาน (Serial to Parallel)
4. วงจรทำข้อมูลให้ชัดเจน (Data Slicer)
5. วงจรสร้างสัญญาณอินเตอร์รัพต์
6. วงจร D/A
7. วงจรกำจัดสัญญาณไซน์

**1. วงจรแยกสัญญาณซิงก์ (Vedio Sync Separate)**

ในการแยกสัญญาณส่วนประกอบต่างๆของสัญญาณภาพนั้น เราเลือกใช้ LM 1881 ซึ่งมีคุณสมบัติพิเศษ สามารถแยกส่วนประกอบต่างๆในสัญญาณภาพได้ทั้งระบบ NTSC และระบบ PAL และสามารถแยกได้หลายเอาท์พุทในเวลาเดียวกัน สิ่งที่เราจะได้จากตัวแยกสัญญาณ LM 1881 นี้ ได้แก่ สัญญาณ Composite sync, Vertical sync, Odd/Even signal ซึ่งในการทำโครงงานครั้งนี้เราจะใช้เพียงสัญญาณ Vertical sync ซึ่งนำมาใช้ในการสร้างสัญญาณอินเตอร์รัพต์ และสัญญาณ Odd/Even ซึ่งใช้เป็นส่วนสำคัญในการเลือกเส้นสแกนของสัญญาณภาพ เนื่องจากเราไม่ได้ส่งรหัส (Code) มากับทุกเส้นสแกน

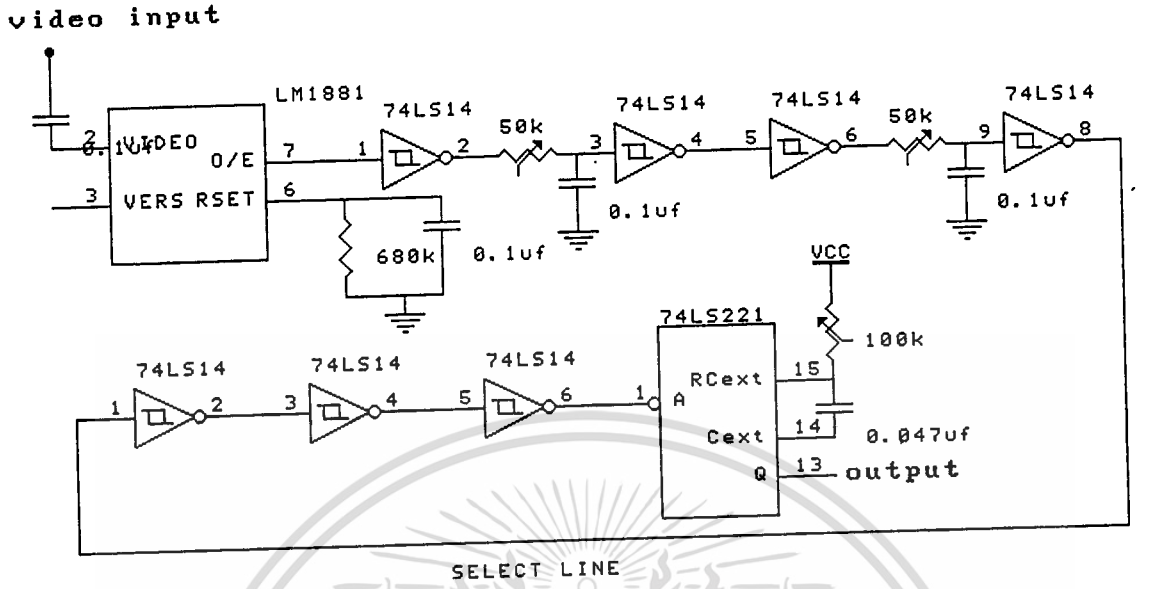



รูปที่ 3.3 วงจรแยกสัญญาณซิงก์

**2. วงจรเลือกเส้นสแกน (Line selector)**

ในการเลือกเส้นสแกนของสัญญาณภาพเราจะใช้สัญญาณ Odd/Even ไปผ่านวงจรดีเลย์ไลน์เพื่อให้ได้พัลส์ในช่วงเส้นสแกนที่ต้องการ แล้วนำไปผ่านวงจรโมโนสเตเบิ้ลเพื่อกำหนดขนาดความกว้างของพัลส์ให้ได้ 50 $\mu s$ เพื่อที่จะนำสัญญาณนี้ไปเป็นสัญญาณเปิดสวิตช์ MC 14066 เพื่อให้สัญญาณภาพในช่วงที่ต้องการผ่านสวิตช์ออกไปยังวงจรถอดรหัส

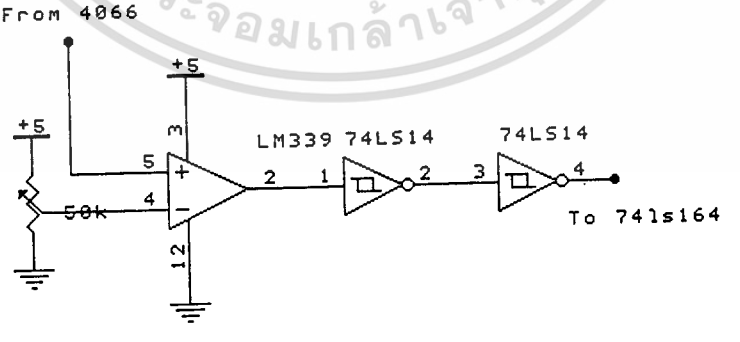
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.4 วงจรเลือกเส้นสแกน

**3. วงจรทำข้อมูลให้ชัดเจน (Data slicer)**

เนื่องจากข้อมูลที่ผ่านสวิตช์ออกมาอาจจะมีความผิดเพี้ยนได้ ดังนั้นจึงต้องมีวงจรเพื่อทำให้ข้อมูลนั้นชัดเจนขึ้น ซึ่งเราใช้ LM 339 ทำหน้าที่เป็นวงจรเปรียบเทียบ (comparator) เปรียบเทียบข้อมูลที่เข้ามากับศักย์ไฟฟ้าอ้างอิง (voltage reference) ซึ่งตั้งระดับอ้างอิงไว้ที่ 5V ถ้ารหัสที่เข้ามาต่ำกว่า 5Vเอาท์พุทที่ได้จะเป็น 0 ถ้ารหัสที่เข้ามาสูงกว่าหรือเท่ากับ 5V เอาท์พุทจะเป็น 1

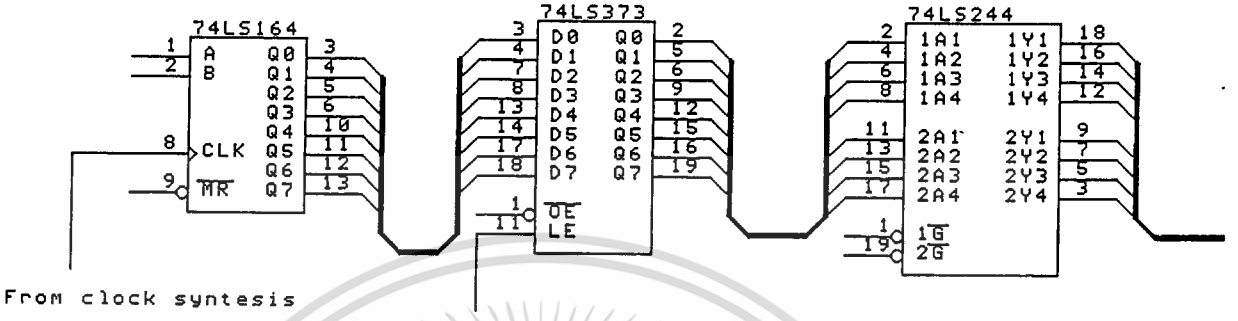



รูปที่ 3.5 วงจรทำข้อมูลให้ชัดเจน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4. วงจรแปลงข้อมูลจากอนุกรมเป็นขนาน (series to parallel)**

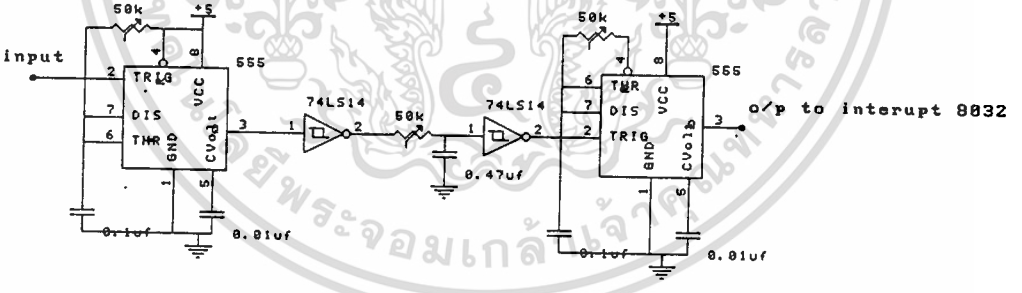
วงจรนี้จะใช้แปลงรหัส 8 บิทหรือรหัสที่ได้จากการแยกออกจากสัญญาณภาพ ให้เป็นข้อมูลแบบขนานเพื่อป้อนให้กับไมโครคอลโทรลเลอร์ 8032 ซึ่งนำไปใช้ในการสร้าวสัญญาณไซน์ความถี่ต่างๆ ตามรหัสที่รับเข้ามา ในที่นี้ เราใช้ IC 74LS164 ซึ่งมีคุณสมบัติในการเปลี่ยนข้อมูลอนุกรมเป็นขนาน




รูปที่ 3.6 วงจรแปลงข้อมูลจากอนุกรมเป็นขนาน

**5. วงจรสร้างสัญญาณอินเตอร์รัพต์**

วงจรนี้ใช้ในการสร้างสัญญาณเพื่อใช้ในการอินเตอร์รัพต์ของ 8032 โดยจะนำเอาสัญญาณเวอร์ติคอลซิงค์จากวงจรแยกสัญญาณซิงค์ผ่านวงจรดีเลย์ และผ่านวงจรโมโนสเตเบิล เพื่อขยายขนาดของวงจรเวอร์ติคอลให้เท่ากับช่วงที่เราต้องการจะทำการอินเตอร์รัพต์สัญญาณ




รูปที่ 3.7 วงจรสร้างสัญญาณอินเตอร์รัพท์

**6. วงจร D/A (Digital to Analog Converter)**

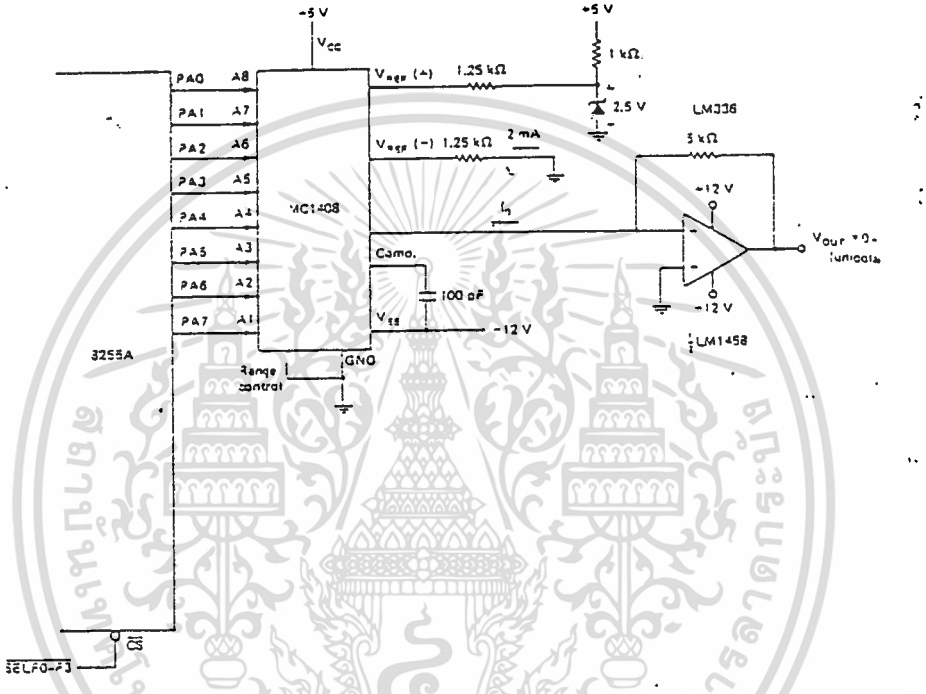
D/A คอนเวอร์เตอร์หรือเรียกย่อๆว่าตัว DAC เป็นตัวแปลงรหัสเลขฐานสองจากคอมพิวเตอร์หรือจากวงจรดิจิตอลใดๆให้กลายเป็นแรงดันอนาลอกที่มีความสัมพันธ์กับระบบเลขฐานสอง

สัญญาณในระบบไฟฟ้ามีสัญญาณพื้นฐานอยู่สองแบบ คือสัญญาณดิจิตอลและสัญญาณอนาลอก สัญญาณอนาลอกหมายถึง สัญญาณที่มีค่าการเปลี่ยนแปลงต่อเนื่อง แต่สัญญาณดิจิตอลเป็นสัญญาณที่มีระดับการเปลี่ยนแปลงของสัญญาณ 2 ระดับเท่านั้น ซึ่งสัญญาณสองระดับนี้เรากำหนดให้เป็น 0 และ 1 ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของสัญญาณไบนารี ซึ่งมีการใช้งานในระบบของไมโครโปรเซสเซอร์ ดังนั้นหากเราต้องการนำไมโครโปรเซสเซอร์ไปต่อกันอุปกรณ์ที่ใช้สัญญาณอนาลอกจำเป็นจะต้องมีการเปลี่ยนสัญญาณจากดิจิตอลเป็นอนาลอก ( Digital to Analog conversion DAC) และการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Anolog to Digital Conversion ADC) เพื่อให้ไมโครโปรเซสเซอร์สามารถต่อเข้ากับอุปกรณ์ที่รับ และส่งข้อมูลแบบอนาลอกได้

การส่งข้อมูลของสัญญาณดิจิตอลจากไมโครโปรเซสเซอร์ให้กับอุปกรณ์ทำหน้าที่เปลี่ยนสัญญาณดิจิตอลนั้น เราใช้การส่งข้อมูลออกไปที่พอร์ทแบบขนานดังแสดงในรูป

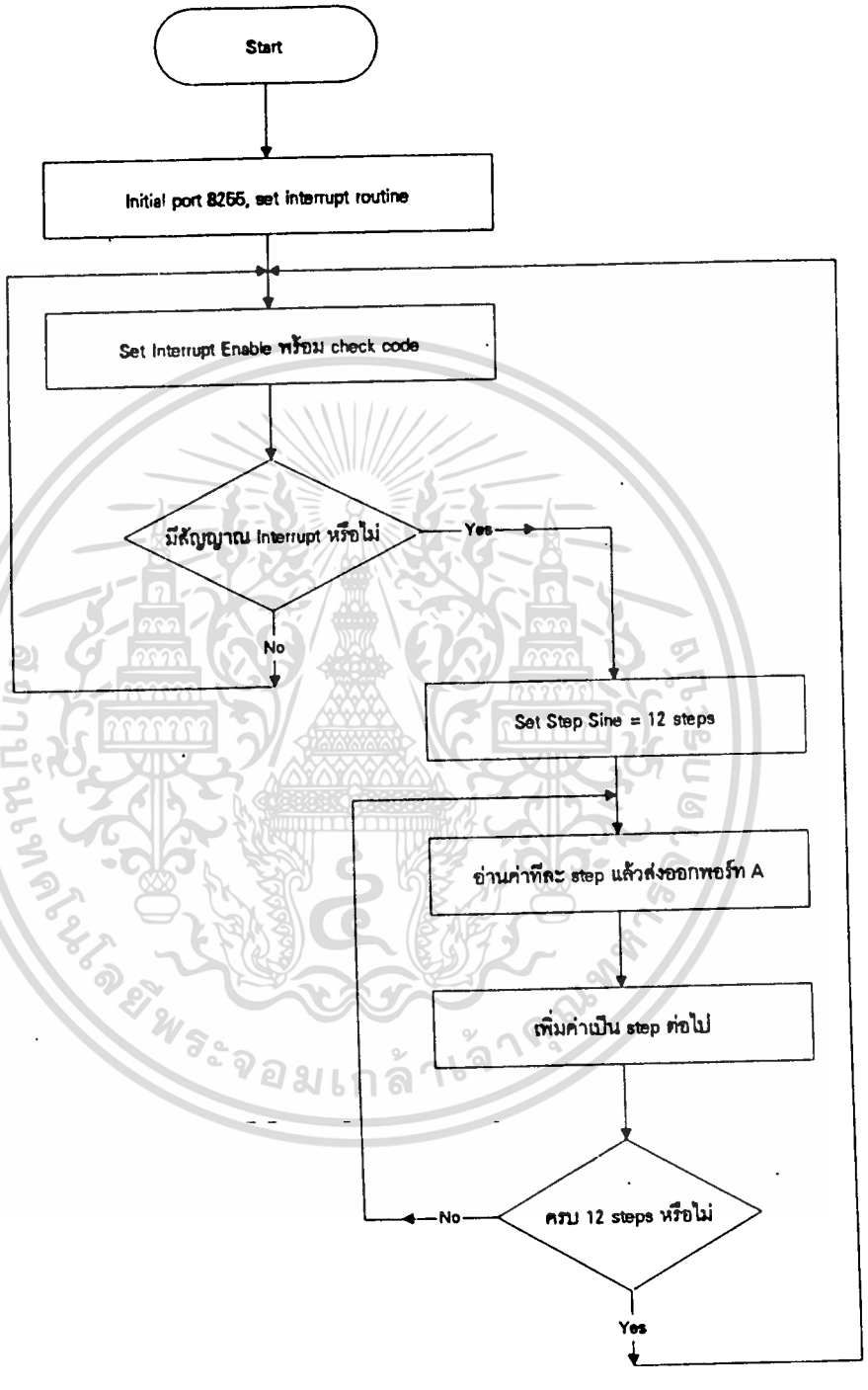



รูปที่ 3.8 แสดงไดอะแกรมของการต่อซีพียูกับ DAC

หลักการเบื้องต้นของการเปลี่ยนแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกนั้นเราอาศัยหลักการง่ายๆ คือ ระดับของแรงดันอนาลอกที่เกิดขึ้น จะต้องมีค่าเท่ากับตำแหน่งของเลขฐานสองที่คิดตามความสำคัญของบิท เช่นบิท 0 จะมีแรงดันเท่ากับ 2

การใช้งานจริงนั้น วงจรสำหรับเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณอนาลอกจะถูกรวมอยู่ในอุปกรณ์ตัวเดียวกัน เช่น เบอร์ MC 1408 ใช้สำหรับเปลี่ยนสัญญาณดิจิตอลขนาด 8 บิท เป็นสัญญาณอนาลอก ซึ่งเราสามารถปรับค่าแรงดันอ้างอิงให้ได้ MC 1408 จะให้เอาท์พุทอยู่ในช่วงประมาณ 0-2 mA โดยจะมี Opamp เบอร์ MC 1458 ทำหน้าที่เปลี่ยนแปลงกระแสเป็นแรงดัน (current to voltage converter) เพื่อให้ได้แรงดันเอาท์พุทอยู่ในช่วง 0-5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 3.9 โฟลชาร์ทการทำงานของโปแกรม**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## โปรแกรมสำหรับการดีสแกรม

```
        ORG     0000H
        ;SET PORT

CTRL    EQU     0E023H
PORTC   EQU     0E022H

        ;SET INTERUPT INT0

        ORG     0000H
        LJMP    INIT        ; ไปที่ส่วนโปรแกรม initial port 8255

        ORG     0003H
        LJMP    LOOP        ; ไปที่ส่วนโปรแกรมตอบสนองการอินเตอร์รัพท์

        ORG     0030H
        ;MAIN INITIAL PORT
INIT    :MOV    DPTR,#CTRL      ; initial port 8255
        MOV     A,#82H
        MOVX    @DPTR,A
        CLR     A

        ;SET PORT A AND PORT B

MAIN:   MOV     P2,#0E0H
        MOV     R0,#0E0H
        MOV     R1,#0E1H
        MOV     IE,#81H         ; ENABLE INTERUPT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV     DPTR,#0150H     ; ชี้ตำแหน่งเก็บรหัส
        MOV     A,@R1           ; รับรหัสเข้ามาทาง port B
        MOVC    A,@A+DPTR       ; เก็บค่าข้อมูลไว้ใน A
        CJNE    A,#85H,W1       ; เปรียบเทียบข้อมูลใน A กับ 85H ถ้าเท่า
                                  กับให้ส่งเอาท์พุทออก port C ถ้าไม่เท่า
                                  กับก็ให้กระโดดไปที่ w1
        MOV     A,#0F0H
        MOV     DPTR,#PORTC
        MOVX    @DPTR,A
W1:     LJMP    MAIN            ; กระโดดไปโปรแกรม MAIN

        ORG     0070H           ; โปรแกรมตอบสนองการอินเตอร์รัพท์

        ;GENERATE SINEWAVE 12 STEP

LOOP;   PUSH    00H
        PUSH    01H
        MOVX    A,@R1           ; รับรหัสจาก port B
        MOV     DPTR,#0150H
        MOVC    A,@A+DPTR
        MOV     B,A
        CJNE    A,#98H,N1       ; เปรียบเทียบข้อมูลใน A กับ 98H ถ้าเท่า
                                  กับ 98H ให้ลอจิก 0 ออก port C และ
                                  ออกจากโปรแกรมตอบสนองการอิน
                                  เตอร์รัพท์ ถ้าไม่เท่ากับ 98H ให้ไปที่ N1
        MOV     A,#00H
        MOV     DPTR,#PORTC
        MOVX    @DPTR,A
        LJMP    Q1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
N1:     MOV     R2,#0CH
        MOV     DPTR,#TABLE-1
SINE:   INC     DPTR            ; โปรแกรมสร้างสัญญาณ sine
        MOVX    A,@DPTR
        MOVX    @R0,A
        MOV     R3,B
DEL1:   DJNZ    R3,DEL1
        DJNZ    R2,SINE
        MOV     A,#0DH
Y0:     MOV     R4,#01H
        MOV     R5,#0FFH
Y1:     DJNZ    R5,Y1
        DJNZ    R4,Y0
Q1:     POP     01H
        POP     00H
        RETI

TABLE:  DB      1AH,26H,30H     ; ตารางแสดงค่าสัญญาณไซน์ 12 steps
        DB      33H,30H,26H
        DB      1AH,0DH,03H
        DB      00H,03H,0DH
        ORG     0150H

CODE_DET: DB    00H,00H,00H,85H,00H,00H     ; รหัสที่เก็บไว้
          DB    C0H,B5H,B0H,00H,00H
          DB    98H,00H
          END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ส่วนของโปรแกรมควบคุมการสร้างสัญญาณไซน์ของวงจร Descrumble ประกอบด้วย 3 ส่วนคือ**

- ส่วน Initial พอร์ทของ 8255 โดยใช้พอร์ท A เป็นเอาท์พุทพอร์ท พอร์ท B เป็นอินพุทพอร์ทและพอร์ท C เป็นเอาท์พุทพอร์ท

- ส่วน Main เป็นการเซ็ทอินเตอร์รัพต์อีนาเบิ้ล อินเตอร์รัพต์เวกเตอร์ และเช็คค่าโค้ดที่รับเข้ามาถ้าเท่ากับ 85H ให้ส่งโลจิก1 ไปออกพอร์ท C (4บิทบน) เพื่อเป็นสัญญาณไปควบคุมรีเลย์ดพื่อให้มีการปล่อยสัญญาณอินเตอร์รัพท์ให้แก่ ซีพียู 8032

- ส่วนของโปรแกรมตอบสนองการอินเตอร์รัพท์ เมื่อมีสัญญาณอินเตอร์รัพท์ป้อนเข้ามา INT0 ของ 8032 จะกระโดดไปยังโปรแกรมตอบสนองการอินเตอร์รัพท์ภายใน โปรแกรมจะทำการเช็ครหัสที่รับมาอีกครั้งว่าเท่ากับ 98H หรือไม่ ถ้าเท่ากับ 98H หมายความว่าทางด้านส่งยังไม่ได้ทำการสแกรมสัญญาณภาพมา ก็ให้ออกจากโปรแกรมอินเตอร์รัพท์เข้าสู่โปแกรมหลัก แต่ถ้าไม่เท่ากับ 98H ให้ทำการสร้างสัญญาณไซน์ตามความถี่ที่ทางด้านส่งส่งรหัสมา เมื่อสร้างสัญญาณครบ 1 ลูก ซีพียูจะออกจากโปรแกรมตอบสนองการอินเตอร์รัพท์กลับเข้าสู่โปแกรมหลัก เมื่อโปแกรมทำการตรวจพบสัญญาณอินเตอร์รัพท์ก็จะกระโดดไปสร้างสัญญาณไซน์ โปรแกรมจะทำงานเช่นนี้ไปเรื่อยๆตามใดที่เครื่องดีสแกรมนี้ทำงานอยู่

**การคำนวณความถี่ของสัญญาณไซน์**

การคำนวณความถี่ของสัญญาณไซน์ คำนวณจากส่วนของโปรแกรมสร้างสัญญาณไซน์คือ

| | | | | |
|---|---|---|---|---|
| N1: | MOV | R2,#0CH | PERIOD | 12T |
| | MOV | DPTR,#TABLE-1 | " | 24T |
| SINE: | INC | DPRT | " | 24T |
| | MOVX | A,@DPTR | " | 24T |
| | MOVX | @R0,A | " | 24T |
| | MOV | R3,B | " | 12T |
| DEL1: | DJNZ | R3,DEL1 | " | 24T |
| | DJNZ | R2,SINE | " | 24 |

ซึ่งเราจะนำคาบเวลา (PERIOD) ของส่วนโปรแกรมสร้างสัญญารไซน์เท่านั้นมาใช้ในการคำนวณคือ จาก SINE ถึงคำสั่งสุดท้าย เช่น ถ้าต้องการสร้างสัญญาณไซน์ความถี่ 1 kHz

1 kHz จะมีคาบเวลาท่ากับ 1 ms และสัญยาณไซน์หนึ่งรอบประกอบด้วย 12 ขั้น (step) เพราะฉนั้นแต่ละขั้นจะใช้เวลาเท่ากับ 1ms/12 step = 83.33$\mu$s ดังนั้นการสร้างสัญญาณไซน์ 1 step ความถี่ 1 kHz จะต้องใช้เวลาเท่ากับ 83.33$\mu$S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$83.33\mu S = [108 + ( 24 * x )] / 12 \text{ Mhz}$$

$$x = 37.165$$

ดังนั้นช่วงหน่วงเวลาที่ใช้คือ 25H

แต่ขอบเขตจำกัดของโปรแกรมนี้สามารถสร้างความถี่ได้ในช่วง 160 Hz ถึง 9 kHz เนื่องจากถ้าใช้การหน่วงเวลาต่ำสุด (00H) จะได้ความถี่ 9.259 kHz และถ้าใช้ค่าหน่วงเวลาสูงสุด (FFH) จะได้ความถี่ 160.59 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

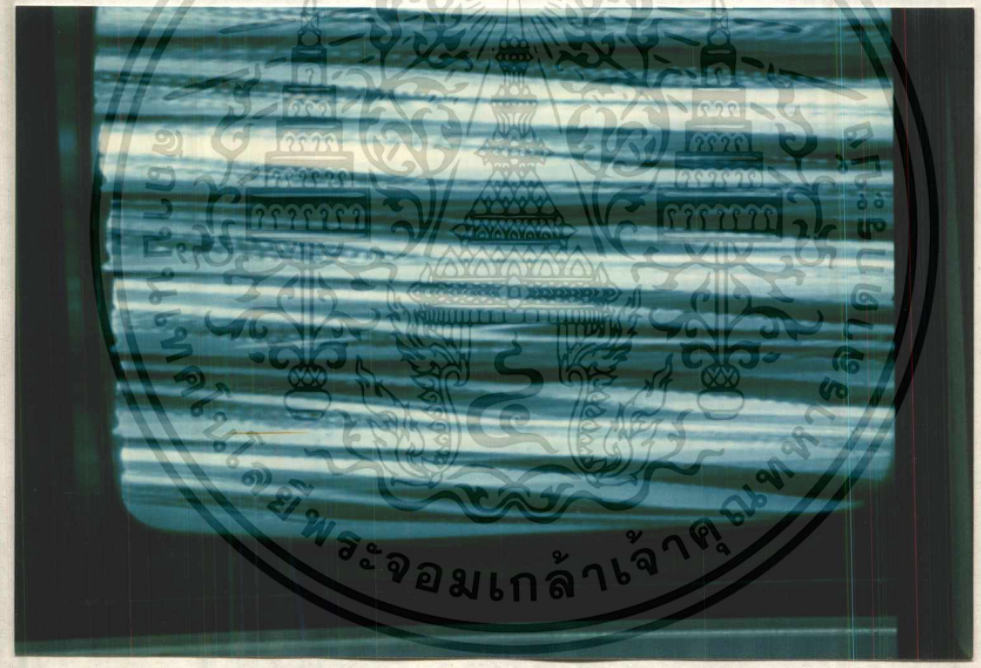
# บทที่ 4

# การทดลองและผลการทดลอง

ส่วนประกอบของวงจรดีสแกรมเบิ้ลมีทั้ง ฮาร์ดแวร์และซอร์ฟแวร์ ซึ่งในบทนี้จะกล่าวถึงการทดลองและผลการทดสอบการทำงานของวงจรแต่ละภาค จะแบ่งการทดลองและผลการทดสอบเป็นภาคๆดังนี้

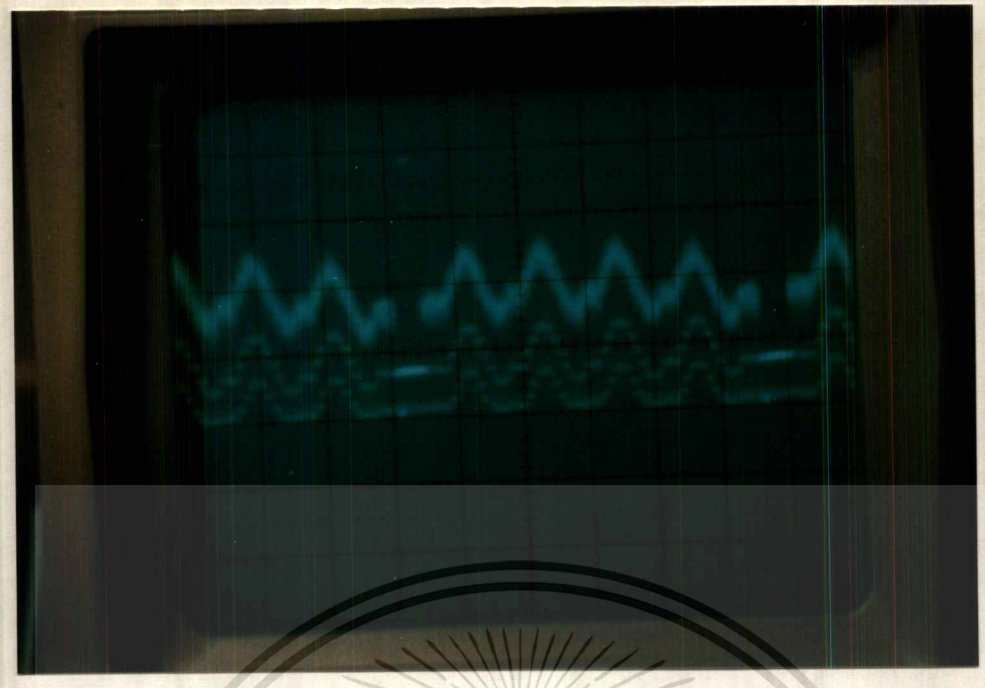
**วงจรแยกสัญญาณซิ้งก์**

เมื่อป้อนสัญญาณภาพซึ่งส่งมาจากทางด้านส่งเข้าไปยังอินพุทของวงจรแยกสัญญาณซิ้งก์ซึ่งประกอบด้วยสัญญาณ composite sync,odd/even,versync ,reset และ burst แต่สัญญาณที่เราจะนำมาใช้คือสัญญาณ versync และ odd/even ซึ่งแสดงดังรูป

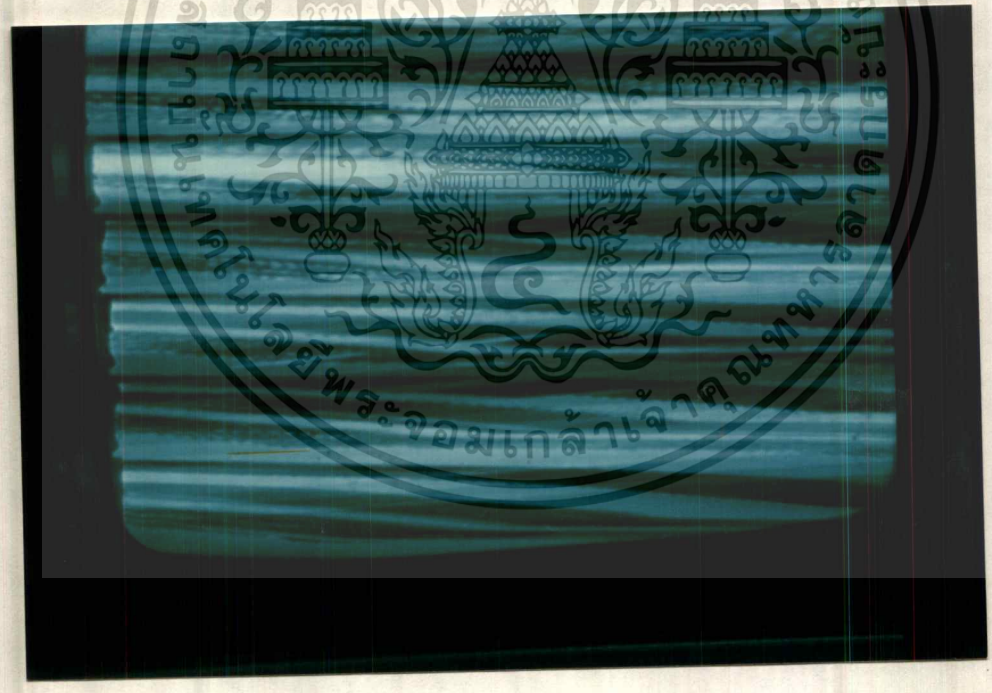


a) สัญญาณภาพที่ถูกสแกรม จาก monitor รหัสที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

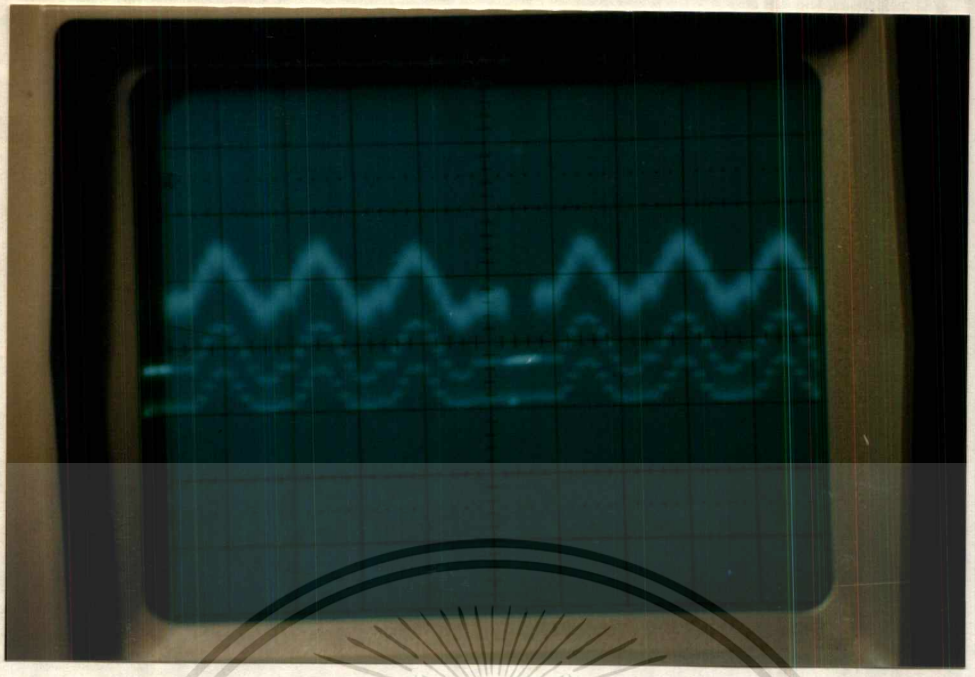


b)สัญญาณภาพที่ถูกสแกรม จาก oscilloscope รหัสที่ 1

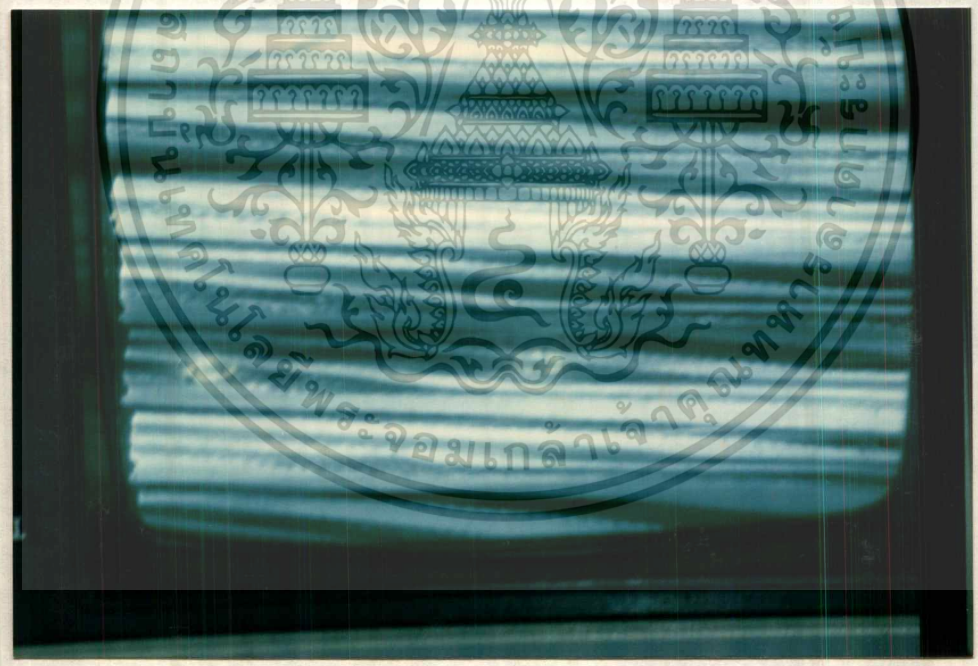


c) สัญญาณภาพที่ถูกสแกรม จาก monitor รหัสที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

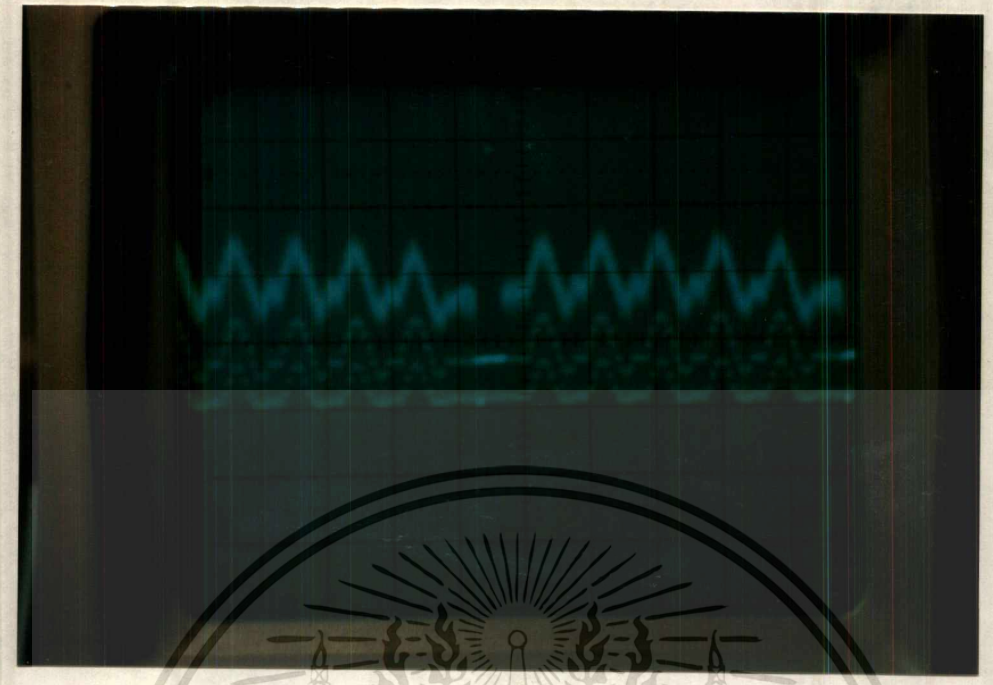


d) สัญญาณภาพที่ถูกสแกรม จาก osoillator รหัสที่ 2



e) สัญญาณที่ถูกสแกรม จาก monitor รหัสที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

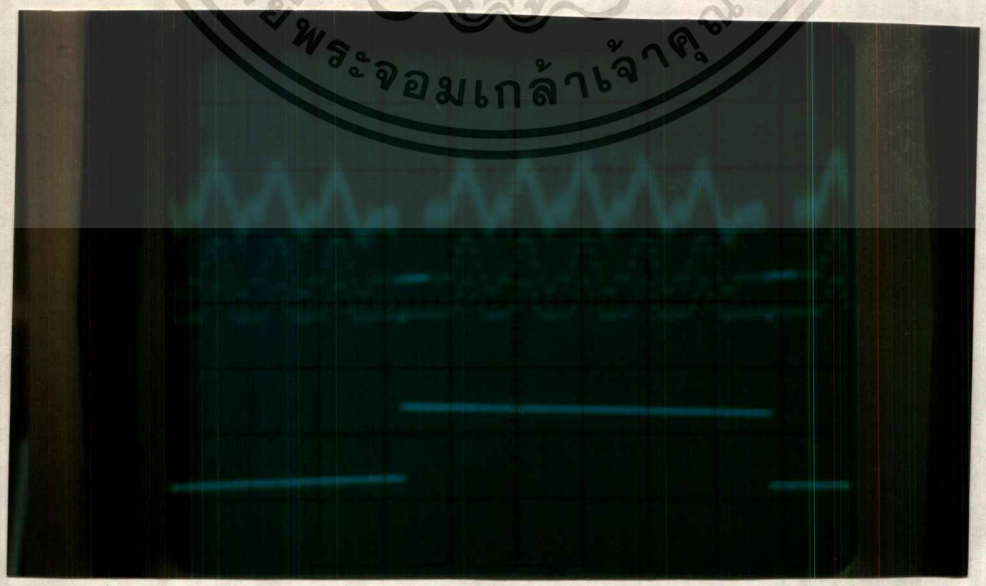


f) สัญญาณที่ถูกสแกรม จาก oscillator รหัสที่ 3

รูปที่ 4.1 สัญญาณภาพที่ถูกสแกรมรหัสต่างๆ

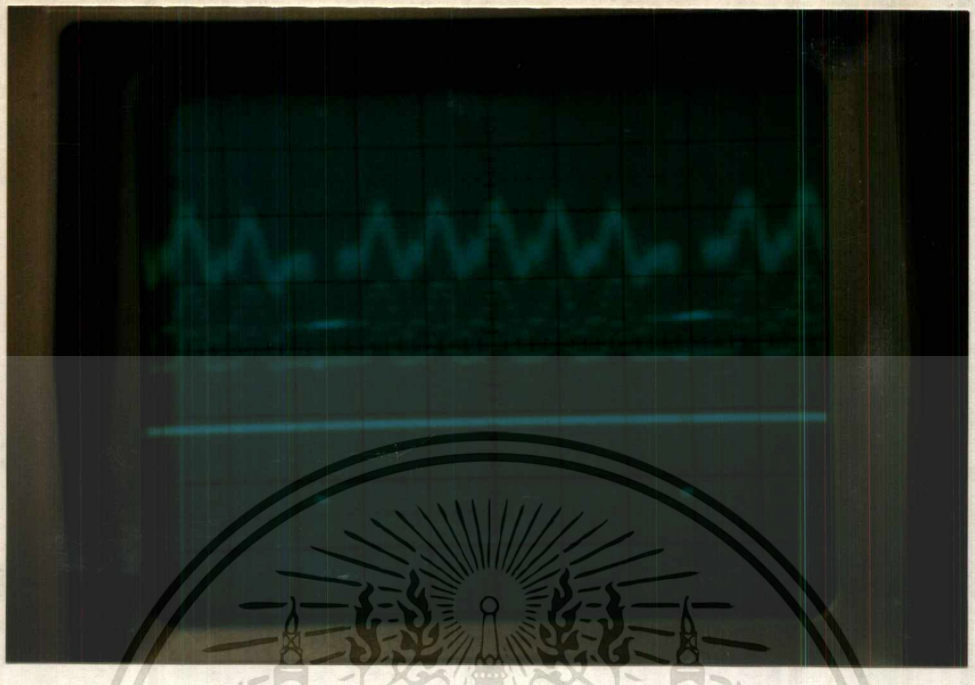
**วงจรเลือกเส้นสแกน**

จากสัญญาณ odd/even ที่ได้จากภาคแยกสัญญาณซิงก์จะป้อนเข้าภาคเลือกเส้นสแกน ซึ่งนำไปผ่านวงจรโมโนสเตเบิ้ล (monostable) และดีเลย์ (delay) เอาท์พุทที่ออกมาจะมีลักษณะดังรูป ซึ่งสัญญาณที่ได้จะนำไปใช้เป็นสัญญาณควบคุม (control) ให้แก่สวิทช์ 4066 ทำให้สัญญาณภาพเส้นสแกนที่เราเลือกผ่านสวิทช์ออกไป สัญญาณภาพที่เลือกออกมานี้จะมีส่วนของรหัส (code) ที่ทางด้านส่งส่งมาด้วยดังรูป

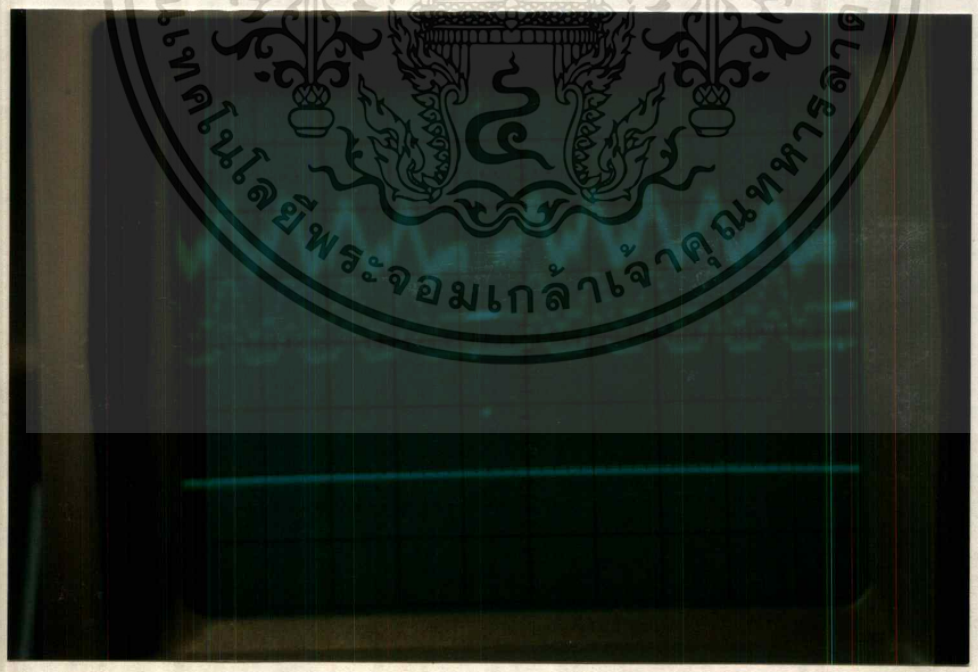


รูปที่ 4.2 สัญญาณภาพที่ถูกสแกรมเทียบกับสัญญาณ odd/even

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

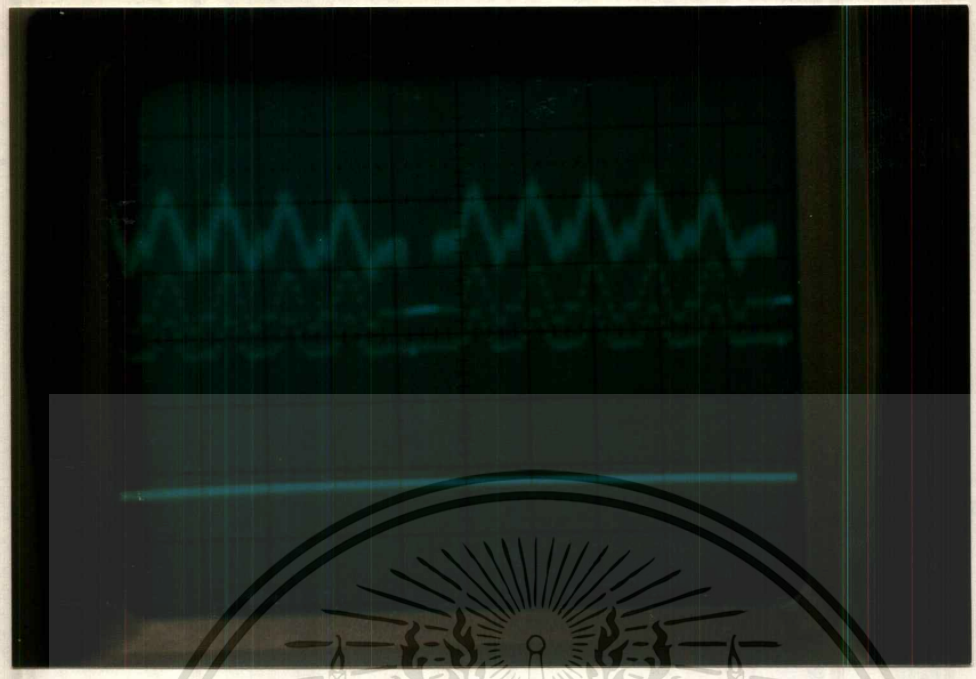


รูปที่ 4.3 สัญญาณภาพที่ถูกสแกรมเทียบกับสัญญาณ versymo



รูปที่ 4.4 สัญญาณภาพที่ถูกสแกรมเทียบกับสัญญาณควบคุม

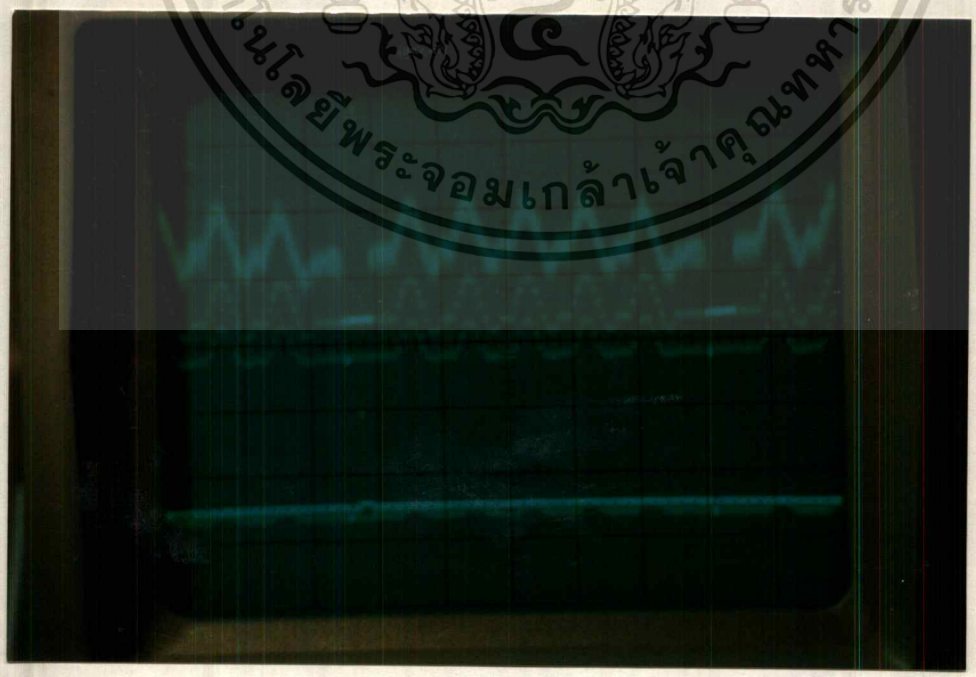
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 สัญญาณภาพที่ถูกสแกรมเทียบกับเส้นสแกนที่เลือก

**วงจรคอมแพเรเตอร์ (comparator)**

สัญญาณซึ่งมีรหัสอยู่ด้วยนั้นจะถูกส่เข้าวงจร comparator เพื่อให้รหัสที่ได้รับมามีความแน่ชัดและถูกต้องมากขึ้น เอาท์พุทที่ได้แสดงดังรูป



รูปที่ 4.6 สัญญาณภาพที่ถูกสแกรมเทียบกับเอาท์พุทจาก LM339

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**วงจรแปลงข้อมูลอนุกรมเป็นขนาน**

สัญญาณจากวงจร comparator ซึ่งเป็นรหัสอนุกรม เมื่อป้อนเข้าวงจรแปลงข้อมูลอนุกรมเป็นขนานจะได้เอาท์พุทออกมาเป็นแรงดันซึ่งประกอบด้วยรหัส 8 บิท แรงดันของแต่ละบิทจะออกมาตามรหัสที่ส่งมาจากด้านส่ง เนื่องจากรหัสที่ด้านส่งส่งมานั้นไม่ได้ส่งมาทุกฟิลด์ ดังนั้นจึงต้องมีการแลทช์ข้อมูลไว้โดยใช้ไอซี 74 LS373 ข้อมูลที่ได้จะถูกส่งเข้าพอร์ท B ของ 8255 เพื่อให้ซีพียู 8032 นำรหัสไปใช้ในการกำหนดการหน่วงเวลา (delay time) ในแต่ละขั้น(step) ของการสร้างสัญญาณไซน์จะทำให้สัญญาณไซน์ความถี่แตกต่างกันตามรหัสที่ได้รับ

**วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก**

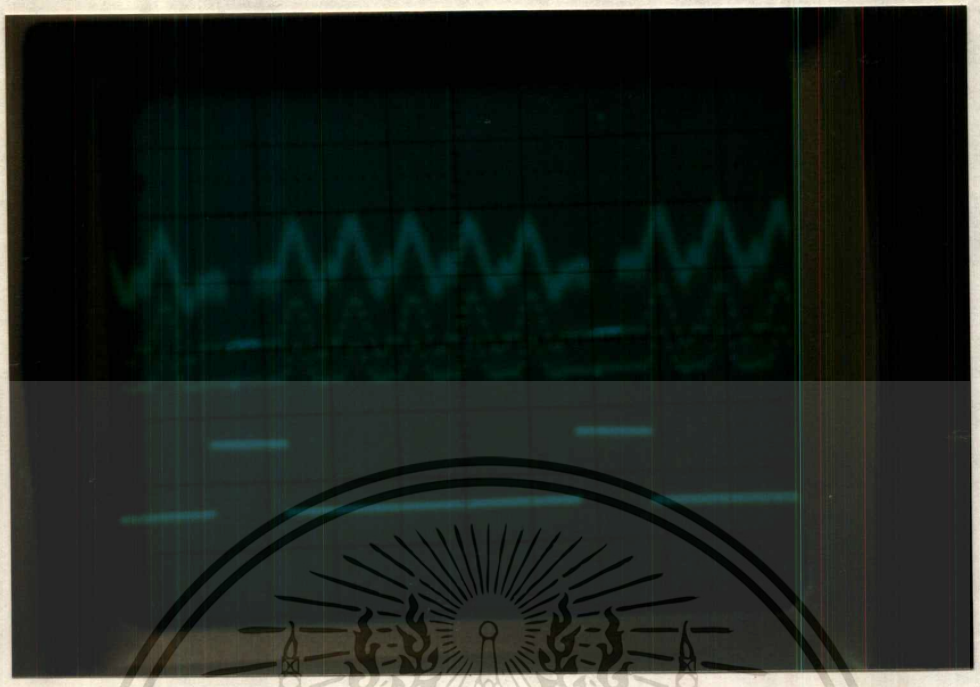
สัญญาณไซน์ที่สร้างโดยไมโครคอนโทลเลอร์จะถูกส่งออกทางพอร์ท A ของ 8255 ซึ่งสัญญาณที่ออกมาจะเป็นสัญญาณดิจิตอล ดังนั้นเมื่อนำมาผ่านวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก สัญญาณไซน์ที่ได้ออกมาจึงมีลักษณะเป็นสัญญาณอนาลอก ดังรูป

รูปที่ 4.5 สัญญาณไซน์จากวงจรแปลงดิจิตอลเป็นอนาลอก

**วงจรสร้างสัญญาณอินเตอร์รัพท์**

จากสัญญาณ versync ที่ได้จากภาคแยกสัญญาณซิ้งก์ นำไปป้อนเข้าวงจรสร้างสัญญาณอินเตอร์รัพท์ซึ่งจะได้สัญญาณเอาท์พุทออกมาดังรูป สัญญาณนี้จะนำไปป้อนเข้าขาอินเตอร์รัพท์ของ 8032

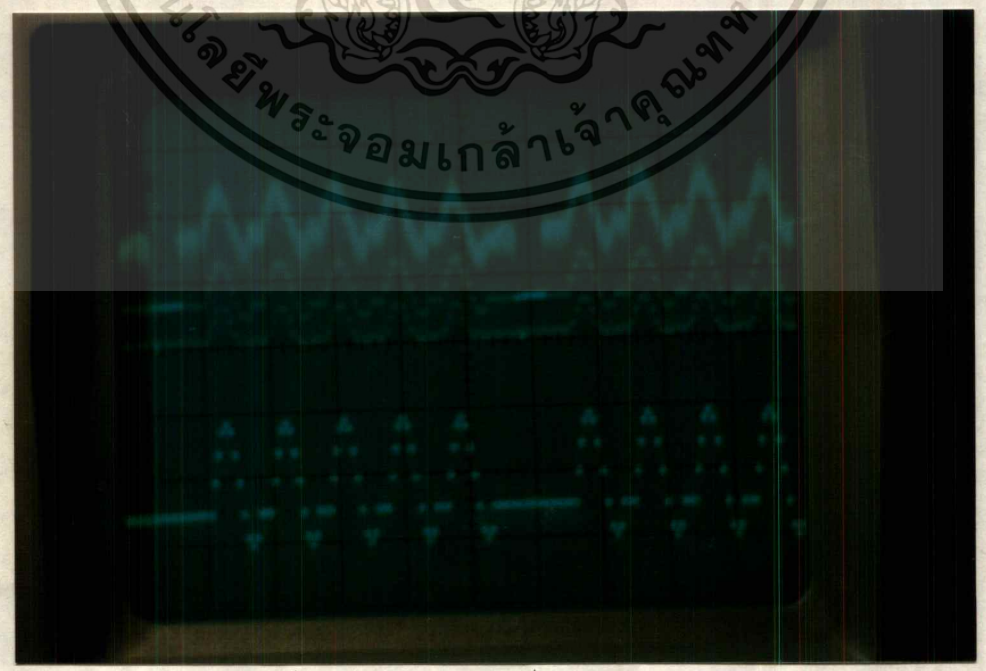
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 สัญญาณภาพที่ถูกสแกรมเทียบกับสัญญาณอินเตอร์รัพท์

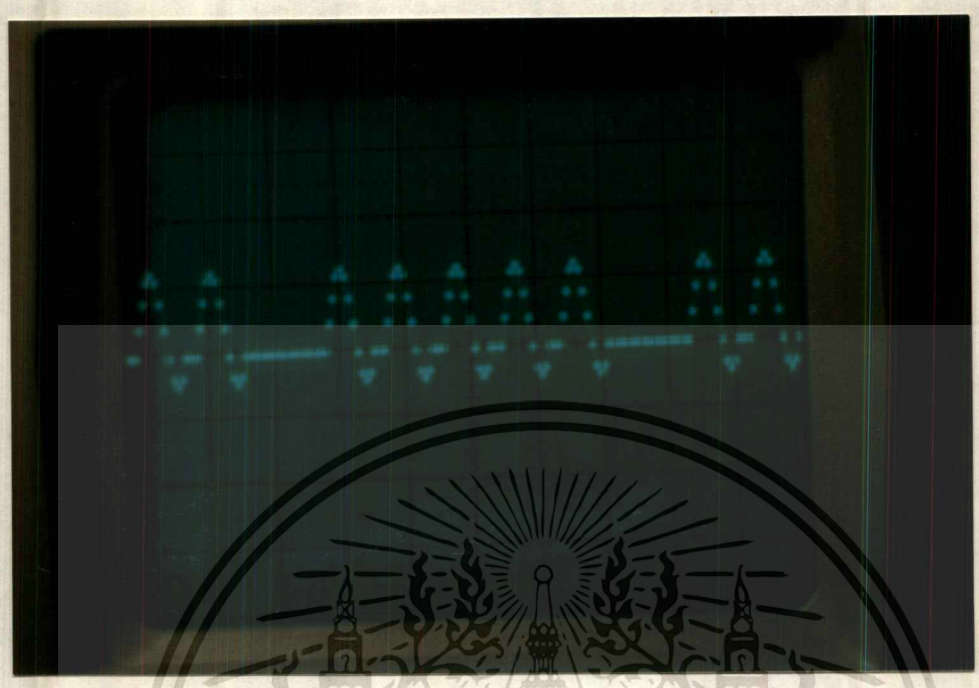
**วงจรกำจัดสัญญาณไซน์**

เมื่อทำการป้อนสัญญาณอินพุทสองสัญญาณคือสัญญาณภาพและสัญญาณไซน์ เข้าไปยังวงจรกำจัดสัญญาณไซน์ เอาท์พุทที่ได้จะแสดงดังรูป ซึ่งจะเห็นว่าสัญญาณไซน์ที่ปนมากับสัญญาณภาพจะถูกกำจัดออกไปคงเหลือแต่สัญญาณภาพดังรูป

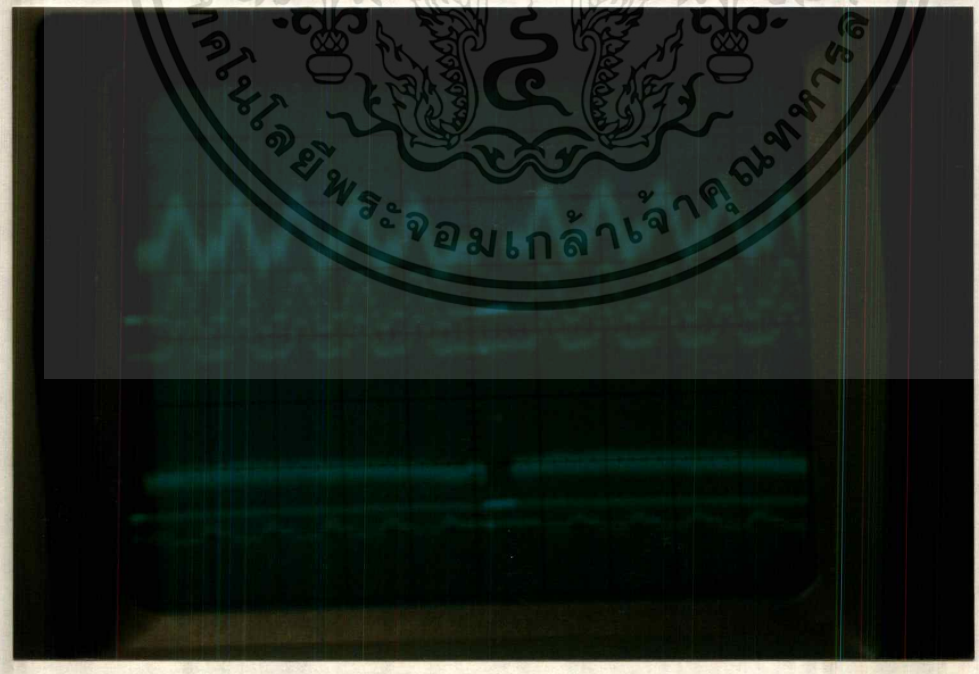


รูปที่ 4.7 รูปสัญญาณภาพที่ถูกสแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

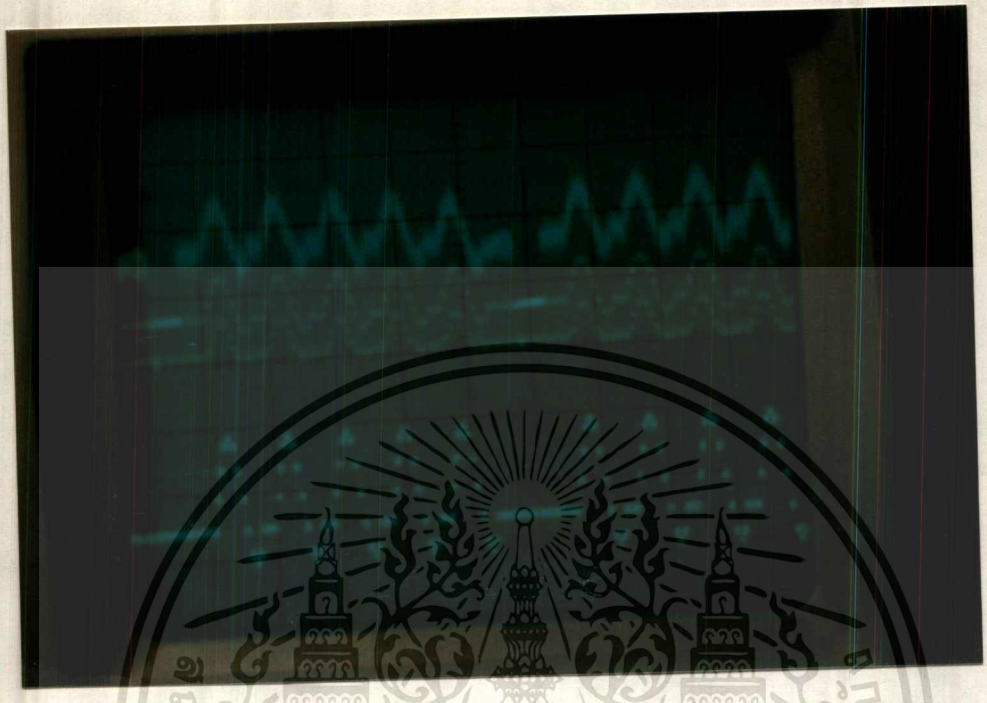


รูปที่ 4.8 สัญญาณไซน์ที่สร้างขึ้น



รูปที่ 4.9 เอาท์พุทของวงจรกำจัดไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 สัญญาณภาพที่ถูกสแกรม

a) สัญญาณจากเอาท์พุทของวงจรดีสแกรมรหัสที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

b) สัญญาณเอาท์พุทจากวงจรดีสแกรมรหัสที่ 2

c) สัญญาณเอาท์พุทจากวงจรดีสแกรมรหัสที่ 3

รูปที่ 4.11 สัญญาณเอาท์พุทจากวงจรดีสแกรมเบิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# บทสรุปและแนวทางในการพัฒนา

**บทสรุป**

ระบบการถอดรหัสสัญญาณภาพ(video descramble) ในปริญญานิพนธ์ฉบับนี้ เพื่อศึกษาถึงระบบการถอดรหัสแบบอนาลอก ซึ่งเป็นระบบที่ประยุกต์ใช้งานจากระบบอนาลอกธรรมดาโดยใช้ไมโครคอนโทรลเลอร์สร้างสัญญาณไซน์ โดยสามารถกำหนดความถี่จากรหัสที่รับเข้ามาโดยที่เครื่องรับจะรับสัญญาณที่เข้ารหัสแล้วมาแยกรหัสที่ส่งมากับสัญญาณภาพแล้วแปลงค่ารหัสที่เหมาะสมป้อนให้ไมโครคอนโทรลเลอร์เพื่อสร้างสัญญาณไซน์ตามค่ารหัสที่แปลงมา ส่งเข้าวงจรกำจัดสัญญาณไซน์ โดยนำสัญญาณไซน์ที่สร้างขึ้นมาใหม่ป้อนเข้าไปเพื่อหักล้างกับสัญญาณไซน์ที่เข้ารหัสมาจะได้สัญญาณภาพกลับคืนมาดังเดิม

จากที่ได้ทำการศึกษาและทดลองสร้างวงจรถอดรหัสสัญญาณภาพ การทำงานขณะรับสัญญาณที่เข้ารหัสเพื่อถอดรหัสที่ใช้ในการควบคุมไมโครคอนโทรลเลอร์จะมีการทำงานไม่ค่อยจะแน่นอน เนื่องจากการสร้างสัญญาณนาฬิกา(clock) ที่ป้อนให้กับวงจรถอดรหัสต้องสัมพันกับทางด้านส่ง จึงสามารถถอดรหัสได้แน่นอน ดังนั้นในการทดลองจึงใช้การส่งสัญญาณนาฬิกามาจากทางด้านส่งซึ่งจะทำให้สัญญาณนาฬิกาทางด้านส่งและทางด้านรับสัมพันธ์กันวงจรถอดรหัสจึงสามารถทำงานได้และให้ผลการทดลองในระดับที่พอใจระดับหนึ่ง

**ปัญหาและแนวทางการแก้ไข**

ในระหว่างการทำปริญญานิพนธ์ เกิดปัญหาและอุปสรรคขึ้นซึ่งทางผู้จัดทำได้ทำการรวบรวมปัญหาและแนวทางการแก้ไขปัญหาที่เกิดขึ้นเอาไว้พอสังเขปดังนี้

-ปัญหาที่เกิดจากวงจรแยกสัญญาณซิ้งค์ สัญญาณที่ป้อนเข้ามาต้องมีขนาดแรงดันที่สูงกว่า 2 โวลท์ จึงจะสามารถแยกสัญญาณ vertsync และสัญญาณ odd/even ได้

แนวทางการแก้ไขปัญหานี้ ต้องมีการปรับปรุงขนาดของสัญญาณที่เข้ารหัสแล้วให้มีแรงดันเกิน 2 โวลท์ โดยใช้วงจรขยายสัญญาณภาพ

-ปัญหาที่เกิดจากวงจรหน่วงสัญญาณ(delay) เนื่องจากสัญญาณที่ปรับค่าไว้แล้วไม่คงที่ เมื่อเปิดเครื่องใหม่แล้วสัญญาณจะคลาดเคลื่อนไปจากตำแหน่งเดิม

แนวทางในการแก้ไขปัญหานี้ เกิดจากค่า R เกือกม้าปรับค่าได้มีคุณภาพต่ำไม่สามารถคงค่าที่ปรับแต่งไว้ได้ จึงจำเป็นต้องเลือก R เกือกม้าที่มีคุณภาพดีมาใช้ในการปรับค่า

-ปัญหาที่เกิดจากวงจรแปลงข้อมูล จากอนุกรมเป็นขนานจะมีการทำงานไม่คงที่ ทำให้การแปลงข้อมูลออกมาที่เอาท์พุทมีระดับแรงดันไม่คงที่

แนวทางในการแก้ไขปัญหานี้ ต้องทำให้สัญญาณนาฬิกาทางด้านส่งและด้านรับสัมพันธ์กัน ซึ่งควรนำเอาวงจร เฟสลอคลูปมาใช้เพื่อให้ได้สัญญาณนาฬิกาที่เที่ยงตรง

-ปัญหาที่เกิดจากแหล่งจ่ายไฟกระแสตรง เนื่องจากการใช้หม้อแปลงแบบแกน EI จะมีสัญญาณรบกวนที่เกิดจากไมโครคอนโทรลเลอร์มากวนวงจรทำให้การสร้างสัญญาณไซน์เกิดการเพี้ยนอย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนวทางในการแก้ไขปัญหานี้ เปลี่ยนหม้อแปลงจากแกน EI เป็นแกนเทอร์รอยด์ เพื่อลดการรบกวนที่เกิดจากไมโครคอลโทรลเลอร์

**แนวทางในการพัฒนา**

เนื่องจากปริญญานิพนธ์นี้สร้างขึ้นเพื่อใช้งานเพียงโหมดเดียวคือ การถอดรหัสสัญญาณภาพที่ผสมสัญญาณไซน์ ดังนั้นในการพัฒนาทางด้านส่งอาจจะเพิ่มโหมดการทำงานขึ้นเป็น เพิ่มรูปแบบสัญญาณที่ใช้ผสม เช่น สัญญาณสามเหลี่ยม สัญญาณสี่เหลี่ยม หรืออาจจะเปลี่ยนจากระบบอนาลอกเป็นระบบดิจิตอลก็ได้ และสำหรับปริญญานิพนธ์นี้สร้างไว้สำหรับความถี่ 3 ความถี่ ซึ่งสามารถจะเพิ่มจำนวนความถี่ขึ้นได้อีก แต่ก็มีข้อจำกัดสำหรับความถี่ของสัญญาณไซน์ที่สร้างโดยไมโครคอนโทรลเลอร์ ซึ่งขณะนี้สามารถสร้างได้ 1-5 กิโลเฮิร์ตเท่านั้น จึงควรพัฒนาในด้านโปรแกรมให้สามารถสร้างความถี่ที่สูงมากกว่านี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

ขอขอบพระคุณอาจารย์ สมยศ จุณณะปิยะ ที่ให้คำแนะนำและเป็นที่ปรึกษา ตลอดจน
เพื่อนๆ ทุกคนที่ช่วยให้ข้อมูลในการทำปริญญานิพนธ์ฉบับนี้

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เอกสารอ้างอิง


[ 1. ] Video scrambling and Descrambling for Satellite and cable TV ของ Rudoft F. Graft and Willian Sheets

[ 2. ] World Satellite TV and Scrambling Methods the Technicians Handbook 2nd Edition ของ Frank Baylin , Richard Maddos and Jonh Mccormac

[ 3. ] เทคโนโลยีโทรทัศน์ ของ เจน สดสมพันธ์ และ นิคม อนันต์ทิพย์ , เอดิสันเพรสโปรดักส์ จำกัด

[ 4. ] วารสารเซมิคอนดัคเตอร์อีเล็กทรอนิกส์ ฉบับที่ 102 ( เดือนตุลาคม - พฤศจิกายน 2533 ) หน้า 245 - 252

[ 5 ] การใช้งานไมโครคอนโทรลเลอร์ตระกูล MCS - 51 ของ สุนทรวิฑูรสุรพจน์ , บริษัทเอ๊ัช เอ็นกรุ๊ป จำกัด พ. ศ. 2537

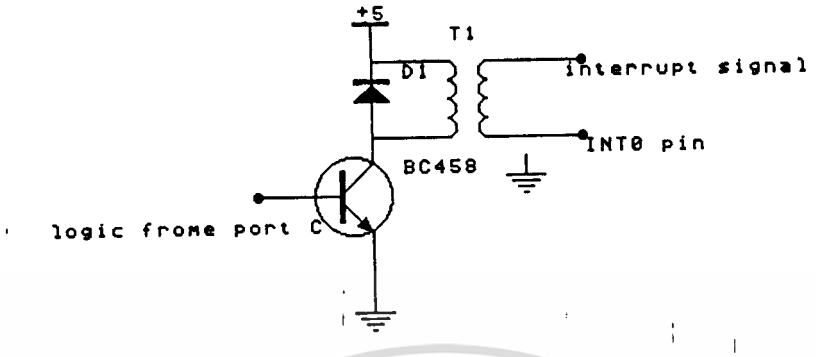
[ 6. ] วารสารคอมพิวเตอร์อีเล็กทรอนิกส์เวิลด์ ฉบับที่ 144 พ. ศ. 2537 หน้า 7 - 15



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




วงจรตัดต่ออินเตอร์รัพท์ที่ใช้หลักการทำงานของรีเลย์ซึ่งมีการทำงานเหมือนเป็น SW ชนิดหนึ่ง ลักษณะวงจรแสดงดังรูป โดยต่อบิทใดบิทหนึ่งของพอร์ท C เข้ากับขา B ของทรานซิสเตอร์ ขา NC ของรีเลย์ต่อเข้ากับขา INTO ของไมโครคอนโทรลเลอร์ 8032 และขา NO ของรีเลย์ต่อเข้ากับสัญญาณอินเตอร์รัพท์ซึ่งสร้างจากสัญญาณ Ver Sync เมื่อทางด้านส่งส่ง Code สำหรับการปล่อยสัญญาณอินเตอร์รัพท์เข้ามา ทางด้านรับจะสร้างลอจิก 1 ออกทางพอร์ท C เมื่อมีลอจิก 1 ป้อนเข้าขา B ของทรานซิสเตอร์จะทำให้ครบวงจรขดลวดรีเลย์จะเหนี่ยวนำให้ขา NC สวิตช์มาอินเตอร์รัพท์ก็จะทำการสร้างสัญญาณไซน์ปล่อยออกพอร์ท A เหตุผลที่ใช้รีเลย์ตัดต่อสัญญาณอินเตอร์รัพท์ก็เพื่อให้การสร้างสัญญาณไซน์ทั้งด้านส่งและด้านรับเริ่มสร้างพร้อมกัน ทำให้การหักล้างสัญญาณไซน์สมบูรณ์มากขึ้น

กรณีที่ทางด้านส่งเลิกสร้างสัญญาณไซน์ก็จะส่ง Code ตัด Sync มาทางด้านรับจะสร้างลอจิก 0 ออกทางพอร์ท C เมื่อมีลอจิก 0 ป้อนเข้าขา B ของทรานซิสเตอร์ ทรานซิสเตอร์จะไม่ทำงาน ดังนั้นสัญญาณอินเตอร์รัพท์ก้จะไม่ถูกต่อเข้าขา INTO ของ CPU ดังนั้นก็จะไม่มีการสร้างสัญญาณไซน์เกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

```
$1 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
R_N2.ASM

0000                    1                       ORG     0000H
                        2
E0E3=                   3       CTRL            EQU     0E0E3H
E0E0=                   4       PORTA           EQU     0E0E0H
E0E1=                   5       PORTB           EQU     0E0E1H
E0E2=                   6       PORTC           EQU     0E0E2H
                        7
0000 020030             8                       LJMP    INIT
                        9
0003                   10                       ORG     0003H
                       11
0003 020070            12                       LJMP    LOOP
                       13
0030                   14                       ORG     0030H
                       15
                       16                       ;MAIN INITIAL PORT
                       17
0030 79FF              18       INIT:           MOV     R1,#0FFH
0032 7AFF              19       L1:             MOV     R2,#0FFH
0034 DAFE              20       L2:             DJNZ    R2,L2
0036 D9FA              21                       DJNZ    R1,L1
                       22                ;
0038 90E0E3            23                       MOV     DPTR,#CTRL
003B 7482              24                       MOV     A,#82H
003D F0                25                       MOVX    @DPTR,A
003E E4                26                       CLR     A
                       27
                       28                       ;SET PORTA AND PORTB
                       29
003F 75A0E0            30       MAIN:           MOV     P2,#0E0H
0042 78E0              31                       MOV     R0,#0E0H
0044 79E1              32                       MOV     R1,#0E1H
0046 75A881            33                       MOV     IE,#81H    ;ENABLE INTE
0049 900150            34                       MOV     DPTR,#0150H
004C E7                35                       MOV     A,@R1
004D 93                36                       MOVC    A,@A+DPTR
004E B4850A            37                       CJNE    A,#85H,W1
0051 7430              38                       MOV     A,#30H     ;CONTROL POR
0053 F5F0              39                       MOV     B,A
0055 90E0E2            40                       MOV     DPTR,#PORTC
0058 E5F0              41                       MOV     A,B
005A F0                42                       MOVX    @DPTR,A
005B 02003F            43       W1:             LJMP    MAIN
                       44
0070                   45                       ORG     0070H
                       46
                       47                       ;GENERATE SINEWAVE 12 STEP
                       48
0070 75A0E0            49       LOOP:           MOV     P2,#0E0H
0073 78E0              50                       MOV     R0,#0E0H
0075 79E1              51                       MOV     R1,#0E1H
0077 900150            52                       MOV     DPTR,#0150H
007A E3                53                       MOVX    A,@R1
007B 93                54                       MOVC    A,@A+DPTR
007C F5F0              55                       MOV     B,A
007E B49809            56                       CJNE    A,#98H,N1
0081 7400              57                       MOV     A,#00H
0083 90E0E2            58                       MOV     DPTR,#PORTC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
51 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
R_N2.ASM

0086 F0          59                      MOVX    @DPTR,A
0087 0200A2      60                      LJMP    Q1
008A 7A0C        61      N1:             MOV     R2,#0CH
008C 9000A2      62                      MOV     DPTR,#TABLE-1
008F A3          63      SINE:           INC     DPTR
0090 E0          64                      MOVX    A,@DPTR
0091 F2          65                      MOVX    @R0,A
0092 ABF0        66                      MOV     R3,B
0094 DBFE        67      DEL1:           DJNZ    R3,DEL1
0096 DAF7        68                      DJNZ    R2,SINE
0098 740D        69                      MOV     A,#0DH
009A 7C01        70      Y0:             MOV     R4,#01H
009C 7DFF        71                      MOV     R5,#0FFH
009E DDFE        72      Y1:             DJNZ    R5,Y1
00A0 DCF8        73                      DJNZ    R4,Y0
00A2 32          74      Q1:             RETI
                 75
00A3 1A2630      76      TABLE:          DB      1AH,26H,30H
00A6 333026      77                      DB      33H,30H,26H
00A9 1A0D03      78                      DB      1AH,0DH,03H
00AC 00030D      79                      DB      00H,03H,0DH
                 80
0150             81                      ORG     0150H
                 82
0150 22F0E685    83      CODE_DET:       DB      22H,0F0H,0E6H,85H,0D0H
0154 D0C5
0156 C0B5B0A5    84                      DB      0C0H,0B5H,0B0H,0A5H,0A
015A A0
015B 9860        85                      DB      98H,60H
0000=            86                      END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | | | | |
|---|---|---|---|---|
| code_det | = 0150 | 83 | | |
| ctrl | = E0E3 | 3 | 23 | |
| del1 | = 0094 | 67 | | |
| init | = 0030 | 18 | 8 | |
| l1 | = 0032 | 19 | 21 | |
| l2 | = 0034 | 20 | | |
| loop | = 0070 | 49 | 12 | |
| main | = 003F | 30 | 43 | |
| n1 | = 008A | 61 | 56 | |
| porta | = E0E0 | 4 | | |
| portb | = E0E1 | 5 | | |
| portc | = E0E2 | 6 | 40 | 58 |
| q1 | = 00A2 | 74 | 60 | |
| sine | = 008F | 63 | 68 | |
| table | = 00A3 | 76 | 62 | |
| w1 | = 005B | 43 | 37 | |
| y0 | = 009A | 70 | 73 | |
| y1 | = 009E | 72 | | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

PRELIMINARY

# LM1881 Video Sync Separator

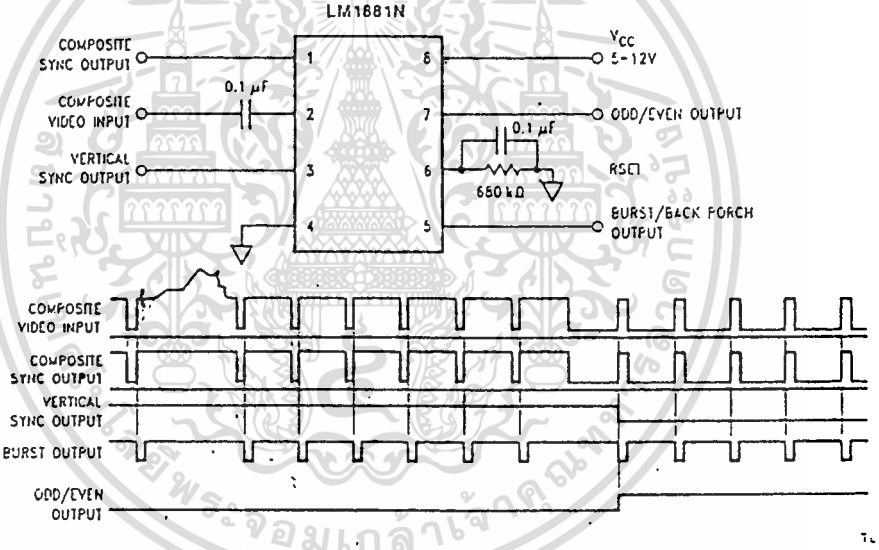
## General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL®, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals by changing an external horizontal scan rate setting resistor. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the internally set delay period, such as might be the case for a non-standard video signal.

## Features

- AC coupled composite input signal
- > 10 kΩ input resistance
- < 10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Resistor programmable horizontal scan rate (up to 64 kHz)
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

## Connection Diagram




Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

| | |
|---|---|
| Supply Voltage | 13.2V |
| Input Voltage | 3 Vp-p |
| Output Sink Currents; Pins 1, 3, 5 | 5 mA |
| Output Sink Current; Pin 7 | 2 mA |
| Package Dissipation (Note 1) | 1100 mW |
| Operating Temperature Range | 0°C − 70°C |
| Storage Temperature Range | −65°C to + 150°C |
| ESD Susceptibility (Note 2) | 2 kV |
| Soldering Information | |
| Dual-In-Line Package (10 sec.) | 260°C |
| Small Outline Package | |
| Vapor Phase (60 sec.) | 215°C |
| Infrared (15 sec.) | 220°C |

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

## Electrical Characteristics

$V_{CC}$ = 5V; Rset = 680 kΩ; $T_A$ = 25°C; Unless otherwise specified

| Parameter | Conditions | | Typ | Tested Limit (Note 3) | Design Limit (Note 4) | Units (Limits) |
|---|---|---|---|---|---|---|
| Supply Current | Outputs at Logic 1 | $V_{CC}$ = 5V | 5.2 | 10 | | mAmax |
| | | $V_{CC}$ = 12V | 5.5 | 12 | | mAmax |
| DC Input Voltage | Pin 2 | | 1.5 | 1.3 | | Vmin |
| | | | | 1.8 | | Vmax |
| Input Threshold Voltage | Note 5 | | 70 | 55 | | mVmin |
| | | | | 85 | | mVmax |
| Input Discharge Current | Pin 2; $V_{IN}$ = 2V | | 11 | 6 | | μAmin |
| | | | | 16 | | μAmax |
| Input Clamp Charge Current | Pin 2; $V_{IN}$ = 1V | | 0.8 | 0.2 | | mAmin |
| $R_{SET}$ Pin Reference Voltage | Pin 6; Note 6 | | 1.22 | 1.10 | | Vmin |
| | | | | 1.35 | | Vmax |
| Composite Sync. & Vertical Outputs | $I_{OUT}$ = 40 μA; Logic 1 | $V_{CC}$ = 5V | 4.5 | 4.0 | | Vmin |
| | | $V_{CC}$ = 12V | | 11.0 | | Vmin |
| | $I_{OUT}$ = 1.6 mA Logic 1 | $V_{CC}$ = 5V | 3.6 | 2.4 | | Vmin |
| | | $V_{CC}$ = 12V | | 10.0 | | Vmin |
| Burst Gate & Odd/Even Outputs | $I_{OUT}$ = 40 μA; Logic 1 | $V_{CC}$ = 5V | 4.5 | 4.0 | | Vmin |
| | | $V_{CC}$ = 12V | | 11.0 | | Vmin |
| Composite Sync. Output | $I_{OUT}$ = − 1.6 mA; Logic 0; Pin 1 | | 0.2 | 0.8 | | Vmax |
| Vertical Sync Output | $I_{OUT}$ = − 1.6 mA; Logic 0; Pin 3 | | 0.2 | 0.8 | | Vmax |
| Burst Gate Output | $I_{OUT}$ = − 1.6 mA; Logic 0; Pin 5 | | 0.2 | 0.8 | | Vmax |
| Odd/Even Output | $I_{OUT}$ = − 1.6 mA; Logic 0; Pin 7 | | 0.2 | 0.8 | | Vmax |
| Vertical Sync Width | | | 230 | 190 | | μsmin |
| | | | | 300 | | μsmax |
| Burst Gate Width | 2.7 kΩ from Pin 5 to $V_{CC}$ | | 4 | 2.5 | | μsmin |
| | | | | 4.7 | | μsmax |
| Vertical Default Time | Note 7 | | 65 | 32 | | μsmin |
| | | | | 90 | | μsmax |

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor."

Note 3: Typicals are at $T_J$ = 25°C and represent the most likely parametric norm.

Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the $R_{SET}$ pin (Pin 6).

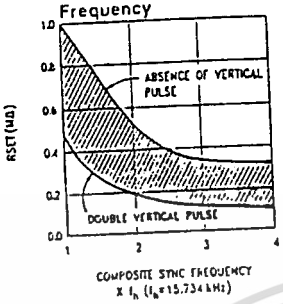
Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.



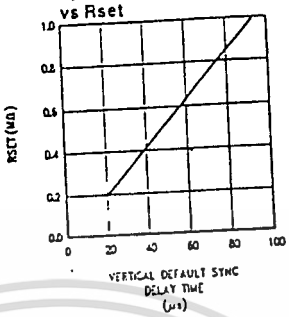
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Characteristics

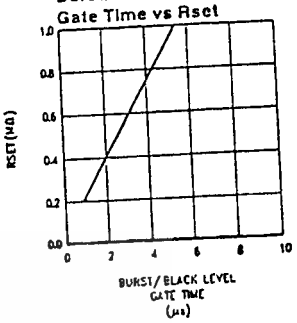
Rset Value Selection vs Composite Sync Frequency



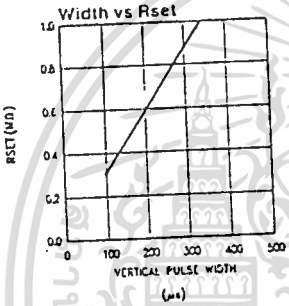

Vertical Default Sync Delay Time vs Rset



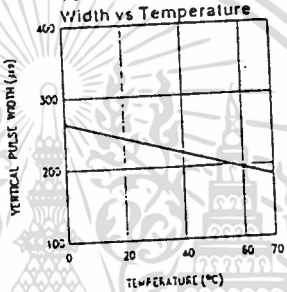

Burst/Black Level Gate Time vs Rset



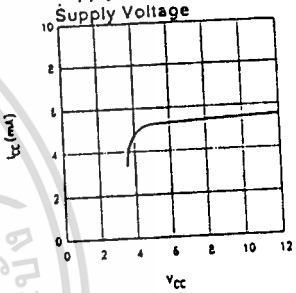

Vertical Pulse Width vs Rset




Vertical Pulse Width vs Temperature




Supply Current vs Supply Voltage




TL/H/9150-2



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้