



# เครื่องป้องกันการดักจับสัญญาณแบบดิจิทัล

## DIGITAL SIGNAL SCRAMBLER

โดย

นางสาวเนติมา เกษฎาพรพันธุ์  
นางสาวบุปผาพรรณ อาจวลัยกิจ



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไปว่ากรณีใดที่ผู้รับ จะใช้ข้อมูลนี้เพื่อเผยแพร่ และต้องแจ้งถึงผู้เจ้าของเอกสารและผู้ที่เกี่ยวข้องต่อไปได้

เครื่องป้องกันการดักรับสัญญาณแบบดิจิตอล

DIGITAL SIGNAL SCRAMBLER

โดย

นางสาวเนติมา เจษฎาพรพันธุ์ 34104186

นางสาวบุปผาพรรณ จางวลัยกิจ 34104190



อาจารย์ที่ปรึกษา

รศ.ดร.วิวัฒน์ กิรานนท์

ปริญญาานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

ปริญญาโทปีการศึกษา 2537

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
เรื่อง เครื่องป้องกันการดักรับสัญญาณแบบดิจิตอล (Digital Signal Scrambler)

ผู้จัดทำ

1. นางสาวเนติมา เจษฎาพรพันธุ์
2. นางสาวบุปผาพรรณ จางวลัยกิจ

.....อาจารย์ที่ปรึกษา  
(.....รศ.ดร.วิวัฒน์ กิรานนท์.....)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เครื่องป้องกันการดักจับสัญญาณแบบดิจิตอล

## DIGITAL SIGNAL SCRAMBLER

โดย นางสาวเนติมา เจษฎาพรพันธุ์  
นางสาวบุปผาพรรณ จางวลัยกิจ  
อาจารย์ที่ปรึกษา รศ.ดร.วิวัฒน์ กิรานนท์

### บทคัดย่อ

โครงการเครื่องป้องกันการดักจับสัญญาณแบบดิจิตอลนี้เป็นการศึกษาออกแบบและทดลองวงจรซแครมเบลอ ( Scrambler ) เพื่อใช้ในการป้องกันการดักจับข้อมูลและรักษาความปลอดภัยทางการสื่อสารด้านดิจิตอล

หลักการในโครงการนี้จะทำการแปลงสัญญาณเสียง ซึ่งเป็นสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล ( A/D : Analog to Digital conversion ) แล้วนำไปทำการซแครมเบลอวงจรซแครมเบลอจะประกอบไปด้วยวงจรถูกกำเนิดลำดับแบบกึ่งสุ่ม (pseudorandom sequence generator) และเอ็กซ์คลูซีฟออร์เกท ซึ่งจะทำการรวมสัญญาณข้อมูลดิจิตอลเข้ากับลำดับแบบกึ่งสุ่ม จากนั้นส่งผ่านระบบการส่งมายังด้านรับ ซึ่งมีวงจรถูกซแครมเบลอ ( Descrambler ) ที่มีวงจรถูกกำเนิดลำดับแบบกึ่งสุ่มแบบเดียวกับทางด้านส่ง แล้วทำการแปลงข้อมูลดิจิตอลที่ได้กลับเป็นสัญญาณเสียงอนาลอกเช่นเดิม

### ABSTRACT

The objective of this project is to study and design the circuit for a digital signal scrambler that used to increase the security of digital communication system.

The process of this digital signal scrambler employs A/D ( Analog to Digital converter ) to convert analog voice signal to discrete digital signal and send it through a scrambler circuit . The scrambler circuit consists of pseudorandom sequence generator and XOR gate. It passes digital audio signal to combine with pseudorandom signal . The receiver section uses the same technique.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 หลักการพื้นฐานของวงจร	3
2.1 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล	3
2.1.1 PAM	4
2.1.2 PCM	6
2.1.3 ADPCM	7
2.1.4 DM	8
2.1.5 CVSD	11
2.2 การซแซมเบิล	13
2.2.1 ลำดับแบบกึ่งสุ่ม	14
2.2.2 การสร้างลำดับแบบกึ่งสุ่ม	14
2.2.3 ความยาวของลำดับแบบกึ่งสุ่ม	16
บทที่ 3 โครงสร้างและหลักการทํางานของวงจร	18
3.1 โครงสร้างของวงจร	18
3.2 การแปลงสัญญาณอนาลอกเป็นดิจิทัล	19
3.3 การขยายสัญญาณ	22
3.4 การกรองสัญญาณ	23
3.4.1 การออกแบบวงจรกรองความถี่	23
3.4.2 ข้อดีของวงจรกรองความถี่แบบแอกทีฟ	24
3.4.3 วงจรกรองความถี่ในอุดมคติกับการใช้งานจริง	25
3.5 วงจรสร้างสัญญาณนาฬิกา	32
3.6 การเปรียบเทียบสัญญาณ	34
3.7 การซแซมเบิลและดีซแซมเบิล	34
3.8 การซิงโครไนซ์ระหว่างตัวรับและตัวส่ง	39

3.8.1 การออกแบบวงจรเชิงโครโมโซม 39

บทที่ 4 การทดลองและผลการทดลอง 40

บทที่ 5 สรุปและวิจารณ์ผลการทดลอง 49

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

ยุคปัจจุบันนี้ถือเป็นยุคแห่งการสื่อสาร การติดต่อสื่อสารเป็นสิ่งจำเป็นมากสำหรับทุกวงการ ทั้งในทางราชการ วงการธุรกิจ และประชาชนทั่วไป จึงได้มีการพัฒนาระบบการสื่อสารขึ้นมาหลายประเภทเพื่อเพิ่มความสะดวก รวดเร็ว ประหยัดค่าใช้จ่ายและเวลา เช่น ระบบโทรศัพท์แบบต่าง ๆ ระบบวิทยุกระจายเสียง ระบบโทรทัศน์ เป็นต้น ข้อมูลที่ส่งผ่านระบบดังกล่าว ส่วนใหญ่จะเป็นข้อมูลที่ใช้ติดต่อกันทั่วไป ข้อมูลวิชาการหรือความบันเทิงต่าง ๆ ที่ไม่มีความลับแต่อย่างใด แต่ในการติดต่อระหว่างหน่วยงานที่สำคัญ บางครั้งต้องคำนึงถึงความปลอดภัยในการกระจายข่าวสาร เช่น การสื่อสารผ่านระบบวิทยุมือถือ หรือผ่านคู่สายโทรศัพท์ ซึ่งถูกลอบดักฟังได้ง่าย อาจจะนำมาซึ่งความเสียหายจากการแพร่กระจายของข่าวนั้นได้

ดังนั้นการป้องกันการดักฟังจึงเป็นสิ่งสำคัญ วิธีการป้องกันการดักฟังสามารถทำได้ทั้งวิธีทางอนาล็อกและทางดิจิทัล กล่าวคืออาจทำการเลื่อนหรือสลับสเปกตรัมของสัญญาณก่อนทำการส่งสัญญาณนั้นออกทางช่องทางการสื่อสาร หรือทำการดัดแปลงให้รูปสัญญาณผิดเพี้ยนไปจากเดิม หรือทำการกำเนิดสัญญาณรบกวนเพิ่มขึ้นในระบบการส่ง เพื่อให้เครื่องรับโดยทั่วไปประสบปัญหาในการแยกสัญญาณรบกวนออกจากสัญญาณจริง

ปัจจุบันแนวทางในการพัฒนาระบบการสื่อสารมีเป้าหมายไปยังระบบดิจิทัลเนื่องจากระบบอนาล็อกมีปัญหาหลายประการ ข้อแรก สัญญาณจะต้องถูกส่งผ่านตัวขยายสัญญาณ (amplifier) และ ตัวแปลงสัญญาณ (transducer) อื่นๆ อุปกรณ์เหล่านี้ถูกออกแบบมาให้ทำการส่งผ่านแบบเชิงเส้น แต่สัญญาณอนาล็อกมีรูปแบบไม่เป็นเชิงเส้น ซึ่งจะทำให้เกิดการผิดเพี้ยนกับรูปคลื่น และอุปกรณ์ที่นำมาใช้เป็นตัวขยายสัญญาณก็มักจะทำการขยายสัญญาณรบกวนให้เพิ่มมากขึ้นด้วย

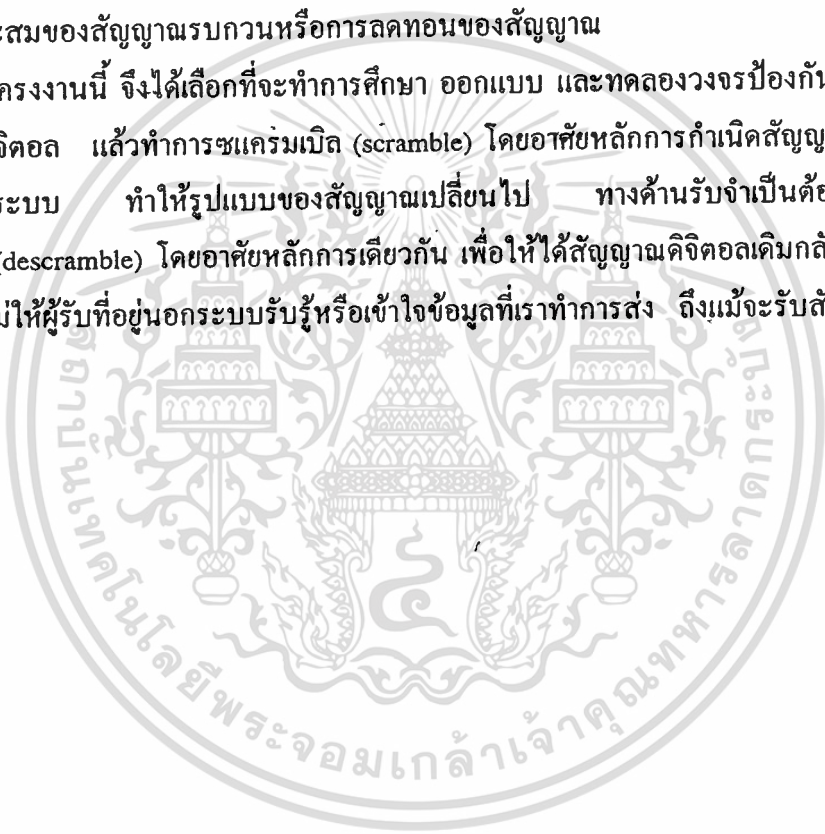
ปัญหาที่สองเกี่ยวกับการรบกวนในช่องสัญญาณ เมื่อมีสัญญาณไฟฟ้าในเส้นลวดหรือสายเคเบิลจะเกิดการรบกวนเนื่องจากอุณหภูมิ (thermal noise) ขึ้นในช่องสัญญาณหรืออุปกรณ์ทรานสดิวเซอร์ต่างๆ แม้แต่ในระบบการส่งแบบไร้สายก็ยังถูกรบกวนจากสัญญาณรบกวนเนื่องจากไฟฟ้าด้วย นั่นคือสัญญาณรบกวนในชั้นบรรยากาศ และจากการแพร่กระจายรังสีของดวงอาทิตย์และดวงดาวต่างๆ

ปัญหาที่สาม สัญญาณทุกประเภทจะลดทอนลงระหว่างการส่งผ่านตัวกลาง จนอาจทำให้ด้านรับไม่สามารถรับข่าวสารข้อมูลที่ต้องการได้ สายเคเบิลคุณภาพสูงที่มีขนาดเส้นผ่านศูนย์กลางใหญ่ๆอาจลดปัญหาการลดทอนนี้ได้บ้าง แต่ก็ไม่สามารถกำจัดให้หมดสิ้นไปได้

ปัญหาที่สี่ ระบบเสียงและข้อมูลจะต้องเกี่ยวข้องกับระบบสัญญาณและระบบควบคุมที่แตกต่างกัน ระบบสัญญาณเช่นในระบบโทรศัพท์แบบเก่าไม่สามารถอินเตอร์เฟสกับระบบข้อมูลได้ดีเท่าที่ควร

ระบบดิจิทัลสามารถแก้ไขปัญหาลำนี้ได้ด้วยการส่งข้อมูลเป็นดิจิทัลและสัญญาณสองระดับ สัญญาณอนาลอกจะถูกแปลงเป็นกลุ่มของตัวเลขซึ่งได้จากการสุ่มตัวอย่างจากสัญญาณอนาลอกนั้นๆ และส่งผ่านช่องสัญญาณสื่อสารเป็นข้อมูลเลขฐานสอง ระบบสัญญาณดิจิทัลไม่สามารถหลีกเลี่ยงปัญหาการลดทอนและสัญญาณรบกวนได้ แต่เนื่องจากสัญญาณดิจิทัลเป็นระดับแรงดันไฟฟ้าที่แน่นอน แทนการปรากฏหรือไม่ปรากฏของสัญญาณ ดังนั้นการผิดเพี้ยนของสัญญาณเพียงเล็กน้อยจึงไม่ทำให้ข้อมูลที่ได้รับผิดพลาด อีกทั้งยังสามารถทำการสร้างสัญญาณขึ้นใหม่ (reconstruct) ก่อนที่สัญญาณจะต่ำกว่าระดับที่กำหนด (threshold level) ทำให้ไม่เกิดการสะสมของสัญญาณรบกวนหรือการลดทอนของสัญญาณ

ในโครงการนี้ จึงได้เลือกที่จะทำการศึกษา ออกแบบ และทดลองวงจรป้องกันการดักจับข้อมูลแบบดิจิทัล แล้วทำการขมเครือมเบิต (scramble) โดยอาศัยหลักการกำเนิดสัญญาณรบกวน-เทียมขึ้นในระบบ ทำให้รูปแบบของสัญญาณเปลี่ยนไป ทางด้านรับจำเป็นต้องทำการดี-ขมเครือมเบิต (descramble) โดยอาศัยหลักการเดียวกัน เพื่อให้ได้สัญญาณดิจิทัลเดิมกลับมา เป็นการป้องกันไม่ให้ผู้รับที่อยู่นอกระบบรับรู้หรือเข้าใจข้อมูลที่เรทำการส่ง ถึงแม้จะรับสัญญาณได้ก็ตาม



## บทที่ 2

### หลักการพื้นฐานของวงจรป้องกันการดักรับสัญญาณแบบดิจิตอล

วงจรป้องกันการดักรับสัญญาณแบบดิจิตอลนี้ จะทำการแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอล สัญญาณที่จะทำการส่งต้องดำเนินขบวนการทางดิจิตอลที่สำคัญ 2 ขบวนการ คือ

1. Source coding เป็นขบวนการแปลงสัญญาณอินพุทที่เป็นอนาลอก ให้อยู่ในรูปขบวนการสัญญาณเลขฐานสอง ( "0" และ "1" ) เทคนิคที่นิยมใช้ เช่น PCM , ADPCM , DM

2. Scrambling เป็นขบวนการเปลี่ยนแปลงบิตข้อมูล เพื่อจุดประสงค์พิเศษ เช่น หลีกเลี่ยงการเกิดสัญญาณ "0" ติดต่อกันเป็นเวลานาน ซึ่งอาจจะเป็นเหตุทำให้สัญญาณนาฬิกาทางด้านรับผิดพลาด และอีกจุดประสงค์หนึ่งของการขบวนการนี้ ซึ่งเป็นจุดประสงค์สำคัญที่เราใช้ในโครงการนี้ คือ เพื่อป้องกันการลอบดักฟังจากผู้รับที่ไม่อยู่ในระบบ นั่นคือ ผู้รับในระบบต้องมีเครื่องรับที่มีอุปกรณ์พิเศษทำการแปลงสัญญาณกลับเป็นสัญญาณเดิม ไม่เช่นนั้นผู้รับจะไม่สามารถเข้าใจข้อมูลที่รับได้

#### 2.1 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Conversion)

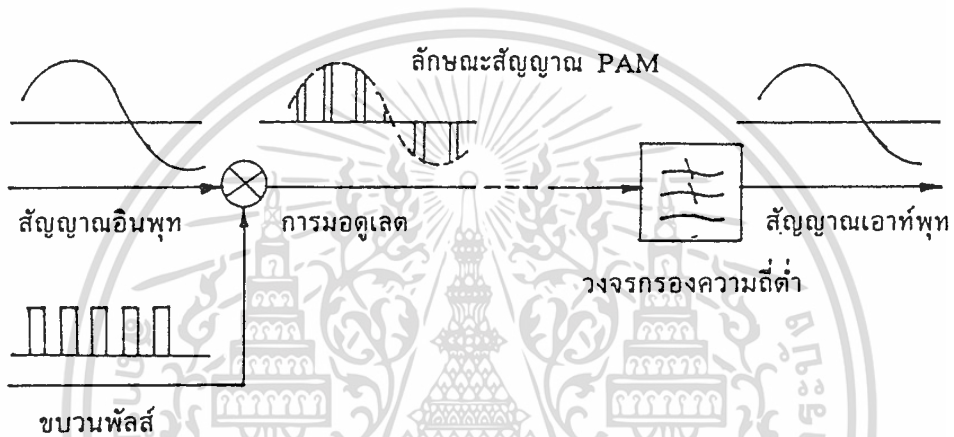
ในการส่งสัญญาณแบบอนาลอก ข่าวสารเดิมจะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้าซึ่งมีลักษณะเหมือนเดิม เช่น กรณีของโทรศัพท์นั้นไมโครโฟนที่มือถือ ( handset ) จะเป็นตัวเปลี่ยนคลื่นเสียงให้เป็นสัญญาณไฟฟ้าที่สอดคล้องกัน สัญญาณไฟฟ้านี้อาจมีค่าใด ๆ ที่อยู่ภายในขีดจำกัด ทั้งนี้ขึ้นอยู่กับขนาดของคลื่นเสียงและสัญญาณนี้จะมีส่วนคล้ายกับคลื่นเสียงเดิม ดังนั้นจึงถูกเรียกว่า สัญญาณอนาลอก ( analog signal ) เมื่อสัญญาณนี้ถูกส่งออกไปตลอดสายส่งในทางอุดมคติแล้วมันจะถึงด้านรับในลักษณะที่คงรูปร่างเดิมไว้ แต่อย่างไรก็ตามในทางปฏิบัติ นั้น จะมีสัญญาณอื่นเข้ามารบกวนมาก เนื่องจากการรบกวนต่าง ๆ นี้จะสะสมไปตลอดสายส่ง ทำให้สัญญาณเกิดการพัวเพี้ยน ( distortion ) ซึ่งเป็นผลให้คุณภาพของสัญญาณเลวลง

ดังนั้นการแปลงสัญญาณอนาลอกเป็นดิจิตอลจึงเป็นสิ่งสำคัญที่นำมาใช้ในระบบการสื่อสารทางดิจิตอล . เนื่องจากจะช่วยลดการลดทอนและการพัวเพี้ยนของสัญญาณที่เกิดจากสิ่งรบกวนภายนอก

ระบบการแปลงนี้ก็มีด้วยกันหลายแบบ เช่น Pulse Amplitude Modulation , Pulse Code Modulation , Delta Modulation เป็นต้น ในแต่ละระบบก็มีข้อดีข้อเสียแตกต่างกันขึ้นอยู่กับความเหมาะสมในการนำระบบต่าง ๆ ไปใช้งานให้ถูกต้อง

### 2.1.1 PAM (Pulse Amplitude Modulation)

ในการแปลงสัญญาณเสียงอนาล็อกที่ต่อเนื่อง ให้เป็นสัญญาณที่ไม่ต่อเนื่องตามแนวแกนเวลา จะอาศัยทฤษฎีการสุ่มสัญญาณ โดยมีแนวความคิดเบื้องต้นตามรูปที่ 2.1 ขบวนพัลส์ที่เอาต์พุตของมอดูเลเตอร์จะเปลี่ยนแปลงไปตามระดับของสัญญาณอินพุต ส่วนทางด้านรับ เมื่อองค์ประกอบความถี่สูงของขบวนพัลส์ถูกกำจัดออกโดยวงจรกรองความถี่ต่ำแล้ว จะได้รับสัญญาณเดิม กล่าวคือ ถ้าสุ่มสัญญาณอินพุตด้วยระยะห่างที่เท่ากันแล้ว ก็สามารถจะทำให้เกิดสัญญาณเดิมได้อย่างสมบูรณ์ที่ด้านรับ



รูปที่ 2.1 แผนภาพแสดงการทำงานของทฤษฎีการสุ่มสัญญาณ

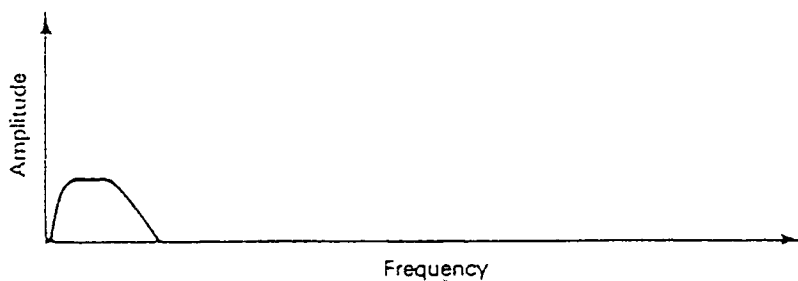
ทฤษฎีการสุ่มสัญญาณ กล่าวไว้ว่า ถ้าข่าวสารในสัญญาณที่มีแอมพลิจูดเป็นฟังก์ชันของเวลาถูกทำการสุ่มค่าทุก ๆ ช่วงเวลาห่างที่คงที่ เมื่อใช้ขบวนพัลส์ที่มีความถี่เท่ากับหรือมากกว่า 2 เท่าของความถี่สูงสุดของสัญญาณนั้นมาทำการสุ่ม ก็สามารถจะเก็บข่าวสาร หรือเนื้อหาของสัญญาณต้นแบบไว้ได้อย่างสมบูรณ์

$$f_s > 2f_o$$

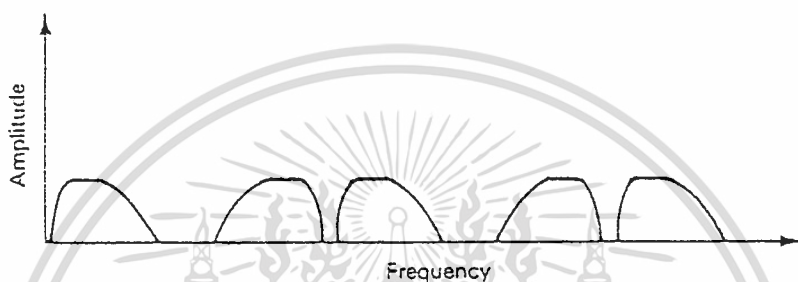
โดยที่  $f_s$  : ความถี่ที่ใช้ในการสุ่มค่าสัญญาณ (Hz)

$f_o$  : ความถี่สูงสุดของสัญญาณอินพุต (Hz)

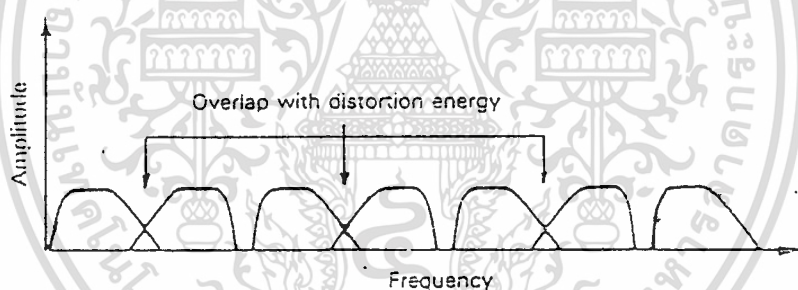
ในกรณีที่ทำการสุ่มค่าสัญญาณด้วยความถี่ที่ต่ำกว่า  $f_s$  จะไม่สามารถนำเอาสัญญาณเดิมกลับคืนมาได้



(ก) Original Signal



(ข) Adequate Sampling Rate

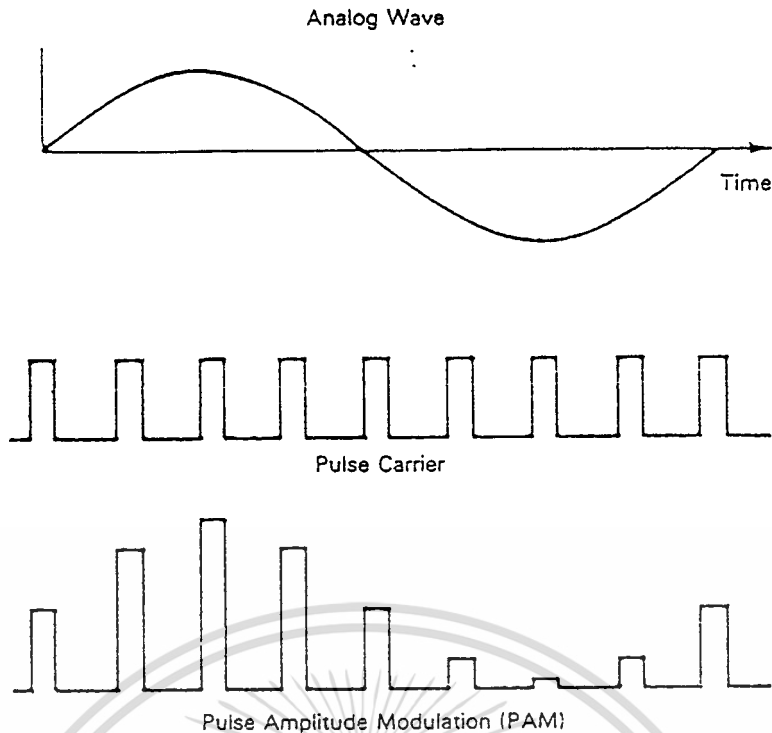


(ค) Inadequate Sampling Rate

รูปที่ 2.2 แสดงสเปกตรัมของสัญญาณที่ผ่านการสุ่มค่าแล้ว

- (ก) สัญญาณอินพุต
- (ข) เมื่อใช้อัตราการสุ่มค่าที่เหมาะสม
- (ค) เมื่อใช้อัตราการสุ่มค่าที่ไม่เหมาะสม

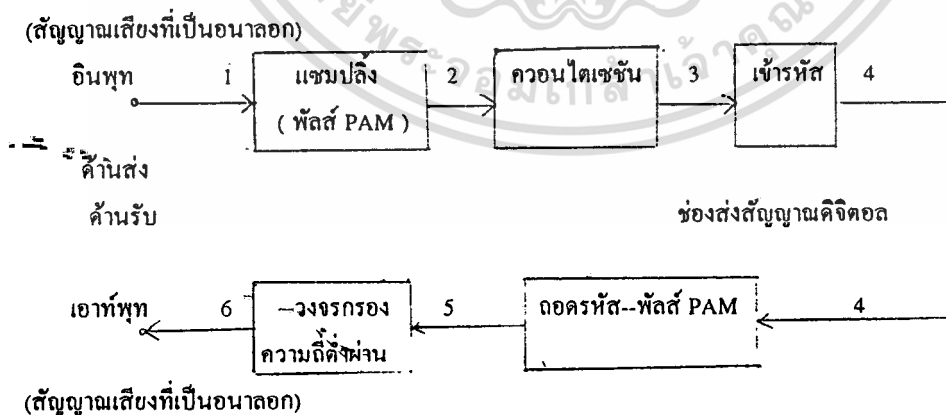
ขบวนการสุ่มค่าที่ได้จะมีขนาดเดียวกับค่าสัญญาณอินพุต แต่สัญญาณที่ได้นี้จะเป็ค่าคิ-  
ครีท เราเรียกขบวนการสุ่มค่านี้ว่า PAM



รูปที่ 2.3 เทคนิคการสุ่มสัญญาณ

2.1.2 PCM (Pulse Code Modulation )

ในปัจจุบันระบบ PCM ถูกนำมาใช้อย่างกว้างขวางโดยเฉพาะสำหรับสัญญาณเสียง รูปที่ 2.4 แสดงบล็อกไดอะแกรมของระบบ PCM ซึ่งคล้ายกับระบบ PAM เพียงแต่ในระบบ PCM จะนำเอาสัญญาณที่สุ่มออกมา ซึ่งมีขนาดไม่เท่ากันนี้ไปทำการจัดระดับ (quantizing) ซึ่งจำนวนระดับที่แตกต่างกันจะขึ้นอยู่กับจำนวนบิตที่จะเข้ารหัส ตัวอย่างเช่น ถ้าต้องการเข้ารหัส 8 บิต จะต้องแบ่งระดับออกเป็น  $2^8 = 256$  ระดับ เป็นต้น

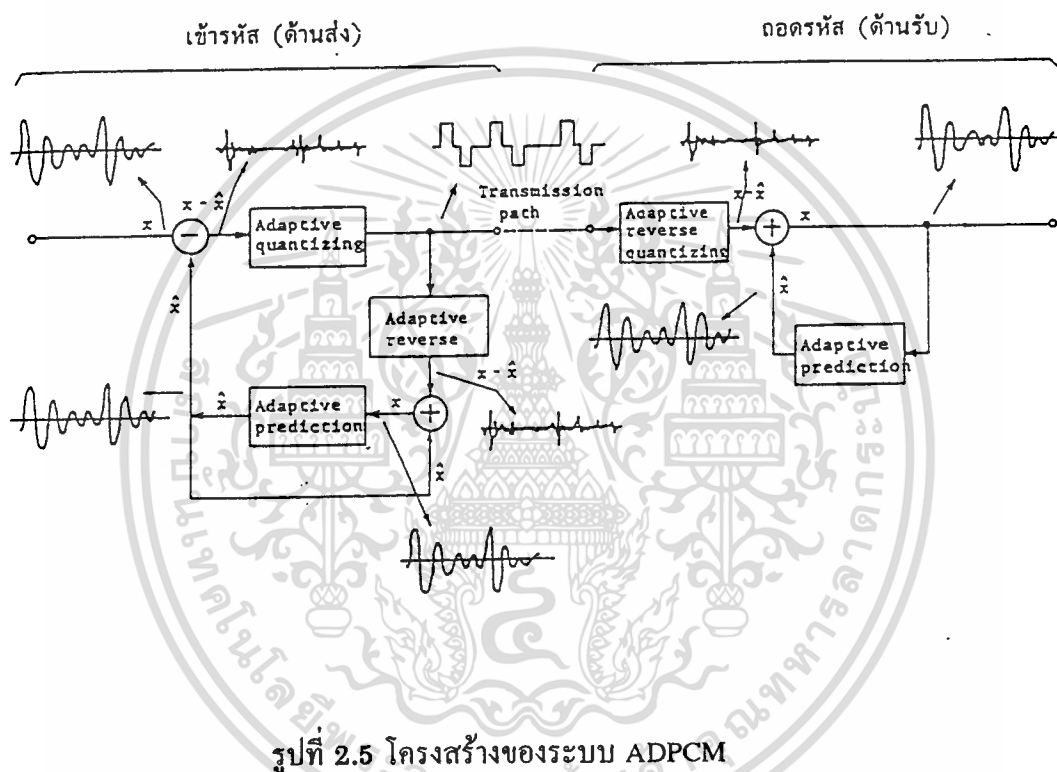


รูปที่ 2.4 กระบวนการเข้ารหัสและถอดรหัสของระบบ PCM

### 2.1.3 ADPCM (Adaptive Differential Pulse Code Modulation)

ในระบบ PCM จะจัดระดับของสัญญาณเสียงจากตัวอย่างที่ทำการสุ่ม (sample) โดยตรง แต่สำหรับในระบบ ADPCM จะจัดระดับโดยใช้ผลต่างระหว่างค่าตัวอย่าง เนื่องจากค่าตัวอย่างที่อยู่ใกล้เคียงกัน จะมีลักษณะคล้ายคลึงกัน ดังนั้นจึงคาดคะเนสัญญาณอินพุตปัจจุบันด้วยสัญญาณอินพุตที่เข้ามาก่อน แล้วจัดระดับโดยใช้ผลต่างระหว่างสัญญาณที่คาดคะเน และสัญญาณปัจจุบันเพื่อทำการส่งออกไป และผลต่างนี้มีค่าน้อย จึงทำให้จำนวนบิตในการเข้ารหัสลดลงได้

การทำงานของระบบ ADPCM แสดงไว้ดังรูปที่ 2.5

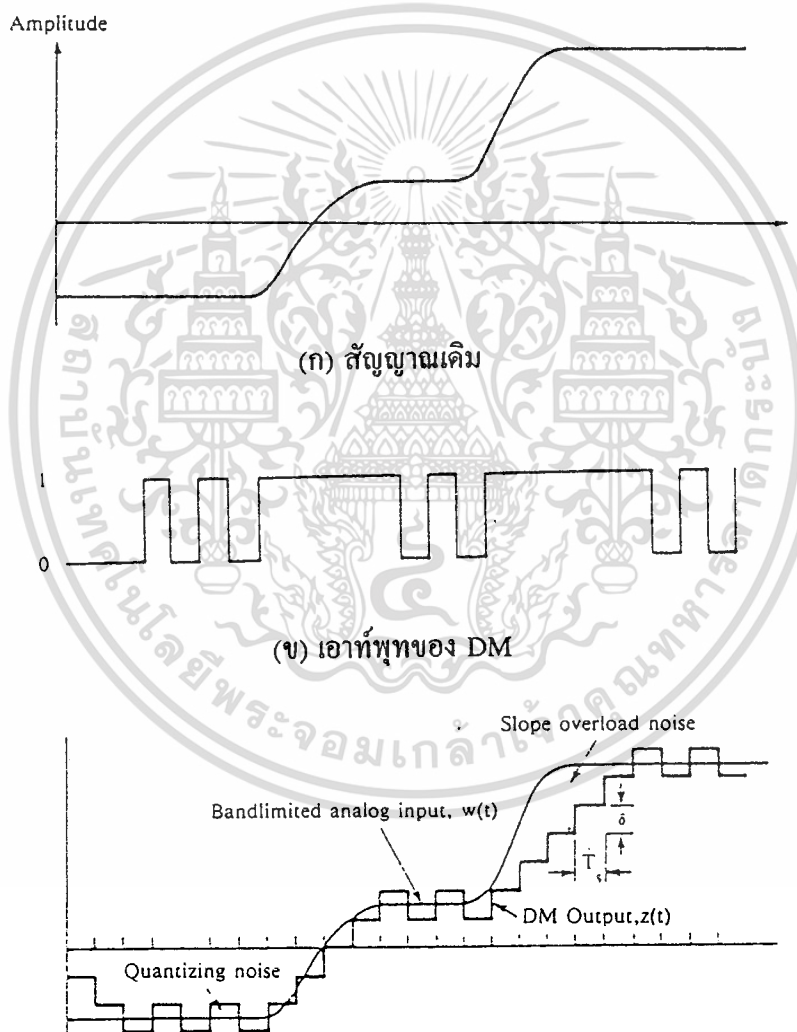


จากรูป ชั้นแรกที่วงจรเข้ารหัส (ด้านส่ง) จะสร้างผลต่าง  $(x - \hat{x})$  ระหว่างสัญญาณอินพุต  $x$  และสัญญาณที่คาดคะเน  $\hat{x}$  จากอินพุตตัวก่อน ๆ โดยวงจรดิฟเฟอเรนติเอเตอร์ (differentiator) จากนั้นจะนำผลต่าง  $x - \hat{x}$  ของสัญญาณไปจัดระดับ การที่จะทำให้สัญญาณซึ่งผิดพลาดนี้มีการเปลี่ยนแปลงของระดับอย่างรวดเร็ว นั้น จะไม่ใช้การจัดระดับแบบยูนิฟอร์ม (uniform quantizing) แต่จะใช้วิธีจัดระดับเพื่อให้เพิ่มขึ้นหรือลดลงโดยอาศัยค่าตัวอย่างตัวก่อนหน้านั้น วิธีนี้จะปรับปรุงคุณภาพให้ดีขึ้น

### 2.1.4 DM (Delta Modulation)

เทคนิคหลายอย่างที่ใช้เพื่อปรับปรุงการทำงานของ PCM เทคนิคอันหนึ่งที่ถูกเลือกใช้มากที่สุด พอกๆกับ PCM ก็คือ DM

โดยวิธีการ DM ข้อมูลนาลอกจะถูกประมาณค่าด้วยฟังก์ชันขั้นบันได (staircase) ที่มีการเปลี่ยนแปลงขึ้นลงด้วยระดับการควอนไทซ์ที่แต่ละเวลาการสุ่ม ยกตัวอย่างดังรูปใน 2.6 (ค) จะเห็นฟังก์ชันขั้นบันไดทับทาบอยู่บนรูปคลื่นอนาลอกของสัญญาณเดิม ลักษณะที่สำคัญของฟังก์ชันขั้นบันไดก็คือ เป็นไบนารี โดยที่ในแต่ละเวลาการสุ่ม ฟังก์ชันจะมีการเลื่อนขึ้นลงเป็นจำนวนคงที่ ซึ่งทำให้ได้เอาท์พุทของ DM เป็นเลขฐานสอง 1 ตัวสำหรับการสุ่มตัวอย่าง 1 ตัว นั่นคือ ขบวนการของบิทข้อมูลจะถูกสร้างโดยการประมาณค่าของอนุพันธ์หรือค่าการเปลี่ยนแปลงของสัญญาณ แทนที่จะเป็นการประมาณค่าของขนาดสัญญาณ (amplitude)

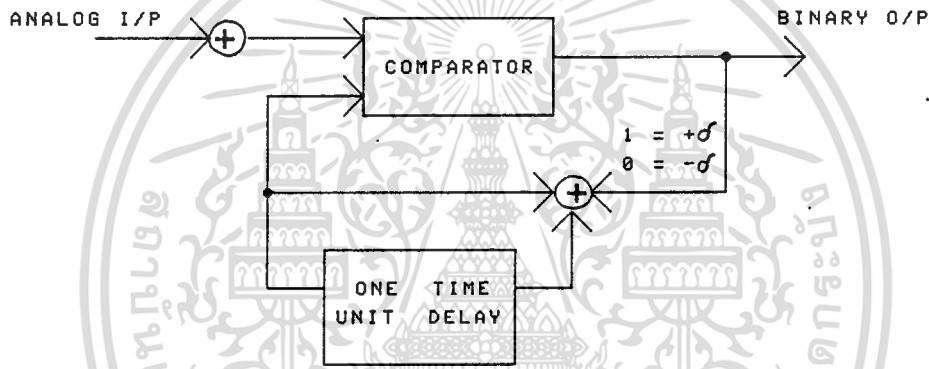


(ค) ฟังก์ชันขั้นบันไดเปรียบเทียบกับสัญญาณเดิม

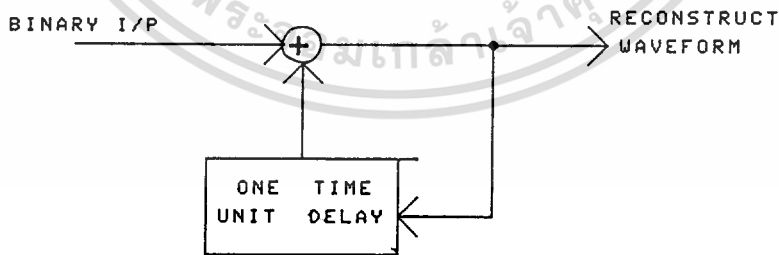
รูปที่ 2.6 ตัวอย่างของเดลต้ามอดูเลชัน (DM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ “1” จะถูกสร้างขึ้นเมื่อฟังก์ชันกำลังเพิ่มขึ้น และในทางตรงข้ามจะสร้าง “0” การเปลี่ยนแปลงขึ้นหรือลงที่เกิดขึ้นในฟังก์ชันสุ่มที่ขณะใดๆ ถูกเลือกเพื่อให้ฟังก์ชันขึ้นบันไดติดตามรูปคลื่นสัญญาณอนาล็อกได้อย่างใกล้ชิดเท่าที่จะเป็นไปได้ รูป 2.7 แสดงกระบวนการของ DM ซึ่งมีส่วนของขบวนการป้อนกลับเป็นส่วนสำคัญ สำหรับแต่ละการส่งผ่านจะมีเหตุการณ์เกิดขึ้นดังนี้ ที่แต่ละตัวอย่างการสุ่มที่ขณะใดๆ สัญญาณอินพุตจะถูกเปรียบเทียบกับค่าของการประมาณฟังก์ชันขึ้นบันไดในเวลานั้น ถ้าค่าของรูปคลื่นที่ทำการสุ่มเกินค่าของฟังก์ชันขึ้นบันได เลข “1” ก็จะถูกสร้างขึ้นมา และในทางกลับกัน “0” ก็จะถูกสร้างขึ้น ค่าเลขไบนารีเหล่านี้จะถูกส่งเป็นเอาต์พุตออกไป ซึ่งจะนำไปใช้ประมาณค่าต่อไปของรูปคลื่นที่สร้างขึ้นมาใหม่ ค่าคงที่  $\sigma$  จะถูกเพิ่มเข้าไปกับฟังก์ชันสำหรับค่าเอาต์พุต “1” และค่าคงที่  $\sigma$  จะถูกหักลบออกไปสำหรับค่า “0” รูป 2.7 แสดงให้เห็นถึงขบวนการในการสร้างขบวนการของเลขฐานสองโดยใช้ DM และในการรับเพื่อสร้างการประมาณฟังก์ชันขึ้นบันได



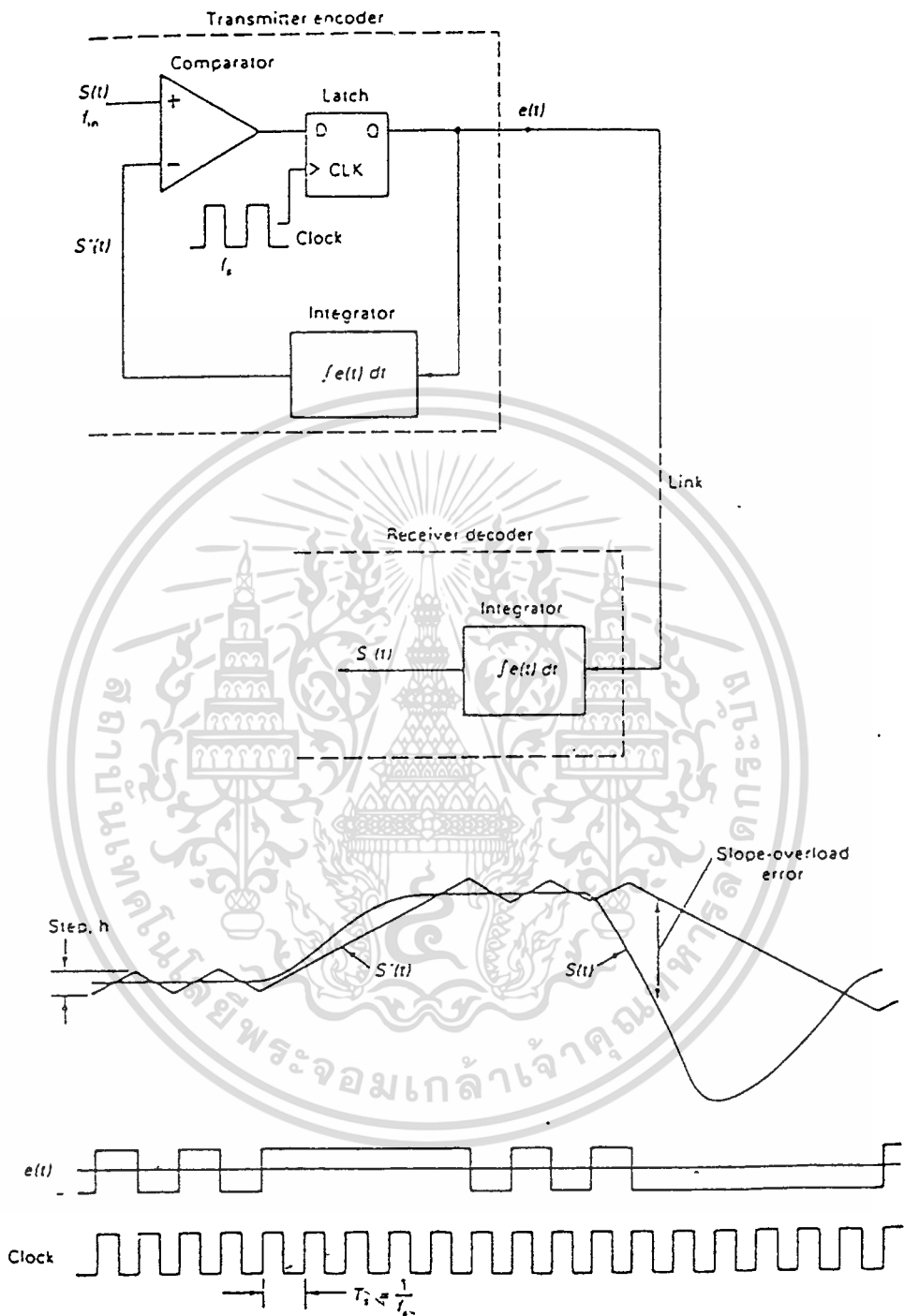
(ก) ด้านส่ง



(ข) ด้านรับ

รูปที่ 2.7 ขบวนการของเคลด้ามอดดูเลชั่น

การทำงานของวงจร DM encoder/decoder แสดงได้ดังรูป 2.8 ซึ่งประกอบด้วย 3 ส่วน  
 วงจรเปรียบเทียบ ( comparator ) , วงจรแลตช์ ( latch ) และวงจรอินทิเกรเตอร์ ( Integrator )



รูปที่ 2.8 การทำงานของ DM encoder/decoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของระบบ คือ ทำการป้อนสัญญาณที่จะส่งออก กลับมาเปรียบเทียบกับสัญญาณที่เข้ามาใหม่  $s(t)$  ที่วงจรเปรียบเทียบ โดยวงจรอินทิเกรเตอร์จะทำการประมาณค่าสัญญาณที่ป้อนกลับก่อนที่จะเข้าวงจรเปรียบเทียบ สำหรับการ decode ในเครื่องรับจะอาศัยวงจรอินทิเกรเตอร์ ที่มีคุณสมบัติเหมือนวงจรอินทิเกรเตอร์ในเครื่องส่ง ทำหน้าที่แปลงสัญญาณที่เป็นดิจิทัล กลับเป็นสัญญาณแบบเดิม

มีตัวแปรที่สำคัญสองตัวในโครงสร้างของเดลต้ามอดูเลชัน คือ ขนาดของขั้นบันได (step size:  $\delta$ ) และอัตราการสุ่ม (sampling rate) ในรูป 2.6 (ค) แสดงให้เห็นว่า จะต้องเลือกค่า  $\delta$  เพื่อสร้างความสมดุลระหว่างความผิดพลาดหรือสัญญาณรบกวนสองชนิด คือ เมื่อคลื่นอนาลอกกำลังมีการเปลี่ยนแปลงอย่างช้าๆ ณ ที่นั้นจะมีสัญญาณรบกวนควอนไทซิง (quantizing noise) สัญญาณรบกวนชนิดนี้จะมีค่ามากขึ้น ถ้า  $\delta$  เพิ่มขึ้น หรืออีกนัยหนึ่ง เมื่อรูปคลื่นอนาลอกกำลังเปลี่ยนแปลงอย่างรวดเร็วมากกว่าที่ฟังก์ชันขั้นบันไดจะตามทัน ณ ที่นี้ก็จะเกิด slope overload noise โดยสัญญาณรบกวนตัวนี้จะแปรผกผันกับ  $\delta$

ซึ่งเราจะปรับปรุงคุณภาพของเดลต้ามอดูเลชันให้ดีขึ้นได้ โดยใช้ Variable Slope Delta Modulation เพื่อแก้ปัญหา slope overload

#### VSDM

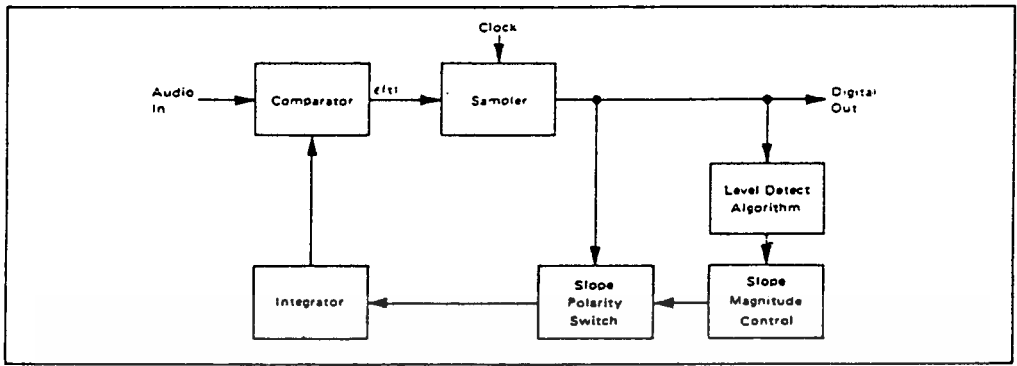
การลดสัญญาณรบกวนควอนไทซิงในเดลต้ามอดูเลชันนั้น สามารถทำได้โดยการเพิ่มจำนวนบิตต่อค่าแซมเปิล ซึ่งจะเรียกว่า Variable Slope Delta Modulation (VSDM) ใน VSDM นั้น slope ของเอาต์พุตของวงจรอินทิเกรเตอร์จะเพิ่มขึ้นหรือลดลง จะขึ้นกับการเปลี่ยนแปลงของสัญญาณอินพุต ทำให้ความต่อเนื่องของสัญญาณดีขึ้น และช่วยลด slope overload ในเครื่องรับ ส่งผลให้สัญญาณรบกวนควอนไทซิงลดลง

การเปลี่ยนแปลงของ slope ของเอาต์พุตของวงจรอินทิเกรเตอร์ อาจจะได้โดยการเปลี่ยนแปลง step size นั่นคือ step size จะมีขนาดใหญ่ เมื่อสัญญาณมีการเปลี่ยนแปลงระดับเร็ว และจะมีขนาดเล็กเมื่อมีการเปลี่ยนแปลงระดับสัญญาณอินพุตน้อย

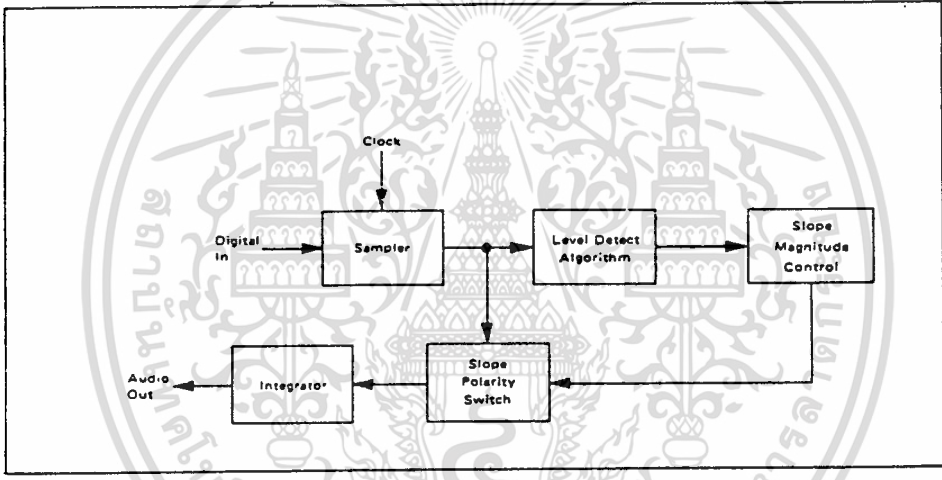
#### 2.1.5 CVSD (Continuously Variable Slope Delta Modulation/Demodulation)

ข้อจำกัดของเดลต้ามอดูเลชัน ก็คือ ความกว้างของแถบความถี่ที่ใช้งาน ซึ่งถูกจำกัดโดยความถี่สัญญาณนาฬิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุตมากกว่าสองเท่าขึ้นไป นอกจากนี้ความเร็วของการแปลงความสูงของสัญญาณหรือไดนามิกเรนจ์ (dynamic range) ในระบบเดลต้ามอดูเลชันทั่วไปมีค่าแคบ จำเป็นต้องมีส่วนเพิ่มเติมเพื่อทำหน้าที่ขยายไดนามิกเรนจ์ให้กว้างขึ้น โดยการควบคุมอัตราขยายของอินทิเกรเตอร์ (Gain control integrator) เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมากๆ ได้ทัน ระบบใหม่ที่พัฒนาขึ้นมานี้มีชื่อเรียกว่าระบบเดลต้ามอดูเลชันแบบแปลงความชันอย่างต่อเนื่อง หรือ CVSD

แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงจากสัญญาณเสียงอนาลอก เป็นข้อมูลดิจิทัล และส่วนของการแปลงกลับจากดิจิทัลเป็นสัญญาณเสียง แสดงดังรูปที่ 2.9 และ 2.10 ตามลำดับ



รูปที่ 2.9 การแปลงสัญญาณอนาลอกเป็นดิจิทัลของ CVSD

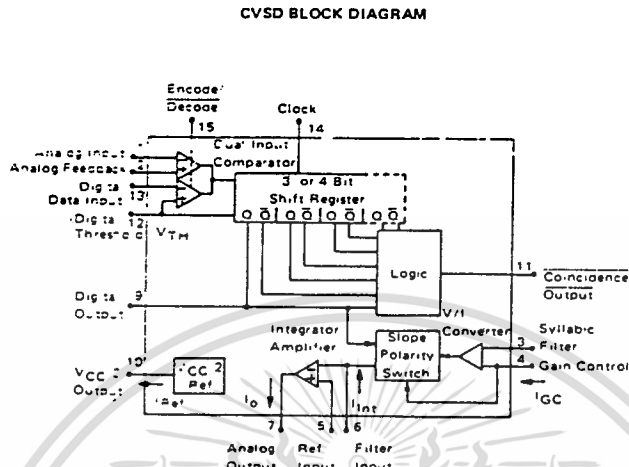


รูปที่ 2.10 การแปลงสัญญาณดิจิทัลเป็นอนาลอกของ CVSD

ส่วนประกอบภายในของวงจรเคลด้ามอดดูเลชั่นประกอบด้วยวงจรเปรียบเทียบในส่วนของการแปลงอนาลอกเป็นดิจิทัล (forward path) และวงจรอินทิเกรเตอร์ในส่วนการแปลงกลับดิจิทัลเป็นอนาลอก (feedback path) เพื่อใช้ในการควบคุมอัตราขยาย โดยที่อินพุทของวงจรเปรียบเทียบ คือ สัญญาณอนาลอกที่ต้องการแปลงและเอาท์-พุทที่ได้จากอินทิเกรเตอร์ เอาท์พุทที่ได้จากวงจรเปรียบเทียบ  $\epsilon(t)$  แสดงเครื่องหมายความแตกต่างระหว่างแรงดันอินพุท (input voltage) กับเอาท์พุทของอินทิเกรเตอร์ซึ่งเป็นดิจิทัล แล้วใช้รีจิสเตอร์ภายในเก็บข้อมูลดิจิทัลที่เข้ามาล่าสุดนั้น (ขนาด 3 หรือ 4 บิตขึ้นกับเบอร์ไอซี) แล้วทำการตรวจดูว่าเป็น “0” ทั้งหมดหรือ “1” ทั้งหมดหรือไม่ ถ้าเป็นเช่นนั้นแสดงว่าขณะนั้นอัตราขยายของอินทิเกรเตอร์ต่ำเกินไป ตอบสนองต่อความชันของสัญญาณไม่ทัน ต้องทำการเพิ่มอัตราขยายให้สูงขึ้นเฉพาะช่วงนั้น ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของการแปลงกลับจากดิจิตอลเป็นสัญญาณอนาล็อก ก็มีการทำงานในลักษณะเดียวกัน คือ ดิจิตอลอินพุตที่เข้ามาจะถูกนำไปเปรียบเทียบกับระดับอ้างอิงดิจิตอล (digital threshold) เมื่อได้เอาท์พุทออกมาก็นำไปเก็บไว้ในรีจิสเตอร์เช่นกัน ตรวจสอบว่าข้อมูลเป็น “0” ทั้งหมด หรือ “1” ทั้งหมดหรือไม่ แล้วจัดการควบคุมอัตราขยายของอินทิเกรเตอร์ให้สอดคล้องกัน



รูปที่ 2.11 โครงสร้างภายในของ CVSD

## 2.2 การขแรมเบิ้ล (Scrambling)

การขแรมเบิ้ลสัญญาณเพื่อรักษาความปลอดภัยให้สัญญาณ ป้องกันไม่ให้ผู้ที่อยู่นอกระบบรับรู้และเข้าใจข้อมูลที่เราส่งไปในสัญญาณได้ อีกทั้งเป็นการป้องกันความผิดพลาดที่จะเกิดเนื่องจากมีข้อมูลบิต “0” ติดต่อกันเป็นเวลานาน การขแรมเบิ้ลอาจทำได้โดยการรวมลำดับแบบกึ่งสุ่ม (pseudorandom sequence หรือ pseudonoise) เข้ากับขบวนข้อมูล หรืออาจทำการรวมทางตรรกศาสตร์ (logic combination) กับขบวนข้อมูลที่ถูกหน่วงไว้

การขแรมเบิ้ลที่ใช้ในระบบยุโรป จะใช้การกลับบิต (จาก “1” เป็น “0” หรือจาก “0” เป็น “1”) บิตเว้นบิต เทคนิคอื่นๆ อาจทำการกลับบิต “1” และ “0” ในขบวนข้อมูลที่มีข้อมูล “0” ปรากฏเป็นส่วนใหญ่

การรวมขบวนบิตข้อมูลเข้ากับขบวนลำดับแบบกึ่งสุ่มนั้น ถ้าตัวกำเนิดลำดับแบบกึ่งสุ่ม 2 ตัวที่มีโครงสร้างเดียวกัน เริ่มต้นด้วยสถานะเดียวกัน มีสัญญาณนาฬิกาอัตราเดียวกัน ย่อมให้เอาท์พุทที่เหมือนกัน วงจรกำเนิดลำดับแบบกึ่งสุ่มเป็นวงจรที่ไม่ยุ่งยากซับซ้อน แต่ให้ลักษณะลำดับที่ดูคล้ายกับการสุ่มจริงๆ

### 2.2.1 ลำดับแบบกึ่งสุ่ม (Pseudorandom sequence)

ลำดับแบบกึ่งสุ่ม เป็นลำดับที่มีคุณลักษณะ (characteristic) ใกล้เคียงกับลำดับที่มีการสุ่มอย่างสมบูรณ์ หรือลำดับที่มีรูปแบบของข้อมูลเป็นอิสระ เราสามารถนำลำดับแบบกึ่งสุ่มมาประยุกต์ใช้ได้หลายอย่างในระบบการส่งสัญญาณแบบดิจิทัล เช่น การเข้ารหัส (coding) การจำลองระบบ (simulation) การวัด (measurement) และการป้องกันการดักฟังข้อมูล (scrambling) หลักการสร้างและคุณลักษณะของลำดับแบบกึ่งสุ่มนี้ มีพื้นฐานจากทฤษฎี Galois field และพหุนามพีชคณิตของ Galois fields

### 2.2.2 การสร้างลำดับแบบกึ่งสุ่ม

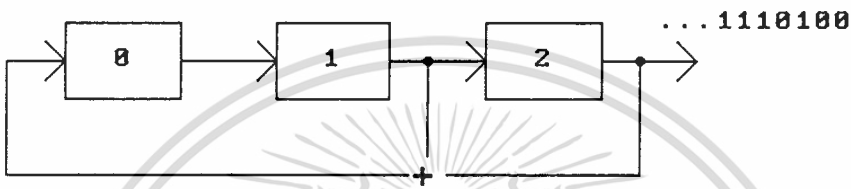
ในการขบวนการนี้เราจะเลือกใช้โครงสร้างของลำดับแบบกึ่งสุ่มแบบ maximum-length linear feedback shift register (m-sequence) ซึ่งเป็นลำดับที่มีคุณลักษณะใกล้เคียงกับลำดับที่มีการสุ่มอย่างสมบูรณ์

m-sequence คือลำดับแบบวนรอบโดยมีช่วงระยะ  $2^m - 1$  ที่สร้างโดยใช้หลักของ Galois field  $GF(2^m)$  ซึ่งสร้างจากพหุนามที่ไม่สามารถถอดตัวประกอบได้อีก (irreducible polynomial)  $p(x)$  ของกำลังสองของ  $GF(2)$  ถ้า  $p(x)$  มีคุณสมบัติพิเศษคือ พจน์  $x$  มีลำดับ  $2^m - 1$  ใน  $GF(2^m)$  แล้วจะเรียก  $p(x)$  ว่า primitive polynomial และเรียกพจน์  $x$  ว่า primitive element ของ  $(2^m)$

แต่ละพจน์ของ  $GF(2^m)$  ที่ไม่เป็นศูนย์ สามารถแสดงเป็น m-bit word หรือในรูปเลขยกกำลังของ  $x$  m-bit binary word มีลักษณะเฉพาะขึ้นกับ  $x^l$  สำหรับแต่ละ  $l$  จาก 0 ถึง  $2^m - 2$  ใช้บิตที่มีลำดับสูง (high order) สอดคล้องกับ  $x^l$  สำหรับแต่ละ  $l$  ดังกล่าวมาสร้างเป็นลำดับที่มีขนาด  $2^m - 1$  บิต ลำดับที่ได้นี้ แต่ละวงรอบการเลื่อนของมัน คือ m-sequence ถึงแม้ว่าลำดับแบบนี้จะมีโครงสร้างที่ตายตัว แต่ก็แสดงลักษณะที่เราต้องการจากในลำดับแบบกึ่งสุ่มได้

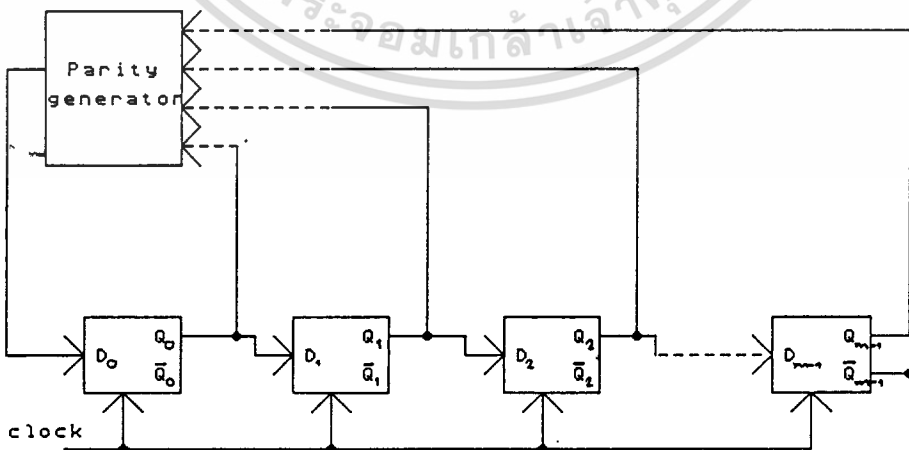
ฮาร์ดแวร์ที่นิยมนำมาใช้สร้างลำดับแบบกึ่งสุ่มแสดงดังรูป 2.12 ประกอบไปด้วยชิฟริจิสเตอร์ (shift register) เราเลือกใช้ดีฟลิปฟลอป (D-flipflop) และจัดเรียงให้อินพุทของแต่ละตัวยกเว้น  $D_0$  คือเอาท์พุท  $Q$  ของฟลิปฟลอปตัวที่อยู่ก่อนหน้านั้น อินพุทของ  $D_0$  คือเอาท์พุทของพาริตีเจเนอเรเตอร์ (parity generator) พาริตีเจเนอเรเตอร์ (โดยทั่วไปสร้างจากลอจิกเกต XOR) จะให้เอาท์พุทเป็นลอจิก "0" เมื่อมีอินพุท "0" เป็นจำนวนคู่ และให้เอาท์พุทเป็นลอจิก "1" เมื่ออินพุท "1" มีจำนวนเป็นเลขคี่ อินพุทของพาริตีเจเนอเรเตอร์คือเอาท์พุทของฟลิปฟลอปจากรูป 2.12 แสดงการต่ออินพุทของพาริตีเจเนอเรเตอร์ด้วยเส้นประ เพื่อแสดงว่า เอาท์พุท  $Q$  ของฟลิปฟลอปแต่ละตัวไม่จำเป็นต้องต่อเป็นอินพุทของพาริตีเจเนอเรเตอร์ทั้งหมด คุณลักษณะของลำดับแบบกึ่งสุ่มขึ้นกับจำนวนฟลิปฟลอป  $m$  และการเลือกว่าจะต่อเอาท์พุท  $Q$  ของฟลิปฟลอปตัวใดบ้างเป็นอินพุทของพาริตีเจเนอเรเตอร์

สถานะของลำดับจะถูกกำหนดโดยสถานะลอจิกของเอาต์พุต  $Q$  ของฟลิปฟล็อปทั้งหมด ตลอดช่วงหนึ่งสัญญาณนาฬิกา สถานะของชิฟริจิสเตอร์จะคงที่ โดยทั่วไปแล้วสถานะจะเปลี่ยน ขณะมีการเปลี่ยนจากรอบสัญญาณนาฬิกาหนึ่งไปยังรอบถัดไป รีจิสเตอร์ที่มีฟลิปฟล็อป  $m$  ตัวมี  $2^m$  สถานะ จาก  $Q_0Q_1Q_2\dots Q_{m-1} = 000\dots 0$  ถึง  $Q_0Q_1Q_2\dots Q_{m-1} = 111\dots 1$  แน่ใจว่าฮาร์ดแวร์ตาม รูป 2.12 ไม่สามารถสร้างลำดับที่มีการสุ่มอย่างแท้จริงได้ เนื่องจากเป็นโครงสร้างที่เราสามารถ คาดเดาผลที่จะตามมาได้ และค่อนข้างจะชัดเจนว่าลำดับใดๆที่สร้างขึ้นจากวงจรนี้ เมื่อมีการ สร้างขบวนบิตไปเรื่อยๆจะเกิดลำดับซ้ำ นั่นคือมันจะวนรอบกลับมาซ้ำรูปแบบเดิม



รูปที่ 2.12 ตัวกำเนิดลำดับแบบกึ่งสุ่ม

ขณะที่ไม่สามารถสร้างลำดับที่มีการสุ่มอย่างแท้จริงได้ เราจะถือว่าลำดับที่มีช่วงระยะวนซ้ำที่ยาวพอ เป็นลำดับที่มีคุณลักษณะแบบสุ่ม วิธีที่ง่ายที่สุดที่จะทำให้ได้ลำดับดังกล่าวคือใช้ ฟลิปฟล็อปจำนวนมาก ปัจจุบันจากเทคโนโลยี MOS-LSI มีความเป็นไปได้ที่จะสร้างชิพ (chip) ที่มีฟลิปฟล็อปรีจิสเตอร์ถึง 200 ตัวได้ จะทำให้ได้ลำดับที่มีความยาวสูงสุด  $2^m - 1$  โดยไม่รวมถึง สถานะ  $000\dots 0$  เนื่องจากถ้าสถานะของรีจิสเตอร์เป็น "0" หมด จะทำให้สถานะของชิฟริจิสเตอร์ ไม่เกิดการเปลี่ยนแปลงใดๆอีก



รูปที่ 2.13 ตัวอย่างการกำเนิดลำดับแบบ m-sequence

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างของ linear feedback shift register ในรูป 2.13 มี  $p(x) = x^3 + x + 1$  เป็น primitive polynomial เราจะได้ m-sequence ความยาว 7 บิต โดยใช้ feedback shift register ในรูป 2.13 เป็นวงจรที่จะทำการคูณพหุนามที่กำหนดด้วย  $x$  และหารด้วย  $x^3 + x + 1$  เมื่อเริ่มสถานะเริ่มแรกของ ชิฟ-รีจิสเตอร์ด้วย  $x^0$  จากซ้ายมาขวาด้วย 100 ลำดับของบิตย้อนกลับคือ

0010111.....

ซึ่งจะวนซ้ำไปเรื่อยๆ นี่คือ m-sequence ขนาด 7 บิต สังเกตว่าจำนวนของ “0” ต่างจาก “1” อยู่หนึ่ง ซึ่งก็เป็นจำนวนที่ใกล้เคียงกันที่สุดเท่าที่จะเป็นไปได้ในลำดับที่มีความยาวเป็นจำนวนคี่ ถ้าหากพิจารณาลำดับในลักษณะวนเป็นวงแล้ว จะพบว่าลำดับย่อย (subsequence) 2 บิตเป็นดังนี้

00,01,10,01,11,11,10

แต่ละแบบจะปรากฏ 2 ครั้ง ยกเว้น 00 ซึ่งก็ใกล้เคียงที่สุดเท่าที่จะเป็นไปได้สำหรับลำดับที่มีความยาวเป็นจำนวนคี่ ในลำดับย่อย 3 บิตแต่ละแบบจะปรากฏหนึ่งครั้งเท่านั้น ยกเว้น 000 ลักษณะเช่นนี้จะปรากฏในทุกๆ m-sequence สมมติว่าใช้ primitive polynomial  $p(x)$  ยกกำลัง 30 จะได้ m-sequence ความยาว  $2^{30}-1$  หรือประมาณ  $10^9$  บิต และทุกลำดับย่อยขนาด  $r$  บิต ยกเว้นแบบ “0” หมดจะปรากฏเป็นจำนวนเท่าๆกัน โดย  $r$  ต้องไม่เกิน 30

### 2.2.3 ความยาวของลำดับแบบกึ่งสุ่ม

พิจารณารูป 2.12 แสดงภาพตัวกำเนิดลำดับแบบกึ่งสุ่ม ชิฟ-รีจิสเตอร์ประกอบด้วยฟลิป-ฟลอป  $m$  ตัว ซึ่งสามารถมีได้  $2^m$  สถานะ แต่สถานะ “0” หมดทุกตัวจะถูกยกเว้น เพราะมันจะทำให้สถานะของชิฟ-รีจิสเตอร์ไม่เกิดการเปลี่ยนแปลงใดๆอีกเลย ดังนั้นจึงมีสถานะที่เป็นไปได้  $2^m - 1$  สถานะ

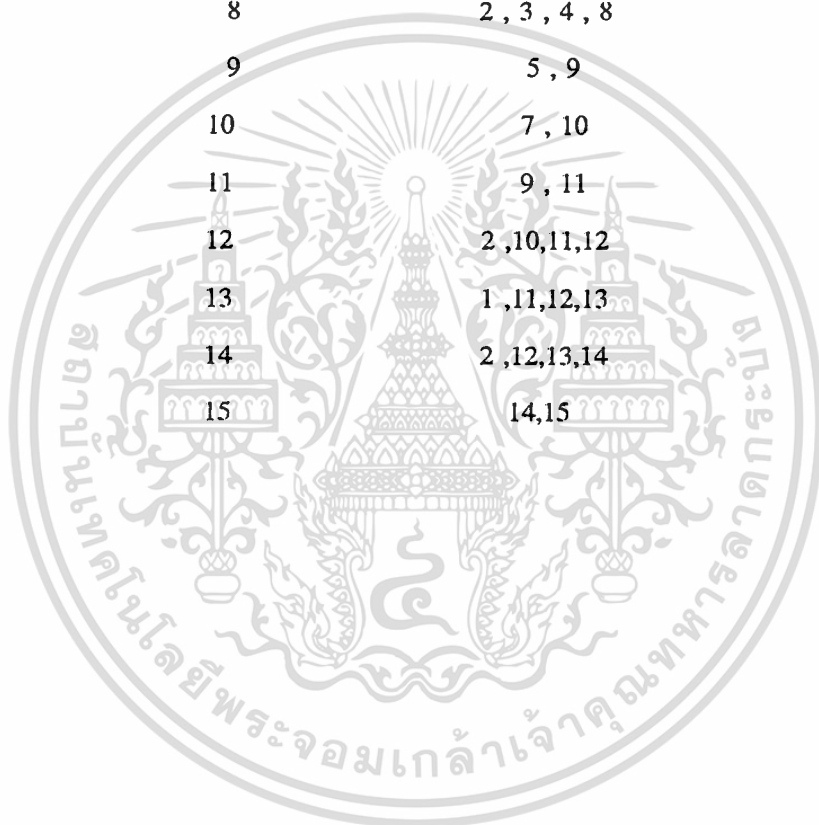
ถ้าพหุนาม  $p(x)$  เป็น primitive polynomial รีจิสเตอร์จะสามารถสร้างสถานะที่เป็นไปได้ทั้งหมด  $2^m - 1$  สถานะ ไม่ว่าสถานะเริ่มต้นจะเป็นอย่างไร ( ยกเว้นสถานะศูนย์หมด ) สถานะของรีจิสเตอร์จะวนซ้ำด้วยคาบ  $2^m - 1$  และลำดับที่ได้  $\{ a_i \}$  ก็จะมีคาบด้วยคาบ  $2^m - 1$  ด้วย ซึ่งเป็นระยะที่ยาวที่สุดที่รีจิสเตอร์จากฟลิปฟลอป  $m$  ตัวจะสร้างได้

เราสามารถกำหนดได้ว่าจะต่อเอาท์พุทของฟลิปฟลอปตัวใดบ้าง เป็นอินพุทของพาร์ติเจเนอเรเตอร์ เพื่อให้ได้ลำดับที่มีความยาวสูงสุด (  $2^m - 1$  ) ในทางปฏิบัติ เพื่อให้สะดวกในการใช้งาน สำหรับเลขยกกำลัง  $m$  เราจะเลือกใช้ primitive polynomial ที่มีจำนวนสัมประสิทธิ์เป็น 1 ให้น้อยที่สุด ( อย่างน้อย 3 ตัว ) หรือกล่าวคือใช้เอาท์พุท  $Q$  ของฟลิปฟลอปที่เป็นอินพุทของพาร์ติเจเนอเรเตอร์ให้น้อยที่สุด กรณี  $m=1$  ถึง  $m=15$  การออกแบบรีจิสเตอร์เพื่อที่จะให้ได้ความยาวสูงสุด แสดงดังตารางต่อไปนี้

## จำนวนชิพรีจิสเตอร์

## Feedback Tap

1	1
2	1, 2
3	2, 3
4	3, 4
5	3, 5
6	5, 6
7	6, 7
8	2, 3, 4, 8
9	5, 9
10	7, 10
11	9, 11
12	2, 10, 11, 12
13	1, 11, 12, 13
14	2, 12, 13, 14
15	14, 15



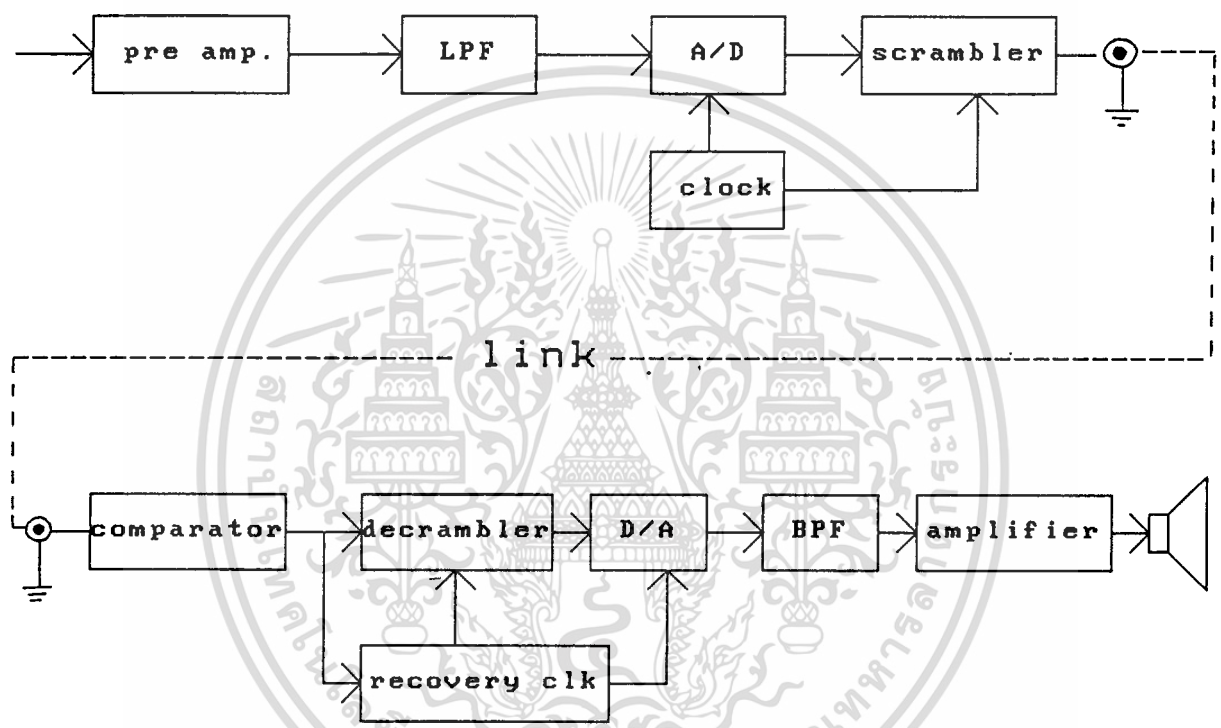
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### บทที่ 3

## โครงสร้างและหลักการทำงานของวงจร

### 3.1 โครงสร้างของวงจร

หลักการทำงานของวงจรป้องกันการดักจับสัญญาณแบบดิจิทัล เขียนเป็นบล็อกไดอะแกรม ได้ดังรูปที่ 3.1



รูปที่ 3.1 บล็อกไดอะแกรมการทำงานของวงจรป้องกันการดักจับข้อมูลดิจิทัล

ในภาคส่ง สัญญาณเสียงจะส่งผ่านเข้าวงจรพีเอมพี เพื่อขยายให้มีกำลังแรงขึ้น จากนั้นส่งเข้าวงจรกรองความถี่ต่ำ เพื่อกรองเอาเฉพาะความถี่ที่ไม่เกินย่านความถี่เสียงผ่านเข้าไปในวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (A/D converter) สัญญาณที่แปลงเป็นดิจิทัลแล้วจะถูกขแรมเบลิต โดยวงจรขแรมเบลอ เพื่อเปลี่ยนสัญญาณให้มีลำดับที่เปลี่ยนไป เป็น

การชแครบเบิลสัญญาณ จากนั้นก็ส่งไปยังภาครับ ซึ่งจะมีส่วนจรดิชแครบเบิลแปลงสัญญาณที่ชแครบเบิลมาแล้วนี้กลับไปเป็นสัญญาณดิจิทัลเดิม แล้วก็จะเปลี่ยนกลับไปเป็นสัญญาณอนาลอกโดยวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอก ( D/A converter ) ให้เหมือนกับสัญญาณอินพุตที่ทางภาคส่งส่งมา

### 3.2 ส่วนของการแปลงสัญญาณอนาลอกเป็นดิจิทัล

ในโครงการนี้ใช้ไอซีเบอร์ MC3417 ของโมโตโรลา ซึ่งมีชื่อเรียกเต็มๆว่า Continuously Variable Slope Delta Modulator/demodulator เป็นไอซีที่ทำหน้าที่แปลงสัญญาณอนาลอกเป็นข้อมูลดิจิทัล ( เหมือนเป็นการเข้ารหัสข้อมูล 1 บิต ) และแปลงจากข้อมูลดิจิทัลเป็นข้อมูลอนาลอกตามเดิม บิตข้อมูลเหล่านี้สามารถส่งผ่านทางช่องการสื่อสารทั่วไป เช่น ระบบวิทยุและโทรทัศน์ เป็นต้น ในลักษณะเป็นอนุกรม ปกติแล้วอัตราเร็วของข้อมูลที่ได้จากวิธีเดลต้ามอดูเลชันมีค่าเท่ากับความเร็วของสัญญาณนาฬิกา ( หรืออาจกล่าวได้ว่า ทำการเข้ารหัสข้อมูล 1 บิตต่อสัญญาณนาฬิกา 1 ลูก ) ทำให้ข้อมูลมีประสิทธิภาพและความชัดเจนดีกว่า ทั้งยังมีอัตราเร็วของข้อมูลต่ำ เพื่อให้สามารถส่งผ่านสายโทรศัพท์ซึ่งมีความกว้างของแถบความถี่ 4 กิโลเฮิร์ตได้ ไอซีเบอร์นี้ใช้ความเร็วสัญญาณนาฬิกา 16 กิโลเฮิร์ต ดังนั้นข้อมูลดิจิทัลที่ได้มีบิตเรท 16 กิโลบิตต่อวินาที

หน้าที่การทำงานของขาต่างๆของไอซีเบอร์นี้ แสดงผังรายละเอียดที่จะกล่าวต่อไปนี้ สำหรับวงจรใช้งานจริงแสดงในรูป 3.2

รายละเอียดและหน้าที่ใช้งานของขาต่างๆของ MC3417 มีดังนี้

#### ขา 1 Analog Input

เป็นอินพุทขาลบของวงจรเปรียบเทียบเพื่อป้อนสัญญาณเสียง อาจจะ เป็น AC หรือ DC coupled ขึ้นกับการใช้งาน ถ้าระดับสัญญาณเสียงมีค่าเข้าใกล้แรงดันอ้างอิงภายใน แล้วตัวต้านทานที่ต่อไบอัสอยู่ระหว่างขา 1 กับขา 10 จะถูกนำมาใช้ อนาลอกคอมแพเรเตอร์ ออกแบบขึ้นใช้กับ low hysteresis (ปกติน้อยกว่า 0.1 มิลลิโวลต์) และมีค่าอัตราการขยายสูง (ปกติ 70 เดซิเบล)

#### ขา 2 Analog Feedback

เป็นอินพุทขาบวกของวงจรเปรียบเทียบ ในการเข้ารหัสนั้นขานี้จะต่อเข้ากับอนาลอกเอาต์พุทของวงจรเข้ารหัส ( ขา 7 ) ในวงจรถอดรหัสขา 2 จะไม่ถูกใช้ หรืออาจจะต่อกับ  $V_{CC}/2$  ที่ขา 10 ลงกราวด์หรืออาจปล่อยลอยไว้

อินพุทของวงจรเปรียบเทียบจะมีกระแสไบอัสสูงสุด 1.5 ไมโครแอมป์ ดังนั้นกระแสขั้วที่ขา 1 และขา 2 ควรจะเท่ากันเพื่อหลีกเลี่ยงการรบกวนกันของวงจรเข้ารหัส

### ขา 3 Syllabic Filter

แรงดันที่ได้จากขานี้จะส่งกลับเข้าไปในไอซีเพื่อควบคุม step size ของ อินทิเกรเตอร์ ประกอบด้วยวงจร RC อยู่ระหว่างขา 11 กับ ขา 3 ค่าคงที่เวลา (time constant) ที่ใช้ในการเข้ารหัสถอดรหัสสัญญาณเสียงทั่วไปมีค่าเท่ากับ 6 มิลลิวินาที ถึง 50 มิลลิวินาที

### ขา 4 Gain Control Input

แรงดันที่ได้จาก Syllabic filter เกิดขึ้นคร่อม  $C_s$  และเป็นแรงดันระหว่าง  $V_{CC}$  กับขา 3 จากนั้นส่งไปให้ตัวแปลงแรงดันเป็นกระแส เพื่อนำไปขับขา 4 ด้วย slew rate 0.5 โวลต์ต่อไมโครวินาที ตัวต้านทาน  $R_x$  สามารถเปลี่ยนได้ เพื่อปรับรูปร่างของวงจรเข้ารหัส แต่ควรจะมีค่ามากกว่า 5 กิโลโอห์มเพื่อรักษาเสถียรภาพ

### ขา 5 Reference Input

เป็นอินพุตขาบวกของอินทิเกรเตอร์แอมพลิฟายเออร์ ใช้ในการอ้างอิงระดับ DC ของสัญญาณเอาต์พุต ในวงจรเข้ารหัสมีค่าแรงดันอ้างอิงเท่ากับ 1 และถูกต่อเข้ากับขา 10

### ขา 6 Filter Input

เป็นอินพุตขาลบของอุปกรณ์ภายนอกวงจรอินทิเกรเตอร์ กระแสของวงจรอินทิเกรเตอร์จะไหลเข้าไปในขา 6 เมื่ออินพุตอนาล็อก (ขา 1) มีค่ามากเมื่อเทียบกับสัญญาณอนาล็อกที่ป้อนกลับ (ขา 2) ในช่วงการเข้ารหัส หรือเมื่ออินพุตข้อมูลดิจิทัล (ขา 13) มีค่ามากในช่วงถอดรหัส ในทางกลับกันกระแสนี้จะไหลออกจากขา 6 ระบบอินทิเกรชันโดยทั่วไปต้องการตัวเก็บประจุและตัวต้านทานต่อระหว่างขา 6 และขา 7 ตัวต้านทานระหว่างขา 6 และขา 7 ควรมีค่าอยู่ระหว่าง 8 กิโลโอห์ม ถึง 13 กิโลโอห์ม เพื่อรักษาคุณสมบัติของโอเซลแกนเนล

### ขา 7 Analog Output

เป็นขาเอาต์พุตของออปแอมป์ที่เป็นอินทิเกรเตอร์ ใช้ขับโหลด 600 โอห์ม ด้วยแรงดัน  $V_{CC}/2$  ถึง +6 dBm slew rate ของออปแอมป์ที่เป็นอินทิเกรเตอร์นี้เท่ากับ 0.5 โวลต์ต่อไมโครวินาที เอาต์พุตของขา 7 ซึ่งมีกระแสไหลค่าจำกัดที่ขั้วอินพุตทั้งสองจะมีค่ากระแสไหลโดยทั่วไป 30 มิลลิแอมป์

### ขา 8 $V_{EE}$

MC3417 ถูกออกแบบให้ใช้งานได้ทั้งไฟเลี้ยงเดี่ยว (single power supply) และไฟเลี้ยงคู่ (dual power supply) ซึ่งขา 8 นี้ส่วนใหญ่ต่อเข้ากับขั้วไฟลบ

### ขา 9 Digital Output

เอาต์พุตดิจิทัลที่ได้จากการแปลง มีค่าอยู่ระหว่าง  $V_{CC}$  กับ  $V_{EE}$  สามารถใช้งานได้ทั้งกับ TTL หรือ CMOS ข้อมูลดิจิทัลนี้ได้จากขอบขาลงของสัญญาณนาฬิกาที่ขา 14

### ขา 10 $V_{CC} / 2$ Output

ขาแรงดันอ้างอิงครึ่งหนึ่งจะใช้งานกรณีป้อนไฟเลี้ยงเดี่ยว ซึ่งจ่ายกระแสไฟสูงสุด 10 มิลลิแอมป์ และจะต้องมีตัวเก็บประจุค่า 0.1 ไมโครฟารัด ต่อบายพาสจากขา 10 ไปยัง  $V_{EE}$

### ขา 11 Coincidence Output

รอบเวลาในการทำงานของขา 11 จะแปรตามแรงดันที่คร่อมตัวเก็บประจุ  $C_S$  ซึ่งขา 11 นี้จะมีค่าน้อยกรณีที่มีชิพรีจิสเตอร์ภายในเป็น “0” หรือ “1” หก ( ไอซีเบอร์ MC3417 มีชิพรีจิสเตอร์ขนาด 3 บิต ส่วน MC3418 มีขนาด 4 บิต ) ขา 11 นี้เป็นขาคอลเล็กเตอร์ของทรานซิสเตอร์ NPN จึงต้องใช้ตัวต้านทานค่าหนึ่งดึงกระแส ถ้า Syllabic filter มีค่าคงที่ เวลาในการประจุและคายประจุเท่ากัน ค่า  $R_p$  ควรมีค่าน้อยกว่า  $R_s$  ทรานซิสเตอร์ NPN จะไม่ให้กระแสไหลผ่านเข้าตัวมันเกิน 3 มิลลิแอมป์

### ขา 12 Digital Threshold

ใช้กำหนดระดับ (threshold level) ของขา 13, 14 และ 15 เพื่อให้ใช้งานร่วมกับไอซีตระกูลต่างๆได้ เช่น ถ้าเชื่อมต่อกับไอซี CMOS ปกติจะต่อกับขาแรงดันไฟเลี้ยงครึ่งหนึ่ง (ขา 10) หรือกรณีที่ต้องร่วมกับไอซี TTL จะถูกไบอัสด้วยไดโอด 2 ตัวก่อนลงกราวด์

### ขา 13 Digital Data Input

ในการถอดรหัส สัญญาณดิจิตอลจะถูกป้อนเข้าขา 13 สำหรับช่วงการเข้ารหัสขา 13 จะไม่ใช้ หรืออาจใช้ในการส่งสัญญาณข่าวสาร ทั้งนี้ก็ขึ้นอยู่กับขา 15 ที่ใช้ควบคุมระดับข้อมูลดิจิตอลอินพุทควรจะมีค่าอยู่ที่ 0.5 ไมโครวินาที ก่อนและหลังการกระตุ้นสัญญาณนาฬิกา

### ขา 14 Clock Input

บอกได้ว่าอัตราข้อมูลของสัญญาณจากวงจรเข้ารหัสเป็นเท่าไร ตัวอย่างเช่น อัตราข้อมูล 32 กิโลบิตต่อวินาที ต้องใช้ความถี่ของสัญญาณนาฬิกา 32 กิโลเฮิร์ต ชิพรีจิสเตอร์จะเกิดการทอกเกิลที่ขอบขาของขาสัญญาณนาฬิกา ระดับของสัญญาณนาฬิกา กำหนดโดยขา 12

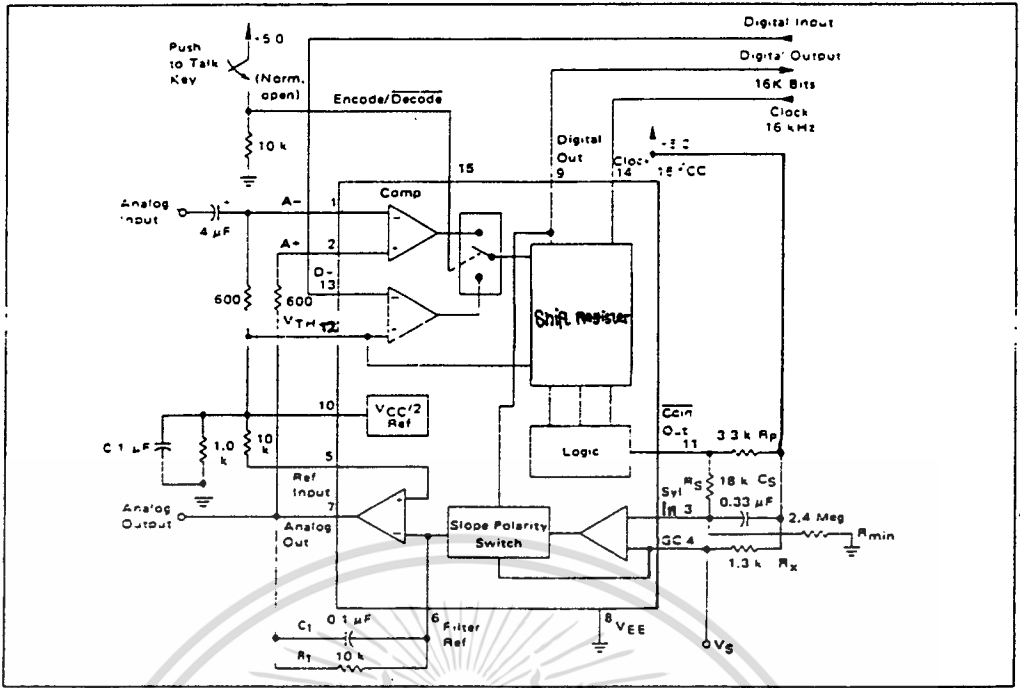
### ขา 15 Encode/Decode

เป็นขาควบคุมการต่อระหว่างอนาล็อกอินพุทของวงจรเปรียบเทียบ (ดิจิตอลอินพุทของวงจรเปรียบเทียบ) เข้ากับชิพรีจิสเตอร์ ถ้าเป็น “1” สัญญาณอนาล็อกอินพุทจะถูกเปรียบเทียบกับช่วงขอบขาของสัญญาณนาฬิกาที่ขา 14 ถ้าเป็น “0” สัญญาณดิจิตอลจะถูกเปรียบเทียบกับค่าคงที่

### ขา 16 $V_{CC}$

ค่าแรงดันไฟเลี้ยงอยู่ในช่วงระหว่าง 4.75 ถึง 16.5 โวลต์เทียบกับ  $V_{EE}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

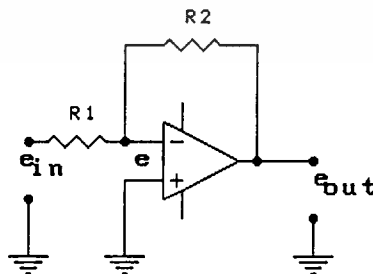


รูปที่ 3.2 วงจรการใช้งานจริงของ MC3417

### 3.3 การขยายสัญญาณ

ในการขยายสัญญาณเสียงพูดที่เข้ามาในระบบ จะใช้อินเวอร์ตติ้งแอมพลิฟายเออร์ (inverting amplifier) ซึ่งแสดงไว้ในรูปที่ 3.3 โดยที่ non-inverting input ต่อลงกราวด์ ในบางกรณีอาจผ่านตัวต้านทานค่าหนึ่ง เพื่อเป็นการชดเชยไบอัสด้วย จากรูปที่ 3.3 ค่า  $R_2$  เป็นส่วนป้อนกลับ (feedback path) จากเอาต์พุตมายังอินพุต ถ้าให้  $e$  เป็นค่าของแรงดันระหว่าง inverting input กับกราวด์ จะได้ว่า

$$(e_{in} - e) / R_1 = (e - e_{out}) / R_2 \dots \dots \dots (1)$$



รูปที่ 3.3 Inverting Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคุณสมบัติของอินพุทอิมพีแดนซ์ของออปแอมป์ ที่ว่ามีค่ามากเป็นอนันต์ กล่าวคือ ไม่มีกระแสไหลเข้าไปในออปแอมป์ไฟเออร์ ฉะนั้นกระแสที่ไหลผ่าน  $R_1$  จึงมีค่าเท่ากับกระแสที่ไหลผ่าน  $R_2$  และจากคุณสมบัติอีกข้อคือ open loop gain มีค่าเป็นอนันต์  $e$  จึงมีค่าเท่ากับศูนย์ เพราะฉะนั้นจากสมการ (1) ได้ว่า

$$e_{out} / e_{in} = -R_2 / R_1 \quad \dots \dots \dots (2)$$

สมการ (2) ถือว่าเป็น closed loop gain ของออปแอมป์ไฟเออร์ ( เพราะว่ามีโครงร่างแบบป้อนกลับ ) ใช้สัญลักษณ์  $A_F$  นั่นคือ

$$A_F = -R_2 / R_1 \quad \dots \dots \dots (3)$$

สำหรับ open loop gain ของออปแอมป์ไฟเออร์ แทนด้วยสัญลักษณ์  $A_o$

ส่วน input impedance ( $R_{in}$ ) ของอินเวิร์ทติงออปแอมป์ไฟเออร์มีค่าเท่ากับแรงดันอินพุทหารด้วยกระแสอินพุท

$$R_{in} = e_{in} / \left\{ (e_{in} - e) / R_1 \right\} \quad \dots \dots \dots (4)$$

แต่เนื่องจากอินพุทอิมพีแดนซ์ของออปแอมป์มีค่าเป็นอนันต์ จึงได้ว่า

$$R_{in} = R_1$$

### 3.4 การกรองสัญญาณ

#### 3.4.1 การออกแบบวงจรกรองความถี่

การออกแบบวงจรกรองความถี่ที่ใช้ในวงจรโทรคมนาคมนั้น อาจแยกได้เป็นสองส่วนคือ

ส่วนที่หนึ่งเป็นวงจรกรองความถี่ที่ใช้กับสัญญาณที่มีค่าต่ำๆ เช่น วงจรกรองความถี่ที่ใช้กับสัญญาณในย่านความถี่เสียง โดยได้ทำการวิเคราะห์และออกแบบวงจรกรองความถี่แบบแอคทีฟที่ใช้ตัวต้านทานและตัวเก็บประจุ ( RC-Active filter ) กล่าวคือ อาศัยตัวขยายสัญญาณจำพวกทรานซิสเตอร์หรือไอซีในรูปออปแอมป์ และตัวต้านทานกับตัวเก็บประจุทำงานร่วมกัน

โดยทั่วไป ถ้าคำนึงถึงชิ้นส่วนที่นำมาประกอบเป็นวงจรกรองความถี่ สามารถแบ่งออกเป็นประเภท Passive และ Active ชิ้นส่วนวงจรที่ในวงจรกรองความถี่แบบพาสซีฟ ได้แก่ ตัวต้านทาน , ตัวเก็บประจุ และตัวเหนี่ยวนำ การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ย่อมขึ้นอยู่กับย่านความถี่ของสัญญาณที่ต้องการให้วงจรกรองความถี่นั้นทำงาน ยกตัวอย่างเช่น RC Filter ใช้กับย่านความถี่เสียง หรือใช้ในย่านความถี่ต่ำ ขณะที่ LC filter หรืออาจจะกล่าวไปถึง Crystal

Filter เหมาะที่จะใช้ในงานความถี่วิทยุหรือย่านความถี่สูง และโดยเฉพาะอย่างยิ่งค่า  $Q$  หรือ Figure of merit ที่สูงของตัวคริสตอลทำให้ Crystal Filter มีเสถียรภาพที่ความถี่สูงมากกว่า LC Filter อีกด้วย และในกรณีนี้เราไม่นำตัวเหนี่ยวนำมาใช้ในงานความถี่เสียง เพราะย่านความถี่ต่ำเช่นนี้ ตัวเหนี่ยวนำมีขนาดใหญ่ จึงมีราคาแพง สิ้นเปลืองกำลังงานในตัวมาก และยังกระจายสนามแม่เหล็กไปรบกวนชิ้นส่วนหรืออุปกรณ์ข้างเคียง

ส่วนที่สองเป็นวงจรกรองความถี่ที่ใช้กับวงจรที่มีกระแสผ่านสูง เช่น วงจรความถี่ในวงจรขยายกำลังส่งออกของเครื่องส่งวิทยุ เป็นต้น ในวงจรกรองความถี่แบบนี้จำเป็นต้องใช้วงจรแบบพาสซีฟ แม้ว่าจะเกิดการสูญเสียขึ้นก็ตาม

กล่าวโดยทั่วไป สามารถแบ่งวงจรกรองความถี่ออกได้เป็นหลายรูปแบบ ดังนี้

1. วงจรกรองความถี่ชนิดอนาล็อกหรือชนิดดิจิทัล
2. วงจรกรองความถี่ชนิดพาสซีฟหรือชนิดแอคทีฟ
3. วงจรกรองความถี่ที่ใช้ในงานความถี่เสียงหรือย่านวิทยุ

วงจรกรองความถี่แบบอนาล็อกออกแบบมาเพื่อใช้กับสัญญาณอนาล็อก ส่วนวงจรกรองความถี่แบบดิจิทัลใช้งานกับสัญญาณอนาล็อกเช่นกัน แต่อาศัยเทคนิคทางดิจิทัลมาช่วย

### 3.4.2 ข้อดีของวงจรกรองความถี่แบบแอคทีฟที่เหนือกว่าแบบพาสซีฟ ข้อดีของวงจรกรองความถี่แบบแอคทีฟที่เหนือกว่าแบบพาสซีฟ มีดังนี้

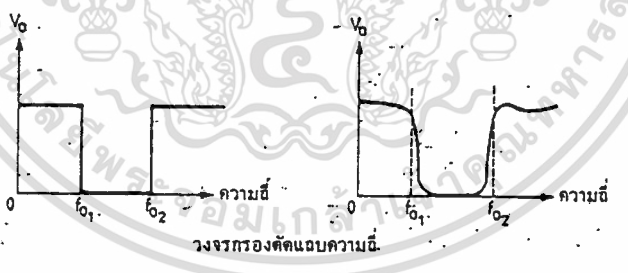
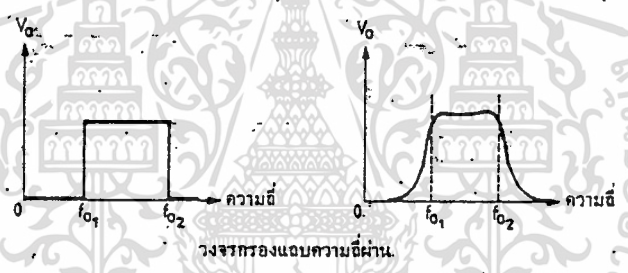
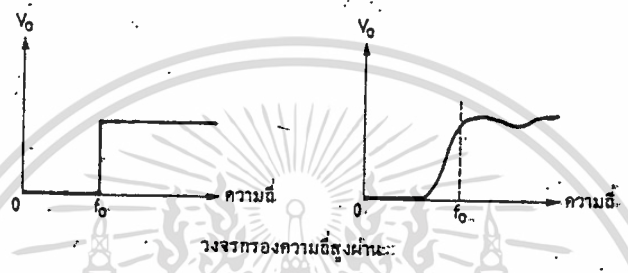
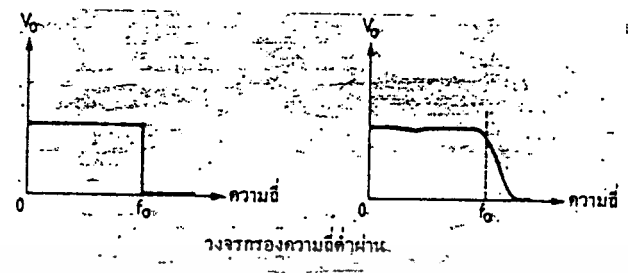
1. การปรับอัตราขยายและปรับความถี่เป็นอิสระต่อกัน สามารถจัดค่าอัตราการขยายของออปแอมป์ชดเชยกับอัตราการลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราขยายของวงจรทั้งหมด ด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยายออปแอมป์ และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น
2. ไม่มีปัญหา loading จากการที่ออปแอมป์มีอินพุทอิมพีแดนซ์สูงมากเป็นอนันต์ และเอาต์พุทอิมพีแดนซ์ต่ำ วงจรกรองความถี่แบบแอคทีฟซึ่งอาศัยออปแอมป์จึงไม่เกิดปัญหา loading กับเอาต์พุทและอินพุทของวงจร ณ จุดที่นำวงจรกรองความถี่เข้าไปต่อ
3. มีราคาถูก วงจรกรองความถี่แบบแอคทีฟมีราคาถูกกว่า เพราะไม่ต้องอาศัยตัวเหนี่ยวนำที่มีราคาแพง และยังใช้ออปแอมป์ ซึ่งในปัจจุบันราคาถูก

### 3.4.3 วงจรกรองความถี่ในอุดมคติและในการใช้งานจริง

เมื่อพิจารณาในด้านการใช้งานแล้ววงจรกรองจะถูกใช้งานใน 4 ลักษณะ ได้แก่

1. วงจรกรองความถี่ต่ำผ่าน (low pass filter) จะยอมให้สัญญาณที่มีความถี่ตั้งแต่ 0 เฮิรต์ ไปจนถึงความถี่ที่กำหนด ( $f_0$ ) ผ่านวงจรกรองความถี่ไปได้ ส่วนความถี่ตั้งแต่ความถี่ที่กำหนดขึ้นไปจนถึงความถี่อนันต์จะไม่สามารถผ่านไปได้
2. วงจรกรองความถี่สูงผ่าน (high pass filter) ให้ความถี่ผ่านได้ตั้งแต่ความถี่ที่กำหนด ( $f_0$ ) ไปจนถึงความถี่อนันต์ ส่วนความถี่ที่ต่ำกว่า  $f_0$  ลงมาจะถูกตัดทิ้ง
3. วงจรกรองแถบความถี่ผ่าน (band pass filter) เปรียบเสมือนนำเอาวงจรกรองความถี่ต่ำผ่านมาอนุกรมกับวงจรกรองความถี่สูงผ่าน ความถี่ที่ผ่านได้ต้องมีค่ามากกว่า  $f_{01}$  แต่ น้อยกว่า  $f_{02}$  ส่วนความถี่ที่ไม่อยู่ในย่านนี้จะถูกตัดทิ้ง
4. วงจรกรองตัดแถบความถี่ (band-stop filter) วงจรกรองลักษณะนี้จะตรงข้ามกับการใช้งานในลักษณะแถบความถี่ผ่าน ความถี่ในช่วงที่สูงกว่า  $f_{01}$  และต่ำกว่า  $f_{02}$  จะถูกตัดทิ้งไป แต่ความถี่ที่ต่ำกว่า  $f_{01}$  และสูงกว่า  $f_{02}$  จะสามารถผ่านไปได้

เปรียบเทียบคุณลักษณะในอุดมคติกับการใช้งานจริง ในรูปที่ 3.4 จะเห็นได้ว่า ในการใช้งานจริงจะเกิดปัญหาอยู่ 2 ประการใหญ่ๆ นั่นคือ เกิดการส่งผ่านของแถบความถี่ (transition) และเกิดช่วงการกระเพื่อม (ripple band) ในการใช้งาน

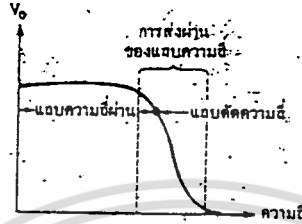


รูปที่ 3.4 ข้อเปรียบเทียบวงจรกรองความถี่ในอุดมคติกับการใช้งานจริงทั้ง 4 แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

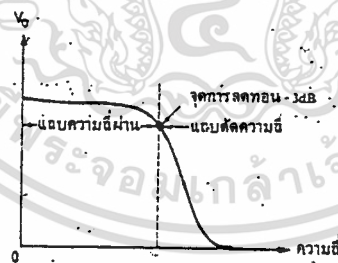
## การส่งผ่านของแถบความถี่

ลักษณะการส่งผ่านความถี่ของแถบความถี่จะเป็นตัวบ่งบอกคุณสมบัติของวงจรกรอง กล่าวคือ ถ้าการส่งผ่านมีช่วงแคบและมีลักษณะชัน แสดงว่าวงจรกรองนั้นมีคุณภาพดี แต่ถ้าช่วงการส่งผ่านมีช่วงกว้างและลาดมาก แสดงว่าวงจรกรองมีลักษณะการเลือกความถี่ที่เลว ดังนั้นในการออกแบบจึงควรทำให้ช่วงการส่งผ่านชันและแคบให้ใกล้เคียงกับในอุดมคติมากที่สุด



รูปที่ 3.5 ในการใช้งานจริงจะเกิดการส่งผ่านของแถบความถี่ขึ้น

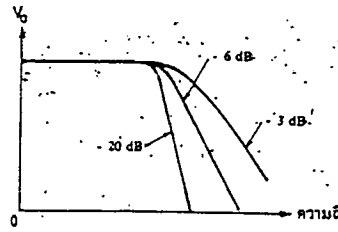
ความถี่คัทออฟ (cut off frequency:  $f_c$ ) คือความถี่ค่าแรกสุดที่อยู่ในแถบตัดความถี่ ความถี่คัทออฟจะเป็นตัวแบ่งแถบความถี่ผ่านและแถบความถี่ตัดออกจากกัน ดังรูปที่ 3.5 ซึ่งจะถูกกำหนดไว้ในช่วงการส่งผ่านที่มีค่าการลดทอน (attenuation) เท่ากับ  $-3$  เดซิเบล (การลดทอน คือ อัตราการลดลงของสัญญาณจะมีค่าเท่ากับ  $20\log V_o/V_i$  เช่นเมื่อสัญญาณเอาท์พุทลดลงเป็น  $1$  ใน  $10$  ของอินพุท การลดทอนจะมีค่าเป็น  $20\log 1/10$  ก็คือ  $-20$  เดซิเบล เป็นต้น )



รูปที่ 3.6 แสดงความถี่คัทออฟซึ่งกำหนดไว้ที่จุดลดทอน  $-3$  dB

สำหรับค่าโรลออฟ (roll off) ซึ่งเป็นค่าที่แสดงลักษณะการส่งผ่านแถบความถี่ของวงจรกรอง คือ อัตราการลดทอนของสัญญาณต่อจำนวนความถี่ที่เปลี่ยนไป หรืออีกนัยหนึ่งก็คือ ความชันของการส่งผ่านนั่นเอง มีหน่วยเป็นเดซิเบลต่อดีเคด (decibel/decade) และเดซิเบลต่อออกเตฟ (decibel/octave)

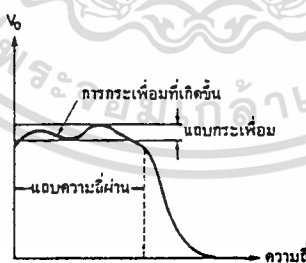
รูปที่ 3.7 แสดงการส่งผ่านที่ค่าโรลออฟต่างๆกัน เพื่อให้เห็นว่า การส่งผ่านที่ค่านั้นจะต้องมีค่าโรลออฟสูงๆ



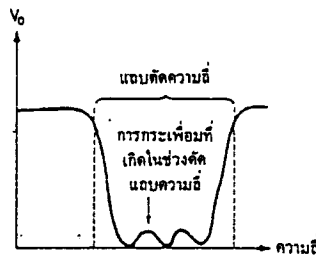
รูปที่ 3.7 ภาพแสดงการส่งผ่านความถี่ที่ค่าโรลออฟต่างๆ

### การเกิดการกระเพื่อมในแถบความถี่

เนื่องจากวงจรกรองในอุดมคติ นั้น จะมีความแรงของสัญญาณเท่ากันตลอดทุกๆความถี่ที่ยอมให้ผ่าน แต่ในทางปฏิบัติแล้ว จะให้วงจรกรองมีเอทพุทเท่ากันตลอดนั้นเป็นไปไม่ได้ เพราะในความถี่บางค่าอาจมีผลกระทบทำให้ค่าอิมพีแดนซ์ของวงจรเปลี่ยนไป การที่วงจรกรองมีความแรงไม่เท่ากันนั้น ทำให้เกิดความกระเพื่อมขึ้นในแถบความถี่ ในรูปที่ 3.8 การกระเพื่อมนั้นไม่ได้มีแต่เพียงในแถบความถี่เท่านั้น แต่ยังสามารถเกิดในช่วงตัดแถบความถี่ได้อีกด้วย ดังแสดงในรูปที่ 3.9 ซึ่งการกระเพื่อมในช่วงนี้ไม่ค่อยมีความสำคัญในงานใดๆนัก แต่จะเกิดปัญหาเมื่อใช้งานในลักษณะของวงจรตัดแถบความถี่

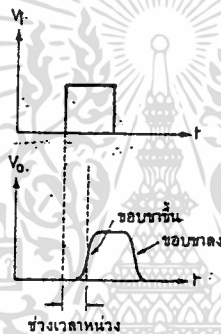


รูปที่ 3.8 ภาพแสดงการเกิดการกระเพื่อมในแถบความถี่



รูปที่ 3.9 ภาพแสดงการเกิดการกระเพื่อมในแถบตัดความถี่

ปัญหาอย่างหนึ่งของวงจรกรอง คือ การผิดเพี้ยนของสัญญาณเนื่องมาจากการเลื่อนเฟสและการหน่วง พิจารณารูปที่ 3.10 เปรียบเทียบสัญญาณที่เข้ามาทางอินพุต ( $V_i$ ) กับสัญญาณที่ออกไปยังเอาต์พุต ( $V_o$ ) ของวงจรกรอง



รูปที่ 3.10 ภาพแสดงการเกิดช่วงเวลานหน่วงของรูปคลื่นทางเอาต์พุต

จะเห็นได้ว่า ขณะที่สัญญาณเข้าไปทางอินพุต และออกไปยังเอาต์พุต จะเกิดช่วงเวลานหนึ่ง เรียกว่า ช่วงเวลานหน่วง ช่วงเวลานี้เองที่ทำให้เฟสของสัญญาณเอาต์พุตเลื่อนไป และเกิดความผิดเพี้ยนของรูปคลื่นทางเอาต์พุต สังเกตได้จากช่วงขอบขาขึ้นและขาลงของพัลส์ทางเอาต์พุตจะมีช่วงเวลาในการขึ้นลงไม่เท่ากับสัญญาณทางอินพุต ถ้าสัญญาณมีความถี่สูง การผิดเพี้ยนเนื่องจากการเลื่อนเฟสจะมีค่ามากขึ้นตามไปด้วย

ในการใช้งานกับความถี่ไม่สูงนัก เช่น ในย่านความถี่เสียง การผิดเพี้ยนของสัญญาณเนื่องจากการเลื่อนเฟสนี้น้อย ถ้าการเลื่อนของเฟสนั้นมีช่วงที่เท่ากันตลอดทุกความถี่ ในการใช้งานจะไม่มีปัญหา แต่ถ้าการเลื่อนเฟสของวงจรมีช่วงที่ไม่เท่ากัน ก็จะเกิดการผิดเพี้ยนของสัญญาณเนื่องจากการหน่วง (delay distortion) ซึ่งจะเป็นปัญหาที่ใหญ่มากในระบบงานสื่อสารข้อมูลทางดิจิทัล เพราะจะทำให้ข้อมูลเกิดการผิดพลาดได้

สำหรับวงจรกรองความถี่ทางด้านส่งในโครงการนี้ ได้เลือกใช้วงจรกรองความถี่ต่ำผ่านแบบเชฟบีเชฟ เนื่องจากลักษณะของวงจรกรองชนิดนี้มีข้อดีตรงที่การส่งผ่านของแถบความถี่มีความชันมาก หรือมีค่าโรลออฟสูงมากนั่นเอง และที่ด้านส่งต้องการให้ความถี่ในย่านเสียง (0-4 กิโลเฮิร์ต) เท่านั้นถูกส่งผ่านไปยังวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล จึงจำเป็นต้องมีวงจรตัดหรือลดทอนสัญญาณในส่วนที่ไม่ต้องการออก ในที่นี้ได้ทำการออกแบบโดยใช้โปรแกรม PSPICE หาค่าอุปกรณ์ต่างๆที่ต่อรวมกับๆไอซีเบอร์ 324 (มีไอซีอยู่ภายใน 4 ตัว) ดังต่อไปนี้

	$R_1$	$R_2$	$R_3$	$R_4$	$C_1$	$C_2$
1st stage	17.5k	20k	-	-	-	10nF
2nd stage	2k	2k	3.3k	240	82nF	10nF
3rd stage	750	750	4k	50	330nF	10nF

หมายเหตุ :: ดูได้จากรูปกราฟในภาคผนวก

ส่วนวงจรกรองแถบความถี่ทางด้านรับ ทำการออกแบบโดยใช้วงจรกรองความถี่ต่ำผ่าน และวงจรกรองความถี่สูงผ่านต่อкасетаกัน จากที่กล่าวมาข้างต้นความถี่คัทออฟเป็นจุดที่อัตราส่วนทางด้านเอาต์พุตต่ออินพุตลดทอนลงมา -3 เดซิเบล ในที่นี้ทำการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสองแบบบัตเตอร์เวิร์ท ที่มีค่าทรานสเฟอ์ฟังก์ชันดังสมการ

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{K}{S^2 + aS + b}$$

โดยที่  $a, b$  เป็นค่าคงที่ในการเลือกการออกแบบ

$K$  เป็นค่าคงที่

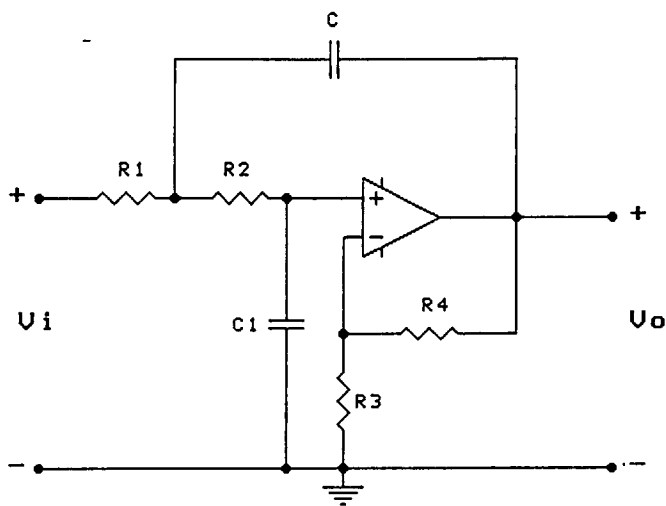
ค่าต่างๆ กำหนดได้ตามสมการต่อไปนี้

$$K = \frac{\mu}{R_1 R_2 C C_1} ; \mu = 1 + \frac{R_4}{R_3}$$

$$a = \frac{1}{R_2 C_1} (1 - \mu) + \frac{1}{R_1 C} + \frac{1}{R_2 C}$$

$$b = \frac{1}{R_1 R_2 C C_1}$$

เราสามารถหาค่าอัตราขยายวงจรถองความถี่นี้ได้เมื่อ  $s=0$  ซึ่งจากสมการ มีค่าเท่ากับ  $K/b$



รูปที่ 3.11 วงจรกรองความถี่ต่ำผ่านอันดับสองแบบบัตเตอร์เวิร์ท

เนื่องจากโครงงานนี้เป็นการสื่อสารในย่านเสียง จึงสร้างให้มีความถี่ทอพออยู่ที่ 4 กิโลเฮิร์ต อัตราขยายเท่ากับ 6 ค่าที่ใช้งานจริงสามารถหาได้จากตารางในภาคผนวก ดังนี้

$$C = 0.01\mu F$$

$$R_1 = 1.5k\Omega$$

$$R_2 = 5k\Omega$$

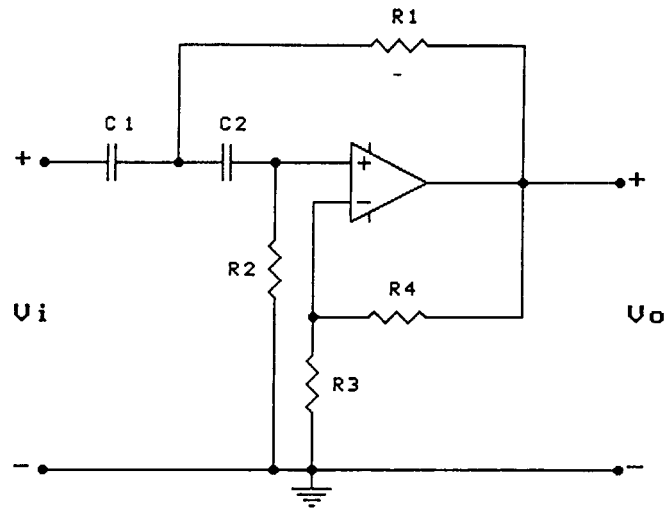
$$R_3 = 8k\Omega$$

$$R_4 = 40k\Omega$$

$$C_1 = 0.02\mu F$$

สำหรับวงจรกรองความถี่สูงผ่านได้เลือกใช้แบบบัตเตอร์เวิร์ทอันดับสองเช่นกัน มีค่าทรานสเฟอร์ฟังก์ชันดังสมการ

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{KS^2}{S^2 + aS + b}$$



รูปที่ 3.12 วงจรกรองความถี่สูงผ่านอันดับสองแบบบัตเตอร์เวิร์ท

โดยที่สามารถหาค่าต่างๆได้ตามสมการ

$$K = \mu = 1 + \frac{R_4}{R_3}$$

$$a = \frac{1}{R_1 C} (1 - \mu) + \frac{2}{R_2 C}$$

$$b = \frac{1}{R_1 R_2 C^2}$$

ในโครงการนี้สร้างให้ควมถี่คัทออฟอยู่ที่ 20 เฮิร์ต อัตราขยายเท่ากับ 1 ค่าที่ใช้งานจริงสามารถหาได้จากตารางในภาคผนวก ดังนี้

$$C = 0.1 \mu F$$

$$R_1 = 56 k\Omega$$

$$R_2 = R_4 = 110 k\Omega$$

ส่วน R<sub>3</sub> ไม่ต้องต่อ เมื่อนำวงจรกรองความถี่ทั้งสองมาต่ออนุกรมกัน จะได้เป็นวงจรกรองแถบความถี่ผ่าน ที่มีช่วงความถี่ผ่าน 20 เฮิร์ต ถึง 4 กิโลเฮิร์ต

### 3.5 วงจรสร้างสัญญาณนาฬิกา (clock generator)

วงจรสร้างสัญญาณนาฬิกาใช้คุณสมบัติของตัวเก็บประจุกับตัวต้านทานเพื่อสร้างค่าคงที่ของเวลา โดยใช้เวลาในการประจุเป็นตัวกำหนด และเนื่องจากการผลิตความถี่สูงๆหรือคาบเวลาสั้น ทำได้เสถียรภาพดีกว่าความถี่ต่ำหรือคาบเวลาชยาว จึงมีแนวความคิดในการผลิตความถี่ที่สูงขึ้นมาความถี่หนึ่งแล้วป้อนให้ออสซิลเลเตอร์ทำหน้าที่นับและหาร ระยะเวลาในการตั้งก็เปลี่ยนได้โดยค่าความถี่ฐานเวลา หรือจำนวนที่นำมาหารความถี่ ซึ่งถ้าตัวหารมาก ความถี่ก็จะลดลงและคาบเวลา ก็จะนานขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงการนี้ได้อาศัยไอซีเบอร์ MC14060 ซึ่งเป็นแบบซิมอส มีทั้งวงจรผลิตความถี่และหารความถี่อยู่ภายใน และในภาครับและหารนี้ก็ยังมียูติง 14 ชุด นั่นก็หมายความว่า หารด้วย 2 เป็นจำนวน 14 ครั้ง ซึ่งก็เท่ากับค่าเวลาของความถี่ฐานเวลาจะชดออกไปได้เท่ากับคูณด้วย  $2^{14}$  หรือ 16,384 เท่า

แต่ในความเป็นจริงจะใช้ได้เพียง  $2^{13}$  เท่านั้น เพราะช่วงเวลาที่นานที่สุดของ 14060 ที่ยังคงเป็นสภาวะ "0" จากเมื่อเริ่มนับ คือ คาบเวลาคูณด้วย  $2^{13}$  เมื่อถัดจากจุดนี้ไปแล้วก็จะแสดงสภาวะ "1" เราสามารถทำการเลือกขาเอาต์พุทของ 14060 ได้ ซึ่งมีตั้งแต่  $2^4$  จนถึง  $2^{14}$  ทำให้เลือกได้ว่าจะเอาเวลาเท่าใด โดยถ้าให้ตัวหารความถี่น้อย คาบเวลาที่ได้ออกก็จะน้อยตาม จะทำให้สามารถสร้างคาบเวลาได้ยาวนานเท่าที่ต้องการ

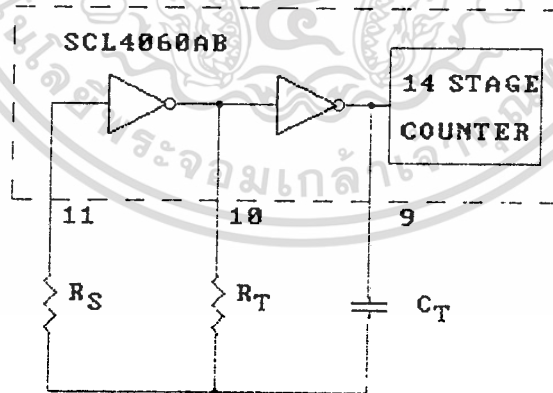
ในการต่อใช้งานไอซีเบอร์ 14060 เพื่อใช้เป็นวงจรสร้างสัญญาณนาฬิกา ทำได้ 2 วิธี คือ ต่อใช้งานร่วมกับตัวต้านทานและตัวเก็บประจุ หรือไม่ก็ต่อร่วมกับคริสตอล ในกรณีแรกจะใช้อุปกรณ์เพิ่มเติมเพียง 3 ตัวเท่านั้น ไอซีก็สามารถกำเนิดความถี่และนับได้แล้ว ดังรูปที่ 3.13 วิธีของการหาค่าอุปกรณ์ภายนอก เพื่อให้ได้คาบเวลาที่ต้องการ โดยใช้สมการต่อไปนี้

$$f = \frac{1}{2.2R_T C_T} \quad \text{ที่ } V_{DD} = 10 \text{ V}$$

$$C_T > 100 \text{ pF}$$

$$R_T > 1 \text{ k}\Omega$$

$$R_S \approx 10R_T$$



รูปที่ 3.13 แสดงการต่ออุปกรณ์ภายนอกเพื่อผลิตความถี่

นอกจากนี้ ควรมีการรีเซ็ตให้อยู่ในสภาวะพร้อมทำงานก่อนทุกครั้ง ซึ่งไอซีเบอร์นี้มีขา 12 เป็นขา รีเซ็ต ดังนั้นเมื่อจะใช้งานจึงต้องใช้ตัวเก็บประจุ และตัวต้านทานต่อเป็นตัวรีเซ็ตให้ในขณะที่ป้อนไฟเข้าวงจรเป็นครั้งแรก การทำงาน คือ ขณะที่ป้อนไฟครั้งแรกให้วงจรทางภาคส่งกระแสส่วนแรกจะไหลผ่านตัวเก็บประจุทางตัวต้านทาน แรงดันตกคร่อมเกือบทั้งหมดจะตกคร่อมที่ตัวต้านทาน ทำให้ขา 12 ของไอซีเป็น “1” ขณะนี้ไอซีถูกรีเซ็ตแล้ว และเมื่อตัวเก็บประจุถูกประจุจนเต็ม ก็จะไม่มีการไหลผ่านตัวต้านทาน แรงดันตกคร่อมเกือบทั้งหมดจะตกคร่อมอยู่ที่ตัวเก็บประจุ ทำให้ขา 12 ของไอซีเป็น “0” ซึ่งทำให้ไอซีพร้อมที่จะเริ่มทำงานได้

### 3.6 การเปรียบเทียบสัญญาณ

เราสามารถนำวงจรออปแอมป์ ( op amp ) มาประยุกต์ใช้งานเป็นวงจรเปรียบเทียบได้ในกรณีที่เป็นวงจรขยายลูปเปิด ( open loop ) นอกเหนือจากนำไปเป็นวงจรขยายสัญญาณความแตกต่างของสัญญาณอินพุตทั้งสอง โดยปกติแรงดันไฟเลี้ยงของออปแอมป์จะเป็นแรงดัน  $+V_{CC}$  และ  $-V_{CC}$  ดังนั้นเอาต์พุตของออปแอมป์เมื่อเป็นวงจรขยายลูปเปิดจะอิมตัวอยู่ที่  $+V_{CC}$  หรือ  $-V_{CC}$  เท่านั้น วงจรเปรียบเทียบจึงมีแรงดันอยู่ 2 ระดับคือ 0 V กับ 5 V เพราะจำเป็นต้องเชื่อมโยงกับระบบดิจิทัล จึงทำให้วงจรเปรียบเทียบถูกออกแบบมาเฉพาะ ไม่เหมือนกับออปแอมป์ธรรมดา เพราะหน้าที่หลักของวงจรเปรียบเทียบใช้เป็นวงจรอินเทอร์เฟซ ระหว่างสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัล

วงจรเปรียบเทียบในอุดมคติ ควรมีคุณสมบัติดังนี้

1. อัตราขยายแรงดันของผลต่างที่อินพุต มีค่าเป็นอนันต์
2. อัตราขยายแรงดันเมื่ออินพุตทั้งสองมีเฟสรวมอยู่ในโหมดเดียวกันเป็นศูนย์
3. อินพุตอิมพีแดนซ์เป็นอนันต์
4. เอาต์พุตอิมพีแดนซ์เป็นศูนย์
5. แถบขยายทางด้านความถี่เป็นอนันต์
6. แรงดันและกระแสออฟเซตเป็นศูนย์

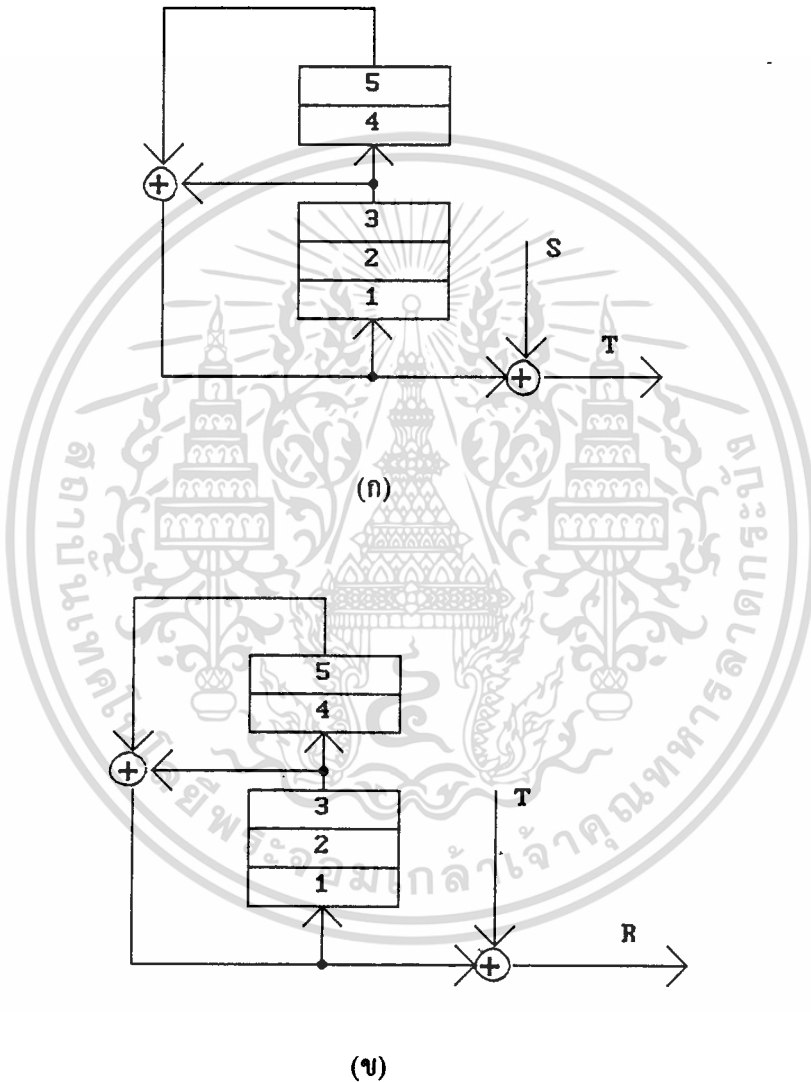
### 3.7 การรบกวนแบบลอและดิซแครมบลู

จากหลักการทำงานของข้อมูลลำดับแบบกึ่งสุ่ม ( pseudorandom sequences ) ซึ่งจะสามารถสร้างได้โดยใช้ชิพรีจิสเตอร์ ( shift register ) ต่อให้มีการป้อนกลับ ( feed back ) แบบ มอดูโลทูแอดเดอร์ ( modulo 2 adders ) ชิพรีจิสเตอร์นี้ประกอบขึ้นจากฟลิปฟลอปต่ออนุกรมกัน เมื่อชิพรีจิสเตอร์ได้รับสัญญาณ clock สภาวะของฟลิปฟลอปแต่ละตัวจะถูกส่งไปที่ฟลิปฟลอปตัวถัดไป สัญญาณที่ถูก tap ออกมาจะผ่านมอดูโลทูแอดเดอร์ และป้อนกลับไปฟลิปฟลอปตัวแรก

ลำดับที่ผลิตได้จะมีความยาวค่าหนึ่ง ( ซึ่งขึ้นกับจำนวนของชิพรีจิสเตอร์ และจุดรวมสัญญาณ ดังได้กล่าวไปแล้วในบทที่ 2 ) แล้วจะวนซ้ำ เป็นเช่นนี้ไปเรื่อยๆ ไม่ว่าสถานะเริ่มต้นของรีจิสเตอร์จะเป็นอย่างไร ยกเว้นกรณีศูนย์หมด

เราจะนำเอาลำดับแบบกิ่งสุ่มที่ได้ มาชแक्रमเบิลข้อมูล โดยใช้เอ็กชคลูซีฟออร์เกททำการรวมข้อมูลกับลำดับแบบกิ่งสุ่ม

จากรูปที่ 3.14 เป็นบล็อกไดอาแกรมของซแक्रमเบิลและดีซแक्रमเบิล โดยที่วงจรกำเนิดลำดับแบบกิ่งสุ่มที่ใช้จะเหมือนกันทั้งซแक्रमเบิลและดีซแक्रमเบิล



รูปที่ 3.14 (ก) ซแक्रमเบิล

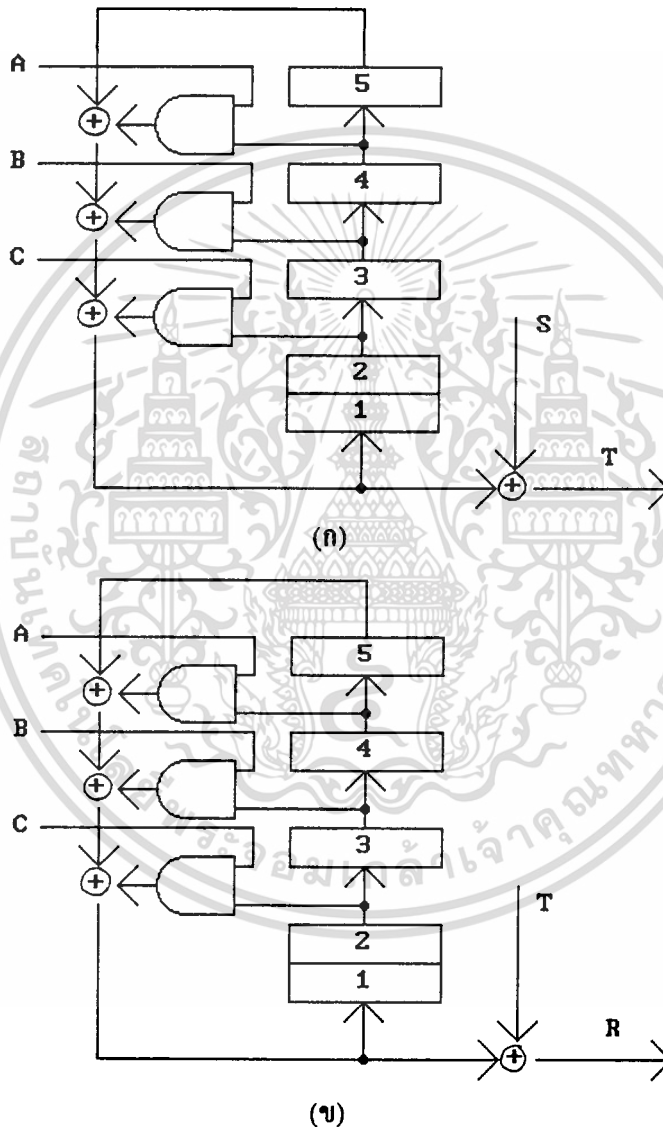
(ข) ดีซแक्रमเบิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่า สัญญาณอินพุต  $S$  ที่เข้าตัวชแครบเบลอ เมื่อผ่านเข้าตัวดีชแครบเบลอจะได้ สัญญาณเอาต์พุต  $R$  ที่เหมือนกับ  $S$

นอกจากนี้ เรายังสามารถเพิ่มจุด feed สัญญาณให้มากขึ้นและทำให้จำนวนลำดับมากขึ้น โดยใช้แนทเกต และเอ็กคลูซีฟออร์กเกต มาช่วยในการรวมสัญญาณอินพุตกับลำดับแบบกึ่ง สุ่มที่สร้างขึ้น

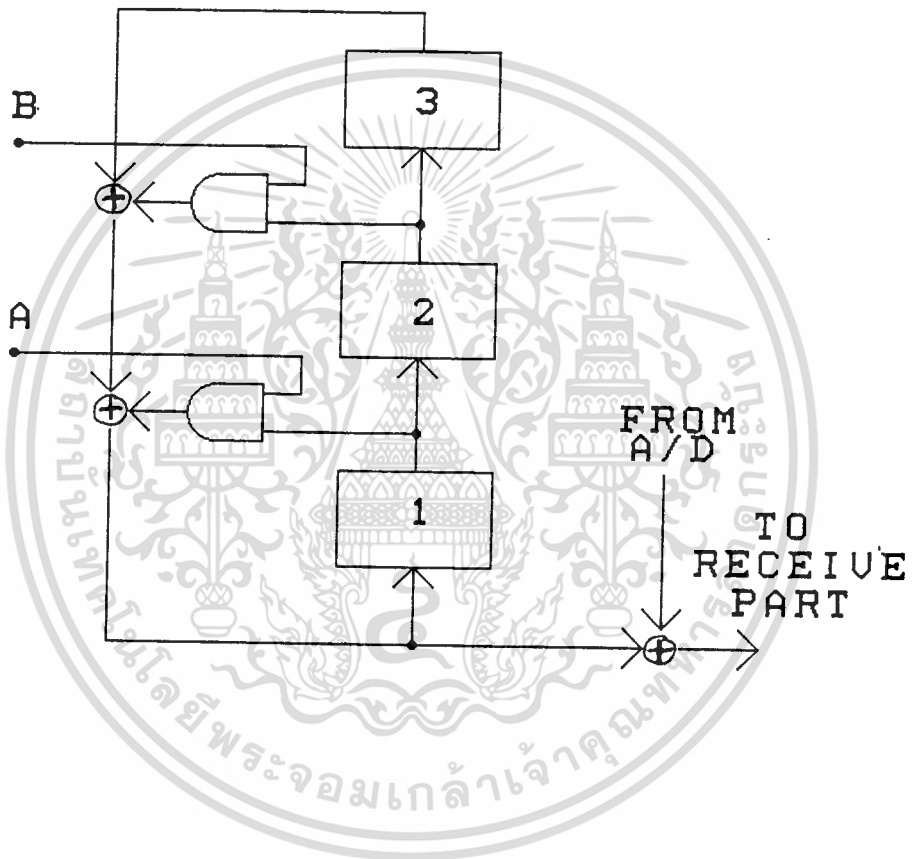
โดยอาศัยหลักการนี้ จะทำให้สามารถชแครบเบลข้อมูลได้มากยิ่งขึ้น เพราะฉะนั้น ชแครบเบลอและดีชแครบเบลอ จะต้องมี control code  $A, B, C$  ตรงกัน ซึ่งจะทำให้ข้อมูลที่อินพุตของชแครบเบลอและข้อมูลทางเอาต์พุตของดีชแครบเบลอเหมือนกัน



รูปที่ 3.15 (ก) ชแครบเบลอโปรแกรมได้

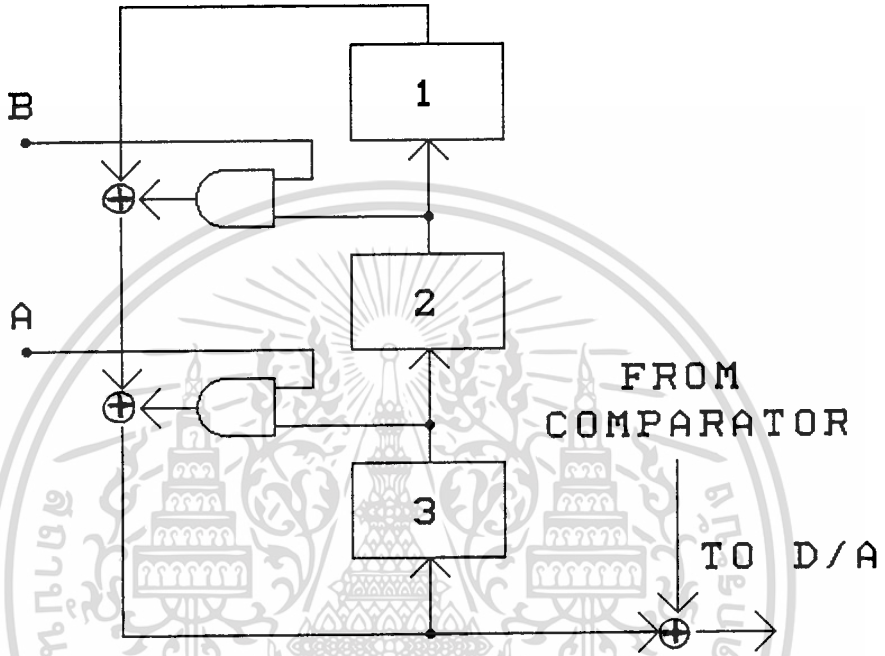
(ข) ดีชแครบเบลอโปรแกรมได้

โครงการนี้ได้เลือกใช้วงจรขั้วและดีซั้วแบบโปรแกรมได้ โดยใช้ฟลิปฟล็อป ( D Flipflop ) 3 ตัว มีจุดรวมสัญญาณให้เลือก 2 จุด สามารถผลิตลำดับได้ยาวสูงสุด 7 บิต และเซ็ทสถานะเริ่มต้นของฟลิปฟล็อปเป็น "1" ทั้งหมด ภาพที่ 3.16 แสดงบล็อกไดอะแกรมของวงจรขั้วและดีซั้วที่เลือกใช้



รูปที่ 3.16 บล็อกไดอะแกรมของขั้วและดีซั้วที่ใช้ในโครงการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



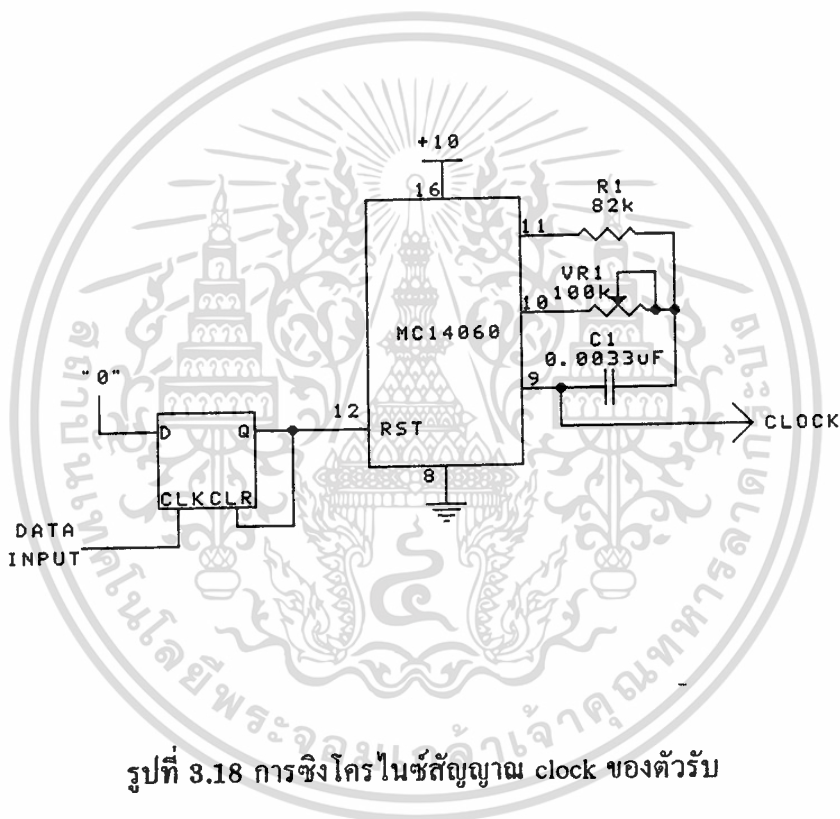
รูปที่ 3.17 บล็อกไดอะแกรมของการดิซแครมเบลอที่ใช้ในโครงการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 3.8 การซิงโครไนซ์ระหว่างตัวรับและตัวส่ง

### 3.8.1 การออกแบบวงจรซิงโครไนซ์

ในการส่งข้อมูลที่เป็นดิจิทัล การซิงโครไนซ์กันของสัญญาณ clock ระหว่างตัวรับและตัวส่งเป็นสิ่งสำคัญ ในโครงการนี้ จะไม่ใช้การส่งสัญญาณซิงโครไนซ์จากตัวส่ง แต่จะสร้างขึ้นเองจากสัญญาณที่รับได้ที่ตัวรับ โดยที่ตัวรับจะทำการแปลงสัญญาณที่รับได้เป็นดิจิทัล แล้วนำเอาขอบของสัญญาณมาเป็นตัวรีเฟรชทางตัวรับให้ซิงโครไนซ์กับสัญญาณ clock ของตัวส่ง โดยในโครงการนี้ จะใช้ฟลิปฟลอปเป็นตัวกระตุ้นทุก ๆ ขอบของสัญญาณให้กับไอซีเบอร์ 14060 ให้กำเนิดสัญญาณ clock เพื่อไปใช้ในวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก



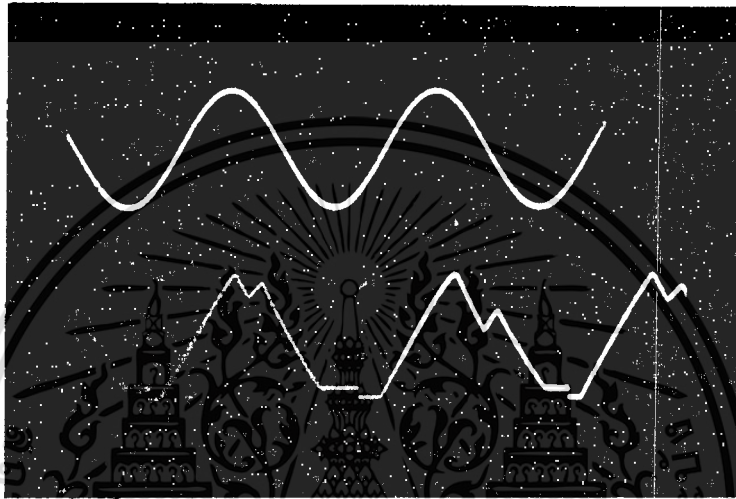
รูปที่ 3.18 การซิงโครไนซ์สัญญาณ clock ของตัวรับ

## บทที่ 4

### การทดลองและผลการทดลอง

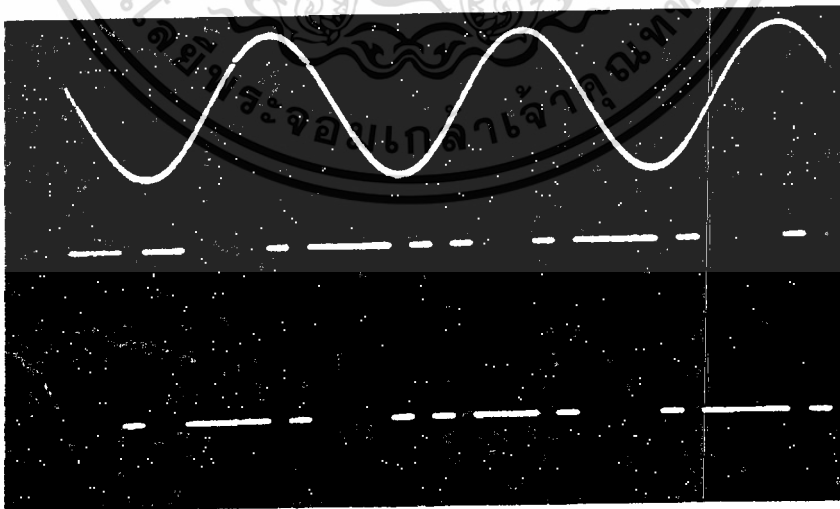
การทดสอบการทำงานของวงจร ได้ผลสรุปดังนี้

ในขั้นแรก ได้ทำการทดสอบส่วนของการแปลงสัญญาณอนาลอกเป็นดิจิตอล โดยที่ขา 1 เมื่อวัดรูปคลื่นที่ออกจากขา 7 ซึ่งเป็นขาอินทิเกรเตอร์เอาต์พุต ( ใช้ในการเปรียบเทียบระหว่างสัญญาณก่อนหน้า และสัญญาณที่เข้ามาใหม่ ) ได้ผลดังแสดงในรูปที่ 4.1



รูปที่ 4.1 เปรียบเทียบรูปสัญญาณอินพุตชายนี กับสัญญาณที่ออกจากขา 7

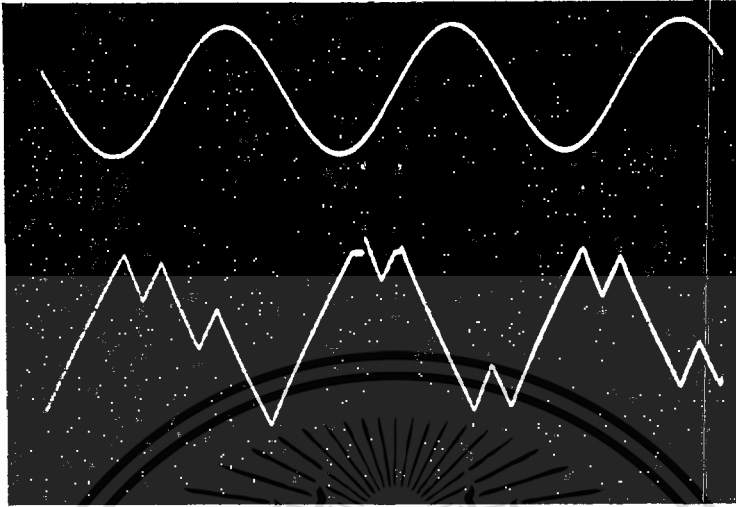
จากนั้นทำการวัดสัญญาณดิจิตอลที่ได้จากการแปลง ที่ออกจากขา 13 ของไอซี เทียบกับสัญญาณอินพุตชายนี ได้ผลดังแสดงในรูปที่ 4.2



รูปที่ 4.2 เปรียบเทียบรูปสัญญาณอินพุตชายนี กับสัญญาณดิจิตอลที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเมื่อนำสัญญาณดิจิทัลไปผ่าน ส่วนของการแปลงกลับจากดิจิทัล เป็นอนาลอก ซึ่งใช้ไอซีเบอร์เดียวกันกับทางด้านส่ง ก็จะได้รูปคลื่นที่มีลักษณะใกล้เคียงกันกับสัญญาณอินพุทที่ป้อนเข้า แต่ยังมีสัญญาณรบกวนปนอยู่เล็กน้อย ดังแสดงในรูปที่ 4.3



รูปที่ 4.3 เปรียบเทียบรูปสัญญาณอินพุทขาเข้า กับสัญญาณที่ออกจากขา 7

เมื่อพิจารณาการทำงานของส่วนการแปลงสัญญาณอนาลอก เป็นดิจิทัล ไม่ว่าจะอินพุท จะเป็นรูปใด ก็สามารถทำการแปลงเป็นสัญญาณดิจิทัลได้ ดังแสดงในรูปที่ 4.4

เนื่องจากสัญญาณดิจิทัลที่ได้มีการเปลี่ยนแปลงเร็วมาก สัญญาณจะวิ่งตลอดเวลา จำเป็นต้องทำการปรับให้สัญญาณอยู่นิ่ง

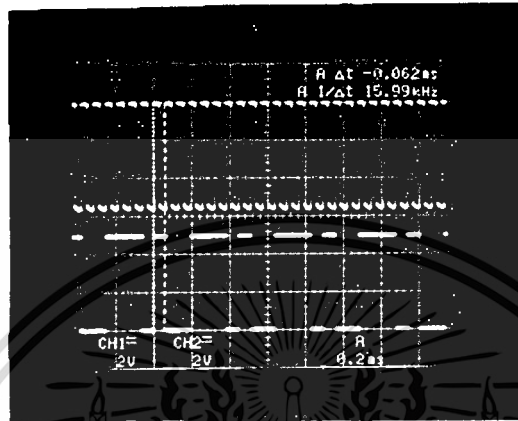


รูปที่ 4.4 เปรียบเทียบรูปสัญญาณอินพุทฟันเลื่อย กับสัญญาณดิจิทัลที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

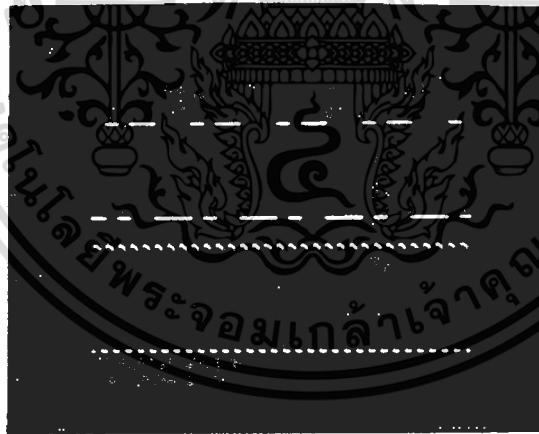
ขั้นต่อไปทำการทดสอบการทำงานของวงจรกำเนิดลำดับแบบกึ่งสุ่ม ตามรูปที่ 4.9(ข) ประกอบไปด้วย ดี-ฟลิปฟลอป ต่อกันเป็นชิฟริจิสเตอร์ ทำการเช็ทสภาวะรีจิสเตอร์ให้เป็น 1 ทั้ง 3 ตัว อาศัยสัญญาณนาฬิกาที่ได้จากวงจรกำเนิดสัญญาณนาฬิกาในวงจрд้านส่ง ความถี่ 16 kHz แล้วทดลองทำการเลือกจุดรวมสัญญาณป้อนกลับ เป็น 4 กรณีดังนี้

กรณีที่ 1 A เป็น high และ B เป็น low ให้ผลดังแสดงในรูปที่ 4.5



รูปที่ 4.5 ลำดับแบบ ที่ได้ กรณี A เป็น high และ B เป็น low

กรณีที่ 2 A เป็น low และ B เป็น high ได้ผลดังแสดงในรูปที่ 4.6

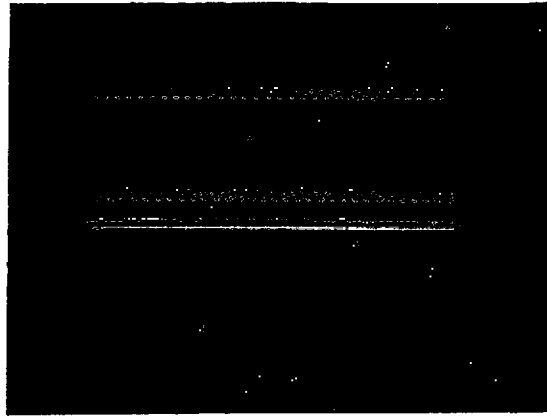


รูปที่ 4.6 ลำดับแบบที่ได้ กรณี A เป็น low และ B เป็น high

กรณีที่ 3 A และ B เป็น high ทั้งคู่

กรณีที่ 4 A และ B เป็น low ทั้งคู่

ให้ผลเหมือนกัน ดังแสดงในรูป 4.7



รูปที่ 4.7 ลำดับแบบที่ได้ A และ B เป็น high หรือเป็น low ทั้งคู่  
การทำงานของชิพรีจิสเตอร์กรณี A เป็น high และ B เป็น low

	สถานะของชิพรีจิสเตอร์ตัวที่ 1	ตัวที่ 2	ตัวที่ 3	เอาต์พุต
สถานะเริ่มต้น	1	1	1	
clk ที่ 1	0	1	1	1
clk ที่ 2	1	0	1	1
clk ที่ 3	0	1	0	1
clk ที่ 4	0	0	1	0
clk ที่ 5	1	0	0	1
clk ที่ 6	1	1	0	0
clk ที่ 7	1	1	1	0

การทำงานของชิพรีจิสเตอร์กรณี A เป็น low และ B เป็น high

	สถานะของชิพรีจิสเตอร์ตัวที่ 1	ตัวที่ 2	ตัวที่ 3	เอาต์พุต
สถานะเริ่มต้น	1	1	1	
clk ที่ 1	0	1	1	1
clk ที่ 2	0	0	1	1
clk ที่ 3	1	0	0	1
clk ที่ 4	0	1	0	0
clk ที่ 5	1	0	1	0
clk ที่ 6	1	1	0	1
clk ที่ 7	1	1	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของซีพรีจิสเตอร์กรณี A และ B เป็น low หรือ high ทั้งคู่

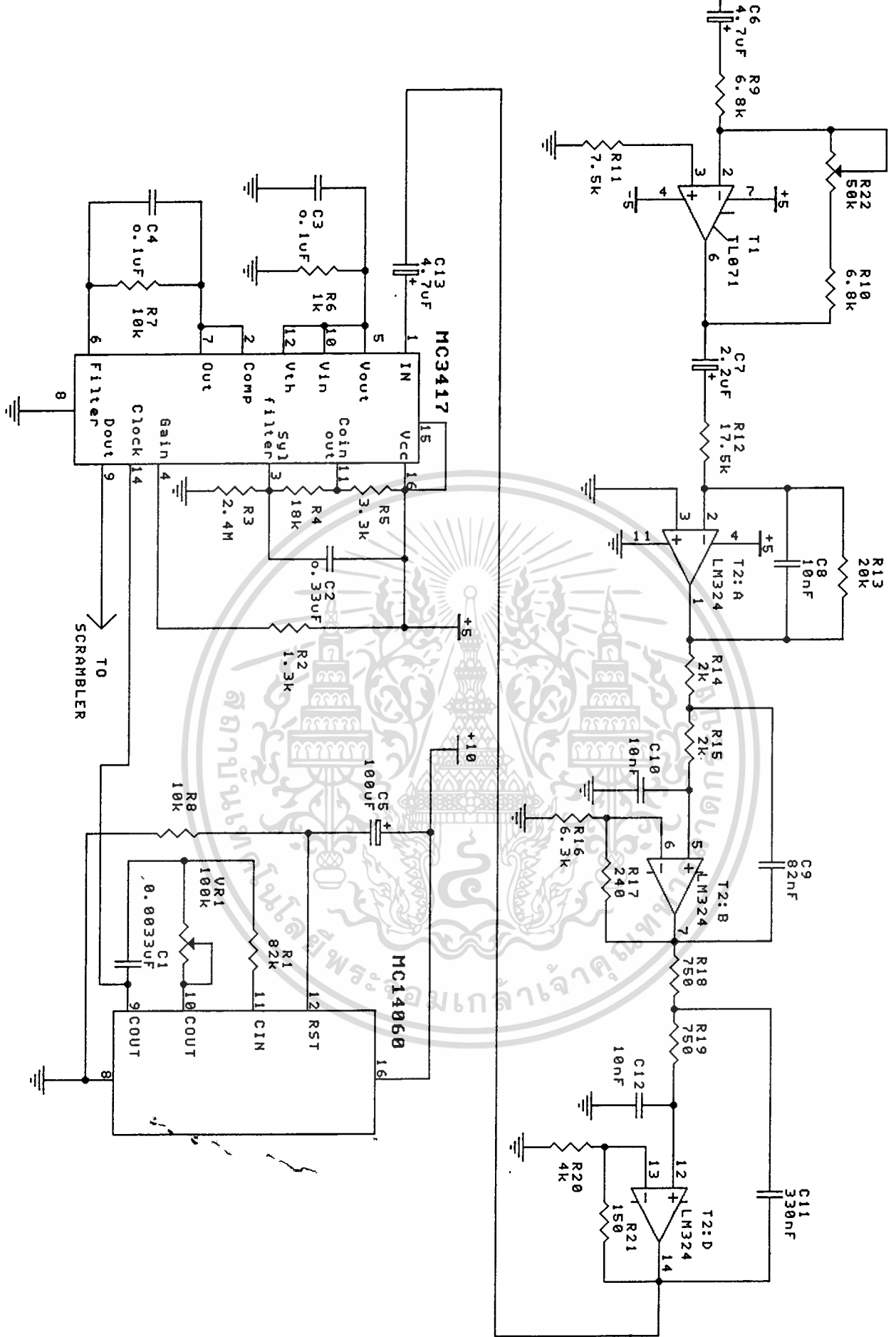
	สถานะของซีพรีจิสเตอร์ตัวที่ 1	ตัวที่ 2	ตัวที่ 3	เอาต์พุต
สถานะเริ่มต้น	1	1	1	
clk ที่ 1	1	1	1	1
clk ที่ 2	1	1	1	1
clk ที่ 3	1	1	1	1
clk ที่ 4	1	1	1	1

เนื่องจากการทดลองได้ทำการตรวจสอบว่า ลำดับที่ได้ทางด้านส่งและรับตรงกันหรือไม่ โดยเช็ทสถานะเริ่มต้นของซีพรีจิสเตอร์พร้อมๆ กัน เลือกจุดรวมสัญญาณแบบเดียวกัน ปรากฏว่า ลำดับที่ได้เป็นชุดเดียวกัน เฟสเดียวกัน แต่ถ้าเช็ทสถานะเริ่มต้นคนละเวลา จะได้ลำดับชุดเดียวกัน คนละเฟสกัน ทำให้การตีเทคการเอาสัญญาณเดิมกลับคืนมาทำได้ยาก

จากการทดลองพบว่า สัญญาณนาฬิกา 1 ลูก จะให้ข้อมูลออกมา 1 บิต ฉะนั้นในโครงการนี้ เมื่อสัญญาณนาฬิกา ผ่านไป 7 ลูก ลำดับที่ได้จะเวียนกลับมาซ้ำเดิมอีก

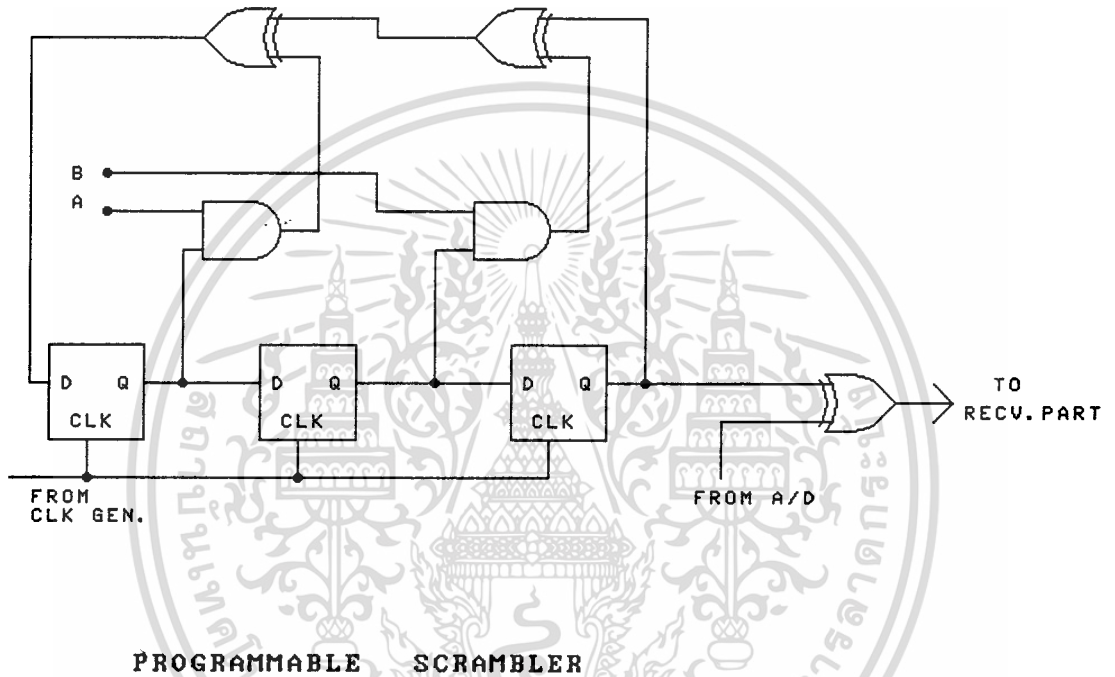


รูปที่ 4.8 เปรียบเทียบเอาต์พุต ที่ได้จาก A/D กับเอาต์พุตที่ได้จากวงจรกำเนิดลำดับแบบกึ่งสุ่ม กรณี A เป็น low และ B เป็น high



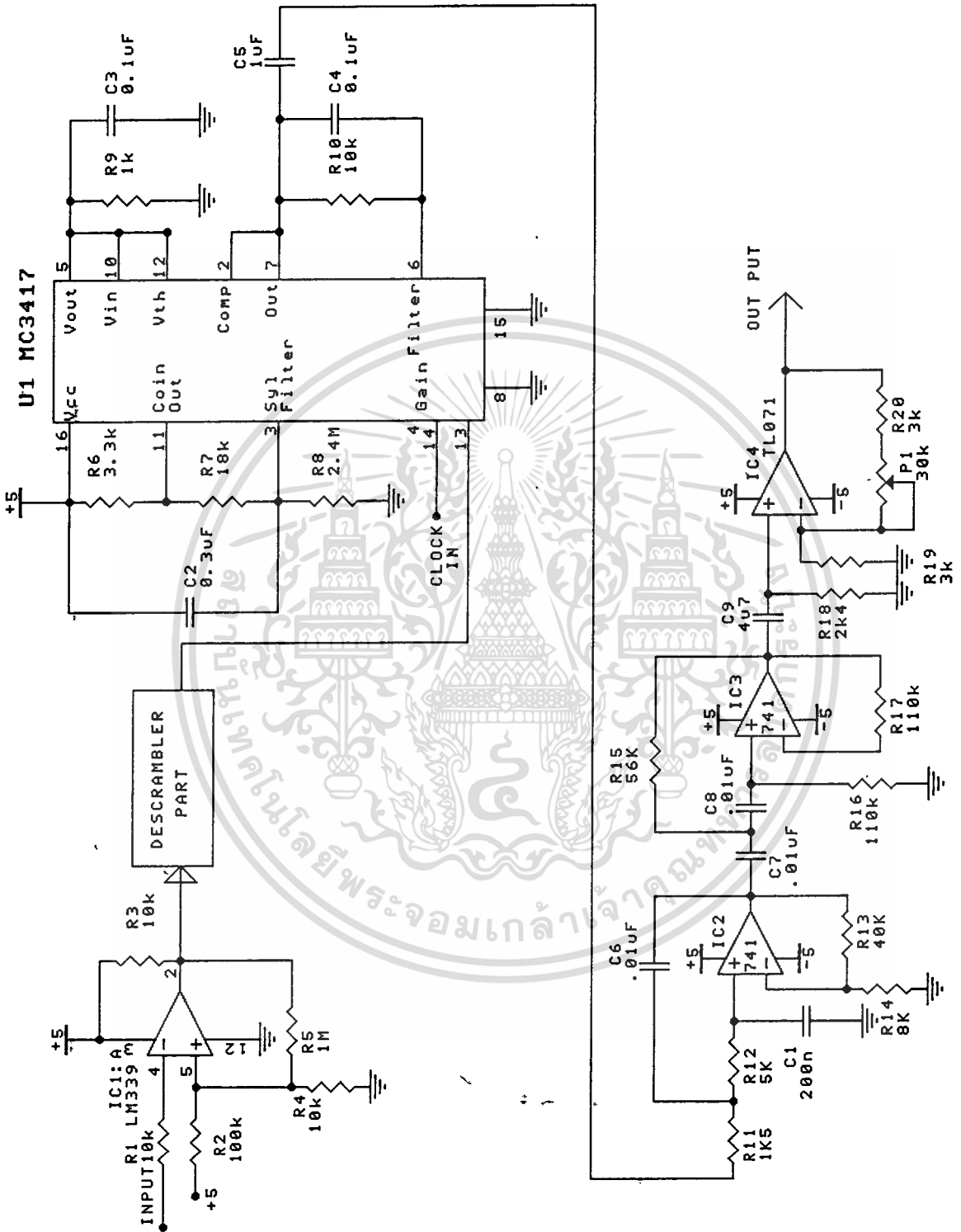
รูปที่ 4.9 (ก) วงจรป้องกันการดักรับสัญญาณดิจิทัลทางด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 (ข) วงจรขแครมเบิล

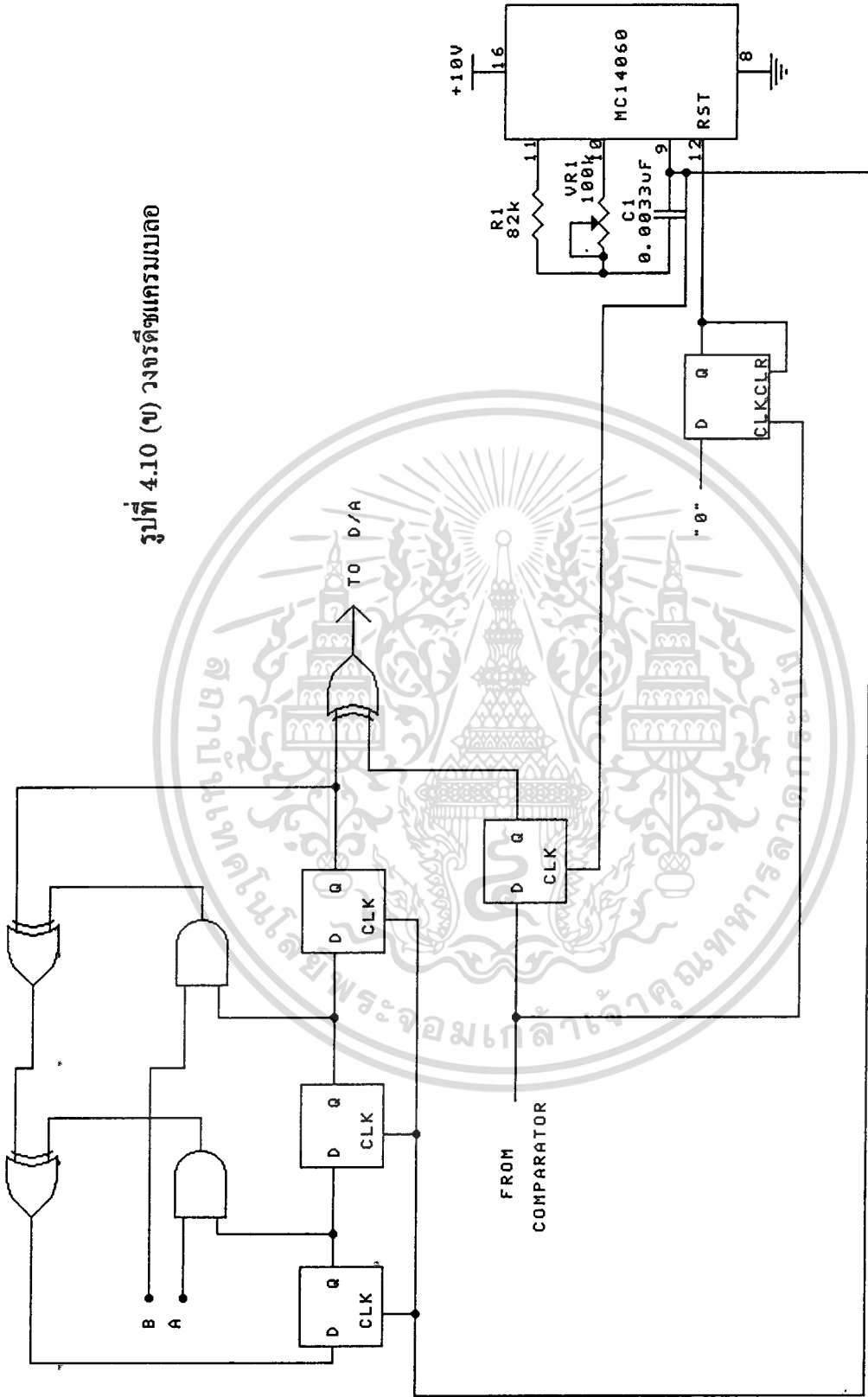
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 (ก) วงจรป้องกันการดักรับสัญญาณดิจิตอลทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.10 (ข) วงจรตีขแมรมเบด



PROGRAMMABLE DESCRAMBLER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### สรุปและวิจารณ์ผลการทดลอง

ตามหลักการทำงานของวงจร เมื่อทำการชแครมเบิลสัญญาณดิจิทัลโดยการเอ็กซ์คลูซีฟออร์กับลำดับแบบกึ่งสุ่มที่สร้างขึ้น ถ้าทำการดีชแครมเบิลสัญญาณดังกล่าวด้วยการเอ็กซ์คลูซีฟออร์กับลำดับแบบเดียวกัน ย่อมจะได้สัญญาณดิจิทัลเดิมกลับมา แต่เนื่องจากลำดับแบบกึ่งสุ่มทางด้านส่งและรับเฟสไม่ตรงกัน ซึ่งคาดว่า ส่วนของการซิงโครไนซ์ของวงจรยังไม่สามารถทำงานได้ตามต้องการ ทำให้ดีเทคสัญญาณดิจิทัลเดิมกลับมาไม่ได้

การปรับปรุงวงจรอาจทำได้โดยเพิ่มส่วนการเช็ทสถานะเริ่มต้นของชิพรีจิสเตอร์แต่ละตัวตามต้องการ รวมไปถึงการเพิ่มจำนวนชิพรีจิสเตอร์ ซึ่งจะทำได้ลำดับที่หลากหลายยิ่งขึ้น ทำให้ยากแก่การแกะรอย

วิธีการชแครมเบิลแบบนี้อาจนำไปประยุกต์ใช้ในระบบการส่งสัญญาณอนาล็อก แต่จะต้องมีการแปลงสัญญาณให้เหมาะสมที่จะส่งไปตามระบบนั้นๆเสียก่อน เช่น แปลงสัญญาณที่ผ่านการชแครมเบิลแล้วกลับเป็นสัญญาณอนาล็อกแล้วจึงส่งไปตามสายได้ และที่ด้านรับต้องมีการซิงโครไนซ์แควรีด้วย



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

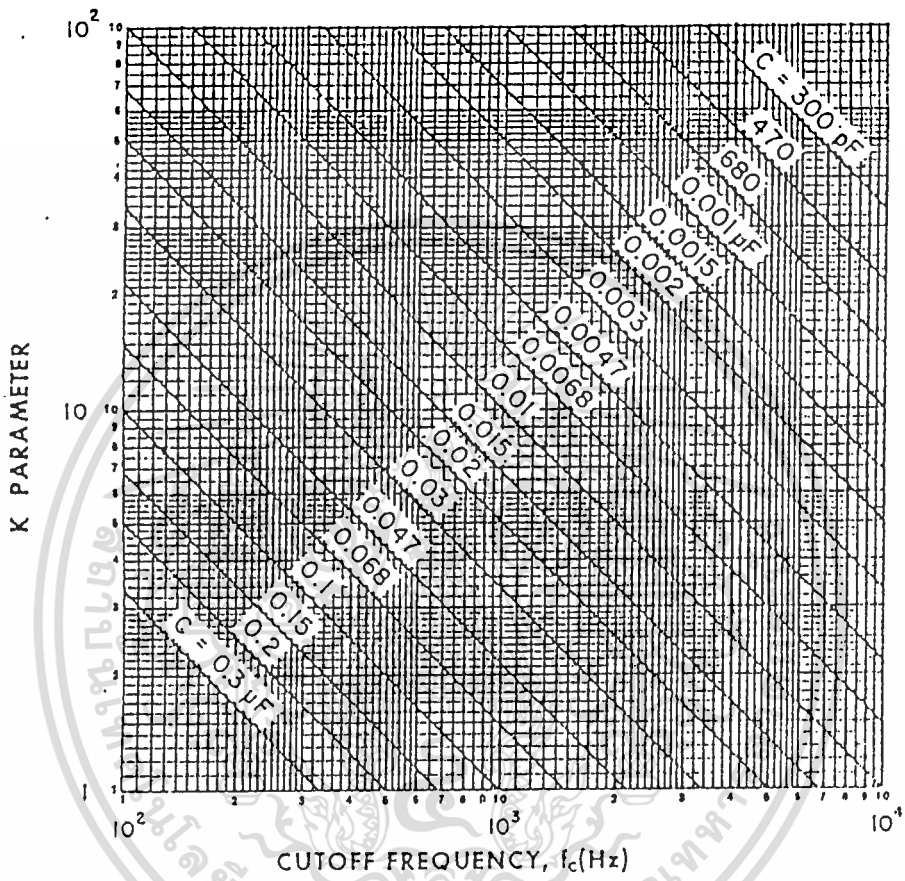


Fig. 3.6. (b)  $K$  parameter versus frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



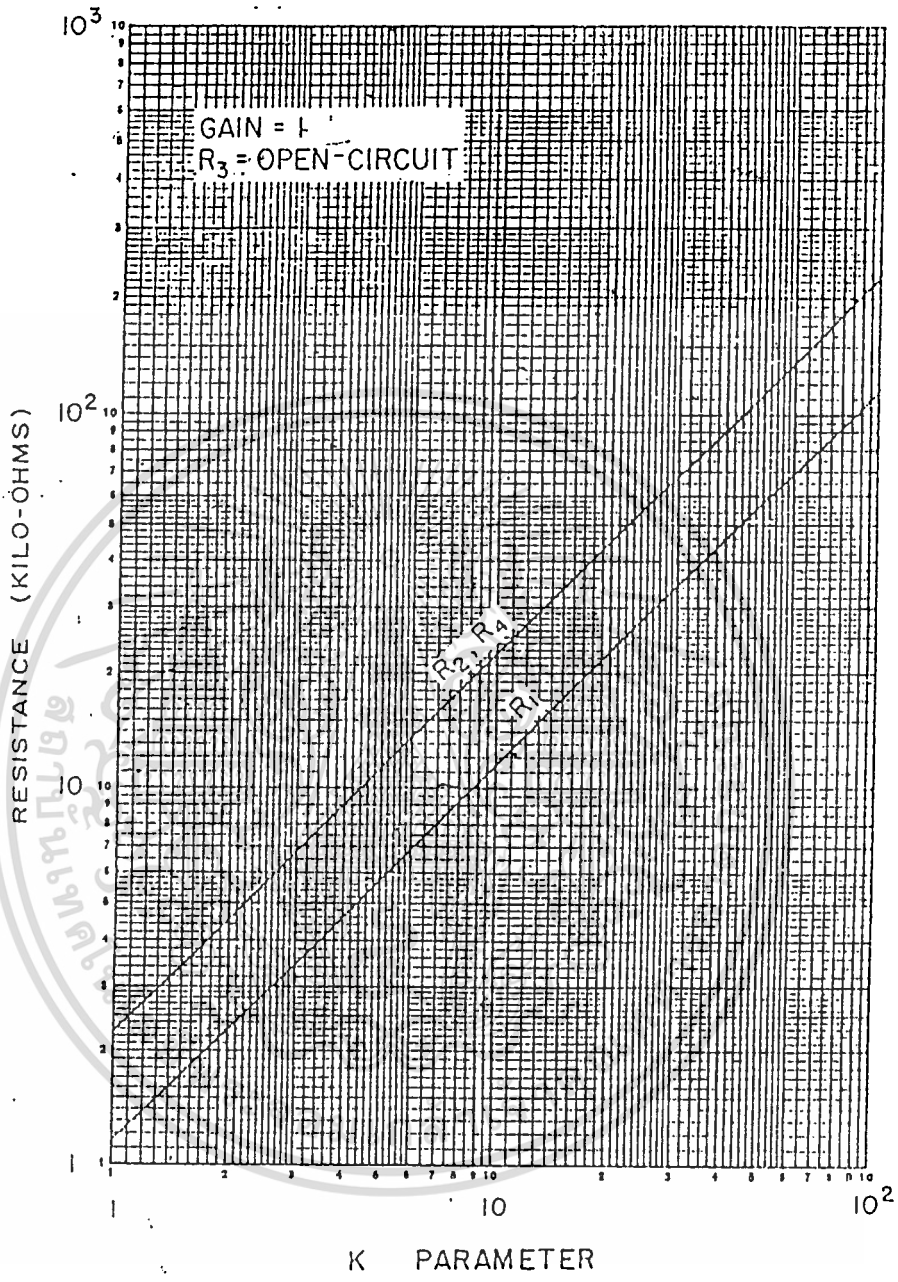


Fig. 3.7. Second-order high-pass Butterworth filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

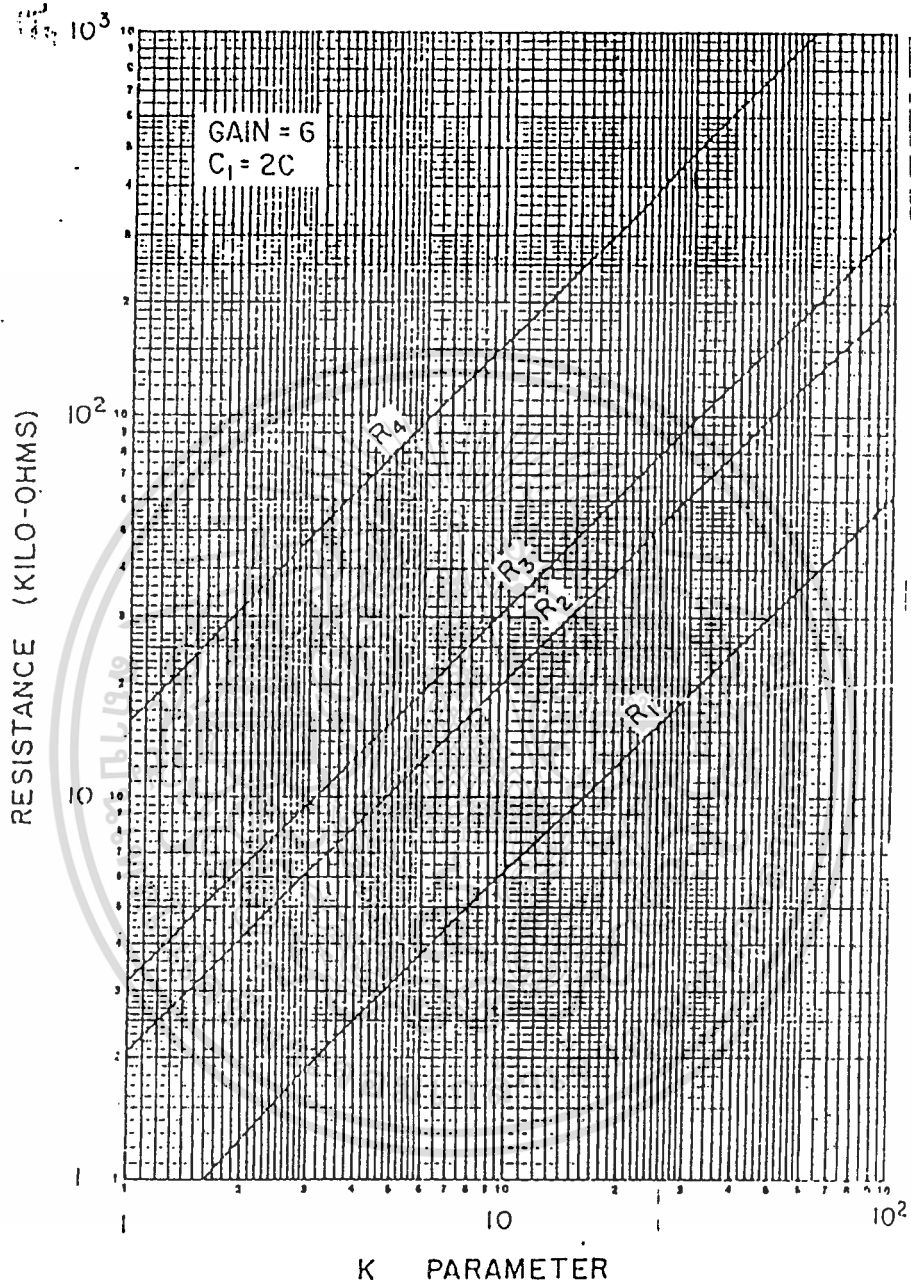


Fig. 2.13. Second-order low-pass Butterworth filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# MC3417, MC3418, MC3517, MC3518

## MAXIMUM RATINGS

(All voltages referenced to  $V_{EE}$ .  $T_A = 25^\circ\text{C}$  unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	$V_{CC}$	-0.4 to +18	Vdc
Differential Analog Input Voltage	$V_{ID}$	$\pm 5.0$	Vdc
Digital Threshold Voltage	$V_{TH}$	-0.4 to $V_{CC}$	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/Decode)	$V_{Logic}$	-0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	-0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	-0.4 to $V_{CC}$	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	-0.4 to $V_{CC}$	Vdc
Reference Input Voltage	$V_{I(Ref)}$	$V_{CC}/2 - 1.0$ to $V_{CC}$	Vdc
$V_{CC}/2$ Output Current	$I_{Ref}$	-25	mA

## ELECTRICAL CHARACTERISTICS

( $V_{CC} = 12\text{ V}$ ,  $V_{EE} = \text{Gnd}$ ,  $T_A = 0^\circ\text{C}$  to  $+70^\circ\text{C}$  for MC3417/18,  $T_A = -55^\circ\text{C}$  to  $+125^\circ\text{C}$  for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range (Figure 1)	$V_{CCR}$	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (Idle Channel) ( $V_{CC} = 5.0\text{ V}$ ) ( $V_{CC} = 15\text{ V}$ )	$I_{CC}$	-	3.7 6.0	5.0 10	-	3.7 6.0	5.0 10	mA
Clock Rate	SR	-	16 k	-	-	32 k	-	Samples/s
Gain Control Current Range (Figure 2)	$I_{GCR}$	0.001	-	3.0	0.001	-	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) ( $4.75\text{ V} < V_{CC} < 16.5\text{ V}$ )	$V_I$	1.3	-	$V_{CC} - 1.3$	1.3	-	$V_{CC} - 1.3$	Vdc
Analog Output Voltage (Pin 7) ( $4.75\text{ V} < V_{CC} < 16.5\text{ V}$ , $I_O = \pm 5.0\text{ mA}$ )	$V_O$	1.3	-	$V_{CC} - 1.3$	1.3	-	$V_{CC} - 1.3$	Vdc
Input Bias Currents (Figure 3) (Comparator in Active Region)	$I_{IB}$	-	0.5	1.5	-	0.25	1.0	$\mu\text{A}$
Analog Input (I1)		-	0.5	1.5	-	0.25	1.0	
Analog Feedback (I2)		-	0.06	0.5	-	0.06	0.3	
Syllabic Filter Input (I3)		-	-0.06	-0.5	-	-0.06	-0.3	
Reference Input (I5)		-	-	-	-	-	-	
Input Offset Current (Comparator in Active Region)	$I_{IO}$	-	0.15	0.6	-	0.05	0.4	$\mu\text{A}$
Analog Input/Analog Feedback  I1 - I2  - Figure 3		-	0.02	0.2	-	0.01	0.1	
Integrator Amplifier  I5 - I6  - Figure 4		-	-	-	-	-	-	
Input Offset Voltage V/I Converter (Pins 3 and 4) - Figure 5	$V_{IO}$	-	2.0	6.0	-	2.0	6.0	mV
Transconductance V/I Converter, 0 to 3.0 mA Integrator Amplifier, 0 to $\pm 5.0\text{ mA}$ Load	gm	0.1 1.0	0.3 10	- -	0.1 1.0	0.3 10	- -	mA/mV
Propagation Delay Times (Note 1)								$\mu\text{s}$
Clock Trigger to Digital Output ( $C_L = 25\text{ pF}$ to Gnd)	$t_{PLH}$ $t_{PHL}$	- -	1.0 0.8	2.5 2.5	- -	1.0 0.8	2.5 2.5	
Clock Trigger to Coincidence Output ( $C_L = 25\text{ pF}$ to Gnd) ( $R_L = 4\text{ k}\Omega$ to $V_{CC}$ )	$t_{PLH}$ $t_{PHL}$	- -	1.0 0.8	3.0 2.0	- -	1.0 0.8	3.0 2.0	
Coincidence Output Voltage - Low Logic State ( $I_{OL(Con)} = 3.0\text{ mA}$ )	$V_{OL(Con)}$	-	0.12	0.25	-	0.12	0.25	Vdc
Coincidence Output Leakage Current - High Logic State ( $V_{OH} = 15.0\text{ V}$ , $0^\circ\text{C} < T_A < 70^\circ\text{C}$ )	$I_{OH(Con)}$	-	0.01	0.5	-	0.01	0.5	$\mu\text{A}$

NOTE 1. All propagation delay times measured 50% to 50% from the negative going (from  $V_{CC}$  to -0.4 V) edge of the clock.

MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC3417, MC3418, MC3517, MC3518

## ELECTRICAL CHARACTERISTICS (continued)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Applied Digital Threshold Voltage Range (Pin 12)	$V_{TH}$	+1.2	—	$V_{CC} - 2.0$	+1.2	—	$V_{CC} - 2.0$	Vdc
Digital Threshold Input Current ( $1.2\text{ V} < V_{th} < V_{CC} - 2.0\text{ V}$ ) ( $V_{IL}$ applied to Pins 13, 14 and 15) ( $V_{IH}$ applied to Pins 13, 14 and 15)	$I_{I(th)}$	—	—	5.0	—	—	5.0	$\mu\text{A}$
Maximum Integrator Amplifier Output Current	$I_O$	$\pm 5.0$	—	—	$\pm 5.0$	—	—	mA
$V_{CC}/2$ Generator Maximum Output Current (Source only)	$I_{Ref}$	+10	—	—	+10	—	—	mA
$V_{CC}/2$ Generator Output Impedance (10 to +10 mA)	$z_{Ref}$	—	3.0	6.0	—	3.0	6.0	$\Omega$
$V_{CC}/2$ Generator Tolerance ( $4.75\text{ V} < V_{CC} < 16.5\text{ V}$ )	$\epsilon_r$	—	—	$\pm 3.5$	—	—	$\pm 3.5$	%
Logic Input Voltage (Pins 13, 14 and 15)								Vdc
Low Logic State	$V_{IL}$	Gnd	—	$V_{th} - 0.4$	Gnd	—	$V_{th} - 0.4$	
High Logic State	$V_{IH}$	$V_{th} + 0.4$	—	18.0	$V_{th} + 0.4$	—	18.0	
Dynamic Total Loop Offset Voltage (Note 2) — Figures 3, 4 and 5 $I_{GC} = 12.0\ \mu\text{A}$ , $V_{CC} = 12\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} < T_A < +70^\circ\text{C}$ MC3417/18 $-55^\circ\text{C} < T_A < +125^\circ\text{C}$ MC3517/18 $I_{GC} = 33.0\ \mu\text{A}$ , $V_{CC} = 12\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} < T_A < +70^\circ\text{C}$ MC3417/18 $-55^\circ\text{C} < T_A < +125^\circ\text{C}$ MC3517/18 $I_{GC} = 12.0\ \mu\text{A}$ , $V_{CC} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} < T_A < +70^\circ\text{C}$ MC3417/18 $-55^\circ\text{C} < T_A < +125^\circ\text{C}$ MC3517/18 $I_{GC} = 33.0\ \mu\text{A}$ , $V_{CC} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} < T_A < +70^\circ\text{C}$ MC3417/18 $-55^\circ\text{C} < T_A < +125^\circ\text{C}$ MC3517/18	$\Sigma V_{offset}$	—	—	—	—	$\pm 0.5$ $\pm 0.75$ $\pm 1.5$	$\pm 1.5$ $\pm 2.3$ $\pm 4.0$	mV
Digital Output Voltage ( $I_{OL} = 3.6\text{ mA}$ ) ( $I_{OH} = -0.35\text{ mA}$ )	$V_{OL}$ $V_{OH}$	— $V_{CC} - 1.0$	0.1 $V_{CC} - 0.2$	0.4 —	— $V_{CC} - 1.0$	0.1 $V_{CC} - 0.2$	0.4 —	Vdc
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	+3.2	—	$V_{CC}$	+3.2	—	$V_{CC}$	Vdc
Integrating Current (Figure 2) ( $I_{GC} = 12.0\ \mu\text{A}$ ) ( $I_{GC} = 1.5\text{ mA}$ ) ( $I_{GC} = 3.0\text{ mA}$ )	$I_{Int}$	8.0 1.45 2.75	10 1.50 3.0	12 1.55 3.25	8.0 1.45 2.75	10 1.50 3.0	12 1.55 3.25	$\mu\text{A}$ mA mA
Dynamic Integrating Current Match ( $I_{GC} = 1.5\text{ mA}$ ) Figure 6	$V_O(Avel)$	—	$\pm 100$	$\pm 250$	—	$\pm 100$	$\pm 250$	mV
Input Current — High Logic State ( $V_{IH} = 18\text{ V}$ ) Digital Data Input Clock Input Encode/Decode Input	$I_{IH}$	—	—	+5.0 +5.0 +5.0	—	—	+5.0 +5.0 +5.0	$\mu\text{A}$
Input Current — Low Logic State ( $V_{IL} = 0\text{ V}$ ) Digital Data Input Clock Input Encode/Decode Input Clock Input, $V_{IL} = 0.4\text{ V}$	$I_{IL}$	—	—	-10 -360 -36 -72	—	—	-10 -360 -36 -72	$\mu\text{A}$

NOTE 2. Dynamic total loop offset ( $\Sigma V_{offset}$ ) equals  $V_{IO}$  (comparator) (Figure 3) minus  $V_{IOX}$  (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517, the clock frequency is 16.0 kHz. For the MC3418/MC3518, the clock frequency is 32.0 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to insure good idle channel performance.

## CIRCUIT DESCRIPTION (continued)

zero and receive restart begins without framing when the receiver reacquires. Similarly a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

## The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the Nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 3 or 4 bits long depending on the application. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates

if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all ones, all zeros algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm only operates on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communications requirements.

## APPLICATIONS INFORMATION

## CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3417 or MC3418 is shown in Figure 14. These ICs are general purpose CVSD building blocks which allow the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3417 and MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application.

These are listed below:

1. Selection of clock rate

2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single pole networks. The selection of items 1 through 4 govern the codec performance.



National  
Semiconductor  
Corporation

## LM741/LM741A/LM741C/LM741E Operational Amplifier

### General Description

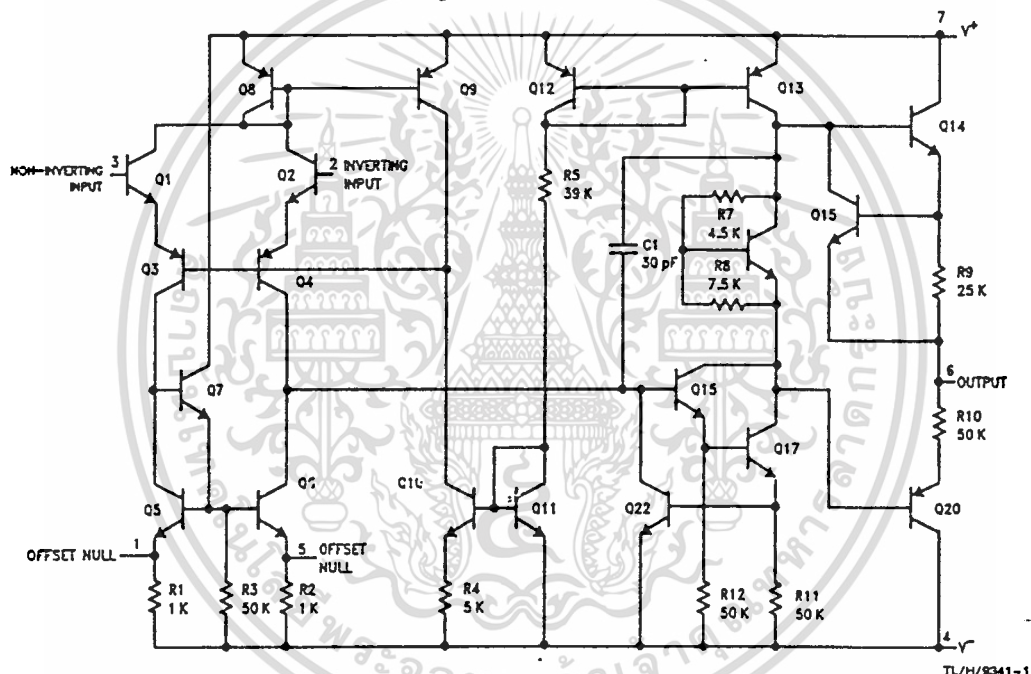
The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and

output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

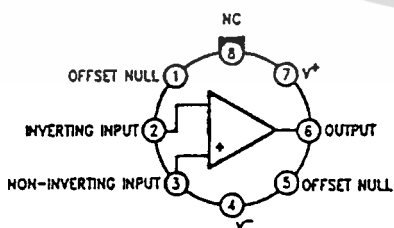
The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a  $0^{\circ}\text{C}$  to  $+70^{\circ}\text{C}$  temperature range, instead of  $-55^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$ .

### Schematic and Connection Diagrams (Top Views)



TL/H/9341-1

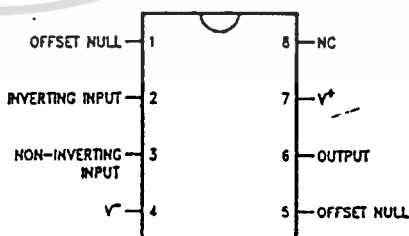
Metal Can Package



TL/H/9341-2

Order Number LM741H, LM741AH,  
LM741CH or LM741EH  
See NS Package Number H08C

Dual-In-Line or S.O. Package



TL/H/9341-3

Order Number LM741CJ, LM741CM,  
LM741CN or LM741EN  
See NS Package Number J08A, M08A or N08E

LM741/LM741A/LM741C/LM741E

**MOTOROLA  
SEMICONDUCTOR  
TECHNICAL DATA**

**TL071  
TL072  
TL074**

**Low Noise, JFET Input  
Operational Amplifiers**

These low noise JFET input operational amplifiers combine two state-of-the-art near technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input devices for low input offset voltage. The BIFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents. Moreover, the devices exhibit low noise and low harmonic distortion making them ideal for use in high fidelity audio amplifier applications.

These devices are available in single, dual and quad operational amplifiers which are pin-compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar products.

- Low Input Noise Voltage: 18 nV/√Hz Typ
- Low Harmonic Distortion: 0.01% Typ
- Low Input Bias and Offset Currents
- High Input Impedance: 10<sup>12</sup> Ω Typ
- High Slew Rate: 13 V/μs Typ
- Wide Gain Bandwidth: 4.0 MHz Typ
- Low Supply Current: 1.4 mA per Amp

**LOW NOISE, JFET INPUT  
OPERATIONAL AMPLIFIERS**

**SILICON MONOLITH  
INTEGRATED CIRCUIT**



**P SUFFIX  
PLASTIC PACKAGE  
CASE 626**

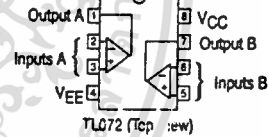
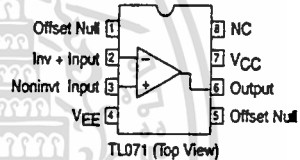


**JG SUFFIX  
CERAMIC PACKAGE  
CASE 693**



**D SUFFIX  
PLASTIC PACKAGE  
CASE 751  
(SO-8)**

**PIN CONNECTIONS**

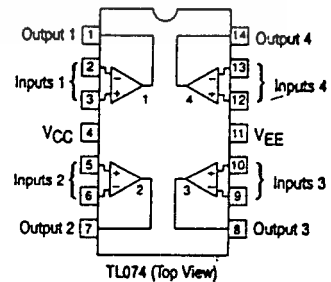


**N SUFFIX  
PLASTIC PACKAGE  
CASE 646  
(TL074 Only)**



**J SUFFIX  
CERAMIC PACKAGE  
CASE 632  
(TL074 Only)**

**PIN CONNECTIONS**



**ORDERING INFORMATION**

Op Amp Function	Device	Temperature Range	Package
Single	TL071ACD, CD	0° to +70°C	SO-8
	TL071ACJG, CJG		Ceramic DIP
	TL071ACP, CP		Plastic DIP
Dual	TL072ACD, CD	0° to +70°C	SO-8
	TL072ACJG, CJG		Ceramic DIP
	TL072ACP, CP		Plastic DIP
Quad	TL074ACJ, CJ	0° to +70°C	Ceramic DIP
	TL074ACN, CN		Plastic DIP

MOTOROLA LINEAR/INTERFACE ICs DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# TL071, TL072, TL074

## MAXIMUM RATINGS

Rating	Symbol	TL07_C TL07_AC	Unit
Supply Voltage	$V_{CC}$ $V_{EE}$	+18 -18	V
Differential Input Voltage	$V_{ID}$	$\pm 30$	V
Input Voltage Range (Note 1)	$V_{IDR}$	$\pm 15$	V
Output Short Circuit Duration (Note 2)	$t_{SC}$	Continuous	
Power Dissipation			
Plastic Package (N, P)	PD	680	mW
Derate above $T_A = +47^\circ\text{C}$	$1/\theta_{JA}$	10	$\text{mW}/^\circ\text{C}$
Ceramic Package (J, JG)	PD	680	mW
Derate above $T_A = +82^\circ\text{C}$	$1/\theta_{JA}$	10	$\text{mW}/^\circ\text{C}$
Operating Ambient Temperature Range	$T_A$	0 to +70	$^\circ\text{C}$
Storage Temperature Range	$T_{stg}$	-65 to +150	$^\circ\text{C}$

- NOTES: 1. The magnitude of the input voltage must not exceed the magnitude of the supply voltage or 15 V, whichever is less.  
2. The output may be shorted to ground or either supply. Temperature and/or supply voltages must be limited to ensure that power dissipation ratings are not exceeded.

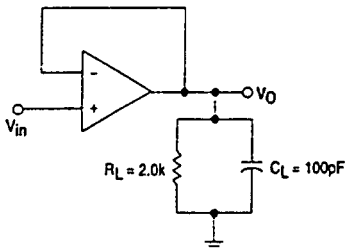
## ELECTRICAL CHARACTERISTICS ( $V_{CC} = +15\text{ V}$ , $V_{EE} = -15\text{ V}$ , $T_A = T_{high}$ to $T_{low}$ (Note 3))

Characteristics	Symbol	TL07_C TL07_AC			Unit
		Min	Typ	Max	
Input Offset Voltage ( $R_S \leq 10\text{ k}$ , $V_{CM} = 0$ ) TL071, TL072 TL074 TL07_A	$V_{IO}$	—	—	13 13 7.5	mV
Input Offset Current ( $V_{CM} = 0$ ) (Note 4) TL07_— TL07_A	$I_{IO}$	—	—	2.0 2.0	nA
Input Bias Current ( $V_{CM} = 0$ ) (Note 4) TL07_— TL07_A	$I_{IB}$	—	—	7.0 7.0	nA
Large-Signal Voltage Gain ( $V_O = \pm 10\text{ V}$ , $R_L \geq 2.0\text{ k}$ ) TL07_— TL07_A	$A_{VOL}$	15 25	—	—	V/mV
Output Voltage Swing (Peak-to-Peak) ( $R_L \geq 10\text{ k}$ ) ( $R_L \geq 2.0\text{ k}$ )	$V_O$	24 20	—	—	V

NOTES: (continued)

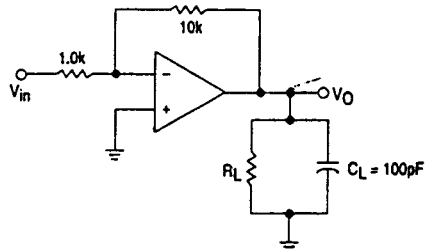
3.  $T_{low} = 0^\circ\text{C}$  for TL071C, TL071AC  
TL072C, TL072AC  
TL074C, TL074AC  
 $T_{high} = +70^\circ\text{C}$  for TL071C, TL071AC  
TL072C, TL072AC  
TL074C, TL074AC
4. Input Bias currents of JFET input op amps approximately double for every  $10^\circ\text{C}$  rise in Junction Temperature as shown in Figure 3. To maintain Junction Temperature as close to Ambient Temperature as possible, pulse techniques must be used during testing.

Figure 1. Unity Gain Voltage Follower



## TEST CIRCUITS

Figure 2. Inverting Gain of 10 Amplifier



MOTOROLA LINEAR/INTERFACE ICs DEVICE DATA

# TL071, TL072, TL074

**ELECTRICAL CHARACTERISTICS** ( $V_{CC} = +15\text{ V}$ ,  $V_{EE} = -15\text{ V}$ ,  $T_A = 25^\circ\text{C}$ , unless otherwise noted.)

Characteristics	Symbol	TL07_C TL07_AC			Unit
		Min	Typ	Max	
Input Offset Voltage ( $R_S \leq 10\text{ k}$ , $V_{CM} = 0$ ) TL071, TL072 TL074 TL07_A	$V_{IO}$	—	3.0	10	mV
Average Temperature Coefficient of Input Offset Voltage $R_S = 50\ \Omega$ , $T_A = T_{low}$ to $T_{high}$ (Note 3)	$\Delta V_{IO}/\Delta T$	—	10	—	$\mu\text{V}/^\circ\text{C}$
Input Offset Current ( $V_{CM} = 0$ ) (Note 4) TL07_ TL07_A	$I_{IO}$	—	5.0	50	pA
Input Bias Current ( $V_{CM} = 0$ ) (Note 4) TL07_ TL07_A	$I_{IB}$	—	30	200	pA
Input Resistance	$r_i$	—	$10^{12}$	—	$\Omega$
Common Mode Input Voltage Range TL07_ TL07_A	$V_{ICR}$	$\pm 10$ $\pm 11$	+15, -12 +15, -12	—	V
Large-Signal Voltage Gain ( $V_O = \pm 10\text{ V}$ , $R_L \geq 2.0\text{ k}$ ) TL07_ TL07_A	$A_{VOL}$	25 50	150 150	—	V/mV
Output Voltage Swing (Peak-to-Peak) ( $R_L = 10\text{ k}$ )	$V_O$	24	28	—	V
Common Mode Rejection Ratio ( $R_S \leq 10\text{ k}$ ) TL07_ TL07_A	CMRR	70 80	100 100	—	dB
Supply Voltage Rejection Ratio ( $R_S \leq 10\text{ k}$ ) TL07_ TL07_A	PSRR	70 80	100 100	—	dB
Supply Current (Each Amplifier)	$I_D$	—	1.4	2.5	mA
Unity Gain Bandwidth	BW	—	4.0	—	MHz
Slew Rate (See Figure 1) $V_{in} = 10\text{ V}$ , $R_L = 2.0\text{ k}$ , $C_L = 100\text{ pF}$	SR	—	13	—	$\text{V}/\mu\text{s}$
Rise Time (See Figure 1)	$t_r$	—	0.1	—	$\mu\text{s}$
Overshoot Factor $V_{in} = 20\text{ mV}$ , $R_L = 2.0\text{ k}$ , $C_L = 100\text{ pF}$	—	—	10	—	%
Equivalent Input Noise Voltage $R_S = 100\ \Omega$ , $f = 1000\text{ Hz}$	$e_n$	—	18	—	$\text{nV}/\sqrt{\text{Hz}}$
Equivalent Input Noise Current $R_S = 100\ \Omega$ , $f = 1000\text{ Hz}$	$i_n$	—	0.01	—	$\text{pA}/\sqrt{\text{Hz}}$
Total Harmonic Distortion $V_O$ (RMS) = 10 V, $R_S \leq 1.0\text{ k}$ $R_L \geq 2.0\text{ k}$ , $f = 1000\text{ Hz}$	THD	—	0.01	—	%
Channel Separation $A_V = 100$	—	—	120	—	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**LM139, A**  
**LM239, A**    **LM2901**  
**LM339, A**    **MC3302**

**QUAD SINGLE-SUPPLY COMPARATORS**

These comparators are designed for use in level detection, low-level sensing and memory applications in Consumer Automotive and Industrial electronic applications.

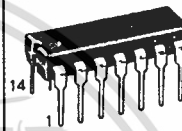
- Single or Split Supply Operation
- Low Input Bias Current — 25 nA (Typ)
- Low Input Offset Current —  $\pm 5.0$  nA (Typ)
- Low Input Offset Voltage —  $\pm 1.0$  mV (Typ LM139A Series)
- Input Common-Mode Voltage Range to Gnd
- Low Output Saturation Voltage — 130 mV (Typ) @ 4.0 mA
- TTL and CMOS Compatible

**MAXIMUM RATINGS**

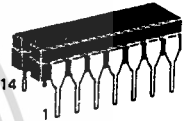
Rating	Symbol	Value	Unit
Power Supply Voltage LM139, A/LM239, A/LM339A/LM2901/MC3302	V <sub>CC</sub>	+36 or $\pm 18$ +30 or $\pm 15$	Vdc
Input Differential Voltage Range LM139, A/LM239, A/LM339, A/LM2901/MC3302	V <sub>IDR</sub>	36 30	Vdc
Input Common Mode Voltage Range	V <sub>ICR</sub>	-0.3 to V <sub>CC</sub>	Vdc
Output Short-Circuit to Gnd (Note 1)	I <sub>SC</sub>	Continuous	
Input Current (V <sub>in</sub> < -0.3 Vdc) (Note 2)	I <sub>in</sub>	50	mA
Power Dissipation @ T <sub>A</sub> = 25°C	P <sub>D</sub>		
Ceramic Package		1.0	Watts
Derate above 25°C		8.0	mW/°C
Plastic Package		1.0	Watts
Derate above 25°C		8.0	mW/°C
Operating Ambient Temperature Range	T <sub>A</sub>		°C
LM139, A		-55 to +125	
LM239, A		-25 to +85	
LM2901/MC3302		-40 to +85	
LM339, A		0 to +70	
Storage Temperature Range	T <sub>stg</sub>	-65 to +150	°C

**QUAD COMPARATORS**

**SILICON MONOLITHIC INTEGRATED CIRCUIT**

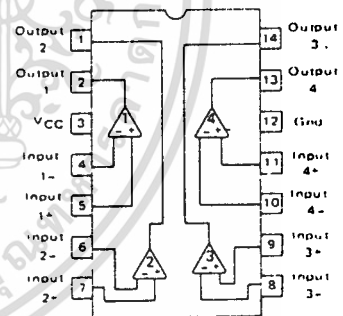


PLASTIC PACKAGE  
CASE 646-05



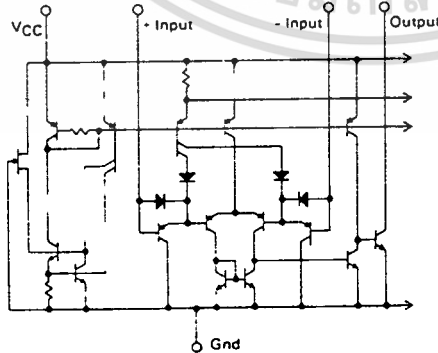
CERAMIC PACKAGE  
CASE 632-02  
MO-001AA

**PIN CONNECTIONS**



(Top View)

**FIGURE 1 — CIRCUIT SCHEMATIC (Diagram shown is for 1 comparator)**



**ORDERING INFORMATION**

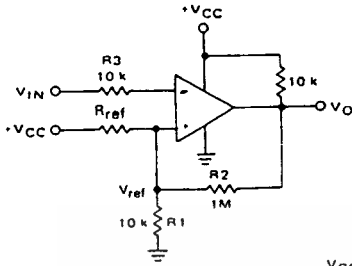
Device	Temperature Range	Package
LM139J, AJ	-55°C to +125°C	Ceramic DIP
LM239J, AJ	-25°C to +85°C	Ceramic DIP
LM239N, AN		Plastic DIP
LM339J, AJ	0°C to +70°C	Ceramic DIP
LM339N, AN		Plastic DIP
LM2901N	-40°C to +85°C	Plastic DIP
MC3302L		Ceramic DIP
MC3302P		Plastic DIP

MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM139,A, LM239,A, LM339,A, LM2901, MC3302

FIGURE 2 — INVERTING COMPARATOR WITH HYSTERESIS



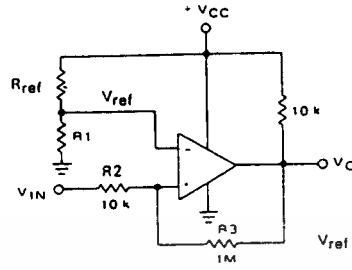
$$V_{ref} \approx \frac{V_{CC} R_1}{R_{ref} + R_1}$$

$$R_3 \approx R_1 // R_{ref} // R_2$$

$$V_H \approx \frac{R_1 // R_{ref}}{R_1 // R_{ref} + R_2} (V_{Omax} - V_{Omin})$$

$$R_2 \gg R_{ref} // R_1$$

FIGURE 3 — NON-INVERTING COMPARATOR WITH HYSTERESIS



$$V_{ref} \approx \frac{V_{CC} R_1}{R_{ref} + R_1}$$

$$R_2 \approx R_1 // R_{ref}$$

Amount of Hysteresis  $V_H$

$$V_H \approx \frac{R_2}{R_2 + R_3} (V_{Omax} - V_{Omin})$$

TYPICAL CHARACTERISTICS  
( $V_{CC} = +15$  Vdc,  $T_A = +25^\circ\text{C}$  (each comparator) unless otherwise noted.)

FIGURE 4 — NORMALIZED INPUT OFFSET VOLTAGE

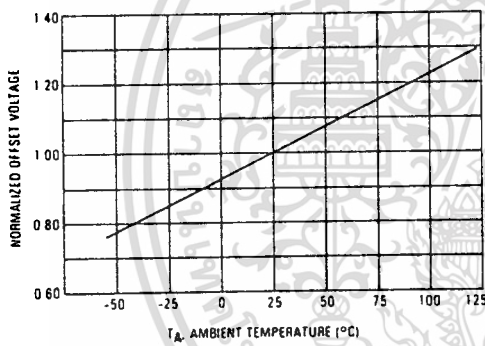


FIGURE 5 — INPUT BIAS CURRENT

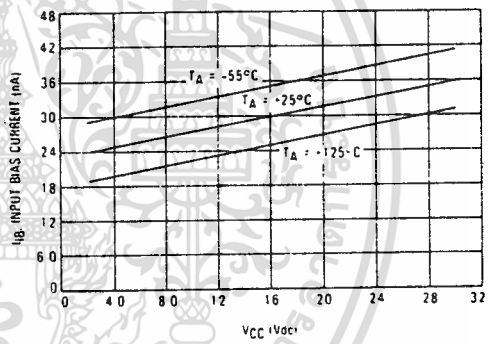
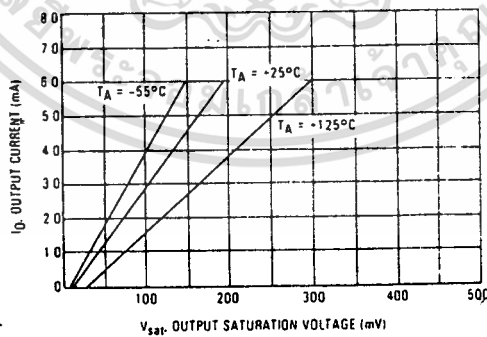


FIGURE 6 — OUTPUT SINK CURRENT versus OUTPUT SATURATION VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4060AB



# CMOS 14-STAGE BINARY COUNTER AND OSCILLATOR

## FEATURES

- ◆ 14 Fully Static Stages
- ◆ 10 Buffered Outputs Available
- ◆ Common Reset Line
- ◆ 8MHz Counting Rate @ 10Vdc
- ◆ All Active Oscillator Components on Chip for R-C or Crystal Control

## DESCRIPTION

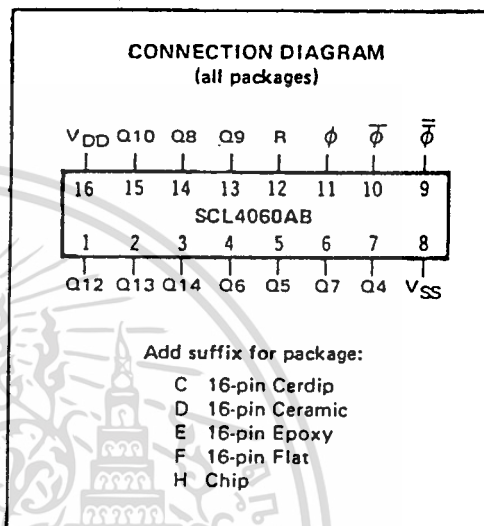
The SCL4060AB consists of an oscillator section and 14 ripple-carry binary counter stages. The oscillator configuration allows design of either R-C or crystal oscillator circuits. A Reset input is provided which resets the counter to the all-0's state. A high level on the Reset line accomplishes the reset function. The state of the counter is advanced one step in binary order on the negative transition of the Clock input  $\phi$ . All inputs and outputs are fully buffered. Outputs are available from stages 4 through 10 and 12 through 14.

Applications include timers, frequency dividers, delay circuits and counter controls.

## TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
	0	No Change
	0	Advance to next state
X	1	All Outputs are low

X = Don't Care

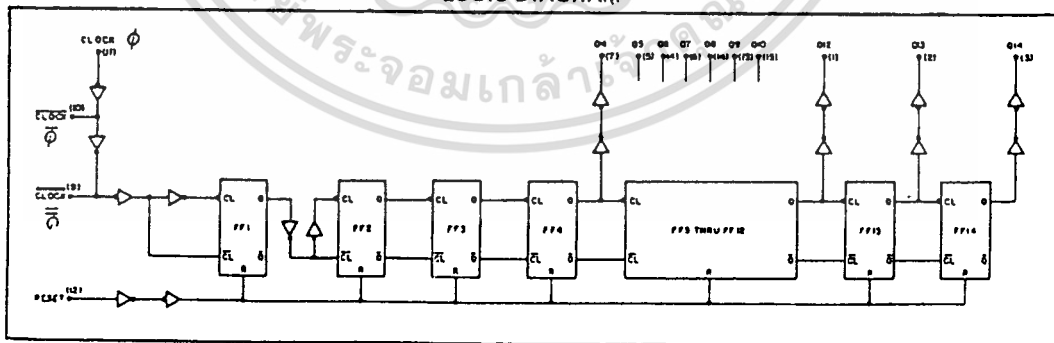


## RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

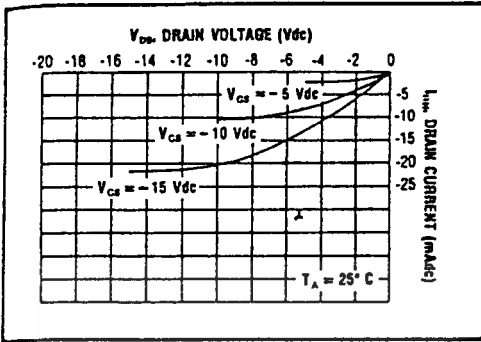
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	$T_A$	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

## LOGIC DIAGRAM

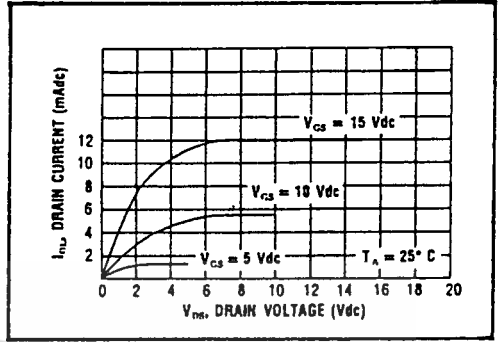


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4060AB

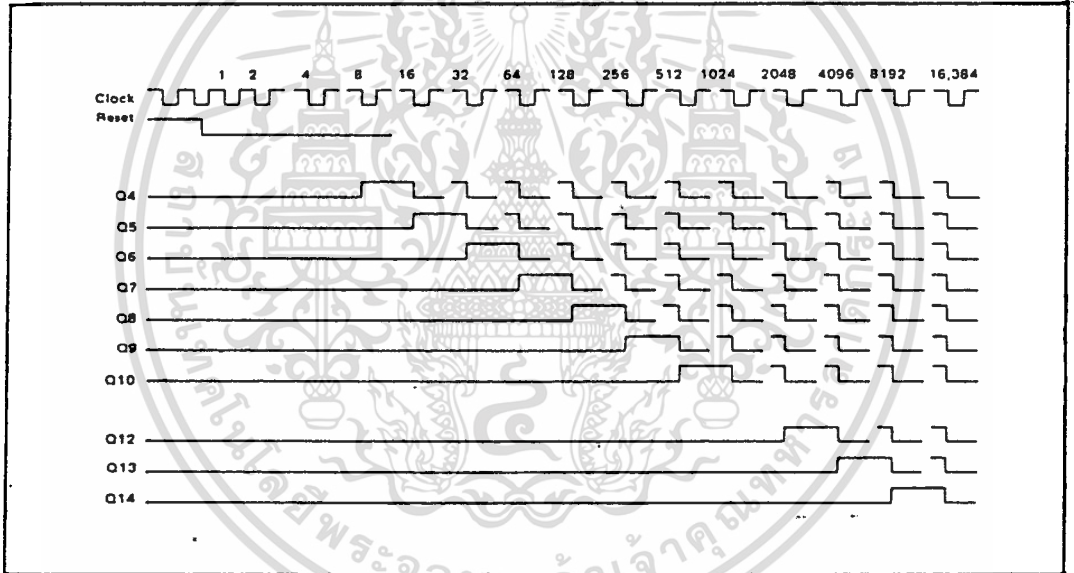


Typical P-Channel Source Current Characteristics

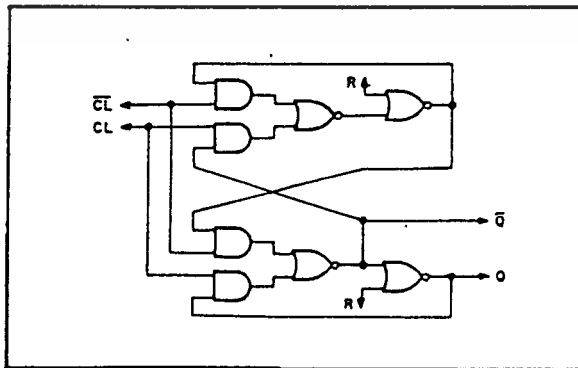


Typical N-Channel Sink Current Characteristics

TIMING DIAGRAM



TYPICAL COUNTER STAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

**SCL4060AB**

14 STAGE COUNTER

$I = \frac{2.2}{R_1 C_T}$

$V_{DD} = 10V$

$C_T > 100 pF$   
 $R_T > 1 k\Omega$   
 $R_S \approx 10 R_T$

OSCILLATOR FREQUENCY	$R_S$ k $\Omega$	$R_T$ k $\Omega$	$C_T$	100 mA @ $V_{DD} = 10 V$
10 kHz	450	45	1 $\mu F$	0.2
100 kHz	450	45	0.1 $\mu F$	0.3
1000 kHz	450	45	0.01 $\mu F$	0.4
10 MHz	450	45	0.001 $\mu F$	0.5
100 kHz	450	45	100 pF	0.7
1 MHz	450	45	100 pF	1

TYPICAL COMPONENT VALUES AND CIRCUIT PERFORMANCE

Typical RC oscillator circuit

**SCL4060AB**

14 STAGE COUNTER

$5M\Omega \leq R_T \leq 100M\Omega$   
 $R_S \approx (5X \rightarrow 10X) R_S(XTAL)$   
 $C_S C_T \approx C_L(XTAL)$   
 $C_S + C_T \approx C_L(XTAL)$

Typical crystal oscillator circuit

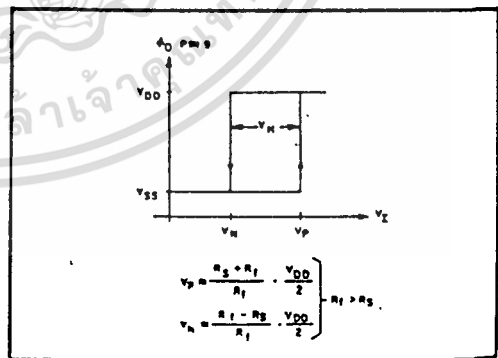
**SCL4060AB**

14 STAGE COUNTER

TYPICAL COMPONENT VALUES FOR OPERATION FROM 60 MHz INPUT AT  $V_{DD} = 3$  TO 15 VOLTS:  
 $R_2 = 150 k\Omega$   
 $R_1 = 390 k\Omega$

(FOR USE WHEN INPUT SIGNALS WITH SLOW RISE-FALL TIME ARE USED AS CLOCK)

Input pulse-shaping circuit (Schmitt trigger)



Input circuit characteristics for pulse-shaping circuit.

# SCL4070B



# CMOS QUAD EXCLUSIVE-OR GATE

### FEATURES

- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B"-Series Compatible
- ◆ Balanced Output Drive Current Specifications
- ◆ Pin Compatible with 4030 types, MC14507, 74C86

### DESCRIPTION

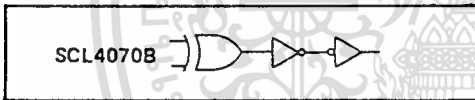
The SCL4070B contains four independent exclusive-OR gates integrated on a single monolithic silicon chip. Each exclusive-OR gate consists of five N-channel and five P-channel enhancement-mode transistors, plus output buffering devices.

TRUTH TABLE  
(one of four gates)

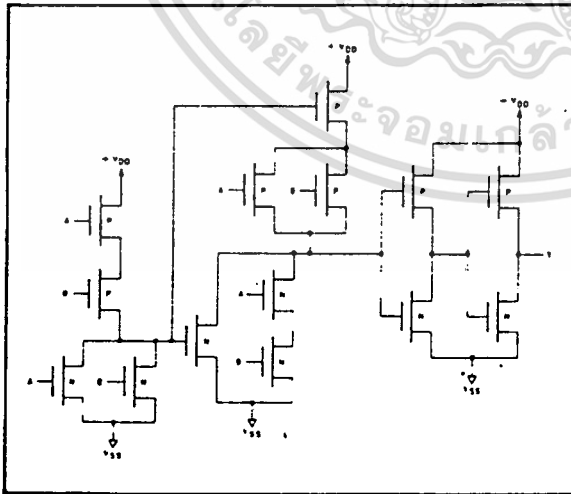
A	B	Y
0	0	0
1	0	1
0	1	1
1	1	0

Where 1 = High Level  
0 = Low Level

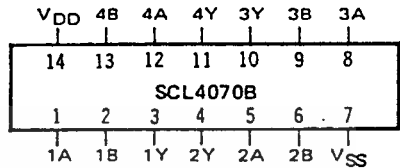
LOGIC DIAGRAM



SCHEMATIC DIAGRAM  
(one of four gates)



CONNECTION DIAGRAM  
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

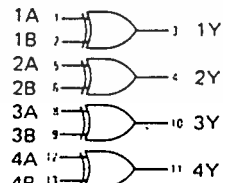
### RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vd
Operating Temperature	$T_A$	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

Note: The SCL4070B is identical to the SCL4030B; the devices are fully interchangeable in all applications.

FUNCTION DIAGRAM



$$Y = A \oplus B$$

$V_{DD}$  = Pin 14  
 $V_{SS}$  = Pin 7

ELECTRICAL CHARACTERISTICS

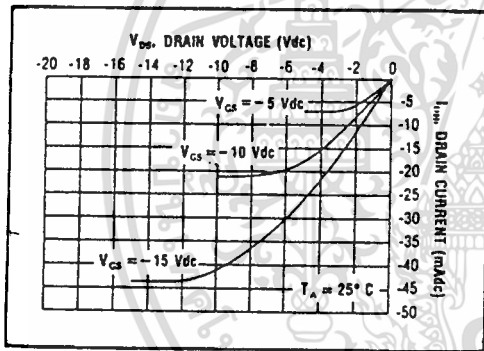
STATIC CHARACTERISTICS <sup>1,3</sup>

PARAMETER	V <sub>DD</sub> (Vdc)	CONDITIONS	T <sub>LOW</sub> <sup>2</sup>		+25°C			T <sub>HIGH</sub> <sup>2</sup>		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I <sub>DD</sub>	V <sub>IN</sub> = V <sub>SS</sub> or V <sub>DD</sub> All valid input combinations	-	0.05	-	0.0005	0.05	-	1.5	μAdc
			-	0.10	-	0.001	0.10	-	3.0	
			-	0.20	-	0.002	0.20	-	6.0	

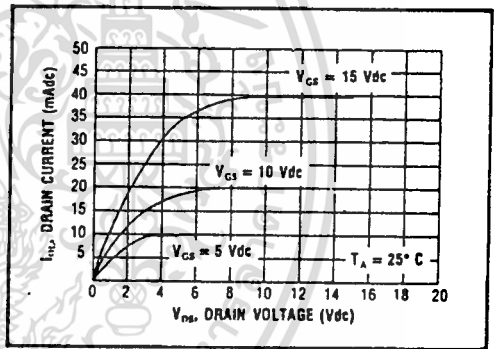
- NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".  
<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.  
 = -40°C for E device.  
 T<sub>HIGH</sub> = +125°C for C, D, F, H device.  
 = + 85°C for E device.  
<sup>3</sup> This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

PARAMETER	V <sub>DD</sub> (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t <sub>PLH</sub> , t <sub>PHL</sub>	5	175	350	ns
		10	70	140	
		15	50	100	
OUTPUT TRANSITION TIME	t <sub>TLH</sub> , t <sub>THL</sub>	5	100	200	ns
		10	50	100	
		15	40	80	

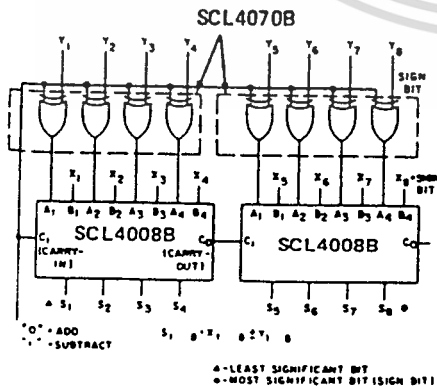


Typical P-Channel Source Current Characteristics



Typical N-Channel Sink Current Characteristics

APPLICATIONS INFORMATION  
8-BIT TWO'S COMPLEMENT ADDER/SUBTRACTOR



X <sub>8</sub>	X <sub>7</sub>	X <sub>6</sub>	X <sub>5</sub>	X <sub>4</sub>	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>8</sub>	X <sub>7</sub>	X <sub>6</sub>	X <sub>5</sub>	X <sub>4</sub>	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	-1
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	-2
0	0	0	0	0	0	1	0	1	1	1	1	1	1	1	0	-3
0	0	0	0	0	1	0	0	1	1	1	1	1	1	1	0	-4
0	0	0	0	1	0	0	0	1	1	1	1	1	1	1	0	-5
0	0	0	1	0	0	0	0	1	1	1	1	1	1	1	0	-6
0	0	1	0	0	0	0	0	1	1	1	1	1	1	1	0	-7
0	1	0	0	0	0	0	0	1	1	1	1	1	1	1	0	-8
0	1	1	0	0	0	0	0	1	1	1	1	1	1	1	0	-9
0	1	1	1	0	0	0	0	1	1	1	1	1	1	1	0	-10
0	1	1	1	1	0	0	0	1	1	1	1	1	1	1	0	-11
0	1	1	1	1	1	0	0	1	1	1	1	1	1	1	0	-12
0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	0	-13
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	-14
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	-15
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	-16
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	-17
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	-18
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	-19
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	-20

Two's complement numbers and their equivalent decimal values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**SCL4081B, SCL4082B  
SCL4073B**



**CMOS AND GATES**

SCL4081B - Quad 2-Input AND  
SCL4082B - Dual 4-Input AND  
SCL4073B - Triple 3-Input AND

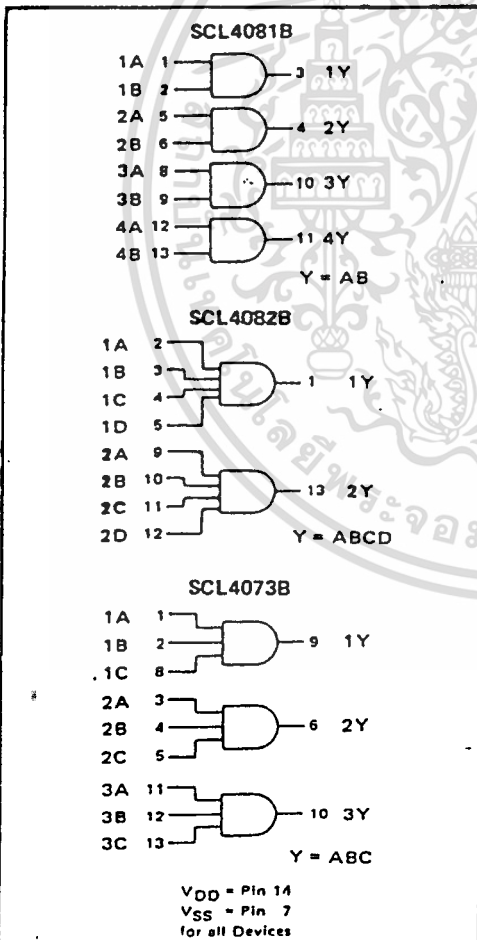
**FEATURES**

- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B"-Series Compatible
- ◆ Balanced Output Drive Current Specifications

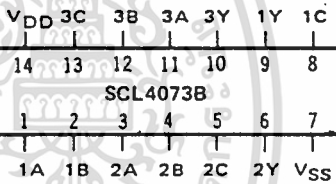
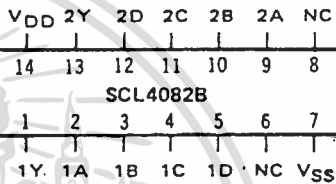
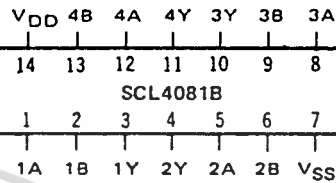
**TRUTH TABLE**

Inputs	Output
1 1 ... 1	1
All other combinations	0

**FUNCTION DIAGRAMS**



**CONNECTION DIAGRAMS  
(all packages)**



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

**RECOMMENDED OPERATING CONDITIONS**

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	$T_A$		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

ELECTRICAL CHARACTERISTICS

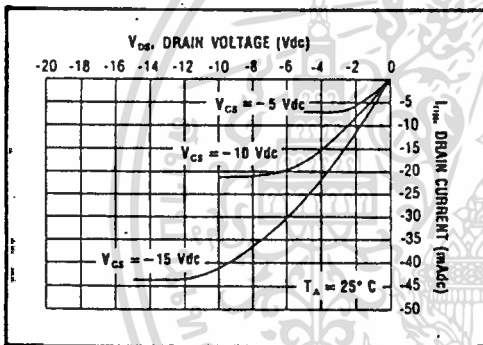
STATIC CHARACTERISTICS 1,3

PARAMETER	V <sub>DD</sub> (Vdc)	CONDITIONS	T <sub>LOW</sub> <sup>2</sup>		+25°C			T <sub>HIGH</sub> <sup>3</sup>		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	5	V <sub>IN</sub> = V <sub>SS</sub> or V <sub>DD</sub> All valid input combinations	-	0.05	-	0.0005	0.05	-	1.5	μA <sub>dc</sub>
	10		-	0.10	-	0.001	0.10	-	3.0	
	15		-	0.20	-	0.002	0.20	-	6.0	

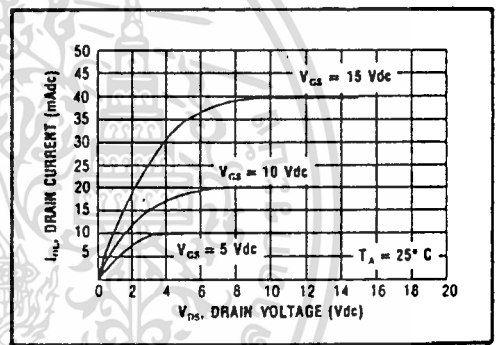
- NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"  
<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.  
 = -40°C for E device.  
 T<sub>HIGH</sub> = +125°C for C, D, F, H device.  
 = + 85°C for E device.  
<sup>3</sup> These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

PARAMETER		V <sub>DD</sub> (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t <sub>PLH</sub> , t <sub>PHL</sub>	5	-	150	300	ns
		10	-	65	130	
		15	-	50	100	
OUTPUT TRANSITION TIME	t <sub>TLH</sub> , t <sub>THL</sub>	5	-	100	200	ns
		10	-	50	100	
		15	-	40	80	

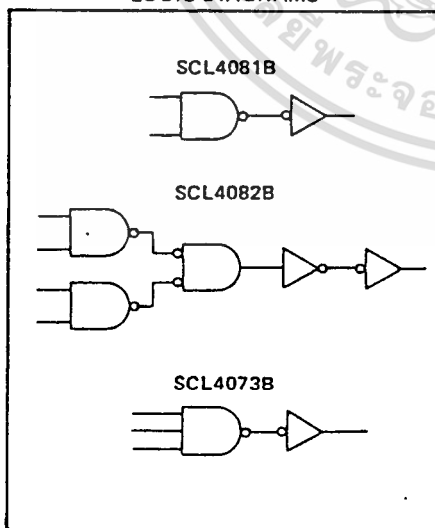


Typical P-Channel Source Current Characteristics

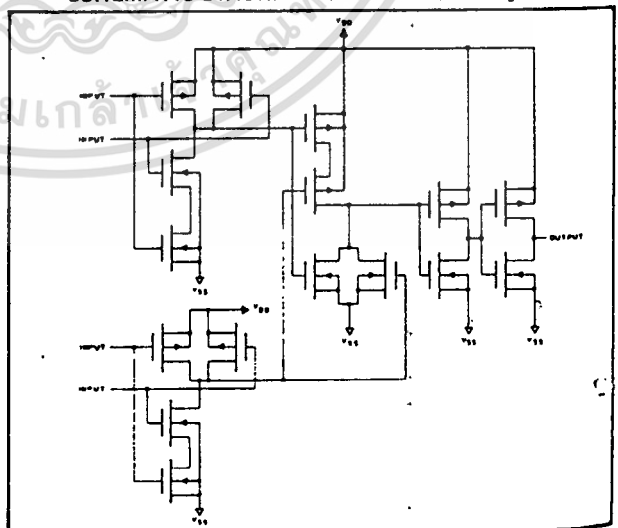


Typical N-Channel Sink Current Characteristics

LOGIC DIAGRAMS



SCHEMATIC DIAGRAM - SCL4082B (1 of 2 gates)



### Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications. (Note 9)

Parameter	LM124/LM224/LM324	LM2902	LM124/LM224/LM324	LM2902
Supply Voltage, $V^+$	32 VDC or $\pm 16$ VDC	28 VDC or $\pm 13$ VDC	Storage Temperature Range -65°C to +150°C	LM124/LM224/LM324 LM124A/LM224A/LM324A -65°C to +150°C
Differential Input Voltage	-0.3 VDC to +32 VDC	26 VDC	Lead Temperature (Soldering, 10 seconds)	260°C
Input Voltage	32 VDC to +32 VDC	-0.3 VDC to +28 VDC	Soldering Information Dual-In-Line Package	260°C
Power Dissipation (Note 1)	1130 mW	1130 mW	Soldering (10 seconds)	260°C
Molded DIP	1260 mW	1260 mW	Small Outline Package	215°C
Cavity DIP	800 mW	800 mW	Vapor Phase (60 seconds)	220°C
Small Outline Package			Infrared (15 seconds)	220°C
Output Short-Circuit to GND (One Amplifier) (Note 2)	Continuous	Continuous	See AN-450 "Surface Mounting Methods and Other Methods of Soldering Surface Mount Devices".	ESD rating to be determined.
$V^+ \leq 15$ VDC and $T_A = 25^\circ\text{C}$				
Input Current	50 mA	50 mA		
( $V_{IN} < -0.3$ VDC) (Note 3)				
Operating Temperature Range	0°C to +70°C	-40°C to +85°C		
LM324/LM324A	-25°C to +85°C			
LM224/LM224A	-55°C to +125°C			
LM124/LM124A				

### Electrical Characteristics $V^+ = +5.0$ VDC (Note 4), unless otherwise stated

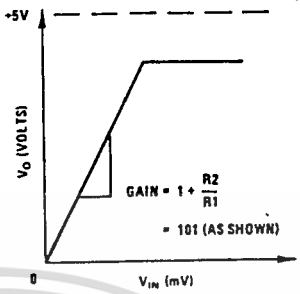
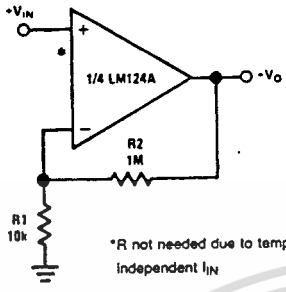
Parameter	Conditions	LM124A		LM224A		LM324A		LM124/LM224		LM324		LM2902		Units
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
Input Offset Voltage	(Note 5)	$\pm 1$	$\pm 2$	$\pm 1$	$\pm 3$	$\pm 2$	$\pm 3$	$\pm 2$	$\pm 5$	$\pm 2$	$\pm 7$	$\pm 2$	$\pm 7$	mVDC
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ , $V_{CM} = 0$ V	20	50	40	80	45	100	45	150	45	250	45	250	nADC
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$ , $V_{CM} = 0$ V	$\pm 2$	$\pm 10$	$\pm 2$	$\pm 15$	$\pm 5$	$\pm 30$	$\pm 3$	$\pm 30$	$\pm 5$	$\pm 50$	$\pm 5$	$\pm 50$	nADC
Input Common-Mode Voltage Range (Note 7)	$V^+ = 30$ VDC, (LM2902, $V^+ = 28$ VDC)	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	VDC
Supply Current	$R_L = \infty$ , $V^+ = 30$ V, (LM2902 $V^+ = 26$ V) $R_L = \infty$ On All Op Amps Over Full Temperature Range	1.5	3	1.5	3	1.5	3	1.5	3	1.5	3	1.5	3	mADC
Large Signal Voltage Gain	$V^+ = 15$ VDC, $R_L \geq 2$ k $\Omega$ , ( $V_O = 1$ VDC to 11 VDC)	50	100	50	100	25	100	50	100	25	100	25	100	V/mV
Common-Mode Rejection Ratio	DC, $V_{CM} = 0$ V to $V^+ - 1.5$ VDC	70	85	70	85	65	85	70	85	65	85	50	70	dB
Power Supply Rejection Ratio	DC, $V^+ = 5$ VDC to 30 VDC (LM2902, $V^+ = 5$ VDC to 26 VDC)	65	100	65	100	65	100	65	100	65	100	50	100	dB

Electrical Characteristics  $V^- = +5.0 V_{DC}$  (Note 1) unless otherwise stated (Continued)

Parameter	Conditions	LM124A		LM224A		LM324A		LM124/LM224		LM324		LM2902		Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Amplifier-to-Amplifier Coupling (Note 6)	$f = 1 \text{ kHz to } 20 \text{ kHz}$ , (Input Referred)	-120			-120			-120			-120			dB
Output Current	Source	20	40	20	40	20	40	20	40	20	40	20	40	mADC
	Sink	10	20	10	20	10	20	10	20	10	20	10	20	mADC
Short Circuit to Ground	$V_{IN}^+ = 1 V_{DC}$ , $V_{IN}^- = 0 V_{DC}$ , $V^+ = 15 V_{DC}$ , $V_O = 2 V_{DC}$	12	50	12	50	12	50	12	50	12	50	12	50	$\mu A_{DC}$
	$V_{IN}^- = 1 V_{DC}$ , $V_{IN}^+ = 0 V_{DC}$ , $V^+ = 15 V_{DC}$ , $V_O = 200 \text{ mV}_{DC}$	40	60	40	60	40	60	40	60	40	60	40	60	$\mu A_{DC}$
Input Offset Voltage	(Note 2) $V^+ = 15 V_{DC}$ , $T_A = 25^\circ C$ (Note 5)	$\pm 4$		$\pm 4$		$\pm 5$		$\pm 5$		$\pm 7$		$\pm 7$		mV/°C
Input Offset Voltage Drift	$R_S = 0 \Omega$	$\pm 7$	$\pm 20$	$\pm 7$	$\pm 20$	$\pm 7$	$\pm 30$	$\pm 7$	$\pm 30$	$\pm 7$	$\pm 30$	$\pm 7$	$\pm 30$	$\mu V/^\circ C$
Input Offset Current	$I_{IN}(+) = -I_{IN}(-)$ , $V_{CM} = 0V$	$\pm 30$		$\pm 30$		$\pm 75$		$\pm 100$		$\pm 150$		$\pm 150$		nADC
Input Offset Current Drift	$R_S = 0 \Omega$	$\pm 10$	$\pm 200$	$\pm 10$	$\pm 200$	$\pm 10$	$\pm 200$	$\pm 10$	$\pm 200$	$\pm 10$	$\pm 200$	$\pm 10$	$\pm 200$	nADC
Input Bias Current	$I_{IN}(+) \text{ or } I_{IN}(-)$	40	100	40	100	40	200	40	300	40	500	40	500	$\mu A_{DC}$
Input Common-Mode Voltage Range (Note 7)	$V^+ = +30 V_{DC}$ (LM2902, $V^+ = 26 V_{DC}$ )	0	$V^+ - 2$	0	$V^+ - 2$	0	$V^+ - 1$	0	$V^+ - 2$	0	$V^+ - 2$	0	$V^+ - 2$	$V_{DC}$
Large Signal Voltage Gain	$V^+ = +15 V_{DC}$	25		25		15		25		15		15		V/mV
	( $V_O$ Swing = $1 V_{DC}$ to $11 V_{DC}$ ) $R_L \geq 2 \text{ k}\Omega$	26		26		26		26		26		22		V/mV
Output Voltage Swing	$V^+ = +30 V_{DC}$ , $R_L = 2 \text{ k}\Omega$	27	28	27	28	27	28	27	28	27	28	23	24	$V_{DC}$
	$R_L \geq 10 \text{ k}\Omega$ (LM2902, $V^+ = 26 V_{DC}$ )	27	28	27	28	27	28	27	28	27	28	23	24	$V_{DC}$
$V_{OL}$	$V^+ = 5 V_{DC}$ , $R_L \geq 10 \text{ k}\Omega$	5	20	5	20	5	20	5	20	5	20	5	100	$\text{mV}_{DC}$

Typical Single-Supply Applications ( $V^+ = 5.0 V_{DC}$ )

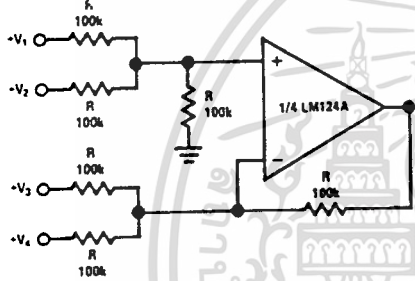
Non-Inverting DC Gain (0V Input = 0V Output)



\*R not needed due to temperature independent  $I_{IN}$

TL/H/9299-5

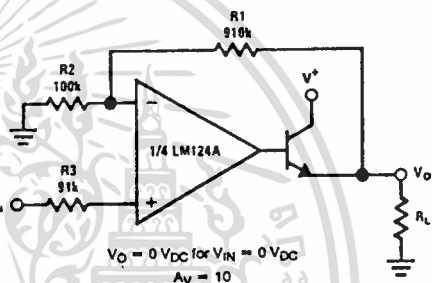
DC Summing Amplifier ( $V_{IN'S} \geq 0 V_{DC}$  and  $V_O \geq V_{DC}$ )



Where:  $V_O = V_1 + V_2 - V_3 - V_4$   
 $(V_1 + V_2) \geq (V_3 + V_4)$  to keep  $V_O > 0 V_{DC}$

TL/H/9299-6

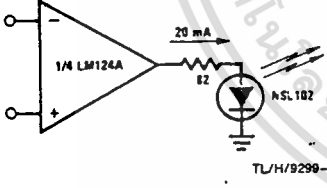
Power Amplifier



$V_O = 0 V_{DC}$  for  $V_{IN} = 0 V_{DC}$   
 $A_v = 10$

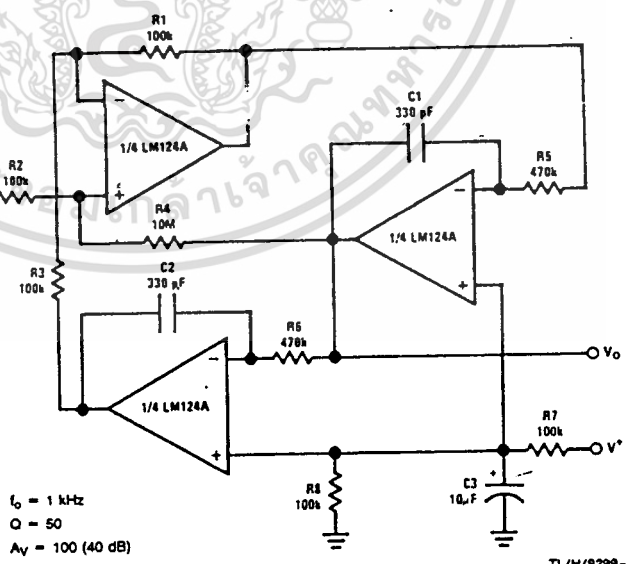
TL/H/9299-7

LED Driver



TL/H/9299-8

"BI-QUAD" RC Active Bandpass Filter

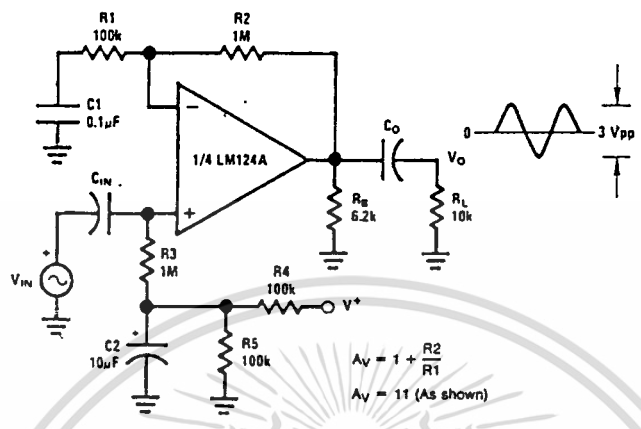


$f_o = 1 \text{ kHz}$   
 $Q = 50$   
 $A_v = 100 \text{ (40 dB)}$

TL/H/9299-9

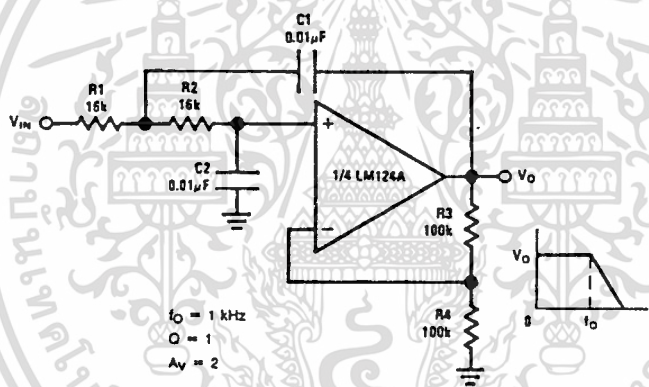
Typical Single-Supply Applications ( $V^+ = 5.0 V_{DC}$ ) (Continued)

AC Coupled Non-Inverting Amplifier



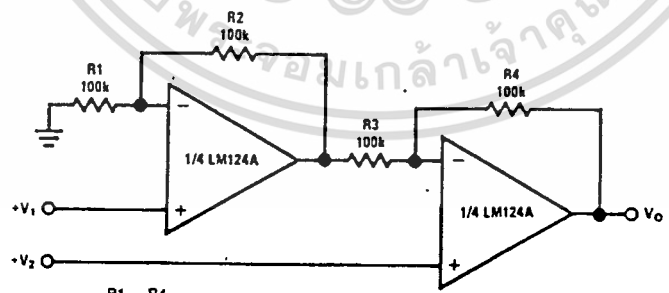
TL/H/9299-25

DC Coupled Low-Pass RC Active Filter



TL/H/9299-26

High Input Z, DC Differential Amplifier



For  $\frac{R_1}{R_2} = \frac{R_4}{R_3}$  (CMRR depends on this resistor ratio match)  
 $V_O = 1 + \frac{R_4}{R_3}(V_2 - V_1)$   
 As shown:  $V_O = 2(V_2 - V_1)$

TL/H/9299-27

# 5474/7474 Dual D-Type, Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL									
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package							
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF						
T.I.	SN54S74	J	D	WD	SN54H74	J	D	WD	SN54LS74	-	J	D	WD	SN5474	J	D	WD	SN54L74	J	D	WD	SN5474	J	D	WD	
FAIRCHILD	FMS4S74/FMS374	DD			FMS4H74/FMS3H74	DD		F2	FMS4LS74/FMS3LS74	DD		F2	FMS474/FMS374	DD		F2	FMS4L74/FMS3L74	DD		F2	FMS474/FMS374	DD		F2		
MOTOROLA	FC74S74/FC9S74	DD	PD		FC74H74/FC9H74	DD	PD		FC74LS74/FC9LS74	DD	PD		FC7474/FC974	DD	PD		FC74L74/FC9L74	DD	PD		FC7474/FC974	DD	PD			
N.S.C.	DM74S74		ND		DM74H74	J	D	ND	DM74LS74		P	D		DM7474	J	D	ND	DM74L74	J	D	ND	DM7474	J	D	ND	
PHILIPS	N74S74		D		GJJ131/74H74		D		N74LS74		D		FJ131/7474		D		N74L74		D		N7474		D			
SIGNETICS	S54S74				S54H74	F	D	AD	N74LS74		A	D		S5474	F	D	AD	N74L74		A	D	S5474	F	D	AD	
SIEMENS	N74S74				N74H74	F	D	AD	N74LS74		A	D		N74L74		A	D	N7474	F	D	AD	N7474	F	D	AD	
FUJITSU									74LS74		M	D		MB420		D	ND									
HITACHI	HD74S74		D	PD					HD74LS74		P	D		HD7474/HD2510		D	PD									
MITSUBISHI	M74S74								M74LS74		P	D		M5327/M5374			P	D								
NEC	74S74								74LS74		CD			μPB214		CD	CD									
TOSHIBA													TC3474A			P	D									

## Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range			
Supply voltage, V <sub>CC</sub>	IV	Operating ambient temperature range	SN54LS -55°C to 125°C
Input voltage	5.5V	Storage temperature range	SN74LS -65°C to 150°C

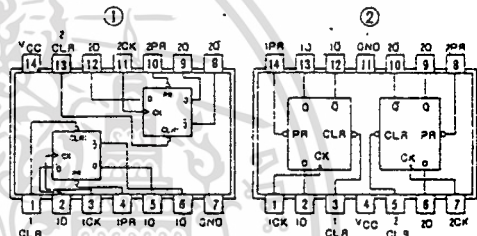
### recommended operating conditions

	SN54LS74			SN74LS74			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>			-40			-40	mA
Low-level output current, I <sub>OL</sub>			4			4	mA
Load with, I <sub>L</sub>	Class 1A	25		25			ns
	Preset or clear line	15		25			
	High-level data	25		25			
Must setup time, t <sub>su</sub>	Low-level data	20		20			ns
	Hold time, t <sub>h</sub>	5		5			ns
Operating ambient temperature, T <sub>A</sub>	-55		125	0		70	°C

### electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V <sub>IH</sub>	High-level input voltage		2		V
V <sub>IL</sub>	Low-level input voltage		0.8		V
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> = MIN, I <sub>I</sub> = -18 mA		-1.5	V
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = 0.8V, I <sub>OH</sub> = MAX	2.7	3.4	V
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = 0.3V, I <sub>OL</sub> = 4mA	0.25	0.4	V
I <sub>I</sub>	Input current at maximum input voltage	D, J, K, Clear		0.1	mA
		Preset		0.2	
		Clock		0.1	
		Q, J, K, Clear		20	
I <sub>IH</sub>	High-level input current	V <sub>CC</sub> = MAX, V <sub>I</sub> = 2.7V		20	μA
		Preset		20	
		Clear		20	
		Clock		20	
I <sub>IL</sub>	Low-level input current	V <sub>CC</sub> = MAX, V <sub>I</sub> = 0.4V		-0.4	mA
		Preset		-0.3	
		Clear		-0.4	
		Clock		-0.4	
I <sub>OS</sub>	Short-circuit output current	V <sub>CC</sub> = MAX		-20	mA
	Supply current (Average per flip-flop)	V <sub>CC</sub> = MAX, See Note 1		4	mA
f	clock frequency	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 150 pF, R <sub>L</sub> = 2kΩ	25	33	MHz
t <sub>PLH</sub>	propagation delay time, low-to-high-level output		13	25	ns
t <sub>PHL</sub>	propagation delay time, high-to-low-level output		25	30	

## Pin Assignments (Top View)

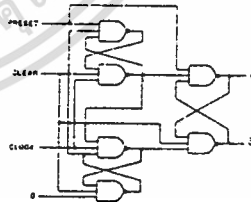


## Functional Table

74, 74A, LS74, S74 (See Note 2)

INPUTS			OUTPUTS	
PRESET	CLEAR	CLOCK	Q	Q̄
L	H	X	X	L
H	L	X	X	H
L	L	X	X	H*
H	H	1	L	L
H	H	1	L	H
H	H	X	Q <sub>0</sub>	Q̄ <sub>0</sub>

## Functional Block Diagram



74, S74, 74A, LS74, L74-DUAL D-FLIP-FLOP WITH CLEAR AND PRESET

- NOTES: 1 With all outputs open, I<sub>CC</sub> is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.  
 2 \* = high level (steady state), L = low level (steady state), X = irrelevant  
 \* = transition from low to high level  
 Q<sub>0</sub> = the level of Q before the indicated input conditions were established.  
 \* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

\* For conditions shown as MIN or MAX use the appropriate value specified under recommended operating conditions.  
 † All typical values are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.  
 ‡ Not more than one output should be shorted at a time.  
 § t<sub>PLH</sub> = propagation delay time, low-to-high-level output.  
 ¶ t<sub>PHL</sub> = propagation delay time, high-to-low-level output.  
 § The arrow indicates the edge of the clock pulse used for reference: \* for the rising edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิตติกรรมประกาศ

ขอขอบคุณอาจารย์ที่ปรึกษา รวมทั้งอาจารย์ทุกท่านที่ให้คำปรึกษาในการทำโครงการ  
งานนี้

ขอขอบคุณที่มานะชัย เหลืองจรรย์ , พีธีรพงษ์ แทนแก้ว , พีชรัตน์ ฤทธิรงค์ ,  
พิมล ปะนะสุนา ที่ให้คำแนะนำในการทำโครงการนี้ และเพื่อนๆทุกคน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## หนังสืออ้างอิง

- [1] ถวิล กิ่งทอง , “ เทคโนโลยีการส่งสัญญาณดิจิทัล “ , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง , หน้า 30-35 , 2535
- [2] ถวิล พึ่งมา , “ การออกแบบวงจรทางโทรคมนาคม “ , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง , หน้า 67-69 , 2534
- [3] กงศักดิ์ เกียรติทับทิว , วุฒิพงษ์ ปัทมวิสุทธิ , “ เครื่องป้องกันเสียงแบบดิจิทัล “ , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2532
- [4] นิกร สุขุมตันติ , “ อิเลคทรอนิกส์พื้นฐาน “ , สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง , หน้า 86-87 , 2533
- [5] นิกร สุขุมตันติ , “ การออกแบบวงจรอิเลคทรอนิกส์ “ , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง , หน้า 53-61 , 2533
- [6] ปราโมทย์ วาดเขียน , “ พื้นฐานการสื่อสารข้อมูล “ , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง , หน้า 77-80 , 2532
- [7] อภิชาติ ศิริบุญกุลธร , “ วงจรกรองความถี่ “ , เขมิกอนดักเตอร์อิเลคทรอนิกส์ ฉบับ ด.ก.-พ.ช., หน้า 241-247 , 2532
- [8] John L. Hilburn & David E. Johnson , “ Manual of Active Filter Design “ , McGraw-Hill Inc. , p. 5-96 , 1973
- [9] Richard E. Blahkt , “ Digital Transmission of Information “ , Addison - Weslet Publishing Company , p. 497-500
- [10] Taus & Schilling , “ Principle of Communication System ” second edition , McGraw-Hill , p. 732-735 , 1986