ปีการศึกษา 2537

อินเวอร์เตอร์

INVERTER

โดย

นายคัมภีร์ พัฒนเวศน์

นายนรินทร์ วงศ์เทพบุตร

นายวรศารท จันทพันธ์

อาจารย์ที่ปรึกษา

ผ.ศ.ประภาษ ไพรสุวรรณา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

034903

ปริญญานิพนธ์ปีการศึกษา 2537

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง อินเวอร์เตอร์

ผู้จัดทำ

1. นายคัมภีร์ พัฒนเวศน์
2. นายนรินทร์ วงศ์เทพบุตร
3. นายวรศารท จันทพันธ์

.....อาจารย์ที่ปรึกษา

(ผ.ศ.ประภาษ ไพรสุวรรณา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเวอร์เตอร์

นายคัมภีร์ พัฒนเวศน์
นายนรินทร์ วงศ์เทพบุตร
นายวรศารท จันทพันธ์
ผ.ศ.ประภาษ ไพรสุวรรณา อาจารย์ที่ปรึกษา
ปีการศึกษา 2537

บทคัดย่อ

โครงงานนี้จะกล่าวถึงการพัฒนาและทดลองสร้างอินเวอร์เตอร์ เพื่อนำไปใช้กับแหล่งจ่ายไฟต่อเนื่อง โดยจะใช้เทคนิคของพัลส์วิดท์มอดูเลชั่น เป็นสัญญาณควบคุมเพื่อใช้ในการสวิตชิ่งให้กับวงจรกำลังซึ่งจะใช้เพาเวอร์มอสเฟท ซึ่งต่อกันแบบฟูลบริดจ์ ได้สัญญาณออกมาเป็นพัลส์ซึ่งมีความกว้างต่าง ๆ กัน และเมื่อนำเอาสัญญาณนี้ไปผ่านวงจรกรอง ก็จะได้รูปคลื่นซายน์ที่มีความถี่ 50 เฮริทซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INVERTER

KUMPEE PATTANAWET

NARIN VONGTAPPABUT

WORASART CHANTAPAN

ASSC.Prf.PRAPART PRISUWANNA ADVISOR

1995

ABSTACT

THIS PROJECT IS ABOUT A DEVELOPMENT OF THE INVERTER FOR USING IN THE UNINTERRUPTIBLE POWER SUPPLY. WE USE THE CONTROL SIGNAL COMES FROM THE PULSE WIDTH MODUDLATION TECHNIQUE TO SWICTH THE FULL BRIDGE POWER MOSFET . THE SIGNAL THAT COMES OUT OF THE POWER STAGE IS A SIGNAL WITH MULTIPLE PUKSE WIDTH AND WHEN WE GAT THE SIGNAL PASSED THROUGH THE FILTER THE OUTPUT OF THE FLTER IS A SINE WAVE SIGNAL IT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	II
สารบัญรูป	III
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์ของโครงงาน	1
1.3 ขอบเขตของโครงงาน	1
1.4 วิธีดำเนินงาน	2
1.5 ประโยชน์ที่ได้รับจากโครงงาน	2
บทที่ 2 การใช้งานเพาเวอร์มอสเฟท	3
2.1 นิยามและความหมาย	3
2.2 โครงสร้างของมอสเฟท	4
2.3 การทำงานของมอสเฟท	5
2.4 พารามิเตอร์ของเพาเวอร์มอสเฟท	5
2.5 แรงดันเทรชโฮล	6
2.6 ความต้านทานขณะนำกระแส	6
2.7 ตัวเก็บประจุในมอสเฟท	7
2.8 ไดโอดระหว่างเดรนกับซอส	8
2.9 การขับนำเกต	10
2.10 ลักษณะสมบัติของการสวิทช์	10
2.11 ขีดจำกัดของมอสเฟท	12
2.12 ชนิดของวงจรอินเวอร์เตอร์โดยใช้เพาเวอร์มอสเฟท	13
บทที่ 3 อินเวอร์เตอร์	14
3.1 วงจรสร้างสัญญาณควบคุม PWM	17
3.2 วงจรขับเพาเวอร์มอสเฟท	20
3.3 วงจรกำลัง	21
3.4 วงจรเพาเวอร์ซัพพลายและสวิตชิ่ง	22
บทที่ 4 หม้อแปลงสวิตชิ่ง	24
4.1 ส่วนประกอบของหม้อแปลงสวิตชิ่ง	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 แกนเฟอร์ไรต์และการเลือกใช้ 24
4.3 การกำหนดค่าความหนาแน่นฟลั๊กซ์แม่เหล็กสูงสุด 29
4.4 การกำหนดขนาดแกนเฟอร์ไรต์ที่เหมาะสม 29
4.5 ช่องอากาศคั่นทางเดินแม่เหล็กในแกนเฟอร์ไรต์ 31
4.6 ความสัมพันธ์ระหว่างขดไพรมารี่และขดเซคั่นดารี่ของหม้อแปลงสวิตชิ่ง 32
บทที่ 5 วงจรป้อนกลับ 34
5.1 การควบคุมวงจรภายในอินเวอร์ 35
5.2 วงจรตรวจสอบระดับแรงดันของแบตเตอรี่ 36
บทที่ 6 การออกแบบวงจรกรองความถี่ 37
6.1 วงจรกรองความถี่ 37
6.2 การออกแบบวงจรกรองความถี่ 38
บทที่ 7 ผลที่ได้จากการทดลอง 40
บทที่ 8 บทสรุป 50
ภาคผนวก
กิตติกรรมประกาศ
เอกสารอ้างอิง

.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

	หน้า
รูป 2-1 วงจรเทียบเคียงของ VCCS	3
รูป 2-2 ลักษณะโครงสร้างของ Enhancement มอสเฟท	3
รูป 2-3 โครงสร้างและสัญญาลักษณ์ของมอสเฟท	4
รูป 2-4 แสดงการทำงานของมอสเฟท	5
รูป 2-5 คุณลักษณะการโอนย้ายของมอสเฟทเบอร์ MTP 5N40	5
รูป 2-6 Thres hold voltage แปรไปตามอุณหภูมิ	6
รูป 2-7 แสดงการเปลี่ยนแปลงค่า $r_{DS(on)}$	7
รูป 2-8 ตัวเก็บประจุในมอสเฟท	8
รูป 2-9 แสดงรูปหน้าตัด และสัญญาลักษณ์ของมอสเฟท	9
รูป 2-10 Forward charachteristics ของเดรน-ซอส	9
รูป 2-11 แสดงการสวิทช์ของมอสเฟท	12
รูป 2-12 แสดงลักษณะและการสวิทช์ SOA ของมอสเฟท	13
รูป 3-1 แสดงรูปคลื่นแบบต่างๆ	16
รูป 3-2 แสดงไดอะแกรมการทำงานของอินเวอร์เตอร์	17
รูป 3-3 วงจรทวิน-ที ออสซิเลเตอร์	17
รูป 3-4 แสดงบล็อกไดอะแกรมของไอซี NE5560	18
รูป 3-5 แสดงลักษณะการเปรียบเทียบกันของสัญญาณ	18
รูป 3-6 แสดงสัญญาณในการขับเพาเวอร์มอสเฟท	19
รูป 3-7 แสดงวงจรควบคุมในการขับเพาเวอร์มอสเฟท	19
รูป 3-8 แสดงบล็อกไดอะแกรมของไอซี IR2110	20
รูป 3-9 แสดงช่วงเวลาต่างๆ ของอินพุท/เอาท์พุท	20
รูป 3-10 แสดงวงจรขับสำหรับบริดจ์อินเวอร์เตอร์	21
รูป 3-11 แสดงวงจรกำลังที่ใช้เพาเวอร์มอสเฟท	21
รูป 3-12 แสดงการขนานเพาเวอร์มอสเฟท	22
รูป 3-13 วงจรสวิตชิ่งเพาเวอร์ซัพพลาย	23
รูป 4-1 แสดงตัวอย่างขนาดของแกนเฟอร์ไรต์แบบ EE, EI และ ETD	25
รูป 4-2 แสดงเส้นโค้งฮิสเตอร์เรซิสของแกนเฟอร์ไรต์	26
รูป 4-3 แสดงลักษณะที่สมบูรณ์ของกราฟฮิสเตอร์เรซิส	27
รูป 4-4 แสดงค่าการสูญเสียในแกนเฟอร์ไรต์	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 4-5 แสดงค่ากำลังที่เหมาะสมสำหรับแกนเฟอร์ไรต์ 31
รูป 4-6 แสดงการกำหนดช่องว่างอากาศคั่น 32
รูป 4-7 แสดงความสัมพันธ์ฐานหม้อแปลง 33
รูป 5-1 แสดงหลักการเบื้องต้นของวงจรลูปปิด 34
รูป 5-2 แสดงกราฟในการทำงานของไอซี NE5560 35
รูป 5-3 แสดงวงจรในการควบคุมแบบลูปปิด 35
รูป 5-4 แสดงความสัมพันธ์ระหว่าง V_o และ E_i 36
รูป 5-5 วงจรตรวจสอบแรงดันแบตเตอรี่ 36
รูป 6-1 แสดงรูปแบบต่างๆ ของวงจรกรองความถี่ 37
รูป 6-2 แสดงชนิดของวงจรกรอง 38
รูป 6-3 วงจร Low pass filter 39
รูป 7-1 แสดงสัญญาณชายน์ที่ความถี่ 50 เฮริทซ์ 41
รูป 7-2 แสดงสัญญาณควบคุมที่ได้จากไอซี NE5560 41
รูป 7-3 แสดงสัญญาณขับมอสเฟทที่ได้จาก IR2110 ชุดที่ 1 42
รูป 7-4 แสดงสัญญาณขับมอสเฟทที่ได้จาก IR2110 ชุดที่ 2 42
รูป 7-5 แสดงสัญญาณเปรียบเทียบระหว่างไอซี IR2110 ชุดที่ 1 กับ IR2110 ชุดที่ 243
รูป 7-6 แสดงสัญญาณเอาท์พุทของหม้อแปลง ก่อนผ่านวงจรกรองสัญญาณ 43
รูป 7-7 แสดงสัญญาณเอาท์พุทของหม้อแปลง หลังผ่านวงจรกรองสัญญาณ 44
รูป 7-8 44
รูป 7-9 45
รูป 7-10 45
รูป 7-11 46
รูป 7-12 46
รูป 7-13 47

.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ
โครงงานอินเวอร์เตอร์ 1 เฟสโดยมอสเฟส
(Inverter 1 Phase Power MOSFET)

1.1 ความเป็นมาและความสำคัญของปัญหา

ปัจจุบันได้มีการนำเอาอุปกรณ์ทางด้านเพาเวอร์เซมิคอนดักเตอร์ (Power Semiconuctor) มาใช้กับงานทางด้านไฟฟ้ากำลัง (Electrical Power) และอิเลคทรอนิกส์กำลัง (Power-Electronic) กันอย่างกว้างขวาง เนื่องจากได้มีการวิจัย และพัฒนาเทคโนโลยีการผลิตอุปกรณ์เซมิคอนดักเตอร์กันอย่างกว้างขวางทำให้โรงงานอุตสาหกรรมสามารถผลิตอุปกรณ์เหล่านี้ ให้มีพิกัดสูงๆได้เช่นในการผลิต Power Diode,Power Transistor,SCR รวมทั้ง Power MOSFET ซึ่งจะมีพิกัดที่ต่ำกว่าอุปกรณ์ที่กล่าวมาข้างต้นอยู่มาก และถ้าการใช้อุปกรณ์ดังกล่าวเป็นงานที่ใช้กำลังงานไฟฟ้าและแรงดันไม่สูงมากนักเราก็จะใช้เพาเวอร์มอสเฟท (Power MOSFET) มาใช้งานแทนทรานซิสเตอร์ (Transistor) และเอสซีอาร์ (SCR) เนื่องจากการใช้เพาเวอร์มอสเฟท (Power MOSFET) มีข้อดีกว่าเอสซีอาร์ (SCR) คือไม่ต้องใช้อุปกรณ์ในการคอมมิวเตชั่น (Commutation) ให้เพาเวอร์-มอสเฟท (Power MOSFET) หยุดนำกระแสเหมือนเอสซีอาร์ (SCR) และเพาเวอร์มอสเฟท (Power MOSFET) สามารถควบคุมการทำงานในการเป็นเพาเวอร์สวิทช์ปิดและเปิด (Power Switch on,off) ได้ด้วยแรงดันที่ป้อนให้กับขาเบส (Base) ควบคุมการทำงานในการเป็นเพาเวอร์สวิทช์ปิดและเปิด (Power Switch on,off)

1.2 วัตถุประสงค์ของโครงงาน

จากการศึกษาและเปรียบเทียบคุณสมบัติของเพาเวอร์มอสเฟท (Power MOSFET) เข้ากับอุปกรณ์ที่ใช้กับการสวิทช์ชิ่ง (Swicthing) อื่นๆเช่นเพาเวอร์ทรานซิสเตอร์ (Power Transistor) หรือเอสซีอาร์ (SCR) จะพบว่าเพาเวอร์มอสเฟทมีความเหมาะสมที่จะนำมาใช้เป็นเพาเวอร์สวิทช์ (Power Switch) กับงานที่ต้องการกำลังไฟฟ้าและแรงดันไฟฟ้าสูงไม่มากนัก ดังนั้นในโครงงานนี้จะใช้เพาเวอร์มอสเฟท (Power MOSFET) เป็นตัวสวิทช์ในส่วนของวงจรกำลังโดยจะต่อกันเป็นวงจรบริดจ์แต่เนื่องจากเพาเวอร์มอสเฟทเดี่ยวที่พิกัดกระแสสูงนั้นมีราคาแพง ดังนั้นจึงต้องเอาเพาเวอร์มอสเฟท (Power MOSFET) ที่มีพิกัดต่ำมาต่อขนานกัน

1.3 ขอบเขตของโครงงาน

ในโครงงานนี้จะเป็นการสร้างอินเวอร์เตอร์ (Inverter) ที่มีพิกัดในการจ่ายโหลด 1KW ที่แรงดันอินพุต 24 โวลท์ (V_{DC}) และแรงดันเอาท์พุตมีค่า 220 โวลท์ (V_{AC}) ในส่วนของวงจรอินเวอร์เตอร์ (Inverter Circuit) จะประกอบด้วยส่วนสำคัญ 2 ส่วนคือวงจรหลัก (Main Circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และส่วนของวงจรขับ (Drive Circuit)

- วงจรหลักทำหน้าที่เปลี่ยนพลังงานไฟกระแสตรงเป็นไฟกระแสสลับ โดยในวงจรหลักจะประกอบด้วยเพาเวอร์มอสเฟท (Power MOSFET) ที่ต่อกันแบบฟูลบริดจ์และหม้อแปลง

- วงจรขับทำหน้าที่ควบคุมให้เพาเวอร์มอสเฟท (Power MOSFET) แต่ละชุดในวงจรขับทำงานตามลำดับที่กำหนดไว้ โดยวงจรขับจะสร้างสัญญาณกระตุ้นสำหรับเพาเวอร์มอสเฟทแต่ละชุด และมีลำดับของสัญญาณเป็นไปตามที่กำหนดไว้แล้วป้อนไปที่ขาเกตของเพาเวอร์มอสเฟท

1.4 วิธีดำเนินงานใช้วงจรทวินท์-ที ออสซิเลเตอร์ (Twin-t Oscillator) สร้างสัญญาณชายน์ที่มีความถี่ 50 Hz ที่แรงดัน 5.1 โวลท์ จากนั้นก็นำสัญญาณที่ได้ไปผ่านวงจรขยายสัญญาณแบบนันอินเวอร์ติ้ง (Noninverting amp) และวงจรขยายสัญญาณแบบอินเวอร์ติ้ง (Inverting amp) เพื่อให้ได้สัญญาณที่มีอัตราการขยายกระแสเพิ่มขึ้นโดยที่แรงดันคงเดิม ดังนั้นสัญญาณที่ได้ทั้งสองจะมีเฟสต่างกัน 180 องศาทางไฟฟ้า และจะนำสัญญาณที่ได้ทั้งสองซึ่งเป็นสัญญาณชายน์ (Sine Wave) ไปเปรียบเทียบกับสัญญาณฟันเลื่อย (Saw tools) ภายในไอซีเอ็นอี 5560 (IC NE5560) โดยแรงดันที่เราจะนำไปเปรียบเทียบกับสัญญาณฟันเลื่อยนั้นต้องมีค่าไม่เกิน 5.1 โวลท์ ฉะนั้นจะทำให้เอาท์พุตของ IC NE5560 ซึ่งเป็นสัญญาณ PWM (Pule With Molation) เกิดการกระเพื่อมจากเอาท์พุตที่ได้จาก IC NE5560 จะมีความถี่ 1 KHz ที่ 5 โวลท์ จากนั้นเราก็นำสัญญาณนี้ไปผ่านวงจรขยายสัญญาณแบบนันอินเวอร์ติ้ง (Noninverting amp) อีกทีหนึ่งเพื่อขยายแรงดันอีก 3 เท่า เพราะว่าเราจะเอาสัญญาณที่มีแรงดัน 15 โวลท์ ไปใช้กับ IC IR2110 โดย IC IR2110 จะเป็นตัวสร้างสัญญาณขับเพาเวอร์มอสเฟทอีกทีหนึ่ง เพื่อให้ได้แรงเคลื่อนไฟฟ้าเอาท์พุตคงที่ 220 V_{AC} จึงต้องมีวงจรป้อนกลับ (Feed Back) เพื่อควบคุมความกว้างของสัญญาณ PWM ที่ความถี่ 1 KHz โดยที่ความถี่ยังคงไม่เปลี่ยนแปลง

1.5 ประโยชน์ที่ได้รับจากโครงงาน

วัตถุประสงค์ของโครงงานก็คือการสร้างอินเวอร์เตอร์ (Inverter) ที่พิกัด 1 KW เพื่อใช้ในการเปลี่ยนแปลงไฟฟ้าที่เป็นระบบไฟฟ้ากระแสตรงที่ได้จาก โครงงานกังหันลมผลิตไฟฟ้า (Wind Generator) ให้เป็นไฟฟ้ากระแสสลับเพื่อนำไปใช้งานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

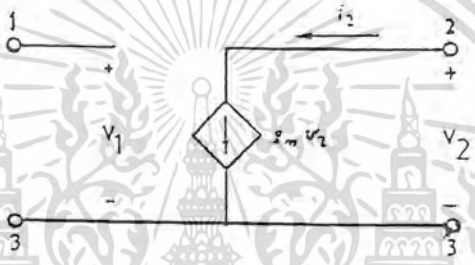
บทที่ 2
การใช้งานเพาเวอร์มอสเฟท

2.1 นิยามและความหมาย

มอสเฟท (MOSFET) ย่อมาจาก Metal Oxide Semiconductor Field Effect Transistor การทำงานของมอสเฟทโดยการใช้สนามไฟฟ้าเป็นอุปกรณ์ประเภทการควบคุมแหล่งจ่ายด้วยแรงดัน (Voltage controlled source) ซึ่งสามารถเขียนวงจรเทียบเคียงได้ดังรูปที่ 2-1 และมีความสัมพันธ์ของพารามิเตอร์ต่างๆ ดังนี้

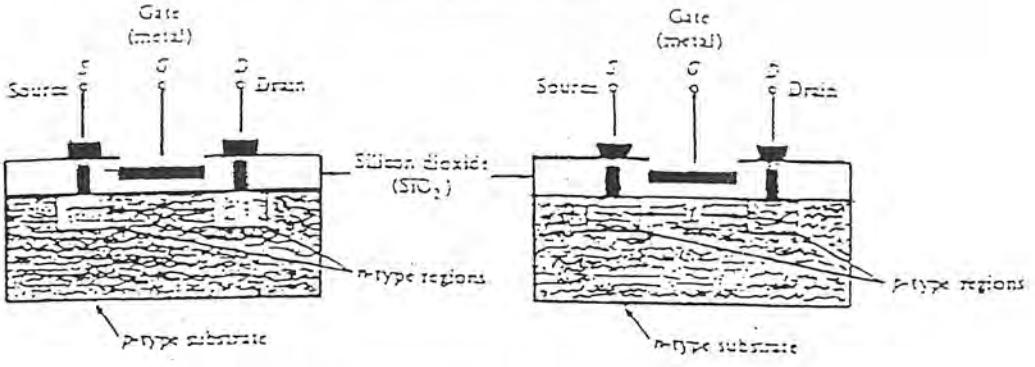
$$i_2 = g_m.V_1$$

โดยที่ g_m คือ Transconductor หรือ Mutual conductance



รูปที่ 2-1 Equivalent circuit ของ VCCS

มอสเฟท (MOSFET) แบ่งเป็น 2 ชนิดใหญ่ๆคือ Delpletion MOSFET และ Enchancement MOSFET แต่ละชนิดแบ่งได้เป็น PMOS และ NMOS ซึ่งจะกล่าวถึงส่วนประกอบของมอสเฟท (MOSFET) ดังในรูปที่ 2-2 พิจารณาตามรูปที่ 2-2 จะมีสารเอ็นอยู่ 2 บริเวณที่มาต่อเป็นขา Gate วางอยู่ในแท่ง p-substrate ที่ต่อออกเป็นขา Drain และ Source ส่วนช่องว่างระหว่างสารเอ็นเราเรียกว่า Channal และ Channal จะถูกเคลือบด้วยแผ่นบางๆ ของ silicon dioxide layer และ Gate จะสร้างโดยชิ้นโลหะวางบนชั้นของ Oxide ดังนั้นลักษณะภายนอกของมอสเฟท (MOSFET) จึงมี 3 ขาคือ Gate,Drain และ Source และเขียนสัญญาลักษณ์ได้ดังรูปที่ 2-2



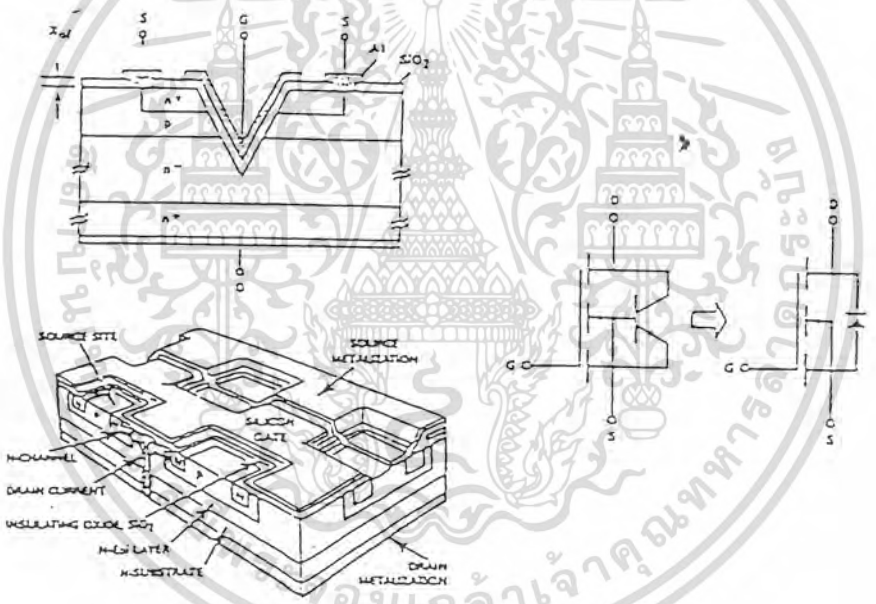
รูปที่ 2-2 ลักษณะโครงสร้างของ Enhancement MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2โครงสร้างของ (Structures)

เพาเวอร์มอสเฟท (Power MOSFET) โดยทั่วไปจะเป็นแบบ N-channel ที่ทำงานใน Enhancement mode ซึ่งมีโครงสร้างและสัญญาลักษณ์ในรูปที่ 2-3 (ก) และ 2-3 (ข) เพาเวอร์มอสเฟท (Power MOSFET) แต่ละตัวจะประกอบไปด้วยมอสเฟทขนาดเล็กนับพันตัว ซึ่งอยู่บนชิบเดียวกันต่อขนานกัน โดยที่กระแสในทรานซิสเตอร์ขนาดเล็กแต่ละตัวมีทิศทางการไหลในแนวตั้ง substrate ของ เพาเวอร์มอสเฟท (Power MOSFET)

จะมี N^- type epitaxial layer บางๆคั้นอยู่ข้างบนในการทำมอสเฟทแต่ละตัวจะมีการ Diffuse P และ N^+ region ลงบน N^- type epitaxial layer จากนั้นจะเป็นการทำ Gate กับ epitaxial layer ภายใต้ Gate



รูปที่2-3 โครงสร้างและสัญญาลักษณ์ของมอสเฟท

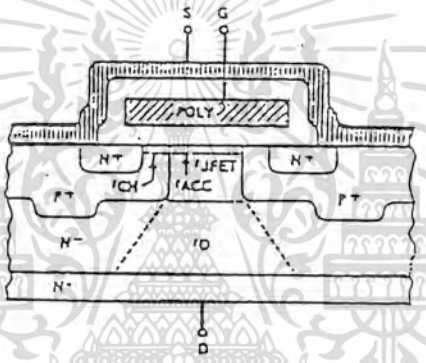
สำหรับเดรนของมอสเฟทนั้นทำได้โดยการฉาบอลูมิเนียมที่ N^+ และ N^- Substrate ส่วนซอสจะทำได้โดยการฉาบอลูมิเนียมลงบนชั้นของ P และ N^+ ได้จากการ Diffuse จากลักษณะการทำซอสดังกล่าวดังกล่าวทำให้เกิดเป็นไดโอดต่ออยู่กับซอสและคาโถดคือชั้น N^+ และ N^- ต่ออยู่กับเดรน ดังแสดงในรูปสัญญาลักษณ์ของมอสเฟท ในรูปที่ 2-3 (ข) ในสภาวะปกติถ้าเราให้แรงดันของเดรนเป็นบวกเมื่อเทียบกับซอสแล้วมอสเฟทจะไม่สามารถนำกระแสได้ เนื่องจากชั้น N^- และ P จะถูกไบแอสกลับแต่ถ้าเราใส่แรงดันบวกระหว่างเกตกับซอสแล้ว แรงดันบวกจะทำให้อิเลคตรอนมาออกันที่ชั้น P ภายใต้เกตเกิดเป็น N-channel เชื่อมระหว่างชั้น N^+ และ N^- เกิดเป็นกระแสที่ไหลจากเดรนไปยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซอส เนื่องจากการนำกระแสของมอสเฟทชนิดนี้เกิดจากการไหลของอิเลคตรอนผ่าน N-channel MOSFET ที่ทำงานใน Enhancement mode MOSFET ตัวเล็กๆแต่ละตัวสามารถทำงานได้อย่างอิสระ แต่มอสเฟท (MOSFET) เหล่านี้จะถูกต่อขนานกันโดยการฉาบอลูมิเนียมที่ซอส (Source Metal-Lization)

2.3 การทำงานของมอสเฟท

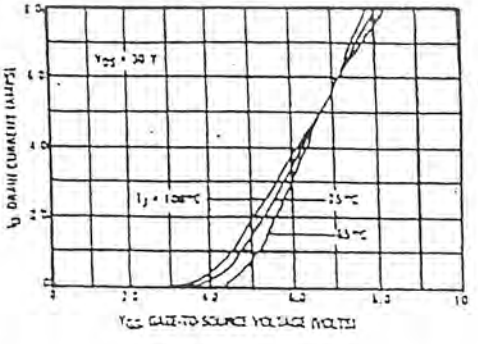
เมื่อป้อนแรงดันให้มีศักดาและขนาดที่เหมาะสม Pollsilicon gate จะเหนี่ยวนำชั้น (Layer) ตรงกันข้ามของ Diffuse channel region ซึ่งแสดงโดย r_{CH} ในรูปที่ 2-4 จะทำให้กระแสไหลจากเดรนไปยังซอสสำหรับแรงดันค่าน้อยๆ ที่ป้อนให้เดรนและซอส กระแสเดรนจะเพิ่มขึ้นอย่างลิเนียร์เมื่อแรงดันเดรนเพิ่มขึ้น กระแสเดรนจะอิ่มตัวเป็นสัดส่วนกำลังสองของแรงดันเกตกับซอส (V_{GS})



รูปที่2-4 แสดงการทำงานของมอสเฟท

2.4 พารามิเตอร์เพาเวอร์มอสเฟท (Power MOSFET parameters)

ค่าความจุโอนย้าย (Transconductance) ค่าความจุโอนย้ายเป็นพารามิเตอร์ที่สำคัญของมอสเฟทเมื่อทำงานในสภาวะแอคทีฟ (Active) โดยนิยามว่าเป็นอัตราการเปลี่ยนแปลงของกระแสเดรนเทียบกับอัตราการเปลี่ยนแปลงของแรงดันของกระแสเกต ($g_{fx} = dI_D/dV_{GS}$) ค่าความนำโอนย้ายจะเปลี่ยนแปลงตามสภาวะการทำงานดังแสดงในรูปที่ 2-5



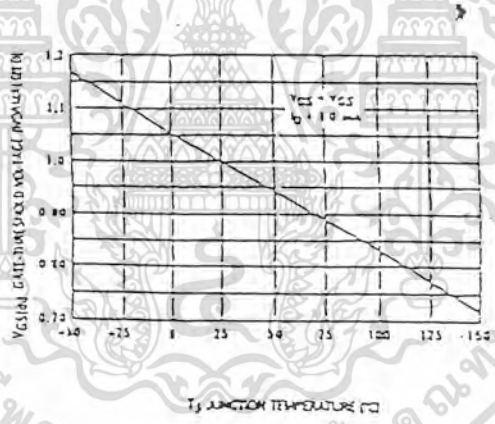
รูปที่2-5 คุณลักษณะการโอนย้ายของมอสเฟทเบอร์ MTP 5N40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการทำงานเป็นสวิทช์ซึ่งจะทำงานระหว่างสภาวะเปิด (on) และปิด (off) ค่าความนำโอนจะไม่ถูกนำมาใช้ เนื่องจากมอสเฟทนำกระแสเต็มที่จะทำงานอยู่ในช่วงโอหม์มิค (Ohmic ragion) เมื่อแรงดันเกตมีค่าสูงในช่วงการทำงานนี้ การเพิ่มแรงดันเกตจะมีผลน้อยมากต่อกระแสเดรน ดังนั้น g_{fx} จึงมีค่าใกล้เคียงศูนย์

2.5 แรงดันเทรชโฮล (Threshold Voltage, $V_{GS(th)}$)

แรงดันเทรชโฮล คือแรงดันเกตต่ำสุดที่ทำให้กระแสเดรนเริ่มไหล โดยทั่วไปจะกำหนดค่าของ VGS(th) ที่ 1A ในทางปฏิบัติผู้ออกแบบสามารถควบคุมค่าของ $V_{GS(th)}$ มีค่าต่ำจะทำให้ความเร็วในการสวิทช์สูงขึ้น เพราะว่ากระแสน้อยๆเพื่อประจุ (charge) ให้ตัวเก็บประจุแฝงด้านอินพุต (parasitic input capacitance) แต่ถ้า $V_{GS(th)}$ มีค่าต่ำเกินไปทำให้เกิดสัญญาณรบกวน (Noise) สามารถจุดมอสเฟทได้เช่นเดียวกับแรงดันทรานเซียนท์ (Transint Voltage) สามารถสั่งผ่าน (Couple) ไปยังเกตได้ซึ่งสามารถทำให้มอสเฟทนำกระแสได้เอง Threshold Voltage จะมีค่าไม่คงที่ซึ่งจะไม่เปลี่ยนแปลงไปตามอุณหภูมิของรอยต่อ (Junction temperature) จากรูปที่ 2-6 จะพบว่ามอสเฟทมีสัมประสิทธิ์ทางอุณหภูมิเป็นลบ (Regative temperature coefficient)



รูปที่2-6 Threshold voltage แปรไปตามอุณหภูมิที่เปลี่ยนแปลง

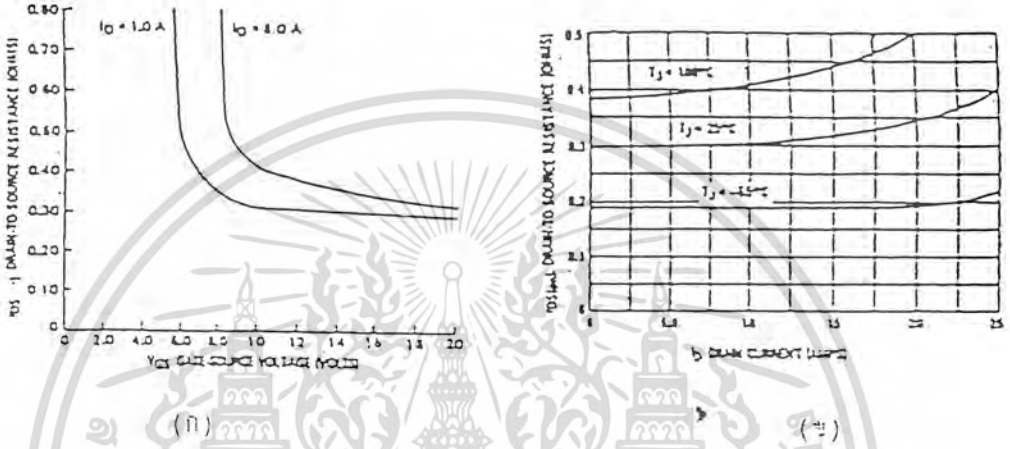
2.6 ความต้านทานขณะนำกระแส (On-resistance, $r_{DS(on)}$)

ค่าความต้านทานขณะนำกระแสของเพาเวอร์มอสเฟทมีความสำคัญ เนื่องจากเป็นตัวกำหนดจำนวนกระแสที่ไหลผ่านเพาเวอร์มอสเฟท โดยไม่ทำให้การเกิดการแพร่กระจายกำลัง (Power dissipation) ที่มากเกินไปเมื่อมีการสวิทช์จากสภาวะไม่นำกระแส (off) ไปสู่สภาวะนำกระแส (on) ค่าของ $r_{DS(on)}$ จะลดลงจากค่าที่สูงมากไปสู่ค่าที่ต่ำมากในการลดค่าของ $r_{DS(on)}$ ให้มีค่าต่ำสุดนั้นจะต้องให้ค่าของแรงดันเกตมีค่าต่ำพอ เพื่อให้กระแสเดรนมากพอที่จะทำให้มอสเฟททำงานในช่วงโอหม์มิค (Ohmic region)

จากรูปที่ 2-7 (ก) แสดงให้เห็นการเพิ่มแรงดัน V_{GS} ให้มีค่ามากกว่า 12 โวลท์ จะไม่มีผลทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ $r_{DS(on)}$ มีค่าต่ำลงและการเพิ่ม V_{GS} ให้สูงขึ้นทำให้เกิดแรงดันสไปค์ (Spike) มีค่ามากกว่าแรงดันสูงระหว่างเกตกับซอสมีค่า 20 โวลท์ ได้การเพิ่ม V_{GS} ให้สูงเกินไปจะเพิ่มเวลาในการปิดกระแส (Turn off time) เนื่องจากมีประจุสะสมอยู่ในตัวเก็บประจุด้านอินพุตมากเกินไปและจากรูปที่ 2-7 (ข) จะพบว่าเมื่อกระแสเดรนสูงขึ้นค่าของ $r_{DS(on)}$ จะสูงขึ้นอีกด้วยซึ่งเป็นสิ่งสำคัญชี้ให้เห็นว่าพารามิเตอร์ตัวอื่นก็ขึ้นอยู่กับอุณหภูมิเช่นเดียวกันอันเป็นผลกระทบมาจากการเปลี่ยนแปลงค่า $r_{DS(on)}$



(ก) (ข)

รูปที่ 2-7 แสดงการเปลี่ยนแปลงค่า $r_{DS(on)}$ ไปตาม
(ก) V_{GS} และ I_P
(ข) กระแสเดรนและอุณหภูมิ

2.7 ตัวเก็บประจุในมอสเฟท (MOSFET Capacitance)

จากโครงสร้างของมอสเฟทจะทำให้เกิดตัวเก็บประจุระหว่างขั้วโลหะของเดรน และซอสกับเกตซึ่งเป็น Polision จะทำให้ตัวเก็บประจุระหว่างเกตกับเดรน C_{gd} และเกตกับซอส C_{gs}และหัวต่อ P-N ระหว่างเดรนกับซอสจะทำให้เกิดตัวเก็บประจุด้านขาเข้า (Common source input capacitance, C_{rss}) และตัวเก็บประจุโอนย้ายกลับ (Common source input capacitance. C_{rss}) โดยที่

$$C_{iss} = C_{gd} + C_{gs} \qquad (1)$$

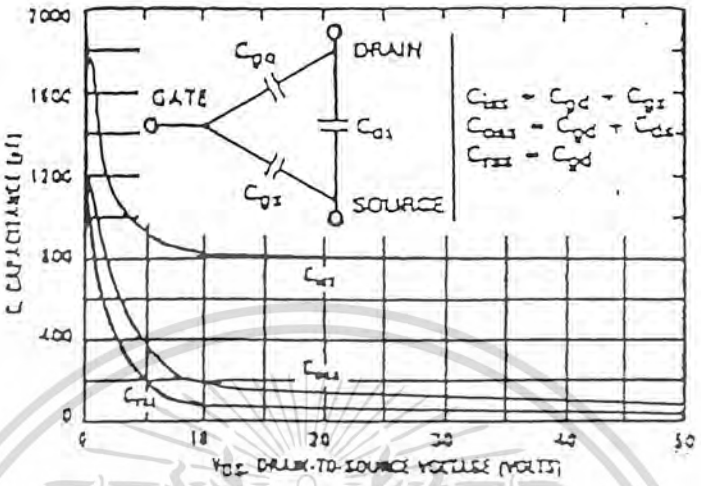
$$C_{oss} = Cgs + C_{ds} \qquad (2)$$

$$C_{rss} = Cgd \qquad (3)$$

ตัวเก็บประจุเหล่านี้จะเปลี่ยนแปลงระหว่างเดรนกับซอส (V_{DS}) โดยเฉพาะอย่างยิ่งในช่วงที่แรงดันระหว่างเดรนกับซอสมีค่าต่ำๆ ดังแสดงใน รูปที่ 2-8 แต่ตัวเก็บประจุเหล่านี้จะเปลี่ยนแปลงอุณหภูมิน้อยมาก

V_{DS} drain to source voltage (Volt)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-8 ตัวเก็บประจุในมอสเฟท (MOSFET capacitance)

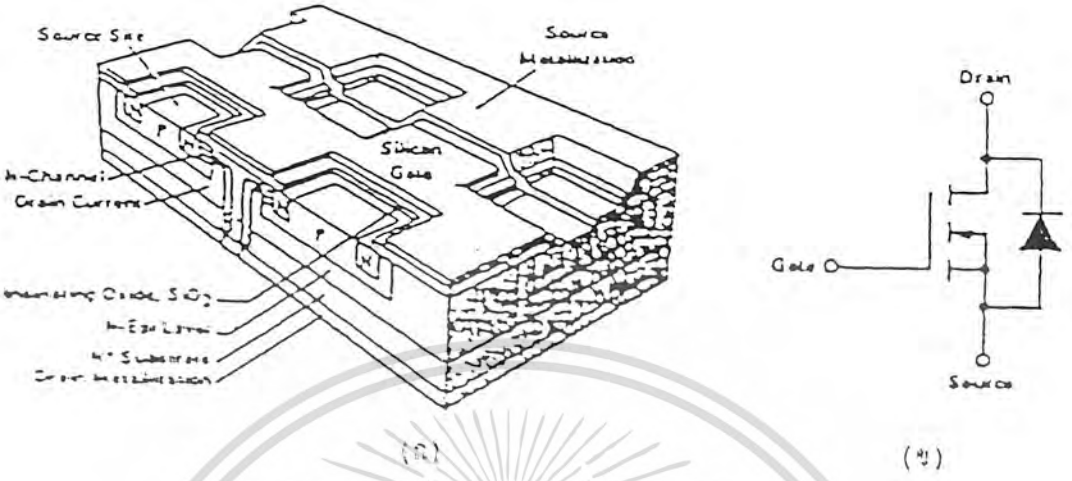
ในการใช้งานมอสเฟทค่า C_{iss} จะเป็นพารามิเตอร์ที่สำคัญ ซึ่งที่ตัวเก็บประจุจะถูกอัดประจุ (Charger) และคายประจุ (Discharge) โดยวงจร (Drive circuit) ซึ่งมีผลต่อการสวิทช์ค่าอิมพีแดนซ์ (Impedance) ของวงจรขับจะมีผลอย่างมากต่อความเร็วในการสวิทช์ การเปลี่ยนแปลงจะมีผลกระทบเล็กน้อยต่อค่าเก็บประจุต่างๆ ดังนั้นการเปลี่ยนแปลงอุณหภูมิจะมีผลเล็กน้อยต่อเวลาในการสวิทช์ของมอสเฟทด้วย

2.8 ไดโอดระหว่างเดรนกับซอส (Drain-Source Diode)

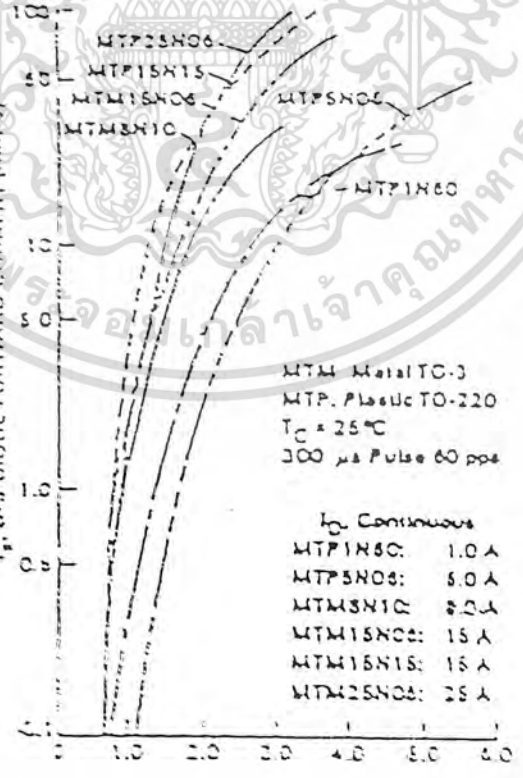
ในตัวเพาเวอร์มอสเฟททุกตัวจะมีไดโอดแอบแฝงอยู่ระหว่างเดรนกับซอส ในรูปที่ 2-9 (ก) แสดงรูปหน้าตัดของ TMOS ซึ่งแสดงให้เห็นว่ารอยต่อ P-N เกิดขึ้นจากชั้น P และชั้น N-Epi และเหตุที่พื้นที่หน้าตัดตรงรอยมีขนาดกว้าง ดังนั้นค่าอัตรากระแส (Current Ratting) ของไดโอดจึงมีค่าเท่ากับของมอสเฟทไม่ว่าจะเป็นแบบต่อเนื่อง (Continous) หรือเป็นพัลส์

ในรูปที่ 2-9 (ข) จะพบว่าไดโอดถูกไบแอสตรง (Forward bias) ถ้าซอสมีศักดาเป็นบวกเมื่อเทียบกับเดรน เนื่องจากไดโอดเป็นชิ้นส่วนที่สำคัญจึงได้มีการกำหนดค่า Forward on voltage, Forward turn-on time และ Reverse recovery time ไว้ดังในรูปที่ 2-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-9 ก) แสดงรูปหน้าตัดของมอสเฟทแบบ TMOS
ข) สัญญาลักษณ์ของมอสเฟทแบบ N-channel
โดยรวมเดรนและซอสไดโอด ไว้ในตัวเดียวกัน



รูปที่ 2-10 Forward charachteristics ของเดรน-ซอสไดโอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง 034902

2.9 การขับเกตของมอสเฟท

ลักษณะสมบัติทางด้านขาเข้าของมอสเฟทนั้นจะมีความแตกต่างกับคุณลักษณะสมบัติด้านขาเข้าของบีเจที (BJT) กล่าวคือกระแสออกของบีเจที นั้นจะควบคุมด้วยกระแสเบส ส่วนกระแสออกของมอสเฟทนั้นจะถูกควบคุมด้วยแรงดันของเกต นอกจากนั้นแล้วความต้านทานขาเข้าของมอสเฟทจะมีค่าสูงมาก คืออยู่ในช่วงจิกะโอหม์ (Gigaohms) ซึ่งทำให้กระแสมีค่าต่ำมากเมื่อเทียบกับบีเจทีขนาดเดียวกัน ดังนั้นการควบคุมมอสเฟทจึงใช้กำลังต่ำกว่าบีเจทีมากมากคุณสมบัติอันนี้นับว่าเป็นข้อได้เปรียบของมอสเฟท เมื่อเทียบกับบีเจที

ในสภาวะอยู่ตัวนั้นกระแสที่ใช้ในการขับเกตของมอสเฟทจะมีค่าน้อยมาก คืออยู่ในช่วงนาโนแอมป์ (Nanoampere) เนื่องจากความต้านทานขาเข้าของมอสเฟทมีค่าสูงขึ้นถึงจิกะโอหม์ ซึ่งทำให้ดูเหมือนกับว่าเราสามารถขับเกตของเพาเวอร์มอสเฟทได้ โดยวงจรขับที่สามารถจ่ายกระแสออกได้เป็นนาโนแอมป์ แต่ในความจริงแล้วการนำกระแส (Turn on) หรือการหยุดนำกระแส (Turn off) เพาเวอร์มอสเฟทนั้นเราจะต้องชาร์จหรือดิชชาร์จ ตัวเก็บประจุด้านขาเข้าของเพาเวอร์มอสเฟทคือ C_{iss} หรือ C_{rss} จากแรงดันระดับหนึ่งไปสู่แรงดันอีกระดับหนึ่ง ซึ่งความเร็วในการนำกระแสด้านขาเข้าของมอสเฟทถ้าเราจะต้องให้การสวิทช์มอสเฟท เป็นไปอย่างรวดเร็วเราจะต้องใช้วงจรขับที่มีความต้านทานขาออกต่ำที่สามารถจ่าย หรือรับกระแสในตอนสวิทช์ได้สูง ทั้งนี้ความเร็วในการสวิทช์ของมอสเฟทจะลดลงตามความต้านทานขาออกของวงจรขับเกต

เนื่องจากเกตของมอสเฟทจะถูกแยกออกจากช่องนำกระแสด้วยชั้นบางๆ ของซิลิกอน (Silicon dioxide) ซึ่งถ้าแรงดันระหว่างเกตกับซอสซึ่งมีค่าสูงเกินไปอาจทำให้ฉนวนนั้นทะลุและทำให้มอสเฟทเสียหายได้ ดังนั้นผู้ผลิตมักจะบอกแรงดัน V_{GS} สูงสุดของมอสเฟทมาให้ซึ่งโดยทั่วไปมักจะมีค่า 20 โวลท์ และในวงจรขับเกตโดยทั่วๆ ไปจะมีการจำกัดแรงดัน V_{GS} โดยใช้ซีเนอร์ไดโอด (Zener diode) ขนาด 20 โวลท์ สองตัวมาต่ออนุกรมกันโดยต่ออาโนดหรือคาโถดเข้าด้วยกันและต่อคร่อมเกตกับซอสเพื่อจำกัดเกตกับซอสไม่ให้เกิน 20 โวลท์ นอกจากนี้แล้วบางครั้งจะมีการต่อคร่อมความต้านทานเชื่อมระหว่างเกตกับซอสเพื่อป้องกันการนำกระแสของมอสเฟท โดยไม่เจตนาทั้งนี้เราเปิดวงจรเอาไว้ตัวเก็บประจุด้านขาเข้าของมอสเฟทอาจจะถูกชาร์จโดยกระแสรั่วไหล (Leakage current) ทำให้แรงดันระหว่างเกตกับซอสมีค่าสูงกว่า $V_{GS(th)}$ ซึ่งทำให้มอสเฟทนำกระได้ความต้านทานระหว่างเกตกับซอสจะเป็นทางผ่านของกระแสรั่วไหล และรักษาไม่ให้แรงดันระหว่างเกตกับซอสสูงกว่า $V_{GS(th)}$

2.10 ลักษณะสมบัติของการสวิทช์มอสเฟท

เนื่องจากพาหะนำกระแสของมอสเฟทเป็นพาหะข้างมาก (Majority carrier) จึงทำให้ไม่มี Storage time ในตอนหยุดนำกระแสดังนั้นความเร็วในการสวิทช์ของมอสเฟทจึงสูงกว่าความเร็วในการสวิทช์ของมอสเฟทจึงสูงกว่าเร็วในการสวิทช์ของบีเจทีมาก แต่อย่างไรก็ดีการเปลี่ยนแปลงแรงดัน V_{GS} และ V_{DS} ยังต้องใช้เวลาในการชาร์จหรือดิชชาร์จตัวเก็บประจุที่ได้ดังกล่าวมาแล้วดังนั้นเวลาในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สวิทช์ของมอสเฟทขึ้นอยู่กับกระแสที่ใช้นั้นเองในรูปที่ 2-11 แสดงรูปคลื่นของกระแสเกต (I_G) แรงดันเกต (V_{GS}) กระแสเดรน (I_D) และแรงดันเดรน (V_{DS}) ในระหว่างการนำกระแสและหยุดนำกระแสมอสเฟทซึ่งเราสามารถแบ่งช่วงเวลาออกได้ตามสภาพการประจุของตัวเก็บประจุด้านขาเข้าได้ดังนี้

ในระหว่างการ Turn on เราสามารถแบ่งช่วงเวลาออกได้เป็น 4 ช่วงดังนี้ คือ

T_1 คือช่วงเวลาที่ C_{iss} ถูกชาร์จจนกระทั่งมีแรงดันเท่ากับ $V_{GS(th)}$ มอสเฟทจะยังอยู่ในสภาพปิดกั้นกระแส T_1 นี้จะมีค่าเท่ากับ Turn on delay time $t_{d(on)}$ คือนับเวลาจากที่แรงดัน V_{GS} มีค่าประมาณ 10% ของค่าสูงสุดถึงเวลาที่ V_{DS} ลดลงถึงเวลาที่ V_{DS} ลดลง 10% จากแรงดันในสภาวะหยุดนำกระแส

T_2 คือช่วงเวลาที่มอสเฟทเริ่มนำกระแสและแรงดัน V_{DS} ลดลงอย่างรวดเร็ว C_{iss} มีค่าน้อย ในช่วงนี้แรงดันเกตมีค่าค่อนข้างคงที่ T_2 นี้มีค่าประมาณเท่ากับเวลาไต่ขึ้น rise time (t_r)

T_3 คือเวลาที่ V_{DS} และ $r_{D(on)}$ ลดลงอย่างช้าๆ I_D จะมีค่าใกล้เคียงเท่ากับค่าสูงสุด และกำลังสูญเสียยังคงมีค่ามากเนื่องจาก V_{DS} ยังมีค่ามากกว่า $V_{DS(on)}$ มากในช่วงเวลานี้ C_{iss} จะมีค่าสูงและถูกชาร์จให้มีแรงดันเพิ่มขึ้นอย่างช้าๆ

T_4 คือช่วงที่มอสเฟทนำกระแสเกือบจะเต็มที่ แต่ C_{iss} ยังคงถูกชาร์จจนกระทั่งแรงดัน V_{DS} มีค่าเท่ากับ $V_{DS(min)}$ และกระแสจะลดลงจนมีค่าเล็กมากในระหว่างการหยุดนำกระแส เราสามารถแบ่งช่วงเวลาออกได้เป็น 4 ช่วง คือ

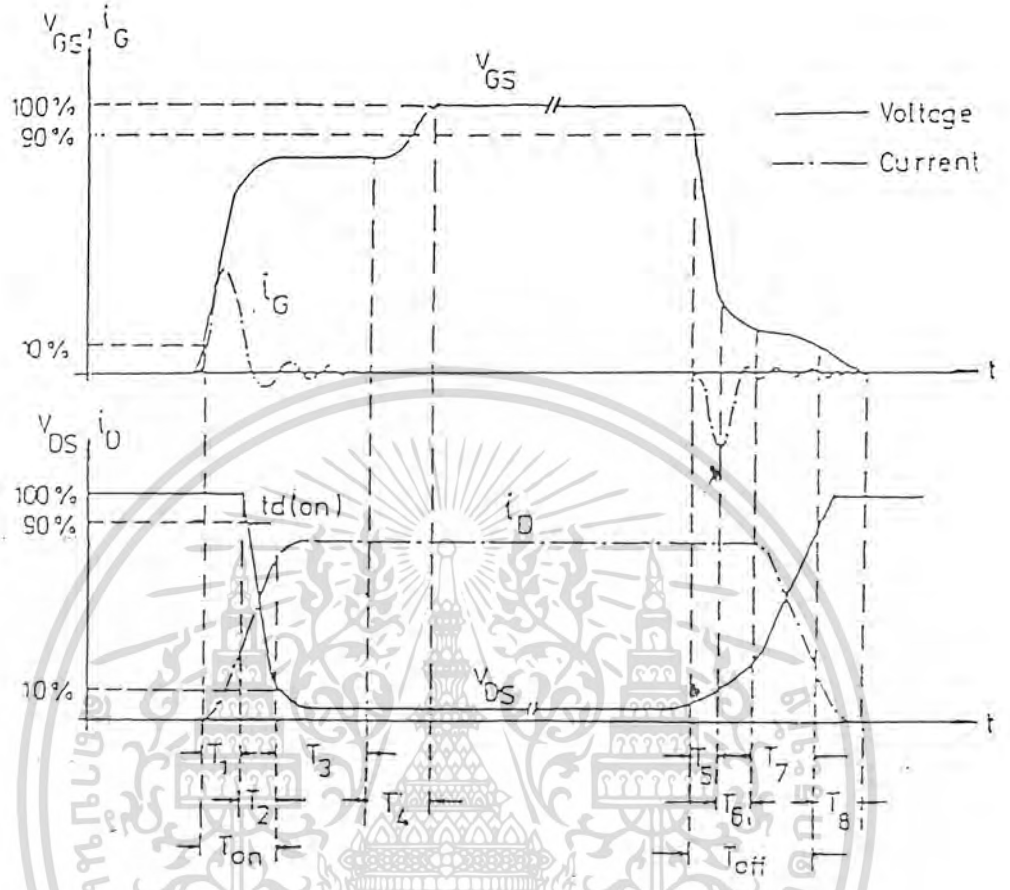
T_5 มอสเฟทยังคงนำกระแสเต็มที่ประจุส่วนเกินใน C_{gd} ถูกดิชชาร์จเรียบร้อยแล้ว

T_6 แรงดัน V_{DS} เพิ่มขึ้นอย่างช้าๆ I_D ลดลงเล็กน้อย ,C_{iss} จะมีค่าสูงและถูกดิชชาร์จให้มีแรงดันลดลงอย่างช้าๆ

T_7 แรงดัน V_{DS} เพิ่มขึ้นอย่างรวดเร็วและมอสเฟทเริ่มเปลี่ยนแปลงไปสู่สถานะหยุดนำกระแส เมื่อ V_{GS},I_D,C_{iss} จะมีค่าลดลง

T_8 มอสเฟทหยุดนำกระแสแต่ C_{iss} ยังคงถูกดิชชาจด์ต่อไปจนกระทั่งแรงดันเป็นศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-11 รูปของการสวิทช์มอสเฟทโดยแสดงรูปคลื่นของ V_{GS},I_G,V_{DS},I_D ทั้งในระหว่าง turn on และ turn off

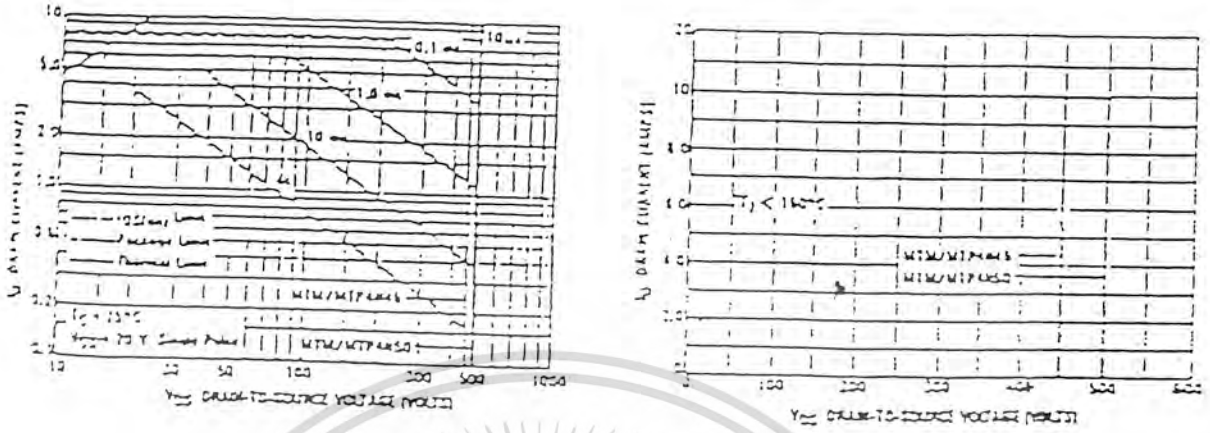
Turn off delay time,$t_{d(off)}$ จะมีค่าปรากฏใน T_5 + T_6 และ Fall time t_f จะมีค่าประมาณเท่ากับ T_7

ในการสวิทช์มอสเฟทนั้นเราให้คำจำกัดความของ $t_{(on)}$ และ $t_{(off)}$ เช่นเดียวกันกับในกรณีของบีเจทีกล่าวคือ

2.11 ขีดจำกัดของมอสเฟท

ขีดจำกัดของมอสเฟทนั้นจะถูกกำหนดด้วยพื้นที่ปลอดภัยของมอสเฟท (Safe Operating Area หรือ SOA) ในระนาบของกระแสเดรน (I_D) และแรงดันระหว่างเดรนกับซอส (V_{DS}) เช่นเดียวกับในกรณีบีเจที โดยมักจะสามารถหาขีดจำกัดได้เช่นเดียวกันซึ่งในกราฟแสดงการลดลงของมอสเฟท (Power derating curve) เช่นเดียวกับบีเจทีขอบเขตของ SOA ของมอสเฟทจะคล้ายกับในกรณีของบีเจทีแต่มอสเฟทนั้นจะมีขอบเขตอันเนื่องมาจาก Secondary breakdown ดังแสดงในรูปที่ 2-12 (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-12 ก) Forward Bias Safe Operating Area
ข) Swicthing Safe Operating Area ของ Power MOSFET

อย่างไรก็ดีถึงแม้ว่าผู้ผลิตจะอ้างว่าไม่มีการเกิด Secondary breakdown ในมอสเฟทก็ตามได้มีการพิสูจน์ให้เห็นว่า Secondary breakdown สามารถเกิดขึ้นได้ในมอสเฟทอันเนื่องมาจากบีเจทีที่แฝงอยู่ในโครงสร้างของมอสเฟท

นอกจาก Forward Bias Operating Area ผู้ผลิตมอสเฟทอาจจะกำหนดสวิทช์ชิ่ง SOA ซึ่งเป็นขอบเขตที่ถูกกำหนดด้วยกระแสเดรนสูงสุด I_{DM} และ Breakdown voltage ระหว่างเดรนกับซอส $V_{(DS)DSS}$ ดังแสดงในรูปที่ 2-12 (ข) สวิทช์ชิ่ง SOAใช้ได้สำหรับเดรน $t_{(on)}$ และ $t_{(off)}$ ซึ่งใช้เวลาในการสวิทช์ไม่เกิน 1 นาทีและกำลังเฉลี่ยตลอดทั้งวงรอบของการสวิทช์จะต้องน้อยกว่า

$$\frac{Tc(max) - Tc}{R.Jc}$$

2.12 ชนิดของวงจรอินเวอร์เตอร์โดยใช้เพาเวอร์มอสเฟท

จากการทำงานของเพาเวอร์มอสเฟทเราทราบอยู่แล้วว่าเพาเวอร์มอสเฟทจะถูกควบคุมการทำงานในการเป็นสวิทช์เปิดและปิด โดยการควบคุมแรงดันที่ป้อนให้กับขาเกตและขาคาโถด (V_{GK}) และยังมีการป้องกันและควบคุมค่า di_A/dt และ dV_{AK}/dt ที่จะขึ้นและส่งผลให้กับเอสซีอาร์เกิดความเสียหายอีกด้วยเหตุนี้จึงทำให้วงจรการใช้งานของเอสซีอาร์มีข้อยุ่งยากมากมายซึ่งขึ้นอยู่กับการใช้งานและลักษณะของโหลดที่จะต้องอยู่ในสภาวะคอมมิวเตชั่นอีกด้วย และเมื่อเปรียบกับวงจรการใช้งานของอินเวอร์เตอร์โดยการ Power MOSFET ที่ไม่ค่อยมีค่ายุ่งยากมากนักจึงทำให้มีวงจรการใช้งานเพียงไม่กี่วงจร ดังพอสรุปได้เป็น 4 วงจรหลักของการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
อินเวอร์เตอร์ (INVERTER)

อินเวอร์เตอร์เป็นการเปลี่ยนแปลงกำลังไฟฟ้ากระแสตรงให้เป็นไฟฟ้ากระแสสลับ โดยสามารถเปลี่ยนแปลงหรือควบคุมระดับแรงดันไฟฟ้า และความถี่ของไฟฟ้ากระแสสลับได้ซึ่งนำไปใช้ประโยนช์ต่างๆได้ เช่น จ่ายกระแสไฟฟ้าให้กับภาระไฟฟ้า (Load) ในกรณีที่แหล่งจ่ายไฟฟ้าหลักเกิดผิดปกติที่เรียกว่าแหล่งจ่ายไฟฟ้าสำรองหรือ U.P.S. โดยที่แหล่งจ่ายไฟสำรองนี้จะทำการโอนย้ายภาระไฟฟ้าที่ต่ออยู่กับแหล่งจ่ายไฟหลักให้มาต่อกับระบบของอินเวอร์เตอร์ เมื่อเกิดภาวะผิดปกติดังกล่าวในระยะเวลาเพียงไม่กี่วินาที (mili sec.) โดยแปลงไฟจากแบตเตอรี่ที่ประจุไว้ขณะที่มีแหล่งจ่ายไฟฟ้าหลัก หรือการนำเอาอินเวอร์เตอร์มาใช้ในการควบคุมความเร็วของมอเตอร์ไฟฟ้ากระแสสลับโดยการเปลี่ยนแปลงความถี่ เมื่อความถี่ของไฟฟ้ากระแสสลับเกิดการเปลี่ยนแปลงความเร็วของมอเตอร์ก็จะเปลี่ยนแปลงตามสมการ N = 120f/P ซึ่งการควบคุมแบบนี้จะต้องรักษาอัตราส่วนของแรงดันต่อความถี่ที่จ่ายเข้ามอเตอร์มีค่า คงที่ทุกๆ ความเร็วที่เปลี่ยนแปลง

หลักการของอินเวอร์เตอร์จะอาศัยการตัดต่อของสวิทช์ที่เป็นสารกึ่งตัวนำ เป็นตัวตัดต่อไฟฟ้ากระแสตรงที่ต่ออยู่กับภาระไฟฟ้า (Load) เช่น ทรานซิสเตอร์, เอสซีอาร์, เพาเวอร์มอสเฟท, ไอจีบีทีเป็นต้น เพื่อที่จะทำให้แรงดันที่ตกคร่อมภารธไฟฟ้าเป็นสัญญาณไฟกระแสสลับ ซึ่งในโครงงานนี้เป็นการศึกษาโดยการนำเอาเพาเวอร์มอสเฟทมาทำหน้าที่เป็นตัวสวิทช์ของวงจรทางด้านกำลังที่จะเป็นตัวต่อแรงดันไฟฟ้ากระแสตรงที่ตออยู่กับภาระไฟฟ้ากระแสสลับที่มีรูปคลื่นเป็นแบบสี่เหลี่ยมควอซี่ (Quasi square wave) แล้วนำมาผ่านวงจรกรองความถี่จะรูปคลื่นเป็นแบบซายน์
การควบคุมระดับแรงดันไฟฟ้ามี 3 วิธีคือ

1. ควบคุมระดับแรงดันไฟฟ้าที่จ่ายให้กับวงจรอินเวอร์เตอร์ สามารถทำได้โดยใช้วงจรตัดไฟ (Rectifier) ที่สามารถควบคุมระดับแรงดันได้หรือใช้วงจรช๊อปเปอร์ (Chopper)

2. ควบคุมระดับแรงดันไฟฟ้าภายในวงจรอินเวอร์เตอร์โดยใช้พัลส์มอดูเลชั้น (Pulse Modulation) มีหลายแบบ เช่น พัลส์วิดด์มอดูเลชั้น (Pulse Width Modulation) ,ซิงค์เกิ้ลพัลส์มอดูเลชั้น (Single Modulation) ทำให้เอาท์พุทมีรูปร่างเปลี่ยนไป

3. ควบคุมระดับแรงดันเอาท์พุทโดยใช้ Stepping Transformerวิธีการควบคุมแบบนี้ให้การตอบสนองช้าไม่ค่อยนิยม

4. การควบคุมระดับแรงดันไฟฟ้าภายในวงจรอินเวอร์เตอร์กับการควบคุมระดับแรงดันไฟฟ้ากระแสตรงที่จ่ายให้อินเวอร์เตอร์ ทั้ง 2 วิธีนิยมใช้กันมากโดยมีลักษณะข้อดีและข้อเสียดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุมระดับแรงดันไฟฟ้าภายใน	การควบคุมแรงดันไฟตรงที่จ่ายให้อินเวอร์เตอร์
1. การตอบสนองต่อความเร็ว	1. ตอบสนองช้ากว่าเพราะ Filtering ในแหล่งจ่าย
2. เหมาะกับโหลดสูงๆ	2. ไม่เหมาะกับโหลดสูงๆ
3. ฮาร์โมนิกส์เอาท์พุทเปลี่ยนแปลง	3. ฮาร์โมนิกส์เอาท์พุทคงที่
4. Filter ยากกว่า	4. Filter ง่าย

ซึ่งในโครงงานนี้ จะใช้การควบคุมแรงดันไฟฟ้าแบบปรับค่าแรงดันไฟฟ้าภายในอินเวอร์เตอร์ ซึ่งอินเวอร์เตอร์ที่ใช้นั้นมีหลายแบบโดยแต่ละแบบจะมีข้อดีและข้อเสียต่างกัน ซึ่งขึ้นอยู่กับว่าจะใช้โหลดชนิดใดต้องการสัญญาณแบบไหน ดังรายละเอียดดังนี้

1. แบบคลื่นสี่เหลี่ยม (Square wave)
   เป็นอินเวอร์เตอร์แบบที่ใช้สัญญาณเอาท์พุทเป็นคลื่นสี่เหลี่ยมเป็นชนิดที่สร้างได้ไม่ยาก แต่จะให้เอาท์พุทเป็นคลื่นซายน์เวฟ

2. แบบคลื่นสี่เหลี่ยมควอซี่ (Quasi square wave)
   แบบนี้ได้รับการปรับปรุงมาจากแบบแรก ซึ่งจะกรองเอาสัญญาณซายน์ออกมาได้ง่ายขึ้น และแบบนี้สามารถใช้ได้เฉพาะโหลดเท่านั้นเพราะว่าในเอาท์พุทแบบนี้จะยังมีฮาร์โมนิกส์ปะปนอยู่มากดังรูปที่ 3-1 (ข)

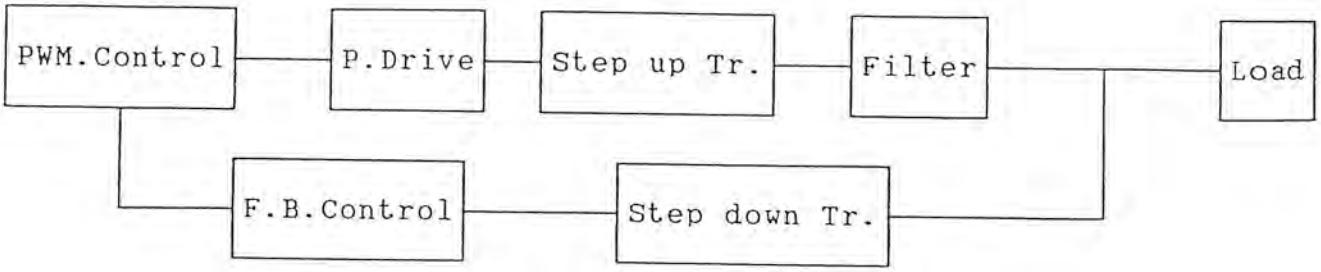
3. แบบ 6 ขั้นและแบบ 12 ขั้น (Six step, Twelve step)

ทั้ง 2 ชนิดนี้ใช้สัญญาณควอซี่มารวมกันโดยผ่านหม้อแปลงไฟฟ้า โดยใช้ลักษณะสัญญาณเอาท์พุทใกล้เคียงกับรูปคลื่น Sine จึงสามารถลดอุปกรณ์กรองความถี่ได้เพราะฮาร์โมนิกส์ลดลงแต่การสร้างอินเวอร์เตอร์ชนิดนี้ยุ่งยาก จะสิ้นเปลืองค่าใช้จ่ายเพราะต้องใช้ควอซี่หลายๆ ตัวมาต่อขนานกัน และยังต้องใช้หม้อแปลงเพิ่มขึ้นด้วยทำให้มีขนาดใหญ่ และน้ำหนักมากซึ่งวิธีการแบบนี้ใช้กับอินเวอร์เตอร์ที่มีพิกัดสูงดังรูป 3-1(ค),(ง)

4. แบบพัลส์วิดท์มอดูเลชั่น (Pulse width Modulation)

แบบนี้จะให้ไม่เหมือนแบบอื่น โดยลักษณะสัญญาณเอาท์พุทเกิดขึ้นจากการมอดูเลทระหว่างคลื่นซายน์กับคลื่นสามเหลี่ยมซึ่งผลที่ได้จะมีฮาร์โมนิกส์ลำดับที่ต่ำน้อยมากอุปกรณ์กรองความถี่ที่ใช้จึงมีขนาดเล็กแต่สัญญาณแบบนี้มีความยุ่งยากในการสร้างรูปแบบ (Pattern) และแบบนี้มีความเหมาะสมเฉพาะอินเวอร์เตอร์ที่มีพิกัดกำลังไม่ใหญ่มากนัก ดังรูปที่ 3-1 (จ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-2 แสดงไดอะแกรมการทำงานของอินเวอร์เตอร์

1. PWM Control จะทำหน้าที่สร้างสัญญาณควบคุมให้กับเพาเวอณ์มอสเฟท

2. เพาเวอร์มอสเฟทประกอบด้วยวงจรขับมอสเฟท ซึ่งทำหน้าที่ขยายสัญญาณควบคุมที่สร้างขึ้นให้มีกำลังสูงพอเพื่อที่จะขับมอสเฟทได้และอีกส่วนหนึ่งก็คือวงจรกำลังซึ่งก็คือตัวเพาเวอร์มอสเฟทนั้นเองซึ่งทำหน้าที่แปลงแรงดันไฟตรงให้เป็นไฟกระแสสลับ

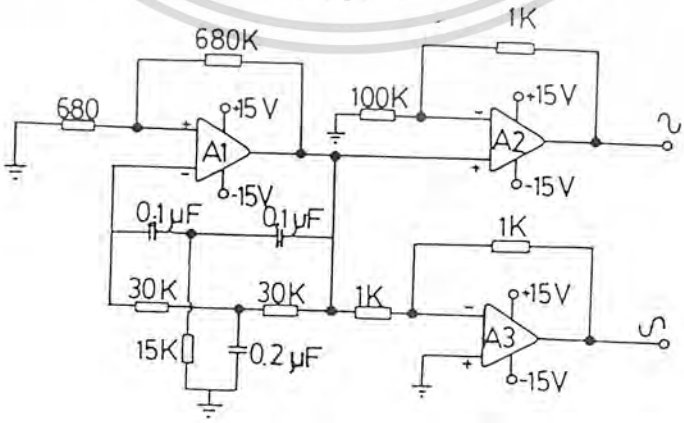
3. วงจรกรองความถี่ (Filter) ทำหน้าที่กรองฮาร์โมนิกส์ต่าง ๆที่เกิดขึ้นออกไปเนื่องจากวงจรกำลังเป็นรูปพัลส์ เพื่อที่ได้เอาท์พุทเป็นซายน์

4. วงจรควบคุมการป้อนกลับ (Feedback control) ทำหน้าที่รักษาระดับแรงดันเอาท์พุทให้คงที่

3.1 วงจรสร้างสัญญาณควบคุม PWM (PWM control)

การสร้างสัญญาณควบคุม PWM โดยทั่วไปจะได้จากการเปรียบเทียบ (Compere) ระหว่างสัญญาณซายน์เวฟกับสัญญาณสามเหลี่ยมซึ่งมีทั้ง 2 ระดับและ 3 ระดับ แต่ในโครงงานนี้จะใช้การเปรียบเทียบระหว่างสัญญาณซายน์กับสัญญาณฟันเลื่อย โดยวงจรในการสร้างสัญญาณ PWM ในโครงงานนี้จะประกอบด้วย

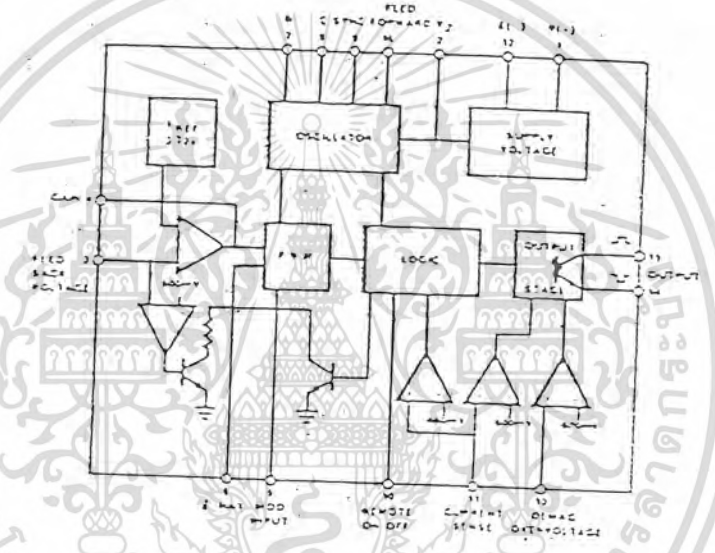
1. วงจรกำเนิดสัญญาณซายน์ความถี่ 50 เฮิทซ์ (วงจร Twin-T Oscilator) ทำหน้าที่สร้างสัญญาณซายน์ที่มีความถี่ 50 Hz เพื่อจ่ายให้กับ IC PWM control ดังรูปที่ 3-3



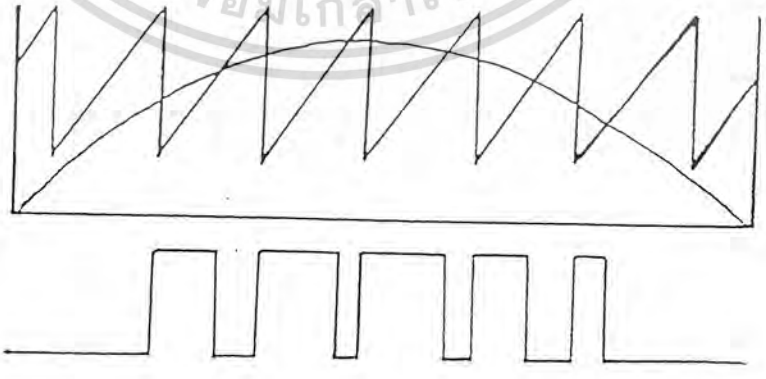
รูปที่ 3-3 วงจร Twin-T Oscilator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. IC PWM control ทำหน้าที่สร้างสัญญาณ PWM เพื่อนำไปป้อนให้วงจรมอสเฟทโดยใช้ไอซี 2 ตัวเพื่อที่จะสร้างสัญญาณ 2 ชุด (สำหรับเพาเวอร์มอสเฟทแต่ละชุด) โดยภายในไอซีเบอร์ NE5560 ซึ่งเป็นไอซีสำเร็จรูปที่มีการสร้างสัญญาณฟันเลื่อยอยู่ภายในตัวไอซีแล้วนำมาเปรียบเทียบกับสัญญาณที่ป้อนเข้าไปยังตัวไอซีซึ่งอาจเป็นซายน์เวฟ หรือสัญญาณไฟตรงก็ได้ดังสามารถดูได้จากบล็อกไดอะแกรมและการทำงานของไอซีดังแสดงในรูปที่ 3-4 และเมื่อนำสัญญาณมาเปรียบเทียบกันแล้วจะได้เอาท์พุทมาในลักษณะของ PWM คือจะมีความกว้างของพัลส์ที่ต่างๆ กันไปโดยมีลักษณะดังรูปที่ 3-5



รูปที่ 3-4 แสดงบล็อกไดอะแกรมของไอซี NE5560

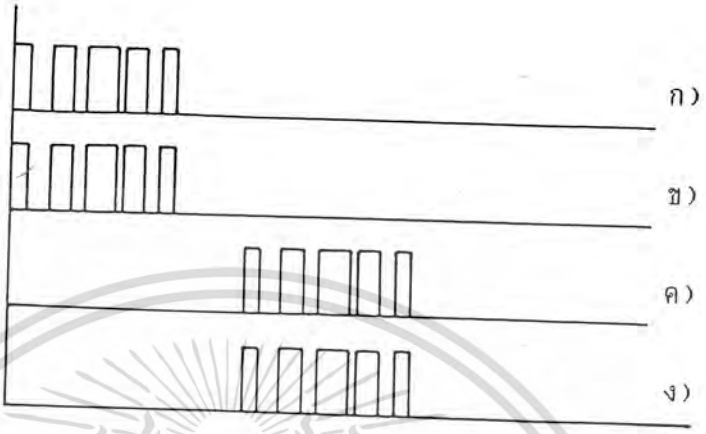


รูปที่ 3-5 แสดงลักษณะการเปรียบเทียบกันของสัญญาณ

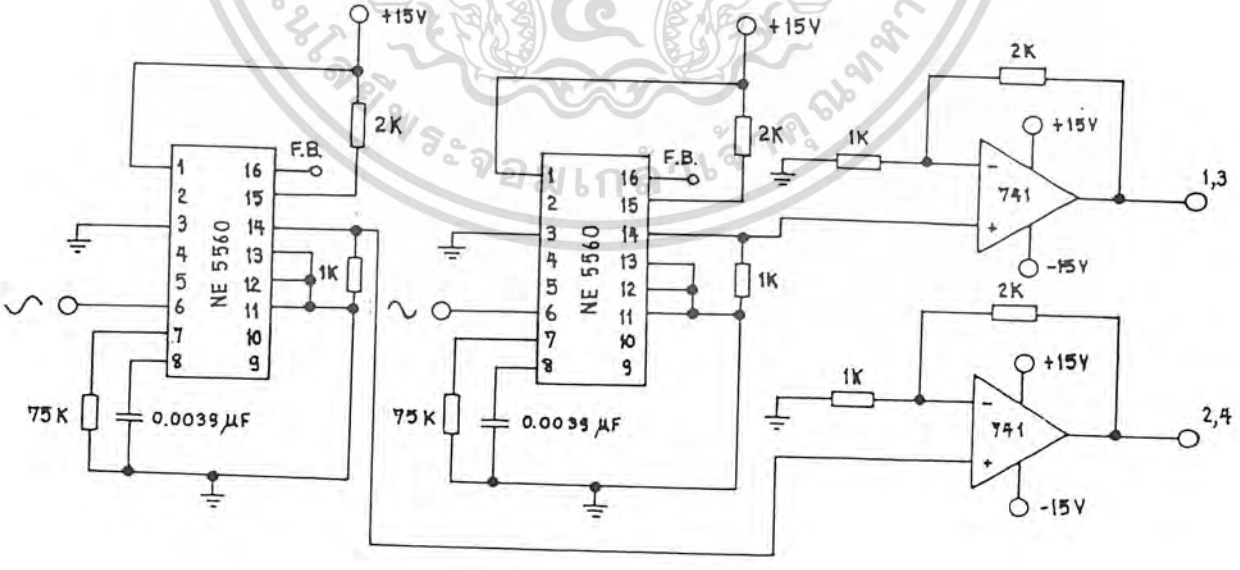
ในโครงงานนี้จะใช้ความถี่ของสัญญาณฟันเลื่อยที่ประมาณ 1 KHz และสัญญาณฟันเลื่อยที่สร้างขึ้นภายในตัวไอซีจะมีระดับฐาน (Base Level) ของสัญญาณที่ 1.1 โวลท์ และระดับยอด (Peak

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Level) ของสัญญาณที่ 5.6 โวลท์ จากรูปที่ 3-6 แสดงสัญญาณที่ต้องการใช้ขับเพาเวอร์มอสเฟท



รูปที่ 3-6 แสดงสัญญาณควบคุมในการขับเพาเวอร์มอสเฟท
(ก) ไปวงจร Drive MOSFET 1
(ข) ไปวงจร Drive MOSFET 2
(ค) ไปวงจร Drive MOSFET 3
(ง) ไปวงจร Drive MOSFET 4

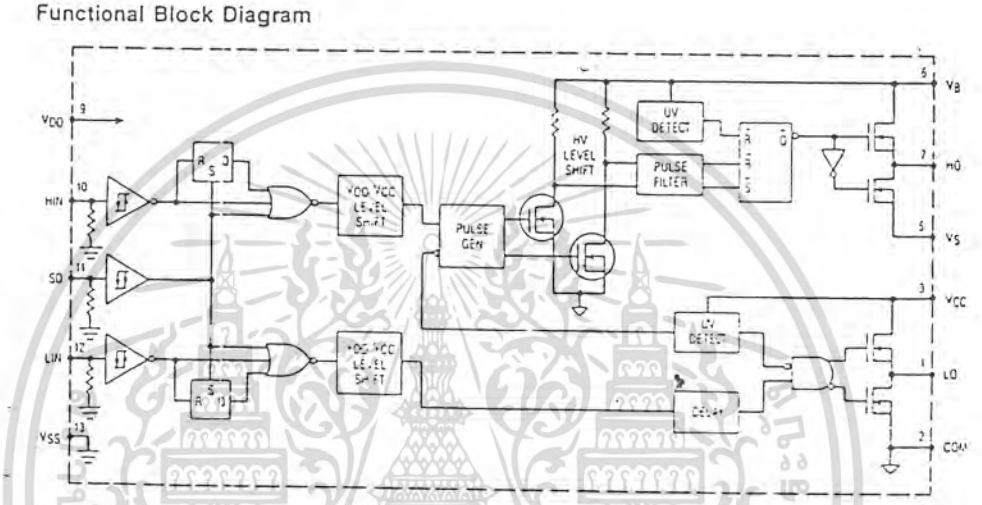


รูปที่ 3-7 แสดงวงจรควบคุมในการขับเพาเวอร์มอสเฟท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

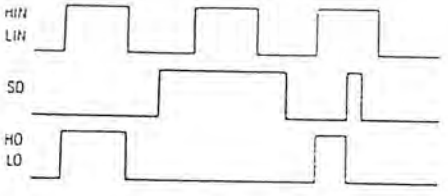
3.2 วงจรขับเพาเวอร์มอสเฟท

ในที่นี้จะใช้ไอซีสำเร็จรูปในการขับเพาเวอร์มอสเฟทซึ่งจะใช้ไอซีเบอร์ IR2110 โดยไอซีเบอร์นี้ใช้ในการขับเพาเวอร์มอสเฟทหรือไอจีบีทีซึ่งมันมีความเร็วและใช้กับแรงดันสูงได้ถึง 500 โวลท์ ซึ่งแรงดันที่จ่ายให้กับไอซีตัวนี้จะอยู่ในช่วง 5 - 20 โวลท์ (V_{DC}) และไอซีตัวนี้จะสามารถจ่ายกระแสเอาท์พุทได้ถึง 2 แอมป์ ส่วนวงจรภายในของไอซี IR2110 จะสามารถดูได้จากบล๊อกไดอะแกรมซึ่งแสดงการทำงานของไอซี ดังรูปที่ 3-8



รูปที่ 3-8 แสดงบล๊อกไดอะแกรมของไอซี IR2110

การควบคุมพัลส์ทางเอาท์พุทจะแสดงได้ดังรูปที่ 3-9 ซึ่งเป็นการแสดง Input/Output timing diagram จากรูปจะเห็นได้ว่าสัญญาณ Ho,Lo จะมีสัญญาณเหมือนกับ Hin,Lin เมื่อสัญญาณ SD มีสถานะเป็น "Low" แต่ถ้าสัญญาณ SD มีสถานะเป็น "High" สัญญาณ Ho,Lo จะมีสถานะเป็น "Low"

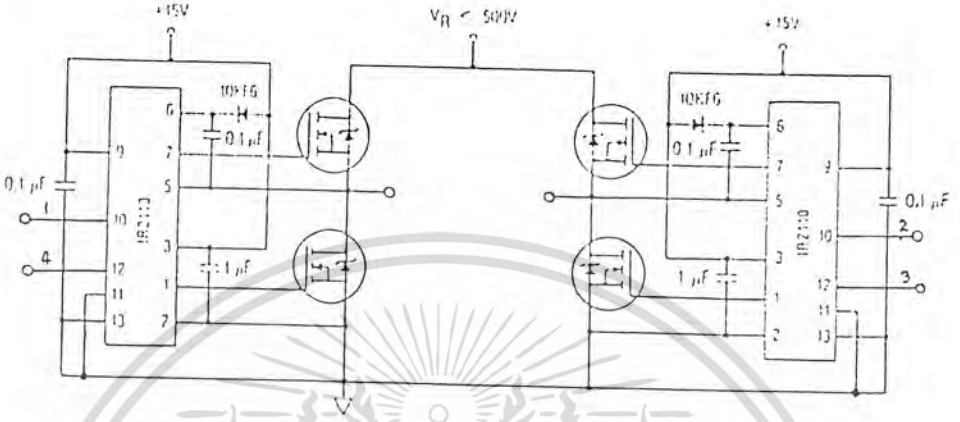


รูปที่ 3-9 แสดง Input/Output Timing diagram

ส่วนวงจรขับสำหรับวงจรบริจท์อินเวอร์เตอร์ (Bridge inverter) นั้นจะเห็นได้ว่า IR2110 นั้นมีการแยกกราว์ภายในตัวไอซี จึงเป็นการง่ายมากที่จะนำไปใช้ขับเพาเวอร์มอสเฟทได้โดยตรงซึ่งไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

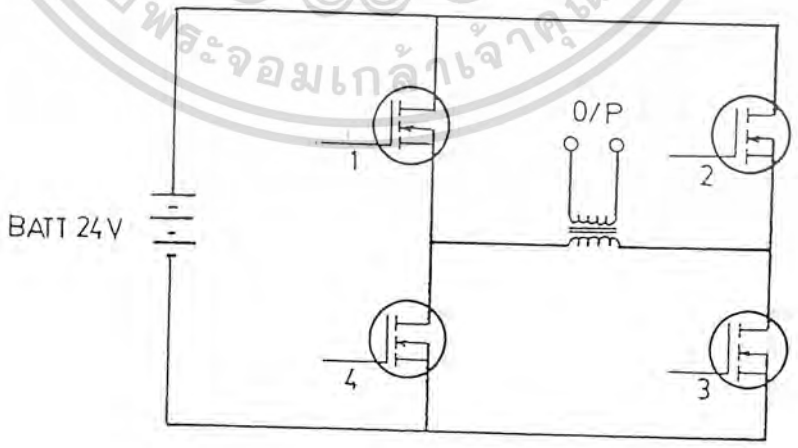
ยุ่งยากเหมือนกับการใช้ออปโตไอโซเลทเตอร์ (Optoisolator) แยกกราวน์และวงจรขับเพาเวอร์มอสเฟท โดยใช้ IR2110 จะแสดงได้ดังรูป 3-10



รูปที่ 3-10 แสดงวงจรขับสำหรับบริจท์อินเวอร์เตอร์

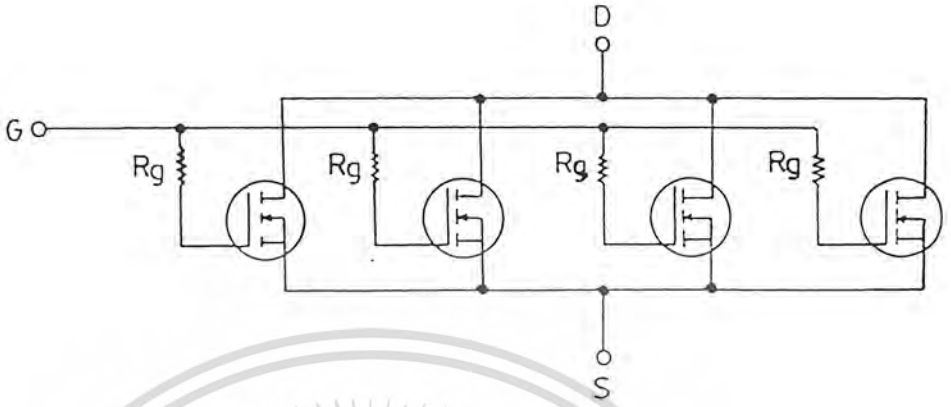
3.3 วงจรกำลัง

ในวงจรกำลังจะเป็นส่วนของวงจรทางเพาเวอร์และเป็นส่วนที่จ่ายพลังงานไฟฟ้าให้กับโหลดซึ่งก็คือหม้อแปลงกำลัง (Power Transformer) โดยจะใช้เพาเวอร์มอสเฟทเป็นอุปกรณ์ในการสวิตชซึ่งเพาเวอร์มอสเฟทเป็นอุปกรณ์ในการสวิทช์ซึ่งและจะต่อเพาเวอร์มอสเฟทเป็นแบบวงจรบริดจ์ ดังรูปที่ 3-11 แต่เนื่องจากเพาเวอร์มอสเฟทเดี่ยวที่พิกัดกระแสสูง ๆ มีราคาแพงและหายากจึงจำเป็นที่จะเอาเพาเวอร์มอสเฟทที่มีพิกัดต่ำกว่ามาต่อขนานกันการขาขมอสเฟททำได้ง่ายดังในรูปที่ 3-12



รูปที่ 3-11 แสดงวงจรกำลังที่ใช้เพาเวอร์มอสเฟท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-12 แสดงการขนานเพาเวอร์มอสเฟท

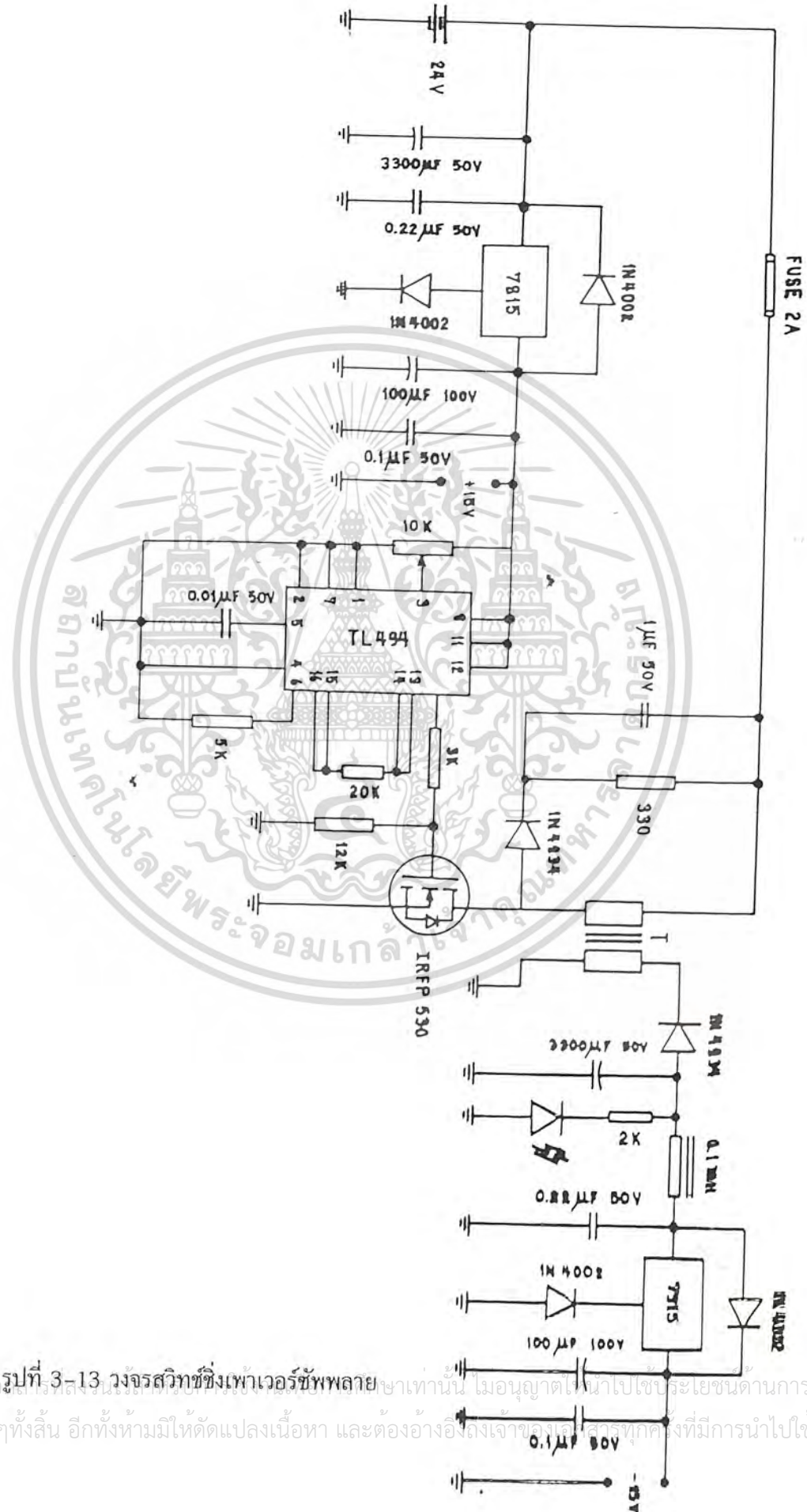
จากรูปที่ 3-11 จะเห็นได้ว่ามอสเฟทจะทะการสวิทช์ได้จากระดับไฟตรง 24 โวลท์ (V_{DC}) ให้เป็นสัญญาณตามสัญญาณควบคุมแต่มีแรงดันยอดเท่ากับ 24 โวลท์ ได้ออกมาเป็นสัญญาณ PWM แบบ 3 ระดับและเมื่อผ่านการยกระดับ Step up transformer) ก็จะเพิ่มแรงดันให้ถึงระดับที่ต้องการได้จากนั้นก็นำไปผ่านวงจรกรองความถี่เพื่อให้ได้สัญญาณซายน์ที่มีความถี่ 50 Hz และขนาดที่ต้องการออกมา

3.4 วงจรเพาเวอร์ซัพพลาย และสวิทช์ซิ่งเพาเวอร์ซัพพลาย

ในโครงงานนี้ในส่วนของวงจรขับเพาเวอร์มอสเฟทนั้น จำเป็นต้องใช้แหล่งจ่ายไฟที่พิกัดขนาด +15 โวลท์ และ -15 โวลท์ เพราะอุปกรณ์ส่วนใหญ่เป็นไอซีออปแอมป์ (OP-Amp) ซึ่งต้องใช้แหล่งบวกและลบ

จากในโครงงานแหล่งจ่ายไฟหลักนั้นเป็นไฟกระแสตรง 24 โวลท์ สำหรับการสร้างไฟ +15 โวลท์ นั้นเราจะใช้ไอซีเร็กกูเลเตอร์ (IC Regulator) เบอร์ 7815 ส่วนการสร้างไฟ -15 โวลท์ นั้นเราจะใช้ไอซีเร็กกูเลเตอร์เบอร์ 7915 นั้นได้มาจากหม้อแปลงความถี่สูงที่ใช้แกนเฟอร์ไรท์โดยใช้มอสเฟทเบอร์ IR 9240 เป็นตัวสวิทช์ซึ่งสามารถสร้างได้ตามรูปที่ 3-13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-13 วงจรสวิทช์ชิ่งเพาเวอร์ซัพพลาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
หม้อแปลงสวิตชิ่ง

หม้อแปลงสวิตชิ่ง (Swicthing Transformer) จากการศึกษาจากรูปแบบที่เป็นไปได้ในลักษณะต่างๆของหม้อแปลงสวิตชิ่งวามเหมาะสมในการใช้งานการคำนวณขนาดของแกนเฟอร์ไรต์และขนาดของลวดทองแทงรวมทั้งการกำหนดความปลอดภัยทางไฟฟ้า เพื่อความปลอดภัยและลดกำลังงานสูญเสียในหม้อแปลงสวิตชิ่งขณะทำงาน ดังจะกล่าวรายละเอียดในบทนี้

4.1 ส่วนประกอบของหม้อแปลงสวิตชิ่ง

- แกนเฟอร์ไรต์ (Ferrite Core)

เฟอร์ไรต์เป็นวัตดุประเภทเฟอร์โรแมกเนติก (Ferromagnetic material) การเหนี่ยวนำทางแม่เหล็กบนแกนเฟอร์ไรต์จะมีผลทำให้เกิดความหนาแน่นของฟลักซ์แม่เหล็กสูงกว่าการเหนี่ยวนำแม่เหล็กที่เกิดขึ้นบนแกนอากาศมากเฟอร์ไรต์มีค่าจุดอิ่มตัวของฟลักซ์แม่เหล็กค่อนข้างสูงซึ่งเป็นผลให้เกิดการสูญเสียในตัวมันต่ำที่ความถี่สูงๆ ดังนั้นหม้อแปลงสวิตชิ่งจึงนิยมใช้แกนเฟอร์ไรต์มากที่สุด

- บอบบิ้น (Bobbin)

บอบบิ้น โดยปกติจะทำจากพลาสติกที่ทนความร้อนสูงและไม่ติดไฟ บอบบิ้นจะทำให้การพันขดลวดทำได้ง่ายขึ้นและป้องกันการลัดวงจรระหว่างขดลวดกับแกนเฟอร์ไรต์ได้ บอบบิ้นส่วนใหญ่จะถูกออกแบบให้มีขาพักลวดทองแดง เพื่อความสะดวกในการพันขดลวดและบัดกรีให้ติดกับแผ่น PCB

- ลวดทองแดงอาบน้ำยา (Enamelled Copper Wire)

การพันขดลวดทั้งไพรมารี่และเซคั่นดารี่ของหม้อแปลงสวิตชิ่งที่กำลังไม่สูงมากนักปกติจะใช้ลวดทองแดงอาบน้ำยาพันบนแกนบอบบิ้นเพื่อให้ได้จำนวนรอบตามต้องการ ขนาดของขดลวดทองแดงที่จะใช้พันนั้นขึ้นอยู่กับค่ากระแสสูงสุดที่ผ่านขดลวด ความถี่และผลข้างเคียงอื่นๆ ซึ่งจะกล่าวรายละเอียดในหัวข้อต่อไป

- เทปฉนวน (Insulation Tape)

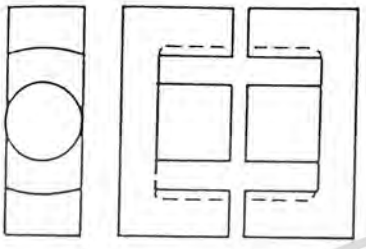
เทปฉนวนใช้พันสำหรับเป็นตัวรองระหว่างชั้นของขดลวดในหม้อแปลงสวิตชิ่งและมีหน้าที่ในการเป็นตัวแยกส่วนทางไฟฟ้าระหว่างขดลวดไพรมารี่และเซคั่นดารี่ด้วยวัตดุที่ใช้ทำเทปฉนวน โดยการเลือกใช้จะขึ้นอยู่กับการออกแบบและค่าความปลอดภัยที่ต้องการจากหม้อแปลงสวิตชิ่งเป็นหลัก

4.2 แกนเฟอร์ไรต์และการเลือกใช้

แกนเฟอร์ไรต์สำหรับหม้อแปลงสวิตชิ่งโดยทั่วไปจะถูกผลิตออกมาให้มีขนาดและรูปทรงต่างๆ ตามมาตรฐานเดียวกัน เช่น แกนแบบ EI,EE,ETD หรือแกนแบบ POT เป็นต้น ปกติผู้ผลิตจะทำแกนเฟอร์ไรต์ออกมาในลักษณะของคู่ประกบ เพื่อความสะดวกในการประกอบในแกนบ๊อบบิ้น การประกอบ

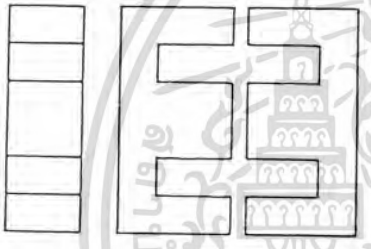
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แกนเฟอร์ไรต์บนบ๊อบบิ้น จะทำให้ทางเดินฟลักซ์แม่เหล็กที่เกิดขึ้นในแกนเฟอร์ไรต์มีลักษณะเป็นวงบรรจบกันได้ ตัวอย่างของแกนเฟอร์ไรต์แบบต่างๆ แสดงไว้ในรูปที่ 4-1



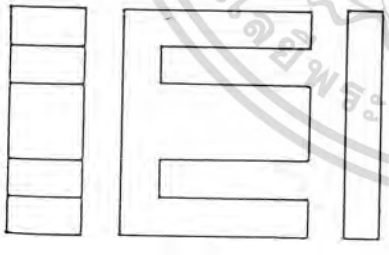
ETD

CORE TYPE	A_c (cm^2)	A_w (cm^2)	V_e (cm^3)	ℓ_e (mm)
ETD 34	0.971	1.220	7.64	78.6
ETD 39	1.250	1.740	11.50	92.2
ETD 44	1.740	2.130	18.00	103.0
ETD 49	2.110	2.710	24.20	114.0



EE

CORE TYPE	A_c (cm^2)	A_w (cm^2)	V_e (cm^3)	ℓ_e (mm)
EE 20/20/5	0.31	0.35	1.34	43.0
EE 30/30/7	0.59	0.78	4.00	66.9
EE 42/42/15	1.82	1.78	17.6	97.0
EE 42/42/20	2.36	1.78	23.1	97.4
EE 42/54/20	2.36	2.40	28.8	122.0
EE 42/66/20	2.36	3.40	34.5	143.0
EE 55/55/21	3.54	2.50	43.7	123.0
EE 55/55/25	4.20	2.50	52.0	123.0
EE 65/66/27	5.32	3.93	78.2	147.0



EI

CORE TYPE	A_c (cm^2)	A_w (cm^2)	V_e (cm^3)	ℓ_e (mm)
EI 19	0.24	0.517	0.950	39.6
EI 22/19	0.41	0.44	1.630	39.3
EI 25/19	0.42	0.819	2.02	48.6
EI 28/20	0.85	0.725	4.11	48.4
EI 30/26	1.11	0.791	6.45	58.1
EI 35/29	1.21	1.36	8.18	67.6
EI 40/35	1.48	1.08	11.3	76.9
EI 50/42	2.30	1.7	21.8	94.8
EI 60/44	2.48	2.94	27.2	109.7

A_c = ขนาดพื้นที่หน้าตัดแกนเฟอร์ไรต์

A_w = ขนาดพื้นที่ช่องพันขดลวดของบอบบิ้น

V_e = ปริมาตรของแกนเฟอร์ไรต์

ℓ_e = ระยะทางเดินฟลักซ์แม่เหล็กในแกนเฟอร์ไรต์

รูปที่ 4-1 แสดงตัวอย่างขนาดของแกนเฟอร์ไรต์แบบ EE.EI และ ETD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

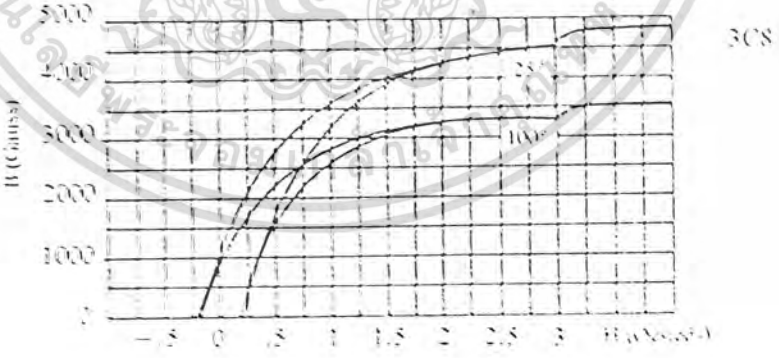
แกนในกลุ่มนี้จะมีขนาดต่าง ๆ ให้เลือกใช้งานได้เป็นจำนวนมากโดยสามารถให้กำลังงานได้ตั้งแต่ 5 วัตต์ ไปจนถึง 10 กิโลวัตต์

- ลักษณะของเนื้อสารที่ใช้ทำแกนเฟอร์ไรต์

ชนิดของเนื้อสารแกนเฟอร์ไรต์ที่แตกต่างกัน จะให้คุณสมบัติทางแม่เหล็กของแกนเฟอร์ไรต์ แตกต่างกันด้วยถึงแม้จะมีขนาดต่างกันทุกประการก็ตาม ในแผ่นข้อมูลเนื้อสารที่มากับแกนเฟอร์ไรต์นั้น จะต้องมีลายละเอียดคุณสมบัติเนื้อสารแสดงไว้เสมอ ข้อมูลสำคัญที่ความจะทำความเข้าใจและศึกษาไว้ก็ คือเส้นโค้งฮิสเตอร์รีซิส (Hysteresis curve) และค่าการสูญเสียในแกนเฟอร์ไรต์ (Core Loss)

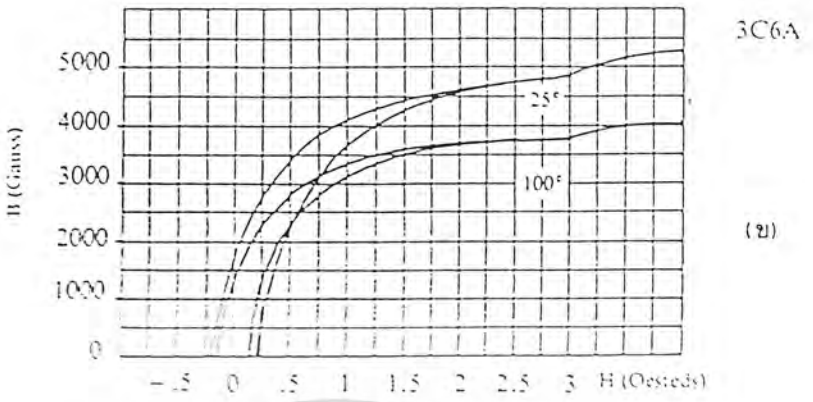
เส้นโค้งฮิสเตอร์รีซิส (Hysteresis curve)

เส้นโค้งฮิสเตอร์รีซิสจะแสดงความสัมพันธ์ระหว่างค่าความหนาแน่นของฟลักซ์แม่เหล็ก (B) ที่เกิดขึ้นในแกนเฟอร์ไรต์กับความเข้มของสนามแม่เหล็ก (H) ที่เกิดขึ้นจากการเหนี่ยวนำของขดลวดที่พันบนแกนในรูปที่ 4-2 (ก) และ 4-2 (ข) จะแสดงลักษณะของเส้นโค้งฮิสเตอร์รีซิสของเนื้อสารชนิด 3C8 และ 3C6A ตามลำดับซึ่งผลิตโดยผู้ผลิตคือ FERROXCUBE จากรูปจะเห็นว่า ค่าความหนาแน่นฟลักซ์



รูปที่ 4-2 (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

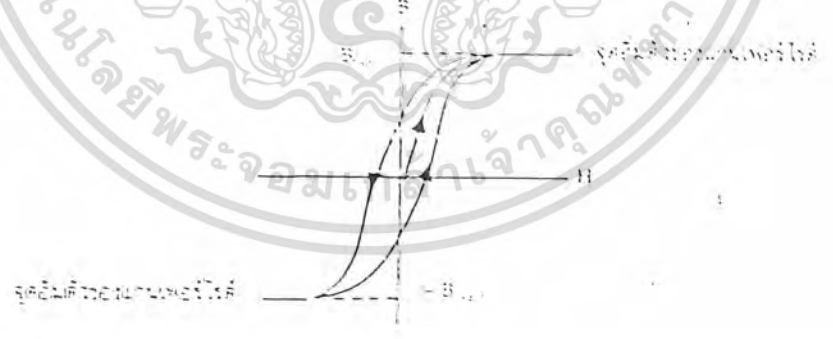


รูปที่ 4-2 (ข)

รูปที่ 4-2 แสดงเส้นโค้งฮิสเตอร์รีซิสของแกนเฟอร์ไรต์ที่เป็นเนื้อสารชนิด 3C8 (ก) และ 3C6A (ข) (ที่มา : Ferroxcube)

แม่เหล็ก B จะมีค่าเพิ่มขึ้นเมื่อความเข้มของสนามแม่เหล็ก H มีค่าเพิ่มขึ้นจนถึงจุดหนึ่งที่มีความหนาแน่นซึ่งมีค่าความหนาแน่นฟลักซ์แม่เหล็ก B มีค่าเพิ่มขึ้นน้อยมาก แม้จะมีการเพิ่มขึ้นของความเข้มสนามแม่เหล็ก H ก็ตามจากจุดดังกล่าวจะ เรียกว่า แกนเริ่มมีการอิ่มตัวของฟลักซ์แม่เหล็ก (Saturation)

โดยปกติผู้ผลิตจะแสดงกราฟของเส้นโค้งฮิสเตอร์รีซิสเพียงครึ่งเดียว เนื่องจากอีกครึ่งหนึ่งของเส้นโค้งฮิสเตอร์รีซิสจะมีลักษณะเหมือนกันทุกประการ เพียงแต่จะมีลักษณะการกลับทิศกันเท่านั้น ดังแสดงในรูปที่ 4-3



รูปที่ 4-3
แสดงลักษณะที่สมบูรณ์ของเส้นโค้งฮิสเตอร์รีซิสซึ่งจะมีลักษณะสมมาตรของกราฟขึกบนและขึกล่าง
(ปกติผู้ผลิตจะให้กราฟในขึกบนมาเท่านั้นดังในรูปที่ 4-2)

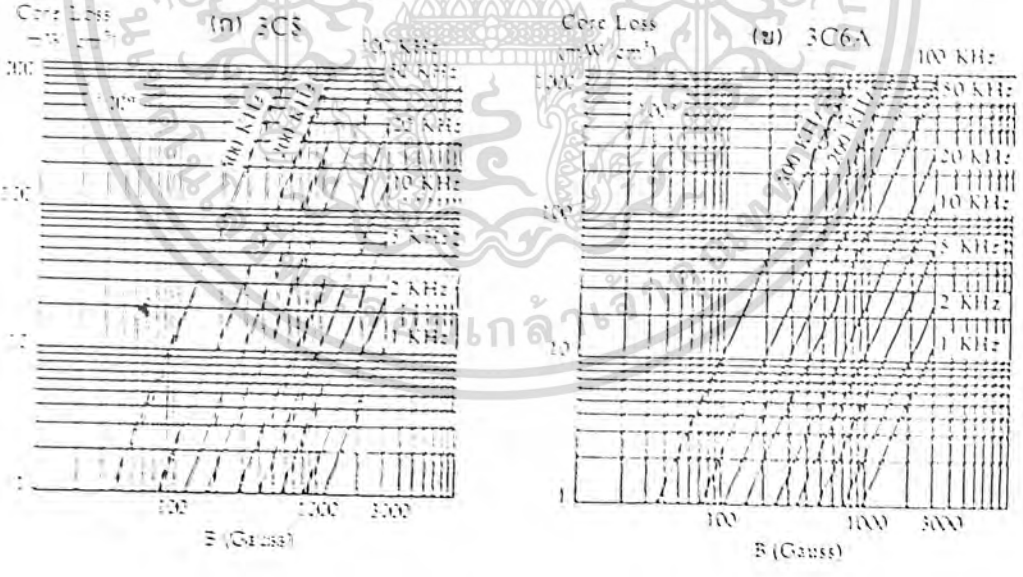
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานแกนเฟอร์ไรต์ในหม้อแปลงสวิตชิ่งจะ ต้องระวังไม่ให้แกนเฟอร์ไรต์เกิดการอิ่มตัวขึ้นได้ ดังนั้นโดยทั่วไปในการออกแบบสวิตชิ่งจึงควรกำหนดค่าความหนาแน่นฟลักซ์แม่เหล็ก B ที่เกิดขึ้นได้ในแกนขณะทำงานมีค่าไม่เกินครึ่งหนึ่งของค่าความหนาแน่นฟลักซ์แม่เหล็กสูงสุดก่อนอิ่มตัวของแกนเฟอร์ไรต์เพื่อความปลอดภัย

ค่าการสูญเสียในแกนเฟอร์ไรต์ (Core Loss)

การสูญเสียที่เกิดขึ้นในแกนเฟอร์ไรต์จะทำให้แกนเฟอร์ไรต์ร้อน ซึ่งมีสาเหตุหลัก 2 ประการ คือการสูญเสียที่เกิดจากลักษณะฮิสเตอร์รีซิสของแกน (Hysteresis Loss) และการสูญเสียจากการเกิดกระแสไหลวนภายในแกนเฟอร์ไรต์ (Eddy Current Loss)

ที่ความถี่ต่ำกว่า 100 KHz การสูญเสียจากการเกิดกระแสไหลวนในแกนจะมีค่าน้อยสำหรับแกนที่มีขนาดไม่ใหญ่มากนัก ดังนั้นการสูญเสียที่ก่อให้เกิดความร้อนในแกนอาจพิจารณาได้จากการสูญเสียทางฮิสเตอร์รีซิสเพียงอย่างเดียว ตัวอย่างกราฟแสดงค่าการสูญเสียที่เกิดขึ้นในแกนเฟอร์ไรต์แสดงไว้ในรูปที่ 4-4 (ก) และ 4-4 (ข) ปกติค่าการสูญเสียจะถูกระบุไว้เป็นมิลลิวัตต์ต่อหนึ่งลูกบาศก์เซนติเมตร (mW/cm^3) และมีค่าขึ้นอยู่กับค่าความหนาแน่นฟลักซ์แม่เหล็ก ความถี่การใช้งานรวมถึงอุณหภูมิขณะใช้งานของแกนเฟอร์ไรต์



รูปที่ 4-4 แสดงค่าการสูญเสียในแกนเฟอร์ไรต์ของเนื้อสารชนิด 3C8(ก) และ 3C6A(ข) (ที่มา : Ferroxcube)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การกำหนดค่าความหนาแน่นฟลักซ์แม่เหล็กสูงสุดในแกนหม้อแปลง

ค่าความหนาแน่นฟลักซ์แม่เหล็กในแกนหม้อแปลงจะขึ้นอยู่กับจำนวนรอบของขดลวด ไพรมารี่ และขนาดของแกน จากกฎฟาราเดย์จะได้ว่า

$$\Delta B = \cdot V.t/(N_p.A_e) \cdot * 10^8$$

เมื่อ ΔB คือ ค่าความหนาแน่นฟลักซ์แม่เหล็กที่เกิดขึ้นในแกน เป็นเกาส์

V คือ ค่าแรงดันที่ตกคร่อมขดไพรมารี่ เป็นโวลท์

Np คือ ค่าจำนวนรอบของขดไพรมารี่ เป็นรอบ

Ae คือ ขนาดพื้นที่หน้าตัดของแกน เป็นตารางเซนติเมตร

t คือ ช่วงเวลาที่มีการเปลี่ยนแปลงฟลักซ์แม่เหล็กเกิดขึ้น เป็นวินาที

จะเห็นได้ว่ายิ่งจำนวนรอบของขดลวดไพรมารี่มีค่าน้อยลงค่าความหนาแน่นฟลักซ์ที่เกิดขึ้นจะยิ่งมีค่ามากซึ่งการลดจำนวนรอบของขดไพรมารี่ลง จะทำให้สามารถใช้ลวดทองแดงขนาดใหญ่ขึ้นได้และสามารถผ่านกระแสได้สูงทำให้หม้อแปลงให้กำลังได้สูงขึ้นอย่างไรก็ตามหากความหนาแน่นฟลักซ์แม่เหล็กมีค่าเพิ่มขึ้นจนถึงจุดอิ่มตัวจะทำให้แรงดันตกคร่อมขดไพรมารี่มีค่าลดลงอย่างรวดเร็วแรงดันอินพุทจะไปตกคร่อมที่เพาเวอร์ทรานซิสเตอร์ขณะที่นำกระแสสูงๆแกนทำให้เพาเวอร์ทรานซิสเตอร์พังและเสียหายได้ และความหนาแน่นฟลักซ์แม่เหล็กมีค่าสูงจะทำให้เกิดการสูญเสียภายในแกนสูงขึ้นอีกด้วย ดังนั้นการกำหนดค่าความหนาแน่นฟลักซ์แม่เหล็กสูงสุดที่ยอมให้เกิดในแกนเฟอร์ไรต์ของหม้อแปลงขณะทำงานจึงมีข้อคำนึงอยู่ถึง 2 ประการคือ

1. แกนเฟอร์ไรต์จะต้องไม่อิ่มตัวขณะทำงาน

2. ค่าความหนาแน่นฟลักซ์แม่เหล็กสูงสุดที่เกิดขึ้นในแกนขณะทำงานจะต้องเกิดการสูญเสียในแกนเฟอร์ไรต์ที่ต่ำสุด

4.4 การเลือกขนาดแกนเฟอร์ไรต์ที่เหมาะสม

การใช้แกนเฟอร์ไรต์ที่มีขนาดใหญ่เกินไปสำหรับหม้อแปลงสวิตชิ่ง จะเป็นการสิ้นเปลืองค่าใช้จ่ายโดยไม่จำเป็นส่วนการใช้แกนเฟอร์ไรต์ที่มีขนาดใหญ่เกินไป ขดลวดและแกนเฟอร์ไรต์จะร้อนทำให้ทำงานที่เหมาะสมสำหรับแกนเฟอร์ไรต์ขนาดต่างๆ พิจารณาได้จากหน้าตัดของแกน (A_e)และขนาดช่องสำหรับพันขดลวดของบ๊อบบิ้น (A_w) โดยอาจคำนวณได้จากสมการต่างๆ ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สำหรับแกนที่ใช้กับหม้อแปลงของฟอร์เวิร์ดคอนเวอร์เตอร์

$$P = \frac{0.5\Delta B(max).f.Ae.Aw}{D} * 10^{-3}$$

- สำหรับแกนที่ใช้กับหม้อแปลงของพุช-พูลคอนเวอร์เตอร์

$$P = \frac{\Delta B(max).f.Ae.Aw}{D} * 10^{-3}$$

- สำหรับแกนที่ใช้กับหม้อแปลงของฮาล์ฟบริจด์และฟูลคอนเวอร์เตอร์

$$P = \frac{1.4B(max).f.Ae.Aw}{D} * 10^{-3}$$

โดยที่ B(max) = ค่าความหนาแน่นฟลักซ์สูงสุดในแกน เฟอร์ไรต์เป็นเกาส์

f = ค่าความถี่การทำงานของแกนเฟอร์ไรต์ เป็นเฮิรตซ์

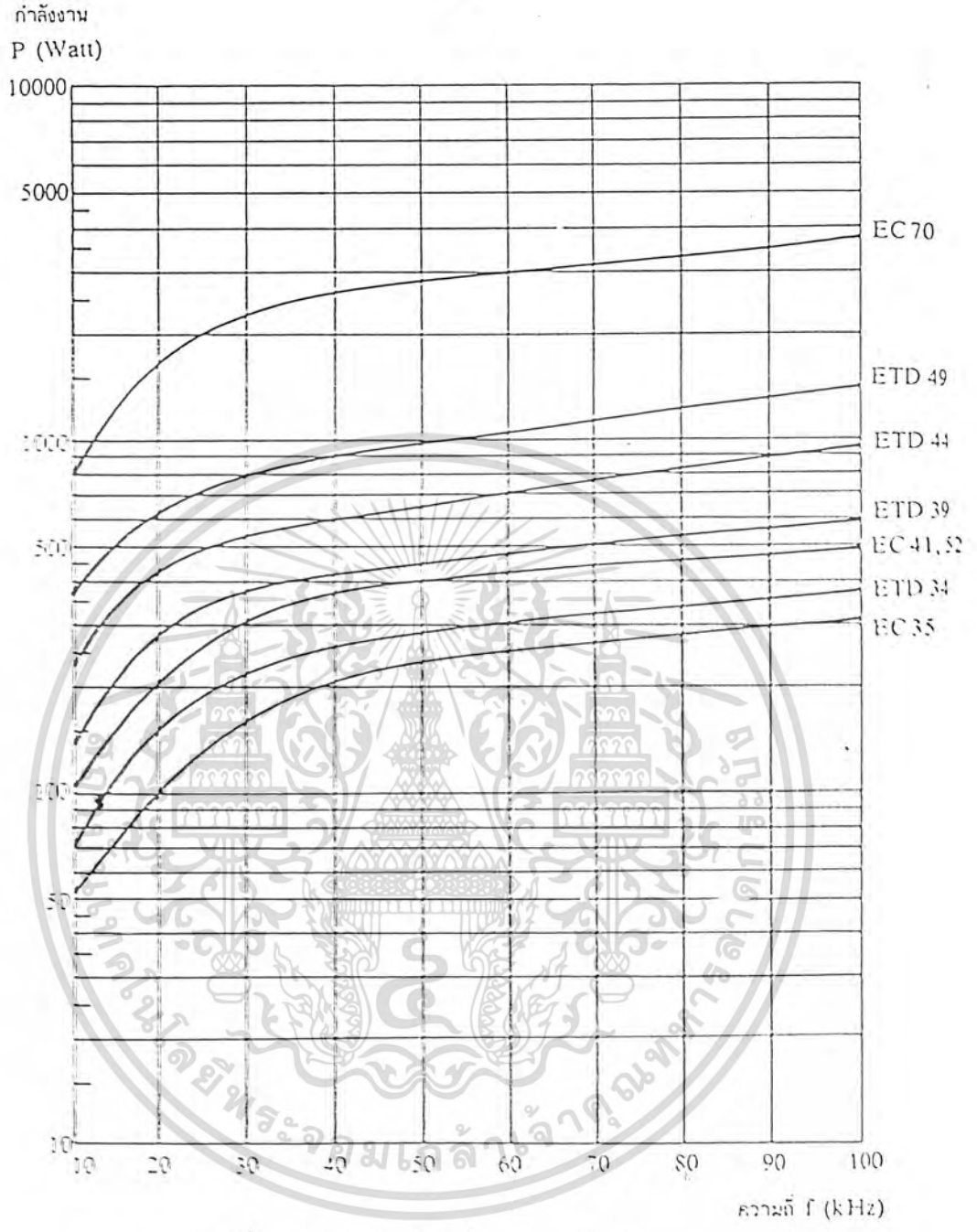
Ae = พื้นที่หน้าตัดของแกนเฟอร์ไรต์ เป็นตารางเซนติเมตร

Aw = พื้นที่ช่องสำหรับพันขดลวดของบ็อบบิ้น เป็นตารางเซนติเมตร

D = ค่าความหนาแน่นกระแสในขดไพรมารี่ เป็นเซอร์คูลาร์มิล/แอมป์

รูปที่ 2-5 แสดงค่ากำลังที่เหมาะสมสำหรับแกนขนาดต่างๆ ในการใช้งานที่ความถี่ 20 KHz ถึง 100 KHz ซึ่งคำนวณได้จากสมการที่ผ่านมาโดยกำหนดค่าความหนาแน่นของกระแส D ไว้ที่ 500 เซอร์คูลาร์มิล/แอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-5 แสดงค่ากำลังที่เหมาะสมสำหรับแกนเฟอร์ไรท์
ขนาดต่างๆ เมื่อใช้กับอาล์ฟบริจด์และฟูลคอนเวอร์เตอร์

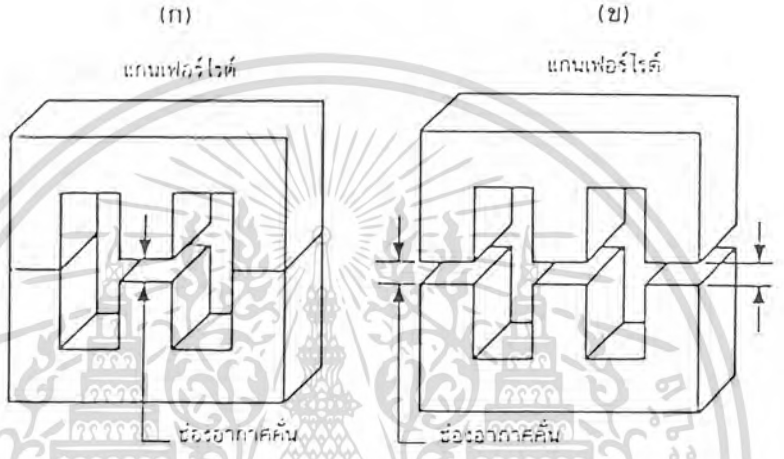
4.5 ช่องอากาศคั่นทางเดินแม่เหล็กในแกนเฟอร์ไรต์ (Air Gap)

การกำหนดช่องอากาศคั่นทางเดินแม่เหล็กในแกนเฟอร์ไรต์ (Air Gap) ในแกนเฟอร์ไรต์เป็นวิธีการอย่างหนึ่งที่ใช้ป้องกันการอิ่มตัวบนแกนเฟอร์ไรต์ และช่วยให้การสะสมพลังงานของขดลวดในหม้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงสวิตชิ่งมีค่าเพิ่มขึ้นได้ด้วย อย่างไรก็ตามช่องอากาศคั่นแกนเฟอร์ไรต์จะทำให้เกิดการแพร่กระจายสัญญาณรบกวน EMI ออกมา และอาจรบกวนอุปกรณ์ภายนอกได้เช่นกัน

สำหรับแกนเฟอร์ไรต์แบบ EE,EI,ETD และ POT สามารถกำหนดลักษณะของช่องอากาศคั่นในแกนได้ 2 ลักษณะดังรูปที่ 4-6 (ก) และ (ข) คือการกำหนดช่องอากาศที่คั่นแกนกลางอย่างเดียว และการคั่นแกนด้วยช่องอากาศระหว่างคู่ประกบ



รูปที่ 4-6 แสดงการกำหนดช่องอากาศคั้น le ที่แกนกลาง(ก) และการคั่นช่องอากาศ le ระหว่างคู่ประกบของแกนเฟอร์ไรต์(ข)

การคั่นแกนกลางด้วยช่องอากาศระหว่างคู่ประกบสามารถทำได้ง่ายกว่าการคั่นช่องอากาศที่แกนกลาง ซึ่งทำได้โดยการใช้แผ่นฉนวนที่มีความหนาเป็นครึ่งหนึ่งของระยะช่องอากาศคั่นที่ต้องการนำมาคั่นระหว่างแกนนอกของคู่ประกบ ส่วนการกำหนดช่องอากาศที่คั่นแกนกลางต้องสั่งโดยตรงจากผู้ผลิตแกนเฟอร์ไรต์หรือขัดแกนกลางออกเองเพื่อให้ได้ระยะช่องอากาศคั้นตามต้องการ

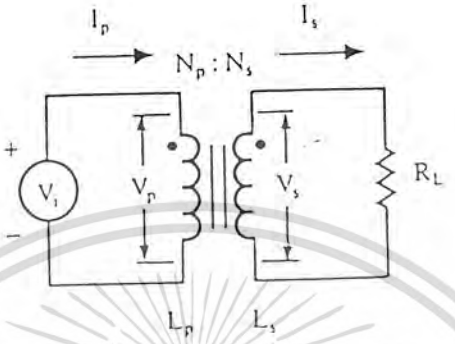
มีข้อสังเกตคือ การคั่นช่องอากาศระหว่างคู่ประกบความหนาแน่นของแผ่นฉนวนคั่นที่ใช้จะมีค่าเพียงครึ่งหนึ่งของระยะช่องอากาศคั่นที่ต้องการเท่านั้น เนื่องจากช่องอากาศที่เกิดขึ้นจะคั้นทางเดินฟลักซ์แม่เหล็กถึงสองครั้งในแกน ดังนั้นระยะช่องอากาศคั่นที่ได้จึงเป็นผลรวมของระยะช่องอากาศที่เกิดขึ้นทั้งหมด

4.6 ความสัมพันธ์ระหว่างขดไพรมารี่และขดเซคั่นดารี่ของหม้อแปลงสวิตชิ่ง

หม้อแปลงสวิตชิ่งจะมีความสัมพันธ์ของขดไพรมารี และเซคั่นดารี่เป็นไปตามทฤษฎีของหม้อแปลงทั่วไป ผลของจำนวนรอบและค่าของแรงดันที่เกิดขึ้นในวงจรจากรูปที่ 4-7 จะเป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{Vp}{Vs} = \frac{Np}{Ns} = \frac{Is}{Ip}$$



รูปที่ 4-7 แสดงความสัมพันธ์ฐานของหม้อแปลง

และ $Np/Ns = \sqrt{(Lp/Ls)}$

เมื่อ Np คือ จำนวนรอบของขดไพรมารี่

Ns คือ จำนวนรอบของขดเซคั้นดารี่

Vp คือ ค่าแรงดันตกคร่อมขดไพรมารี่

Vs คือ ค่าแรงดันตกคร่อมขดเซคั้นดารี่

Lp คือ ค่าความเหนี่ยวนำของขดไพรมารี่

Ls คือ ค่าความเหนี่ยวนำของขดเซคั้นดารี่

Ip คือ ค่ากระแสที่ไหลผ่านขดไพรมารี่

Is ค่ากระแสที่ไหลผ่านขดเซคั้นดารี่

มีข้อสังเกตคือ แรงดัน Vp เป็นค่าแรงดันตกคร่อมขดไพรมารี่ซึ่งเกิดจากการเปลี่ยนแปลงของฟลั๊กซ์แม่เหล็กภายในแกนของหม้อแปลงเนื่องจากมีกระแสไหลผ่านขดไพรมารี่ ไม่ใช่ค่าแรงดันอินพุท Vi โดย Vp จะมีค่าเป็นปลามสมการ

$$Vp = Np.Ae(dB/dt) * 10^{-8}$$

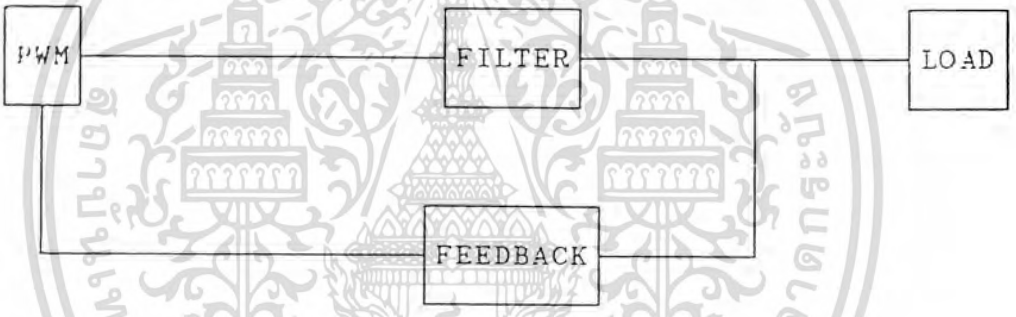
และค่า Vp ที่เกิดขึ้นจะมีค่าใกล้เคียงกับค่า Vi แต่ถ้าแกนเฟอร์ไรต์เกิดการอิ่มตัว อัตราการเปลี่ยนแปลงของฟลั๊กแม่เหล็ก (dB/dt) จะมีค่าน้อยหรือเป็นศูนย์ แรงดันตกคร่อม Vp จะมีค่าลดลงอย่างรวดเร็วเหมือนกับเกิดการลัดวงจร และจะมีผลต่อการทำงานของหม้อแปลงและวงจรที่เกี่ยวข้องด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
วงจรป้อนกลับ (Feed Back)

5.1 การควบคุมวงจรภายในอินเวอร์เตอร์

ส่วนของวงจรป้อนกลับเป็นส่วนที่ใช้ในการปรับค่าของเอาท์พุท ที่จะจ่ายให้กับโหลดอยู่ในขนาดที่ขนาดค่าที่ใกล้เคียงจะคงที่ กล่าวคือเพื่อที่จะให้เอาท์พุทออกมานั้นมีเรกูเลชั่น (Regulation) ที่ดีนั้นเอง ในขณะที่โหลดมีการเปลี่ยนแปลงซึ่งในโครงงานนี้จะควบคุมแรงดันเอาท์พุทให้คงที่โดยการควบคุมระดับแรงดันไฟฟ้าภายในวงจรอินเวอร์เตอร์ ซึ่งจะทำได้โดยการปรับค่าความกว้างของพัลส์ให้มีความกว้างเพิ่มขึ้นเมื่อระดับแรงดันเอาท์พุทลดลง และปรับความกว้างของพัลส์ให้แคบลงเมื่อเอาท์พุทมีค่ามาก ขึ้นกว่าปกติ จากรูปที่ 5-1 แสดงหลักการเบื้องต้นของการควบคุมแรงดันแบบลูปปิด (Closed loop)

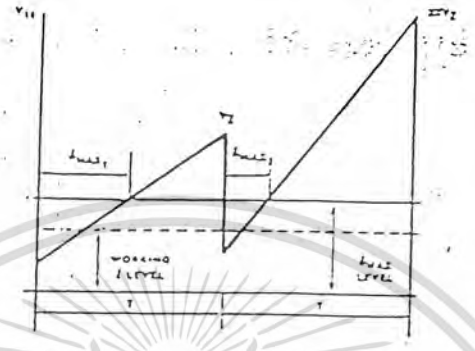


รูปที่ 5-1 แสดงหลักการเบื้องต้นของวงจรลูปปิด

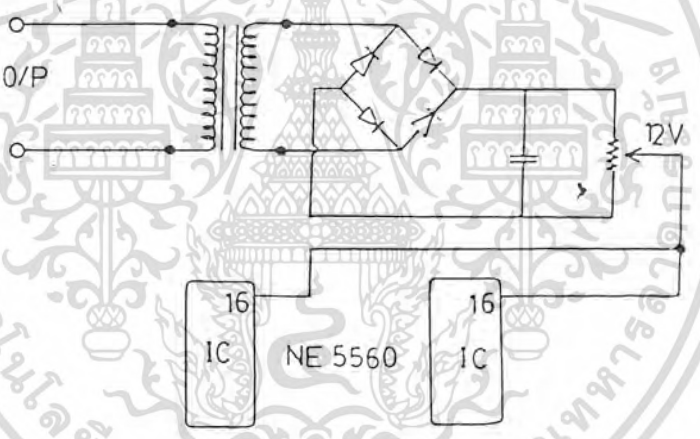
ซึ่งควบคุมแบบลูปปิดใน โครงงานนี้จะใช้ไอซี NE5560 ซึ่งเป็นไอซีที่สร้างสัญญาณพัลส์วิดท์นั้นเองโดยจะทำการตรวจจับแรงดันทางเอาท์พุทโดยผ่านหม้อแปลง เพื่อลดระดับของแรงดันลงมาแล้วนำมาผ่านวงจรบริจด์ไดโอด (Bridge diode) แล้วผ่านคาปาซิเตอร์อีกทีหนึ่งเพื่อทำให้ระดับแรงดันที่ได้ออกมาเรียบ เมื่อได้แรงดันไฟกระแสตรงก็จะนำมาป้อนยังขา 16 ของไอซีเบอร์ NE5560 โดยที่ขา 16 จะเป็นขาที่ใช้สำหรับควบคุมขนาดของสัญญาณฟันเลื่อยให้มีขนาดเพิ่มขึ้นหรือลดลง คือถ้าแรงดันไฟตรงที่เข้ามาที่ขานี้มีค่าสูงขึ้นก็จะทำให้ขนาดของสัญญาณฟันเลื่อยมีค่าลดลงเป็นผลให้ความกว้างสัญญาณพัลส์มีค่าเพิ่มขึ้นและเมื่อระดับแรงดันไฟตรงลดลงก็จะทำให้ความสูงของสัญญาณฟันเลื่อยเพิ่มขึ้นเป็นผลให้ความกว้างของสัญญาณพัลส์แคบลง และจะไม่ทำให้ความถี่ของสัญญาณฟันเลื่อยที่ใช้อยู่เปลี่ยนไป โดยระดับแรงดันไฟตรงที่ต่ำสุดที่สามารถจะทำให้เกิดการปรับระดับความสูงของสัญญาณฟันเลื่อยคือที่ 8.4 โวลท์ หรือที่ V_Z โดยในโครงงานนี้จะใช้ระดับแรงดันไฟตรงที่ 12 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจึงสามารถปรับระดับความกว้างของพัลส์สูงสุดที่ค่า 8.4 โวลท์ นั้นเองจากในรูปที่ 5-2 จะแสดงการทำงานของไอซีตัวนี้



รูปที่ 5-2 แสดงกราฟในการทำงานของไอซีตัวนี้

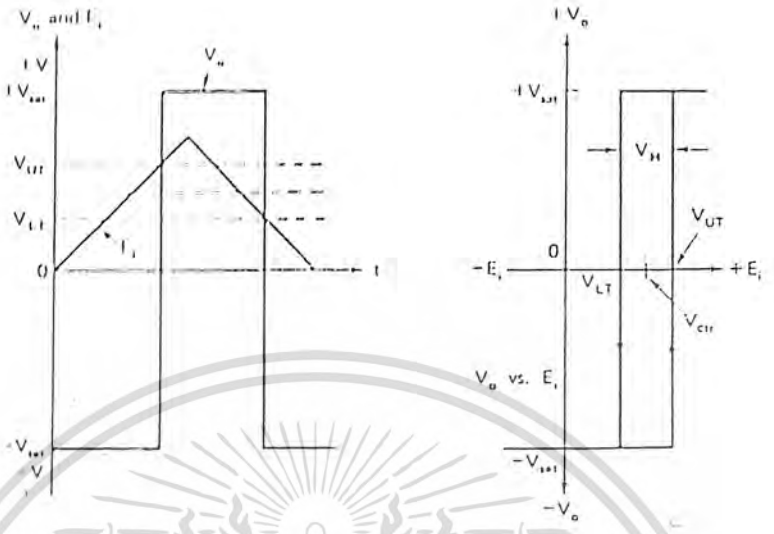


รูปที่ 5-3 แสดงวงจรในการควบคุมแบบสูงปิด

5.2 วงจรตรวจสอบระดับแรงดันของแบบเตอรี่

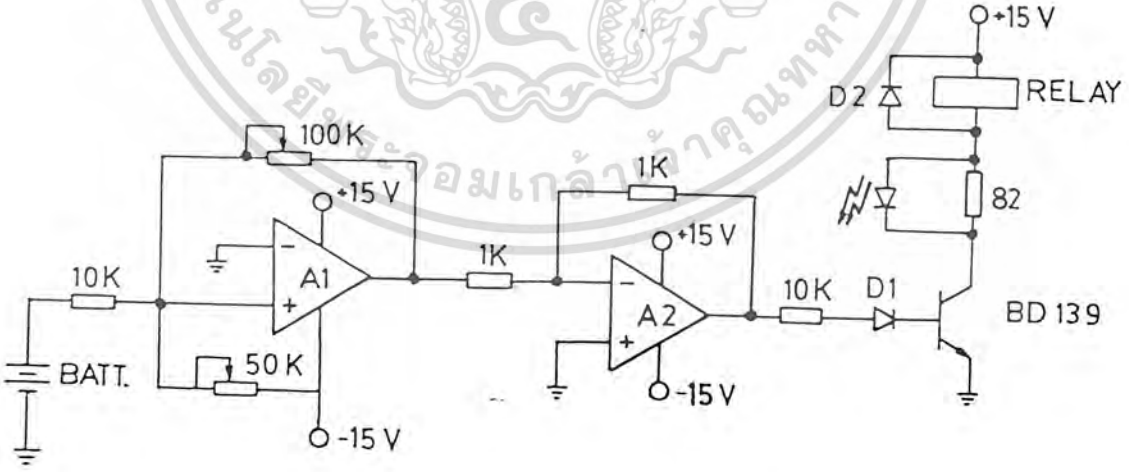
การทำงานของวงจรดังแสดงในรูปที่ 5-4 โดยสมมุติว่า Ei เป็นสัญญาณรูปสามเหลี่ยม (เพื่อให้ง่าย ต่อการอธิบายการทำงานของวงจร) จากรูปจะเห็นได้ว่าเมื่อ Ei มากกว่า V_{UT} ขณะที่ V_{O1} จะเท่ากับ +V และเมื่อที่ Ei มีค่าน้อยกว่า V_{LT} จะเห็นว่า V_{O1} จะเท่ากับ -V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5-4 แสดงความสัมพันธ์ระหว่าง Vo และ Ei

เมื่อนำสัญญาณ V_{01} ผ่านเข้าวงจรอินติ้งแอมป์ (Inverting Amp) ดังรูปที่ 5-5 เอาท์ของ V_{02} จะกลับเฟสกับ V_{01} นั้นคือเมื่อแบบเตอร์รี่มีแรงดันต่ำกว่า V_{LT} ทรานซิสเตอร์จะนำกระแสซึ่งรีเลย์ (Relay) ก็จะทำงานคอนแทคที่ต่อด้านเอาท์พุทก็จะตัดโหลดออกจากวงจรและเมื่อประจุแบตเตอร์รี่จนกระทั่งแรงดัน V_{UT} ทรานซิสเตอร์ก็จะหยุดทำงานคอนแทนของรีเลย์ก็จะต่อกับโหลดตามปกติ



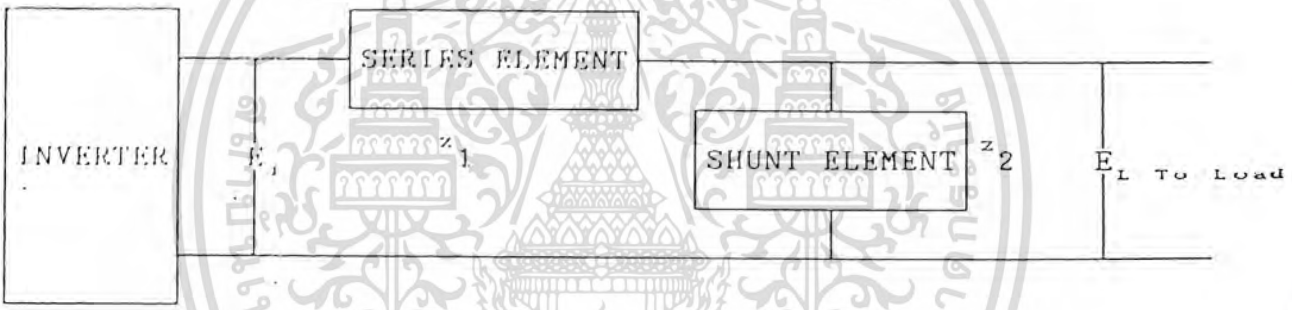
รูปที่ 5-5 วงจรตรวจสอบแรงดันแบตเตอร์รี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การออกแบบวงจรกรองความถี่

6.1 วงจรกรองความถี่ (Filter circuit)

เนื่องจากอุปกรณ์ทางอิเล็คทรอนิกส์เมื่อเกิดการสวิทช์จะมีผลของฮาร์โมนิกส์ออกมาฮาร์โมนิกส์เป็นสัญญาณรบกวนอุปกรณ์ไฟฟ้าที่สวิทช์ต่อร่วมกันอยู่ ดังนั้นวงจรกรองความถี่จึงถูกนำนำมาใช้สำหรับการปรับปรุงสัญญาณทางด้านเอาท์พุทของอินเวอร์เตอร์ไม่ว่าเอาท์พุทจะเป็นของอินเวอร์เตอร์ที่ใช้ในการควบคุมแบบใดก็ตามจะมีสาร์โมนิกส์ปะปนอยู่ด้วยเสมอ และจะขึ้นอยู่กับว่าอินเวอร์เตอร์ชนิดใดจะให้สาร์โมนิกส์ต่ำกว่ากันมากกว่ากัน เพราะว่าสาร์โมนิกส์ลำดับต่ำจะมีผลต่อความถี่ธรรมชาติมากกว่าต่ำกว่าสูง ซึ่งวิธีการกำจัดสาร์โมนิกส์ทำได้โดยการนำสัญญาณผ่านวงจรกรองความถี่ (Filter) ซึ่งจะมีทั้งชุดอนุกรม (Serise element) และชุดขนาน (shunt element) ดังในรูปที่ 6-1



รูปที่ 6-1 แสดงลักษณะทั่วไปของวงจรกรองความถี่

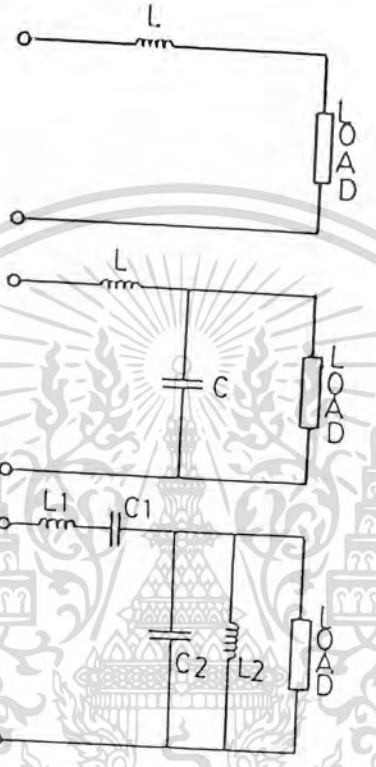
โดยที่วงจรทางชุดขนานจะพิจารณากระแสฮาณร์โมนิกส์ และวงจรทางชุดอนุกรมจะใช้วิเคราะห์แรงดันฮาร์โมนิกส์ที่เกิดขึ้น ซึ่งการลดค่าฮาร์โมนิกส์ ซึ่งขึ้นอยู่กับอัตราส่วนของค่าอิมพีแดนซ์ของโหลดกับค่าอิมพีแดนซ์ของวงจรขนาน กล่าวคือ

$$E_L / E_1 = Z_0 / (Z_1 + Z_2)$$
$$Z_0 = (Z_2 * Z_L) / (Z_2 + Z_L)$$

เนื่องจากเอาท์พุทเร็กติฟายท์ (Rectifier) จะมีทั้งส่วนที่เป็น AC. และ DC. ปะปนกันอยู่ และส่วนที่มี AC. ปะปนนี้จะเรียกว่าริปเปิ้ลแฟคเตอร์ (Ripple factor, γ) ค่าริปเปิ้ลส่วนนี้เราไม่ต้องการ ดังนั้นจึงต้องมีวงจรกำจัดส่วนนี้ออกไปเรียกว่าวงจรฟิลเตอร์ซึ่งจะมีอุปกรณ์ 2 ชนิด มาต่อทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้าน เลาท์พุทของวงจรคือคอยด์ (Inductance ,L) โดยต่ออนุกรมกับวงจรคาปาซิแตนซ์ (Capacitance , C) และจะต่อขนานกับวงจรโหลดอีกทีหนึ่ง ดังรูปที่ 6-2 โดยวงจรกรองความถี่จะมีหลาย แบบด้วยกัน ดังนี้

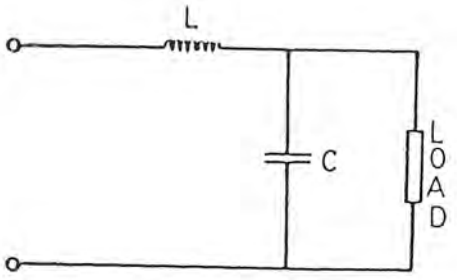


รูปที่ 6-2 ก) Simple output , ข) Second order , ค) Resonant tap

6.2 การออกแบบวงจรกรองความถี่

วงจรฟิลเตอร์นี้เราจะใช้คาปาซิเตอร์หรืออินดักเตอร์แต่เพียงอย่างเดียวก็ได้ แต่ค่าเอาท์พุทที่ได้จะไม่ดีเท่ากับการใช้คาปาซิเตอร์และอินดักเตอร์มาผสมกัน โดยคาปาซิเตอร์จะช่วยลดค่าริปเปิ้ลในขณะที่โหลดมีค่าต่ำส่วนของอินดักเตอร์จะช่วยลดค่าริปเปิ้ลในขณะที่โหลดสูงๆ ดังนั้นเราจึ้งนำคุณสมบัติทั้งสองนี้มาใช้ร่วมกันเป็นวงจร Low pass filter โครงงานนี้จะใช้วงจรกรองแบบ Low pass และจะมีค่าอุปกรณ์ที่จะพิจารณาเพียงแค่อินดักแตนซ์ และคาปาซิแตนซ์ดังในรูปที่ 6-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6-3 วงจร Low pass filter

จากความสัมพันธ์

$$2\pi f = 1 / (LC)$$

ในการคำนวณเราจะต้องกำหนดค่าคาปาซิแตนซ์ออกมาก่อน จากนั้นจึงนำไปแทนค่าจะได้

$$L = 1 / (4\pi^2 f^2 C) \text{ เฮนรี่}$$

เมื่อรู้ค่าอินดักแตนซ์และกระแสที่ผ่านอินดักแตนซ์ จากนั้นจะนำไปหาค่าแรงดันจาก

$$V = I * X_L = I * (2\pi fL) \quad \text{โวลท์}$$

เมื่อรู้ค่าแรงดัน จากนั้นเราก็หาค่าจำนวนรอบจาก

$$V = 4.44fNBA \text{ โวลท์}$$

จากนั้นเราก็หาขนาดของแกนอากาศ โดย

$$L = \mu_0 N^2 A / 2g$$

โดยที่ μ 0: $4\pi * 10^{-7}$

A : พื้นที่หน้าตัดของแกนเหล็ก ตารางเมตร

g : ความกว้างของช่องอากาศ เมตร

ข้อควรจำ ในการออกแบบวงจรกรองความถี่โดยวิธีการคำนวณข้างต้นแม้ได้ค่าต่าง ๆมาแล้วก็ตามแต่ในทางปฏิบัติเราจำเป็นต้องปรับค่าคาปาซิเตอร์ และอินดักเตอร์ให้เหมาะสมด้วย

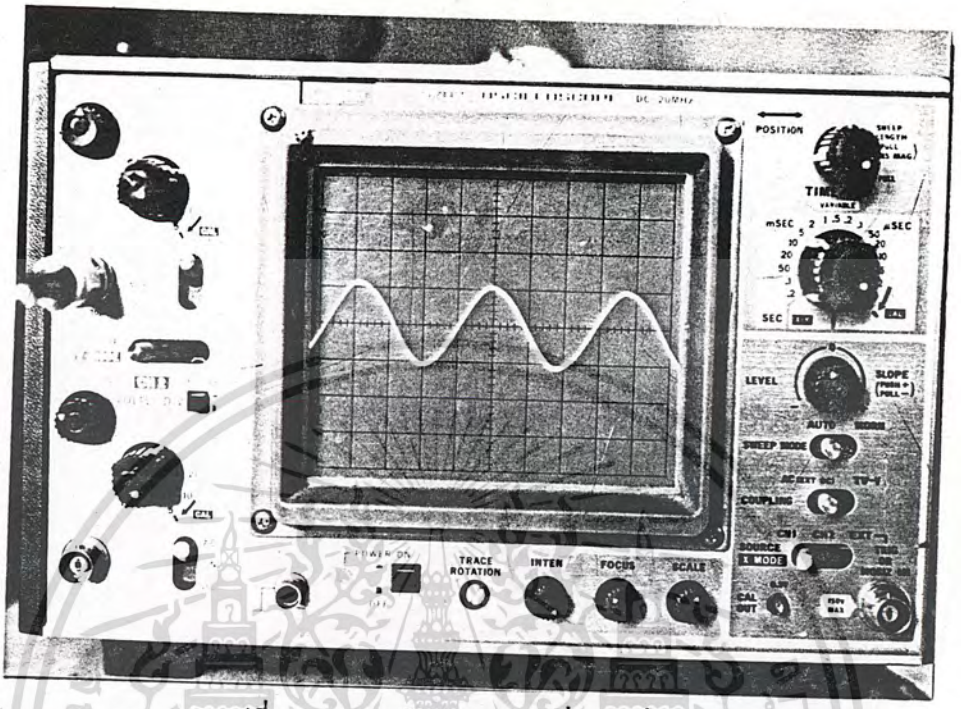
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
ผลที่ได้จากการทดลอง

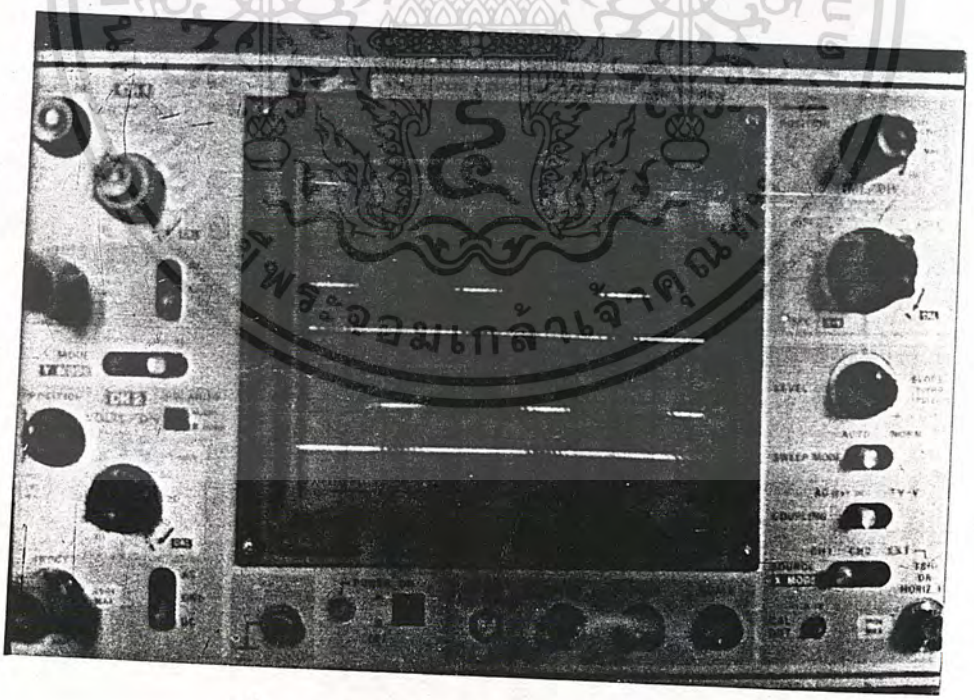
ตารางที่ 1 แสดงผลที่ได้จากการทดลอง

หลอดไฟ (ดวง)	วัตต์ (W)	Vo (Volt)	Io (Amp)	รูปที่ได้แสดง
0	0	220	0	รูปที่ 7-8
1	100	150	0.1	รูปที่ 7-9
2	200	100	0.4	รูปที่ 7-10
3	300	75	0.6	รูปที่ 7-11
4	400	60	1	รูปที่ 7-12
5	500	50	1.15	รูปที่ 7-13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

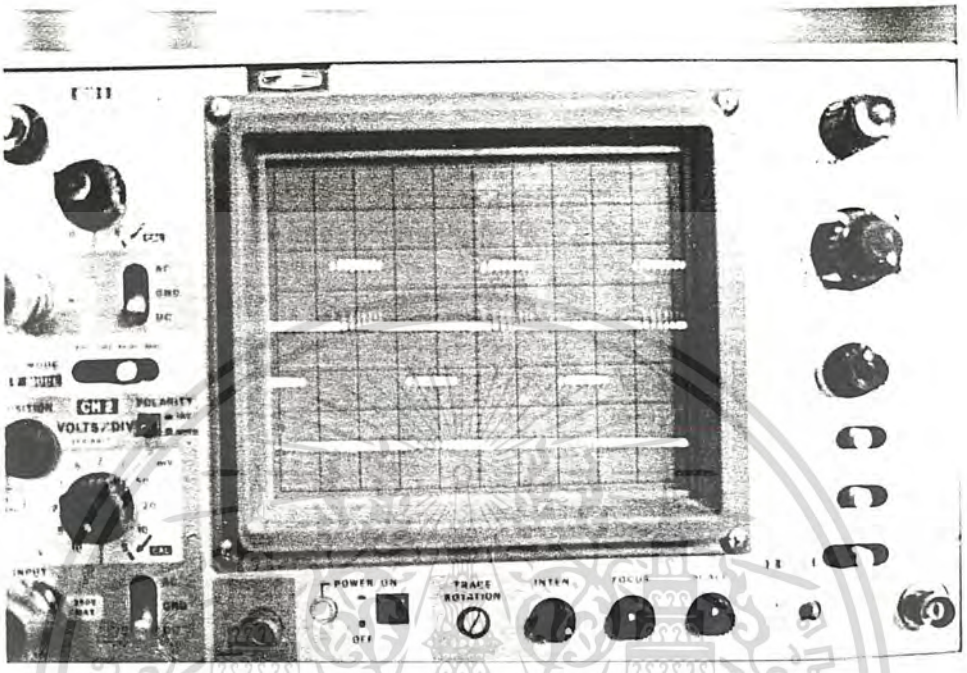


รูปที่ 7-1 แสดงสัญญาณซายน์ที่ความถี่ 50 เฮริทซ์

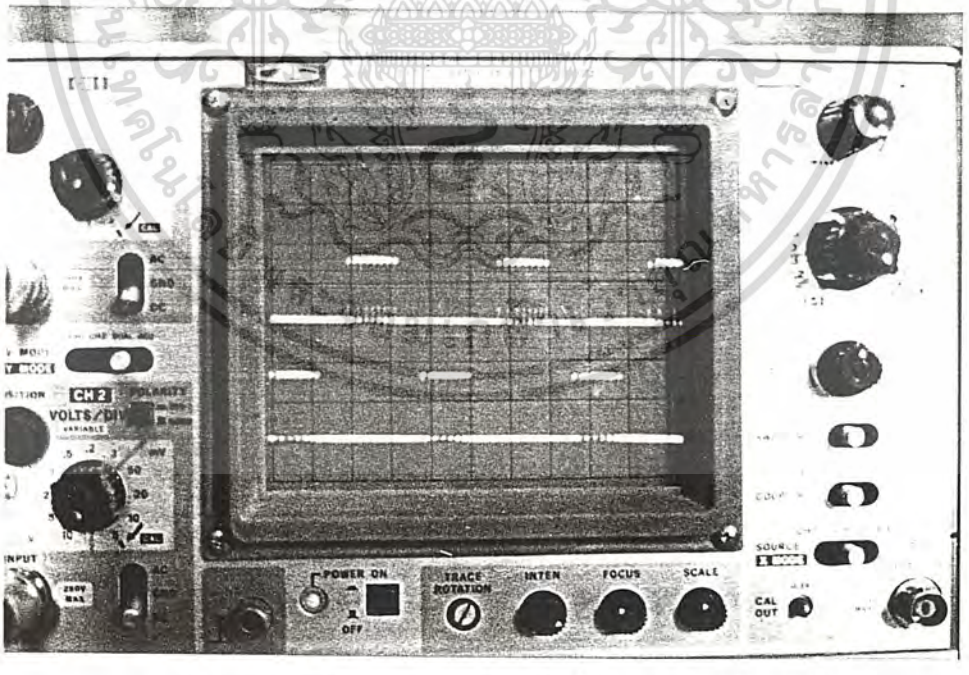


รูปที่ 7-2 แสดงสัญญาณควบคุมที่ได้จากไอซี NE5560

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

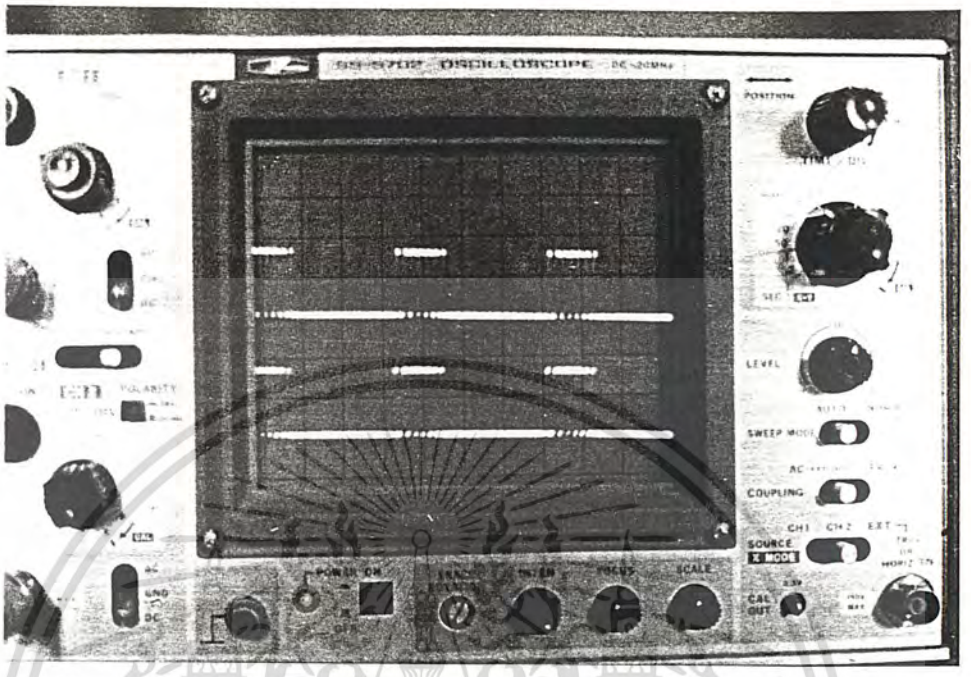


รูปที่ 7-3 แสดงสัญญาณขับมอสเฟทที่ได้จาก IR2110 ชุดที่ 1

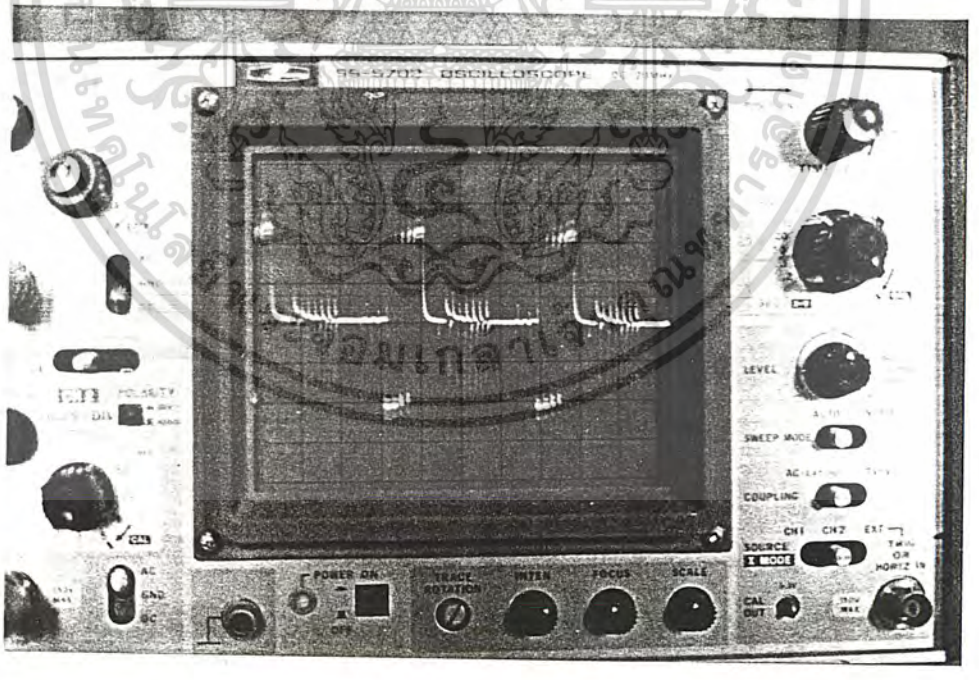


รูปที่ 7-4 แสดงสัญญาณขับมอสเฟทที่ได้จาก IR2110 ชุดที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

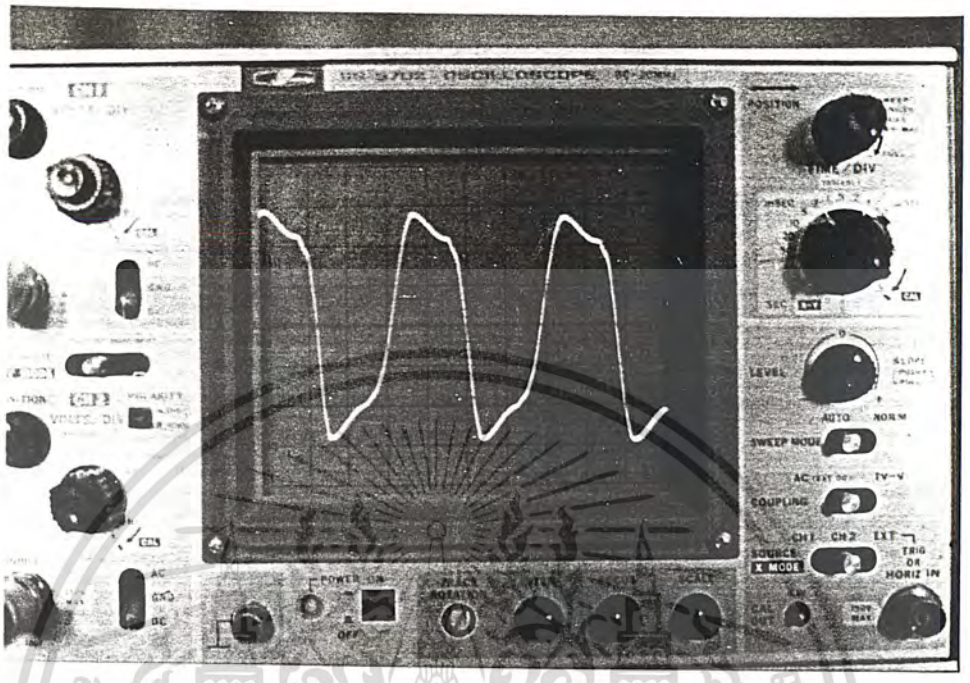


รูปที่ 7-5 แสดงสัญญาณเปรียบเทียบระหว่างไอซี IR2110 ชุดที่ 1 กับ IR2110 ชุดที่ 2

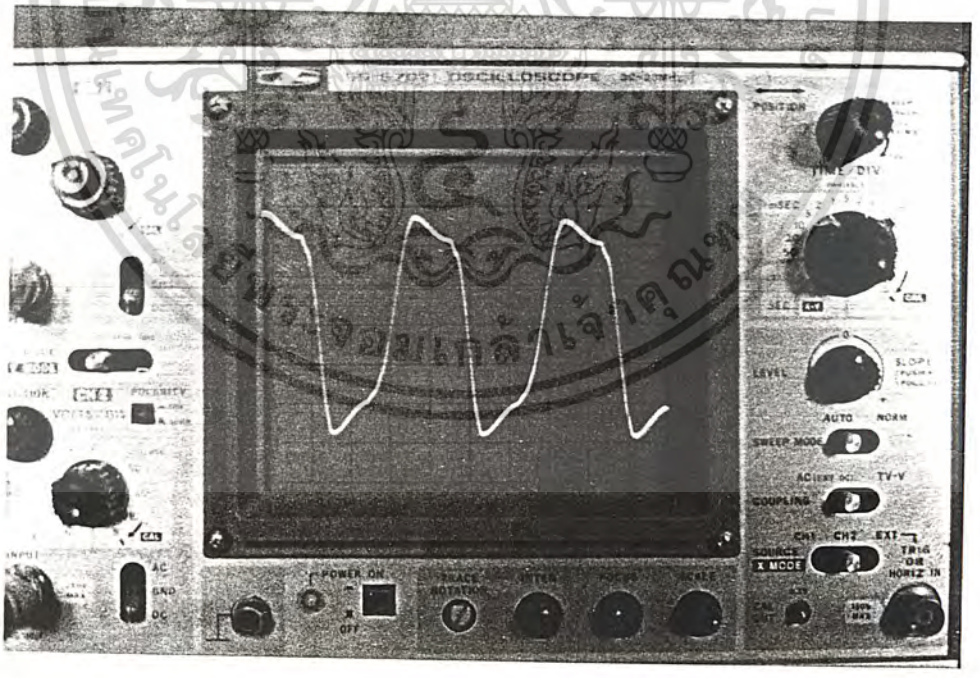


รูปที่ 7-6 แสดงสัญญาณเอาท์พุทของหม้อแปลง ก่อนผ่านวงจรกรองสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

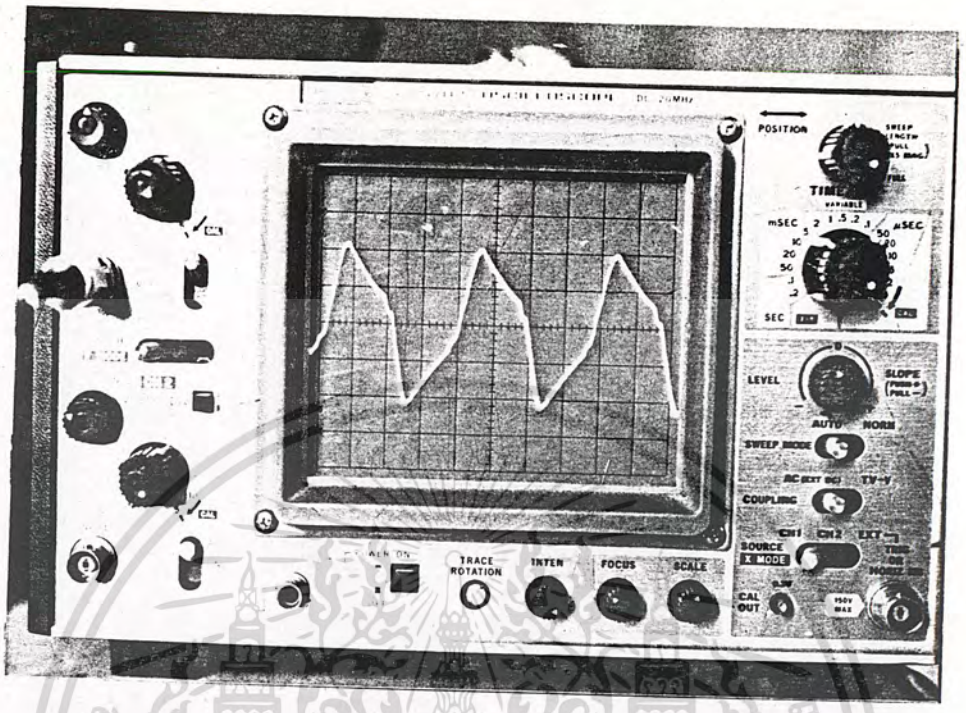


รูปที่ 7-7 แสดงสัญญาณเอาท์พุทของหม้อแปลง หลังผ่านวงจรกรองสัญญาณ

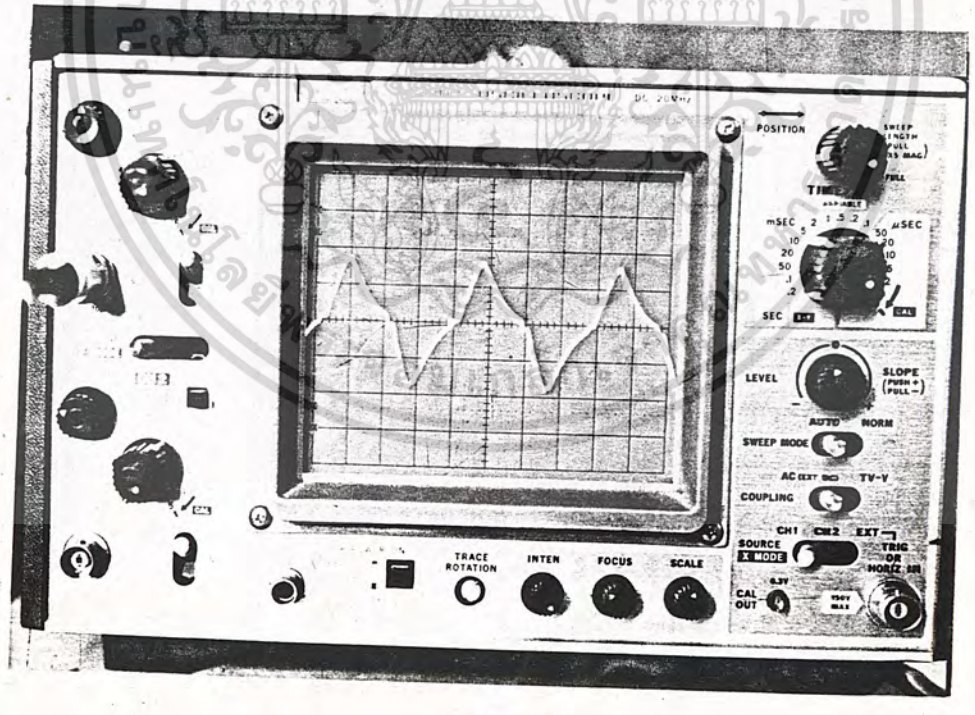


รูปที่ 7-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

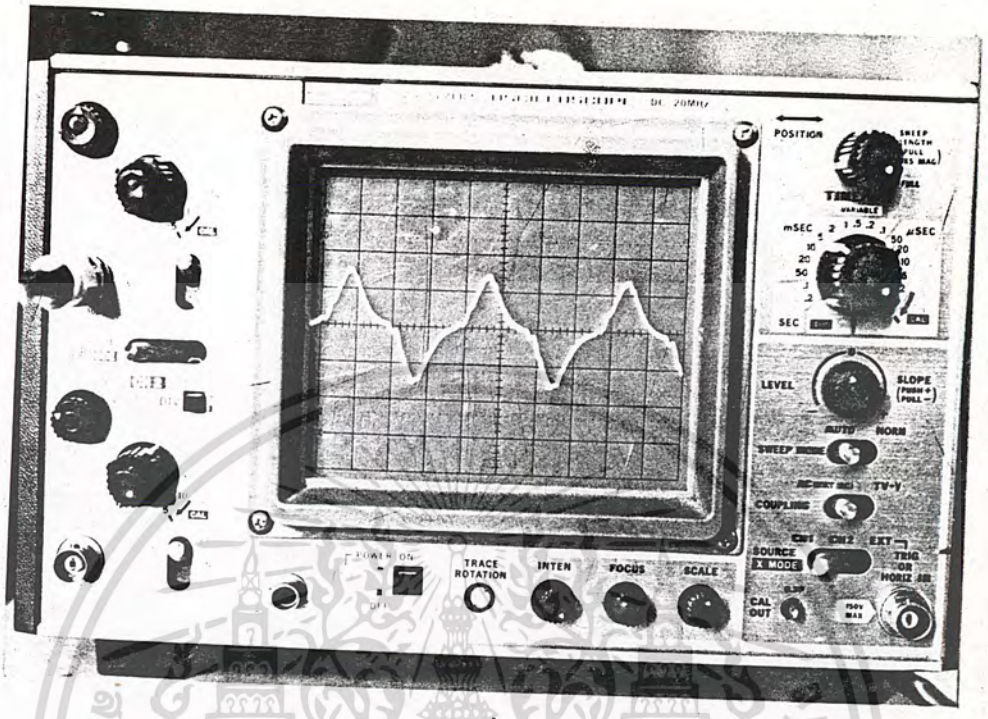


รูปที่ 7-9

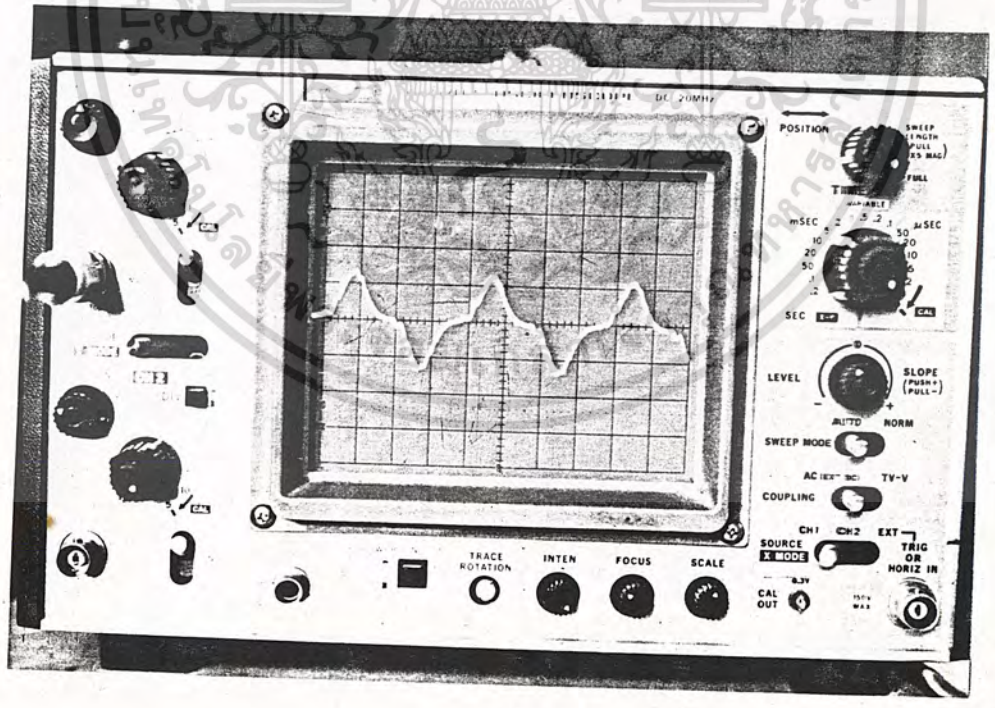


รูปที่ 7-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

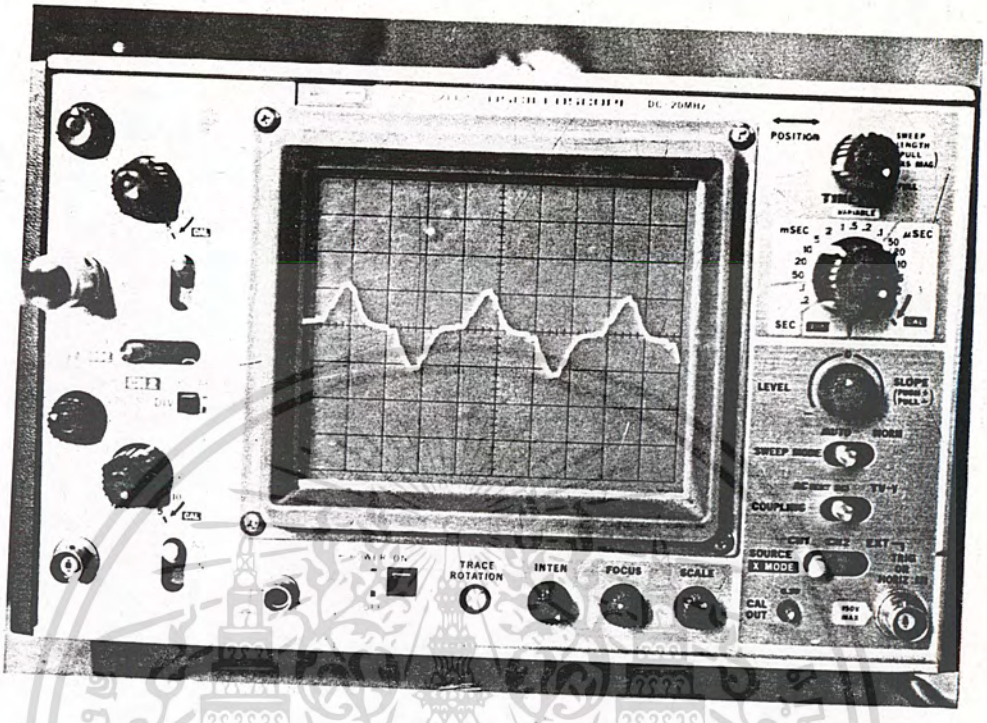


รูปที่ 7-11



รูปที่ 7-12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7-13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
สรุปผลการทดลอง

จากผลการทดลองจะเห็นได้ว่าขณะไม่ได้ต่อโหลด (No Load) สัญญาณเอาท์พุทจะออกมาใกล้เคียงรูปคลื่นซายน์ (Sine Wave) เมื่อทำการต่อโหลดจะเห็นได้ว่าสัญญาณที่ได้จะเปลี่ยนไปและระดับแรงดันของสัญญาณที่ได้มานี้จะมีค่าตกลงเมื่อมีการต่อโหลดมากขึ้นและสัญญาณจะมีการเพี้ยนไปมา และเมื่อมีการควบคุมแบบลูปปิกจะมีเรกกูเลชั่น (Regulation) ของระดับแรงดันที่ดีขึ้นมากแต่แรงดันที่ได้ก็ยะงลดลง

แนวทางในการแก้ไข

1. ในส่วนของเพาเวอร์มอสเฟทเนื่องจากเพาเวอร์มอสเฟทเป็นอุปกรณ์ที่บอบบาง ดังนั้นถ้าหากใช้งานที่พิกัดนาน ๆ อาจทำให้มอสเฟทเสียหายได้ง่าย จึงต้องคำนึงถึงความปลอดภัยของเพาเวอร์มอสเฟทด้วยโดยเพิ่มวงจรสนับเบอร์ป้องกันแรงดันเกินเข้าไป และเนื่องจากอินเวอร์เตอร์ที่ทำอยู่ใช้แรงดันจากแบตเตอรี่ 24 โวลท์ ดังนั้นอินเวอร์เตอร์ที่ใช้กับแรงดันต่ำ ๆ จะทำให้เกิดการสูญเสียมากซึ่งโดยทั่วไปอินเวอร์เตอร์จะใช้แรงดันอินพุท ตั้งแต่ 100 โวลท์ขึ้นไป

2. ควรจะเปลี่ยนเพาเวอร์มอสเฟทเป็นไอจีบีพี (IGBT) เพราะไอจีบีพีเป็นอุปกรณ์ที่เอาข้อดีของเพาเวอร์มอสเฟท และเพาเวอร์ทรานซิสเตอร์มารวมอยู่ในตัวเดียวกัน ดังนี้จึงใช้งานได้อย่างดีที่สุด ซึ่งในปัจจุบันก็นิยมใช้กันอย่างกว้างขวาง

3. ในส่วนของวงจรกรองความถี่ต้องมีการออกแบบคำนวณวงจรเสียใหม่ เพราะแรงดันของเอาท์พุทยังไม่เป็นรูปคลื่นซายน์เวฟที่สมบูรณ์

4. ในส่วนของหม้อแปลงขึ้น (Step Transformer) นอกจากจะต้องพันให้มีอัตราส่วนถึงระดับที่ต้องการแล้วในส่วนของตะฟันก็ควรจะมีการพันอย่างดี เพื่อในเรกกูเลชั่นของหมือแปลงดีมีแรงดันตกน้อยลงเมื่อรับโหลดมาก ๆ

5. ในส่วนของวงจรควบคุมจะมีการเพิ่มเติมในส่วนของการควบคุมกระแสและแรงดันเข้าไปในการควบคุมลูปปิกด้วยเพื่อเพิ่มความปลอดภัยให้กับระบบด้วย

ส่วนของวงจรสวิทช์ชิ่งเพาเวอร์ซัพพลาย สามารถจ่ายแรงดันได้ตามต้องการ คือ +15 โวลท์ ,-15 โวลท์ แต่จะมีเสียงดังเนื่องจากใช้งานที่ความถี่สูง และเกิดจากการพันหม้อแปลงไม่ดีเท่าที่ควร เป็นผลให้เกิดเสียงผ่านออกมาได้ แนวทางแก้ไขก็คือ ควรจะใช้ความถี่ที่ใช้คือ 25 KHz ซึ่งความถี่ที่สูงขึ้นเสียงจะเบากว่านี้ และควรจะพันหม้อแปลงให้ดีกว่านี้ด้วย

จากที่กล่าวมาแล้วข้างต้น ถ้าได้มีการพัฒนาต่อไปก็จะเป็นการเพิ่มประสิทธิภาพให้กับอินเวอร์เตอร์เพื่อที่จะนำไปใช้งานได้อย่างสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHED-MODE POWER SUPPLY CONTROL CIRCUIT NE/SE5560

DESCRIPTION

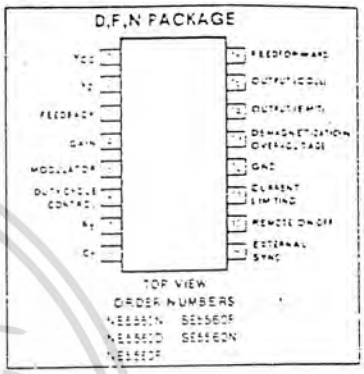
The NE/SE5560 is a control circuit for use in switched mode power supplies. This single monolithic chip incorporates all the control and housekeeping (protection) functions required in switched mode power supplies, including an internal temperature compensated reference source, internal Zener reference, sawtooth generator, pulse width modulator, output stage and various protection circuits.

FEATURES

- Stabilized power supply
- Temperature compensated reference source
- Sawtooth generator
- Pulse width modulator
- Remote on/off switching
- Current limiting
- Low supply voltage protection
- Loop fault protection
- Demagnetization/overvoltage protection
- Maximum duty cycle clamp
- Feed forward control
- External synchronization

PIN CONFIGURATION

D,F,N PACKAGE



TOP VIEW

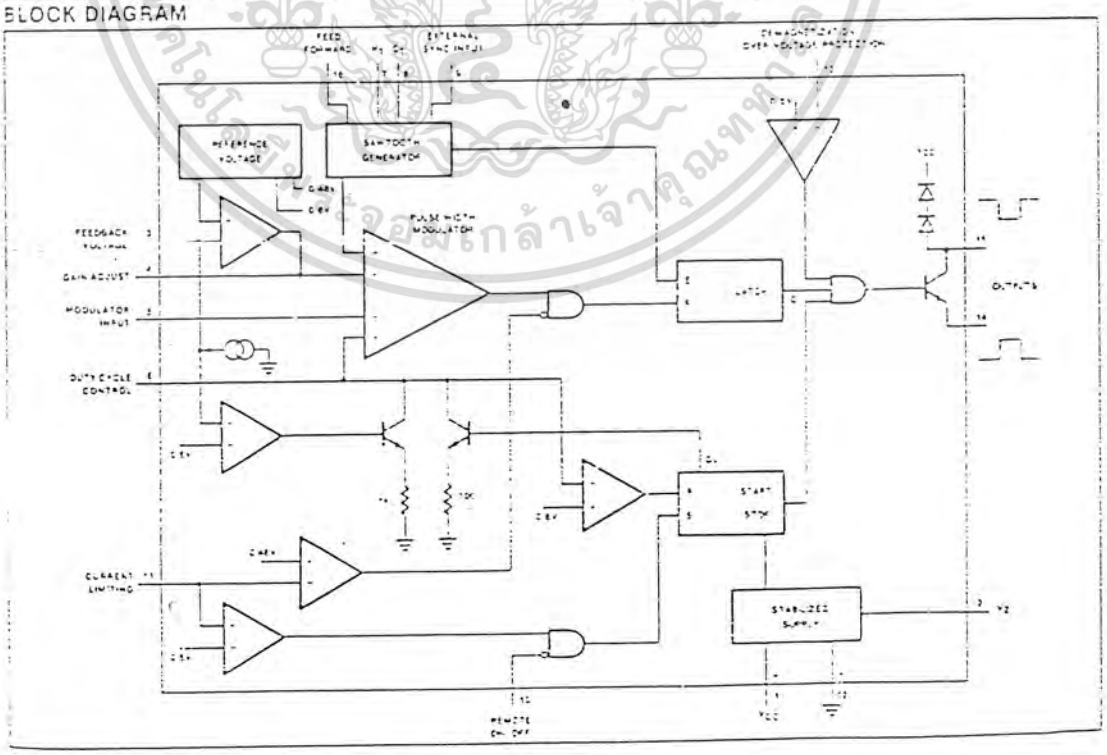
ORDER NUMBERS

NE5560N SE5560F
NE5560D SE5560N
NE5560F

ABSOLUTE MAXIMUM RATINGS

PARAMETER	RATING	UNIT
Supply		
Voltage sourced	+18	V
Current sourced	50	mA
Output transistor		
Output current	40	mA
Collector voltage (Pin 15)	+18	V
Max. emitter voltage (Pin 14)	+5	V
Operating temperature (ambient)		
SE5560	−55 to +125	°C
NE5560	0 to 70	°C
Storage temperature range	−65 to +150	°C

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SWITCHED-MODE POWER SUPPLY CONTROL CIRCUIT NE/SE5560

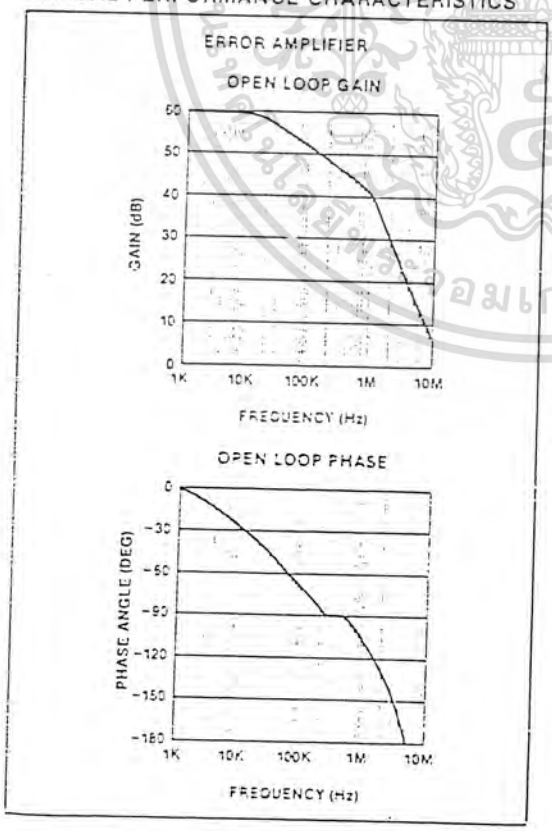
DC ELECTRICAL CHARACTERISTICS (T_A = 25°C, V_{CC} = 12V unless otherwise specified)

PARAMETER	TEST CONDITIONS	SE5560			NE5560			UNIT
		Min	Typ	Max	Min	Typ	Max	
Reference Sections								
Internal reference voltage (V_{ref})	25°C	3.69	3.72	3.81	3.57	3.72	3.95	V
	Over temperature	3.65		3.85	3.53		4.00	V
Temperature coefficient of V_{ref}			-100			-100		ppm/°C
Internal Zener reference (V_Z)	I_Z = -7 mA	7.8	8.4	9.0	7.8	8.4	9.0	V
Temperature coefficient of V_Z			200			-200		ppm/°C
Oscillator Section								
Frequency range	Over temperature	50		100k	50		100k	Hz
Initial accuracy oscillator	R = 5 kΩ		5			5		%
Duty cycle range	f_c = 20 kHz	0		98	0		95	%
Modulator								
Modulation input current	Voltage at Pin 5 = 2V		0.2	20		0.2	20	µA
	Over temperature							
Housekeeping Function								
	at 2V							
Pin 6, input current	Over temperature		0.2	20		0.2	20	µA
Pin 6, duty cycle limit control	(for 50% maximum duty cycle) 15 kHz to 50 kHz	40	50	60	40	50	60	% of duty cycle
	41% of V_Z							
Pin 1, low supply voltage protection thresholds		8	9.0	10.5	8	9.0	10.5	V
Pin 3, feedback loop protection trip threshold		400	600	720	400	600	720	mV
	at 2V							
Pin 3, pull up current	Over temperature	-7	-15	-35	-7	-15	-35	µA
Pin 13, demagnetization/over voltage protection trip on threshold		470	600	720	470	600	720	mV
	at 0.25V							
Pin 13, input current	25°C		0.6	10		0.6	10	µA
	Over temperature			20			20	
Pin 16, feed forward duty cycle control	Voltage at Pin 16 = 2V_Z	30	40	50	30	40	50	% original duty cycle
	at 16V, V_{CC} = 18V							
*Pin 16, feed forward input current	25°C		0.2	5		0.2	5	µA
	Over temperature			10			10	µA
External Synchronization								
Pin 9 off		0		0.8	0		0.8	V
on		2		V_Z	2		V_Z	V
sink current	Voltage at Pin 9 = 0V, 25°C		-85	-100		-85	-125	µA
	Over temperature			-125			-125	µA
Remote								
Pin 10 off		0	0.8		0	0.8		V
on		2	V_Z		2	V_Z		V
	at 0V							
sink current	25°C		-85	-100		-85	-125	µA
	Over temperature			-125			-125	µA
Current Limiting								
Pin 11, I_{IN}	Voltage at Pin 11 = 250 mV, 25°C		-2	-10		-2	-10	µA
	Over temperature			-20			-20	µA
Single pulse inhibit delay	Inhibit delay time for 20% overdrive at 40 mA I_{OUT}		0.7	0.8		0.7	0.8	µs
Trip Levels: Shut down, slow start		0.560	0.600	0.700	0.560	0.600	0.700	V
Current limit		0.400	0.480	0.500	0.400	0.480	0.500	V
Error Amplifier								
Output voltage swing (V_{OH})		5.2		9.5	5.2		9.5	V
Output voltage swing (V_{OL})				0.7			0.7	V
Open loop gain		54	60		54	60		dB
Feedback resistor		10k			10k			Ω
Small signal bandwidth			3			3		MHz

DC ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER	TEST CONDITIONS	SE5560			NE5560			UNIT
		Min	Typ	Max	Min	Typ	Max	
Output Stage								
V_{CE}(SAT) I_C = 40mA				0.5			0.5	V
Output current (pin 15)		40			40			mA
Max emitter voltage (pin 14)		5	6		5	6		V
Supply Voltage/Current								
I_{CC}	I_Z = 0, voltage fed, V_{CC} = 12V, 25°C			10			10	mA
	Over temp.			15			15	mA
V_{CC}	I_{CC} = 10mA, current feed	20		23	19		24	V
V_{CC}	I_{CC} = 30mA, current feed	20		30	20		30	V

TYPICAL PERFORMANCE CHARACTERISTICS



MAXIMUM PIN VOLTAGES

NE5560	
FUNCTION	MAXIMUM VOLTAGE
1. V_{CC}	+ 18 volts
2. V_Z	Do not force (28.4V)
3. Feedback	V_Z
4. Gain	
5. Modulator	V_Z
6. Duty Cycle Control	V_Z
7. R_T	Current force mode
8. C_T	
9. External Sync	V_Z
10. Remote On/Off	V_Z
11. Current Limiting	V_{CC}
12. GND	GND
13. Demagnetization/Overvoltage	V_{CC}
14. Output (Emit)	V_Z
15. Output (Collector)	V_{CC} + 2Vbe
16. Feed forward	V_{CC}

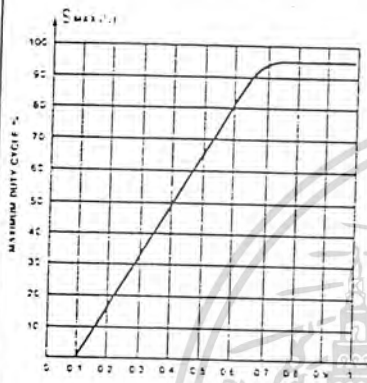
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SWITCHED-MODE POWER SUPPLY CONTROL CIRCUIT

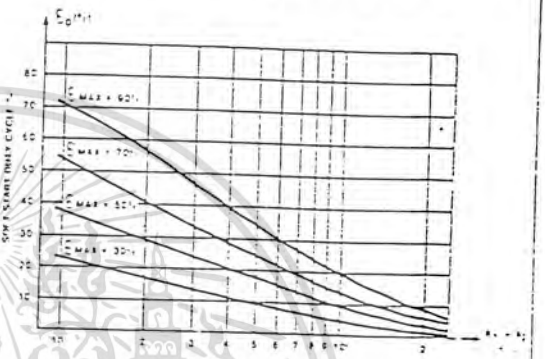
NE/SE5560

TYPICAL PERFORMANCE CHARACTERISTICS (continued)

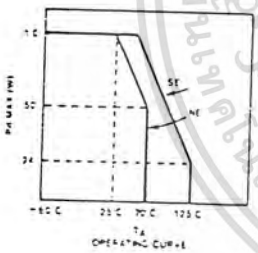
GRAPH FOR DETERMINING δ MAX



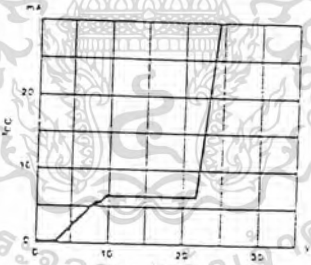
SOFT-START MIN DUTY CYCLE vs $R_1 - R_2$



POWER DERATING CURVE



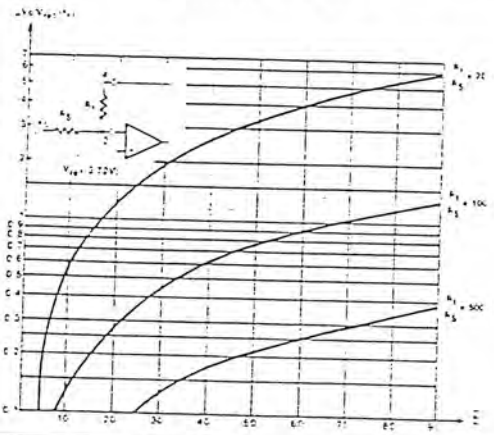
NE5560 VOLTAGE/CURRENT FED SUPPLY CHARACTERISTICS



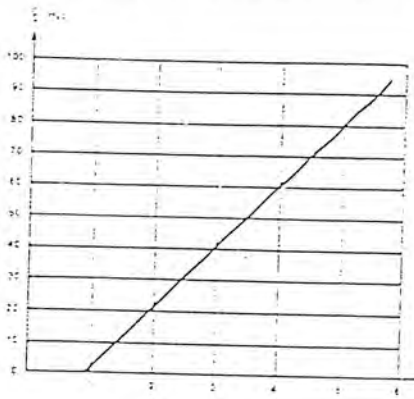
CURRENT FED DROPPING RESISTOR

SEE DC ELECTRICAL CHARACTERISTICS FOR CURRENT FEED V_{CC} RANGE.

REGULATION vs ERROR AMP CLOSED LOOP GAIN



TRANSFER CURVE OF PULSE WIDTH MODULATOR DUTY CYCLE vs INPUT VOLTAGE



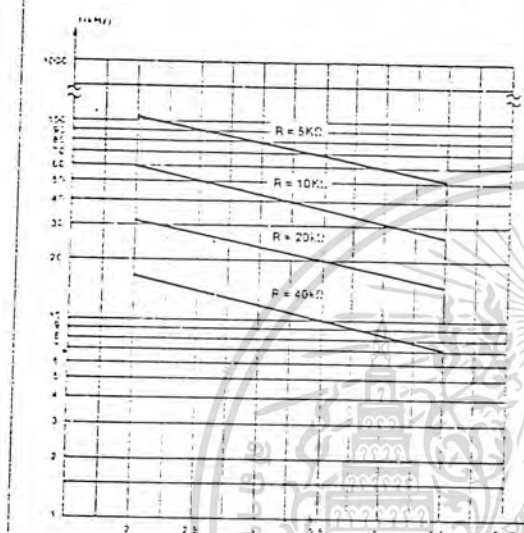
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SWITCHED-MODE POWER SUPPLY CONTROL CIRCUIT

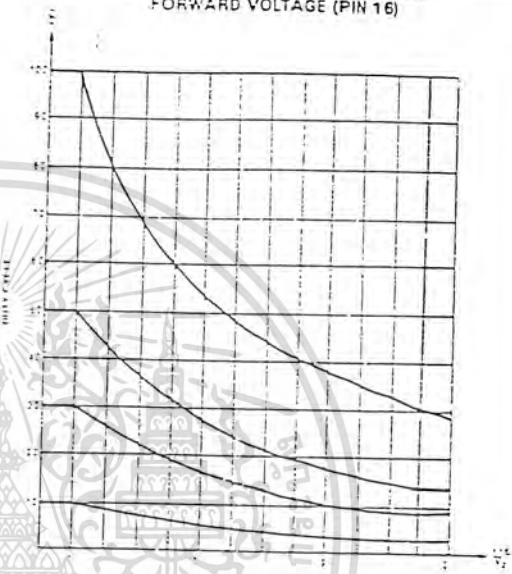
NE/SE5560

TYPICAL PERFORMANCE CHARACTERISTICS (continued)

TYPICAL FREQUENCY PLOT vs R_T AND C_T



DUTY CYCLE SENSITIVITY TO FEED FORWARD VOLTAGE (PIN 16)



THEORY OF OPERATION

The following functions are incorporated:

- A temperature compensated reference source.
- An error amplifier with pin 3 as input. The output is connected to pin 4 so that the gain is adjustable with external resistors.
- A sawtooth generator with a TTL-compatible synchronization input (pins 7, 8, 9).
- A pulse-width modulator with a duty-cycle range from 0 to 95%.

The PWM has two additional inputs:

Pin 6 can be used for a precise setting of δ max.

Pin 5 gives a direct access to the modulator, allowing for real constant current operation.)

- A gate at the output of the PWM provides a simple dynamic current limit.
- A latch that is set by the flyback of the sawtooth and reset by the output pulse of the above-mentioned gate prohibits double pulsing.
- Another latch functions as a start-stop circuit; it provides a fast switch-off and a slow start.
- A current protection circuit that operates via the start-stop circuit. This is a combined function with the current limit circuit, therefore pin 11 has two trip-on levels; the lower one for cycle-by-cycle current limiting, the upper one for current protection by means of switch-off and slow-start.
- A TTL-compatible remote on/off input at pin 10, also operating via the start-stop circuit.
- An inhibit input at pin 13. The output pulse can be inhibited immediately.
- An output gate that is commanded by the latches and the inhibit circuit.
- An output transistor of which both the collector (pin 15) and the emitter (pin 14) are externally available. This allows for normal or inverse output pulses.
- A power supply that can be either voltage or current driven (pins 1 and 12). The internally generated stabilized output voltage V_Z is connected to pin 2.
- A special function is the so-called feed-forward at pin 16. The amplitude of the sawtooth generator is modulated in such a way that the duty cycle becomes inversely proportional to the voltage on this pin: $\delta \sim 1/V16$
- Loop fault protection circuits assure that the duty-cycle is reduced to zero or a low value for open or short-circuited feedback loops.

Stabilized Power Supply (Pins 1, 2, 12)

The power supply of the NE5560 is of the well known series regulation type and provides a stabilized output voltage of typically 8.5 volts.

This voltage V_Z is also present at pin 2 and can be used for precise setting of δ max and to supply external circuitry. Its maximum current capability is 5mA.

The circuit can be fed directly from a DC voltage source between 10.5V and 18V or can be current driven via a limiting resistor. In the latter case, internal pinch-off resistors will limit the maximum supply voltage, typically 23V for 10mA and maximum 30V for 30mA.

The low supply voltage protection is active when V(1-12) is below 10.5V and inhibits the output pulse (no hysteresis).

When the supply voltage surpasses the 10.5V level, the IC starts delivering output pulses via the slow-start function.

The current consumption at 12V is less than 10mA, provided that no current is drawn from V_Z and R_T(7-12) ≥ 20kΩ.

The Sawtooth Generator

Figure 2 shows the principal circuitry of the oscillator. A resistor between pin 7 and pin 12 (ground) determines the constant current that charges the timing capacitor C(6-12).

This causes a linear increasing voltage on pin 6 until the upper level of 5.6V is reached. Comparator H sets the RS flip flop and Q1 discharges C(6-12) down to 1.1V, where comparator L resets the flip-flop. During this flyback time, Q2 inhibits the output.

Synchronization at a frequency lower than the free-running frequency is accomplished via the TTL gate on pin 9. By activating this gate ($V^9 < 2V$), the setting of the sawtoothis prevented. This is indicated in Figure 3.

Figure 4 shows a typical plot of the oscillator frequency against the timing capacitor. The frequency range of the NE5560 goes from <50Hz up to >100kHz.

Reference Voltage Source

The internal reference voltage source is based on the bandgap voltage of silicon. Good design practice assures a temperature dependency typically ± 100ppm/°C. The reference voltage is connected to the positive input of the error amplifier and has a typical value of 3.72V.

Error Amp Compensation

For closed loop gains less than 40 dB, it is necessary to add a simple compensation capacitor as shown in Figures 4, 5.

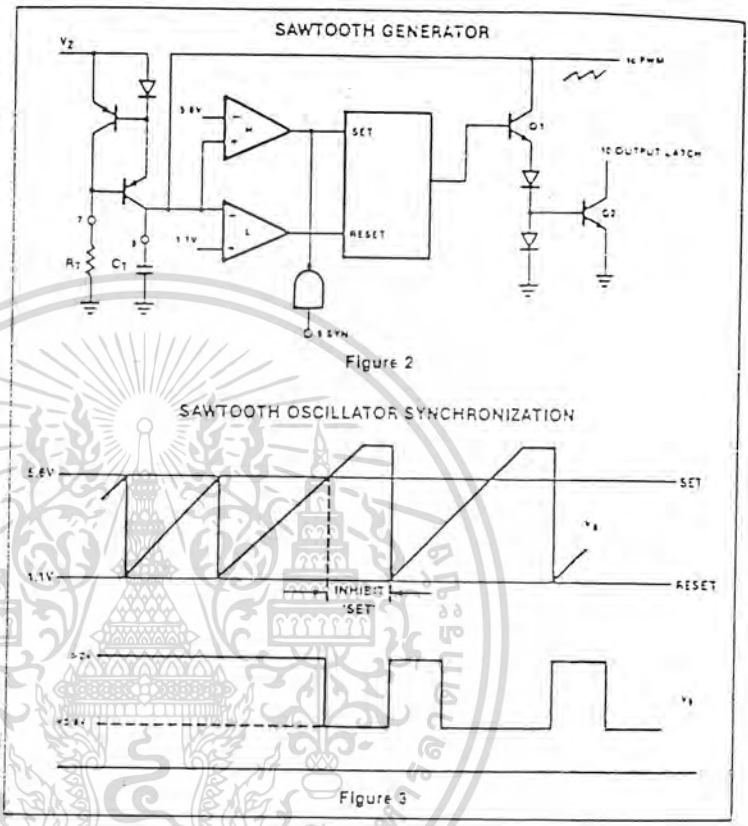


Figure 2

Figure 3

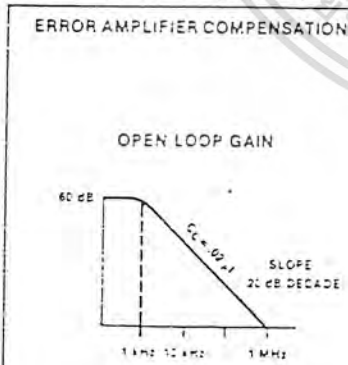


Figure 4

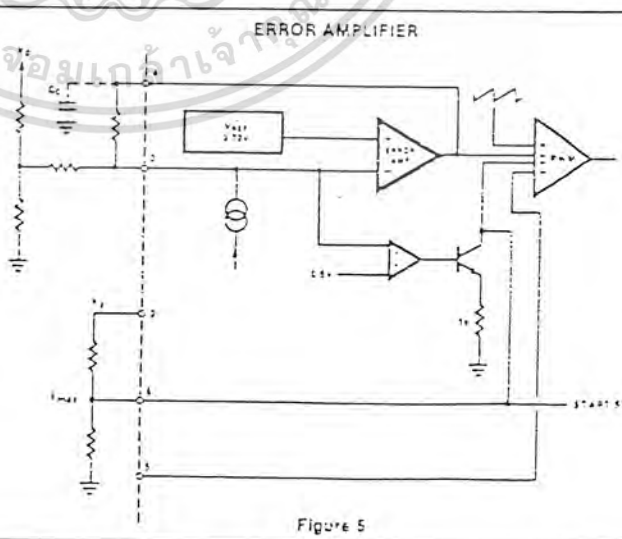


Figure 5

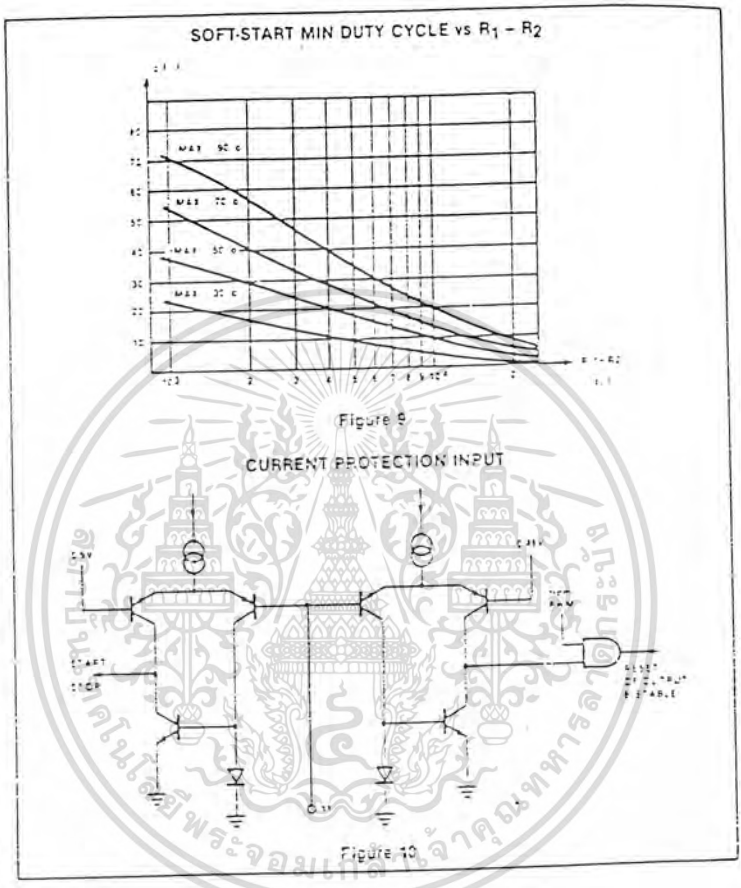


Figure 9

Figure 10

tic. However, the realization of this feature must be done with additional external components.

Dynamic Current Limit and Current Protection (Pin 11)

In many applications, it is not necessary to have a real constant current output of the SMPS.

Protection of the power transistor will be the prime goal. This can be realized with the NE5560 in a simple and cheap way. A resistor (or a current transformer) in the emitter of the power transistor gives a replica of the collector current. This signal must be connected to pin 11. As can be seen in Figure 10, this input has two comparators with different reference levels. The output of the comparator with the lower 0.48V reference is connected to the same gate as the output of the PWM.

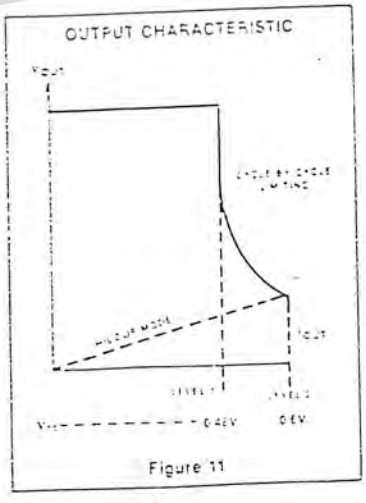


Figure 11

Remote On/Off Circuit (Pin 10)

In systems where two or more power supplies are used, it is often necessary to switch these supplies on and off in a sequential way. Furthermore, there are many applications in which a supply must be switched by a logical signal. This can be done via the TTL-compatible remote on/off input on pin 10. The output pulse is inhibited for levels below 0.8V. The output of the IC is no longer blocked when the remote on/off input is left floating or when a voltage > 2V is applied. Start up occurs via the slow-start circuit.

The Output Stage

The output stage of the NE5560 contains a flip flop, a push-pull driven output transistor, and a gate, as indicated in Figure 14. The flip flop is set by the flyback of the sawtooth. Resetting occurs by a signal either from the PWM or the current limit circuit. With this configuration, it is assured that the output is switched only once per period, thus prohibiting double pulsing. The collector and emitter of the output transistor are connected to respectively pin 15 and pin 14, allowing for normal or inverted output pulses. An internally grounded emitter would cause untolerable voltage spikes over the bonding wire, especially at high output currents.

This current capability of the output transistor is 40mA peak for V_{CE} = 0.4V. An internal clamping diode to the supply voltage protects the collector against overvoltages. The maximum voltage at the emitter (pin 14) must not exceed +5V. A gate, activated by one of the set or reset pulses, or by a command from the start-stop circuit will immediately switch-off the output transistor by short-circuiting its base. The external inhibitor (pin 13) operates also via this base.

Demagnetization Sense

As indicated in Figure 14, the output of this NPN comparator will block the output pulse, when a voltage above 0.6V is applied to pin 13. A specific application for this function is to prevent saturation of forward converter transformers. This is indicated in Figure 15.

Feed-Forward (Pin 16)

The basic formula for a forward converter is

$$V_{OUT} = \frac{dV_{in}}{n} \quad (n = \text{transformer ratio})$$

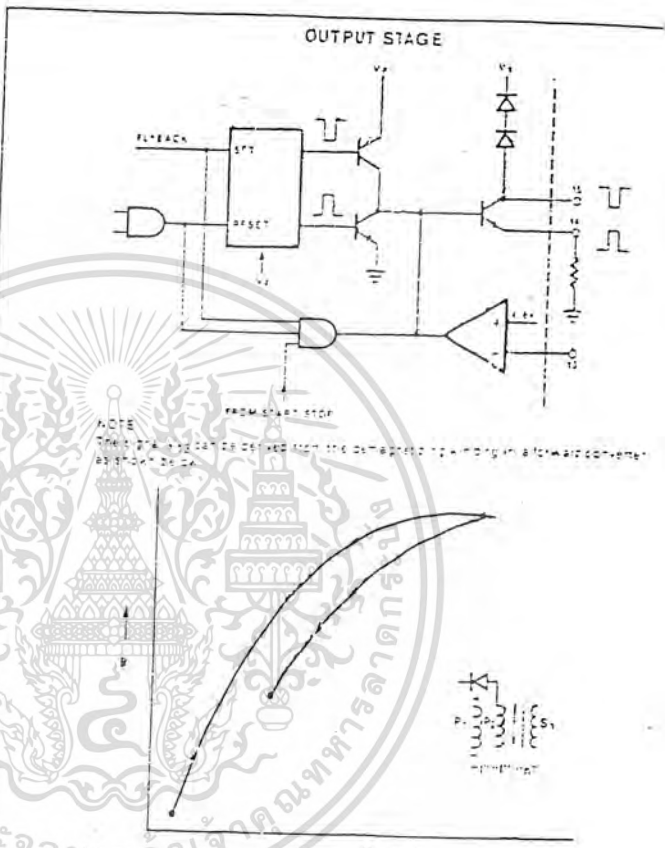


Figure 14

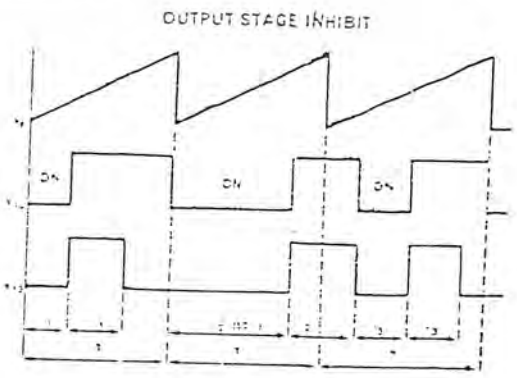


Figure 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านก

This means that in order to keep V_{OUT} at a constant value, the duty cycle δ must be made inversely proportional to the input voltage. A preregulation (feed-forward) with the function $\delta \sim 1/V_{IN}$ can ease the feedback-loop design.

This loop now only has to regulate for load variations, which require only a low feedback gain in the normal operation area. The transformer of a forward converter must be designed in such a way that it does not saturate, even under transient conditions, where the maximum inductance is determined by $\delta_{max} \times V_{IN}$ max. A regulation of $\delta_{max} \sim 1/V_{IN}$ will allow for a considerable reduction or simplification of the transformer. The function of $\delta \sim 1/V_{IN}$ can be realized by using pin 16 of the NE5560.

Figure 16 shows the electrical realization. When the voltage at pin 16 exceeds the stabilized voltage V_Z (pin 2), it will increase the charging current for the timing capacitor on pin 8.

The operating frequency is not affected, because the upper trip level for sawtooth increases also. Note that the δ_{max} voltage on pin 6 remains constant because it is set via V_Z. Figure 17 visualizes the effect on δ_{max} and the normal operating duty cycle δ. For $V_{16} = 2 \times V_Z$ these duty cycles have halved. The graph for $\delta = f(V_{16})$ is given in Figure 18. (Note: V_{16} must be less than Pin 1 voltage.)

APPLICATIONS

NE/SE5560 Push-Pull Regulator

This application describes the use of the Signetics NE/SE5560 adapted to function as a push-pull switched mode regulator, as shown in Figures 19 and 20.

Input voltage range is +12 to +18V for a nominal output of +30 and −30V at a maximum load current of 1A with an average efficiency of 81%.

Features include feed forward input compensation, cycle-to-cycle drive current protection and other voltage sensing, line (to positive output) regulation <1% for an input range of +13 to +16V and load regulation to positive output of <3% for $\Delta I_L(+)$ of 0.1 to 1 Amp.

The main pulse width modulator operates to 48 kHz with power switching at 24 kHz.

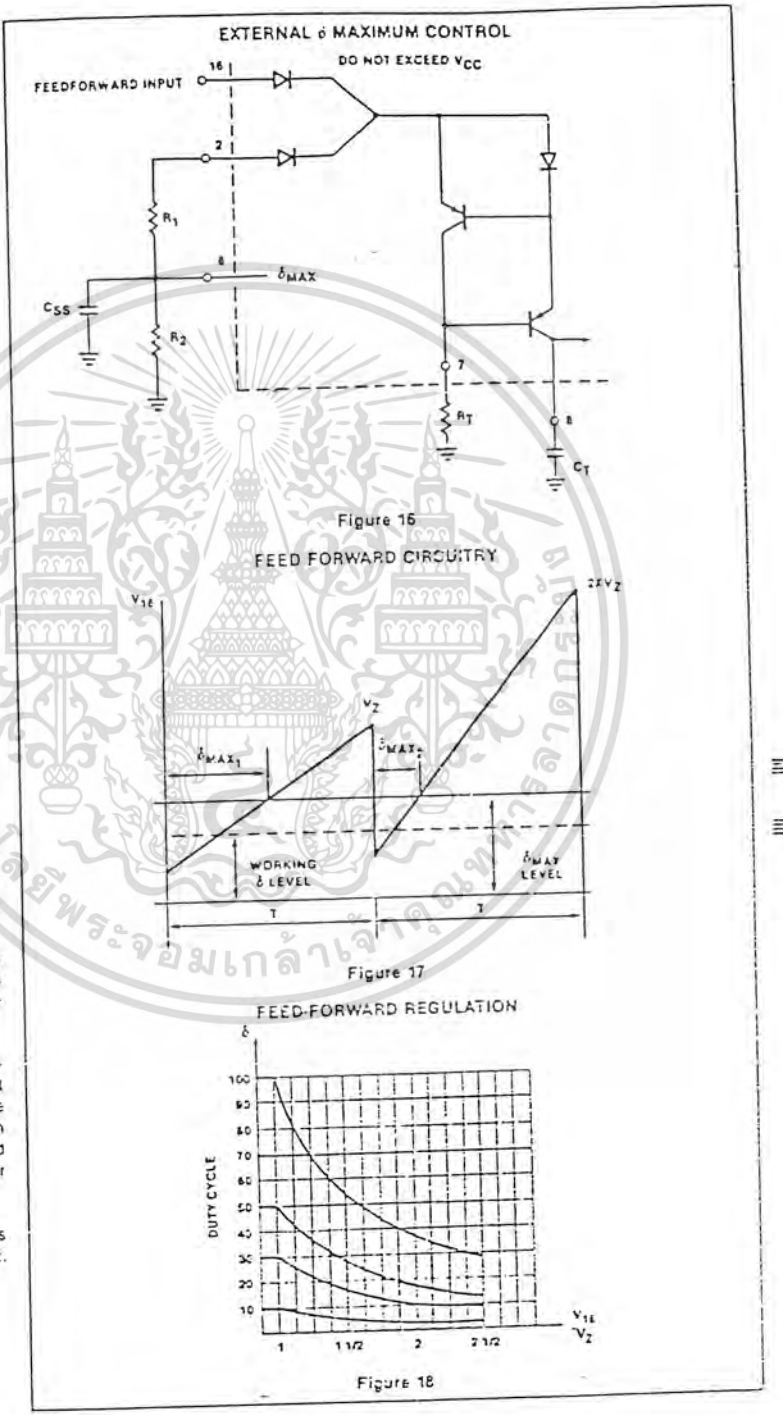


Figure 16

Figure 17

Figure 18

FAIRCHILD
A Schlumberger Company

μA741
Operational Amplifier

Linear Division Operational Amplifiers

Description

The μA741 is a high performance monolithic operational amplifier constructed using the Fairchild Planar Epitaxial process. It is intended for a wide range of analog applications. High common mode voltage range and absence of latch up tendencies make the μA741 ideal for use as a voltage follower. The high gain and wide range of operating voltage provide superior performance in integrator, summing amplifier, and general feedback applications.

- No Frequency Compensation Required
- Short Circuit Protection
- Offset Voltage Null Capability
- Large Common Mode And Differential Voltage Ranges
- Low Power Consumption
- No Latch Up

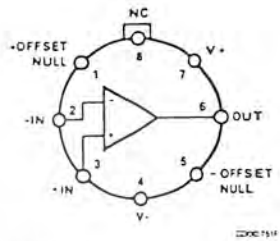
Absolute Maximum Ratings

Storage Temperature Range	
Metal Can and Ceramic DIP	−65°C to +175°C
Molded DIP and SO-8	−65°C to +150°C
Operating Temperature Range	
Extended (μA741AM, μA741M)	−55°C to +125°C
Commercial (μA741EC, μA741C)	0°C to +70°C
Lead Temperature	
Metal Can and Ceramic DIP (soldering, 60 s)	300°C
Molded DIP and SO-8 (soldering, 10 s)	265°C
Internal Power Dissipation[1, 2]	
8L-Metal Can	1.00 W
8L-Molded DIP	0.93 W
8L-Ceramic DIP	1.30 W
SO-8	0.81 W
Supply Voltage	
μA741A, μA741, μA741E	± 22 V
μA741C	± 18 V
Differential Input Voltage	± 30 V
Input Voltage[3]	± 15 V
Output Short Circuit Duration[4]	Indefinite

Notes

1. $T_{J\,Max}$ = 150°C for the Molded DIP and SO-8, and 175°C for the Metal Can and Ceramic DIP.
2. Ratings apply to ambient temperature at 25°C. Above this temperature, derate the 8L-Metal Can at 6.7 mW/°C, the 8L-Molded DIP at 7.5 mW/°C, the 8L-Ceramic DIP at 8.7 mW/°C, and the SO-8 at 6.5 mW/°C.
3. For supply voltages less than ± 15 V, the absolute maximum input voltage is equal to the supply voltage.
4. Short circuit may be to ground or either supply. Rating applies to 125°C case temperature or 75°C ambient temperature.

Connection Diagram
8-Lead Metal Package
(Top View)

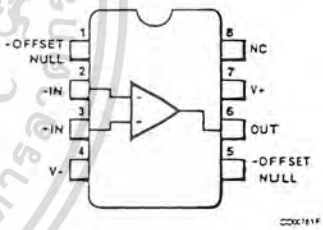


Lead 4 connected to case.

Order Information

Device Code	Package Code	Package Description
μA741HM	5W	Metal
μA741HC	5W	Metal
μA741AHM	5W	Metal
μA741EHC	5W	Metal

Connection Diagram
8-Lead DIP and SO-8 Package
(Top View)

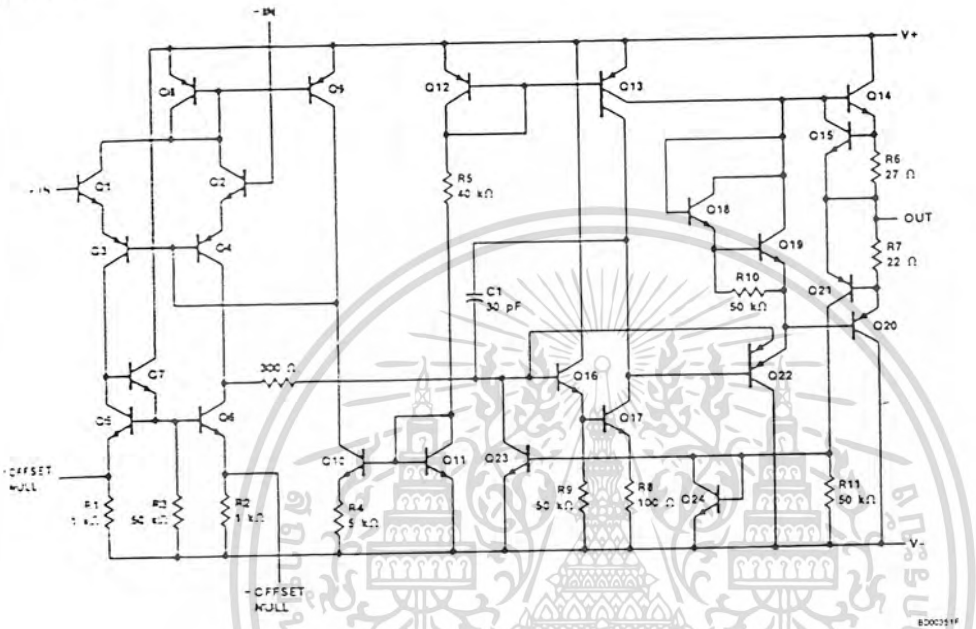


Order Information

Device Code	Package Code	Package Description
μA741RM	6T	Ceramic DIP
μA741RC	6T	Ceramic DIP
μA741SC	KC	Molded Surface Mount
μA741TC	9T	Molded DIP
μA741ARM	6T	Ceramic DIP
μA741ERC	6T	Ceramic DIP
μA741ETC	9T	Molded DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Equivalent Circuit



μA741 and μA741C
Electrical Characteristics T_A = 25°C, V_{CC} = ± 15 V, unless otherwise specified.

Symbol	Characteristic	Condition	μA741			μA741C			Unit
			Min	Typ	Max	Min	Typ	Max	
V_{IO}	Input Offset Voltage	$R_S \leq 10$ kΩ		1.0	5.0		2.0	6.0	mV
$V_{IO\ adj}$	Input Offset Voltage Adjustment Range			± 15			± 15		mV
I_{IO}	Input Offset Current			20	200		20	200	nA
I_{IB}	Input Bias Current			80	500		80	500	nA
Z_I	Input Impedance		0.3	2.0		0.3	2.0		MΩ
I_{CC}	Supply Current			1.7	2.8		1.7	2.8	mA
P_C	Power Consumption			50	85		50	85	mW
CMR	Common Mode Rejection		70			70	90		dB
V_{IR}	Input Voltage Range		± 12	± 13		± 12	± 13		V
PSRR	Power Supply Rejection Ratio			30	150				μV/V
		V_{CC} = ± 5.0 V to ± 18 V					30	150	
I_{OS}	Output Short Circuit Current			25			25		mA
A_{VS}	Large Signal Voltage Gain	$R_L \geq 2.0$ kΩ, V_O = ± 10 V	50	200		20	200		V/mV
V_{OP}	Output Voltage Swing	R_L = 10 kΩ	± 12			± 12	± 14		V
		R_L = 2.0 kΩ	± 10			± 10	± 13		
TR	Transient Response — Rise time	V_I = 20 mV, R_L = 2.0 kΩ, C_L = 100 pF, A_V = 1.0		0.3			0.3		μs
	Transient Response — Overshoot			5.0			5.0		%
BW	Bandwidth			1.0			1.0		MHz
SR	Slew Rate	$R_L \geq 2.0$ kΩ, A_V = 1.0		0.5			0.5		V/μs

FCD-62 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

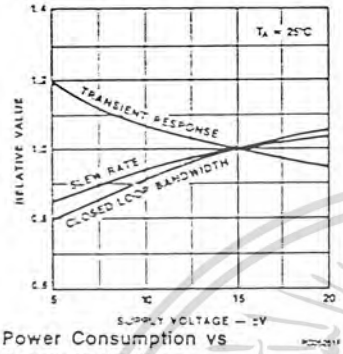
μA741A and μA741E
Electrical Characteristics T_A = 25°C, V_{CC} = ± 15 V, unless otherwise specified.

Symbol	Characteristic		Condition			Min	Typ	Max	Unit
V_{IO}	Input Offset Voltage		$R_S \leq 50\ \Omega$				0.8	3.0	mV
I_{IO}	Input Offset Current						3.0	30	nA
I_{IB}	Input Bias Current						30	80	nA
Z_I	Input Impedance		V_{CC} = ± 20 V			1.0	6.0		MΩ
P_c	Power Consumption		V_{CC} = ± 20 V				80	150	mW
PSRR	Power Supply Rejection Ratio		V_{CC} = +10 V, −20 V to +20 V, −10 V, R_S = 50 Ω				15	50	μV/V
I_{OS}	Output Short Circuit Current					10	25	40	mA
A_{VS}	Large Signal Voltage Gain		V_{CC} = ± 20 V, $R_L \geq$ 2.0 kΩ, V_O = ± 15 V			50	200		V/mV
TR	Transient Response	Rise time	A_V = 1.0, V_{CC} = ± 20 V, V_I = 50 mV, R_L = 2.0 kΩ, C_L = 100 pF				0.25	0.8	μs
		Overshoot					6.0	20	%
BW	Bandwidth					0.437	1.5		MHz
SR	Slew Rate		V_I = ± 10 V, A_V = 1.0			0.3	0.7		V/μs
The following specifications apply over the range of −55°C ≤ T_A ≤ +125°C for the μA741A, and 0°C ≤ T_A ≤ +70°C for the μA741E.									
V_{IO}	Input Offset Voltage							4.0	mV
$\Delta V_{IO}/\Delta T$	Input Offset Voltage Temperature Sensitivity							15	μV/°C
$V_{IO\ adj}$	Input Offset Voltage Adjustment Range		V_{CC} = ± 20 V			10			mV
I_{IO}	Input Offset Current							70	nA
$\Delta I_{IO}/\Delta T$	Input Offset Current Temperature Sensitivity							0.5	nA/°C
I_{IB}	Input Bias Current							210	nA
Z_I	Input Impedance					0.5			MΩ
P_c	Power Consumption		V_{CC} = ± 20 V	μA741A	−55°C			165	mW
					+125°C			135	
				μA741E				150	
CMR	Common Mode Rejection		V_{CC} = ± 20 V, V_I = ± 15 V, R_S = 50 Ω			80	95		dB
I_{OS}	Output Short Circuit Current					10		40	mA
A_{VS}	Large Signal Voltage Gain		V_{CC} = ± 20 V, $R_L \geq$ 2.0 kΩ, V_O = ± 15 V			32			V/mV
			V_{CC} = ± 5.0 V, $R_L \geq$ 2.0 kΩ, V_O = ± 2.0 V			10			
V_{OP}	Output Voltage Swing		V_{CC} = ± 20 V	R_L = 10 kΩ		± 16			V
				R_L = 2.0 kΩ		± 15			

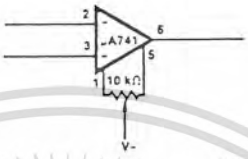
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Cont.)

Frequency Characteristics vs Supply Voltage for μA741C/E

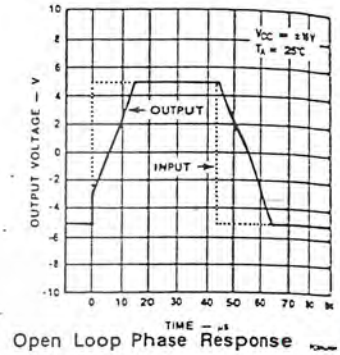


Voltage Offset Null Circuit for μA741C/E

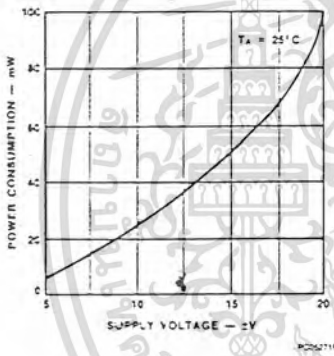


Lead numbers are shown for metal package only

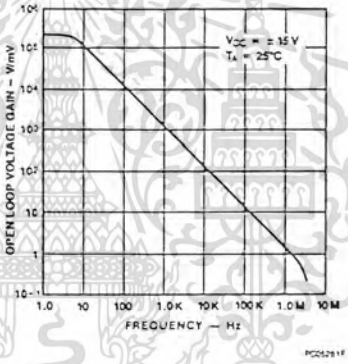
Voltage Follower Large Signal Pulse Response for μA741C/E



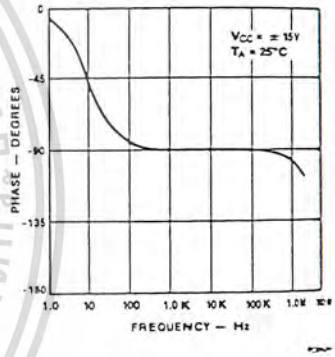
Power Consumption vs Supply Voltage



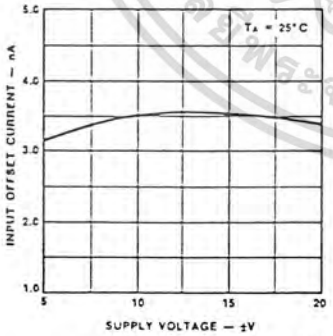
Open Loop Frequency Response



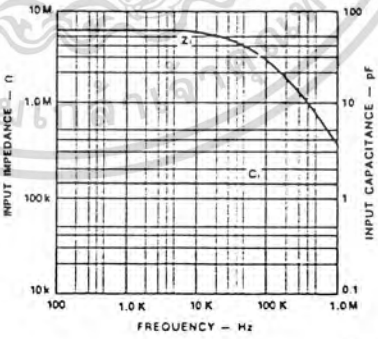
Open Loop Phase Response vs Frequency



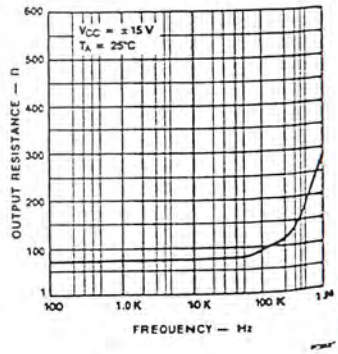
Input Offset Current vs Supply Voltage



Input Impedance and Input Capacitance vs Frequency



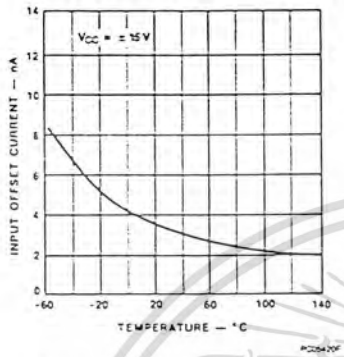
Output Resistance vs Frequency



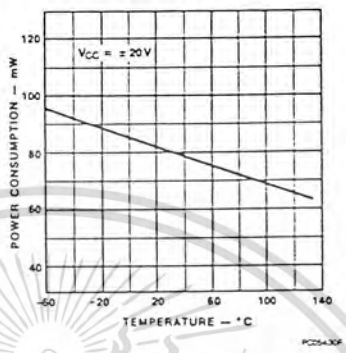
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Cont.)

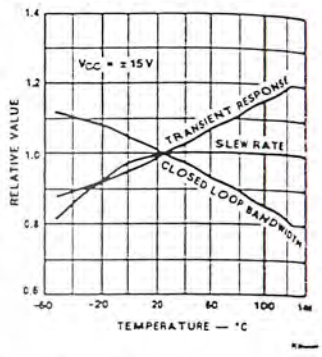
Input Offset Current vs Temperature for μA741/A



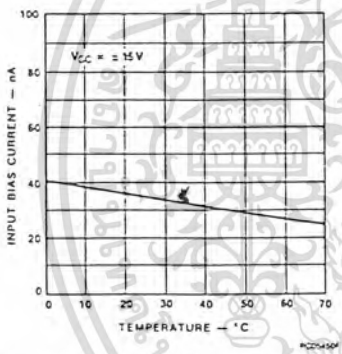
Power Consumption vs Temperature for μA741/A



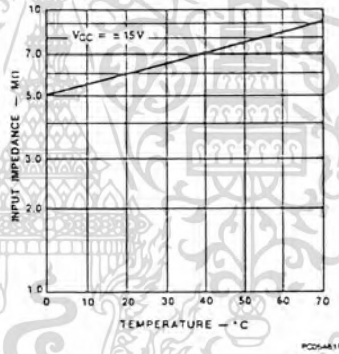
Frequency Characteristics vs Temperature for μA741/A



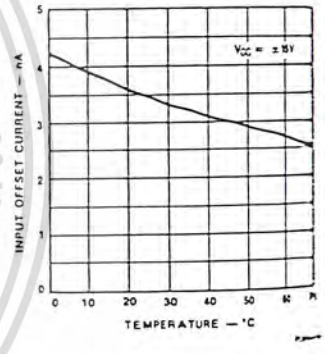
Input Bias Current vs Temperature for μA741C/E



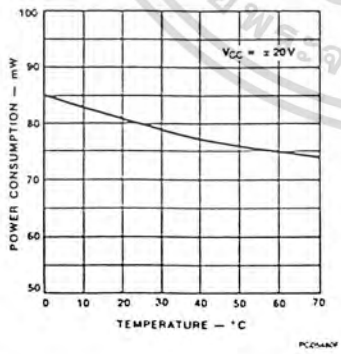
Input Impedance vs Temperature for μA741C/E



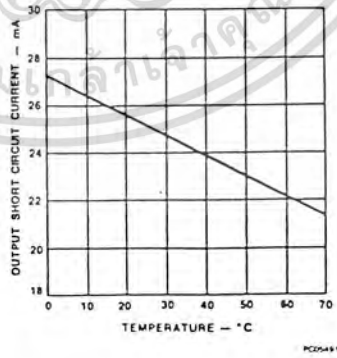
Input Offset Current vs Temperature for μA741C/E



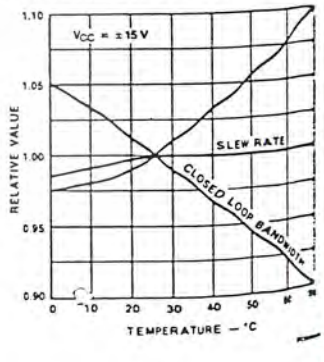
Power Consumption vs Temperature for μA741C/E



Short Circuit Current vs Temperature for μA741C/E



Frequency Characteristics vs Temperature for μA741C/E



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Absolute Maximum Ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM.
The Thermal Resistance and Power Dissipation ratings are measured under board mounted and still air conditions.

Symbol	Parameter	Min	Max	Units
V_B	High Side Floating Supply Absolute Voltage	-0.5	V_S + 20	V
V_S	High Side Floating Supply Offset Voltage	—	500	
V_{HO}	High Side Output Voltage	V_S -0.5	V_B +0.5	
V_{CC}	Low Side Fixed Supply Voltage	-0.5	20	
V_{LO}	Low Side Output Voltage	-0.5	V_{CC} +0.5	
V_{DD}	Logic Supply Voltage	-0.5	V_{SS} +20	
V_{SS}	Logic Supply Offset Voltage	V_{CC} - 20	V_{CC} +0.5	
V_{IN}	Logic Input Voltage (HIN, LIN & SD)	V_{SS} -0.5	V_{DD} +0.5	
dVs/dt	Allowable Offset Supply Voltage Transient (Fig. 16)	—	50	V/ns
P_D	Package Power Dissipation at T_A <= +25°C (Fig. 19)	—	1.6	W
R_{thJA}	Thermal Resistance, Junction to Ambient	—	75	°C/W
T_J	Junction Temperature	-55	150	°C
T_S	Storage Temperature	-55	150	
T_L	Lead Temperature (Soldering, 10 seconds)	—	300	

Recommended Operating Conditions

The Input/Output Logic Timing diagram is shown in Fig. 1. For proper operation the device should be used within the recommended conditions.
The V_S and V_{SS} offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in Fig. 2 and 3.

Symbol	Parameter	Min	Max	Units
V_B	High Side Floating Supply Absolute Voltage	V_S + 10	V_S + 20	V
V_S	High Side Floating Supply Offset Voltage	—	500	
V_{HO}	High Side Output Voltage	V_S	V_B	
V_{CC}	Low Side Fixed Supply Voltage	10	20	
V_{LO}	Low Side Output Voltage	0	V_{CC}	
V_{DD}	Logic Supply Voltage	V_{SS} + 3	V_{SS} + 20	
V_{SS}	Logic Supply Offset Voltage	-5	5	
V_{IN}	Logic Input Voltage (HIN, LIN & SD)	V_{SS}	V_{DD}	

Dynamic Electrical Characteristics

V_{BIAS} (V_{CC}, V_{BS}, V_{DD}) = 15V and V_{SS} = COM unless otherwise specified
The dynamic electrical characteristics are measured using the test circuit as shown in Fig. 11.

		T_J = 25°C			T_J = -55 to 150°C				
Symbol	Parameter	Min	Typ	Max	Min	Max	Units	Test Conditions	Reference
t_{on}	Turn-On Propagation Delay	—	120	150	—	200	ns	V_S = 0V	Fig. 12
t_{off}	Turn-Off Propagation Delay	—	94	125	—	170		V_S = 500V	
t_{sd}	Shutdown Propagation Delay	—	110	140	—	200		V_S = 500V	
t_r	Turn-On Rise Time	—	25	35	—	50		C_L = 1000pf	Fig. 13
t_f	Turn-Off Fall Time	—	17	25	—	40		C_L = 1000pf	
MT_{on}	Delay Matching, HS and LS Turn-On	—	—	10	—	[illegible]		[illegible]	Fig. 14
MT_{off}	Delay Matching, HS and LS Turn-Off	—	—	10	—	[illegible]		[illegible]	
DT_{ION}	Deadtime, LS Turn-Off to HS Turn-On	18	25	30	—	[illegible]		[illegible]	Fig. 15
DT_{IOFF}	Deadtime, HS Turn-Off to LS Turn-On	18	25	30	—	[illegible]		[illegible]	

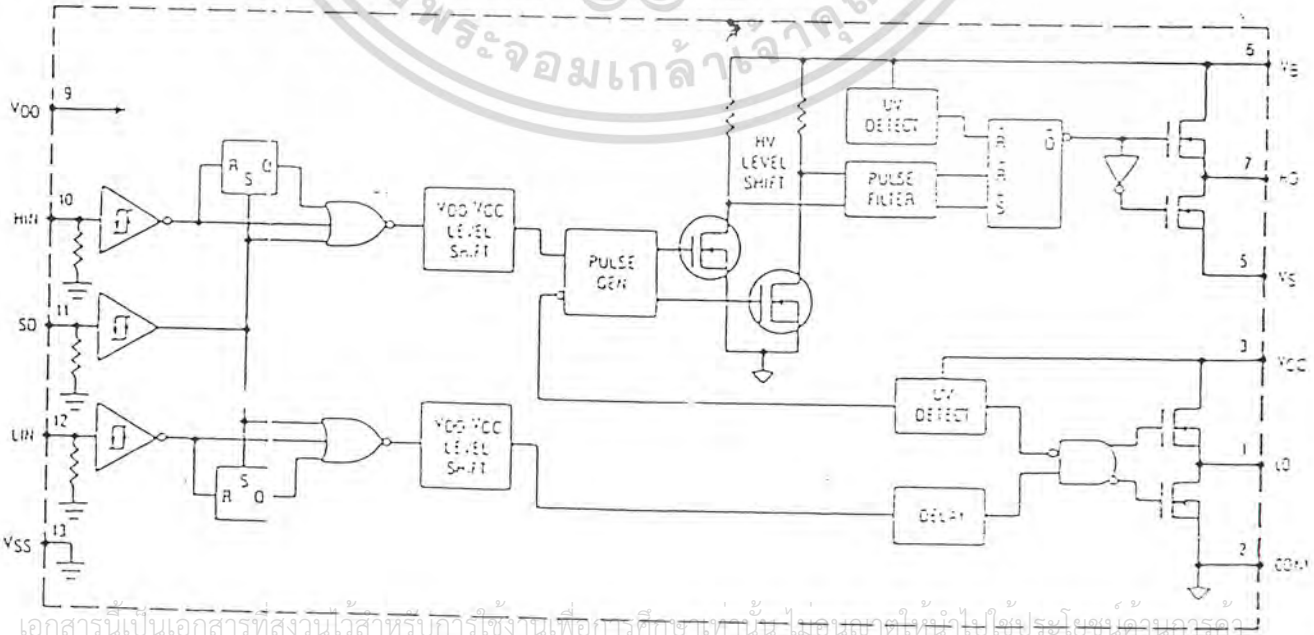
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Static Electrical Characteristics

V_{BIAS} (V_{CC}, V_{BS}, V_{DD}) = 15V unless otherwise specified.
The V_{IN}, V_{TH} and I_{IN} parameters are referenced to V_{SS} and are applicable to all three logic input Pins: HIN, LIN and SD.
The VO and IO parameters are referenced to COM or V_S and are applicable to the respective Output Pins: HO or LO.

		T_J = 25°C			T_J = -55 to 150°C				
Symbol	Parameter	Min	Typ	Max	Min	Max	Units	Test Conditions	Reference
V_{IH}	Logic "1" Input Voltage	1.1	-	-	1.1	—	V	V_{DD} = 5V	Fig. 4
		6.4	--	--	6.4	--		V_{DD} = 10V	
		9.5	--	--	9.5	—		V_{DD} = 15V	
		12.6	-	--	12.6	—		V_{DD} = 20V	
V_{IL}	Logic "0" Input Voltage	—	--	1.8	—	1.7		V_{DD} = 5V	
		--	—	3.8	—	3.6		V_{DD} = 10V	
		—	--	6	—	5.7		V_{DD} = 15V	
		—	—	8.3	—	7.9		V_{DD} = 20V	
V_{OH}	High Level Output Voltage, V_{BIAS}-VO	--	0.7	1.2	—	1.5	V	V_{IN} = V_{IH}, I_O = 0A	Fig. 10
V_{OL}	Low Level Output Voltage, VO	—	--	0.1	—	0.1		V_{IN} = V_{IL}, I_O = 0A	
I_{LK}	Offset Supply Leakage Current	—	—	50	—	250	µA	V_B = V_S = 500V	Fig. 5
I_{QBS}	Quiescent V_{BS} Supply Current	—	125	230	—	500		V_{IN} = V_{IH} or V_{IL}	Fig. 6
I_{QCC}	Quiescent V_{CC} Supply Current	—	180	340	—	600		V_{IN} = V_{IH} or V_{IL}	Fig. 7
I_{QDD}	Quiescent V_{DD} Supply Current	—	3	30	—	60		V_{IN} = V_{IH} or V_{IL}	
I_{IN+}	Logic "1" Input Bias Current	—	15	30	—	70		V_{IN} = 15V	Fig. 8
I_{IN-}	Logic "0" Input Bias Current	—	—	1	—	10		V_{IN} = 0V	
V_{BSUV+}	V_{BS} Supply Undervoltage Positive Going Threshold	7.7	8.7	9.7	—	—	V		Fig. 9
V_{BSUV-}	V_{BS} Supply Undervoltage Negative Going Threshold	7.0	8.0	9.0	—	—			
V_{CCUV+}	V_{CC} Supply Undervoltage Positive Going Threshold	7.6	8.6	9.6	—	—			
V_{CCUV-}	V_{CC} Supply Undervoltage Negative Going Threshold	7.3	8.2	9.2	—	—			
I_{O+}	Output High Short Circuit Pulsed Current	2	—	—	—	—	A	V_O = 0V, V_{IN} = 15V, PW ≤ 10 µs	
I_{O-}	Output Low Short Circuit Pulsed Current	2	—	—	—	—		V_O = 15V, V_{IN} = 0V, PW ≤ 10 µs	

Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

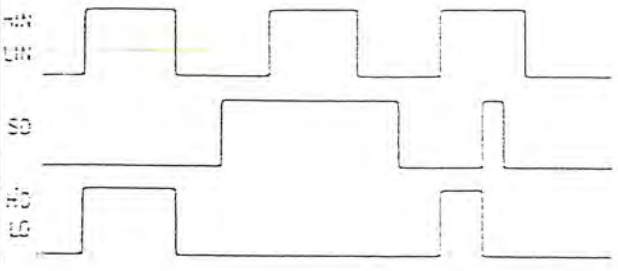


Fig. 1 — Input/Output Timing Diagram

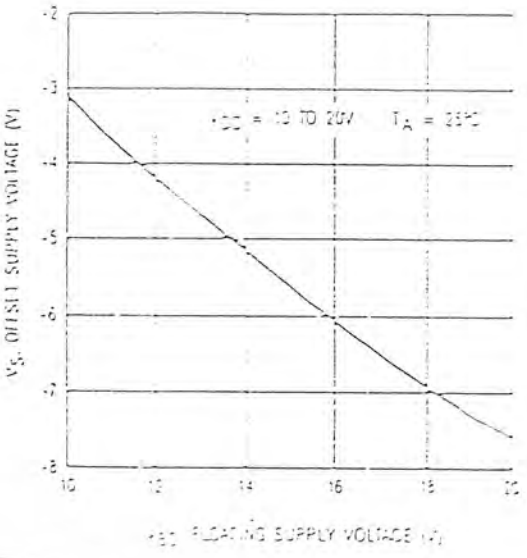


Fig. 2 — Maximum V_S Negative Offset vs. V_{BS} Supply Voltage

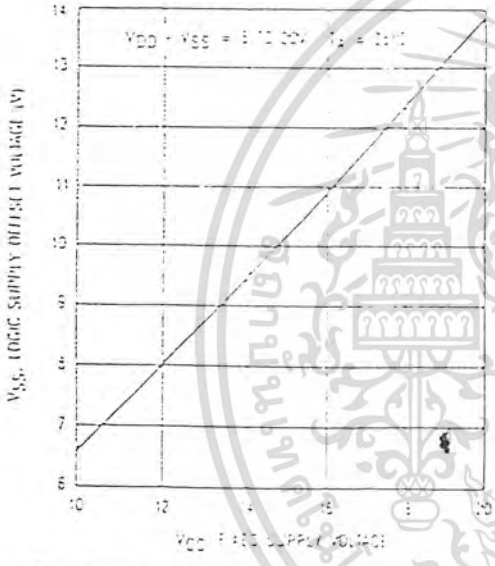


Fig. 3 — Maximum V_{SS} Positive Offset Voltage vs. V_{CC} Supply Voltage

Fig. 4 — Input Logic Threshold vs. V_{DD} Supply Voltage

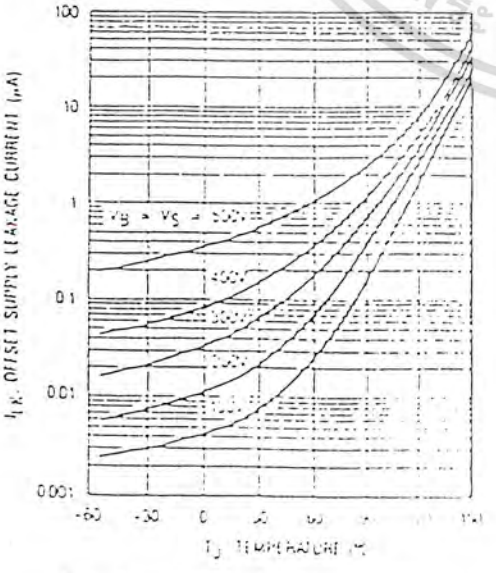


Fig. 5 — Offset Supply Leakage Current vs. Temperature

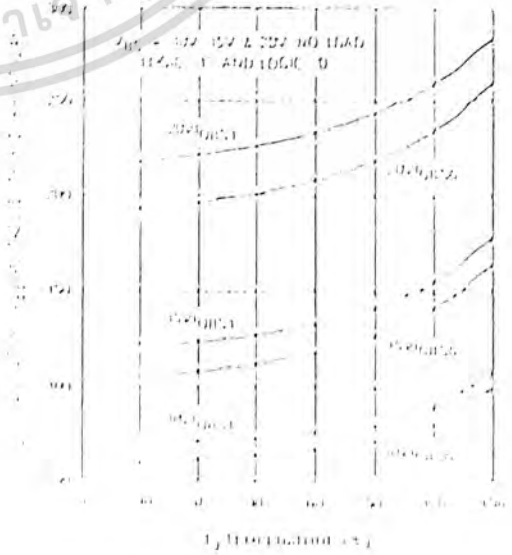


Fig. 6 — Input Logic Threshold vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

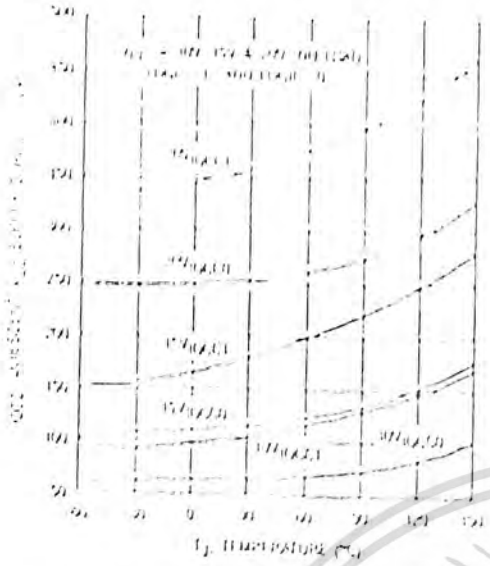


Fig. 7 — Quiescent V_{CC} Supply Current vs. Temperature

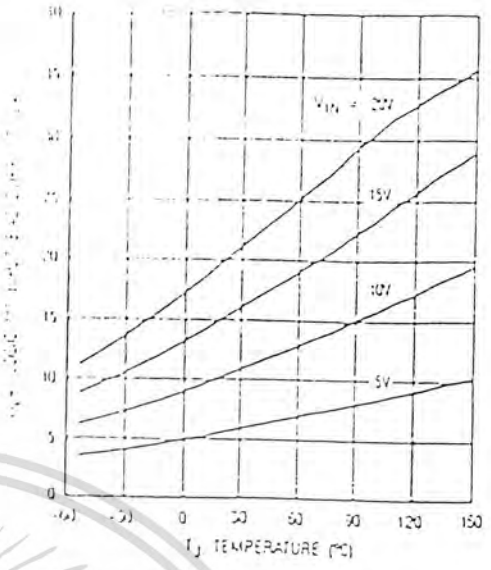


Fig. 8 — Logic "1" Input Bias Current vs. Temperature

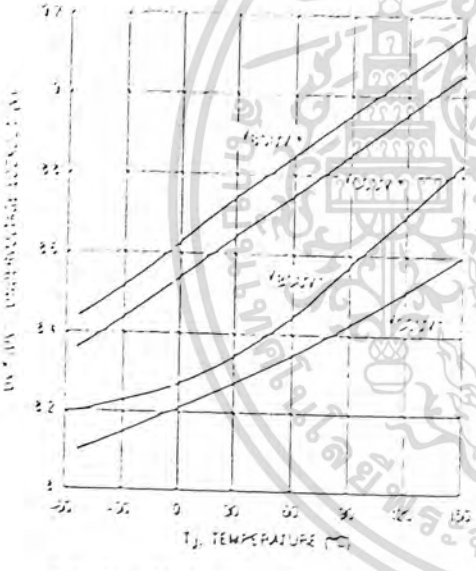


Fig. 9 — Undervoltage Lockout vs. Temperature

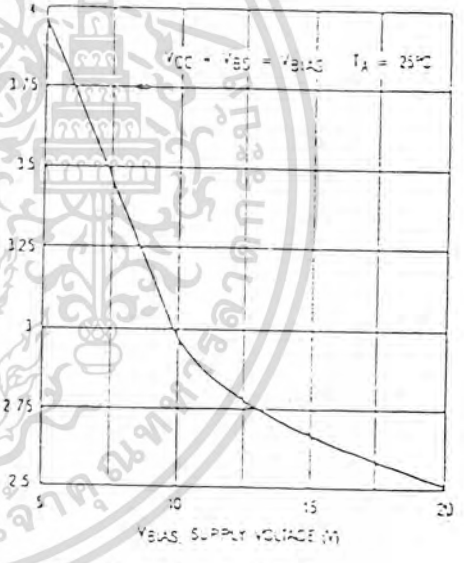


Fig. 10 — Output Device On Resistance vs. Supply Voltage

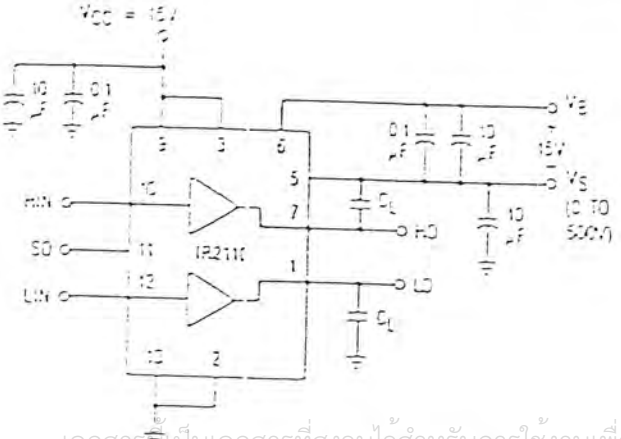


Fig. 11a — Switching Time Test Circuit

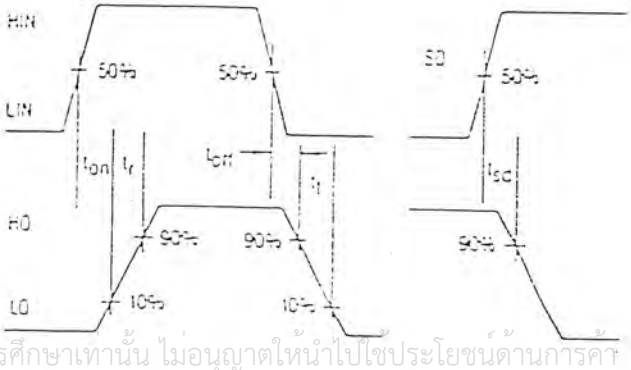


Fig. 11b — Switching Time Waveform Definition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

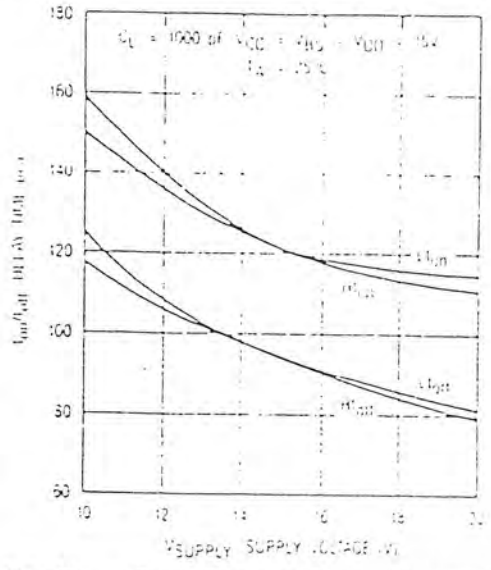


Fig. 12a — Delay Time vs. Supply Voltage

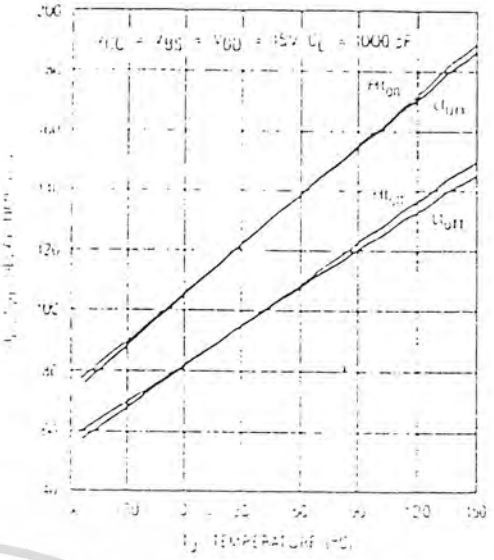


Fig. 12b — Delay Time vs. Temperature

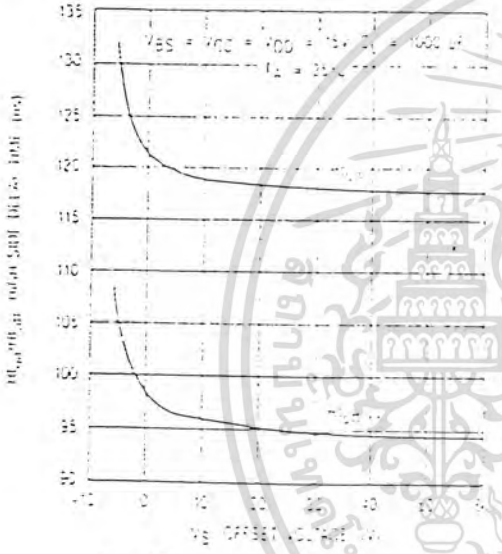


Fig. 12c — High Side Delay Time vs. V_S Offset Voltage

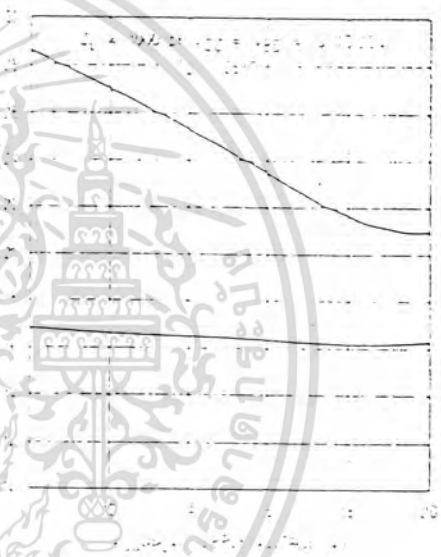


Fig. 13a — Rise and Fall Time vs. Supply Voltage

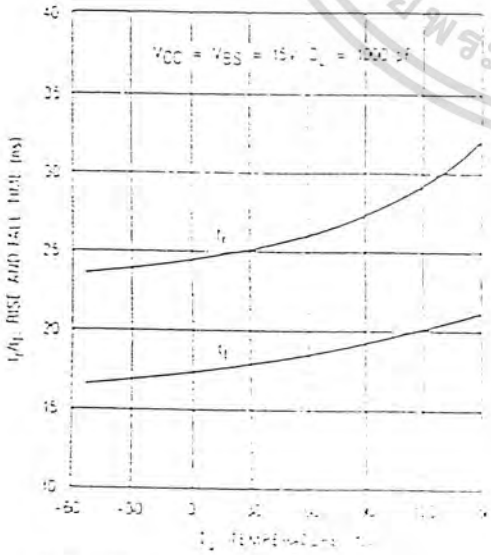


Fig. 13b — Rise and Fall Time vs. Temperature

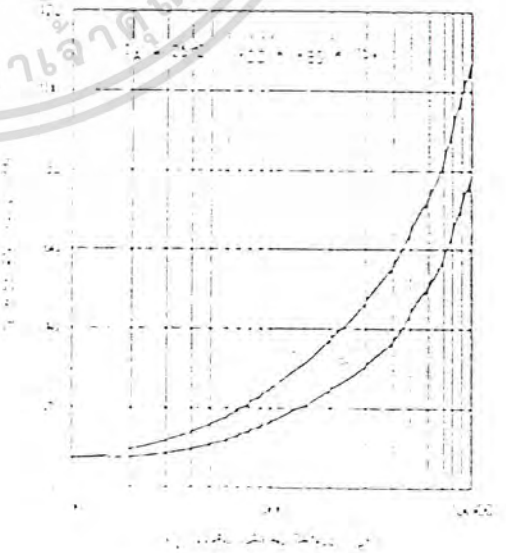
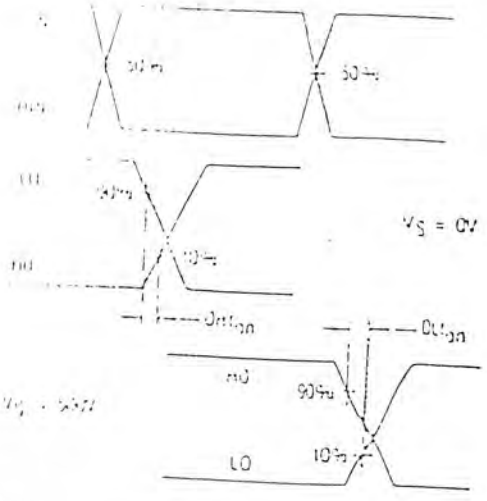


Fig. 13c — Rise Time Fall Time vs. Load Capacitance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TYPICAL DT_{ON} = DT_{OFF} = 25 ns

Fig. 15 — Deadtime Waveform Definitions

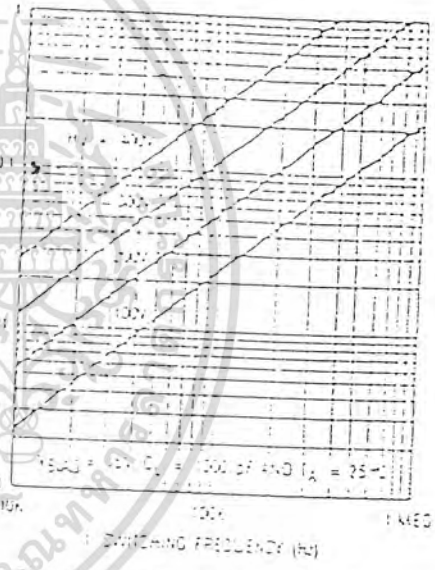


Fig. 17a — High Voltage Power Dissipation vs. Switching Frequency

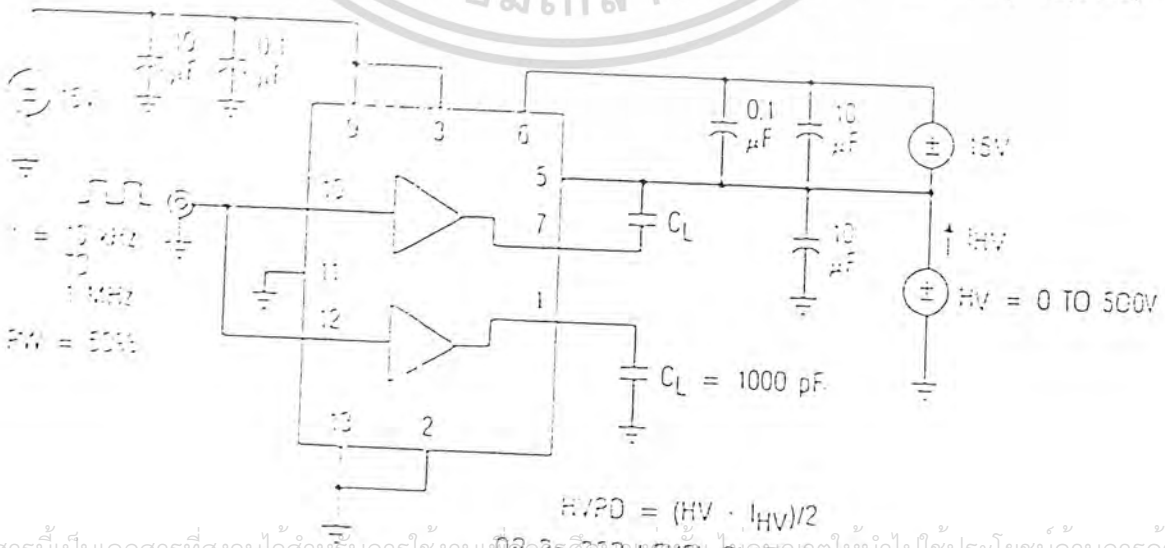


Fig. 17b — High Voltage Power Dissipation Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

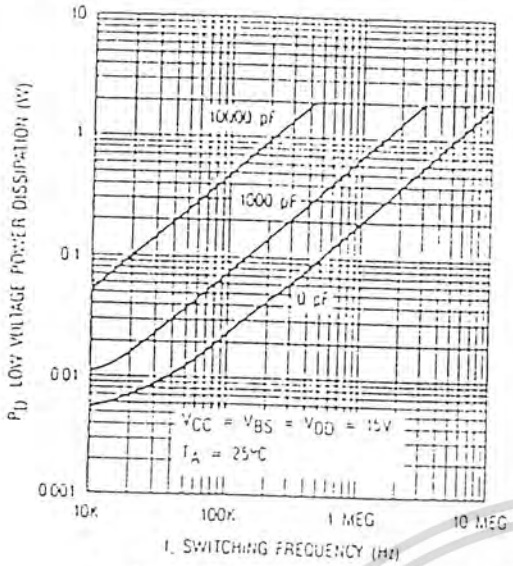


Fig. 18a — Low Voltage Power Dissipation vs. Switching Frequency

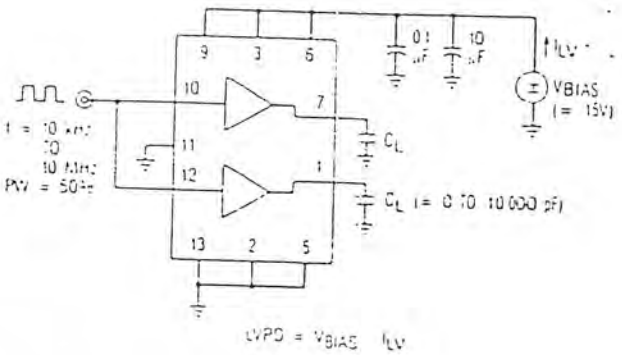


Fig. 18b. — Low Voltage Power Dissipation Test Circuit

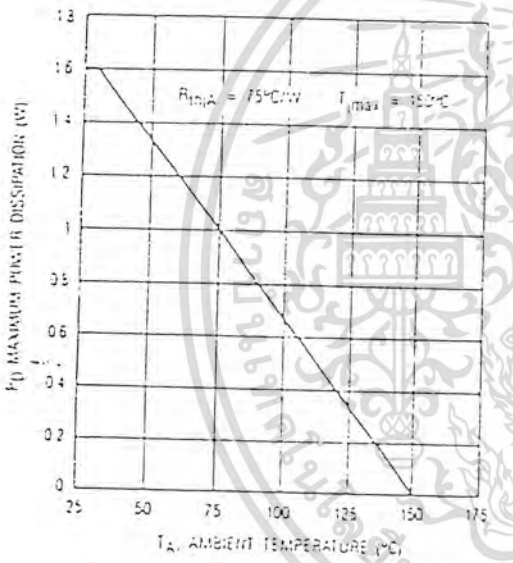


Fig. 19 — Maximum Power Dissipation vs. Ambient Temperature

HEXFET SIZE	TYPICAL t_r	TYPICAL t_f
2	25 ns	17 ns
3	38 ns	23 ns
4	58 ns	34 ns
5	78 ns	54 ns
6	116 ns	74 ns

Fig. 20 — HEXFET Die Size vs Switching Time (V_{BIAS} = 15V)

HEXFET TYPE	HV= 100V	200V	300V	400V
820	2000	1200	700	350
830	1600	1100	640	330
840	1100	820	540	300
P450	640	540	400	250
P460	490	460	340	230

T_A = 25°C AND V_{BIAS} = 15V

Fig. 21 — Maximum Switching Frequency, f_{max} (kHz)
(f_{max} = switching frequency at which T_j = T_{jmax} and is derived from calculation using typical electrical and thermal ratings. For operation at higher T_A, f_{max} should be derated accordingly.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The IR2110 is a high voltage, high speed power MOSFET and IGBT driver. Refer to the Functional Block Diagram for the detailed functional description of the circuit blocks. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

The logic circuit provides the control pulses for the two output channels corresponding to the logic inputs as indicated by the Input/Output Timing Diagram in Fig. 1. The HO and LO outputs are in phase with the HIN and LIN logic inputs. The two outputs will turn off when the SD input switches high and the outputs will remain off even after the SD input returns to low until the next rising edge of the respective inputs. In the event when V_{B} is below the under-voltage lock-out trip point the UV detect circuit will send a shutdown signal to disable both channels. Also a separate UV detect block is used to disable the high side channel when V_{CC} is below its own undervoltage trip point. The logic inputs have Schmitt trigger circuits with a hysteresis band of 0.1 V_{DD} to provide high noise immunity and can accept inputs with slow rise times. The logic circuit is referenced to its own logic, but ply to allow the use of a lower supply voltage than the output operating supply voltage. A high noise immunity V_{DD}/V_{CC} level shifting circuit is used to translate logic signal to the output drivers. With a 5 V rated offset capability between the logic ground (V_{CC}) and power ground (V_{SS}), the logic circuit is unaffected by the noise coupling generated by the switching action of the output drivers.

Propagation delay for the two channels are matched using the low side delay circuit to simplify the timing requirements of the control pulses. The turn-on delay is matched at 120ns for the low side channel (t_{ON}) and the high side channel (t_{ON}) with V_S at 0V since the high side turn-on command is usually executed when V_S is at or near 0 V. The turn-off delay is matched at 94ns for the low side channel (t_{OFF}) and the high side channel (t_{OFF}) with V_S at 500V since the high side turn-off command is usually executed after the high side power MOSFET is "on" and V_S is at or near the high voltage rail.

Both channels use identical low cross-conduction totem pole output connected transistors. The output driver consists of two N-channel MOSFETs with peak current capability above 2A and on resistance of less than 3 ohms (Fig. 10). One output MOSFET is connected as a source follower and the other in common source configuration. Because of the totem pole arrangement the rise time is slower than the fall time driving capacitive load. For a typical 3300pf load the rise and fall times are 50ns and 33ns respectively.

For the high side channel, narrow "On" and "Off" pulses triggered respectively by the rising and the falling edge of HIN are generated by the pulse generator. The respective pulses are used to drive separate high voltage DMOS level translators that set or reset a RS latch operating off the floating rail. Level shifting of the ground referenced HIN signal is thus accomplished by transposing the signal references to the floating rail. Because each high voltage DMOS level translator is turned on for only the duration of the short "On" or "Off" pulse, with each set or reset event, power dissipation is minimized. False triggering of the RS latch from dv/dt induced transients on the V_S node is effectively differentiated from normal pull-down pulses through a pulse discriminator circuit such that the high side channel is essentially immune to any magnitude of dv/dt noise. Also the high voltage level shifting circuit is designed to function normally even when the V_S node swings more than 4V below the COM pin. This condition can often occur during the recirculation period of the output free wheeling diode.

Application Guidelines

(Also see Application Note AN-978A for details)

The IR2110 is typically used to drive two high voltage N-channel power MOSFETs or IGBTs configured in half-bridge, dual-forward or other topologies. The fixed rail referenced output is used to drive a low side connected power MOSFET. The floating output channel is used to drive a power MOSFET in the high side configuration that requires in over-rail gate drive. Refer to the section on Typical Applications for the various circuit topologies where the IR2110 is applicable.

Typically, the floating supply is derived from the fixed supply using a bootstrap technique as shown in the section on Typical Connection. The charging diode must have a voltage withstand capability higher than the peak HV bus voltage. To minimize power dissipation a fast recovery diode is recommended. The value of the bootstrap capacitor depends on the switching frequency, duty cycle and gate charge requirement of the power MOSFET. The voltage across the capacitor should not be allowed to drop below the under-voltage lockout threshold, otherwise protective shutdown will occur. A 0.1 μF capacitor is usually suitable for applications switching above 5 KHz.

Supply bypass capacitors between V_{CC} and COM and between V_{DD} and V_{SS} are required to supply the transient current needed for switching the capacitive loads. These capacitors, together with the reservoir capacitor across V_B and V_S, must be connected close to the device. A 0.1 μF ceramic disk capacitor in parallel with a 1 μF tantalum capacitor is recommended for V_{CC} bypass. A 0.1 μF ceramic disk capacitor is usually adequate for the logic supply.

The outputs of the IR2110 are designed to deliver gate drives for fast switching speed even for high current power MOSFETs with relatively high gate charge requirement. The typical switching speed for various standard power MOSFET sizes is shown in Fig. 20. To minimize inductance in the gate drive loop, each MOSFET should have its own dedicated connection going to Pin 2 and 5 of the IR2110 for the return of the gate drive signal. For smaller power MOSFETs a series gate resistor for each output is recommended to limit switching speed. The value of the gate resistor depends on EMI requirement, switching losses and the maximum allowable dv/dt.

The total power dissipation of the IR2110 is a function of HV bus voltage, V_{CC} and V_{DD} voltages, switching frequency, duty cycle, delivered gate drives charge, and operating junction temperature. The total dissipation can be divided into two categories: High voltage and low voltage switching.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The high voltage dissipation can be calculated by the following formula:

$$PD(HV) = \underbrace{HV \cdot (I_{LK} + d \cdot I_{QBS})}_{\text{static}} + \underbrace{(V_{BSon} \cdot V_{BSoff}) \cdot Qp \cdot f}_{\text{dynamic}}$$

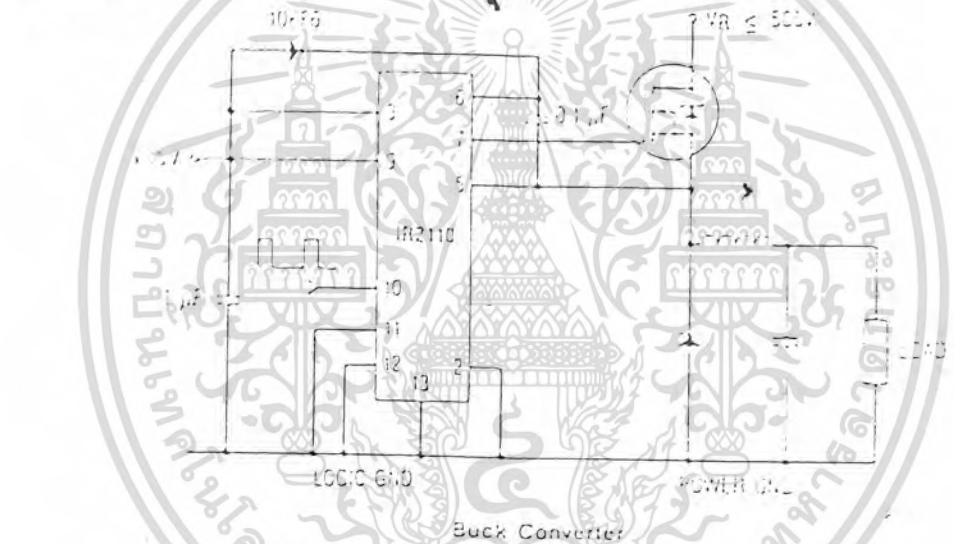
with HV the high voltage bus voltage, I_{LK} the leakage current of V_B to ground, d the duty cycle of the high side switch, Qp the pulsed charge of high voltage level shifter, V_{BSon} the average voltage of V_B during the turn-on pulse, V_{BSoff} the average voltage of V_B during the turn off pulse and f the switching frequency of the high side channel. The level shifting losses are usually much larger than the leakage losses such that the static term can be neglected for most applications. Fig. 17 shows the total high voltage dissipation as a function of switching frequency at various fixed V_S voltage level. Note that the graph only shows the high voltage power dissipation per set or reset event at the particular fixed V_S level. Keep in mind that in actual application V_S is swinging during the level shifting event.

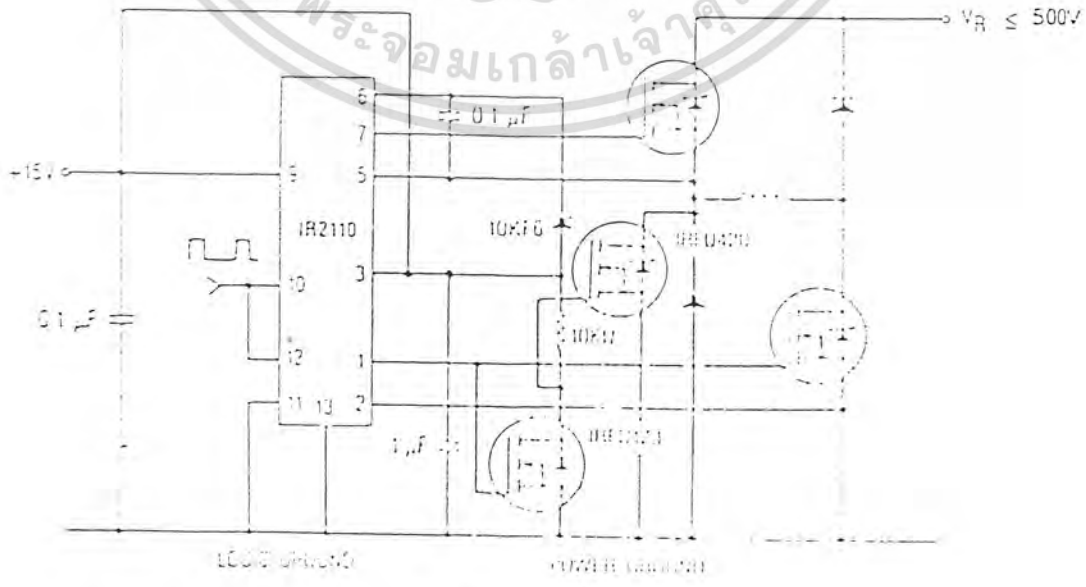
The low voltage dissipation can be calculated by the following formula:

$$PD(LV) = \underbrace{V_{bias} \cdot IQ_{tot}}_{\text{static}} + \underbrace{2 \cdot V_{bias} \cdot Qg \cdot f + V_{bias} \cdot Q_{cmos} \cdot f}_{\text{dynamic}}$$

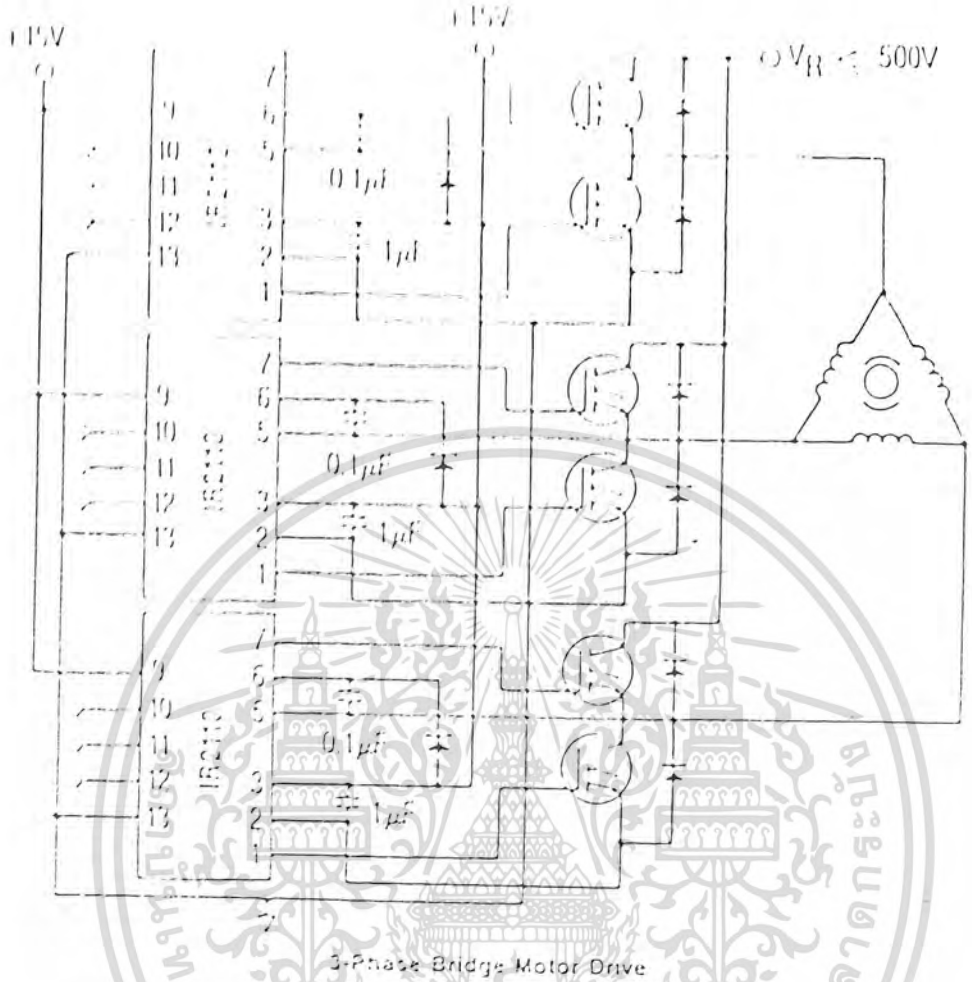
with V_{bias} the low voltage bias voltage assuming $V_{DD} = V_{CC} = V_{BS}$, IQ_{tot} the total quiescent current, Qg the delivered gate charge per driven MOSFET, f the switching frequency and Q_{cmos} the switching losses associated with the internal CMOS circuitry. The quiescent losses are usually much smaller than the dynamic losses such that the static term can be neglected. Fig. 18 shows the total low voltage power dissipation as a function of switching frequency at various load conditions. The switching losses associated with internal circuitry (Q_{cmos}) are shown in the graph for the case of "0 pf" loading condition.

Typical Application:

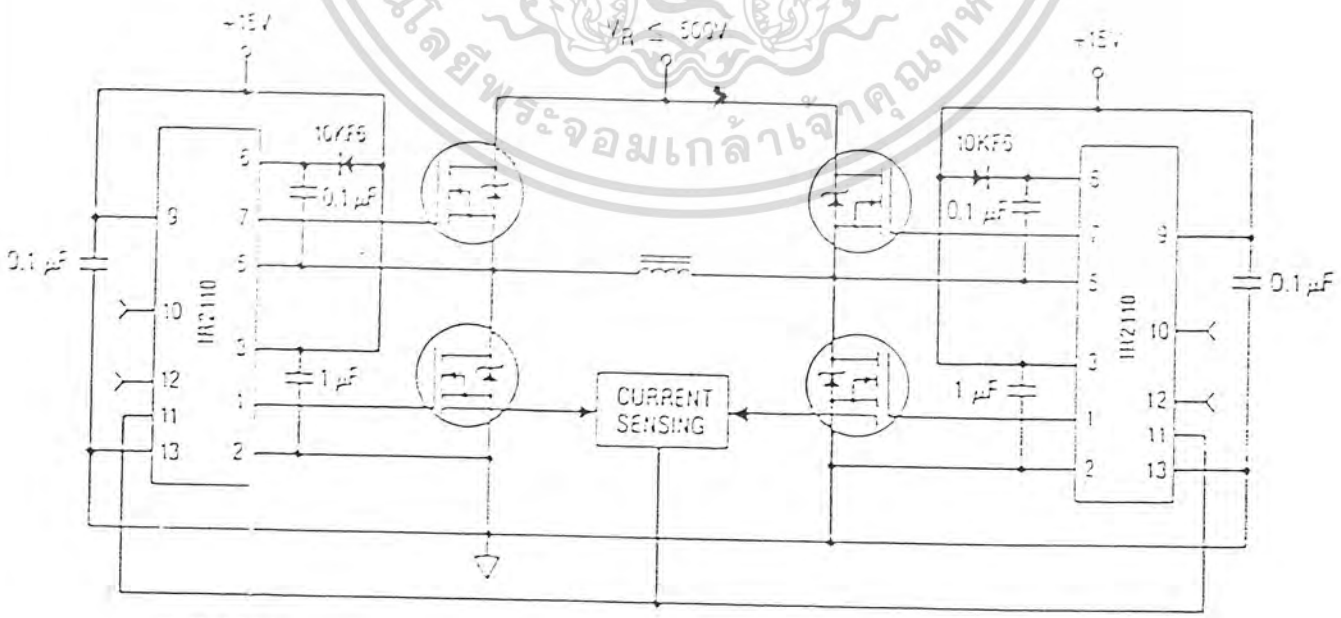




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้นไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



3-Phase Bridge Motor Drive

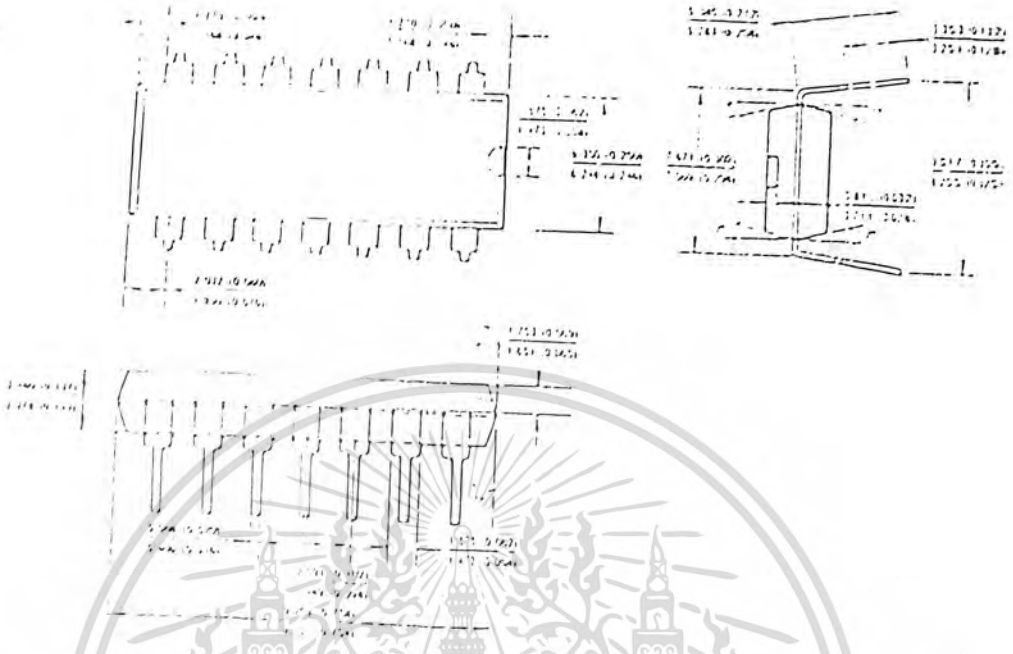


H-Bridge

Typical implementation of an H-bridge with cycle-by-cycle current mode control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mechanical Specification



14 Pin Dip Package

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

International
IOR Rectifier

©1993 International Rectifier Printed in U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International Rectifier
APPLICATION NOTES
PUBLISHED BY INTERNATIONAL RECTIFIER EL SEGUNDO CA 90245 (213) 772-2000

AN-978A

HV Floating MOS-Gate Driver IC

(HEXFET is a trademark of International Rectifier)

by Steve Clemente and Ajit Dubhashi

Introduction

The gate drive requirement for a power MOSFET or IGBT utilized as a high side switch (drain connected to the high voltage rail, as shown in Figure 1) driven in full enhancement, i.e., lowest voltage drop across its terminals, can be summarized as follows:

1. Gate voltage must be 10-15V higher than the drain voltage. Being a high side switch, such gate voltage would have to be higher than the rail voltage, which is frequently the highest voltage available in the system.

2. The gate voltage must be controllable from the logic which is normally referenced to ground. Thus, the control signals have to be level shifted to the source of the high side power device, which, in most applications, swings between the two rails.

3. The power absorbed by the gate drive circuitry should not significantly affect the overall efficiency.

With these constraints in mind, several techniques are presently used to perform the function, as shown in principle in Table I. Each basic circuit can be implemented in a wide variety of configurations.

International Rectifier's IR2110 Gate Driver integrates most of the functions required to drive one high side and one low side power MOSFET or IGBT in a compact high

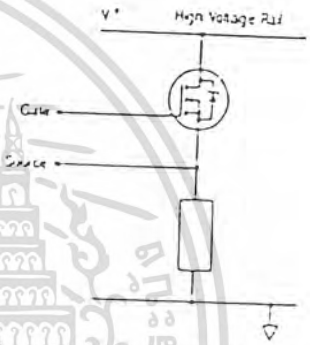


Figure 1. Power MOSFET in high side configuration

performance package. With the addition of few components, the IR2110 provides very fast switching speeds (see Table II) and low power dissipation, and can operate on the bootstrap principle or with a floating power supply. Used in the bootstrap mode, the IR2110 driver can operate in most applications from frequencies in the tens of Hz up to hundreds of kHz.

1. The Block Diagram of the IR2110

As shown in Figure 2, the IR2110 comprises a drive circuit for a ground referenced power transistor, another for a high side one, level translators and input logic circuitry.

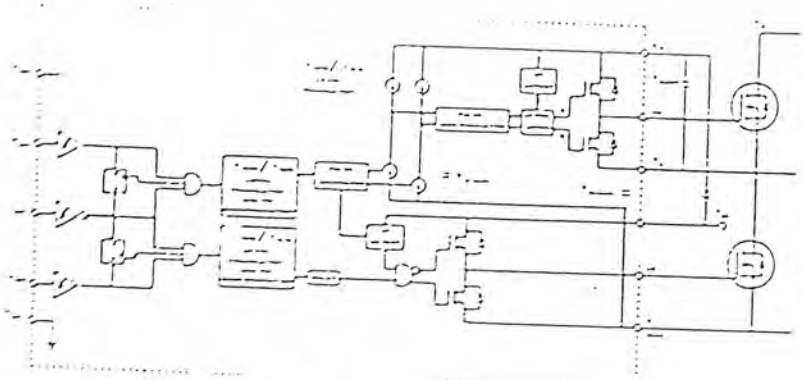


Figure 2. Block diagram of the IR2110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE I

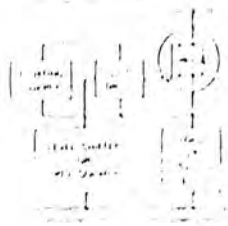
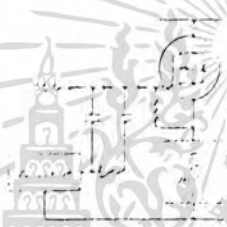
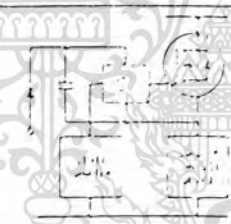
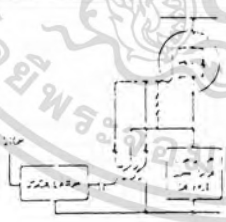
METHOD	BASIC CIRCUIT	KEY FEATURES
FLOATING GATE DRIVE SUPPLY		Full gate control for indefinite periods of time. Cost impact of isolated supply is significant (one required for each high side MOSFET). Level shifting a ground referenced signal can be tricky. Level shifter must sustain full voltage, switch fast with minimal propagation delay and low power consumption. Opto isolators tend to be relatively expensive, limited in bandwidth and noise sensitive.
PULSE TRANSFORMER		Simple and cost effective but limited in many respects. Operation over wide duty cycles requires complex techniques. Transformer size increases significantly as frequency decreases. Significant parasitics create less than ideal operation with fast switching waveforms.
CHARGE PUMP		Can be used to generate an "over rail" voltage controlled by a level shifter or to "pump" the gate when MOSFET is turned on. In the first case the problems of a level shifter have to be tackled. In the second case turn on times tend to be too long for switching applications. In either case, gate can be kept on for an indefinite period of time. Inefficiencies in the voltage multiplier circuit may require more than two stages of pumping.
BOOTSTRAP		Simple and inexpensive with some of the limitations of the pulse transformer (duty cycle and on time are both constrained by the need to refresh the bootstrap capacitor). If the capacitor is charged from a high voltage rail, power dissipation can be significant. Requires level shifter, with its associated difficulties.
CARRIER DRIVE		Gives full gate control for an indefinite period of time but is somewhat limited in switching performance. This can be improved with added complexity.

Table II	Die Size	Rise Time	Fall Time
Typical switching times for different HEXFET die sizes (V_{CC} = 15V, test circuit as in Figure 9a, without gate network)	HEX-2	25ns	17ns
	HEX-3	18ns	21ns
	HEX-4	53ns	84ns
	HEX-5	78ns	56ns
	HEX-6	116ns	74ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1 *Input logic*

Both channels are controlled by HEXFET CMOS compatible inputs with hysteresis thresholds proportional to the logic supply V_{DD} (1.5V to 20V) and 3v limit trigger buffers with hysteresis equal to 10% of V_{DD} to accept inputs with long rise times.

Each channel can be controlled independently from the other and the gate drive follows the input command within the limits of the propagation delay. In those applications where a deadtime is required to prevent conduction overlap in the power devices, the input commands have to be suitably spaced by the controlling logic. (Section 4.) shows a simple way to perform this function with few passive components.

The propagation delay between input command and gate drive output is approximately the same for both channels at turn on (120ns) as well as turn-off (95ns) with a temperature dependence characterized in the data sheet.

The shutdown function is internally latched by a logic 1 signal and activates the turn-off of both power devices. The next input command after the removal of the shutdown signal clears the latch and activates its channel. This latched shutdown lends itself to a simple implementation of a cycle by cycle current control, as exemplified in Section 4.).

The signals from the input logic are coupled to the individual channels through high noise immunity level translators. This allows the ground reference of the logic supply (V_{CC} on pin 11) to swing by ±5V with respect to the power ground (COM on pin 2). This feature is of great help in coping with the less than ideal ground layout of a typical power conditioning circuit. As a further measure of noise immunity, a pulse-width discriminator screens out pulses that are shorter than 50ns or so.

1.2 *Low Side Channel*

The output stage is implemented with two N-Channel MOSFETs in totem pole configuration (source follower as a current source and common source for current sinking) driven from the input circuits. Each MOSFET can sink or source gate currents of 2A. Because of the totem pole arrangement, the rise time of the gate waveform is slower than the fall time. This feature has a significant appeal in the great majority of power conditioning circuits. With clamped inductive loads, a slower turn-on reduces the peak reverse recovery current in the freewheeling diode with some increase in the turn-on losses. The full 2A sinking capability of the totem pole, on the other hand, gives good switching performance at turn-off, when most of the switching losses occur.

The source of the lower device in the totem pole is independently brought out to pin 2 so that a direct connection can be made to the source of the power device for the return of the gate drive current. The relevance of this will be seen in Layout Guidelines, Section 3.

An undervoltage lockout prevents either channel from operating if V_{CC} is below the specified value (8.6/8.2V). Any pulse that is present at the input when the UV lockout is released is forwarded to the appropriate channel.

1.3 *High side channel*

This channel has been built into an "isolation tub" (Figure 3) capable of floating from +500V to −5V with respect to power ground (COM on pin 2). The tub "floats" at the potential of pin 6 (V_S), which is established by the voltage applied to pin 5 (V_B). Typically this pin is connected to the source of the high side device, as shown in Figure 2 and swings with it between the two rails. If an isolated supply is connected between this pin and V_S (pin 6), the high side channel will switch the output (HO pin 7) between the positive of this supply and its ground in accordance with the input command.

One significant feature of MOS-gated devices is their capacitive input characteristic, i.e., the fact that they are turned on by supplying a charge to the gate rather than a continuous current. If the high side channel is driving one such device, the isolated supply can be replaced by a capacitor, as shown in Figure 2. The gate charge for the high side MOSFET is provided by the bootstrap capacitor which is charged by the 15V supply through the bootstrap diode during the time when the device is off (assuming that V_S swings to ground during that time, as it does in most applications). Since the capacitor is charged from a low voltage source the power consumed to drive the gate is small.

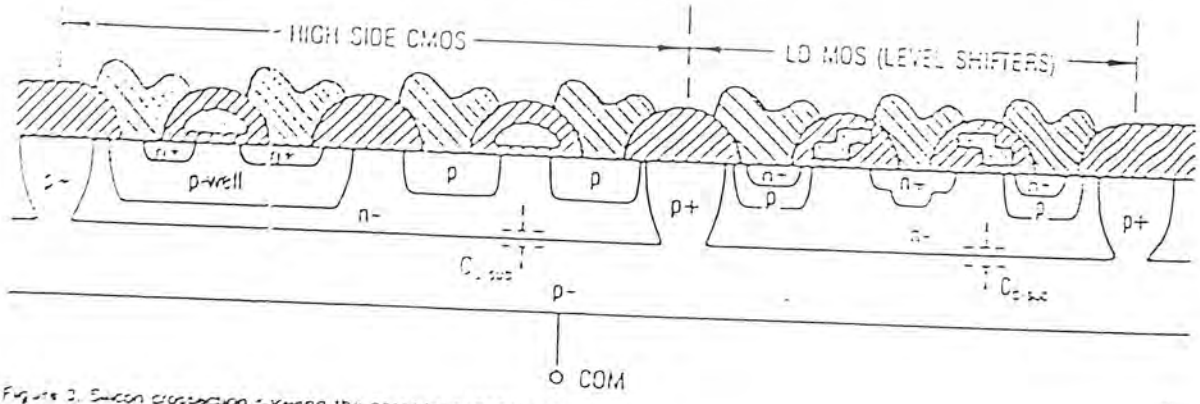


Figure 3. Silicon cross section showing the parasitic capacitances

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The input commands for the high side channel have to be level-shifted from the level of COM to whatever potential the "tub" is floating at, which can be as high as 500V. As shown in Figure 2, the on/off commands are transmitted in the form of narrow pulses at the rising and falling edges of the input command. They are latched by a set/reset flip-flop referenced to the floating potential. The use of pulses greatly reduces the power dissipation associated with the level translation.

The pulse discriminator differentiates the set/reset pulses from fast dv/dt transients appearing on the V_S node so that switching rates as high as 50V/ns in the power devices will not adversely affect the operation of the IR2110.

This channel has its own undervoltage lockout which blocks the gate drive if the voltage between V_B (pin 6) and V_S (pin 5), i.e., the voltage across the upper totem pole, is below its limits (8.7/8.3V). The operation of the UV lockout differs from the one on V_{CC} in one detail: the first pulse *after* the UV lockout has released the channel changes the state of the output.

The high voltage level translator circuit is designed to function properly even when the V_S node swings 5V below the COM pin. This can occur due to the forward recovery of the lower power diode or to the Ldi/dt induced voltage transient.

2. Application Guidelines

As shown in Figure 2, the bootstrap diode and capacitor are the only external components strictly required for operation in a standard PWM application. Local decoupling capacitors on the V_{CC} (and digital) supply are useful in practice to compensate for the inductance of the supply lines.

2.1 *The Bootstrap components*

The voltage seen by the bootstrap capacitor is the V_{CC} supply only. Its capacitance is determined by the following constraints:

a) Gate charge required (see also Ref. 1). After the turn-on charge has been delivered to the gate, the voltage across the bootstrap capacitor should be significantly higher than the minimum required for full enhancement (10V). Assuming, for the sake of illustration, a drop of 1.5V on the charging path of the bootstrap capacitor and assuming a voltage drop due to the internal leakage of half the excess gate voltage, we have the following constraint:

$$C_{BOOT} > \frac{2\,Q_G}{(V_{CC} - 1.5 - 10)}$$

In some unusual operating conditions, like transient overloads, the voltage drop across the lower power transistor can be significantly higher than the 1.5V used in the example.

b) Longest conduction time. The voltage on the gate of the power MOSFET at the end of the longest conduction time must be sufficient to keep it in full enhancement. The steady state current drawn from C_{BOOT} is equal to the quiescent current of the high side channel (I_{QBS}). Assuming the initial voltage calculated from the previous expression, this constraint translates into the following:

$$C_{BOOT} > \frac{2\,I_{QBS} \cdot t_{on}}{(V_{CC} - 1.5 - 1.0)}$$

c) Shortest conduction time. Stray impedances in the charging path limit the rate of charge of the bootstrap capacitor. Thus the capacitance should be low enough that the charge delivered to the gate plus the charge lost due to the quiescent current is totally replenished in the shortest conduction time for the lower power device. Conversely, a minimum conduction time may have to be maintained to insure that the bootstrap capacitor is fully charged.

d) Undervoltage lockout. If the voltage across the bootstrap capacitor falls below the undervoltage lockout threshold (8.3V) the power device is turned off and is kept off until the capacitor discharges to approximately 8.5V. Below this voltage the capacitor would not have enough charge to enhance the power device to any significant extent.

The value of 0.1 μF shown in Figures 6, 7 and 8 is adequate for a large die operated as low as 5kHz with a duty cycle close to 10% percent.

The bootstrap diode must be able to block the full voltage seen in the specific circuit; in the circuits of Figures 6, 7 and 8 this occurs when the top device is on and is about equal to the voltage across the power rail. The current rating of the diode is the product of gate charge times switching frequency. For an IRF450 HEXFET power MOSFET operating at 100kHz it is approximately 12mA. The high temperature reverse leakage characteristic of this diode can be an important parameter in those applications where the capacitor has to hold the charge for a prolonged period of time. For the same reason, it is important that this diode be ultra-fast recovery to reduce the amount of charge that is fed back from the bootstrap capacitor into the supply.

2.2 *Power dissipation*

The total losses in the IR2110 driver result from a number of factors that can be grouped under "high voltage" and "low voltage," "static" and "dynamic."

a) Low voltage static losses ($P_{Q(LV)}$) are due to the quiescent currents from the three low voltage supplies, V_{DD}, V_{CC} and V_{SS}. In a typical 15V application these losses amount to approximately 3.5mW at 25°C, going to 5mW at 125°C[1].

[1] All temperatures mentioned in the text refer to junction unless otherwise specified.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

a) Low voltage dynamic losses (P_{LDD1} and P_{LDD2}) on the V_{CC} supply are due to two different components:

b1) Charge transfer to and from the gate of the power devices:

$$P_{LDD1} = 2V \cdot Q_G \cdot f$$

For two Irfpe 130 HEXFET operated at 100kHz with V_{CC} = 10V, we have:

$$P_{LDD1} = 2 \cdot 10 \cdot 120 \cdot 10^{-9} \cdot 100 \cdot 10^{3} = 0.16W$$

The factor 2 in the formula is valid in the assumption that two devices are being driven, one per channel. If V_{BS} is generated with a bootstrap capacitor/diode, this power is supplied from V_{CC}. The use of gate resistors reduces the amount of gate drive power that is dissipated inside the IR2110 by the ratio of the respective resistances. The internal resistances are approximately 6 Ohms, sourcing or sinking, so that, if the gate resistor is 10 Ohms, only 6/16 of P_{G1} is dissipated within the IR2110. These losses are not temperature dependent.

b2) Dynamic losses associated with the switching of the internal CMOS circuitry. They can be approximated with the following formula:

$$P_{LDD2} = V_{CC} \cdot Q_{LDD2} \cdot f$$

with Q_{LDD2} approximately equal to 16nC, largely independent from temperature. In a typical 100kHz application these losses would amount to 24mW.

c) High voltage static losses (P_{HVSTAT}) are mainly due to the leakage currents in the level shifting stage. They are dependent on the voltage applied on the V_S pin and they are proportional to the duty cycle, since they only occur when the high side power device is on. If V_S were kept continuously at 400V they would typically be 0.06mW at 25°C, going to 2.25mW at 125°C. These losses would be virtually zero if V_S is grounded, as in a push-pull or similar topology.

d) High voltage switching losses (P_{HVSWT}) comprise two terms, one due to the level shifting circuit (Figure 2) and one due to the charging and discharging of the capacitance of the high side p-well ($C_{S\,well}$ in Figure 3).

d1) Whenever the high side flip-flop is reset, a command to turn-off the high side device (i.e., to set the flip-flop) causes a current to flow through the level-shifting circuit. This charge comes from the high voltage bus, through the power device and the bootstrap capacitor. If the high side flip-flop is set and the low side power device is on, a command to reset it causes a current to flow from V_{CC}, through the diode. Thus, for a half-bridge operating from a rail voltage V_R, the combined power dissipation is:

$$(V_R - V_{CC}) \cdot Q_P \cdot f$$

with Q_P the charge absorbed by the level shifter, and f the switching frequency of the high side channel. Q_P is approximately 5nC at V_R = 50V, going to 10nC as the rail voltage increases to 500V. In a typical 400V, 100kHz application these losses would amount to 0.175W. This includes the charging and discharging of $C_{S\,well}$. There is a third possible source for Q_P, when the high side flip-flop is being reset (i.e., the power device is being turned on) and the low side power device is off. In this case the charge comes from the high voltage bus, through the device capacitances and leakages or through the load. The power dissipation is somewhat higher than what would be calculated from the above expression.

In a push-pull or other topology where V_S (pin 5) is grounded, both level shifting charges are supplied from V_{CC} with significantly lower losses.

d2) In a high-side/low-side power circuit the well capacitance $C_{b\,well}$ is charged and discharged every time V_S swings between V_R and COM. Charging current is supplied by the high voltage rail through the power device and the epi resistance. Discharge occurs through the lower device and the epi resistance. The losses incurred in charging or discharging a capacitor through a resistor are equal to QV/2, regardless of the value of resistance. However, much of these losses occur outside the bridge driver, since the epi resistance is negligible compared to the internal resistance of the power devices during their switching transitions. Assuming a charge value of 9nC at 450V and an operating frequency of 100kHz, the *total* losses caused by the charging and discharging of this capacitance amount to:

$$Q \cdot V \cdot f = 9 \cdot 10^{-9} \cdot 450 \cdot 10^{5} = 0.4W$$

almost totally outside the IR2110. For all practical purposes, $C_{b\,well}$ cannot be distinguished from the output capacitance of the lower power device.

If V_S is grounded the capacitor is charged at a fixed voltage and these losses would be zero.

$C_{b\,well}$ (like $C_{S\,well}$) is a reverse biased junction and its capacitance is a strong function of voltage. For this reason, rather than giving the value in terms of capacitance, three charge values are given for three different voltages:

Voltage at V_S	Charge in $C_{b\,well}$
100V	3.3nC
200V	5.3nC
400V	9nC

These charges are not temperature dependent.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The above discussion on losses can be summarized as follows:

- The dominant losses are switching and, in high voltage applications at 100kHz or above, the static losses in Item a and Item c can be neglected outright.
- The temperature dependence of the switching losses is not significant;
- The combined losses are a function of the control mode, as well as the electrical parameters and temperature.

Knowing the power losses in the IR2110, the maximum ambient temperature can be calculated (and vice-versa) from the following expression:

$$T_{a\,max} = T_{j\,max} - P_D \cdot R_{th\,j-a}$$

where $R_{th\ j-a}$ is the thermal resistance from die to ambient. For the 14 pin DIL package this is 75°C/W maximum.

Figure 4 shows the power dissipation and the max ambient temperature at four different voltages when driving two IRF830 HEXFETs. Although measured in a specific set of operating conditions, these curves are general in nature and can be used to derive power losses and maximum ambient temperature for other operating conditions. To this end, the curve for $V_S = 0$ is of particular interest to isolate the low voltage components of losses since the high voltage ones become zero, as indicated above. The following example shows the breakdown of losses for operation of two IRF830 HEXFETs in a half-bridge from a 400V rail, 300kHz and no load:

$P_{D(lv)q}$ 0.004W

$P_{D(lv)sw}$: $P_{CMOS} = 15 \cdot 16 \cdot 10^{-9} \cdot 300 \cdot 10^3 =$ 0.072

$P_G = 2 \cdot 15 \cdot 28 \cdot 10^{-9} \cdot 300 \cdot 10^3 =$ 0.252

$P_{D(hv)q}$ 0.002

$P_{D(hv)sw}$: $(400 + 200) \cdot 9 \cdot 10^{-9} \cdot 300 \cdot 10^3 =$ 1.620

Total 1.950

Notice how the total is very close to the value shown in Figure 4a. The value of 200V in the formula to calculate $P_{D(hv)sw}$ is appropriate at no load, since this case would be the third in Section 2.2.d1.

If the power dissipation in the IR2110 turns out to be excessive for the maximum ambient temperature, the addition of external gate resistors decreases the amount of power dissipated inside the package (Item c), while keeping the combined gate dissipation constant. Switching losses may, in fact, increase.

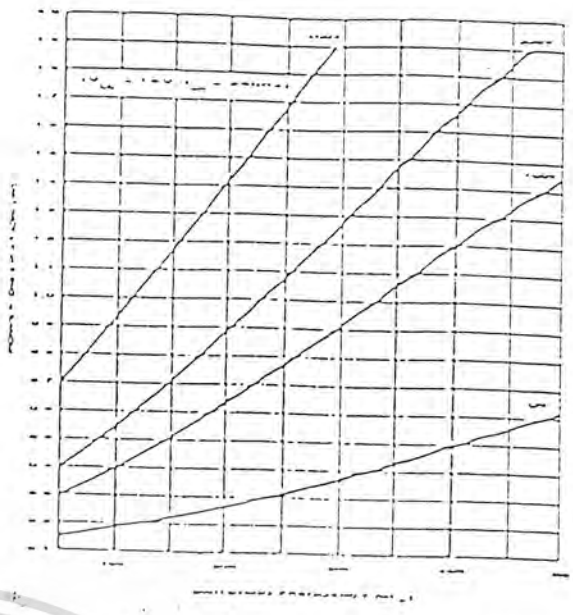


Figure 4a. Power dissipation as a function of frequency and operating voltage measured when driving two IRF830 HEXFETs in half-bridge configuration without gate resistors or load.

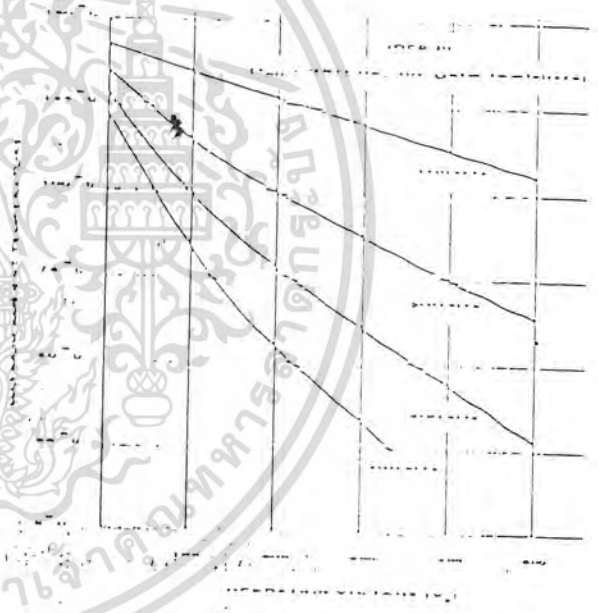


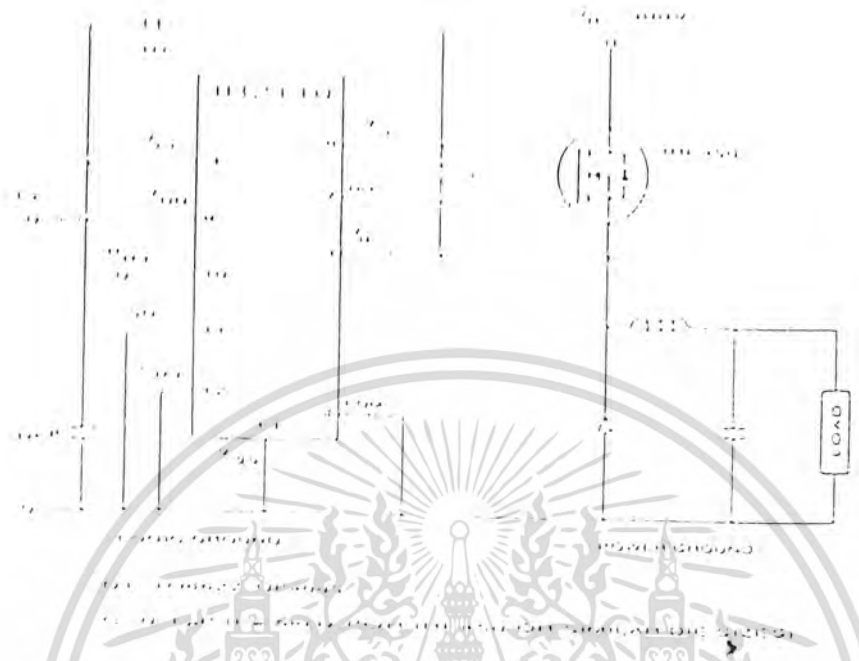
Figure 4b. Maximum ambient temperature as a function of frequency and operating voltage for half bridge operation. This figure is derived from measured data as shown in Figure 4a.

The actual junction temperature can be measured while in operation by pulling 1mA from the shutdown pin with the help of an adjustable current source, like the LM334. The voltage at the pin is 630mV at 25°C, decreasing by 2mV/°C.

3. Layout Guidelines

In spite of the noise immunity feature mentioned in Section 1, great care should be exercised in the layout of

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



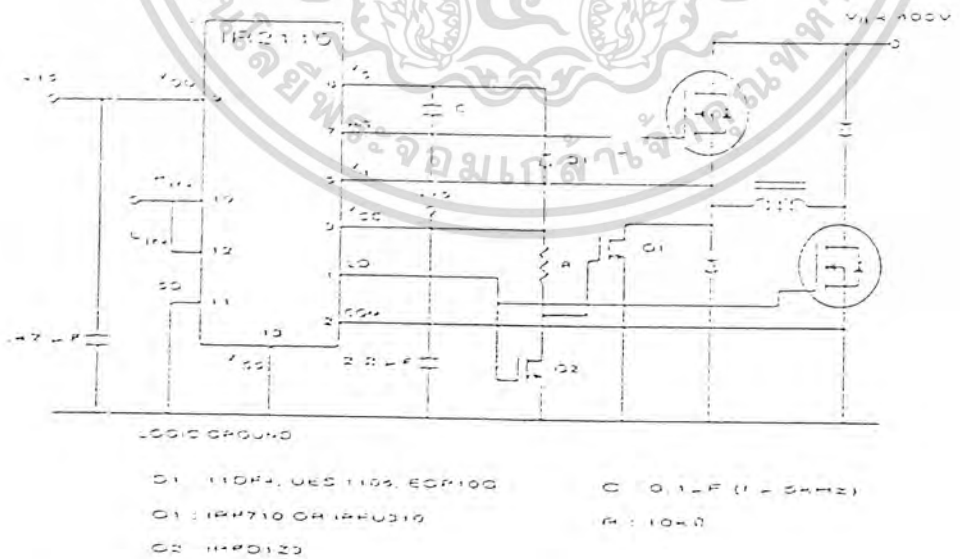


Figure 7. Dual forward converter and switched reluctance motors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 *Full Bridge with Current Mode Control*

Figure 8 shows an H bridge with cycle by cycle current control implemented with current sensing devices on the low side in combination with the shutdown pin of the IR2110. The detailed implementation of the current sensing circuit is dependent on the PWM technique used to generate the desired output voltage, the accuracy required, the availability of a negative supply, bandwidth, etc. (*Ref. 6, 7* and *8* cover these aspects in greater detail). As explained in Section 1.4, the shutdown function is latched so that the power MOSFETs will remain in the off-state as the load current decays through their internal diodes. The latch is reset at the beginning of next cycle, when the power devices are once again commanded on.

Stray inductances (L_1 and L_2 shown by dashed lines in Figure 8), in combination with high di/dt due to fast switching are the cause of the overshoots frequently seen across the power MOSFETs. Decoupling capacitors across the rail, connected close to the power devices, would cancel out the negative effects of L_1, L_2 on the other hand, must be reduced with a tight layout. This inductance, together with the forward recovery of the freewheeling diodes, causes the center point to swing outside of the rail voltage; i.e., V_s (pin 5) of the IR2110 would go below C_{OM} (pin 2). As mentioned in Section 1.3, that is allowed to -5V and erratic operation of the high side channel can occur if that limit is substantially exceeded.

The turn-on and turn-off propagation delays of the IR2110 are closely matched (worst case mismatch: 10ns), with the turn-on propagation delay 25ns longer than the turn-off. That, by itself, should insure that no conduction overlap of the power devices would occur, even if the on and off input command coincide. As an added safety margin a resistor diode network can be added to the gate, as shown with dashed lines in Figure 8. The purpose of this network is to further delay the turn-on, without affecting the turn-off, thereby inserting some additional dead-time.

The resistor-diode network is also useful in reducing the peak of the current spike during the reverse recovery time. As explained in Ref. 5, this has an impact on power losses, as well as dv/dt and EMI.

Figure 9 shows the waveforms taken from a test circuit laid out as shown in Figure 5a. Operation at 500kHz with the IRF840 HEXFET did not present any problem nor cause any noticeable heating of the IR2110.

4.5 *Brushless and Induction Motor Drives*

The implementation of a three-phase bridge for motor drives requires a more careful attention to the layout due to the large di/dt components in the waveforms and the fact that switching events occur at 120° intervals. In particular, the driver furthest away from the common grounding point will experience the largest voltage differential between COM and the ground reference. Section 3 and Ref. 2 and 3 deal with this subject in greater detail.

Furthermore, there are several operating conditions that require close scrutiny as potential problem areas. One such condition could occur when a brushless dc motor is operated with locked rotor for an indefinite period of time with one leg of the bridge being off. In this condition the bootstrap capacitor could eventually discharge, depending on the voltage seen by V_S during this period of time. As a result the top power device would not go on when commanded to do so. In most cases this would not be a cause for malfunction, since the lower device would be commanded on next and the bootstrap capacitor would be charged and ready for next cycle. In general, if the design cannot tolerate this type of operation, it can be avoided in one of three ways:

a. if the pole has been inactive for some time, the control logic turns on the lower device first;

b. the control could be arranged to have a very short "normal" duty cycle even when no conduction is required;

c. if a pole can be inactive for a limited and known period of time, the bootstrap capacitor could be sized to hold up the charge for that time.

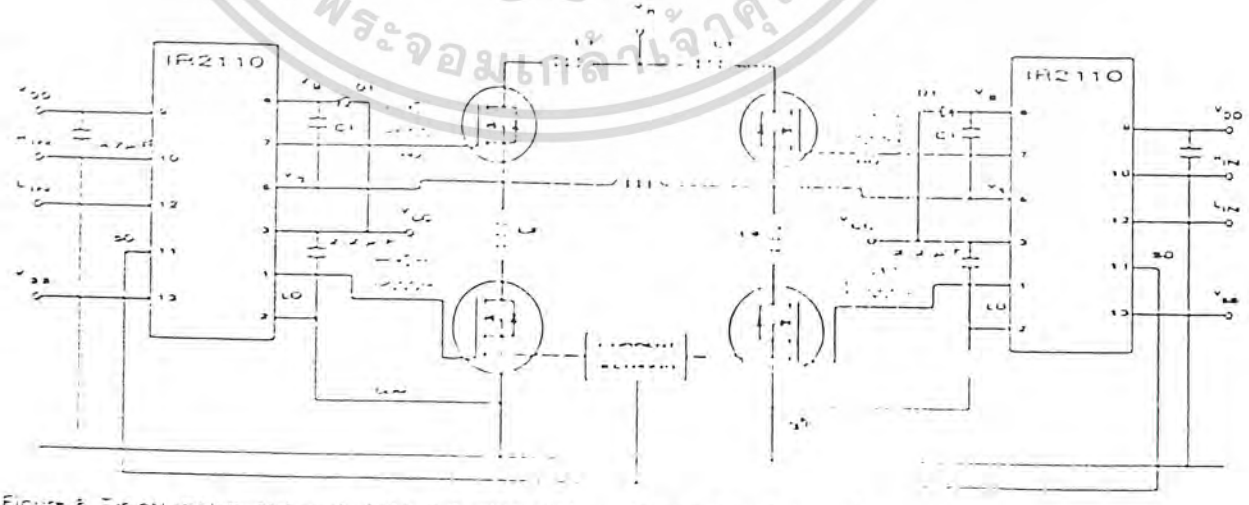


Figure 8. Typical implementation of an H bridge with cycle by cycle current mode control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

If the bridge is part of an induction motor drive that uses a PWM technique to control the speed, which pulses through prolonged periods of time with extremely low duty cycle at low frequency. The bootstrap capacitor should be sized to hold enough charge to get through these periods of time without recharging.

In circuits like the one shown in Figure 10, the isolation between the high voltage rail and the logic circuitry is supplied by the IR2110 as a reverse biased junction. A breakdown of one of these junctions would have disastrous consequences for the rest of the equipment. In many instances this cannot be allowed and some form of galvanic isolation is mandated by safety considerations or as a form of damage containment. Optocouplers or pulse transformers are frequently used to perform this function. The use of the IR2110 as a driver eliminates the dv/dt requirements that would otherwise be placed on these isolation components and reduces their cost while providing a high performance gate drive capability that is well beyond what these components perform directly.

4.5 *Push Pull*

The IR2110 can still make a very useful contribution in applications that do not capitalize on its key feature, the high voltage level shifting and floating gate drive. Convenience, noise resilience between V_{cc} and COM and high speed drive capability are appealing features in most power conditioning applications. The IR2110 can perform the interface and gate drive function with the simple addition of two decoupling capacitors.

4.6 *High-Side P-Channel*

The IR2110 can also drive a P-Channel device as a high side switch, provided that a negative supply referenced to the positive rail is available, as shown in Figure 11. When operated in this mode, the H_{in} input becomes active low, i.e. a logic 0 at the input turns on the P-Channel MOSFET.

Whenever V_s (or V_{ss}) are at fixed potential with respect to ground, the power losses mentioned in Section 2.2.2.2 would be zero.

5. Troubleshooting Guidelines

To analyze the waveforms of the floating channel of the IR2110 a differential input oscilloscope is required. It is assumed that any voltage differential not referenced to ground is measured in this way.

It is also assumed that obvious checks have been made, for example:

- Pins are correctly connected and power supplies are decoupled.
- The bootstrap charging diode is ultra-fast, rated for the rail voltage.
- The shutdown pin is grounded.
- Logic inputs do not cause simultaneous conduction of devices, unless the topology requires it.

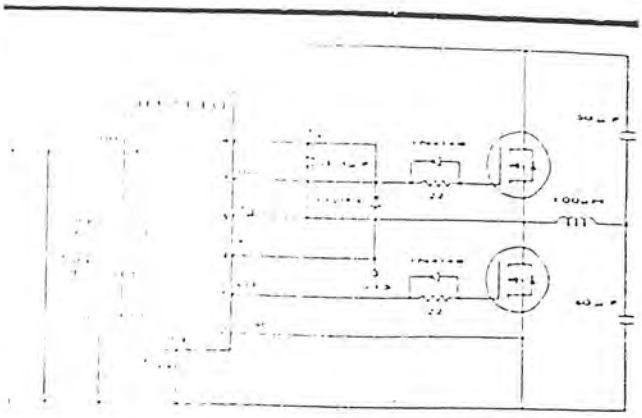


Figure 9a. Test circuit for waveforms shown below

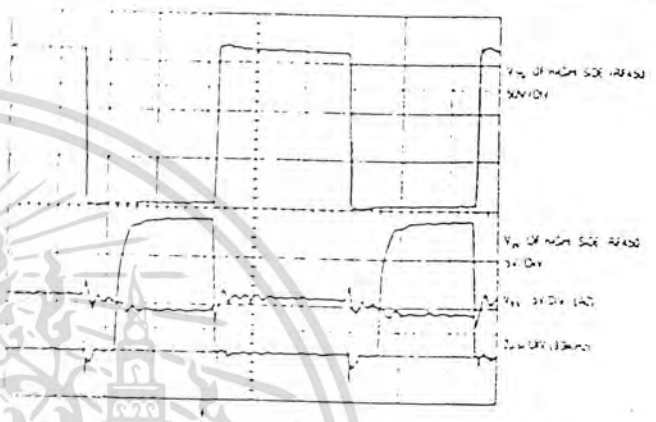


Figure 9b. Waveforms associated with the circuit shown in Figure 9a. IRF450 operated at approximately 100kHz in a 100 µH inductor.

The voltage drop across the bootstrap capacitor (0.1µF) due to the delivery of the gate charge is minimal (approx. 2V).

Due to the inductive nature of the load, the voltage across the HEXFET is close to zero even before gate voltage is present, because its internal diode goes in conduction when the other device goes off.

The resistor-diode network has the effect of slowing down the gate turn-on waveform substantially with minimal effect on the gate turn-off. In this particular operating mode the resistor-diode network does not perform a useful function because the turn-on occurs with zero volts across the HEXFET.

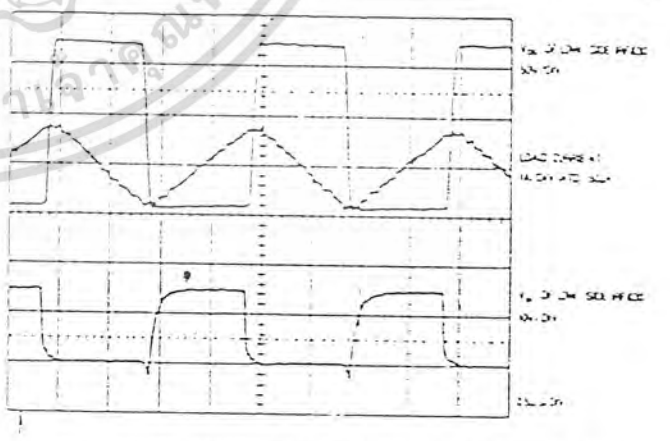


Figure 9c. Waveforms associated with the circuit in Figure 9a. IRF830's operated at 500kHz in a 50 µH inductor. The negative spike in the gate waveform is due to the forward recovery of the internal rectifier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

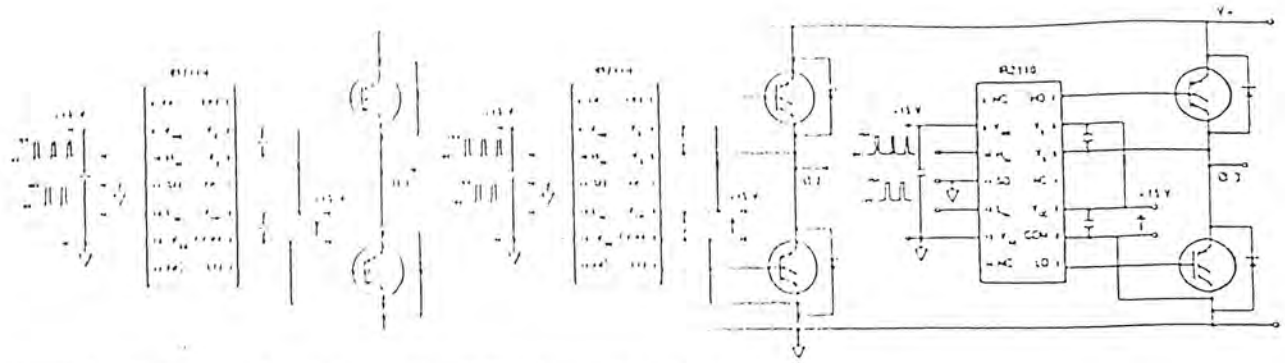


Figure 10. Three Phase Inverter using three IR2110 devices to drive six IGBTs

SYMPTOM	POSSIBLE CAUSE
No gate drive pulses	Verify that V_{CC} is above the lockout level
Gate drive pulses on lower channel only	Measure voltage across bootstrap capacitor; it should be above the lockout level. If it is not, check why capacitor doesn't get charged. Insure that capacitor is charged at turn-on.
Erratic operation of top channel	Verify that V_S doesn't go below COM by more than 5V. Verify that high side channel does not go in undervoltage lockout. Verify that dv/dt on V_S with respect to COM does not exceed 50V/ns. If so, switching may need slowing down. Verify that logic inputs are noise-free with respect to V_{SS}. Verify that input logic signals are longer than 50ns.
Excessive ringing on gate drive signal	Reduce inductance of gate drive loop. Use twisted wires, shorten length. If reduction of loop inductance does not bring ringing to acceptable level, add gate resistors.

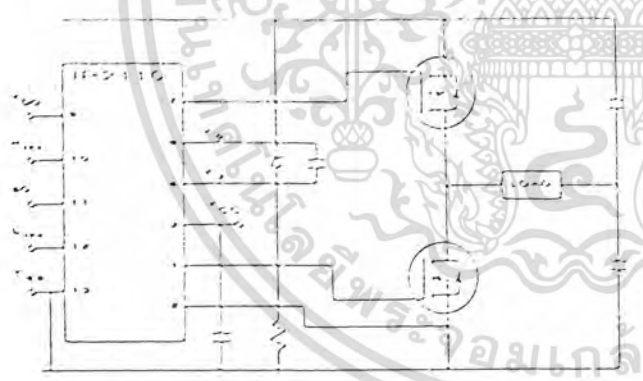


Figure 11. IR2110 driving a high side P-channel

References:

1. Application Note AN-944 "A New Gate Charge Factor"
2. "New High Voltage Bridge Driver Simplifies PWM Inverter Design," by D. Grant, B. Pelly, PCIM Conference 1989
3. "Noise Reduction Techniques in Electronic Systems" by H.W. Ott, John Wiley 1987
4. Application Note AN-936 "The Do's and Dont's of using HEXFETs"
5. Application Note AN-967 "PWM Motor Drive with HEXFET III"
6. Application Note AN-961 "Using HEXSense in Current-Mode Control Power Supplies"
7. Application Note AN-959 "An Introduction to the HEXSense"
8. "Dynamic Performance of Current Sensing Power MOSFETs" by D. Grant and R. Pearce, Electronic Letters, Vol. 24 No. 18, Sept 1, 1988

International
IOR Rectifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้ร่วมทำโครงงานขอขอบคุณ อาจารย์ ผศ.ประภาษ ไพรสุวรรณา ซึ่งเป็นอาจารย์ที่ปรึกษาและ อาจารย์ ดร.นนทวัฒน์ จุลเดชะ ซึ่งคอยให้คำแนะนำชี้แนะต่างๆ ซึ่งเป็นประโยชน์ในการทำโครงงานนี้ให้ดำเนินไปได้ด้วยดีตลอดระยะเวลาที่ผ่านมา

ผู้ร่วมทำโครงงานนี้หวังเป็นอย่างยิ่งว่า โครงงานนี้จะเป็นประโยชน์ต่อท่านที่ศึกษาทางด้านนี้ ความดีที่ได้รับจากโครงงานขอมอบให้แก่ อาจารย์ทุกท่านที่คอยให้คำแนะนำที่ดีตลอดมา และขอมอบให้แก่ บิดา มารดา ของผู้ร่วมทำโครงงานนี้ที่เป็นผู้อุปถัมภ์ตลอดมา

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

ดร.วัลลภ สุระกำเนิดกร, "Power MOSFET Constant Frequency Inverter",วิศวกรรมสาร ปีที่ 41 เล่ม 4 ประจำปี 2531

วิโรจน์ แซ่โซว,"ทรีกเกอร์เฟทมาใช้งาน ตอนที่ 4", เซมิคอนดักเตอร์อิเลคทรอนิกส์ บริษัทซีเอ็ดยูเคชั่น จำกัด , ฉบับที่ 140 กรกฎาคม 2537

สุวัฒน์ ต้น," เทคนิคการออกแบบสวิตชิ่งเพาเวอร์ซัพพลาย ", ฝ่ายวิจัยและพัฒนา บริษัทเอนเทลไทย จำกัด, พิมพ์ครั้งที่ 1 มกราคม 2537

นายธนุส ชูเกียรติโรจน์, นายนิรุธ จิรสุวรรณยุต, นายสมเกียรติ รุ่งสว่างวงษ์, " อินเวอร์เตอร์ 1 เฟส", ปริญญานิพนธ์ ปีการศึกษา 2534 T-34134

Arthur B. Williams," OPERATIONAL AMPLIFIERS ELECTRONICS ", Design Handbook

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้