การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล โดยใช้สวิทช์และคาปาซิเตอร์

SWITCHED-CAPACITOR SUCCESSIVE APPROXIMATE ANALOG TO DIGITAL CONVERTER

โดย

นางสาว นพรัตน์ ศรียานุวัตรกุล 34103169

นางสาว ยมนา หุ่นเภตรา 34105273

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล โดยใช้สวิทช์และคาปาซิเตอร์

SWITCHED-CAPACITOR SUCCESSIVE APPROXIMATE ANALOG TO DIGITAL CONVERTER

โดย

นางสาว นพรัตน์ ศรียานุวัตรกุล 34103169

นางสาว ยมนา หุ่นเภตรา 34105273

อาจารย์ที่ปรึกษา

อาจารย์ปราโมทย์ วาดเขียน

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2537

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลโดยใช้สวิทช์และคาปาซิเตอร์

ผู้จัดทำ

1 นางสาว นพรัตน์ ศรียานุวัตรกุล

2 นางสาว ยมนา หุ่นเภตรา

อาจารย์ที่ปรึกษา

(อาจารย์ปราโมทย์ วาดเขียน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล โดยใช้สวิทช์และคาปาซิเตอร์

โดย น.ส. นพรัตน์ ศรียานุวัตรกุล
น.ส. ยมนา หุ่นเภตรา
อาจารย์ที่ปรึกษา อาจารย์ ปราโมทย์ วาดเขียน

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ นำเสนอการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลโดยวิธีสวิทช์คาปาซิเตอร์ โดยมีสวิทช์ซึ่งทำงานตามสัญญาณนาฬิกาต่างๆ เป็นตัวควบคุมการทำงานของวงจร ซึ่งทำงานตามหลักการอัดประจุและคายประจุของคาปาซิเตอร์ ในการออกแบบจะให้ทำการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบอนุกรม (Serial convertion)

วงจร Switched-Capacitor Successive Approximation Converter ประกอบด้วยวงจรย่อยๆ ดังนี้ คือ วงจรสร้างสัญญาณควบคุมสวิทช์ต่างๆ , วงจรสร้างระดับสัญญาณเปรียบเทียบ , วงจรสร้างสัญญาณที่จะนำไปเปรียบเทียบในแต่ละรอบของการแปลง และ วงจรสำหรับทำการเปรียบเทียบ เป็นต้น

สำหรับวงจรที่สร้างระดับสัญญาณเปรียบเทียบนั้น ได้มีการปรับปรุงรูปแบบของวงจรทำให้สามารถใช้จำนวนคาปาซิเตอร์น้อยลงกว่าเดิม วงจรที่ทำการออกแบบในครั้งนี้ จะทำการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล 8 บิท เพื่อประโยชน์ในการใช้งานทั่ว ๆ ไป

ABSTRACT

This project presents about converting analog signal to digital signal by using Switched Capacitor Successive Approximate Converter and Serial Convertion method. It uses capacitors and switches that are controlled by clock signals.

The Switched Capacitor Successive Approximate A/D converter have a few parts . For example - building clock signal part for controlling switches , building reference voltage part , building siganl part for converting in each cycle. In this circuit converts analog signal to 8 bits digital signal.

In the building reference voltage part has improved by using new circuit that can save capacitor better than the first.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 หลักการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล	2
บทที่ 3 หลักการทำงานและการออกแบบ	31
รูปแบบการดำเนินงาน	31
การสร้างสัญญาณควบคุมการทำงาน	34
การออกแบบวงจรสร้างสัญญาณเปรียบเทียบ	39
การทำงานของวงจร	40
การพัฒนาและการออกแบบวงจร	44
ผลการทดสอบวงจร	48
บทที่ 4 บทสรุปผลและแนวทางพัฒนาต่อ	57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.1 บล็อกไดอะแกรมของการแปลงสัญญาณแบบอนุกรม 3 บิท 3
รูปที่ 2.2 บล็อกไดอะแกรมของการแปลงสัญญาณแบบขนาน 3 บิท 3
รูปที่ 2.3 ระบบควบคุมที่มีการประมวลข้อมูลแบบดิจิตอล 4
รูปที่ 2.4 แสดงความผิดพลาดที่เกิดจากการวัดใน Aperture time 5
รูปที่ 2.5 การสุ่มสัญญาณ 7
รูปที่ 2.6ก แสดงสเปคตรัมของสัญญาณอนาล็อกที่จะถูกสุ่ม 8
รูปที่ 2.6ข สเปคตรัมหลังจากการสุ่ม เกิด frequency folding 8
รูปที่ 2.7 การเกิด Alias frequency จากการสุ่มด้วยความถี่ต่ำกว่า 2 เท่าของความถี่สัญญาณอินพุทรูปซายน์ 8
รูปที่ 2.8 ทรานสเฟอร์ฟังก์ชั่นของควอนไตซ์ 3 บิทตามทฤษฎี 10
รูปที่ 2.9 ทรานสเฟอร์ฟังก์ชั่นของ ADC 3 บิทที่ใช้ระหัสออฟเซ็ทไบนารี 12
รูปที่ 2.10ก แสดงพื้นฐานของ S/H 13
รูปที่ 2.10ข ไดอะแกรมของวงจร S/H 14
รูปที่ 2.11 แสดงรูปคลื่นเอาท์พุทของ S/H 14
รูปที่ 2.12ก เอาท์พุทจาก Sample-holds 15
รูปที่ 2.12ข เอาท์พุทจาก Track-hold 15
รูปที่ 2.13 ทรานสเฟอร์ฟังก์ชั่นของ ADC 3 บิทตามทฤษฎี 15
รูปที่ 2.14 บล็อกไดอะแกรมของ ADC 16
รูปที่ 2.15 ADC แบบ Binary weight ladder 17
รูปที่ 2.16 วงจร DAC แบบ R-2R ladder ขนาด 4 บิท 18
รูปที่ 2.17 วงจรรีซิสทีฟแลคเตอร์ 18
รูปที่ 2.18 วงจร Inverter R-2R ladder DAC 19
รูปที่ 2.19 แสดงวิธีการพื้นฐานของ ADC 20
รูปที่ 2.20 แสดงทรานสเฟอร์ฟังก์ชั่นของคอมพาเรเตอร์ 20
รูปที่ 2.21ก บล็อกไดอะแกรมของ counter type DAC 21
รูปที่ 2.21ข Timing diagram counter type DAC 21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 2.22ก บล็อกไดอะแกรมของวงจร Tracking converter 22

รูปที่ 2.22ข Timing Diagram 23

รูปที่ 2.23 Single slope converter 23

รูปที่ 2.24 วงจรRamp voltage generator อย่างง่าย และลักษณะของเอาท์พุท 24

รูปที่ 2.25ก บล็อกไดอะแกรมของ Dual slope ADC 25

รูปที่ 2.25ข การทำงานของ Dual slope ADC ในช่วงเวลา T_2 25

รูปที่ 2.26 บล็อกไดอะแกรมของ Successive Approximation ADC 27

รูปที่ 2.27 Timing diagram ของ SAR 27

รูปที่ 2.28 บล็อกไดอะแกรมของ Fresh ADC 28

รูปที่ 3.1 วงจร Switch-capacitor ADC 32

รูปที่ 3.2 แสดงสัญญาณควบคุมการทำงานของวงจร 33

รูปที่ 3.3 แสดงการสร้างสัญญาณ S/H 34

รูปที่ 3.4 แสดงหารสร้างสัญญาณ ϕ_1 34

รูปที่ 3.5 แสดงการสร้างสัญญาณ ϕ_2 34

รูปที่ 3.6 แสดงการสร้างสัญญาณ ϕ_c 35

รูปที่ 3.7 แสดงการสร้างสัญญาณ ϕ_3 และ ϕ_4 35

รูปที่ 3.8 แสดงการสร้างสัญญาณ ϕ_r 35

รูปที่ 3.9 (a) การสร้างสวิทช์ sw1 36

(b) การสร้างสวิทช์ sw2 36

(c) การสร้างสวิทช์ sw3 36

(d) การสร้างสวิทช์ sw4 37

(e) การสร้างสวิทช์ sw5 37

(f) การสร้างสวิทช์ sw6 37

(g) การสร้างสวิทช์ sw7 37

(h) การสร้างสวิทช์ sw8 38

รูปที่ 3.10 แสดงวงจรส่วนของ V_{ref} 39

รูปที่ 3.11 แสดงการทำงานในจังหวะขาขึ้นของคล็อกที่ 1 40

รูปที่ 3.12 แสดงการทำงานในจังหวะขาขึ้นของคล็อกที่ 2 41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.13 แสดงหารทำงานในจังหวะขาลงของคล็อกที่ 2 41

รูปที่ 3.14 แสดงการทำงานในจังหวะขาขึ้นของคล็อกที่ 3 41

รูปที่ 3.15 แสดงการทำงานในจังหวะขาขึ้นของคล็อกที่ 3 กรณี ϕ_x ปิด 42

รูปที่ 3.16 แสดงการทำงานในจังหวะขาขึ้นของคล็อกที่ 3 กรณี ϕ_x เปิด 43

รูปที่ 3.17 วงจรสร้างสัญญาณเปรียบเทียบที่ออกแบบครั้งแรก 44

รูปที่ 3.18 วงจรสร้างสัญญาณเปรียบเทียบที่พัฒนาขึ้นใหม่ 44

รูปที่ 3.19 แสดงสัญญาณควบคุมของวงจรสร้างสัญญาณเปรียบเทียบ ที่สร้างขึ้นใหม่ 45

รูปที่ 3.20 การทำงานในจังหวะคล็อกที่ 2 ทำงาน 46

รูปที่ 3.21 แสดงการทำงานในจังหวะขาขึ้นของคล็อกที่ 3 46

รูปที่ 3.22 แสดงการทำงานในจังหวะขาลงของคล็อกที่ 3 47

รูปที่ 3.23 แสดงการทำงานของสัญญาณ S/H, ϕ_1 และ ϕ_2 48

รูปที่ 3.24 แสดงการทำงานของสัญญาณϕ_c , ϕ_3 และ ϕ_4 48

รูปที่ 3.25 แสดงการทำงานของสัญญาณ ϕ_r, sw1 และ sw2 49

รูปที่ 3.26 แสดงการทำงานของสัญญาณ sw3, sw4 และ sw5 49

รูปที่ 3.27 แสดงการทำงานของสัญญาณsw6,sw7และsw8 50

รูปที่ 3.28 แสดงการทำงานของสัญญาณ ϕ_A, ϕ_B และ ϕ_D 50

รูปที่ 3.29 แสดงสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทน้อยกว่า Vref/2 (เมื่อใช้วงจรแบบแรก) 51

รูปที่ 3.30 แสดงสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทมากกว่า Vref/2 (เมื่อใช้วงจรแบบแรก) 51

รูปที่ 3.31 แสดงสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทน้อยกว่า Vref/2 (เมื่อใช้วงจรแบบที่ 2) 52

รูปที่ 3.32 แสดงสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทมากกว่า Vref/2 (เมื่อใช้วงจรแบบที่ 2) 53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 3.1 แสดงสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทค่าต่างๆ 54
(เมื่อ Voltage reference มีค่า 5 V ความถี่ 60 kHz)
ตารางที่ 3.2 แสดงสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทค่าต่างๆ 55
(เมื่อ Voltage reference มีค่า 3.6 V ความถี่ 31.6 kHz)
ตารางที่ 3.3 แสดงสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทค่าต่างๆ 56
(เมื่อ Voltage reference มีค่า 4 V ความถี่ 60 kHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบัน การส่งสัญญาณด้วยระบบดิจิตอล ได้ถูกนำมาใช้กันอย่างกว้างขวาง โดยที่ระบบดิจิตอลไม่เพียงแต่จะเป็นโครงข่ายที่ทำให้เกิดการประหยัดเท่านั้น แต่ยังทำให้เกิดการสื่อสารที่มีประสิทธิภาพสูงขึ้นด้วย ปัจจัยที่สำคัญของการสื่อสารแบบดิจิตอลคือ ความเร็วในการส่งสัญญาณ ซึ่งจะเห็นว่าถ้าความเร็วในการส่งสัญญาณมีมากเพียงใด การสื่อสารข้อมูลต่าง ๆ จากต้นทางไปยังปลายทางก็สามารถติดต่อกันได้รวดเร็วมากขึ้นด้วย

กระบวนการในการส่งสัญญาณดิจิตอลนั้น จะประกอบไปด้วยขั้นตอนต่าง ๆ โดยเริ่มตั้งแต่ การแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล (Analog to Digital Convertion) เมื่อได้สัญญาณดิจิตอลแล้ว ก็จะนำไปเข้ารหัส (Encode) แล้วส่งสัญญาณนี้ไปตามช่องสัญญาณที่กำหนดไว้ ถ้าข้อมูลที่จะส่งมีมากและต้องการส่งเร็วขึ้น จะต้องนำสัญญาณดิจิตอลที่ได้มาทำการมัลติเพล็กซ์ (Multiplex) แล้วส่งสัญญาณไปพร้อม ๆ กัน เมื่อถึงปลายทางก็ต้องทำการดีมัลติเพล็กซ์ (Demultiplex) เพื่อแยกสัญญาณออกมา แล้วส่งสัญญาณไปยังอุปกรณ์ปลายทางที่ต้องการ

โดยปกติ สัญญาณข้อมูลต่าง ๆ ตามธรรมชาติ เช่น ศักดาไฟฟ้า , กระแสไฟฟ้า , ประจุไฟฟ้า , อุณหภูมิ , ความดัน และ เวลา จะอยู่ในรูปของสัญญาณต่อเนื่อง หรือสัญญาณอนาล็อก แต่ในปัจจุบัน อุปกรณ์อิเล็คทรอนิคส์มีการนำเอารูปแบบของสัญญาณดิจิตอลมาใช้งานมากขึ้น ยกตัวอย่างเช่น วงจรประมวลสัญญาณดิจิตอล , วงจรเครื่องบันทึกและเล่นกลับในเครื่องเสียงแบบดิจิตอล , วงจรด้านการสื่อสารข้อมูลแบบพัลส์โค๊ดมอดูเลเตอร์ , วงจรสังเคราะห์ภาพ เป็นต้น วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (A/D) จึงเข้ามาเป็นส่วนหนึ่งของอุปกรณ์อย่างหลีกเลี่ยงไม่ได้ และวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลจะต้องมีประสิทธิภาพการทำงานที่ดี สามารถแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลโดยมีความผิดเพี้ยนของสัญญาณต่ำและมีความเที่ยงตรงของสัญญาณสูง

วิทยานิพนธ์ฉบับนี้ นำเสนอการออกแบบพัฒนาอุปกรณ์ที่มีความสำคัญต่อระบบสื่อสารแบบดิจิตอล คือ อุปกรณ์แปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล (Analog to Digital Converter : ADC)โดยนำเอาสวิทช์และคาปาซิเตอร์มาประยุกต์ใช้งาน เพื่อให้วงจร ADC ที่ได้มีพื้นที่วงจรเล็กลง ความเร็วในการแปลงสัญญาณสูง นอกจากนี้วงจรที่เกิดจาก Switched Capacitor ADC ยังมีราคาถูกอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล

การแปลงสัญญาณอนาล็อกให้เป็นดิจิตอลนั้นเรามีวิธีการแปลง 2 วิธีด้วยกันคือ การแปลงแบบอนุกรม (Serial convertion) และการแปลงแบบขนาน (Parallel convertion)

วิธี SERIAL CONVERTION

การแปลงสัญญาณแบบอนุกรมนั้น เราจะแบ่งศักดาที่ใช้ในการเปรียบเทียบออกเป็น 2 ส่วน โดยในขั้นแรกจะนำศักดาอินพุทซึ่งเป็นศักดาที่ต้องการแปลง มาเปรียบเทียบกับค่าศักดาที่ใช้ในการเปรียบเทียบทั้ง 2 ส่วน ผลที่ได้จากการเปรียบเทียบครั้งที่ 1 จะได้บิท MSB ออกมา ซึ่งจะมีค่าดังนี้

- ถ้า $V_{in} > V_{ref}/2$ เอาท์พุทจะเป็น "1" และค่าที่ใช้ในการเปรียบเทียบครั้งต่อไป คือ $V_{in} - V_{ref}/2$
- ถ้า $V_{in} < V_{ref}$ เอาท์พุทจะเป็น "0" และค่าที่ใช้ในการเปรียบเทียบครั้งต่อไป คือ V_{in}

การเปรียบเทียบครั้งที่ 2 จะแบ่ง $V_{ref/2}$ ออกเป็น 2 ส่วน จะได้เป็น $V_{ref}/4$ แล้วนำ $V_{ref}/4$ ไปทำการเปรียบเทียบกับเอาท์พุทที่ได้จากการเปรียบเทียบครั้งแรก ผลที่ได้จากการเปรียบเทียบจะเป็นดังนี้

กรณี MSB = "1"

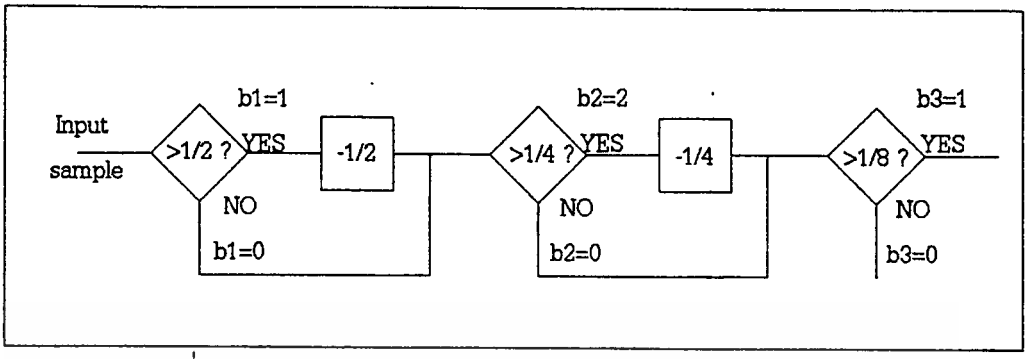
- ถ้า $(V_{in}-V_{ref}/2) > V_{ref}/4$ จะได้เอาท์พุทเป็น "1" และค่าที่ใช้ในการเปรียบเทียบครั้งต่อไปคือ $(V_{in}-V_{ref}/2)- (V_{ref/4})$
- ถ้า $(V_{in}-V_{ref}/2) < V_{ref}/4$ จะได้เอาท์พุทเป็น "0" และค่าที่ใช้ในการเปรียบเทียบครั้งต่อไป คือ $(V_{in}-V_{ref}/2)$

กรณี MSB = "0"

- ถ้า $V_{in} > V_{ref}/4$ เอาท์พุทจะเป็น "1" และค่าที่ใช้ในการเปรียบเทียบครั้งต่อไป คือ $V_{in}-V_{ref}/4$
- ถ้า $V_{in} < V_{ref}/4$ เอาท์พุทจะเป็น "0" และค่าที่ใช้ในการเปรียบเทียบครั้งต่อไป คือ V_{in}

เราจะทำการเปรียบเทียบในลักษณะนี้ไปเรื่อยๆ จนได้จำนวนบิทตามที่เราต้องการจะแปลง ตัวอย่างการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล 3 บิท แสดงดังรูปที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

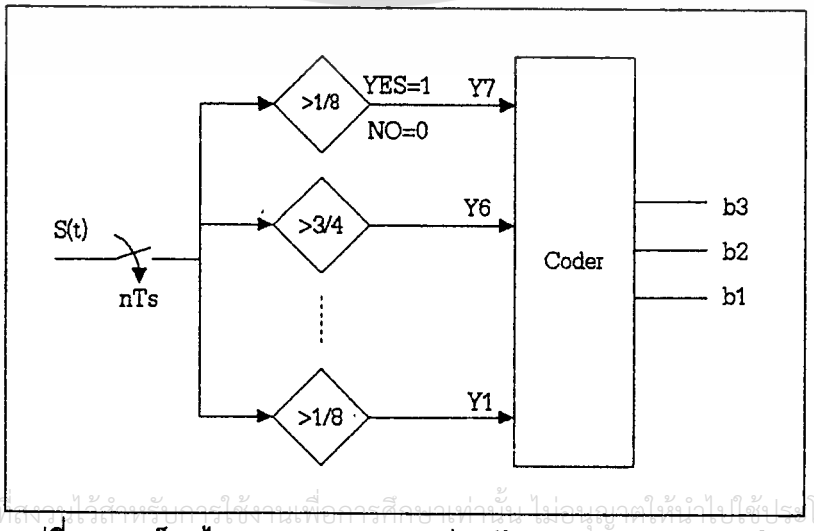


รูปที่ 2.1 บล็อกไดอะแกรมของการแปลงสัญญาณแบบอนุกรม 3 บิท

จากรูปที่ 2.1 เป็นบล็อกไดอะแกรมของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลขนาด 3 บิทและ สัญญาณที่จะทำการแปลงมีค่าอยู่ในช่วง 0-1 ค่าที่ใช้ในการเปรียบเทียบของ คอมพาเรเตอร์แต่ละตัวจะมีค่าตายตัวคือคอมพาเรเตอร์ตัวที่ 1 จะเป็น $V_{ref}/2$, ตัวที่ 2 มีค่าเป็น $V_{ref}/4$ และตัวที่ 3 มีค่าเป็น $V_{ref}/8$ โดยในที่นี้ให้ V_{ref} มีค่าเป็น 1 การเปรียบเทียบจะเริ่มจาก คอมพาเรเตอร์ตัวที่ 1 ไปถึงคอมพาเรเตอร์ตัวที่ 3

วิธี PARALLEL CONVERTION

วิธีนี้ทำงานได้เร็วกว่าวิธีแรก เพราะการแปลงแบบนี้จะให้เอาท์พุทออกมาพร้อมกันทุกบิทจะใช้คอมพาเรเตอร์เป็นจำนวน 2^n-1 ตัว (เมื่อ n เป็นจำนวนบิท) พิจารณารูปที่ 2.2 แสดงการเข้ารหัสสัญญาณขนาด 3 บิทซึ่งต้องใช้คอมพาเรเตอร์จำนวน 7 ตัว จากรูป ถ้าเอาท์พุทของคอมพาเรเตอร์ทุกตัวเป็น YES (เป็น 1 ทุกตัว) แล้วเอาท์พุทที่ออกจาก Encoder จะเป็น 111 แสดงว่าค่าสัญญาณที่ป้อนเข้ามาจะมีค่ามากกว่า 7/8 ถ้าเอาท์พุทที่ออกจากคอมพาเรเตอร์ตัวที่ 1-6 เป็น 1 ค่าเอาท์พุทที่ออกจาก Encoder จะเป็น 110 แสดงว่าค่าอินพุท อยู่ในช่วง 6/8-7/8 และถ้าสัญญาณอินพุทที่เข้ามามีค่าน้อยกว่า1/8 เอาท์พุทจาก Encoder จะเป็น 000

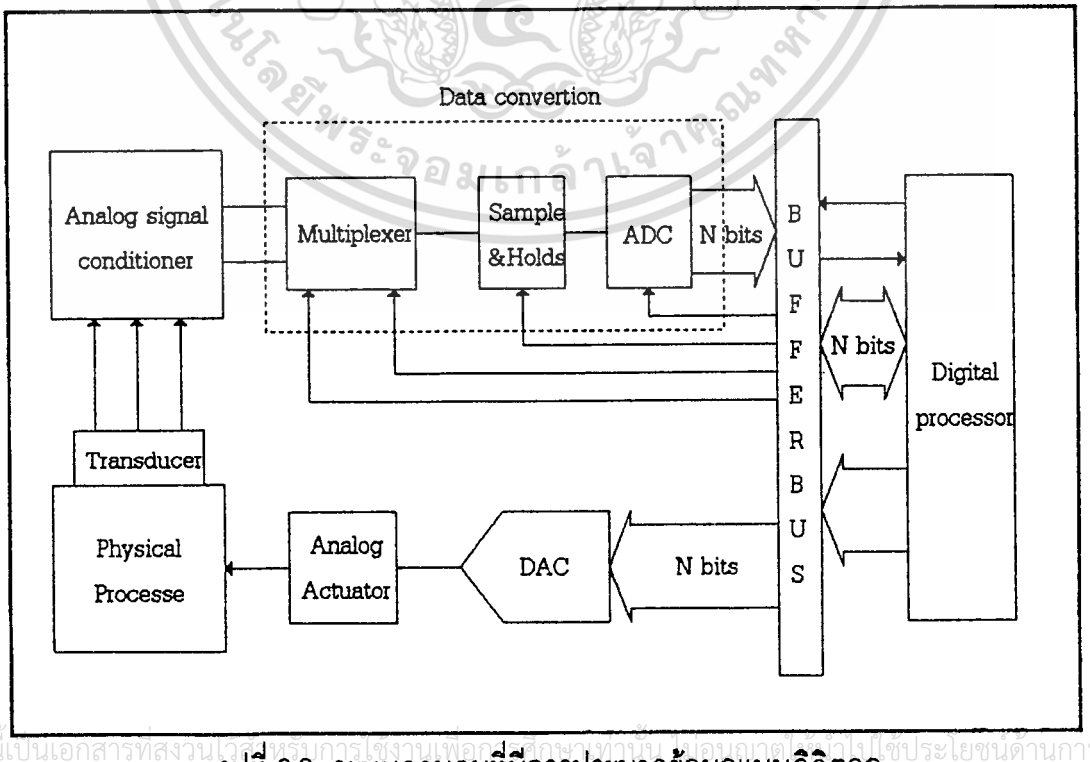


รูปที่ 2.2 บล็อกไดอะแกรมของการแปลงสัญญาณแบบขนาน 3 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีของดาต้าแอคควิสท์ชั่นและการแปลงสัญญาณ

รูปแบบสัญญาณไฟฟ้าที่เราพบเห็นและคุ้นเคยในชีวิตประจำวันจะอยู่ในรูปของสัญญาณต่อเนื่อง หรือที่เรียกว่า สัญญาณอนาล็อก (Analog signal) ซึ่งแต่เดิมนั้น การนำเอาสัญญาณไฟฟ้าดังกล่าวมาประมวล (Process) เพื่อให้มีรูปแบบที่เหมาะสมจะกระทำในแบบอนาล็อกนั่นเอง แต่เมื่อมีเทคนิคและอุปกรณ์การประมวลสัญญาณทางดิจิตอลได้รับการพัฒนาขึ้นมา เนื่องจากพบว่าในรูปแบบของดิจิตอล การประมวลผล เก็บ สื่อสาร และการนำเสนอกระทำได้ง่ายและอย่างมีประสิทธิภาพมากกว่า ดังนั้นการเปลี่ยนรูปแบบของสัญญาณ (Conversion) จึงได้มีความจำเป็นขึ้นมา ในรูปที่ 2.3 เป็นตัวอย่างแสดงระบบควบคุมที่ใช้การประมวลข้อมูลในระบบดิจิตอล ในระบบที่ยกมาเป็นตัวอย่างนี้ การเปลี่ยนแปลงทางกายภาพในลักษณะใดๆ ก็ตาม เช่น ความดัน อุณหภูมิ ฯลฯ จะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้าที่มีความต่อเนื่อง (สัญญาณอนาล็อก) โดยทรานสดิวเซอร์ที่มีคุณสมบัติที่เหมาะสมกับรูปแบบทางกายภาพนั้น สัญญาณไฟฟ้าจะถูกปรับให้อยู่ในรูปและขนาดที่เหมาะสมก่อนโดย Analog signal conditioner เช่น วงจรขยายหรือ ฟิลเตอร์ เป็นต้น ADC (Analog To Digital Converter)จะทำหน้าที่เปลี่ยนรูปแบบของสัญญาณจาก อนาล็อกเป็นดิจิตอล ตัวประมวลผลทางดิจิตอล (Digital processors) เช่น คอมพิวเตอร์ จะจัดการกับข้อมูลเพื่อนำเสนอหรือถูกเปลี่ยนกลับมาอยู่ในรูป อนาลอกโดย DAC เพื่อป้อนกลับไปควบคุม Physical process



รูปที่ 2.3 ระบบควบคุมที่มีการประมวลข้อมูลแบบดิจิตอล

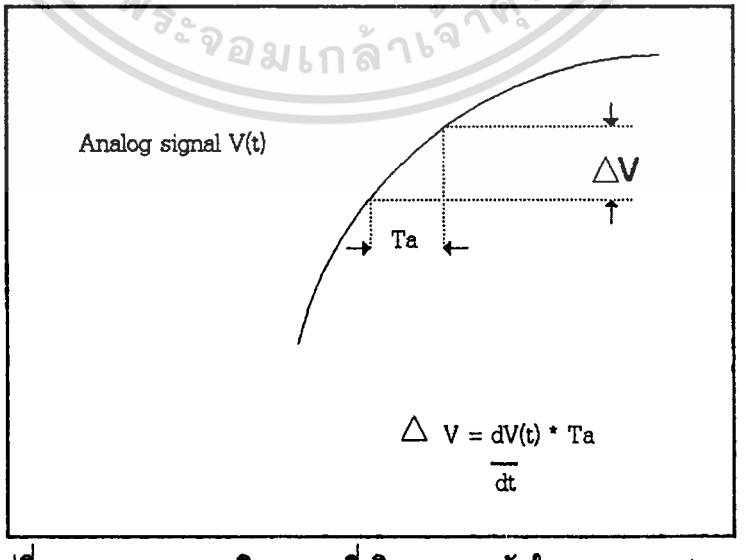
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบที่มีข้อมูลที่ต้องการประมวลผลในเวลาเดียวกันหลาย ๆ ข้อมูล ถ้าหาก ADC ทำงานได้เร็วพอ ก็จะไม่จำเป็นต้องใช้ ADC หลายๆ ตัว ทำงานแยกกันสำหรับข้อมูลแต่ละชุด แต่จะใช้วิธีการแบ่งเวลา(Timesharing) โดยวิธีการมัลติเพล็กซ์ (รูปที่ 2.3) วงจร Sampling and Hold (S/H) จะสุ่มตัวอย่างขนาดของสัญญาณมาและเก็บ (Hold) ไว้ชั่วขณะเพื่อรอให้ ADC รับไปเปลี่ยนให้เป็นสัญญาณดิจิตอลจนเรียบร้อยแล้วค่อยสุ่มสัญญาณใหม่ ทั้งนี้เพื่อไม่จำเป็นต้องใช้ ADC ที่มีความเร็วสูงราคาแพง ข้อมูลดิจิตอลจะถูกส่งต่อไปยัง System bus และถูกประมวลโดย Processor ผลของการประมวลจะถูกส่งกลับออกมาเพื่อเปลี่ยนกลับมาเป็นสัญญาณอนาล็อกโดย DAC เพื่อไปควบคุมกิจกรรมทางกายภาพของระบบผ่านAnalog actuator

ทฤษฎีการแซมปลิ้ง

ในการแปลงสัญญาณอนาล็อกเป็นระหัสดิจิตอลนั้น ADC จะต้องใช้เวลาช่วงหนึ่งในการจัดการ ซึ่งช่วงเวลาดังกล่าวขึ้นอยู่กับหลาย ๆ แฟคเตอร์ เช่น ความละเอียดของการเปลี่ยนสัญญาณ (จำนวนดิจิตอลบิท) เทคนิคของการเปลี่ยนแปลงสัญญาณ และความเร็วในการทำงานของอุปกรณ์ร่วมอื่นๆ การกำหนดความเร็วของการแปลงสัญญาณนี้ขึ้นอยู่กับการประยุกต์ใช้งานเฉพาะอย่างและความแม่นยำที่ต้องการ

ช่วงเวลาในการแปลงสัญญาณบางครั้งเรียกว่า Aperture time ซึ่งความหมายโดยทั่วไปหมายถึงช่วงเวลาที่เกิดความไม่แน่นอนของการวัด และผลก็คือความผิดพลาด (Error) ต่อค่าที่วัดได้



รูปที่ 2.4 แสดงความผิดพลาดที่เกิดจากการวัดใน Aperture time

ในรูปที่ 2.4 สัญญาณอนาล็อก V(t) มีอัตราการเปลี่ยน dV/dt ในช่วง Aperture time T_a

เอกสารนี้เป็นเอกสาร[illegible] ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นช่วงการเปลี่ยนแปลงอนาล็อกเท่ากับ ΔV โดย $\Delta V = T_a \, dV(t)/dt$

ดังนั้นหากเวลาที่ ADC ใช้ในการเปลี่ยนสัญญาณในช่วงเวลา T_a นี้ ระหัสดิจิตอลที่ได้อาจจะตรงกับขนาดของสัญญาณอนาล็อกค่าใดค่าหนึ่งในช่วงเวลานี้ ซึ่งแน่นอนว่าในบางครั้งเป็นไปได้ที่ระหัสดิจิตอลตรงกับขนาดของสัญญาณอนาล็อกที่เกิดขึ้น เรียกความผิดพลาดที่เกิดขึ้นนี้ว่า Aperture time error.

Sampling and hold และ Aperture time error

วงจร Sampling and Hold จะทำการสุ่ม (Sampling) สัญญาณอินพุท และนำสัญญาณที่สุ่มนั้นมาเก็บ (Hold) ไว้ในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันนั้นไว้ในตัวเก็บประจุที่รั่วไหลต่ำ Aperture time ของ Sample & Hold คือเวลาตั้งแต่เริ่มสุ่มสัญญาณเก็บประจุค่าแรงดันจนถึงค่าที่สุ่ม ซึ่งสำหรับ Sample and Hold แล้ว Aperture time ขึ้นอยู่กับแบนด์วิดธ์ และ Switching time ของอุปกรณ์แอคทีฟที่ใช้ในวงจร ซึ่งหาและสร้างได้ง่ายและราคาถูกกว่าการสร้าง ADC ความเร็วสูง

ในการสุ่มสัญญาณอนาล็อกจะถูกสุ่มเป็นระยะๆคงที่ตามรูปที่2.5 การสุ่มจะเป็นการตัดต่อสัญญาณอนาล็อกในช่วงเวลาอันสั้นด้วยสวิทช์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณขบวนสัญญาณพัลส์แคบๆ กับสัญญาณอนาล็อก ซึ่งจะได้เป็นสัญญาณที่มอดูเลทระหว่างขบวนพัลส์สัญญาณอนาล็อก โดยเสมือนว่าสัญญาณอนาล็อกขี่มาบนขบวนพัลส์ ดังแสดงในรูปที่ 2.5ค ถ้าหากสัญญาณอนาล็อกที่ถูกสุ่มถูก จนกว่าสัญญาณค่าใหม่ถูกสุ่มเข้ามา ซึ่งจะได้ลักษณะของเอาท์พุทที่แสดงในรูปที่ 2.5ง

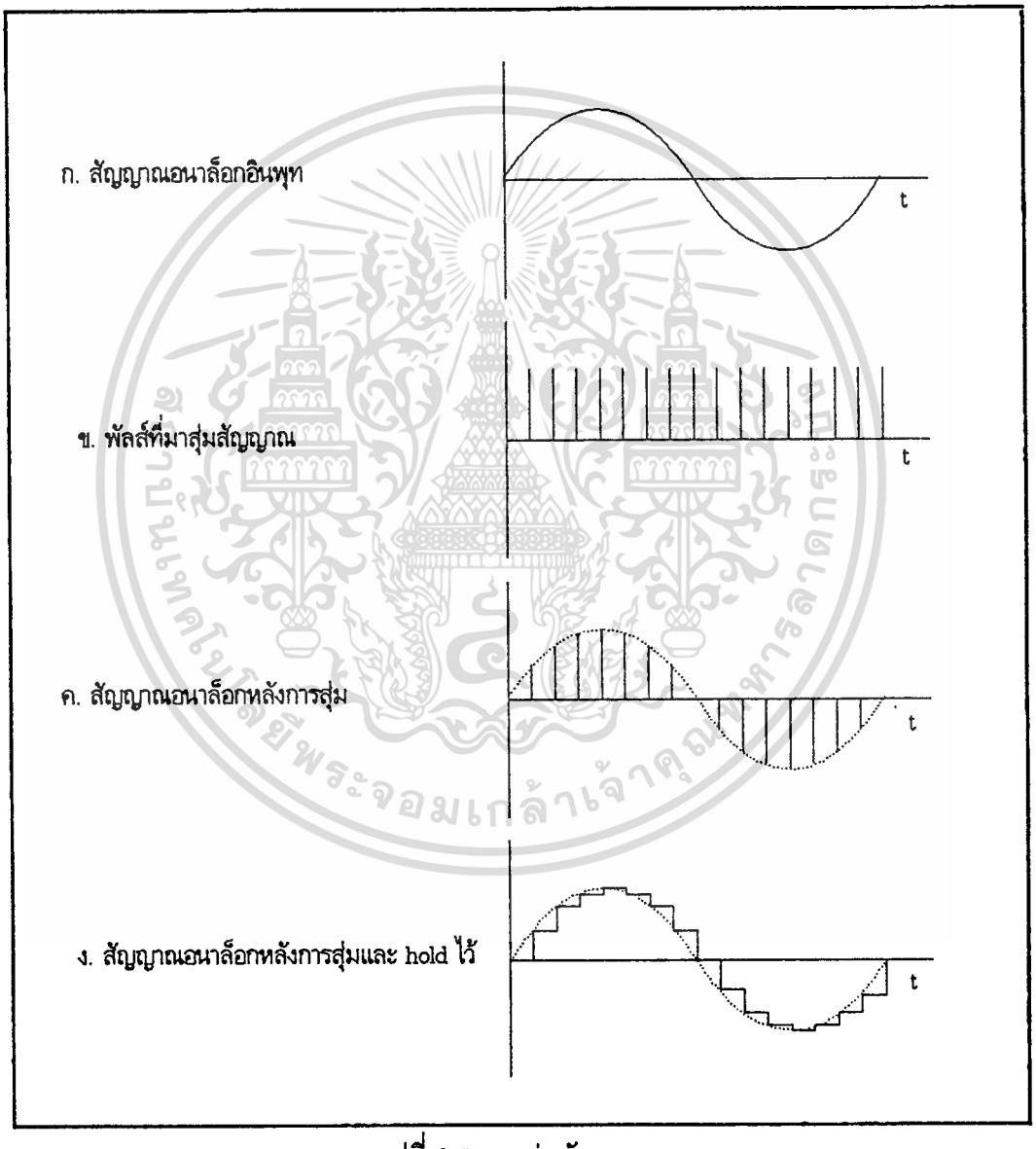
มีปัญหาที่ว่าอัตราการสุ่มสัญญาณนั้นควรมีขนาดเท่าไรจึงจะไม่ทำให้ข้อมูลสูญเสียไปเมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเป็นเช่นเดิม คำตอบคือขึ้นอยู่กับสัญญาณอนาล็อก ซึ่งทฤษฎีของการสุ่มตัวอย่างกล่าวไว้ว่า " ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาโมนิคไม่เกิน f_cจะถูกสุ่มด้วยอัตราการสุ่มไม่น้อยกว่า $2f_c$ แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไป "

Frequency folding และ Allising

จากทฤษฎีการสุ่มตัวอย่างสามารถอธิบายด้วยลักษณะรูปสเปคตรัมของสัญญาณในรูปที่ 2.6 โดยในรูปที่ 2.6ก แสดงให้เห็นสเปคตรัมของสัญญาณที่ถูกสุ่มซึ่งแบนด์วิดธ์ไม่เกิน f_c ในขณะที่สัญญาณนี้จะถูกสุ่มด้วยความถี่ f_s ขบวนการมอดูเลชั่นจะทำให้แถบสเปคตรัมของสัญญาณสุ่มขยายกว้างออกจาก f_s เป็น $2f_s$, $3f_s$,.... ได้เป็นดังรูป 2.6ข ถ้าความถี่ของสัญญาณสุ่ม f_s ไม่สูงพอหลังจากการสุ่มสเปคตรัมบางส่วนของ f_s จะหาซ้อนกลับสเปคตรัมสัญญาณซึ่ง

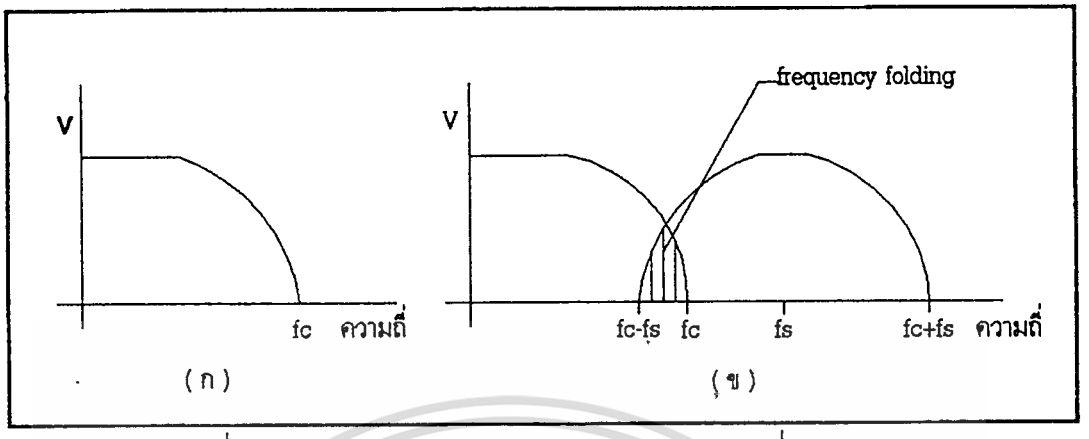
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้คัดลอก ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรียกว่า Frequency folding หากเป็นเช่นนี้จะทำให้เกิดความเพี้ยนแก่สัญญาณอนาล็อกจากการซ้อนกันของสเปคตรัม เมื่อสัญญาณถูกเปลี่ยนกลับให้อยู่ในรูปเดิม และถ้าเลื่อนความถี่ของการสุ่มให้สูงขึ้นจนโอกาสการซ้อนทับของสเปคตรัมหมดไป (f_s-f_c=f_c) และการเปลี่ยนกลับของสัญญาณหลังการสุ่มก็ยังคงเหมือนเดิมได้



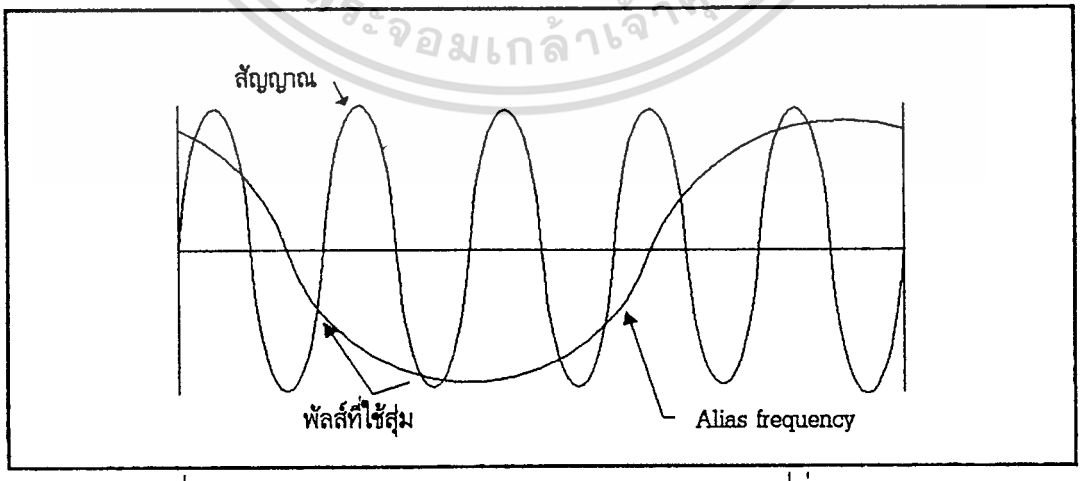
รูปที่ 2.5 การสุ่มสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 ก. แสดงสเปคตรัมของสัญญาณอนาล็อกที่จะถูกสุ่ม
ข. สเปคตรัมหลังจากการสุ่ม เกิด Frequency folding

จากที่กล่าวมาแสดงถึงการสนับสนุนทฤษฎีของการสุ่มที่ว่าให้ $f_s > 2f_c$ นั่นก็คือ การกำจัดการซ้อนกันของสเปคตรัมซึ่งทำได้สองวิธี วิธีหนึ่งด้วยการใช้อัตราสุ่มที่สูงพอและอีกวิธีหนึ่งคือการทำการฟิลเตอร์ความถี่ของสัญญาณอนาล็อกก่อนการสุ่ม (Anti alias filters) เพื่อให้แบนด์วิดธ์ไม่เกินไปกว่า $f_s/2$ ในทางปฏิบัติแล้วจะยังคงเกิด Frequency folding ได้เสมอจากส่วนฮาร์โมนิคส์ของสัญญาณรวมทั้งสเปคตรัมของสัญญาณรบกวนที่ยังคงอยู่ แม้ว่าการทำฟิลเตอร์ก่อนหน้ามาแล้วก็ตามการกำจัดการซ้อนกันของสเปคตรัมที่ได้ผลอีกวิธีหนึ่งคือ พยายามให้การสุ่มสัญญาณเป็นไปอย่างรวดเร็วมากที่สุด ซึ่งปกติจะสูงกว่าความถี่ต่ำสุดตามทฤษฎีการแซมปลิ้งคือ $2f_c$ เสมอ



รูปที่ 2.7 การเกิด Alias frequency จากการสุ่มด้วยความถี่ต่ำกว่า 2 เท่าของความถี่สัญญาณอินพุทรูปซายน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของการใช้อัตราการสุ่มที่ไม่เหมาะสมจะเกิดเป็นสัญญาณความถี่ต่ำเรียกว่า Alias frequency เมื่อสัญญาณถูกเปลี่ยนกลับมาเช่นเดิมหลังจากการสุ่มแล้วแสดงในรูปที่ 2.7 จะเห็นว่าความถี่ Alias อาจจะแตกต่างจากความถี่เดิมไปมาก

Anti alais filter จะช่วยลดสัญญาณในแถบความถี่ที่ทำให้เกิด Alias frequency ในขณะที่ต้องไม่ทำให้เกิดความผิดเพี้ยนของสัญญาณในแบนด์ที่ใช้งานและไม่ลดความแม่นยำในการวัดโดยรวมอีกด้วย ในการใช้ Anti alais filter มีปริมาณการขจัดความถี่สูง ขึ้นอยู่กับสิ่งต่างๆ ดังนี้ :

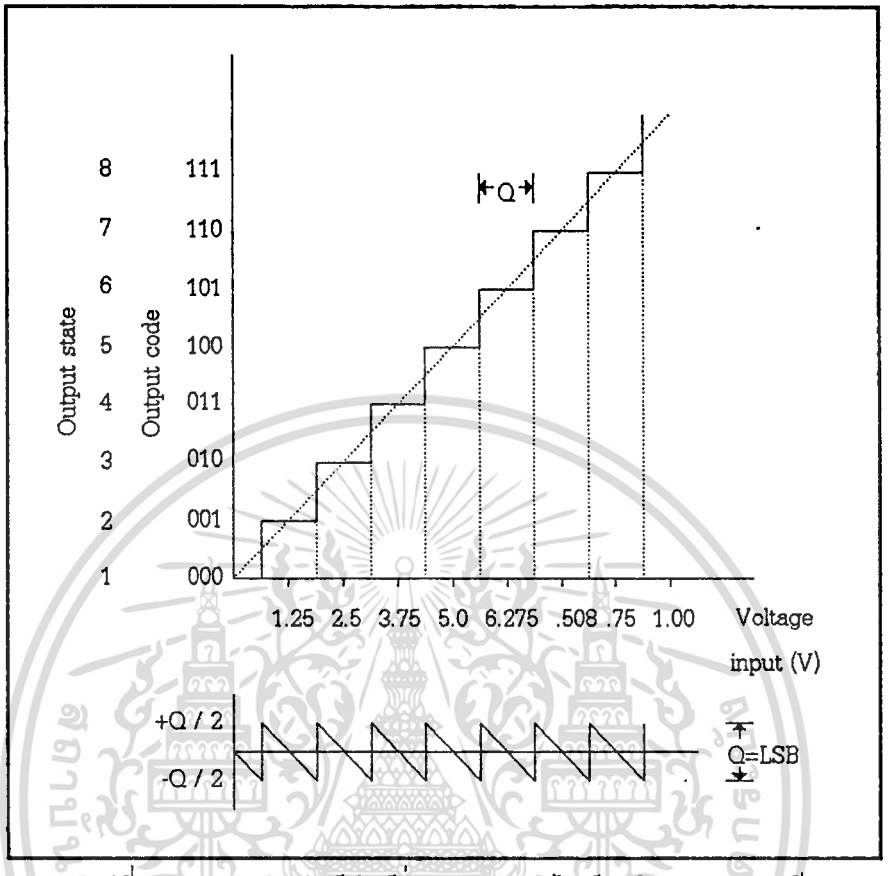
- ความถี่สูงสุดที่สนใจ
- อัตราการสุ่ม
- ความละเอียดของการแปลงสัญญาณ

ฟิลเตอร์ที่ใช้จึงอาจเป็น พาสซิฟฟิลเตอร์ แอคทีฟฟิลเตอร์ หรือ สวิทช์คาปาซิเตอร์ฟิลเตอร์

ทฤษฎีการควอนไตซ์ (Quantizing theory)

การควอนไตซ์ (Quentizing) เป็นขบวนการที่เปลี่ยนแปลงสัญญาณอนาล็อกเป็นสัญญาณที่ไม่ต่อเนื่อง (Discrete signal) หลังการสุ่ม โดยผ่านขบวนการเข้าระหัส (Coding) จัดให้สัญญาณที่ไม่ต่อเนื่องนั้นอยู่ในรูปที่ง่ายต่อการประมวล และเป็นสัดส่วนสัมพันธ์กับสัญญาณอนาล็อก เช่นในรูปของระหัสไบนารี (Binary) เป็นต้น หากนำเอาสัญญาณอนาล็อกและระหัสดิจิตอลที่ได้จากการ Quantize มาเขียนกราฟแสดง Quantize transfer function ดังในรูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
034902



รูปที่ 2.8 ทรานสเฟอร์ฟังก์ชั่นของ ควอนไตซ์ 3 บิท ตามทฤษฎี

ในรูปกราฟแสดงให้เห็นถึงความสัมพันธ์กันระหว่างสัญญาณอนาล็อกที่มีขนาดอยู่ระหว่าง 0 ถึง +10 โวลท์ ถูกควอนไตซ์ (Quantize) และ เข้าระหัส (Encode) เป็นระหัสไบนารี (Binary) 3 บิทได้ 8 ระดับจาก 000 ถึง 111 เนื่องจากในระบบไบนารีระหัสดิจิตอลแต่ละค่าแทนขนาดของสัญญาณอนาล็อกแต่ละค่าที่เป็นสัดส่วนกับค่าเต็มสเกล โดยค่าสูงสุดของระหัสดิจิตอลคือทุกบิทเป็น 1 จะเท่ากับสัญญาณอนาล็อกเต็มสเกลคูณด้วย($1-1/2^n$) โดย n เป็นจำนวนบิทของระหัสดิจิตอล และระหัสดิจิตอลแต่ละบิทที่เป็น 1 จะเท่ากับขนาดเต็มสเกลคูณกับ Weighting ของระหัสชนิดนั้นหารด้วย 2^n

จุดสำคัญที่เกี่ยวกับกราฟทรานสเฟอร์ฟังก์ฟังชั่น ในรูปที่ 2.6 อันแรกได้แก่ ความละเอียด (Resolution) ของควอนไตเซอร์ (Quantizer) ซึ่งกำหนดได้จากจำนวนบิทของระหัสดิจิตอล หรือจากกราฟคือขนาดความกว้างของ ขั้นระดับ (Step) ทางแกนอนาล็อกอินพุทว่าเป็นสัดส่วนเท่าใดระหว่างค่าเต็มสเกลอนาล็อกกับค่า 2^n

จำนวนสถานะเอาท์พุทกำหนดได้จากจำนวนบิทคือเท่ากับ 2^n สถานะ ตัวอย่างกรณี ADC 8 บิท Quantizer จะให้เอาท์พุท 256 สถานะและ 12 บิท ให้ 4096 สถานะต่อค่าเต็มสเกล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของอนาล็อก ในบล็อกไดอะแกรมแสดงทรานสเฟอร์ฟังก์ชั่น จะเห็นจุดแบ่งระดับ (Decision Point หรือ Theshold Level) สัญญาณอนาล็อกจะมีจำนวน $2^n - 1$ จุดที่อยู่ที่ 0.625, 1.875, 3.125, 4.375, 5.625, 6.875 และ 8.125 โวลท์ ระหว่างจุดดังกล่าวเป็นสัญญาณอนาล็อกซึ่งแปลงเป็นระหัสดิจิตอล 1 สถานะ ดังนั้นค่าเหล่านี้จะต้องปรับให้ถูกต้องมากที่สุดเพื่อแปลงขนาดของสัญญาณอนาล็อกให้ตรงกับค่าที่ทำการควอนไตซ์แรงดันที่ 1.25, 2.50, 3.75, 5.0, 6.25, 7.2 และ 8.75 โวลท์ เป็นจุดกึ่งกลางในช่วงของสัญญาณอนาล็อกที่แสดงสถานะเอาท์พุทดิจิตอล ฟังก์ชั่นที่มีลักษณะเป็นขั้นบันไดนี้สามารถประมาณเป็นเส้นตรงได้โดยการโยงเส้นตรงระหว่างจุดเริ่มกับจุดปลาย ณ จุดกึ่งกลางของระหัสดิจิตอลสถานะสุดท้าย สังเกตุว่า ในทางทฤษฎีแล้วเส้นตรงนี้จะต้องผ่านจุดกึ่งกลางของทุกระดับดิจิตอล

ควอนไตเซอร์รีโซลูชั่น (Quantizer Resolution) และ ความผิดพลาด (Error)

ในแต่ละสถานะของสัญญาณดิจิตอลเอาท์พุทจะแทนขนาดของสัญญาณอนาล็อกค่าใดค่าหนึ่งในช่วงเล็กๆ ระหว่างจุดแบ่งระดับ เรียกช่วงเล็กๆ นี้ว่าเป็นขนาดหนึ่ง Analog quantization หรือหนึ่งควันตัม (Quantum) หรือ 1 LSB (Least Significant Bit) ของการแปลงสัญญาณ ตัวอย่างรูปที่ 2.6ก ควันตัม คือ 1.25 โวลท์ ค่านี้ได้จากการคำนวนจาก

$$Q = FSR / 2^n$$

FSR คือ ช่วงเต็มสเกลของแรงดันอนาล็อก (Full Scale Range)

n คือ จำนวนบิทของระหัสดิจิตอล

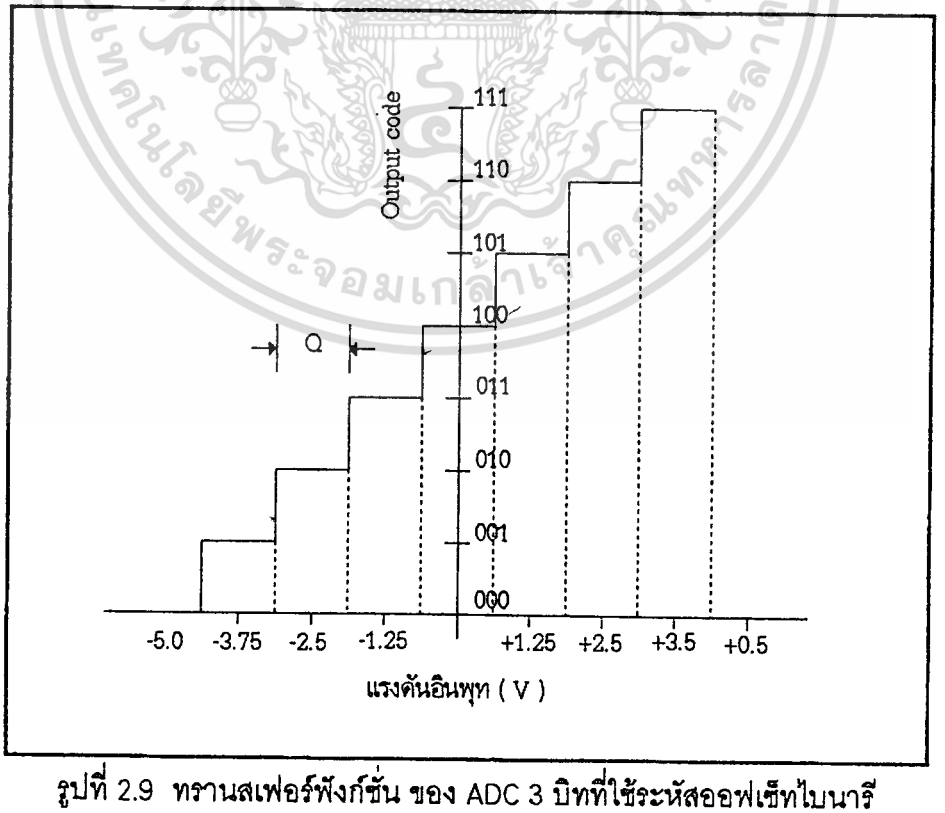
จากสมการจะเห็นว่าหากจำนวนบิทมากขนาดของควันตัมก็จะลดลงและถ้าให้สัญญาณอินพุทของ Quantizer กวาดไปตลอดช่วงของสัญญาณอนาล็อกก็จะเห็นช่วงของผลต่างของอนาล็อกอินพุทและ ดิจิตอลเอาท์พุทเป็นช่วงซึ่งพล็อตได้เป็นรูปฟันเลื่อยดังรูป 1.6(ข) เรียกว่า Quantizing error ซึ่ง Error นั้นก็คือ 1 ช่วงสัญญาณอนาล็อกแปลงเป็นระหัสดิจิตอล 1 สถานะ ดังกล่าวมาแล้วนั่นเอง

ความผิดพลาด (Error) นี้เป็นธรรมชาติของ การควอนไตซ์ซึ่งทำการแก้ไขไม่ได้นอกจากการเพิ่มจำนวนบิทของควอนไตเซอร์ให้มากขึ้น และ เอาท์พุท จะอยู่ระหว่าง 0 - Q/2 ค่าความผิดพลาดอาจจะเป็นศูนย์เมื่อสัญญาณอนาล็อกค่าที่จุดกึ่งกลางของควันตัมพอดี ลักษณะฟังก์ชั่นของความผิดพลาดจะสามารถพิจารณาเป็นสัญญาณรบกวนทางอินพุท ซึ่งมีค่าเป็น QV_{p-p} และค่าเฉลี่ยเป็นศูนย์ ค่าrms(Root Mean Square)เป็น $Q/2\sqrt{3}$ ซึ่งจะได้จากการวิเคราะห์รูปคลื่นฟันเลื่อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระหัสตัวเลขสำหรับการเปลี่ยนข้อมูล

ระหัสตัวเลขที่นิยมนำมาใช้ในระบบเปลี่ยนข้อมูลได้แก่ระหัสไบนารีหรือที่เรียกว่าStraight binary โดยที่ระหัสไบนารีสถานะสูงสุดจะแทนสัญญาณอนาล็อก FSR * ($1-2^n$) โวลท์ ตัวอย่างเช่น หากสัญญาณอนาล็อกเต็มสเกล (FSR) เท่ากับ 20 โวลท์ สำหรับ ADC ขนาด 12 บิท ระหัส 1111 1111 1111 จะแทนสัญญาณอนาล็อกขนาด 20 * ($1-2^{12}$) หรือ 19.9951171 โวลท์ นอกจากระหัสไบนารีธรรมดาดังกล่าวยังมีการใช้ระบบไบนารีแบบอื่น ๆ ในระบบการแปลงสัญญาณ ได้แก่ ออฟเซ็ตไบนารี, Two'complement, BCD ซึ่งแต่ละชนิดมีข้อดีและความเหมาะสมต่างกัน ตัวอย่างเช่น ระบบ BCD เหมาะสำหรับการแสดงตัวเป็นเลขหน้าปัทม์ หรือต่อเข้ากับดิจิตอลมิเตอร์ ระหัส Two's complement เหมาะสำหรับการคำนวณทางคณิตศาสตร์ลอจิก และสำหรับออฟเซ็ทไบนารีนั้นเหมาะสำหรับการแปลงสัญญาณอินพุทที่ทั้งช่วงบวกและลบ ในรูปที่ 2.9 แสดง Transfer function ของ ADC 3 บิทที่ใช้ระหัสออฟเซ็ทไบนารี นอกจากมาตรฐานของการใช้ระหัสตัวเลขแล้วยังมีมาตรฐานของการเลือก ช่วงของขนาดแรงดันอินพุท สำหรับ ADC คือ หากเป็นสัญญาณช่วงบวกหรือลบอย่างเดียวจะใช้ 0-5 โวลท์หรือ 0-10 โวลท์ แต่ถ้าเป็นช่วงลบจะใช้ -2.5 โวลท์, -5 โวลท์ และ -10 โวลท์ เป็นมาตรฐาน



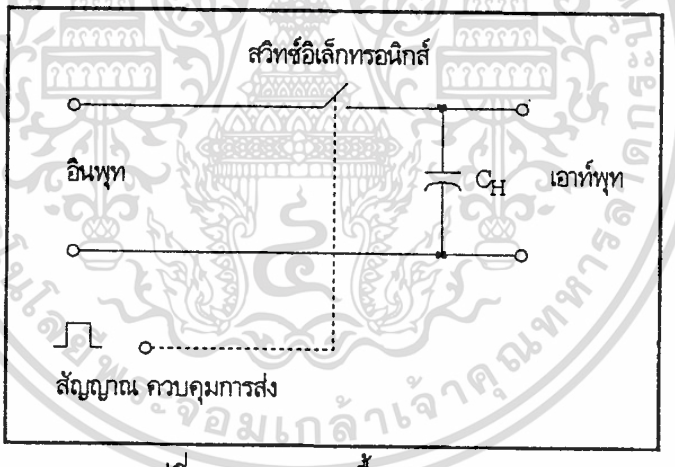
รูปที่ 2.9 ทรานสเฟอร์ฟังก์ชั่น ของ ADC 3 บิทที่ใช้ระหัสออฟเซ็ทไบนารี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแซมปลิ้งแอนด์โฮล (S/H)

ที่ผ่านมาได้กล่าวถึงจุดมุ่งหมายในการใช้วงจร S/H กับ ADC และต่อจากนี้จะได้กล่าวถึงรายละเอียดของวงจร S/H บางแบบที่ใช้ในปัจจุบัน

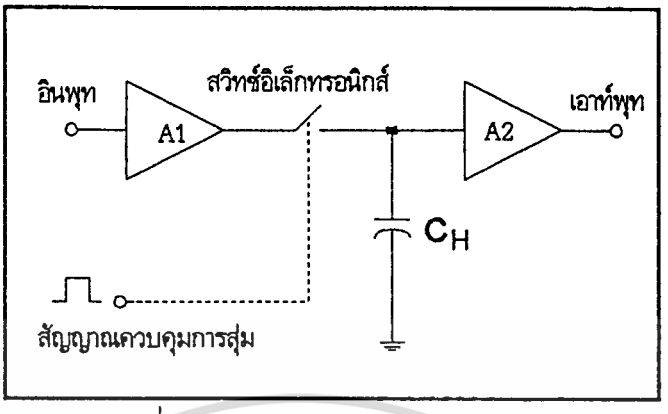
ความจริงแล้ววงจร S/H มิได้มีเฉพาะกับ ADC เท่านั้น แต่ก็ยังใช้กันทั่ว ๆ ไปในระบบ Data distribution , Sampling scope , DVM , Reconsruction filter และ อนาล็อกคอมพิวเตอร์ เป็นต้น วงจร S/H โดยพื้นฐานแล้วเป็นอุปกรณ์หรือวงจรเก็บแรงดัน (Voltage memory) ซึ่งใช้อุปกรณ์ร่วมสำคัญคือตัวเก็บประจุในรูปที่ 2.10ก แสดงวงจรพื้นฐานของ S/H อิเล็กทรอนิคสวิทช์จะต่อสัญญาณแรงดันเข้ากับตัวเก็บประจุซึ่งสวิทช์นี้ควบคุมจาก Sampling pulse ช่วงการตัดต่อสวิทช์และเวลาในการประจุแรงดันจนถึงค่าที่ Sample มานั้นเรียกว่า Aperture time ของ S/H จากลักษณะการทำงานดังกล่าววงจร S/H จะมีจุดตัดต่อสัญญาณเข้าออก 3 จุดด้วยกันคือ สัญญาณอนาล็อกอินพุท,สัญญาณ Sampling และ เอาท์พุท



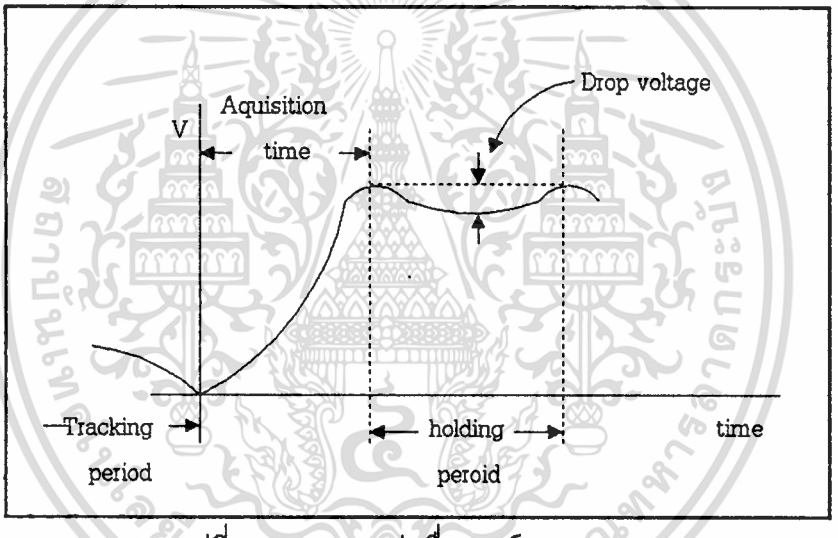
รูปที่ 2.10ก แสดงพื้นฐานของ S/H

รูปที่ 2.10ข แสดงวงจรที่ใกล้เคียงกับวงจรที่ใช้ในทางปฏิบัติ โดยเพิ่มเติมบัฟเฟอร์แอมป์ปริไฟร์เข้าทางส่วนอินพุท และ เอาท์พุทของ S/H พื้นฐานแอมปริไฟร์เออร์ทางด้านอินพุทช่วยทำให้วงจรมีอินพุทอิมพีแดนซ์สูง สะดวกต่อการใช้งานและสามารถเพิ่มกระแสเพื่อทำการประจุ C_H ได้เร็วขึ้น ส่วนทางเอาท์พุทช่วยทำให้เอาท์พุทอิมพีแดนซ์สามารถขับ ADC ได้ง่าย มีจุดสำคัญที่ต้องพิจารณาคือ ในส่วนของแอมปริไฟร์เหล่านี้ปกติแล้วจำเป็นต้องเป็นแอมปริไฟร์ที่ใช้กระแสอินพุทต่ำทั้งนี้เพื่อให้ดึงกระแสจากตัวเก็บประจุในช่วงโฮลสัญญาณน้อยที่สุด มิฉะนั้นแรงดันที่โฮลไว้จะลดระดับเนื่องจากการโหลด (Droop) ดังแสดงในรูปที่ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10ข ไดอะแกรมของวงจร S/H

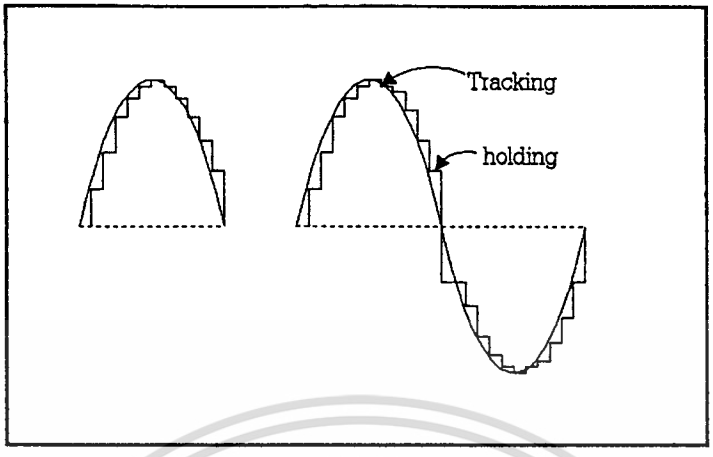


รูปที่ 2.11 แสดงรูปคลื่นเอาท์พุทของ S/H

ปกติแล้วมักใช้แอมปริไฟร์เออร์ที่มี FET หรือ MOSFET เป็นอินพุทเพราะการไบอัสด้วยแรงดันทำให้กระแสอินพุทต่ำด้วย

วงจร S/H ในระบบ Data acquistion นิยมใช้สองแบบคือ Sample-holds และ Track-holds วงจร Sample-hold จะใช้วิธีสุ่มสัญญาณอย่างรวดเร็วเข้าสู่ Holding period ซึ่งหมายความว่าสวิทช์ควบคุมจะต้องตัดต่อในช่วงเวลาอันสั้นอย่างต่อเนื่อง ส่วน Track-hold จะตัดต่อสวิทช์สุ่มช้ากว่าแต่ขณะที่ตัดสัญญาณออกวงจรจะ Track ตามสัญญาณอินพุทจนกว่าจะมีการสุ่มสัญญาณใหม่ ลักษณะเอาท์พุทของ Sample-Holds และ Track-hold แสดงในรูปที่ 2.12 นอกจาก Sample-holds ทั้งสองแบบแล้วยังมีแบบอื่นๆ ที่มีการนำมาใช้งาน ซึ่งไม่ขอกล่าวในที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

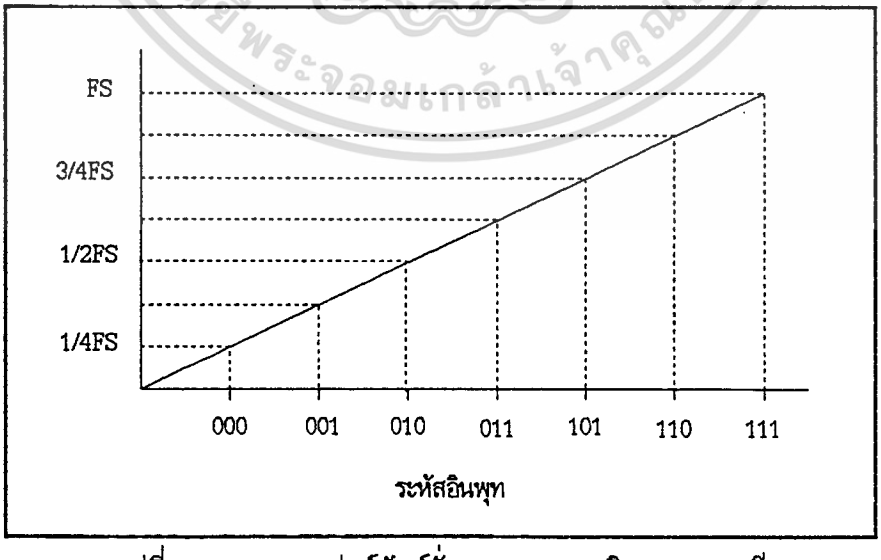


ก) เอาท์พุทจากจาก Sample-holds ข) เอาท์พุทจาก Track-hold

รูปที่ 2.12

วงจร Digital to Analogue Convertor (DAC)

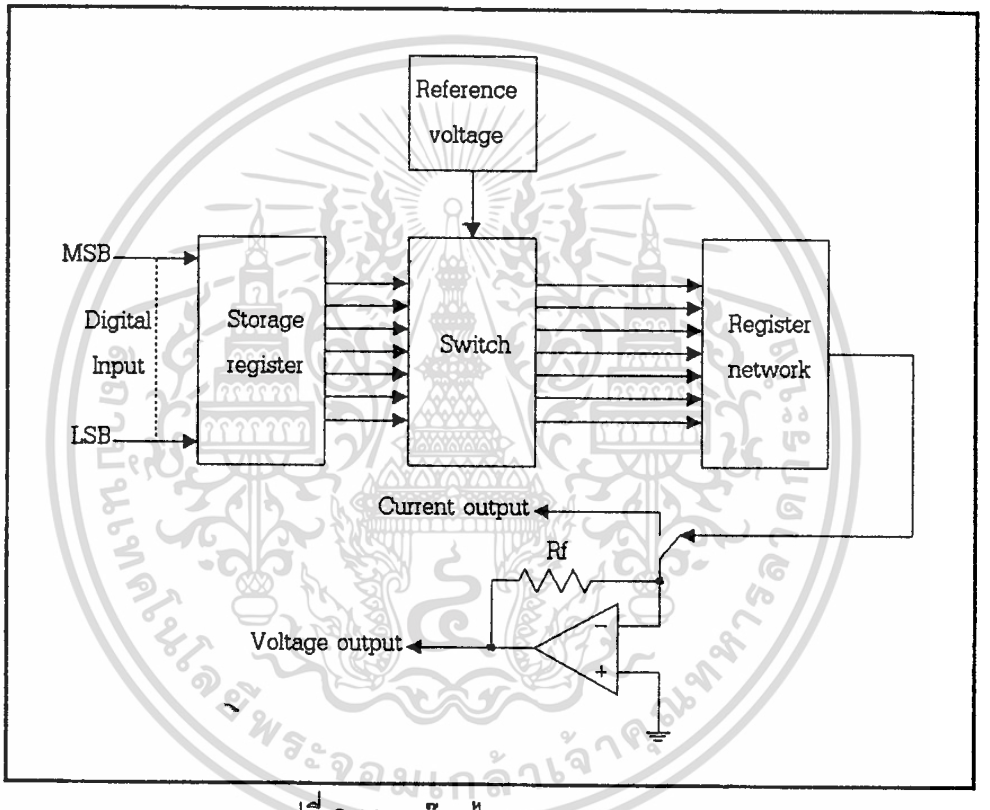
DAC นับเป็นอุปกรณ์สำคัญที่ทำให้ดิจิตอลคอมพิวเตอร์เชื่อมโยงกับอุปกรณ์ หรือวงจรอนาล็อกอื่น ๆ ตัวอย่างการใช้งาน DAC คือระบบแสดงผลบนจอภาพ ระบบสังเคราะห์เสียง เป็นต้น และที่สำคัญ DAC ยังเป็นส่วนประกอบสำคัญใน ADC ที่ใช้กันอยู่ในปัจจุบัน ในรูปที่ 2.13 แสดงทรานเฟอร์ฟังก์ชั่นของ DAC 3 บิท จะเห็นว่าระหัสสัญญาณดิจิตอลอินพุท 1 Word จะแปลงเป็นแรงดันอนาล็อก 1 ค่า ลักษณะการจัดวงจร DACเป็นดังรูปที่ 2.14



รูปที่ 2.13 ทรานสเฟอร์ฟังก์ชั่นของ DAC 3 บิทตามทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวใจสำคัญของ DAC คือ อาเรย์สวิทช์ที่ควบคุมด้วยลอจิคซึ่งมีจำนวน n ชุดเท่ากับจำนวนไบนารี สวิทช์เหล่านี้จะตัดต่อแรงดันอ้างอิงขนาดหนึ่งเข้ากับวงจรอาเรย์รีซิสเตอร์ค่าต่างๆ ที่ Weight ตามระหัสไบนารีเอาท์พุทบัฟเฟอร์ แอมปริไฟเออร์จะทำหน้าที่เปลี่ยนกระแสที่ถูก Weight โดยวงจรรีซิสเตอร์ให้เป็นแรงดันอนาล็อกที่สัมพันธ์ต่อกัน ใน DAC บางวงจรมี Digital register อยู่ในตัวเพื่อ Latch ระหัสอินพุทไว้ในขณะที่ DAC กำลังทำการเปลี่ยนเป็นสัญญาณอนาล็อก

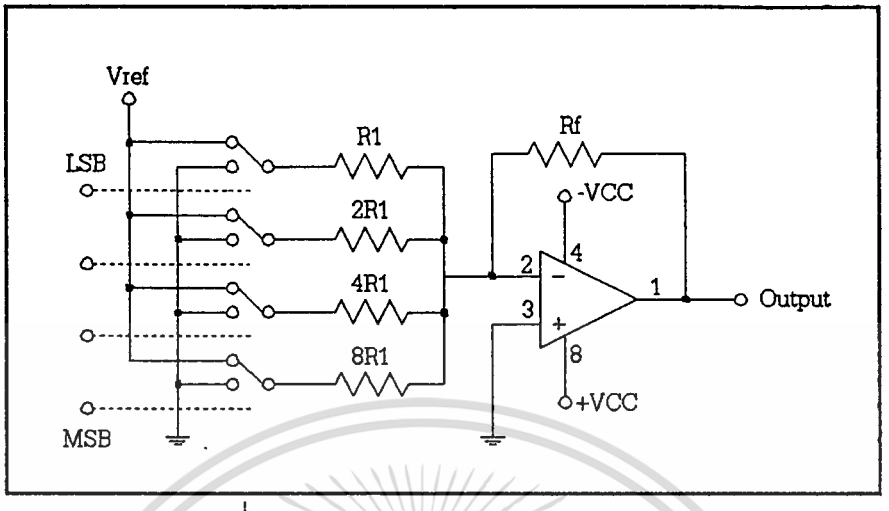


รูปที่ 2.14 บล็อกไดอะแกรมของ DAC

DAC แบบ Binary weight ladder

การจัดวงจร Binary weight ladder มีลักษณะตามรูปที่ 2.15 โดยสวิทช์ S_1-S_4 จะถูกควบคุมเปิด/ปิด ด้วยระหัสดิจิตอล เพื่อตัด/ต่อแรงดันอ้างอิงเข้ากับวงจรรีซิสเตอร์ที่มีค่า R , 2R , 4R, ...(2^n)R ตัวอย่างในกรณี DAC แบบ 4 บิทใช้รีซิสเตอร์เป็น 10k, 20k, 40k และ 80k เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 DAC แบบ Binary weight ladder

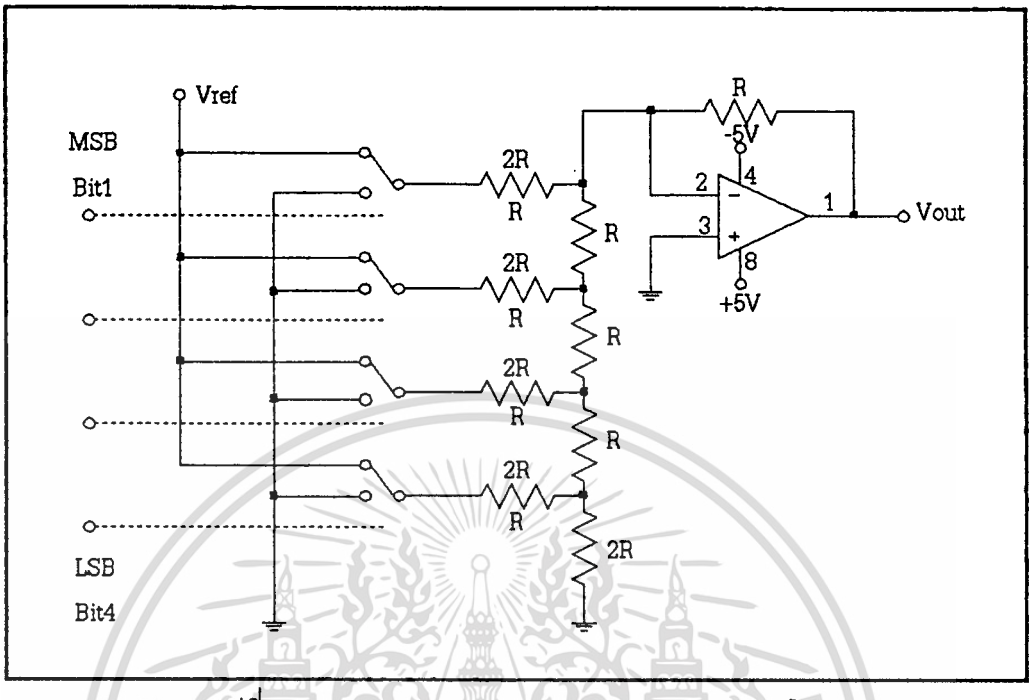
ค่ารีซิสเตอร์ที่ Weight ค่าตามระหัสดิจิตอลที่เพิ่มขึ้นจะทำให้กระแสผ่านรีซีสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ลดลงด้วยแฟคเตอร์ 2 ตามค่า R ที่เพิ่มขึ้น เช่น หากแรงดันอ้างอิงเป็น 10 โวลท์ในตัวอย่างนี้ กระแสที่ผ่านตัวต้านทานจะเป็น 1.0, 0.5, 0.25 และ 0.125 mA ตามลำดับ ออปแอมป์ที่เอาท์พุทจะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดันเอาท์พุท

$$V_o = -V_{REF}\frac{R_f}{R_1}(8S_4 + 4S_3 + 2S_2 + S_1) \quad ; S \text{ closed} = 1,\ s \text{ open} = 0$$

DAC แบบ R-2R ladder

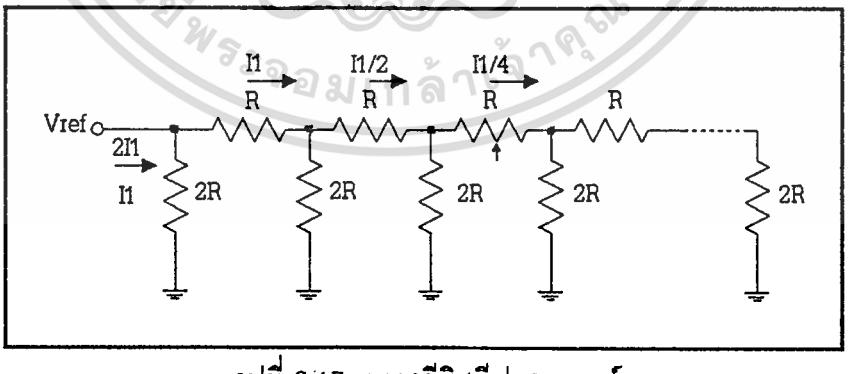
ถึงแม้ว่า DAC แบบ Binary weight จะใช้ค่ารีซีสเตอร์เพียง 4 ค่าก็ตาม แต่ในการผลิต DAC แบบนี้บนชิปไอซีเดียวกันก็ยังเป็นปัญหายุ่งยากในการผลิตอยู่ดี รูปแบบที่ดีกว่าคือการจัดวงจรแบบ R-2R ดังรูปที่ 2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 วงจร DAC แบบ R-2R ladder ขนาด 4 บิท

ในวงจรนี้สวิทช์จะตัดต่อให้แรงดันอ้างอิงต่อเข้ากับวงจร Ladder หรือต่อ Ladder ลงกราวด์ที่ขา 2R จะเห็นได้ว่า Switch input resistor (2R) มองเข้าไปจะเห็นคู่ของรีซิสเตอร์ ระหว่างจุดต่อ R-2R ที่ติดกัน กระแสจะถูกบั่นทอนไปในอัตรา 2:1 ซึ่งสอดคล้องกับรหัสไบนารี ดังแสดงในรูปที่ 2.15

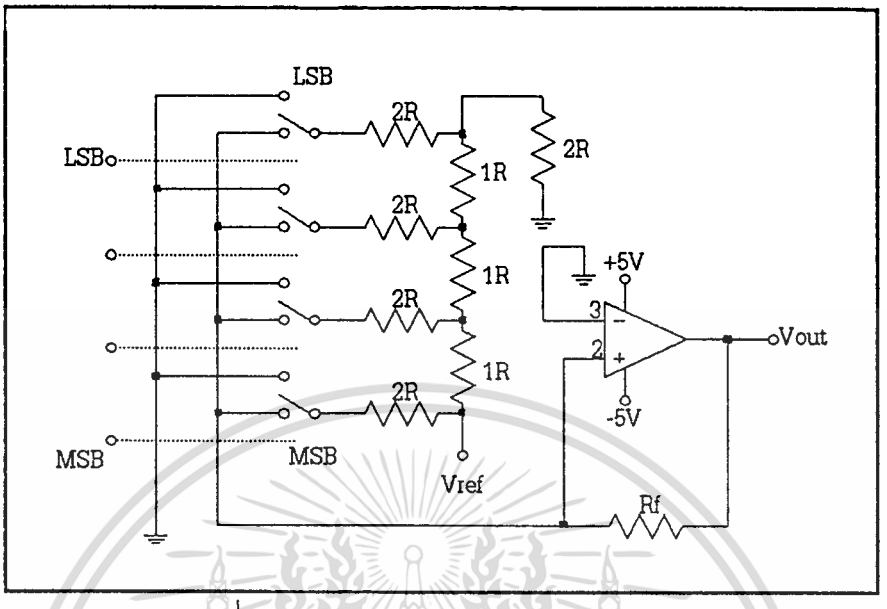


รูปที่ 2.17 วงจรรีซิสทีฟแลดเดอร์

Inverted R/2R Ladder DAC

ลักษณะการจัดวงจรแบบนี้จะคล้ายกันแบบ R/2R Ladder เพียงแต่สวิทช์จะตัดต่อขา R กับกราวด์และอินพุทของ Summing amplifier แทนที่จะเป็น V_{ref} วิธีการนี้นิยมใช้ในการทำ DAC ในวงจรรวมเพราะสวิทช์จะตัดต่อที่แรงดันคล่อมต่ำกว่าซึ่งสร้างได้ง่ายกว่า

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 วงจร Inverter R/2R ladder DAC

$$V_o = -V_{REF}\ \frac{R_f}{16R}(8S_4+4S_3+2S_2+S_1) \quad ; S \text{ close} = 1\ ,\ S \text{ open} = 0$$

Analog to Digital Converter (ADC)

ลักษณะการจัดวงจร ADC มีหลายแบบ แต่ที่นิยมใช้มีเพียงไม่กี่แบบและส่วนใหญ่จะอยู่ในรูปของวงจรรวม

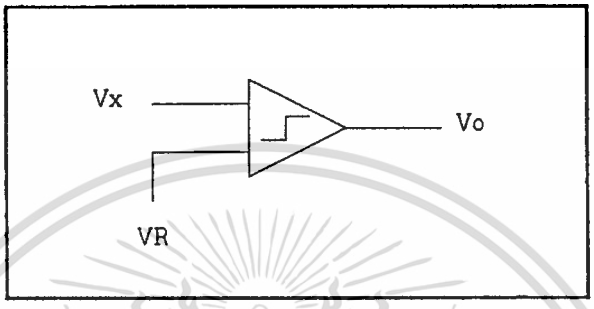
Basic conversion method

วิธีการแปลงสัญญาอนาล็อกเป็นดิจิตอลแบบง่าย ๆ แสดงในรูปที่ 2.19 แรงดันอินพุทที่ไม่ทราบค่า V_X จะต่อเข้ากับขาอินพุทขาหนึ่งของอนาล็อกคอมพาเรเตอร์ และ แรงดันอ้างอิงที่ขนาดแปรตามเวลา V_R ต่อเข้ากับอินพุทอีกขาหนึ่งของคอมพาเรเตอร์ลักษณะของทรานเฟอร์ฟังก์ชั่นของคอมพาเรเตอร์ แสดงในรูปที่ 2.20 ถ้าแรงดันอินพุท V_1 มากกว่าอินพุท V_2 แล้วแรงดันเอาท์พุทจะเป็นลอจิก 1 ถ้าอินพุท V_1 มากกว่า V_2 แล้ว เอาท์พุทจะเป็นศูนย์

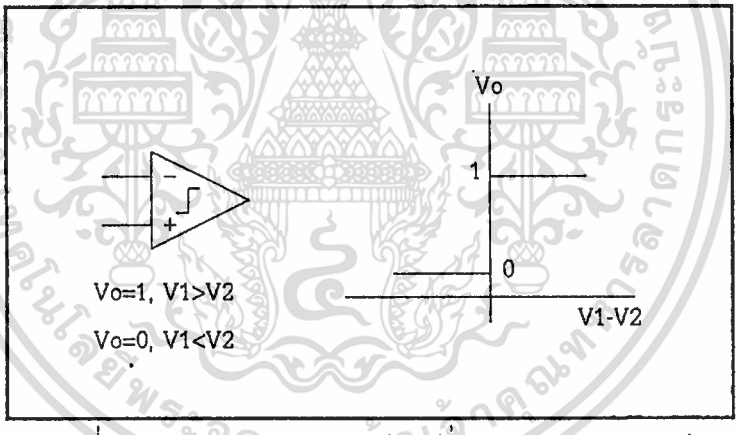
วิธีในการแปลงข้อมูลคือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุทที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์เตอร์ ในแนวความคิดแล้วตรรกะของ ADC คือพยายามเลือกกลุ่มของสัมประสิทธิ์ไบนารี a เพื่อมห้ผลต่างระหว่างแรงดันอินพุท V_x และค่าที่ Quantize ได้ครั้งสุดท้าย น้อยกว่า 0.5 LSB ซึ่งเขียนเป็นสมการได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left| [V_X - V_{FSR} \sum_{I=1}^{n} a_i 2^i] \right| < 0.5LSB$$



รูปที่ 2.19 แสดงวิธีการพื้นฐานของ ADC

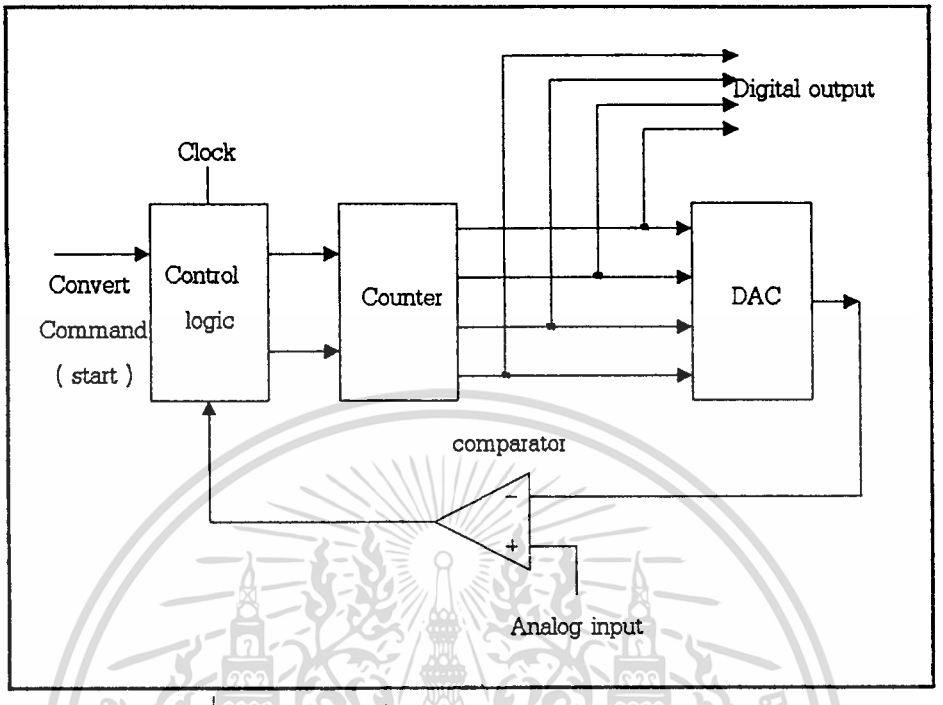


รูปที่ 2.20 แสดงทรานสเฟอร์ฟังก์ชั่นของคอมพาเรเตอร์

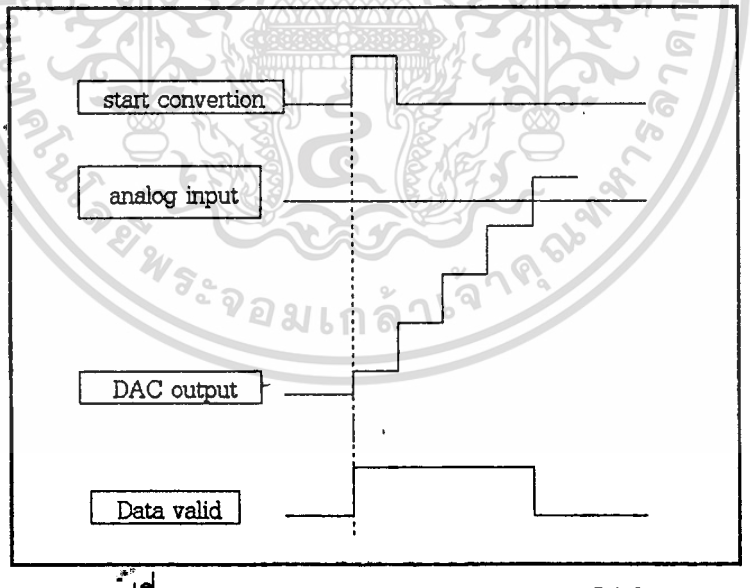
Counter type ADC

การจัดวงจร ADC ลักษณะนี้เป็นแบบที่ง่ายที่สุด หลักการทำงานของวงจรคือ การเปรียบเทียบขนาดของแรงดันที่เอาท์พุทของ DAC กับสัญญาณอนาล็อกที่ไม่ทราบค่า V_{in} การทำงานจะเริ่มโดยสัญญาณ start conversion ลอจิกคอนโทลจะรีเซ็ทเคาท์เตอร์ให้เป็นศูนย์ แล้วเริ่มนับขึ้นจากศูนย์ เอาท์พุทของเคาท์เตอร์จะป้อนให้ DAC เพื่อแปลงเป็นสัญญาณอนาล็อกลักษณะเป็นขั้นบันได นำมาเปรียบเทียบกับสัญญาณอนาล็อกอินพุทที่คอมพาเรเตอร์ โดยเคาท์เตอร์จะยังนับจนกระทั่งเอาท์พุทเท่ากับสัญญาณอนาล็อกอินพุทหรือต่างกันไม่เกิน 1 LSB แล้วคอมพาเรเตอร์จะเปลี่ยนสถานะไปหยุดการนับของเคาท์เตอร์และ latch ค่าจากเคาร์เตอร์เพื่อรอการประมวลต่อไป และรอรับสัญญาณ start ใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21ก บล็อกไดอะแกรมของ counter type DAC



รูปที่ 2.21ข Timing diagram counter type DAC

วงจรนี้มีข้อเสียที่ ทำงานได้ช้าเพราะการแปลงสัญญาณแต่ละครั้ง. เคาท์เตอร์จะต้องถูกรีเซ็ทและเริ่มนับจากศูนย์ทุกครั้งดังในการแปลงสัญญาณเป็นดิจิตอล n บิท จะ ใช้จำนวน Clock ถึง 2^n เพื่อเปลี่ยนให้ได้ค่าสูงสุดเต็มสเกล ส่วนข้อดีคือ สร้างได้ง่ายรวดเร็วราคาถูกแต่ความแม่นยำขึ้นอยู่กับ DAC ที่ใช้

เอกสารนี้มีลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tracking ADC

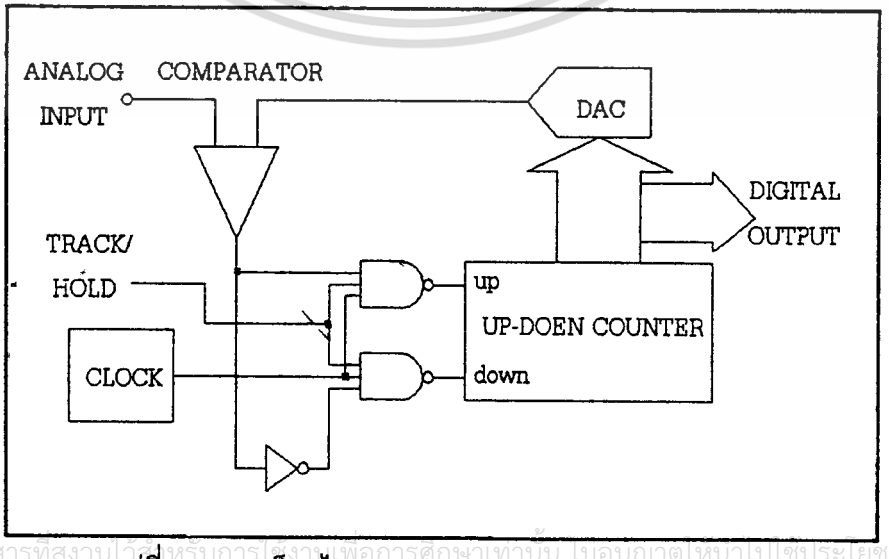
Tracking ADC จะปรับปรุงวงจรแบบ Counter type ทางด้านความเร็ว โดยใช้เคาท์เตอร์แบบนับขึ้นลงได้ไม่จำเป็นต้องเริ่มจากการนับจากศูนย์ทุกครั้ง แต่จะเริ่มนับจากค่าที่ได้ Latch ไว้จากการเปลี่ยนสัญญาณครั้งหลังสุด ดังนั้นส่วนควบคุมทางลอจิคจึงซับซ้อนมากกว่า โดยการทำงานจะเป็นดังนี้ เอาท์พุทจาก DAC จะถูกเปรียบเทียบกับสัญญาณอินพุท (V_{in}) หาก V_{in} มากกว่า ลักษณะลอจิคของคอมพาเรเตอร์จะควบคุมให้เคาท์เตอร์นับขึ้น แต่ถ้า V_{in} น้อยกว่าเคาท์เตอร์จะนับลงจนกว่าค่าหลังสุดของเคาท์เตอร์จะต่างจากสัญญาณอนาล็อก อินพุทไม่เกิน 1 LSB และค่าของเคาท์เตอร์จะถูก Latch ไว้จากนั้นเคาท์เตอร์จะทำงานแบบติดตาม (Track) สัญญาณอินพุทจนได้ค่าเท่ากันอีกก็จะ Latch ค่าใหม่ไว้

จากลักษณะการทำงานดังกล่าว V_{in} จะต้องไม่เปลี่ยนแปลงไปเร็วมากกว่าการทำงานของเคาท์เตอร์ มิฉะนั้นค่าเอาท์พุทที่ได้จะไม่สอดคล้องกับสัญญาณอินพุท ตัวอย่างในกรณีสัญญาณรูปซายน์ซึ่งเปลี่ยนแปลงขนาดได้มากที่สุดเท่ากับค่าเต็มสเกล อัตราการเปลี่ยนแปลงจะเท่ากับอัตราการเปลี่ยนแปลงของเอาท์พุทของเคาท์เตอร์ คือ 1 LSB/Clock period ดังนั้นถ้าต้องการให้ ADC ตามอินพุทได้จะต้องให้

$$\frac{V_{FS}\omega_O}{2} < \frac{V_{FS}f_c}{2^n}$$

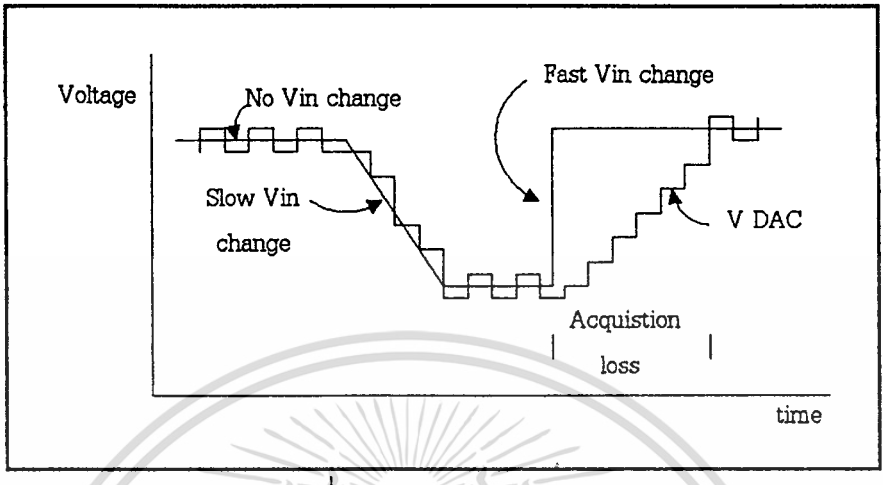
$$f_o < \frac{f_c}{\pi 2^n}$$

f_c คือ ความถี่ของ Clock



รูปที่ 2.22ก บล็อกไดอะแกรมของวงจร Tracking converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

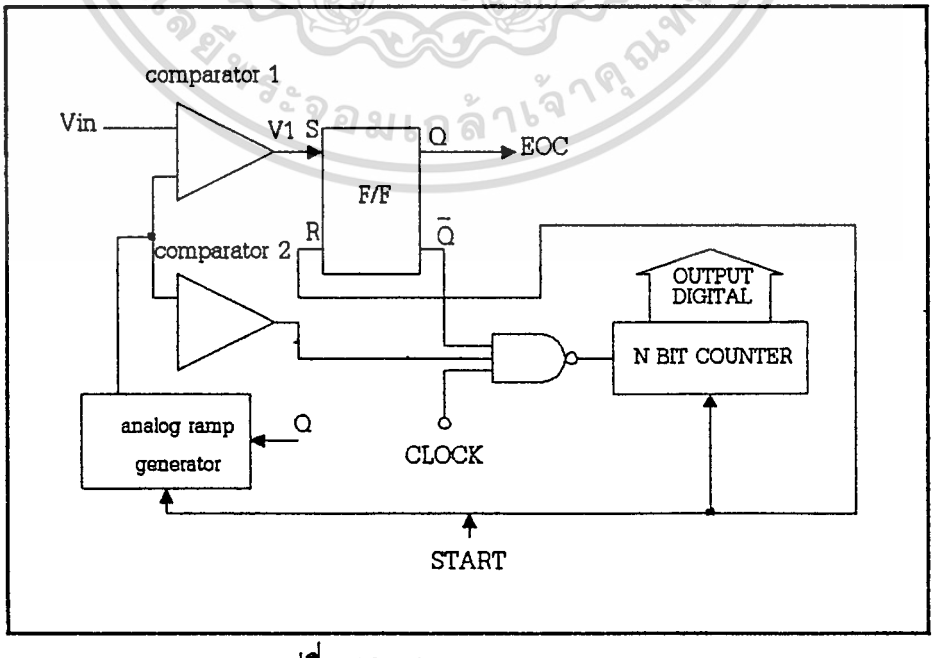


รูปที่ 2.22ข Timing diagram

Integrating ADC

หัวใจสำคัญของวงจร ADC ชนิดนี้คือวงจร Integrator เทคนิคของ ADC แบบ Integration คือจะใช้สัญญาณ Ramp ต่อเนื่องแทนสัญญาณขั้นบันไดจาก DAC ซึ่งแบ่งตามลักษณะการทำงานได้สองแบบคือ Single slope converter และ Dual slope converter

1. Single Slope Converter



รูปที่ 2.23 Single slope converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

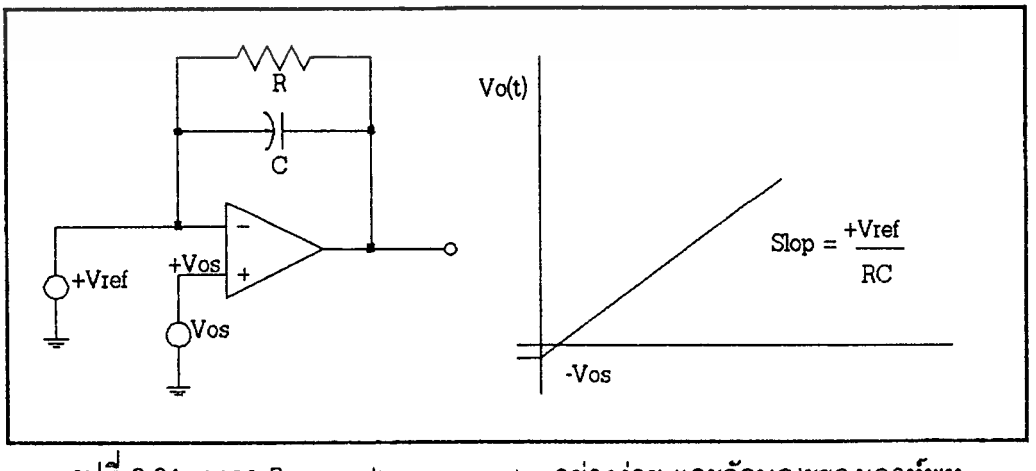
สัญญาณอนาล็อกแบบ Ramp จะใช้เป็นแรงดันอ้างอิงที่เพิ่มขึ้นอย่างคงที่จากค่าต่ำกว่าศูนย์เล็กน้อยจนถึงค่าที่สูงกว่าค่าเต็มสเกลเล็กน้อย ซึ่งเวลาที่ใช้ในการสแกนของสัญญาณ Ramp จากศูนย์ถึงค่าแรงดันอินพุทจะเป็นสัดส่วนกับค่าแรงดันอินพุท

การ Conversion จะเริ่มด้วยสัญญาณ Start conversion ทำการรีเซ็ทไบนารีเคาท์เตอร์และเริ่มสร้างสัญญาณ Ramp จากแรงดันที่ต่ำกว่าศูนย์โวลท์ เมื่อสัญญาณ Ramp ผ่านศูนย์โวลท์ เอาท์พุทจากคอมพาเรเตอร์ 2 จะ High และเปิดเกทปล่อยพัลส์เข้าสู่เคาท์เตอร์

เคาท์เตอร์จะเริ่มนับจนอินพุท V_{in} กระทั่ง สัญญาณ Ramp มีขนาดเท่าแรงดันอนาล็อกอินพุท V_{in} ในเวลานี้เอาท์พุทจากคอมพาเรเตอร์ 1 จะ High และเปิดเกทไม่ให้ Clock เข้าสู่เคาท์เตอร์ จำนวนพัลส์จากเคาท์เตอร์จะเป็นสัดส่วนกับแรงดันอินพุท เนื่องจาก VR = KT โดย R เป็นสโลปของ Ramp (ซึ่งคงที่) ในหน่วยโวลท์/วินาที และ T เป็นจำนวนในการเคาท์เตอร์หารด้วย f_c ซึ่งเป็นความถี่สัญญาณ Clock ถ้าเลือกให้สโลปของ Ramp เป็น $V_{FSR}\ f_c / 2^n$ จำนวนที่เคาท์เตอร์นับได้จะเท่ากับอัตราส่วนทางไบนารีหรือ V_{in}/V_{FSR}

เวลาในการเปลี่ยน T_c ของ ADC แบบนี้จะแปรเป็นสัดส่วนกับแรงดันที่อินพุท V_{in} เวลาที่ใช้ในการเปลี่ยนมากที่สุดเมื่อ $V_{in} = V_{FSR}$ คือ $T_{MAX} = 2^n/f_c$ และเช่นเดียวกับใน ADC แบบเคาท์เตอร์ Ramp ค่าของระหัสเอาท์พุทสุดท้ายจะต่างจากค่าของ V_{in} ไม่เกิน 0.5 LSB

ในรูปที่ 2.24 แสดงวงจรกำเนิดแรงดัน Ramp อย่างง่ายโดยการต่อแรงดันอ้างอิงกับอินทิเกรเตอร์เมื่อสวิทช์เปิด C จะทำการประจุและเพิ่มขนาดของแรงดันเอาท์พุท ข้อเสียประการหนึ่งคือหากใช้งานไปนานๆ การเปลี่ยนแปลงค่า RC ตามอุณหภูมิจะทำให้สโคปคลาดเคลื่อนด้วยเหตุนี้ ADC ชนิดนี้จึงไม่เป็นที่นิยมใช้ในปัจจุบัน

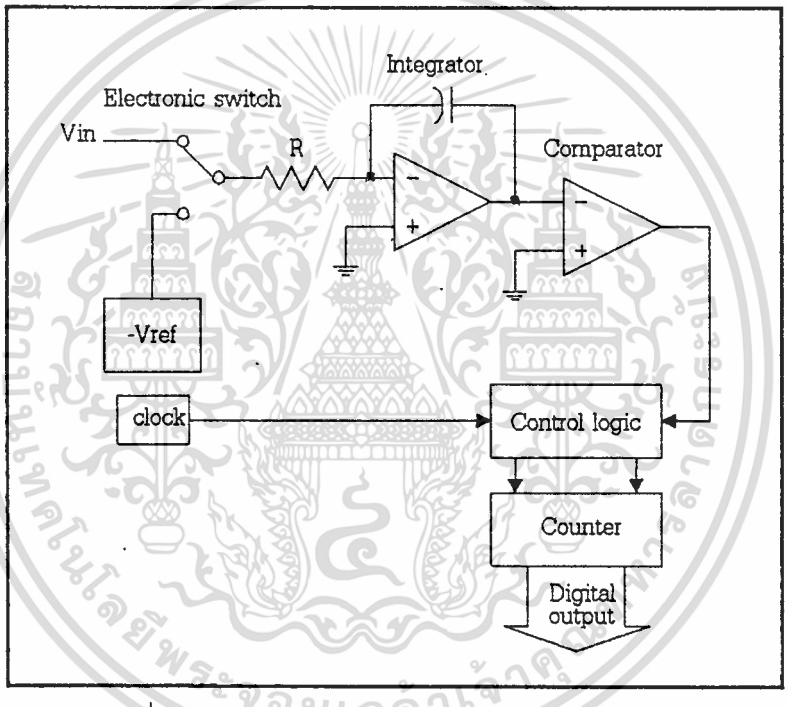


รูปที่ 2.24 วงจร Ramp voltage generator อย่างง่าย และลักษณะของเอาท์พุท

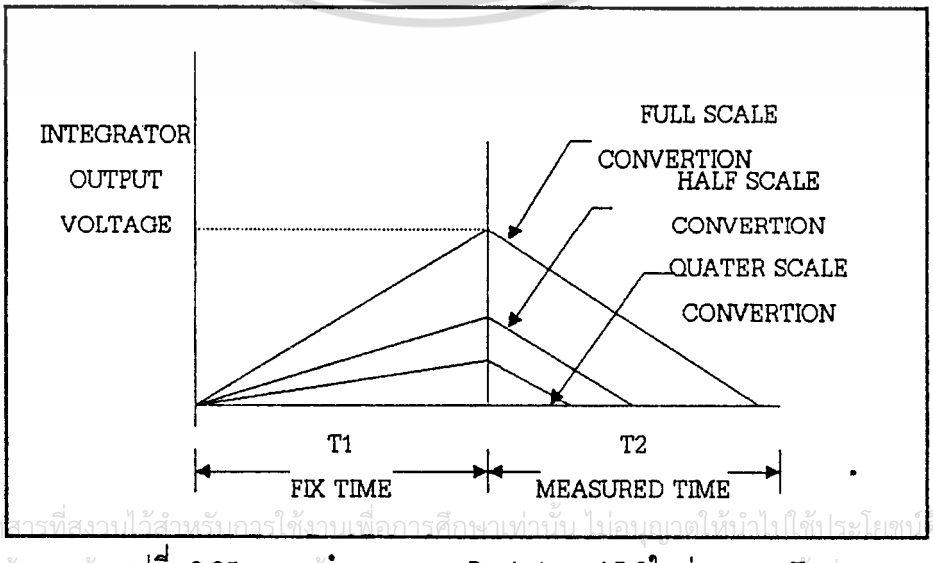
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Dual Slope Converter

ADC แบบ Dual slope ได้รับการพัฒนาขึ้นเพื่อแก้ไขจุดบกพร่องของ Single slope ADC การจัดวงจรแสดงในรูปที่ 2.25 ในแต่ละวัฏจักรการทำงานของวงจรจะมี 2 ช่วง คือ T_1 และ T2 ในเวลา T_1 จะเป็นช่วงเวลาที่ได้รับการออกแบบให้มีค่าแน่นอนคงที่ ในช่วงเวลานี้สัญญาณอินพุทจะต่อเข้ากับอินทิเกรเตอร์ผ่านสวิทช์ S ซึ่งทำให้เอาท์พุทที่ถูกอินทิเกรท V_{int} เป็นรูปสัญญาณ Ramp ที่ขนาดเพิ่มขึ้นทางบวกและสโลปขึ้นอยู่กับขนาดของ V_{in} จนกระทั่ง V_{in} ถึงค่าหนึ่งเมื่อสิ้นสุด T_1



รูปที่ 2.25ก บล็อกไดอะแกรมของ Dual slope ADC



รูปที่ 2.25ข การทำงานของ Dual slope ADCในช่วงเวลา T_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วงเวลา T2 อินพุทจะถูกตัดออกจากอินทิเกรเตอร์และต่อกับแรงดันอ้างอิงซึ่งมีค่าเป็นลบเข้ากับอินพุทของอินทิเกรเตอร์ โดยการควบคุมทางลอจิคในลักษณะเช่นนี้จะทำให้ V_{int} ลดลงด้วยสโลปคงที่จากการคายประจุผ่านลง $-V_{ref}$ เมื่อเริ่มต้นเวลา T_2 เคาท์เตอร์จะรีเซ็ทและเริ่มนับ จนเมื่อ V_{in} มีค่าลดถึงศูนย์ คอมพาเรเตอร์จะเปลี่ยนสถานะไปบอกส่วนควบคุมลอจิคให้หยุดนับ และเอาท์พุทของเคาท์เตอร์จะถูกแปลงเป็นระหัสดิจิตอล ความสัมพันธ์ระหว่างช่วงเวลากับแรงดันอินพุทจะเป็นไปตามสมการ

$$T_2 = T_1 \frac{V_{in}}{Vref}$$

ดังนั้นระหัสดิจิตอลที่แสดงค่า T_2 จะแสดงค่าอัตราส่วนของแรงดันอินพุทต่อแรงดันอ้างอิงด้วย

คุณลักษณะสำคัญของ Dual slope มีหลายประการคือ ประการแรก ความแม่นยำของมันไม่ขึ้นอยู่กับเสถียรภาพของสัญญาณ Clock และตัวเก็บประจุ แต่จะขึ้นอยู่กับค่าความเที่ยงตรงของแรงดันอ้างอิงและความเป็นเชิงเส้นของอินทิเกรเตอร์ ประการที่สอง การจำกัดสัญญาณรบกวนด้วยตัวเองของวงจรสามารถกระทำได้ ถ้าเซ็ทให้ T_1 มีขนาดเท่ากับคาบเวลาของสัญญาณรบกวน เช่น ในการจำกัดสัญญาณ 50 เฮิร์ท T_1 จะให้มีค่า 20 ms

ส่วนข้อเสียที่สำคัญของ ADC นี้คือ ความเร็วในการ Conversion ค่อนข้างต่ำจึงนิยมใช้กับเครื่องมือวัดที่ไม่ต้องการความเร็วเช่น ดิจิตอลมิเตอร์เป็นต้น

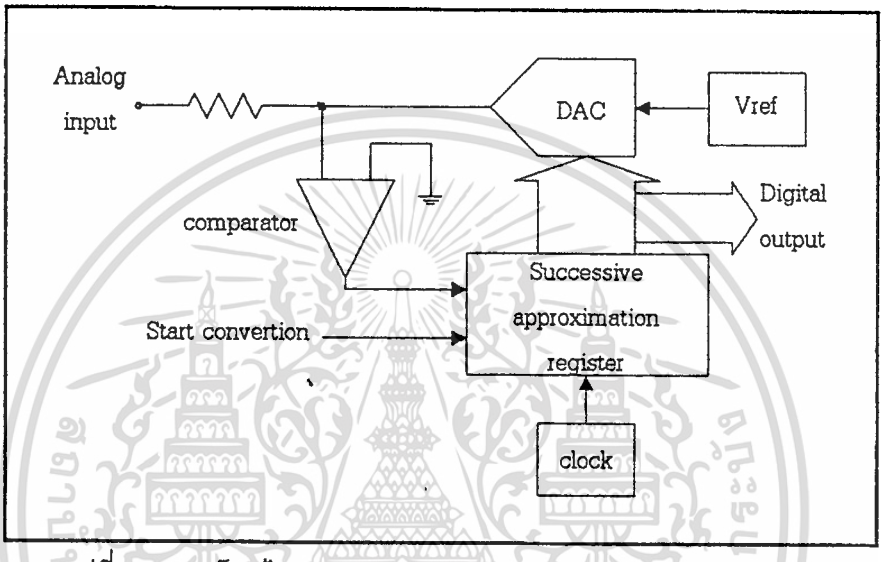
Successive Approximation ADC

วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรจะคล้ายกันกับแบบเคาท์เตอร์ ที่ทำงานในลักษณะป้อนกลับ ซึ่งบล็อกไดอะแกรมในรูปที่ 2.25 แสดงฟังก์ชั่นต่าง ๆ ใน ADC ชนิดนี้ คอมพาเรเตอร์จะคอยเปรียบเทียบเอาท์พุทจาก DAC กับอนาล็อกอินพุท V_{in} เอาท์พุทจะไปควบคุม Successive Approximation Register (SAR) ซึ่งเป็น ไอซี MSI (Midium Scale Integrated Circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่โดยเฉพาะ

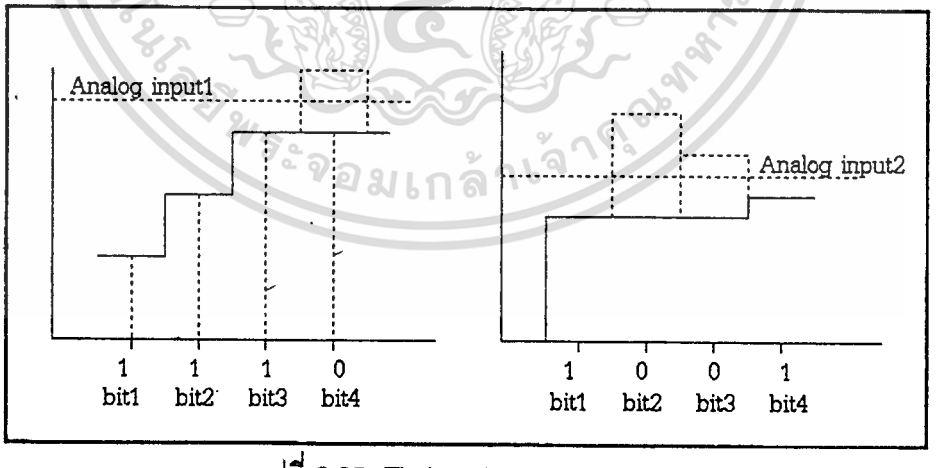
ในรูปที่ 2.27 แสดงไทมิ่งไดอะแกรมของ ADC ที่มีระดับอนาล็อก 1 และ 2 ที่ระดับ 1 เมื่อ Clock เข้าไปหนึ่งลูกจะทำให้ MSB (Most Significant Bit) (บิท) เป็น 1 ทุกบิทอื่นยังคงเป็นศูนย์ DAC จะเปลี่ยนเอาท์พุทของ SAR เป็นอนาล็อกเปรียบเทียบกับสัญญาณอนาล็อกอินพุท ถ้าผลของการเปรียบเทียบที่คอมพาเรเตอร์บอกว่าน้อยกว่าอินพุทก็ให้คงบิทนั้นเป็น 0 จาก

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั้นทำการทดสอบบิทถัดไปโดยทำให้เป็น 1 หากผลรวมของสองบิทหรือหลังมากกว่าก็ทำให้บิทนั้นเป็น 0 แต่ถ้าน้อยกว่าให้คง 1 ไว้ แล้วทดสอบบิทถัดไปตามไปตามกรรมวิธีดังกล่าวจนครบทุกบิทหรือจนกว่าเอาท์พุทจะต่างจาก Vin ไม่เกิน 1 LSB ในตัวอย่างแสดงการทำงานเมื่อ V_{in} ลดต่ำลงมาอีกระดับหนึ่งด้วยเช่นกัน



รูปที่ 2.26 บล็อกไดอะแกรมของ Successive Approximation ADC



รูปที่ 2.27 Timing diagram ของ SAR

มีข้อจำกัดประการหนึ่งสำหรับการ Conversion คือสัญญาณอนาล็อกอินพุทจะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณโดยเปลี่ยนได้ไม่เกิน 1/2 LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาท์พุทจะออกมาขนานกันทุกบิท แต่บางแบบจะให้เอาท์พุทออกมาในลักษณะอนุกรม

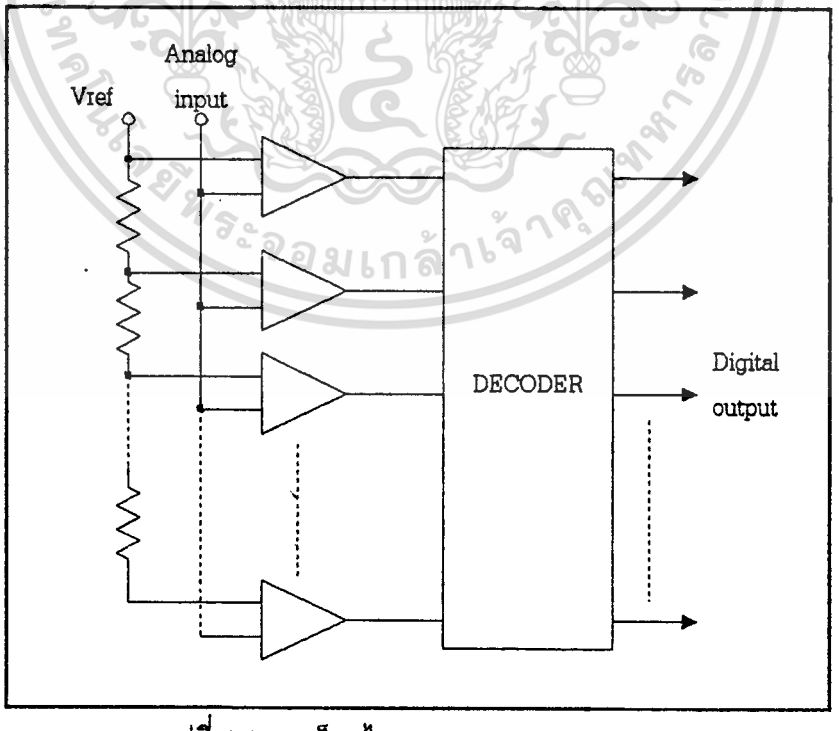
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร ADC แบบนี้สามารถทำงานได้ 2 โหมด คือ โหมดที่ทำงานโดยอิสระ (Free run) และโหมดที่รอคำสั่ง Start conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ (n+1) ลูกของพัลส์ Clock โดย Clock ลูกแรกจะใช้ในการรีเซ็ทรีจิสเตอร์ภายใน

สุดท้ายคุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ DAC ในระบบเป็นอย่างยิ่ง

Parallel (Flash) ADC

สำหรับการแปลงสัญญาณที่ต้องการความเร็วสูงมากๆ เช่น การแปลงสัญญาณภาพโทรทัศน์ เรดาห์ จำเป็นต้องใช้ ADC แบบพิเศษ ที่เรียกว่า Parallel ADC ซึ่งแสดงบล็อกไดอะแกรมดังรูปที่ 2.27 หลักการทำงานคือ จะใช้คอมพาเรเตอร์ทำการเปรียบเทียบสัญญาณอนาล็อกอินพุทกับแรงดันอ้างอิงที่แบ่งแรงดันให้สอดคล้องกับระหัสดิจิตอล โดยใช้ตัวต้านทานแล้วแปลงเอาท์พุทจากคอมพาเรเตอร์ให้ตรงกับระหัสดิจิตอล ซึ่งจะเห็นว่าอุปสรรคทางด้านความเร็วจะถูกจำกัดเพียง Propagation Time ของคอมพาเรเตอร์เท่านั้น แต่อุปสรรคที่สำคัญต่อการพัฒนาวงจรชนิดนี้บนชิปไอซี คือ วงจรนี้ต้องการคอมพาเรเตอร์ถึง 2^n-1 ตัว สำหรับ ADC 1 ตัว แต่ก็ได้ ADC ชนิดที่ทำงานได้รวดเร็วที่สุดเช่นกัน



รูปที่ 2.28 บล็อกไดอะแกรมของ Fresh ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC Chip

จากความก้าวหน้าทางเทคโนโลยีสารกึ่งตัวนำและความต้องการระบบ Data acquistion ที่มีขนาดเล็กและกินกำลังงานต่ำจึงมีการนำเอาองค์ประกอบของระบบหลาย ๆ ส่วนมาลงไว้บนชิปเดียว การเลือกใช้งานชิป ADC สำหรับงานประยุกต์ทั่ว ๆ ไปจึงมักแค่เพียงพิจารณาถึง Resolution ว่าต้องการกี่บิท ความเร็วของการแปลง Conversion Time ขนาดแรงดันอินพุทและไฟเลี้ยง ในการออกแบบระบบที่ใช้ชิป ADC จะขึ้นอยู่กับการเลือกโหมดและการใช้ Timing diagram ที่ผู้ผลิตเสนอให้มาในคู่มือการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สเปคชิฟิเคชั่นของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

1. ความแม่นยำ (Accuracy)

คือสัญญาณดิจิตอลที่แปลงได้มีความถูกต้องสมบูรณ์มากน้อยแค่ไหน เนื่องจากในการแปลงสัญญาณย่อมเกิดความคลาดเคลื่อนขึ้นได้ เช่น เกิดจากการควอนไตซ์ , จาก Comparater หรือเกิดจากความต้านทาน เป็นต้น

2. รีโซลูชั่น (Resolution)

รีโซลูชั่นของการแปลงสัญญาณอนาล็อกเป็นดิจิตอลนั้นจะบอกมาในรูปของจำนวนบิทที่ทำการแปลง เช่น การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลให้เอาท์พุทไบนารี มีรีโซลูชั่น 4 บิท,16 บิท เป็นต้น นอกจากนี้รีโซลูชั่นยังสามารถบอกในรูปเปอร์เซนต์ของ ค่าเต็มสเกล (Full Scale) เช่น การแปลงสัญญาณอนาล็อกเป็นดิจิตอล 4 บิท จะแบ่งระดับขั้นที่ใช้ในการเปรียบเทียบได้ $2^4 - 1 = 15$ ขั้น และมีรีโซลูชั่น 6.7 เปอร์เซนต์ (1/15 * 100 = 6.7 เปอร์เซนต์) ระบบการแปลงสัญญาณที่ให้จำนวนบิทมากย่อมมีรีโซลูชั่นดีกว่าระบบการแปลงสัญญาณที่ให้จำนวนบิทน้อย

3. ไดนามิค เรนจ์ (Dynamic Range)

คือ อัตราส่วนของสัญญาณค่ามากที่สุดกับสัญญาณค่าน้อยที่สุด ปกติจะอยู่ในหน่วยเดซิเบล

พิจารณา ใน Binary Word บิทที่อยู่ทางซ้ายจะมีน้ำหนักมากกว่าบิทที่อยู่ทางขวาถัดมาอยู่ 2 เท่า เมื่อคำนวนหาอัตราส่วนระหว่างบิททั้งสอง (คิดในรูปโวลท์เตจ) จะได้ประมาณ 6 dB ดังนั้นสามารถคำนวนหาค่าไดนามิค เรนจ์ทั้งระบบได้ดังนี้

ค่าไดนามิค เรนจ์ ของระบบ (dB) = 6 (dB) * จำนวนบิท

ตัวอย่างเช่น การแปลงสัญญาณดิจิตอล 10 บิท จะมีไดนามิค เรนจ์ = 6 (dB) * 10 = 60 (dB)

4. คอนเวอร์ชั่นไทม์ (Convertion time)

คือ เวลาที่ใช้ในการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล

นอกจากนี้ยังมีสิ่งที่กำหนดคุณสมบัติของระบบอื่นๆ อีก เช่น

- POWER SUPPLY VOLTAGE ปกติจะเท่ากับ +5 V แต่บางครั้งอาจพบ A/D CONVERTER IC ทำงานในช่วง +5 V ถึง +15 V
- OUTPUT LOGIC LEVEL เช่น เป็นแบบ TTL , CMOS หรือ TRISTATE
- INPUT VOLTAGE .
- MAXIMUM POWER DISSIPATION สำหรับ A/D CONVERTER IC จะอยู่ในช่วง 15 - 3,000 mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักการทำงานและการออกแบบ

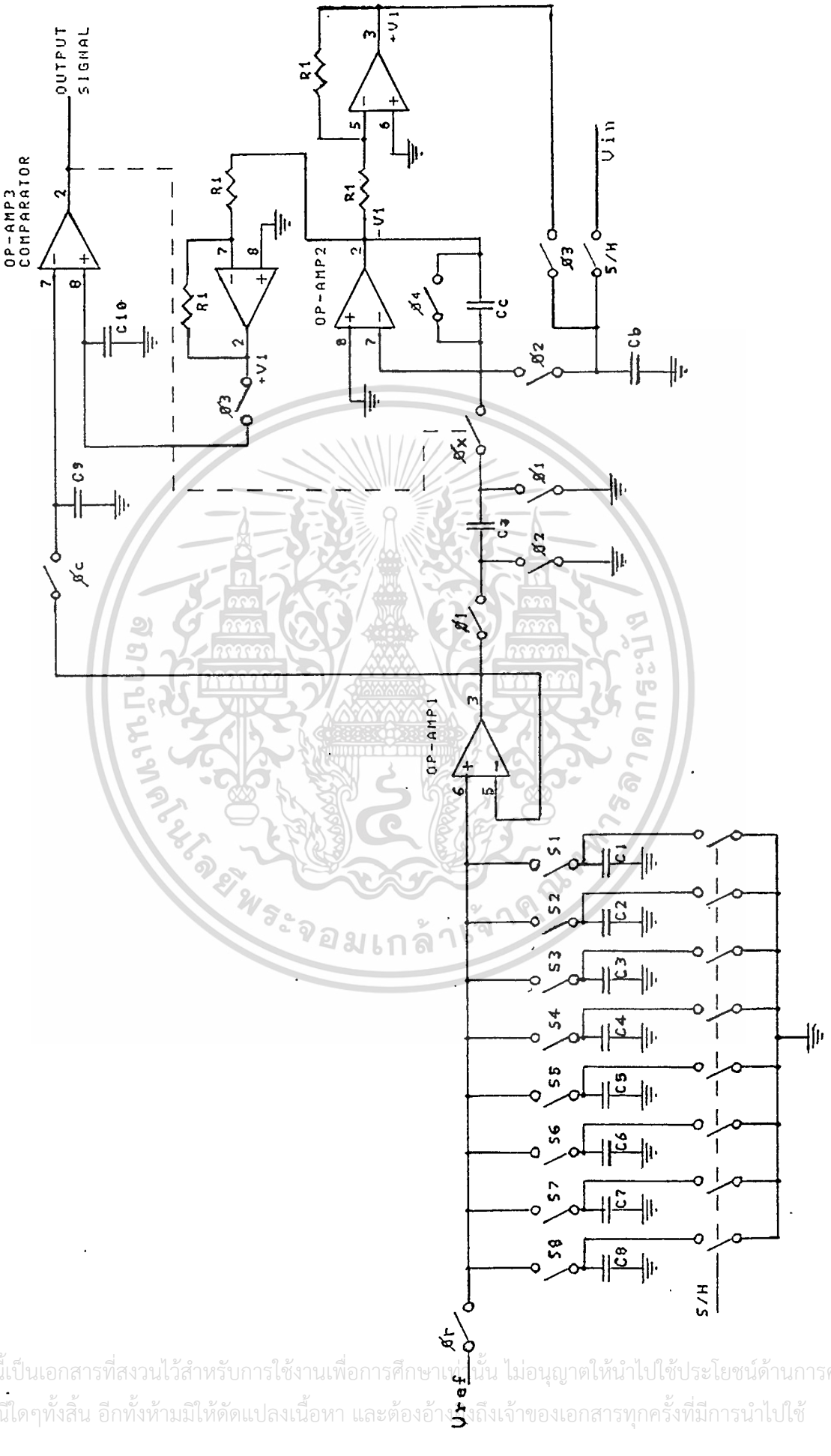
รูปแบบการดำเนินงาน

การดำเนินงานจะเริ่มจากการศึกษาหลักการแปลงสัญญาณอนาล็อก (Analog signal) ให้เป็นสัญญาณดิจิตอล (Digital signal) จากนั้นจึงนำมาสร้างเป็นวงจรส่วนต่างๆ เช่น ส่วนของการสร้างระดับสัญญาณเปรียบเทียบ(Voltage reference) สำหรับใช้ในการเปรียบเทียบ ,ส่วนของการสร้างสัญญาณที่ใช้เปรียบเทียบกับสัญญาณเปรียบเทียบในการแปลงแต่ละครั้ง จนครบตามจำนวนบิทที่เราต้องการ และส่วนที่ใช้ในการเปรียบเทียบ เป็นต้น ในการทำงานของวงจรโดยวิธีการแปลงสัญญาณแบบวิธี Switched-capacitor successive approximate นั้น เราจะต้องใช้สัญญาณต่างๆควบคุมการทำงานของระบบ ดังนั้นเราจึงต้องให้ความสำคัญต่อการสร้างสัญญาณควบคุมเหล่านี้ด้วย

หลักการทำงานและการออกแบบ

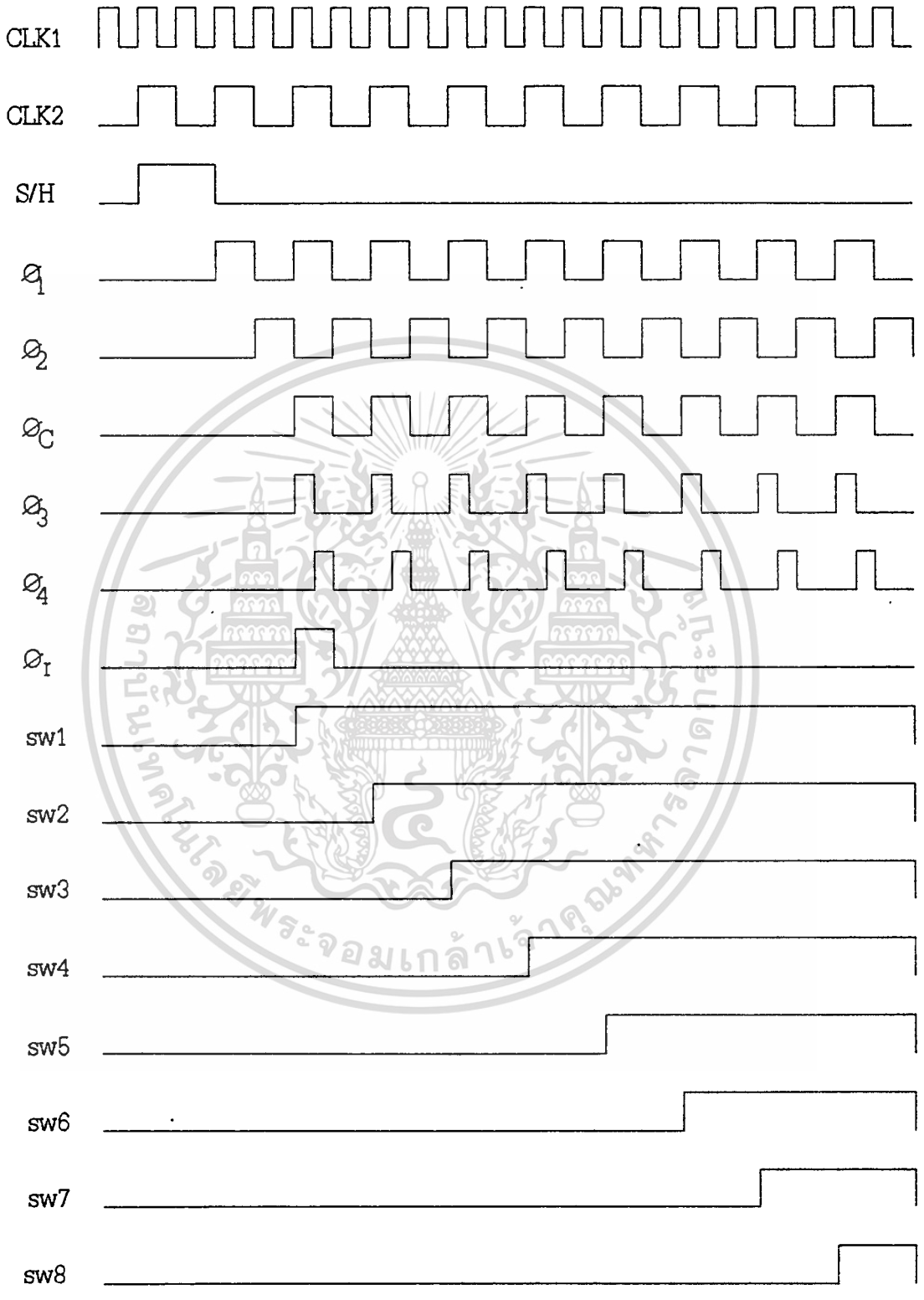
วงจรที่ใช้ในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลโดยวิธี Switched-capacitor successive approximate จะแสดงดังรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 การทำงานของวงจร Switched capacitor successive approximate ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงสัญญาณควบคุมการทำงานของวงจร

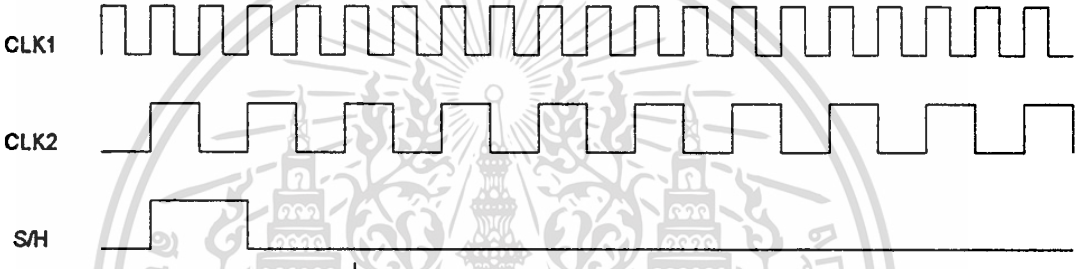
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างสัญญาณควบคุมการทำงาน

เนื่องจากการทำงานของวงจร Switched-capacitor successive approximate ADC มีการใช้สวิทช์เข้ามาเกี่ยวข้องด้วย ดังนั้นจึงต้องทำการออกแบบสัญญาณควบคุมให้กับสวิทช์เหล่านั้น ซึ่งมีดังต่อไปนี้

การสร้างสัญญาณ S/H

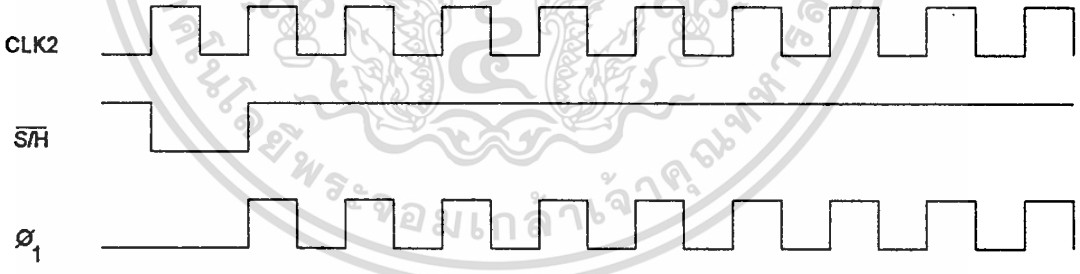
สร้างจากการนำสัญญาณคล็อกที่มีความถี่เป็นครึ่งหนึ่งของสัญญาณคล็อกจริง (CLK2) มาป้อนให้กับวงจรนับสิบ (ซึ่งใช้ไอซีเบอร์ 14017) แล้วจับที่ขาสามก็จะได้สัญญาณ S/H ออกมา



รูปที่ 3.3 แสดงการสร้างสัญญาณ S/H

การสร้างสัญญาณ ϕ_1

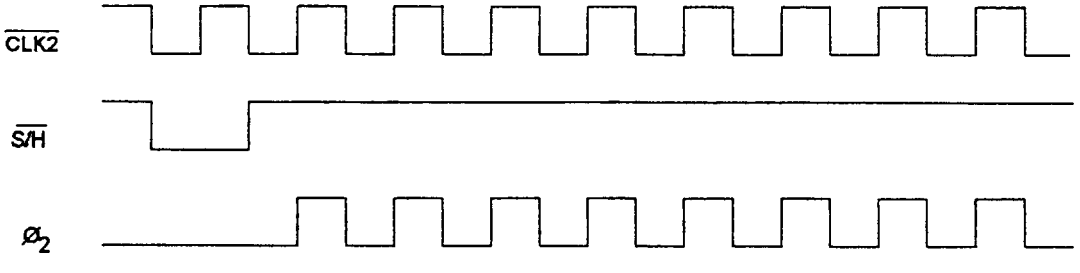
สร้างจากการนำ CLK2 มาแอนด์กับสัญญาณ $\overline{S/H}$ ดังต่อไปนี้



รูปที่ 3.4 แสดงการสร้างสัญญาณ ϕ_1

การสร้างสัญญาณ ϕ_2

สร้างจากการนำ $\overline{CLK2}$ มาแอนด์กับสัญญาณ $\overline{S/H}$ ดังนี้

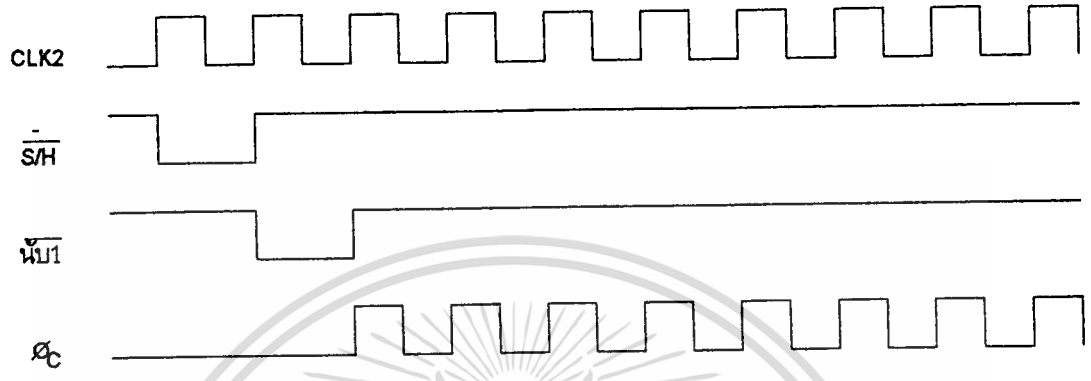


รูปที่ 3.5 แสดงการสร้างสัญญาณ ϕ_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างสัญญาณ ϕ_c

สร้างจากการนำ CLK2 มาแอนด์กับ นับ0 (คือสัญญาณ S/H) และมาแอนด์กับ $\overline{\text{นับ1}}$ ดังนี้

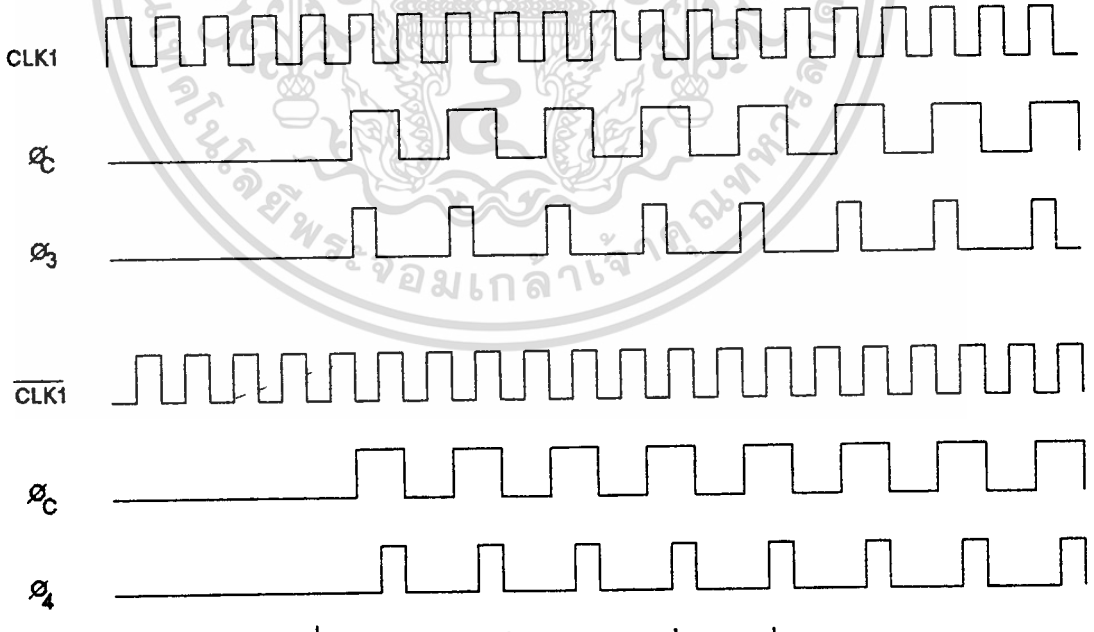


รูปที่ 3.6 แสดงการสร้างสัญญาณ ϕ_c

การสร้างสัญญาณ ϕ_3 และ ϕ_4

สัญญาณ ϕ_3 ได้จากการนำเอา CLK1 มาแอนด์กับสัญญาณ ϕ_c

สัญญาณ ϕ_4 ได้จากการนำเอา $\overline{\text{CLK1}}$ มาแอนด์กับสัญญาณ ϕ_c ดังต่อไปนี้

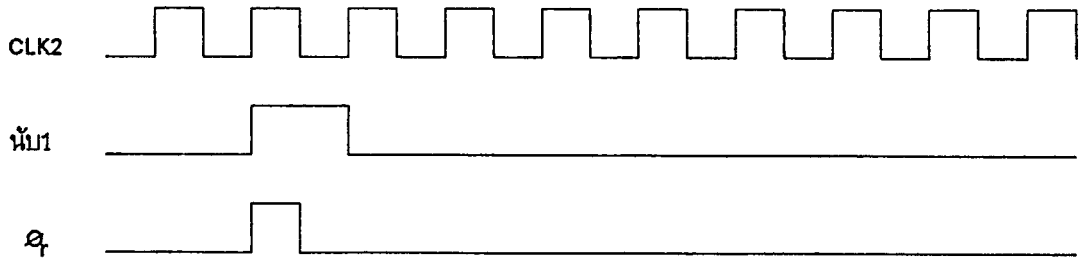


รูปที่ 3.7 แสดงการสร้างสัญญาณ ϕ_3 และ ϕ_4

การสร้างสัญญาณ ϕ_r

สัญญาณ ϕ_r เกิดจากการนำ CLK2 แอนด์กับสัญญาณ นับ1 (ขา 4 ของ 14017) ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

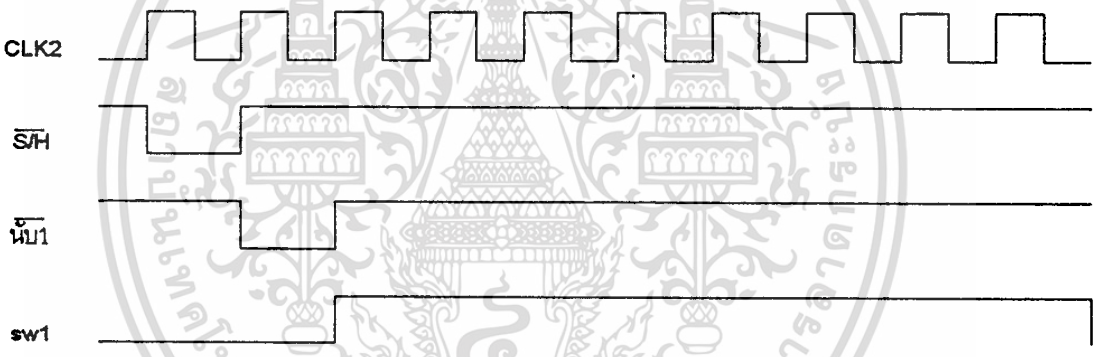


รูปที่ 3.8 แสดงการสร้างสัญญาณ ϕ_r

การสร้างสัญญาณสวิทช์ต่าง ๆ

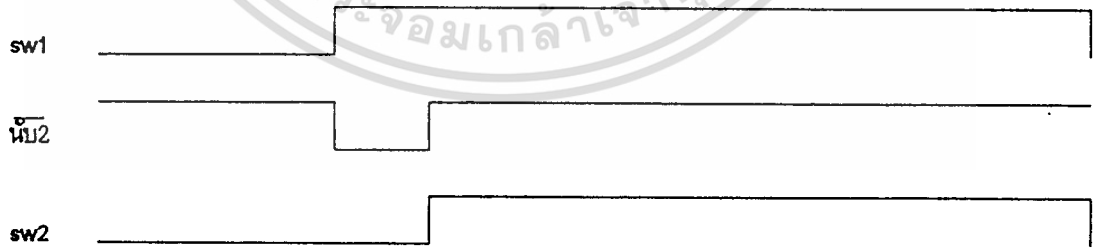
สัญญาณสวิทช์ที่ใช้ควบคุมการทำงานในส่วนสร้างสัญญาณเปรียบเทียบ สร้างได้ดังนี้

sw1 = $\overline{\text{นับ0}}$ AND $\overline{\text{นับ1}}$



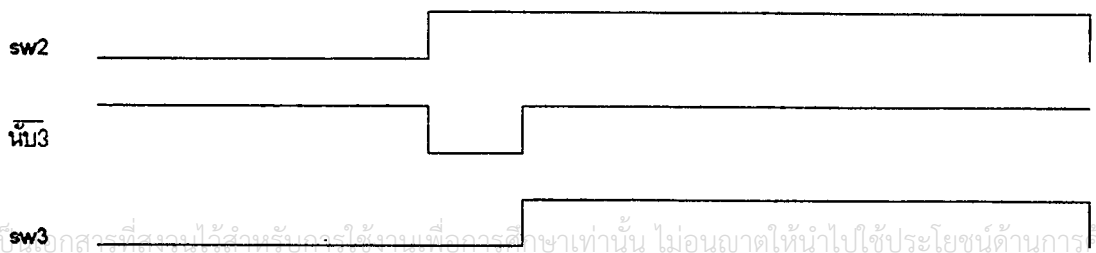
(a) การสร้างสวิทช์ sw1

sw2 = sw1 AND $\overline{\text{นับ2}}$



(b) การสร้างสวิทช์ sw2

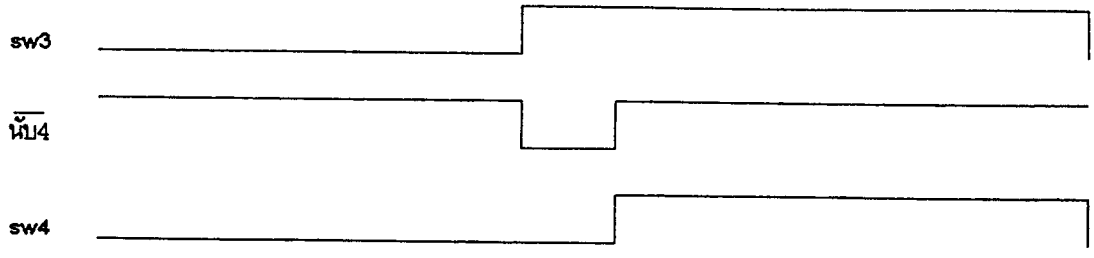
sw3 = sw2 AND $\overline{\text{นับ3}}$



(c) การสร้างสวิทช์ sw3

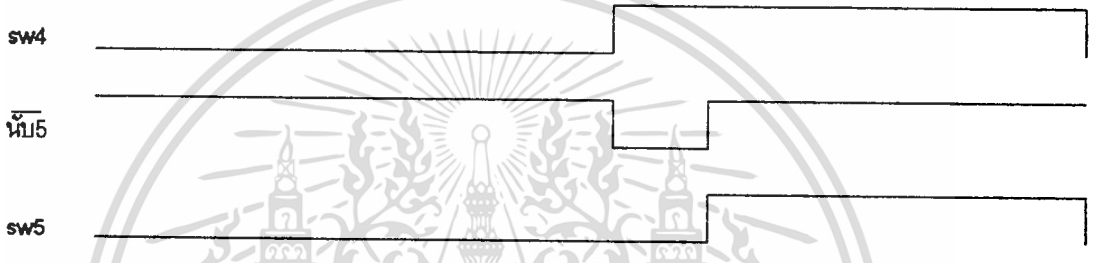
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

sw4 = sw3 AND $\overline{\text{นับ4}}$



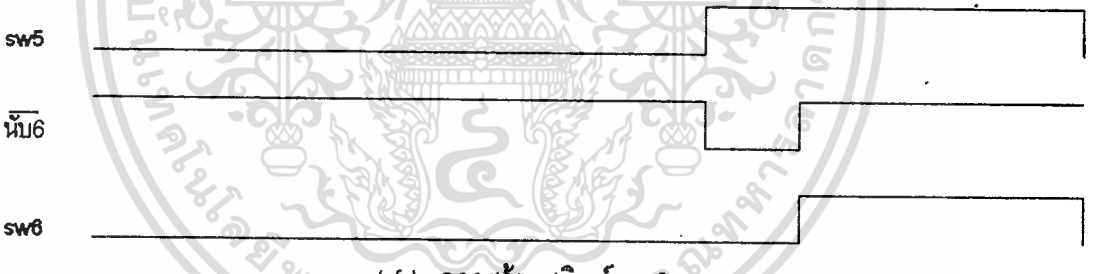
(d) การสร้างสวิทช์ sw4

sw5 = sw4 AND $\overline{\text{นับ5}}$



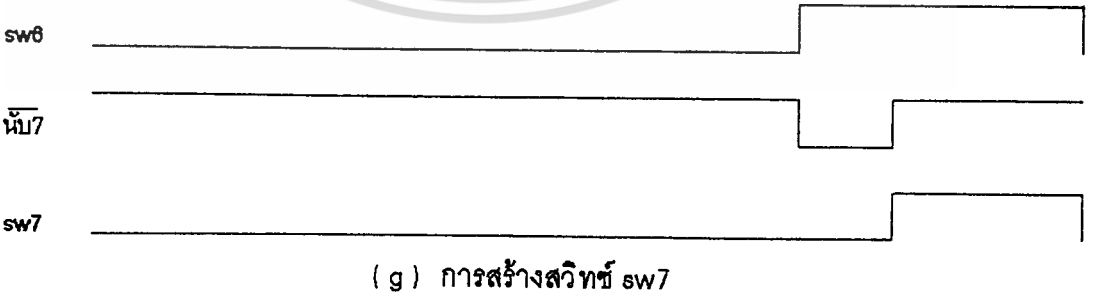
(e) การสร้างสวิทช์ sw5

sw6 = sw5 AND $\overline{\text{นับ6}}$



(f) การสร้างสวิทช์ sw6

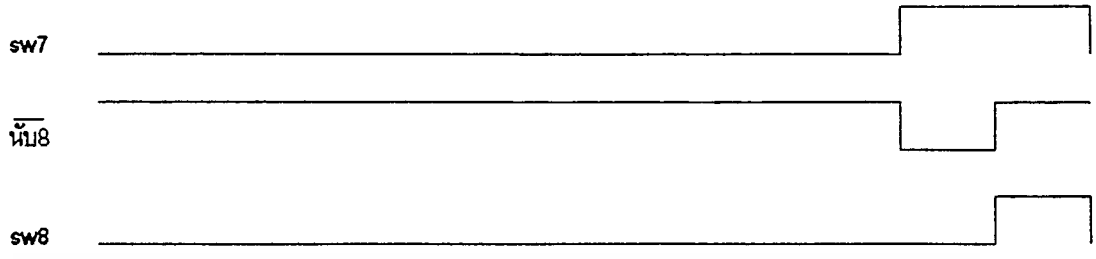
sw7 = sw6 AND $\overline{\text{นับ7}}$



(g) การสร้างสวิทช์ sw7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

sw8 = sw7 AND $\overline{\text{นับ8}}$



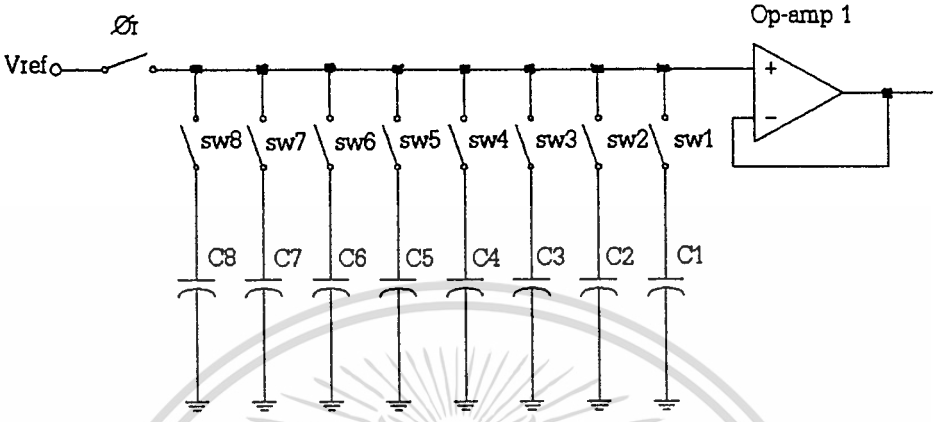
(h) การสร้างสวิทช์ sw8

รูปที่ 3.9 แสดงการสร้างสัญญาณสวิทช์ต่างๆ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรสร้างสัญญาณแปรียบเทียบ



รูปที่ 3.10 แสดงวงจรส่วนของ V_{ref}

การคำนวณหาค่า C ที่ใช้ในวงจร V_{ref} จะหาได้ดังนี้

จาก $Q = CV$

เราต้องการ voltage ตกคร่อม C_1 เป็น $V_{ref} / 2$ ดังนั้น

$$q = C_1 * V_{ref} / 2$$

$$C_1 = 2q / V_{ref}$$

เมื่อ C_1 // C_2 ต้องการ voltage ตกคร่อมเป็น $V_{ref} / 4$

$$q = (C_1 + C_2) * V_{ref} / 4$$

$$(C_1 + C_2) = 4q / V_{ref}$$

$$C_2 = C_1$$

เมื่อ C_1// C_2 // C_3 ต้องการ voltage ตกคร่อมเป็น $V_{ref} / 8$

$$(C_1 + C_2 + C_3) = 8q / V_{ref}$$

$$C_3 = 2C_1$$

ในทำนองเดียวกัน

$$C_4 = 4C_1$$

$$C_5 = 8C_1$$

$$C_6 = 16C_1$$

$$C_7 = 32C_1$$

$$C_8 = 64C_1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร

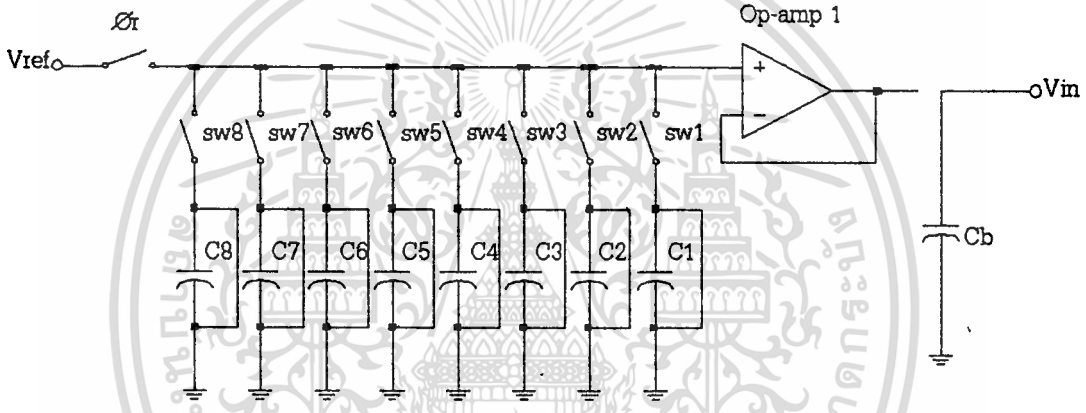
การทำงานของวงจร Switched-capacitor successive approximate ADC ในแต่ละขั้นตอนนั้น จะอธิบายตามจังหวะของสัญญาณนาฬิกา (Clock) ตามที่ได้ออกแบบไว้แล้ว ดังต่อไปนี้คือ

คล็อกที่ 1 ทำงาน

ในจังหวะนี้ สัญญาณ S/H จะทำงาน ดังนั้นสัญญาณอินพุทที่ต้องการแปลงจะถูกป้อนเข้าสู่วงจร ซึ่งเป็นผลทำให้เกิดประจุใน C_b เป็นดังนี้

$$q = C_b * V_{in}$$

ในขณะเดียวกัน C_1 - C_8 ก็จะถูกรีเซท ดังรูปที่ 3.11



รูปที่ 3.11 แสดงการทำงานในจังหวะขาขึ้นของคล็อกที่ 1

คล็อกที่ 2 ทำงาน

ในจังหวะนี้ มีการทำงานของ ϕ_1 , ϕ_2 กล่าวคือ

ในช่วงคล็อกขาขึ้น ϕ_1 จะทำงาน แต่เนื่องจาก V_{ref} ยังไม่ถูกป้อนเข้าสู่วงจร ดังนั้น ประจุใน C_a จึงเป็น 0

ในช่วงคล็อกขาลง ϕ_2 จะทำงาน (ϕ_1 เลิกทำงาน) จะเกิดการเปลี่ยนกราวด์ (ground) ของ C_a เป็นคนละด้าน ทำให้โวลท์เตจกลับขั้ว แต่เนื่องจากในจังหวะแรก โวลท์เตจตกคร่อม C_a เป็น 0 ดังนั้นตอนนี้ โวลท์เตจที่ C_a ก็ยังคงเป็น 0 ด้วย กล่าวคือ $q_{ca} = 0$

ขณะเดียวกัน ประจุจาก C_b จะไหลเข้าไปยัง C_c ดังนั้นจะได้

จาก $q = C*V$

$$C_b*V_{in} = C_c*V$$

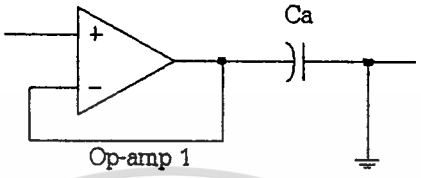
$$V = (C_b/C_c)*V_{in}$$

แต่เนื่องจาก $C_b = C_c$

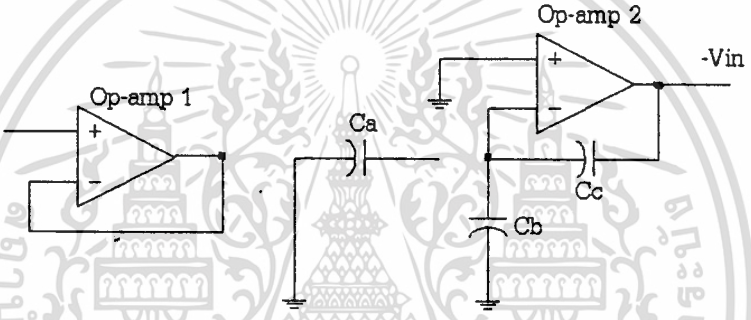
ดังนั้น $V = V_{in}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อผ่านอินเวอร์ติงออปแอมป์จะได้เอาท์พุทเป็น $-V_{in}$ และเมื่อผ่านอินเวอร์ติงออปแอมป์อีกครั้ง จะได้เอาท์พุทเป็น $+V_{in}$ (หรือ $+V_1$) การทำงานในคล็อกที่ 2 จะแสดงดังรูปที่ 3.12 และ 3.13



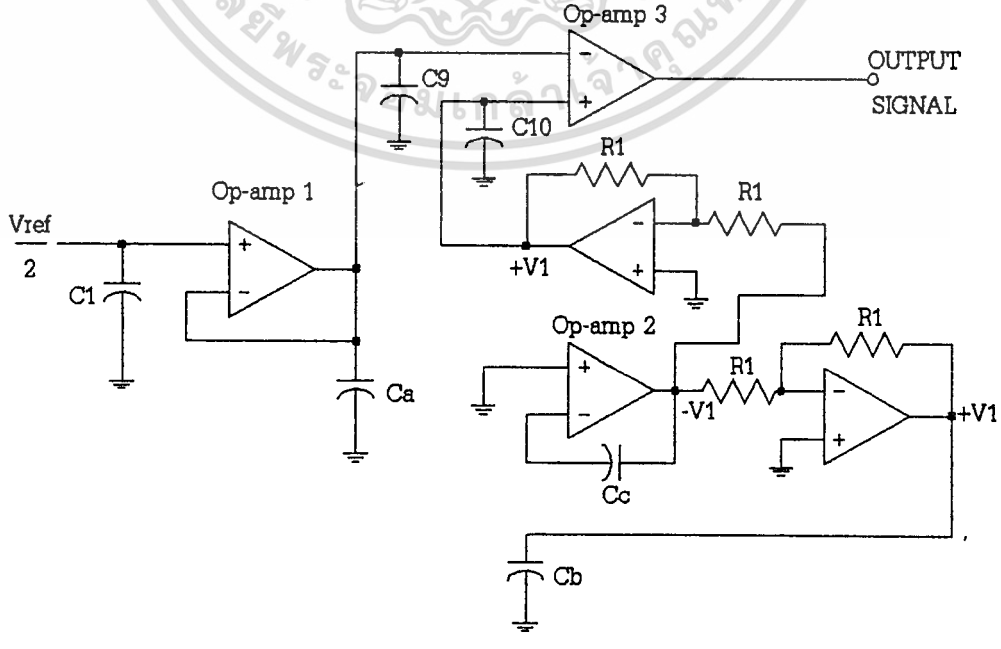
รูปที่ 3.12 แสดงการทำงานในจังหวะขาขึ้นของคล็อกที่ 2



รูปที่ 3.13 แสดงการทำงานในจังหวะขาลงของคล็อกที่ 2

คล็อกที่ 3 ทำงาน

ในจังหวะนี้จะมีการทำงานของ ϕ_r , sw1 , ϕ_1 , ϕ_2 , ϕ_c , ϕ_3 , ϕ_4 และ ϕ_x ดังรูปที่ 3.14



รูปที่ 3.14 แสดงการทำงานในจังหวะขาขึ้นของคล็อกที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในจังหวะนี้ ส่วนของวงจรที่สร้างสัญญาณเปรียบเทียบ จะมี ϕ_r และ sw1 ทำงาน ดังนั้น สัญญาณอ้างอิง (Voltage reference : V_{ref}) จะถูกป้อนเข้ามายังวงจร ทำให้เอาท์พุทของออปแอมป์ตัวที่ 1 มีค่าเท่ากับ $V_{ref}/2$ เป็นผลทำให้เกิดประจุใน C_9 ซึ่งมีค่าเท่ากับ $C_9V_{ref}/2$ และเมื่อ ϕ_3 ทำงานทำให้เกิดประจุใน C_{10} เท่ากับ $C_{10}V_1$ และจะเกิดการเปรียบเทียบกันที่คอมพาเรเตอร์ออปแอมป์ เอาท์พุทที่ได้จะเป็นสัญญาณดิจิตอลซึ่งเป็นบิท MSB และเอาท์พุทนี้จะเป็นสถานะของ ϕ_x ที่ใช้ในการควบคุมวงจร ในขณะเดียวกัน C_b จะมีประจุตกคร่อมเป็น C_bV_1

เมื่อ ϕ_1 ทำงานจะเกิดประจุตกคร่อม C_a เท่ากับ $C_aV_{ref}/2$ และเมื่อ ϕ_2 ทำงานประจุใน C_a กับ C_b จะรวมกันหรือไม่นั้นขึ้นอยู่กับ สถานะของ ϕ_x ซึ่งแบ่งเป็น 2 กรณีคือ

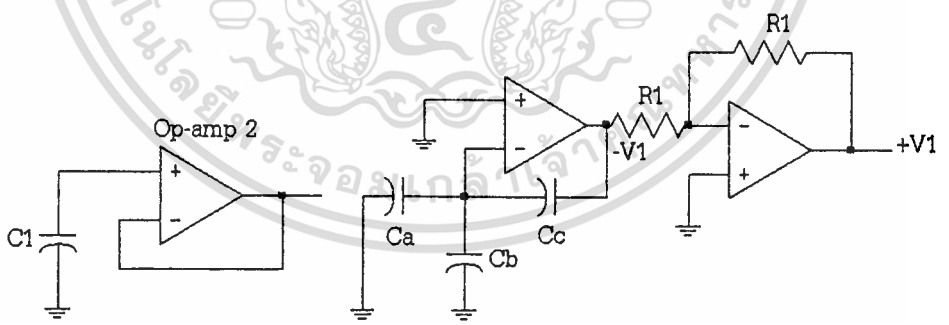
<u>กรณี ϕ_x ปิด</u> (เอาท์พุทออกมาเป็น "1")

ในจังหวะนี้ ประจุจาก C_a และ C_b จะไหลมารวมกันใน C_c ซึ่งมีค่าดังนี้

$$q = C_b*V_1 + [\ -C_a*V_{ref} / 2\ ]$$

$$= C_c*(\ V_1 - V_{ref}/2\ ) \qquad < C_a = C_b = C_c >$$

โวลท์เตจจากเอาท์พุทของออปแอมป์จะเป็น $-(\ V_1 - V_{ref}/2\ )$ หรือ $-V_2$ และเมื่อผ่านอินเวอร์ติงออปแอมป์ แล้วจะได้เอาท์พุทเป็น $+(\ V_1 - V_{ref}/2\ )$ หรือ $+V_2$ การทำงานในกรณีนี้แสดงดังรูปที่ 3.15



รูปที่ 3.15 แสดงการทำงานในจังหวะขาขึ้นของคล็อกที่ 3 กรณี ϕ_x ปิด

<u>กรณี ϕ_x เปิด</u> (เอาท์พุทออกมาเป็น "0")

จะมีเพียงประจุจาก C_b เท่านั้นที่ไหลเข้า C_c ดังนั้นประจุใน C_c จะเป็น

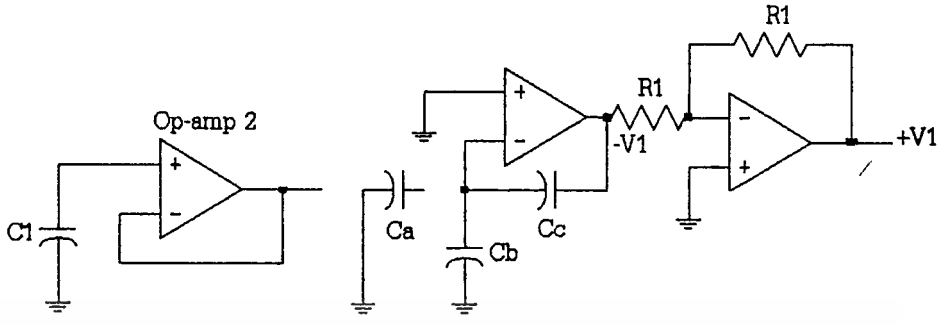
$$q = C_c*V_1$$

เอาท์พุทจากอินเวอร์ติงออปแอมป์ จะได้

$$V = -V_1 = -V_2$$

เมื่อผ่านอินเวอร์ติงออปแอมป์ อีกครั้งจะได้ $+(\ V_1\ )$ หรือ $+(\ V_2)$ การทำงานในกรณีนี้แสดงดังรูปที่ 3.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 แสดงการทำงานในจังหวะขาขึ้นของคล็อกที่ 3 กรณี ϕ_x เปิด

คล็อกที่ 4 ทำงาน

ในจังหวะนี้ ϕ_1 , ϕ_2 , ϕ_c , sw1 , sw2 , ϕ_3 และ ϕ_4 จะทำงาน

จะได้โวลท์เตจอ้างอิงเป็น $V_{ref}/4$ และจะนำไปเปรียบเทียบกับ V_2 ที่คอมพาเรเตอร์ออปแอมป์ เอาท์พุทที่ได้จะเป็นบิทที่ต่อจาก MSB

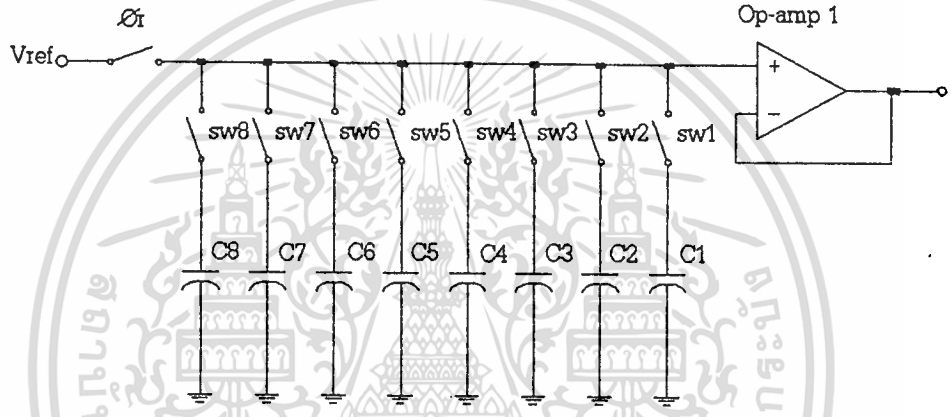
การทำงานของคล็อกต่อๆไปจะมีลักษณะเหมือนคล็อกที่ 4 จนได้สัญญาณดิจิตอลครบ 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

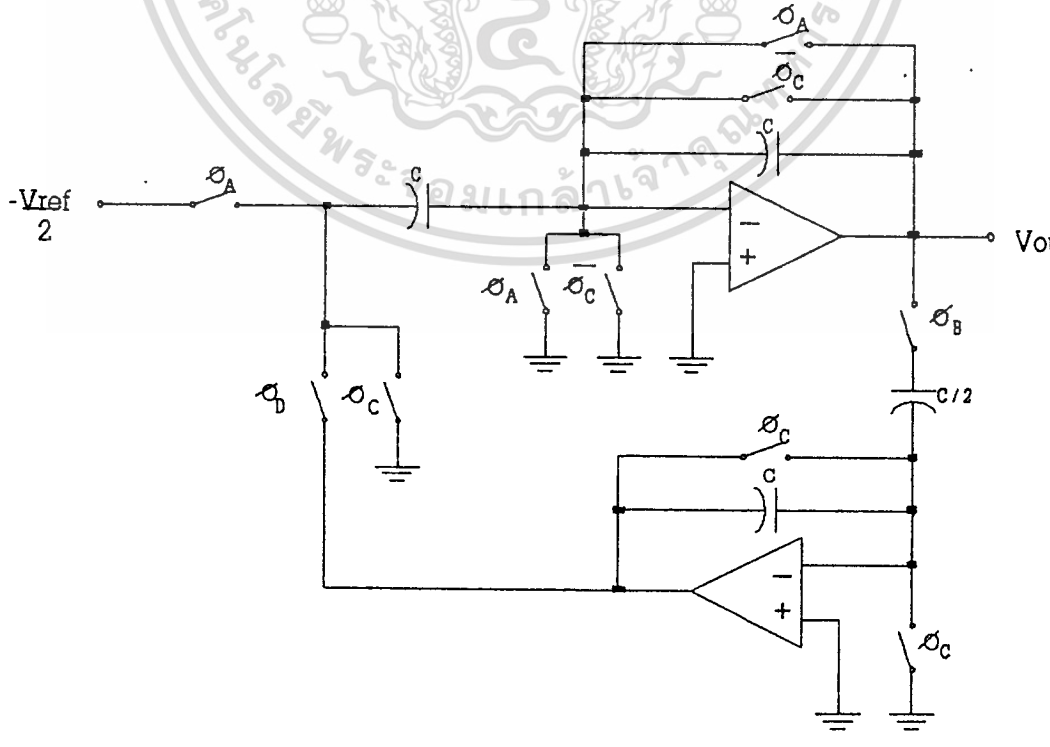
การพัฒนาและการออกแบบวงจร

วงจร Switch-capacitor successive approximate ADC จากที่กล่าวมาแล้วในรูปที่ 3.10 นั้น จะเห็นว่าเป็นวงจรที่ใช้คาปาซิเตอร์จำนวนมาก จึงเป็นผลทำให้ราคาของอุปกรณ์แพงขึ้น ดังนั้นในขั้นตอนต่อไปนี้ จะทำการพัฒนาวงจรให้ดีขึ้น โดยการออกแบบวงจรให้มีอุปกรณ์น้อยลง การออกแบบนี้จะทำในส่วนของวงจรสร้างสัญญาณเปรียบเทียบ (Voltage reference)

วงจรสร้างสัญญาณเปรียบเทียบที่สร้างขึ้นในรูปที่ 3.10 และวงจรสัญญาณเปรียบเทียบที่สร้างขึ้นใหม่จะแสดงดังรูปที่ 3.17 และรูปที่ 3.18 ตามลำดับ



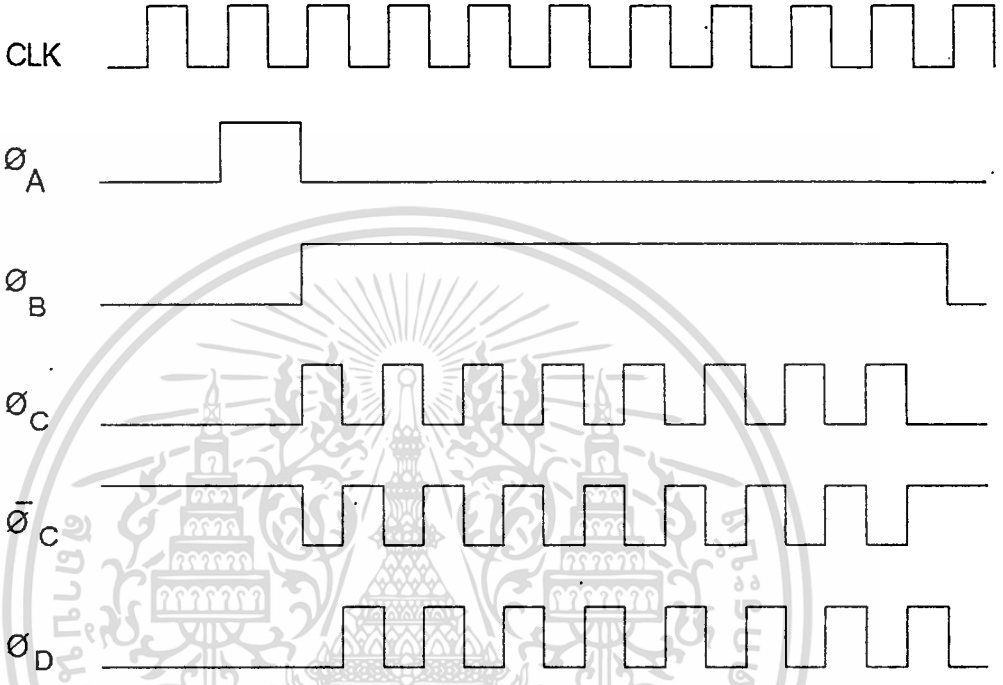
รูปที่ 3.17 วงจรสร้างสัญญาณเปรียบเทียบที่ออกแบบครั้งแรก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของผลงานทุกครั้งที่มีการนำไปใช้

รูปที่ 3.18 วงจรสร้างสัญญาณเปรียบเทียบที่พัฒนาขึ้นใหม่

สัญญาณควบคุม (Control clock) การทำงานของวงจรสร้างสัญญาณเปรียบเทียบที่สร้างขึ้นใหม่นี้ จะแสดงดังรูปที่ 3.19



รูปที่ 3.19 แสดงสัญญาณควบคุมของวงจรสร้างสัญญาณเปรียบเทียบที่สร้างขึ้นใหม่

จะเห็นว่า วงจรสร้างสัญญาณเปรียบเทียบที่สร้างขึ้นใหม่นี้ เป็นการออกแบบให้มีการใช้อุปกรณ์น้อยลง กล่าวคือ วงจรเดิมใช้คาปาซิเตอร์ 8 ตัว แต่วงจรที่สร้างขึ้นใหม่นี้จะใช้คาปาซิเตอร์เพียง 4 ตัวเท่านั้นซึ่งจะทำให้ราคาของวงจรถูกลงด้วย วงจรสร้างสัญญาณเปรียบเทียบที่สร้างขึ้นใหม่ นอกจากจะใช้คาปาซิเตอร์น้อยลงแล้ว ยังสามารถลดจำนวนสัญญาณควบคุม (Control clock) การทำงานของวงจรได้อีกด้วย

หลักการทำงาน

การทำงานของวงจรสร้างสัญญาณเปรียบเทียบที่สร้างขึ้นใหม่นั้น จะทำงานตามสัญญาณควบคุมที่สร้างขึ้น โดยจะเริ่มทำงานในสัญญาณคล็อกลูกที่ 2 ดังต่อไปนี้

คล็อกที่ 2 ทำงาน

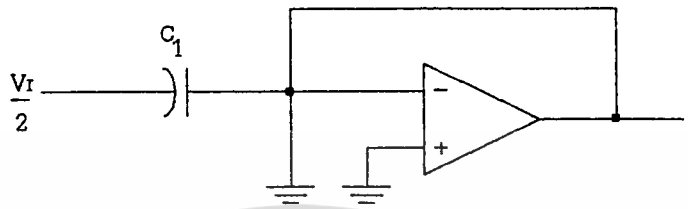
ในจังหวะนี้ สัญญาณควบคุมที่ทำงานคือ ϕ_A วงจรจะเริ่มทำงานโดยการรับเอาสัญญาณอินพุทที่มีค่าเท่ากับ ครึ่งหนึ่งของสัญญาณเปรียบเทียบ ดังนั้น จะเกิดประจุที่ตัว C ซึ่งมีค่าดังนี้

จาก $q = CV$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น $q = C_1Vr/2$

การทำงานในจังหวะนี้ จะแสดงดังรูปที่ 3.20

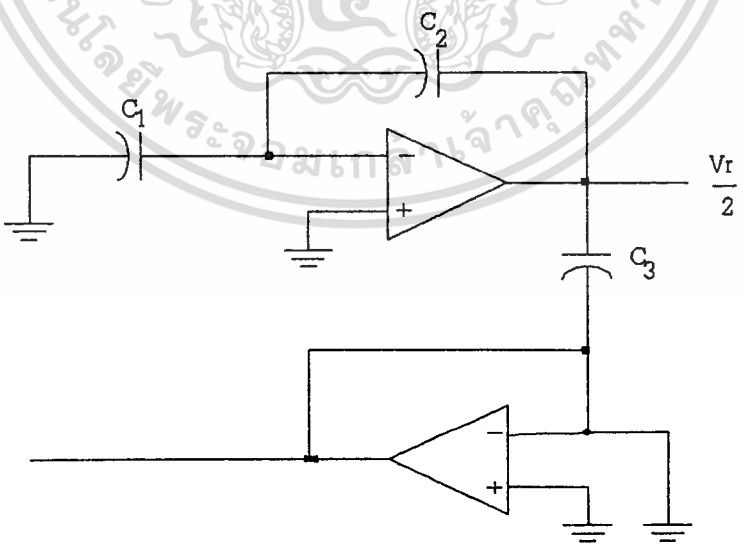


รูปที่ 3.20 การทำงานในจังหวะคล็อกที่ 2 ทำงาน

คล็อกที่ 3 ทำงาน

สัญญาณควบคุมที่ทำงานในจังหวะนี้คือ ϕ_B, $\overline{\phi_C}$, ϕ_C และ ϕ_D

ในจังหวะขาขึ้นของคล็อกที่ **3** จะมี ϕ_B และ ϕ_C ทำงาน ในช่วงนี้ C_1 จะมีการเปลี่ยนกราวด์ ดังนั้นประจุใน C_1 จะมีค่าเป็น $-C_1Vr/2$ และจะได้เอาท์พุทที่ออกจากออปแอมป์ตัวที่ 1 เป็น $+Vr/2$ ทำให้เกิดประจุใน C_3 มีค่าเป็น $+C_3Vr/2$ การทำงานในจังหวะนี้จะแสดงดังรูปที่ 3.21



รูปที่ 3.21 แสดงการทำงานในจังหวะขาขึ้นของคล็อกที่ 3

ในจังหวะขาลงของคล็อกที่ 3 จะมีสัญญาณ $\overline{\phi_C}$ และ ϕ_D ทำงาน ช่วงนี้ C_3 จะเปลี่ยนกราวด์ ทำให้ประจุมีค่าเป็นลบ ดังนี้

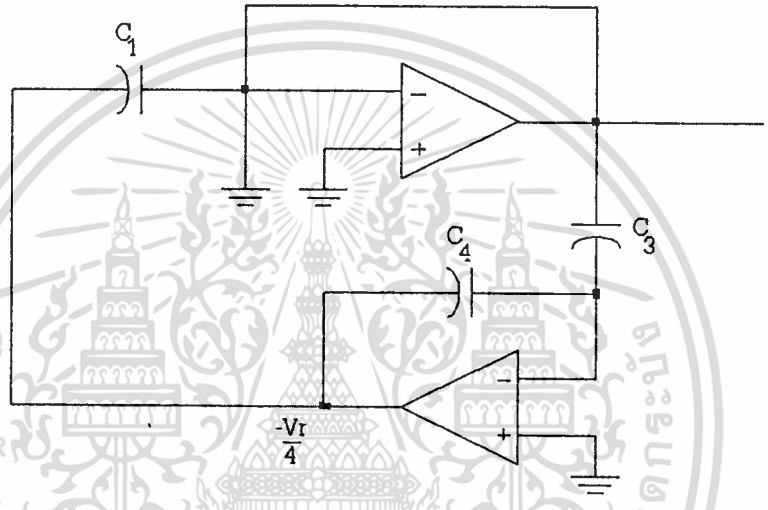
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$q = C_3Vr/2$$

แต่ $C_3 = C_1/2$ ดังนั้น

$$q = C_1Vr/4$$

เอาท์พุทจากอินเวอร์ติงออปแอมป์ตัวที่ 2 จะมีค่าเป็น -Vr/4 และทำให้เกิดประจุที่ C_1 เป็น $-C_1Vr/4$การทำงานในจังหวะนี้จะแสดงดังรูปที่ 3.22



รูปที่ 3.22 แสดงการทำงานในจังหวะขาลงของคล็อกที่ 3

คล็อกที่ 4 ทำงาน

การทำงานในคล็อกที่ 4,5,6,7,8,9 และ 10 จะมีลักษณะเหมือนการทำงานในคล็อกที่ 3 ต่างกันที่เมื่อวงจรทำงานในจังหวะขาขึ้นของคล็อกแต่ละลูกก็จะได้ค่าเอาท์พุทจากอินเวอร์ติงออปแอมป์ตัวที่ 1 ด้วยค่าที่ต่างกัน กล่าวคือ

เมื่อคล็อกที่ 3 ทำงานจะได้เอาท์พุทเป็น +Vr/2

เมื่อคล็อกที่ 4 ทำงานจะได้เอาท์พุทเป็น +Vr/4

เมื่อคล็อกที่ 5 ทำงานจะได้เอาท์พุทเป็น +Vr/8

เมื่อคล็อกที่ 6 ทำงานจะได้เอาท์พุทเป็น +Vr/16

เมื่อคล็อกที่ 7 ทำงานจะได้เอาท์พุทเป็น +Vr/32

เมื่อคล็อกที่ 8 ทำงานจะได้เอาท์พุทเป็น +Vr/64

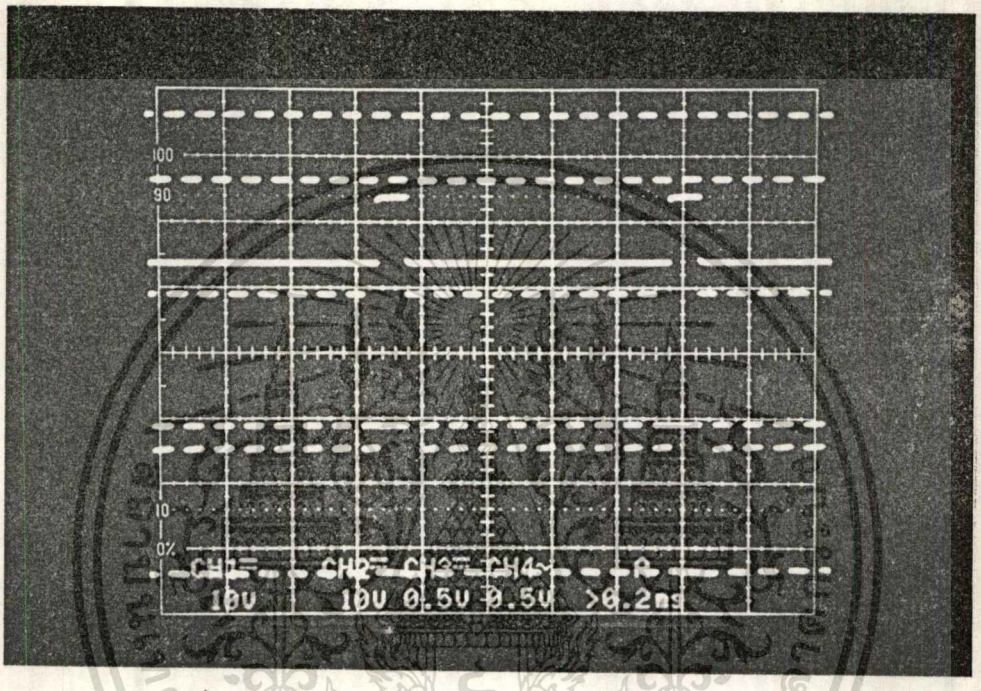
เมื่อคล็อกที่ 9 ทำงานจะได้เอาท์พุทเป็น +Vr/128

เมื่อคล็อกที่ 10 ทำงานจะได้เอาท์พุทเป็น +Vr/256

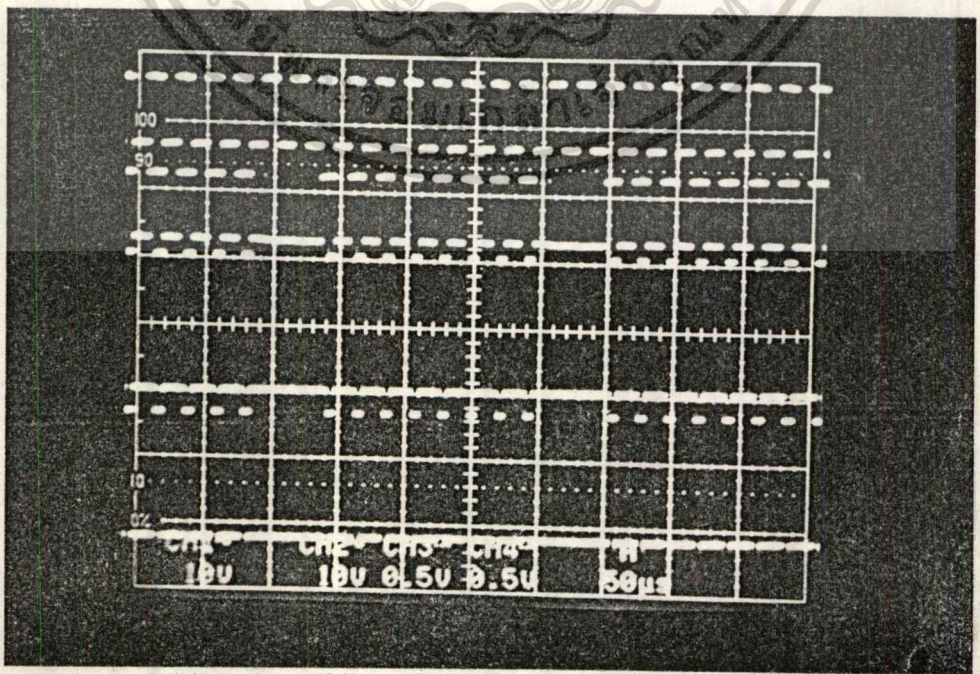
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดสอบวงจร

จากการทดสอบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลโดยใช้วิธี Switched - capacitor successive approximate จะทำการวัดสัญญาณควบคุมการทำงานของวงจรได้ดังรูปต่อไปนี้

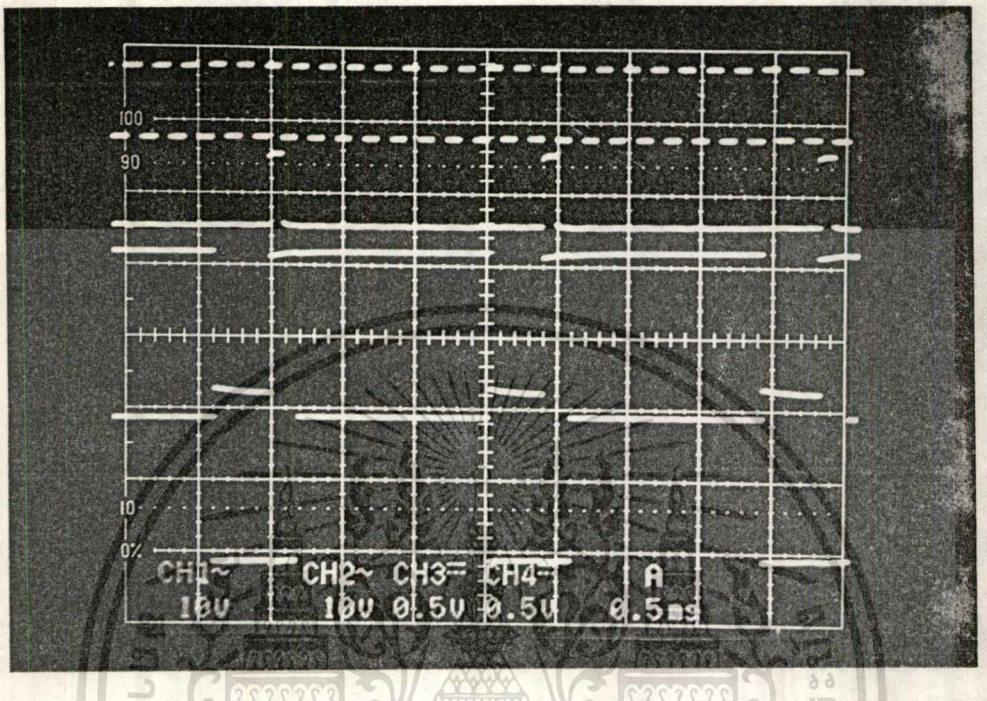


รูปที่ 3.23 แสดงการทำงานของสัญญาณ S/H, ϕ_1 และ ϕ_2

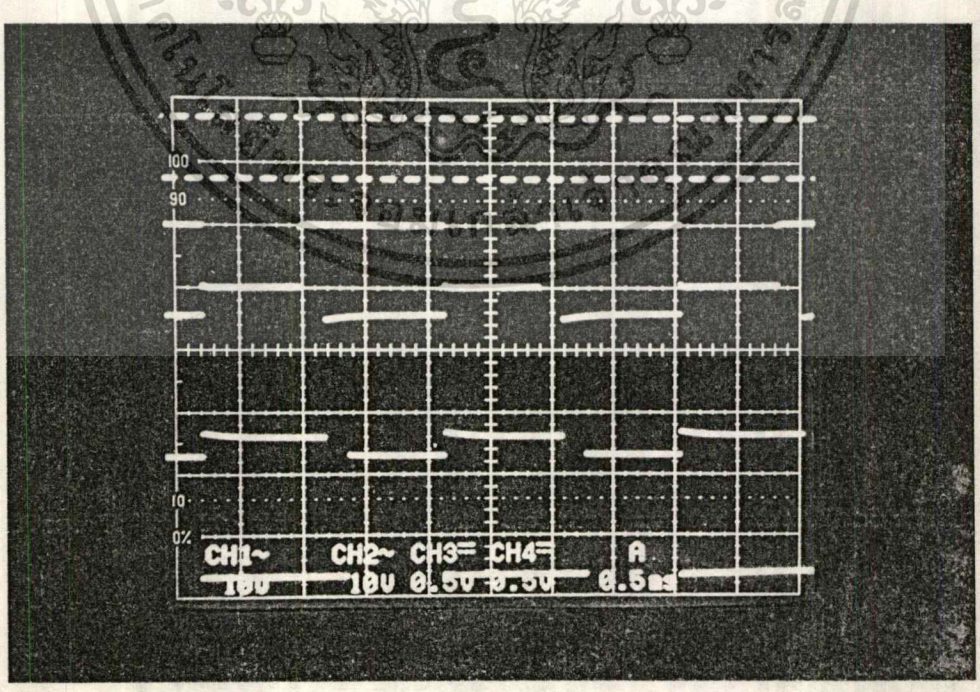


รูปที่ 3.24 แสดงการทำงานของสัญญาณ ϕ_c, ϕ_3 และ ϕ_4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

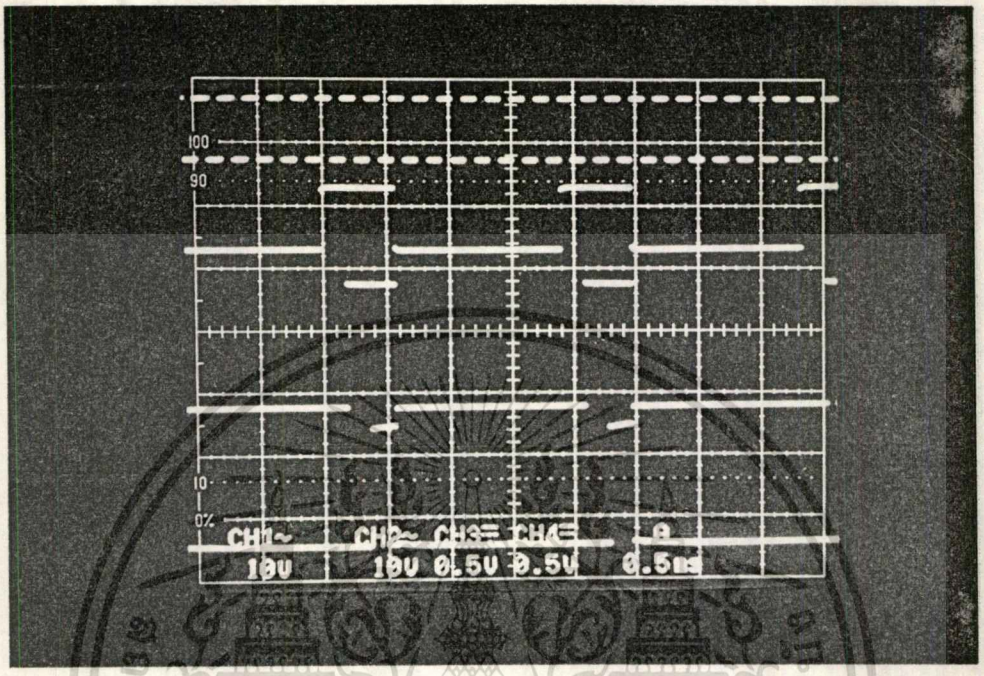


รูปที่ 3.25 แสดงการทำงานของสัญญาณ ϕ_r, sw1 และ sw2

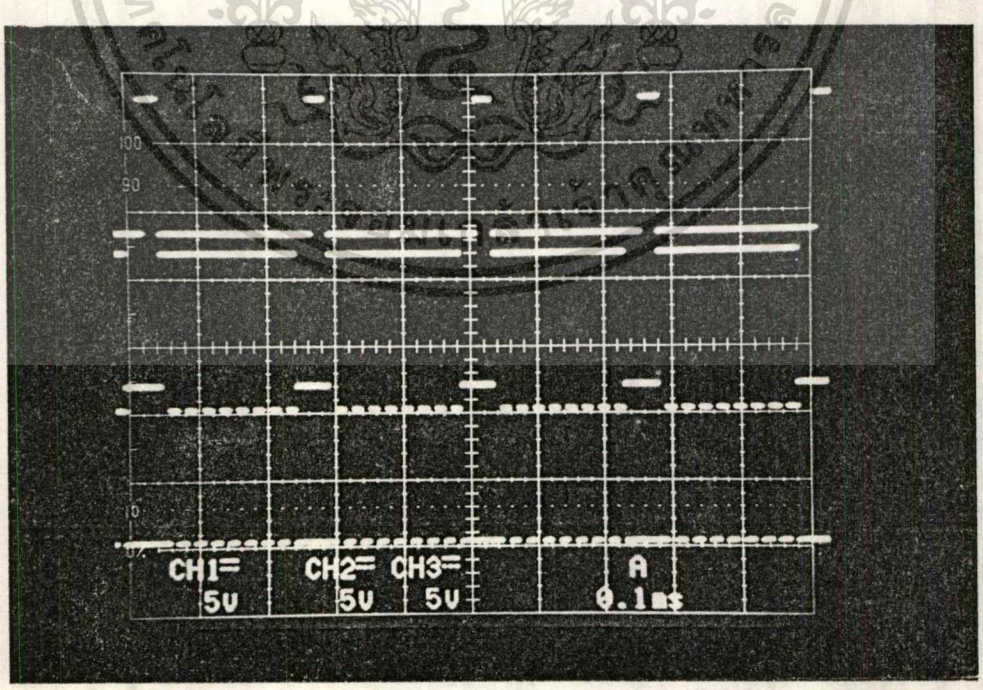


รูปที่ 3.26 แสดงการทำงานของสัญญาณ sw3, sw4 และ sw5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

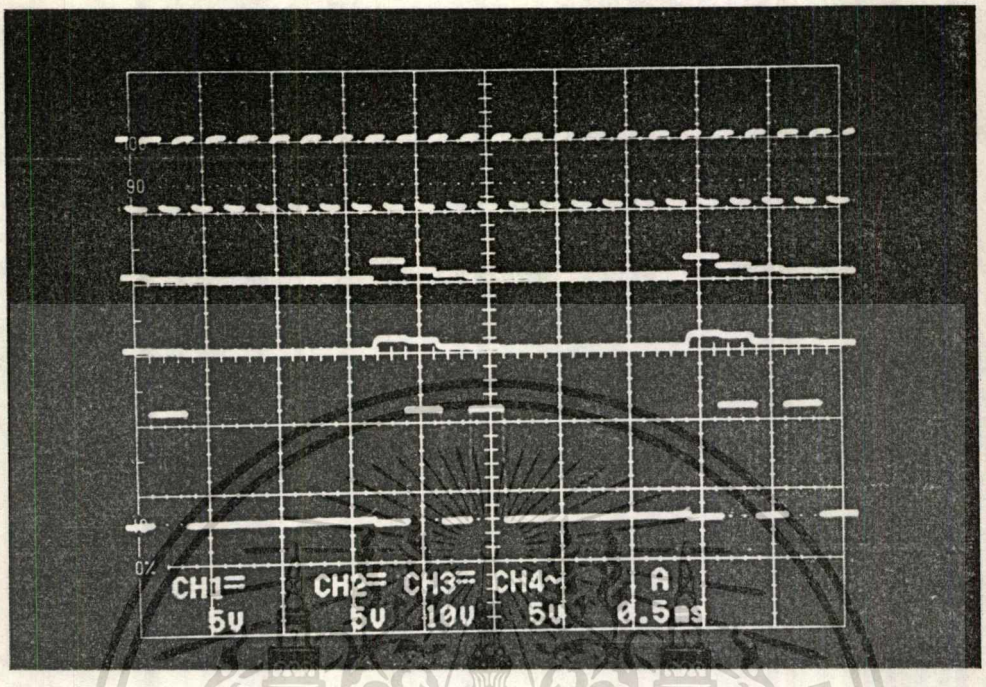


รูปที่ 3.27 แสดงการทำงานของสัญญาณ sw6, sw7 และ sw8

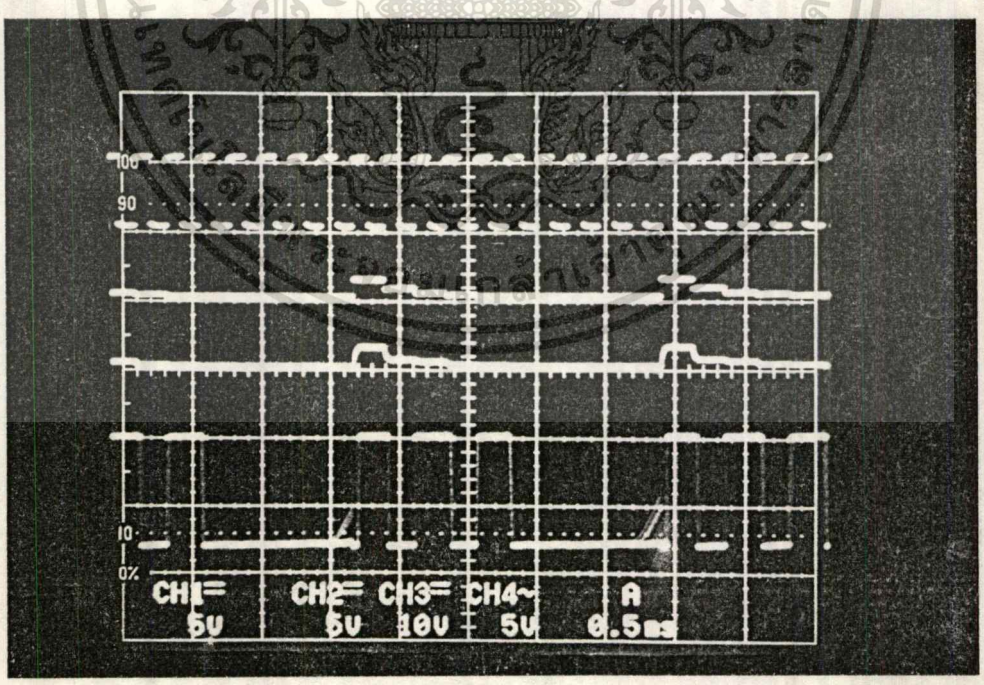


รูปที่ 3.28 แสดงการทำงานของสัญญาณ ϕ_A,ϕ_B และ ϕ_D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

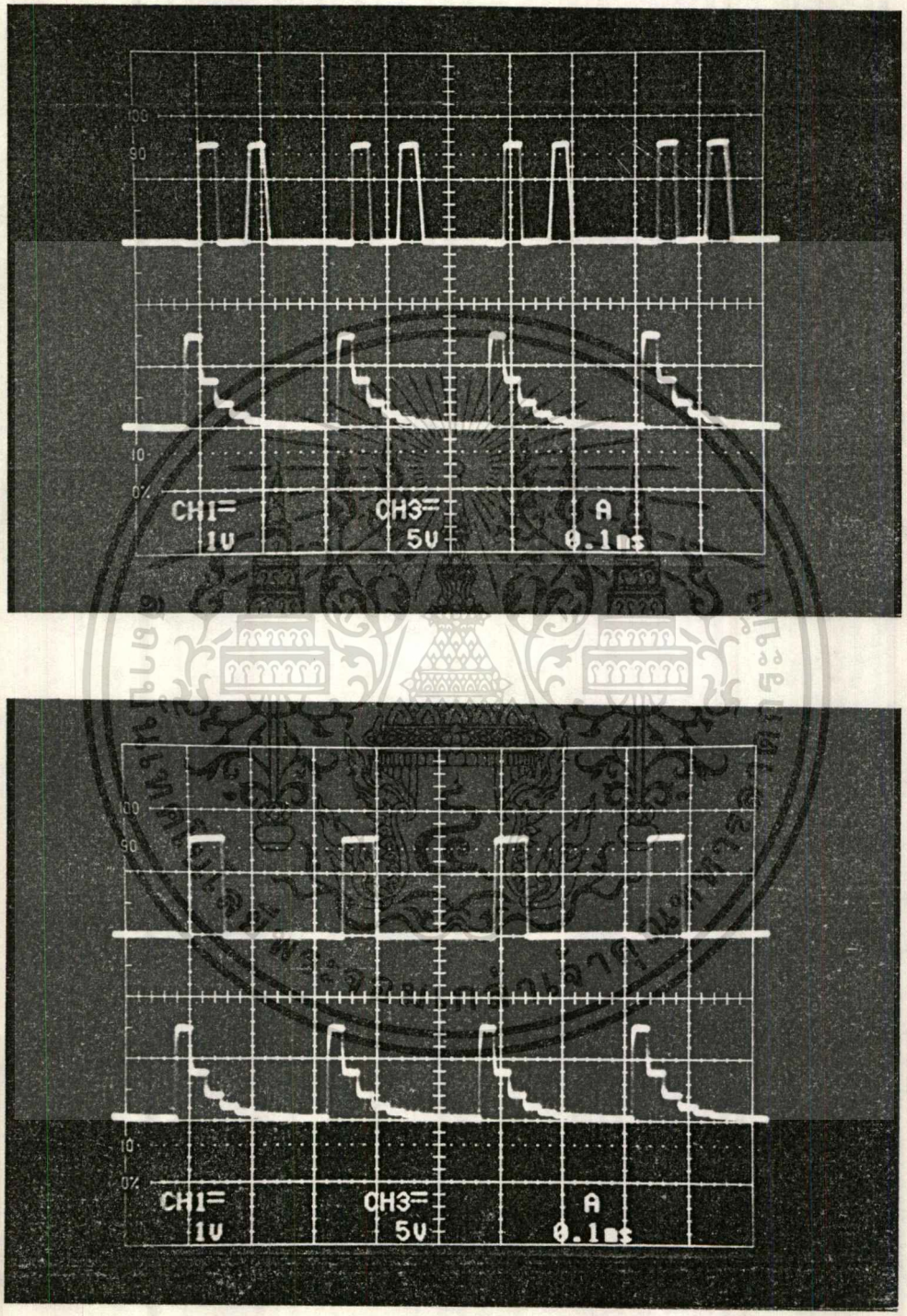


รูปที่ 3.29 แสดงสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทน้อยกว่า Vref/2
(เมื่อใช้วงจรแบบแรก)



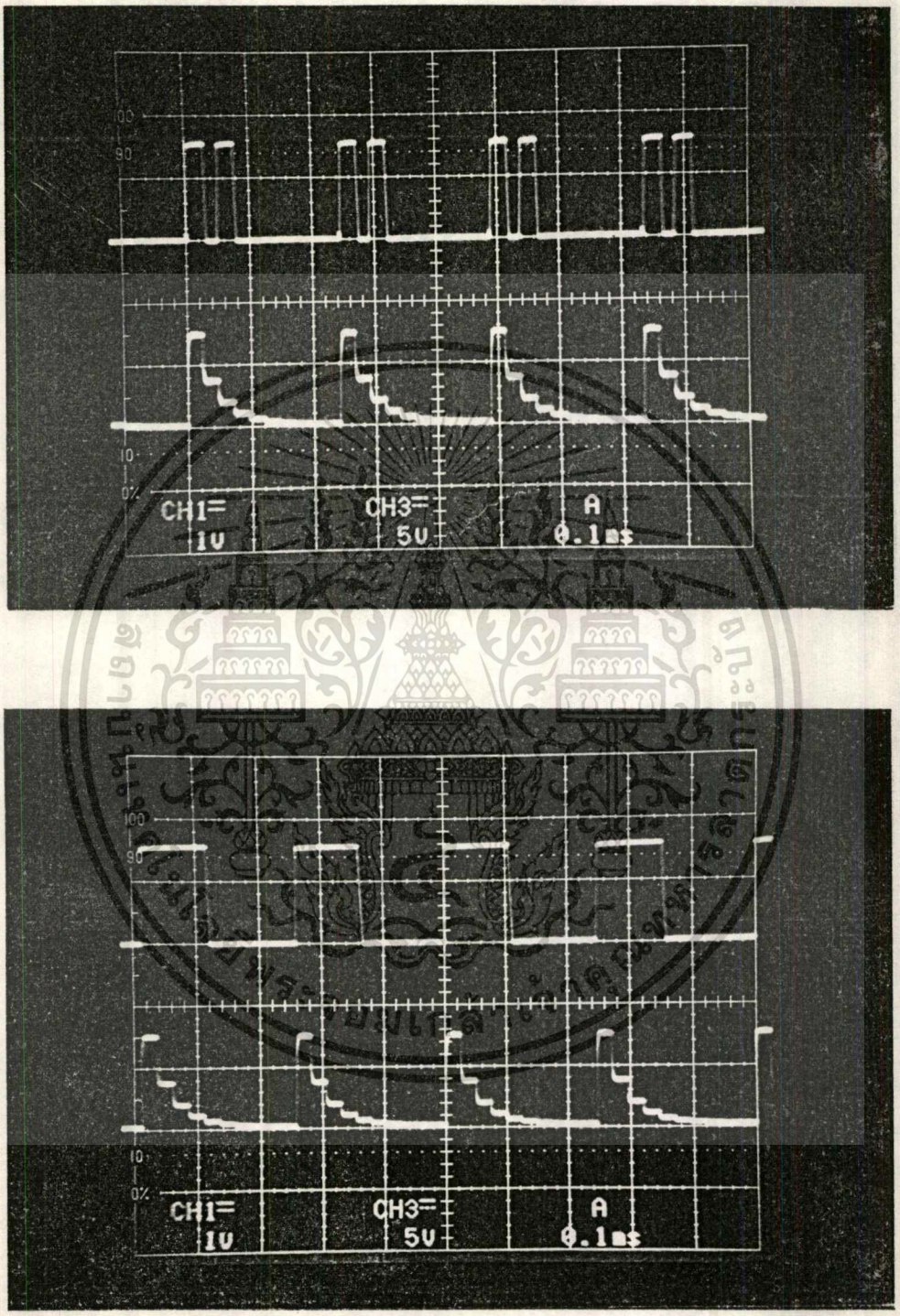
รูปที่ 3.30 แสดงสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทมากกว่า Vref/2
(เมื่อใช้วงจรแบบแรก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.31 แสดงสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทน้อยกว่า Vref/2
(เมื่อใช้วงจรแบบที่ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.32 แสดงสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทมากกว่า Vref/2
(เมื่อใช้วงจรแบบที่ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดสอบวงจรแบบแรก เมื่อป้อนค่า Voltage reference มีค่าเท่ากับ 5 V แล้วป้อนสัญญาณอินพุทค่าต่างๆ จะได้ค่าสัญญาณดิจิตอล 8 บิท ดังตาราง

ตารางที่ 3.1 แสดงสัญญาณเอาท์พุทค่าต่างๆ

(เมื่อ Voltage reference มีค่า 5 V ความถี่ 60 kHz)

V_{in} (Volt)	Binary output								V_{out} (Volt)
	D7	D6	D5	D4	D3	D2	D1	D0	
0.8	0	0	1	0	1	0	0	0	0.78
0.9	0	0	1	1	0	0	0	0	0.94
1.0	0	0	1	1	0	1	0	0	1.02
1.45	0	1	0	0	1	0	0	0	1.41
1.7	0	1	0	1	0	0	1	0	1.61
1.92	0	1	1	0	0	0	1	0	1.92
1.96	0	1	1	0	0	1	0	0	1.96
2.35	0	1	1	1	1	0	0	0	2.35
2.65	1	0	1	0	0	0	1	0	3.20

จากการทดลอง พบว่าถ้าอินพุทมีค่ามากกว่า Vref/2 จะได้สัญญาณเอาท์พุทมีค่าใกล้เคียงกับสัญญาณอินพุทมาก แต่ถ้าสัญญาณอินพุทมีค่ามากกว่า Vref/2 สัญญาณเอาท์พุทที่ได้จะมีค่าผิดพลาดบางค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดสอบวงจรที่ได้ทำการพัฒนาใหม่ แสดงดังตารางต่อไปนี้

ตารางที่ 3.2 แสดงสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทค่าต่างๆ

(เมื่อ Voltage reference มีค่า 3.6 V ความถี่ 31.6 kHz)

V_{in} (Volt)	Binary output								V_{out} (Volt)
	D7	D6	D5	D4	D3	D2	D1	D0	
0.4	0	0	0	1	0	0	0	0	0.23
0.7	0	0	1	0	0	1	0	0	0.5
0.9	0	0	1	1	0	0	0	0	0.67
1.2	0	1	0	0	0	1	0	0	0.93
1.4	0	1	0	1	0	0	0	0	1.12
2.1	1	0	0	1	1	0	0	0	2.14
2.2	1	0	1	0	0	1	0	0	2.29
2.35	1	0	1	1	0	0	0	0	2.46
2.6	1	1	0	0	1	1	0	0	2.85
3.5	1	1	1	1	1	0	0	0	3.47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.3 แสดงค่าสัญญาณเอาท์พุทเมื่อป้อนสัญญาณอินพุทค่าต่างๆ
(เมื่อ Voltage reference มีค่า 4 V ความถี่ 60 kHz)

V_{in} (Volt)	Binary output								V_{out} (Volt)
	D7	D6	D5	D4	D3	D2	D1	D0	
0.58	0	0	0	1	1	0	0	0	0.38
1.05	0	0	1	1	0	0	0	0	0.75
1.35	0	1	0	0	0	1	0	0	1.07
1.6	0	1	0	1	0	0	0	0	1.25
1.8	0	1	1	0	0	0	0	0	1.51
2.35	1	0	0	1	0	0	1	0	2.29
2.45	1	0	1	0	0	0	0	0	2.51
2.6	1	0	1	0	1	0	0	0	2.63
2.95	1	1	0	1	0	0	1	0	3.29
3.35	1	1	1	0	0	0	0	0	3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
บทสรุปผลและแนวทางพัฒนาต่อ

จากการทดสอบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล โดยวิธี Switched Capacitor Successive Approximate Converter ที่ทำการออกแบบนั้น เมื่อป้อนสัญญาณอินพุทที่เป็นสัญญาณ DC ค่าต่างๆ เข้าสู่วงจร ปรากฏว่าวงจรสามารถแปลงสัญญาณอินพุทให้เป็นสัญญาณดิจิตอล 8 บิทได้อย่างแม่นยำพอสมควร โดยทั้งนี้ พิสูจน์โดยการคำนวณย้อนกลับจากค่าสัญญาณดิจิตอลเอาท์พุทที่ได้จากการแปลง

จากการพัฒนาวงจรในส่วนที่สร้างโวลท์เตจอ้างอิงโดยการทำให้มีขนาดเล็กลงจากวงจรแบบแรกนั้น ทำให้วงจรมีความกระชับมากขึ้น จำนวนคาปาซิเตอร์ที่ใช้ก็น้อยลง และสามารถทำงานได้ตามที่ต้องการ

ดังนั้นแนวความคิดในการนำเอาสวิทช์และคาปาซิเตอร์มาสร้างเป็นวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล โดยหลักการที่ออกแบบในโครงงานนี้ จะสามารถทำการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลได้

จากวงจรที่ใช้ในการศึกษาในครั้งนี้ จะเห็นว่า บางส่วนของวงจรสามารถดัดแปลงแก้ไขให้มีขนาดเล็กลงไปได้อีก เพื่อที่จะสามารถใช้พื้นที่ของวงจรได้อย่างมีประสิทธิภาพมากที่สุด และอีกกรณีหนึ่งคือ หากเราต้องการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลจำนวนมากกว่า 8 บิทขึ้นไป จะเกิดปัญหาตรงที่เราจะมีวิธีการสร้างสัญญาณควบคุมการทำงานของระบบอย่างไร ซึ่งสิ่งเหล่านี้น่าที่จะทำการศึกษาและพัฒนาต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] ปราโมทย์ วาดเขียน และ วิวัฒน์ กิรานนท์ "พื้นฐานการสื่อสารข้อมูล" กรุเทพฯ : โรงพิมพ์คุรุสภาลาดพร้าว 2536.

[2] ยืน ภู่สุวรรณ "การเปลี่ยน A/D และ D/A" บทความจากหนังสือ อิเลคทรอนิคส์ เวิลด์ หน้าที่ 41-49 31 พฤษภาคม 2522.

[3] สมชาย ไตรสุริยธรรมา "อนาลอก/ดิจิตอลคอนเวอร์ทเตอร์" บทความจากหนังสือ เซมิคอนดักเตอร์ หน้าที่ 105-108 30 มิถุนายน 2528.

[4] ถวิล พึ่งมา "ระบบชุมสายโทรศัพท์แบบดิจิตอล" กรุงเทพฯ : โรงพิมพ์คุรุสภาลาดพร้าว 2535.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณ อาจารย์ปราโมทย์ วาดเขียน และพี่ปริญญาโท ที่ให้คำปรึกษาและแนะนำมาโดยตลอด และขอบคุณเพื่อนๆทุกคนที่ช่วยเหลือในเรื่องต่างๆ ทางผู้จัดทำปริญญานิพนธ์ฉบับนี้ขออวยพรให้ทุกๆท่าน ประสบแต่ความสุข มีหน้าที่การงานที่เจริญรุ่งเรือง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้