เครื่องตอบรับและสั่งงานทางโทรศัพท์อัตโนมัติ

ANSWERING MACHINE AND AUTOMATIC APPLICANCE CONTROLLER

โดย

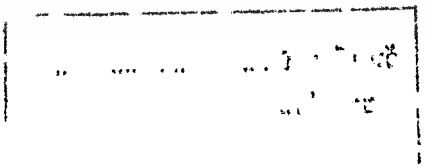
นางสาว จิตติมา สีคงคต รหัส 34101055

นาย เศรษฐพงศ์ โกสิยตระกูล รหัส 34107383

นางสาว อัมพิกา พีรพัฒนาพงศ์ รหัส 34109507

อาจารย์ที่ปรึกษา

อาจารย์ พลศาสตร์ เลิศประเสริฐ



วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต

ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ปริญญานิพนธ์ปีการศึกษา 2537

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องตอบรับและสั่งงานทางโทรศัพท์อัตโนมัติ**

ผู้จัดทำ 1. นางสาว จิตติมา สีคงคต รหัส 34101055

2. นาย เศรษฐพงศ์ โกสิยตระกูล รหัส 34107383

3. นางสาว อัมพิกา พีรพัฒนาพงศ์ รหัส 34109507

..... อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตอบรับและสั่งงานทางโทรศัพท์อัตโนมัติ

จิตติมา สีคงคต รหัส 34101055
เศรษฐพงศ์ โกสิยตระกูล รหัส 34107383
อัมพิกา พีรพัฒนาพงศ์ รหัส 34109507

อ.พลศาสตร์ เลิศประเสริฐ อาจารย์ที่ปรึกษา
ปีการศึกษา 2537

บทคัดย่อ

โครงงานเครื่องสั่งงานและตอบรับทางโทรศัพท์อัตโนมัติ มาจากแนวความคิดที่จะควบคุมเครื่องใช้ไฟฟ้าผ่านคู่สายโทรศัพท์ ซึ่งจะสามารถเป็นเครื่องตอบรับโทรศัพท์อัตโนมัติสั่งปิด-เปิดอุปกรณ์ไฟฟ้า

โครงงานนี้จะใช้ไมโครคอนโทรลเลอร์ในตระกูล MCS-51 เบอร์ 8031 เป็นส่วนควบคุมหลัก โดยทำหน้าที่ประมวลผลสัญญาณที่ได้มาจากวงจรส่วน Hardware แล้วส่งสัญญาณ O/P ไปคอนโทรลอุปกรณ์ไฟฟ้าและสั่งงานเครื่องตอบรับโทรศัพท์ตามลำดับ

ในส่วนควบคุมเครื่องใช้ไฟฟ้าจะมีวงจรทำหน้าที่ตรวจจับสัญญาณ Ringing Tone และมีวงจรนับสัญญาณ Ringing Tone ให้ได้ตามค่าที่กำหนดไว้ เมื่อรับสัญญาณได้แล้วก็จะทำการถอดรหัสหมายเลขที่ผู้ใช้กดเข้ามา ซึ่งใช้ IC เบอร์ 8870 เป็นตัวถอดรหัสแล้วส่งค่าที่ถอดรหัสได้ไปยังส่วนประมวลผล เพื่อให้ส่วนประมวลผลส่งสัญญาณไปควบคุมอุปกรณ์ไฟฟ้าตามลำดับ

สำหรับส่วนวงจรตอบรับอัตโนมัติจะใช้ IC เบอร์ MC3417 ทำหน้าที่เป็น CVSD ทำหน้าที่แปลงสัญญาณอนาลอก (สัญญาณเสียง) เป็นสัญญาณดิจิตอลเพื่อทำการบันทึกไว้ใน dynamic ram สำหรับในการบันทึกเสียง ข้อความในการบันทึกเสียงจะใช้การบันทึกเสียงด้วยเทปบันทึกเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANSWERING MACHINE AND AUTOMATIC APPLICANCE CONTROLLER

Jittima Sikongkot No.34101055
Settapong Kosiyatrakul No.34107383
Umpika Piraphatanapong No.34109507

Polsart Lertprasert Advisor

1994

Abstract

This thesis comes from concept that telephone network is wide and convenence for long distance communication system. By this concept Answer machine and Automatic Applicance controller is operated via telephone lines.

This machine can separate by 3 parts. And also controlled by microcontroller.

The first part is telephone linking unit. The purpose for this unit is to detect telephone signal such as ringing tone,DTMF and convert them into digital signal to provide signal properly for microcontroller.

The second part is Answer machine the basic concept is to convert analog signal into digital by principle of deltamodulation and record digital signal in memory(dynamic ram) The advantage of this method is to reduce machanical complexity process.

The thrid part is tape recorder is used for recording voice from telephone line.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ	**i**
บทที่ 1 บทนำ	**1-1**
1. บทนำ	1-2
บทที่ 2 ทฤษฎี	**2-1**
1. ระบบโทรศัพท์	2-2
2. ไมโครคอนโทรลเลอร์ 8031	2-9
3. การบันทึกเสียงระบบดิจิตอล	2-19
4. การบันทึกเสียงด้วยเทปบันทึกเสียง	2-31
บทที่ 3 การออกแบบและการสร้าง	**3-1**
1. ส่วนเชื่อมต่อกับคู่สายโทรศัพท์	3-2
2. ส่วนบันทึกเสียงระบบดิจิตอล	3-13
3. ส่วนบันทึกเสียงด้วยเทปบันทึกเสียง	3-19
4. ส่วน SOFT WARE ควบคุมการทำงาน	3-23
บทที่ 4 การทดลองและผลการทดลอง	**4-1**
1. การทดลองและผลการทดลอง	4-2
บทที่ 5 สรุปและวิจารณ์ผลการทดลอง	**5-1**
1. สรุปและวิจารณ์ผลการทดลอง	5-2
ภาคผนวก	**6-1**
เอกสารอ้างอิง	**7-1**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 บทนำ

1. บทนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. บทนำ

ในการทำโครงงานนี้ ซึ่งเป็นโครงงานที่เกี่ยวข้องกับระบบโทรศัพท์ และการใช้ ไมโครคอนโทรเลอร์ 8031 ในการควบคุม ดังนั้นจึงต้องทำการศึกษาระบบโทรศัพท์ สัญญาณต่าง ๆของระบบโทรศัพท์ การส่งสัญญาณผ่านสายโทรศัพท์ และการถอดรหัส DTMF ในส่วนการควบคุมโดยใช้ ไมโครคอนโทรเลอร์ 8031 ต้องศึกษาเกี่ยวกับ ตัว 8031 การเขียนโปรแกรม การติดต่อกับอุปกรณ์ภายนอกด้วยตัวมันเอง และการติดต่อผ่าน 8255 โดย

ในบทที่ 2 จะกล่าวถึง ทฤษฎีที่นำมาใช้โดยจะมีเนื้อหาดังนี้

1. ระบบโทรศัพท์
2. ไมโครคอนโทรลเลอร์ 8031
3. การบันทึกเสียงระบบดิจิตอล
4. การบันทึกเสียงด้วยเทปบันทึกเสียง

ในบทที่ 3 จะกล่าวถึง การออกแบบและการสร้างโดยมีเนื้อหาดังนี้

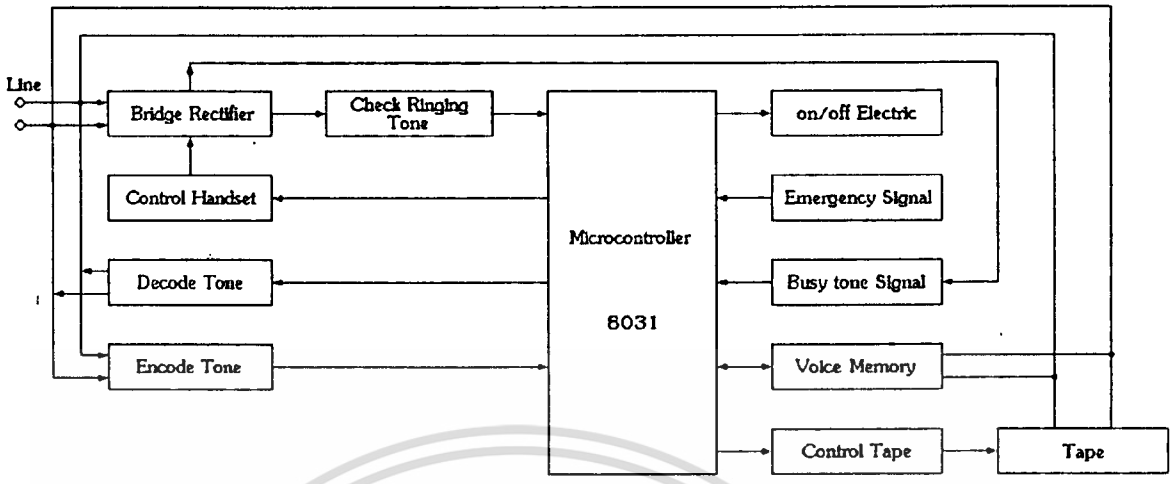
1. ส่วนเชื่อมต่อกับคู่สายโทรศัพท์
2. ส่วนบันทึกเสียงระบบดิจิตอล
3. ส่วนบันทึกเสียงด้วยเทปบันทึกเสียง
4. ส่วน SOFT WARE ควบคุมการทำงาน

ในบทที่ 4 จะกล่าวถึง การทดลองในส่วนต่าง ๆ และผลการทดลอง

ในบทที่ 5 จะกล่าวถึง ผลสรุปจากการทดลอง

โดยเครื่องตอบรับและสั่งงานทางโทรศัพท์อัตโนมัตินี้ จะมีการทำงานดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.1 Block Diagram ของเครื่องตอนรับและสั่งงานทางโทรศัพท์อัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 ทฤษฎี

1. ระบบโทรศัพท์

2. ไมโครคอนโทรลเลอร์ 8031

3. การบันทึกเสียงระบบดิจิตอล

4. การบันทึกเสียงด้วยเทปบันทึกเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ระบบโทรศัพท์

1.1ระบบโทรศัพท์

ระบบโทรศัพท์ คือ ระบบสื่อสารที่มีโครงข่ายชุมสายบริการระหว่างสมาชิกและผู้รู้เลขหมายสมาชิก ให้สามารถเรียกสลับคู่สนทนาต่าง ๆ โดยลดการเดินทางที่ไม่จำเป็นลงได้

โทรศัพท์ที่ใช้อยู่ในปัจจุบันมี 2 ระบบ คือ ระบบ Cross bar กับระบบ DTMF (Dual Tone Multi Frequency) ซึ่งระบบแรกเป็นระบบเดิม ใช้มาตั้งแต่เริ่มมีการใช้โทรศัพท์ ส่วนระบบ DTMF เป็นระบบใหม่ที่เข้ามาแทนที่ระบบ cross bar เพราะมีประสิทธิภาพสูงกว่า ใช้เวลาในการส่งหมายเลขน้อยกว่า และการใช้ระบบ DTMF นั้นที่ชุมสายโทรศัพท์จะใช้วงจรอิเล็กทรอนิกส์ ซึ่งมีความทนทาน และมีอายุใช้งานนานกว่าระบบ cross bar ซึ่งเป็นระบบ mechanic ที่มีการสึกหรอและเสียง่าย ซึ่งในรายงานนี้จะกล่าวถึงเฉพาะระบบ DTMF ซึ่งเป็นระบบที่ใช้อยู่มากในปัจจุบัน

ในระบบโทรศัพท์จะประกอบด้วย

1. การเรียกทางโทรศัพท์ (TELEPHONE CALL) คือการเรียกผ่านระบบโทรศัพท์ระหว่างสมาชิกผู้เรียกและผู้รับ

2. เครื่องโทรศัพท์ (TELEPHONE SET) คืออุปกรณ์สำหรับสมาชิกใช้พูดและฟังในการสนทนาระยะไกลผ่านโครงข่ายโทรศัพท์ เมื่อต้องการเรียกก็หมุนหรือกดหมายเลขผู้รับที่หน้าปัทม์

3. ผู้เรียก (CALLING SUBSCRIBER) หรือสมาชิกผู้เรียก คือผู้เริ่มต้นการเรียก จะด้วยการแจ้งให้พนักงานช่วยต่อกับผู้รับ หมุนหรือกดหมายเลขของผู้รับเมื่อเครื่องโทรศัพท์นั้นเป็นคู่สายของเครื่องชุมสายอัตโนมัติ

4. ผู้รับ (CALLED SUBSCRIBER) หรือสมาชิกผู้ถูกเรียก คือผู้ที่ตอบรับการเรียกทางโทรศัพท์เมื่อได้ยินสัญญาณกริ่งเรียก (RINGING SIGNAL)

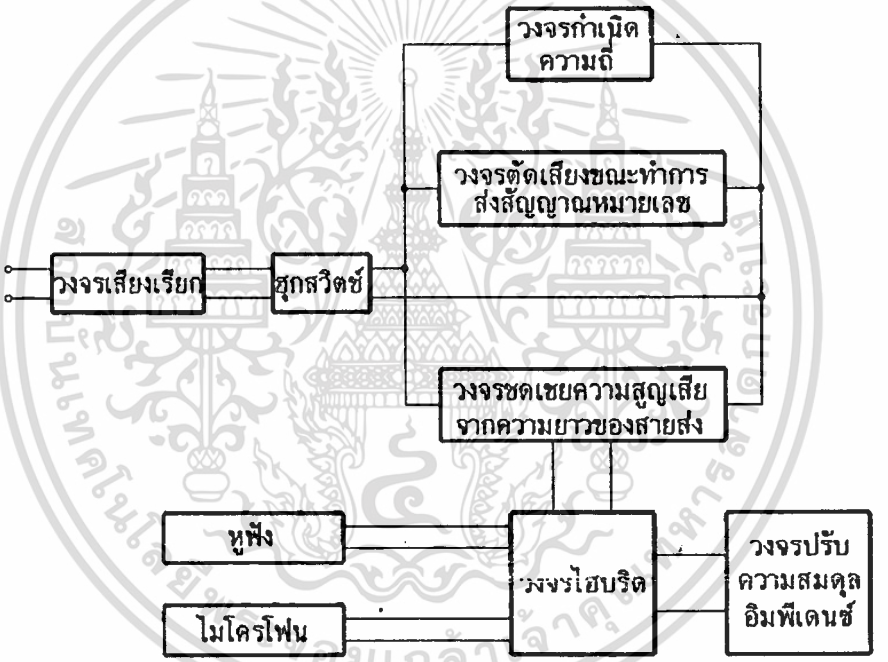
5. คู่สายสมาชิก (SUBSCRIBER LINE) คือคู่ตัวนำกระแสไฟฟ้าที่เปลี่ยนมาจากเสียงพูดแจกจ่ายออกมาจากสถานีที่ติดตั้งเครื่องชุมสายท้องถิ่น ไปยังบ้านของผู้เช่าหรือสมาชิกแต่ละรายอย่างอิสระ

6. เครื่องชุมสายโทรศัพท์ (อัตโนมัติ) (AUTOMATICTELEPHONE SWITCHING) คือเครื่องที่ทำหน้าที่ต่อสลับคู่สายระหว่างสมาชิกผู้เรียกกับผู้รับโดยอัตโนมัติ เครื่องชุมสายโทรศัพท์มีการพัฒนาแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 โทรศัพท์

โทรศัพท์จะมี Block Diagram การทำงานดังรูปที่ 1.1 ซึ่งส่วนต่าง ๆที่จำเป็นในเครื่องโทรศัพท์ โดยจะเชื่อมต่อกับชุมสายด้วยสาย T (tip) และสาย R (ring) วงจรแรกที่เชื่อมต่อระหว่างวงจรภายในเครื่องโทรศัพท์กับอุปกรณ์ของชุมสายก็คือ **วงจรกำเนิดสัญญาณเรียก (ringer)** ซึ่งจะส่ง **สัญญาณเรียก (ringing signal)** เมื่อมีการติดต่อมาจากผู้อื่น เหตุผลประการสำคัญที่ต้องนำวงจรส่วนนี้มาเชื่อมต่อกับชุมสายโดยตรงคือ เมื่อวางหูโทรศัพท์ไว้กับที่วางตามปกติ **ฮุกสวิตช์ (switch hook)** จะถูกเปิดวงจรออกทำให้ไม่มีแรงดันจากชุมสายผ่านไปยังวงจรส่วนที่อยู่หลังฮุกสวิตช์ได้ ดังนั้นถ้าวงจรกำเนิดสัญญาณเรียกอยู่หลังจากฮุกสวิตช์ก็จะไม่สามารถสร้างสัญญาณเรียกได้ในเวลาที่มีผู้ติดต่อเข้ามา



รูปที่ 1.1 แสดงบล็อกไดอะแกรมของโทรศัพท์

เมื่อมีการยกหูโทรศัพท์ขึ้น ฮุกสวิตช์ S_1 และ S_2 ก็ปิดวงจร ทำให้มีกระแสจากชุมสายไหลครบวงจรผ่านเครื่องโทรศัพท์ได้ ในขณะเดียวกันกระแสค่าเดียวกันนี้ก็จะไหลผ่านขดลวดรีเลย์ที่ชุมสายด้วย ก็จะทำให้หน้าสัมผัสของรีเลย์ที่ชุมสายถูกปิดลง เพื่อที่จะให้อุปกรณ์ต่าง ๆในชุมสายพร้อมที่จะทำการติดต่อกับเครื่องโทรศัพท์ได้ จากนั้นชุมสายก็จะส่ง **สัญญาณหมุน (dial tone)** ไปยังผู้ที่ยกหูโทรศัพท์เพื่อให้ผู้นั้นส่งหมายเลขโทรศัพท์ของผู้ที่ต้องการจะติดต่อด้วยมายังชุมสาย หลังจากที่ชุมสายได้รับหมายเลขที่ถูกส่งออกมาแล้ว ชุมสายก็จะเลิกส่งสัญญาณหมุน ซึ่งกระบวนการตอนนี้จะเกิดขึ้นอย่างรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 สัญญาณพื้นฐาน

คือสัญญาณที่เครื่องชุมสายโทรศัพท์จะแจ้งสภาวะต่าง ๆว่าควรทำอย่างไร ซึ่งประกอบด้วย

1. สัญญาณให้หมุน (DIAL TONE) ใช้เพื่อแสดงให้สมาชิกผู้เรียกให้หมุนหมายเลขผู้รับมาได้ ซึ่งเป็นเสียงที่ได้ยินเมื่อเวลายกหู เป็นสัญญาณเสียงที่มีความถี่ 350 เฮิรตซ์ กับ 440 มอดูเลตรวมกัน

2. สัญญาณไม่ว่าง (BUSY TONE) ใช้เพื่อเตือนสมาชิกผู้เรียกว่า ผู้รับไม่ว่างควรวางหูก่อนระยะหนึ่งแล้วจึงเริ่มต่อใหม่ เป็นสัญญาณ 480 เฮิรตซ์ กับ 620 เฮิรตซ์ มอดูเลตดันมา ดัง 0.5 วินาที เงียบ 0.5 วินาที

3. สัญญาณกริ่งเรียก (RINGING TONE SIGNAL) ใช้เมื่อการต่อทุกขั้นตอนตามความประสงค์ของผู้เรียกมายังผู้รับ เครื่องชุมสายโทรศัพท์ดำเนินการต่อสำเร็จด้วยกริ่งเรียก ผู้รับมาตอบการเรียกเป็นสัญญาณ 16 Hz กร้ำกับ 400 Hz แบบ AM ส่ง 1 วินาที เงียบ 4 วินาที

4. สัญญาณเรียกกลับ (RING BACK TONE) ใช้เมื่อการต่อทุกขั้นตอน ตามความประสงค์ของผู้เรียกมายังผู้รับเครื่องชุมสายโทรศัพท์ ดำเนินการต่อสำเร็จ แจ้งให้ผู้เรียกรู้ว่าการเรียกสำเร็จ เป็นสัญญาณความถี่ 440 เฮิรตซ์ กับ 480 เฮิรตซ์ มอดูเลตกันมา ช่วงเวลาส่งและเงียบเช่นเดียวกับสัญญาณกริ่งเรียก

1.4 การติดต่อกันระหว่างเครื่องส่งและเครื่องรับโทรศัพท์

เครื่องส่ง

- ขณะที่ไม่ได้มีการยกหูโทรศัพท์ จะมีศักดาตกคร่อมสายโทรศัพท์เป็นสัญญาณกระแสตรง 48 V

- เมื่อผู้เรียกยกหูโทรศัพท์ ศักดาจะลดลงเหลือ 8 V พร้อมทั้งมีสัญญาณให้หมุนซึ่งเป็นสัญญาณกระแสสลับขนาด 250 mV ความถี่ 350 กับ 440 มอดูเลตรวมกัน ซึ่งเมื่อกดรหัสสัญญาณเลขหมายแล้ว สัญญาณให้หมุนนี้จะหายไป

- กดรหัส (CODE) เบอร์โทรศัพท์ทั้งหมด 7 หลัก รหัสความถี่ที่ส่งจะเป็นสัญญาณผสมสองความถี่ เป็นความถี่สูงและต่ำผสมกัน แต่ละหมายเลขจะมี DTMF อยู่หนึ่งคู่

- ขณะที่รอรับสายจะมีสัญญาณตอบกลับ 2 แบบ เพื่อจะบอกว่าสายว่างหรือไม่คือสัญญาณเรียกกลับหรือสัญญาณสายไม่ว่าง ตามลำดับ

- เมื่อมีการรับสายแล้ว สัญญาณเสียงจะขึ้นอยู่กับความดังและความถี่ของเสียงพูดตามสาย

- เมื่อวางหูโทรศัพท์เลิกการติดต่อ ขนาดศักดาจะกลับไปที่ 48 V ดังเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

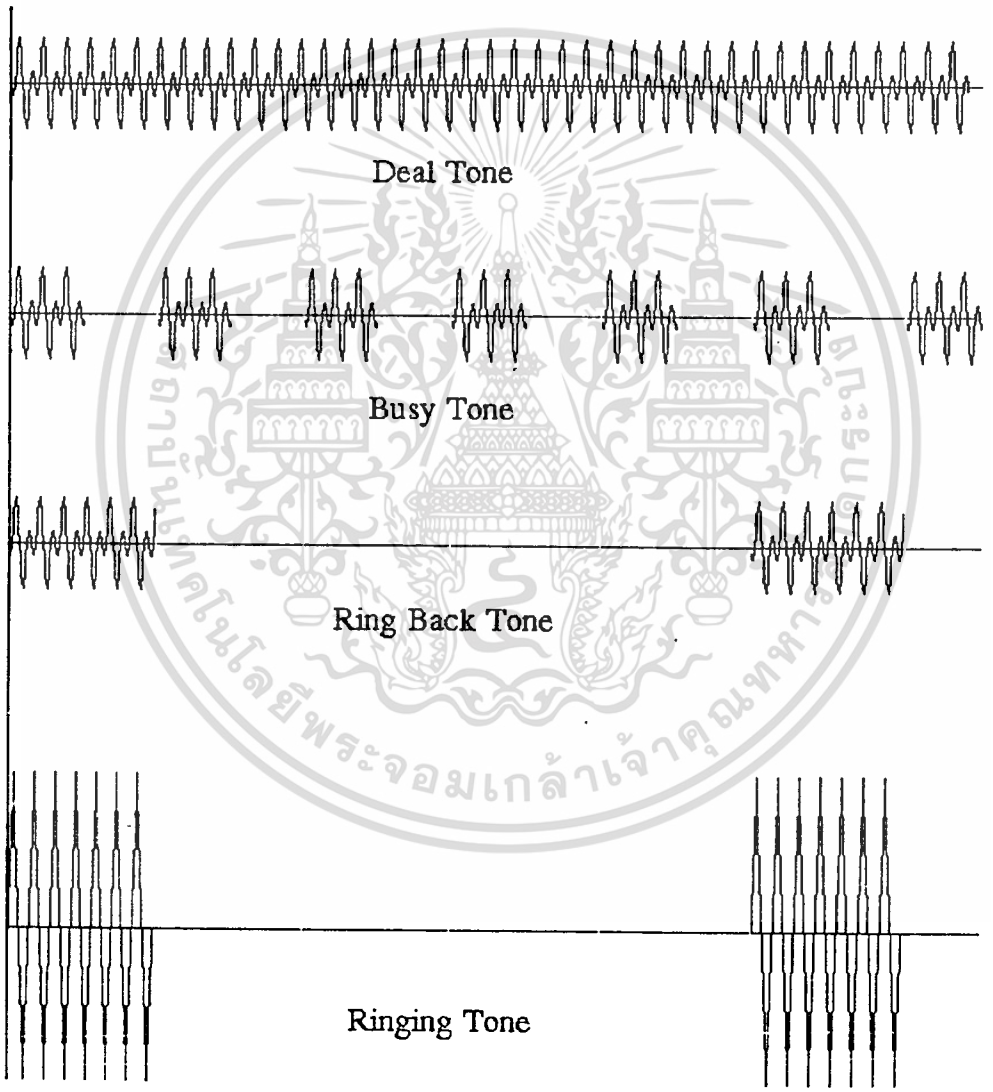
เครื่องรับ

- ขณะที่วางหูอยู่จะมีศักดากระแสคร่อมสายอยู่ 48 V

- เมื่อมีสัญญาณกริ่งเรียกจะมีขนาดประมาณ 100 V_{rms} จังหวะดัง 1 วินาทีหยุด 4 วินาที ซึ่งจะตรงกับสัญญาณเรียกกลับที่เครื่องส่ง

- จากนั้นเมื่อผู้รับยกหูโทรศัพท์ ขนาดศักดากระแสตรงจะเหลือ 8 V และมีการกระเพื่อมตามขนาดและความถี่ของเสียงพูด

-เมื่อวางหูโทรศัพท์ ขนาดศักดาก็จะกลับไปที่ 48 V ตามเดิม

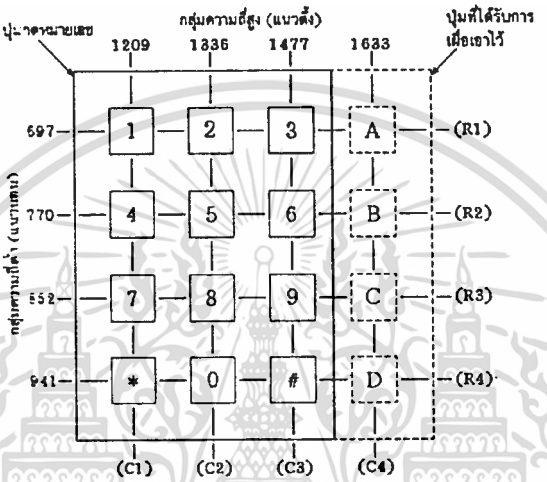


รูปที่ 1.2 แสดงสัญญาณต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 ระบบโทรศัพท์แบบส่งความถี่คู่ (Dual Tone Multifequency type)

ระบบนี้มีวิธีการส่งหมายเลขของผู้ที่ต้องการจะติดต่อด้วย โดยการส่งสัญญาณความถี่ 2 ความถี่มอดูเลตกันไป ซึ่งจะเป็นตัวแทนของหมายเลขที่กด ซึ่งความถี่ที่ถูกส่งออกไปจะอยู่ในย่านของความถี่เสียงพูด (0-4 กิโลเฮิรตซ์) ซึ่งค่าความถี่ที่ต่ำกว่าจะเป็นความถี่ที่แสดงในแนวนอน และอีกค่าหนึ่งก็จะเป็นความถี่ในแนวตั้ง ซึ่งค่าต่าง ๆจะแสดงไว้ในรูปที่ 1.3 ตัวอย่างเช่น เมื่อมีการกดหมายเลข 5 ก็จะมีความถี่ 770 เฮิรตซ์ และ 1336 เฮิรตซ์ มอดูเลตกันออกมา

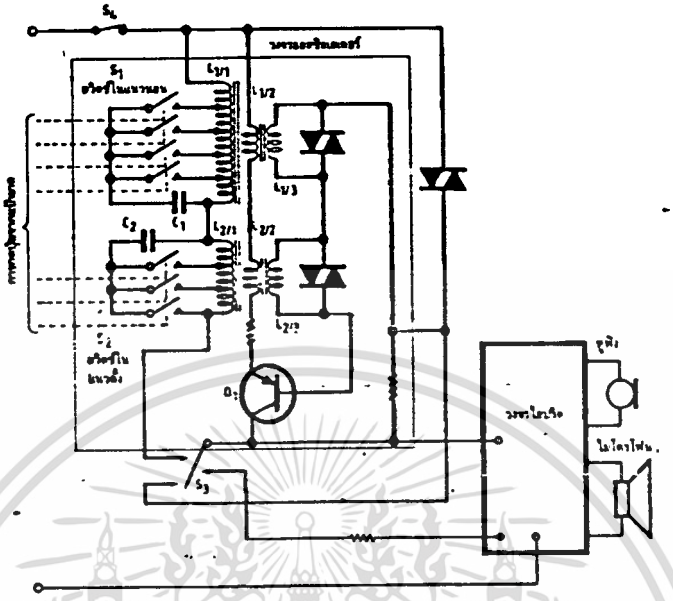


รูปที่ 1.3 แสดงแป้นกดหมายเลขและค่าความถี่ในแนวนอน และแนวตั้งของหมายเลขนั้น ๆ

สำหรับวงจรออสซิลเลเตอร์ที่สร้างความถี่เหล่านี้ขึ้นมาก็คือวงจรในรูปที่ 1.4 ซึ่งเป็นวงจรที่ยังคงใช้อุปกรณ์ต่าง ๆมาต่อรวมกันเป็นวงจรอยู่ ซึ่งปัจจุบันจะมีการใช้อุปกรณ์ที่ถูกผลิตในรูปไอซีสำเร็จรูปมาใช้งานมากกว่า แต่จะกล่าวถึงหลักการทำงานเพื่อให้เข้าใจถึงหลักการพื้นฐานของการทำงานวงจร

การทำงานของวงจรนี้จะเริ่มจากสวิตช์ S_1 (สวิตช์ในแนวนอน) S_2 (สวิตช์ในแนวตั้ง) และ S_3 จะถูกเปิดวงจรอยู่ เมื่อมีการยกหูโทรศัพท์ขึ้น กระแสจากชุมสายจะผ่าน RV_1, L_{1A} และ L_{2A} ทรานซิสเตอร์ Q_1 จะไม่นำกระแส เมื่อมีการกดหมายเลข สวิตช์ S_1, S_2 จะถูกปิดลงตามตำแหน่งของหมายเลขที่ถูกกด C_1, C_2 จะถูกต่อเข้ากับ L_{1A} และ L_{2A} ตามลำดับ เกิดเป็นวงจรออสซิลเลเตอร์ขึ้น โดย L_{1A} และ C_1 จะเป็นออสซิลเลเตอร์ที่ผลิตความถี่ที่ต่ำกว่าความถี่ที่เกิดจาก L_{2A} และ C_2 และขณะนี้ S_3 จะถูกปิดลงเช่นกัน ทำให้ทรานซิสเตอร์ Q_1 ทำหน้าที่มอดูเลตสัญญาณจากออสซิเลเตอร์ทั้งสองเข้าด้วยกัน และส่งไปยังชุมสาย ในขณะที่ทำการกดหมายเลขอยู่นั้นส่วนของหูฟังและไมโครโฟนก็จะถูกต่อขนานกัน จึงทำให้ได้ยินสัญญาณที่เกิดขึ้นจากวงจรออสซิเลเตอร์ด้วย สำหรับทางชุมสายก็จะมีวงจรตรวจจับเอาสัญญาณไปประ มวลผลต่อไป และยังต้องมีวงจรกรองความถี่ป้องกันไม่ให้มีความถี่แปลกปลอมอื่น ๆเข้าไปในชุมสายด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.4 แสดงวงจรพื้นฐานที่ใช้อุปกรณ์แบบแยกชิ้น ของโทรศัพท์ที่ใช้ระบบ DTMF

1.6 ข้อควรคำนึงในการเชื่อมต่อระบบ DTMF กับสายส่งสัญญาณ

- ระดับแรงดันและกระแสลูป จะต้องรักษาให้คงที่ ตลอดระยะทางของสายส่งสัญญาณ
- ความถี่ที่ถูกผลิตขึ้นจะต้องไม่มีความผิดเพี้ยนทั้งคาบและขนาดของสัญญาณ
-วงจรออสซิเลเตอร์จะต้องมีอิมพีแดนซ์ที่ สมดุลย์ (matching) กับสายส่งสัญญาณ

ซึ่งจากข้อสรุปข้างบน ถ้าจะแยกรายละเอียดของแต่ละหัวข้อก็จะมีพารามิเตอร์ที่ต้องคำนึงถึงดังต่อไปนี้

ความผิดเพี้ยนของสัญญาณ

สำหรับข้อกำหนดของความผิดเพี้ยนของสัญญาณมีดังต่อไปนี้

-สัญญาณอื่นที่แทรกสอดเข้ามาในสายสัญญาณส่งสัญญาณรวมกันแล้วจะต้องน้อยกว่าระดับของสัญญาณที่ถูกส่งออกไปจริงอย่างน้อย 20 dB

-สำหรับสัญญาณที่แทรกสอดเข้ามาจะต้องมีข้อกำหนดดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ต้องมีค่าไม่มากกว่า -33 dBm ในช่วง 300 ถึง 3,400 เฮิรตซ์

2. ที่ความถี่สูงกว่า 3,400 เฮิรตซ์ สัญญาณแทรกสอดจะต้องลดลง 12 dB ต่อออกเตฟไปจนถึงความถี่ 50 กิโลเฮิรตซ์

3. ต้องมีระดับสัญญาณไม่มากกว่า -80 dB ที่ความถี่สูงกว่า 50 กิโลเฮิรตซ์

โดยที่ความผิดเพี้ยนถ้าถูกกำหนดในรูปของเดซิเบลคือ

$$\text{ความผิดเพี้ยน} = 20\log (V_1^2+V_2^2+...+V_n^2)/(V_L^2+V_H^2)$$

โดยที่ V_1 ถึง V_N คือ ระดับแรงดันของสัญญาณที่แทรกสอดเข้ามา

V_L คือ ระดับแรงดันของสัญญาณถวามถี่ต่ำกว่า

V_H คือ ระดับแรงดันของสัญญาณความถี่สูงกว่า

ไดนามิกอิมพีแดนซ์

วงจรกำเนิดความถี่สำหรับระบบ DTMF จะต้องมีอิมพีแดนซ์อย่างน้อย 900 โอห์ม ขณะที่ผลิตความถี่ออกมา และต้องมีอิมพีแดนซ์ให้ต่ำสุดขณะที่ไม่ทำการผลิตสัญญาณ

ความสูญเสียที่เกิดจากการสะท้อนกลับของสัญญาณ (return loss)

ก็เป็นค่าพารามิเตอร์อีกตัวที่จะต้องควบคุมโดยกำหนดค่าความสูญเสียในการสะท้อนกลับของสัญญาณหรือ RL ด้วยสมการ

$$RL = 20\log [(Z_L+Z_g)/(Z_L+Z_g)]$$

โดยที่ Z_L คือ อิมพีแดนซ์ของสายส่งสัญญาณ

Z_g คือ อิมพีแดนซ์ของเครื่องโทรศัพท์

ค่ามาตรฐานสำหรับ RL จะต้องมากกว่า 14 dB ในช่วงความถี่ระหว่าง 300 ถึง 3,400 เฮิรตซ์ และมากกว่า 10 dB ในช่วงความถี่ 50 ถึง 300 เฮิรตซ์ และ 3,400 ถึง 20,000 เฮิรตซ์

1.7 ข้อดีสำหรับระบบการส่งแบบ DTMF

จากข้อมูลทั้งหมดสามารถสรุปถึงข้อดีของระบบ DTMF ได้คือ

- ลดระยะเวลาในการส่งหมายเลขโทรศัพท์ไปยังชุมสาย
- สามารถใช้วงจรที่ใช้อุปกรณ์โซลิดสเตตได้ ซึ่งจะทำให้เกิดความประหยัด และสะดวก
- ลดอุปกรณ์จำพวกหน่วยความจำที่ใช้ภายในชุมสาย
- สามารถนำไปใช้เชื่อมต่อกับอุปกรณ์ภายในชุมสายอย่างมีประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Microcontroller 8031

2.1 การจัดขาไมโครคอนโทรลเลอร์ 8031

การจัดขาตามลักษณะภายนอกของชิพ 8031 มีรายละเอียดดังต่อไปนี้

-ขา V_{ss} (ขา 20) เป็นขาสำหรับต่อลงดิน

-ขาV_{cc} (ขา 40) เป็นขาที่ต่อแรงดันไฟฟ้ากระแสตรงขนาด 5 โวลต์

-ขา PORT 0 (P0.0-P0.7 ขา 32-39) เป็นพอร์ตไอโอ 8 บิตแบบ OPEN DRAIN BIDIRECTIONAL สามารถรับโหลดทีทีแอลได้ 8 ตัว การเขียนค่า "1" ลงไปที่ PORT นี้จะเป็นการปล่อยลอยขาของ PORT นี้ ทำให้มันทำงานเป็นอินพุทมีอิมพีแดนซ์สูง ในการให้พอร์ตนี้บริการแบบไอโอ พอร์ต 0 เป็นทำงานเป็นมัลติเพลกซ์ด้วยสัญญาณแอดเดรสไบต์ต่ำกับบัสข้อมูลสำหรับการใช้งานด้านหน่วยความจำภายนอก ในการใช้งานแบบนี้จะใช้ลักษณะภายในเป็นตัวพูลอัพ พอร์ต 0 ยังใช้งานเป็นตัวส่งข้อมูลออกทางพอร์ตนี้ เมื่อใช้บริการทางด้านการตรวจสอบโปรแกรมรอมภายในและการโปรแกรมตัว EPROM ภายใน ถ้าใช้งานในลักษณะนี้การพูลอัพจากภายนอกต้องต่อด้วยค่า 10 กิโลโอห์ม

-ขา PORT 1 (P1.0-P1.7 ขา 1-8) เป็นพอร์ตไอโอ 8 บิทแบบ OPEN DRAIN BIDIRECTIONAL พร้อมด้วยการพูลอัพภายใน ถ้าเป็นพอร์ตเอาท์พุทบัฟเฟอร์สามารถขับโหลดทีทีแอลได้ 4 ตัว พอร์ต 1 เมื่อถูกเขียนค่า "1" ด้วยโปรแกรมมันจะมีสถานะสูงด้วยการพูลอัพภายใน การให้สถานะเช่นนี้จะเป็นการ INITIAL ใช้งานพอร์ตนี้ให้เป็นอินพุท ขณะที่พอร์ต 1 เป็นอินพุท การให้สัญญาณลงต่ำจะเป็นการจ่ายออกเนื่องจากการพูลอัพภายใน

-ขา PORT 2 (P2.0-P2.7 ขา 21-28) เป็นพอร์ตไอโอ 8 บิตแบบ OPEN DRAIN BIDIRECTIONAL ด้วยการพูลอัพภายใน พอร์ต 2 นี้ทำหน้าที่เป็นบัฟเฟอร์ เอาท์พุทสามารถจ่ายโหลดทีทีแอลได้4ตัว พอร์ตจะถูกใช้งานเป็นตัวส่งแอดเดรสไบต์สูงด้วยเมื่อใช้งานร่วมกับหน่วยความจำภายนอกเพื่อให้ได้แอดเดรสถึง 16 บิต

-ขา PORT 3 (P3.0-P3.7 ขา10-17) เป็นพอร์ตไอโอ 8 บิตแบบพูลอัพภายในนอกจากทำเป็นพอร์ตไอโอที่สามารถรับโหลดทีทีแอล 4 ตัวแล้ว ยังใช้งานเป็นพิเศษสำหรับตระกูล MCS-51 ตามตาราง

การที่จะให้ทำงานตามฟังก์ชันข้างบนจะต้องเริ่มโปรแกรมด้วยการส่งค่า "1" ไปแลทช์ไว้ก่อนที่ให้ทำงานตามฟังก์ชันข้างบน

-ขา RST (ขา 9) ต้องคงสถานะค่าสูงเป็นเวลาประมาณอย่างน้อยสองวัฏจักรระหว่างที่ออสซิล- เตอร์ทำงานขณะที่ต้องการรีเซตทั้งระบบงาน

-ขา ALE/PROG (ขา 30) เป็นขาแอดเดรสแลทช์อีนาเบิ้ลด้วยการส่งพัลส์ออกไป ใช้สำหรับ แลทช์ค่าแอดเดรสไบท์ต่ำจากพอรต์ 0 ในระหว่างการเข้าถึงข้อมูลจากหน่วยความจำภาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
034892

ตารางที่ 2.1 แสดงขาต่าง ๆของ PORT 3

ขา PORT	ขา	การทำงานตามฟังก์ชันพิเศษ
P3.0	10	RXD พอร์ตอนุกรมอินพุต
P3.1	11	TXD พอร์ตอนุกรมเอาท์พุต
P3.2	12	INT0 อินเตอร์รัพภายนอกตัวที่ 0
P3.3	13	INT1 อินเตอร์รัพภายนอกตัวที่ 1
P3.4	14	T0 สัญญาณกระตุ้นเข้าที่ตัวตั้งเวลาและตัวนับ 0
P3.5	15	T1 สัญญาณกระตุ้นเข้าที่ตัวตั้งเวลาและตัวนับ 1
P3.6	16	WR สัญญาณควบคุมการเขียน
P3.7	17	RD สัญญาณควบคุมการอ่าน

-ขา ALE/PROG (ขา 30) เป็นขาแอดเดรสแลทช์อีนาเบิ้ลด้วยการส่งพัลส์ออกไป ใช้สำหรับแลทช์ค่าแอดเดรสไบท์ต่ำจากพอรต์ 0 ในระหว่างการเข้าถึงข้อมูลจากหน่วยความจำภายใน ALE จะถูกส่งสัญญาณนาฬิกาออกมา ในอัตราความเร็วคงที่ ที่ 1/8 ของความถี่ออสซิเลเตอร์ตลอดเวลา แม้ว่าจะไม่มีการเข้าถึงข้อมูลจากภายใน ดังนั้นจึงสามารถที่จะใช้สัญญาณจากขานี้เป็นตัวตั้งเวลาภายนอกหรือเป็นความถี่สัญญาณนาฬิกา แต่อย่างไรก็ตามความถี่สัญญาณนี้จะลดความถี่ช้าลงไปเท่าหนึ่งระหว่างการทำงานแบบการเข้าถึงของหน่วยความจำข้อมูลภายนอก ขานี้ยังใช้เป็นสัญญาณพัลส์เข้าสำหรับการควบคุมการโปรแกรม EPROM ภายในชิพ

-ขา PSEN (ขา 29) Program Storage Enable เป็นสโตรบสำหรับอ่านข้อมูลจากโปรแกรมหน่วยความจำภายนอก เมื่อชิพทำงานด้วยโปรแกรมจากหน่วยความจำภายนอก ขา PSEN จะสร้างสโตรบค่าสองครั้งภายใน 1 แมชชีนไซเคิล

-ขา EA/V_{pp} (ขา 31) มีสถานะสูง ตัว CPU ในชิพจะทำงานตามโปรแกรมที่อยู่ในหน่วยความจำภายใน การทำให้ EA มีสถานะต่ำ จะทำให้ CPU ทำงานตามหน่วยความจำภายนอก ซึ่งขยายโปรแกรมได้ยาวถึง 64 กิโลไบท์

-ขา XTAL1 (ขา 19) ใช้เป็นตัวอินพุทเข้าสู่ตัวออสซิลเลเตอร์ขยายแบบ Invert

-ขา XTAL2 (ขา 18) ใช้เป็นตัวเอาท์พุทจากตัวออสซิลเลเตอร์ขยายแบบInvert

2.2 การจัดการหน่วยความจำ

8031 มีหน่วยความจำพื้นฐานดังนี้

1.หน่วยความจำภายนอกสำหรับโปรแกรม 64 กิโลไบท์

2.หน่วยความจำภายนอกสำหรับข้อมูล 64 กิโลไบท์

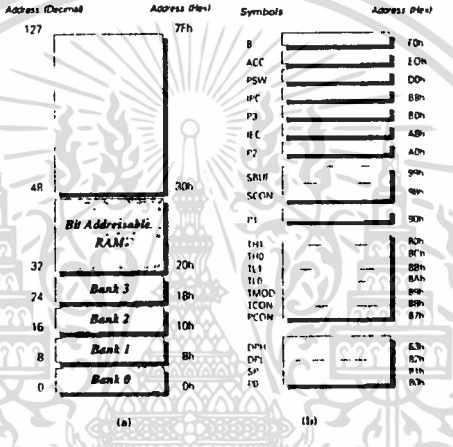
3.หน่วยความจำภายในแบบ RAM 256 ไบท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนหน่วยความจำจะแบ่งเป็นสองส่วนหลักดังรูป 2.1

-แอดเดรส 00H ถึง 7FH เป็นหน่วยความจำปกติ (RAM) สามารถเก็บข้อมูลโดยการอ้างแอด-เดรส 8 บิท และในช่วง BANK จะเป็นที่เก็บค่ารีจิสเตอร์ R (RAM Address Register) โดยสามารถกำหนดให้อยู่ในช่วง BANK 0,1,2 หรือ 3 ได้โดยเซทบิท RS1,RS0 ใน PSW รีจิสเตอร์

-แอดเดรส 80H ถึง FFH ใช้เป็นที่เก็บรีจิสเตอร์ฟังก์ชั่นพิเศษ (Special Function Register) การจัดแอดเดรสเหล่านี้เป็นดังรูป 2.2



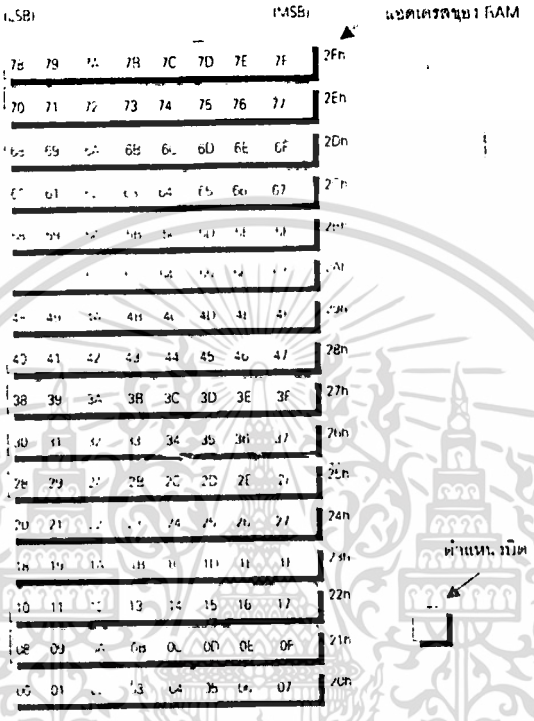
รูปที่ 2.1 แสดงการจัดหน่วยความจำภายใน

ชื่อรีจิสเตอร์	คำจำกัดความ	ความสามารถการอ้างถึงแบบบิต
ACC	Accumulator	ไม่
B	B register	ไม่
PSW	Program Status Word	ไม่
SP	Stack Pointer	ไม่
DPTR	Data pointer (DPH & DPL)	ไม่
P0	Port 0	ไม่
P1	Port 1	ไม่
P2	Port 2	ไม่
P3	Port 3	ไม่
IP	Interrupt Priority	ไม่
IE	Interrupt Enable	ไม่
TMOD	Timer / counter mode	ไม่ได้
TCON	Timer / counter control	ไม่
TH0	Timer / counter 0 thigh	ไม่ได้
TL0	Timer / counter 0 tlow	ไม่ได้
TH1	Timer / counter 1 thigh	ไม่ได้
TL1	Timer / counter 1 tlow	ไม่ได้
SCON	Serial control	ไม่ได้
SBUF	Serial data buffer	ไม่ได้
PCON	Power control	ไม่ได้

รูปที่ 2.2 แสดงรีจิสเตอร์ฟังก์ชันพิเศษ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากจะเก็บข้อมูลโดยอ้างแอดเดรสไบท์ในหน่วยความจำแล้ว ยังสามารถเก็บข้อมูลเป็นบิทได้ โดยอ้างจากแอดเดรสบิท ดังรูป 2.3



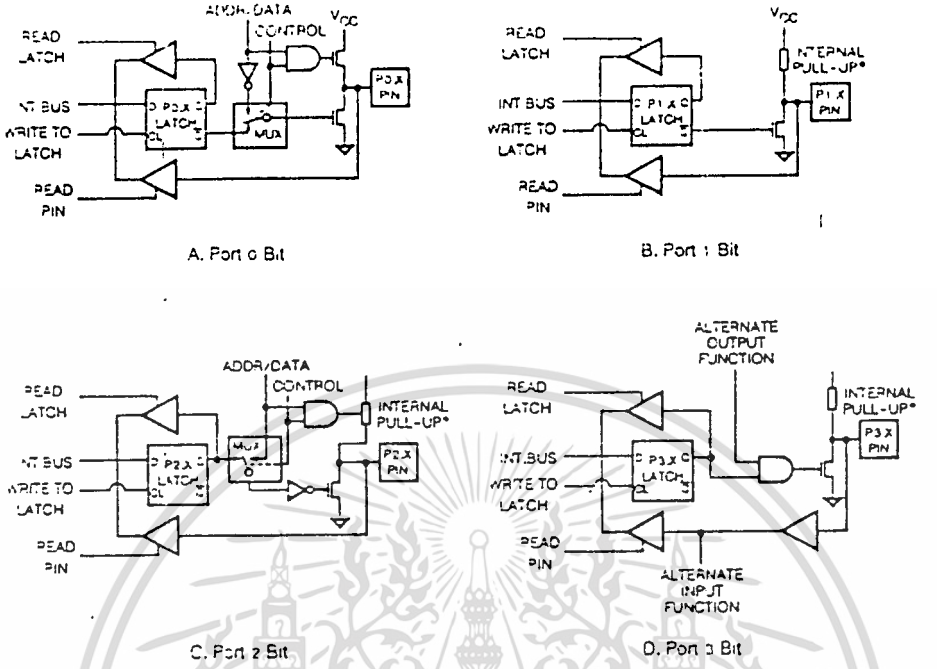
รูปที่ 2.3 แสดงการอ้างแอดเดรสบิต

2.3 โครงสร้างของพอร์ทและการทำงาน

พอร์ทของ 8031 มี 4 พอร์ท พอร์ททั้ง 4 เป็นแบบ 2 ทิศทาง (Bidiretional) พร้อมทั้งสามารถหน่วงค่าไว้ (Latch) โดยมีโครงสร้างภายในแต่ละบิทดังรูปที่ 2.4

จากรูปจะเห็นได้ว่ามีตัวขับเอาท์พุทและบัฟเฟอร์อินพุทเนื่องจากโครงสร้างของพอร์ท 1,2 และ 3 ได้ติดค่าความต้านทานพูลอัพไว้ ดังนั้นเวลาจะอ่านค่าจากพอร์ทต้องป้อนค่า 1 ก่อนแล้วจึงอ่านค่าที่พอร์ทเข้ามา ส่วนในพอร์ท 0 สามารถอ่านค่าได้เลย ในทางปฏิบัติ พอร์ท 0 กับพอร์ท 2 จะใช้ในการติดต่อหน่วยความจำภายนอก โดยใช้พอร์ท 0 รับข้อมูลด้วยในตัว ส่วนพอร์ท 1 เป็นพอร์ทว่าง ใช้ในกรณีต้องการติดตั้งอุปกรณ์เพิ่มเติม และใน พอร์ท 3 จะเป็นพอร์ทควบคุมมีฟังก์ชั่นการทำงานที่ได้กล่าวแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงโครงสร้างภายในของแต่ละบิต

2.4 การเชื่อมต่อกับ 8255

PORT คือ ตัวที่ทำหน้าที่รับหรือส่งข้อมูลให้กับอุปกรณ์ภายนอกกับ CPU ซึ่งตัว CPU มีความเร็วในการทำงานสูงกว่าอุปกรณ์ภายนอกมาก

IC มีอยู่ 3 PORT ที่ใช้งาน คือ PORT A PORT B มีขนาด 8 BIT และ PORT C โดยที่ PORT C นั้นยังสามารถแบ่งกลุ่มออกเป็น PORT และ 4 BIT จึงทำให้มี PORT C บน และ PORT C ล่าง คราวนี้การต่อใช้งานก็มีขาที่เป็น INPUT ให้กับตัว IC ก็มี

D0-D7 ต่อเข้ากับ DATA BUS ของ CPU เพื่อใช้สำหรับรับส่งข้อมูลกันระหว่าง PORT กับ CPU

A0-A1 ขา ADDRESS ซึ่งเป็นตัวสำคัญในการกำหนด PORT ว่าเรียก PORT อะไรเป็น PORT A B หรือ C จากที่กล่าวมาแล้วสถานะที่เราคิดมี เพียง ON กับ OFF ดังนั้น IC ตัวนี้จึงมีเบอร์ PORT ในตัวมัน 4 PORT เพราะมีสาย ADDRESS 2 เส้น = 2^2 และเราได้กล่าวมาแล้ว 3 PORT ดังนั้นจึงเหลืออีก PORT หนึ่ง ซึ่ง PORT ตัวนี้จะเป็นตัวที่สำคัญที่ สุดในการทำงานของ IC ตัวนี้ ซึ่งก่อนที่จะให้ IC ตัวนี้มีหน้าที่อะไรนั้นจะต้องทำการสั่งหน้าที่ของ IC ให้กับ PORT นี้เสียก่อนเรียก PORT นี้ว่า CONTROL PORT ซึ่งจะมีการเรียงลำดับดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A7	A6	A5	A4	A3	A2	A1	A0	PORT
ไม่สนใจ						0	0	PORT A
ไม่สนใจ						0	1	PORT B
ไม่สนใจ						1	0	PORT C
ไม่สนใจ						1	1	PORT CONTROL

ดังนั้นเวลาเราเรียก PORT ซึ่งใน 1 คำสั่งนั้นจะต้องเรียกเบอร์ PORT เป็น 8 BIT คือ เลข HEX 2 หลัก แต่ IC จะให้ PORT ไหนทำงานจะมีความสำคัญแค่หลักหลัง คือ A1 กับ A0 ว่ามีค่าเป็นอะไร

อย่างเช่น บน ET-BORAD ที่ DECODE ที่ 8255 ว่างไว้ คือ PORT 20H ถ้าเราเรียก PORT เบอร์นี้ก็จะให้ผล คือ PORT A เพราะ A1 กับ A0 เป็น 0 แต่ถ้าเรียก PORT 21 H บ้างก็เป็น PORT B เพราะ A1 เป็น 0 และ A0 เป็น 1 หรือถ้าเราเรียก PORT เบอร์ 24H บ้าง PORT ที่จะทำงานก็คือ PORT A เพราะ A1 กับ A0 ดังนั้นเวลาเราเรียก PORT 20H กับ 24H จึงเป็น PORT เดียวกับบน ET-BORAD เพราะ 1 จุดนั้นอ้างถึง 32 PORT คือ 20H-3FH หรือสังเกตอีกอย่างคือ มันจะทับซ้อนตัวเองเพราะตัว IC อ้างได้ 4 PORT พอเกิน 4 PORT มันก็จะกลับไปเริ่มต้นใหม่อย่าง 20H อ้างถึง 4 PORT ก็จะถึง 23H พอเพิ่มอีก 1 มันก็จะเกิน 4 PORT คือ PORT 24H ก็เป็น 20H นั่งเองอย่างเช่น PORT 20H,24H, 28H, 2CH, 30H ทั้งหมดนี้ก็คือ PORT เดียวกัน (PORT A) ในจุด DECODE 1 จุดบน ET-BORAD นี้

CS เป็นขาเลือก IC PORT ให้ทำงานนี้จะต่อเข้ากับ IC ที่ DECODE เบอร์ PORT ไว้ โดยการ เรียกเบอร์ PORT นี้ จะรวมเข้ากับ ADDRESS 2 เส้นที่ต่อเข้ากับ PORT ด้วยคือ A0 กับ A1 เพราะเวลาที่เรียกเบอร์ PORT ต้องใช้คำสั่งซึ่งเป็น 8 BIT ตาม CPU ดังนั้น 1 คำสั่งจึงรวมสาย ADDRESS ต่ำอย่างบน ET-BORAD 8255 ที่ว่าง ขา CS จะต่อเข้ากับ IC 74LS138 ขา 14 คือจุดที่ DECODE เบอร์ PORT ตั้งแต่เบอร์ 20H ไว้นั่นเอง (PORT A)

RD ใช้ขบวนการ INPUT เมื่อ CS และ RD ACTIVE เป็น 0

WR ใช้ขบวนการ OUTPUT เมื่อ CS และ WR ACTIVE เป็น 0

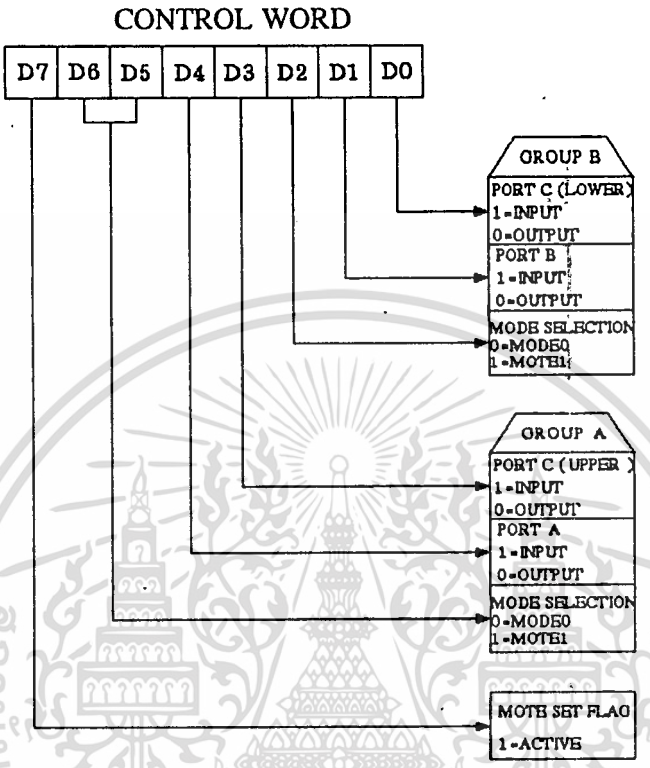
RESET เป็น 1 ใช้ CLEAR สถานะต่าง ๆ ของ 8255

PORT ที่ใช้สำหรับ CONTROL

การใช้ 8255 จะต้องส่งรหัสควบคุม (CONTROL BYTE) เข้าไปยัง PORT ข้อมูลควบคุม (PORT สุดท้ายใน 4 PORT คือที่ A1 กับ A0 เป็น 1 เช่น PORT 23H บน ET-BORAD ที่ 8255 ว่าง) เพื่อควบคุมการทำงานของ 8255 ว่าให้ทำงานใน MODE ไหนและให้แต่ละ PORT เป็น INPUT หรือ OUTPUT PORT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความหมายของ BIT ต่าง ๆ ของ รหัสควบคุม (CONTROL BYTE) หรือรหัสสั่งงาน 8255 ในตอนเริ่มแรก ดังรูปที่ 2.5



รูปที่ 2.5 แสดงบิทต่าง ๆของรหัสควบคุม

ความหมายแต่ละบิท

D7 แสดงถึงรหัสควบคุมให้ทำงาน (1=ทำงาน) คือจะมีผลทำให้ 8255 รับรู้สิ่งต่อไปนี้ ใน BIT ต่าง ๆที่กำหนดให้ เพราะฉะนั้นเวลาจะส่งงานหรือหน้าที่ให้กับ 8255 BIT นี้จะเป็น 1 เสมอ

D6 & D5 เป็นการเลือก MODE ในการทำงานของ PORT A ซึ่งมี 3 MODE ใน 8255 จะได้กล่าวต่อไปนี้

D4 กำหนดให้ PORT A เป็น INPUT หรือ OUTPUT โดย

0 = OUTPUT PORT

1 = INPUT PORT

D3 กำหนดให้ PORT C บนเป็น INPUT หรือ OUTPUT โดย

0 = OUTPUT PORT

1 = INPUT PORT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D2 เป็นการเลือก MODE ให้กับ PORT B

0 = MODE 0

1 = MODE 1

D1 กำหนด PORT B เป็น OUTPUT หรือ INPUT โดย

0 = OUTPUT

1 = INPUT

D0 กำหนด PORT C ล่าง (PC0-PC3) เป็น INPUT หรือ OUTPUT โดย

0 = OUTPUT

1 = INPUT

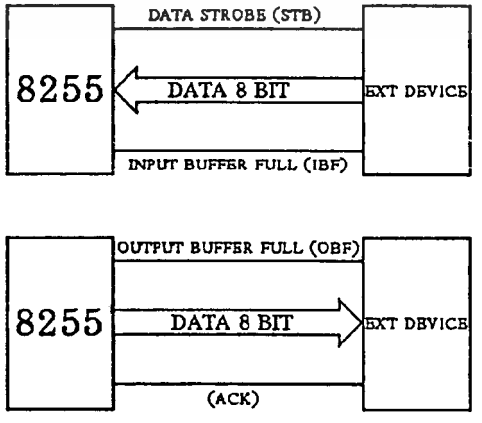
MODE

แบ่งออกเป็น 3 MODE

MODE 0 กำหนดให้ PORT บน ET-BOARD ทุก PORT เป็น PORT OUTPUT INPUT แบบพื้นฐาน

MODE 1 การทำงานของ 8255 ใน MODE นี้เป็น MODE ที่ทำให้ INPUT OUTPUT มีการตรวจสอบสัญญาณ (HAND SHAKING) โดยใช้ INPUT OUTPUT ของ PORT Aและ B เป็นหลัก และใช้ PORT C บนเป็นสัญญาณ HAND SHAKE ของ PORT A ส่วน PORT C ล่างเป็นสัญญาณ HAND SHAKE ของ PORT B

แนวความคิดของการใช้ INPUT-OUTPUT แบบ HAND SHAKE ก็เพื่อให้มีการซิงโครไนซ์กันระหว่างอุปกรณ์ภายนอกที่ทำงานได้ช้า เช่น การรับส่งกันระหว่าง COMPUTER กับเครื่องพิมพ์ เมื่อ COMPUTER ส่งตัวอักษรตัวแรกมาเครื่องพิมพ์รับและทำการพิมพ์ ซึ่งตอนนี้ COMPUTER ก็จะส่งตัวอักษรตัวที่ 2 ที่ 3 เข้ามาทำให้การประมวลผลของเครื่องพิมพ์ทำงานไม่ทันทำให้ข้อมูลสูญหาย ดังนั้นเครื่องพิมพ์จึงต้องส่งสัญญาณไปบอกว่าพร้อมหรือไม่พร้อมให้กับ COMPUTER แสดงได้ดังรูป



รูปที่ 2.6 แสดงการเชื่อมต่อ 8255 กับอุปกรณ์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อโปรแกรม 8255 เป็น 1 PORT C จะมีคความหมายดังนี้

ขา	กรณีอินพุต	กรณีเอาท์พุต
PC0	INTRB	INTRB
PC1	IBFB	OBFB
PC2	STBB	ACKB
PC3	INTRA	INTRA
PC4	STBA	I/O
PC5	IBFA	I/O
PC6	I/O	ACKA
PC7	I/O	OBFA

จเห็นว่าในกรณี INPUT PC6 และ PC7 สามารถที่จะโปรแกรมให้เป็น INPUT หรือ OUTPUT อิสระได้โดยถ้าให้ BIT มีค่าเป็น 1 ก็จะเป็น INPUT ส่วนถ้าเป็น 0 ก็จะเป็น OUTPUT ไป ส่วน OUTPUT ก็เช่นกันเพียงแต่ BIT ที่ใช้ได้ไปอยู่ที่ PC4 และ 5 แทน และยังสามารถส่งสัญญาณไป INTERRUPT CPU ได้อีกด้วย แต่การที่จะให้เกิดการ INTERRUPT ได้นั้นต้องมีการ SET หรือ ENABLE INTERRUPT โดยการส่ง 1 ไปที่ BIT INTERRUPT หรือถ้าส่ง 0 ก็จะเป็นการ DISABLE ดังนี้ ใน MODE 1

PORT	กำหนดให้เป็น	สัญญาณ INT	ทำการที่ SET/RESET
A	INPUT	INTE A	PC4
A	OUTPUT	INTE A	PC6
B	INPUT	INTE B	PC2
B	OUTPUT	INTE B	PC2

การ SET/RESET นี้ทำให้การ SET ไปที่ CONTROL WORD ในลักษณะเดียวกับการ SET/RESET BIT ที่ PORT C ที่กล่าวมาแล้ว

สัญญาณสำคัญในการทำ HAND SHAKE ใน MODE 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน INPUT

IBF เป็น OUTPUT ACTIVE ที่ LOGIC 1 เป็นตัวบอกว่าตอนนี้มี DATA ที่ รับเข้ามาแล้ว ACTIVE 1 ที่ขอบขาลงของสัญญาณ STROBE และจะถูก RESET กลับเป็น 0 เมื่อขอบขาขึ้นของ RD

SRB เป็น INPUT ACTIVE 0 และจะอ่าน DATA เข้ามา

INTR เป็น OUTPUT ACTIVE 1 จะทำงานเมื่อขอบขาขึ้นของ STB โดยที่ IBF ต้องเป็น 1 และ INTE ต้องถูก SET ENABLE

ส่วน OUTPUT

OBF เป็น OUTPUT ACTIVE 0 เป็นตัวบอกว่า CPU ได้ทำการเขียนข้อมูล มายัง PORT 8255 แล้ว พร้อมที่จะให้อุปกรณ์ภายนอกรับไปได้แล้ว โดยสัญญาณนี้จะทำงานเมื่อขอบขาขึ้นของสัญญาณการเขียน WR และจะ RESET ก็ต่อเมื่อขอบขาลงของสัญญาณ ACK

ACK เป็น INPUT ACTIVE 0 เมื่อ CPU เขียนข้อมูลมายัง PORT แล้วให้อุปกรณ์ภายนอกส่งสัญญาณมาบอกว่าพร้อมที่จะอ่านข้อมูลจาก PORT แล้ว

INTR เป็น OUTPUT ACTIVE 1 จะทำงานเมื่อขอบขาขึ้นของ ACK โดยที่ OBF เป็น 0 และ INTE ถูก ENABLE และสัญญาณที่จะ RESET ก็ต่อเมื่อขอบขาลงของ WR

MODE 2 ใช้ได้เฉพาะกับ PORT A เท่านั้น ซึ่งจะทำหน้าที่เป็น PORT แบบ 2 ทิศทาง คือสา-มารถเป็นได้ทั้ง INPUT และ OUTPUT โดยโครงสร้างของ PORT A ทั้ง INPUT และ OUTPUT จะมี HAND SHAKE ทั้งคู่ ส่วน PORT C จะทำหน้าที่สำหรับตรวจสอบ

PORT C	ความหมาย
PC 0	I/O
PC 1	I/O
PC 2	I/O
PC 3	INTRA
PC 4	STBA
PC 5	IBFA
PC 6	ACKA
PC 7	OBFA

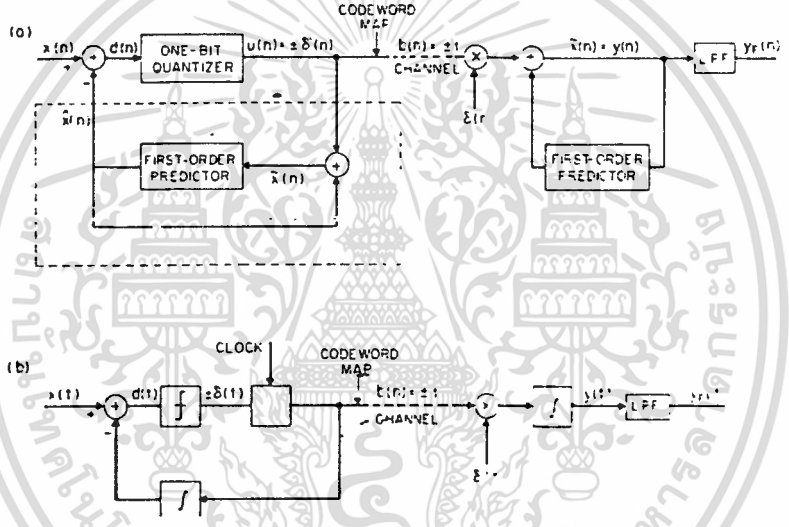
ลักษณะการ HAND SHAKE ทาง INPUT และ OUTPUT มีหลักการเดียวกับ MODE 1 และการสั่ง ENABLE INTE 1 เมื่อเป็น OUTPUT ให้ SET/RESET ที่ PC6 และถ้าเป็น INPUT ENABLE INTE 2 SET/RESET ที่ PC4

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การบันทึกเสียงระบบดิจิตอล

3.1 Deltamodulation

เป็นการเข้ารหัสดิจิตอลที่ใช้เพียง 1 bit ในการ sampling 1 ครั้ง ซึ่งใช้กันมากในการบันทึกเสียงพูดในระบบดิจิตอล ซึ่งใช้อัตราการเข้ารหัสประมาณ 32-48 Kb/s และเราได้พัฒนา Deltamodulation เป็นแบบ Adaptive & Quantization จะทำให้การแปลงรหัสและถอดรหัสมีคุณภาพดีขึ้น โดยการใช้วิธี ง่ายๆ ซึ่งสามารถลดอัตราการ sampling ลงได้มาก คือใช้เพียง 9.6 Kb/s ซึ่งจะเกิดค่าผิดพลาดเพียง 1%



รูปที่ 3.1 แสดง Deltamodulation อย่างง่าย

ในรูปที่ 3.1 แสดง Deltamodulation ในรูปที่ง่ายที่สุด ซึ่งใช้ Firstorder Production ที่ output มีส่วนของ Low pass Filter ค่าของ Quantizer มีเพียง 2 ระดับ คือ $\pm\delta(n)$ และใช้ Single Integration โดยค่า x(n) เป็นค่าที่ Delay จาก output

ในรูป B แสดง Single Integration Deltamodulation coder ซึ่งปรับปรุงจาก Deltamodulation โดยทั่วไป ค่า input และ output จะเป็นค่าที่ต่อเนื่องกัน ใช้การ sampling หลังจากผ่าน two-level quantizer ใช้ RC เป็นวงจร integrator และใช้ Comparator ธรรมดาเป็น quantizer ค่า output มีความสัมพันธ์กับ x(n) และ x(n) ค่า x(t) และ x(t) เป็น output ของ integrator ก่อนและหลังการ sampling ค่า output ของ filter ในรูปที่ 1 เป็นค่า input ธรรมดาของ Deltamodulation coding ส่วนในทางปฏิบัติ ในความจริงแล้ว ค่า over sampling input x (n) ทำให้การแปลงรหัสด้วย two-level quantizer มีค่าที่หยาบ ซึ่งค่า output y_n จะมีค่า noise

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

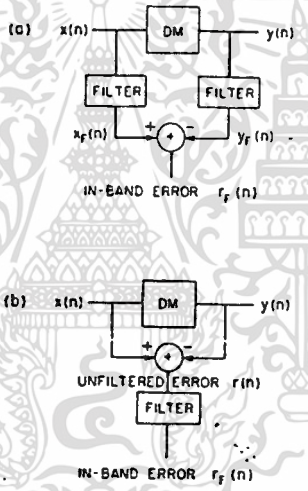
เกิดขึ้น คือ quantization noise และค่า distortion นี้เกิดจาก low pass filter ในส่วน input ที่ใช้กำจัดความถี่ output ในส่วนที่ไม่ต้องการออกไป สมมติว่า input ของเรามี Bandwidth w ค่าของ oversampling ratio F มีค่า คือ

$$F = {}^{f_s}/_{2W} >> 1$$

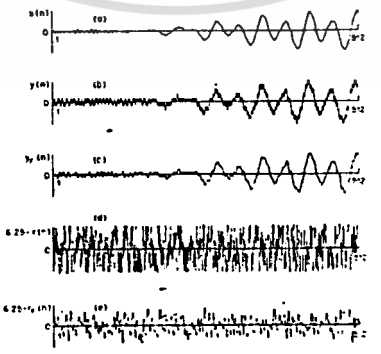
ค่า Quantization error Qn ค่า reconstruction error r(n) และค่า in-band reconstruction error $r_F(n)$ มีค่าดังนี้

$$r(n) = q(n) = x(n) - y(n) \; ; \; r_F(n) = x_F(n) - y_F(n)$$

คือ $x_F(n)$ และ $y_F(n)$ เป็นค่า output ของ filter x(n) และ y(n)



รูปที่ 3.2 แสดง in-band quantization noise ที่มี filter $r_F(n)$ กับไม่มี filter r(n)



รูปที่ 3.3 แสดงการเข้ารหัสเสียงพูดด้วยค่า F = 2 ค่า f_s = 16 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการของ Single integration deltamodulation คือ

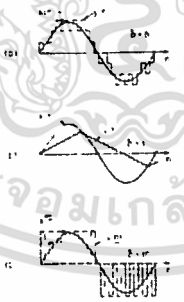
$$y(n) = h_1 y(n-1) + \delta(n)b(n)$$

ค่า b(n) เป็นค่าเครื่องหมายของ quantized ซึ่งแสดงถึงค่าทิศทางของ y(n) ค่า δ(n) เรียกว่าค่าขนาดของ step ซึ่งมีค่าคงที่ใน non adaptive deltamodulation

3.2 Linear and adaptive deltamodulation

Linear Deltamodulation (LDM)

เป็นการประมาณค่าของ input ด้วยค่าต่อเนื่องของความชันที่คงที่ คือ $\pm\delta/T$ หรือ δf_s ค่า δ คือ ค่าของ linear deltamodulation step size ในวิธีนี้เราจะต้องใช้อัตราในการ sampling สูงมากคือ 100 > F >> 1 เช่นใช้ค่า 256 KHz ในการเข้ารหัสเสียงซึ่งมีความถี่ 2W > 8 KHz จึงจะได้คุณสมบัติเสียงที่ดี ค่า stop overload และค่า Granularity ในรูปที่ 4a แสดงรูปคลื่นของ linear deltaodulation เมื่อค่า step size δ มีค่าพอดีเหมาะสมกับค่าความชันของสัญญาณ และเมื่อเราให้ค่า δ มีค่าน้อยเกินไปจะเกิด slope overload ซึ่งแสดงตัวอย่างในรูป (b) และใช้ค่า δ มีค่ามากเกินไป granularity ซึ่งแสดงในรูป c ในทางปฏิบัติเราไม่สามารถทำนายค่าความชันของสัญญาณได้ เราจึงใช้ Adaptive deltamodulation โดยใช้ค่า step size δ มีค่าเปลี่ยนแปลงตามค่าความชันของสัญญาณ input



รูปที่ 3.4 แสดง linear deltamodulation ด้วยค่า δ ขนาดต่าง ๆ

Adaptive Deltamodulation

วิธีการนี้ใช้วิธีการเปลี่ยนแปลงของค่า step size quantization ซึ่งใช้ใน Digital Signal Processing และ Digital code conversion และจำเป็นสำหรับการใช้ใน image coding ซึ่งมีการเปลี่ยนแปลงในทันทีทันใดของสัญญาณ จะอาศัยการเปลี่ยนแปลงค่า quantization จากการประมาณค่าแบบ backward และ forward และ Adaptive deltamodulation ยังสามารถเปลี่ยนค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

parameter อย่างอื่นอีก เช่น ค่าของ bandwidth ของ output filter ค่าอัตราการ sampling ซึ่งจะเปลี่ยนแปลงตามค่า bandwidth ของเสียง

การลดและเพิ่มของ step size ในการเข้ารหัสและถอดรหัสจะอยู่ในช่วงคือ

$$\delta_{min} \leq \delta(n) \leq \delta_{max}$$

ซึ่งค่า δ จะเริ่มจากค่าเริ่มต้นคือ δ_{start} ซึ่งอาจจะมีค่าเท่ากับ δ_{min} หรือค่าเท่าใดก็ได้ ค่า δ_{max} จะเป็นตัวควบคุมความชันของ overload ค่า δ_{min} จะเป็นตัวทำให้เกิด noise เวลาไม่มีสัญญาณ input ค่า $_{max}/_{min}$ จะอยู่ในช่วงค่า 100-128 ค่าของ $\delta(n)$ จะเปลี่ยนแปลงตามค่า Adaptation logic ซึ่งเป็น memory m bit ซึ่งเป็น function ของค่า bit ที่เกิดขึ้นก่อนหน้านี้ และค่าของ step size อื่นๆซึ่งอาจจะเป็นค่า δ_{min} หรือ $\delta(n-1)$

$$\delta(n) = f[b(n) , b(n-1) , \ldots , b(n-m) , \delta]$$

ค่า b(n) จะเป็นตัวแสดงค่าเครื่องหมายของ step ของ sample ที่ n เราจะเรียกค่า M(n) (Step size multiplier) ซึ่งเปลี่ยนแปลงตามค่าของ m bit ใน logic memory

$$\delta(n) = M(n)\delta$$

ซึ่งค่าของ step size จะเปลี่ยนแปลงแบบ linear หรือแบบ exponential ค่า b(n) เป็นค่าของ bit ที่เกิดขึ้นหลังสุด ซึ่งเราจะไม่นิยมใช้ใน bit memory จะใช้ b(n-1) เป็นค่า Adaptation ซึ่งกระบวนการในการทำ Adaptive Deltamodulation จะแตกต่างกันไป แล้วแต่จะใช้งานในด้านต่างๆ ดังจะยกตัวอย่าง ADM ดังต่อไปนี้

-High information deltamodulation (HIDM) มีค่า adaptation เป็นค่า exponential มีค่า $\delta(n) = M(n)\delta(n-1)$ โดย

$$M(n) = \begin{cases} 2.0 , & b(n) = b(n-1) = b(n-2) \\ 0.5 , & b(n) \neq b(n-1) \\ 1.0 , & \text{not above} \end{cases}$$

-An edge-adaptive algolithm for image input เป็นการแปลงภาพโดยการเปลี่ยนแปลงของ δ ขึ้นอยู่กับค่า δ_{min} โดยจะได้ค่า δ คือ

$$\delta(n) = \{1 , 1 , 2 , 3 , 5 , \ldots , 5 , -1\}\delta_{min}$$

-Constant factor ADM (CFDM) with 2 bit memory เป็นการใช้ 2 bit memory logic ซึ่งจะสามารถใช้ค่า step size multiplier ได้ถึง 4 ค่าคือ M1 , M2 , M3 และ M4 ซึ่งแสดงในตารางที่ 1 ซึ่งค่าสถานะที่เหมาะสมแสดงในหลักที่ 4 ของตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 แสดง Constant Factor AMD

b(n)	b(n-1)	b(n-2)	State Description	Step size Multiplier δ(n)/δ(n-1)
-1	1	-1	Alternate	
1	-1	1	Polarity	0.9
-1	1	1	Sign	
1	-1	-1	Reverse	0.4
-1	1	-	Semi-	
1	-1	-1	Overload	1.5
-1	1	-1		
1	-1	1	overload	2.0

ค่า 2 สถานะเราจะรวมเข้าเป็นสถานะเดียว ค่า multiplier มีค่า 0.4 ซึ่งในตารางจะใช้กับกรณีที่ต้องการลดค่า overshoot ซึ่งเกิดขึ้นหลังการเปลี่ยนแปลงเครื่องหมาย ซึ่งค่า step size มีค่าเปลี่ยนแปลงตามลำดับและจะมีค่าเปลี่ยนแปลงเป็นค่าเริ่มต้น เมื่อค่าของ step size มีค่าเปลี่ยนเป็นตรงกันข้าม

จากวิธีของ HIDM เราสามารถใช้กับสัญญาณ input ที่มี bandwidth 4 MHz โดยใช้ Adaptive Deltamodulation ซึ่งมีอัตรา 6.3 Mb/s

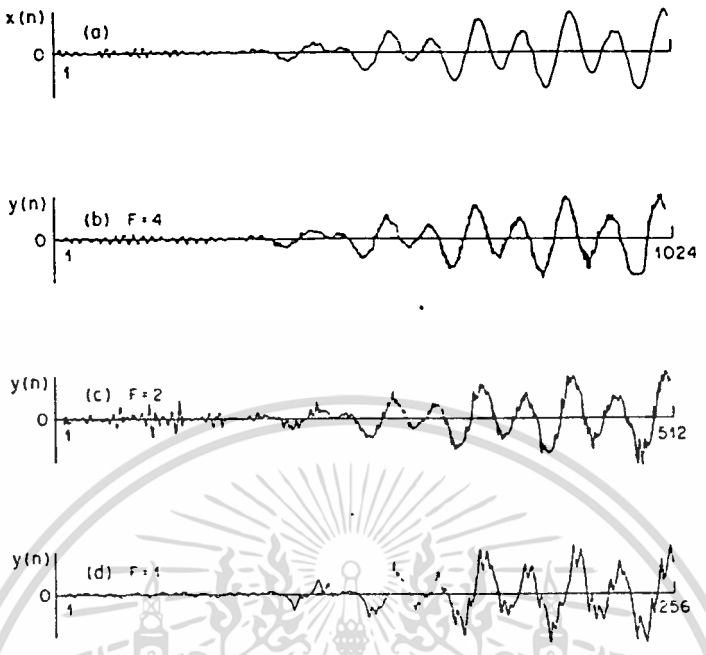
-Constant-factor adaptive deltamodulation (CFDM) with one bit memory

$$\delta(n) = \begin{cases} M1\ (n-1)\ ,\ b(n) = b(n-1) \\ M2\ (n-1)\ ,\ b(n) \neq b(n-1) \end{cases}$$

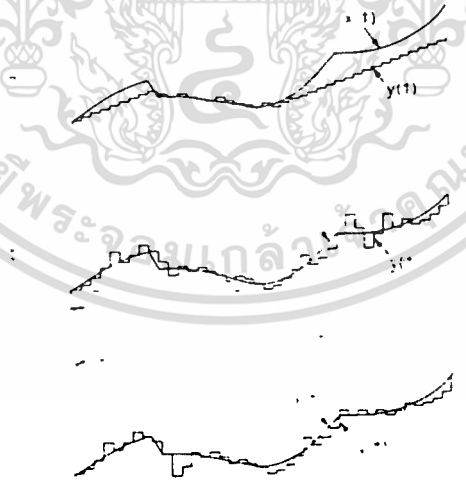
ถ้าเราใช้ค่า M = 1.2 จะได้ค่า noise มีค่าลดลงได้มาก granular noise ซึ่งเป็นส่วนหนึ่งของ quantization noise จะมีค่าลดลง สำหรับการเข้ารหัสเสียงพูด เราจะใช้ค่า M = 1 ใช้ค่า bit rate มีค่า 10-60 Kb/s ในรูปที่ 3.5 แสดงการแปลงรหัสโดยใช้ CFDM

เราจะแสดงลักษณะของสัญญาณในรูปที่ 3.6 ซึ่งจะแสดงให้เห็นว่า เมื่อเราเพิ่มจำนวน bit ของ memory logic จะทำให้ค่า noise มีค่าลดลง ค่าความยาวของ memory logic จะทำให้ค่า step size adaptation มีค่าเพิ่มขึ้น แต่การที่จะหาค่า multiplier ที่เหมาะสมนี้เป็นการยาก ซึ่งจะหาได้จากการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงการแปลงรหัสโดยใช้ CFDM



รูปที่ 3.6 แสดงการเพิ่มจำนวน bit ของ memory logic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

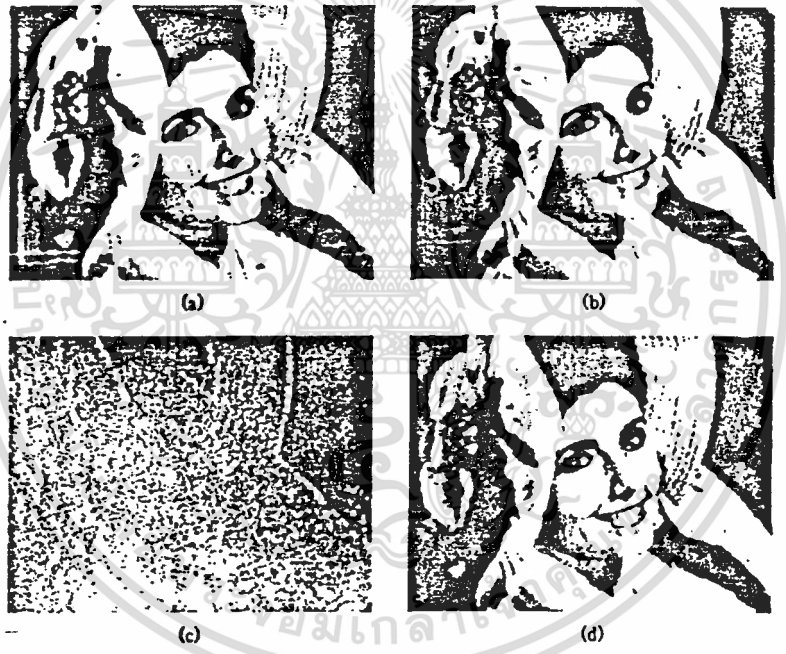
The song deltamodulation

ค่า step size logic มีค่าดังนี้

$$\delta(n) = \delta_{min} \text{ ถ้า } \delta(n-1) < \delta_{min}$$

$$\delta(n) = \delta(n-1) \left| b(n) + b(n-1)/2 \right| \text{ ถ้า } \delta(n-1) \geq \delta_{min}$$

เราจะเห็นว่าเมื่อค่า step size มีค่ามากกว่า δ_{min} ค่า multiplier จะมีค่าตามสมการที่ 2 ซึ่งจะเหมือนกับ one memory logic ซึ่งเมื่อเราหาค่าสมการที่ 2 แล้วเราจะได้ค่า multiplier มีค่า 1.5 และ 0.5 ซึ่งมีค่าใกล้เคียงกับค่าที่เราเคยใช้มาแล้ว การใช้งานก็ใช้ทั้งการเข้ารหัสเสียงและภาพ ในรูปที่ 7 แสดงการใช้เครื่องานในการเข้ารหัสภาพ 3.75 MHz ด้วยค่า F = 2 f_s = 15 MHz และ F = 1 f_s = 7.5 Mhz



รูปที่ 3.7 แสดงการใช้งานในการเข้ารหัสภาพ

The (J,K,L) Algolithm

ในการใช้งาน Adaptive Deltamodulation ถ้าเราใช้จำนวน bit ของ memory มากเราจะต้องใช้ค่า Multiplier มากด้วย แต่ค่าที่เหมาะสมเราจะมีเพียง 2 หรือ 3 ซึ่งเหมือนกับวิธีการแบบ (J,K,L) ซึ่งค่า $\delta(n)$ มีค่าดังนี้คือ

$$\delta(n) = \begin{cases} M_1 \, \delta(n-1) \, , \delta(n) = 1 \\ M2 \, \delta(n-1) \, , \delta(n) = 0 \end{cases}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งค่า $\delta(n) = 1$ สำหรับการ sample จำนวน L ครั้ง เมื่อค่า bit จำนวน K bit ในจำนวน bit หลังสุดมีเครื่องหมายเหมือนกัน ซึ่งในกรณีนี้เราอาจจะใช้ค่า J= K

The space–shuttle algorithm

ใช้การเปลี่ยนแปลงของ slop ที่เป็น Linear ด้วยค่า memory 7 bit ค่า $\delta_{max} = 8\delta_{min}$ ค่า step size จะเปลี่ยนแปลงด้วยค่า δ_{min} หรือ 0

การปรับปรุงวิธีการเข้ารหัสแบบ instantaneous adaptive deltamodulation ในการปรับปรุงการเปลี่ยนแปลงของค่า step size อีกวิธีการหนึ่งคือการใช้ counter J bit ซึ่งสามารถนับขึ้นลงได้ เราจะต่อ output เข้ากับ address ของ ROM ซึ่งเก็บค่า step size ไว้ ซึ่ง input ของวงจรนับจะใช้หาค่าของ step size logic ซึ่งแสดงดังรูปที่ 3.8

Adaptive Deltamodulation (ADM)

รูปที่ 3.8 แสดงการใช้ input ของวงจรนับหาค่า step size logic

การปรับปรุงวิธีการใน Deltamodulation สำหรับการเข้ารหัสเสียงพูดนั้น เราจะทำการปรับปรุงค่าขนาดของ step size ให้มีอัตราการเปลี่ยนแปลงน้อยกว่าการเปลี่ยนแปลงของสัญญาณเสียงพูดมาก ๆ ค่าอัตราการเปลี่ยแปลงของ Adaptation ในการเข้ารหัส จะอยู่ในช่วงของค่าของคาบเวลาของเสียงซึ่งมีค่าระหว่าง 5–10 ms ซึ่งจะแปรตามเวลาของการเกิดค่าสูงสุดของสัญญาณ ซึ่งเราเรียกวิธีการนี้ว่า pitch "companded" ค่าความเร็วที่ช้าที่สุดของวิธีการนี้ จะเหมือนกับวิธีการแบบ Linear deltamodulation แต่วิธีการนี้ประสบผลสำเร็จ เพราะได้ปรับปรุงค่า step size ให้เหมาะสมมากกว่าแบบ linear deltamodulation ในหัวข้อนี้จะพิจารณาการเข้ารหัสแบบ Adaption ของสัญญาณเสียงพูดที่มีค่าการเปลี่ยนแปลงที่คงที่

Continuous deltamodulation

เป็นวิธีใหม่ในการแปลงรหัส โดยจะทำการควบคุมค่า step size โดยหาค่าจากค่าเฉลี่ยของ bit ที่มีค่าเป็น 1 ใน bit ที่ได้สร้างขึ้นก่อนหน้านี้ การเปลี่ยนแปลงค่าของ δ จะเป็นผลสะท้อนมาจากการเปลี่ยนแปลงของจำนวน bit ที่มีค่า 1 จากค่าประมาณ 1/3 ถึง 1/2 ในการ companding เราจะทำโดยการใช้ low pass filter ซึ่งทำงานในช่วง 100 Hz ซึ่งค่าการทำงานจะมีค่าเป็นอัตราส่วนของค่าเฉลี่ยของจำนวน bit ที่มีค่า 1 ค่าการเปลี่ยนแปลง step size แบบช้า ๆ จะใช้คุณสมบัติของ companding ซึ่งจะช่วยลดค่า granular noise แต่ก็เพิ่มค่าความเพี้ยนเนื่องจากค่า step overload ซึ่งเราเรียกว่า "crispness"

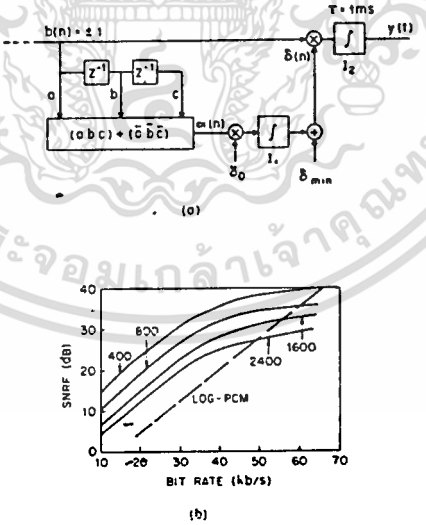
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Continuous variable deltamodulation (CVSD)

เป็นวิธีการเข้ารหัสที่ค่า step size เปลี่ยนแปลงในเวลาที่สั้นกว่าแบบ continuous deltamodulation และวิธีการก็ง่ายกว่า ซึ่งจะมีการเปลี่ยนแปลงขององค์ประกอบอื่น ๆด้วย เช่นค่าเวลาในการเปลี่ยนแปลงของค่า step size ค่า bit integration ค่าความยาวของ bit ของหน่วยความจำในส่วน control logic ค่าอัตราส่วนของค่าสูงสุดต่ำสุดของค่า step size และจะเลือกค่า slope ของตัวแปลงรหัสนี้โดยจะให้มีค่าเหมาะสมกับสัญญาณ input ซึ่งเราจะให้ automatic gain control ซึ่งวิธีการนี้เราจะเรียกว่า CVSD วิธีการเลือกค่า slope จะมีค่าเปลี่ยนแปลงตามค่า 3 หรือ 4 bit หลังสุดที่เกิดขึ้น ซึ่งการเปลี่ยนแปลงจะใช้ค่าเวลาที่คงที่ประมาณ 5 ms ในการเข้ารหัสแบบนี้เราจะใช้อัตราของ bit ในอัตราที่ต่ำคือ 16 Kb/s แต่ค่าอัตรารหัส bit ที่น้อยก็จะทำให้เกิด noise ได้ วิธีการ CVSD สามารถอธิบายโดยใช้วิธีการแบบ linear adaptation แบบ (J,K,L) คือสมการดังนี้

$$\delta(n) = \beta\delta(n-1) + \alpha(n)\,\delta_0 \;;\; \beta = 1 - \varepsilon^2 \text{ และ } \varepsilon \to 0$$

ถ้าค่า $\alpha(n) = 1$ จะได้การเพิ่มของ step size มีค่าเป็น δ_0 ซึ่งค่าสัญญาณต้องทำให้มีจำนวน bit อย่างน้อย K bit ที่เหมือนกัน ซึ่งค่า $\alpha(n) = 1$ จะเป็นการป้องกันการเกิด overload เมื่อค่า $\alpha(n) = 0$ ค่า step size จะมีค่าลดลง ซึ่งกำหนดโดยค่า β แต่ก็ไม่ลดต่ำกว่าค่า δ_{min} เมื่อถึงจุดนี้ระบบก็จะเหมือนเป็นการเข้ารหัสแบบ linear deltamodulation จนกว่าค่าของ input จะทำให้ค่า step size มีค่าเพิ่มขึ้นอีกครั้ง



รูปที่ 3.9 แสดงการเข้ารหัสแบบ CVSD

การเข้ารหัสแบบ CVSD จะแสดงดังรูปที่ 3.9 ซึ่งจะใช้ค่า J K L เป็น (3,3,1) logic และค่าของ δ ที่เหมาะสมคือ $\delta_{min} = \delta_{max} / 100$ ค่า δ ในการแปลงกลับมาเป็นสัญญาณเสียงก็จะใช้ค่าเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปลี่ยนแปลงของค่า step size เมื่อค่า β เข้าใกล้ 1 จะทำให้ค่า δ_0 เข้าใกล้ค่า δ_{max} ซึ่งจากการเปลี่ยนแปลงอย่างรวดเร็ว ซึ่งจะเพิ่มขึ้นอย่างต่อเนื่อง และมีค่าลดลงเป็นค่า exponential ซึ่งในการเพิ่มของ step size จะเป็นไปตามค่าของ Fibonacci sequence (1,1,2,3,5,8,...) และจะมีการลดลงเป็นค่าของ exponential วิธีการเปลี่ยนแปลงค่า step size เปลี่ยนด้วยอัตราที่รวดเร็ว และอีกแบบคือให้เปลี่ยนแปลงด้วยค่าที่มากแต่เปลี่ยนแปลงด้วยอัตราช้า ซึ่งในแต่ละวิธีนี้จะมีข้อได้เปรียบในแต่ละลักษณะของการใช้งาน

เราจะหาค่า maximum step size ของ CVSD โดย

$$\delta_{max} = \delta_0 / (1 - \beta)$$

จะได้การเพิ่มและลดของ step size มีค่าดังนี้

$$\delta(n) = \begin{cases} \beta(n) , \alpha(n) = 0 \\ \delta(n) = \delta(n-1) + \delta_0 , \delta(n) = 1 \end{cases}$$

3.3 การอ่านเขียนข้อมูล และการ refresh dynamic RAM

dynamic RAM ที่เราใช้เป็น DRAM 256 Kb เป็นแบบ 1 bit word ที่สร้างโดยเทคโนโลยีของ N channel mos ใช้แหล่งจ่ายไฟ +5 V ซึ่งมีหน่วยความจำสูงและราคาถูก DRAM จะมีขา ADRESS 9 ขา แต่การอ้าง 18 ขา ดังนั้นจึงใช้วิธีการ time multiplexing โดยให้ adress เข้าไปครั้งละ 9 ขา โดยจะแบ่งเป็น row adress และ column adress ซึ่งจะนำไปเก็บไว้ใน latch เพื่อทำการ decode ค่าของ output วงจรควบคุม โดยสัญญาณ CAS ทำให้มีความคล่องตัวในการใช้งานกับระบบที่ใหญ่ขึ้น จะทำการเข้าถึงข้อมูลโดยการเลือกค่า collumn 512 column จาก row

การให้ค่า adress แก่ DRAM

เนื่องจากขา adress มี 9 ขา แต่ต้องใช้ adress ถึง 18 bit ดังนั้นต้องใช้การ multiplex ครั้งละ 9 ขา โดยใช้สัญญาณควบคุมการอ่าน adress 2 เส้น คือสัญญาณ RAS row adress strobe และสัญญาณ CAS column adress strobe ซึ่งค่าสัญญาณ strobe ทาง column จะเกิดหลังจากสัญญาณ strobe ทาง row ซึ่งค่าเวลาที่มากที่สุดของช่วงนี้คือ t_{RAC} ซึ่งเรียกว่า row to column strobe delay ซึ่งจะใช้เป็นข้อกำหนดในการออกแบบ การให้ adress แก่ RAM ซึ่งการให้ค่า adress แก่ RAM นี้มีความจำเป็นสำหรับการอ่านและเขียนข้อมูลลงใน DRAM ซึ่งจะต้องให้ค่า adress ก่อนเสมอ

การอ่านข้อมูลจาก DRAM

การอ่านข้อมูลที่เก็บไว้ใน memory เริ่มจากให้ค่า adress ทาง row แก่ RAM แล้วให้สัญญาณ RAS ทำงานโดยให้มีค่าเปลี่ยนจาก V_{IH} เป็นค่า V_{IL} และทำการให้ค่า column adress เข้าไปโดยให้สัญญาณ CAS ทำงานโดยมีค่าเปลี่ยนจาก V_{IH} เป็น V_{IL} การเปลี่ยนแปลงของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RAS และ CAS จะเป็นไปโดยต่อเนื่องกัน ซึ่งจะถูกควบคุมโดยวงจรสร้าง clock ซึ่งค่าสัญญาณ clock จะต้องตรงตามเวลาการเข้าถึงข้อมูลของ DRAM และข้อกำหนดอีกประการคือ สัญญาณ CAS ต้องทำงานในช่วงเวลา t_{RCD} หลังจากที่สัญญาณ RAS ทำงาน เวลาที่ใช้ในการเข้าถึงข้อมูลหลังจากที่เราให้ RAS ทำงานแล้วเรียกว่า t_{RAG} ถ้าเงื่อนไขนี้ให้ค่า t_{RCD} มีค่ามากที่สุดไม่สามารถทำได้ เราจะใช้ค่าเวลา t_{CAC} คือเวลาที่เมื่อ CAS ทำงานจนกระทั่งได้ข้อมูลออกมา ซึ่งจะใช้ในการหาค่าเวลาในการอ่านข้อมูล ค่าสัญญาณ CAS จะไม่ถูกรับเมื่อสัญญาณ RAS ทำงาน และค่า row adress ได้ถูกอ่านเข้าไปแล้ว t_{RAH} ซึ่งช่วงเวลานี้ทำให้เราจำเป็นต้องกำหนดช่วงเวลา t_{RCA} minimum ซึ่งช่วงเวลานี้ทำให้เราจำเป็นต้องกำหนดช่วงเวลา t_{RCD} minimum ซึ่งค่าเวลาต่าง ๆ เหล่านี้จะเป็นตัวกำหนดการสร้าง clock CAS

เมื่อ clock ทำงาน ซึ่งจะทำงานไปจนถึงช่วงเวลาของ t_{RAS} minimum สำหรับค่า RAS และสัญญาณ CAS จะทำงานในช่วงเวลา t_{CAS} ขา output จะเป็นค่า high impedance จนกว่าสัญญาณ CAS จะทำงาน ในการอ่านข้อมูลเราจะให้ขา W มีระดับค่าสัญญาณ V_{IH} เมื่อเราให้ค่า CAS ทำงาน และจะคงค่าของ W ไปในช่วงเวลา t_{RCH} หลังจากที่ CAS ทำงานแล้ว

การเขียนข้อมูลลงใน DRAM

วิธีการเขียนข้อมูลจะคล้ายกับการอ่านข้อมูล ซึ่งต่างกันที่สัญญาณ W จะมีระดับสัญญาณ V_{IL} ก่อนที่ CAS จะทำงานในช่วงเวลา t_{WCS} เมื่อค่าเวลาในช่วงนี้มีค่าสูงกว่าที่กำหนดเราจะทำการเปรียบเทียบค่าเวลาในการเขียนข้อมูลกับค่า CAS เมื่อป้อนสัญญาณ CAS มีเวลาเริ่มขึ้นจะมีค่าตัวแปรที่สำคัญ 2 ตัว คือค่า t_{CWL} เป็นค่าของสัญญาณ W นำสัญญาณ CAS และค่า t_{RWL} เป็นค่าเวลาที่สัญญาณ W จะนำสัญญาณ RAS เราจะใช้สัญญาณ W มีค่า V_{IL} เมื่อสถานะ CAS และ RAS ทำงาน สัญญาณ W จะเป็นค่า low ในช่วงเวลาที่ CAS ทำงาน โดยช่วงเวลานี้เรียกว่า t_{WCH} ซึ่งในช่วงเวลาการเขียนข้อมูล สัญญาณ W สามารถทำงานได้ก่อนและหลัง สัญญาณ CAS ทำงาน แต่ถ้าให้สัญญาณ W ทำงานหลังจากที่ CAS จะเสียเวลามากในการเขียนข้อมูล จึงนิยมใช้สัญญาณ W ก่อนสัญญาณ CAS ในการเขียนข้อมูลขา output จะเป็น tristate high impedance ซึ่งจะสะดวกสำหรับการออกแบบวงจรที่ใช้ bus สัญญาณ input และ output ร่วมกัน

การอ่านและเขียนข้อมูลในเวลาเดียวกัน

วิธีการนี้จะทำการอ่านและเขียนข้อมูลโดยให้ค่า adress แก่ DRAM ครั้งเดียวคือเมื่ออ่านข้อมูลแล้วเราจะแทรกการเขียนข้อมูลเข้ามา โดยค่า W จะเปลี่ยนจากระดับ V_{IH} เป็น V_{IL} ค่าข้อมูลก็จะถูกเขียนในช่วงของสัญญาณ W ส่วนอีกวิธีหนึ่งซึ่งเรียกว่า read-while-write จะให้ช่วงเวลา t_{CWD} เป็นค่าเวลาที่สัญญาณ W เปลี่ยนแปลงหลังจากที่สัญญาณ CAS ทำงานซึ่ง t_{CWD} นี้จะขึ้นอยู่กับการใช้งานของ DRAM

การทำงานแบบ page mode

เป็นการทำงานอย่างรวดเร็วกับข้อมูล 512 column ใน 1 แถวที่เราเลือกไว้แล้วค่าเวลาการเข้าถึงข้อมูล t_{CAC} จะเป็นครึ่งหนึ่งของเวลาของสัญญาณ RAS (t_{RAC}) ใน DRAM ของ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Motorola จะทำงานแบบ page mode เมื่อเราให้ค่า RAS ทำงานคงค่าไว้ แล้วให้สัญญาณ CAS ทำงานโดยเป็นค่า column adress เข้าไป ช่วงเวลาที่ CAS ทำงานจะเป็นช่วงเวลาสั้นๆ โดยเพิ่มเข้าไปจากการอ่านและเขียนข้อมูลใน DRAM โดยทั่วไปก็จะได้การเขียนและการอ่านแบบ page mode ซึ่งการทำงานแบบอ่านเขียนพร้อมๆกันก็สามารถทำงานแบบ page mode ได้

การ refresh DRAM

การทำงานของ DRAM อาศัยหลักการเก็บประจุของ capacitor ซึ่งค่าประจุจะแปรผันกับค่าเวลาและอุณหภูมิ ซึ่งการที่จะรักษาข้อมูลให้คงอยู่โดยถูกต้อง เราต้องให้การ refresh ทุก 4 ms หรือทุก 15.6 us ใน 1 แถว ปกติในการอ่านและเขียนข้อมูล แต่ละครั้งจะเป็นการ refresh ข้อมูลเข้าไปในตัวด้วย การ refresh มีวิธีการดังนี้

RAS only refresh

กรณีนี้จะใช้ลักษณะ RAS ทำงานทุก 256 แถว ทุก 4 ms ซึ่งค่า row adress จะถูกอ่านเข้าไป โดยสัญญาณ RAS ทำงาน ซึ่งจะเป็นตำแหน่งในการ refresh ส่วนสัญญาณ CAS จะให้มีระดับ V_{IH} คือไม่ใช้งาน

CAS before RAS refresh

ในการ refresh แบบแรกนั้น ขา output จะเป็น high impedance ถ้าเราต้องการให้ขา output ยังสามารถทำงานได้ จึงไม่เป็น high impedance เราต้องให้สัญญาณ CAS เข้าไปด้วย ซึ่งจะให้สัญญาณ RAS ในช่วงเวลา t_{CSR}

Hidden refresh

เป็นการ refresh ที่ให้ข้อมูลทาง output ด้วย โดยให้สัญญาณ CAS ทำงานตลอดแล้วให้สัญญาณ RAS ทำงาน

CAS before RAS refresh counter test

การ refresh DRAM สามารถทดสอบได้โดยวิธี CAS before RAS refresh counter test ซึ่งการทำงานจะเหมือนการอ่านและเขียนโดยปกติ แต่จะให้ค่า CAS ทำงานก่อน 8 ครั้ง แล้วให้ RAS ทำงานแล้วจะทำการทดสอบดังขั้นตอนต่อไปนี้

1. เขียนข้อมูล "0" ลงไปในทุกตำแหน่ง

2. เลือกค่า adress ของหลักใดๆ แล้วอ่านค่าข้อมูล "0" ที่เขียนในขั้นตอนแรก ทำการเขียนข้อมูล "1" ลงไปใน DRAM โดยเลือกค่า adress แล้วทำตามวิธี CAS before RAS refresh counter ซึ่งจะทำซ้ำถึง 256 ครั้ง

3. อ่านข้อมูล "1" ที่เขียนไว้ในขั้นตอนที่ 2

4. เลือกค่า adress ทาง column เหมือนขั้นตอนที่ 2 อ่านค่า "1" แล้วเขียนข้อมูล "0" โดยใช้วิธี CAS before RAS refresh counter จนครบ 256 ครั้ง โดยใช้ค่าจาก timing diagram

5. อ่านค่า 0 ซึ่งเขียนไว้ในขั้นตอนที่ 4

6. ทำซ้ำจากข้อที่ 1-5 แต่ใช้ข้อมูลที่ตรงกันข้าม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

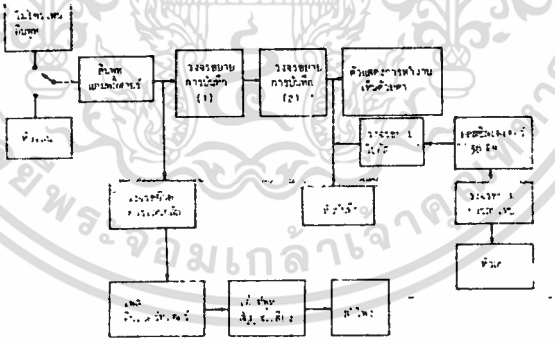
4. การบันทึกเสียงด้วยเทปบันทึกเสียง

4.1 หลักการทำงานของเครื่องบันทึกเทป

เครื่องบันทึกเทป (tape recorder) สามารถดำเนินเสียงที่ได้บันทึกไว้แล้ว เช่น เสียงสนทนา เสียงพูด เสียงดนตรี กลับคืนมาอีกครั้งหนึ่งโดยมีการผิดเพี้ยนน้อยที่สุด การทำงานของมันใช้หลักการของความเป็นแม่เหล็กในการเก็บบันทึกเสียงลงบนเทปพลาสติกพิเศษที่ "เติม" ผงเหล็กไว้

ในเครื่องบันทึกเทป มีแม่เหล็กไฟฟ้าอยู่ชุดหนึ่งเรียกว่า "หัวเทป" กับวงจรด้านเสียงอีกชุดหนึ่งในการบันทึกเสียงนั้น สัญญาณเสียงถูกเก็บไว้ด้วยไมโครโฟน ซึ่งเป็นตัวเปลี่ยนแปลงสัญญาณเสียงให้เป็นอิทพัลส์ทางไฟฟ้า สัญญาณนี้ซึ่งผ่านการขยายแล้วจะไปกระตุ้นแม่เหล็กไฟฟ้า (หรือหัวเทป) เมื่อเทปแม่เหล็กเคลื่อนที่ผ่านหัวเทป อนุภาคเหล็กที่อยู่บนเทปก็จะจัดตัวไปตามอิมพัลส์ที่เกิดจากสัญญาณเสียง

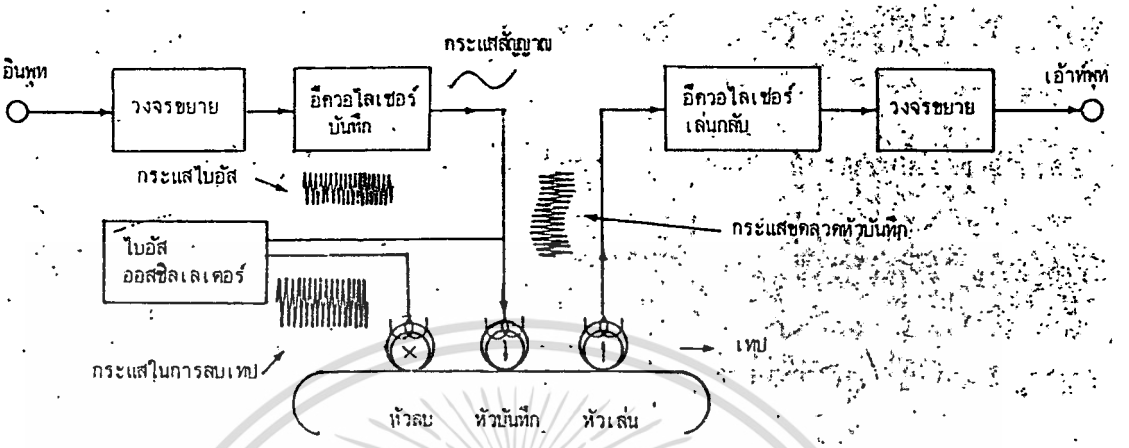
สำหรับในกรณีของการเล่นกลับ เทปที่ประกอบด้วยแม่เหล็กเป็นจำนวนมาก ๆผ่านหัวเทปจะทำให้เกิดกระแสไฟฟ้าขึ้น และส่งเข้าไปยังวงจรขยายเพื่อทำการขยายก่อนป้อนเข้าสู่ลำโพงเพื่อแปลงอิมพัลส์ทางไฟฟ้าให้เป็นสัญญาณเสียงตามเดิม



รูปที่ 4.1 บล็อกไดอะแกรมของเครื่องบันทึกเทปทั่ว ๆไป

ในรูป 4.2 แสดงส่วนประกอบพื้นฐานของเครื่องบันทึกเทป โดยมีหลักการทำงานดังนี้ คลื่นเสียงถูกเปลี่ยนสัญญาณทางไฟฟ้าด้วยไมโครโฟนแล้วจึงขยายด้วยวงจรขยายการบันทึก (recording amplifier) ให้เป็นการบันทึกในลักษณะแม่เหล็กลงบนเทป จากนั้นการเปลี่ยนแปลงของแม่เหล็กบนเทปจะถูกเปลี่ยนเป็นสัญญาณทางไฟฟ้าแล้วขยายด้วยวงจรขยายเล่นกลับ (playback amplifier หรือ reproduction amplifier) เพื่อส่งต่อไปออกทางลำโพงในรูปคลื่นเสียงตามเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 ส่วนประกอบพื้นฐานของเครื่องบันทึกเทป

4.2 หัวเทป

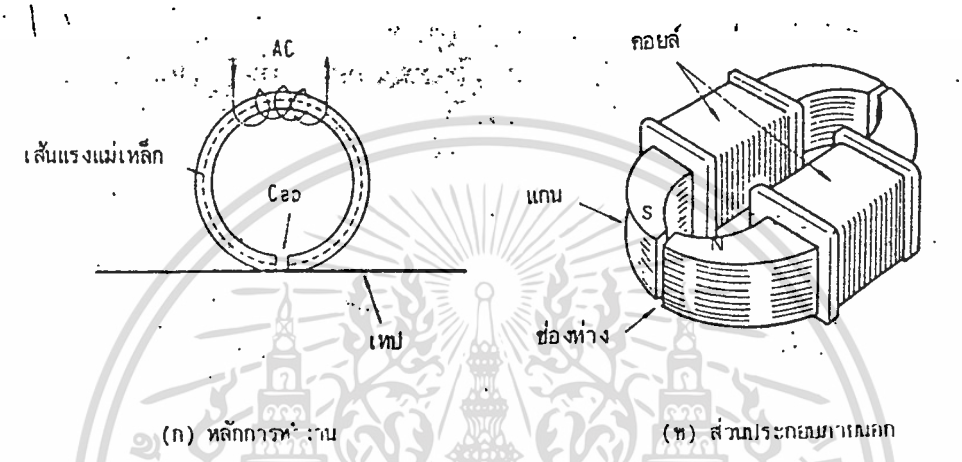
ในรูป 4.3 แสดงหลักการของการบันทึกและการเล่นกลับของเครื่องบันทึกเทป กล่าวอีกนัยหนึ่งหัวเทปนั้นจะทำการแมกนีไทซ์ (magnetize) เทป (ทำการบันทึก) รับเอาสนามแม่เหล็กจากเทปที่แมกนีไทซ์แล้ว และลบสัญญาณที่แมกนีไทซ์แล้วออกจากเทป ซึ่งการทำงานต่าง ๆนี้กระทำแยกกันด้วยหัวบันทึก หัวเล่นกลับ และหัวลบ

(ก) การบันทึก (ข) การเล่นกลับ

รูปที่ 4.3 หลักการทำงานของหัวเทป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทปจะวิ่งผ่านแต่ละหัวด้วยความเร็วคงที่ โดยชั้นแม่เหล็กของมันสัมพัสกับช่องทาง(gap) ในหัวเทป ดังรูป 4.4 ในกรณีทำการบันทึกสัญญาณไฟฟ้าจากรายการ (หรือสิ่งที่จะบันทึก จะถูกป้อนเข้าที่หัวบันทึก และกำเนิดเป็นฟลักซ์แม่เหล็ก (magnetic flux) ขึ้นตามการเปลี่ยนแปลงของกระแสสัญญาณ เป็นผลให้เกิดการเปลี่ยนแปลงสนามแม่เหล็กในช่องห่างที่ปลายแกนแม่เหล็ก ซึ่งถูกแมกนีไทซ์ด้วยการเปลี่ยนแปลงของสนามแม่เหล็ก (กล่าวคือ เทปถูกแมกนีไทซ์ตามการเปลี่ยนแปลงของสัญญาณไฟฟ้า)

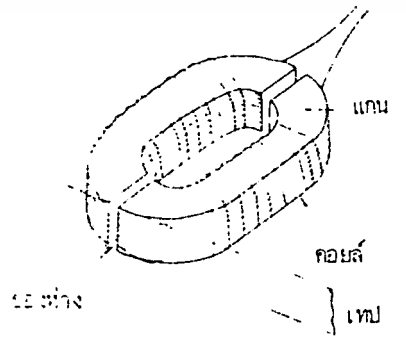


รูปที่ 4.4 โครงสร้างของหัวเทป

สำหรับกรณีเล่นกลับสัญญาณที่บันทึกไว้นั้น เมื่อเทปวิ่งผ่านหัวเล่นกลับการเปลี่ยนแปลงในฟลักซ์แม่เหล็ก (สนามแม่เหล็ก) ของเทป จะทำให้เกิดการเปลี่ยนแปลงในฟลักซ์แม่เหล็กของแกนของหัวเล่นกลับและกำเนิดกระแสขึ้นในขดลวด (coil) หรือสัญญาณเอาท์พุทนั่นเอง

จากการที่ระดับไฟฟ้าของสัญญาณดังกล่าวมีขนาดเป็นหลาย ๆมิลลิโวลต์ หรือน้อยกว่าจึงต้องนำสัญญาณเหล่านี้ไปผ่านการขยายภายในเครื่องก่อนส่งต่อไปยังวงจรขยายภายนอก

เมื่อต้องการลบเทปที่บันทึกไว้แล้ว ก็ต้องป้อนกระแสเข้าที่ขอลวดเพื่อทำการลบสัญญาณที่บันทึก (หรือแมกนีไทซ์) แล้วออก



รูปที่ 4.5 ช่องห่างของหัวเทป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.4 และ 4.5 แสดงโครงสร้างของหัวเทป และช่องห่างของหัวเทปตามลำดับ สังเกตดูจะเห็นว่า หัวบันทึกและหัวเล่นกลับ มีลักษณะเป็นแม่เหล็กรูปวงแหวนใช้สำหรับการแมกนีไทซ์หรือรับสนามแม่เหล็กของเทปที่แมกนีไทซ์แล้ว

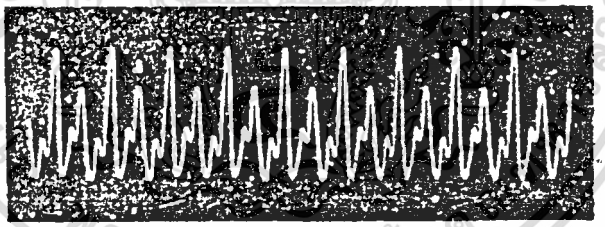
หัวเทปนั้นมักทำด้วยวัสดุพวกเพอร์มาล์ลอย (permalloy) หรือเฟอร์ไรท์ (ferrite) และมีช่องห่างระหว่างขั้วเหนือกับขั้วใต้ด้วยขนาด "ไมครอน" (micron) จึงเป็นชิ้นส่วนที่ต้องทำอย่างประณีตมาก

ในเครื่องบันทึกเทปชั้นดีจะใช้หัวเล่นกลับที่มีช่องห่างขวา 2 ไมครอนหรือน้อยกว่า ซึ่งปกติแล้วขนาดช่องห่างจะอยู่ระหว่าง 2-10 ไมครอน โดยขนาดช่องห่างนี้พอเพียงที่จะทำให้การเล่นกลับความถี่สูง (ความยาวคลื่น หรือ wavelenght สั้น) เป็นไปโดยสมบูรณ์

อนึ่งในการบันทึกและเล่นกลับนั้น คุณภาพของเสียงความถี่สูงขึ้นอยู่กับช่องห่างของหัวเทป โดยช่องห่างยิ่งแคบ คุณภาพของเสียงยิ่งดี

4.3 การบันทึกเทป

การบันทึกเสียงลงบนเทปแม่เหล็กจะต้องมีวิธีการที่เหมาะสม เนื่องจากจะต้องให้เสียงที่เล่นกลับออกมามีความชัดเจนไพเราะ รูปคลื่นเล่นกลับจะต้องมีลักษณะที่เหมือนกับรูปคลื่นดั้งเดิมที่แท้จริง

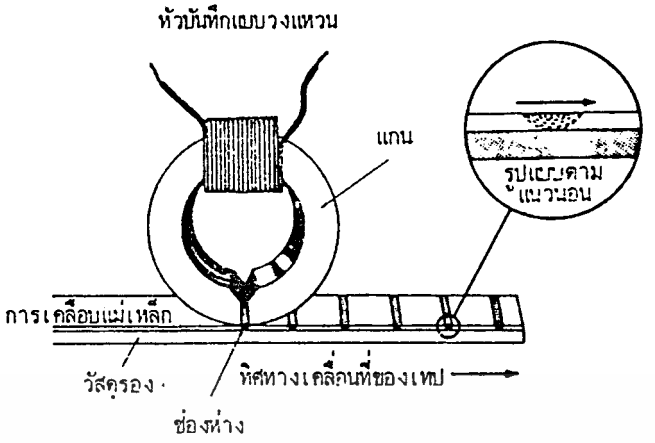


รูปที่ 4.6 รูปคลื่นเสียง "ออ" ที่ก้องจากลำคอ

เมื่อรูปคลื่นในรูปที่ 4.6 ถูกป้อนเข้าที่ขั้วบันทึกดังแสดงในรูปที่ 4.7 แล้วการทำงานของวงจรจะเป็นดังนี้

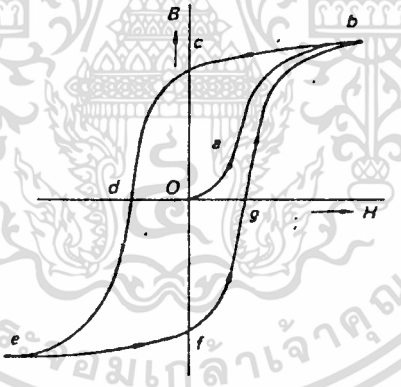
คุณลักษณะการทำงานของวงจรแม่เหล็กสามารถแสดงได้ด้วยกราฟดังรูปที่ 4.8 โดยกราพล็อทระหว่าง "ความหนาแน่นฟลักซ์แม่เหล็ก" (flux density) หรือ "B" และ "สนามแม่เหล็ก" (magnetizing force) หรือ "H" ทั้งนี้ความสัมพันธ์ของ B-H เป็นความสัมพันธ์ระหว่างแรงดันกับกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 วงจรแม่เหล็กในเครื่องบันทึกเทป

ความหนาแน่นฟลักซ์แม่เหล็กหมายถึงจำนวนเส้นแรงแม่เหล็กต่อหนึ่งหน่วยพื้นที่ที่ผ่านพื้นที่หน้าตัดของแกน ส่วน magnetizing force นั้นเท่ากับจำนวนแอมแปร์-รอบ (ampere-turn) ต่อหนึ่งหน่วยของความยาวแกน



รูปที่ 4.8 B-H curve

ในการทำงานหากสนามแม่เหล็ก (H) มีค่าเพิ่มขึ้นทีละน้อยจากศูนย์ ฟลักซ์แม่เหล็ก (B) ก็จะค่อย ๆเพิ่มขึ้นเป็นสัดส่วนด้วย (0→a→b) จนกระทั่งมันถึงจุดอิ่มตัวที่ b จากนั้นถ้าแรงดันคร่อมขดลวดตกลงเป็นศูนย์ (กล่าวคือ H ลดลง) ฟลักซ์แม่เหล็ก (B) จะไม่กลับไปที่ศูนย์ แต่มันจะลดลงตามเส้นโค้งจาก b→c และถึงจุด c เมื่อ H กลายเป็นศูนย์ โดยแมกนีจูดหรือขนาด 0 →c มีชื่อเรียกว่า "residual magnetization"

เราอาจกล่าวได้ว่า magnetic substance มี residual magnetism ภายหลังจากป้อน magnetizing force ให้กับมัน

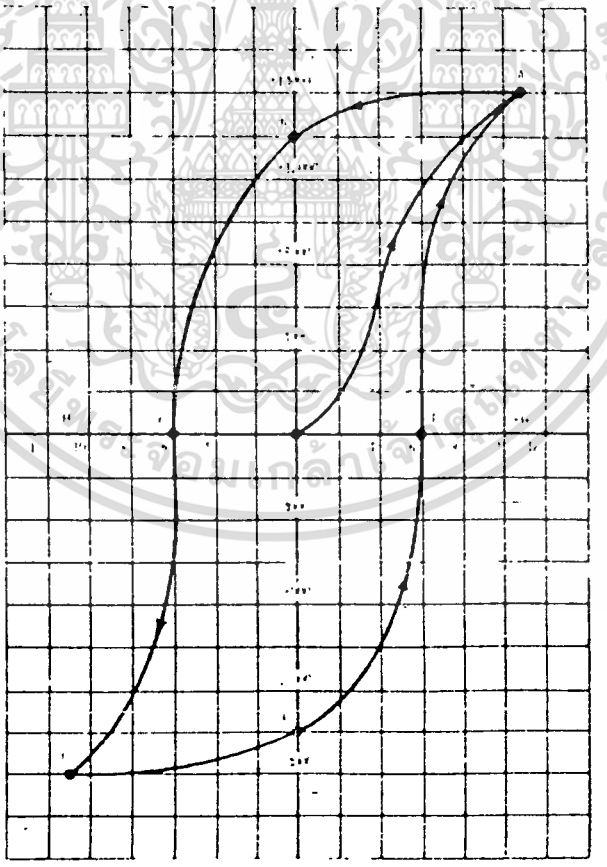
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเราลองป้อนกระแสหรือ H ในทิศทางตรงกันข้ามในขดลวด ค่า B จะเป็นไปตามโค้งจาก c→d→e ที่จุด e เป็นจุดที่มีการอิ่มตัวตรงข้ามกันของวัสดุแม่เหล็ก จะเห็นได้ว่าหากเราป้อนแรงดันไฟฟ้ากระแสสลับเข้าที่ขดลวดตามรูปที่ 4.7 แล้วค่า B จะเดินทางเกิดเป็นวงรอบหรือลูป (loop) ขึ้นคือจาก 0→a→b→c→d→e→f→g→b เราเรียก ลูปดังกล่าวว่า "ฮีสเทอริซิสลูป (hysteresis loop)

เพื่อให้เข้าใจได้ง่ายขึ้นถึงความหมายของคำศัพท์ที่เกี่ยวข้องขอสรุปดังนี้

1. ระยะจากจุดตัดแกน (0) ถึง b เรียกว่า "magnetization curve ของวัสดุ"
2. colsed loop เรียกว่า "hysteresis loop"
3. ค่าของ flux density (B) จาก 0 ถึง c เรียกว่า "retentivity ของ magnetic substance"
4. ค่าของ magnetizing force (H) จาก 0 ถึง d เรียกว่า "coereive force"

จากรูปที่ 4.8 นั้นหากปริมาณหรือขนาดของ H (ซึ่งป้อนเข้าไปครั้งแรก) หยุดที่จุดซึ่งมีค่าต่ำ ๆจุดหนึ่งแล้วกลับจะมีผลทำให้เกิดเป็นลูปเล็ก ๆ(เล็กกว่าครั้งแรก) ขึ้นดังแสดงในรูปที่ 4.9

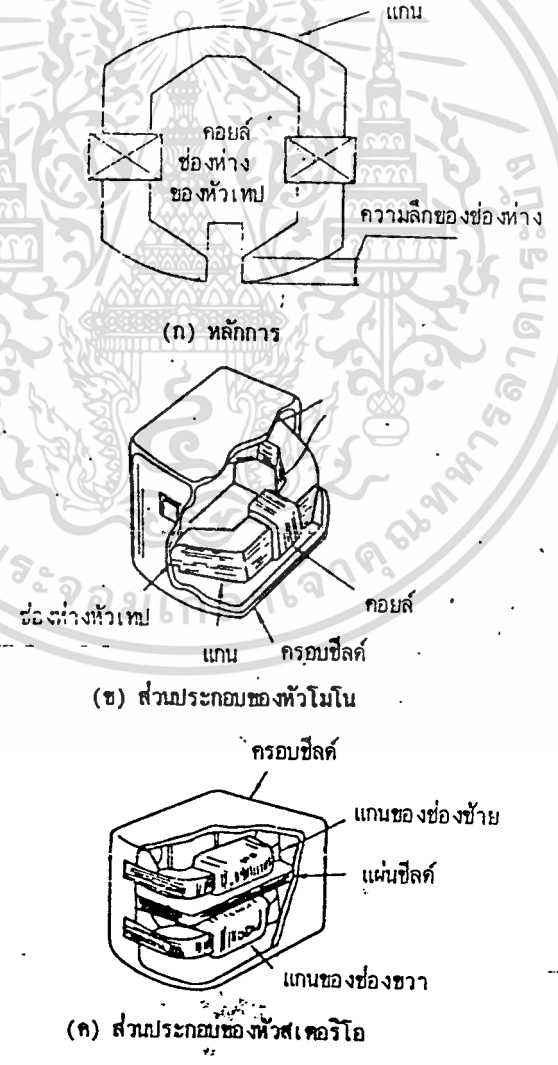


รูปที่ 4.9 ฮิสเทอริซิสลูปของเหล็ก (ตัวอย่าง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีหากป้อนแรงแม่เหล็กเข้าที่ตำแหน่ง α แล้ว แรงแม่เหล็ก (A) จะคงอยู่แม้จะเอาแรงแม่เหล็กออกแล้วก็ตาม และหากป้อนสนามแม่เหล็ก β เข้าไป (B) ก็จะคงที่อยู่ด้วยเช่นกัน อันนี้จึงเป็นการอธิบายถึงหลักการจำ (memory) ของการบันทึกเสียง (และภาพด้วย) ด้วย hystersis phenomenon ของ "B-H characteristic"

อีกนัยหนึ่งก็คือ ฟังก์ชั่นความจำ (memory function) ของเครื่องบันทึกเทปหมายถึงการเปลี่ยนแปลงรูปคลื่นของเสียงที่บันทึกไว้จะคงอยู่บนเทปของรูปฟลักซ์แม่เหล็ก ในกรณีนี้จึงจำเป็นต้องใช้คอนเวอร์เตอร์ (Converter) เปลี่ยนกระแสไฟฟ้าเป็นสนามแม่เหล็ก เพื่อเปลี่ยนเสียงให้เป็นแม่เหล็ก ซึ่งคอนเวอร์เตอร์ดังกล่าวก็คือ แม่เหล็กไฟฟ้านั่นเอง โดยทำมาในรูปของแกนแม่เหล็กที่มีขดลวดพันอยู่เรียกว่า **"หัวบันทึก"** (recording head) ซึ่งจะมีช่องว่างในแกนของหัวแม่เหล็กอยู่ช่องหนึ่ง เพื่อรวบรวมเส้นแรงแม่เหล็กต่าง ๆ ดูรูปที่ 4.10 ประกอบ



รูปที่ 4.10 หัวบันทึกของเครื่องเล่นเทป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าหากเทปบันทึกแม่เหล็กถูกนำไปวางไว้ใกล้ๆกับช่องห่างแล้ว ฟลักซ์แม่เหล็กของหัวเทปก็สามารถส่งถ่ายไปยังเทปแม่เหล็กได้เต็มที่ ยิ่งไปกว่านั้นส่วนของเทปที่ถูกแมกนีไทซ์จะต้องเคลื่อนไปข้างหน้าเพื่อให้ส่วนที่ยังไม่ได้บันทึกของเทปถูกบันทึกต่อไป และความเร็วในการเคลื่อนที่ของเทปจะต้องเพิ่มขึ้น เพื่อว่าเทปจะได้ติดตามการเปลี่ยนแปลงอย่างรวดเร็วของรูปคลื่นได้ทัน

ตัวอย่างเช่น ในกรณีของเครื่องบันทึกคาสเซท เทปวิ่งด้วยความเร็ว 4.75 ซ.ม.ต่อวินาที และถ้ารูปคลื่นมีความถี่ 10 กิโลเฮิรตซ์แล้ว มันจะถูกบันทึกลงเทปด้วยความยาวคลื่น 4.75 ไมครอน

4.4 การเล่นกลับเทป

เราจะได้กระแสไฟฟ้าจากเทปที่ได้บันทึกไว้แล้วด้วยการใช้หัวเล่นกลับ (playback head) ซึ่งหัวเล่นกลับจะมีลักษณะเป็นขดลวดชุดหนึ่งซึ่งถูกนำไปวางไว้ในสนามแม่เหล็ก และสนามแม่เหล็กมีการเปลี่ยนแปลงแล้วจะทำให้เกิดแรงดันจำนวนหนึ่งขึ้นระหว่างปลายทั้งสองด้านของขดลวด เราเรียกปรากฏการณ์นี้ว่า "การเหนี่ยวนำแม่เหล็กไฟฟ้า" (electromagnetic induction)

ในกรณีที่มีการเปลี่ยนแปลงสนามแม่เหล็กในขดลวดด้วย จะทำให้เกิดแรงเคลื่อนไฟฟ้า (electromotive force : emf) ขึ้น และมีแรงดันเกิดขึ้นระหว่างปลายทั้งสองของขดลวดในลักษณะเดียวกัน

อีกนัยหนึ่ง ถ้าหากเทปแม่เหล็กที่บันทึกแล้ววิ่งผ่านช่องห่างของหัวเล่นแล้ว จะทำให้เกิดการเหนี่ยวนำแรงดันขึ้นในขดลวดของหัวเทปจากปฏิกริยาต่อกันของความเป็นแม่เหล็กกับกำลังไฟฟ้า

เมื่อพิจารณาโดยโครงสร้างแล้ว หัวเล่นมีลักษณะเดียวกันกับหัวบันทึก ซึ่งจริงๆแล้วหัวแม่เหล็ก 1 หัวนั้น สามารถทำหน้าที่เป็นได้ทั้งหัวบันทึกและหัวเล่นในเครื่องบันทึกเทปธรรมดาเครื่องเดียวกัน

แรงดันที่ได้จากขดลวดในกรณีเล่นกลับนั้นจะเป็นปฏิภาคกับความเข้มของการเป็นแม่เหล็ก และการเปลี่ยนแปลงความเร็วของมัน

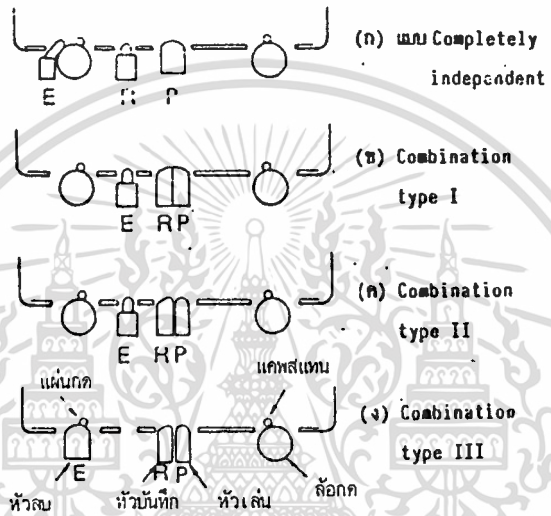
อย่างไรก็ดี หากนำแม่เหล็กแท่งหนึ่งไปวางไว้ใกล้ๆขดลวดจะไม่มีแรงดันเกิดขึ้น แต่มันจะมีแรงดันเมื่อนำแม่เหล็กเคลื่อนไปใกล้หรือออกห่างขดลวดที่กำเนิดแรงดันเท่านั้น (อันนี้คือหลักการทำงานของไดนาโม (dynamo) นั่นเอง) เพราะฉะนั้น แรงดันที่เกิดขึ้นในหัวเล่นกลับของเครื่องบันทึกเทปก็เป็นปฏิภาคกับความถี่ของเสียงที่บันทึกลงเทป

ถ้าหากเสียงเกิดขึ้นในลักษณะนี้แล้วจะได้คุณภาพของเสียงไม่เหมือนจริง ดังนั้นจะต้องมี "การชดเชย" ด้วยการใช้วงจรอิเล็กทรอนิกส์ที่ออกแบบสำหรับกำเนิดเสียงดั้งเดิมของมันประกอบเข้าไป

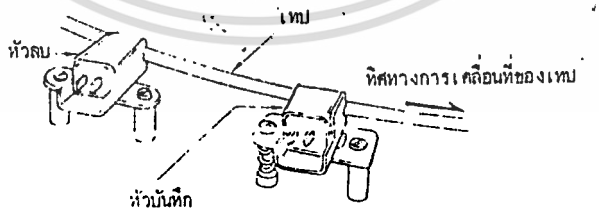
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การลบเทป

การลบเทป (tape erasing) เป็นกรรมวิธีในการทำให้ส่วนที่ได้บันทึกไว้บนเทป (magnetization) ก่อนหน้านั้นหายไปตามที่ต้องการ โดยปกติแล้วเทปทุกม้วนจะต้องทำให้มันอยู่ในสภาวะ unmagnetize โดยสมบูรณ์เสมอก่อนทำการบันทึกใหม่ ทั้งนี้เพราะ residual magnetism ที่มีอยู่อาจทำให้เกิดมีสัญญาณรบกวน และ/หรือ เกิดการผิดเพี้ยนขึ้นได้กับสัญญาณที่บันทึก



รูปที่ 4.11 ลักษณะการจัดตำแหน่งของหัวบันทึก หัวเล่นกลับ และหัวลบแบบต่าง ๆ



รูปที่ 4.12 ตำแหน่งของหัวลบ

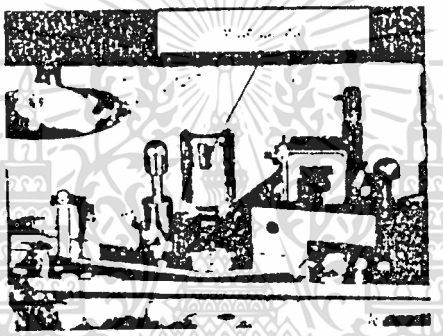
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การลบเทปทำได้ด้วยการใช้สนามแม่เหล็กที่มีความเข้มมากกว่าส่วนต่าง ๆของการแมกนีไทซ์ (การบันทึก) บนเทป ซึ่งตามทฤษฎีคือ การทำให้การเคลือบแม่เหล็กอยู่ในสภาวะอิ่มตัว (saturation) แล้วกลับมันให้อยู่ในสภาวะสะเทิน (neutral state) อีกครั้ง

วิธีการลบเทป

การลบสภาพแม่เหล็กบนเทปออกไป หรือการลบเทปนั้นสามารถทำได้ 2 วิธีด้วยกันคือ วิธี saturation erasure กับวิธี zero erasure

วิธีแรกทำได้โดยการป้อนไฟฟ้ากระแสตรงเข้าที่หัวเทปก่อนการบันทึก (วิธีนี้เรียกว่า "DC erasure" และโดยการใช้แม่เหล็กถาวร (permanent-magnet หรือ pm) ดังรูปที่ 4.13 ซึ่งทั้งสองแบบนี้ใช้สำหรับทำให้สภาพแม่เหล็กบนเทปถึงสภาวะอิ่มตัวด้วยการแมกนีไทซ์เทป



รูปที่ 4.13 หัวลบแบบใช้แม่เหล็กถาวร

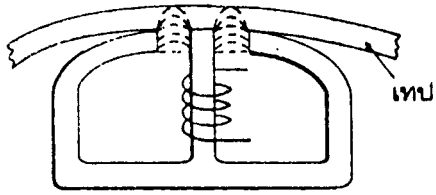
วิธีลบโดยใช้แม่เหล็กถาวรนี้มักพบในเครื่องบันทึกเทปราคาถูกหรือสำหรับเด็กนักเรียนใช้ การทำงานก็ป้อนเทปผ่านสนามแม่เหล็กถาวรที่มีกำลังแรง แล้วผ่านสนามที่กลับทาง (หรือทำโดยผ่านสนามที่กลับทาง (reverse field) ซึ่งอนุกรมกันอยู่) เพื่อขจัดสภาพความเป็นแม่เหล็กให้หมดไป

เหตุที่การลบเทปโดยใช้แม่เหล็กถาวรไม่สู้นิยมนัก เพราะมันมีข้อเสีย การลบไม่หมด และทำให้เกิดเป็นไบอัสแม่เหล็กไฟฟ้ากระแสตรงขึ้นบนเทปเมื่อทำการบันทึกคราวต่อไป

วิธีที่สอง เป็นการลบโดยการป้อนไฟฟ้ากระแสสลับเข้าที่หัวเทปก่อนการทำบันทึก เพื่อทำให้หัวเทปเป็นแม่เหล็กไฟฟ้า จะได้ลบสภาพแม่เหล็กบนเทปออกไป

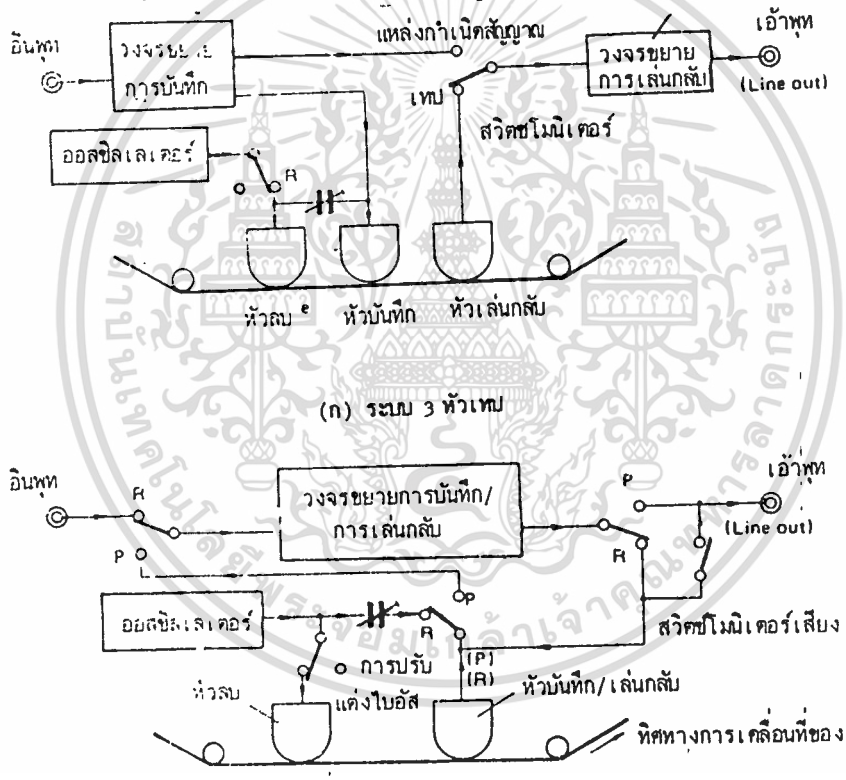
เครื่องบันทึกเทปที่มีราคาส่วนใหญ่ใช้ประโยชน์จากคุณลักษณะของสนามแม่เหล็กไฟฟ้ากระแสสลับความถี่สูง ทั้งนี้หัวลบที่ใช้จะมีช่องห่างหัวเทปที่กว้าง (ซึ่งกว้างกว่าหัวบันทึกมาก) ดังรูปที่ 4.14 และปกติทำงานที่ความถี่ไบอัสไฟฟ้ากระแสสลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 ลักษณะของหัวลบความถี่สูง

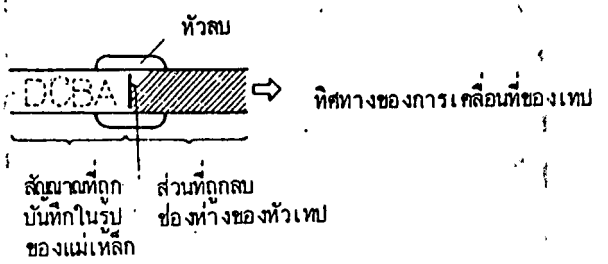
ทั้ง 2 วิธีคือ saturation erasure และ zero erasure นั้น วิธีหลังเป็นที่นิยมใช้กันเพราะมีคุณลักษณะเหนือกว่าในทุก ๆกรณี สำหรับไฟฟ้ากระแสสลับนั้นได้รับจากวงจรออสซิลเลเตอร์ ซึ่งใช้สำหรับกำเนิดไบอัส (bias) ในการบันทึกด้วยดังรูปที่ 4.15



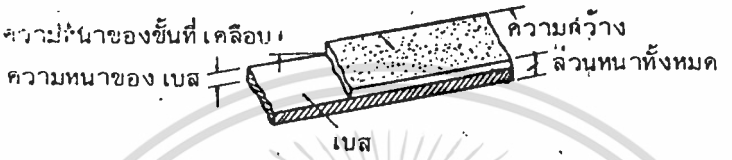
รูปที่ 4.15 ตำแหน่งของออสซิลเลเตอร์, R ขณะบันทึกและเล่นกลับ

รูปที่ 4.16 แสดงหลักการทำงานของวิธี zero erasure ส่วนรูปที่ 4.17 เป็นโครงสร้างของเทปแม่เหล็กที่ใช้สำหรับจดจำสัญญาณในรูปของสภาพแม่เหล็ก เทปแบบนี้ทำด้วยพลาสติกที่เคลือบไว้ด้วยผงโลหะ (หรือผงแม่เหล็ก) เช่น เหล็กและโครเมียม เป็นต้น เพื่อให้สามารถแมกนีไตซ์ได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 หัวลบ



รูปที่ 4.17 เทปแม่เหล็ก

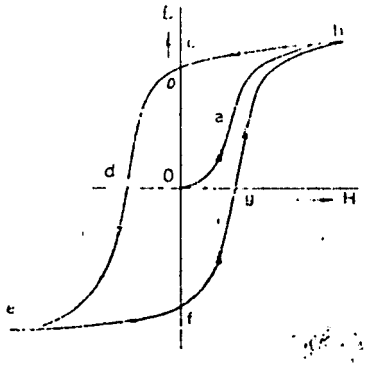
อย่างไรก็ตาม วัสดุแม่เหล็กแต่ละอย่างที่ใช้ทำเทปนั้น มีคุณลักษณะทางแม่เหล็กที่เป็น "**เฉพาะตัว**" ของมัน ดังนั้นเพื่อที่จะขจัดคุณลักษณะเหล่านี้ หรืออย่างน้อยที่สุดก็ให้ผลดังกล่าวที่มีต่อการผิดเพี้ยนต่ำมาก ๆ ก็ทำได้โดยการป้อนกระแสความถี่สูง ๆเข้าที่หัวบันทึก ซึ่งกระแสความถี่สูงนี้เรียกว่า "**ไบอัสในการบันทึก**" (recording bias)

แต่ที่น่าเสียดายก็คือเส้นแรงแม่เหล็กจากหัวเทปขณะทำการบันทึกนั้นไม่เป็นปฏิภาคกับสนามแม่เหล็กที่ตกค้างบนเทป หรืออีกนัยหนึ่งคืออันแรกไม่มีความสัมพันธ์ที่เป็นเชิงเส้น (linear) กับอันหลังเพราะฉะนั้นจึงมีกระแสอื่น ๆด้วยที่ป้อนเข้าที่หัวเทปพร้อมกับสัญญาณบันทึก ทำให้ต้องกำหนดจุดทำงานของหัวบันทึกเพื่อให้บันทึกเฉพาะเมื่อเส้นแรงแม่เหล็กเป็นปฏิภาค (หรือโดยประมาณ) กับสภาพแม่เหล็กที่ตกค้าง กระแสนี้ก็คือกระแสไบอัสในการบันทึกนั่นเอง

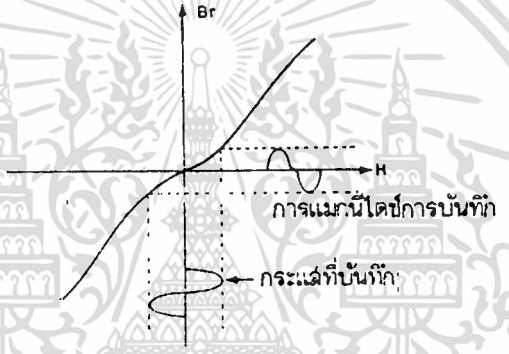
กล่าวโดยทั่ว ๆไปแล้ว ความสัมพันธ์ระหว่าง magnetizing force ที่ป้อนให้กับวัสดุแม่เหล็ก และการแมกนีไตซ์ของมันจะเป็นทั้งแบบเชิงเส้นและไม่เป็นเชิงเส้นปนกัน ดังแสดงในรูปที่ 4.18 ซึ่งเป็นเส้นโค้งของการแมกนีไตซ์เริ่มแรก (0→a→b)

ในรูปที่ 4.19 แสดงความสัมพันธ์ดังกล่าวของรูปที่ 4.18 ในรูปของความสัมพันธ์ระหว่าง magnetization force (H) กับ residual magnetism (Br) ถ้าหากมีกระแสคลื่นซายน์ (sine wave current) ผ่านเข้าไปที่หัวบันทึก โดยมีจุด "0" เป็นจุดศูนย์กลางดังรูปที่ 4.18 แล้ว H ก็จะเป็นปฏิภาคกับกระแส แต่ Br บนเทปหรือรูปคลื่นที่บันทึกจะผิดเพี้ยนไปบางส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 B–H curve



รูปที่ 4.19 zero bias

จากการที่ได้กล่าวมาแล้วในตอนต้นว่า magnetizing force ที่ป้อนเข้าที่วัสดุแม่เหล็ก และความเป็นแม่เหล็กที่เกิดจากมันบนวัสดุนั้น บางส่วนก็มีความสัมพันธ์เป็นปฏิภาคกัน และบางส่วนก็ไม่เป็นปฏิ-ภาคกัน หรือกล่าวอีกนัยหนึ่ง การแมกนีไตซ์ในการบันทึกไม่จำเป็นต้องเป็นปฏิภาคกัยกระแสบันทึก ซึ่งทำให้เกิดการผิดเพี้ยนกับการบันทึกได้ ดังนั้นเพื่อลดการผิดเพี้ยนลงและบันทึกเสียงได้อย่างมีประสิทธิ- ภาพจึงควรใช้ส่วนที่เป็นเชิงเส้นของคุณลักษณะทางแม่เหล็กตกค้าง และทำให้ต้องมีการไบอัสสำหรับการบันทึกแม่เหล็กเพื่อความมุ่งหมายดังกล่าว ซึ่งคล้าย ๆกับการไบอัสของวงจรขยาย (amplifier) มาก

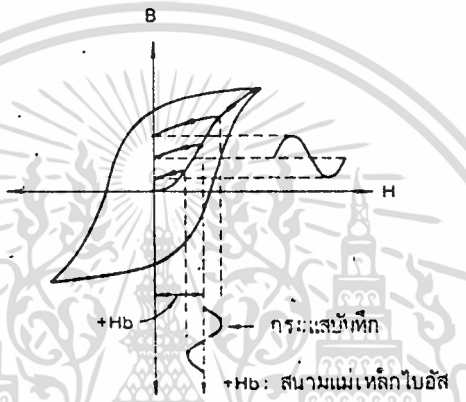
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 วิธีการไบอัส

วิธีการไบอัสมีอยู่ 2 วิธี คือ

1. การไบอัสไฟฟ้ากระแสตรง
2. การไบอัสไฟฟ้ากระแสสลับ

ทั้งนี้ไม่ว่าเป็นวิธีใด ๆก็ตาม ต่างก็ต้องการให้การบันทึกมีการผิดเพี้ยนน้อยที่สุด อย่างไรก็ดี วิธีไบอัสไฟฟ้ากระแสสลับ (หรือเอซีไบอัส) เป็นที่นิยมมากกว่าดีซีไบอัส เนื่องจากมีความไว (sensitivity) มากกว่า และผลที่ได้ยังมีการผิดเพี้ยนน้อยมาก รวมทั้งการบันทึกก็มีสัญญาณรบกวน (noise) ที่ต่ำกว่าอีกด้วย



รูปที่ 4.20 วิธีไบอัสตรง

รูปที่ 4.20 เป็นหลักการการทำงานของวิธีไบอัสไฟฟ้ากระแสตรง โดยวิธีนี้จะใช้ส่วนที่เป็นเชิงเส้นของ magnetization curve เริ่มแรก ข้อเสียของมันมีอยู่ 2 อย่างคือ การเปลี่ยนแปลงเพียงเล็กน้อยก็สามารถทำให้เกิดการผิดเพี้ยนขึ้นได้ และยังมีข้อจำกัดด้านกำลังอินพุทอีกด้วย

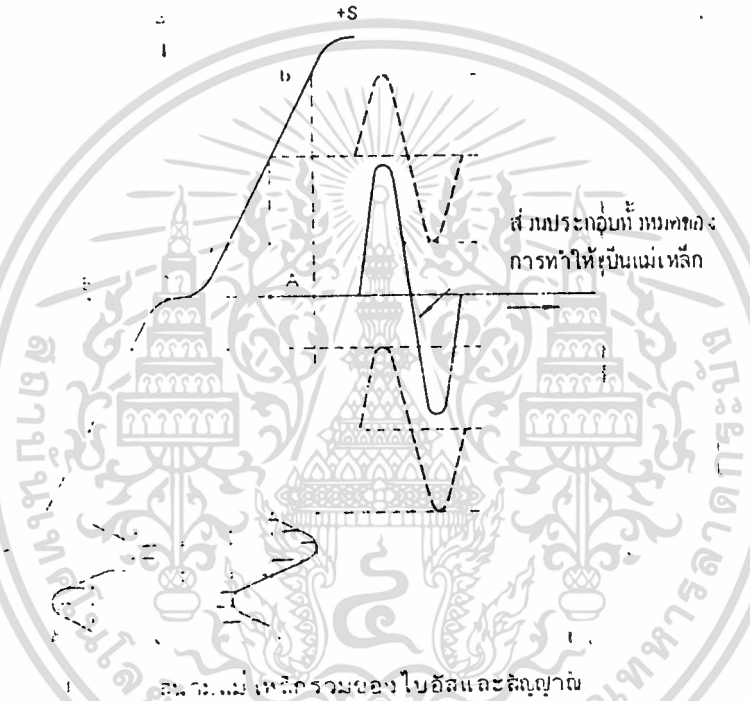
อย่างไรก็ดี วิธีไบอัสไฟฟ้ากระแสสลับนั้นสามารถขจัดข้อเสียดังกล่าวให้หมดไปได้โดยการใช้ไบอัสแม่เหล็กความถี่สูง เพื่อตัดการผิดเพี้ยนออกไปโดยใช้ส่วนที่เป็นเส้นตรงของ magnetization curve ของเทปแม่เหล็ก

วิธีไบอัสไฟฟ้ากระแสสลับมีข้อดีดังนี้คือ

1. กำลังเอาท์พุทของมันทีค่าเป็น 2 เท่าของวิธีไบอัสไฟตรง
2. ไม่มีการผิดเพี้ยนเกิดขึ้น แม้อินพุทจะมากขึ้น
3. สัญญาณรบกวนต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

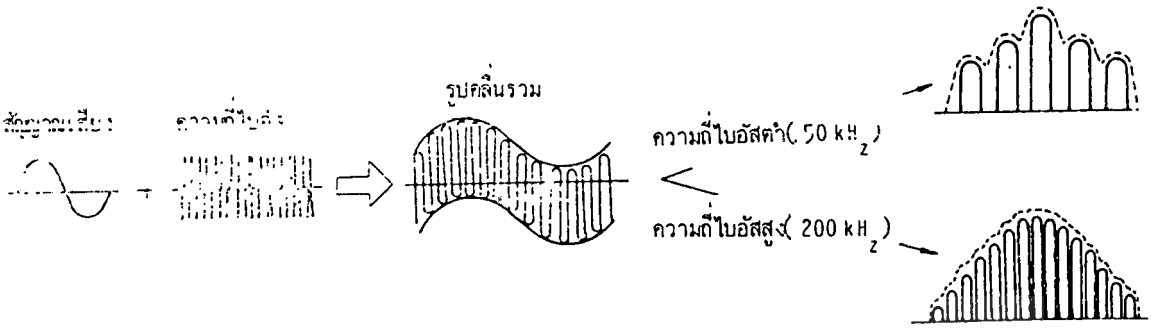
ทว่า วิธีการไบอัสไฟสลับก็มีข้อเสียอยู่เหมือนกัน กล่าวคือมีราคาสูงกว่าวิธีการไบอัสไฟตรงซึ่งจาก รูปที่ 4.18 หากใช้ส่วน 0→a กับ 0→a′ ของ initial magnetization curve เป็นไบอัสแล้วป้อนความถี่ที่แน่นอน (สูงกว่าความถี่เสียง) เข้าไป และเพิ่มสัญญาณเสียงเข้าไปด้วยแล้ว ก็จะได้สนามแม่เหล็กรวม (composite magnetic field) ดังแสดงด้านล่างขอรูปที่ 4.21 และเมื่อ magnetism ถูกตัดต่อด้วยความเร็วสูงมากระหว่าง b-b′ แล้วคลื่นรวมที่ถูก magnetize จะกลายเป็น (เส้นเต็ม) ทำให้การบันทึกมีความไวสูง และไม่ผิดเพี้ยน



รูปที่ 4.21 การทำงานของวิธีไบอัสไฟสลับ

ความถี่ไบอัสและแอมปลิจูดของมันเป็นแฟคเตอร์ที่สำคัญสำหรับการบันทึกไฮ-ไฟ ซึ่งปกติความถี่ไบอัสจะอยู่ระหว่าง 30-200 กิโลเฮิร์ตซ ถ้าความถี่ไบอัสต่ำมากเกินไปแล้วจะมีสัญญาณรบกวน (beatnoise) หรือส่วนประกอบความถี่สูงของสัญญาณที่บันทึกปนไปด้วย เพราะฉะนั้น ความถี่ไบอัสจะต้องสูงกว่าความถี่สัญญาณสูงสุด 5 เท่าขึ้นไป กระแสไบอัสมีผลต่อเอาท์พุทขนาดของการผิดเพี้ยนและคุณลักษณะทางความถี่ ดังนั้นจึงควรให้มีค่าไม่สูงหรือต่ำเกินไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.22 ความถี่ของไบอัสไฟสลับ

นอกจากนั้นยังต้องให้กระแสดังกล่าวนี้เปลี่ยนแปลงไปตามชนิดของเทปด้วย โดยให้มีค่าสูง ๆในกรณีเทปธรรมดา เทปที่มีสัญญาณรบกวนต่ำ และเทปแบบโครม (chrome) เพราะฉะนั้นเทปเด็คชั้นสูงจึงมีสวิทช์เปลี่ยนเลือก (changeaver switch) กระแสไบอัสให้เหมาะสมกับการเปลี่ยนแปลงดังกล่าว

ความสัมพันธ์ระหว่างความถี่ไบอัสกับสัญญาณแม่เหล็กที่บันทึกบนเทปในกรณีของการบันทึกด้วยไบอัสไฟสลับ ได้แสดงไว้ดังรูปที่ 4.22 โดยความถี่ไบอัสยิ่งสูง fidelity ของการบันทึกในย่านความถี่สูงจะสูงด้วย (นั่นคือความถี่ไบอัสยิ่งสูงยิ่งดี)

ความถี่ของการไบอัสของเครื่องบันทึกเทปธรรมดานั้นอยู่ในช่วงระหว่าง 30-200 กิโลเฮิร์ต การเพิ่มขนาดความถี่ให้สูงกว่านี้ เพื่อสมรรถนะจะต้องเกี่ยวข้องกับเทคนิคที่ค่อนข้างยุ่งยากและราคาสูง

ในทางปฏิบัติความถี่ 50 กิโลเฮิร์ตหรือเท่านั้นก็เพียงพอแล้ว โดยปกติเครื่องบันทึกเทปและเครื่องบันทึกเทปคาสเซ็สราคาปานกลางจะมีความถี่ประมาณ 35 กิโลเฮิร์ต แต่ถ้าเป็นเครื่องชั้นสูงแล้วความถี่ไบอัสจะยิ่งสูง สำหรับกรณีของแกนเฟอร์มาลอย (fermalloy core) ธรรมดาความถี่ไบอัสจำกัดอยู่ที่ราว 100 กิโลเฮิร์ตซ เนื่องจากการสูญเสียในย่านความถี่สูง และการสูญเสียเนื่องจากกระแสไหลวน (eddy current) จะเพิ่มขึ้น

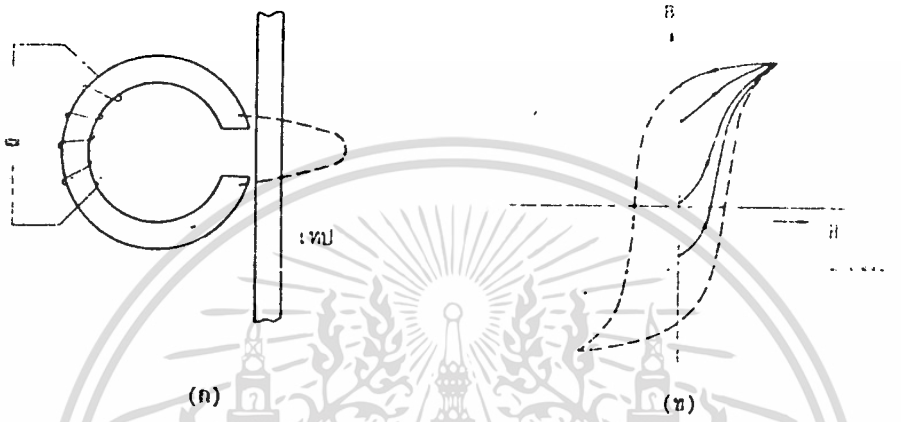
วิธีการและการทำงานของวิธีลบแบบไฟฟ้ากระแสสลับ

วิธีการลบแบบไฟสลับ (AC Erasure) ใช้สำหรับลบสัญญาณที่ได้บันทึกเทปเรียบร้อยแล้วก่อนทำการบันทึกใหม่อีกครั้ง โดยในขั้นแรกจะศึกษาการลบแบบนี้ก่อน

คุณลักษณะพิเศษประการหนึ่งของการบันทึกเทปแม่เหล็กคือ สามารถลบสัญญาณที่ได้บันทึกไว้แล้วออกเพื่อทำการบันทึกใหม่จะสามารถใช้ได้หลาย ๆครั้ง

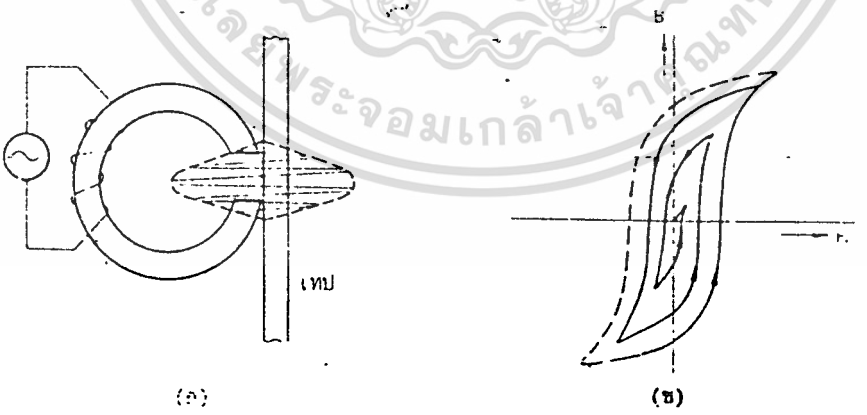
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการที่สัญญาณที่ได้บันทึกบนเทปสามารถเล่นกลับได้ เนื่องจากมีการเปลี่ยนแปลงของฟลักซ์แม่เหล็กตกค้าง (residual magnetic flux) บนผิวของเทป ดังนั้นหากเราลบการเป็นแม่เหล็กตกค้างออกไป เราจะไม่สามารถเล่นสัญญาณแม่เหล็กได้อีกต่อไป เราจึงเรียกมันว่า "การลบเทป" (erasure)



รูปที่ 4.23 วิธี DC Erasure

วิธีการลบเทปเท่าที่คิดกันขึ้นมาใช้มีอยู่ 2 วิธีด้วยกัน วิธีแรกเป็นการป้อนสนามแม่เหล็กไฟตรงที่อิ่มตัว (saturate) แล้ว เพื่อจัดฟลักซ์แม่เหล็ก ตกค้างให้มีทิศทางที่แน่นอน (รูปที่ 4.23) และอีกวิธีหนึ่งเป็นการป้อนสนามแม่เหล็กไฟสลับที่อิ่มตัวแล้ว (รูปที่ 4.24) เพื่อทำให้สนามแม่เหล็กอ่อนลงช้า ๆจนตัดฟลักซ์แม่เหล็กตกค้างออกไปจนหมด



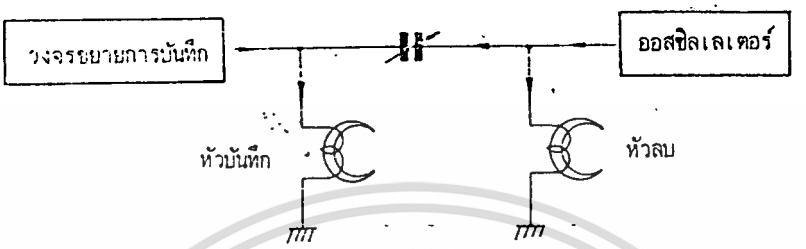
รูปที่ 4.24 วิธี AC erasure

วิธีแรกเรียกว่า DC erasure เราจะใช้แม่เหล็กถาวรหรือแม่เหล็กไฟฟ้าแบบตรง ส่วนอันหลังเรียกว่า AC erasure จะใช้แม่เหล็กไฟฟ้าแบบสลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการลบนี้ก็เช่นเดียวกับวิธีไบอัส โดยวิธีลบแบบสลับมีข้อดีมากกว่าแบบไฟตรง เนื่องจากมันสามารถลบสัญญาณได้อย่างหมดจด และไม่มีสัญญาณรบกวนใด ๆ

เครื่องบันทึกเทปที่ใช้วิธีลบแบบไฟสลับมักใช้วิธีไบอัสไฟสลับด้วย ซึ่งในกรณีนี้ ทำให้สามารถใช้ความถี่สูงจากออสซิลเลเตอร์ชุดเดียวกันทำงานได้ 2 อย่าง



รูปที่ 4.23 วงจรออสซิลเลเตอร์

อีกนัยหนึ่ง การออสซิลเลทของเครื่องบันทึกเทปทำให้เกิดการแสไฟสลับที่ถูกส่งผ่านไปยังหัวบันทึกพร้อมกับสัญญาณที่บันทึกขณะทำการบันทึก และส่งไปยังหัวลบเพื่อทำการลบเทป โดยความถี่ของวงจรออสซิลเลทจะต้องมีขนาด 5 เท่าหรือสูงกว่าความถี่บันทึกสูงที่สุด ความถี่ไฟสลับจะทำหน้าที่ในการไบอัสและลบ แต่ถ้ามันเป็นความถี่ที่ได้ยินเสียง (audible frequency) แล้วมันจะกำเนิดเป็นเสียงของความถี่ดังกล่าวออกมาเมื่อเล่นกลับ และแม้จะไม่ได้เป็นความถี่ที่ได้ยินเสียง ก็จำเป็นต้องหลีกเลี่ยงความถี่ที่อาจจะเกิดสัญญาณรบกวนได้ (brat noise) กับความถี่ที่บันทึก

นอกจากนี้หากความถี่สูงมากเกินไป จะทำให้เกิดการสูญเสียที่หัวเทปมาก และการสูญเสียเนื่องจาก floating capacity ของวงจรเองก็มากด้วย เพราะฉะนั้นจำเป็นที่จะต้องพิจารณาถึงในการเลือกความถี่สำหรับลบและไบอัสให้เหมาะสม

โดยทั่ว ๆไปความถี่ไบอัสอยู่ระหว่าง 30-50 กิโลเฮิรตซ์ สำหรับแบบทั่ว ๆไปที่ใช้กัน 50-80 กิโลเฮิรตซ์ สำหรับแบบชั้นปานกลาง และ 70-200 กิโลเฮิรตซ์ สำหรับแบบชั้นสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การออกแบบและการสร้าง

1. ส่วนเชื่อมต่อกับคู่สายโทรศัพท์

2. ส่วนบันทึกเสียงระบบดิจิตอล

3. ส่วนบันทึกเสียงด้วยเทปบันทึกเสียง

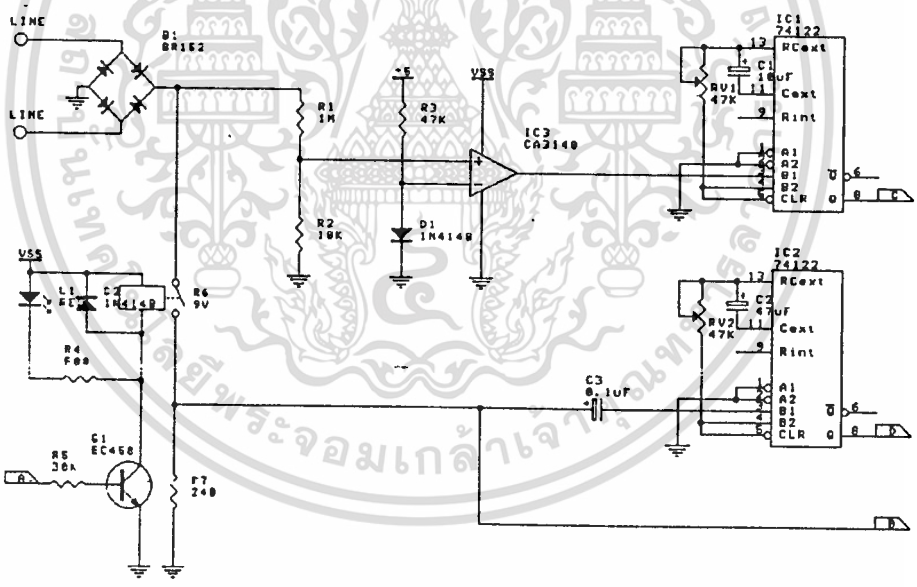
4. ส่วน SOFT WARE ควบคุมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ส่วนเชื่อมต่อกับคู่สายโทรศัพท์

1.1 แนวการออกแบบ

จากทฤษฎีข้างต้นเราพบว่าสัญญาณต่าง ๆในระบบโทรศัพท์ เช่น สัญญาณกริ่ง สัญญาณไม่ว่าง สัญญาณเลขหมาย เป็นต้น ก็ล้วนแต่เป็นสัญญาณ AC ที่มีความถี่ต่าง ๆกันทั้งสิ้น ซึ่งสัญญาณเหล่านี้ไม่สามารถต่อเข้ากับไมโครคอนโทรลเลอร์ได้โดยตรง ซึ่งจะรับสัญญาณเป็นสัญญาณพัลส์มีค่า 0 และ +5V เท่านั้น แต่สัญญาณกริ่งมีค่า 150 V_{p-p} ความถี่ประมาณ 400 เฮิรตซ์ และสัญญาณไม่ว่าง มีค่าประมาณ 10 V_{p-p} ความถี่ประมาณ 400 เฮิรตซ์ ซึ่งเราสามารถเปลี่ยนสัญญาณเหล่านี้เป็นสัญญาณพัลส์ได้โดยใช้วงจรโมโนสเตเบิ้ล และใช้วงจรถอดและเข้ารหัส DTMF ซึ่งวงจรเหล่านี้จะเป็นวงจรอิเล็กทรอนิกส์ที่มีหลักการทำงานต่าง ๆกันเพื่อให้ได้ผลตามที่ต้องการ โดยในที่นี้จะขอกล่าวถึงการควบคุมอุปกรณ์ไฟฟ้าด้วยเพราะมีลักษณะคล้ายกับวงจรยก-วางหูโทรศัพท์



รูปที่ 1.1 วงจรตรวจจับสัญญาณ Ring Tone, Busy Tone และการควบคุมการยกหู

1.2 Bridge Rectifier

จากคู่สายโทรศัพท์ สัญญาณต่าง ๆจะอยู่ในรูปสัญญาณ AC ที่ขี่อยู่บน DC ค่าหนึ่ง จึงต้องผ่าน Bridge Diodb เพื่อเปลี่ยนสัญญาณไฟสลับ AC ที่ขี่อยู่บน DC ให้เป็นสัญญาณที่อยู่ด้านชีกบวกทั้งหมด เพราะวงจรต่าง ๆที่นำมาใช้งานต้องการ input ที่เป็นสัญญาณที่มีค่า ≥ 0V โดยเฉพาะวงจรดิจิตอลที่ต้องการ input 0 และ 5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 Check Ringing Tone

ตามทฤษฎี Voltage ที่ตกคร่อม Diode 1N4148 จะมีค่าประมาณ 0.6 V และมีกระแสเท่ากับ (5-0.6)/47k = 0.1 mA ซึ่ง CA 3130 เป็น MOSFET มี Input Impedance ประมาณ 1.5 Mohm ดังนั้นเราจึงต้องการกระแสเพียงเล็กน้อยเท่านั้น

การ Check Ringing Tone Voltage ที่ตกคร่อม resistor 10k ต้องมีค่ามากกว่า 0.6 V เมื่อมี สัญญาณ Ringing tone เข้ามา และต้องมีค่าต่ำกว่า 0.6 V เมื่อไม่มีสัญญาณ Ringing Tone หรือมีสัญญาณใดๆ ก็ตามที่ไม่ใช่ Ringing Tone เข้ามา ค่าของอุปกรณ์ต่างๆเราสามารถคำนวณได้ดังนี้

$$V_{ref} < (V_{in}*R_L)/(R_r+R_L)$$

เมื่อ Ringing Tone เข้ามา (V_{in} = 100 V)

$$0.6\ V < (100*R_L)/(R_r+R_L)$$

ให้ R_r = 1M

$$0.6\ V < (100*R_L)/(1M+R_L)$$

ถ้าให้ R_L = 10k ตามวงจร

$$0.6\ V < (100*10k)/(1M+10k)$$

$$0.6\ V < 0.99\ V$$

เมื่อไม่มี Ringing Tone เข้ามา (มีเฉพาะไฟเลี้ยง 48 V)

$$0.6\ V < (48*10k)/(1M+10k)$$

$$0.6\ V < 0.47\ V$$

ดังนั้น ถ้าหากมีแรงดันไฟเข้ามามากหรือน้อย เราก็สามารถทำการปรับ R 10k ให้เปลี่ยนแปลงได้ เพื่อจะนำไปใช้กับ PABX ได้ เมื่อได้สัญญาณที่มีแรงดันมากกว่าขาลบของ CA 3130 คือ 0.6 V แล้วจะทำให้ CA 3130 มีแรงดันออกมาประมาณ 4-5 V (จะแตกต่างกันแล้วแต่คุณสมบัติของ IC แต่ละตัว) เพราะ CA 3130 ไม่มีการป้อนกลับเข้ามา เมื่อเข้าสูตรคำนวณจะได้เท่ากับ

$$V_{out} = [1+(R_F/R_1)]*V_{in}$$

แต่ตามวงจรของเราจะได้ค่า $R_F = \infty$

$$V_{out} = [1+(\infty/R_1)]*V_{in}$$

$$V_{out} = \infty$$

หรือ $V_{out} = V_{cc}$ ที่ป้อนให้กับ OP-AMP แล้ว output ที่ได้นี้จะไป ttrig IC 74122 ให้ทำงานโดย IC 74122 จะสร้าง pulse ให้กับไมโครคอนโทรเลอร์ 8031 เมื่อ 8031 ได้รับ pulse ตามจำนวนที่ตั้งไว้ ก็จะส่งสัญญาณมาที่ port P1 เพื่อไปสั่งให้ relay ยกหูโทรศัพท์ที่จุด A โดยในภาค relay นี้ได้ต่อ load 220 ohm ให้กับสายโทรศัพท์ ซึ่งเป็นเสมือน load ของตัวเครื่องโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 วงจร Check Busy Tone

วงจรตรวจสอบสัญญาณไม่ว่างจะใช้วงจรคล้ายกับวงจรตรวจสอบสัญญาณกริ่งในส่วนของ monostable โดยในส่วนของการตรวจสอบสัญญาณไม่ว่างนี้จะตั้งให้ monostable มีช่วงความกว้างของพัลส์มากกว่า 0.5 วินาที และไม่เกิน 1 วินาที เพราะจะได้ไม่เกิดการทริกซ้ำ และไม่ให้ช่วงของพัลส์คลอบคลุมมากกว่าสัญญาณ 1 ครั้ง โดยความกว้างของพัลส์นั้นจะควบคุมโดย resistor และ capacitor ภายนอกที่ต่อเพิ่มขึ้นมา

1.5 วงจร ยก-วาง หูโทรศัพท์ และวงจรควบคุมเครื่องใช้ไฟฟ้า

วงจรทั้งสองนี้จะใช้วงจรแบบเดียวกันคือใช้การควบคุม relay เพื่อยกหูโทรศัพท์ หรือเปิดปิดเครื่องใช้ไฟฟ้า สำหรับวงจรยกหูโทรศัพท์นั้นหน้าสัมผัสจะต่อกับ R 240 Ω ลงกราวนด์ เพื่อทำหน้าที่เป็นโหลดของคู่สายโทรศัพท์แทนเครื่องโทรศัพท์ตามปกติ แต่สำหรับการเปิดปิดเครื่องใช้ไฟฟ้านั้นหน้าสัมผัสควรจะต่อฟิวส์ไว้เพื่อป้องกันไฟเกินที่จะทำให้หน้าสัมผัสหลอมละลายติดกันจนเสียหายไม่สามารถควบคุมเครื่องใช้ไฟฟ้าได้ตามต้องการ จนถึงอาจทำให้เกิดอัคคีภัยได้

1.6 วงจรถอดรหัส DTMF

เนื่องจากการส่งสัญญาณผ่านทางคู่สายโทรศัพท์โดยทางโทรศัพท์จะส่งในรูปความถี่เสียง ซึ่งเสียงที่แสดงค่าต่าง ๆจะถูกส่งมาในลักษณะความถี่คู่ DTMF ซึ่งไม่สามารถส่งต่อให้ไมโครคอนโทรเลอร์ที่เป็นตัวควบคุมได้ทันที จึงต้องมีการถอดรหัสดังกล่าวให้ออกมาเป็นเลขฐานสองเสียก่อนจึงจะส่งต่อให้หน่วยควบคุมได้

DTMF DECODER MT8870

ในการตรวจสอบสัญญาณที่กดมาจากต้นสายเราจะใช้ MT8870 ในการถอดรหัส โดย MT8870 ซึ่งผลิตโดยบริษัทมิเทล ใช้ตัวสร้างความถี่ขนาด 3.579 MHz ในการสร้างสัญญาณนาฬิกา

คุณสมบัติของ MT8870

-เป็นตัวรับและถอดรหัสความถี่ (DTMF DECODER)

-กินไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกับ TTL

-สามารถตั้งอัตราขยายภายในตัวไอซีได้

-สามารถปรับการ์ดไทม์ได้

การนำ MT8870 ไปใช้งาน

-นำไปใช้งานด้านรีโมตคอนโทรล

-เครื่องป้องกันโทรศัพท์ทางไกล

-ใช้ในงานเกี่ยวกับเครดิตการ์ด

-ใช้งานร่วมกับคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-ใช้ในเครื่องชุมสายขนาดย่อย หรือ PABX

-ใช้กับงานทางด้านโทรศัพท์ทั่วไป

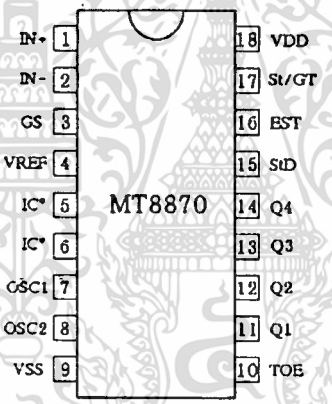
-เครื่องกันโขมย

-การควบคุมอุปกรณ์ทางโทรศัพท์

-ใช้ทำเครื่องสอบถามทางโทรศัพท์

โครงสร้างของ MT8870

โครงสร้างภายในของ MT8870 ประกอบไปด้วยวงจรกรองความถี่และวงจรถอดรหัสทางดิจิตอลเป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO^2-CMOS ในส่วนของวงจรกรอง ความถี่ใช้เทคนิคของสวิทช์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูงและต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขฐานสองขนาด 4 บิท และเช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุทเป็นออปแอมป์ ซึ่งสามารถปรับอัตราขยายได้โดยต่ออุปกรณ์ภายนอก เอาท์พุทเป็นวงจรแลทช์ 3 สถานะ



รูปที่ 1.2 แสดงรายละเอียดขาของ MT8870

ฟังก์ชั่นการทำงานภายใน MT8870

ภายใน MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วนคือ

-ภาคกรองความถี่ (FILTER SECTION)

-ภาคกรองรหัส (DECODER SECTION)

-ภาคตรวจสอบสัญญาณ (STEERING CIRCUIT)

-ภาคขยายสัญญาณความแตกต่าง (DIFFERENTIAL INPUT)

-ภาคกำเนิดความถี่ (OSCILATOR)

ภาคกรองความถี่

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือ ช่วงความถีสูง และช่วงความถี่ต่ำ โดยใช้วงจรกรองแถบความถี่อันดับ 6 ชนิด สวิตช์คาปาซิเตอร์ (six-order switch capacitor band pass filter) ซึ่งความถี่ที่ผ่านได้มี 2 ช่วง คือช่วงความถี่สูง และช่วงความถี่ต่ำ

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคถอดรหัส

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้วจะผ่านเข้าวงจรถอดรหัสเป็นตัวเลข โดยใช้เทคนิคการนับแบบดิจิตอล และมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบว่าความถี่นั้นถูกต้อง สัญญาณที่ขา ESt (early steering) ก็จะแอค ทีฟ สำหรับค่าที่ถอดรหัสได้จากความถี่ต่าง ๆนั้นแสดงในตารางที่ 1.1

ตารางที่ 1.1 แสดงค่าที่ถอดรหัสได้จากความถี่ต่าง ๆ

F_{LOW}	F_{HIGH}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

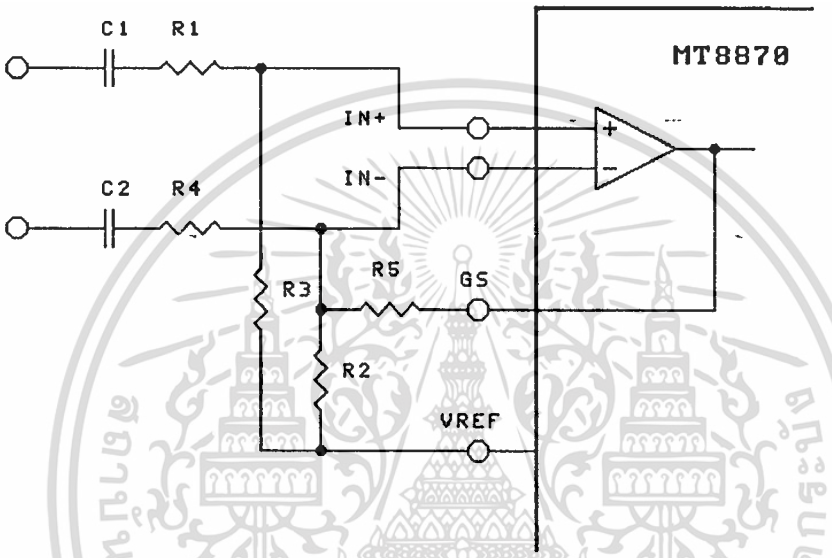
ภาคตรวจสอบสัญญาณ

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาท์พุต จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรส่วนนี้จะไม่รับ โดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดสามารถตั้งโดยใช้ RC ต่อภายนอก สัญญาณที่ขา ESt จะเป็น "High" นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามา จากรูปที่ 2.7 เมื่อขา ESt เป็น "High" ทำให้ V_C สูงขึ้น ตัวเก็บประจุ C จะคายประจุทำให้แรงดัน V_C สูงขึ้นจนถึงค่าเทรชโฮลด์ วงจรถอดรหัสจึงจะถอดรหัสออกเป็นตัวเลขขนาด 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคขยายสัญญาณความแตกต่าง

วงจรส่วนอิพุตของ MT8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยายโดยต่อวงจรภายนอกเพิ่มเข้าไป ดังรูปที่ 1.3 แสดงการต่อวงจรภายนอกเพิ่มเข้ากับอินพุต ซึ่งสามารถคำนวณอัตราขยายความแตกต่างของอินพุต และอิมพีแดนซ์ ได้ดังนี้



อัตราขยาย (A_{Vdiff}) = R_5/R_1

อินพุตอิมพีแดนซ์ (Z_{INdiff}) = $2\sqrt{(R_1^2+(1/\omega C)^2)}$

รูปที่ 1.3 แสดงการต่อวงจรภาคอินพุต

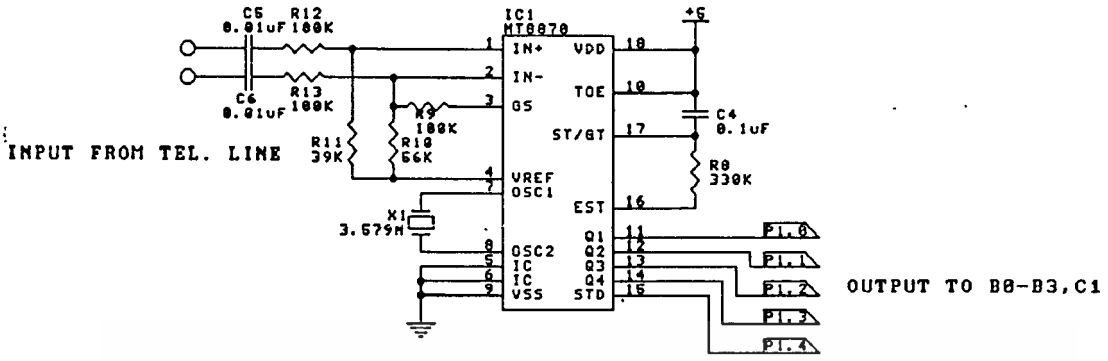
ภาคกำเนิดความถี่

ในภาคนี้ภายในไอซีจะมีวงจรเวลาอยู่ภายใน เพียงแค่ต่อแร่คริสตอลขนาด 3.579 MHz ก็สามารถใช้งานได้ทันที

การทำงาน

การทำงานจะเริ่มโดยการรับสัญญาณ DTMF เข้ามาทางอินพุทจากนั้นจะผ่านไปทาง DIAL TONE FILTER ซึ่งทำหน้าที่ป้องกันไม่ให้สัญญาณที่ไม่ใช่สัญญาณ DTMF ผ่านไป จากนั้นสัญญาณที่ผ่านมาได้จะเข้าสู่ส่วนกรองความถี่เพื่อแยก 2 ความถี่ออกจากกันและจะเข้าสู่ส่วนถอดรหัส ซึ่งจะถอดรหัสความถี่ทั้งสองให้ไปเป็นรหัสไบนารี่ออกไปยังขา Q_1-Q_4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DTMF DECODER

รูปที่ 1.4 แสดงวงจรถอดรหัส DTMF ที่ใช้ในการทดลอง

1.7 วงจรเข้ารหัส DTMF

ในส่วนเตือนภัยโดยการโทรออกจำเป็นจะต้องใช้วงจรกำเนิดเสียง DTMF เพราะว่าไมโครคอนโทรลเลอร์ 8031 ไม่สามารถสร้างเสียงตามสัญญาณ DTMF ได้ จึงต้องให้ไมโครคอนโทรลเลอร์ 8031 ส่งเลขออกไปยังวงจรเข้ารหัส DTMF เป็นเลขฐาน 2 4 bit แล้วจึงให้วงจรเข้ารหัสนี้แปลงเป็นสัญญาณ DTMF ต่อไป และสำหรับการคอนโทรลจากภายนอกโดยไม่ต้องต่อกับคอมพิวเตอร์โดยตรงเหมือนขณะทำการทดลองจึงต้องสร้างรหัส DTMF เพื่อใช้ติดต่อกับ ไมโครคอนโทรลเลอร์ 8031 ทางวงจรถอดรหัส DTMF ที่ต่อเข้ากับ 8031 โดยตรงอยู่แล้ว

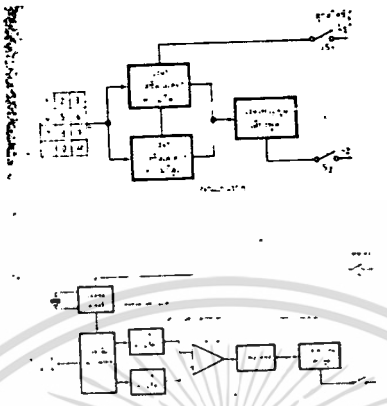
การส่งรหัสเลขหมายโดยการใช้ไอซีสำเร็จรูป

ในรูปที่ 1.5 เป็นบล็อกไดอะแกรมของไอซีที่นำมาใช้สร้างสัญญาณในระบบ DTMF ซึ่งวงจรภายในจะประกอบด้วย วงจรนับและถอดรหัส (counter and decoder) ซึ่งวงจรถอดรหัสก็จะแยกแยะว่าการกดหมายเลขแต่ละครั้งจะตรงกับตำแหน่งใดบ้างในแนวแถวและแนวคอลัมน์ เมื่อทำการถอดรหัสจากการกดได้แล้วก็นำค่าในแนวแถวและแนวคอลัมน์ไปหารจากค่าความถี่หลัก สัญญาณที่ออกจากวงจรนับและถอดรหัสก็จะได้สัญญาณดิจิตอล 2 สัญญาณที่มีความถี่แตกต่างกัน จากนั้นก็นำทั้ง 2 สัญญาณไปผ่านวงจรแปลงสัญญาณจากดิจิตอลไปเป็นอนาลอก (D/A converter) และนำมารวมกันโดยการนำไปผ่านวงจรรวมและขยายสัญญาณ (summing amp) แล้วจึงถูกส่งผ่านไปยังวงจรควบคุมเสียงพูด (speech network) และผ่านต่อไปยังชุมสายโทรศัพท์ในที่สุด

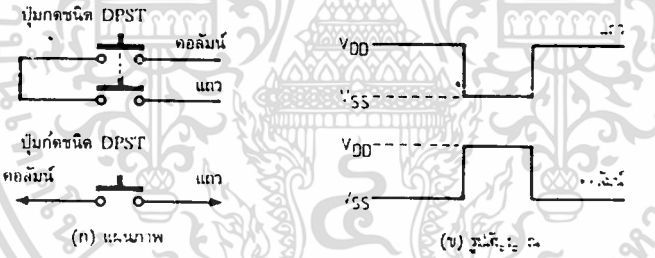
ไอซีอาจจะถูกออกแบบมาให้ใช้ร่วมกันกับแป้นปุ่มหมายเลข (key pad) ชนิด DPST (dual-pole single throw) ซึ่งจะมีหน้าสัมผัส 2 หน้า หรืออาจจะเป็นชนิด SPST (single-pole single throw) ก็ได้ ในรูปที่ 1.6 เป็นแผนพาภและรูปของสัญญาณ เมื่อมีการกดปุ่มหมายเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใด ๆ จะสังเกตว่าในการดีโค้ดของแนวแถวจะแอกทีฟที่ลอจิก "0" แต่ในแนวคอลัมน์นี้จะแอกทีฟที่ลอจิก "1"



รูปที่ 1.5 บล็อกไดอะแกรมของระบบ DTMF



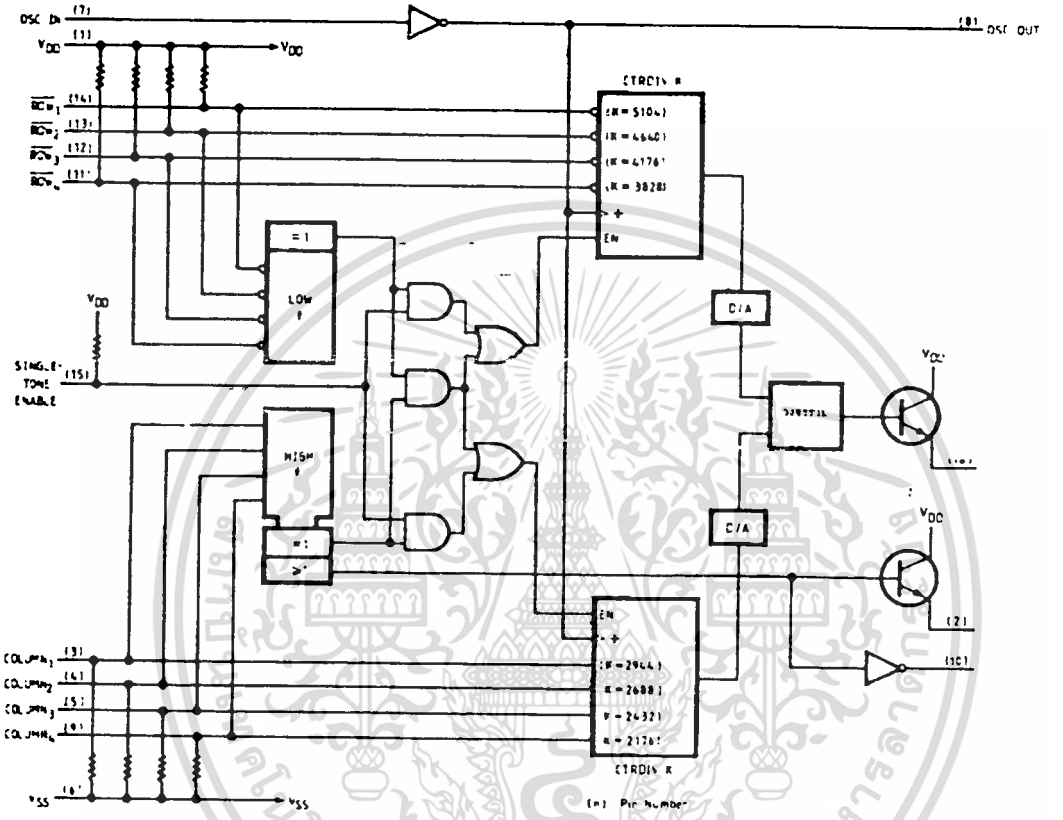
รูปที่ 1.6 แสดงชนิดของปุ่มกดและรูปสัญญาณ

วงจรภายในและขั้นตอนการส่วสัญญาณ

ในรูปที่ 1.7 เป็นบล็อกไดอะแกรมของวงจรภายในของไอซีเบอร์ TCM5087 (MK5087) จะเห็นได้ว่าวงจรภายในประกอบไปด้วยวงจรถอดรหัสลอจิกเกต วงจรหารความถี่ (วงจรนับ) หรือ CTRDIV K ขั้นตอนการทำงานเมื่อมีการกดหมายเลขโทรศัพท์จะทำให้มีสัญญาณโรว์และคอลัมน์เกิดขึ้น และขาสัญญาณ single tone enable จะต้องถูกทำให้แอกทีฟ สัญญาณโรว์และคอลัมน์จะถูกนำไปเลือกค่า K ในวงจร CTRDIV K เพื่อนำไปเป็นตัวหารสัญญาณจากวงจรออสซิลเลเตอร์หลัก ซึ่งจะเลือกใช้ค่าความถี่จากวงจรออสซิลเลเตอร์ให้มีค่า 3.579545 เมกะเฮิรตซ์ ซึ่งจะต้องนำไปหารด้วยค่า K จากวงจร CTRDIV K ทั้ง 2 วงจร สำหรับลอจิกเกตนั้นถูกนำมาใช้ในการตรวจเพื่อให้แน่ใจว่าการกดปุ่มหมายเลขแต่ละครั้งเป็นการกด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปุ่มเพียงปุ่มเดียวจริงๆ เมื่อตรวจได้ว่าไม่มีการกดปุ่มในเวลาเดียวกันมากกว่าหนึ่งปุ่ม จึงค่อยเอาสัญญาณลอจิกจากส่วนนี้ไปเป็นสัญญาณอีนาเบิล (enable) ให้แก่วงจร CTRDIV K ทั้งสองวงจร



รูปที่ 1.7 บล็อกไดอะแกรมของวงจรภายในไอซีเบอร์ TCM5087

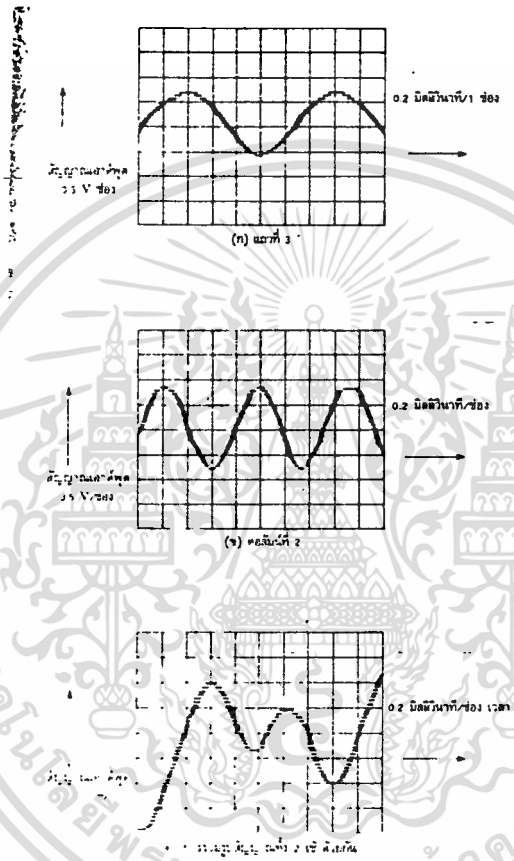
ในส่วนของลอจิกที่ออกมาจากบล็อก ≥ 1 หมายความว่า เมื่อใดก็ตามที่มีการกดปุ่มหมายเลขใดๆ จะมีการส่งสัญญาณไปยังขา 10 (mute out) ซึ่งจะควบคุมให้มีสัญญาณจากวงจรบวกและขยายสัญญาณผ่านเข้าสู่หูฟังในระดับที่เหมาะสม ส่วนสัญญาณที่ขา 2 (trans SW) จะถูกนำไปใช้ควบคุมไม่ให้วงจรของการส่งเสียงพูดทำงานเมื่อมีการกดปุ่มหมายเลขอยู่ เพื่อป้องกันความผิดพลาดในขณะส่งรหัสหมายเลขอยู่นั่นเอง

ย้อนกลับมาดูสัญญาณที่ออกมาจากวงจร CTRDIV K ทั้ง 2 จุดถูกนำไปเข้าวงจร D/A เพื่อแปลงเป็นสัญญาณรูปคลื่นซายน์ และนำมามอดูเลตกันโดยใช้วงจรบวกและขยายสัญญาณ สัญญาณที่ออกมาจากวงจรบวกและขยายสัญญาณก็จะแทนหมายเลขที่ถูกกดนั่นเอง

รูปที่ 1.8 เป็นรูปสัญญาณที่เกิดขึ้นในการกดหมายเลข 8 ซึ่งวงจรถอดรหัสจะให้ตำแหน่งในแนวแถวที่ 3 และคอลัมน์ที่ 2 สัญญาณที่ออกมาจากวงจร D/A ก็จะเป็นไปตามรูปที่ 1.8(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ 1.8(ข) ในรูปที่ 1.8(ค) เป็นการรวมสัญญาณทั้ง 2 เข้าด้วยกัน จะสังเกตเห็นว่ารูปสัญญาณจะไม่ใช้สัญญาณที่ต่อเนื่อง เนื่องมาจากวงจร D/A นั่นเอง จึงทำให้สัญญาณที่มีลักษณะเป็นขั้นบันได แต่ก็ไม่มีผลใด ๆต่อการส่งสัญญาณไปยังชุมสาย



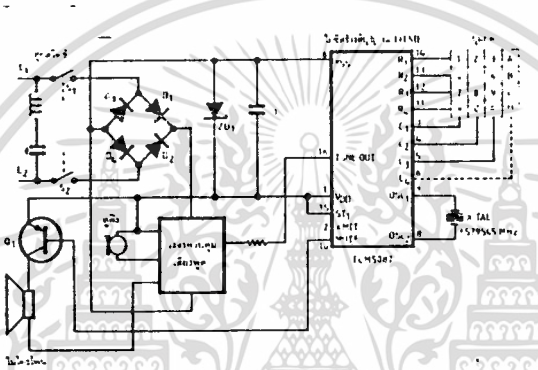
รูปที่ 1.8 รูปสัญญาณของระบบ DTMF

การนำไปประยุกต์ในวงจรใช้งานจริง

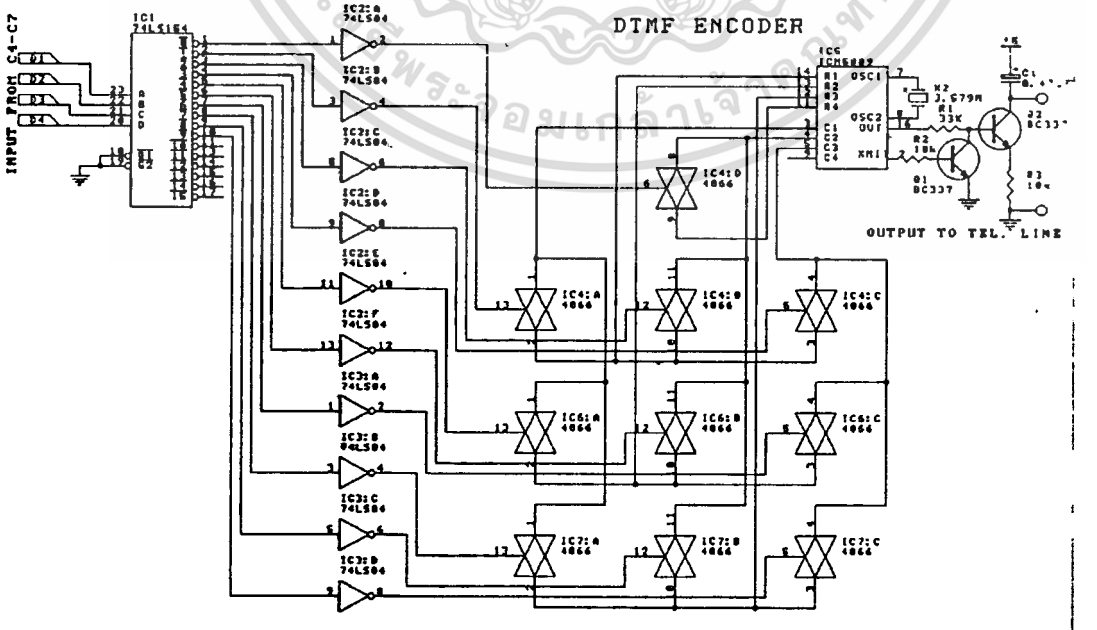
ในวงจรรูปที่ 1.9 เป็นการนำ TCM5087 มาเป็นตัวส่งสัญญาณระบบ DTMF จะเห็นว่าขา tone out ถูกนำไปผ่านวงจรควบคุมสัญญาณเสียงพูดก่อนที่จะผ่านไปสู่สัญญาณที่ต่อไปยังชุมสาย ZD_1 ทำหน้าที่ป้องกันสัญญาณทรานเซียนต์ (transient) ที่อาจจะเข้ามารบกวนระบบได้ C_1 ทำหน้าที่กรองสัญญาณต่าง ๆให้เรียบมากขึ้น ขาสัญญาณ mute ถูกนำไปต่อกับขาเบสของทรานซิสเตอร์ Q_1 เพื่อควบคุมไม่ให้มีเสียงสามารถผ่านเข้ามาทางไมโครโฟนในระหว่างการกดหมายเลขอยู่, ขาสัญญาณ ST_1 (หรือสัญญาณ single tone enableนั่นเอง) จะถูกทำให้แอกทีฟอยู่ตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรูปที่ 1.10 เป็นวงจรที่ใช้ในการทดลองนี้เป็นการนำ TCM5087 ไปเชื่อมต่อกับไมโครคอนโทรลเลอร์ 8031 โดยใช้ไอซีเบอร์ 74154 ซึ่งเป็นวงจรดีโค้ดจากเลขไบนารี 4 บิตให้เป็นบิตเดียวแยกกัน แต่เป็นแอกทีฟ "0" จึงต้องนำไปผ่าน not gate เพื่อกลับสัญญาณ ให้เป็น "1" แล้วนำสัญญาณนี้ไปทริก analog switch เบอร์ 4066 ที่ต่อเลียนแบบ Key board ของโทรศัพท์ output จาก TCM5087 จะถูกนำไปขยายกระแสโดยทรานซิสเตอร์ BC337 2 ตัว



รูปที่ 1.9 แสดงการนำ TCM5087 ไปใช้งาน



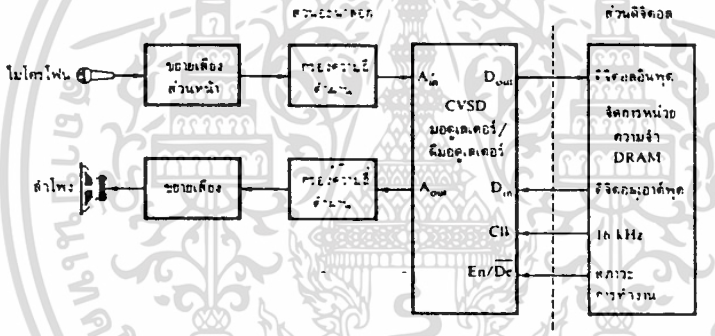
รูปที่ 1.10 แสดงวงจรที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรบันทึกเสียงระบบดิจิตอล

2.1 การทำงานของวงจร

ในการบันทึกเสียงระบบดิจิตอลจะประกอบไปด้วยส่วนสำคัญ 3 ส่วนคือ ส่วนแรกทำหน้าที่แปลงสัญญาณจากอนาลอกไปเป็นดิจิตอล ส่วนที่สองเป็นส่วนที่เก็บข้อมูลดิจิตอลไว้ในหน่วยความจำ และส่วนที่สามเป็นการแปลงสัญญาณดิจิตอลกลับมาเป็นสัญญาณอนาลอก โดยในการเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลและดิจิตอลเป็นอนาลอกจะใช้วิธี Deltamodulation ซึ่งเรียกว่า CVSD (Continuous Variable Slop Deltamodulation) ซึ่งได้อธิบายไว้แล้วในเบื้องต้น เราจะอธิบายการทำงานของวงจรโดยแสดงเป็นบล็อกไดอะแกรมดังนี้



รูปที่ 2.1 แสดงบล็อกการทำงานของวงจรบันทึกเสียงระบบดิจิตอล

การทำงานของวงจรจะเริ่มจากเมื่อให้สัญญาณเสียงทางไมโครโฟน สัญญาณจะถูกขยายให้มีขนาดที่เหมาะสม โดยวงจรขยายส่วนหน้า กำหนดขนาด Bandwidth ของสัญญาณโดยวงจรกรองความถี่ต่ำโดยจะให้มีค่าความถี่คัทออฟประมาณ 4 KHz เพื่อลดอัตราการ Sampling ในการเข้ารหัสให้มีค่าต่ำ วงจรส่วนเข้ารหัสจะทำการเปลี่ยนสัญญาณที่ป้อนเข้าไปเป็นสัญญาณดิจิตอลโดยใช้การเข้ารหัสแบบ CVSD(Continuous Variable Slop Deltamodulation) สัญญาณดิจิตอลที่ได้จะถูกป้อนให้วงจรส่วนการเก็บข้อมูลลงใน DRAM โดยจะต้องมีวงจร Refresh DRAM ด้วย ทั้งหมดนี้เป็นการทำงานในส่วนของการบันทึกเสียง ส่วนในการทำงานในส่วนเล่นกลับ จะเป็นการนำสัญญาณดิจิตอลที่เก็บไว้เปลี่ยนเป็นสัญญาณเสียงออกมาที่ลำโพง โดยเริ่มข้อมูลจาก DRAM ถูกส่งเข้าไปในส่วนการถอดรหัสซึ่งใช้วิธีการเดียวกับการเข้ารหัสคือแบบ CVSD จะได้สัญญาณอนาลอกออกมาโดยผ่านวงจรกรองความถี่ต่ำเพื่อลดสัญญาณรบกวนที่เกิดเนื่องจากการถอดรหัสแล้วผ่านวงจรขยายป้อนให้ลำโพง จะได้สัญญาณเสียงเหมือนกับตอนที่บันทึกเข้าไป

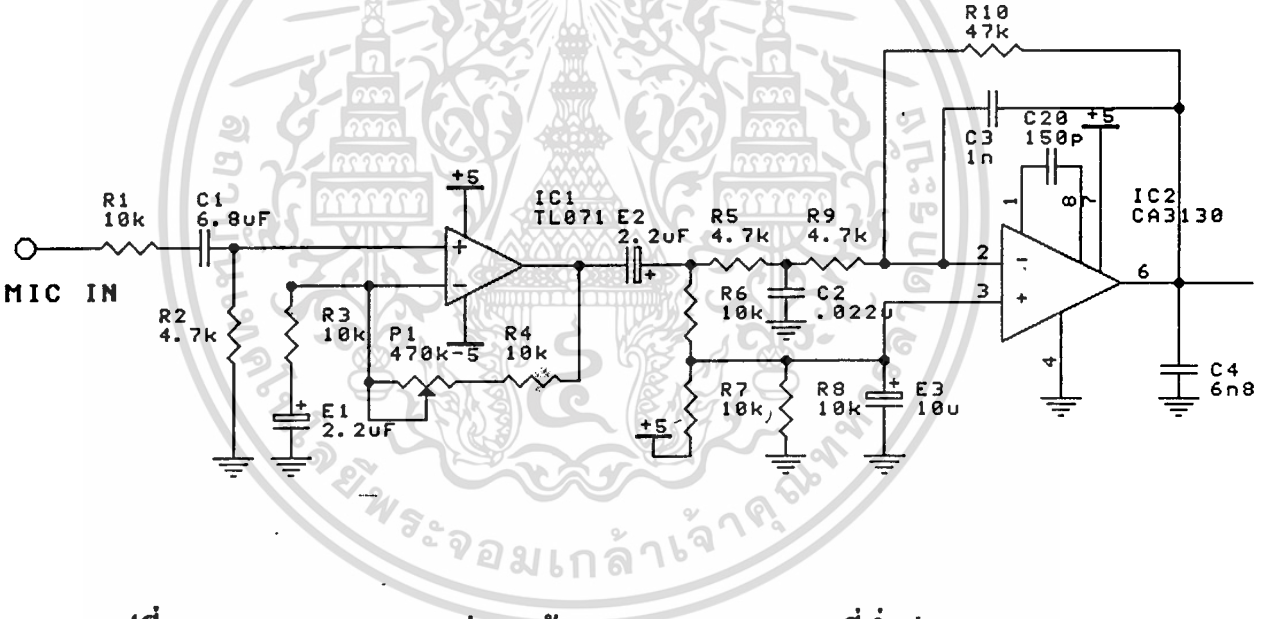
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 รายละเอียดของวงจร

จะอธิบายโดยแบ่งเป็นส่วนของวงจรย่อย ๆที่ทำงานต่อเนื่องกันดังนี้

วงจรขยายส่วนหน้าและวงจรกรองความถี่ต่ำผ่าน

ทำหน้าที่เปลี่ยนสัญญาณอินพุทให้เหมาะสำหรับการเข้ารหัส โดยเริ่มจากวงจรขยายส่วนหน้า IC_{21} เป็นวงจรขยายแบบ noninverting สามารถปรับอัตราขยายให้เหมาะสมโดยปรับค่าตัวต้านทานในส่วนป้อนกลับ สัญญาณที่ได้จะป้อนให้วงจรกรองสัญญาณความถี่ต่ำ IC_{23} ซึ่งต่อเป็นวงจร low pass filter มีค่าความถี่คัทออฟ 4 KHz ซึ่งเป็นค่า bandwidth ของสัญญาณเสียงพูด วงจรส่วนนี้จะใช้งานเฉพาะการบันทึกเท่านั้นในการเล่นกลับจะไม่ทำงานแสดงวงจรส่วนนี้ดังรูปที่ 2.2

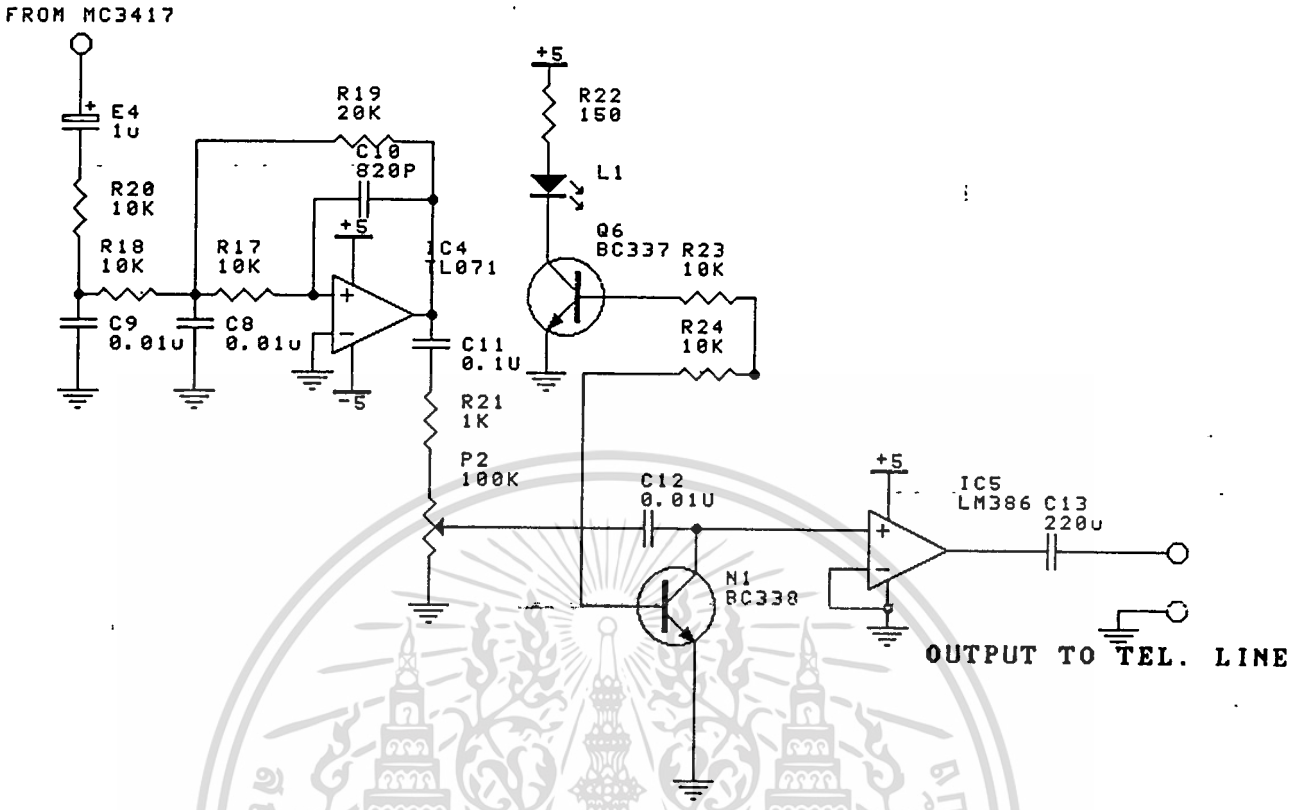


รูปที่ 2.2 แสดงวงจรขยายส่วนหน้าและวงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านและวงจรขยายเอาท์พุท

ทำหน้าที่กำจัดสัญญาณรบกวนซึ่งเกิดจากการแปลงสัญญาณจากดิจิตองมาเป็นอนาลอกแล้วทำการขยายสัญญาณเพื่อส่งให้ลำโพง วงจรในส่วนนี้จะใช้งานเฉพาะในการเล่นกลับ โดยทำการรีเซทวงจรเมื่อเราทำการบันทึก การทำงานของวงจรเริ่มจาก สัญญาณเอาท์พุทจากวงจรถอดรหัสจะป้อนให้กับวงจร low pass filter IC_{22} ซึ่งจะกรองให้เฉพาะสัญญาณเสียงผ่าน สัญญาณรบกวนต่าง ๆจะถูกกำจัดออก เอาท์พุทจากส่วนนี้จะถูกขยายโดยวงจรขยายสัญญาณเสียง IC_{28} ซึ่งเราต่อขา 7 ของไอซีเพื่อทำการรีเซทเมื่อเราทำการเข้ารหัส โดยต่อขานี้กับขา 15 (E/D) ของ IC_{24} ซึ่งวงจรขยายจะไม่ทำงานเมื่อขานี้มีค่าเป็น 1 เอาท์พุทส่วนหนึ่งของวงจรจะเป็นเอาท์พุทในส่วนตอบรับโทรศัพท์ด้วยแสดงวงจรในส่วนกรองความถี่ต่ำและวงจรขยายเสียงดังรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

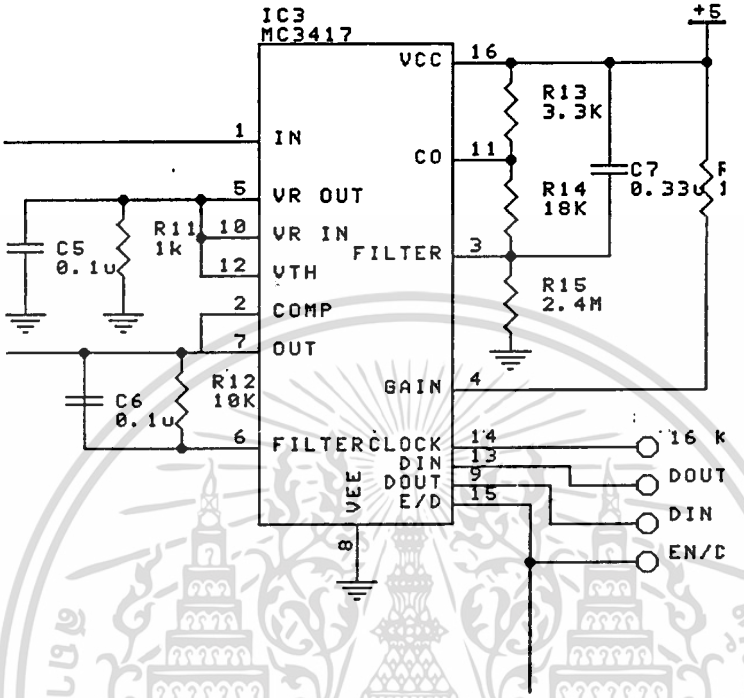


รูปที่ 2.3 แสดงวงจรกรองความถี่ต่ำและวงจรขยายเสียงเอาท์พุต

วงจรเข้ารหัสและถอดรหัสดิจิตอล

ใช้การเข้ารหัสและถอดรหัสแบบ CVSD modulator/demodulator เราใช้ไอซีเบอร์ MC3417 สำหรับการทำงานและคุณสมบัติต่าง ๆของไอซีเบอร์นี้เราได้อธิบายแล้วในเรื่อง Deltamodulation จะอธิบายวงจรโดยคร่าว ๆดังนี้ ในวงจรเราจะใช้สัญญาณ clock 16 KHz โดยป้อนเข้าที่ขา 14 ซึ่งจะใช้เป็นอัตราการเข้ารหัส ขา 15 เป็นขาที่เลือกระหว่างการเข้ารหัสหรือถอดรหัส (Encoder/Decoder) ถ้าต้องการเข้ารหัสจะให้ขานี้เป็น 1 ถอดรหัสจะให้ขานี้เป็น 0 ขา 9 และ 13 จะใช้เป็นขาสัญญาณดิจิตอลเอาท์พุทและอินพุทตามลำดับ ซึ่งจะต่อไปยังหน่วยความจำ ขา 1 เป็นขาอินพุทของสัญญาณอนาลอกที่จะทำการเข้ารหัสโดยป้อนสัญญาณนี้เข้าขา 2 แต่ถ้าเราต้องการถอดรหัสขานี้จะเป็นขาสัญญาณอนาลอกเอาท์พุทป้อนให้ส่วนวงจรขยายต่อไป R_{19} และ C_{24} จะต่อเป็นวงจรอินทิเกรเตอร์ให้เปลี่ยนแปลงตามรหัสสัญญาณอินพุทR_{23} เป็นตัวควบคุมอัตราขยายคงที่ของวงจรอินทิเกรเตอร์ ขา 12 เป็นขาที่กำหนดระดับเทรชโฮลด์ของสัญญาณดิจิตอล ซึ่งจะต่อกับขา 10 คือให้มีระดับเทรชโฮลด์เท่ากับ $V_{cc}/2$ ขา 5 ใช้เลื่อนระดับสัญญาณอินพุทของอินทิเกรเตอร์โดยต่อเข้าขา 10 ขา 11 เป็นขา Coincidence Output ซึ่งมีค่าเปลี่ยนแปลงตามสัญญาณดิจิตอลอินพุท จะให้ค่า 0 เมื่อค่ารีจีสเตอร์ภายในเป็น 0 หมด หรือ 1 หมด สัญญาณจากขานี้จะต่อเข้ากับขา 3 เพื่อควบคุมอัตราขยายของอินทิเกรเตอร์ ขา 16 ขา 8 เป็นขา V_{CC} และ V_{EE} ตามลำดับ วงจรส่วนนี้แสดงดังรูปที่ 2.4

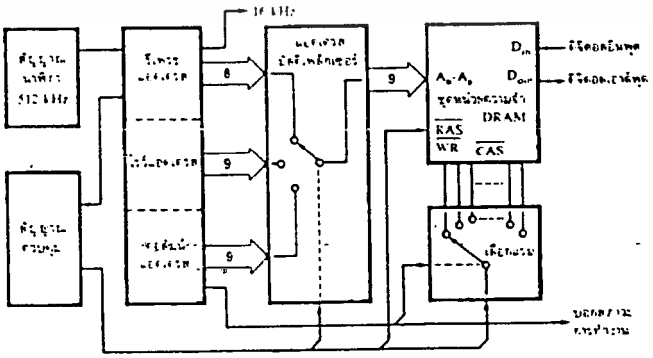
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงวงจรเข้ารหัสและถอดรหัสดิจิตอล

วงจรในส่วนการจัดการหน่วยความจำ

หน่วยความจำที่เราใช้เป็นไดนามิกแรมขนาด 256 K 1 bit ซึ่งต้องใช้สัญญาณแอดเดรส 18 บิต แต่ขาแอดเดรสมีแค่ 9 เส้น เราต้องทำการมัลติเพลกแอดเดรสเข้าไปทีละ 9 เส้น โดยจะแบ่งสัญญาณเป็นแอดเดรสทางหลักและทางแถว และเรายังต้องทำการรีเฟรชไดนามิกแรมตลอด 512 ทุก 4ms เนื่องจากวงจรในส่วนนี้มีการทำงานที่ยุ่งยากเราจึงอธิบายการทำงานเป็นบล็อกไดอะแกรมก่อน ดังนี้



รูปที่ 2.5 แสดงบล็อคไดอะแกรมการทำงานของส่วนจัดหน่วยความจำ

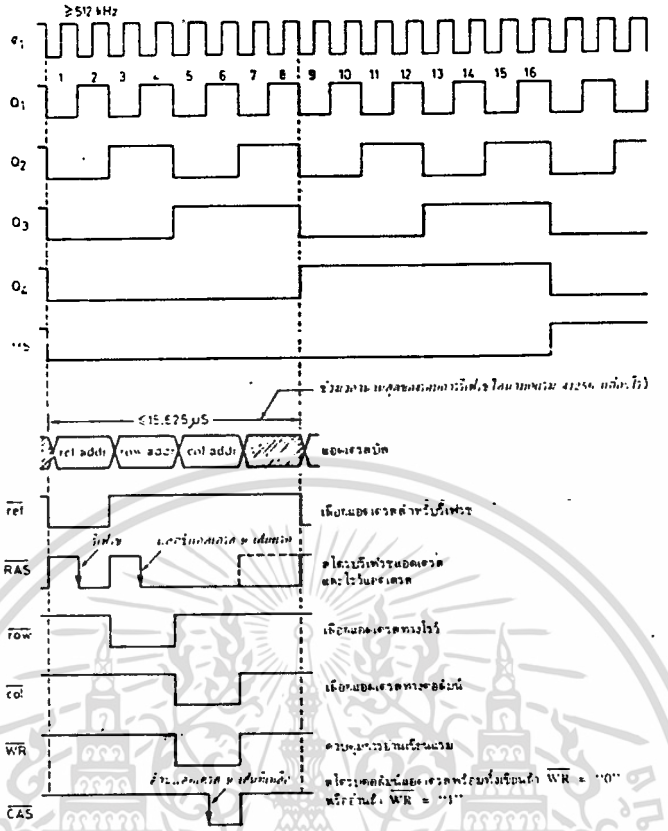
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกาจะสร้างขึ้น เพื่อกำหนดค่าแอดเดรสของไดนามิกแรมในการอ่าน เขียนข้อมูล และการรี-เฟรช โดยสัญญาณคล็อกจะส่งให้ส่วนจัดค่าแอดเดรส จะไดแอดเดรสแบ่งออกเป็น ส่วน 3 ชนิดคือ รีเฟรชแอดเดส โรว์แอดเดรส และคอลัมน์แอดเดรส ซึ่งทั้งหมดนี้จะส่งไปยังแอดเดรสมัลติเพลกเซอร์ ในการมัลติเพลกสัญญาณแอดเดรสนี้ให้กับไดนามิกแรมเราจะใช้สัญญาณควบคุมจากส่วนกำเนิดสัญญาณควบคุม ส่วนเพิ่มเติมอีกส่วนคือ ตัวเลือกแรม เนื่องจากเราใช้แรมจำนวนหลายตัว โดยมีความกว้างของข้อมูลเพียงบิทเดียว จึงจำเป็นที่จะต้องมีวงจรเลือกแรมที่ละตัวต่อเนื่องกันไป ไดนามิกแรมไม่มีขาชิพซีเล็ก หรือชิพอีนาเบิ้ลให้ควบคุมโดยตรง

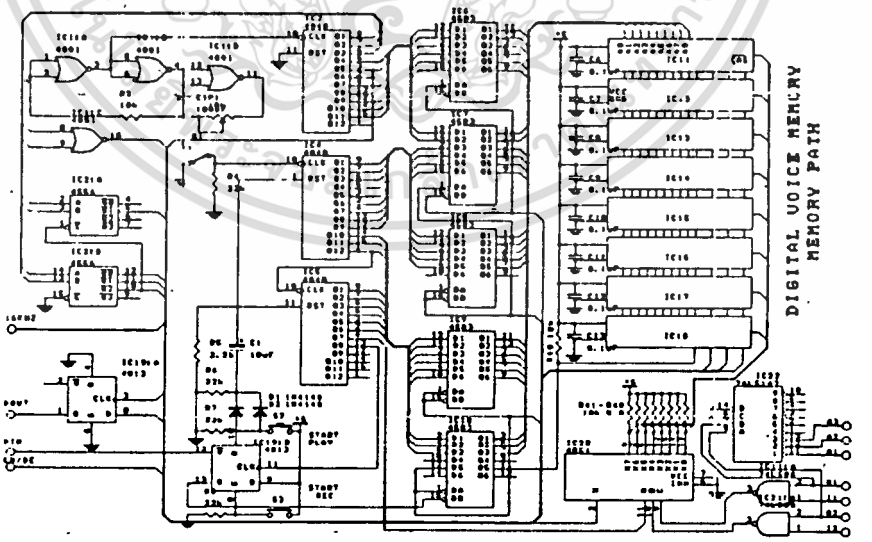
รายละเอียดของวงจร

ในส่วนของการสร้างคล็อกเราใช้ IC_1 ซึ่งเป็นออเกท แต่เราจะให้ทำงานเป็นอินเวอร์เตอร์ทำงานร่วมกับ C_1 และ R_2 เป็นวงจรสร้างสัญญาณคล็อกโดยความถี่ที่ได้เราสามารถปรับค่าได้ โดยปรับค่า R_2 ค่าความถี่ที่เกิดขึ้นสามารถคำนวณได้โดย $f = 0.772/RC$ เราจะใช้สัญญาณคล็อกความถี่ 512 KHz สัญญาณ คล็อกที่ได้จะส่งต่อไปยังส่วนแยกสัญญาณแอดเดรสโดยจะใช้ วงจรนับ IC_3, IC_4 และ IC_5 โดยเอาท์พุทของวงจรนับ Q_1-Q_8 จะเป็นรีเฟรชแอดเดรส ส่วนสัญญาณโรว์แอดเดรสและคอลัมน์แอดเดรสนั้นจะใช้สัญญาณคล็อก 16KHz ป้อนให้วงจรนับเพราะในการเขียนหรืออ่านข้อมูลจากแรมต้องมีความถี่เท่ากับ ความถี่ของการถอดรหัส เราจะเอาท์พุทจากโรว์แอดเดรส อีก 9 เส้นเป็นคอลัมน์แอดเดรส และ 3 เส้นสุดท้ายจะส่งให้วงจรดีมัลติเพล็กเซอร์เพื่อเลือกแรมให้ทำงานต่อเนื่องกันทีละตัวโดยใช้ IC_{15} ส่วนวงจรดีมัลติเพล็กเซอร์นั้นจะใช้บัฟเฟอร์ IC9-IC12 โดยควบคุมการให้ค่าแอดเดรสที่ขาอีนาเบิ้ลของบัฟเฟอร์แต่ละตัว สัญญาณควบคุมต่าง ๆเช่น สัญญาณควบคุมการรีเฟรช สัญญาณควบคุมการรับค่าโรว์แอดเดรส (RAS) สัญญาณควบคุมการรับค่าแอดเดรส (DAS) สัญญาณควบคุมการให้ค่ารีเฟรชแอดเดรส (REF) สัญญาณควบคุมการให้ค่าโรว์แอดเดรส (ROL) สัญญาณควบคุมการให้ค่าคอลัมน์แอดเดรส (COL) สร้างขึ้นโดยการนำเอา Q_1-Q_3 ของวงจรนับมาทำการดีโคดสัญญาณออกมาโดย IC_1 และ IC_2 ซึ่งจะแสดงสัญญาณควบคุมต่าง ๆดังรูปที่ 2.6 ส่วนสัญญาณที่ใช้ในการควบคุมการอ่านหรือเขียนข้อมูลลงในแรมจะใช้ IC_{7b} ร่วมกับสวิทช์ S_1 และ S_2 IC_{8a} จะควบคุมการเล่นกลับโดยจะรับสัญญาณควบคุมจากส่วนควบคุมการตอบรับโทรศัพท์ IC_6 จะเป็นตัวควบคุมการป้อนคล็อกให้กับวงจร จะแสดงวงจรในส่วนของการจัดหน่วยความจำ ดังรูปที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงสัญญาณควบคุมของไดนามิกแรม



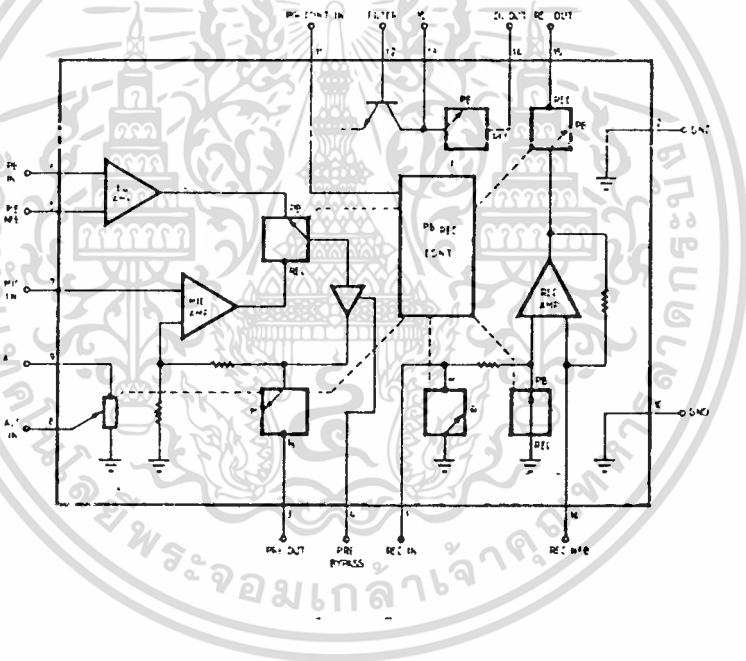
รูปที่ 2.7 แสดงวงจรในส่วนจัดการหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรบันทึกเทป

3.1 BA5101 ไอซีปรีเทปเล่น - บันทึก

ในการทำวิทยานิพนธ์นี้ได้เลือกใช้ไอซีเบอร์ BA5101 ซึ่งมีโครงสร้างภายในดังรูปที่ 3 ไอซีนี้เป็นผลงานจากอาร์โอห์มบริษัทผู้ผลิตสารกึ่งตัวนำอีกแห่งหนึ่งของโลก ไอซี BA5101 นี้มีด้วยกัน 16 ขา อยู่ในตัวถังที่ค่อนข้างแปลกตาที่เรียกว่า Zig-Zag package ขาของมันจะสลับไปมา ภายในตัวไอซี BA5101 จะประกอบด้วยวงจรขยายอีควอไลเซอร์ วงจรขยายสัญญาณบันทึก วงจรขยายสัญญาณไมโครโฟน วงจรควบคุมความแรงของสัญญาณอินพุทอัตโนมัติ วงจรออสซิลเลเตอร์เพื่อใช้ในการไบแอสหัวเทป และวงจรควบคุมการเล่นกลับและบันทึก



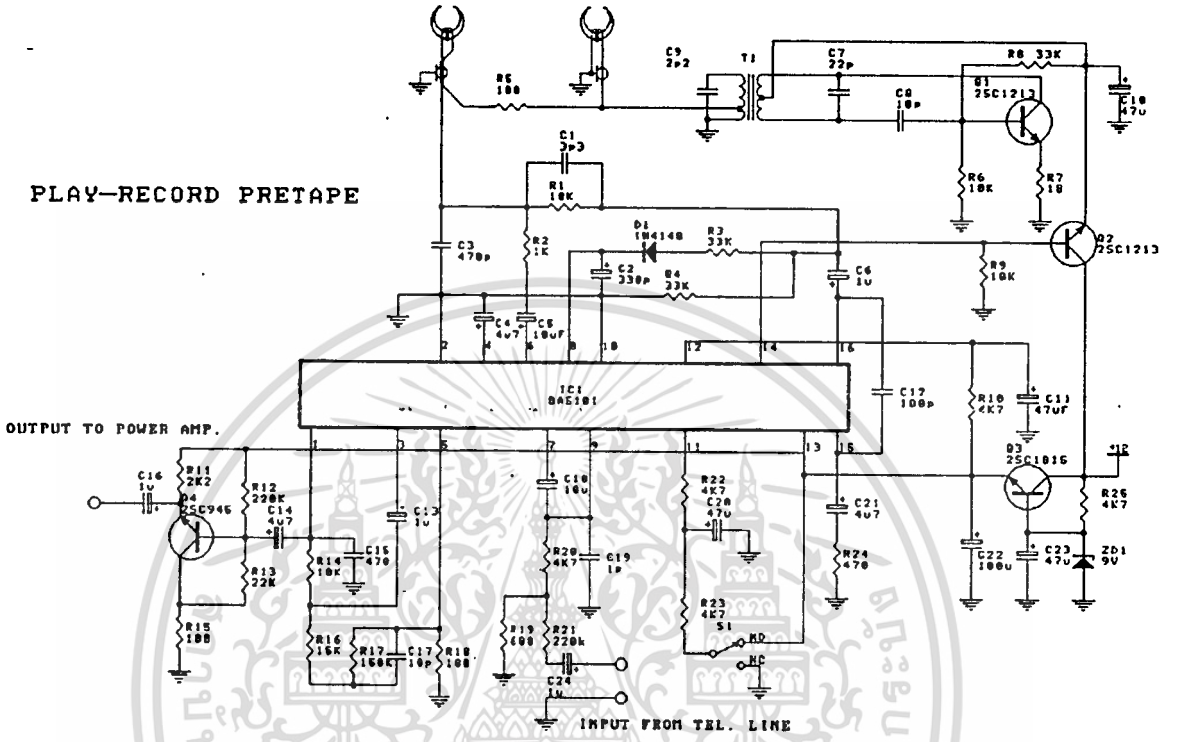
รูปที่ 3.1 โครงสร้างไอซี BA5101

ข้อดีของไอซีตัวนี้คือ นอกจากจะรวมวงจรต่าง ๆไว้ในตัวของมันแล้วในการควบคุมการเล่นกลับและบันทึกใช้การควบคุมแบบดิจิตอลคือ ถ้าขาควบคุม (ขา11) เป็น 0 หรือต่อลงกราวด์ ไอซีจะทำหน้าที่เป็นวงจรขยายสัญญาณเล่นกลับ แต่ถ้าที่ขาควบคุมเป็น 1 หรือต่อไว้ที่ไฟเลี้ยงของไอซี ก็จะทำงานในการบันทึกสัญญาณ แรงดันไฟเลี้ยงของไอซีใช้ประมาณ 6 - 9 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้.

3.2 การทำงานของวงจร

วงจรปรีเทปเล่น-บันทึกเป็นไปตามรูปที่ 3.2 ซึ่งแสดงไว้เพียงข้างเดียววงจรอีกข้างหนึ่งก็เหมือนกัน แต่จะมีอุปกรณ์บางตัวที่สามารถใช้ร่วมกันได้ก็คือ หม้อแปลงออสซิลเลเตอร์ วงจรออสซิลเลเตอร์ และวงจรเรกูเลเตอร์



รูปที่ 3.2 วงจรปรีเทปเล่น-บันทึก

เมื่อต้องการให้วงจรทำงานในการเล่นกลับ สวิตช์ SW1 จะถูกต่อลงกราวด์ (หรืออยู่ในตำแหน่ง piay) IC1 จะรับรู้ว่าขณะนี้ต้องทำการเล่นกลับ สัญญาณจากหัวเทปจะผ่านตัวความต้านทาน R2 คัปปลิ้งเข้าตัว IC1 โดยตัวเก็บประจุ C5 ที่ขา 6 ซึ่งเป็นอินพุทของ IC1

สัญญาณที่ผ่านการขยายแล้วจะถูกส่งออกมาที่ขา 3 คัปปลิ้งผ่านตัวเก็บประจุ C13 มาเข้ายังวงจรขยายสัญญาณเอาท์พุท ซึ่งประกอบด้วย R11, R12, R13, R14, Q4 และ C16 จะได้สัญญาณที่มีความแรงมากพอออกไปทางเอาท์พุทของวงจรเพื่อไปยังโทนคอนโทรลต่อไป

ที่ขา 5 ของไอซี1 ตัวต้านทาน R17 และ R18 ต่อร่วมกับตัวเก็บประจุ C17 เป็นวงจรป้อนกลับอีควอไลเซอร์เพื่อให้ IC1 มีการตอบสนองความถี่ได้ดีขึ้น ตัวเก็บประจุ C4 ที่ต่อไว้ที่ขา 4 ของไอซี1 ทำหน้าที่ บายพาสสัญญาณ ค่าของตัวเก็บประจุถ้าใช้ค่าที่ไม่ถูกต้องอาจจะทำให้การตอบสนองความถี่ต่ำของวงจรเสียไปได้

เมื่อทำการบันทึกสวิทช์ SW1 จะถูกต่อไปที่ไฟเลี้ยงของไอซี สัญญาณอินพุทของวงจร จะสามารถเข้ามาได้ทั้งทางขั้ว AUXและ MIC โดย AUX เป็นขั้วอินพุทที่ได้สัญญาณจากจูนเนอร์ หรือแหล่งกำเนิดสัญญาณอื่น ส่วน MIC เป็นขั้วอินพุทจากไมโครโฟน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุทจะผ่านตัวต้านทาน R20 และ R21 เพื่อลดความแรงลงระดับหนึ่งก่อน แล้วส่งเข้าไปยังขา 7 ซึ่งเป็นขาอินพุทของวงจรขยายสัญญาณไมโครโฟน เอาท์พุทของสัญญาณนี้จะออกมาที่ขา 16 และผ่านตัวต้านทาน R3 ไดโอด D1 ซึ่งทำหน้าที่เปลี่ยนสัญญาณกระแสสลับที่ได้จากวงจรขยายสัญญาณบันทึกในตัวไอซีมาเป็นไฟตรง เพื่อป้อนเข้ายังขา 8 ของไอซี 1 ซึ่งเป็นขาอินพุท ALC เพื่อทำการควบคุมความแรงของสัญญาณอินพุทอย่างอัตโนมัติ

เอาท์พุทของวงจร ALC จะออกมาที่ขา 9 และทำการป้อนกลับสัญญาณเข้าที่ขา 7 เป็นเช่นนี้เรื่อยไปเพื่อทำการควบคุมความแรงของสัญญาณอินพุท เอาท์พุทที่ขา 16 ของไอซี1จะผ่านตัวตานทาน R1 และ C1 ป้อนเข้าที่ขา 6 ของไอซี1 เพื่อทำการขยายสัญญาณให้พอเหมาะ แล้วป้อนเข้าขา 1 ซึ่งเป็นขาอินพุทของวงจรบันทึก

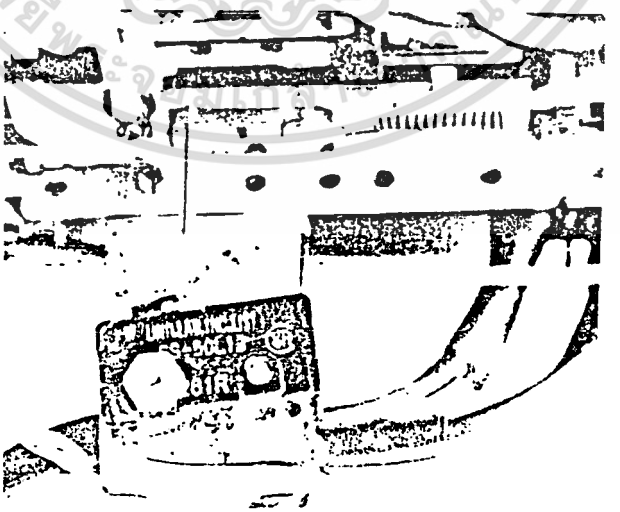
สัญญาณจากขา 16 ที่ผ่านตัวต้านทาน R1 และ C1 ก็จะถูกส่งไปที่หัวเทปเพื่อทำการบันทึกสัญญาณลงบนเส้นเทป ในขณะเดียวกันที่ขา 14 ของไอซี 1 จะเกิดสัญญาณเพื่อไปทำให้ทรานซิสเตอร์ Q2 ทำงาน เกิดแรงดันไปไบแอสทรานซิสเตอร์ Q1 ให้ทำงาน

ทรานซิสเตอร์ Q1 ต่อร่วมกับหม้อแปลง T1 ตัวต้านทาน R6, R7, R8 และตัวเก็บประจุ C7, C8 ทำหน้าที่เป็นวงจรออสซิลเลเตอร์ความถี่สูง เพื่อส่งสัญญาณไปไบแอสหัวเทป แก้ปัญหาฮีสเทอรีรีซีส และยังใช้ส่วนนี้ในการลบเทปด้วยความถี่ของวงจรออสซิเลเตอร์มีค่าประมาณ 45 KHz

ทรานซีสเตอร์ Q3 และซีเนอร์ไดโอด ZD1 ทำหน้าที่เป็นวงจรเรกูเลเตอร์ 9 โวลต์ เพื่อจ่ายเป็นไฟเลี้ยงให้เข้าไอซี1โดยมีตัวเก็บประจุ C21 กรองไฟให้เรียบอีกขั้นหนึ่ง

การติดตั้งไมโครสวิทช์

จากวงจรในรูปที่ 4 จะเป็นสวิทช์ SW1อยู่ ซึ่งทำหน้าที่ควบคุมการทำงานของไอซี 1 อีกทีนั้น ในการสร้างโครงงาน สวิทช์ SW1 จะใช้เป็นไมโครสวิทช์ โดยจะนำไปติดตั้งไว้ในกลไกของเครื่องเล่นเทปในส่วนที่เกี่ยวข้องกับการบันทึก



รูปที่ 3.3 การติดตั้งไมโครสวิตช์เข้ากับกลไกของเครื่องเล่นเทป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกดปุ่มบันทึก (REC) ที่เครื่องเล่นจะมีกลไกตัวหนึ่งเคลื่อนที่ไปกระทบกับไมโครสวิทช์ที่เราต่อตรวจจับไว้ ก็จะทำให้วงจรเปลี่ยนการทำงานเป็นการเล่น การติดตั้งก็จะเป็นดังรูปที่ 3.3 แล้วเดินสาย 3 เส้นจากสวิทช์มายังแผ่นวงจรพิมพ์

การปรับแต่ง

เมื่อสร้างเสร็จติดตั้งเรียบร้อย ก็จะนำมาปรับแต่งก่อนนำไปใช้งาน โดยปกติเมื่อจ่ายไฟให้ทำงานแล้วกดปุ่ม play ก็จะได้ยินเสียงเพลงออกมา แต่อาจไม่ไม่ดีนัก ก็ทำการปรับแต่งที่หัวเทป โดยใช้ไขควงเล็กปรับน็อตสกรูที่หัวเทป ปรับจนได้ยินสัญญาณที่แรงและชัดเจนที่สุด ในภาคเล่นกลับก็เป็นอันเสร็จ

การปรับแต่งในภาคบันทึก กดปุ่ม play และ rec วัดสัญญาณที่หัวลบ (EH) ปรับหม้อแปลง T1 จนได้สัญญาณที่ดีที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. SOFTWARE ควบคุมการทำงาน

4.1 โครงสร้าง PC-SB31

การทำงานของเครื่องควบคุมอุปกรณ์ไฟฟ้าทางโทรศัพท์นอกจากวงจรทาง HARDWARE ที่ทำการตรวจจับสร้างสัญญาณต่าง ๆแล้วยังต้องมีส่วน SOFTWARE เพื่อทำการประมวลผลสัญญาณต่าง ๆแล้วสร้างสัญญาณไปควบคุม HARDWARE ให้ทำงานสัมพันธ์กัน ในส่วนของหน่วยประมวลผล (CPU) ของวงจรนี้เราใช้ตัว MICRO CONTROLLER ในตระกูล 8051 เบอร์ 8031 คือ SINGLE BOARD PC-SB31 ซึ่งสามารถพัฒนาโปรแกรมจากคอมพิวเตอร์ส่วนบุคคลได้โดยตรง (PC) ทำให้สะดวกต่อการพัฒนาโปรแกรม

PORT ต่าง ๆของ PC-SB31

PC-SB31 มี PORT ให้ใช้ได้ 4 PORT คือ PORT A,B,C ของ 8255 และ PORT 1 ของ CPU 8031 การที่จะต้องใช้ PORT ก็เพื่อจะเป็นการพักข้อมูลเพราะความเร็วของ CPU สูงกว่า HARDWARE จึงต้องมีการพักข้อมูลไว้เพื่อกันข้อมูลผิดพลาด

โดยเราจะกำหนดให้ PORT ต่าง ๆมีหน้าที่ดังนี้

PORT 1 ของ 8031 เป็น OUTPUT PORT ทำหน้าที่ส่งสัญญาณเปิด-ปิดอุปกรณ์ ที่เลือก PORT1 เพราะสามารถ SET หรือ CLEAR แต่ละบิทได้โดยตรง

PORT A ของ 8255 เป็น OUTPUT PORT ทำหน้าที่ส่งสัญญาณตอบรับ(เสียง)เพื่อให้ผู้ใช้รู้ว่าข้อมูลถูกต้องหรือไม่ หรือการส่งงานเรียบร้อยหรือยัง

PORT B ของ 8255 เป็น INPUT PORT ทำหน้าที่รับข้อมูลที่ได้จากการแปลงสัญญาณ DTMF ซึ่งเป็นเลขฐานสอง 4 บิท จากวงจรถอดรหัส

PORT C ล่างของ8255 เป็น INPUT PORT ทำหน้าที่รับสัญญาณต่าง ๆ เช่นสัญญาณ STD สัญญาณยกเลิกการทำงาน สัญญาณเริ่มต้นการทำงาน

PORT C บนของ 8255 เป็น OUTPUT PORT หน้าที่ส่งสัญญาณ ON-OFF RELAY เพื่อทำการยกหรือวางหูโทรศัพท์

สัญญาณต่าง ๆที่สำคัญ

สัญญาณ STD ในการรับค่าจากวงจรถอดรหัสนั้น จะมีสัญญาณที่จะแจ้งให้ CPU ทราบว่ามีการกดปุ่มแล้ว เพื่อ CPUจะได้ทำการรับค่าจากวงจรถอดรหัสเข้าไปทำการประมวลผล สัญญาณนี้คือสัญญาณ STD นั้น ซึ่งจะเป็นดังนี้คือ

เมื่อมีการกดปุ่ม STD เท่ากับ 1

เมื่อมีการปล่อยปุ่ม STD เท่ากับ 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณยกเลิกการทำงาน เมื่อวางหูโทรศัพท์จะมีสัญญาณ BUSY TONE ทำให้ HARDWARE ส่งสัญญาณ PULSE ออกมา เพื่อให้ CPU ทราบว่ามีการยกเลิกการทำงานแล้ว

สัญญาณ ON-OFF RELAY จะได้จากการประมวลผล เพื่อใช้ในการยก หรือวางหูโทรศัพท์

สรุปสัญญาณที่ PORT ต่าง ๆ

PORT A.0	ส่งสัญญาณยก-วางหู
PORT A.1	ส่งสัญญาณ reset counter
PORT A.2	ส่งสัญญาณ play วงจรบันทึกเสียงดิจิตอล
PORT A.3	ส่งสัญญาณ record วงจรบันทึกเสียงดิจิตอล
PORT A.4-5	ส่งสัญญาณเลือกแรมที่ทำการบันทึกหรืออัด
PORT A.6	ส่งสัญญาณ control tape ให้เริ่มการบันทึกเทป
PORT A.7	ส่งสัญญาณเสียง เพื่อตอบโต้กับผู้ใช้
PORT B.0-3	รับสัญญาณที่ได้จากวงจรถอดรหัส
PORT B.4-5	รับสัญญาณจากอุปกรณ์เตือนภัย
PORT C.0	รับสัญญาณเริ่มการทำงาน
PORT C.1	รับสัญญาณ STD
PORT C.2	รับสัญญาณพูดเสร็จจากวงจรบันทึกเสียงดิจิตอล
PORT C.3	รับสัญญาณยกเลิกการทำงาน
PORT C.4-7	ส่งสัญญาณเลขหมายโทรออก
PORT 1.0-7	ส่งสัญญาณ ON-OFF SWITCH ของอุปกรณ์ไฟฟ้า

4.2 ขั้นตอนการทำงาน

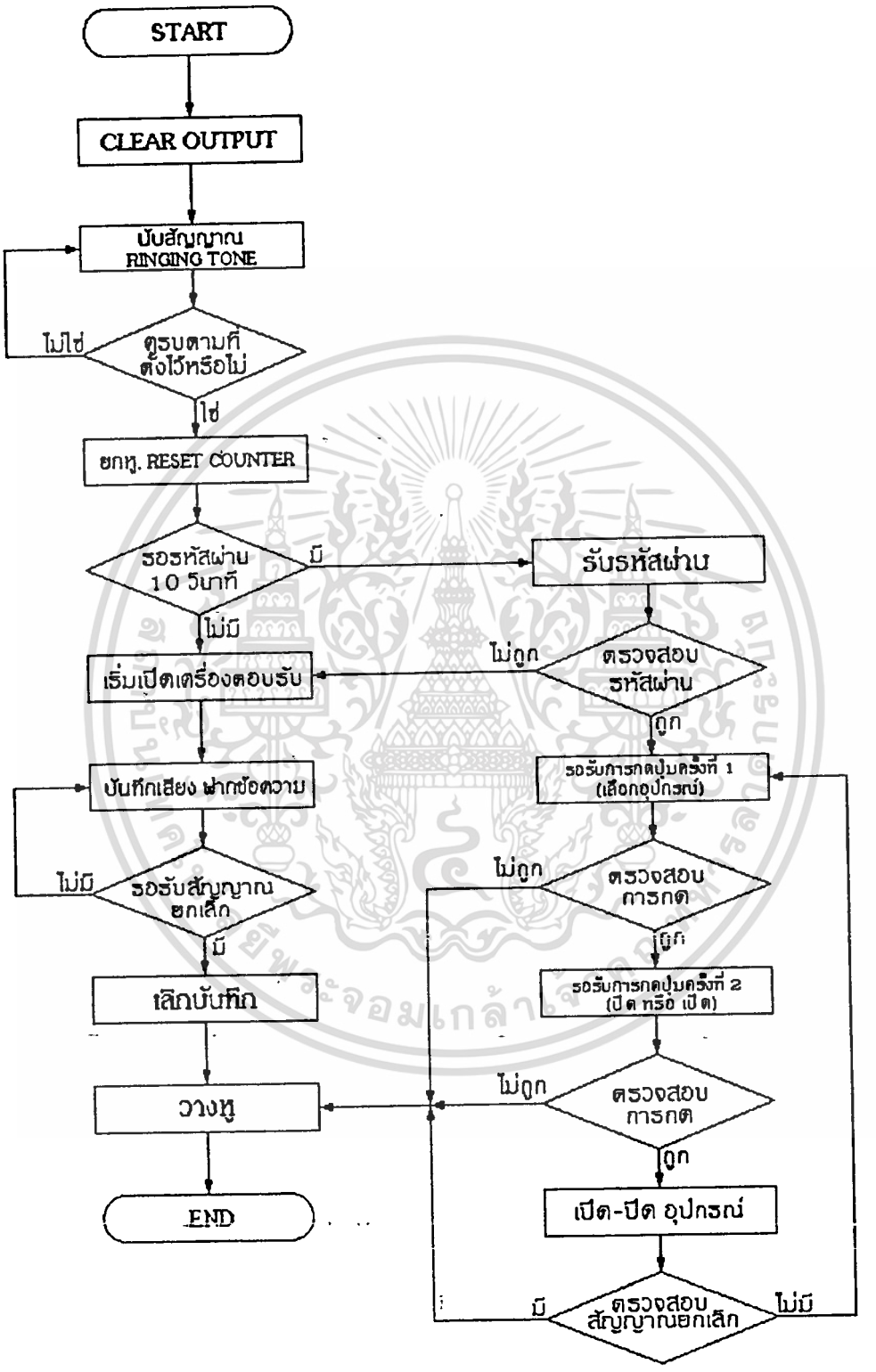
ในการจะสั่งให้อุปกรณ์เปิด-ปิด เราจะใช้รหัสการกดปุ่มดังนี้ คือ

1. กดครั้งที่ 1 เลข 1 ถึงเลข 8 เลือกอุปกรณ์
2. ถ้ากด * หมายถึงปิดอุปกรณ์ทุกตัว
3. กดครั้งที่ 2 เลข 1 หรือ 2 โดย 2 หมายถึงให้ปิดอุปกรณ์ 1 หมายถึงให้เปิดอุปกรณ์

เช่น กด 12 ให้ปิดอุปกรณ์ตัวที่ 1 กด 71 ให้เปิดอุปกรณ์ตัวที่ 7

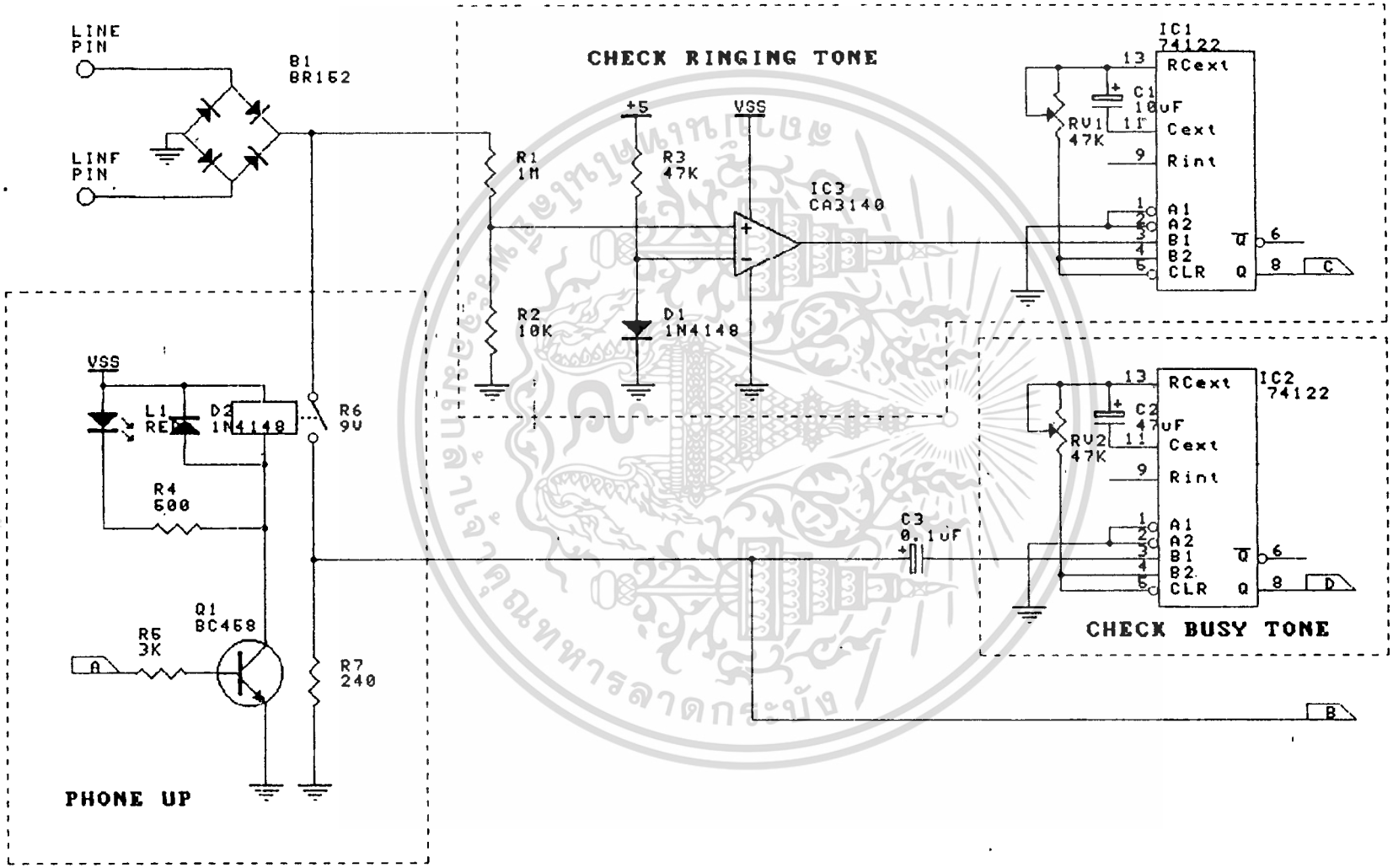
ในการควบคุมอุปกรณ์แต่ละตัวจะสามารถควบคุมได้อย่างเป็นอิสระ ไม่ขึ้นแก่กัน

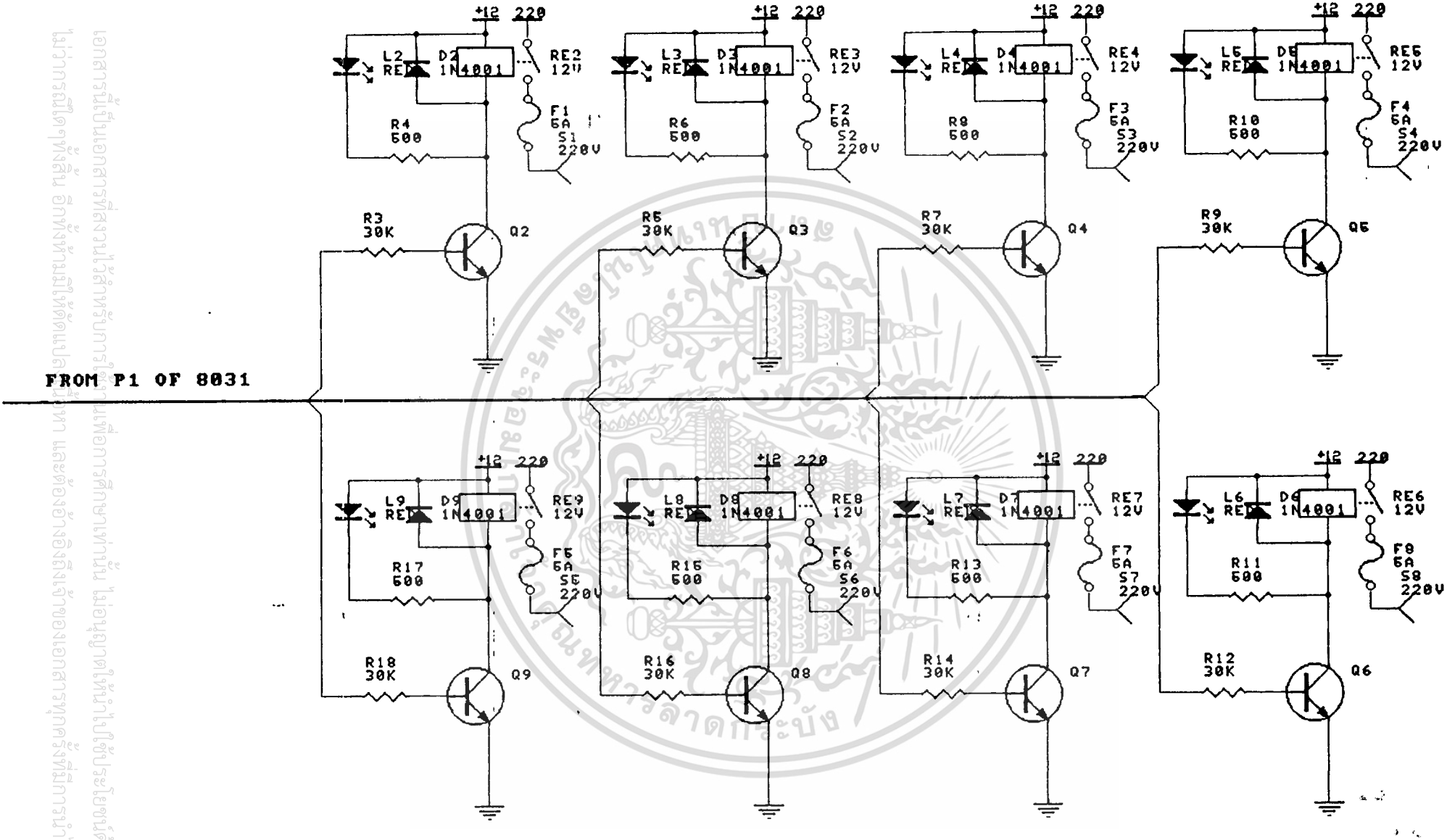
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 ลำดับการทำงานของโปรแกรม

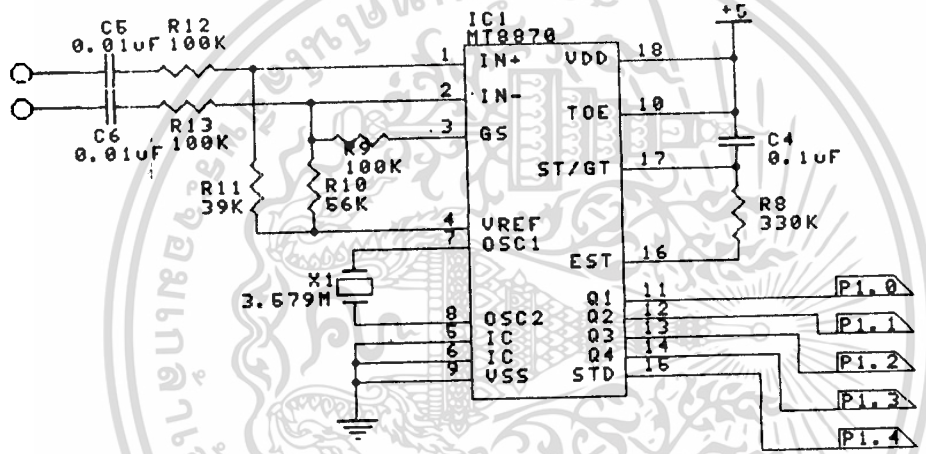
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


LINE PIN
LINF PIN
B1 BR152
CHECK RINGING TONE
+5
VSS
R1 1M
R3 47K
IC3 CA3140
R2 10K
D1 1N4148
IC1 74122
RCext
C1 10uF
RV1 47K
Cext
Rint
A1
A2
B1
B2
CLR
Q
C
IC2 74122
C2 47uF
RV2 47K
C3 0.1uF
D
CHECK BUSY TONE
B
VSS
L1 RED
D2 1N4148
R6 9V
R4 500
Q1 BC458
R5 3K
A
R7 240
PHONE UP



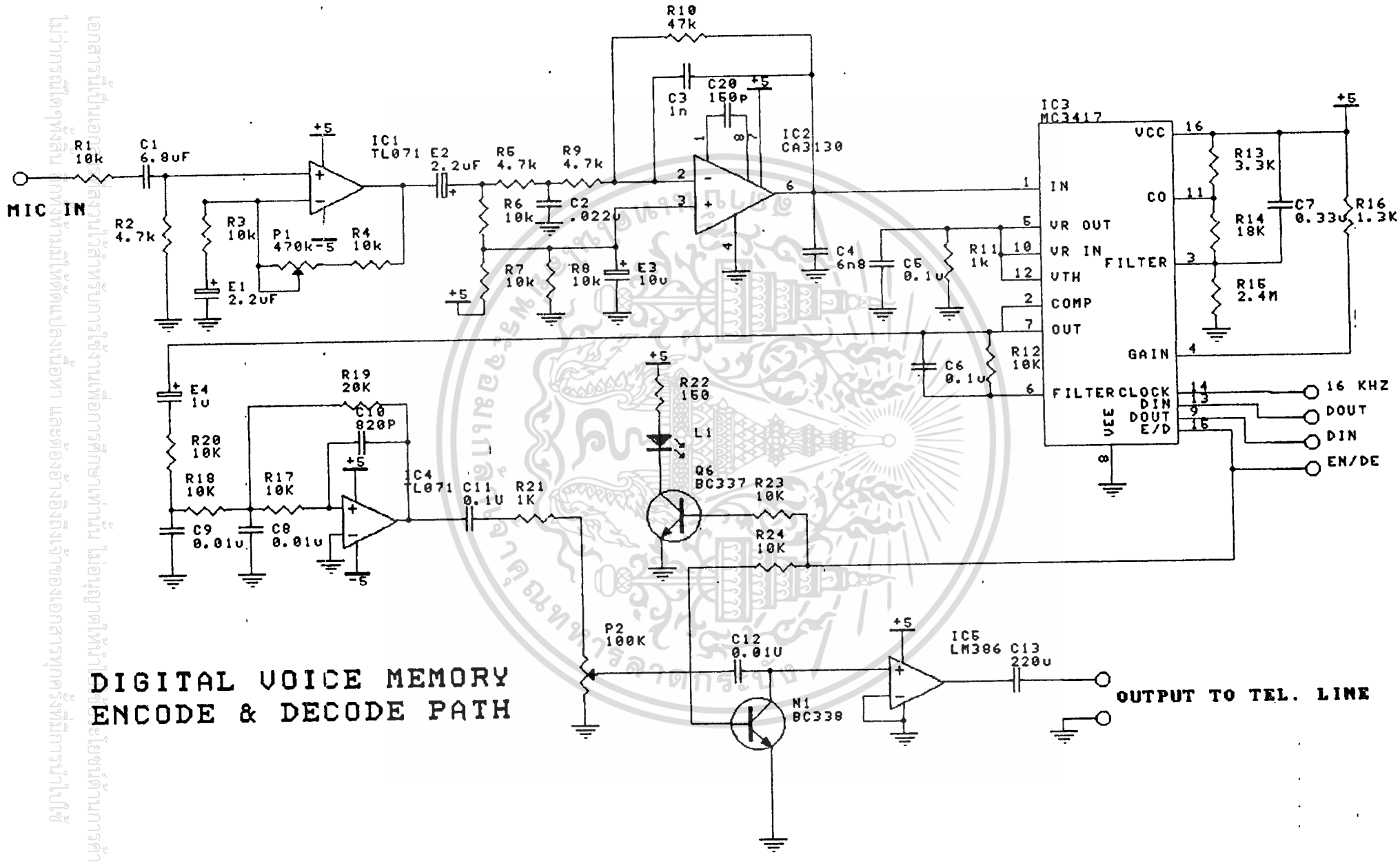
OUTPUT CONTROL RELAY

INPUT FROM TEL. LINE

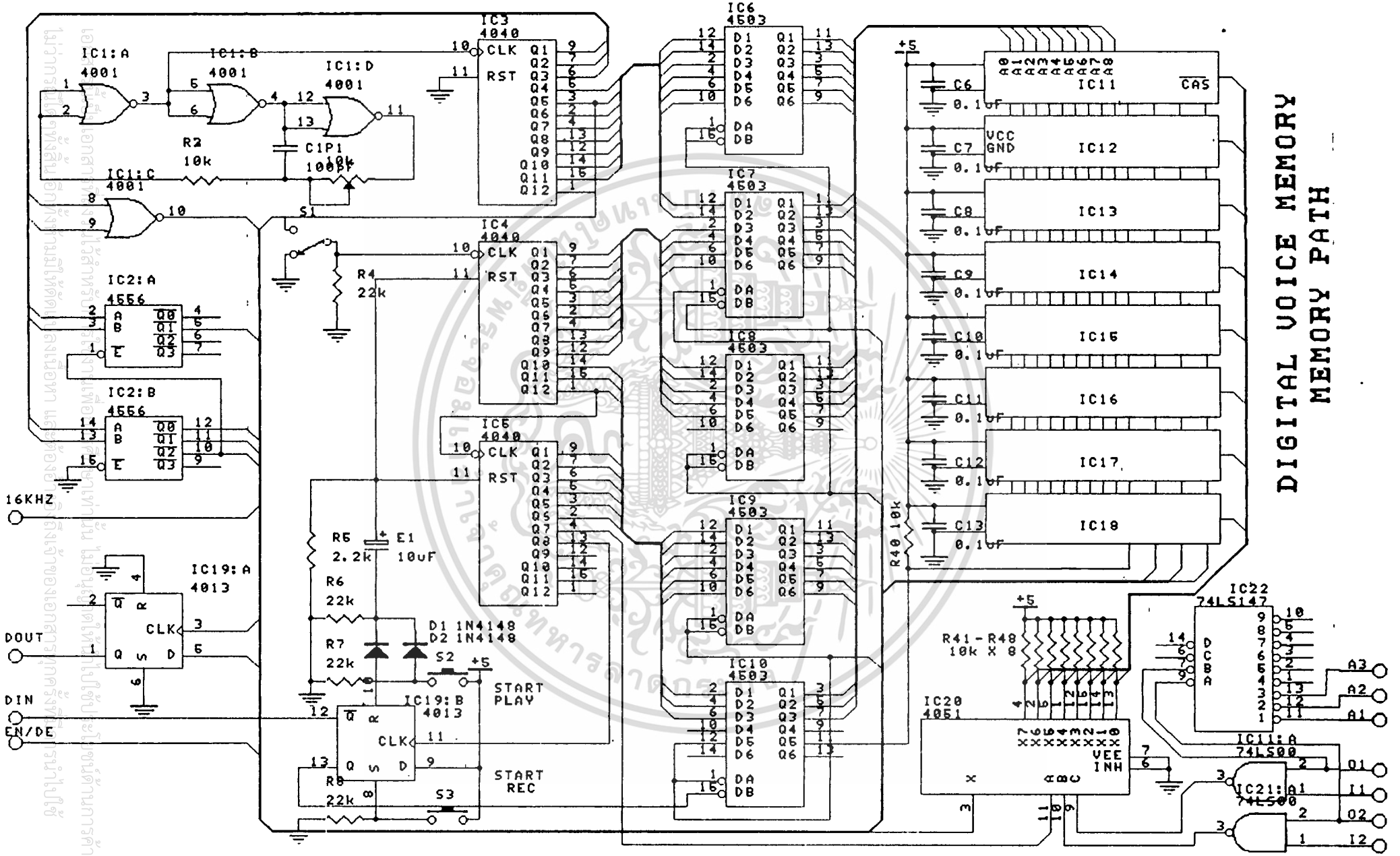


OUTPUT TO B0-B3,C1

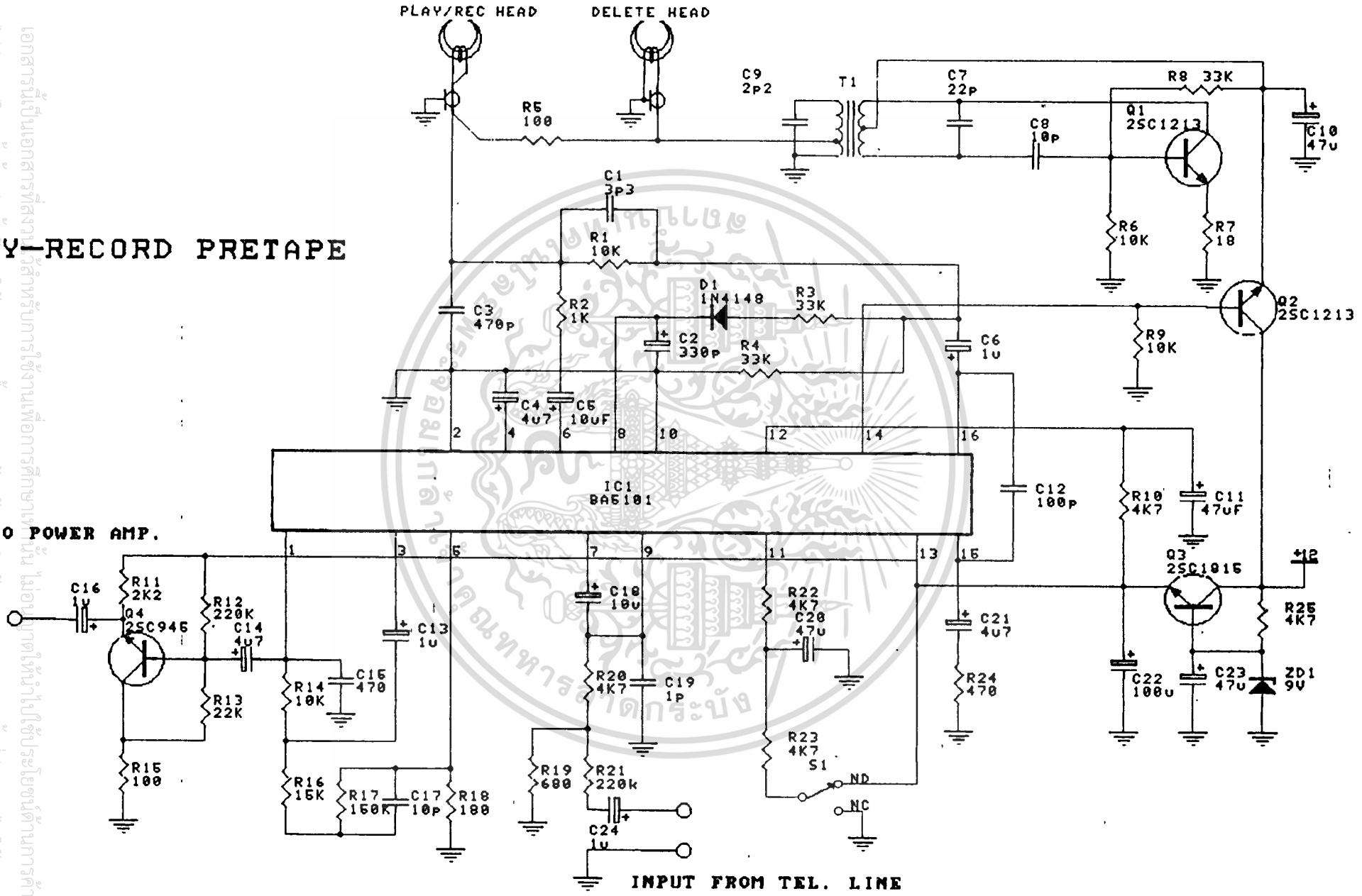
DTMF DECODER



DIGITAL VOICE MEMORY
ENCODE & DECODE PATH


DIGITAL VOICE MEMORY
MEMORY PATH
IC1:A 4001
IC1:B 4001
IC1:C 4001
IC1:D 4001
R2 10k
C1P1 100pF
10k
S1
IC2:A 4556
IC2:B 4556
16KHZ
DOUT
DIN
EN/DE
IC19:A 4013
IC19:B 4013
R4 22k
R5 2.2k
E1 10uF
R6 22k
R7 22k
R8 22k
D1 1N4148
D2 1N4148
S2
S3
START PLAY
START REC
IC3 4040
IC4 4040
IC5 4040
IC6 4503
IC7 4503
IC8 4503
IC9 4503
IC10 4503
+5
C6 0.1uF
C7 0.1uF
C8 0.1uF
C9 0.1uF
C10 0.1uF
C11 0.1uF
C12 0.1uF
C13 0.1uF
VCC GND
IC11 CAS
IC12
IC13
IC14
IC15
IC16
IC17
IC18
R40 10k
R41-R48 10k X 8
IC20 4051
IC22 74LS147
IC11:A 74LS00
IC21:A 74LS00
A3
A2
A1
O1
I1
O2
I2

PLAY—RECORD PRETAPE



TPUT TO POWER AMP.

INPUT FROM TEL. LINE

บทที่ 4 การทดลองและผลการทดลอง

1. การทดลองและผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การทดลองและผลการทดลอง

1. วงจรตรวจจับสัญญาณ ringing tone

เมื่อมีสัญญาณ ringing tone ซึ่งเป็น ac input จะได้ output เป็นสัญญาณ dc ที่เป็นสัญญาณพัลส์ที่มีความกว้างพัลส์ตามที่กำหนดไว้

2.วงจรนับ

เมื่อมีสัญญาณพัลส์เข้ามาสามารถนับสัญญาณพัลส์ได้ 4 ครั้งตามต้องการ

3.วงจรยกหู-วางหู

สามารถทำการยกหู-วางหูได้

4.วงจรบันทึกเสียงdigital

สามารถบันทึกข้อความได้ 4 ข้อความ ที่บิตเรต 16 k สามารถบันทึกข้อความได้นาน 32 วินาที โดยที่สามารถฟังได้รู้เรื่อง ที่บิตเรตต่ำกว่านี้จะสามารถบันทึกเสียงได้นานกว่า แต่คุณภาพเสียงที่ได้จะต่ำลง

5.วงจรเทป

สามารถบันทึกเสียงจากคู่สายโทรศัพท์ได้

6.การทดลองในส่วนของprogram

เมื่อมีสัญญาณ ringing tone เข้ามา 4 ครั้งเครื่องจะสามารถยกหูได้โดยอัตโนมัติ และจะหน่วงเวลารอรหัสผ่านเป็นเวลา 10 วินาที ถ้าไม่มีการกดปุ่มใด ๆ ก็จะตัดไปยังเครื่องตอบรับทันที ถ้ามีการกดรหัสผ่านที่ถูกต้อง ก็เข้าสู่โหมดการควบคุมอุปกรณ์ไฟฟ้า

ตัวอย่างการทำงาน

กด	5 5 5	รหัสผ่านถูกต้อง
กด	1 1	เปิดอุปกรณ์ที่ 1
กด	2 2	ปิดอุปกรณ์ที่ 2
กด	#	ยกเลิกการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 สรุปและวิจารณ์ผลการทดลอง

1. สรุปและวิจารณ์ผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. สรุปและวิจารณ์ผลการทดลอง

จากการทดลองในส่วนของเครื่องควบคุมอุปกรณ์ไฟฟ้า ได้ผลการทดลองเป็นที่น่าพอใจ คือสามารถปิด-เปิดอุปกรณ์ไฟฟ้าได้ตามที่ต้องการ

ในส่วนของเครื่องตอบรับโทรศัพท์อัตโนมัติเราสามารถบันทึกและเล่นกลับเครื่องบันทึกเสียงดิจิตอล โดยคุณภาพเสียงที่ได้ยังไม่ค่อยดีนัก แต่ก็สามารถฟังได้รู้เรื่อง อัตราการ sampling ที่เหมาะสมจะช่วยยกระดับคุณภาพเสียงได้ ในโครงงานเราใช้อัตราการ sampling 16 kHz เสียงที่รับฟังได้จะห้วน เนื่องจากจะต้องมีการจำกัด Bandwidth ของเสียงเพื่อลดอัตราการ sampling และในส่วนของเครื่องบันทึกเทปสามารถทำการบันทึกเสียงที่มีผู้โทรเข้ามาได้ คุณภาพเสียงอยู่ในขั้นที่น่าพอใจ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำโครงงานเรื่อง เครื่องตอบรับและสั่งงานทางโทรศัพท์อัตโนมัติ ตลอดจนการทำปริญญานิพนธ์ฉบับนี้ ได้รับความสำเร็จไปด้วยดีส่วนหนึ่งมาจากการได้รับความอนุเคราะห์ ทั้งทางด้านคำแนะนำ ตำรา เครื่องมือต่างๆ ที่ใช้ในการทดลอง ตลอดจนแก้ไขปัญหาต่างๆที่เกิดขึ้นจากอาจารย์ พลศาสตร์ เลิศประเสริฐ อาจารย์ วัฒนา โพธิ์เจริญ จึงขอกราบขอบพระคุณมา ณ ที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
51 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
PS.ASM

2200                    1         ORG 2200H
                        2
E0E3=                   3         CTRL              EQU  0E0E3H
E0E0=                   4         PORTA             EQU  0E0E0H
E0E1=                   5         PORTB             EQU  0E0E1H
E0E2=                   6         PORTC             EQU  0E0E2H
                        7
                        8         ;**************SET CONTROL PORT*************
2200 90E0E3             9                 MOV  DPTR,#CTRL ;SET 8255
2203 7483              10                 MOV  A,#83H
2205 F0                11                 MOVX @DPTR,A
                       12         ;*****************CLEAR OUTPUT*************
2206 E4                13                 CLR  A     ;CLR OUTPUT
2207 F590              14                 MOV  P1,A
2209 755205            15                 MOV  52H,#05H  ;SET PASSWORD
220C 755305            16                 MOV  53H,#05H
220F 755405            17                 MOV  54H,#05H
2212 755510            18                 MOV  55H,#10H  ;SET TEL NUM1
2215 755610            19                 MOV  56H,#10H
2218 755780            20                 MOV  57H,#80H
221B 90E0E2            21                 MOV  DPTR,#PORTC
221E 74A0              22                 MOV A,#0A0H
2220 F0                23                 MOVX @DPTR,A
2221 90E0E0            24         RESCNT1: MOV  DPTR,#PORTA
2224 7402              25                 MOV  A,#02H     ;RESET COUNTER
2226 F0                26                 MOVX @DPTR,A
2227 122583            27                 LCALL DLY
222A 90E0E0            28                 MOV  DPTR,#PORTA
222D 7400              29                 MOV  A,#00H
222F F0                30                 MOVX @DPTR,A
2230 122583            31                 LCALL DLY
                       32
                       33         ;*******************MAIN********************
2233 90E0E2            34         INPUT:   MOV  DPTR,#PORTC
2236 E0                35                  MOVX A,@DPTR
2237 20E10F            36         KEY:     JB   ACC.1,TOMODE ;CHECK KEY CONTRO
223A 20E012            37         RING:    JB   ACC.0,RESCNT2 ;  CHECK RINGING
223D 90E0E1            38         DANGER:  MOV  DPTR,#PORTB
2240 E0                39                  MOVX A,@DPTR
2241 5430              40                  ANL  A,#30H
2243 B40006            41                  CJNE A,#00H,DIAL1
2246 022233            42                  LJMP INPUT
                       43         ;***************END MAIN*********************
                       44
2249 022464            45         TOMODE:  LJMP  CHMODE          ;READY FOR KEY
                       46
224C 022548            47         DIAL1:  LJMP   CALL
                       48
                       49         ;*********CLEAR COUNTER*****************
224F 90E0E0            50         RESCNT2: MOV  DPTR,#PORTA
2252 7402              51                  MOV  A,#02H    ;RESET COUNTER
2254 F0                52                  MOVX @DPTR,A
2255 122583            53                  LCALL DLY
2258 90E0E0            54                  MOV  DPTR,#PORTA
225B E4                55                  CLR  A
225C F0                56                  MOVX @DPTR,A
225D 122583            57                  LCALL DLY
                       58         ;*********TELEPHONE CONTROL*************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
51 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
PS.ASM

2260 90E0E0       59        ONHOOK:  MOV   DPTR,#PORTA  ;ONHOOK
2263 7401         60                 MOV A,#01H
2265 F0           61                 MOVX  @DPTR,A
                  62
                  63        ;**********DECIDE TO ANSWER MODE*********
2266 78FF         64        START:   MOV   R0,#0FFH      ;SOUND START
2268 75F001       65                 MOV   B,#01H
226B 90E0E0       66        TITLE:   MOV   DPTR,#PORTA
226E 7481         67                 MOV   A,#81H
2270 F0           68                 MOVX  @DPTR,A
2271 12258C       69                 LCALL DELAY
2274 7401         70                 MOV   A,#01H
2276 F0           71                 MOVX  @DPTR,A
2277 12258C       72                 LCALL DELAY
227A D8EF         73                 DJNZ  R0,TITLE       ;END SOUND
                  74
227C 90E0E2       75        DECIDE:  MOV   DPTR,#PORTC
227F E0           76                 MOVX  A,@DPTR
2280 7908         77        LONG:    MOV   R1,#08H   ;WAIT FOR COMMAND KE
2282 7A00         78        LONG1:   MOV   R2,#00H
2284 7B00         79        LONG2:   MOV   R3,#00H
2286 E0           80        LONG3:   MOVX  A,@DPTR
2287 20E109       81                 JB    ACC.1,PASS1
228A DBFA         82                 DJNZ  R3,LONG3
228C DAF6         83                 DJNZ  R2,LONG2
228E D9F2         84                 DJNZ  R1,LONG1
2290 022416       85                 LJMP  SPEAK    ;NO STD GO T0 ANSWERI
                  86
                  87        ;***********TO CONTROL MODE*****************
2293 90E0E2       88        PASS1:   MOV   DPTR,#PORTC  ;CHECK PASSWORD
2296 E0           89                 MOVX  A,@DPTR
2297 30E1F9       90                 JNB   ACC.1,PASS1  ;CHECK STD1
229A 90E0E1       91                 MOV   DPTR,#PORTB
229D E0           92                 MOVX  A,@DPTR
229E 540F         93                 ANL   A,#0FH
22A0 B5520A       94                 CJNE  A,52H,WRONG1 ;CHECK PASSWORD1
22A3 90E0E2       95        PASS10:  MOV   DPTR,#PORTC
22A6 E0           96                 MOVX  A,@DPTR
22A7 20E1F9       97                 JB   ACC.1,PASS10  ;CHECK STD0
22AA 0222B0       98                 LJMP  PASS2
22AD 022416       99        WRONG1:  LJMP  SPEAK
22B0 90E0E2      100        PASS2:   MOV   DPTR,#PORTC
22B3 E0          101                 MOVX  A,@DPTR
22B4 30E1F9      102                 JNB   ACC.1,PASS2 ;CHECK STD1
22B7 90E0E1      103                 MOV   DPTR,#PORTB
22BA E0          104                 MOVX  A,@DPTR
22BB 540F        105                 ANL   A,#0FH
22BD B5530A      106                 CJNE  A,53H,WRONG2
22C0 90E0E2      107        PASS20:  MOV   DPTR,#PORTC
22C3 E0          108                 MOVX  A,@DPTR
22C4 20E1F9      109                 JB   ACC.1,PASS20 ;CHECK STD0
22C7 0222CD      110                 LJMP  PASS3
22CA 022416      111        WRONG2:  LJMP  SPEAK
22CD 90E0E2      112        PASS3:   MOV   DPTR,#PORTC
22D0 E0          113                 MOVX  A,@DPTR
22D1 30E1F9      114                 JNB   ACC.1,PASS3  ;CHECK STD1
22D4 90E0E1      115                 MOV   DPTR,#PORTB
22D7 E0          116                 MOVX  A,@DPTR
22D8 540F        117                 ANL   A,#0FH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

```
51 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
RS.ASM

22DA B5540A      118                  CJNE  A,54H,WRONG3
22DD 90E0E2      119        PASS30:   MOV   DPTR,#PORTC
22E0 E0          120                  MOVX  A,@DPTR
22E1 20E1F9      121                  JB    ACC.1,PASS30 ;CHECK STD0
22E4 0222EA      122                  LJMP  NUM1
22E7 022416      123        WRONG3:   LJMP  SPEAK
22EA 90E0E2      124        NUM1:     MOV   DPTR,#PORTC
22ED E0          125                  MOVX  A,@DPTR
22EE 30E1F9      126                  JNB   ACC.1,NUM1
22F1 90E0E1      127                  MOV   DPTR,#PORTB
22F4 E0          128                  MOVX  A,@DPTR
22F5 540F        129                  ANL   A,#0FH
22F7 B40003      130        CHO:      CJNE  A,#00H,CH9
22FA 022348      131                  LJMP  SORRY
22FD B40903      132        CH9:      CJNE  A,#09H,CHX
2300 022348      133                  LJMP  SORRY
2303 B40B03      134        CHX:      CJNE  A,#0BH,CHS
2306 022342      135                  LJMP  RES
2309 B40C03      136        CHS:      CJNE  A,#0CH,KEEP
230C 022348      137                  LJMP  SORRY
230F F550        138        KEEP:     MOV   50H,A
2311 90E0E2      139        STD0:     MOV   DPTR,#PORTC
2314 E0          140                  MOVX  A,@DPTR
2315 20E1F9      141                  JB    ACC.1,STD0
2318 02231E      142                  LJMP  NUM2
231B 022348      143        QUIT:     LJMP  SORRY
231E 90E0E2      144        NUM2:     MOV   DPTR,#PORTC
2321 E0          145                  MOVX  A,@DPTR
2322 30E1F9      146                  JNB   ACC.1,NUM2
2325 90E0E1      147                  MOV   DPTR,#PORTB
2328 E0          148                  MOVX  A,@DPTR
2329 540F        149                  ANL   A,#0FH
232B B40205      150        CH2:      CJNE  A,#02H,CH1
232E F551        151                  MOV   51H,A
2330 022338      152                  LJMP  STD02
2333 B40112      153        CH1:      CJNE  A,#01H,SORRY
2336 F551        154                  MOV   51H,A
2338 90E0E2      155        STD02:    MOV   DPTR,#PORTC
233B E0          156                  MOVX  A, @DPTR
233C 20E1F9      157                  JB    ACC.1, STD02
233F 022364      158                  LJMP  OUT
2342 E4          159        RES:      CLR   A
2343 F590        160                  MOV   P1,A
2345 0222EA      161                  LJMP  NUM1
                 162
2348 78FF        163        SORRY:    MOV   R0,#0FFH
234A 75F001      164                  MOV   B,#01H
234D 90E0E0      165        SOUND:    MOV   DPTR,#PORTA
2350 7481        166                  MOV   A,#81H
2352 F0          167                  MOVX  @DPTR,A
2353 12258C      168                  LCALL DELAY
2356 7401        169                  MOV   A,#01H
2358 F0          170                  MOVX  @DPTR,A
2359 12258C      171                  LCALL DELAY
235C D8EF        172                  DJNZ  R0,SOUND      ;END SOUND
235E 7400        173                  MOV   A,#00H
2360 F0          174                  MOVX  @DPTR,A
2361 022233      175                  LJMP  INPUT
2364 E551        176        OUT:      MOV  A,51H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
2366 B40242      177                CJNE A,#02H,ON
2369 02236C      178                LJMP OFF
                 179
236C E550        180        OFF:    MOV  A,50H
236E B40105      181        OFF0:   CJNE A,#01H,OFF1
2371 C290        182                CLR  P1.0
2373 0223F0      183                LJMP OK
2376 B40205      184        OFF1:   CJNE A,#02H,OFF2
2379 C291        185                CLR  P1.1
237B 0223F0      186                LJMP OK
237E B40305      187        OFF2:   CJNE A,#03H,OFF3
2381 C292        188                CLR  P1.2
2383 0223F0      189                LJMP OK
2386 B40405      190        OFF3:   CJNE A,#04H,OFF4
2389 C293        191                CLR  P1.3
238B 0223F0      192                LJMP OK
238E B40505      193        OFF4:   CJNE A,#05H,OFF5
2391 C294        194                CLR  P1.4
2393 0223F0      195                LJMP OK
2396 B40605      196        OFF5:   CJNE A,#06H,OFF6
2399 C295        197                CLR  P1.5
239B 0223F0      198                LJMP OK
239E B40705      199        OFF6:   CJNE A,#07H,OFF7
23A1 C296        200                CLR  P1.6
23A3 0223F0      201                LJMP OK
23A6 C297        202        OFF7:   CLR  P1.7
23A8 0223F0      203                LJMP OK
23AB E550        204        ON:     MOV  A,50H
23AD B40105      205        ON0:    CJNE A,#01H,ON1
23B0 D290        206                SETB P1.0
23B2 0223F0      207                LJMP OK
23B5 B40205      208        ON1:    CJNE A,#02H,ON2
23B8 D291        209                SETB P1.1
23BA 0223F0      210                LJMP OK
23BD B40305      211        ON2:    CJNE A,#03H,ON3
23C0 D292        212                SETB P1.2
23C2 0223F0      213                LJMP OK
23C5 B40405      214        ON3:    CJNE A,#04H,ON4
23C8 D293        215                SETB P1.3
23CA 0223F0      216                LJMP OK
23CD B40505      217        ON4:    CJNE A,#05H,ON5
23D0 D294        218                SETB P1.4
23D2 0223F0      219                LJMP OK
23D5 B40605      220        ON5:    CJNE A,#06H,ON6
23D8 D295        221                SETB P1.5
23DA 0223F0      222                LJMP OK
23DD B40705      223        ON6:    CJNE A,#07H,ON7
23E0 D296        224                SETB P1.6
23E2 0223F0      225                LJMP OK
23E5 D297        226        ON7:    SETB P1.7
23E7 0223F0      227                LJMP OK
23EA 90E0E3      228                MOV  DPTR,#CTRL
23ED 7483        229                MOV  A,#83H
23EF F0          230                MOVX @DPTR,A
23F0 75F080      231        OK:     MOV  B,#080H
23F3 7A0F        232                MOV  R2,#0FH
23F5 C0F0        233        L2:     PUSH B
                 234
23F7 90E0E0      235        L1:     MOV  DPTR,#PORTA
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
51 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
RS.ASM

23FA 7481       236                 MOV  A,#81H
23FC F0         237                 MOVX @DPTR,A
23FD 12257A     238                 LCALL SOUNDY
2400 7401       239                 MOV  A,#01H
2402 F0         240                 MOVX @DPTR,A
2403 12257A     241                 LCALL SOUNDY
2406 D5F0EE     242                 DJNZ B,L1
2409 D0F0       243                 POP  B
240B 15F0       244                 DEC  B
240D 15F0       245                 DEC  B
240F 15F0       246                 DEC  B
2411 DAE2       247                 DJNZ R2,L2
2413 0222EA     248                 LJMP NUM1
                249         ;***************ANSWER MACHINE READY*********
2416 90E0E0     250         SPEAK:  MOV  DPTR,#PORTA
2419 7435       251                 MOV  A,#35H
241B F0         252                 MOVX @DPTR,A
241C 7930       253                 MOV R1,#30H         ;WAIT FOR 15 SEC
241E 1225A2     254                 LCALL COUNT1
2421 90E0E0     255                 MOV DPTR,#PORTA
2424 7401       256                 MOV A,#01H
2426 F0         257                 MOVX @DPTR,A
2427 78FF       258         BEEP:   MOV   R0,#0FFH      ;SOUND TITLE
2429 75F001     259                 MOV   B,#01H
242C 90E0E0     260         BEEP1:  MOV   DPTR,#PORTA
242F 7481       261                 MOV   A,#81H
2431 F0         262                 MOVX  @DPTR,A
2432 12258C     263                 LCALL DELAY
2435 7401       264                 MOV   A,#01H
2437 F0         265                 MOVX  @DPTR,A
2438 12258C     266                 LCALL DELAY
243B D8EF       267                 DJNZ  R0,BEEP1      ;END SOUND
243D 7441       268         TAPE:   MOV   A,#41H
243F F0         269                 MOVX  @DPTR,A
2440 7960       270                 MOV   R1,#60H   ;WAIT FOR 15 SEC
2442 1225A2     271                 LCALL COUNT1
2445 78FF       272         BP:     MOV   R0,#0FFH      ;SOUND TITLE
2447 75F001     273                 MOV   B,#01H
244A 90E0E0     274         BP1:    MOV   DPTR,#PORTA
244D 74C1       275                 MOV   A,#0C1H
244F F0         276                 MOVX  @DPTR,A
2450 12258C     277                 LCALL DELAY
2453 7441       278                 MOV   A,#41H
2455 F0         279                 MOVX  @DPTR,A
2456 12258C     280                 LCALL DELAY
2459 D8EF       281                 DJNZ  R0,BP1        ;END SOUND
                282
245B 90E0E0     283         ENDTAPE: MOV DPTR,#PORTA
245E 7400       284                 MOV  A,#00H
2460 F0         285                 MOVX @DPTR,A
2461 022233     286         NONE:   LJMP INPUT
                287
                288         ;************KEY PRESS MODE************
2464 90E0E1     289         CHMODE:  MOV  DPTR,#PORTB
2467 E0         290                  MOVX  A,@DPTR
2468 540F       291                  ANL  A,#0FH
246A B40AF4     292                  CJNE A,#0AH,NONE    ;CHECK FOR RIGHT
246D 90E0E2     293         CHMODE0: MOV  DPTR,#PORTC
2470 E0         294                  MOVX A,@DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
51 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
PS.ASM

  2471 20E1F9      295                    JB  ACC.1, CHMODE0
  2474 90E0E2      296          MODENUM:  MOV DPTR,#PORTC
  2477 E0          297                    MOVX A,@DPTR
  2478 30E1F9      298                    JNB  ACC.1,MODENUM
  247B 90E0E1      299                    MOV DPTR,#PORTB
  247E E0          300                    MOVX A,@DPTR
  247F 540F        301                    ANL A,#0FH
                   302          ;*********SELECT MODE*****************
  2481 B40103      303          MODE1:    CJNE A,#01H,MODE2
  2484 0224A8      304                    LJMP GET1
  2487 B40203      305          MODE2:    CJNE A,#02H,MODE3
  248A 0224EC      306                    LJMP REC0
  248D B40303      307          MODE3:    CJNE A,#03H,MODE4
  2490 022503      308                    LJMP REC1
  2493 B40403      309          MODE4:    CJNE A,#04H,MODE5
  2496 02251A      310                    LJMP REC2
  2499 B40503      311          MODE5:    CJNE A,#05H,MODE6
  249C 022531      312                    LJMP REC3
  249F B40603      313          MODE6:    CJNE A,#06H,INVALID
  24A2 0225B9      314                    LJMP RETURN
  24A5 022233      315          INVALID:  LJMP INPUT
                   316          ;***************MODE1 READY**************
  24A8 90E0E2      317          GET1:     MOV DPTR,#PORTC
  24AB E0          318                    MOVX A,@DPTR
  24AC 30E1F9      319                    JNB ACC.1,GET1
  24AF 90E0E1      320                    MOV DPTR,#PORTB
  24B2 E0          321                    MOVX A,@DPTR
  24B3 540F        322                    ANL A,#0FH
  24B5 F552        323                    MOV 52H,A ;KEEP PASS1
  24B7 90E0E2      324          GET10:    MOV DPTR,#PORTC
  24BA E0          325                    MOVX A,@DPTR
  24BB 30E1F9      326                    JNB ACC.1,GET10
                   327
  24BE 90E0E2      328          GET2:     MOV DPTR,#PORTC
  24C1 E0          329                    MOVX A,@DPTR
  24C2 30E1F9      330                    JNB ACC.1,GET2
  24C5 90E0E1      331                    MOV DPTR,#PORTB
  24C8 540F        332                    ANL A,#0FH
  24CA F553        333                    MOV 53H,A ;KEEP PASS2
  24CC 90E0E2      334          GET20:    MOV DPTR,#PORTC
  24CF E0          335                    MOVX A,@DPTR
  24D0 30E1F9      336                    JNB ACC.1,GET20
  24D3 90E0E2      337          GET3:     MOV DPTR,#PORTC
  24D6 E0          338                    MOVX A,@DPTR
  24D7 30E1F9      339                    JNB ACC.1,GET3
  24DA 90E0E1      340                    MOV DPTR,#PORTB
  24DD E0          341                    MOVX A,@DPTR
  24DE 540F        342                    ANL A,#0FH
  24E0 F554        343                    MOV 54H,A ;KEEP PASS3
  24E2 90E0E2      344          GET30:    MOV DPTR,#PORTC
  24E5 E0          345                    MOVX A,@DPTR
  24E6 30E1EA      346                    JNB ACC.1,GET3
  24E9 022233      347                    LJMP INPUT
                   348          ;***********MODE2 READY***************
  24EC 90E0E0      349          REC0:     MOV  DPTR,#PORTA
  24EF 7408        350                    MOV  A,#08H
  24F1 F0          351                    MOVX @DPTR,A
  24F2 7930        352                    MOV  R1,#30H
  24F4 1225A2      353                    LCALL COUNT1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

```
24F7 7404       354                 MOV A,#04H
24F9 F0         355                 MOVX @DPTR,A
24FA 122583     356                 LCALL DLY
24FD 7400       357                 MOV  A,#00H
24FF F0         358                 MOVX @DPTR,A
2500 022233     359                 LJMP INPUT
                360
                361         ;************MODE3 READY************
2503 90E0E0     362         REC1:   MOV  DPTR,#PORTA
2506 7418       363                 MOV  A,#18H
2508 F0         364                 MOVX @DPTR,A
2509 7930       365                 MOV  R1,#30H
250B 1225A2     366                 LCALL COUNT1
250E 7414       367                 MOV A,#14H
2510 F0         368                 MOVX @DPTR,A
2511 122583     369                 LCALL DLY
2514 7400       370                 MOV  A,#00H
2516 F0         371                 MOVX @DPTR,A
2517 022233     372                 LJMP INPUT
                373
                374         ;*********MODE4 READY*******
251A 90E0E0     375         REC2:   MOV DPTR,#PORTA
251D 7428       376                 MOV A,#28H
251F F0         377                 MOVX @DPTR,A
2520 7930       378                 MOV R1,#30H
2522 1225A2     379                 LCALL COUNT1
2525 7424       380                 MOV A,#24H
2527 F0         381                 MOVX @DPTR,A
2528 122583     382                 LCALL DLY
252B 7400       383                 MOV A,#00H
252D F0         384                 MOVX @DPTR,A
252E 022233     385                 LJMP INPUT
                386         ;********MODE5 READY*********
2531 90E0E0     387         REC3:   MOV DPTR,#PORTA
2534 7438       388                 MOV  A,#38H             ;START RECORD
2536 F0         389                 MOVX @DPTR,A
2537 7930       390                 MOV R1,#30H
2539 1225A2     391                 LCALL COUNT1
253C 7434       392                 MOV A,#34H
253E F0         393                 MOVX @DPTR,A
253F 122583     394                 LCALL DLY
2542 7400       395                 MOV  A,#00H
2544 F0         396                 MOVX @DPTR,A
2545 022233     397                 LJMP INPUT
                398         ;*************CALL*************
2548 90E0E0     399         CALL:   MOV DPTR,#PORTA
254B 7401       400                 MOV A,#01H
254D F0         401                 MOVX @DPTR,A
254E 122595     402                 LCALL PAUSE
                403
2551 90E0E2     404         PRESS:  MOV DPTR,#PORTC
2554 E555       405                 MOV A,55H
2556 F0         406                 MOVX @DPTR,A
2557 122595     407                 LCALL PAUSE
255A 74A0       408                 MOV A,#0A0H
255C F0         409                 MOVX @DPTR,A
255D 122595     410                 LCALL PAUSE
2560 E556       411                 MOV A,56H
2562 F0         412                 MOVX @DPTR,A
```

เอกสารนี้มีไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

```
51 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
PS.ASM

2563 122595      413                LCALL PAUSE
2566 74A0        414                MOV A,#0A0H
2568 122595      415                LCALL PAUSE
256B E557        416                MOV A,57H
256D F0          417                MOVX @DPTR,A
256E 122595      418                LCALL PAUSE
2571 74A0        419                MOV A,#0A0H
2573 F0          420                MOVX @DPTR,A
2574 122595      421                LCALL PAUSE
2577 022233      422                LJMP INPUT
                 423
                 424
                 425
257A C0F0        426       SOUNDY:  PUSH B
257C 00          427       SOUNDYS: NOP
257D D5F0FC      428                DJNZ B,SOUNDYS
2580 D0F0        429                POP  B
2582 22          430                RET
                 431
2583 7A00        432       DLY:     MOV  R2,#00H
2585 7B00        433       DLY1:    MOV  R3,#00H
2587 DBFE        434       DLY2:    DJNZ R3,DLY2
2589 DAFA        435                DJNZ R2,DLY1
258B 22          436                RET
                 437
258C AAF0        438       DELAY:   MOV  R2,B
258E 7B00        439       DELAY1:  MOV  R3,#00H
2590 DBFE        440       DELAY2:  DJNZ R3,DELAY2
2592 DAFA        441                DJNZ R2,DELAY1
2594 22          442                RET
                 443
2595 7900        444       PAUSE:   MOV R1,#00H
2597 7A00        445       PAUSE1:  MOV R2,#00H
2599 7B00        446       PAUSE2:  MOV R3,#00H
259B DBFE        447       PAUSE3:  DJNZ R3,PAUSE3
259D DAFA        448                DJNZ R2,PAUSE2
259F D9F6        449                DJNZ R1,PAUSE1
25A1 22          450                RET
                 451
25A2 7A00        452       COUNT1:  MOV   R2,#00H
25A4 7B00        453       COUNT2:  MOV   R3,#00H
25A6 00          454       COUNT3:  NOP
25A7 00          455                NOP
25A8 00          456                NOP
25A9 DBFB        457                DJNZ  R3,COUNT3
25AB DAF7        458                DJNZ  R2,COUNT2
25AD D9F3        459                DJNZ  R1,COUNT1
25AF 22          460                RET
                 461
25B0 90E0E0      462       OFFHOOK: MOV DPTR,#PORTA
25B3 7400        463                MOV A,#00H
25B5 F0          464                MOVX @DPTR,A
25B6 022233      465                LJMP INPUT
                 466
25B9 022233      467       RETURN:  LJMP INPUT
                 468
0000=            469       END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      beep = 2427     258
     beep1 = 242C     260   267
        bp = 2445     272
       bp1 = 244A     274   281
      call = 2548     399    47
       ch1 = 2333     153   150
       ch2 = 232B     150
       ch9 = 22FD     132   130
    chmode = 2464     289    45
   chmode0 = 246D     293   295
       cho = 22F7     130
       chs = 2309     136   134
       chx = 2303     134   132
    count1 = 25A2     452   254   271   353   366   379   391   459
    count2 = 25A4     453   458
    count3 = 25A6     454   457
      ctrl = E0E3       3     9   228
    danger = 223D      38
    decide = 227C      75
     delay = 258C     438    69    72   168   171   263   266   277   2
    delay1 = 258E     439   441
    delay2 = 2590     440
     dial1 = 224C      47    41
       dly = 2583     432    27    31    53    57   356   369   382   3
      dly1 = 2585     433   435
      dly2 = 2587     434
   endtape = 245B     283
      get1 = 24A8     317   304   319
     get10 = 24B7     324   326
      get2 = 24BE     328   330
     get20 = 24CC     334   336
      get3 = 24D3     337   339   346
     get30 = 24E2     344
     input = 2233      34    42   175   286   315   347   359   372   3
   invalid = 24A5     315   313
      keep = 230F     138   136
       key = 2237      36
        l1 = 23F7     235   242
        l2 = 23F5     233   247
      long = 2280      77
     long1 = 2282      78    84
     long2 = 2284      79    83
     long3 = 2286      80    82
     mode1 = 2481     303
     mode2 = 2487     305   303
     mode3 = 248D     307   305
     mode4 = 2493     309   307
     mode5 = 2499     311   309
     mode6 = 249F     313   311
   modenum = 2474     296   298
      none = 2461     286   292
      num1 = 22EA     124   122   126   161   248
      num2 = 231E     144   142   146
       off = 236C     180   178
      off0 = 236E     181
      off1 = 2376     184   181
      off2 = 237E     187   184
      off3 = 2386     190   187
      off4 = 238E     193   190
```

เอกสารนี้จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      off5 = 2396     196   193
      off6 = 239E     199   196
      off7 = 23A6     202   199
   offhook = 25B0     462
        ok = 23F0     231   183   186   189   192   195   198   201   2
        on = 23AB     204   177
       on0 = 23AD     205
       on1 = 23B5     208   205
       on2 = 23BD     211   208
       on3 = 23C5     214   211
       on4 = 23CD     217   214
       on5 = 23D5     220   217
       on6 = 23DD     223   220
       on7 = 23E5     226   223
    onhook = 2260      59
       out = 2364     176   158
     pass1 = 2293      88    81    90
    pass10 = 22A3      95    97
     pass2 = 22B0     100    98   102
    pass20 = 22C0     107   109
     pass3 = 22CD     112   110   114
    pass30 = 22DD     119   121
     pause = 2595     444   402   407   410   413   415   418   421
    pause1 = 2597     445   449
    pause2 = 2599     446   448
    pause3 = 259B     447
     porta = E0E0       4    24    28    50    54    59    66   165   2
                       387   399   462
     portb = E0E1       5    38    91   103   115   127   147   289   2
     portc = E0E2       6    21    34    75    88    95   100   107   1
                       324   328   334   337   344   404
     press = 2551     404
      quit = 231B     143
      rec0 = 24EC     349   306
      rec1 = 2503     362   308
      rec2 = 251A     375   310
      rec3 = 2531     387   312
       res = 2342     159   135
   rescnt1 = 2221      24
   rescnt2 = 224F      50    37
    return = 25B9     467   314
      ring = 223A      37
     sorry = 2348     163   131   133   137   143   153
     sound = 234D     165   172
    soundy = 257A     426   238   241
   soundys = 257C     427   428
     speak = 2416     250    85    99   111   123
     start = 2266      64
      std0 = 2311     139   141
     std02 = 2338     155   152   157
      tape = 243D     268
     title = 226B      66    73
    tomode = 2249      45    36
    wrong1 = 22AD      99    94
    wrong2 = 22CA     111   106
    wrong3 = 22E7     123   118
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3417, MC3517
MC3418, MC3518

2

Specifications and Applications Information

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

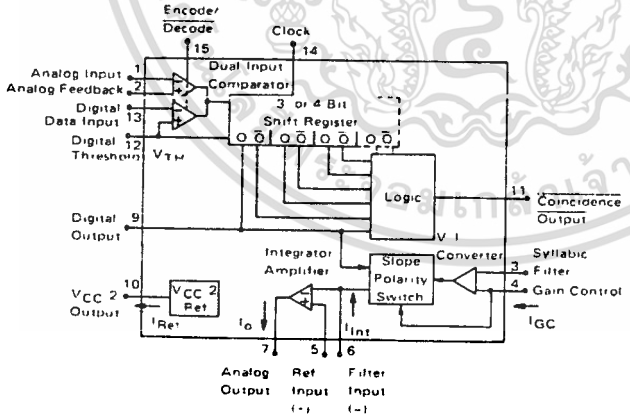
LASER-TRIMMED INTEGRATED CIRCUIT

L SUFFIX
CERAMIC PACKAGE
CASE 620-10

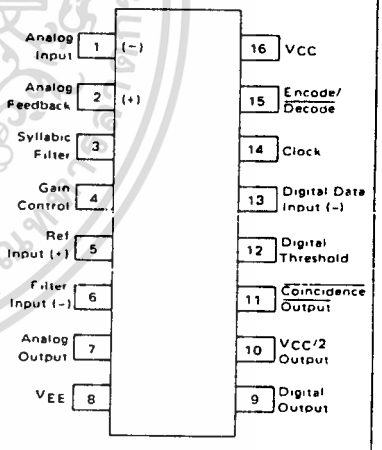
P SUFFIX
PLASTIC PACKAGE
CASE 648-08

DW SUFFIX
PLASTIC PACKAGE
CASE 751G-01
SO-16L

CVSD BLOCK DIAGRAM



PIN CONNECTIONS



ORDERING INFORMATION

Device	Package	Temperature Range
MC3417L	Ceramic DIP	0°C to +70°C
MC3418DW	Plastic SOIC	0°C to +70°C
MC3418L	Ceramic DIP	0°C to +70°C
MC3418P	Plastic DIP	0°C to +70°C
MC3517L	Ceramic DIP	–55°C to +125°C
MC3518L	Ceramic DIP	–55°C to +125°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

(All voltages referenced to V_{EE}, T_A = 25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	−0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	−0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/$\overline{\text{Decode}}$)	V_{Logic}	−0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	−0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	−0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	−0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(Ref)}$	$V_{CC}/2$ − 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{Ref}	−25	mA

ELECTRICAL CHARACTERISTICS

(V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0°C to +70°C for MC3417/18, T_A = −55°C to +125°C for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (@ Idle Channel)	I_{CC}							mA
(V_{CC} = 5.0 V, All except MC3418P,DW)		—	3.7	5.0	—	3.7	5.0	
(V_{CC} = 5.0 V, MC3418P,DW)		—	—	—	—	3.7	5.5	
(V_{CC} = 15 V, All except MC3418P,DW)		—	6.0	10	—	6.0	10	
(V_{CC} = 15 V, MC3418P,DW)		—	—	—	—	6.0	11	
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	—	3.0	0.002	—	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) (4.75 V ≤ V_{CC} ≤ 16.5 V)	V_I	1.3	—	V_{CC} − 1.3	1.3	—	V_{CC} − 1.3	Vdc
Analog Output Range (Pin 7) (4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ±5.0 mA)	V_O	1.3	—	V_{CC} − 1.3	1.3	—	V_{CC} − 1.3	Vdc
Input Bias Currents (Figure 3) (Comparator in Active Region)	I_{IB}							μA
Analog Input (I1)		—	0.5	1.5	—	0.25	1.0	
Analog Feedback (I2)		—	0.5	1.5	—	0.25	1.0	
Syllabic Filter Input (I3)		—	0.06	0.5	—	0.06	0.3	
Reference Input (I5)		—	−0.06	−0.5	—	−0.06	−0.3	
Input Offset Current (Comparator in Active Region)	I_{IO}							μA
Analog Input/Analog Feedback |I1 − I2| — Figure 3		—	0.15	0.6	—	0.05	0.4	
Integrator Amplifier |I5 − I6| — Figure 4		—	0.02	0.2	—	0.01	0.1	
Input Offset Voltage V/I Converter (Pins 3 and 4) — Figure 5	V_{IO}	—	2.0	6.0	—	2.0	6.0	mV
Transconductance	gm							mA/mV
V/I Converter, 0 to 3.0 mA		0.1	0.3	—	0.1	0.3	—	
Integrator Amplifier, 0 to ±5.0 mA Load		1.0	10	—	1.0	10	—	
Propagation Delay Times (Note 1)								μs
Clock Trigger to Digital Output	t_{PLH}	—	1.0	2.5	—	1.0	2.5	
(C_L = 25 pF to Gnd)	t_{PHL}	—	0.8	2.5	—	0.8	2.5	
Clock Trigger to Coincidence Output	t_{PLH}	—	1.0	3.0	—	1.0	3.0	
(C_L = 25 pF to Gnd) (R_L = 4.0 kΩ to V_{CC})	t_{PHL}	—	0.8	2.0	—	0.8	2.0	
Coincidence Output Voltage — Low Logic State ($I_{OL(Con)}$ = 3.0 mA)	$V_{OL(Con)}$	—	0.12	0.25	—	0.12	0.25	Vdc
Coincidence Output Leakage Current — High Logic State (V_{OH} = 15 V, 0°C ≤ T_A ≤ 70°C)	$I_{OH(Con)}$	—	0.01	0.5	—	0.01	0.5	μA

NOTE 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2

ELECTRICAL CHARACTERISTICS (continued)

Characteristic	Symbol	MC3417/MC3517 Min	MC3417/MC3517 Typ	MC3417/MC3517 Max	MC3418/MC3518 Min	MC3418/MC3518 Typ	MC3418/MC3518 Max	Unit
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	+1.2	—	V_{CC} – 2.0	+1.2	—	V_{CC} – 2.0	Vdc
Digital Threshold Input Current (1.2 V ≤ V_{th} ≤ V_{CC} – 2.0 V)	$I_{I(th)}$							μA
(V_{IL} applied to Pins 13, 14 and 15)		—	—	5.0	—	—	5.0	
(V_{IH} applied to Pins 13, 14 and 15)		—	–10	–50	—	–10	–50	
Maximum Integrator Amplifier Output Current	I_O	±5.0	—	—	±5.0	—	—	mA
V_{CC}/2 Generator Maximum Output Current (Source only)	I_{Ref}	+10	—	—	+10	—	—	mA
V_{CC}/2 Generator Output Impedance (0 to +10 mA)	z_{Ref}	—	3.0	6.0	—	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	ϵ_T	—	—	±3.5	—	—	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15)								Vdc
Low Logic State	V_{IL}	Gnd	—	V_{th} – 0.4	Gnd	—	V_{th} – 0.4	
High Logic State	V_{IH}	V_{th} + 0.4	—	18	V_{th} + 0.4	—	18	
Dynamic Total Loop Offset Voltage (Note 2) — Figures 3, 4 and 5	ΣV_{offset}							mV
I_{GC} = 12 μA, V_{CC} = 12 V								
T_A = 25°C (All except 3418P,DW)		—	—	—	—	±0.5	±1.5	
(MC3418P,DW)		—	—	—	—	±0.5	±3.0	
0°C ≤ T_A ≤ +70°C (MC3417/18L)		—	—	—	—	±0.75	±2.3	
(MC3418P,DW)		—	—	—	—	±0.75	±3.8	
–55°C ≤ T_A ≤ +125°C (MC3517/18)		—	—	—	—	±1.5	±4.0	
I_{GC} = 33 μA, V_{CC} = 12 V								
T_A = 25°C		—	±2.5	±5.0	—	—	—	
0°C ≤ T_A ≤ +70°C (MC3417/18)		—	±3.0	±7.5	—	—	—	
–55°C ≤ T_A ≤ +125°C (MC3517/18)		—	±4.5	±10	—	—	—	
I_{GC} = 12 μA, V_{CC} = 5.0 V								
T_A = 25°C (All except MC3418P,DW)		—	—	—	—	±1.0	±2.0	
(MC3418P,DW)		—	—	—	—	±1.0	±3.5	
0°C ≤ T_A ≤ +70°C (MC3417/18L)		—	—	—	—	±1.3	±2.8	
(MC3418P,DW)		—	—	—	—	±1.3	±4.3	
–55°C ≤ T_A ≤ +125°C (MC3517/18)		—	—	—	—	±2.5	±5.0	
I_{GC} = 33 μA, V_{CC} = 5.0 V								
T_A = 25°C		—	±4.0	±6.0	—	—	—	
0°C ≤ T_A ≤ +70°C (MC3417/18)		—	±4.5	±8.0	—	—	—	
–55°C ≤ T_A ≤ +125°C (MC3517/18)		—	±5.5	±10	—	—	—	
Digital Output Voltage								Vdc
(I_{OL} = 3.6 mA)	V_{OL}	—	0.1	0.4	—	0.1	0.4	
(I_{OH} = –0.35 mA)	V_{OH}	V_{CC} – 1.0	V_{CC} – 0.2	—	V_{CC} – 1.0	V_{CC} – 0.2	—	
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	+3.2	—	V_{CC}	+3.2	—	V_{CC}	Vdc
Integrating Current (Figure 2)	$\|I_{Int}\|$							
(I_{GC} = 12 μA)		8.0	10	12	8.0	10	12	μA
(I_{GC} = 1.5 mA) (All except 3418P,DW)		1.45	1.5	1.55	1.45	1.5	1.55	mA
(MC3418P,DW)		—	—	—	1.42	1.5	1.58	mA
(I_{GC} = 3.0 mA)		2.75	3.0	3.25	2.75	3.0	3.25	mA
Dynamic Integrating Current Match	$V_{O(Ave)}$							mV
(I_{GC} = 1.5 mA) Figure 6								
(All except MC3418P,DW)		—	±100	±250	—	±100	±250	
(MC3418P,DW)		—	—	—	—	±100	±280	
Input Current — High Logic State	I_{IH}							μA
(V_{IH} = 18 V)								
Digital Data Input		—	—	+5.0	—	—	+5.0	
Clock Input		—	—	+5.0	—	—	+5.0	
Encode/Decode Input		—	—	+5.0	—	—	+5.0	
Input Current — Low Logic State	I_{IL}							μA
(V_{IL} = 0 V)								
Digital Data Input		—	—	–10	—	—	–10	
Clock Input		—	—	–360	—	—	–360	
Encode/Decode Input		—	—	–36	—	—	–36	
Clock Input, V_{IL} = 0.4 V		—	—	–72	—	—	–72	

NOTE 2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517, the clock frequency is 16 kHz. For the MC3418/MC3518, the clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to insure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to $V_{CC}/2$ on Pin 10, ground or left open.

The analog input comparator has bias currents of 1.5 μA max, thus the driving impedances of Pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 ms to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current (V – I) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5 V/μs. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x-axis) and the integrating current, I_{Int} (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 — Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between 8.0 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600-ohm load referenced to $V_{CC}/2$ to +6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 — V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and non-inverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid-supply reference is provided for use of the MC3417/18 in single supply applications. The internal regulator is a current source and must be loaded with a resistor to insure its sinking capability. If a +6.0 dBmo signal is expected across a 600 ohm input bias resistor, then Pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is only possible if Pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — $\overline{\text{Coincidence Output}}$

The duty cycle of this pin is proportional to the voltage across C_S. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. In the MC3417 the register is 3 bits long while the MC3418 contains a 4 bit register. Pin 11 is an open collector of an NPN device and requires a pull-up resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

If the syllabic filter is to have equal charge and discharge time constants, the value of Rp should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is R_SC_S while the decaying constant is $(R_S + R_p)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4.0 kΩ to +12 V and C_L = 25 pF to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for Pins 13, 14, and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32K bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum width for a positive-going pulse on the clock input is 300 ns, whereas for a negative-going pulse, it is 900 ns.

Pin 15 — Encode/$\overline{\text{Decode}}$

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 — V_{CC}

The power supply range is from 4.75 to 16.5 volts between Pin V_{CC} and V_{EE}.

FIGURE 1 – POWER SUPPLY CURRENT

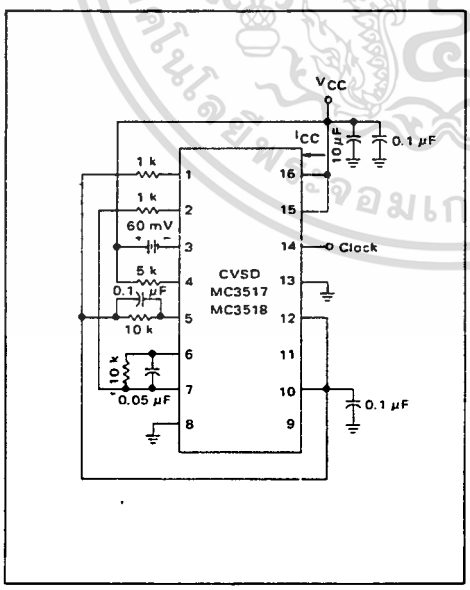
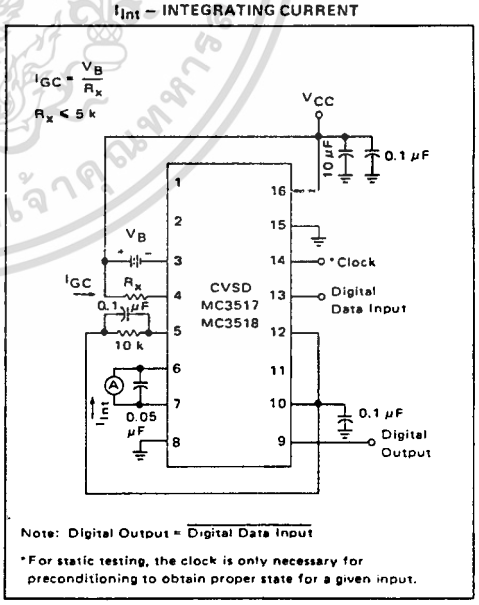


FIGURE 2 – I_{GCR}, GAIN CONTROL RANGE and I_{Int} – INTEGRATING CURRENT

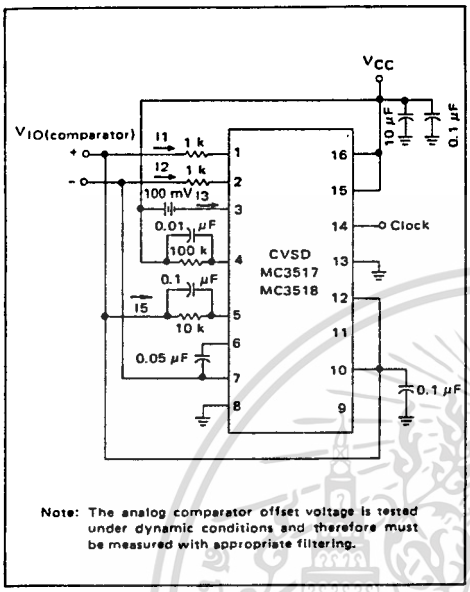


Note: Digital Output = $\overline{\text{Digital Data Input}}$

*For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 – INPUT BIAS CURRENTS, ANALOG COMPARATOR OFFSET VOLTAGE AND CURRENT



Note: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

FIGURE 4 – INTEGRATOR AMPLIFIER OFFSET VOLTAGE AND CURRENT

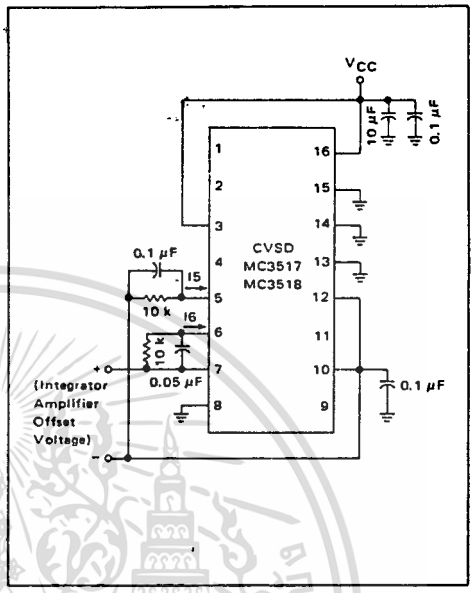
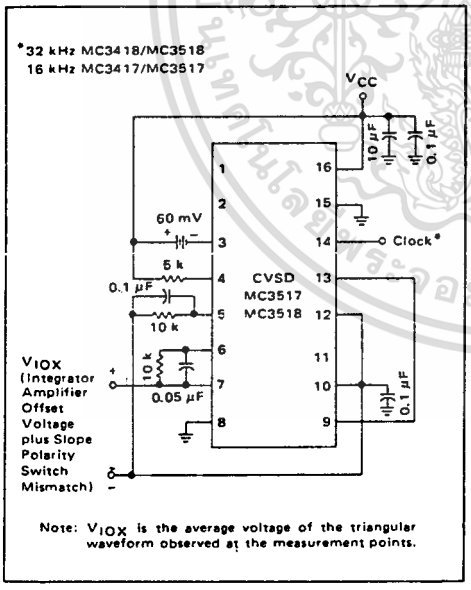
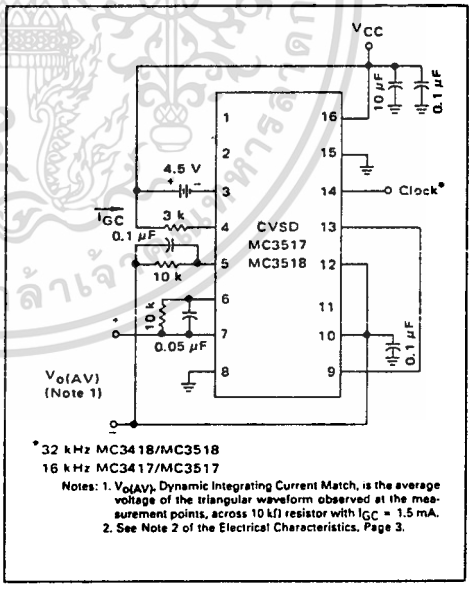


FIGURE 5 – V/I CONVERTER OFFSET VOLTAGE, V_{IO} and V_{IOX}



Note: V_{IOX} is the average voltage of the triangular waveform observed at the measurement points.

FIGURE 6 – DYNAMIC INTEGRATING CURRENT MATCH



*32 kHz MC3418/MC3518
16 kHz MC3417/MC3517

Notes: 1. $V_{o(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at the measurement points, across 10 kΩ resistor with I_{GC} = 1.5 mA.
2. See Note 2 of the Electrical Characteristics, Page 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

TYPICAL PERFORMANCE CURVES

FIGURE 7 – TYPICAL I_{Int} versus I_{GC} (Mean ± 2σ)

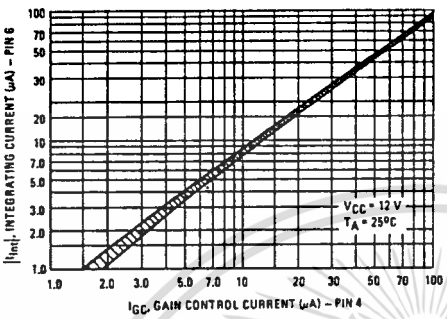


FIGURE 8 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus V_{CC}

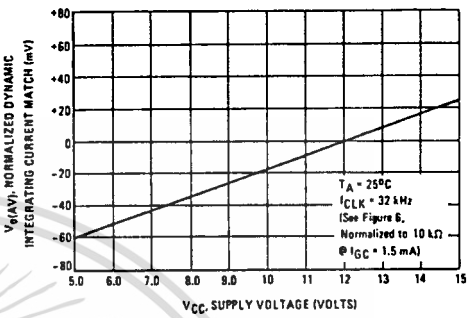


FIGURE 9 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus CLOCK FREQUENCY

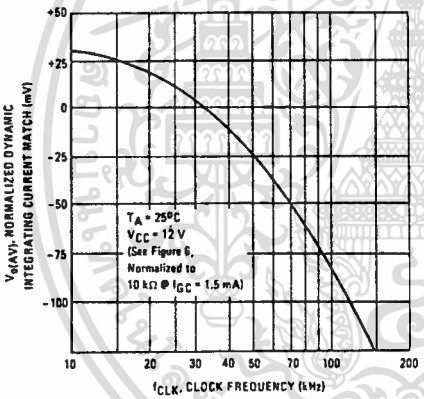


FIGURE 10 – DYNAMIC TOTAL LOOP OFFSET versus CLOCK FREQUENCY

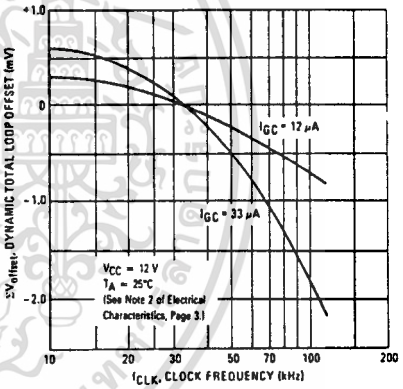
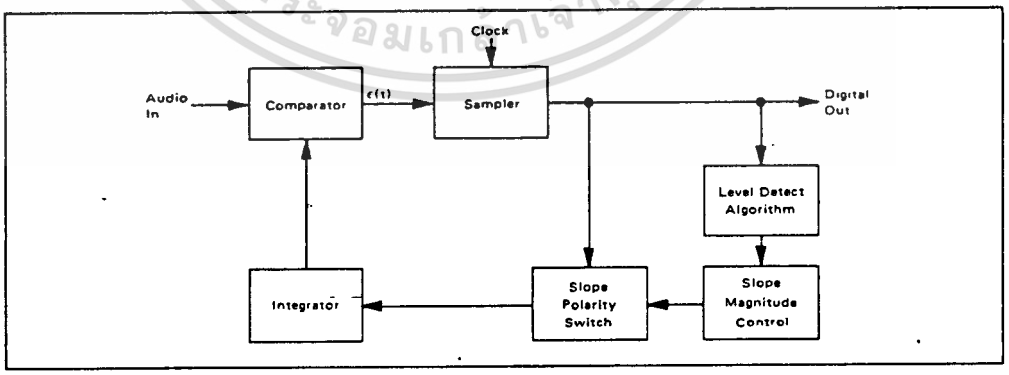


FIGURE 11 – BLOCK DIAGRAM OF THE CVSD ENCODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 12 – CVSD WAVEFORMS

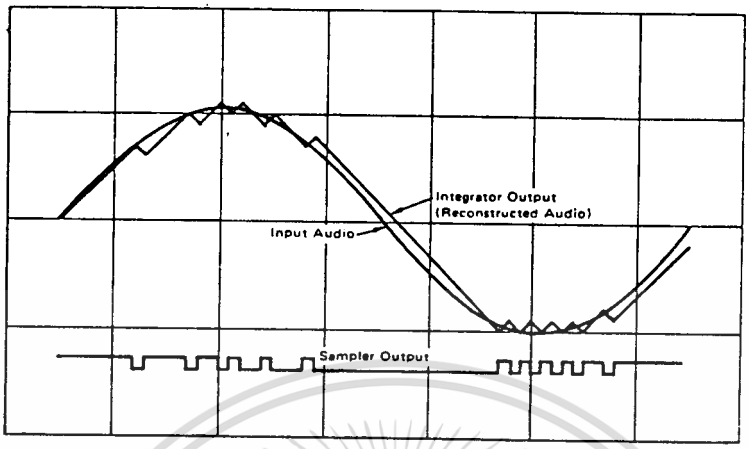
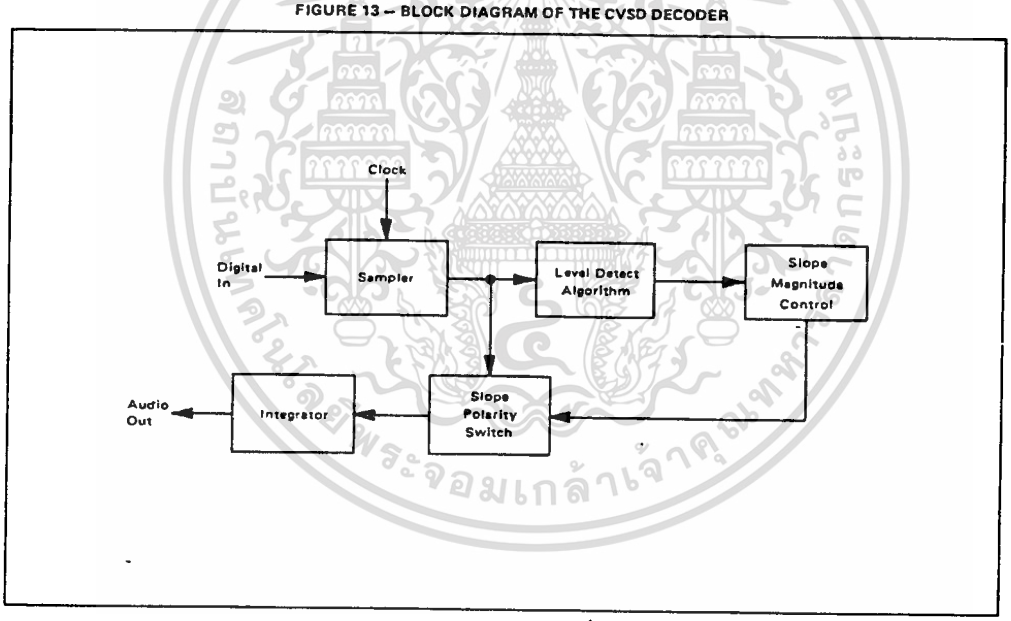


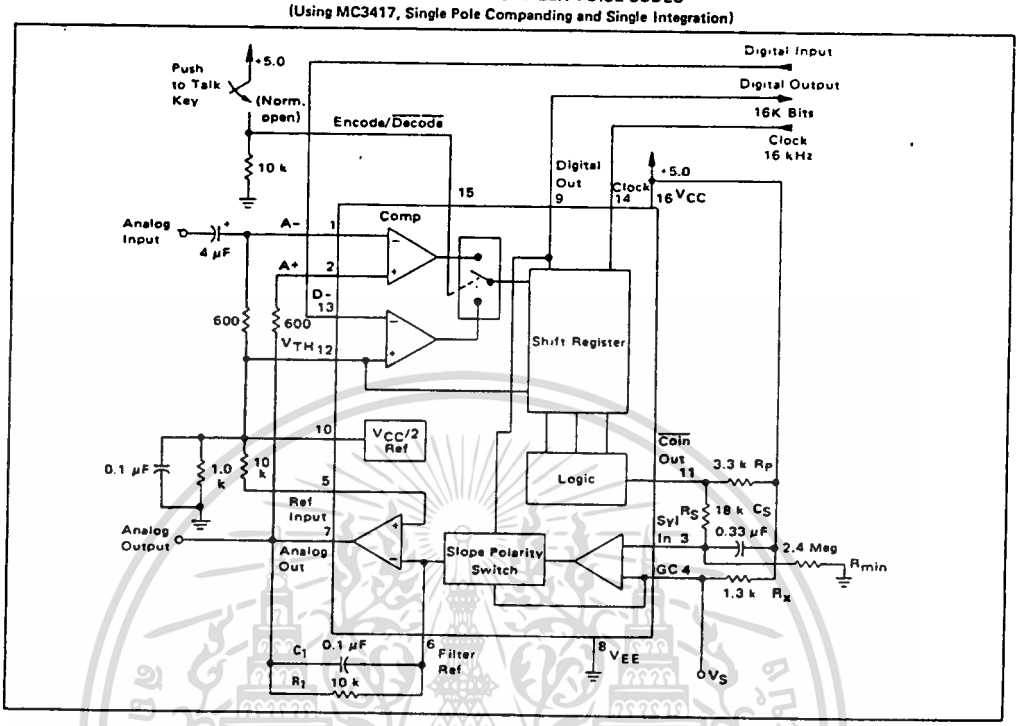
FIGURE 13 – BLOCK DIAGRAM OF THE CVSD DECODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2

FIGURE 14 – 16 kHz SIMPLEX VOICE CODEC
(Using MC3417, Single Pole Companding and Single Integration)



CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from 8 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

CIRCUIT DESCRIPTION (continued)

zero and receive restart begins without framing when the receiver reacquires. Similarly a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 3 or 4 bits long depending on the application. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all ones, all zeros algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm only operates on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communciations requirements.

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3417 or MC3418 is shown in Figure 14. These ICs are general purpose CVSD building blocks which allow the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3417 and MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application, and they are as follows:

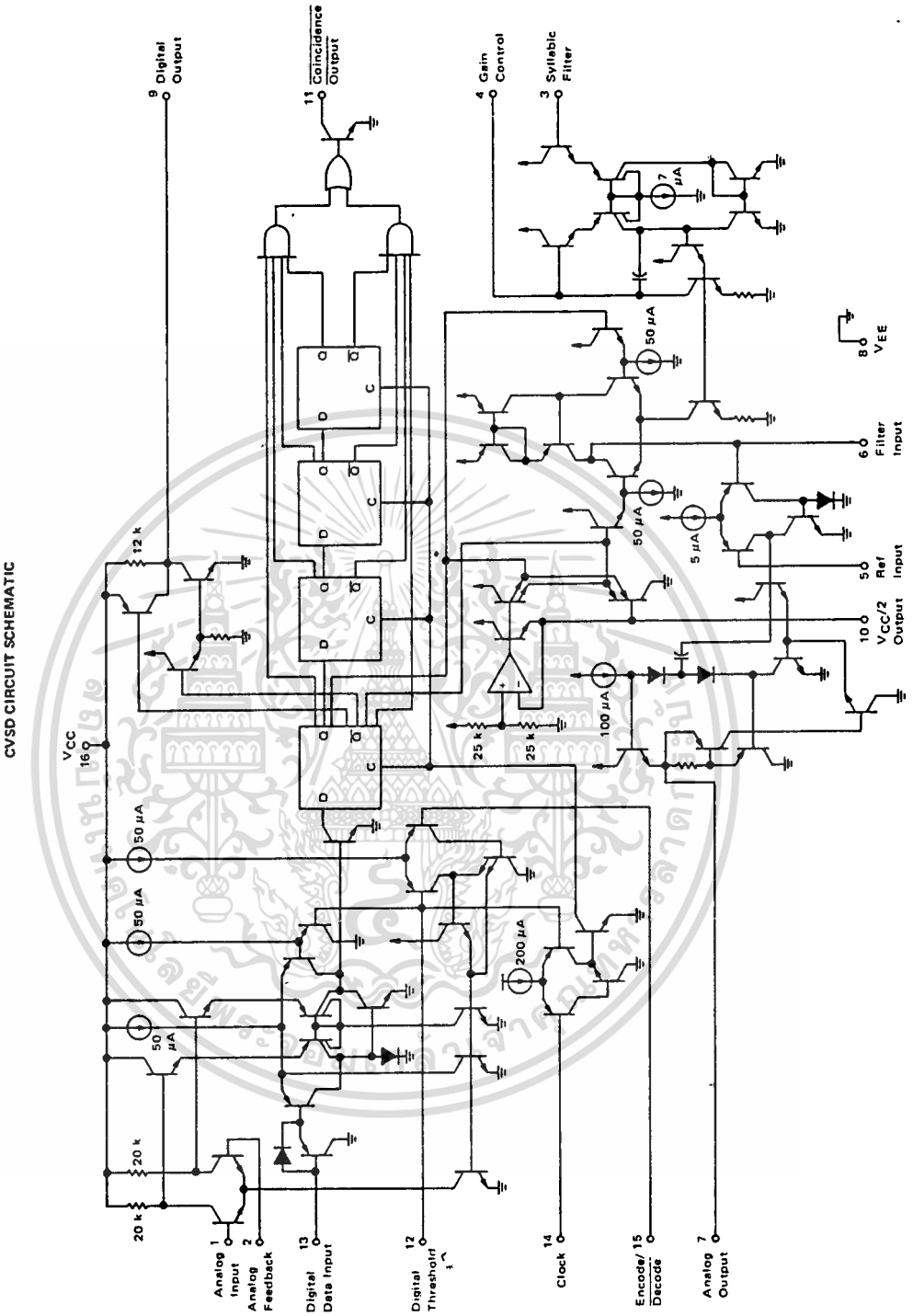
1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single pole networks. The selection of items 1 through 4 govern the codec performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2

CVSD CIRCUIT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

CVSD DESIGN CONSIDERATIONS (continued)

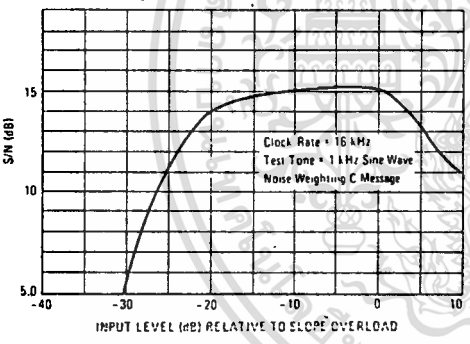
Layout Considerations

Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13, and 14) from analog signal paths (Pins 1–7 and 10) in order to achieve proper idle channel performance.

Clock Rate

With minor modifications the circuit in Figure 14 may be operated anywhere from 9.6 kHz to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 15. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4-wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32K bits and above. Other codecs may use bit rates up to 200K bits/sec.

FIGURE 15 – SIGNAL-TO-NOISE PERFORMANCE OF MC3417 WITH SINGLE INTEGRATION, SINGLE-POLE AND COMPANDING AT 16K BITS – TYPICAL



Shift Register Length (Algorithm)

The MC3417 has a three-bit algorithm and the MC3418 has a four-bit algorithm. For clock rates of 16 kHz and below, the 3-bit algorithm is well suited. For 32 kHz and higher clock rates, the 4-bit system is preferred. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal hsitory. At 16 bits and below, the 4-bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3417 is designed for low bit rate systems and the MC3418 is intended for high performance, high bit rate system. At bit rates above 64K bits either part will work well.

Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor R_X. R_X must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on Pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1 kHz of 0 dBmo level. In practice, the useful dynamic range extends about 6 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single pole of 160 Hz is used.

$$R_1 = 10\ k\Omega,\ C_1 = 0.1\ \mu F$$

$$\frac{V_o}{I_i} = \frac{1}{C(S + 1/RC)} \equiv \frac{K}{S + \omega_o}$$

$$\omega_o = 2\pi f$$

$$10^3 = \omega_o = 2\pi f$$

$$f = 159.2\ Hz$$

Note that the integration filter produces a single-pole response from 300 to 3 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_o}{R_1} + \left(C_1 \times \frac{dV_o}{dt}\right)$$

Now a 0 dBmo sine wave has a peak value of 1.0954 volts. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1 kHz sine wave is:

$$I_i = \frac{1.1\ V}{*2(10\ k\Omega)} + \frac{0.1\ \mu F(1.1)}{0.125\ ms} = 0.935\ mA$$

*The maximum voltage across R_1 when maximum slew is required is:

$$\frac{1.1\ V}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_X = 0.25(V_{CC})\ \frac{1}{0.935\ mA}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD DESIGN CONSIDERATIONS (continued)

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one-zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3417 is tested to ensure that a 20 mVp-p minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one-zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1-0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_O}{R_1} + C\frac{dV_O}{dt}$$

For values of V_O near $V_{CC}/2$ the V_O/R term is negligible; thus

$$I_i = C_S\frac{\Delta V_O}{\Delta T}$$

where ΔT is the clock period and ΔV_O is the desired peak-to-peak value of the idle output. For a 16K-bit system using the circuit in Figure 14

$$I_i = \frac{0.1\,\mu F\ \ 20\,mV}{62.5\,\mu s} = 33\,\mu A$$

The voltage on C_S which produces a 33 μA current is determined by the value of R_X.

$$I_i R_X = V_{S}min;\ \text{for } 33\,\mu A,\ V_{S}min = 41.6\ mV$$

In Figure 14 R_S is 18 kΩ. That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC}\frac{R_S}{R_S + R_{min}} = V_{Smin} \qquad R_{min} \simeq 2.4\ M\Omega$$

Having established these four parameters — clock rate, number of shift register bits, loop gain and minimum step size — the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

INCREASING CVSD PERFORMANCE

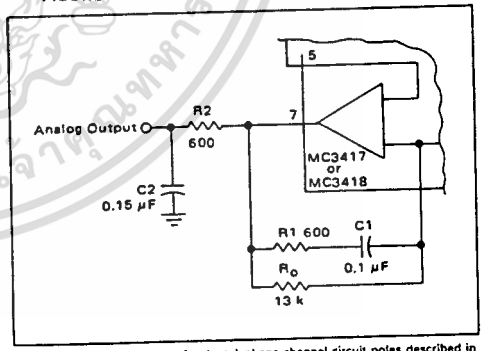
Integration Filter Design

The circuit in Figure 14 uses a single-pole integration network formed with a 0.1 μF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 14 by 1 or 2 dB by using a two-pole integration network. The improved circuit is shown.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low-pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2 kHz and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low-pass filter which breaks at about 2.5 kHz.) The two-pole network in Figure 16 has a transfer function of:

$$\frac{V_o}{I_i} = \frac{R_0R_1\left(S + \frac{1}{R_1C_1}\right)}{R_2C_2(R_0 + R_1)\left(S + \frac{1}{(R_0 + R_1)C_1}\right)S + \left(\frac{1}{R_2C_2}\right)}$$

FIGURE 16 – IMPROVED FILTER CONFIGURATION



These component values are for the telephone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on Pin 1.

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 16 represent one implementation of the telephony filter requirement.

The selection of the two-pole filter network effects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_o}{R_0} + \left(\frac{R_2C_2}{R_0} + \frac{R_1C_1}{R_0} + C_1\right)\frac{\Delta V_o}{\Delta T} + \left(R_2C_2C_1 + \frac{R_1C_1R_2C_2}{R_0}\right)\frac{\Delta V_o{}^2}{\Delta T^2}$$

The calculation of desired gain resistor R_x then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single-pole network of 18 kΩ and 0.33 μF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC}.

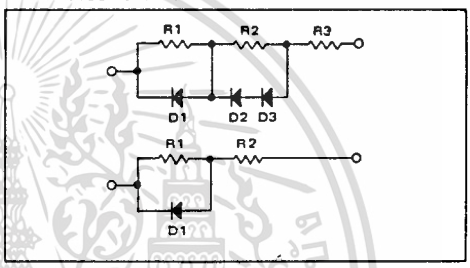
The S/N performance may be improved by modifying the voltage to current transformation produced by R_x. If different portions of the total R_x are shunted by diodes, the integrator current can be other than $(V_{CC}-V_S)/R_x$. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to Pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_x in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor-diode networks are shown in Figure 17.

FIGURE 17 – RESISTOR-DIODE NETWORKS



If the performance of more complex diode networks is desired, the circuit in Figure 18 should be used. It simulates the companding characteristics of nonlinear R_x elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 20 provides excellent performance for 12 kHz to 40 kHz systems.

TELEPHONE CARRIER QUALITY CODEC USING MC3418

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with 5 mV minimum step size and a typical 1% current match from 15 μA to 3 mA. Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the four-bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 18, a telephone quality codec can be mass produced.

The circuit in Figure 18 provides a 30 dB S/Nc ratio over 50 dB of dynamic range for a 1 kHz test tone at a 37.7K bit rate. At 37.7K bits, 40 voice channels may be multiplexed on a standard 1.544 megabit T1 facility. This codec has also been tested for 10^{-7} error rates with asynchronous and synchronous data up to 2400 baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators and small PABX installations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Active Companding Network

The unique feature of the codec in Figure 18 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across C_S divided by the voltage swing of the coincidence output. In Figure 18, the voltage swing of Pin 11 is 6.0 volts. The operating companding ratio is analoged by the voltage between Pins 10 and 4 by means of the virtual short across Pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 volts below $V_{CC}/2$, then the positive input of A1 is ($V_{CC}/2$ – 0.7). The on diode drop at the input of A1 represents a 12% companding ratio (12% = 0.7 V/6.0 V).

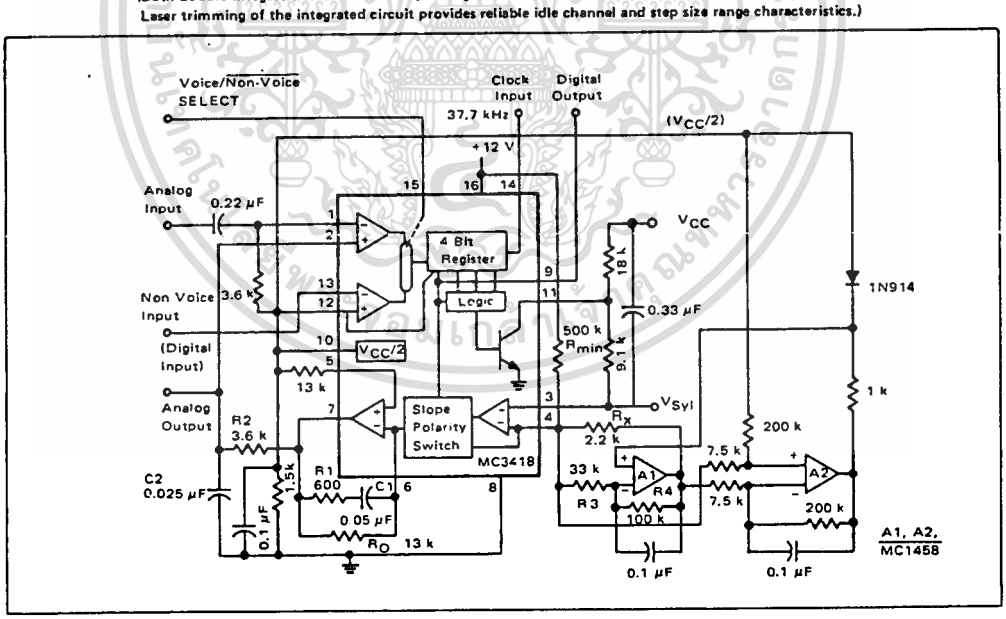
The present step size of the operating codec is directly related to the voltage across R_X, which established the integrator current. In Figure 18, the voltage across R_X is amplified by the differential amplifier A2 whose output is single ended with respect to Pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 volts. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and the instantaneous companding ratio at Pin 4 is amplified by A1. The output of A1 changes the voltage across R_X in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R4 and R3 determines how closely the voltage at Pin 4 will be forced to 12%. The selection of R3 and R4 is initially experimental. However, the resulting companding control is dependent on R_X, R3, R4, and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on Pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_X and the gain of A2 and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily

FIGURE 18 – TELEPHONE QUALITY DELTAMOD CODER

(Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.)

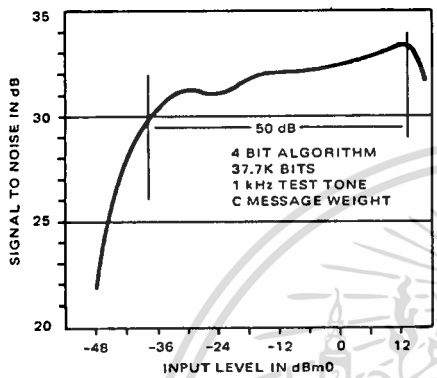


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

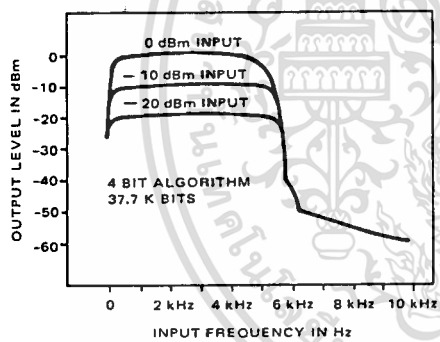
TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

FIGURE 19 – SIGNAL-TO-NOISE PERFORMANCE AND FREQUENCY RESPONSE
(Showing the improvement realized with the circuit in Figure 18.)

a. SIGNAL-TO-NOISE PERFORMANCE OF TELEPHONY QUALITY DELTAMODULATOR



b. FREQUENCY RESPONSE versus INPUT LEVEL (SLOPE OVERLOAD CHARACTERISTIC)



repeated.

With no input signal, the companding ratio at Pin 4 goes to zero and the voltage across R_X goes to zero. The voltage at the output of A2 becomes zero since there is no drop across R_X. With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between V_{CC} and $V_{CC}/2$ and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 19. A smooth 2 dB drop is realized from +12 dBm to –24 under the control of A1. At –24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

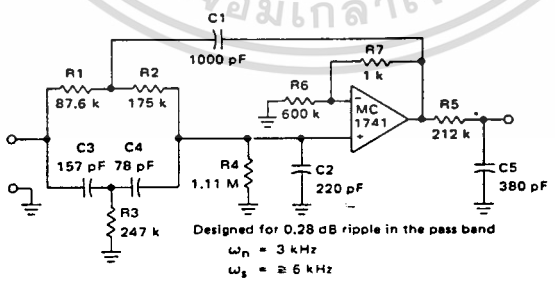
The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across R_X. The curves demonstrate that the level linearity has been maintained or improved.*

The codec in Figure 18 is designed specifically for 37.7K bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 18 represents a significant step forward in the art and cost of CVSD codec designs.

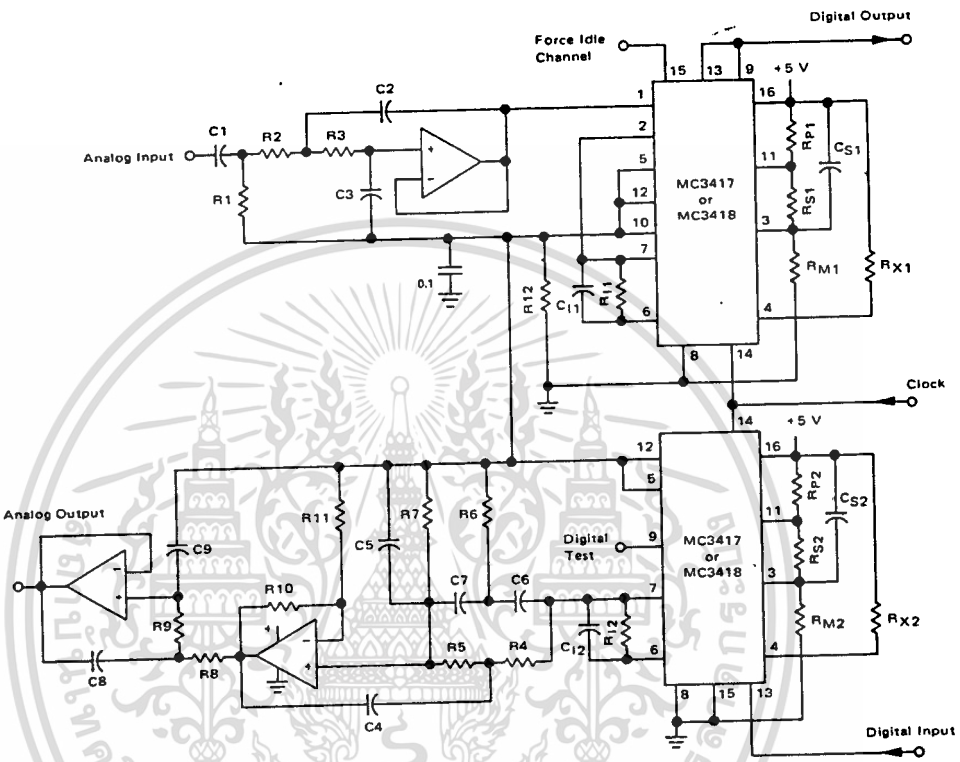
*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 18, 0.050 μF would work well.

FIGURE 20 – HIGH PERFORMANCE ELLIPTIC FILTER FOR CVSD OUTPUT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 21 – FULL DUPLEX/32K BIT CVSD VOICE CODEC USING MC3517/18 AND MC3503/6 OP AMP



Codec Components

R_{X1}, R_{X2} – 3.3 kΩ
R_{P1}, R_{P2} – 3.3 kΩ
R_{S1}, R_{S2} – 100 kΩ
R_{I1}, R_{I2} – 20 kΩ
R_{12} – 1 kΩ
R_{M1}, R_{M2} – 5 MΩ (MC3417)
Minimum step size = 20 mV
R_{M1}, R_{M2} – 15 MΩ (MC3418)
Minimum step size = 6 mV

C_{S1}, C_{S2} – 0.05 μF
C_{I1}, C_{I2} – 0.05 μF

2 MC3417 (or MC3418)
1 MC3403 (or MC3406)

Note: All Res. 5%
All Cap. 5%

Input Filter Specifications

12 dB/Octave Rolloff above 3.3 kHz
6 dB/Octave Rolloff below 50 Hz

Output Filter Specifications

Break Frequency – 3.3 kHz
Stop Band – 9 kHz
Stop Band Atten. – 50 dB
Rolloff – > 40 dB/Octave

Filter Components

R1 – 965 Ω
R2 – 72 kΩ
R3 – 72 kΩ
R4 – 63.46 kΩ
R5 – 127 kΩ
R6 – 365.5 kΩ
R7 – 1.645 MΩ
R8 – 72 kΩ
R9 – 72 kΩ
R10 – 29.5 kΩ
R11 – 72 kΩ

C1 – 3.3 μF
C2 – 837 pF
C3 – 536 pF
C4 – 1000 pF
C5 – 222 pF
C6 – 77 pF
C7 – 38 pF
C8 – 837 pF
C9 – 536 pF

Note: All Res. 0.1% to 1%.
All Cap. 1.0%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

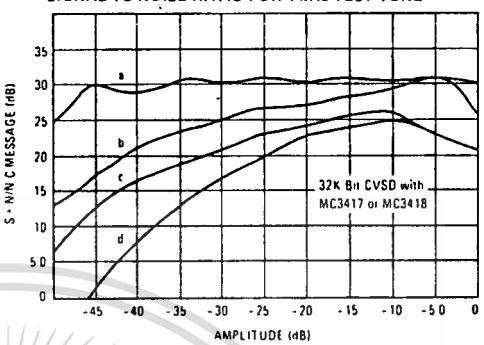
COMPARATIVE CODEC PERFORMANCE

The salient feature of CVSD codecs using the MC3517 and MC3518 family is versatility. The range of codec complexity tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required and the cost objectives. To illustrate the choices available, the data in Figure 22 compares the signal-to-noise ratios and dynamic range of various codec design options at 32K bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

Non-voice applications of the MC3517 and MC3518 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

FIGURE 22 – COMPARATIVE CODEC PERFORMANCE – SIGNAL-TO-NOISE RATIO FOR 1 kHz TEST TONE



These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

Curve a — Complex companding and double integration (Figure 18 — MC3418)
Curve b — Double integration (Figure 14 using Figure 16 — MC3418)
Curve c — Single integration (Figure 14 — MC3418) with 6.0 mV step size
Curve d — Single integration (Figure 14 — MC3417) with 25 mV step size

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

ชัยวัฒน์ ลิ้มพรจิตรวิไล ; "ปรีเทปเล่น-บันทึก" , เซมิคอนดัคเตอร์อิเลคทรอนิคส์ , ฉบับที่ 103 , หน้า 238-246 , ธันวาคม 2533

พันธ์ศักดิ์ ศรีทรัพย์ ; "เครื่องบันทึกเทป" , อิเลคทรอนิคส์เวิลด์ , กรุงเทพ 2530

สุทธินันท์ พรศิริกุล ; "ลีกอีกนิดกับโทรศัพท์" , เซมิคอนดัคเตอร์อิเลคทรอนิคส์ , ฉบับที่ 120 , หน้า 90-94 , กันยายน 2535

สุทธินันท์ พรศิริกุล ; "ลีกอีกนิดกับโทรศัพท์ ตอนที่ 2" , เซมิคอนดัคเตอร์อิเลคทรอนิคส์ , ฉบับที่ 121 , หน้า 108-116 , ตุลาคม 2535

สุทธินันท์ พรศิริกุล ; "ลีกอีกนิดกับโทรศัพท์ ตอนที่ 3" , เซมิคอนดัคเตอร์อิเลคทรอนิคส์ , ฉบับที่ 122 , หน้า 52-60 , พฤศจิกายน 2535

สุนทร วิทูสุรพจน์ ; "การใช้งานไมโครคอนโทรลเลอร์ ตระกูล 8051" , ซีเอ็ดยูเคชั่น , กรุงเทพ 2537

สุนทร วิทูสุรพจน์ ; "การโปรแกรมภาษาแอสเซมบลีของไมโครคอนโทรลเลอร์ ตระกูล 8051" , ซีเอ็ดยูเคชั่น , กรุงเทพ 2537

ไอซีน่าสน ; "MT8870" , เซมิคอนดัคเตอร์อิเลคทรอนิคส์ , ฉบับที่ 88 , หน้า 210-214 , กันยายน-ตุลาคม 2531

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้