การรับส่งข้อมูลและเสียงแบบดิจิตอล โดยใช้ไอซี UDLT II

UNIVERSAL DIGITAL LOOP TRANSCEIVER

โดย

ธนาวุฒิ ติราวรัมย์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาวิศวกรรมคอมพิวเตอร์

สถาบันเทคโนโลยีพระจอมเกล้าฯ เจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปีการศึกษา 2537

การรับส่งข้อมูลและเสียงแบบดิจิตอล โดยใช้ไอซี UDLT II

โดย

นาย ธนาวุฒิ ติราวรัมย์

อาจารย์ที่ปรึกษา

อาจารย์ ประทีป บัญญัตินพรัตน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2537

ภาควิชาวิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าฯ เจ้าคุณทหารลาดกระบัง

เรื่อง การรับส่งข้อมูลและข้อมูลแบบดิจิตอล โดยใช้ไอซี UDLT II

ผู้จัดทำ

นาย ธนาวุฒิ ติราวรัมย์ 35103226

.....

(อาจารย์ ประทีป บัญญัตินพรัตน์) อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรับส่งข้อมูลและเสียงแบบดิจิตอล โดยใช้ไอซี UDLT II

นาย ธนาวุฒิ ติราวรัมย์ 35103226

อ. ประทีป บัญญัตินพรัตน์ อาจารย์ที่ปรึกษา

ปีการศึกษา 2537

บทคัดย่อ

ในยุคปัจจุบันที่เทคโนโลยีทางด้านการสื่อสารได้เจริญก้าวหน้าขึ้นอย่างรวดเร็วนั้น ได้ก่อให้เกิดเทคนิควิธีการมากมายในการจัดการกับสัญญาณต่าง ๆ เพื่อเพิ่มประสิทธิภาพในการรับส่งสัญญาณเหล่านี้ ซึ่งในปริญญานิพนธ์ฉบับนี้จะเป็นการศึกษา และพัฒนาการสื่อสารข้อมูลแบบดิจิตอล โดยที่สัญญาณข้อมูลและสัญญาณเสียงจะถูกมอดดูเลทในแต่ละช่องสัญญาณแล้วส่งไปในสายโทรศัพท์คู่สายเดียวกัน ในด้านของสัญญาณเสียงนั้นจะอาศัยเทคนิคในการเข้ารหัสข้อมูล โดยวิธี พัลซ์ โค้ด มอดดูเลชั่น โดยมีการเข้ารหัสสัญญาณเสียงเป็นสัญญาณดิจิตอลขนาด 8 บิต ส่วนการรับและส่งสัญญาณดิจิตอลเหล่านี้จะใช้วิธีมัลติเพล็กแบบไทม์ดิวิชั่น มัลติเพล็กซ์ ซึ่งจะทำให้การสื่อสารระหว่าง 2 จุด จะอาศัยสายส่งเพียง 2 เส้นเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UNIVERSAL DIGITAL LOOP TRANSCEIVER

Mr. Thanawut Tiraoram 35103226

Mr. Pratheep Banyatnopparat Advisor

1994

Abstract

Nowadays, in a period of advanced technology, it gives many technical methods for gaining more efficient technique in transmitting and receiving information. This thesis describes a study and development of a digital communication between 2 computer and between 2 telephoone that uses Pulse Code Modulation technique to encode voice signal to be an 8-bit digital signal and then transmits and receives this signal with a time sharing method, Time Division Multiplex, that yeild only 2 line for transmitting and receiving between two point.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1	บทนำ	1
บทที่ 2	หลักการของการสื่อสารแบบดิจิตอล	6
	คุณสมบัติการสื่อสารด้วยสัญญาณดิจิตอล	6
	โครงข่ายบริการสื่อสารร่วมระบบดิจิตอล (ISDN)	7
	การส่งข้อมูลแบบขนานและแบบอนุกรม	17
	การรับส่งข้อมูลแบบอะซิงค์โครนัส	23
	การรับส่งข้อมูลแบบซิงค์โครนัส	25
	การตรวจจับข้อผิดพลาด	27
บทที่ 3	PCM (PULSE CODE MODULATION)	30
	วิธีการของ พัลซ์ โค้ด มอดดูเลชั่น	31
	พัลซ์ โค้ด มอดดูเลชั่น แบบผลต่าง	36
	การสุ่มแอมปลิจูดในระบบ พัลซ์ โค้ด มอดดูเลชั่น	37
บทที่ 4	หลักการทำงานและออกแบบวงจร	43
	วงจรเชื่อมต่อกับคอมพิวเตอร์	43
	วงจรรับส่งข้อมูลและเสียง (ชุดหลัก)	45
	วงจรรับส่งข้อมูลและเสียง (ชุดรอง)	51
บทที่ 5	การทดลองและผลการทดลอง	55
บทที่ 6	บทสรุปและวิจารณ์ผล	68
	ภาคผนวก	
	กิตติกรรมประกาศ	
	หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ (INTRODUCTION)

1. วัตถุประสงค์

1.1 เพื่อศึกษา ออกแบบ และทดลองสร้างวงจรสำหรับใช้ติดต่อสื่อสารข้อมูลระหว่างคอมพิวเตอร์ 2 เครื่อง และสื่อสารสัญญาณเสียงระหว่างโทรศัพท์ 2 เครื่องโดยใช้สายสัญญาณเส้นเดียวกัน

1.2 เพื่อศึกษาคุณสมบัติและรูปแบบการสื่อสารข้อมูลด้วยระบบดิจิตอล

1.3 เพื่อศึกษาคุณสมบัติและรูปแบบการสื่อสารของระบบ ISDN ในย่านการสื่อสารข้อมูลแบบ Basic Rate Interface (2B+D)

1.4 เพื่อศึกษาคุณสมบัติและการใช้งานสายส่งสัญญาณสำหรับงานการสื่อสารข้อมูลและเสียง

1.5 เพื่อศึกษาคุณสมบัติและรูปแบบการมอดูเลทสัญญาณเสียงด้วยวิธี พัลซ์ โค้ด มอดดูเลชั่น

2. คุณสมบัติของวงจรรับส่งข้อมูลและเสียงระบบดิจิตอลที่สร้างขึ้น

2.1 แปลงสัญญาณเสียงเป็นสัญญาณดิจิตอล ด้วยวิธี พัลซ์ โค้ด มอดูเลชั่น (Pulse Code Modulation) ขนาด 8 บิท

2.2 ใช้สายโทรศัพท์เบอร์ 24AWG (American Wire Guage) เป็นสายส่งสัญญาณ

2.3 รับ/ส่งสัญญาณข้อมูลด้วยอัตราเร็ว 16Kbps และรับ/ส่งสัญญาณเสียงด้วยอัตราเร็ว 64Kbps

3. ส่วนประกอบของวงจร

แบ่งออกเป็นส่วนย่อยๆ ได้ดังนี้

3.1 ส่วนเชื่อมต่อคู่สายโทรศัพท์ (Suscriber Loop Interface Circuit) โดยใช้ทรานสฟอร์เมอร์ที่มีอิมพีแดนซ์ 600 โอห์ม, Turn ratio 1:1 ซึ่งจะทำหน้าที่แปลงจากระบบ 2 สาย เป็นระบบ 4 สาย เพื่อเชื่อมต่อกับตัวแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

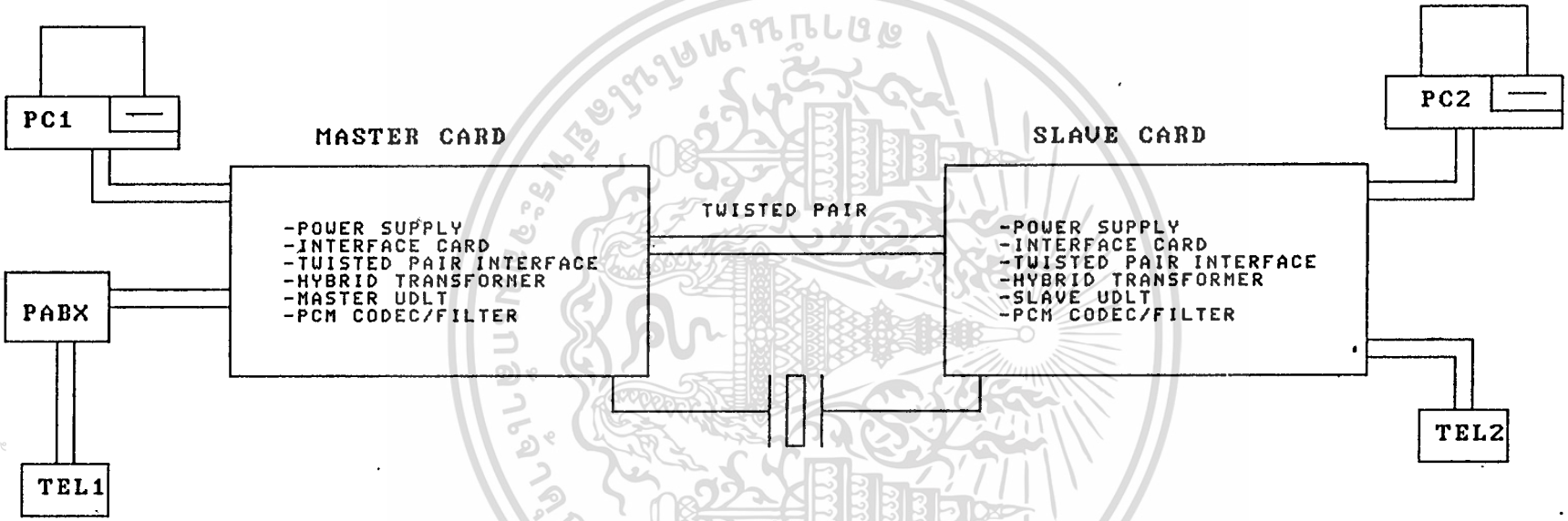
3.2 ส่วนเชื่อมต่อกับคอมพิวเตอร์ (Computer Interface) ใช้ไอซี USART เบอร์ 8251A เป็นตัวรับส่งข้อมูลระหว่างคอมพิวเตอร์ กับวงจรรับส่งข้อมูลและเสียงโดยจะผ่านตัว RS-232C อีกที

3.3 ส่วนแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอล ในส่วนนี้จะใช้ไอซี เบอร์ MC14403 ซึ่งทำหน้าที่เข้ารหัสสัญญาณเสียงเป็นสัญญาณดิจิตอลขนาด 8 บิท และถอดรหัสสัญญาณดิจิตอลเป็นสัญญาณเสียง

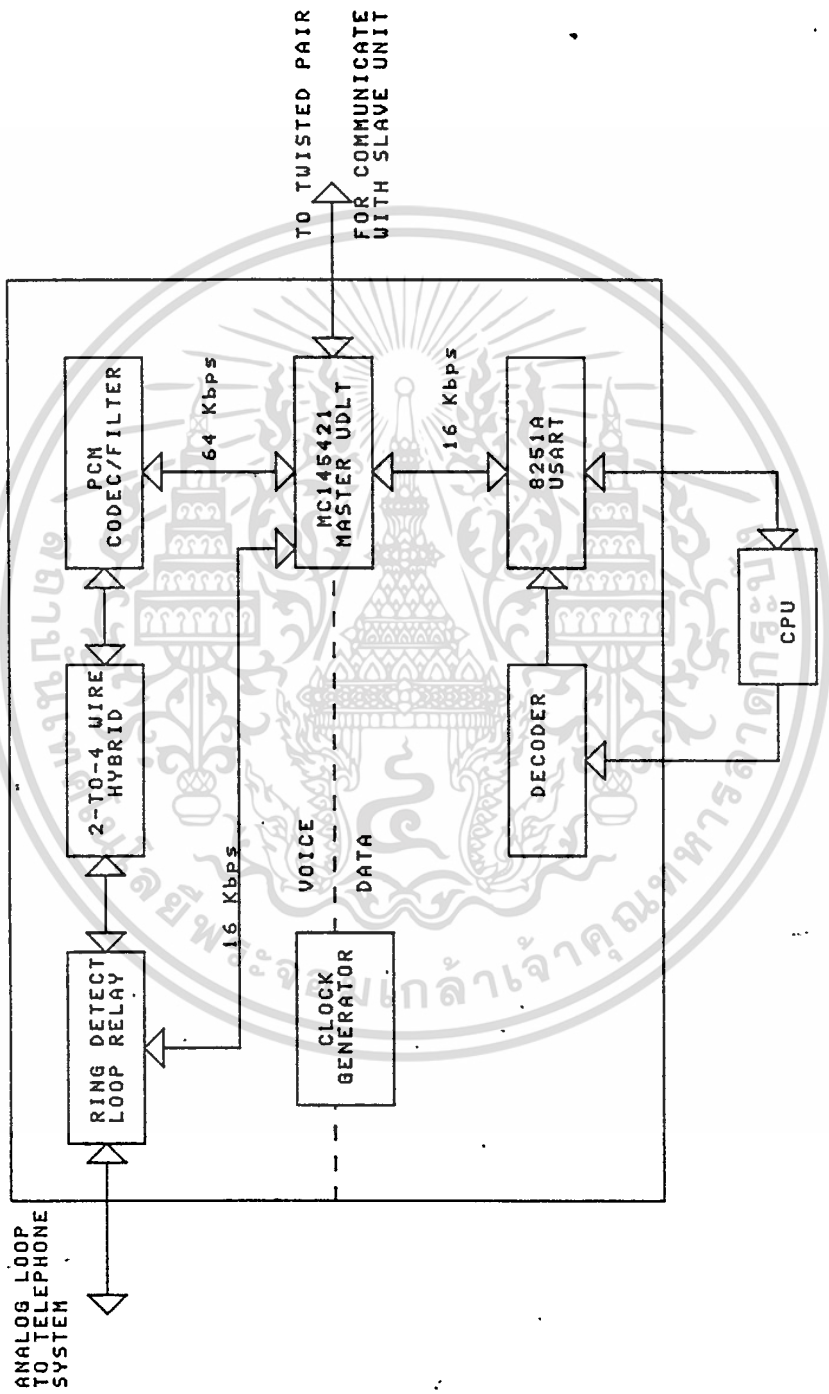
3.4 วงจรรับส่งข้อมูลและเสียงแบบดิจิตอล ในชุดหลักจะใช้เบอร์ MC145421 ส่วนชุดรองจะใช้ MC145425 ทั้ง 2 เบอร์นี้จะทำงานคู่กัน โดยสามารถรับส่งและเสียงได้ 4 ช่องสัญญาณคือ ช่องสัญญาณ B (64Kbps) จำนวน 2 ช่อง และช่องสัญญาณ D (16Kbps) จำนวน 2 ช่อง

3.5 วงจรตรวจจับสัญญาณการเรียก ในส่วนนี้จะใช้ไอซีเบอร์ MC34012 เป็นตัวตรวจจับสัญญาณการเรียก แล้วส่งเข้าช่องสัญญาณ D2 (16Kbps) ของ MC145421

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

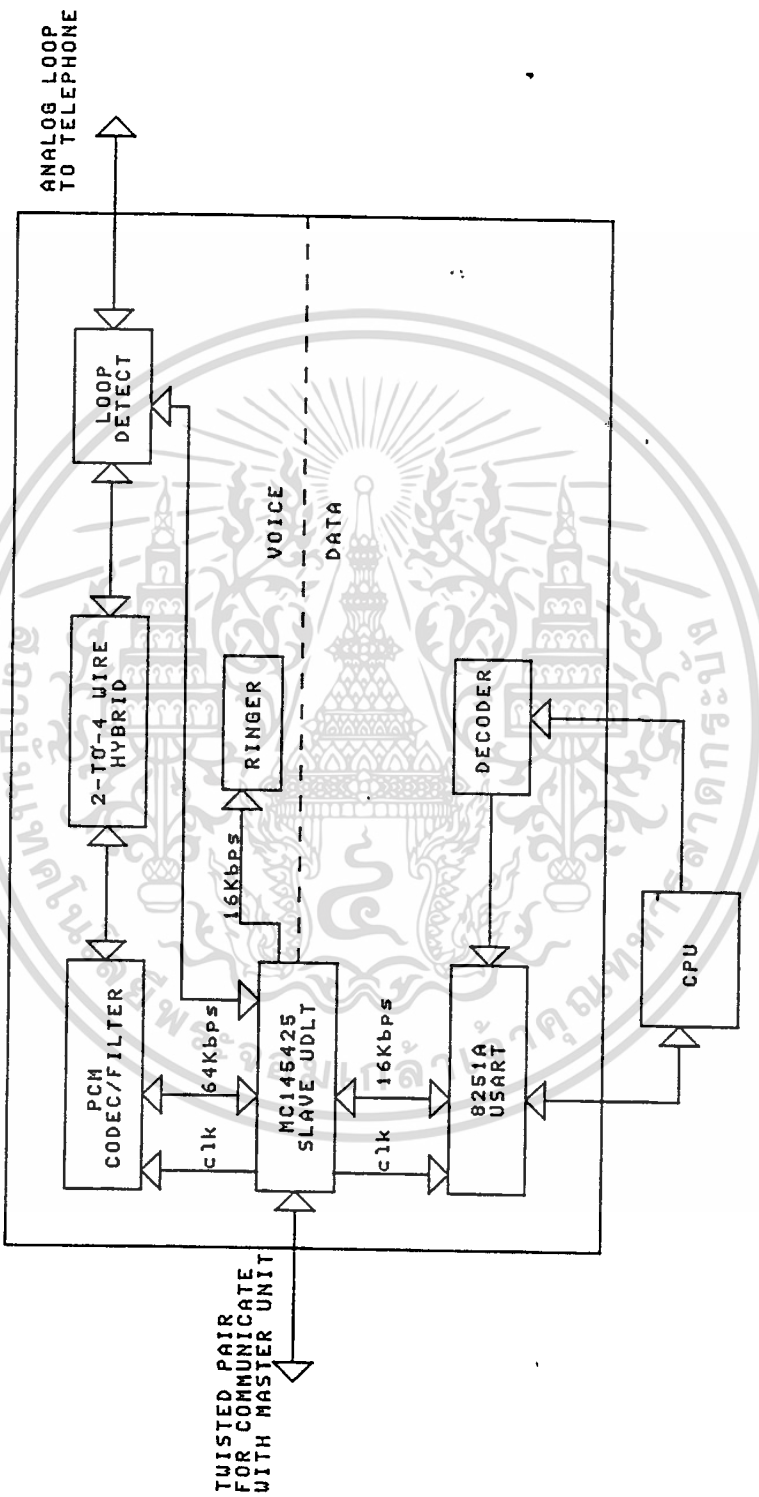


รูปที่ 1.1 แสดงไดอะแกรมของวงจรทั้งหมด



รูปที่ 1.2 แสดงไดอะแกรมของวงจรรับส่งข้อมูลและเสียง(ชุดหลัก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.3 แสดงไดอะแกรมของวงจรรับส่งข้อมูลและเสียง(ชุดรอง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการของการสื่อสารแบบดิจิตอล

2.1 คุณสมบัติของการสื่อสารด้วยสัญญาณดิจิตอล

สัญญาณแบบดิจิตอลสามารถนำมาใช้สื่อสารแทนสัญญาณอนาลอก โดยการแปลงสัญญาณจากอนาลอกให้เป็นดิจิตอล แล้วนำไปเข้ารหัสหรือจัดแปลงให้เหมาะสมกับการส่ง ซึ่งจะขึ้นอยู่กับวิธีการส่งและตัวสายส่ง ข้อดีของการสื่อสารด้วยสัญญาณดิจิตอลที่สำคัญมีดังนี้

1. สะดวกต่อการมัลติเพลกซ์

2. สะดวกในการส่งสัญญาณควบคุม โดยจะกำหนดให้ช่องเวลาช่องหนึ่งในระบบ TDM เป็นช่องสำหรับรับส่งสัญญาณควบคุม

3. สัญญาณรบกวนต่ำ ในระบบอนาลอกนั้น สัญญาณรบกวน (NOISE) และสัญญาณสอดแทรก (INTERFERENCE) สามารถเข้าไปผสมและผ่านไปยังผู้รับได้ง่าย กล่าวคือในระหว่างการส่งของระบบอนาลอก ถ้ามีการขยายสัญญาณข้อมูล ก็จะทำการขยายสัญญาณรบกวนเหล่านี้ไปด้วย แต่ในระบบดิจิตอลนั้น สัญญาณจะอยู่ในรูปของระดับแรงดัน 0 (LOW) และ 1 (HIGH) ถ้าสัญญาณรบกวนมีขนาดไม่มากพอที่จะทำให้สัญญาณจริงเปลี่ยนระดับได้ ก็จะไม่มีผลไปถึงผู้รับ

4. ง่ายต่อการเข้ารหัส(ENCODE) ในกรณีที่ต้องการให้ข้อมูลนั้นเป็นความลับ เราสามารถเข้ารหัสข้อมูลเช่น การสแครมเบลอร์ ที่ปลายทางก็จะมีวงจรดีสแครมเบลอร์ สำหรับถอดรหัส

อย่างไรก็ตามระบบสื่อสารแบบดิจิตอลก็มีข้อเสียคือ

1. เพิ่มแบนด์วิดท์ของสัญญาณ เช่น สัญญาณเสียงพูดสำหรับโทรศัพท์ ซึ่งกำหนดไว้ว่ามีแบนด์วิดท์ไม่เกิน 3.4 KHz เมื่อแปลงเป็นสัญญาณดิจิตอลแล้วส่งด้วยอัตรา 2.048 Mb/s. อย่างน้อยที่สุดสายส่งที่ใช้ ต้องมีผลตอบสนองต่อความถี่ในย่าน 2.048 MHz ได้ ทำให้ต้องใช้สายส่งที่มีราคาแพงขึ้น

2. การซิงค์โครไนเซชั่น (Synchronization) ทางด้านรับนั้นจะต้องมีวงจรสร้างสัญญาณเวลาที่ซิงค์โครไนซ์ (Synchronize) กับทางด้านส่งสำหรับตรวจจับ (Sample) สัญญาณที่เข้ามาแต่ละบิท (Bit) ไม่ให้ผิดพลาด รวมทั้งจะต้องรู้จุดเริ่มต้นของขบวนสัญญาณ (Data Stream) ด้วย ดังนั้นจึงต้องมีวงจรซิงค์โครไนเซชั่น ที่ทำให้สัญญาณทางด้านรับซิงค์โครไนซ์กับทางด้านส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 โครงข่ายบริการสื่อสารร่วมระบบดิจิตอล

ISDN (INTEGRATED SERVICES DIGITAL NETWORK)

เป็นโครงข่ายที่รวมการให้บริการต่างๆ ในลักษณะของสัญญาณดิจิตอลไว้ในโครงข่ายเดียวกัน เพื่อให้บริการกับผู้ใช้บริการ โครงสร้างของ ISDN ตามคำแนะนำของ CCITT แสดงดังตารางที่ 2.1

ตารางที่ 2.1 แสดงโครงสร้างของระบบ ISDN ตามคำแนะนำของ CCITT

GENERAL STRUCTURE OF THE I SERIES RECOMMENDATIONS

PART I : GENERAL STRUCTURE – THE I.100-SERIES	
Section 1 : Frame of I Series Recommendations; Terminology	
I.110	Preamble and general structure of the I Series Recommendations
I.111	Relationship with other Recommendations relevant to ISDNs
I.112	Vocabulary of terms for ISDN
I.113	Vocabulary of terms for broadhand aspects of ISDNs
Section 2 : Description of ISDNs	
I.120	Integrated Services Digital Networks (ISDNs)
I.121	Broadhand aspects of ISDNs
I.122	Framework for providing additional packet made services
Section 3 : General Modeling Methods	
I.130	The method for the characterization of telecommunication services supported by an ISDN an ISDN and network capabilities of an ISDN
Section 4 : Telecommunication Network and Science Attributes	
I.140	Attributes for the characterization of telecommunication services supported by an ISDN and network capabilities of an ISDN
I.141	ISDN charging capability attributes
PART II : SERVICE CAPABILITIES – THE I.200 SERIES	
I.200	Guidance to the I.200 Series
Section 1 : General Aspects of Services in ISDN	
I.210	Principles of telecommunication services supported by an ISDN and network capabilities of an ISDN
I.211	Bearer services supported by an ISDN
I.212	Teleservices supported by an ISDN
Section 2 : Common Aspects of Services in ISDN	
I.220	Common dynamic description of basic telecommunication services
I.221	Common specific characteristics of services
Section 3 : Bearer Services Supported by an ISDN	
I.230	Definition of bearer services
I.231	Circuit mode bearer services categories
I.232	Packet mode bearer services categories
Section 4 : Teleservices Supported by an ISDN	
I.240	Definition of teleservices
I.241	Teleservices supported by an ISDN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Continued

Section 5 : Supplementary Services in ISDN	
I.250	Definition of supplementary services
I.251	Number identification services
I.252	Call offering services
I.253	Call completion services
I.254	Multiparty services
I.255	"Community of Interest" services
I.256	Charging services
I.257	Additional information transfer services

PART III : OVERALL NETWORK ASPECTS AND FUNCTIONS – THE I.300 SERIES

Section 1 : Network Functional Principles	
I.310	ISDN – network functional principles
Section 2 : Referenc Models	
I.320	ISDN Protocol reference model
I.324	ISDN network architecture
I.325	Reference configurations for ISDN connection types
I.326	Reference configurations for relative network resource requirements
I.32x	ISDN hypothetical reference connections
Section 3 : Numbering, Addressing and Routing	
I.330	ISDN numbering and addressing principles
I.331 (E.164)	Numbering plan for the ISDN era
I.332	Numbering principles for interwork between ISDNs and dedicated networks with different numbering plans
I.333	Terminal selection in ISDN
I.334	Principles relating ISDN numbers/subaddress to the OSI reference model network layer addresses
I.335	ISDN routing principles
Section 4 : Connection Types	
I.340	ISDN connection types
Section 5 : Performance Objectives	
I.350	General aspects of Quality of Service and network performance in digital networks, including ISDNs
I.351	Recommendations in other Series including network performance objectives that apply at T reference points of an ISDN
I.352	Network performance objectives for call processing delays

PART IV : ISDN USER-NETWORK INTERFACES-THE I.400-SERIES

Section 1 : ISDN User-Network Interfaces	
I.410	General aspects and principles relating to Recommendations on ISDN user-network interfaces
I.411	ISDN user-network interfaces–Reference configurations
I.412	ISDN user-network interfaces–Interface structures and access capabilities
Section 2 : Application of I Series Recommendations to ISDN User-Network Interfaces	
I.420	Basic user-network interface
I.421	Primary rate user-network interface
Section 3 : ISDN User-Network Interfaces: Layer 1 Recommendations	
I.430	Basic user-network interface–Layer 1 specification
I.431	Primary rate user-network interface–Layer 1 specification
I.43x	Higher rate user-network interfaces
Section 4 : ISDN User-Network Interfaces: Layer 2 Recommendations	
I.440 (Q.920)	ISDN user-network interface data link layer–general aspects
I.441 (Q.921)	ISDN user-network interface data link layer specification
Section 5 : ISDN User-Network Interfaces: Layer 3 Recommendations	
I.450 (Q.930)	ISDN user-network interface layer 3–general aspects
I.451 (Q.931)	ISDN user-network interface layer 3 specification for basic call control
I.452 (Q.932)	ISDN user-network interface layer 3 specification–generic procedures for the control of ISDN supplementary services
Section 6 : Multiplexing Rate Adaptation and Support of Existing Interfaces	
I.460	Multiplexing, rate adaptation, and support of existing interfaces

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Continued

I.451 (X.30)	Support of X.21 and X21bis and X.20bis based Data Terminal Equipments (DTEs) by an Integrated Services Digital Network (ISDN)
I.462 (X.31)	Support of packet mode terminal equipment by an ISDN
I.463 (V.110)	Support of Data Terminal Equipments (DTEs) with V Series type interfaces by an Integrated Services Digital Network (ISDN)
I.464	Multiplexing, rate adaptation, and support of existing interfaces for restricted 64 kbit/s transfer capability
I.465	Support by an ISDN of data terminal equipment with V Series type interfaces with provision for statistical multiplexing
Section 7 : Aspects of ISDN Affecting Terminal Requirements	
I.470	Relationship of terminal functions to ISDN
PART V : INTERNETWORK INTERFACES – THE I.500 SERIES	
I.500	General structure of ISDN interworking Recommendations
I.510	Definitions and general principles for ISDN interworking
I.511	ISDN-to-ISDN layer 1 internetwork interface
I.515	Parameter exchange for ISDN interworking
I.520	General arrangements for network interworking between ISDNs
I.530	Network interworking between an ISDN and a public switched telephone network (PSTN)
I.540 (X.321)	General arrangements for interworking between Circuit-Switched Public Data Network (CSPDNS) and Integrated Services Digital Network (ISDNs) for the provision of data transmission services
I.550 (X.325)	General arrangements for interworking between Packet Switched Public Data Network (PSPDNs) and Integrated Services Digital Network (ISDNs) for the provision of data services
I.560 (V.202)	Requirements to be met in providing the telex service within the ISDN
PART VI : MAINTENANCE PRINCIPLES – THE I.600 SERIES	
I.601	General maintenance principles of ISDN subscriber access and subscriber installation
I.602	Application of maintenance principles to ISDN subscriber installation
I.603	Application of maintenance principles to ISDN basic accesses
I.604	Application of maintenance principles to ISDN primary rate accesses
I.605	Application of maintenance principles to static multiplexed ISDN basic accesses

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการ
034886

2.2.1 ลักษณะการเชื่อมต่อ

การเข้าไปใช้บริการภายในโครงข่าย ISDN จำเป็นต้องผ่านทางอุปกรณ์เชื่อมต่อมาตรฐานที่ได้กำหนดเอาไว้สำหรับการเชื่อมต่ออุปกรณ์สื่อสารข้อมูลชนิดนั้น ๆ การเชื่อมต่ออุปกรณ์สื่อสารข้อมูลในโครงข่าย ISDN มีหลายรูปแบบดังนี้คือ

1. การต่อเข้ากับอุปกรณ์ปลายทางที่ออกแบบไว้สำหรับโครงข่าย ISDN เพียงตัวเดียว

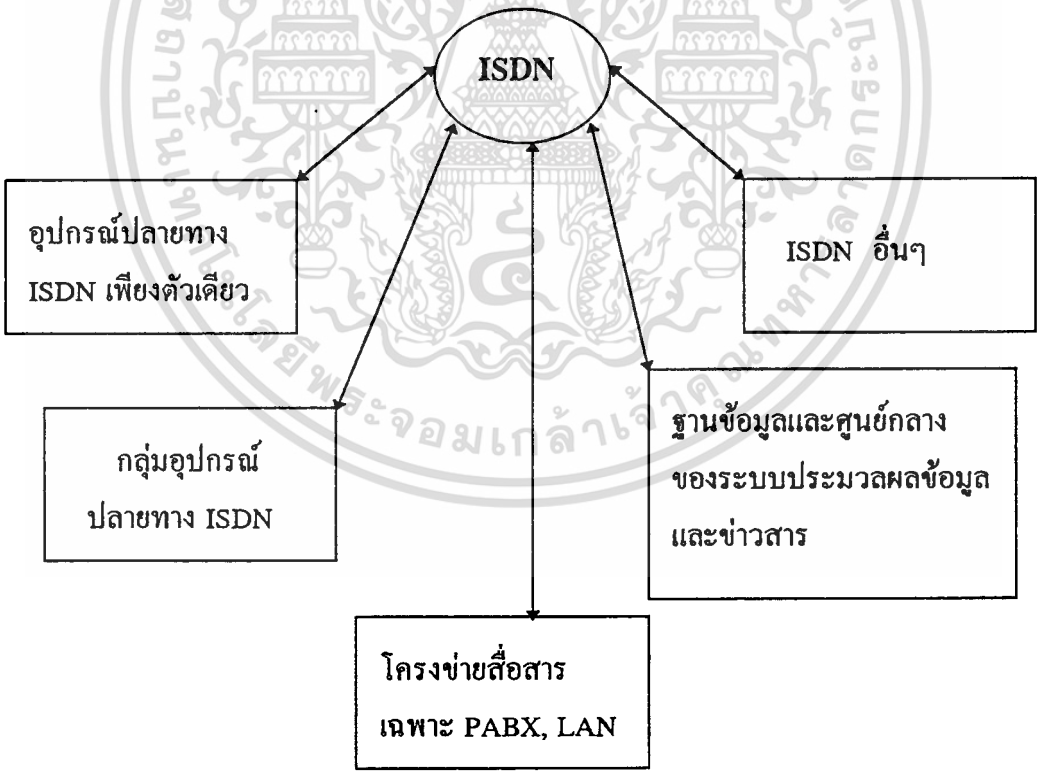
2. การต่อเข้ากับอุปกรณ์ปลายทางที่ออกแบบสำหรับโครงข่าย ISDN หลายตัวหรือกลุ่มอุปกรณ์ปลายทางที่ออกแบบสำหรับโครงข่าย ISDN

3. การต่อเข้ากับโครงข่ายสื่อสารเฉพาะ เช่น LAN, ตู้สาขาโทรศัพท์ (PABX)

4. การต่อเข้ากับฐานข้อมูล, ศูนย์กลางของระบบประมวลผลข้อมูล และข่าวสาร

5. การต่อเข้ากับอุปกรณ์ปลายทางที่ไม่ได้ออกแบบสำหรับโครงข่าย ISDN

6. การต่อเข้ากับโครงข่าย ISDN อื่น ๆ

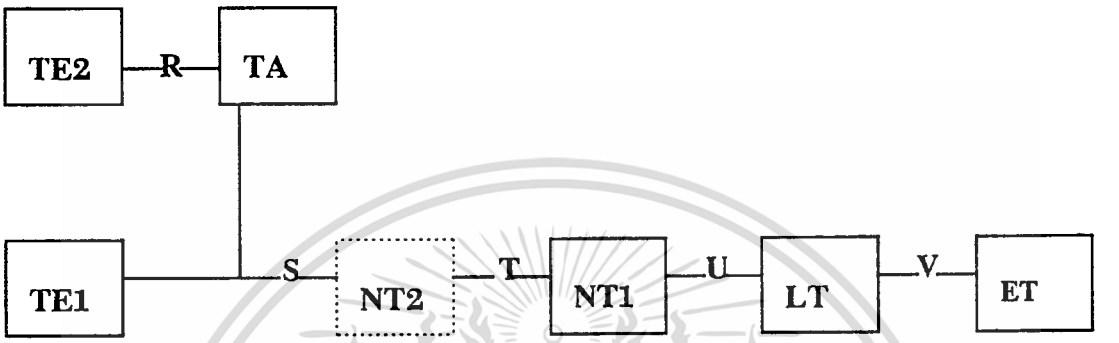


รูปที่ 2.1 แสดงสรุปลักษณะการเชื่อมต่อของผู้ใช้บริการกับโครงข่าย ISDN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 การเชื่อมต่อระหว่างโครงข่าย ISDN กับผู้ใช้บริการ

จุดเชื่อมต่อมาตรฐานถูกกำหนดเอาไว้ 5 จุด คือ จุดเชื่อมต่อมาตรฐาน R, S, T, U, และ V ดังแสดงในรูปที่ 2.2



รูปที่ 2.2 แสดงจุดเชื่อมต่อมาตรฐาน และอุปกรณ์ต่างๆ

1. อุปกรณ์ปลายทาง (Terminal Equipment) ทำหน้าที่เป็นตัวกลางในการติดต่อระหว่างผู้ใช้กับโครงข่าย ISDN และมีความสามารถคลอบคลุมโปรโตคอล ชั้นที่ 1 และสูงขึ้นไปของโปรโตคอลของ OSI (Open System Interconnection) เช่นการต่อโทรศัพท์ดิจิตอลเข้ากับจุดเชื่อมต่อ S และจุดเชื่อมต่อมาตรฐาน S นี้ สามารถมีอุปกรณ์ปลายทางได้ 8 เครื่อง สำหรับ Basic Access Interface (BAI) อุปกรณ์ปลายทาง (Terminal Equipment หรือ TE) มีอยู่ด้วยกัน 2 แบบคือ

1.1 อุปกรณ์ปลายทางประเภทที่ 1 (Terminal Equipment Type 1 หรือ TE 1) เป็นอุปกรณ์ปลายทางที่สามารถต่อเข้ากับจุดเชื่อมต่อมาตรฐาน S ได้เลย อุปกรณ์ประเภทนี้จะต้องเป็นไปตามข้อกำหนดของ CCITT Recommendation I.430 , I.440, I.441, I.445 และ I.451 ตัวอย่างเช่น

- ISDN Telephone
- ISDN Telefax
- ISDN Teletext
- ISDN Videotex
- ISDN (Group 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 อุปกรณ์ปลายทางประเภทที่ 2 (Terminal Equipment Type 2 หรือ TE 2) เป็นอุปกรณ์ที่จำเป็นต้องมี Terminal Adapter หรือ TA เพื่อต่อกับจุดเชื่อมต่อมาตรฐาน S ได้โดยที่ Terminal Adapter ที่เป็นอุปกรณ์ที่ทำหน้าที่แปลงสัญญาณบางอย่างของอุปกรณ์ปลายทางประเภทที่ 2 เช่น เปลี่ยนแปลงอัตราเร็วในการรับส่งข้อมูลโดยวิธีการมัลติเพลกซ์ หรือเปลี่ยนแปลงโปรโตคอลให้เป็นโปรโตคอลของ ISDN ที่จุดเชื่อมต่อมาตรฐาน S ตัวอย่างอุปกรณ์ปลายทางประเภทที่ 2 นี้ได้แก่

- อุปกรณ์ปลายทางในกลุ่มของ X (X Series)
- อุปกรณ์ปลายทางในกลุมของ V (V Series)
- ไมโครคอมพิวเตอร์

2. อุปกรณ์เชื่อมต่อโครงข่าย (Network Termination หรือ NT)

อุปกรณ์เชื่อมต่อโครงข่ายนี้แบ่งออกเป็น 2 กลุ่มคือ

2.1 อุปกรณ์เชื่อมต่อโครงข่ายประเภทที่ 1 (Nerwork Termination 1 หรือ NT 1) จะต่ออยู่กับจุดเชื่อมต่อมาตรฐาน S หรือ T มีหน้าที่แปลงสัญญาณจากคู่สายเข้าสู่โครงสร้างช่องช่องสัญญาณ ลักษณะของคู่สายจะเป็นสายโทรศัพท์ธรรมดา (Copper wire) 1 คู่สาย โดยทั่วไปจะใช้สายเบอร์ 26 อุปกรณ์ NT 1 นี้ จะเป็นตัวแบ่งแยกระหว่างอุปกรณ์ของผู้ใช้กับอุปกรณ์โครงข่าย ISDN โดยที่อุปกรณ์ NT 1 จะต้องให้บริการครอบคลุมโปรโตคอลชั้นที่ 1 ของ OSI และทำการเทอร์มิเนต (Terminate) คู่สายด้วย

2.2 อุปกรณ์เชื่อมต่อโครงข่ายประเภทที่ 2 (Network Termination 2 หรือ NT 2) เป็นอุปกรณ์ที่จะมีหรือไม่มีก็ได้ หากมีอุปกรณ์ NT 2 เชื่อมต่อระหว่างจุดเชื่อมต่อมาตรฐาน S และ T โดยที่อุปกรณ์ NT 2 จะมีหน้าที่ให้บริการครอบคลุมโปรโตคอลชั้นที่ 1,2 และ 3 ของ OSI (Physical Layer, Data Link Layer และ Network Layer) ซึ่งมีความสามารถในการสวิทช์และมัลติเพล็กซ์ ทำให้สามารถต่ออุปกรณ์ปลายทางเข้ากับโครงข่าย ISDN ได้มากขึ้นตัวอย่างของอุปกรณ์ NT 2 ได้แก่ Intercom PABX และ LAN

3. อุปกรณ์เชื่อมต่อสาย (Line Terminal หรือ LT) เป็นอุปกรณ์ที่ติดตั้งอยู่ในชุมสาย ISDN สำหรับการต่อสายของผู้ใช้กับชุมสาย

4. อุปกรณ์เชื่อมต่อชุมสาย (Exchange Terminal หรือ ET) เป็นอุปกรณ์ที่ติดตั้งอยู่ในชุมสาย ISDN ซึ่งทำหน้าที่ส่งสัญญาณเพื่อการเริ่มต้นการติดต่อระหว่างชุมสาย ISDN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

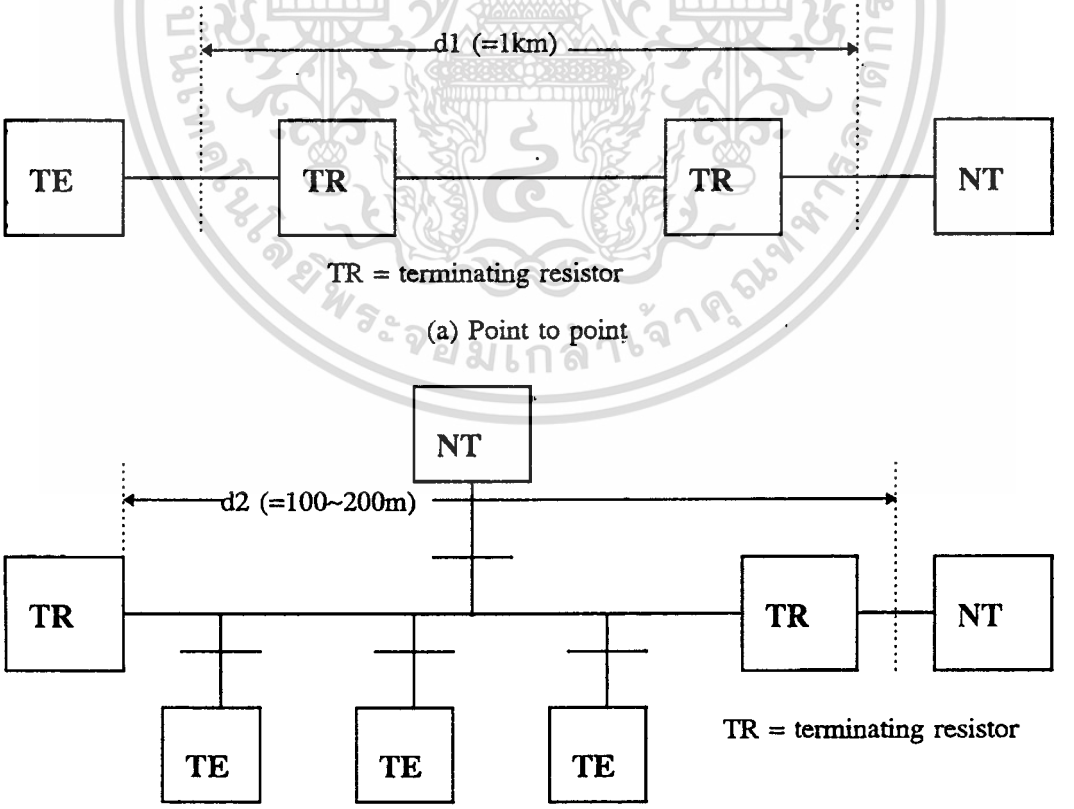
สำหรับการเชื่อมต่อระหว่างอุปกรณ์ปลายทาง (Terminal Equipment) กับอุปกรณ์เชื่อมต่อโครงข่าย (Network Termination) นั้นสามารถทำได้ 3 รูปแบบด้วยกันคือ

ก.) การเชื่อมต่อแบบ Point to Point เป็นรูปแบบการเชื่อมต่อที่เตรียมไว้สำหรับการติดต่อสื่อสารที่มีเครื่องรับและเครื่องส่งที่ปลายทางของสายส่งด้านละ 1 เครื่อง โดยที่ระยะห่างระหว่าง TE และ NT ประมาณ 1 กิโลเมตร และมีการลดทอน(Attenuation) ของสัญญาณสูงสุด 6 dB ที่ความถี่ 96 กิโลเฮิร์ตซ์

ข.) การเชื่อมต่อแบบ Short Passive Bus เป็นรูปแบบของการเชื่อมต่อที่มีอุปกรณ์ปลาย-ทางหลายตัว มาต่ออยู่กับสายส่ง ซึ่งมีความยาวประมาณ 100-200 เมตร ในลักษณะที่ตำแหน่งของการเชื่อมต่ออุปกรณ์ปลายทางเข้ากับสายส่งเป็นแบบสุ่ม (Random)

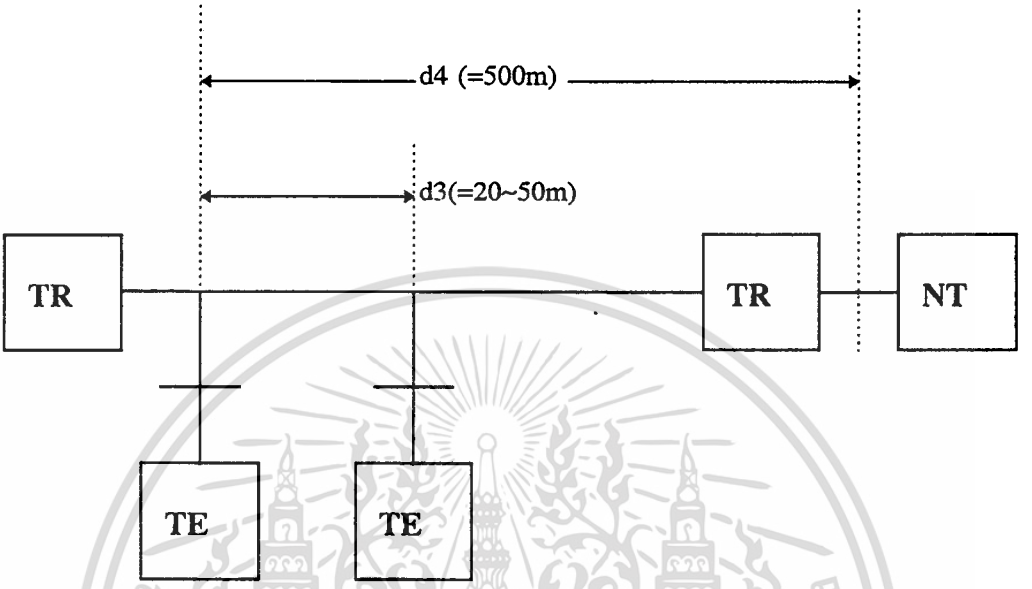
ค.) การเชื่อมต่อแบบ Extended Passive Bus เป็นรูปการเชื่อมต่ออุปกรณ์ปลายทางหลายตัวมาต่ออยู่กับสายส่งซึ่งมีความยาวประมาณ 500 เมตร ในลักษณะที่ตำแหน่งของการเชื่อมต่ออุปกรณ์ปลายทางเข้ากับสายส่งห่างกันประมาณ 25 ถึง 50 เมตร

รูปที่ 2.3 แสดงการเชื่อมต่อระหว่าง TE กับ NT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.3 (ต่อ)



TR = terminating resistor

(c) Extended passive bus

2.2.3 ช่องสัญญาณ

ตามมาตรฐานคำแนะนำของ CCITT ได้กำหนดช่องสัญญาณหลัก ๆ ในระบบ ISDN ได้ดังนี้

1. ช่องสัญญาณ A เป็นช่องสัญญาณที่ใช้กับสัญญาณอนาลอก ที่มีแบนด์วิดท์ขนาด 3.1 KHz (300 Hz - 3400 Hz)

2. ช่องสัญญาณ B เป็นช่องสัญญาณพื้นฐานที่ใช้ในการรับส่งข้อมูลแบบดิจิตอลที่มีความเร็วในการรับส่งข้อมูลขนาด 64 Kbps ข่าวสารและข้อมูลที่ทำการรับส่งในช่องสัญญาณ B มีหลายชนิด เช่น เสียง, ข้อมูล, ภาพนิ่ง และ โทรสาร ซึ่งในบางครั้งอัตราเร็วในการส่งข้อมูลอาจจะน้อยกว่า 64 Kbps ได้ แต่ไม่สามารถที่จะส่งสัญญาณ Signalling ได้ ซึ่งสัญญาณ Signalling นี้จะถูกส่งในช่องสัญญาณ D แทน

3. ช่องสัญญาณ D เป็นช่องสัญญาณที่ใช้ในการส่งสัญญาณ Signalling มีลักษณะคล้ายกับเฟรมของข่าวสารในโหมดการสื่อสารแบบแพคเกตสวิทช์ (Packet Switching) และข้อมูลความเร็วต่ำ อัตราเร็วในการรับส่งข้อมูลของช่องสัญญาณ D ถูกกำหนดเอาไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 แบบด้วยกันคือ 16 Kbps และ 64 Kbps ขึ้นอยู่กับว่าต้องการติดต่อกับโครงข่าย ISDN ด้วยข้อมูลจำนวนมากหรือน้อย ในช่องสัญญาณ D นี้มีการใช้โปรโตคอลที่เรียกว่า LAP-D ซึ่งย่อมาจาก Line Protocol on the D chammel คล้ายกับ X.25 แต่มีการเพิ่มข้อมูล เพื่อใช้ในการอ้างตำแหน่ง (Address) สำหรับใช้ในการติดต่อแบบจุดต่อหลายจุดได้ นอกจากนี้ LAP-D ยังให้บริการโปรโตคอลชั้นที่ 2 ของ OSI (Data Link Layer) และสร้างขึ้นจากบางส่วนของ HDLC (High-Level Data Link Control) ทำให้มีความเชื่อถือได้สูง

4. ช่องสัญญาณ E เป็นช่องสัญญาณที่มีอัตราเร็วมนการรับส่งข้อมูล 64 Kbps ใช้สำหรับการรับส่งสัญญาณ Signalling สำหรับการสื่อสารในโหมดเซอร์กิตสวิทช์ (Circuit Switching) เพื่อใช้ในการเชื่อมต่อ PABX กับระบบ ISDN โดยผ่านช่องสัญญาณที่มีอัตราเร็วในการรับส่งข้อมูล 2 Mbps

5. ช่องสัญญาณ H เป็นช่องสัญญาณที่ใช้ในการรับส่งข้อมูลด้วยอัตราเร็วสูงมากจึงมีความจำเป็นต้องใช้เส้นใยแก้วนำแสง(Fiber Optic) มาช่วย ทำให้สามารถรับส่งข้อมูลความเร็วสูง, ภาพเคลื่อนไหว และ โทรสารความเร็วสูง ซึ่งเริ่มเข้าไปสู่ยุคของโครงข่าย ISDN แถบความถี่กว้าง และลักษณะของช่องสัญญาณ H มีคุณสมบัติแบบเดียวกับช่องสัญญาณ B เพียงแต่มีความเร็ว n เท่าของ 64 Kbps ที่ได้กำหนดเป็นมาตรฐานไว้แล้วดังนี้

- ช่องสัญญาณ H0 มีอัตราเร็วในการรับส่งข้อมูล 384 Kbps
- ช่องสัญญาณ H1 แบ่งออกเป็น 2 ชนิดคือ ช่องสัญญาณ H11 มีอัตราเร็วในการรับส่งข้อมูล 1536 Kbps และช่องสัญญาณ H12 มีความเร็วในการรับส่งข้อมูล 1920 Kbps
- ช่องสัญญาณ H2 มีอัตราเร็วในการรับส่งข้อมูล 30 Mbps
- ช่องสัญญาณ H3 มีอัตราเร็วในการรับส่งข้อมูล 70 Mbps
- ช่องสัญญาณ H4 มีอัตราเร็วในการรับส่งข้อมูล 140 Mbps

2.2.4 โครงข่ายของช่องสัญญาณ

ในระยะเริ่มแรกของโครงข่าย ISDN ได้มีการกำหนดมาตรฐานของโครงสร้างช่องสัญญาณไว้เป็นแบบย่านความถี่แคบ หรือ Narrow Band ISDN ซึ่งประกอบด้วยช่องสัญญาณที่มีอัตราเร็ว 2 แบบคือ

1. Basic Access Interface หรือ BAI โครงสร้างการเชื่อมต่อแบบนี้ประกอบด้วยช่องสัญญาณ B 2 ช่องสัญญาณ ซึ่งมีอัตราเร็วในการรับส่งสัญญาณช่องละ 64 Kbps และ ช่องสัญญาณ D 2ช่องสัญญาณ ที่มีอัตราเร็วในการรับส่งช่องสัญญาณช่องละ 16 Kbps แต่ผู้ใช้จะใช้ช่องสัญญาณ B 2 ช่อง และ D อีก 1 ช่อง ส่วนช่องสัญญาณ D อีก 1 ช่องนั้น จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้เพื่อให้สามารถเรียกใช้ได้ทั้งในรูปแบบจากจุดถึงจุด หรือจากจุดถึงหลายจุดโดยใช้ได้สูงสุดถึง 8 จุด บางครั้ง BAI นี้จะถูกเรียกว่า 2B+D

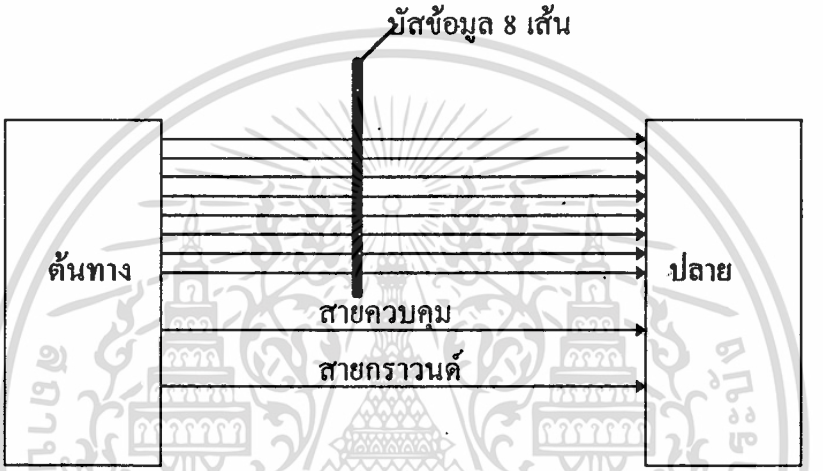
2. Primary Rate Interface หรือ PRI โครงสร้างการเชื่อมต่อแบบนี้ประกอบด้วยช่องสัญญาณ B หลาย ๆ ช่อง กับช่องสัญญาณ D ที่มีอัตราเร็วในการรับส่งข้อมูล 64 Kbps อีก 1 ช่อง สำหรับในปัจจุบัน โครงสร้างแบบนี้ได้แบ่งออกเป็น 2 กลุ่ม คือ ระบบที่รับส่งข้อมูลด้วยอัตราเร็ว 1544 Kbps จะมีการโครงสร้างการเชื่อมต่อแบบ 23B+D ใช้กันมากในกลุ่มประเทศอเมริกาเหนือ และระบบรับส่งข้อมูลด้วยความเร็ว 2 Mbps ซึ่งมีโครงสร้างในการเชื่อมต่อแบบ 30B+D ใช้กันมากในกลุ่มประเทศยุโรป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การส่งข้อมูลแบบขนานและแบบอนุกรม

โดยทั่วๆ ไปแล้วการส่งข้อมูลในคอมพิวเตอร์ หรือระหว่างคอมพิวเตอร์ด้วยกัน จะมีลักษณะการส่งข้อมูลอยู่ 2 แบบ คือ ส่งแบบขนาน และส่งแบบอนุกรม

ในลักษณะของการส่งข้อมูลแบบขนานนั้น ข้อมูลทุกๆบิทจะถูกส่งออกไปพร้อมๆกัน ในครั้งเดียวกัน เช่นถ้าข้อมูลเป็น 10101010 ทั้ง 8 บิทนี้จะถูกส่งออกไปพร้อมๆกัน โดยส่งผ่านสายส่งข้อมูลที่มี 8 เส้น โดยแต่ละบิทจะส่งในสายส่งคนละเส้นดังรูปที่ 2.4



รูปที่ 2.4 แสดงการส่งข้อมูลแบบขนาน

สำหรับการส่งข้อมูลแบบอนุกรมนั้น ข้อมูลแต่ละบิทจะถูกเรียงกันออกไปตามลำดับต่อเนื่องกันทีละบิท โดยจะส่งข้อมูลที่มีนัยสำคัญน้อยสุด LSB (LEAST SIGNIFICANT BIT) ออกไปก่อน ตามลำดับด้วยบิทที่ 2, 3,...,และบิทสุดท้าย ที่มีนัยสำคัญสูงสุด MSB (MOST SIGNIFICANT BIT) ซึ่งจะใช้สายส่งเพียงเส้นเดียวเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเปรียบเทียบระหว่างการส่งข้อมูลแบบขนานและแบบอนุกรม

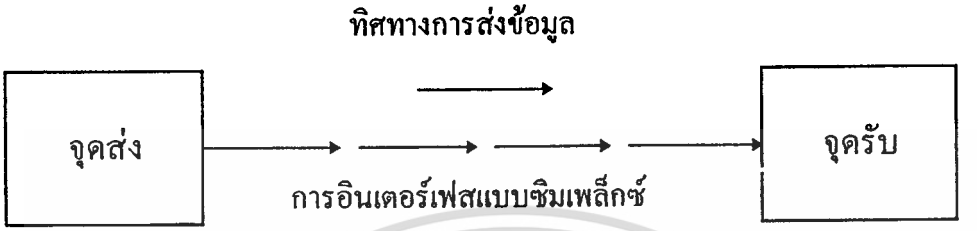
	แบบขนาน	แบบอนุกรม
1. ระยะทาง	ปกติน้อยกว่า 100 ฟุต	ส่งได้ตั้งแต่ระยะทางสั้นๆจนถึงระยะทางเป็นไมล์
2. ความเร็ว	อัตราความเร็วสูงสุดในระยะที่ไม่ไกลมากนัก กำหนดได้เป็นจำนวนบิทต่อวินาที	อัตราความเร็วของข้อมูลที่ใช้กันอยู่ทั่วไปจะอยู่ในช่วง 0 ถึง 2 ล้านบิทต่อวินาที
3. ระดับของสัญญาณ	ในการอินเตอร์เฟสจะใช้ระดับสัญญาณที่ใช้กับสัญญาณTTLคือสัญญาณลอจิก 1 และ 0 จะแทนด้วยระดับ +5V. และ 0 V. ตามลำดับ	ใช้มาตรฐานของ EIA-RS 23C คือมีระดับสัญญาณ ไฟฟ้าขนาด 12 V. หรืออาจจะใช้ 20 mA CURRENT LOOP หรืออาจจะใช้ระดับสัญญาณของ TTL ก็ได้
4. ความผิดพลาดของสัญญาณ	ถ้าส่งในระยะไกลๆ ความผิดพลาดของข้อมูลจะเกิดขึ้นง่าย	การผิดพลาดของสัญญาณจะมีน้อยลง
5. ค่าใช้จาย	ถ้าส่งในระยะทางไกลๆ จะสิ้นเปลืองค่าใช้จ่ายมาก เพราะจะต้องใช้สายส่งสัญญาณหลายเส้น	สิ้นเปลืองน้อยกว่าหลายเท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 ทิศทางการส่งผ่านข้อมูล

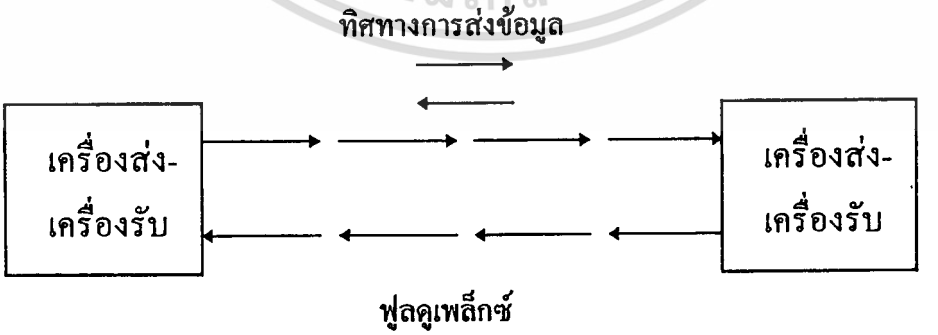
ทิศทางของการส่งผ่านข้อมูลมี 3 แบบคือ

1. แบบทิศทางเดียว หรือ ซิมเพล็กซ์ (SIMPLEX)



2. แบบสองทางแต่โต้ตอบกันไม่ได้ หรือ ฮาล์ฟดูเพล็กซ์ (HALF DUPLEX)

3. แบบส่งข้อมูลได้สองทางและโต้ตอบกับได้ หรือ ฟูลดูเพล็กซ์ (FULL DUPLEX)



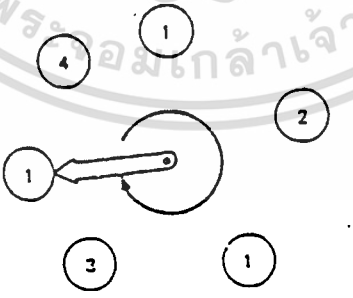
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 โปรแกรมควบคุมการส่งผ่านข้อมูล

ซอฟแวร์ที่ใช้ควบคุมการสื่อสารข้อมูล มี 2 วิธี คือ การโพล I/O (POLLED I/O) และการอินเตอร์รัพท์ I/O (INTERRUPT I/O)

1. การโพลลิ่ง (POLLING) ในการโพลลิ่งนี้ ซีพียูจะคอยรับข้อมูลจากเทอร์มินอล ตลอดเวลา โดยที่ซีพียูจะสูญเสียเวลาไปประมาณ 90 เปอร์เซ็นต์ ของคาบเวลา T.ในการ "DRY POLL" ซึ่งก็คือช่วงเวลาที่ซีพียูทำการส่งสัญญาณการโพลออกไปตรวจสอบที่พอร์ทต่างๆ แต่ปรากฏว่าไม่มีข้อมูลถูกป้อนเข้ามา สำหรับในกรณีที่ซีพียูส่งสัญญาณการโพลออกไปตรวจสอบแล้วพบว่ามีข้อมูลที่ต้องการส่งเข้ามา เรียกว่า "WET POLL"

ในกรณีที่ซีพียูต้องมีการแลกเปลี่ยนข้อมูลระหว่างอุปกรณ์รอบข้างหลายชิ้น ซีพียูจะต้องมีความเร็วในการโพลไปยังอุปกรณ์รอบข้างทุกๆชิ้นได้ทัน เพื่อไม่ให้ข้อมูลเกิดสูญหาย ซึ่งรูปแบบที่จะต้องจัดวางอุปกรณ์รอบข้างต่างๆ เพื่อให้การโพลเข้าถึงอุปกรณ์รอบข้างทุกชิ้นได้จะต้องจัดแบบวงเวียน (ROUND ROBIN) ซึ่งเป็นเทคนิคที่อุปกรณ์รอบข้างแต่ละชิ้นถูกกำหนดตำแหน่งทางลอจิกให้มีลักษณะเป็นวงกลม และอุปกรณ์แต่ละชิ้นจะมีลำดับความสำคัญลดหลั่นกันไป คือเรียกว่า มีไพรออริตี้ (PRIORITY) ต่างๆ กัน เมื่อมาจัดวางในแบบ ROUND ROBIN แล้วอุปกรณ์ที่มีลำดับความสำคัญ (PRIORITY) ต่างๆ กันนี้ก็จะถูกโพลก่อนหรือหลังตามลำดับ นั่นคือถ้ามีลำดับความสำคัญสูงก็จะถูกโพลบ่อยครั้งกว่าอุปกรณ์ที่มีความสำคัญต่ำกว่า



รูปที่ 2.5 แสดงการโพลแบบวงเวียน (round robin)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การอินเตอร์รัพท์ (INTERRUPT) การอินเตอร์รัพท์จะมีอยู่ 2 ลักษณะ คือ มาส-เคเบิลอินเตอรัพท์ (MASKABLE INTERRUPT) ซึ่งซีพียูสามารถปฏิเสธการขออินเตอร์รัพท์ได้ และนอนมาสเคเบิลอินเตอร์รัพท์ (NON-MASKABLE INTERRUPT) ซึ่งซีพียูไม่สามารถปฏิเสธการขออินเตอร์รัพท์ได้

อุปกรณ์รอบข้าง (I/O) สามารถส่งสัญญาณของอินเตอร์รัพท์ (แบบมาสเคเบิล) ได้ คือส่งสัญญาณอินเตอร์รัพท์รีเควส (INTERRUPT REQUEST) นอกจากนี้ก็จะมีสัญญาณขออินเตอร์รัพท์แบบนอนมาสเคเบิลอินเตอร์รัพท์

ขั้นตอนตอบสนองต่อการอินเตอร์รัพท์

1. อุปกรณ์ภายนอกส่งสัญญาณ INT เข้ามายังซีพียู

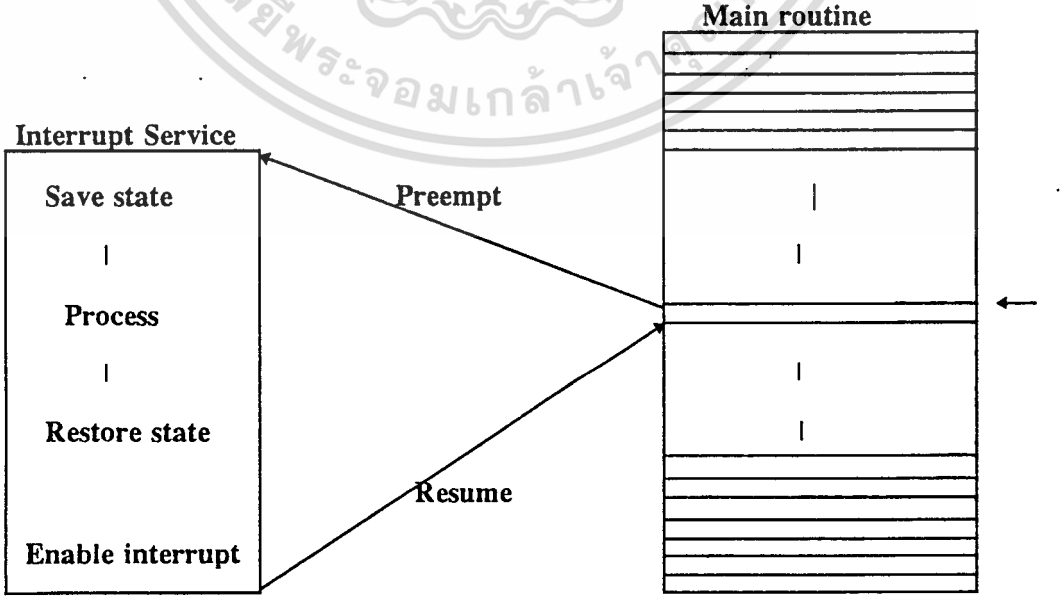
2. ถ้าซีพียูยอมให้มีการอินเตอร์รัพท์ได้หรือทำคำสั่ง EI (ENABLE INTERRUPT) ซีพียูก็จะตอบรับต่อการอินเตอร์รัพท์นั้นด้วย INTERRUPT ACKNOWLEDGE CYCLE

3. เมื่ออุปกรณ์ภายนอกรับรู้ว่า ซีพียูยอมให้มีการอินเตอร์รัพท์ได้ก็จะส่งอินเตอร์รัพท์เวกเตอร์เข้ามายังซีพียู

4. ซีพียูก็จะนำเอาอินเตอร์รัพท์เวกเตอร์นั้นมาเป็นตัวชี้ตำแหน่ง ของคำสั่งที่จะต้องกระโดดไปทำ(โดยซีพียูจะต้องเก็บสถานะของตำแหน่งในโปรแกรมหลักขณะนั้นไว้ในสแตก)

5. ซีพียูจะกระโดดไปปฏิบัติตามคำสั่ง ณ ตำแหน่งที่ชี้โดยอินเตอร์รัพท์เวกเตอร์ (เป็นอินเตอร์รัพท์ เซอร์วิสรูทีน)

6. ก่อนจบการทำงานตามโปรแกรมอินเตอร์รัพท์เซอร์วิสรูทีน ซีพียูก็จะดึงเอาตำแหน่งที่เก็บไว้ในสแตกกลับมา แล้วกระโดดไปยังตำแหน่งนั้นแล้วทำคำสั่งในโปรแกรมหลักต่อไป



รูปที่ 2.6 แสดงขั้นตอนการตอบสนองต่อการอินเตอร์รัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเปรียบเทียบของการโพลลิ่งกับการอินเตอร์รัพท์

การโพล

ข้อดี	ข้อเสีย
1. อุปกรณ์ทางฮาร์ดแวร์ที่ใช้เป็นแบบง่ายๆ	1. 90 เปอร์เซ็นต์ของคาบเวลา (T) ถูกใช้ไปในการตรวจสอบพอร์ทต่างๆ ซึ่งเป็นการสูญเสียอย่างยิ่งถ้าเป็นกรณีของ DRY POLL ช่วงเวลาการคอยเพื่อที่จะทำการโพลค่อนข้างนาน
2. ซอฟท์แวร์ที่จะต้องเขียนขึ้นมาเพื่อใช้ในกระบวนการที่ไม่ยุ่งยากและสามารถแก้ไขข้อบกพร่องได้ง่าย	

การอินเตอร์รัพท์

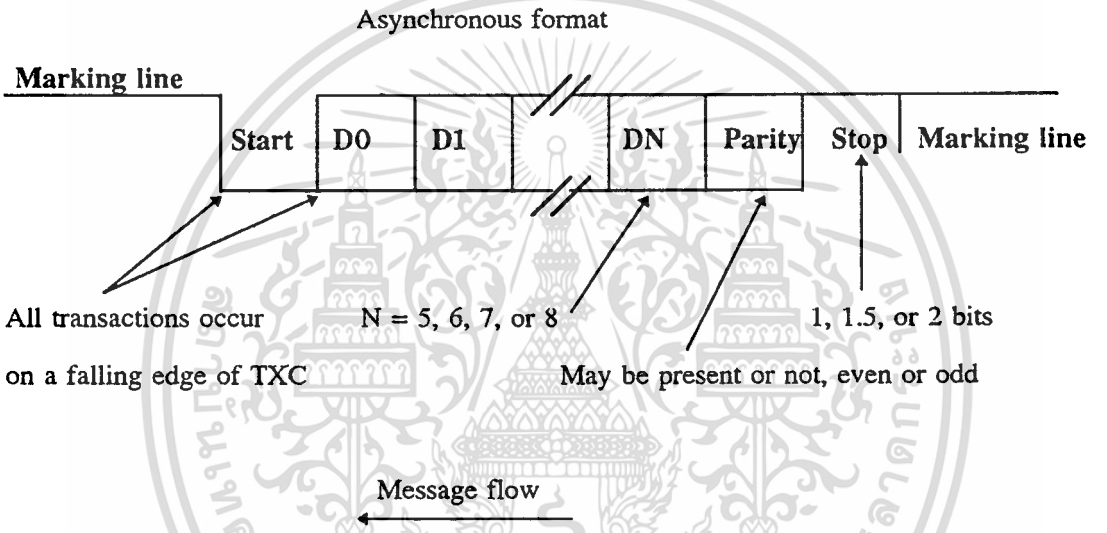
ข้อดี	ข้อเสีย
1. ซีพียูจะมีการพิจารณาการขออินเตอร์รัพท์ก็ต่อเมื่อมีสัญญาณการขออิเตอร์รัพท์ส่งเข้ามาเท่านั้น ทำให้ไม่ต้องเสียเวลาตรวจสอบไปเช่นในกรณี DRY POLL	1. เวลาที่ต้องใช้ในการตรวจสอบต่อการขออินเตอร์รัพท์นานกว่าการโพล เพราะว่าอินเตอร์รัพท์เซอร์วิสรูทีนหรือโปรแกรมตอบสนองต่อการอินเตอร์รัพท์จะต้องมีขั้นตอนการบันทึกสถานะ (STATUS) ของซีพียูก่อนจะทำการประมวลผลคำสั่งต่างๆ โดยตรง
2. การตอบสนองต่อการอินเตอร์รัพท์จะเริ่มทันทีหลังจากได้รับสัญญาณอินเตอร์รัพท์รีเควส (INTERRUPT REQUEST)	2. ต้องใช้อุปกรณ์ฮาร์ดแวร์ที่ซับซ้อนขึ้น ในกรณีที่อุปกรณ์รอบข้างหลายๆชิ้นมีการขออินเตอร์รัพท์ พร้อมๆกันก็จะต้องมีการใช้เทคนิคของการจัดลำดับความสำคัญ (PRIORITY) ให้แก่อุปกรณ์เหล่านั้นโดยชัดเจน คือจะต้องกำหนดชื่ออุปกรณ์ต่างๆก่อน และในการสร้าง CONNECTION RESOLUTION สามารถทำได้โดยการเพิ่มเติมอุปกรณ์ฮาร์ดแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 การส่งข้อมูลแบบอะซิงค์โครนัส และ ซิงค์โครนัส

2.3.3.1 การรับส่งข้อมูลแบบอะซิงค์โครนัส

ในการรับส่งข้อมูลแบบอะซิงค์โครนัสนั้น โครงสร้างของข้อมูลที่จะส่งจะมีลักษณะเป็นบล็อคๆซึ่งแต่ละบล็อคประกอบด้วยบิทเริ่มต้น (START BIT) ส่วนของข้อมูล และบิทสุดท้ายคือบิทสิ้นสุดข้อมูล (STOP BIT) โดยบิทเริ่มต้นจะแสดงถึงการเริ่มต้นของกลุ่มข้อมูล แล้วตามด้วยส่วนของกลุ่มข้อมูล และบางกรณีอาจจะมีการเพิ่มบิทพาริตี้ เพื่อใช้ตรวจสอบความถูกต้องของข้อมูล และบิทสิ้นสุดข้อมูลก็จะเป็นการบอกว่าข้อมูลเป็นบล็อคๆ นี้หมดลงเพียงแค่นี้



รูปที่ 2.7 แสดงรูปแบบของการส่งข้อมูลแบบAsynchronous

บิทเริ่มต้น (START BIT)

ในโปรโตคอลของการส่งข้อมูลแบบอะซิงค์โครนัส กำหนดให้สถานะมาร์ค (MARKING STATE) เป็นสัญญาณลอจิก 1 เมื่อทางด้านส่งจะทำการส่งข้อมูล ก็จะต้องส่งบิทเริ่มต้น โดยแทนด้วยสถานะสเปส (SPACE STATE) หรือ สัญญาณลงจิก 0 จำนวน 1 บิทไปก่อน ซึ่งจะทำให้ทางด้านรับดีเท็กซ์สถานะของสายส่งได้ว่า ขณะนั้นสายส่งกำลังมีข้อมูลส่งมา สำหรับปัญหาที่เกิดขึ้น และมีผลต่อสัญญาณข้อมูลก็คือสัญญาณสไปค์ (SPIKE) ซึ่งทำให้สถานะลงจิกของสายส่งมีช่วงเวลาสั้นเกินไป ทำให้ทางด้านรับไม่สามารถดีเท็กซ์สถานะของสายส่งหรือสถานะของบิทเริ่มต้นได้ ดังนั้นส่วนใหญ่ทางด้านรับจะมีส่วนของวงจรสไปค์ดีเทคชั่น (Spike detection) ที่ทำหน้าที่สุ่มจับสัญญาณสถานะของสายส่งด้วยความถี่ของการสุ่มค่าหนึ่งในระหว่างบิทต่อบิท ซึ่งอาจจะเป็น 2 , 4 หรือ 16 ครั้งในระหว่าง 1 บิทก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิทข้อมูล (DATA BIT)

หลังจากข้อมูลที่สามารถดีเท็คซ์สัญญาณบิทเริ่มต้นได้แล้ว ก็จะทำการเซ็ทสถานะของซิฟท์รีจีสเตอร์ ให้พร้อมที่จะรับข้อมูลได้ โดยบิทข้อมูลจะมีจำนวนบิทเป็น 5,6,,7 หรือ 8 บิท ขึ้นอยู่กับจำนวนคาร์แรกเตอร์ที่ใช้ดังแสดงตามตารางต่อไปนี้

จำนวนบิทข้อมูลใน 1 คาร์แรกเตอร์	จำนวนคาร์แรกเตอร์
5 บิท	32
6 บิท	64
7 บิท	128
8 บิท	256

บิทพาริตี้ (PARITY BIT)

บิทนี้จะทำหน้าที่ในการบอกให้ส่วนรับข้อมูลทราบว่า ข้อมูลที่รับเข้ามาผิดหรือไม่ (โดยบิทนี้จะทำหน้าที่ในการบอกให้ด้านรับทราบว่าข้อมูลที่ส่งมาแต่ละไบท์นั้น มีจำนวนบิทที่เป็น "1" อยู่เป็นจำนวนคี่ หรือจำนวนคู่) บิทพาริตี้นี้จะถูกส่งออกมาพร้อมกับบิทข้อมูล ซึ่งบิทนี้จะเป็น "1" หรือ "0" นั้น ขึ้นอยู่กับข้อมูลที่ส่งออกมาว่ามีจำนวนบิทที่เป็น "1" เป็นจำนวนคี่หรือคู่ และยังขึ้นอยู่กับอุปกรณ์รับส่งข้อมูลด้วยว่าถูกออกแบบ (PROGRAM) ไว้ในรับส่งพาริตี้ในลักษณะของพาริตี้คู่หรือคี่อีกด้วย

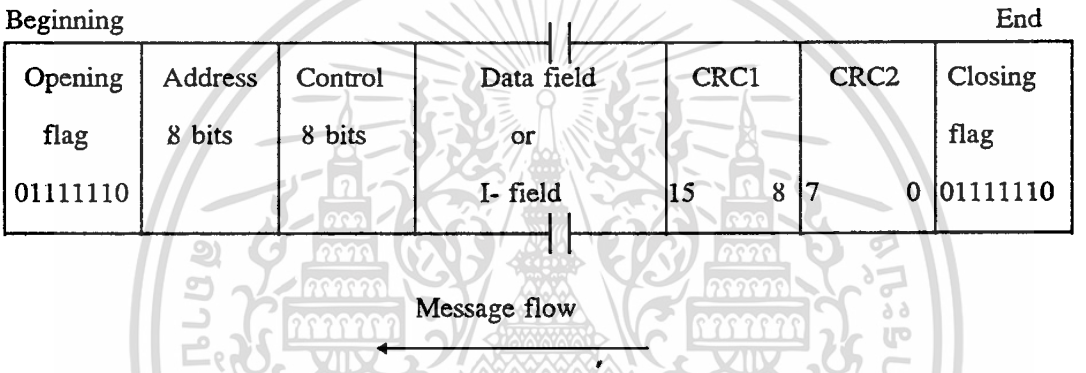
บิทสิ้นสุดข้อมูล (STOP BIT)

บิทสุดท้ายที่เพิ่มเข้าไปนี้ จะใช้ในการตรวจสอบจุดสิ้นสุดของข้อมูล บิทนี้จะถูกเพิ่มเข้าไปหลังพาริตี้บิท ถ้าอุปกรณ์รับข้อมูลตรวจไปพบบิทนี้ ก็แสดงว่าข้อมูลที่รับเข้ามานั้นเกิดข้อผิดพลาดขึ้น สำหรับบิทสิ้นสุดข้อมูลนี้อาจจะมีจำนวนบิทเป็น 1, 1/2 หรือ 2บิท ก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3.2 <u>การรับส่งข้อมูลแบบซิงค์โครนัส</u>

ในการส่งข้อมูลแบบซิงค์โครนัสนั้นจะต้องมีการส่งสัญญาณนาฬิกาไปพร้อมๆ กับสัญญาณข้อมูล ในการส่งข้อมูลระยะสั้นๆ สัญญาณนาฬิกาซึ่งใช้เป็นสัญญาณซิงค์อาจจะส่งแยกไปในสายส่งสัญญาณอีกเส้นหนึ่ง ไม่ส่งรวมไปในสายส่งข้อมูลได้แต่ถ้าเป็นการสื่อสารในระยะไกลๆ แล้ว สัญญาณนาฬิกาจะถูกเข้ารหัสส่งร่วมไปกับสัญญาณข้อมูลในสายส่งเดียวกัน ในการส่งข้อมูลแบบซิงค์โครนัสนั้นจะส่งข้อมูลเป็นบล็อคๆ (บล็อคหนึ่งๆ ประกอบด้วยข้อมูลหลายชุด) แต่จะไม่มีบิทเริ่มต้น และบิทหยุดเหมือนกับอะซิงค์โครนัส



รูปที่ 2.8 แสดงรูปแบบการส่งข้อมูลแบบ Synchronous

ตัวอย่างของโปรโตคอลได้แก่

BISYNC (IBM) : BINARY SYNCHRONOUS COMMUNICATION

SDLC (IBM) : SYNCHRONOUS DATA - LINK CONTROL

HDLC (ISO) : HIGH - LEVEL DATA - LINK CONTROL

ADCCP (ANSI) : ADVANCE DIGITAL-COMMUNICATION-CONTROL PROTOCAL

X.25 (CCITT) : RECOMMENDATION FROM THE X.25 COMMITTEE

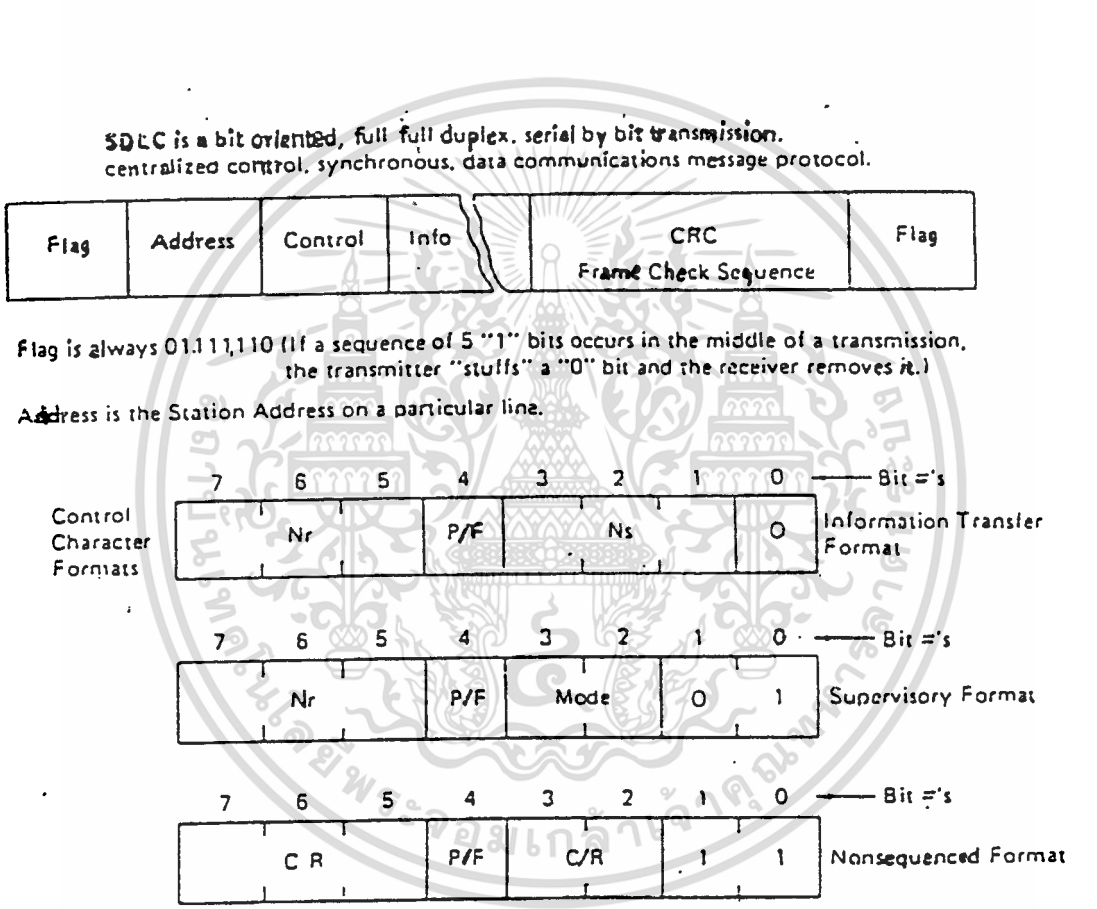
DDCMP (DEC) : DIGITAL - DATA - COMMUNICATION MESSAGE PROTOCOL

UDLC (UNIVAC) : UNIVAC DATA - LINK CONTROL

BDLC (BURROUGHS) : BURROUGH DATA - LINK CONTROL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยหลักสำคัญของโปรโตคอลเหล่านี้ก็อยู่ที่คาร์แรกเตอร์พิเศษ หรือกลุ่มของบิทที่นำหน้าบิทข้อมูลอยู่ ซึ่งถ้าเป็น BIT-ORIENTED PROTOCOL จะเรียกว่า SYNC CHARACTER แต่ถ้าเป็น CHARACTOR-ORIENTED PROTOCOLจะเรียกว่า BEGINNING FLAG ซึ่งมีลักษณะดังรูปที่ 2.9



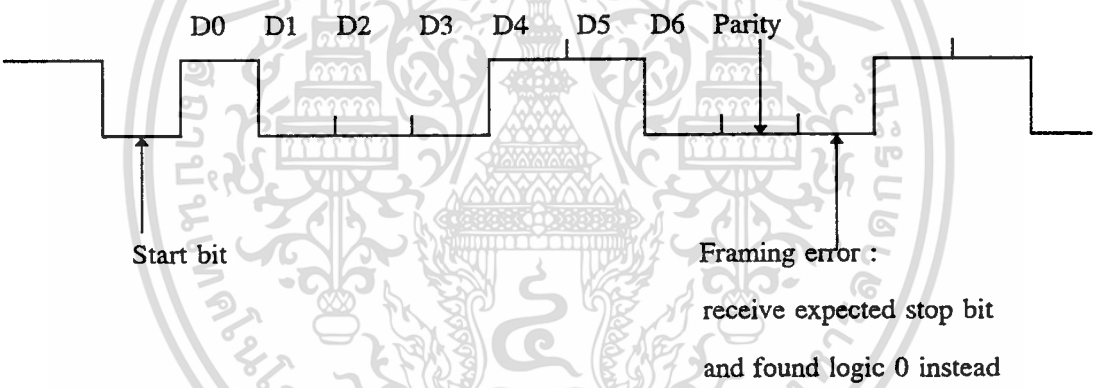
รูปที่ 2.9 แสดงฟอร์แม็ทของ Character-Oriented Protocol

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 การตรวจจับข้อผิดพลาด

FRAMING ERRORS

การตรวจจับ FRAMING ERRORS เกิดขึ้นดังนี้ เมื่ออุปกรณ์ด้านรับจะทำการรับสัญญาณทางบิทสิ้นสุดของข้อมูล (STOP BIT) แต่ปรากฏว่าสัญญาณที่ได้รับเป็นสัญญาณลงจิก 0 แทน ซึ่งในการส่งข้อมูลทางด้านรับจะรู้ว่าสัญญาณตัวแรกที่รับได้ก่อนอื่นต้องเป็นบิทเริ่มต้น (START BIT) แล้วตามด้วยบิทข้อมูล (DATA BIT) ซึ่งอาจจะมีบิทพาริตี้ หรือไม่มีก็ได้ แล้วสิ้นสุดด้วยบิทสิ้นสุดทางข้อมูลดังนั้นเมื่อด้านรับตรวจพบว่า บิทสิ้นสุดของข้อมูลที่รับไม่เป็นไปตามที่กำหนดไว้ (คือรับได้เพียงลงจิก 0 ตัวเดียว ซึ่งจริงๆ แล้วต้องเป็น 1) ด้านรับก็จะรู้ทันทีว่าเกิดข้อผิดพลาดของข้อมูลขึ้นแล้ว



รูปที่ 2.10 แสดงการตรวจจับ Framing error

PARITY ERRORS

การตรวจจับ PARITY ERRORS ทางด้านรับต้องสอดคล้องกับด้านส่ง คือด้านส่ง ส่งเป็นพาริตี้คี่/ คู่ หรือไม่มีพาริตี้ ทางด้านรับก็จะต้องตรวจสอบไปตามนี้ โดยทำการเปรียบเทียบค่าของพาริตี้บิทที่รับได้กับพาริตี้บิทของข้อมูลจริง ดังนั้นถ้าเปรียบเทียบค่าคู่นี้แล้วไม่ตรงกัน ก็จะรู้ได้ทันทีว่าเกิดข้อผิดพลาดขึ้นกับข้อมูลที่ส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

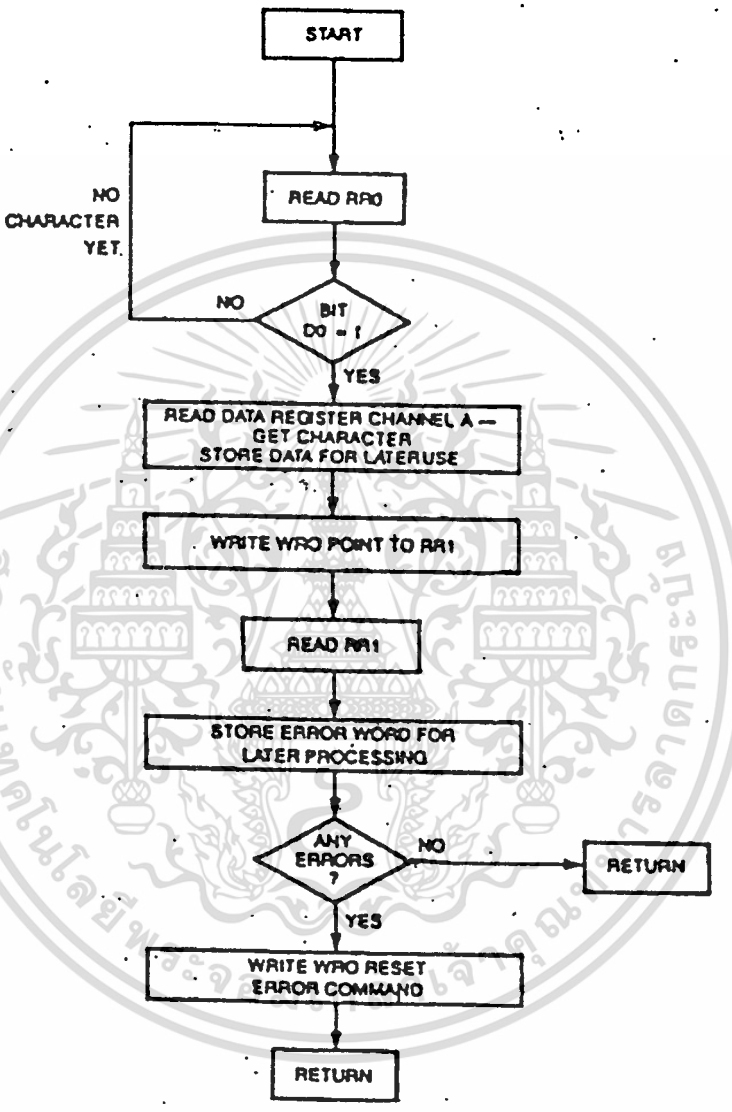
OVERRUN ERRORS

ในการใช้งาน SIO นั้น จะต้องมีส่วนของบัฟเฟอร์ข้อมูลอยู่ นั่นคือ เมื่อข้อมูลแบบอนุกรมส่งเข้ามาโดยที่การเก็บข้อมูลของบัฟเฟอร์เป็นแบบ FIFO (FIRST IN FIRST OUT) หรือเป็นแบบเข้าก่อนออกก่อน สมมติว่ารีจิสเตอร์ตัวนี้รับข้อมูลเต็มที่ได้ 5 ตัว เพราะฉะนั้นถ้าข้อมูลถูกส่งมาทั้งหมด 6 ตัว ข้อมูล 5 ตัวแรกจะถูกจัดเก็บได้ภายในรีจิสเตอร์ ก่อนแล้ว ถึงจะส่งต่อไปใช้งาน แต่ทว่าในขณะนั้นยังไม่มีข้อมูลตัวไหนถูกย้ายออกไป จึงมีข้อมูลอีกตัวหนึ่ง ที่เหลือค้างอยู่จึงทำให้เกิดข้อผิดพลาดขึ้น ดังนั้นในการใช้งานทั่วๆไปแล้ว การใช้งาน SIO จะต้องทำการ

แฮนด์เชค (HAND - SHAKE) กันขึ้น ระหว่างด้านส่ง และด้านรับ เพื่อป้องกันการส่งข้อมูลไม่ทัน และเป็นการป้องกัน EVERRUN ERRORS ในแต่ละคาแรกเตอร์เสมอ คือถ้าหากเกิดข้อผิดพลาดขึ้น ซีพียูก็จะทำการรีเซ็ตแฟล็ก ที่แสดงชนิดของความผิดพลาดใน SIO ก่อนที่จะรับข้อมูลตัวอื่นต่อไปดังรูปที่ 2.11

จากรูปขั้นแรกสุดจะต้องอ่านข้อมูลจากรีจิสเตอร์สถานะก่อน แล้วทำการตรวจสอบบิทต่างๆต่อไป พร้อมๆกันที่ซีพียูอาจจะทำงานอย่างอื่นไปก่อน หรือทำการโพล (POLL) ดูว่ามีข้อมูลใหม่เข้ามาหรือยัง และโพลจนกว่าจะมีข้อมูลใหม่เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

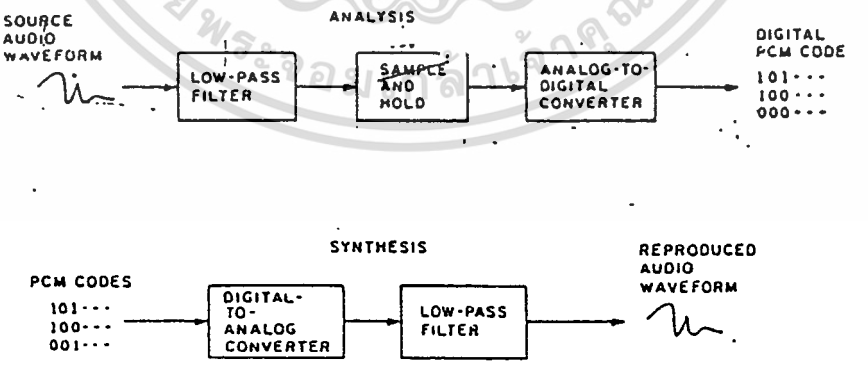


รูปที่ 2.11 แสดงการตรวจเช็คการเกิด Overrun error

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
พัลซ์ โค้ด มอดดูเลชั่น
(PULSE CODE MODULATION)

พัลซ์ โค้ด มอดดูเลชั่น คือวิธีที่ใช้กันทั่วไปในการแทนสัญญาณทางอนาล็อก ให้อยู่ในรูปแบบสัญญาณทางดิจิตอล สำหรับจุดใดๆบนสัญญาณทางอนาล็อกที่ต่อเนื่องกันจะถูกแทนได้เป็นข้อมูลทางดิจิตอลค่าหนึ่งในระบบเลขฐานสอง เมื่อไรที่ค่าหนึ่งทางสัญญาณอนาล็อก ถูกทำการวัดค่าๆ นั้น จะนำมาเปรียบเทียบ ว่าจะต้องแทนด้วยโค้ดอะไรในระบบเลขฐานสอง ซึ่งเรียกว่า พัลซ์ โค้ด ถ้าหากว่าค่านั้นอยู่ระหว่างสองค่าในระบบเลขฐานสอง จะถือว่า ค่าเลขฐานสองที่อยู่ใกล้มากที่สุดนั้นเป็นโค้ด สำหรับแทนสัญญาณจุดนั้นของสัญญาณอนาล็อกที่ทำการอินพุทเข้า วิธีการแบบนี้ถูกเรียกว่า ควันไตเซชั่น (QUANTIZATION) การแบ่งคลื่นออกเป็นช่วงย่อยๆ โดยแต่ละช่วงจะถูกกำหนดให้เท่ากับโค้ดในระบบเลขฐานสองค่าหนึ่ง ซึ่งเรียกว่า พัลซ์ โค้ด ฉะนั้นในการวิเคราะห์สัญญาณเสียงใดๆ เมื่อสัญญาณเสียงผ่านกระบวนการเหล่านี้แล้ว ชุดข้อมูลที่เป็นพัลซ์ โค้ด จะถูกส่งออกมาอย่างต่อเนื่องเป็นขบวน ผลที่ได้นี้คือ สัญญาณ พัลซ์ โค้ด มอดดูเลชั่น



รูปที่ 3.1 ไดอะแกรมของระบบการวิเคราะห์และสร้างสัญญาณเสียง โดยใช้วิธี พัลซ์ โค้ด มอดดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปสามารถอธิบายการทำงานได้ดังนี้คือ สัญญาณเสียงโดยทั่วไปซึ่งบางส่วนของสัญญาณอาจมีความถี่สูงเกินไป ทำให้ผลต่างของระดับสัญญาณระหว่างสองจุดใดๆ ในขณะทำการสุ่มมีค่ามากเกินกว่าค่าสูงสุดของ พัลซ์ โค้ด ที่เรากำหนดไว้มักทำให้เกิดความผิดเพี้ยนของสัญญาณขึ้นได้ เรียกว่า COMPLIANCE ERROR ฉะนั้นเราจึงต้องนำเอาสัญญาณที่เราต้องการจะวิเคราะห์มาผ่านวงจรกรองความถี่ต่ำผ่าน ซึ่งจะสามารถช่วยลดปัญหานี้ได้ เพราะสัญญาณความถี่สูงได้ถูกกรองทิ้งไปแล้ว จากนั้นสัญญาณที่ได้จะถูกนำมาเข้าวงจรที่เรียกว่า วงจรสุ่มและหน่วงสัญญาณ เหตุที่ต้องใช้วงจรสุ่มและหน่วงสัญญาณนี้ ก็เพราะในวงจรนี้เราได้เลือกใช้อุปกรณ์ที่ทำการแปลงสัญญาณอนาล็อก ให้เป็นสัญญาณดิจิตอลที่ทำงานแบบ ซักเซสซีฟ แอพพรอกซิ-เมชั่น ซึ่งอุปกรณ์แปลงสัญญาณนี้ จะทำการแปลงสัญญาณออกมาทีละบิท แล้วกลับไปเช็คสัญญาณอินพุทใหม่อีก แล้วทำการแปลงไล่ไปจนครบทุกบิท จึงจะถือว่าเสร็จกระบวนการทำงานในหนึ่งครั้ง (CONVERSION COMPLETE) ถ้าหากเราไม่มีวงจรสุ่มและหน่วงสัญญาณไว้แล้วจะทำให้สัญญาณทางอินพุทของ ADC CONVERTER ไม่ใช่สัญญาณเดิม ในระหว่างกระบวนการทำการแปลงข้อมูลเหล่านั้นกลับไปเป็นสัญญาณเสียงมักจะมีความผิดเพี้ยนขึ้นมาเสมอ

3.1 วิธีการทาง พัลซ์ โค้ด มอดดูเลชั่น

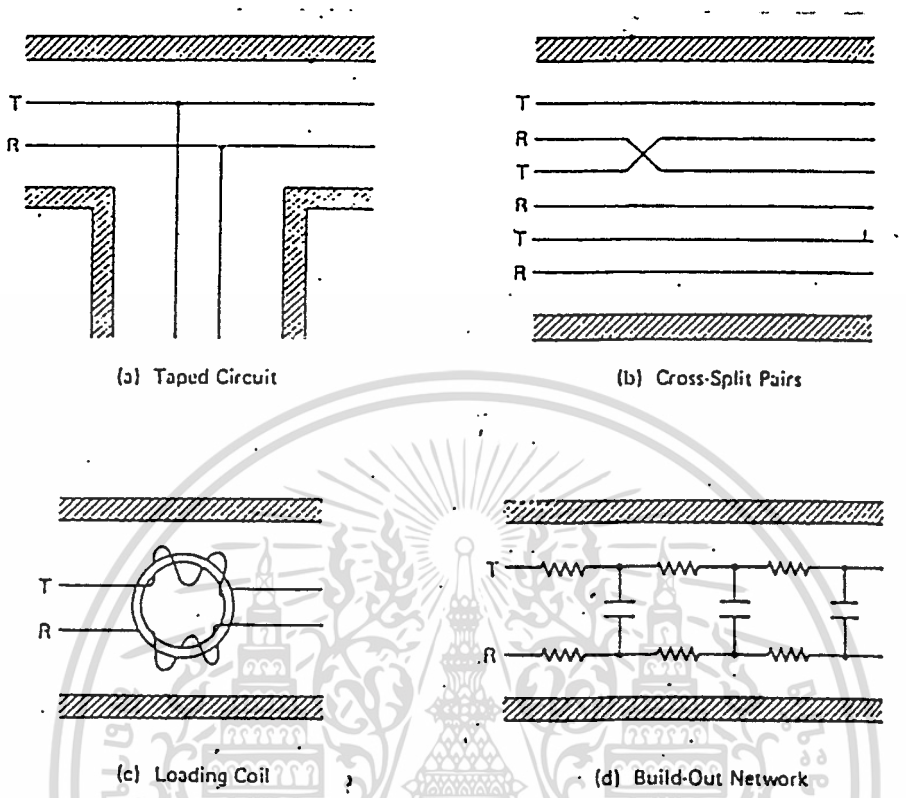
วิธี พัลซ์ โค้ด มอดดูเลชั่น เป็นวิธีที่ใช้กันอย่างแพร่หลายในปัจจุบันซึ่งทั้งระบบมีส่วนประกอบที่สำคัญอยู่ 3 ส่วน คือ

1. ทำการสุ่มสัญญาณอินพุททางอนาล็อก
2. ทำการจำแนกแอมปลิจูดของสัญญาณที่สุ่มเข้ามาเป็นส่วนๆ
3. นำสัญญาณมาเข้ารหัสเพื่อให้อยู่ในระบบดิจิตอล

ส่วนใหญ่ระบบ พัลซ์ โค้ด มอดดูเลชั่น นั้นถูกนำมาใช้ในการสื่อสารระหว่างชุมสายโทรศัพท์ที่อยู่ใกล้ๆกัน โดยผ่านทางการเดินสายเคเบิล แต่ในปัจจุบันก็ใช้กันอย่างแพร่หลายในระบบเน็ทเวิร์คใหญ่ๆ ที่อยู่ใกล้ๆ กัน

จะกล่าวถึงการใช้งานระบบ พัลซ์ โค้ด มอดดูเลชั่น ที่ถูกใช้กันอย่างแพร่หลายในแถบอเมริกาเหนือ คือ ระบบ พัลซ์ โค้ด มอดดูเลชั่น 24 ช่อง (CHANNEL) ในการนำไปใช้งานนั้นสิ่งที่ต้องคำนึงถึงคือ ระบบการสื่อสารผ่านทางเคเบิลนั้นต้องการคุณสมบัติของเคเบิลที่รับสัญญาณที่มีแบนด์วิดถึง 4 กิโลเฮิร์ต ในขณะที่ระบบ พัลซ์ โค้ด มอดดูชั่นนั้น ต้องการถึง 2.5 เมกกะเฮิร์ต นั่นคือต้องกำจัดระบบต่างๆ ที่ต่อกับเคเบิลแล้วประพฤติตัวเหมือนเป็นวงจรกรองความถี่ต่ำผ่าน และเป็นตัวลดทอนสัญญาณด้วย ระบบต่างๆเหล่านี้ได้แก่ พวกคอยล์ การอินดิวซ์กันระหว่างคู่สายให้เป็นวงจร RC พวกเทปบันทึกเสียงต่างๆ และระบบ CROSS - SPLIT PAIR

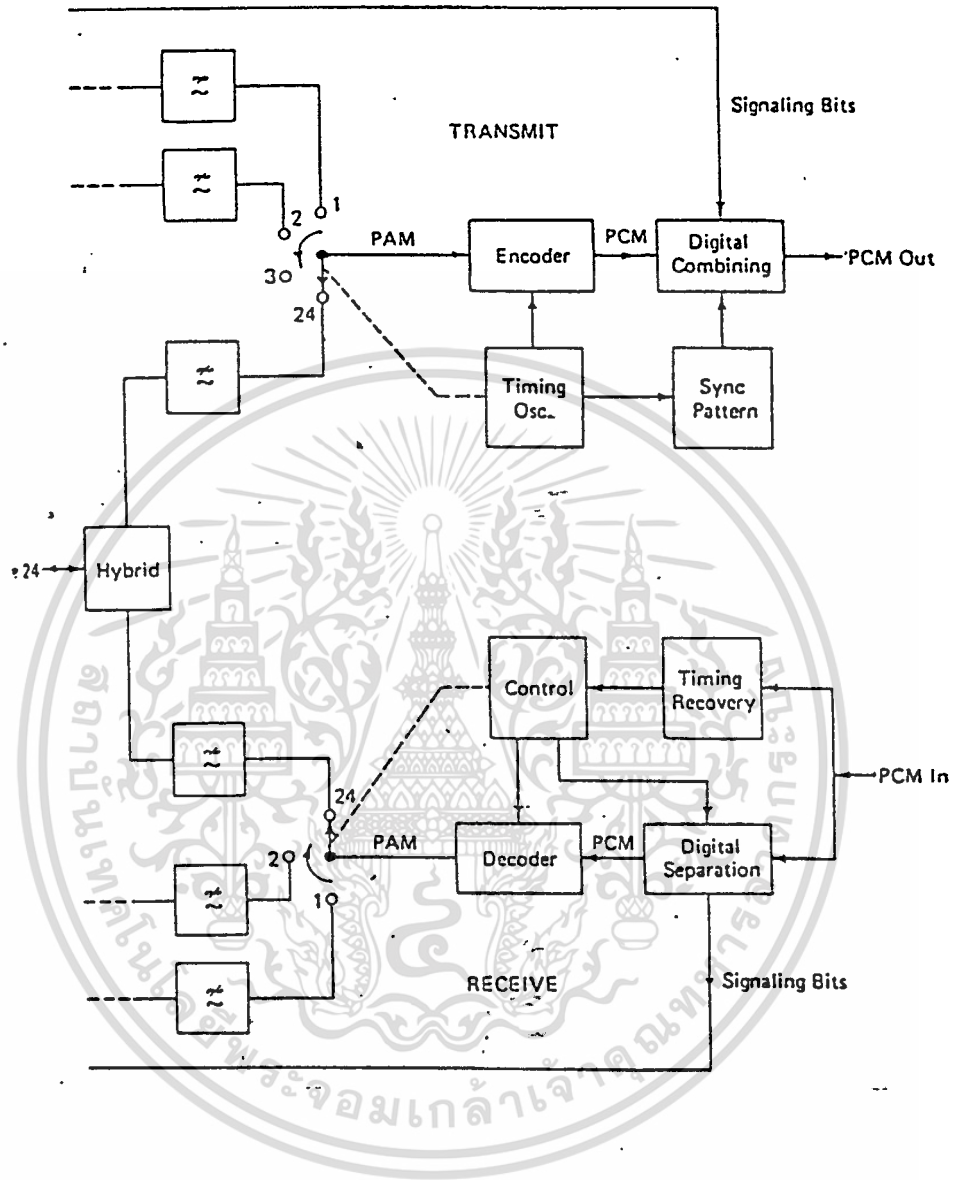
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงระบบที่ต่อกับเคเบิลแล้วทำตัวเป็นวงจรกรองความถี่ต่ำผ่าน และเป็นตัวลดทอนสัญญาณ

ในวิธีการสุ่มข้อมูลนั้นเราทราบมาแล้วว่าถ้าไม่ต้องการให้ข้อมูลมีการสูญหายได้เลยนั้น จะต้องใช้อัตราสุ่มถึงสองเท่าของความถี่สัญญาณอินพุท เช่น สัญญาณอินพุทมีความถี่ประมาณ 4 กิโลเฮิร์ต อัตราสุ่มที่ใช้คือ 8 กิโลเฮิร์ต นั่นคือจะต้องทำการสุ่มทุกๆ 125 ไมโครวินาที ช่วงระหว่างการสุ่ม 125 ไมโครวินาที นี้ ในระบบ พัลซ์ โค้ด มอดดูเลชั่น นี้สามารถทำการส่งข้อมูลได้ถึง 24 ช่องสัญญาณ (CHANNEL) ซึ่งรวมทั้งสัญญาณพัลซ์ข้อมูลและสัญญาณซิงค์โครไนซ์อื่นๆ ที่จำเป็นไว้ด้วย เพราะเวลาที่ใช้ในการสุ่มแต่ละช่องสัญญาณนี้น้อยมากเมื่อเปรียบเทียบกับช่วงเวลาระหว่างการสุ่มข้อมูลแต่ละครั้ง ฉะนั้นข้อมูลหลายๆช่องความถี่ สามารถถูกจัดให้แยกออกจากกันได้ในการส่งข้อมูลทั้งหมดพร้อมกันในเวลาเดียวกัน วิธีการแบบนี้เรียกว่า TIME DIVISION MULTIPLEXING (TDM)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงไดอะแกรมของ Time Division Multiplexing

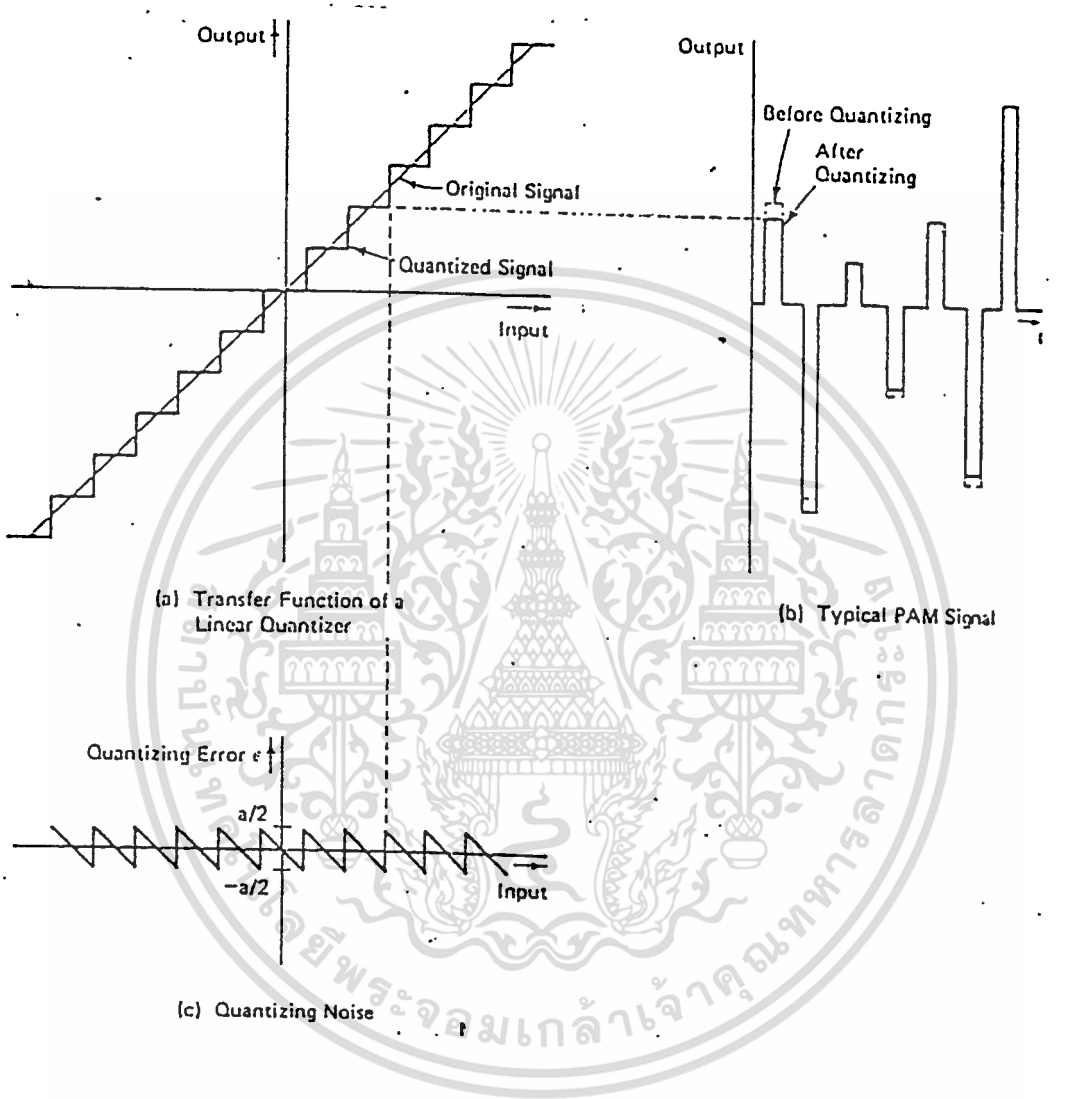
รูปนี้แสดงถึงแผนผังการทำงานคร่าวๆ ของสถานีสื่อสารของระบบ พัลซ์ โค้ด มอดดูเลชั่น สำหรับการส่ง ซึ่งสัญญาณเสียงจะถูกนำมาผ่านวงจรกรองความถี่ ให้ได้สัญญาณที่มีแบนด์วิดตามต้องการ เพื่อป้องกันการเกิด ALIASING NOISE หรือความเพี้ยนต่างๆ จากนั้น สัญญาณทั้งหมดจากทุกๆ ช่องจะถูกเลือกมาทำการเข้ารหัสแบบ พัลซ์ โค้ด มอดดูเลชั่น ตามลำดับโดยระบบ SWITCHING ซึ่งในวงจรเข้ารหัสนี้สัญญาณที่เกี่ยวกับการซิงค์โครไนซ์ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ จะถูกใส่รวมไปด้วยกัน ในอนาคตมีแนวโน้วจะให้ทุกๆ ช่องสัญญาณ มีการเข้ารหัสก่อนแล้วจึงนำมาเข้าวงจรมัลติเพล็กซ์ เพื่อรวมกันทั้ง 24 ช่องก่อน ซึ่งเป็นการลดต้นทุนในการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล เพราะว่าทุกๆ กระบวนการจะถูกทำหมดทุกอย่างในขั้นที่กำลังทำการสุ่มข้อมูล

หลังจากการสุ่มข้อมูลขนาดของแอมปลิจูดที่ได้จะเรียกว่า ควันไตซ์ (QUANTIZED) ซึ่งจะเป็นขนาดแบบไม่ต่อเนื่อง (DISCRETE) สัญญาณใหม่ที่ได้นี้จะเป็นสัญญาณแบบคร่าวๆ ของสัญญาณเดิม ซึ่งแน่นอนคือสัญญาณทั้งสองย่อมไม่เหมือนกันทุกส่วนแน่นอน ย่อมก่อให้เกิดความผิดพลาดที่ไม่เหมือนกัน ความแตกต่างของสัญญาณทั้งสองนี้เรียกว่า QUANTIZING ERROR ในระบบการส่งข้อมูลแบบ พัลซ์ โค้ด มอดดูเลชั่นนี้ QUANTIZING NOISE จัดได้ว่าเป็นน้อยส์ที่สำคัญที่จะต้องระวังQUANTIZING NOISE นี้สามารถจะลดได้โดยการลดขนาดของ QUANTIZED STEP ลง หรือโดยการเพิ่มจำนวน STEP นี้ขึ้นอีก สำหรับการสื่อสารนั้นมักจะใช้การเข้ารหัสในรูปข้อมูลแบบ 8 บิท ซึ่งก็คือมีทั้งหมด 256 ระดับความละเอียด เพื่อใช้แทนขนาดของสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงถึงการเข้ารหัสสัญญาณแบบลิเนียร์

จากรูปที่ 3.1 จะเห็นว่า สัญญาณอินพุทจะถูกสุ่มและแทนด้วยข้อมูลขนาด 8 บิทซึ่งสัญญาณเมื่อถูกทำการสุ่มแล้วทั้งแอมปลิจูดและเวลาจะเป็นฟังก์ชันไม่ต่อเนื่อง ข้อมูลที่สุ่มได้จะถูกส่งออกมาตลอดเวลาที่ทำการสุ่มและสามารถถูกแปลงกลับให้เหมือนสัญญาณเดิมได้โดยมีความผิดพลาดเพียงเล็กน้อยเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบในรูปได้ใช้ข้อมูลขนาด 8 บิท สำหรับการสุ่มสัญญาณแต่ละครั้งนั้นจะมีข้อมูลถูกส่งออกมาด้วยอัตรา 8x2x4000 = 64กิโลบิทต่อวินาที สำหรับสัญญาณอินพุทที่ถูกจำกัดแบนด์วิดไว้ ประมาณ 4 กิโลเฮิร์ต ซึ่ง BIT RATE 64 กิโลบิทต่อวินาทีนี้ สามารถจะใช้แทนสัญญาณที่มีแบนด์วิดพื้นฐานได้อย่างน้อย 32 กิโลเฮิร์ต ฉะนั้นในทางปฏิบัติระบบ พัลซ์ โค้ด มอดดูเลชั่น จะมีแบนด์วิดของระบบประมาณ 8 เท่าของแบนด์วิดของสัญญาณอนาล็อกที่เป็นอินพุท

สำหรับในระบบสื่อสารที่ใช้ระบบ พัลซ์ โค้ด มอดดูเลชั่นนั้น ข้อมูลที่ถูกส่งไปนอกจากจะเป็นข้อมูลรายละเอียดของสัญญาณเสียงแล้วยังรวมไปถึงสัญญาณ OFF-HOOK , ON-HOOK และสัญญาณการหมุนหมายเลขอีกด้วย ซึ่งทางด้านรับสัญญาณนั้นต้องสามารถตรวจหาสัญญาณที่เป็นข้อมูลที่ตรงกับช่องของตัวเองด้วย

3.2 พัลซ์ โค้ด มอดดูเลชั่น แบบผลต่าง (DIFFERENCIAL PULSE - CODE MODULATION)

เป็นหลักการที่คิดขึ้นมาเพื่อแก้ปัญหาในวิธีการ พัลซ์ โค้ด มอดดูเลชั่น แบบธรรมดา โดยพยายามลดจำนวนของข้อมูลที่ได้มาจากการแปลงสัญญาณเสียง แต่การทำงานของระบบยังคงอาศัยแนวความคิดสืบเนื่องมาจากวิธีการเดลต้า มอดดูเลชั่น คือ ข้อมูลแต่ละชุดที่ถูกทำการเก็บในหน่วยความจำจะแทนความแตกต่างของแอมปลิจูดของสัญญาณเสียง ระหว่างการสุ่มข้อมูลแต่ละครั้งที่ติดต่อกัน จึงเรียกวิธีการแบบนี้ว่า DIFFERENCIAL PULSE - CODE MODULATION และจะเรียกข้อมูลที่ถูกเก็บในหน่วยความจำว่า DPCM ENCODING VALUE จะเห็นว่าข้อมูลที่ถูกเก็บแบบ DPCM นี้ สามารถแทนการเปลี่ยนแปลงของสัญญาณเสียงได้ละเอียดกว่าการใช้ข้อมูลเพียงหนึ่งบิทที่แทนความแตกต่างของสัญญาณที่ถูกทำการสุ่มติดกันของวิธีแบบ เดลต้า มอดดูเลชั่น อย่างไรก็ตามวิธีการแบบ DPCM ก็มีข้อจำกัดเช่นเดียวกับวิธีแบบเดลต้า มอดดูเลชั่น แบบธรรมดาแต่อาจจะน้อยกว่าอยู่บ้าง คือในวิธีการแบบ DPCM อาจจะเกิดความเพี้ยนได้ที่เรียกว่า COMPLIANCE ERROR เมื่อความแตกต่างของแอมปลิจูดของสัญญาณที่ถูกสุ่มครั้งที่ติดกันมีค่ามากกว่าค่าสูงสุดของข้อมูล DPCM (DPCM ENCODING VALUE) ฉะนั้นในกรณีนี้จะมีทางแก้ปัญหาอยู่ทางเดียวคือ ทำการลดแบนด์วิดของสัญญาณอินพุท หรือเพิ่มความถี่ในการสุ่ม (SAMPLING RATE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

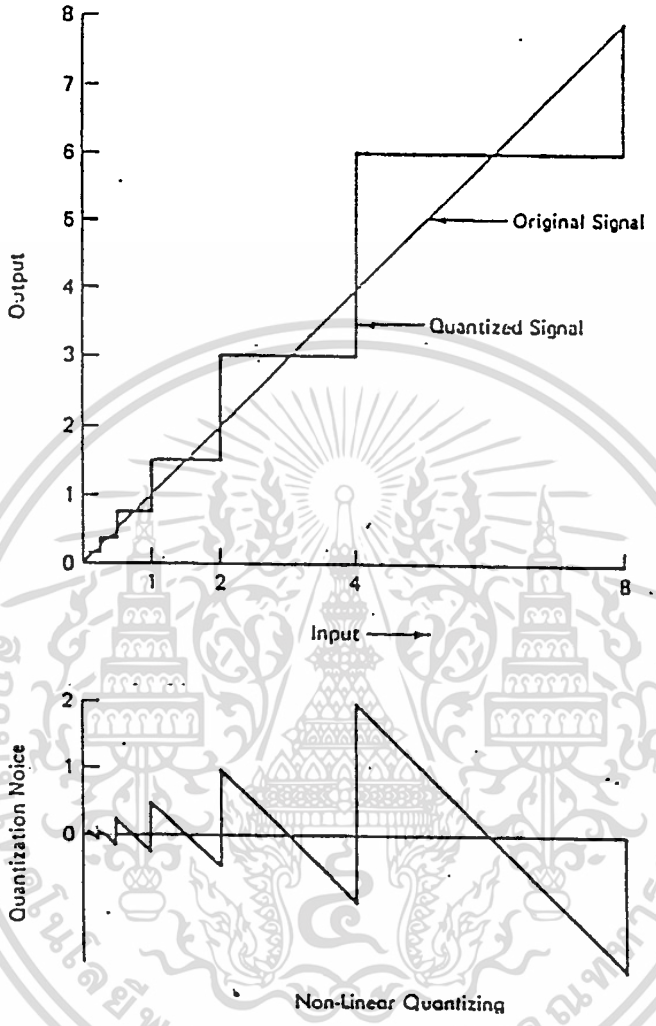
3.3 การสุ่มแอมปลิจูดในระบบ พัลซ์ โค้ด มอดดูเลชั่น

(AMPLITUDE SAMPLING IN PCM SYSTEM)

เราทราบกันดีว่าขั้นตอนการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลนั้น จะต้องใช้วิธีการสุ่มแอมปลิจูดของสัญญาณอนาลอกแล้วเข้ารหัสออกมา เป็นขนาดแอมปลิจูดที่มีลักษณะไม่ต่อเนื่องกัน ซึ่งแน่นอนที่สุดจะต้องมีความผิดพลาดเสมอ ที่เราเรียกว่า ควันไตซ์เซชั่น น้อยส์ ซึ่งจะปรากฏก็ต่อเมื่อมีสัญญาณที่มีขนาดเข้ามา แต่ถึงแม้ว่าจะยังไม่มีสัญญาณใดๆ เข้ามา น้อยส์ประเภท เทอร์มอลน้อยส์ หรือ ช็อต น้อยส์ ก็ยังมีอยู่เสมอ แต่ควันไตซ์เซชั่น น้อยส์ เรายังมีทางที่จะแก้ หรือควบคุมให้มันคงที่ไว้ได้ โดยการรักษาขนาดของรหัสแต่ละขั้นให้คงที่เสมอ จะทำให้ความผิดพลาดสูงสุดคงที่ไปตลอดทุกๆ ครั้งที่ทำการสุ่มข้อมูล แต่วิธีนี้ก็ใช้ไม่ได้ผล ถ้าสัญญาณอินพุทเป็นสัญญาณขนาดเล็กๆ หรือเป็นสัญญาณที่อ่อนมากๆ ฉะนั้นการที่จะทำให้อัตราส่วนของสัญญาณต่อน้อยส์มีค่าคงที่เสมอไม่ว่าสัญญาณอินพุทจะมีระดับที่ค่อนข้างแรงหรืออ่อนมากๆ เราต้องใช้การสุ่มที่แบ่งขนาดของแอมปลิจูดแบบไม่มีรูปแบบที่แน่นอนตลอด หรือ NON-UNIFORM QUANTIZATION ซึ่งความผิดพลาดในการสุ่มแอมปลิจูด ระดับอ้างอิง (DECISION LEVEL) และขนาดของแต่ละขั้นของรหัส (STEP SIZE) เหล่านี้ต้องกำหนดให้เล็กลงสำหรับกรณีที่สัญญาณอินพุทมีขนาดอ่อน แต่เราต้องเพิ่มให้มากขึ้นถ้าสัญญาณอินพุทมีขนาดแรงขึ้น นั่นคือ STEP SIZE ต้องแปรตามขนาดของแอมปลิจูดที่ทำการสุ่มเข้ามา จะมีผลให้อัตราส่วนของสัญญาณต่อน้อยส์มีค่าค่อนข้างจะคงที่ไปตลอดช่วงสัญญาณที่เราจะบันทึก

รูปที่ 3.5 จะแสดงถึงวิธีการเข้ารหัสสัญญาณแบบไม่มีรูปแบบแน่นอนตลอด ซึ่งจะแสดงให้เห็นว่า ควันไตเซชั่น น้อยส์ มีขนาดเพิ่มขึ้นถ้าขนาดของสัญญาณอินพุทเพิ่มขึ้น เพื่อจะรักษาให้อัตราส่วนของสัญญาณกับน้อยส์คงที่ตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



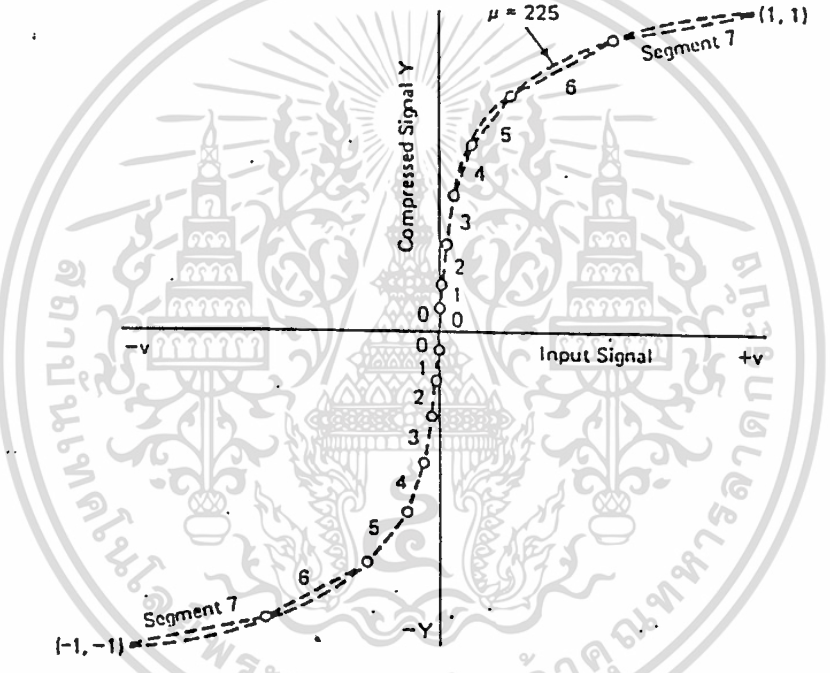
รูปที่ 3.5 แสดงถึงการเข้ารหัสสัญญาณแบบไม่มีรูปแบบแน่นอน

นอกจากนี้ยังมีวิธีที่จะรักษาอัตราส่วนของสัญญาณต่อน้อยส์ให้มีขนาดคงที่ตลอด อีกวิธีคือ วิธีคอมแพนด์ดิ้ง (COMPANDING) หลักการสำคัญทางด้านอินพุทคือ ทำการสุ่มสัญญาณมาเข้ารหัสโดยพยายาม COMPRESSING ข้อมูลลงและทางด้านเอาท์พุทก็พยายามขยายสัญญาณออก (EXPANDING) อุปกรณ์ที่ทำงานในลักษณะนี้ (COMPANDOR DEVICE) จะถูกเรียกว่า COMPRESSOR AND EXPANDOR การทำงานคือสัญญาณอินพุทที่สุ่มเข้ามาจะถูก COMPRESS เสมอโดยที่ถ้าสัญญาณมีแอมปลิจูดสูงก็ให้ COMPRESS มาก แต่ถ้าสัญญาณมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอมปลิจูดต่ำก็ให้ COMPRESS น้อยๆ แล้วนำมาเข้ารหัสโดยระบบที่มีควันไตซ์เซชั่นคงที่เสมอได้ดังวิธีการต้นๆ

ระบบที่ใช้กันอย่างแพร่หลายในทวีปอเมริกาเหนือก็คือ D2/D3 PCM-CHANNEL BANKS ที่ใช้การ COMPRESS ข้อมูลแบบลอกการึทึม ซึ่งเรียกกันว่า MU-LAW

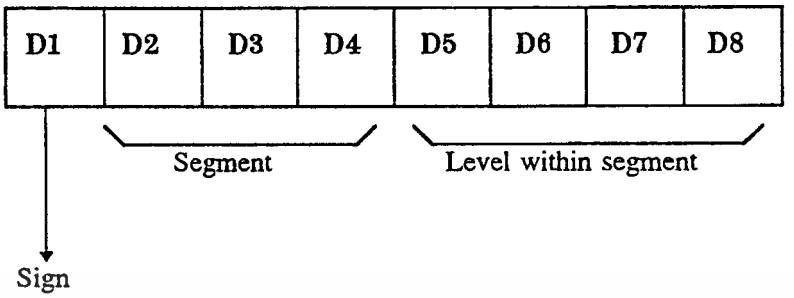


Fifteen-Segment CompressionCharacteristic for the Mu Law (μ = 255) Where the Maximum Voltage is Equal to 1

รูปที่ 3.6 แสดงถึงผลที่เกิดจากการใช้วิธี MU-LAW

จาก DOT - CURVE จะเห็นว่าระบบ D2/D3 CHANNEL BANKS ได้แบ่งคลื่นสัญญาณใดๆ ออกเป็น 15 ส่วน (SEGMENT) ที่ต่อเนื่องกัน โดยแบ่งเป็นบวก 7 ส่วน เป็นลบอีก 7 ส่วน และมี 1 ส่วนที่อยู่ที่จุดศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดง Digit pattern

จากรูปแต่ละส่วน (SEGMENT) จะประกอบด้วย STEP SIZE อีก 16 ขั้น สำหรับ 255 ระดับโวลท์เตจที่ไม่ต่อเนื่องกัน จะต้องการรหัสข้อมูลที่มีขนาด 8 บิท

รหัส 8 บิทนี้จะถูกแบ่งออกเป็น 3 ส่วน ส่วนแรกคือ บิทแสดงเครื่องหมาย (เป็น 1 สำหรับสัญญาณที่กำลังเพิ่ม เป็น 0 สำหรับสัญญาณที่กำลังลด) 3 บิทถัดมาคือสัญญาณที่ถูกสุ่มเข้ามาเรียกว่า SEGMENT และ 4 บิทสุดท้ายคือ ระดับสัญญาณย่อยๆ อีก 16 ระดับที่จะเป็นไปได้ใน 1 SEGMENT

ต่อไปนี้จะทำการจำแนกรายละเอียดภายในทั้งสามส่วน

1) บิทแสดงเครื่องหมาย = 1 คือแอมปลิจูดของสัญญาณกำลังเพิ่มขึ้น
= 0 คือแอมปลิจูดของสัญญาณกำลังลดลง

2) รหัส SEGMENT แทนโดยลำดับของเลขฐานสองในรูปส่วนกลับ

SEGMENT 0 = 111

1 = 110

.

.

.

7 = 000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

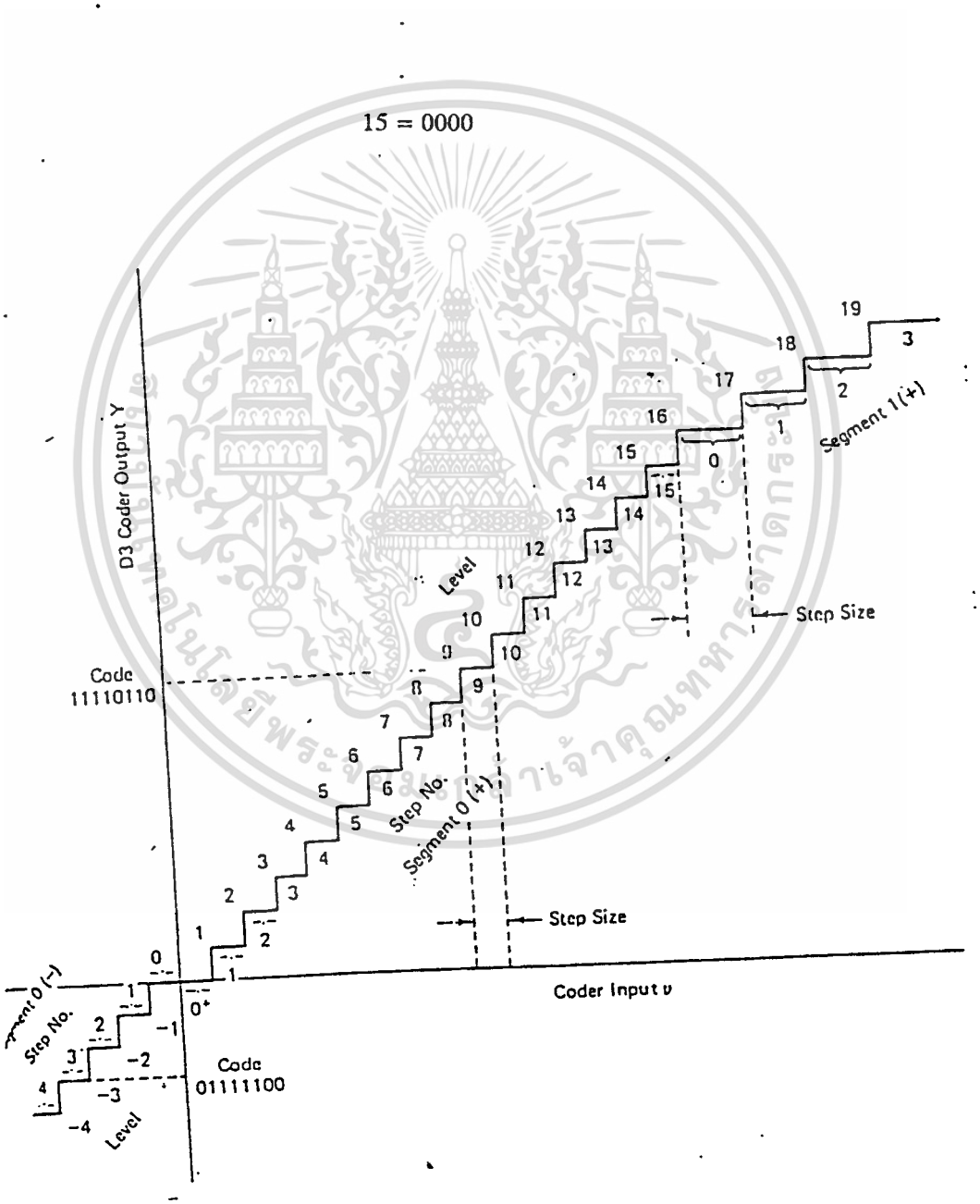
3) ระดับสัญญาณที่เป็นไปได้ใน 1 SEGMENT แทนด้วยลำดับของเลขฐานสอง ในรูปส่วนกลับ

LEVEL 0 = 1111

1 = 1110

.

.



รูปที่ 3.8 แสดงลักษณะของรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่น 1 101 1101

STEP = 15[1111] - 13[1101] = 2[0010]

SEGMENT = 7[0111] - 5[0101] = 2[0010]

SIGN = 1 [POSITIVE]

ถ้านำไปเทียบกับตาราง 3.1 จะได้

ตารางที่ 3.1

Increment Step Size and Breakpoints for the

Lenkurt 9002B Channel Bank

Segment	Step Increment (mV)	Breakpoint (mV)
0	0.475	16 x 0.475 = 7.6
1	0.963	7.6 + 16 x 0.963 = 23.0
2	1.93	23 + 16 x 1.93 = 53.9
3	3.88	53.9 + 16 x 3.88 = 116
4	7.69	116 + 16 x 7.69 = 239
5	15.4	239 + 16 x 15.4 = 486
6	30.9	486 + 16 x 30.9 = 981.0
7	63.7	981 + 16 x 63.7 = 2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

หลักการทำงานและการออกแบบวงจร

ในโครงงานนี้สามารถแบ่งได้เป็น 3 ส่วน คือวงจรที่ทำหน้าที่เชื่อมต่อกับคอมพิวเตอร์, วงจรที่ทำหน้าที่รับส่งข้อมูลและเสียง (ชุดหลัก) และวงจรที่ทำหน้าที่รับส่งข้อมูลและเสียง (ชุดรอง)

1. วงจรเชื่อมต่อกับคอมพิวเตอร์

ในส่วนของวงจรนี้ จะทำเป็นการ์ดอินเตอร์เฟสเสียบที่สล็อตของคอมพิวเตอร์ มีจำนวน 2 ตัว โดยที่การ์ดหนึ่งจะใช้ติดต่อรับส่งข้อมูลกับวงจรรับส่งข้อมูลและเสียง(ชุดหลัก) ส่วนอีกการ์ด จะติดต่อรับส่งข้อมูลกับวงจรรับส่งข้อมูลและเสียง(ชุดรอง)

วงจรนี้จะใช้ไอซี USART(Universal Synchronous/Asynchronous Receiver/Transceiver) เบอร์ 8251A ของบริษัทอินเทล ซึ่งสามารถทำงานได้ทั้ง Synchronous operation และ Asynchronous operation ทั้งนี้ก็ขึ้นอยู่กับว่าเราจะโปรแกรมให้มันทำงานในโหมดไหน สำหรับโครงงานนี้ได้โปรแกรมให้ 8251A ทำการรับส่งข้อมูลแบบ Asynchronous โดยสัญญาณนาฬิกาที่จ่ายให้มีค่า 2 MHz สัญญาณนาฬิกานี้จะไม่มีผลต่ออัตรารับส่งข้อมูลแต่อย่างใด ส่วนสัญญาณนาฬิกาที่ป้อนให้เพื่อกำหนดอัตราการรับส่งข้อมูล มีค่าเท่ากับ 16 Khz โดยรับมาจากวงจรรับส่งข้อมูลและเสียง

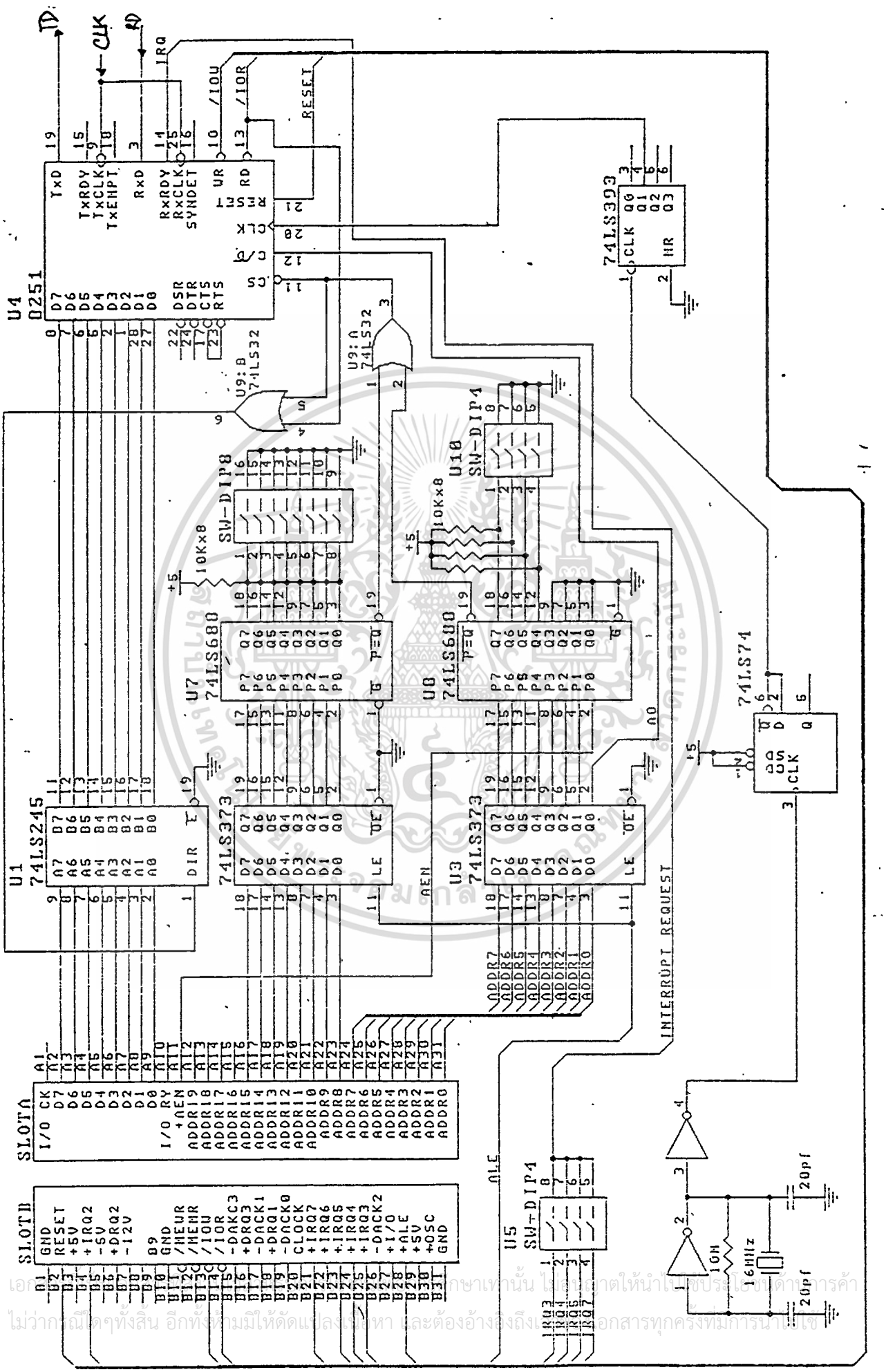
ในสภาวะการส่งข้อมูลนั้น ขั้นตอนแรก ซีพียูจะต้องทำการรีเซท และเคลียร์ค่ารีจิสเตอร์ภายในของ 8251A ต่อจากนั้น ก็โปรแกรมให้ทำงานในโหมดใดโหมดหนึ่งระหว่าง Async กับ Sync แล้วโปรแกรมให้ Transmit Enable หรือ Disable, Receive Enable หรือ Disable, Overrunเป็นต้น ข้อมูลที่ซีพียูสั่งหรือส่งให้ 8251A จะเป็นแบบขนานขนาด 8 บิท ส่วนข้อมูลเอาว์พุทจะเป็นอนุกรมมีขนาด 5-8 บิท ขึ้นอยู่กับว่าตอนโปรแกรมได้ทำการโปรแกรมให้รับ/ส่งข้อมูลขนาดกี่บิท

ส่วนสภาวะการรับข้อมูล ก็จะรับข้อมูลอนุกรมแล้วแปลงเป็นข้อมูลขนานส่งให้ซีพียู ซึ่งการตรวจจับข้อมูลสามารถทำได้ทั้ง การโพลลิ่ง และ อินเตอร์รัพท์ สำหรับในโครงงานนี้จะใช้การอินเตอร์รัพท์

ในด้านการรับส่งข้อมูลกับวงจรรับส่งข้อมูลและเสียงนั้น จะติดต่อผ่านไอซี เบอร์ MC1488 เพื่อแปลงระดับแรงดัน TTL เป็นระดับแรงดันของ RS-232C ส่วนตัวรับก็จะใช้ ไอซี เบอร์ MC1489 เพื่อแปลงระดับแรงดันของ RS-232C กลับมาเป็นระดับแรงดันของ TTL

แอดเดรสของการ์ดนี้ ได้ถอดรหัสไว้ที่ตำแหน่ง 300h - 3ffh ส่วนสัญญาณอินเตอร์รัพท์ได้ออกแบบไว้ 4 ตัวคือ IRQ3, IRQ4, IRQ5 และ IRQ7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรรับส่งข้อมูลและเสียง (ชุดหลัก)

ในส่วนของวงจรรับส่งข้อมูลและเสียง(ชุดหลัก) นี้ มีไอซีเบอร์ MC145421 ของบริษัทโมโตโรลาเป็นตัวหลัก หน้าที่ของวงจรนี้ก็คือ รับสัญญาณข้อมูลที่ส่งมาจากคอมพิวเตอร์และสัญญาณเสียง (PCM) ที่แปลงจากสัญญาณเสียงของโทรศัพท์ แล้วมอดดูเลทเข้าตามช่องสัญญาณเพื่อส่งไปยังตัวรับต่อไป ในขณะเดียวกัน เมื่อได้รับสัญญาณจากอีกฝ่ายส่งมาก็จะทำการดีมอดดูเลท แล้วมัลติเพล็กซ์ส่งออกในแต่ละช่องสัญญาณ เพื่อส่งให้คอมพิวเตอร์หรือโทรศัพท์อีกต่อไป

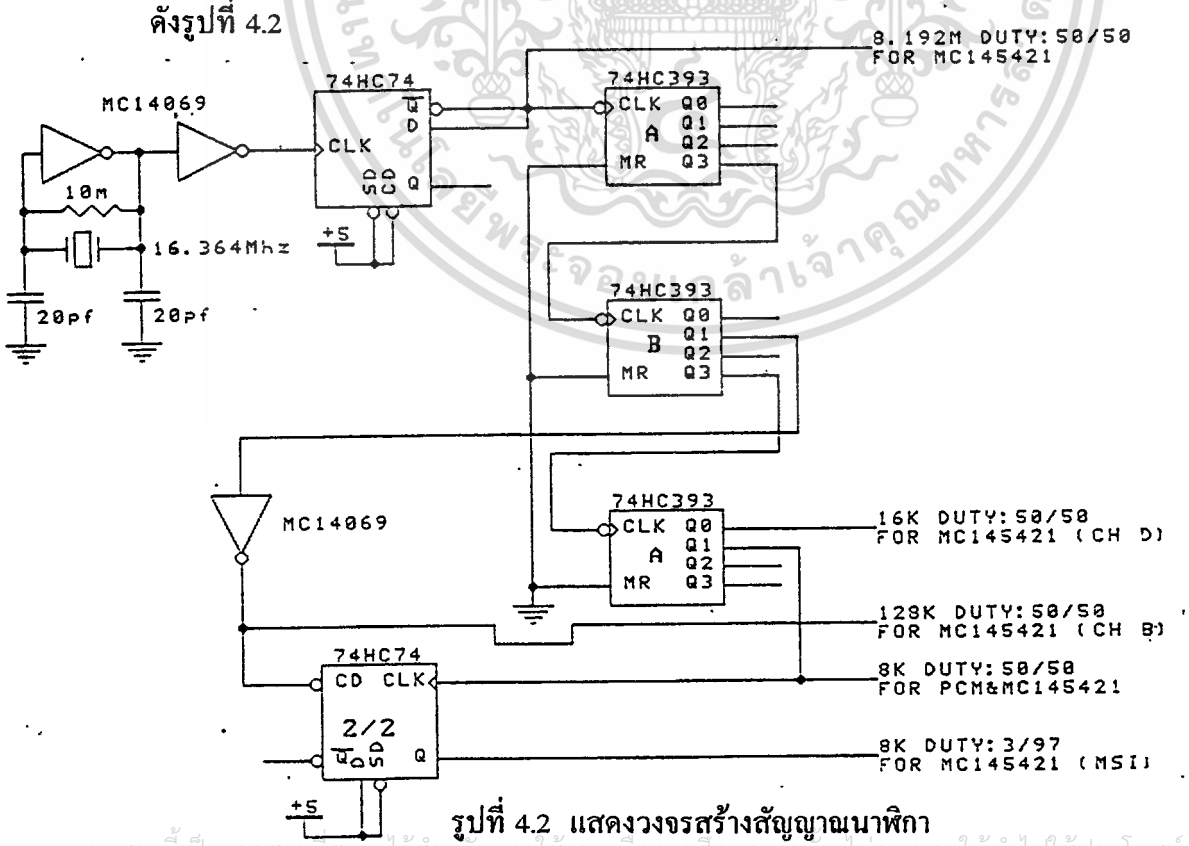
MC145421 มีคุณสมบัติดังนี้

- ใช้ เทคโนโลยี ซีมอส
- สามารถสื่อสารทั้งข้อมูลและเสียงแบบ ฟูล-ดูเพล็กซ์ ที่อัตราเร็ว 160 Kbps
- ไม่ขึ้นกับโปรโตคอลการสื่อสารข้อมูลและเสียง
- ใช้แหล่งจ่ายไฟเดียว (+5V)

บอร์ดนี้จะประกอบไปด้วย

2.1 วงจรสร้างสัญญาณนาฬิกา

วงจรสร้างสัญญาณนาฬิกานี้ จะใช้คริสตอล ออสซิเลเตอร์ มาผ่านวงจรหารความถี่เพื่อจ่ายให้ตัว MC145421, MC14403 (PCM CODEC) และวงจรเชื่อมต่อกับคอมพิวเตอร์ ดังรูปที่ 4.2

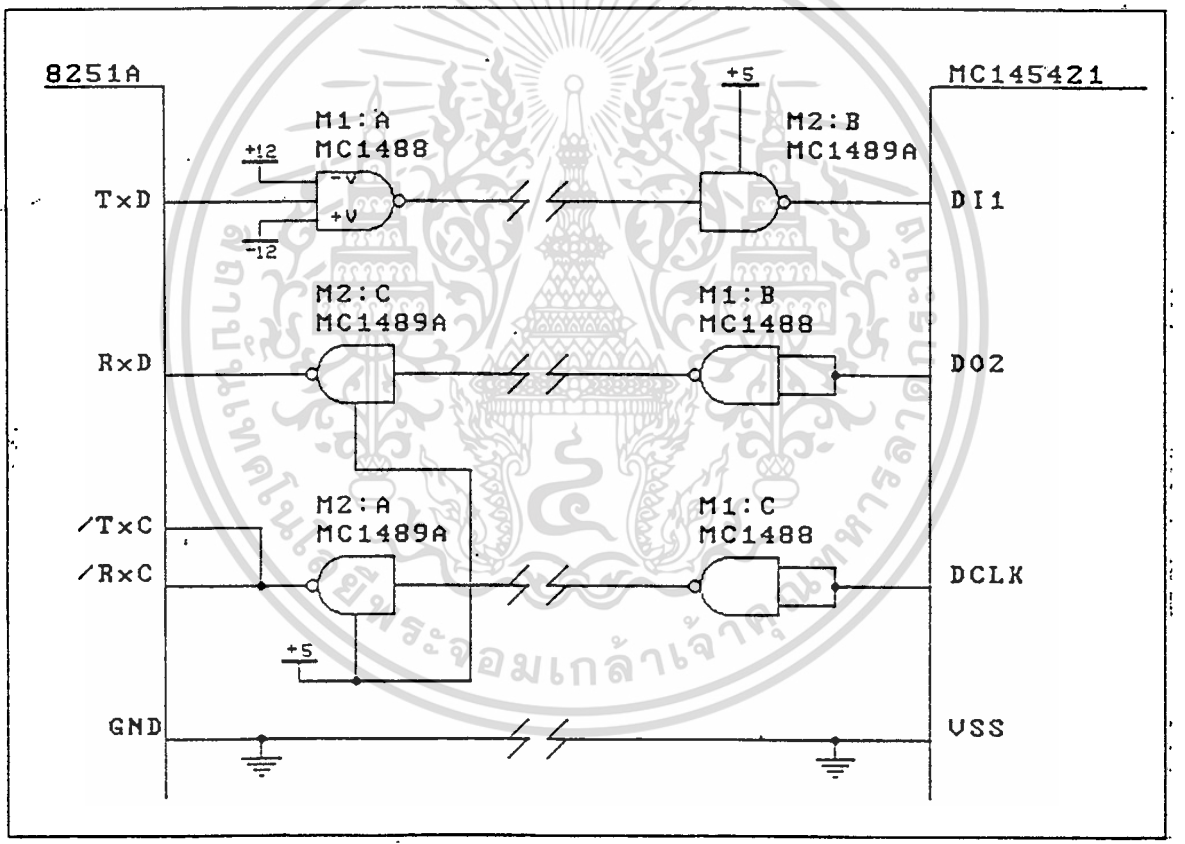


รูปที่ 4.2 แสดงวงจรสร้างสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ส่วนอินเตอร์เฟสกับวงจรเชื่อมต่อกับคอมพิวเตอร์

วงจรนี้จะใช้ ไอซี เบอร์ MC1488 และ MC14899 โดยที่ MC1488 จะแปลงข้อมูลในระดับแรงดันของ TTL เป็นระดับแรงดันของ RS-232C ซึ่งข้อมูลส่วนนี้จะรับมาจากช่องสัญญาณD1 ของ MC145421 แล้วสัญญาณที่ถูกแปลงนี้ก็จะถูกส่งไปให้วงจรเชื่อมต่อกับคอมพิวเตอร์ ส่วน MC1489 นั้น ก็จะแปลงข้อมูลในระดับแรงดัน RS-232C (จากวงจรเชื่อมต่อคอมพิวเตอร์)เป็นระดับแรงดัน TTL ส่งให้ MC145421 แสดงดังรูปที่ 4.3

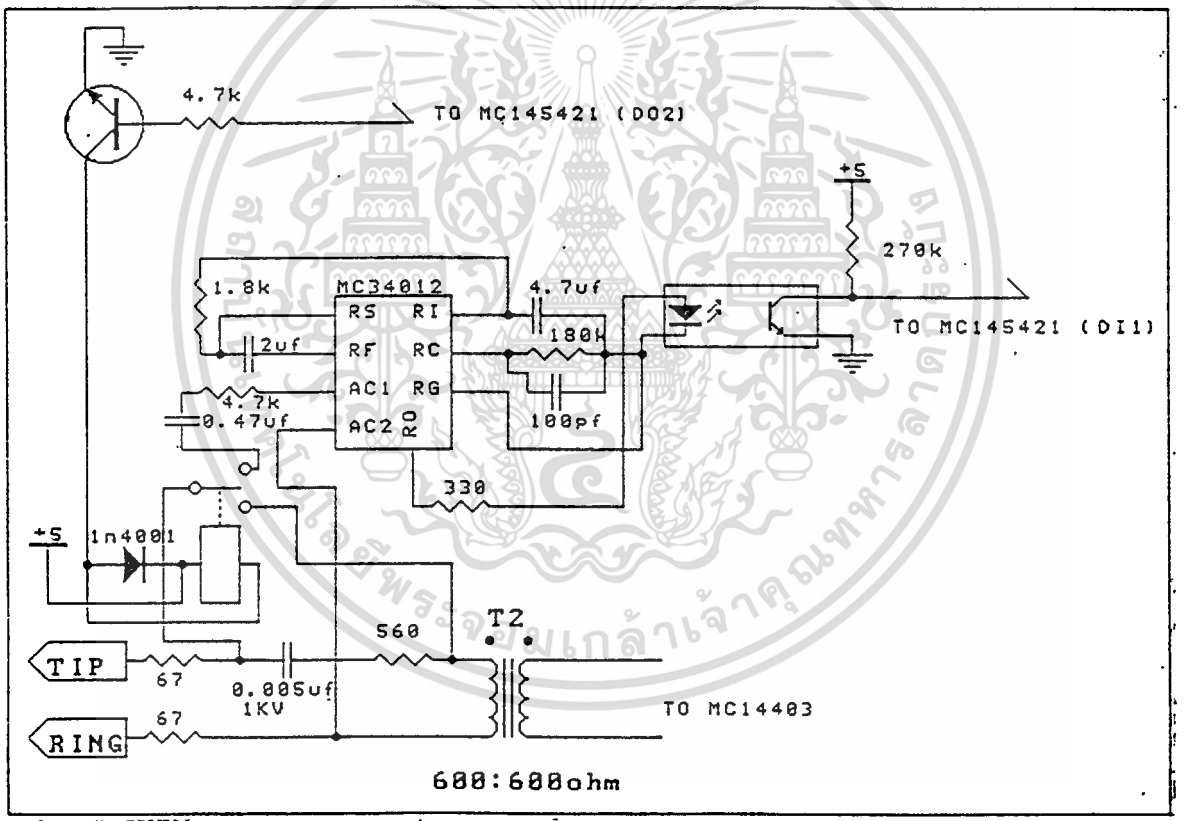


รูปที่ 4.3 แสดงวงจรอินเตอร์เฟสกับเชื่อมต่อกับคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรเชื่อมต่อกับคู่สายโทรศัพท์

ในส่วนนี้จะใช้ทรานสฟอร์เมอร์ที่มีอิมพีแดนซ์ 600 โอห์ม, Turn ratio 1:1 หน้าที่ก็คือ คอยตรวจสอบสัญญาณการเรียก โดยใช้ไอซีเบอร์ MC34012 เป็นตัวตรวจจับสัญญาณดังกล่าว เมื่อมีการเรียกเข้ามา ที่ตัว MC34012 ก็จะให้เอาว์พุทเป็นพัลซ์ (Pulse) ส่งผ่าน OPTO-ISOLATOR เข้าไปในช่องสัญญาณ D2 ของ MC145421 แล้ว MC145421 ก็จะมอดดูเลทสัญญาณดังกล่าว แล้วส่งสัญญาณนี้ไปยังวงจรรับส่งข้อมูลและเสียง(ชุดรอง)ต่อไป



รูปที่ 4.4 แสดงวงจรเชื่อมต่อกับคู่สายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 วงจรแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอล

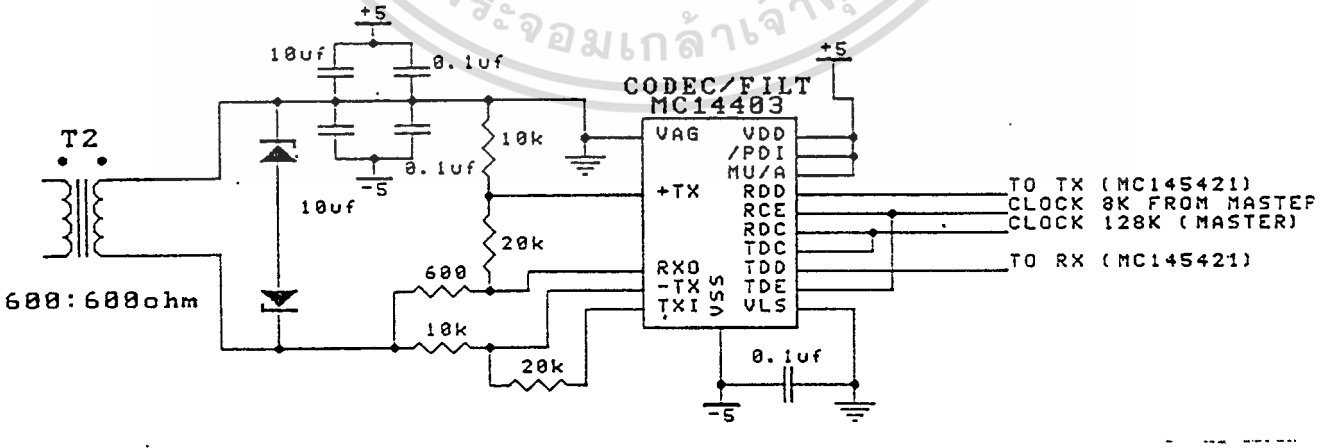
วงจรนี้จะรับสัญญาณเสียงผ่านมาจากทรานสฟอร์เมอร์ ที่แปลงจากระบบ 2 สาย เป็นระบบ 4 สายซึ่งไอซี ที่ทำหน้าที่แปลงสัญญาณเสียงเป็นสัญญาณดิจิตอล นี้คือ MC14403 ของบริษัทโมโตโรลา

คุณสมบัติของ MC14403 มีดังนี้

- ไอซี 18 pin
- On-chip Precision Voltage Reference (3.15V)
- มี Pin เลือกระดับสัญญาณดิจิตอลได้ทั้งระดับ TTL และ CMOS
- มี Pin เลือกทั้ง A-LAW/Mu-LAW Companding และ D3/D4 หรือ CCITT Digital Formats
- โอเปอร์เรททั้ง Synchronous และ Asynchronous (เลือกได้)
- On-Chip Attendent Interrupt Conferencing
- Transmit Bandpass และ Receive Low-Pass Filter ภายในชิปเดียว

เมื่อมีสัญญาณเสียงเข้ามาทางอินพุท ก็จะแปลงเป็นสัญญาณดิจิตอลโดยวิธี พัลซ์ โค้ด มอดดูเลชั่น (PCM) แล้วส่งไปให้ MC145421 เพื่อทำการมอดดูเลทเข้าช่องสัญญาณ B1 ก่อนที่จะส่งไปให้วงจรรับส่งข้อมูลและเสียง (ชุดรอง) ต่อไป

ในขณะเดียวกัน เมื่อมีสัญญาณเสียงจากชุดรองผ่านมายังชุดหลักนี้ เมื่อสัญญาณมาถึงตัว MC14403 ตัวนี้ก็จะแปลงสัญญาณเสียง(ดิจิตอล) เป็นสัญญาณอนาลอก แล้วส่งออกไปยัง ทรานสฟอร์เมอร์ เพื่อส่งไปยังคู่สนทนาอีกที



รูปที่ 4.5 แสดงวงจรแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 วงจรเชื่อมต่อกับสายส่งสัญญาณ

เนื่องจากเอาว์พุทของ MC145421 เป็นแบบ Push-Pull คือมี pin LO1 กับ LO2 ส่วนอินพุทมี pin LI กับ Vref รวมแล้วเป็น 4 สาย ฉะนั้นเมื่อเชื่อมต่อกับสายส่งสัญญาณซึ่งเป็นสาย 2 เส้น จึงจำเป็นจะต้องใช้ ทรานสฟอร์เมอร์ที่แปลงจากระบบ 4 สาย เป็นระบบ 2 สาย ซึ่งเรียกทรานสฟอร์เมอร์ชนิดนี้ว่า ไฮบริด ทราานสฟอร์เมอร์ (Hybrid Transformer)

คุณสมบัติของ ไฮบริด ทรานสฟอร์เมอร์ (HYBRID TRANSFORMER) สามารถกำหนดได้จาก

- คุณสมบัติของ UDLT II (MC145421 และ MC145425) ที่เอาว์พุทของ MC145421 (LO1, LO2) จะเป็นแบบ Differential output

- คุณสมบัติของตัว Driver/Receiver ที่ตัวรับ(Receiver) มี Input threashold สามารถขับได้ 440 โอห์ม ที่ระดับแรงดันต่างกันถึง 5Vp-p = +/-25mv

- เทคนิควิธีการมอดดูเลท (Modulation technique) มีแบนด์วิดท์จาก 8khz-512khz แต่ที่ใช้จริงๆคือจาก 20khz-512khz

- อิมพีแดนซ์ของสายส่งสัญญาณ สายสัญญาณแบบตีเกลียวคู่เบอร์ 26AWG มีอิมพีแดนซ์ 110 โอห์มต่อระยะทางหนึ่งกิโลเมตร

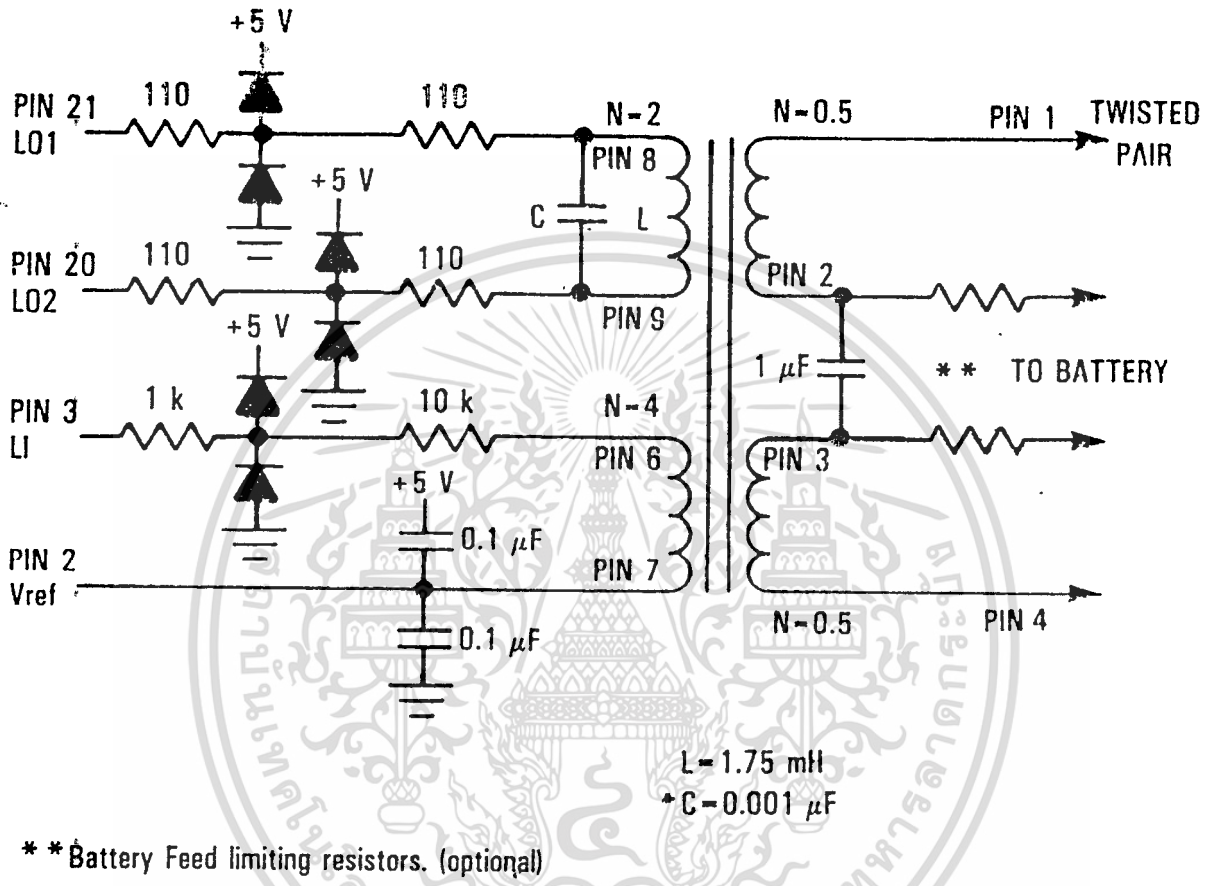
- การลดทอนสัญญาณของสายสัญญาณ สายสัญญาณแบบตีเกลียวคู่เบอร์ 26 AWG มีอัตราลดทอนสัญญาณ 18 dB/Km ที่ความถี่ 256 กิโลเฮิร์ตซ์

อิมพีแดนซ์ของ Source Resistor สำหรับ Driver output เลือกค่า 220โอห์ม บน Transmit tap มี Turn ratio 2:1 ซึ่งอิมพีแดนซ์จะแมทชิ่งกับอิมพีแดนซ์ของสายตีเกลียวคู่ (Twisted pair) ซึ่งมีค่า 110 โอห์ม

ในการเซ็ทความถี่ 20 Khz ให้เป็น Low-Frequency cut off จะต้องพันขดลวดให้ได้ค่าความเหนี่ยวนำ = 1.75mH และในการเซ็ทความถี่ 512 Khzให้เป็น High-Frequency cut off จะต้องต่อตัวเก็บประจุ 0.001uF ขนานกับ Transmit tap จำนวนรอบ(Turn ratio)ของตัวรับสามารถกำหนดได้จากค่าลดทอนสูงสุดของสายและค่า Threshold ของตัวรับ (Receiver)

Amplitude ของ LO1 และ LO2 ตอนเริ่มต้นจะมีค่า 2.5Vp หรือ (5Vp-p) จะถูกแบ่งโดย Source Resistor เหลือ 1.25V ที่ Transmit tap จะถูกลดลงอีกตามจำนวนรอบ 2:1 เหลือ 0.625V ส่งไปตามสายส่ง ที่ทรานสฟอร์เมอร์ของตัวรับนั้น ค่า Amplitude 0.625V นี้จะถูกลดทอนโดย 36dB หรือ ค่าแฟคเตอร์ของ 63mV ถึง 10 mV และที่ตัวรับของ UDLT II จะมี Positive และNegative threshold 25mV ด้วยเหตุนี้ ที่ทรานสฟอร์เมอร์ของตัวรับจำเป็นจะต้องขยาย Amplitude ขึ้นอีก 4 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

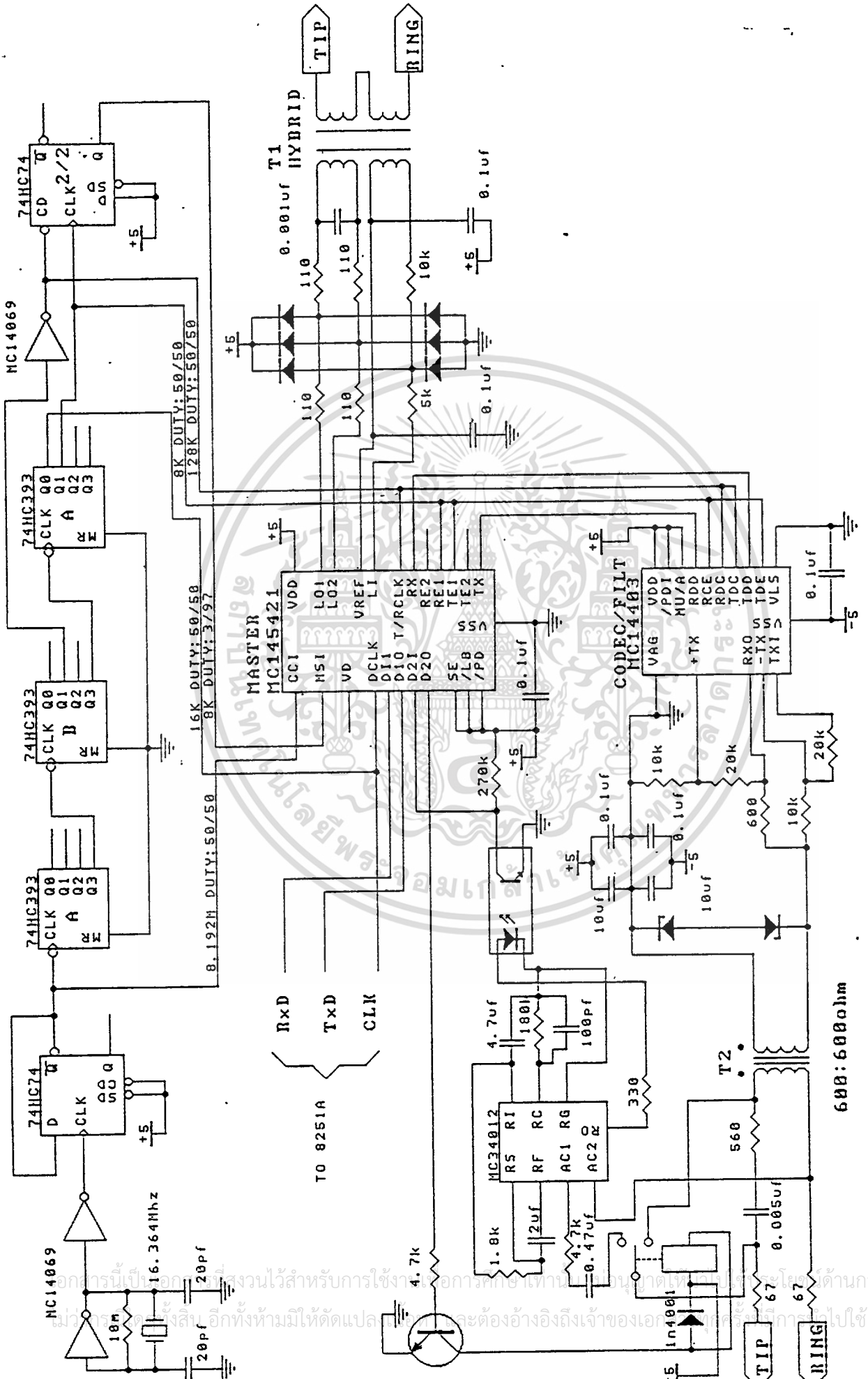


รูปที่ 4.6 แสดงวงจรเชื่อมต่อกับสายส่งสัญญาณ

2.6 วงจรรวมสัญญาณข้อมูลและเสียง

ในส่วนนี้ จะใช้ MC145421 UDLT II (Universal Digital Loop Transceiver II) เป็นตัวรับสัญญาณเสียงและข้อมูลที่เข้ามา แล้วทำการมอดดูเลทแบบ MDPSK (Modified Differential Phase Shift Keying) โดยที่สัญญาณข้อมูลจะรับส่งผ่านทางช่องสัญญาณ D1 ที่มีอัตราการรับส่งข้อมูลเท่ากับ 16 Kbps สัญญาณการเรียกจะเรียกผ่านช่องสัญญาณ D2 อัตราเร็ว 16 Kbps เช่นกัน ส่วนสัญญาณเสียงนั้น จะรับส่งผ่านทางช่องสัญญาณ B1 ที่มีอัตราเร็วเท่ากับ 64 Kbps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แสดงวงจรรับส่งข้อมูลและเสียง (ชุดหลัก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรรับส่งข้อมูลและเสียง (ชุดรอง)

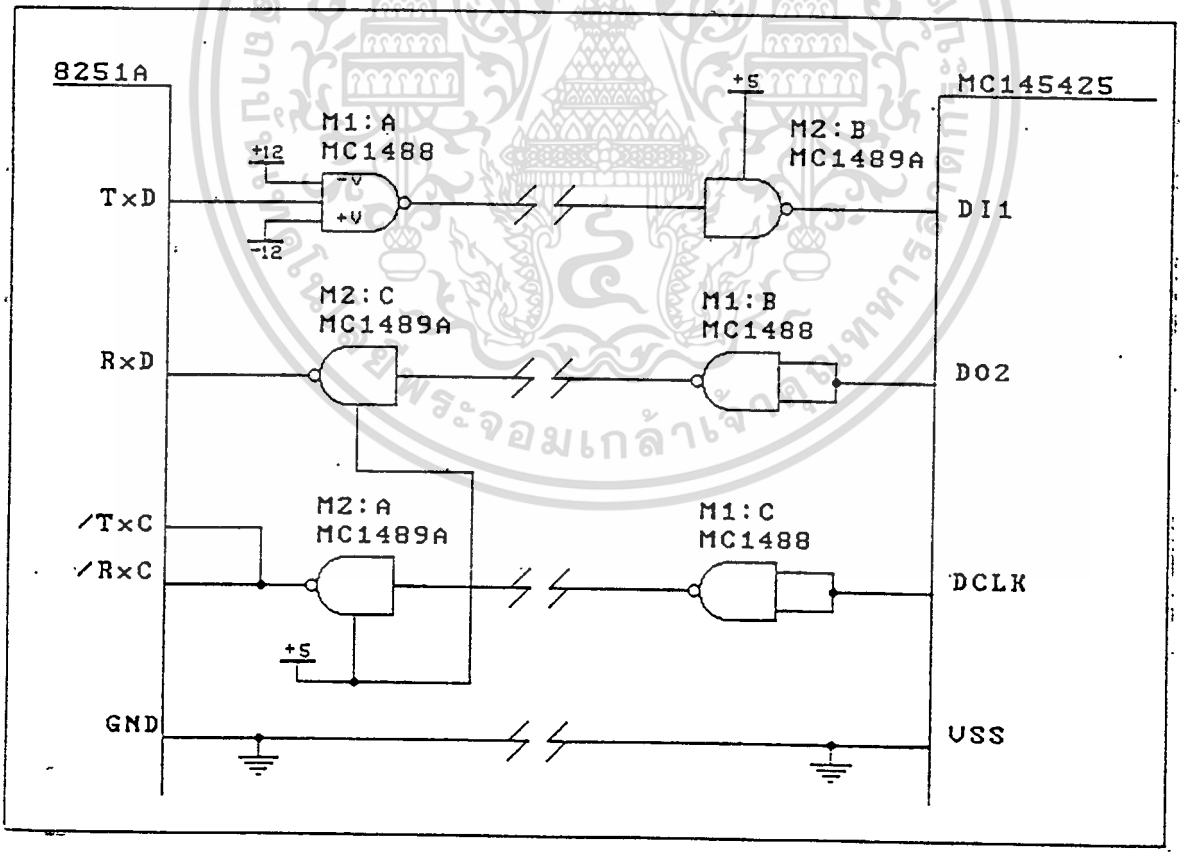
ในส่วนนี้จะใช้ไอซี เบอร์ MC145425 ของบริษัทโมโตโรลา เป็นตัวหลัก กล่าวคือ เมื่อสัญญาณส่งมาจากชุดหลักผ่านทางสายส่งสัญญาณพอมาถึงไอซีเบอร์นี้ก็จะถูกDEMODULATE แล้ว DEMULTIPLEX เพื่อแบ่งแยกสัญญาณออกจากกัน เพื่อส่งออกในแต่ละช่องสัญญาณ ในชุดนี้จะประกอบไปด้วย

คุณสมบัติของ MC145425 มีดังนี้

- เช่นเดียวกับ MC145421

3.1 ส่วนอินเตอร์เฟสกับวงจรเชื่อมต่อคอมพิวเตอร์

วงจรนี้จะใช้ ไอซี เบอร์ MC1488 และ MC1489 เช่นเดียวกับวงจรรับส่งสัญญาณข้อมูลและเสียง (ชุดหลัก) โดยรับส่งข้อมูลขนาด 16 Kbps ผ่านทางช่องสัญญาณ D1 ของ MC145425

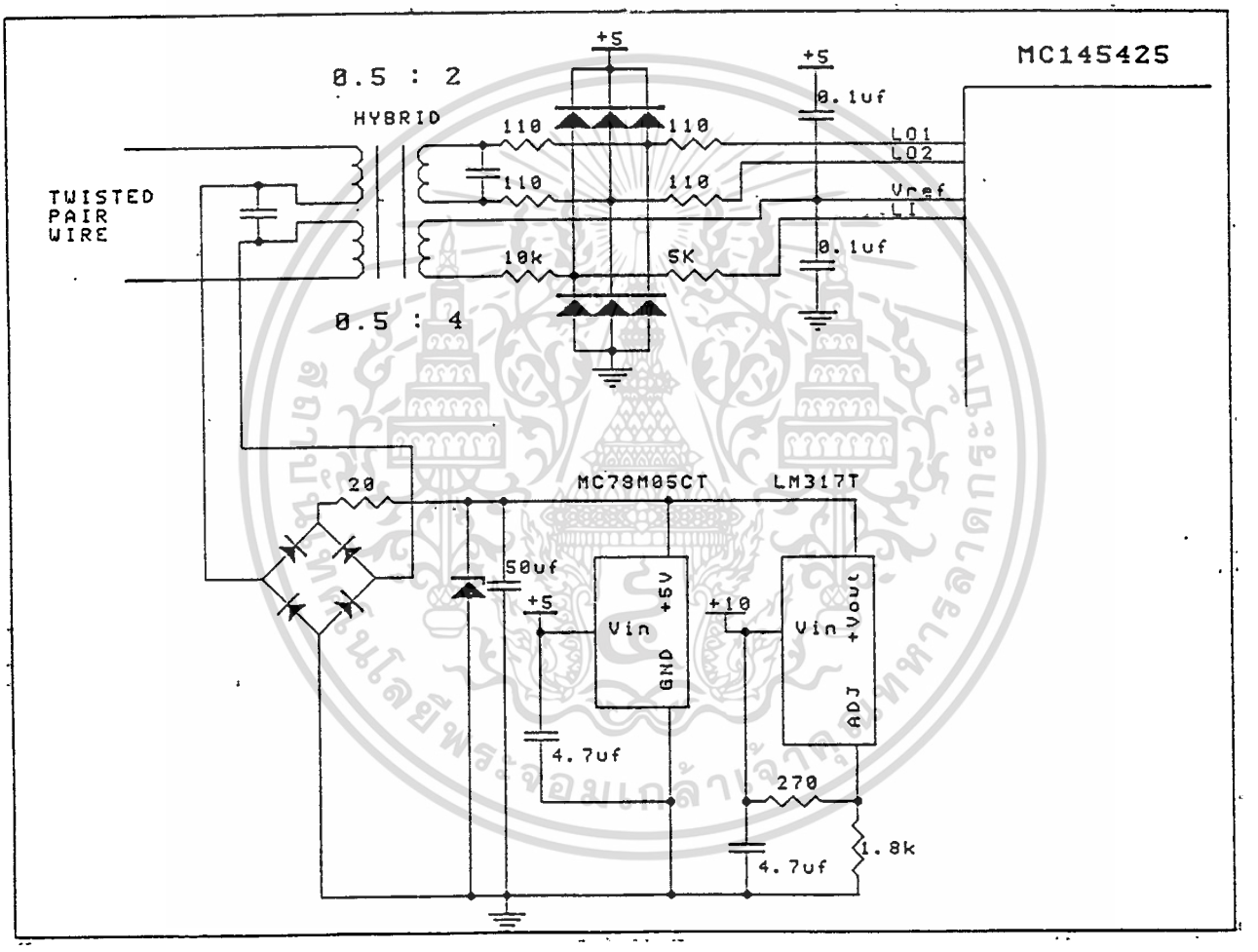


รูปที่ 4.8 แสดงส่วนอินเตอร์เฟสกับวงจรเชื่อมต่อคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรอินตอร์เฟสกับสายส่งสัญญาณ

จะใช้ ไฮบริด ทรานสฟอร์เมอร์ ที่มีค่า L = 1.75 mH มีแบนด์วิดท์ = 20KHz-512KHz คุณสมบัติของทรานสฟอร์เมอร์เช่นเดียวกับ ทรานสฟอร์เมอร์ของวงจรรับส่งข้อมูลและเสียง (ชุดหลัก)

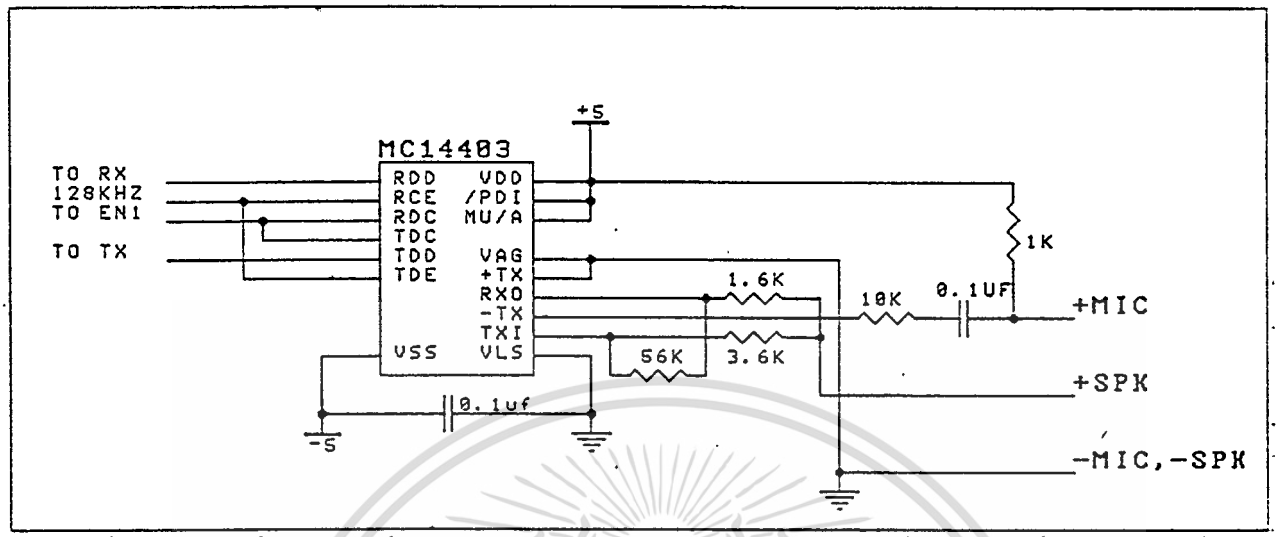


รูปที่ 4.9 แสดงวงจรอินเตอร์เฟสกับสายส่งสัญญาณ

3.3 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณเสียง

วงจรนี้จะใช้ MC14403 (PCM CODEC) เป็นตัวแปลงสัญญาณเสียงที่ถูกมอดดูเลทด้วยวิธี พัลซ์ โค้ด มอดดูเลชั่น มาเป็นสัญญาณเสียง(อนาลอก) โดยอินเตอร์เฟสเข้ากับชุดมือถือของโทรศัพท์ (HANDSET) ซึ่งมี ลำโพง กับ หูฟัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

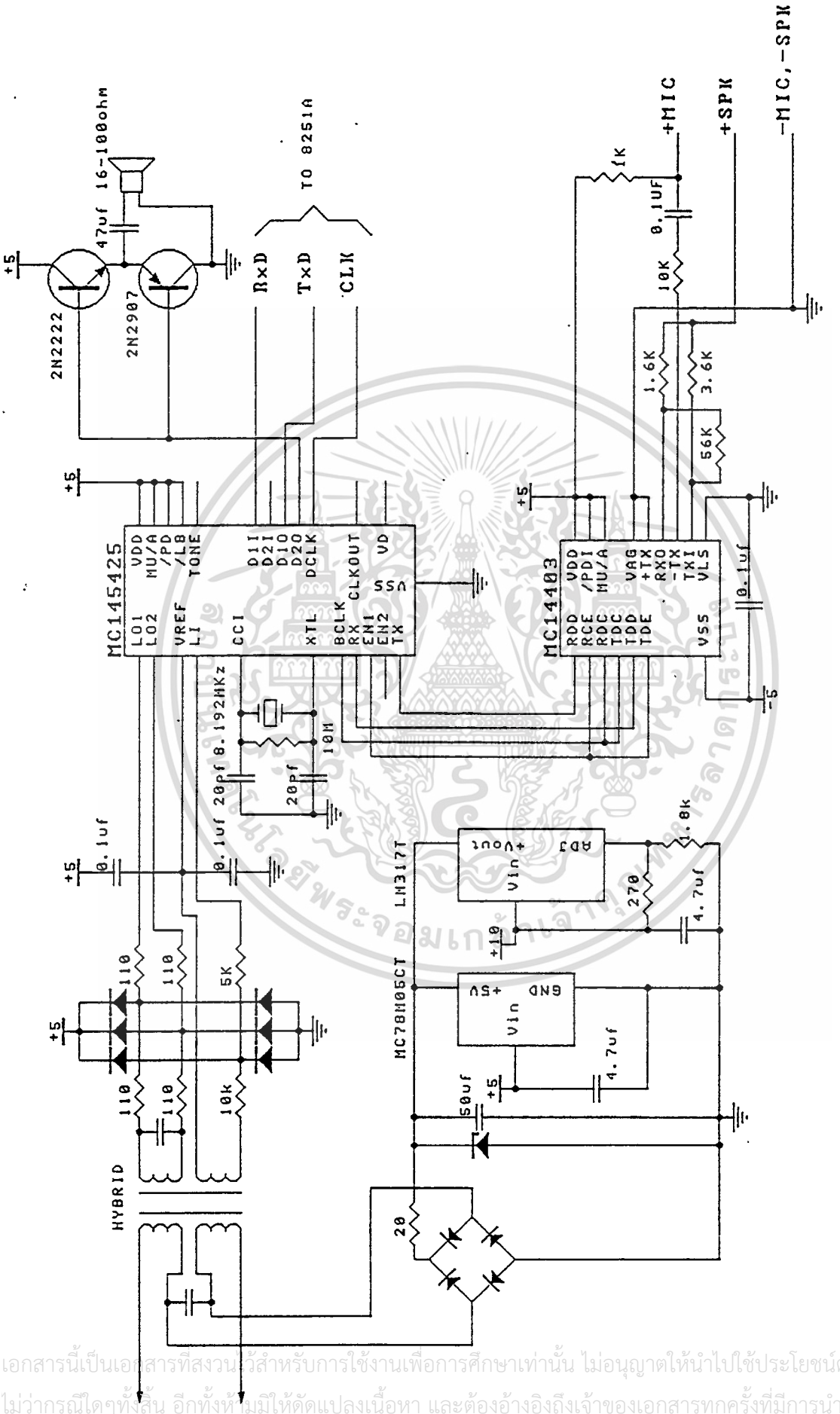


รูปที่ 4.10 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณเสียง

3.4 วงจรรวมสัญญาณข้อมูลและเสียง

จะใช้ MC145425 เป็นตัวมอดดูเลทสัญญาณที่จะส่ง และ ดีมอดดูเลทสัญญาณเมื่อมีสัญญาณจากชุดหลักส่งผ่านเข้ามา โดยที่สัญญาณข้อมูลจะส่งผ่านทางช่องสัญญาณ D1 และสัญญาณเสียงจะส่งผ่านทางช่องสัญญาณ B1 ส่วนเอาว์พุทของช่องสัญญาณ D2 จะแสดงสถานะของการถูกเรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงวงจรรับส่งข้อมูลและเสียง (ขดรอง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทดลองและผลการทดลอง

การทดลองและผลการทดลองแต่ละวงจรที่สร้างขึ้น

1. วงจรรับส่งข้อมูลและเสียง (ชุดหลัก)

1.1 วงจรสร้างสัญญาณนาฬิกา

วงจรส่วนนี้ใช้ในการสร้างสัญญาณนาฬิกาเพื่อให้วงจรทั้งหมดทำงานได้ถูกต้องตามจังหวะเวลา ซึ่งในการสร้างวงจรนี้ใช้คริสตอล ออสซิเลเตอร์ 16.384Mhz และใช้วงจรหารความถี่ให้ได้ค่าที่ต้องการ ซึ่งจากการสร้างและทดลอง ปรากฏว่าใช้ได้ไม่เกิดปัญหาแต่อย่างใด

1.2 ส่วนอินเตอร์เฟสกับวงจรเชื่อมต่อกับคอมพิวเตอร์

วงจรส่วนนี้ใช้เพื่อว่าเวลาเครื่องคอมพิวเตอร์อยู่ไกลจากบอร์ดวงจรรับส่งข้อมูลและเสียงมาก ซึ่งถ้าไม่แปลงระดับแรงดันแล้วใช้สายยาวๆ จะมีแรงดันตกคร่อมในสาย อาจจะทำให้ข้อมูลผิดพลาดได้ ซึ่งจากการสร้างและทดลองก็ใช้ได้ดี ทดลองโดยใช้ ดิจิตอล มิเตอร์วัดที่อินพุท และเอาว์พุทของ MC1488 และ MC1489 กล่าวคือ เมื่อระดับแรงดันที่อินพุทของ MC1488 เป็น 0-0.8V แรงดันที่เอาว์พุทจะต้องวัดได้ 3-11.4V และเมื่อระดับแรงดันอินพุทเป็น 2.4-5V ที่เอาว์พุทก็จะวัดได้ -3V ถึง -11.4V ส่วน MC1489 เมื่ออินพุทเป็น 3-11.4V เอาว์พุทก็จะวัดได้ 0-0.8V (LOGIC LOW) เมื่ออินพุทเป็น -3V ถึง -11.4Vก็จะวัดแรงดันเอาว์ได้ 2.4V-5V จากการทดลองก็ไม่พบปัญหาแต่ประการใด

1.3 วงจรเชื่อมต่อกับคู่สายโทรศัพท์

วงจรส่วนนี้มีไอซี เบอร์ MC34012 เป็นตัวหลัก หน้าที่หลักของมันก็คือ ตรวจสอบสัญญาณการเรียก เมื่อมีสัญญาณการเรียก เรียกเข้ามา โดยเอาว์พุทจะเป็นพัลซ์ ออกที่ OPTO-ISOLATOR (ที่ขานี้สภาวะปกติจะเป็น HIGH) และเมื่อผู้รับมีการยกหู ก็จะส่งสัญญาณมาตัดรีเลย์มาที่ตำแหน่งล่างจึงทำให้สามารถสนทนากันได้ และจากผลการทดลองก็ใช้ได้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 วงจรแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอล

วงจรส่วนนี้ มีไอซีเบอร์ MC14403 เป็นตัวหลัก หน้าที่ก็คือ แปลงสัญญาณเสียงเป็นสัญญาณดิจิตอลเมื่อส่ง และแปลงสัญญาณดิจิตอลกลับมาเป็นสัญญาณเสียงเหมือนเดิมเมื่อรับ โดยสัญญาณนาฬิกาที่ใช้นั้น รับมาจากวงจรสร้างสัญญาณนาฬิกา ซึ่งวงจรสร้างสัญญาณนาฬิกานี้จะจ่ายให้ทั้ง ตัว MC145421, MC14403 และ วงจรเชื่อมต่อกับคอมพิวเตอร์ สัญญาณนาฬิกาที่ตัว MC14403 ต้องใช้ก็มี 8KHz, 128KHz สัญญาณนี้จะต้องมี DUTY CYCLE 40-60% และจากผลการทดลองโดยใช้ออสซิโลสโคปจับสัญญาณที่อินพุทและที่เอาว์พุทก็ถูกต้องไม่พบปัญหาแต่อย่างใด

1.5 วงจรรวมสัญญาณข้อมูลและเสียง

วงจรนี้จะมี MC145421 เป็นตัวรวบรวมสัญญาณ แล้วมอดดูเลทสัญญาณดังกล่าวก่อนส่งไปให้วงจรชุดรอง จริงๆแล้ววงจรส่วนนี้เวลาใช้งานจริงจะต้องต่อกับ SLOT ของ PABX ปัญหาที่พบคือหาทรานสฟอร์เมอร์ตามสเป็คไม่ได้ จึงต้องพันเอง ซึ่งก็ยังไม่สามารถที่จะพันให้ได้ค่าตามที่ต้องการและค่าที่คำนวณได้ จึงทำให้ไม่สามารถรับส่งสัญญาณที่อัตราเร็ว 64Kbpsได้ ได้แค่ที่อัตราเร็ว 16Kbps (ซึ่งในโครงงานนี้ใช้ส่งข้อมูลของคอมพิวเตอร์)

2. วงจรรับส่งข้อมูลและเสียง (ชุดรอง)

2.1 ส่วนอินเตอร์เฟสกับวงจรเชื่อมต่อกับคอมพิวเตอร์

วงจรส่วนนี้ก็เช่นเดียวกับ วงจรรับส่งข้อมูลและเสียง (ชุดหลัก)

2.2 วงจรอินเตอร์เฟสกับสายส่งสัญญาณ

วงจรส่วนนี้ใช้สำหรับการรับส่งข้อมูลแบบฟูล ดูเพล็กซ์ ปัญหาที่พบก็คือหาซื้อทรานสฟอร์เมอร์ไม่ได้ จึงต้องพันทรานสฟอร์เมอร์เอง ซึ่งจากการทดสอบก็ไม่สามารถส่งสัญญาณที่อัตราเร็ว 64 Kbps ได้

2.3 วงจรแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอล

วงจรนี้คล้ายกับตัวแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอลของชุดหลัก เพียงแต่เอาว์พุทให้ออกที่หูฟัง ส่วนอินพุทก็เข้ามาทางไมโครโฟนเลย จากการทดลองปรากฏว่าเสียงที่ได้ยินจะดังค่อยมาก ต้องใช้วงจรขยายมาขยายสัญญาณอีกทีหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 วงจรรวมสัญญาณข้อมูลและเสียง

วงจรส่วนนี้มี MC145425 เป็นตัวหลัก ทดลองโดยใช้ออสซิโลสโคปตรวจจับสัญญาณที่ขาต่างๆ เมื่อมีการส่งข้อมูลจากชุดหลักมา เช่นมีสัญญาณการเรียกผ่านมาจากชุดหลัก ก็จะได้ยินเสียงออกที่ลำโพงที่ต่อออกจากเอาว์พุทของ DO2 ปัญหาที่พบในวงจรนี้คือ เมื่อพันทรานสฟอร์เมอร์แล้วเกิดค่าคลาดเคลื่อน จึงยังผลให้การรับส่งข้อมูลเกิดการผิดพลาด ต้องแก้ไขหลายครั้ง

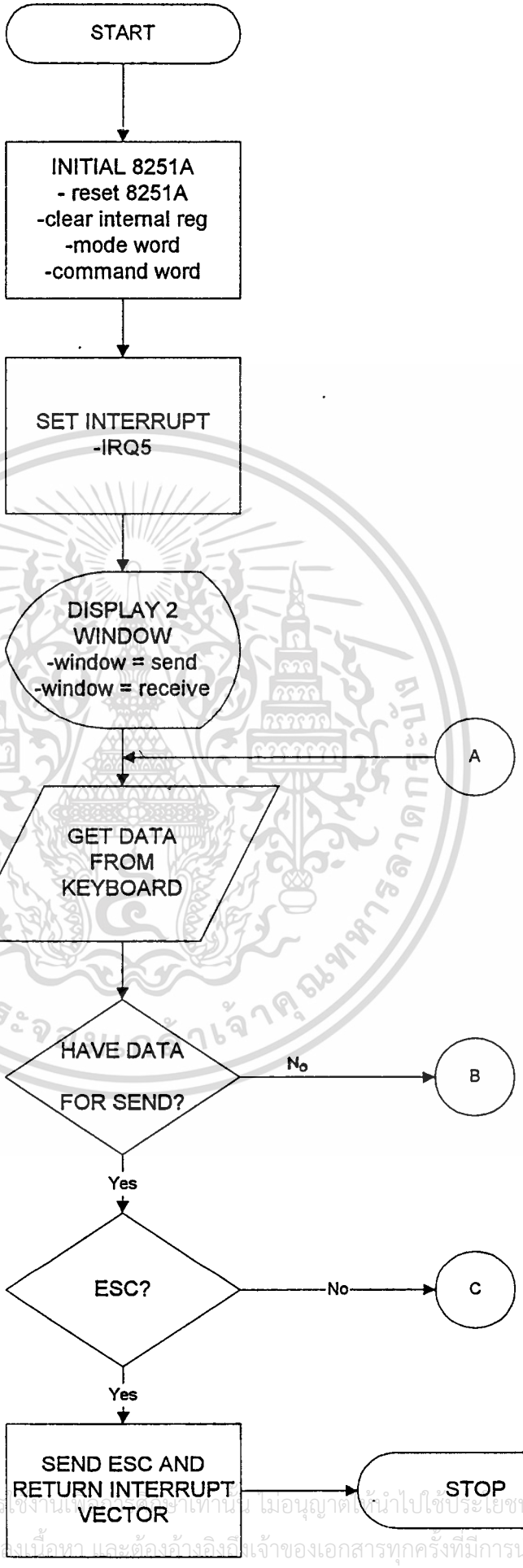
3. วงจรเชื่อมต่อกับคอมพิวเตอร์

การทดลองในส่วนนี้ ซึ่งมีไอซีเบอร์ 8251A เป็นตัวหลัก หน้าที่ที่สำคัญก็คือ รับส่งข้อมูลกับวงจรรับส่งข้อมูลและเสียง โดยในโครงงานนี้ได้ถอดรหัสแอดเดรสไว้ที่ตำแหน่ง 300h-3E0h เพื่อว่าจะได้สามารถเลือกแอดเดรสได้ และไม่ทับกับแอดเดรสของตัวอื่น

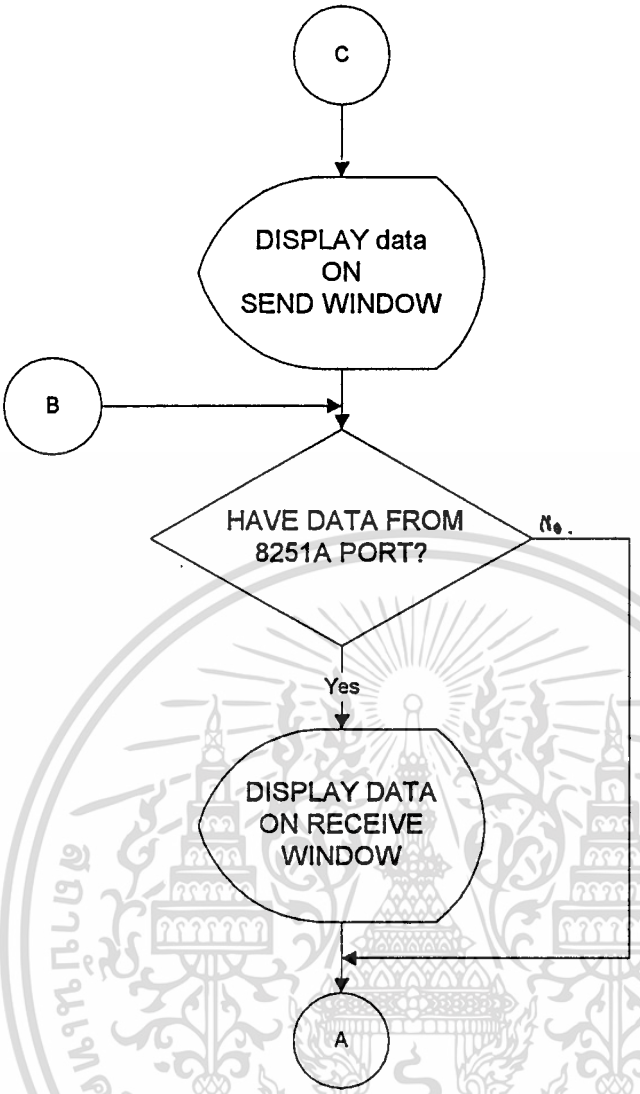
จากการทดลองได้เขียนโปรแกรมควบคุมการรับส่งข้อมูลแบบ Asynchronous (1 start bit, 8 data bit, disable parity, และ 2 stop bit) โดยทดลองใช้การโพลลิ่งในตอนแรก และทดลองใช้การอินเตอร์รัพท์

โดยในโปรแกรมได้กำหนดค่าแอดเดรส (Default) ไว้ที่แอดเดรสตำแหน่ง 300h และอินเตอร์รัพท์ IRQ 5 อัตราการรับส่งข้อมูล 16Kbps ก็ไม่มีปัญหาแต่อย่างใด ซึ่งมี Flowchart ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*
@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@
   KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
                COMPUTER ENGINEERING

        Program :  UDLT2.C
        By       :  Mr. Thanawut Tiraoram   35.103226
        Purpose  :  This program use for transmit and receive data
                    between two computer. In transmit case, by sending
                    data to 8251A's serial port which this data is in
                    formal of character, that is it can be send one
                    character per time. By usage asynchronous mode.
                    In receive case, by interrupt and set flag.
@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@
*/
#include <bios.h>
#include <dos.h>
#include <stdio.h>
#include <conio.h>

#define    DataPort     0x300
#define    CtrlPort     0x301
#define    ResetPort    0x00
#define    ModeWord     0xfe   /* 11111110 ;  10 : async mode 16x baud rate,
                                              11 : 8 bits per char,
                                              11 : even parity,
                                              11 : 2 stop bit   */
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#define     CommandW    0x35  /* 00110101 :  TxD enable,
                                             RxD enable,
                                             reset error flag
                                             RTS force to zero */

#define     TxRDY       0x01
#define     RxRDY       0x02
#define     TxEMPTY     0x04
#define     ESC         0x1b

#define     EI          outportb (0x21, inportb (0x21) & 0xdf)
#define     DI          outportb (0x21, inportb (0x21) | 0x20)
#define     EOI         outportb (0x20, 0x20)

typedef  enum {FALSE, TRUE} BOOLEAN;

void  InitCom (void);
BOOLEAN  Send (void);
void  Comm (void);
void  interrupt Rx (void);
void  interrupt (*oldfunc)(void);
void  Receive (void);
void  Draw_border();

char buff;
BOOLEAN int_flag = FALSE;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void main (void)
{
        clrscr ();

        EI;                     /* enable interrupt */
        InitCom ();
        Comm ();

        setvect (0x0d, oldfunc);
        DI;
}

void InitCom (void)
{
        int i,  j;

        oldfunc = getvect (0x0d);
        setvect (0x0d, Rx);

        for (i = 0; i < 3; i++)  {
                outportb (CtrlPort, ResetPort);
                for (j=0; j<100; j++);
        }
        outportb (CtrlPort, 0x40);              /* clear internal register */
        for (j=0; j<100; j++);                          /* delay */

        outportb (CtrlPort, ModeWord);      /* send mode word to control port */
        for (j=0; j<100; j++);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        outportb (CtrlPort, CommandW); /* send command instr to control port */
        for (j=0; j<100; j++);

        textmode(C80);
        textcolor(YELLOW);
        Draw_border(1, 1, 79, 12);
        gotoxy(35, 1);
        cprintf("SEND DATA");

        textcolor(YELLOW);
        Draw_border(1, 13, 79, 24);
        gotoxy(35,13);
        cprintf("RECEIVE DATA");
        textcolor(WHITE);
}


void Comm (void)
{
        while (TRUE) {
                if (Send () == FALSE)
                    return;
                Receive();
        }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void Receive (void)
{
        static int x = 1, y = 1;

        window (2, 14, 78, 23);
        gotoxy (x, y);
        if (int_flag == TRUE) {
                if (buff == '\r')
                        cprintf ("\r\n");
                cprintf ("%c", buff);

                int_flag = FALSE;
        }

        x = wherex ();
        y = wherey ();
}

BOOLEAN Send ()
{
        int   ch;
        int   j;
        static int x = 1, y = 1;

        window (2, 2, 78, 11);
        gotoxy (x, y);
        ch = bioskey (1);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        if (ch != 0) {
                bioskey (0);
                while ((inportb (CtrlPort) & TxRDY) != TxRDY);

                outportb (DataPort, (char) ch);
                if ((char)ch == '\r')
                        cprintf ("\r\n");
                else cprintf ("%c", (char) ch);
        }

        x = wherex ();
        y = wherey ();

        return (FALSE?TRUE : (ch != 0x11b));
}

/*
-------------------------------------------------------------------------------------------------
        subroutine :  interrupt Rx()
        input      :  interrupt from 8251A (from BRKDET pin)
        output     :  save data to buffer
-------------------------------------------------------------------------------------------------
*/
void interrupt Rx (void)
{
        int_flag =.TRUE;
        buff = inportb (DataPort);
        EOI;
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/*$$$$$$ This subroutine use to create border for display character. $$$$$$*/
void Draw_border(startx, starty, endx, endy)
int startx, starty;
int endx,  endy;
{
        register int i;

        for (i=startx+1; i<endx; i++) {
                gotoxy(i,  starty);             putchar(196);
                gotoxy(i, endy);                putchar(196);
        }

        for (i=starty+1; i<endy; i++) {
                gotoxy(startx, I);              putchar(179);
                gotoxy(endx, I);                putchar(179);
        }

        gotoxy(startx, starty);         putchar(218);
        gotoxy(startx, endy);           putchar(192);
        gotoxy(endx, starty);           putchar(191);
        gotoxy(endx, endy);             putchar(217);
}~
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปและวิจารณ์ผล

วงจรรับส่งข้อมูลและเสียงแบบดิจิตอลที่สร้างขึ้นนี้ ประสบปัญหาอย่างมากในส่วนของวงจรที่เชื่อมต่อกับสายส่งสัญญาณ ซึ่งจำเป็นจะต้องใช้ไฮบริด ทรานสฟอร์เมอร์ และจากการสำรวจตลาดในบ้านเราก็ปรากฏว่าไม่มี SPEC ของไฮบริด ทรานสฟอร์เมอร์ตัวนี้ และแน่นอนที่สุดผมต้องพันเอง ยังผลให้ประสิทธิภาพของวงจรลดลงไปบ้าง แต่จากผลการทดลองสามารถส่งข้อมูลได้ไกลถึง 500 เมตร ก็เป็นที่น่าพอใจ จะผิดพลาดก็ตรงที่ส่งสัญญาณเสียงที่อัตราเร็ว 64 Kbps ยังส่งไม่ได้ เนื่องจากสเป็คของทรานสฟอร์เมอร์ที่พันไม่ได้ตามข้อกำหนด(ค่าคลาดเคลื่อนไปบ้าง)

เนื่องจาก คริสตอล ออสซิเลเตอร์ ที่ใช้ผลิตสัญญาณนาฬิกาสำหรับวงจรรับส่งข้อมูลและเสียง(ชุดรอง) จะต้องใช้ค่า 8.192mhz แต่หาได้คริสตอล ออสซิเลเตอร์ ค่า 8.0mhz ซึ่งต่ำกว่าค่าต่ำสุดที่ทางบริษัทผู้ผลิตกำหนดไว้ จึงไม่สามารถเป็นตัวกำหนดการจุดเริ่มต้นทำงานแก่วงจรรับส่งข้อมูลและเสียง(ชุดรอง)ได้ แต่ก็สามารถส่งสัญญาณข้อมูลได้ เมื่อใช้คอมพิวเตอร์ตรวจจับสัญญาณที่ทางเอาว์พุทของวงจรรับส่งข้อมูลและเสียง(ชุดรอง) โดยใช้สัญญาณนาฬิกาจากวงจรรับส่งข้อมูลและเสียง(ชุดรอง) ก็ไม่สามารถตรวจจับสัญญาณข้อมูลได้ ต้องแก้โดยการใช้สัญญาณนาฬิกาจากวงจรรับส่งข้อมูลและเสียง(ชุดหลัก) ส่งเป็น Time base ให้จึงสามารถรับส่งข้อมูลได้

นอกจากนี้ยังประสบปัญหาในเรื่องสายส่งสัญญาณ เนื่องจากงบประมาณมีน้อยจึงหาซื้อสายสัญญาณ(สาย Twisted pair) มาทดลองได้เพียง 500 เมตร จากผลการทดลองได้ผลเป็นที่น่าพอใจ ไม่เกิดข้อผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณอย่างสูงต่อ อาจารย์ประทีป บัญญัตินพรัตน์ ในฐานะอาจารย์ที่ปรึกษาที่ได้ช่วยให้คำปรึกษาและคำแนะนำในระหว่างทำโครงงาน และปริญญานิพนธ์ฉบับนี้ตั้งแต่ต้นจนจบการศึกษาให้สำเร็จลุล่วงไปด้วยดี

ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ ที่ให้กำเนิดเลี้ยงดูอบรมให้การศึกษามาเป็นอย่างดี และที่จะลืมเสียมิได้ก็คือ เพื่อนๆนักศึกษาภาควิชาวิศวกรรมคอมพิวเตอร์ทุกคนที่ได้ให้ความช่วยเหลือและให้กำลังใจด้วยดีเสมอมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ประสิทธิ์ ทีฆพุฒิ, ดร., "โครงข่ายบริการสื่อสารร่วมระบบดิจิตอล", จุฬาลงกรณ์-มหาวิทยาลัย, พ.ศ.2536
2. ปาริฉัตร์ ทรงสุรเวทย์ และคณะ, "โครงข่ายโทรศัพท์แบบดิจิตอลสำหรับเส้นใยนำแสง", ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต สาขาวิชาอิเลคทรอนิคส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าฯเจ้าคุณทหารลาดกระบัง, พ.ศ. 2535
3. John Griffin, "ISDN and BROADCAST ISDN", Maxwell Macmillan, Inc., Newyork, 1992
4. Nathan R. Grossner, "Transformer for Electronic Circuit", McGraw-Hill Book Company
5. G. DICENET, "Design and Prospects for the ISDN", Arthech House, Inc., Norwood, 1987
6. G.Arndt, V.Frantzen, O.Fundneider, I.Hagenhaus, H.J.Rothamel, L.Schweizer, "ISDN ; The Integrated Services Digital Network : Concept, Methods, Systems", Siemens AG, Germany, 1991

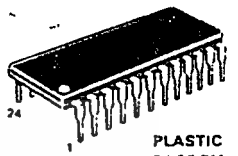
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR
TECHNICAL DATA

MC145421
MC145425

Advance Information

ISDN Universal Digital Loop Transceivers II (UDLT II)



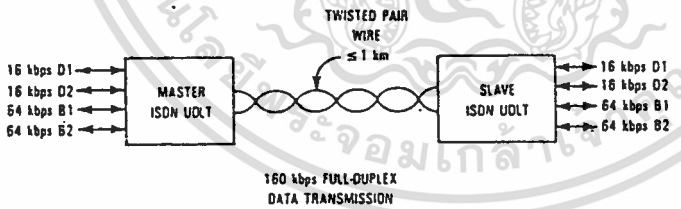
PLASTIC
CASE 709

The MC145421 and MC145425 UDLTs are high-speed data transceivers capable of providing 160 kbps full duplex data communication over 26 awg and larger twisted-pair cable up to 1 km in length. These devices are primarily used in digital subscriber voice and data telephone systems. In addition, the devices meet and exceed the CCITTs recommendations for data transfer rates of ISDNs on a single twisted pair. The devices utilize a 512 kilobaud MDPSK burst modulation technique to supply the 160 kbps full duplex data transfer rates. The 160 kbps rate is provided through four channels. There are two B channels, which are 64 kbps each. In addition, there are two D channels which are 16 kbps each.

The MC145421 and MC145425 UDLTs are designed for upward compatibility with the existing MC145422 and MC145426 80 kbps UDLTs, as well as compatibility with existing and evolving telephone switching hardware and software architectures.

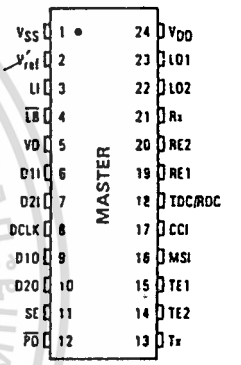
The MC145421 (MASTER) UDLT is designed for use at the telephone switch line card while the MC145425 (SLAVE) UDLT is designed for use at the remote digital telset or data terminal.

- Employs CMOS Technology, in Order to Take Advantage of Its Proven Capability for Complex Analog and Digital LSI Functions.
- Provides Synchronous Full Duplex 160 kbps Voice and Data Communication in a 2B + 2D Format For ISDN Compatibility.
- Provides the CCITT's Basic Access Data Transfer Rate (2B + D) for ISDNs on a Single Twisted Pair up to 1 km.
- Compatible with Existing and Evolving Telephone Switch Architectures and Call Signalling Schemes.
- Protocol Independent
- Single +5 V Power Supply

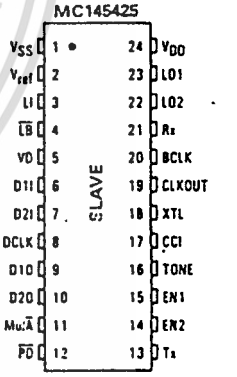


PIN ASSIGNMENTS

MC145421



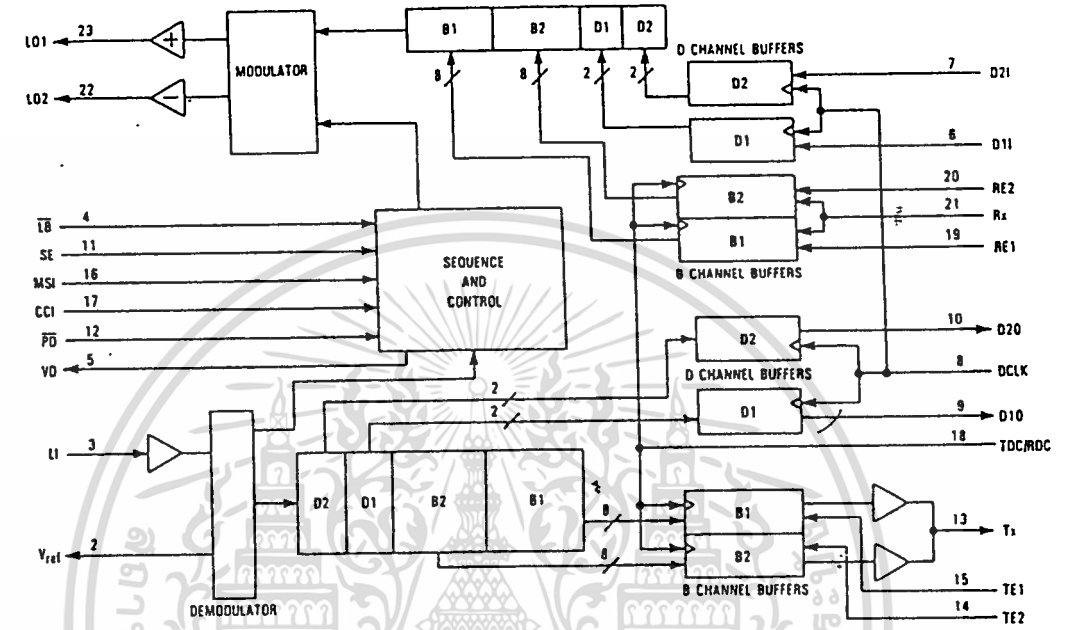
MC145425



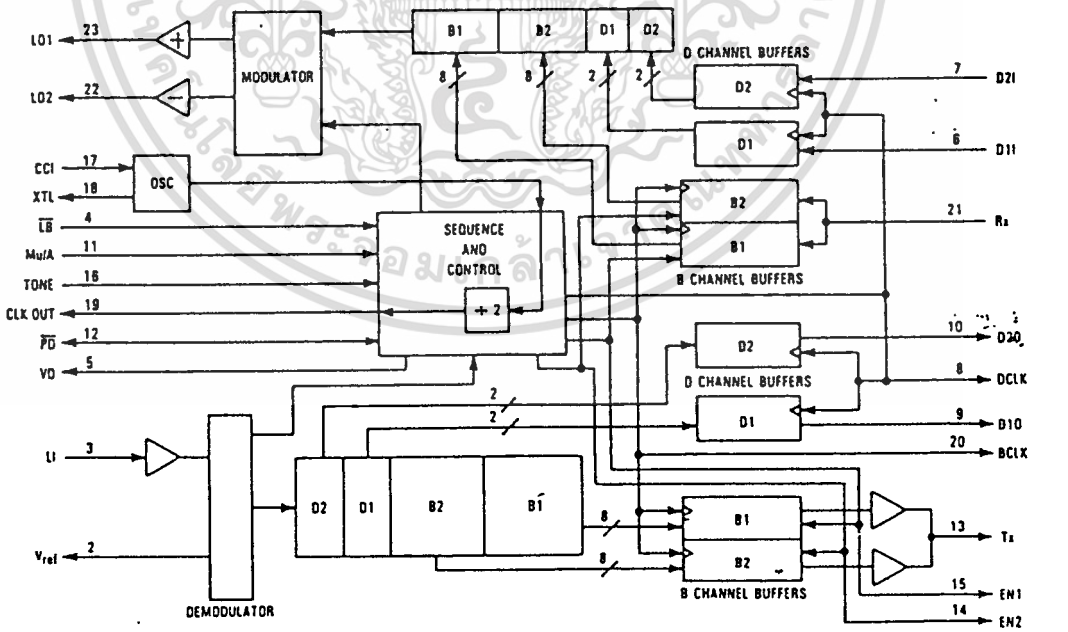
This document contains information on a new product. Specifications and information herein are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145421 MASTER ISDN BLOCK DIAGRAM



MC145425 SLAVE ISDN BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (Voltage Referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}-V_{SS}	−0.5 to 6.5	V
Voltage Any Pin to V_{SS}	V	−0.5 to V_{DD} + 0.5	V
DC Current, Any Pin (Excluding V_{DD}, V_{SS})	I	± 10	mA
Operating Temperature	T_A	−40 to +85	°C
Storage Temperature	T_{stg}	−85 to +150	°C

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid applications of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$. Reliability of operation is enhanced if unused inputs are tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

RECOMMENDED OPERATING CONDITIONS (T_A = −40 to +85°C)

Parameter	Pins	Min	Typ	Max	Unit
DC Supply Voltage	V_{DD}	4.5	5.0	5.5	V
Frame Rate MC145421 (See Note 1)	MSI	—	8.0	—	kHz
MC145421/25 Frame Slip Rate (See Note 1)	—	—	—	0.25	%
CCI Clock Frequency	—	—	8.192	8.29	MHz
TDC/RDC Data Clocks (for Master)	—	0.128	÷	4.1	MHz
DCLK	—	0.016	—	4.1	MHz
Modulation Baud Rate (CCI/16)	LO1, LO2	—	512	—	kHz

NOTE:
1. The slave's crystal frequency divided by 1024 must equal the master's MSI frequency ±0.25% for optimum operation. Also, the 8.192 MHz input at the master divided by 1024 must be within 0.048% of the master's 8 kHz MSI clock frequency.

DIGITAL CHARACTERISTICS (V_{DD} = 5 V, T_A = −40 to +85°C)

Parameter		Min	Max	Unit
Input High Level		3.5	—	V
Input Low Level		—	1.5	V
Input Current, V_{DD}		—	15	mA
Input Current (Digital Pins)		—	5	μA
Input Capacitance		—	10	pF
Output High Current (Except Tx on Master and Slave, and $\overline{PD}$ on the Slave)	V_{OH} = 2.5 V_{OH} = 4.6	−1.7 −0.36	— —	mA
Tx Output High Current	V_{OH} = 2.5 V_{OH} = 4.6	−3.4 −0.7	— —	mA
$\overline{PD}$ (Slave Output High Current (See Note 2)	V_{OH} = 2.5	—	−90	μA
Output Low Current (Except Tx on Master and Slave, and $\overline{PD}$ on Slave)	V_{OL} = 0.4 V_{OL} = 0.8	0.36 0.8	— —	mA
Tx Output Low Current	V_{OL} = 0.4 V_{OL} = 0.8	1.7 3.5	— —	mA
$\overline{PD}$ (Slave) Output Low Current (See Note 2)	V_{OL} = 0.4	30	60	μA
Tx Three-State Impedance		100	—	kΩ
XTL Output High Current	V_{OH} = 4.6	—	−450	μA
XTL Output Low Current	V_{OL} = 0.4	450	—	μA

NOTE:
2. To overdrive $\overline{PD}$ from a low level to 3.5 V, or a high level to 1.5 V requires a minimum of ±800 μA drive capability.

ANALOG CHARACTERISTICS (V_{DD} = 5 V, T_A = 0 to 70°C)

Parameter	Min	Max	Unit
Modulation Differential Amplitude RL = 880 Ω (LO1-LO2)	4.6	—	Vpeak
Modulation Differential DC Offset	—	40	mV
V_{ref} Voltage (Typically 9/20·(V_{DD} − V_{SS}))	2.0	2.5	V
PCM Tone Level	−22	−18	dBm
Demodulator Input Amplitude	50	—	mVpeak
Demodulator Input Impedance (LI to V_{ref})	75	300	kΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145421 MASTER PIN DESCRIPTIONS

V_{DD}—POSITIVE SUPPLY (PIN 24)

The most positive power supply pin, normally +5 volts with respect to V_{SS}.

V_{SS}—NEGATIVE SUPPLY (PIN 1)

The most negative supply pin and logic ground, normally 0 volts.

V_{ref}—REFERENCE OUTPUT (ANALOG GROUND) (PIN 2)

This pin is the output of the internal reference supply and should be bypassed to V_{DD} and V_{SS} with 0.1 μF capacitors. This pin usually serves as an analog ground reference for transformer coupling of the device's incoming bursts from the line. No external dc load should be placed on this pin.

LI—LINE INPUT (PIN 3)

This pin is an input to the demodulator for the incoming bursts. The input has an internal 240 kΩ resistor tied to the V_{ref} pin, so an external capacitor or line transformer may be used to couple the input signal to the device with no dc offset.

LO1, LO2—LINE DRIVER OUTPUTS (PINS 23, 22)

These push-pull outputs drive the twisted pair transmission line with a 512 kHz modified DPSK (MDPSK) burst each 125 μs, in other words at an 8 kHz rate. When not modulating the line, these pins are driven to the active high state—being the same potential, they create an ac short. When used in conjunction with feed resistors, proper line termination is maintained.

SE—SIGNAL ENABLE INPUT (PIN 11)

At the time of a negative transition on this pin, an internal latch stores the states of $\overline{LB}$ and $\overline{PD}$ for as long as SE is held low. During this time, the VD, DO1, and DO2 outputs are driven to the high impedance state. When SE is high, all pins function normally.

$\overline{LB}$—LOOP BACK CONTROL (PIN 4)

A low level on this pin ties the internal modulator output to the internal demodulator input which loops the entire burst for testing purposes. During the loopback operation, the LI input is ignored and the LO1 and LO2 drivers are driven to the active high level. The state of this pin is internally latched if the SE pin is held low. This feature is only active when the $\overline{PD}$ input is high.

$\overline{PD}$—POWER DOWN INPUT (PIN 12)

When held low the ISDN UDLT powers down, except the circuitry that is necessary to demodulate an incoming burst and to output VD, B channel and D channel data bits. When $\overline{PD}$ is brought high, the ISDN UDLT powers up. Then, it begins transmitting every MSI period to the slave device, shortly after the rising edge of MSI. The state of this pin is latched if the SE pin is held low.

VD—VALID DATA OUTPUT (PIN 5)

A high level on this pin indicates that a valid line transmission has been demodulated. A valid transmission burst is determined by proper synchronization and the absence of detected bit errors. VD changes state on the rising edge of MSI when $\overline{PD}$ is high. When $\overline{PD}$ is low, VD changes state at the end of demodulation of a transmission burst and does not change again until three MSI rising edges have occurred, at which time it goes low, or until the next demodulation of a burst. VD is a standard B-series CMOS output and is high-impedance when SE is low.

MSI—MASTER SYNC INPUT (PIN 16)

This pin is the master, 8 kHz, frame reference input. The rising edge of MSI loads B and D channel data which had been input during the previous frame into the modulator section of the device and initiates the out-bound burst onto the twisted-pair cable. The rising edge of MSI also initiates the buffering of the B and D channel data demodulated during the previous frame. MSI should be approximately leading edge aligned with the TDC/RDC data clock input pin.

CCI—HIGH-SPEED CLOCK INPUT (PIN 17)

An 8.192 MHz clock should be supplied to this input. The 8.192 MHz input should be 50% duty cycle, however it may free-run with respect to all other clocks without performance degradation.

D1I, D2I—D CHANNEL SIGNALING BIT INPUTS (PINS 6, 7)

These inputs are 16 kbps serial data inputs. Two bits should be clocked into each of these inputs between the rising edges of the MSI frame reference clock. The first bit of each D channel is clocked into an intermediate buffer on the first falling edge of the DCLK following the rising edge of MSI. The second bit of each D channel is clocked in on the next negative transition of the DCLK. If further DCLK negative edges occur, new information is serially clocked into the buffer replacing the previous data one bit at a time. Buffered D channel data bits are burst to the slave device on the next rising edge of the MSI frame reference clock.

D1O, D2O—D CHANNEL SIGNAL OUTPUTS (PINS 9, 10)

These serial outputs provide the 16 kbps D channel signaling information from the incoming burst. Two data bits should be clocked out of each of these outputs between the rising edges of the MSI frame reference clock. The rising edge of MSI produces the first bit of each D channel on its respective pin. Circuitry then searches for a negative D clock edge. This tells the D channel data shift register to produce the second D channel bit on the next rising edge of the DCLK. Further positive edges of the DCLK recirculate the D channel output buffer information.

DCLK—D CHANNEL CLOCK INPUT (PIN 8)

This input is the transmit and receive data clock for both D channels. D channel input and output operation is described in the D1O, D2O pin description.

Tx—TRANSMIT DATA OUTPUT (PIN 13)

This pin is high impedance when both TE1 and TE2 are low. This pin serves as an output for B channel information received from the slave device. The B channel data is under the control of TE1, TE2, and TDC/RDC. (See TE1, TE2 description.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Rx—RECEIVE DATA INPUT (PIN 21)

B channel data is input on this pin and is controlled by the RE1, RE2, and TDC/RDC pins. (See RE1, RE2 description.)

TE1, TE2—TRANSMIT DATA ENABLE INPUT (PINS 14, 15)

These two pins control the output of data for their respective B channel on the Tx output pin. When both TE1 and TE2 are low, the Tx pin is high impedance. The rising edge of the respective enable produces the first bit of the selected B channel data on the Tx pin. Internal circuitry then scans for the next negative transition of the TDC/RDC clock. Following this event the next seven bits of the selected B channel data are output on the next seven rising edges of the TDC/RDC data clock. When TE1 and TE2 are high simultaneously, data on the Tx pin is undefined. TE1 and TE2 should be approximately leading-edge aligned with the TDC/RDC data clock signal. In order to keep the Tx pin out of the high-impedance state, these enable lines should be high while the respective B channel data is being output.

RE1, RE2—RECEIVE DATA ENABLE INPUTS (PINS 19, 20)

These inputs control the input of B channel data on the Rx pin of the device. The rising edge of the respective enable signal causes the device to load the selected receive data buffer with data from the Rx pin on the next eight falling edges of the TDC/RDC clock input. The RE1 and RE2 enables should be roughly leading-edge aligned with the TDC/RDC data clock input. These enables are rising edge sensitive and need not be high for the entire B-channel input period.

TDC/RDC—TRANSMIT/RECEIVE DATA CLOCK INPUT (PIN 18)

This input is the transmit and receive data clock for the B channel data. As described in the TE1/TE2 and the RE1/RE2 sections, output data changes state on the rising edge of this signal, and input data is read on the falling edges of this signal. TDC/RDC should be roughly leading-edge aligned with the TE1, TE2, RE1, and RE2 enables, as well as the MSI frame reference signal.

MC145425 SLAVE PIN DESCRIPTIONS

V_{DD}—POSITIVE SUPPLY (PIN 24)

The most positive power supply pin, normally +5 volts with respect to V_{SS}.

V_{SS}—NEGATIVE SUPPLY (PIN 1)

The most negative supply pin and logic ground, normally 0 volts.

V_{ref}—REFERENCE OUTPUT (ANALOG GROUND) (PIN 2)

This pin is the output of the internal reference supply and should be bypassed to V_{DD} and V_{SS} with 0.1 μF capacitors. This pin usually serves as an analog ground reference for transformer coupling of the device's incoming bursts from the line. No external dc load should be placed on this pin.

LI—LINE INPUT (PIN 3)

This pin is an input to the demodulator for the incoming bursts. The input has an internal 240 kΩ resistor tied to the V_{ref} pin, so an external capacitor or line transformer may be used to couple the input signal to the device with no dc offset.

LO1, LO2—LINE DRIVER OUTPUTS (PINS 23, 22)

These push-pull outputs drive the twisted pair transmission line with a 512 kHz modified DPSK (MDPSK) burst each 125 μs; in other words at an 8 kHz frame rate. When not modulating the line, these pins are driven to the active high state—being the same potential, they create an ac short. So when used in conjunction with feed resistors, proper line termination is maintained.

CLK OUT—CLOCK OUTPUT (PIN 19)

This pin serves as a buffered output of the crystal frequency divided by two. This clock is provided for systems using the MC145428 Data Set Interface asynchronous/synchronous terminal adaptor device.

$\overline{LB}$—LOOPBACK CONTROL INPUT (PIN 4)

When this pin is low, the incoming B channels from the master are burst back to the master—instead of the Rx B channel input data. The B channel data from the master continues to be output at the slave's Tx pin during loopback. If the TONE and the loopback function are active simultaneously, the loopback function overrides the TONE function. D channel data is not affected by $\overline{LB}$.

VD—VALID DATA OUTPUT (PIN 5)

A high on this pin indicates that a valid transmission burst has been demodulated. A valid burst is determined by proper synchronization and the absence of detected bit errors. If no transmissions from the master have been received in the last 250 μs, as determined by an internal oscillator, VD will go low.

Mu/$\overline{A}$—TONE FORMAT INPUT (PIN 11)

This pin determines the PCM code for the 500 Hz square wave tone generated when the TONE input is high—Mu law (Mu/$\overline{A}$ = 1) or CCITT A law (Mu/$\overline{A}$ = 0) format.

TONE—TONE ENABLE INPUT (PIN 16)

A high on this pin causes a 500 Hz square wave PCM tone to be inserted in place of the demodulated B channel data on B channel 1. This feature allows the designer to provide audio feedback for telset keyboard operations.

$\overline{PD}$—POWER DOWN INPUT/OUTPUT (PIN 12)

This is a bidirectional pin with a weak output driver so that it can be externally overdriven. When held low, the ISDN UDLT is powered down, and the only active circuitry is that which is necessary for demodulation, generation of EN1, EN2, BCLK, and DCLK, and outputting of the data bits and VD. When held high, the ISDN UDLT is powered up and transmits normally in response to received bursts from the master. If the ISDN UDLT is powered up for 250 μs—which is derived from an internal oscillator and no bursts from the master have occurred, the ISDN slave UDLT generates a free-running set of

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EN1, EN2, BCLK, and DCLK signals and sends a burst to the master device every other 125 μs frame. This is a wake-up signal to the master.

When $\overline{PD}$ is floating and a burst from the master is demodulated, the weak output drivers will try to force $\overline{PD}$ high. It will try to force $\overline{PD}$ low if 250 μs have elapsed without a burst from the master being successfully demodulated. This allows the slave device to self power up and down in demand-powered loop systems.

CCI—CRYSTAL INPUT (PIN 17)

Normally, an 8.192 MHz crystal is tied between this pin and the XTL pin. A 10 MΩ resistor between CCI and XTL and 25 pF capacitors from CCI and XTL to V_{SS} are required to ensure stability and start-up. CCI may also be driven with an external 8.192 MHz signal if a crystal is not desired.

XTL—CRYSTAL OUTPUT (PIN 18)

This pin is capable of driving one external CMOS input and 15 pF of additional load capacitance.

D1I, D2I—D CHANNEL INPUTS (PINS 6, 7)

These two pins are inputs for the 16 kbps D data channels. The D channel data bits are clocked in serially on the negative edge of the 16 kbps DCLK output pin.

D1O, D2O—D CHANNEL OUTPUTS (PINS 9, 10)

These two pins are outputs for the 16 kbps D data channels. These pins are updated on the rising edges of the slave DCLK output pin.

Tx—TRANSMIT DATA OUTPUT (PIN 13)

This line is an output for the B channel data received from the master. B channel 1 data is output on the first eight cycles of the BCLK output when EN1 is high. B channel 2 data is output on the next eight cycles of the BCLK, when EN2 is high. B channel data bits are clocked out on the rising edge of the BCLK output pin.

DCLK—D CHANNEL CLOCK OUTPUT (PIN 8)

This output is the transmit and receive data clock for both D channels. It starts upon demodulation of a burst from the master device. This signal is rising edge aligned with the EN1 and BCLK signals. After the demodulation of a burst, the DCLK line completes two cycles and then remains low until another burst from the master is demodulated. In this manner synchronization with the master is established and any clock slip between master and slave is absorbed each frame.

Rx—RECEIVE DATA INPUT (PIN 21)

This pin is an input for the B channel data. B channel 1 data is clocked in on the first eight falling edges of the BCLK output following the rising edge of the EN1 output. B channel 2 data is clocked in on the next eight falling edges of the BCLK following the rising edge of the EN2 output.

EN1—B CHANNEL 1 ENABLE OUTPUT (PIN 15)

This line is an 8 kHz enable signal for the input and output of the B channel 1 data. While EN1 is high, B channel 1 data is clocked out on the Tx pin on the first eight rising edges of the BCLK. During this same time B channel 1 input data is clocked in on the Rx pin on the first eight falling edges of the BCLK. The VD pin is also updated on the rising edge of the EN1 signal. EN1 serves as the slave device's 8 kHz frame reference signal.

EN2—B CHANNEL 2 ENABLE OUTPUT (PIN 14)

This pin is the logical inverse of the EN1 output and is used to signal the time slot for the input and output of data for the B channel 2 data.

BCLK—B CHANNEL DATA CLOCK OUTPUT (PIN 20)

This is a standard B series output which provides the data clock for the B channel data. This clock signal is 128 kHz and begins operating upon the successful demodulation of a burst from the master. At this time, EN1 goes high and BCLK starts toggling. BCLK remains active for 16 periods, at the end of which time it remains low until another burst is received from the master. In this manner synchronization between the master and slave is established and any clock slippage is absorbed each frame.

BACKGROUND

The MC145421 and the MC145425 ISDN UDLTs provide an economical means of sending and receiving two B channels (64 kbps each) of voice/data and two D channels (16 kbps each) of signal data in a two wire configuration at distances up to one kilometer. There are two ISDN UDLTs, master and slave. The master UDLT is compatible with existing and evolving PABX architectures. This device transmits 2B + 2D channels of data to the remote slave. At the remote end, the slave device presents a replica of the PBX backplane to the terminal devices.

These devices permit existing digital PBX architectures to remain unchanged and provide enhanced voice/data communication services throughout the PBX service area by simply replacing a subscriber's line card and telset.

All operations occur within the boundaries of an 8 kHz frame (125 μs). In the master, the frame sequence begins on the rising edge of MSI. In the slave, the frame begins after the demodulation of a burst from the master. The slave initializes its timing controls at this point to stay synchronized with the master.

During one 125 μs frame four main activities are performed:

1. Previously buffered 2B + 2D channel data is burst to the other end.
2. New 2B + 2D channel data is accepted for the next frame's transmission.
3. An incoming burst is demodulated and stored.
4. 2B + 2D channel data from the previous demodulated frame is output.

The bursts are 20 bits long, composed of two 8-bit B channels and two 2-bit D channels. Bursts are encoded using a modified DPSK method at 512 kHz. Since a single wire pair is used, half duplex operation is used. A 512 kHz burst is sent from end to end in a ping-pong fashion. This method provides apparent full duplex 160 kbps transmission of data at distances up to one kilometer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL

The ISDN UDLT consists of a modulator, a demodulator, intermediate data registers, receive and transmit data registers, and sequencing and control logic. The Rx and Tx buffers interface digitally to the line card backplane signals, while the modulator and demodulator interface to the twisted pair transmission media. Intermediate data registers buffer data between these main components. The ISDN UDLT is intended to operate with a 5 volt power supply and can be driven by CMOS or TTL logic.

MASTER OPERATION

In the master, the rising edge of MSI initiates the 125 µs frame. B channel data is clocked into the Rx registers under control of TDC/RDC, RE1, and RE2. This data is combined with the D channel data clocked in on pins D1I and D2I by the DCLK. The resulting 20 bit packet is stored for the next frame transmission to the slave UDLT.

The burst output to the slave consists of the 2B + 2D data loaded during the previous frame. The burst received from the slave is demodulated and stored for outputting in the following frame.

B channel bits demodulated in the previous frame are output on the Tx pin under control of TDC/RDC, TE1, and TE2. Demodulated D channel bits are output on the D1O and D2O output pins. The indication of a valid burst demodulation is the VD output, which is updated at the start of every frame.

SLAVE OPERATION

In normal slave operation, the main synchronizing event is completion of demodulating a burst from the master UDLT. This action initializes the 125 µs frame boundary of the slave. During the slave frame, B channel data is loaded and stored under control of the BCLK, EN1, and EN2 outputs. D channel data is loaded at D1I and D2I under control of the DCLK output.

The demodulated burst from the master is separated into its D channel and B channel components and output on the D1O, D2O, and Tx pins. The return burst to the master consisting of previously loaded 2B + 2D data is transmitted eight bauds after the completion of demodulation of the master's burst. This provides a period for line transients to diminish.

The start of the slave frame initiates two cycles of the 16 kHz DCLK, and one cycle each of the 8 kHz EN1 and EN2 enables. After completing their cycles, these outputs remain low until another demodulation signals the start of a new slave frame. In this manner, clock slip between the master and slave UDLTs is absorbed each frame.

POWER-DOWN OPERATION

When $\overline{PD}$ is low in the master, the ISDN UDLT is powered down and only that circuitry necessary to demodulate incoming bursts is active. No transmissions to the slave occur during power down. If the master is receiving bursts from the slave, the VD pin will change state upon completion of the demodulation.

When the $\overline{PD}$ input pin is driven high, the master ISDN UDLT is powered up. In this mode, the master bursts to the slave every frame. B and D channel data can be loaded and unloaded and VD is updated on the MSI rising edge.

If no bursts are received by the master, whether powered up or not, the B channel data is unknown and the D channel bits will remain at their last known values.

The $\overline{PD}$ pin on the slave UDLT is bidirectional with a weak output driver that can be overdriven externally. When low—either externally or internally derived, the slave is powered down. No bursts to the master can be transmitted. EN1, EN2, BCLK, and DCLK outputs are inactive during power down except when TONE is high or a burst has been received from the master. B and D channel data can be loaded and unloaded, and VD is updated upon completion of demodulation of an incoming burst from the master. Input B and D channel data is not transmitted until the slave is powered up, in which case the first burst contains the most recently loaded data.

When the $\overline{PD}$ pin is high, the slave is powered up and transmits every frame. The data enables and clocks are output and data can be loaded and unloaded.

TIMEOUT OPERATION

Timeout is an operating state in both the UDLT master and slave devices. This state indicates that no incoming bursts have been demodulated, forcing the VD pin low. An internal counter is incremented for each frame that does not contain an incoming burst. The counter is reset upon demodulating a burst from the far end. Timeout can occur whether the device is powered up or down.

In the master, timeout begins on the rising edge of the third MSI following the last received burst. This is equivalent to two MSI frames. The VD output is forced low during timeout. The B channel output data will be unknown, but the D channel bits will remain at their last values. Successful demodulation of a burst from the slave will result in leaving the timeout state on the next rising MSI edge.

Timeout in the slave begins during the third frame without an incoming burst. The VD pin is forced low and the last D channel bits are saved. Normally, the slave timing is synchronized to the incoming master bursts, but in timeout, the slave operates from a free-running internal frame clock accompanied by BCLK, EN1, and EN2. These clocks are not generated during the two frames prior to entering timeout. If powered up during timeout, the slave will burst to the master on every other frame. This mode allows the terminal equipment to transmit its status to the master even though it is not receiving data. Demodulation of a burst from the master will cause the slave to exit the timeout mode.

When the $\overline{PD}$ pin is used as an output on the slave UDLT, timeout controls the pin. Timeout forces the $\overline{PD}$ output low to indicate that the device has powered itself down. In this case, the slave will not transmit to the master. However, when a valid burst is received, timeout ends and the $\overline{PD}$ pin is driven high to indicate power up. This feature allows the slave UDLT to self-power-up and down in demand-powered loop systems.

NOTE

The slave uses a free running clock during timeout. After a long period without a burst from the master, the timing between master and slave could be such that more than one burst will be needed to resync the two devices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

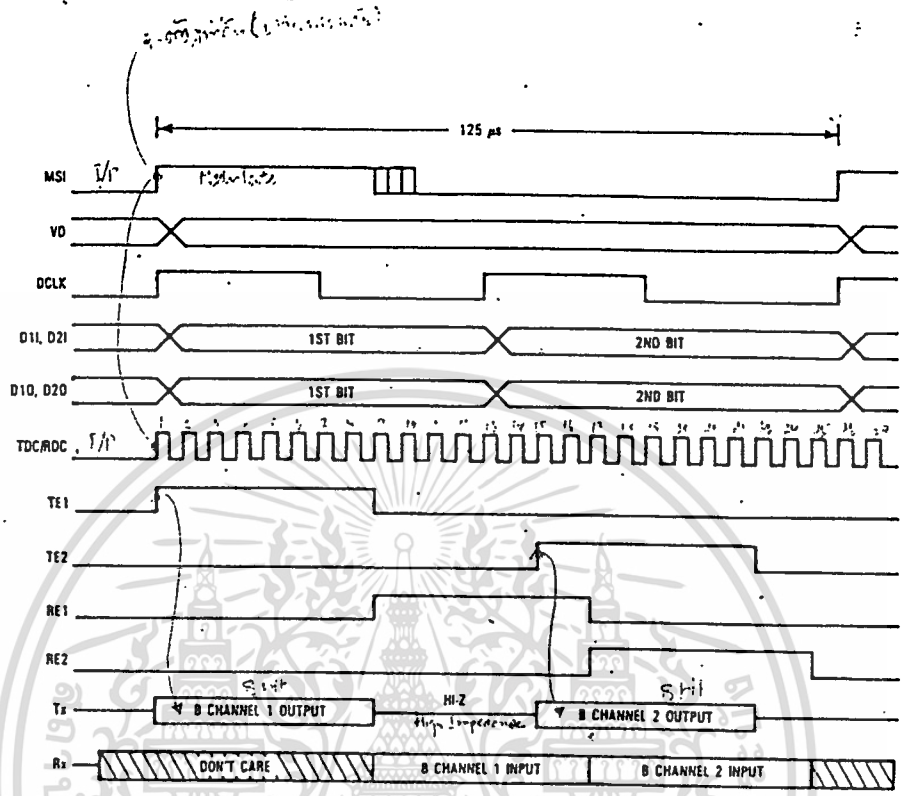


Figure 1. Typical MC145421 Master ISDN UDLT Timing

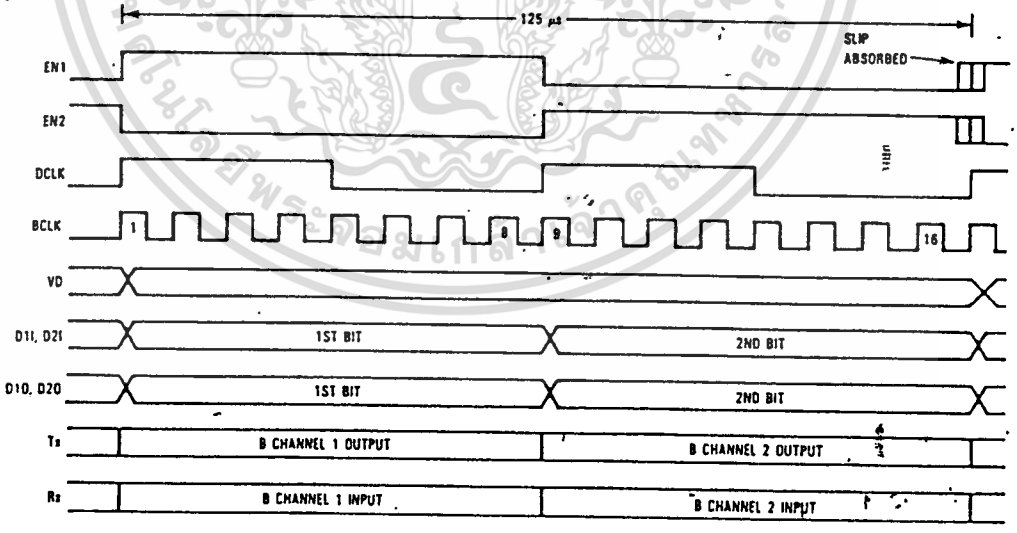
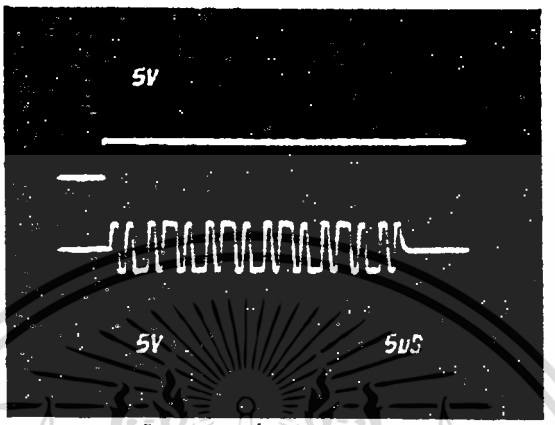


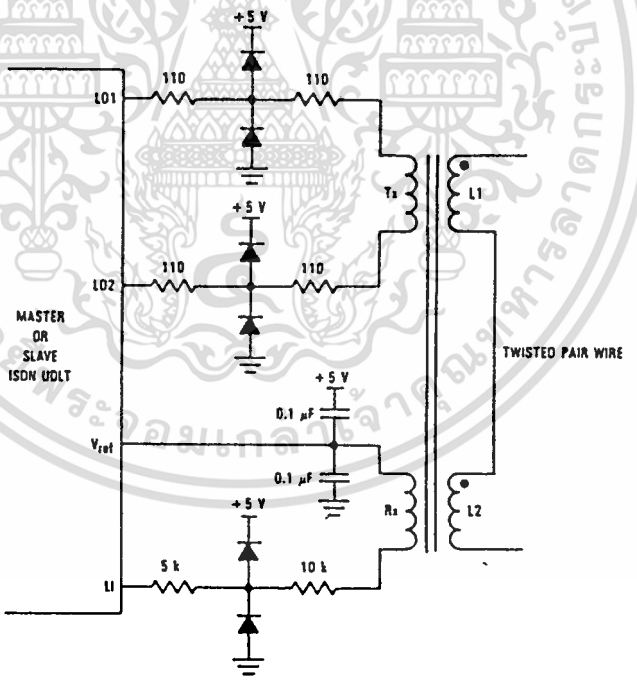
Figure 2. MC145425 Slave ISDN UDLT Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Top Trace: MSI
Bottom Trace: Outgoing burst measured at LI (with respect to V_{ref})

Figure 3. Master Burst



TRANSFORMER PARAMETERS
INDUCTANCE OF T1 WINDING: 1.75 mH
TURNS RATIO: T1: L1 + L2 2:1
TURNS RATIO. R1: L1 + L2 4:1

DIODES: 1N4148 OR EQUIVALENT

Figure 4. Interface to Twisted Pair Wire

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

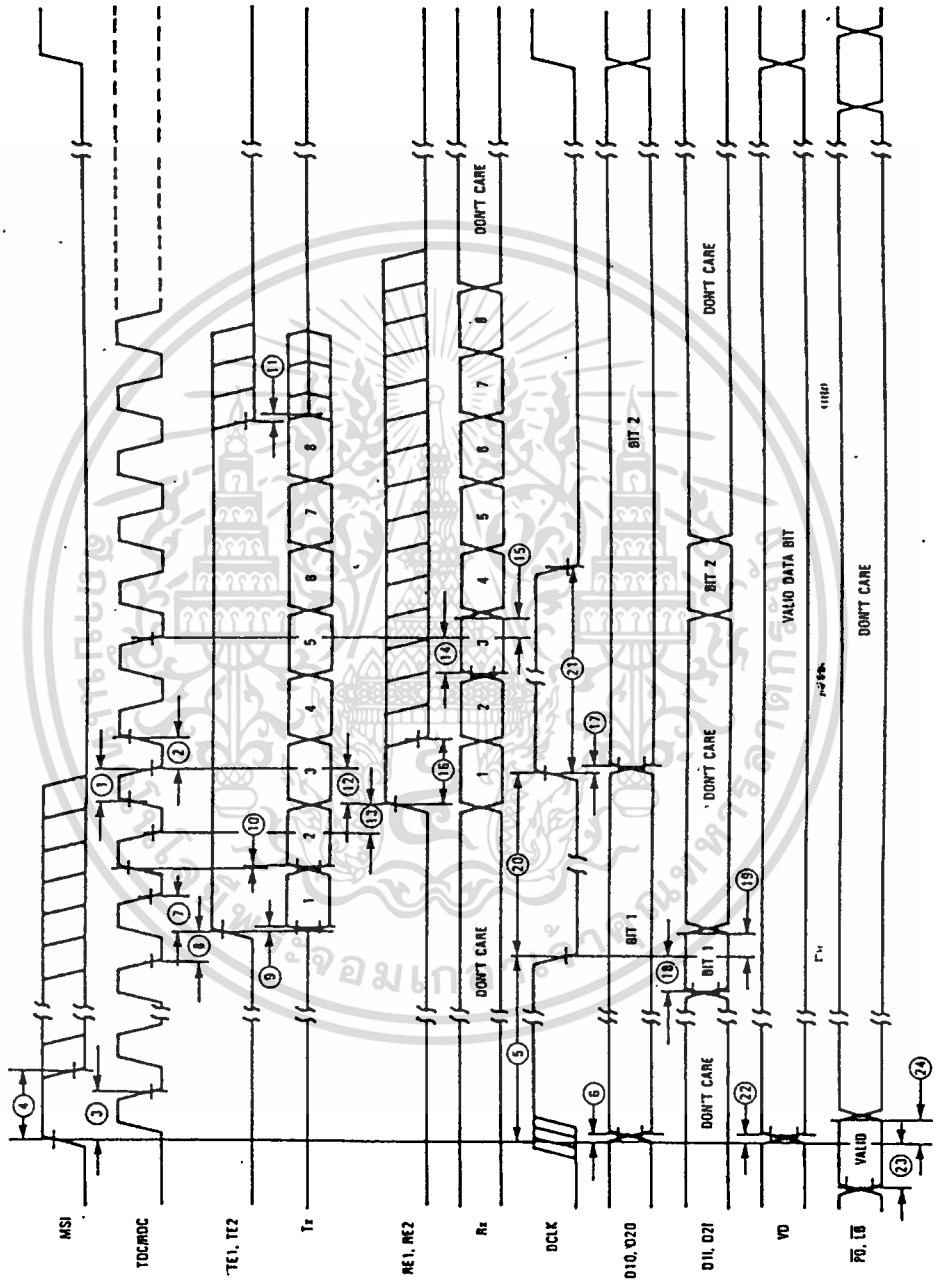
SWITCHING CHARACTERISTICS (V_{DD} = 5 V, T_A = 0 to 70°C)

No.*	Parameter	Min	Max	Unit
Master Timing				
1	TDC/RDC Pulse Width High	110		ns
2	TDC/RDC Pulse Width Low	110		ns
3	MSI Rising Edge to TDC/RDC Falling Edge	90		ns
4	MSI Pulse Width	200		ns
5	MSI Rising Edge to First DCLK Falling Edge	90		ns
6	MSI Rising Edge to First D1O, D2O Bit Valid		—	ns
7	TE1, TE2 Rising Edge to TDC/RDC Falling Edge	110		ns
8	TDC/RDC Falling Edge to TE1, TE2 Rising Edge	20		ns
9	TE1, TE2 Rising Edge to First Tx Data Bit Valid		50	ns
10	TDC/RDC Rising Edge to Tx Data Bits 2 Through 8 Valid		50	ns
11	TE1, TE2 Falling Edge to Tx High-Impedance		70	ns
12	RE1, RE2 Rising Edge to TDC/RDC Falling Edge	110		ns
13	TDC/RDC Falling Edge to RE1, RE2 Rising Edge	20		ns
14	Rx Data Setup (Data Valid Before TDC/RDC Falling Edge)	50		ns
15	Rx Data Hold (Data Valid After TDC/RDC Falling Edge)	20		ns
16	RE1, RE2 Pulse Width	220		ns
17	DCLK Rising Edge to D1O, D2O Bit Valid		—	ns
18	D1I, D2I Data Setup (Data Valid Before DCLK Falling Edge)	50		ns
19	D1I, D2I Data Hold (Data Valid After DCLK Falling Edge)	20		ns
20	DCLK Pulse Width Low	110		ns
21	DCLK Pulse Width High	110		ns
22	MSI Rising Edge to VD Valid		—	ns
23	$\overline{PD}$, $\overline{LB}$ Setup ($\overline{PD}$, $\overline{LB}$ Valid Before MSI Rising Edge)	50		ns
24	$\overline{PD}$, $\overline{LB}$ Hold ($\overline{PD}$, $\overline{LB}$ Valid After MSI Rising Edge)	20		ns
Slave Timing				
25	BCLK Pulse Width High (CCI = 8.192 MHz)	3.66	4.15	µs
26	BCLK Pulse Width Low (CCI = 8.192 MHz)	3.66	4.15	µs
27	EN1 or EN2 Rising Edge to BCLK Rising Edge	75	175	ns
28	EN1 or EN2 Rising Edge to DCLK Rising Edge		± 50	ns
29	EN1 or EN2 Rising Edge to First Tx Data Bit Valid		50	ns
30	BCLK Rising Edge to Tx Data Bits 2 Through 8 Valid		− 75	ns
31	DCLK Pulse Width High (CCI = 8.192 MHz)	31.0	31.5	µs
32	DCLK Pulse Width Low (CCI = 8.192 MHz)	31.0	31.5	µs
33	DCLK Rising Edge to D1O, D2O Bits Valid		50	ns
34	Rx Setup (Rx Data Valid Before BCLK Falling Edge)	175		ns
35	Rx Hold (Rx Data Valid After BCLK Falling Edge)	20		ns
36	D1I, D2I Setup (D1I, D2I Valid Before DCLK Falling Edge)	50		ns
37	D1I, D2I Hold (D1I, D2I Valid After DCLK Falling Edge)	20		ns
38	EN1 Rising Edge to VD Valid		50	ns
SE Pin Timing				
39	$\overline{LB}$, $\overline{PD}$ Hold ($\overline{LB}$, $\overline{PD}$ Valid After SE Falling Edge)	20		ns
40	D1O, D2O, VD High-Impedance After SE Falling Edge		70	ns
41	D1O, D2O, VD Valid After SE Rising Edge)	60		ns
42	$\overline{LB}$, $\overline{PD}$ Setup ($\overline{LB}$, $\overline{PD}$ Valid Before SE Rising Edge)	50		ns

*See Switching Characteristics waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

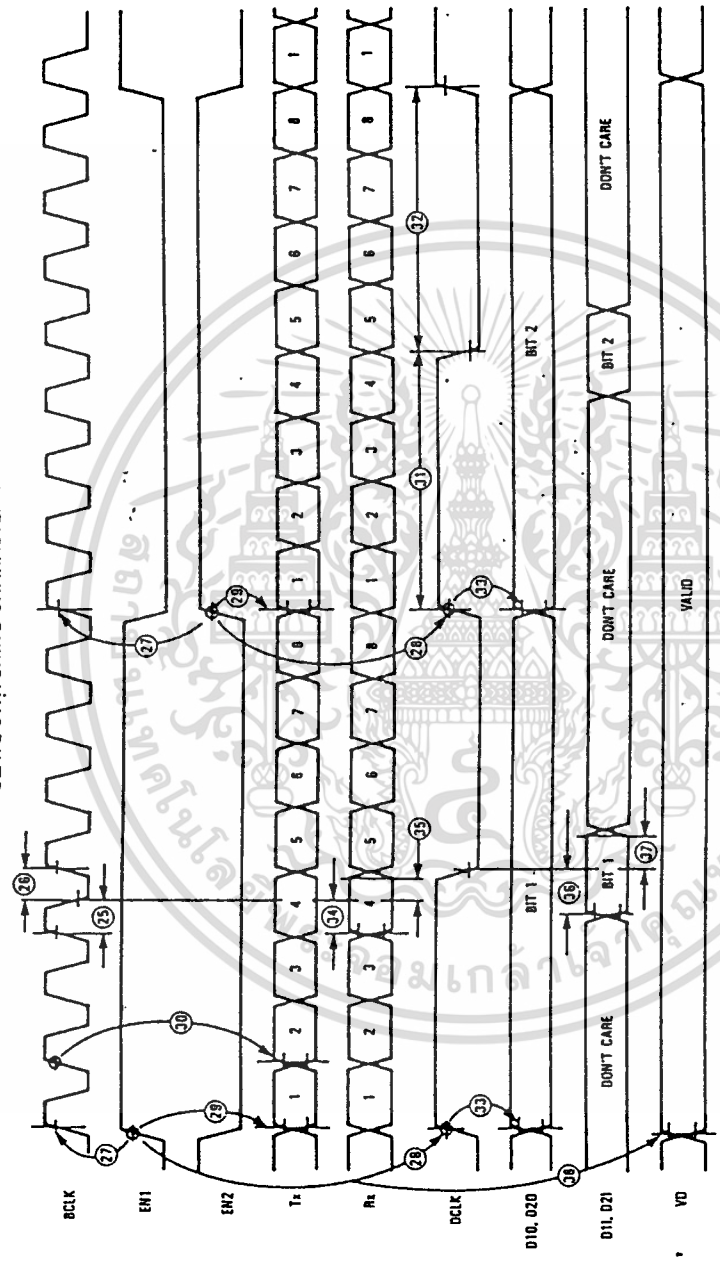
MASTER SWITCHING CHARACTERISTICS



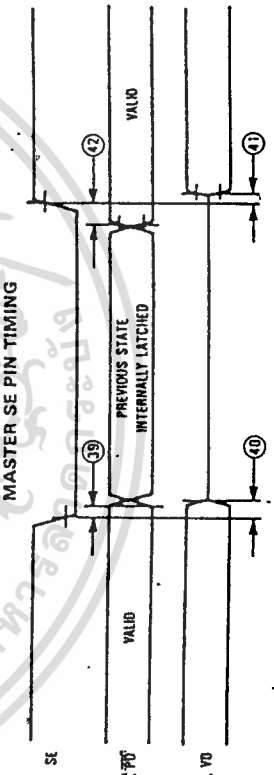
NOTE: All measurement thresholds are 30% or 70% of V_{DD}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SLAVE SWITCHING CHARACTERISTICS



MASTER SE PIN TIMING



NOTE: All measurement thresholds are 30% or 70% of V_{DD}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14400
MC14401
MC14402
MC14403
MC14405

CMOS LSI

(LOW-POWER COMPLEMENTARY MOS)

CODEC-FILTER
PCM MONO-CIRCUIT

CODEC-FILTER PCM-MONO-CIRCUIT

The MC14400, MC14401, MC14402, MC14403, and MC14405 are all per channel codec-filter PCM mono-circuits. These devices perform the voice digitizing and recovery, as well as the band limiting and signal restoration necessary in PCM systems. The MC14400 and MC14403 are general purpose devices that are offered in a 16-pin package. They are designed to operate in both synchronous and asynchronous applications and contain an on-chip precision voltage reference. The MC14401 is the same device, but offered in an 18-pin package. In addition, it offers the user the capability of selecting from three peak overload voltages (2.5, 3.15 and 3.78 V). The MC14405 is a synchronous device in a 16-pin package intended for instrument use. The MC14402 is the full feature device which presents all of the options available on the chip. This device is packaged in a 22-pin DIP and 28-pin chip carrier package, and contains all the features of the MC14400 and MC14401 plus several more. Most of these features can be made available in a lower pin count package tailored to a specific user's application. Contact the factory for further details.

The devices were designed to be upward compatible with the MC14404/06/07 codecs and other industry standard codecs. They also maintain compatibility with Motorola's family of TSACs (MC14416/MC14417/MC14418) as well as the MC3419 SLIC.

The PCM codec-filter mono-circuits utilize CMOS due to its reliable low-power performance and proven capability for complex analog/ digital LSI functions.

MC14400

- 16-Pin Package
- On-Chip Precision Voltage Reference (3.15 V)
- Power Dissipation — 45 mW at 2.048 MHz at 10 V
  0.1 mW Powered Down at 10 V
- Compatibility with Various Supply Configurations: ±5, ±6, +10, +12 Volts (5%)
- Pin Selectable TTL and CMOS Digital Levels
- Automatic Prescale Divide of Any One of 5 Clock Frequencies (128 kHz, 1.536 MHz, 1.544 MHz, 2.048 MHz, or 2.56 MHz) to Generate the Internal Sequencing Clock
- Pin Selection of Both A-LAW/Mu-LAW Companding and D3/D4 or CCITT Digital Formats
- Output Drive Capability for 600 and 900 Ohm Loads of +12 dBm
- Synchronous and Asynchronous Operation
- On-Chip Attendent Interrupt Conferencing
- Transmit Bandpass and Receive Low-Pass Filters on Chip

MC14401 — All of the Above Plus:

- 18-Pin Package
- Selectable Peak Overload Voltages (2.5, 3.15 and 3.78 Volts)
- Access to the "Minus" Input of the Tx Input Op Amp

MC14402 — All of the Above Plus:

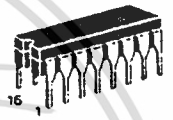
- 22-Pin Package
- Variable Data Clocks (64 kHz to 3.088 MHz)
- Access to Transmit Input Amplifier
- An External Precision Reference May Be Used
- External Gain Adjust for Complex SLIC Configurations

MC14403

- 16-Pin Package
- Same Device as MC14400 with Access to Transmit Input Amplifier with Single Ended Receive Output
- MSI Tied Internally to TDE

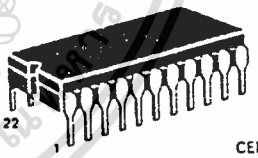
MC14405

- 16-Pin Package
- Same Device as MC14403 with Common 64 kHz to 3.088 MHz Data Clocks

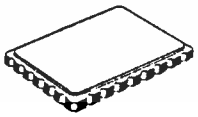


MC14400/03/05
L SUFFIX
CERAMIC PACKAGE
CASE 620

MC14401
L SUFFIX
CERAMIC PACKAGE
CASE 726



MC14402
L SUFFIX
CERAMIC PACKAGE
CASE 736



MC14402
Z SUFFIX
28-PIN CHIP CARRIER
CASE 763

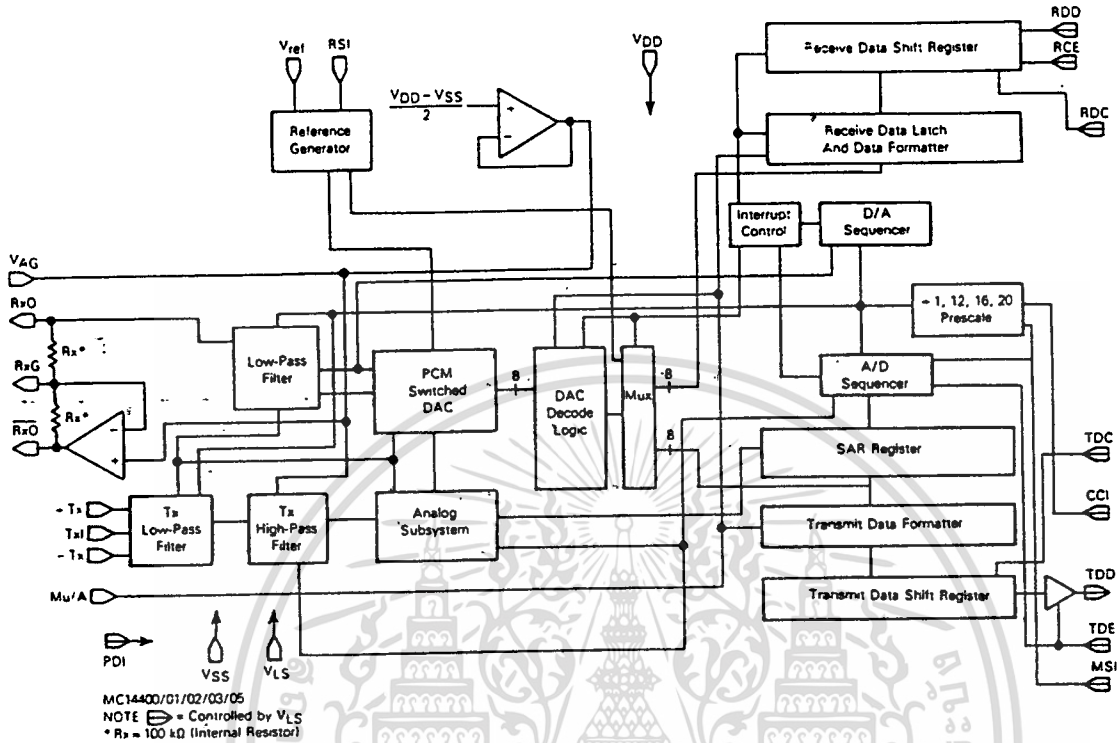
ORDERING INFORMATION

MC14XXXXX

- 1 CCITT (G7 12)
- 2 D3, D4 (PUB 43801)
- L Ceramic Package
- Z Leadless Ceramic Package

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PCM MONO-CIRCUIT BLOCK DIAGRAM



DEVICE DESCRIPTIONS

There are five distinct versions of the Motorola PCM mono-circuit.

MC14400

The MC14400 PCM mono-circuit is a PCM codec-filter intended for standard word interleaved synchronous or asynchronous applications. The TDC pin on this device is the input to both the TDC and CCI functions in the pin description. Consequently, for MSI = 8 kHz, TDC can be one of five discrete frequencies. These are 128 kHz (40 to 60% duty) 1.536, 1.544, 2 048 or 2.56 MHz. (For other data clock frequencies see MC14402 or MC14405.) The internal reference is set for 3 15 volts peak full scale, and the full scale input level at TxI and output level at RxO is 6.3 volts peak-to-peak. This is the + 3 dBm0 level of the PCM mono-circuit. All other functions are described in the pin description.

MC14401

The MC14401 PCM mono-circuit offers the same features and is for the same application as the MC14400, but offers two additional pins and features. The reference select input allows the full scale level of the device to be set at 2.5 Vp, 3 15 Vp or 3.78 Vp. The − Tx pin allows for external transmit gain adjust and simplifies interface to the MC3419 SLIC. Otherwise, it is identical to MC14400.

MC14402

The MC14402 PCM mono-circuit is the full featured 22-pin device. It is intended for use in applications requiring maximum flexibility. The MC14402 contains all the features of the MC14400 and MC14401. The MC14402 is intended for bit interleaved or word interleaved operation with data clock frequencies which are non standard or time varying. One of the five standard frequencies (listed above) is applied to the CCI input and the data clock inputs can be any frequency between 64 kHz and 3.088 MHz. The V_{ref} pin allows for use of an external shared reference or selection of the internal reference and RxG and − Tx provide maximum flexibility for analog interface.

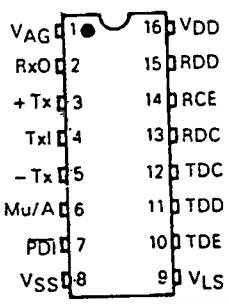
MC14403

The MC14403 PCM mono-circuit is intended for standard word interleaved asynchronous or synchronous applications. TDC can be one of five discrete frequencies. These are 128 kHz (40 to 60% duty) 1 536, 1.544, 2.048 or 2.56 MHz. (For other data clock frequencies see MC14402 or MC14405.) The internal reference is set of 3.15 volts peak full scale, and the full scale input level at TxI and output level at RxO is 6.3 volts peak-to-peak. This is the + 3 dBm0 level of the PCM mono-circuit. The + Tx and − Tx inputs provide maximum flexibility for analog interface. All other functions are described in the pin description.

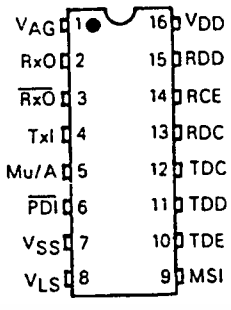
MC14405

The MC14405 PCM mono-circuit is intended for word interleaved synchronous applications. The MC14405 has all the features of the MC14403 but internally connects TDC and RDC (see pin description) to the DC pin. One of five standard frequencies (listed above) should be applied to CCI and the DC input can be any frequency between 64 kHz and 3.088 MHz.

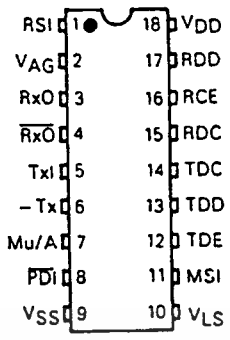
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



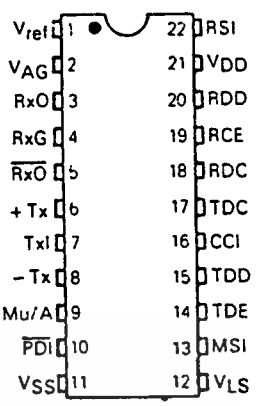
MC14403



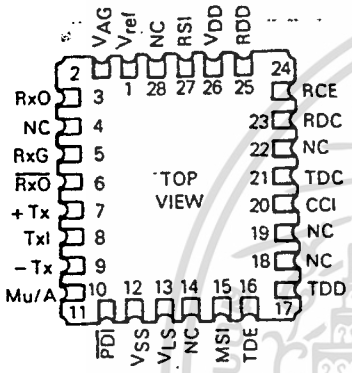
MC14400



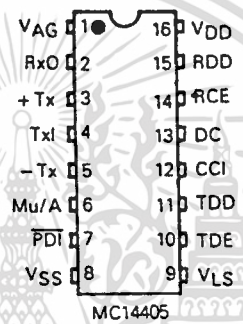
MC14401



MC14402L



MC14402Z



MC14405

MAXIMUM RATINGS (Voltage Referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	$V_{DD} - V_{SS}$	−0.5 to 13	V
Voltage, Any Pin to V_{SS}	V	−0.5 to V_{DD} + 0.5	V
DC Current Drain per Pin (Excluding V_{DD}, V_{SS})	I	10	mAdc
Operating Temperature Range	T_A	−40 to +85	°C
Storage Temperature Range	T_{stg}	−85 to +150	°C

RECOMMENDED OPERATING CONDITIONS

Parameter	Pins	0 to 70°C Min	25°C Typ	0 to 70°C Max	Unit
DC Supply Voltage	V_{CC} to V_{SS}	6	10 to 12	13	V
Power Dissipation CMOS Mode 10 V TTL Mode 10 V	V_{DD} to V_{SS}	– –	45 75	70 110	mW
Power Down Dissipation 10 V	V_{DD} to V_{SS}	–	0.1	1.0	mW
Frame Rate Transmit and Receive	MSI	7.5	8.0	8.5	kHz
Data Rate MC14400, MC14401, and MC14403 (Must Use One of These Frequencies) ±2%	TDC, RDC	– – – – –	128 1536 1544 2048 2560	– – – – –	kHz
Data Rate MC14402, MC14405		64	–	3088	kHz
Full Scale Output and Input Levels MC14400, MC14403, MC14405 MC14401 and MC14402, $V_{ref} = V_{SS}$ RSI = V_{DD} RSI = V_{SS} RSI = V_{AG}	RxO, TxI	– – – –	3.15 3.78 3.15 2.50	– – – –	Vp

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของมหาวิทยาลัยทุกครั้งที่มีการนำไปใช้

2

DIGITAL LEVELS (T_A = 0 to 70°C)

Parameter		Symbol	V_{DD} to V_{SS}	Min	Typ	Max	Unit
CMOS Mode TDE, RCE, RDD, $\overline{PDI}$, RDC, TDC, DC, CCI, MSI	"0" "1"	– –	12 12	– 8 4	5 25 6 75	3 6 –	V
TTL Mode TDE, RCE, RDD, $\overline{PDI}$, RDC, TDC, DC, CCI, MSI	"0" "1"	– –	10 10	– V_{LS} + 2 0	V_{LS} + 1 0 V_{LS} + 1.8	V_{LS} + 0 6 –	V
TDD Output Current (TTL Mode)	V_{OH} = 2.4 V V_{OL} = 0.8 V	I_{OH} I_{OL}	10 –	150 1.6	– –	– –	µA ma

ANALOG TRANSMISSION PERFORMANCE

(V_{DD} = + 5 V ±5%, V_{SS} = – 5 V ±5%, 0 dBm0 = + 6 dBm@600 Ω, V_{LS} = V_{AG} = 0, T_A = 0 to 70°C, TDC = RDC; TDE = RCE = 8 kHz)

Characteristic	E to E		A/D		D/A		Unit
	Min	Max	Min	Max	Min	Max	
Absolute Gain (0 dBm0 @ 1 02 kHz)	– 0.3	+ 0 3	– 0.3	+ 0.3	– 0.3	+ 0.3	dB
Gain vs Level Tone (Relative to – 10 dBm0, 1.02 kHz) + 3 to – 40 dBm0 – 40 to – 50 dBm0 – 55 dBm0	– 0 4 – 0 8 – 1 6	+ 0.4 + 0.8 + 1.6	– 0.2 – 0.4 – 1.0	+ 0.2 + 0.4 + 1.0	– 0.2 – 0.4 – 0.8	+ 0.2 + 0.4 + 0 8	dB
Gain vs Level – Pseudo Noise (A-Law Only, MC144XXL1 Only) (Relative to – 10 dBm0) – 10 to – 55 dBm0 – 60 dBm0	– 0.45 – 0 90	+ 0 45 + 0 90	– –	– –	– –	– –	dB
Total Distortion – 1.02 kHz Tone (C Message) 0 to – 30 dBm0 – 40 dBm0 – 45 dBm0	35 29 24	– – –	35 29 24	– – –	36 30 25	– – –	dB
Total Distortion with Noise (A-Law Only, MC144XXL1 Only) – 3 dBm0 – 6 to – 27 dBm0 – 34 dBm0 – 40 dBm0 – 55 dBm0	27 5 35 33 1 28 5 13 5	– – – – –	– – – – –	– – – – –	– – – – –	– – – – –	dB
Idle Noise (Mu Law, C Message) (A Law, Psophometric – MC144XXL1 Only)	– –	18 – 68	– –	18 – 68	– –	13 – 75	dBrnCo dBm0p
Frequency Response (Relative to – 10 dBm0, 1 02 kHz) 15 to 60 Hz 300 to 3000 Hz 3400 Hz 4000 Hz 4600 Hz	– – 0 30 – 1.6 – –	– 23 + 0.30 0 – 28 – 60	– – 0 15 – 0 8 – –	– 23 + 0.15 0 – 14 – 32	– – 0.15 – 0.8 – –	0 15 + 0 15 0 – 14 – 30	dBm0
Inband Spurious (1 02 kHz@0 dBm0) 300 to 3400 Hz	–	– 43	–	– 43	–	– 43	dBm0
Out-of-Band Spurious (0 to 12 kHz in, @0 dBm0) 0 to 3400 Hz 3400 to 4600 Hz 4600 Hz to 12 kHz	– – –	– 30 – 28 – 30	– – –	– 30 – –	– – –	– – –	dBm0
Idle Noise Selective @ 8 kHz with V_{AG} = Txl Measure at RxO, 30 Hz Bandwidth	–	– 50	–	–	–	–	dBm0
Group Delay Difference 0 dBm0, TDC, RDC = 2.048 MHz 500 to 600 Hz 600 to 1000 Hz 1000 to 2600 Hz 2600 to 2800 Hz	– –	80 60 140 80	– – – –	– – – –	– – – –	– – – –	µsec
Go to Return Crosstalk @0 dBm0 Txl to TDD @ RxO RDD to RxO @ TDD		–	–	– 65	–	– 65	dBm0
Absolute Group Delay @ 1 02 kHz TDC, RDC = 2 048 MHz		460	–	–	–		µs

ANALOG ELECTRICAL CHARACTERISTICS (V_{DD} = (10-12 V) ±5%, 0 to 70°C)

Characteristic		Symbol	Min	Typ	Max	Unit
Input Current	– Tx, + Tx, (Txl for MC14400)	I_{in}		±0.01	±30	nA
AC Input Impedance (1 kHz)	Txl (for MC14400) to V_{AG}	Z_{in}	100	200	–	kΩ
AC Input Impedance (1 kHz)	– Tx, + Tx to V_{AG}	Z_{in}	1.5	5.0	–	MΩ
Input Common Mode Voltage Range V_{DD} = 10.0 V	– Tx, + Tx	V_{ICR}	+1.5	–	+8.0	V
Output Voltage Range RL = 20 k to V_{AG} RL = 600 to V_{AG} RL = 900 to V_{AG}	RxO, $\overline{RxO}$ Each Output	V_{OR} to V_{AG}	–4.0 –3.2 –3.9	– – –	+4.0 +3.2 +3.9	V
Output Current RxO, $\overline{RxO}$	$V_{OH} = V_{DD} - 0.8$ $V_{OL} = 0.8$	–	–5.0 +5.0	– –	– –	mA
Power Supply Rejection Ratio V_{DD} = 12 V ±0.05 V peak @ 1 kHz	RxO to V_{AG} $\overline{RxO}$ to V_{AG}	PSRR	30 30	40 40	– –	dB
Shared External Reference	V_{ref} to V_{AG}		2.0	–	3.8	V
V_{ref} Input Current		I_{in}	–	0.3	–	mA
V_{AG} Output Current	Source	I_{VAG}		200		μA
	Sink	I_{VAG}		8.0		mA

MODE CONTROL LOGIC (V_{SS} = 0 V, 0 to 70°C)

Characteristics		V_{DD} Vdc	Min	Typ	Max	Unit
V_{LS} Voltage for TTL Mode		10 12	0 0	– –	6.0 8.0	V
V_{LS} Voltage for CMOS Mode		10 12	9.5 11.5	– –	– –	V
Mu/A Select Voltage Mu-Law Mode Sign Magnitude Mode A-Law Mode		10 12 10 12 10 12	9.5 11.5 4.0 5.0 – –	– – – – – –	– – 6.0 7.0 0.5 0.5	V
Reference Select Voltage	3.78 V Mode	10 12	9.5 11.5	– –	– –	V
	2.5 V Mode	10 12	4.0 5.0	– –	6.0 7.0	V
	3.15 V Mode	10 12	– –	– –	0.5 0.5	V
V_{ref} Mode Voltage	External Reference Mode	10 12	4.0 5.0	– –	– –	V
	Internal Reference Mode	10 12	– –	– –	0.5 0.5	
Analog Test Mode Selection Frequency, MSI = CCI See Pin Description; Test Modes		10 12	– –	128 128	– –	kHz

2

SWITCHING CHARACTERISTICS (V_{DD} = (10 to 12 V), T_A = 0 to 70°C, C_L = 50 pF CMOS or TTL Model)

Characteristic			Symbol	Min	Typ	Max	Unit
Output Rise Time Output Fall Time	TDD		t_{TLH} t_{THL}	–	30	80	ns
Input Rise Time Input Fall Time	DC, TDE, CCI, RCE, RDC, TDC, MSI		t_{TLH} t_{THL}	–	–	4	µs
Pulse Width	DC, TDE Low, CCI, RCE, RDC, TDC, MSI		t_{WH}	100	–	–	ns
Clock Pulse Frequency	DC, TDC, RDC		f_{CL}	64	–	3088	kHz
Clock Pulse Frequency (MSI = 8 kHz) This Pin Will Accept One of These 5 Discrete Clock Frequencies and Compensate to Produce Internal Sequencing.	CCI	1 2 3 4 5	f_{CL1} f_{CL2} f_{CL3} f_{CL4} f_{CL5}	– – – – –	128 1536 1544 2048 2560	– – – – –	kHz
Propagation Delay Time	TTL	TDE to TDD Low Impedance	t_{P1}	85	130	180	ns
	CMOS	TDE to TDD Low Impedance	t_{P1}	50	100	160	
	TTL	TDE to TDD High Impedance	t_{P2}	–	50	75	
	CMOS	TDE to TDD High Impedance	t_{P2}	–	20	40	
	TTL	TDC* to TDD	t_{P3}	–	120	180	
	CMOS	TDC* to TDD	t_{P3}	–	80	160	
TDE Rising Edge to TDC Falling Edge Setup Time			t_{su1} t_{su2}	20 100	– –	– –	ns ns
RCE Rising Edge to RDC Falling Edge Setup Time			t_{su3} t_{su4}	20 100	– –	– –	ns ns
MSI Rising Edge to CCI Falling Edge Setup Time			t_{su6} t_{su7}	20 100	– –	– –	ns ns
RDD Valid to RDC Falling Edge Setup Time			t_{su5} *	60	40	–	ns
RDD Hold Time from RDC Falling Edge			t_h	100	60	–	ns

* For the sign bit, t_{P3} is measured from TDE or TDC, whichever is last.

PIN DESCRIPTION

DIGITAL

V_{LS} selects CMOS or TTL compatibility for all digital I/Os. $V_{LS} = V_{DD}$: all I/O is CMOS, (V_{DD} to V_{SS} swing). $V_{LS} < V_{DD} - 4$ volts; all I/O is TTL with switchpoint 1.4 V above V_{LS}. The pins controlled by V_{LS} are inputs MSI, CCI, TDC, RDC, TDE, RCE, RDD, PDI and output TDD. In TTL applications V_{LS} is Digital GND.

MSI is a continuous 8 kHz (for sampling rate) signal which is used as a time base for internally selecting a prescale divider for CCI input. MSI should be tied to the frame sync or system sync signal, but has no relation to transmit or receive data timing, except as described under TDE. MSI should be derived from the transmit timing in asynchronous applications. In many applications MSI can be tied to TDE. (MSI is tied to TDE in MC14403/05.)

CCI input is designed to accept five discrete clock frequencies. These are 128 kHz 40 to 60% duty cycle, 1.536 MHz, 1.544 MHz, 2.048 MHz or 2.56 MHz. The frequency at this input is compared with MSI and prescale divided to produce the internal sequencing clock at 128 kHz (or 16 times the sampling rate). The four clocks in the MHz frequency range have only minimum pulse width duty cycle requirements. In the asynchronous applications, CCI should be derived from transmit timing. (CCI is tied to TDC in MC14400/01/03).

TDC is the transmit data bit rate input. It can be any frequency from 64 kHz to 3.088 MHz, and is often tied in common to CCI if the data rate is equal to one of the five discrete frequencies. This clock is the shift clock for the transmit shift register and leading edges produce successive data bits at TDD. In asynchronous applications, TDE should be derived from this clock. (TDC and RDC are tied together in MC14405 and are called DC.)

TDE serves two functions for the transmit data timing. It establishes the transmit sync in conjunction with MSI. If the leading edges of TDE occur at 8 kHz and both MSI and TDE are derived from TDC, then the MSI relationship is transparent and TDE is simply transmit sync. The leading edge of TDE produces the sign bit at TDD during the current TDC period. The TDC shifts out the remaining bits at the TDC rate. The TDD pin is active as long as TDE is high. If there is more than one TDE leading edge per frame, then the first TDE after MSI is the Tx sync. Thus, TDE may be taken low to three state TDD after the first leading edge. The additional TDE high periods before the next MSI merely un-three-states TDD. This can be used for bit interleaved systems. In asynchronous applications, TDE is derived from TDC.

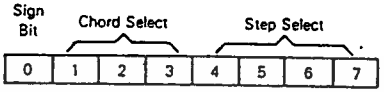
TDD is the digital data output. It operates in sync with TDC and TDE. It is a three-state output. TDC, TDE, and TDD independently control transmit data timing. The data format (Mu-Law, A-Law or sign magnitude) is controlled by Mu/A. This output may be made high-speed CMOS compatible using a pullup resistor.

RDC is the receive data clock and works in conjunction with RCE and RDD to produce all receive data timing. These three signals must be synchronous, but can be asynchronous with all other digital pins. RDC provides the receive register clock. The RDC clock may be any frequency from 64 kHz to 3.088 MHz.

RCE – The rising edge of RCE should identify the sign bit of a receive word on RDD. The next falling edge of RDC, after a rising RCE, loads the first bit of the PCM word into the receive register. The next seven falling edges enter the remainder of the PCM word. On the ninth rising edge, the receive word is transferred to the receive buffer register and the A/D sequence is interrupted to commence the decode process. In the asynchronous mode and with an 8 kHz transmit sample rate, the receive sample rate should be between 7.5 and 8.5 kHz. Two receive words may be decoded each transmit frame to allow on chip conferencing.

RDD is the digital data input. It operates synchronously with RDC and RCE. The data format is determined by the Mu/A pin.

Code	Sign/ Magnitude	Mu-Law	A-Law (CCITT)
+ full scale	1111 1111	1000 0000	1010 1010
+ zero	1000 0000	1111 1111	1101 0101
− zero	0000 0000	0111 1111	0101 0101
− full scale	0111 1111	0000 0010	0010 1010



Note: Starting from sign magnitude, to change format:
To Mu-Law −
MSB is unchanged (sign)
invert remaining seven bits
if code is 0000 0000, change to 0000 0010 (for zero code suppression)
To A-Law −
MSB is unchanged (sign)
invert odd numbered bits
ignore zero code suppression

Mu/A Select − This pin selects the companding law and the data format at TDD and RDD.

Mu/A = V_{DD}: Mu255 Companding D3 Data Format with Zero Code Supress

Mu/A = V_{AG}: Mu255 Companding with Sign Magnitude Data Format

Mu/A = V_{SS}: A-law Companding with CCITT Data Format Bit Inversions

$\overline{PDI}$ − The power down input disables the bias circuitry and gates off all clock inputs. This puts the Txi, RxO, $\overline{RxO}$, and T_{DD} outputs into a high impedance state. The power dissipation is reduced to 0.1 mW when $\overline{PDI} = V_{LS}$ or V_{SS}. The circuit operates normally with $\overline{PDI} = V_{DD}$ or with a logic high as defined by connection at V_{LS}. T_{DD} will not come out of high impedance for two MSI cycles after $\overline{PDI}$ goes high.

DC − In the MC14405, TDC and RDC are internally connected to this pin.

ANALOG

V_{AG} Analog Ground

Each version of the PCM mono-circuit produces its own analog ground internally. The DC voltage is approximately $(V_{DD} - V_{SS})/2$. All analog functions within the device use this as a reference point for signal processing. In symetric dual supply systems (±5, ±6, etc.), V_{AG} may externally be tied to the system analog ground supply. The V_{AG} output will sink more than 8 mA of current, but can source only 200 µA. When RxO or $\overline{RxO}$ are output drives for 600 or 900 loads tied to V_{AG}, a pullup resistor to V_{DD} will be required to boost the source current capability if V_{AG} is not tied to the supply ground.

V_{ref} Positive Voltage Reference Input (MC14402 Only)

The V_{ref} pin provides for the supply of an external voltage reference or for the selection of an internal reference within the PCM mono-circuit. If V_{ref} is tied to V_{SS}, the internal reference is selected. If $V_{ref} > V_{AG}$, then the external mode is selected. In each case, the overload or full scale gains of the codec are selected by the reference select pin (RSI). Both the internal and external references are inverted within the PCM mono-circuit for negative input voltage such that only one reference is required.

External Mode − In the external reference mode ($V_{ref} > V_{AG}$), a 2.5 volt reference like the MC1403 is connected from V_{ref} to V_{AG}. A single external reference may be shared by tying together a number of V_{ref}s and V_{AG}s from different PCM mono-circuits. In special applications, the reference voltage may be between 2 and 4 volts. However, the gain selection logic associated with RSI must be considered to arrive at the desired PCM mono-circuit gain.

Internal Mode − In the internal reference mode ($V_{ref} = V_{SS}$), an internal reference supplies the reference voltage for the PCM mono-circuit.

RSI Reference Select Input (MC14401/02 Only)

The RSI input allows the selection of three different overload or full scale voltages independent of the internal or external reference mode. The selection of maximum signed level is made by connecting RSI to V_{DD}, V_{AG} or V_{SS}. The various modes of operation are summarized in the table below. The internal reference is designed to give internal gains equal to those obtained with an external 2.5 volt reference.

RxO and $\overline{RxO}$ Receive Analog Outputs

These two complimentary outputs are generated from the output of the receive filter. They are equal in magnitude and out of phase. The maximum signal output of each is equal to the maximum peak-to-peak signal described with the reference. If a 2.5 V reference is used with RSI tied to V_{AG} and a +3 dBm0 sine wave is decoded, the RxO output will be a 5 V peak-to-peak signal. $\overline{RxO}$ will also have a signal output of 5 V peak-to-peak. External loads may be connected from RxO to $\overline{RxO}$ for a 6 dB push-pull signal gain or from either RxO or $\overline{RxO}$ to V_{AG}. With RSI tied to V_{SS}, each output will drive 600 Ω to +9 dBm. With RSI tied to V_{DD}, each output will drive 900 Ω to +9 dBm.

ADDITIONAL PIN DESCRIPTIONS

RxG Receive Output Gain Adjust (MC14402 Only)

If RxG is left open, then the output signal at RxO will be inverted and output at $\overline{RxO}$. Thus the push-pull gain to a load from RxO to $\overline{RxO}$ is two times the output level at RxO. If external resistors are applied from RxO to RxG (RI) and from RxG to $\overline{RxO}$ (RG), the gain of $\overline{RxO}$ can be set differently from −1. These resistors should be in the range of 10 kΩ. The RxO output level is unchanged by the resistors and the $\overline{RxO}$ gain is equal to minus RG/RI(VRxO). The purpose of RxG is to allow external receive gain adjustment. The circuit for RxG and $\overline{RxO}$ is shown in the block diagram.

+ Tx Positive Tx Amplifier Input (MC14402/03/05 Only)
− Tx Negative Tx Amplifier Input (MC14401/02/03/05 Only)

The Txi pin is the input to the transmit bandpass filter. If + Tx or − Tx are available, then there is an internal amplifier preceding the filter whose pins are + Tx, − Tx and Txi. These pins allow access to the amplifier terminals to tailor the input gain with external resistors. The resistors should be in the range of 10 k. If + Tx is not available, it is internally tied to V_{AG}. If − Tx and + Tx are not available, the Txi is a unity gain high impedance input.

2

TxI Analog Input

TxI is the input to the transmit filter. It is also the output of the transmit gain amplifiers of the MC14401/02/03/05. The input impedance is greater than 100 k to V_{AG} in the MC14400. The TxI input has an internal gain of 1.0, such that a +3 dBm0 signal at TxI corresponds to the peak-to-peak swing of RxO described above. For ±2.5 V shared references and RSI = V_{AG}, the +3 dBm0 input should be 5.0 volt peak-to-peak.

Power Supplies

V_{DD} – Most Positive Supply. V_{DD} is typically 10 to 12 volts.

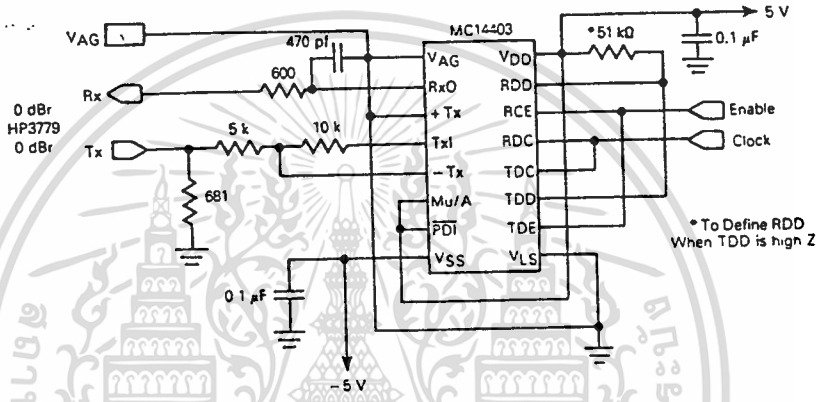
V_{SS} – Most Negative Supply. This is the most negative supply pin.

For single-supply systems, these are the only power pins. V_{LS} will be tied to V_{SS} or V_{DD} and V_{AG} is an output. In dual-supply systems, V_{LS} may be digital ground and V_{AG} may be analog ground.

Testing Considerations (MC14400/01/02 Only)

An analog test mode is activated by connecting MSI and CCI to 128 kHz. In this mode, the input of the codec (the output of the Tx filter) is available on the PDI pin. This input is a DC auto zeroed access to the A/D side of the codec. If monitored with a high-impedance buffer, the output of the Tx low-pass filter can also be measured at the PDI pin. This test mode allows independent evaluation of the transmit low-pass filter and A/D side of the codec. The receive channel of the mono-circuit is tested with the codec and filter together.

TEST CIRCUIT



OPTIONS AVAILABLE BY PIN SELECTION

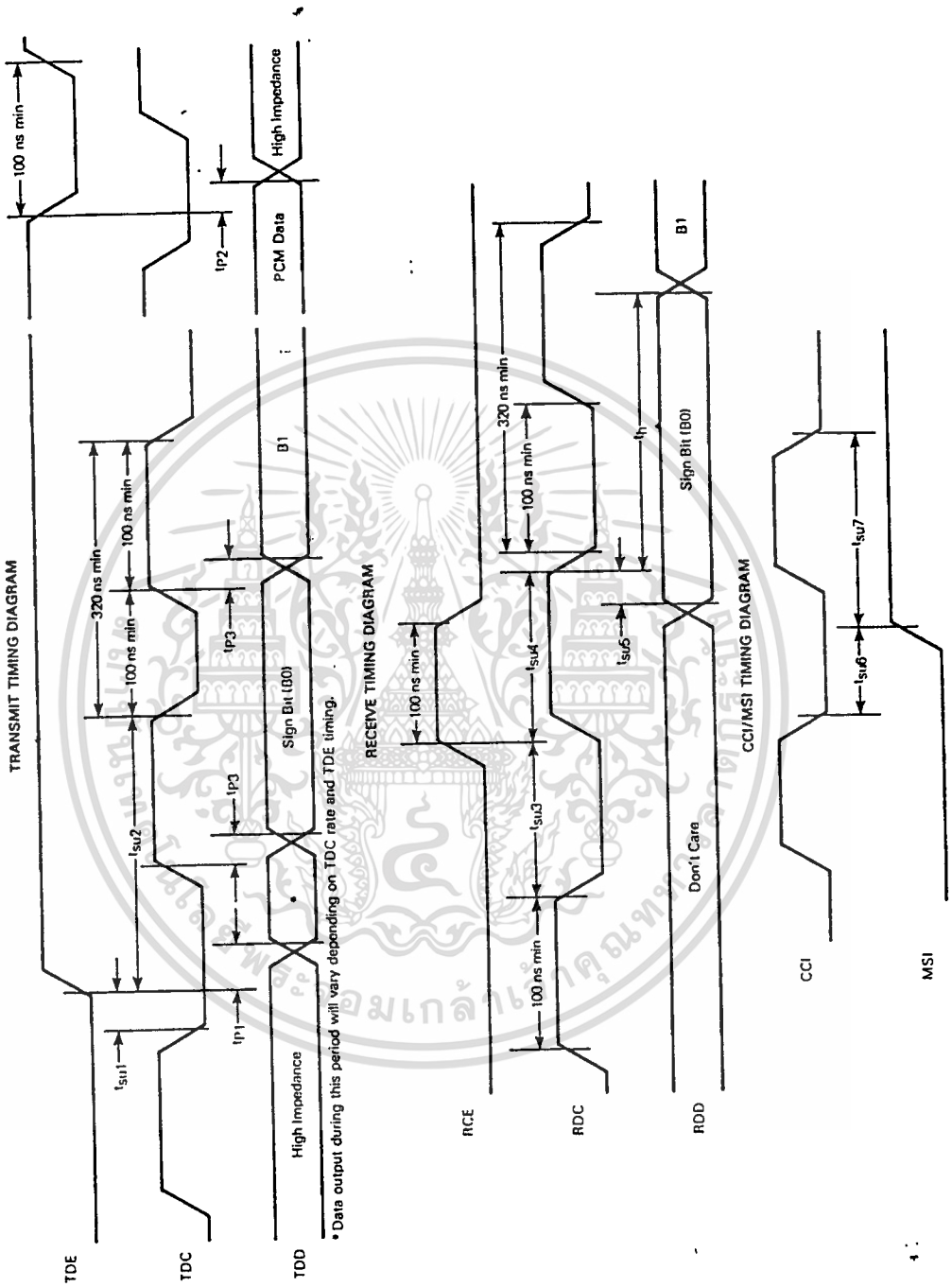
RSI* Pin Level	V_{ref}* Pin Level	Peak-to-Peak Overload Voltage (TxI, RxO)
V_{DD}	V_{SS}	7.56 V_{PP}
V_{DD}	V_{AG} + V_{EXT}	(3.02 × V_{EXT}) V_{PP}
V_{AG}	V_{SS}	5 V_{PP}
V_{AG}	V_{AG} + V_{EXT}	(2 × V_{EXT}) V_{PP}
V_{SS}	V_{SS}	6.3 V_{PP}
V_{SS}	V_{AG} + V_{EXT}	(2.52 × V_{EXT}) V_{PP}

*On MC14400/03/05, RSI and V_{ref} tied internally to V_{SS}.
On MC14401, V_{ref} tied internally to V_{SS}.

SUMMARY OF OPERATION CONDITIONS USER PROGRAMMED THROUGH PINS V_{DD}, V_{AG}, AND V_{SS}

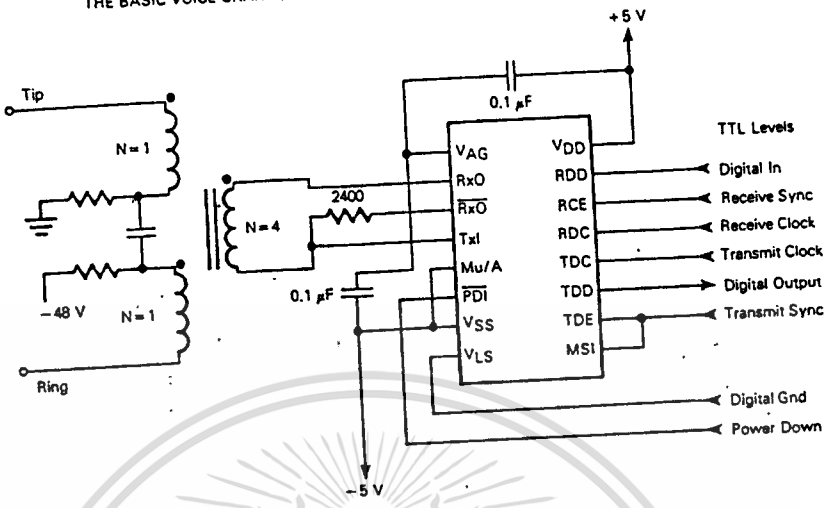
Pin Programmed / Logic Level	Mu/A	RSI Peak Overload Voltage	V_{LS}
V_{DD}	Mu-Law Companding Curve and D3/D4 Digital Formats with Zero Code Suppress	3.78	CMOS Logic Levels
V_{AG}	Mu-Law Companding Curve and Sign Magnitude Data Format	2.50	TTL Levels V_{AG} Up
V_{SS}	A-Law Companding Curve and CCITT Digital Format	3.15	TTL Levels V_{SS} Up

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

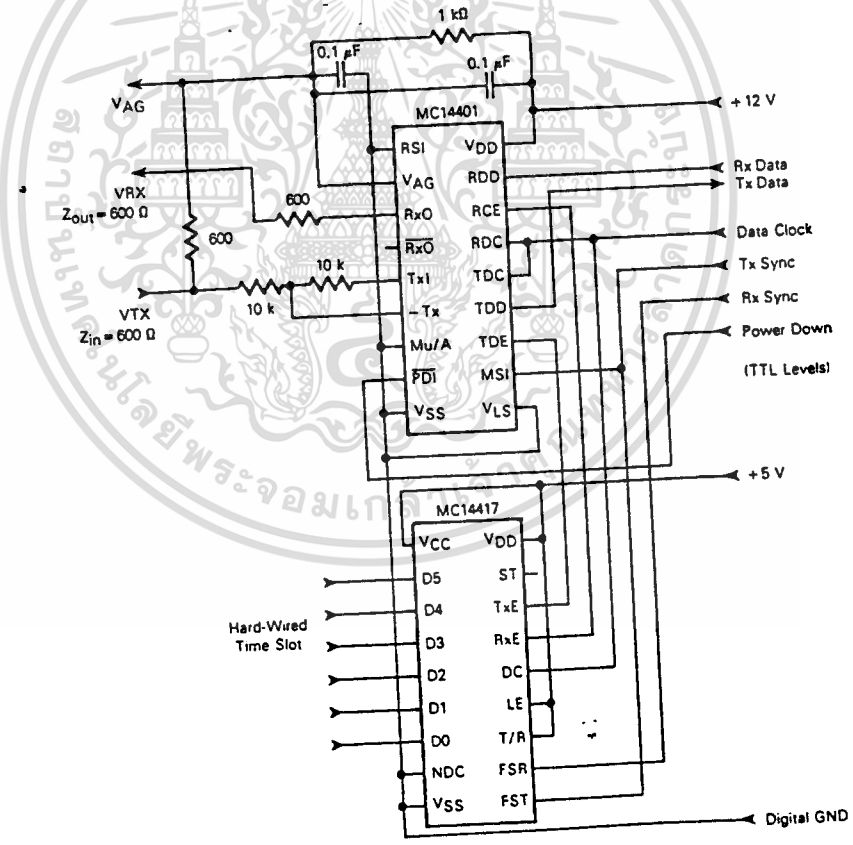

TRANSMIT TIMING DIAGRAM
100 ns min
tP2
High Impedance
PCM Data
320 ns min
100 ns min
100 ns min
B1
tP3
tP3
tP1
tsu1
tsu2
Sign Bit (B0)
High Impedance
TDE
TDC
TDD
* Data output during this period will vary depending on TDC rate and TDE timing.
RECEIVE TIMING DIAGRAM
100 ns min
320 ns min
100 ns min
tsu4
tsu3
100 ns min
RCE
RDC
th
tsu5
B1
Sign Bit (B0)
Don't Care
RDD
CCI/MSI TIMING DIAGRAM
tsu7
tsu6
CCI
MSI

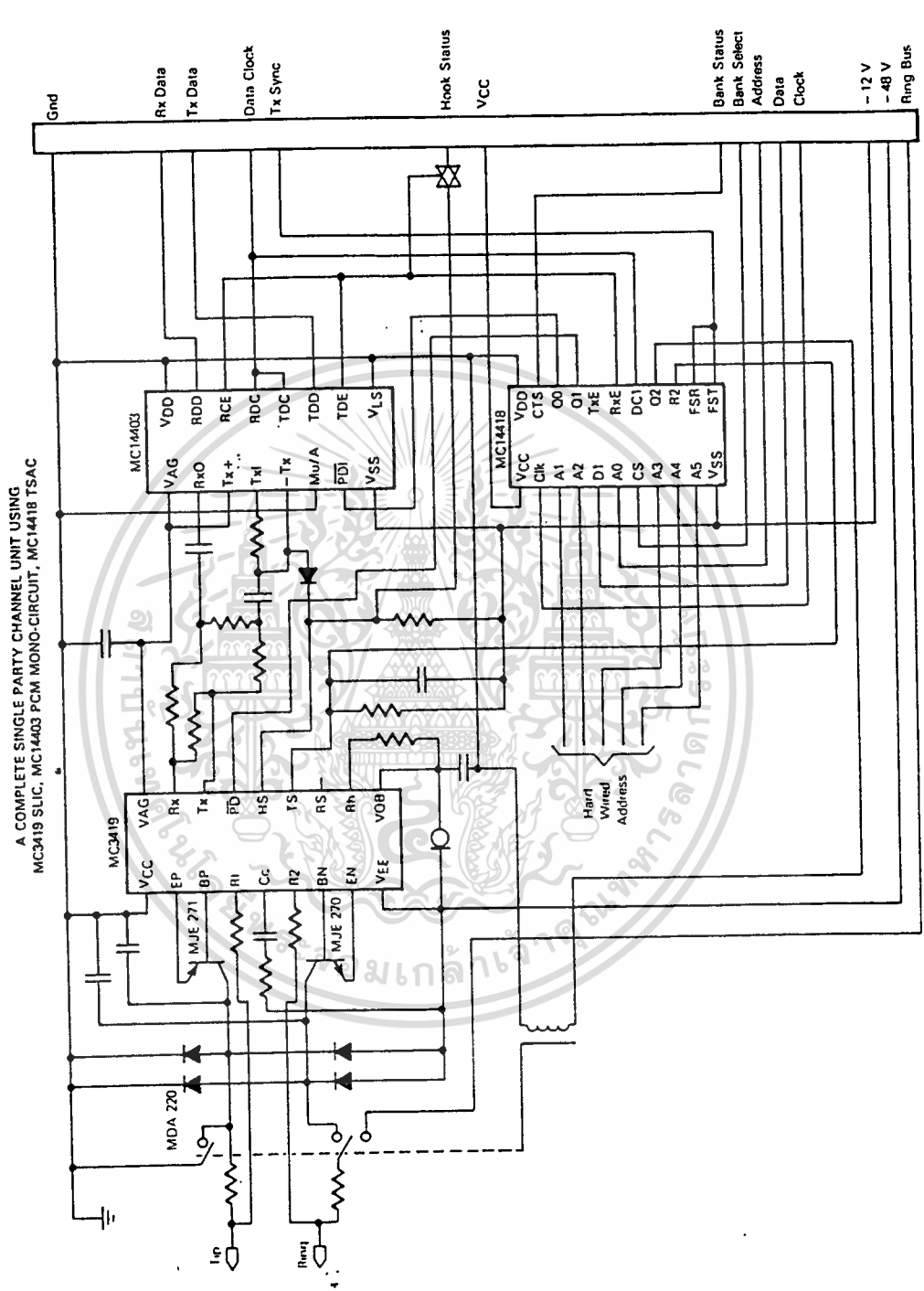
2

THE BASIC VOICE CHANNEL USING THE MC14400 PCM CODEC/FILTER MONO-CIRCUIT

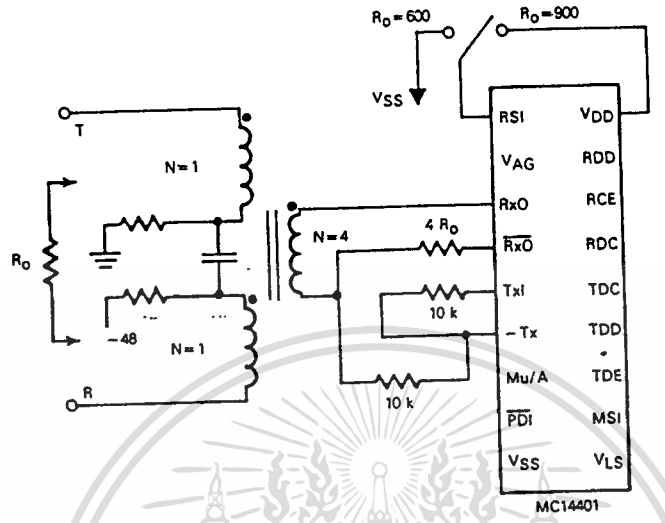


MC14401 PCM MONO-CIRCUIT WITH MC14417 TSAC

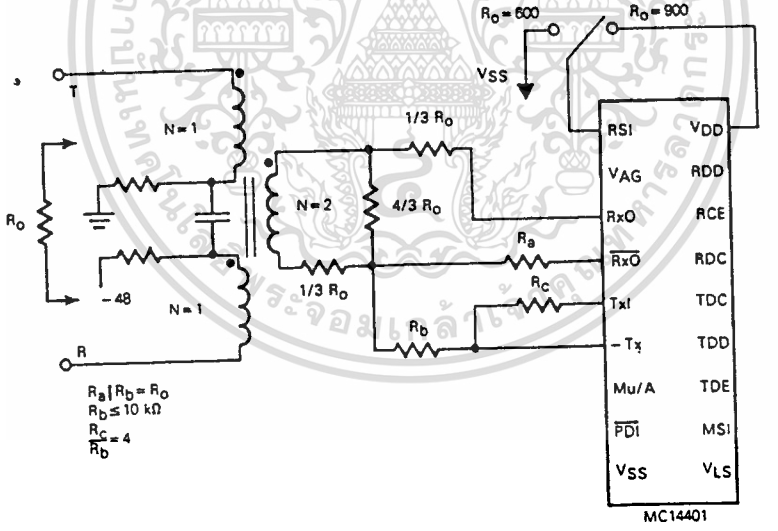



Gnd
Rx Data
Tx Data
Data Clock
Tx Sync
Hook Status
VCC
Bank Status
Bank Select
Address
Data
Clock
– 12 V
– 48 V
Ring Bus
MC14403
VDD
RDD
RCE
RDC
TDC
TDD
TDE
VLS
VAG
RxO
Tx+
Tx–
–Tx
Mu/A
PDI
VSS
MC14418
VDD
CTS
O0
O1
TxE
RxE
DC1
O2
R2
FSR
FST
VCC
Clk
A1
A2
D1
A0
CS
A3
A4
A5
VSS
MC3419
VAG
Rx
Tx
PD
HS
IS
RS
Rh
VOB
VCC
EP
BP
RI
Cc
R2
BN
EN
VEE
MJE 271
MJE 270
MDA 220
Hard Wired Address
A COMPLETE SINGLE PARTY CHANNEL UNIT USING
MC3419 SLIC, MC14403 PCM MONO-CIRCUIT, MC14418 TSAC

HYBRID INTERFACES TO MC14401 PCM CODEC FILTER MONO-CIRCUIT

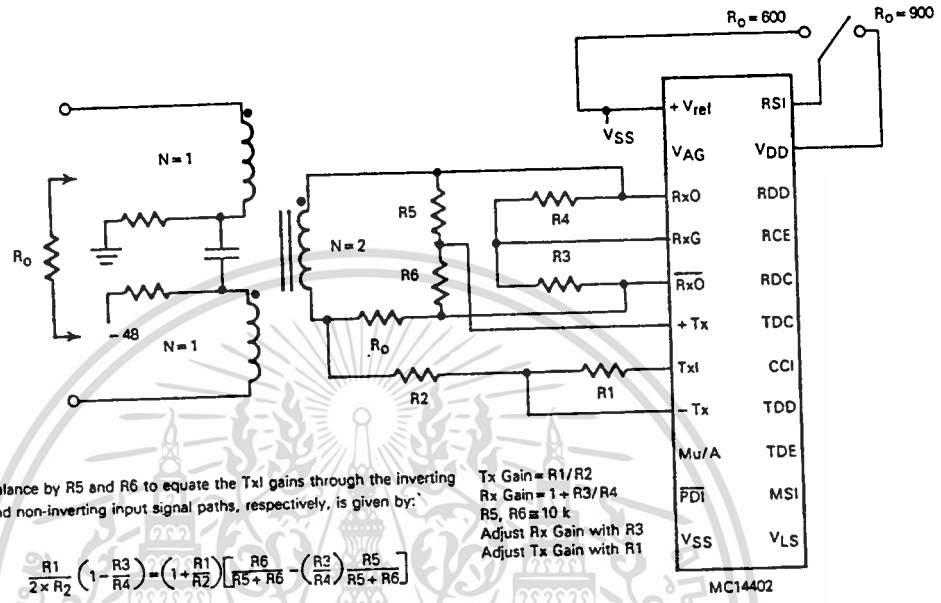


Simplified Transformer Hybrid Using MC14401



"T" Padded Transformer Hybrid Using MC14401

HYBRID INTERFACES TO THE MC14402 PCM CODEC/FILTER MONO-CIRCUIT

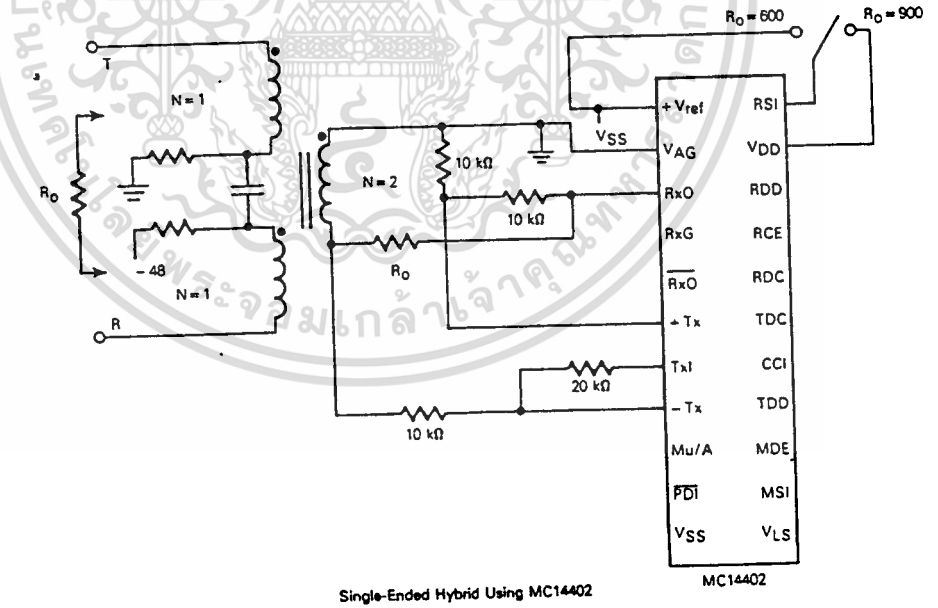


Balance by R5 and R6 to equate the Txl gains through the inverting and non-inverting input signal paths, respectively, is given by:

$$\frac{R1}{2 \times R_2}\left(1-\frac{R3}{R4}\right)=\left(1+\frac{R1}{R2}\right)\left[\frac{R6}{R5+R6}\right]-\left(\frac{R3}{R4}\right)\frac{R5}{R5+R6}$$

Tx Gain = R1/R2
Rx Gain = 1 + R3/R4
R5, R6 ≅ 10 k
Adjust Rx Gain with R3
Adjust Tx Gain with R1

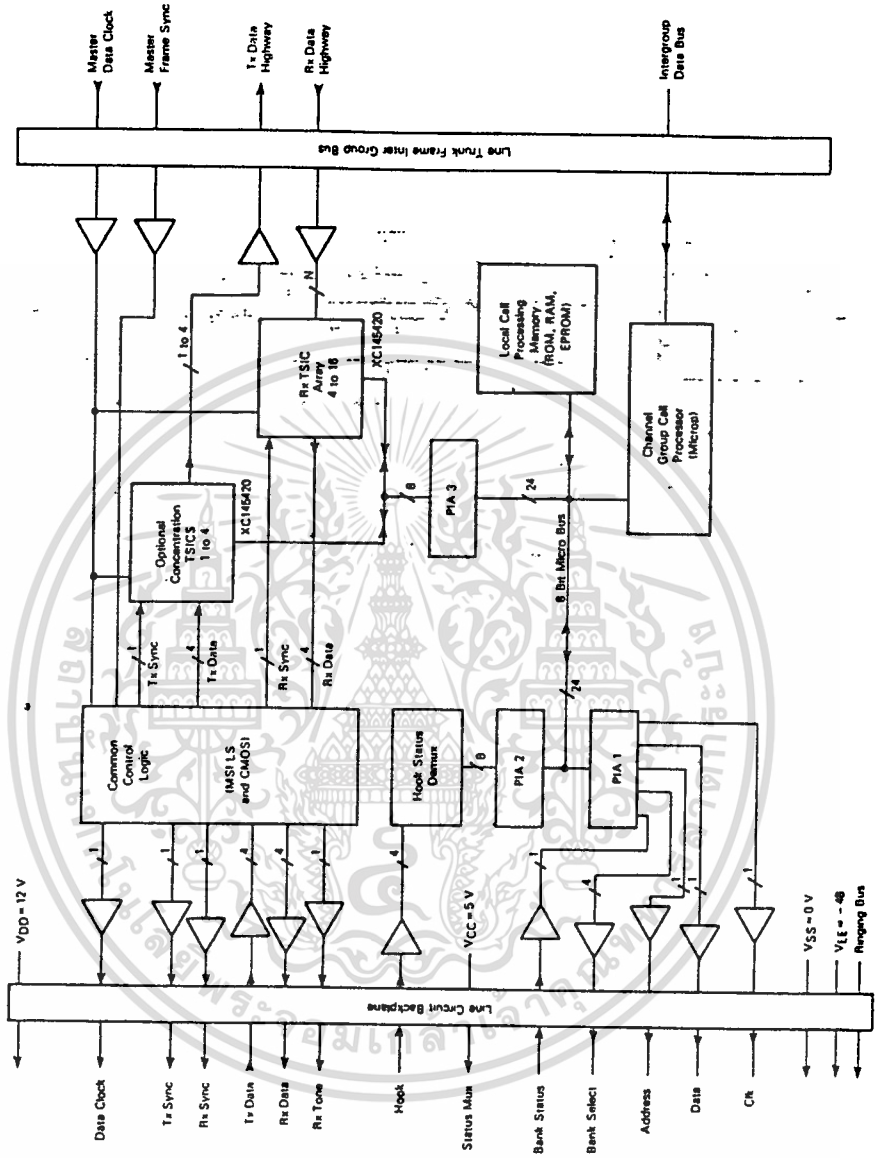
Universal Transformer Hybrid Using MC14402



Single-Ended Hybrid Using MC14402

2

128 CHANNEL GROUP COMMON CONTROL
IN A TYPICAL SWITCHING SYSTEM



NOTE: See single party line drawing for line card details.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

8251A
PROGRAMMABLE COMMUNICATION INTERFACE

- Synchronous and Asynchronous Operation
- Synchronous 5-8 Bit Characters; Internal or External Character Synchronization; Automatic Sync Insertion
- Asynchronous 5-8 Bit Characters; Clock Rate—1, 16 or 64 Times Baud Rate; Break Character Generation; 1, 1½, or 2 Stop Bits; False Start Bit Detection; Automatic Break Detect and Handling
- Synchronous Baud Rate—DC to 64K Baud
- Asynchronous Baud Rate—DC to 19.2K Baud
- Full-Duplex, Double-Buffered Transmitter and Receiver
- Error Detection—Parity, Overrun and Framing
- Compatible with an Extended Range of Intel Microprocessors
- 28-Pin DIP Package
- All Inputs and Outputs are TTL Compatible
- Available in EXPRESS
  —Standard Temperature Range
  —Extended Temperature Range

The Intel® 8251A is the enhanced version of the industry standard, Intel 8251 Universal Synchronous/Asynchronous Receiver/Transmitter (USART), designed for data communications with Intel's microprocessor families such as MCS-48, 80, 85, and iAPX-86, 88. The 8251A is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use (including IBM "bi-sync"). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously, it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TxEMPTY. The chip is fabricated using N-channel silicon gate technology.

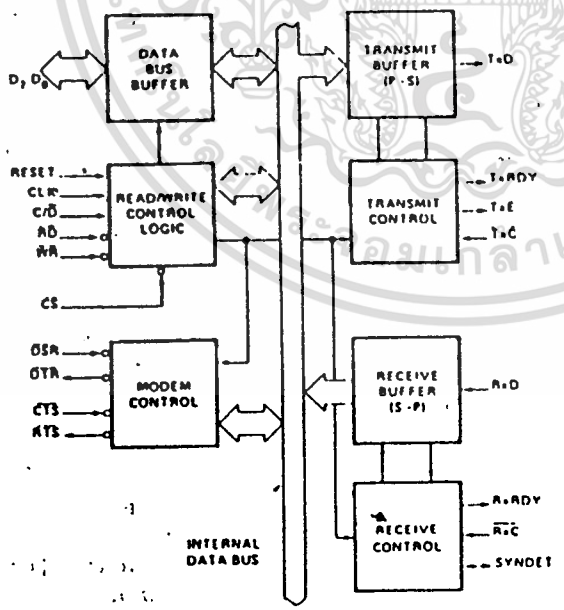


Figure 1. Block Diagram

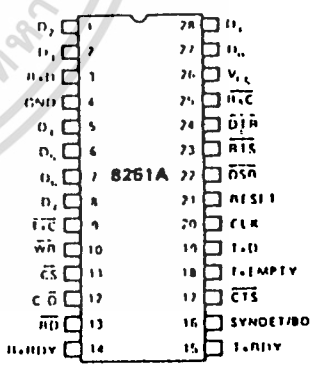


Figure 2. Pin Configuration

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.
INTEL CORPORATION 1984

September 1984
205222-002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FEATURES AND ENHANCEMENTS

The 8251A is an advanced design of the industry standard USART, the Intel® 8251. The 8251A operates with an extended range of Intel microprocessors and maintains compatibility with the 8251. Familiarization time is minimal because of compatibility and involves only knowing the additional features and enhancements, and reviewing the AC and DC specifications of the 8251A.

The 8251A incorporates all the key features of the 8251 and has the following additional features and enhancements:

- 8251A has double-buffered data paths with separate I/O registers for control, status, Data In, and Data Out, which considerably simplifies control programming and minimizes CPU overhead.
- In asynchronous operations, the Receiver detects and handles "break" automatically, relieving the CPU of this task.
- A refined Rx initialization prevents the Receiver from starting when in "break" state, preventing unwanted interrupts from a disconnected USART.
- At the conclusion of a transmission, TxD line will always return to the marking state unless SBRK is programmed.
- Tx Enable logic enhancement prevents a Tx Disable command from halting transmission until all data previously written has been transmitted. The logic also prevents the transmitter from turning off in the middle of a word.
- When External Sync Detect is programmed, Internal Sync Detect is disabled, and an External Sync Detect status is provided via a flip-flop which clears itself upon a status read.
- Possibility of false sync detect is minimized by ensuring that if double character sync is programmed, the characters be contiguously detected and also by clearing the Rx register to all ones whenever Enter Hunt command is issued in Sync mode.
- As long as the 8251A is not selected, the $\overline{RD}$ and $\overline{WR}$ do not affect the internal operation of the device.
- The 8251A Status can be read at any time but the status update will be inhibited during status read.
- The 8251A is free from extraneous glitches and has enhanced AC and DC characteristics, providing higher speed and better operating margins.
- Synchronous Baud rate from DC to 64K.

FUNCTIONAL DESCRIPTION

General

The 8251A is a Universal Synchronous/Asynchronous Receiver/Transmitter designed for a wide range of Intel microcomputers such as 8048, 8080, 8085, 8086 and 8088. Like other I/O devices in a microcomputer system, its functional configuration is programmed by the system's software for maximum flexibility. The 8251A can support most serial data techniques in use, including IBM "bi-sync."

In a communication environment an interface device must convert parallel format system data into serial format for transmission and convert incoming serial format data into parallel system data for reception. The interface device must also delete or insert bits or characters that are functionally unique to the communication technique. In essence, the interface should appear "transparent" to the CPU, a simple input or output of byte-oriented system data.

Data Bus Buffer

This 3-state, bidirectional, 8-bit buffer is used to interface the 8251A to the system Data Bus. Data is transmitted or received by the buffer upon execution of INput or OUTput instructions of the CPU. Control words, Command words and Status information are also transferred through the Data Bus Buffer. The Command Status, Data-In and Data-Out registers are separate, 8-bit registers communicating with the system bus through the Data Bus Buffer.

This functional block accepts inputs from the system Control bus and generates control signals for overall device operation. It contains the Control Word Register and Command Word Register that store the various control formats for the device functional definition.

RESET (Reset)

A "high" on this input forces the 8251A into an "Idle" mode. The device will remain at "Idle" until a new set of control words is written into the 8251A to program its functional definition. Minimum RESET pulse width is 6 t_{CY} (clock must be running).

A command reset operation also puts the device into the "Idle" state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLK (Clock)

The CLK input is used to generate internal device timing and is normally connected to the Phase 2 (TTL) output of the Clock Generator. No external inputs or outputs are referenced to CLK but the frequency of CLK must be greater than 30 times the Receiver or Transmitter data bit rates.

$\overline{WR}$ (Write)

A "low" on this input informs the 8251A that the CPU is writing data or control words to the 8251A.

$\overline{RD}$ (Read)

A "low" on this input informs the 8251A that the CPU is reading data or status information from the 8251A.

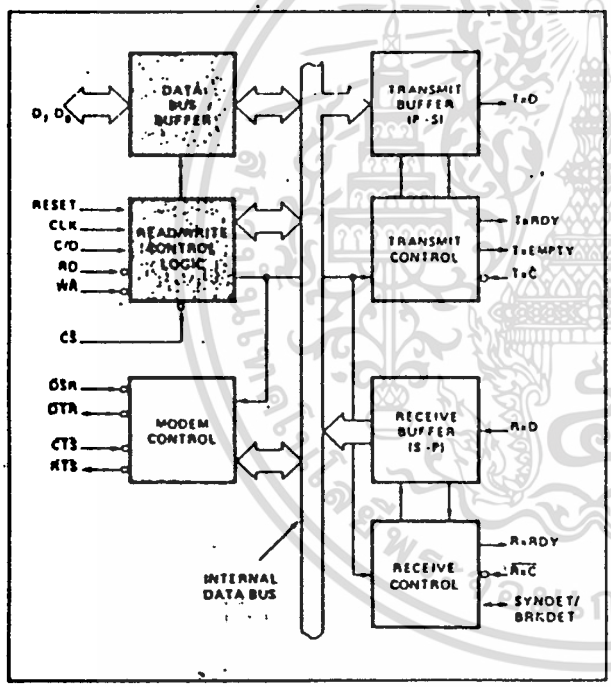


Figure 3. 8251A Block Diagram Showing Data Bus Buffer and Read/Write Logic Functions

C/$\overline{D}$	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	
0	0	1	0	8251A DATA → DATA BUS
0	1	0	0	DATA BUS → 8251A DATA
1	0	1	0	STATUS → DATA BUS
1	1	0	0	DATA BUS → CONTROL
X	1	1	0	DATA BUS → 3-STATE
X	X	X	1	DATA BUS → 3-STATE

C/$\overline{D}$ (Control/Data)

This input, in conjunction with the $\overline{WR}$ and $\overline{RD}$ inputs, informs the 8251A that the word on the Data Bus is either a data character, control word or status information.

1 = CONTROL/STATUS; 0 = DATA.

$\overline{CS}$ (Chip Select)

A "low" on this input selects the 8251A. No reading or writing will occur unless the device is selected. When $\overline{CS}$ is high, the Data Bus is in the float state and $\overline{RD}$ and $\overline{WR}$ have no effect on the chip.

Modem Control

The 8251A has a set of control inputs and outputs that can be used to simplify the interface to almost any modem. The modem control signals are general purpose in nature and can be used for functions other than modem control, if necessary.

$\overline{DSR}$ (Data Set Ready)

The $\overline{DSR}$ input signal is a general-purpose, 1-bit inverting input port. Its condition can be tested by the CPU using a Status Read operation. The $\overline{DSR}$ input is normally used to test modem conditions such as Data Set Ready.

$\overline{DTR}$ (Data Terminal Ready)

The $\overline{DTR}$ output signal is a general-purpose, 1-bit inverting output port. It can be set "low" by programming the appropriate bit in the Command Instruction word. The $\overline{DTR}$ output signal is normally used for modem control such as Data Terminal Ready.

$\overline{RTS}$ (Request to Send)

The $\overline{RTS}$ output signal is a general-purpose, 1-bit inverting output port. It can be set "low" by programming the appropriate bit in the Command Instruction word. The $\overline{RTS}$ output signal is normally used for modem control such as Request to Send.

$\overline{CTS}$ (Clear to Send)

A "low" on this input enables the 8251A to transmit serial data if the Tx Enable bit in the Command byte is set to a "one." If either a Tx Enable off or $\overline{CTS}$ off condition occurs while the Tx is in operation, the Tx will transmit all the data in the USART, written prior to Tx Disable command before shutting down.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYNDET (SYNC Detect/ BRKDET Break Detect)

This pin is used in Synchronous Mode for SYNDET and may be used as either input or output, programmable through the Control Word. It is reset to output mode low upon RESET. When used as an output (internal Sync mode), the SYNDET pin will go "high" to indicate that the 8251A has located the SYNC character in the Receive mode. If the 8251A is programmed to use double Sync characters (bisync), then SYNDET will go "high" in the middle of the last bit of the second Sync character. SYNDET is automatically reset upon a Status Read operation.

When used as an input (external SYNC detect mode), a positive going signal will cause the 8251A to start assembling data characters on the rising edge of the next $\overline{RxC}$. Once in SYNC, the "high" input signal can be removed. When External SYNC Detect is programmed, Internal SYNC Detect is disabled.

BREAK (Async Mode Only)

This output will go high whenever the receiver remains low through two consecutive stop bit sequences (including the start bits, data bits, and parity bits). Break Detect may also be read as a Status bit. It is reset only upon a master chip Reset or Rx Data returning to a "one" state.

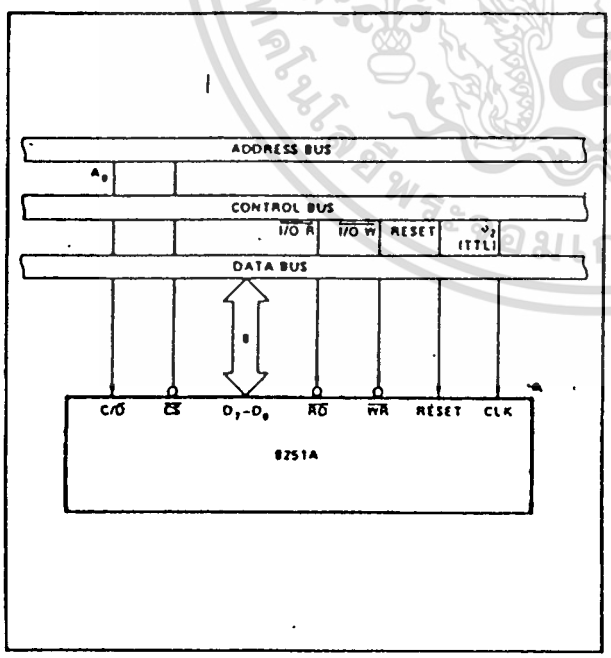


Figure 6. 8251A Interface to 8080 Standard System Bus

DETAILED OPERATION DESCRIPTION

General

The complete functional definition of the 8251A is programmed by the system's software. A set of control words must be sent out by the CPU to initialize the 8251A to support the desired communications format. These control words will program the: BAUD RATE, CHARACTER LENGTH, NUMBER OF STOP BITS, SYNCHRONOUS or ASYNCHRONOUS OPERATION, EVEN/ODD/OFF PARITY, etc. In the Synchronous Mode, options are also provided to select either internal or external character synchronization.

Once programmed, the 8251A is ready to perform its communication functions. The TxRDY output is raised "high" to signal the CPU that the 8251A is ready to receive a data character from the CPU. This output (TxRDY) is reset automatically when the CPU writes a character into the 8251A. On the other hand, the 8251A receives serial data from the MODEM or I/O device. Upon receiving an entire character, the RxRDY output is raised "high" to signal the CPU that the 8251A has a complete character ready for the CPU to fetch. RxRDY is reset automatically upon the CPU data read operation.

The 8251A cannot begin transmission until the Tx Enable (Transmitter Enable) bit is set in the Command Instruction and it has received a Clear To Send ($\overline{CTS}$) input. The TxD output will be held in the marking state upon Reset.

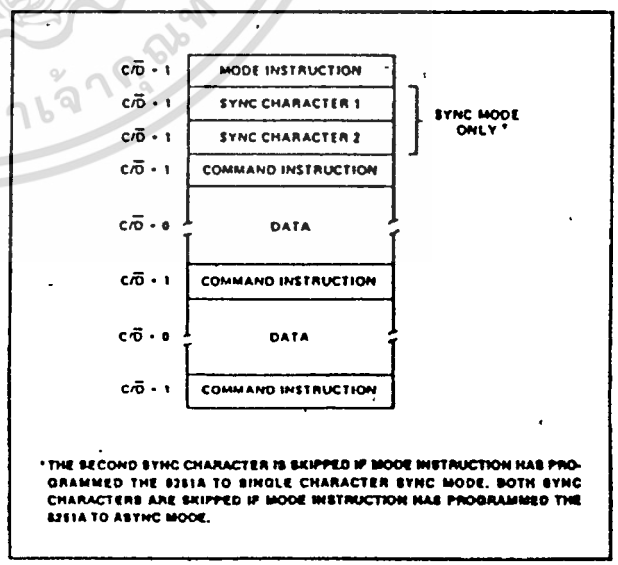


Figure 7. Typical Data Block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Receiver Control

This functional block manages all receiver-related activities which consists of the following features.

The RxD initialization circuit prevents the 8251A from mistaking an unused input line for an active low data line in the "break condition." Before starting to receive serial characters on the RxD line, a valid "1" must first be detected after a chip master Reset. Once this has been determined, a search for a valid low (Start bit) is enabled. This feature is only active in the asynchronous mode, and is only done once for each master Reset.

The False Start bit detection circuit prevents false starts due to a transient noise spike by first detecting the falling edge and then strobing the nominal center of the Start bit (RxD = low).

Parity error detection sets the corresponding status bit.

The Framing Error status bit is set if the Stop bit is absent at the end of the data byte (asynchronous mode).

RxRDY (Receiver Ready)

This output indicates that the 8251A contains a character that is ready to be input to the CPU. RxRDY can be connected to the interrupt structure of the CPU or, for polled operation, the CPU can check the condition of RxRDY using a Status Read operation.

RxEnable, when off, holds RxRDY in the Reset Condition. For Asynchronous mode, to set RxRDY, the Receiver must be enabled to sense a Start Bit and a complete character must be assembled and transferred to the Data Output Register. For Synchronous mode, to set RxRDY, the Receiver must be enabled and a character must finish assembly and be transferred to the Data Output Register.

Failure to read the received character from the Rx Data Output Register prior to the assembly of the next Rx Data character will set overrun condition error and the previous character will be written over and lost. If the Rx Data is being read by the CPU when the internal transfer is occurring, overrun error will be set and the old character will be lost.

$\overline{RxC}$ (Receiver Clock)

The Receiver Clock controls the rate at which the character is to be received. In Synchronous Mode, the Baud Rate (1x) is equal to the actual frequency of $\overline{RxC}$. In Asynchronous Mode, the Baud Rate is a fraction of the actual $\overline{RxC}$ frequency. A portion of the mode instruction selects this factor: 1, 1/16 or 1/64 the $\overline{RxC}$.

For example:

Baud Rate equals 300 Baud, If
$\overline{RxC}$ equals 300 Hz in the 1x mode;
$\overline{RxC}$ equals 4800 Hz in the 16x mode;
$\overline{RxC}$ equals 19.2 kHz in the 64x mode.

Baud Rate equals 2400 Baud, If
$\overline{RxC}$ equals 2400 Hz in the 1x mode;
$\overline{RxC}$ equals 38.4 kHz in the 16x mode;
$\overline{RxC}$ equals 153.6 kHz in the 64x mode.

Data is sampled into the 8251A on the rising edge of $\overline{RxC}$.

NOTE: In most communications systems, the 8251A will be handling both the transmission and reception operations of a single link. Consequently, the Receive and Transmit Baud Rates will be the same. Both $\overline{TxC}$ and $\overline{RxC}$ will require identical frequencies for this operation and can be tied together and connected to a single frequency source (Baud Rate Generator) to simplify the interface.

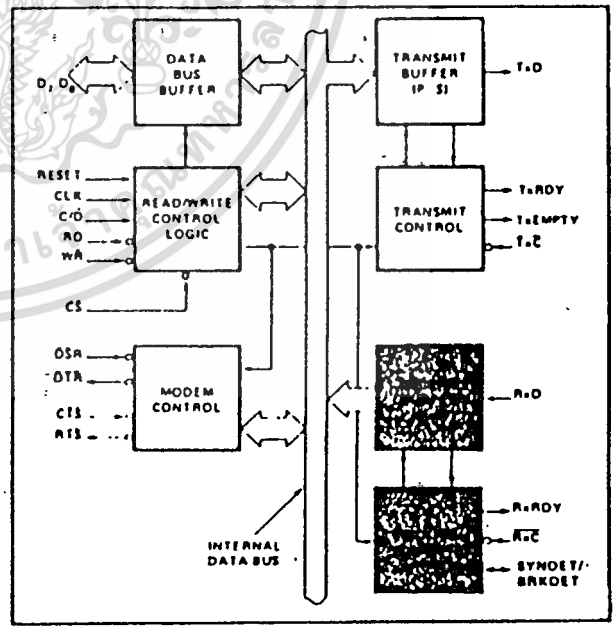


Figure 5. 8251A Block Diagram Showing Receiver Buffer and Control Functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Transmitter Buffer

The Transmitter Buffer accepts parallel data from the Data Bus Buffer, converts it to a serial bit stream, inserts the appropriate characters or bits (based on the communication technique) and outputs a composite serial stream of data on the TxD output pin on the falling edge of $\overline{TxC}$. The transmitter will begin transmission upon being enabled if $\overline{CTS}$ = 0. The TxD line will be held in the marking state immediately upon a master Reset or when Tx Enable or $\overline{CTS}$ is off or the transmitter is empty.

Transmitter Control

The Transmitter Control manages all activities associated with the transmission of serial data. It accepts and issues signals both externally and internally to accomplish this function.

TxRDY (Transmitter Ready)

This output signals the CPU that the transmitter is ready to accept a data character. The TxRDY output pin can be used as an interrupt to the system, since it is masked by TxEnable; or, for Polled operation, the CPU can check TxRDY using a Status Read operation. TxRDY is automatically reset by the leading edge of $\overline{WR}$ when a data character is loaded from the CPU.

Note that when using the Polled operation, the TxRDY status bit is *not* masked by TxEnable, but will only indicate the Empty/Full Status of the Tx Data Input Register.

TxE (Transmitter Empty)

When the 8251A has no characters to send, the TxEMPTY output will go "high." It resets upon receiving a character from CPU if the transmitter is enabled. TxEMPTY remains high when the transmitter is disabled. TxEMPTY can be used to indicate the end of a transmission mode, so that the CPU "knows" when to "turn the line around" in the half-duplex operational mode.

In the Synchronous mode, a "high" on this output indicates that a character has not been loaded and the SYNC character or characters are about to be or are being transmitted automatically as "fillers." TxEMPTY does not go low when the SYNC characters are being shifted out.

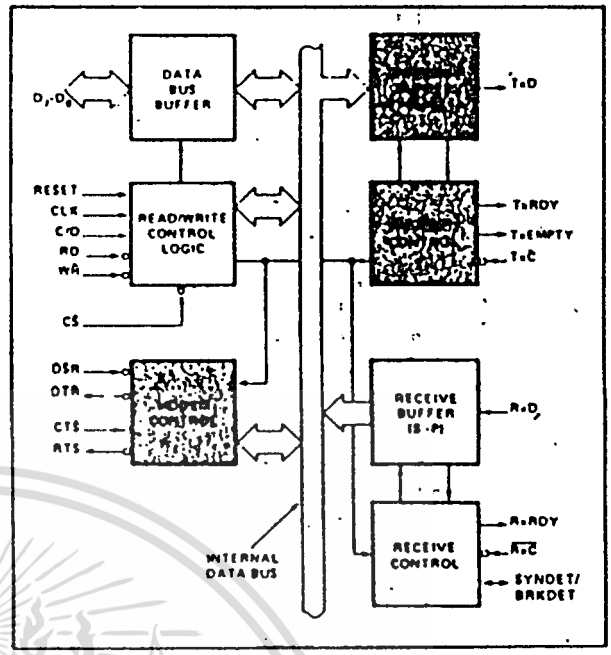


Figure 4. 8251A Block Diagram Showing Modem and Transmitter Buffer and Control Functions

TxC (Transmitter Clock)

The Transmitter Clock controls the rate at which the character is to be transmitted. In the Synchronous transmission mode, the Baud Rate (1x) is equal to the $\overline{TxC}$ frequency. In Asynchronous transmission mode, the baud rate is a fraction of the actual $\overline{TxC}$ frequency. A portion of the mode instruction selects this factor; it can be 1, 1/16 or 1/64 the $\overline{TxC}$.

For Example:

If Baud Rate equals 110 Baud,
$\overline{TxC}$ equals 110 Hz in the 1x mode.
$\overline{TxC}$ equals 1.72 kHz in the 16x mode.
$\overline{TxC}$ equals 7.04 kHz in the 64x mode.

The falling edge of $\overline{TxC}$ shifts the serial data out of the 8251A.

Receiver Buffer

The Receiver accepts serial data, converts this serial input to parallel format, checks for bits or characters that are unique to the communication technique and sends an "assembled" character to the CPU. Serial data is input to RxD pin, and is clocked in on the rising edge of $\overline{RxC}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programming the 8251A

Prior to starting data transmission or reception, the 8251A must be loaded with a set of control words generated by the CPU. These control signals define the complete functional definition of the 8251A and must immediately follow a Reset operation (internal or external).

The control words are split into two formats:

1. Mode Instruction
2. Command Instruction

Mode Instruction

This instruction defines the general operational characteristics of the 8251A. It must follow a Reset operation (internal or external). Once the Mode Instruction has been written into the 8251A by the CPU, SYNC characters or Command Instructions may be written.

Command Instruction

This instruction defines a word that is used to control the actual operation of the 8251A.

Both the Mode and Command Instructions must conform to a specified sequence for proper device operation (see Figure 7). The Mode Instruction must be written immediately following a Reset operation, prior to using the 8251A for data communication.

All control words written into the 8251A after the Mode Instruction will load the Command Instruction. Command Instructions can be written into the 8251A at any time in the data block during the operation of the 8251A. To return to the Mode Instruction format, the master Reset bit in the Command Instruction word can be set to initiate an internal Reset operation which automatically places the 8251A back into the Mode Instruction format. Command Instructions must follow the Mode Instructions or Sync characters.

Mode Instruction Definition

The 8251A can be used for either Asynchronous or Synchronous data communication. To understand how the Mode Instruction defines the functional operation of the 8251A, the designer can best view the device as two separate components, one Asynchronous and the other Synchronous, sharing the same package. The format definition can be changed only after a master chip Reset. For explanation purposes the two formats will be isolated.

NOTE: When parity is enabled it is not considered as one of the data bits for the purpose of programming the word length. The actual parity bit received on the Rx Data line cannot be read on the Data Bus. In the case of a programmed character length of less than 8 bits, the least significant Data Bus bits will hold the data; unused bits are "don't care" when writing data to the 8251A, and will be "zeros" when reading the data from the 8251A.

Asynchronous Mode (Transmission)

Whenever a data character is sent by the CPU the 8251A automatically adds a Start bit (low level) followed by the data bits (least significant bit first), and the programmed number of Stop bits to each character. Also, an even or odd Parity bit is inserted prior to the Stop bit(s), as defined by the Mode Instruction. The character is then transmitted as a serial data stream on the TxD output. The serial data is shifted out on the falling edge of $\overline{TxC}$ at a rate equal to 1, 1/16, or 1/64 that of the $\overline{TxC}$, as defined by the Mode Instruction. BREAK characters can be continuously sent to the TxD if commanded to do so.

When no data characters have been loaded into the 8251A the TxD output reamins "high" (marking) unless a Break (continuously low) has been programmed.

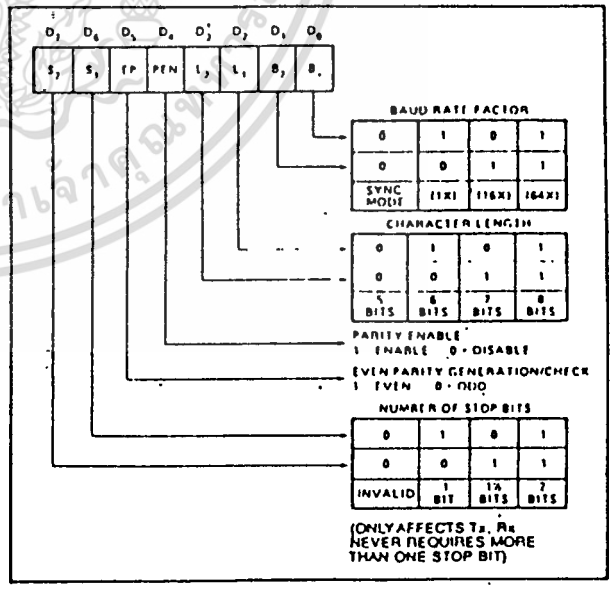


Figure 8. Mode Instruction Format, Asynchronous Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Asynchronous Mode (Receive)

The RxD line is normally high. A falling edge on this line triggers the beginning of a START bit. The validity of this START bit is checked by again strobing this bit at its nominal center (16X or 64X mode only). If a low is detected again, it is a valid START bit, and the bit counter will start counting. The bit counter thus locates the center of the data bits, the parity bit (if it exists) and the stop bits. If parity error occurs, the parity error flag is set. Data and parity bits are sampled on the RxD pin with the rising edge of $\overline{RxC}$. If a low level is detected as the STOP bit, the Framing Error flag will be set. The STOP bit signals the end of a character. Note that the *receiver* requires only *one* stop bit, regardless of the number of stop bits programmed. This character is then loaded into the parallel I/O buffer of the 8251A. The RxRDY pin is raised to signal the CPU that a character is ready to be fetched. If a previous character has not been fetched by the CPU, the present character replaces it in the I/O buffer, and the OVERRUN Error flag is raised (thus the previous character is lost). All of the error flags can be reset by an Error Reset instruction. The occurrence of any of these errors will not affect the operation of the 8251A.

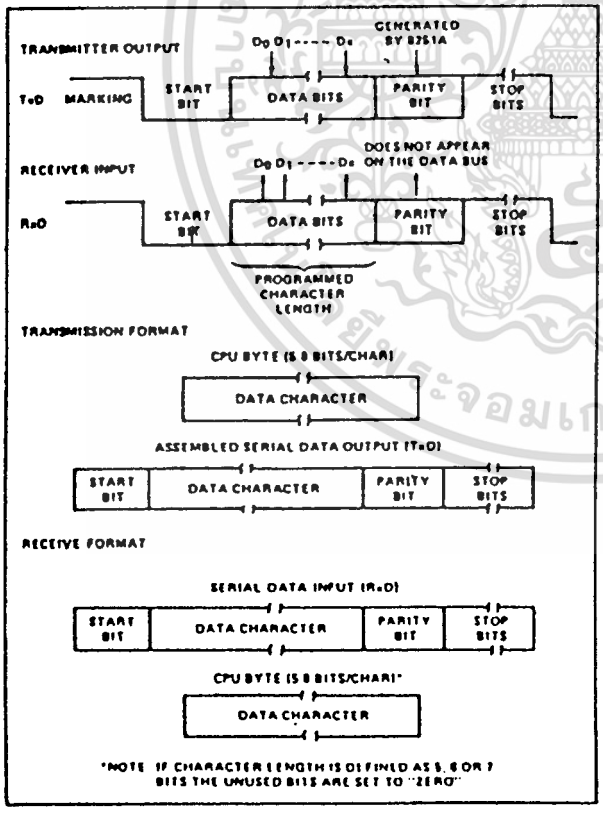
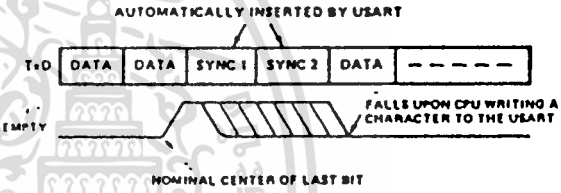


Figure 9. Asynchronous Mode

Synchronous Mode (Transmission)

The TxD output is continuously high until the CPU sends its first character to the 8251A which usually is a SYNC character. When the $\overline{CTS}$ line goes low, the first character is serially transmitted out. All characters are shifted out on the falling edge of $\overline{TxC}$. Data is shifted out at the same rate as the $\overline{TxC}$.

Once transmission has started, the data stream at the TxD output must continue at the $\overline{TxC}$ rate. If the CPU does not provide the 8251A with a data character before the 8251A Transmitter Buffers become empty, the SYNC characters (or character if in single SYNC character mode) will be automatically inserted in the TxD data stream. In this case, the TxEMPTY pin is raised high to signal that the 8251A is empty and SYNC characters are being sent out. TxEMPTY does not go low when the SYNC is being shifted out (see figure below). The TxEMPTY pin is internally reset by a data character being written into the 8251A.



Synchronous Mode (Receive)

In this mode, character synchronization can be internally or externally achieved. If the SYNC mode has been programmed, ENTER HUNT command should be included in the first command instruction word written. Data on the RxD pin is then sampled on the rising edge of $\overline{RxC}$. The content of the Rx buffer is compared at every bit boundary with the first SYNC character until a match occurs. If the 8251A has been programmed for two SYNC characters, the subsequent received character is also compared; when both SYNC characters have been detected, the USART ends the HUNT mode and is in character synchronization. The SYNDET pin is then set high, and is reset automatically by a STATUS READ. If parity is programmed, SYNDET will not be set until the middle of the parity bit instead of the middle of the last data bit.

In the external SYNC mode, synchronization is achieved by applying a high level on the SYNDET pin, thus forcing the 8251A out of the HUNT mode. The high level can be removed after one $\overline{RxC}$ cycle. An ENTER HUNT command has no effect in the asynchronous mode of operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Parity error and overrun error are both checked in the same way as in the Asynchronous Rx mode. Parity is checked when not in Hunt, regardless of whether the Receiver is enabled or not.

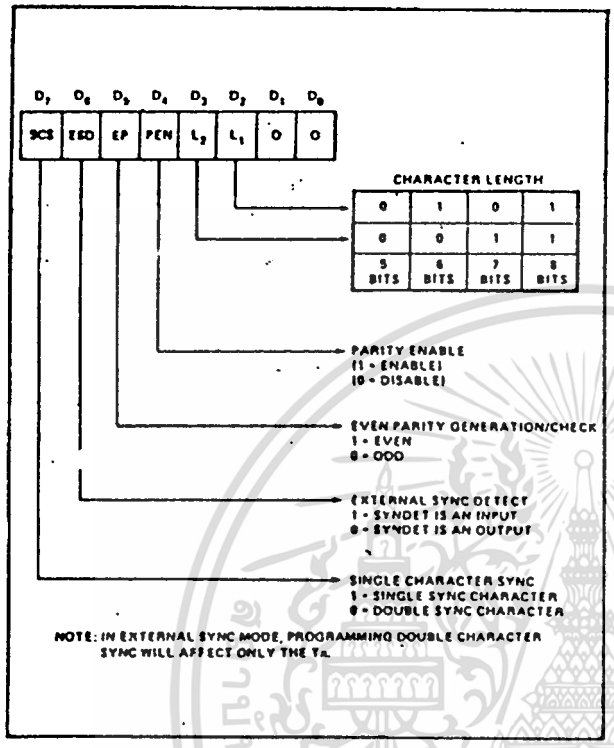


Figure 10. Mode Instruction Format, Synchronous Mode

The CPU can command the receiver to enter the HUNT mode if synchronization is lost. This will also set all the used character bits in the buffer to a "one," thus preventing a possible false SYNDET caused by data that happens to be in the Rx Buffer at ENTER HUNT time. Note that the SYNDET F/F is reset at each Status Read, regardless of whether internal or external SYNC has been programmed. This does not cause the 8251A to return to the HUNT mode. When in SYNC mode, but not in HUNT, Sync Detection is still functional, but only occurs at the "known" word boundaries. Thus, if one Status Read indicates SYNDET and a second Status Read also indicates SYNDET, then the programmed SYNDET characters have been received since the previous Status Read. (If double character sync has been programmed, then both sync characters have been contiguously received to gate a SYNDET indication.) When external SYNDET mode is selected, internal Sync Detect is disabled, and the SYNDET F/F may be set at any bit boundary.

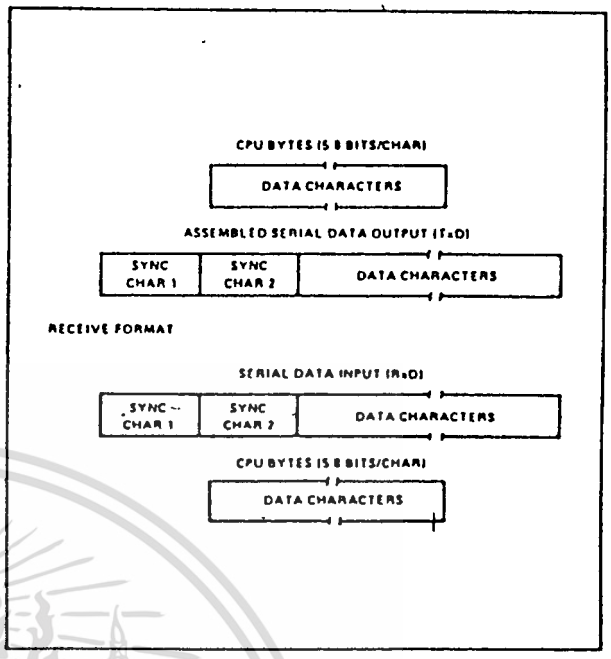


Figure 11. Data Format, Synchronous Mode

COMMAND INSTRUCTION DEFINITION

Once the functional definition of the 8251A has been programmed by the Mode Instruction and the sync characters are loaded (if in Sync Mode) then the device is ready to be used for data communication. The Command Instruction controls the actual operation of the selected format. Functions such as: Enable Transmit/Receive, Error Reset and Modem Controls are provided by the Command Instruction.

Once the Mode Instruction has been written into the 8251A and Sync characters inserted, if necessary, then all further "control writes" (C/$\overline{D}$ = 1) will load a Command Instruction. A Reset Operation (internal or external) will return the 8251A to the Mode Instruction format.

Note: Internal Reset on Power-up

When power is first applied, the 8251A may come up in the Mode, Sync character or Command format. To guarantee that the device is in the Command Instruction format before the Reset command is issued, it is safest to execute the worst-case initialization sequence (sync mode with two sync characters). Loading three 00Hs consecutively into the device with C/$\overline{D}$ = 1 configures sync operation and writes two dummy 00H sync characters. An Internal Reset command (40H) may then be issued to return the device to the "Idle" state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

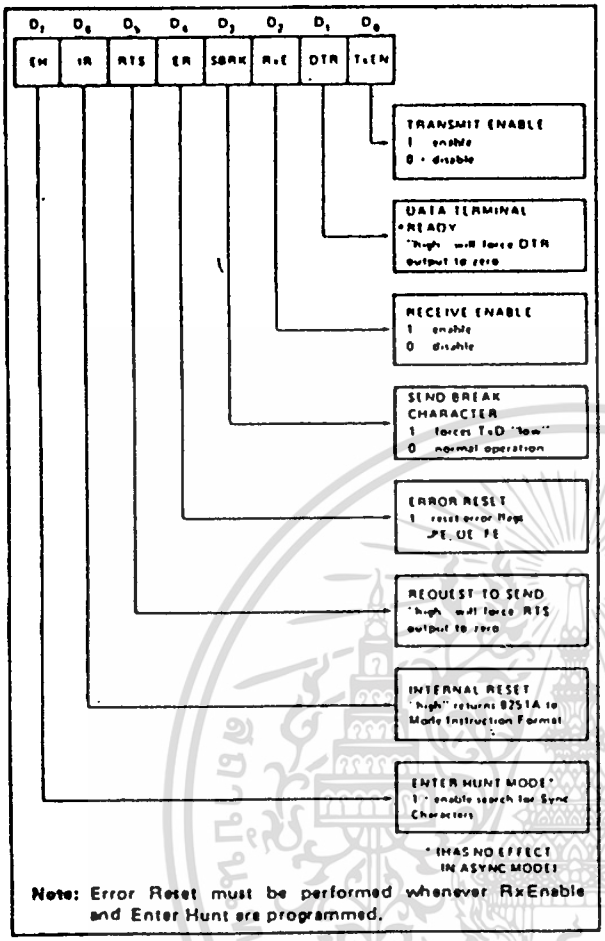


Figure 12. Command Instruction Format

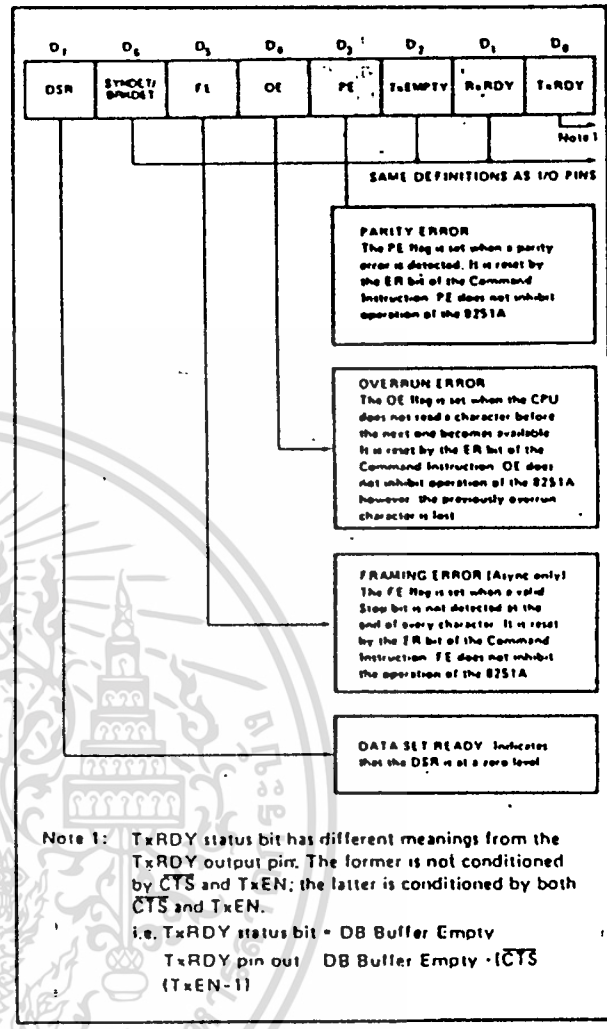


Figure 13. Status Read Format

STATUS READ DEFINITION

In data communication systems it is often necessary to examine the "status" of the active device to ascertain if errors have occurred or other conditions that require the processor's attention. The 8251A has facilities that allow the programmer to "read" the status of the device at any time during the functional operation. (Status update is inhibited during status read.)

A normal "read" command is issued by the CPU with C/$\overline{D}$ = 1 to accomplish this function.

Some of the bits in the Status Read Format have identical meanings to external output pins so that the 8251A can be used in a completely polled or interrupt-driven environment. TxRDY is an exception.

Note that status update can have a maximum delay of 28 clock periods from the actual event affecting the status.

APPLICATIONS OF THE 8251A

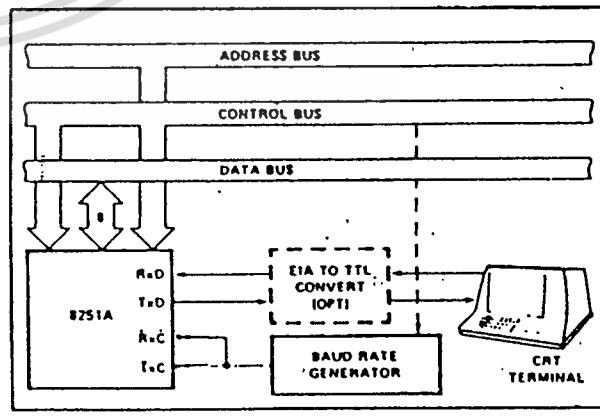


Figure 14. Asynchronous Serial Interface to CRT Terminal, DC—9600 Baud

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

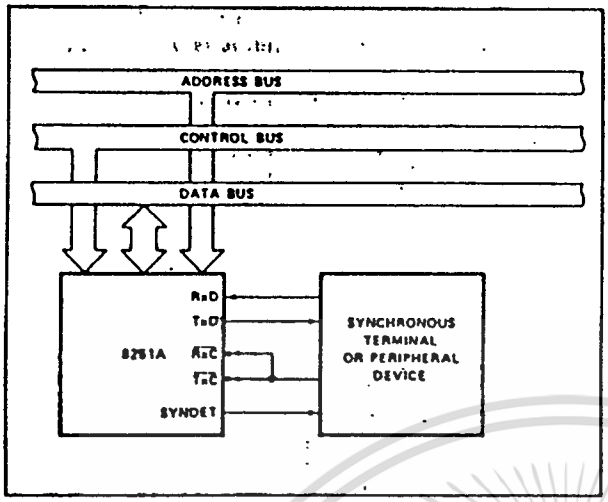


Figure 15. Synchronous Interface to Terminal or Peripheral Device

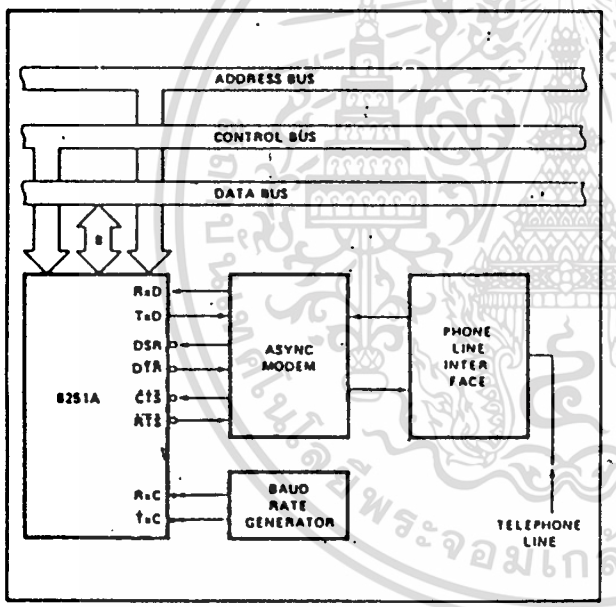


Figure 16. Asynchronous Interface to Telephone Lines

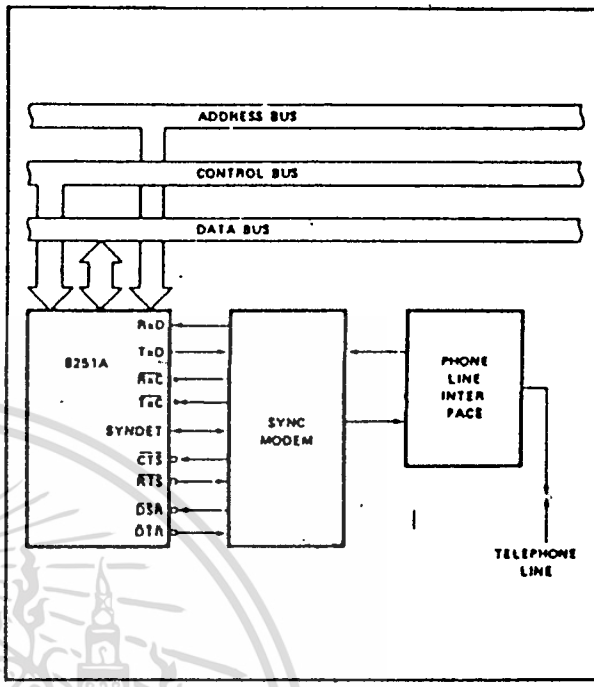


Figure 17. Synchronous Interface to Telephone Lines

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias ..... 0°C to 70°C
Storage Temperature ..... −65°C to +150°C
Voltage On Any Pin
With Respect To Ground ..... −0.5V to +7V
Power Dissipation ..... 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = 5.0V ± 5%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	−0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage		0.45	V	I_{OL} = 2.2 mA
V_{OH}	Output High Voltage	2.4		V	I_{OL} = −400 μA
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} TO 0.45V
I_{IL}	Input Leakage		±10	μA	V_{IN} = V_{CC} TO 0.45V
I_{CC}	Power Supply Current		100	mA	All Outputs = High

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance		10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance		20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = 5.0V ±10%, GND = 0V)*

Bus Parameters (Note 1)

READ CYCLE

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t_{AR}	Address Stable Before $\overline{READ}$ ($\overline{CS}$, C/$\overline{D}$)	0		ns	Note 2
t_{RA}	Address Hold Time for $\overline{READ}$ ($\overline{CS}$, C/$\overline{D}$)	0		ns	Note 2
t_{RR}	$\overline{READ}$ Pulse Width	250		ns	
t_{RD}	Data Delay from $\overline{READ}$		200	ns	3, C_L = 150 pF
t_{DF}	$\overline{READ}$ to Data Floating	10	100	ns	

WRITE CYCLE

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t_{AW}	Address Stable Before $\overline{WRITE}$	0		ns	
t_{WA}	Address Hold Time for $\overline{WRITE}$	0		ns	
t_{WW}	$\overline{WRITE}$ Pulse Width	250		ns	
t_{DW}	Data Set-Up Time for $\overline{WRITE}$	150		ns	
t_{WD}	Data Hold Time for $\overline{WRITE}$	20		ns	
t_{RV}	Recovery Time Between WRITES	6		t_{CY}	Note 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

OTHER TIMINGS

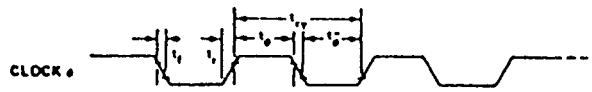
Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t_{CY}	Clock Period	320	1350	ns	Notes 5, 6
t_{ϕ}	Clock High Pulse Width	120	$t_{CY}-90$	ns	
$t_{\overline{\phi}}$	Clock Low Pulse Width	90		ns	
t_R, t_F	Clock Rise and Fall Time		20	ns	
t_{DTx}	TxD Delay from Falling Edge of $\overline{TxC}$		1	μs	
f_{Tx}	Transmitter Input Clock Frequency				
	1x Baud Rate	DC	64	kHz	
	16x Baud Rate	DC	310	kHz	
	64x Baud Rate	DC	615	kHz	
t_{TPW}	Transmitter Input Clock Pulse Width				
	1x Baud Rate	12		t_{CY}	
	16x and 64x Baud Rate	1		t_{CY}	
t_{TPD}	Transmitter Input Clock Pulse Delay				
	1x Baud Rate	15		t_{CY}	
	16x and 64x Baud Rate	3		t_{CY}	
f_{Rx}	Receiver Input Clock Frequency				
	1x Baud Rate	DC	64	kHz	
	16x Baud Rate	DC	310	kHz	
	64x Baud Rate	DC	615	kHz	
t_{RPW}	Receiver Input Clock Pulse Width				
	1x Baud Rate	12		t_{CY}	
	16x and 64x Baud Rate	1		t_{CY}	
t_{RPD}	Receiver Input Clock Pulse Delay				
	1x Baud Rate	15		t_{CY}	
	16x and 64x Baud Rate	3		t_{CY}	
t_{TxRDY}	TxRDY Pin Delay from Center of Last Bit		14	t_{CY}	Note 7
$t_{TxRDY\ CLEAR}$	TxRDY ↓ from Leading Edge of $\overline{WR}$		400	ns	Note 7
t_{RxRDY}	RxRDY Pin Delay from Center of Last Bit		26	t_{CY}	Note 7
$t_{RxRDY\ CLEAR}$	$\overline{RxRDY}$ ↓ from Leading Edge of $\overline{RD}$		400	ns	Note 7
t_{IS}	Internal SYNDET Delay from Rising Edge of $\overline{RxC}$		26	t_{CY}	Note 7
t_{ES}	External SYNDET Set-Up Time After Rising Edge of $\overline{RxC}$	18		t_{CY}	Note 7
$t_{TxEMPTY}$	TxEMPTY Delay from Center of Last Bit		20	t_{CY}	Note 7
t_{WC}	Control Delay from Rising Edge of WRITE (TxEn, $\overline{DTR}$, $\overline{RTS}$)		8	t_{CY}	Note 7
t_{CR}	Control to READ Set-Up Time ($\overline{DSR}$, $\overline{CTS}$)	20		t_{CY}	Note 7

*NOTE:
1. For Extended Temperature EXPRESS, use M8251A electrical parameters.

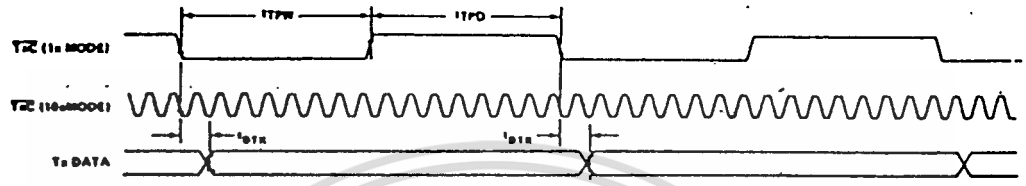
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

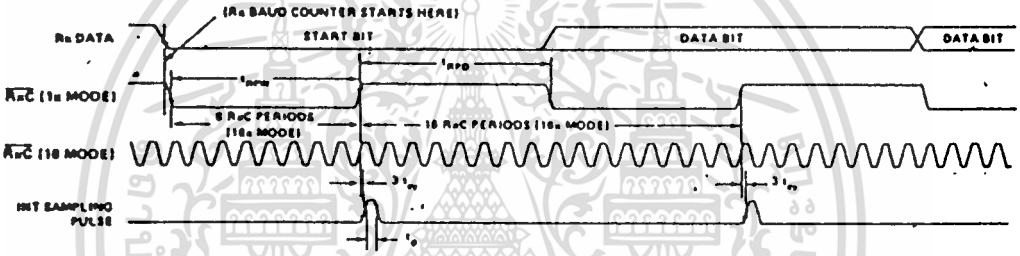
SYSTEM CLOCK INPUT



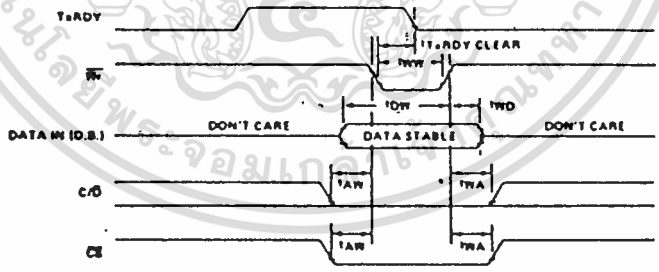
TRANSMITTER CLOCK AND DATA



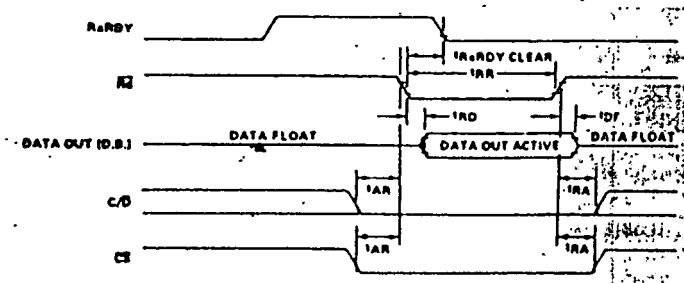
RECEIVER CLOCK AND DATA



WRITE DATA CYCLE (CPU → USART)



READ DATA CYCLE (CPU ← USART)



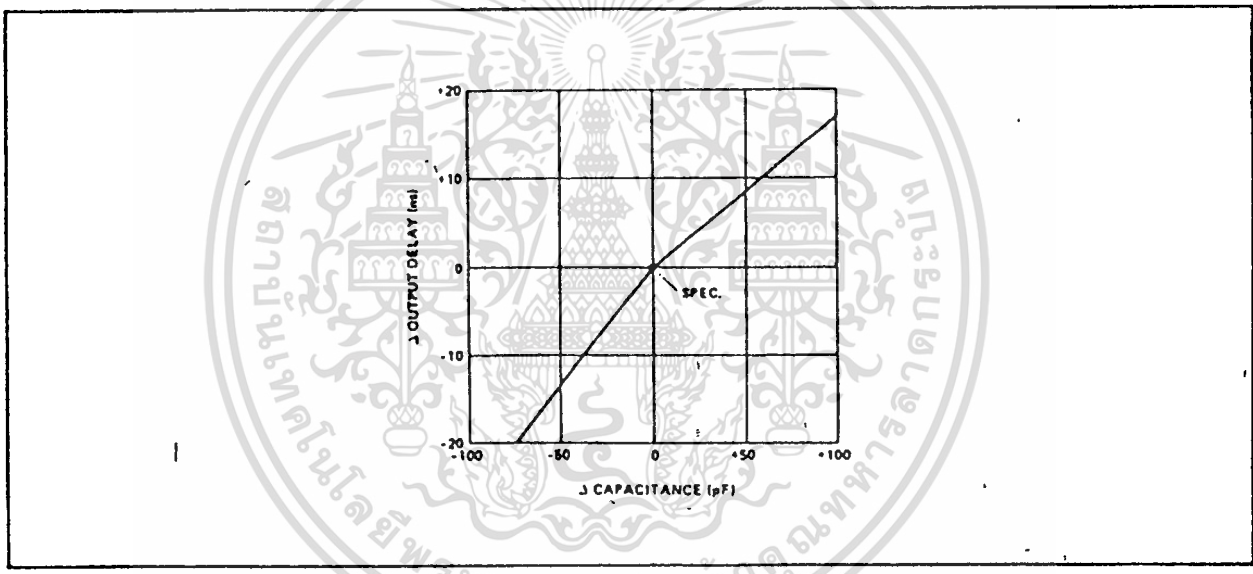
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

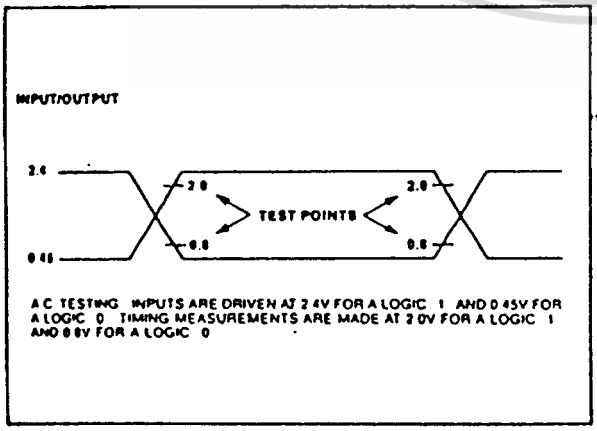
NOTES:

1. AC timings measured V_{OH} = 2.0 V_{OL} = 2.0, V_{OL} = 0.8, and with load circuit of Figure 1.
2. Chip Select (CS) and Command/Data (C/D) are considered as Addresses.
3. Assumes that Address is valid before $R_D\downarrow$.
4. This recovery time is for Mode Initialization only. Write Data is allowed only when TxRDY = 1. Recovery Time between Writes for Asynchronous Mode is 8 t_{CY} and for Synchronous Mode is 16 t_{CY}.
5. The TxC and RxC frequencies have the following limitations with respect to CLK: For 1x Baud Rate, f_{Tx} or $f_{Rx} \leq 1/(30\ t_{CY})$:
   For 16x and 64x Baud Rate, f_{Tx} or $f_{Rx} \leq 1/(4.5\ t_{CY})$.
6. Reset Pulse Width = 6 t_{CY} minimum; System Clock must be running during Reset.
7. Status update can have a maximum delay of 28 clock periods from the event affecting the status.

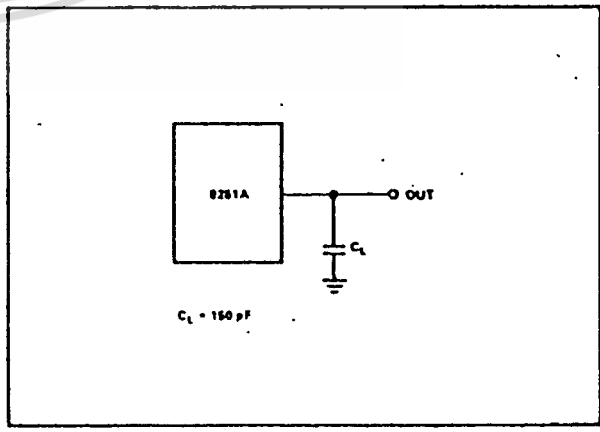
TYPICAL Δ OUTPUT DELAY VS. Δ CAPACITANCE (pF)



A.C. TESTING INPUT, OUTPUT WAVEFORM



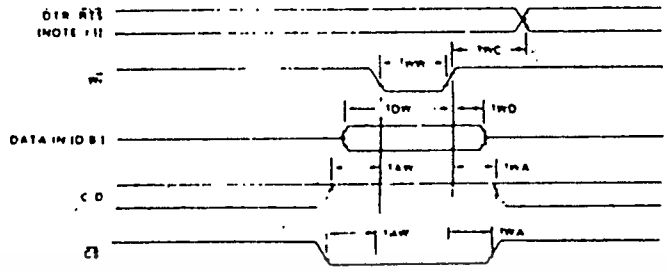
A.C. TESTING LOAD CIRCUIT



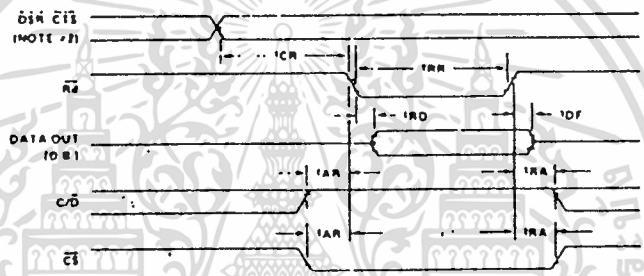
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

WRITE CONTROL OR OUTPUT PORT CYCLE (CPU → USART)

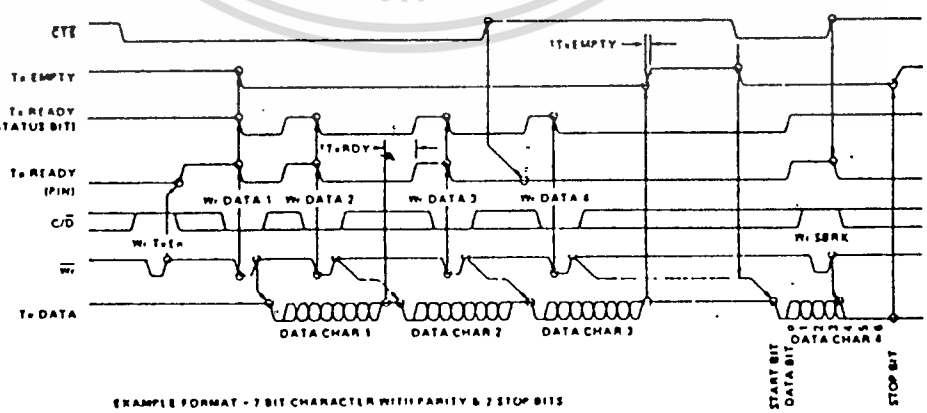


READ CONTROL OR INPUT PORT (CPU ← USART)



NOTE #1: T_{WC} INCLUDES THE RESPONSE TIMING OF A CONTROL BYTE.
NOTE #2. T_{CR} INCLUDES THE EFFECT OF CTS ON THE TxENBL CIRCUITRY.

TRANSMITTER CONTROL AND FLAG TIMING (ASYNC MODE)

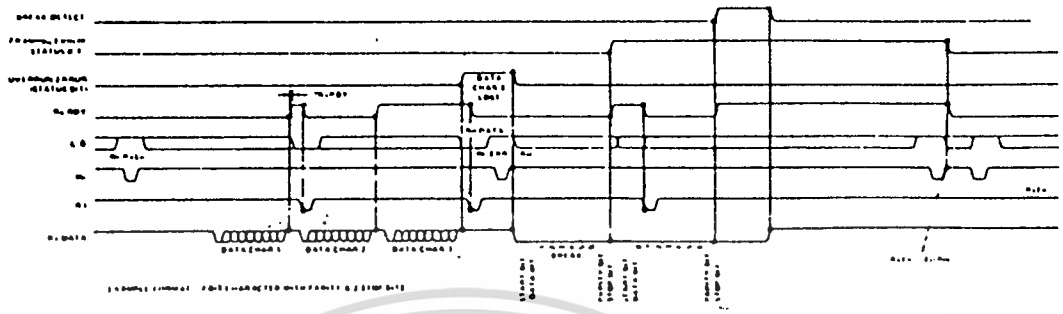


EXAMPLE FORMAT - 7 BIT CHARACTER WITH PARITY & 2 STOP BITS

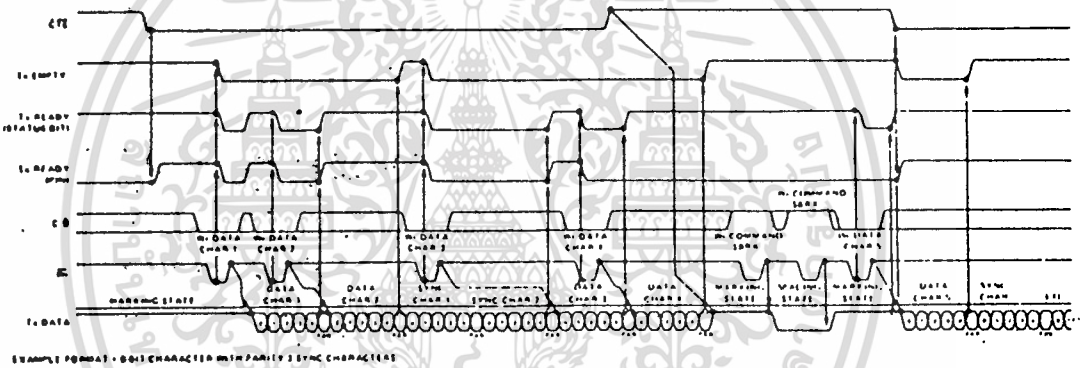
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

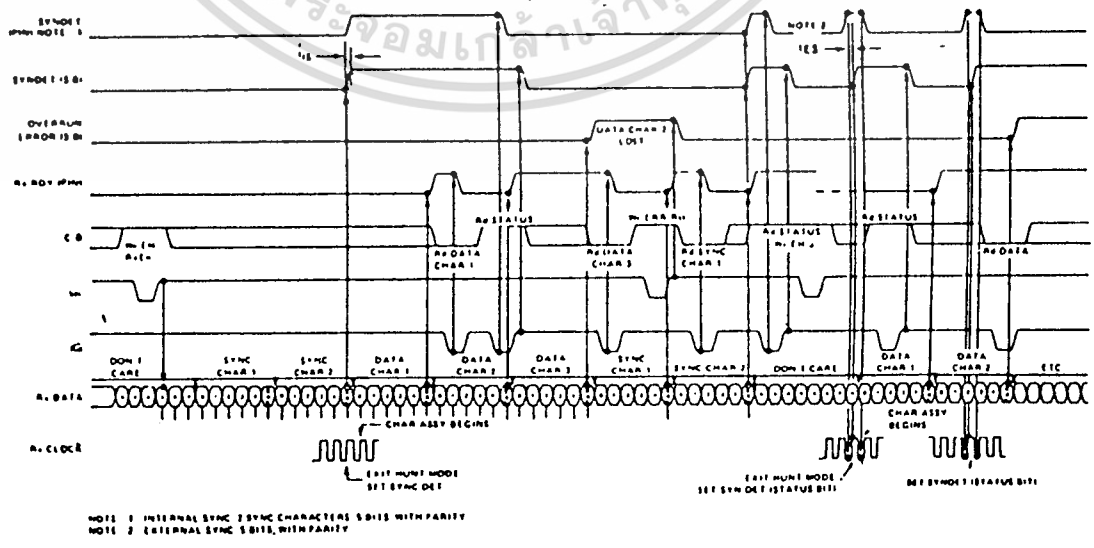
RECEIVER CONTROL AND FLAG TIMING (ASYNC MODE)



TRANSMITTER CONTROL AND FLAG TIMING (SYNC MODE)



RECEIVER CONTROL AND FLAG TIMING (SYNC MODE)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้